

CSD17484F4 30V N チャネル FemtoFET™ MOSFET

1 特長

- 低オン抵抗
- 非常に低い Q_g および Q_{gd}
- 低いスレッシュホールド電圧
- 非常に小さな外形 (0402 ケース・サイズ)
 - 1.0mm × 0.6mm
- 超薄型プロファイル
 - 高さ 0.2mm
- ESD 保護ダイオード搭載
 - HBM 定格 4kV 超
 - CDM 定格 2kV 超
- 鉛およびハロゲン不使用
- RoHS 準拠

2 アプリケーション

- ロード・スイッチ・アプリケーションに最適
- 汎用スイッチング・アプリケーションに最適
- バッテリー・アプリケーション
- ハンドヘルドおよびモバイル・アプリケーション

3 概要

この 99mΩ、30V、N チャネル FemtoFET™ MOSFET は、さまざまなハンドヘルドおよびモバイル・アプリケーション向けに、フットプリントを最小化するように設計され、最適化されています。標準の小信号 MOSFET をこのテクノロジーに置き換えて、占有面積を 60% 以上減らすことができます。

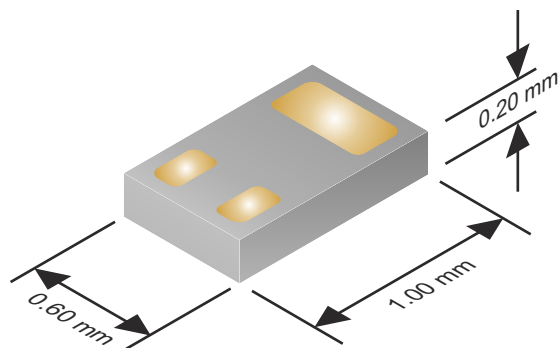


図 3-1. 標準的な部品寸法

製品概要

$T_A = 25^\circ\text{C}$		標準値	単位
V_{DS}	ドレイン - ソース間電圧	30	V
Q_g	ゲートの合計電荷 (4.5V)	920	pC
Q_{gd}	ゲート電荷、ゲート - ドレイン間	75	pC
$R_{DS(on)}$	ドレイン - ソース間オン抵抗	$V_{GS} = 1.8\text{V}$	170
		$V_{GS} = 2.5\text{V}$	125
		$V_{GS} = 4.5\text{V}$	107
		$V_{GS} = 8.0\text{V}$	99
$V_{GS(th)}$	スレッシュホールド電圧	0.85	V

製品情報(1)

デバイス	数量	メディア	パッケージ	出荷形態
CSD17484F4	3000	7 インチ・リール	Femto (0402) 1.00mm × 0.60mm LGA (Land Grid Array)	テープ・アンド・リール
CSD17484F4T	250			

- (1) 利用可能なパッケージについては、このデータシートの末尾にある注文情報を参照してください。

絶対最大定格

$T_A = 25^\circ\text{C}$		値	単位
V_{DS}	ドレイン - ソース間電圧	30	V
V_{GS}	ゲート - ソース間電圧	12	V
I_D	連続ドレイン電流 ⁽¹⁾	3.0	A
I_{DM}	パルス・ドレイン電流 ^{(1) (2)}	18	A
I_G	連続ゲート・クランプ電流	35	mA
	パルス・ゲート・クランプ電流 ⁽²⁾	350	
P_D	消費電力	500	mW
$V_{(ESD)}$	人体モデル (HBM)	4	kV
	デバイス帯電モデル (CDM)	2	
T_J , T_{stg}	動作時の接合部温度、 保存温度	-55~150	°C
E_{AS}	アバランシェ・エネルギー、単一パルス $I_D = 7.1\text{A}$, $L = 0.1\text{mH}$, $R_G = 25\Omega$	2.5	mJ

- (1) $R_{\theta JA} = 85^\circ\text{C/W}$ (標準値、厚さ 0.06 インチ (1.52mm) の FR4 PCB 上の面積 1 平方インチ (6.45cm²)、厚さ 2oz (0.071mm) の Cu パッドに実装した場合)
- (2) パルス幅 $\leq 100\mu\text{s}$ 、デューティ・サイクル $\leq 1\%$

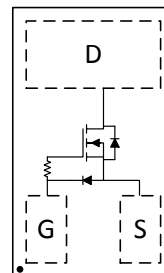


図 3-2. 上面図



Table of Contents

1 特長	1	6 Device and Documentation Support	7
2 アプリケーション	1	6.1 Receiving Notification of Documentation Updates.....	7
3 概要	1	6.2 Trademarks.....	7
4 Revision History	2	7 Mechanical, Packaging, and Orderable Information	8
5 Specifications	3	7.1 Mechanical Dimensions.....	8
5.1 Electrical Characteristics.....	3	7.2 Recommended Minimum PCB Layout.....	9
5.2 Thermal Information.....	3	7.3 Recommended Stencil Pattern.....	9
5.3 Typical MOSFET Characteristics.....	4		

4 Revision History

Changes from Revision C (December 2019) to Revision D (February 2022)	Page
• Added FemtoFET Surface Mount Guide note.....	9

Changes from Revision B (September 2017) to Revision C (December 2019)	Page
• Changed On-State Resistance vs Gate-to-Source Voltage by truncating V_{GS} from 20 V to 12 V.....	4

Changes from Revision A (August 2017) to Revision B (September 2017)	Page
• Deleted the <i>CSD68830F4 Embossed Carrier Tape Dimensions</i> section.....	9

Changes from Revision * (May 2015) to Revision A (August 2017)	Page
• Added the セクション 6.1 and the セクション 6 sections	7
• Updated the セクション 7 section.....	8

5 Specifications

5.1 Electrical Characteristics

$T_A = 25^\circ\text{C}$ (unless otherwise stated)

PARAMETER		TEST CONDITIONS	MIN	TYP	MAX	UNIT
STATIC CHARACTERISTICS						
BV _{DSS}	Drain-to-source voltage	V _{GS} = 0 V, I _{DS} = 250 μA	30			V
I _{DSS}	Drain-to-source leakage current	V _{GS} = 0 V, V _{DS} = 24 V			100	nA
I _{GSS}	Gate-to-source leakage current	V _{DS} = 0 V, V _{GS} = 12 V			50	nA
V _{GS(th)}	Gate-to-source threshold voltage	V _{DS} = V _{GS} , I _{DS} = 250 μA	0.65	0.85	1.10	V
R _{DS(on)}	Drain-to-source on-resistance	V _{GS} = 1.8 V, I _{DS} = 0.5 A		170	270	mΩ
		V _{GS} = 2.5 V, I _{DS} = 0.5 A		125	160	
		V _{GS} = 4.5 V, I _{DS} = 0.5 A		107	128	
		V _{GS} = 8 V, I _{DS} = 0.5 A		99	121	
g _{fs}	Transconductance	V _{DS} = 15 V, I _{DS} = 0.5 A		4		S
DYNAMIC CHARACTERISTICS						
C _{iss}	Input capacitance	V _{GS} = 0 V, V _{DS} = 15 V, f = 1 MHz		150	195	pF
C _{oss}	Output capacitance			44	57	pF
C _{rss}	Reverse transfer capacitance			2.2	2.9	pF
R _G	Series gate resistance			8		Ω
Q _g	Gate charge total (4.5 V)	V _{DS} = 15 V, I _{DS} = 0.5 A		920	1200	pC
Q _g	Gate charge total (8.0 V)			1570	2040	pC
Q _{gd}	Gate charge gate-to-drain			75		pC
Q _{gs}	Gate charge gate-to-source			280		pC
Q _{g(th)}	Gate charge at V _{th}			140		pC
Q _{oss}	Output charge	V _{DS} = 15 V, V _{GS} = 0 V		1400		pC
t _{d(on)}	Turnon delay time	V _{DS} = 15 V, V _{GS} = 4.5 V, I _{DS} = 0.5 A, R _G = 2 Ω		3		ns
t _r	Rise time			1		ns
t _{d(off)}	Turnoff delay time			11		ns
t _f	Fall time			4		ns
DIODE CHARACTERISTICS						
V _{SD}	Diode forward voltage	I _{SD} = 0.5 A, V _{GS} = 0 V		0.73	0.9	V
Q _{rr}	Reverse recovery charge	V _{DS} = 15 V, I _F = 0.5 A, di/dt = 300 A/μs		1300		pC
t _{rr}	Reverse recovery time			6.2		ns

5.2 Thermal Information

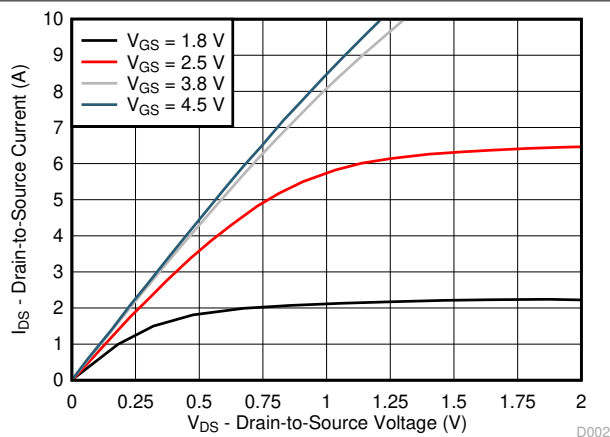
$T_A = 25^\circ\text{C}$ (unless otherwise stated)

THERMAL METRIC		TYPICAL VALUES	UNIT
$R_{\theta JA}$	Junction-to-ambient thermal resistance ⁽¹⁾	85	$^\circ\text{C}/\text{W}$
	Junction-to-ambient thermal resistance ⁽²⁾	245	

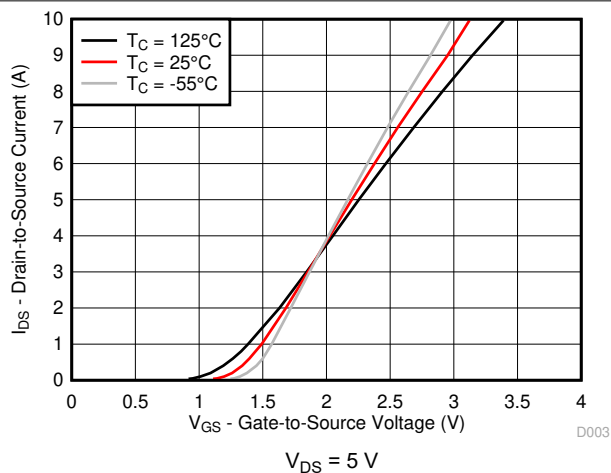
- (1) Device mounted on FR4 material with 1-in² (6.45-cm²), 2-oz (0.071-mm) thick Cu.
 (2) Device mounted on FR4 material with minimum Cu mounting area.

5.3 Typical MOSFET Characteristics

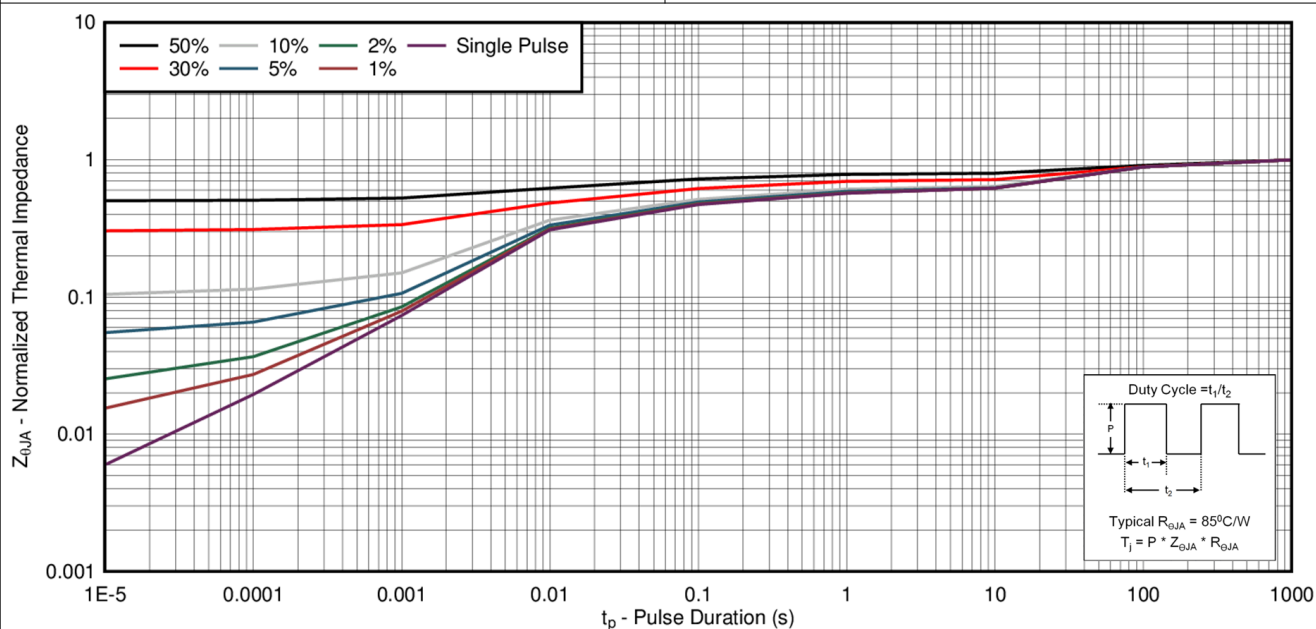
$T_A = 25^\circ\text{C}$ (unless otherwise stated)



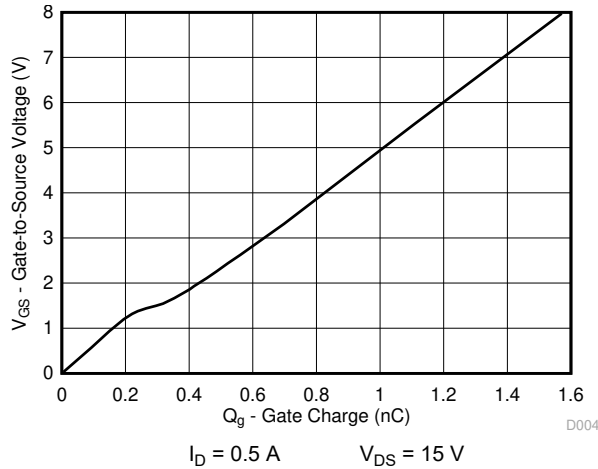
5-1. Saturation Characteristics



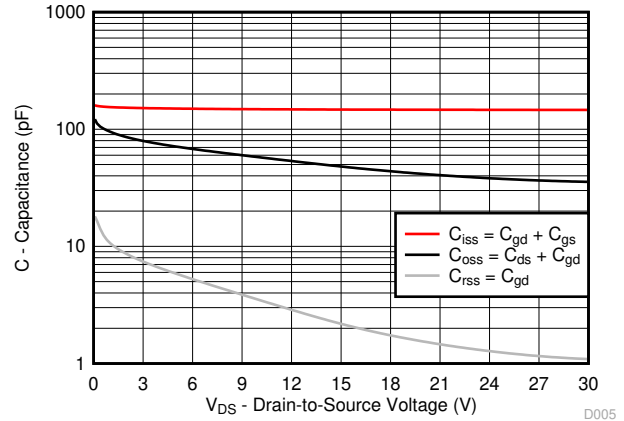
5-2. Transfer Characteristics



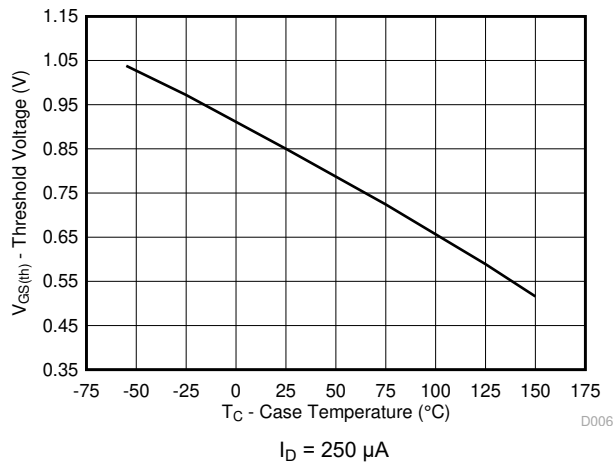
5-3. Transient Thermal Impedance



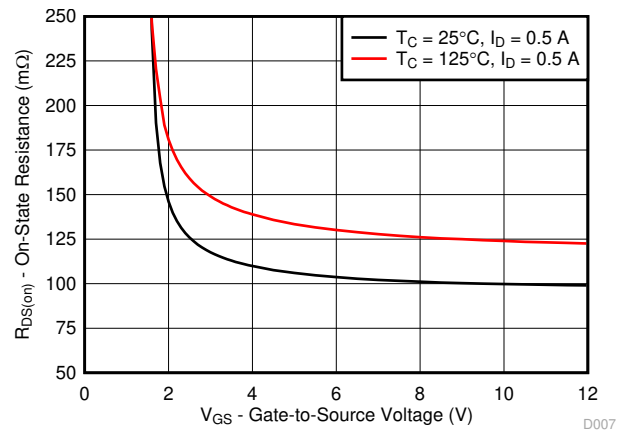
5-4. Gate Charge



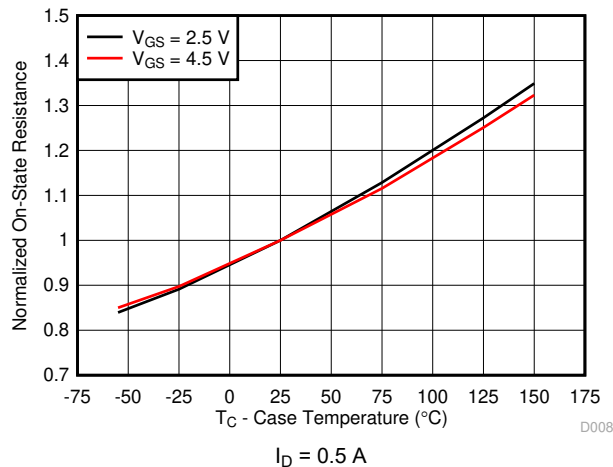
5-5. Capacitance



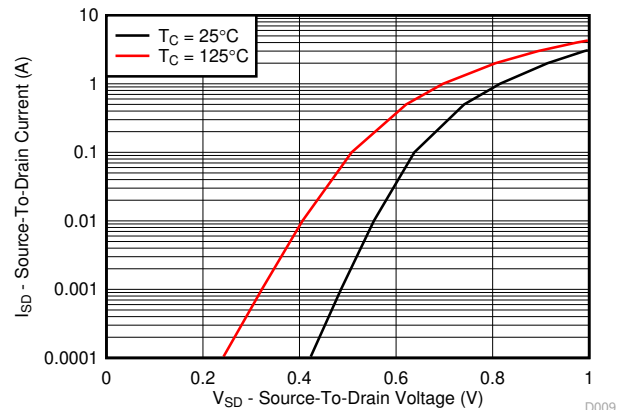
5-6. Threshold Voltage vs Temperature



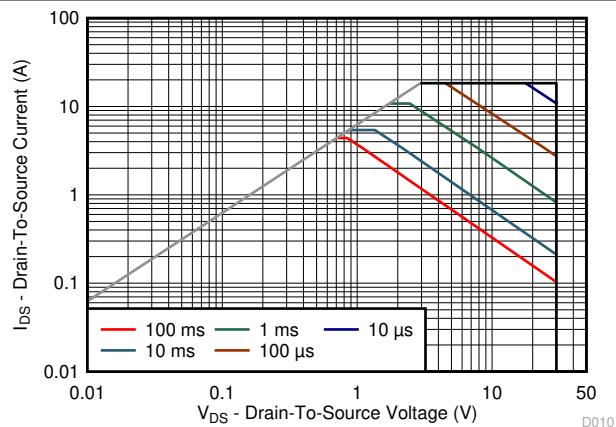
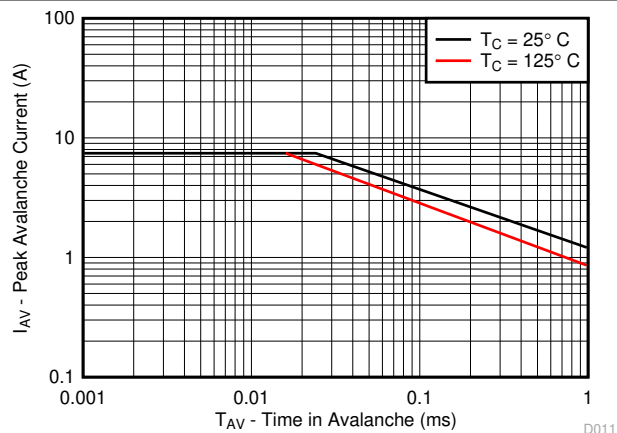
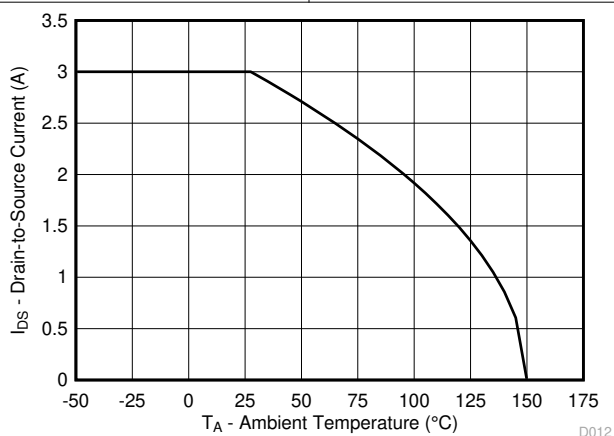
5-7. On-State Resistance vs Gate-to-Source Voltage



5-8. Normalized On-State Resistance vs Temperature



5-9. Typical Diode Forward Voltage


 **5-10. Maximum Safe Operating Area**

 **5-11. Single Pulse Unclamped Inductive Switching**

 **5-12. Maximum Drain Current vs Temperature**

6 Device and Documentation Support

6.1 Receiving Notification of Documentation Updates

To receive notification of documentation updates, navigate to the device product folder on ti.com. In the upper right corner, click on *Alert me* to register and receive a weekly digest of any product information that has changed. For change details, review the revision history included in any revised document.

6.2 Trademarks

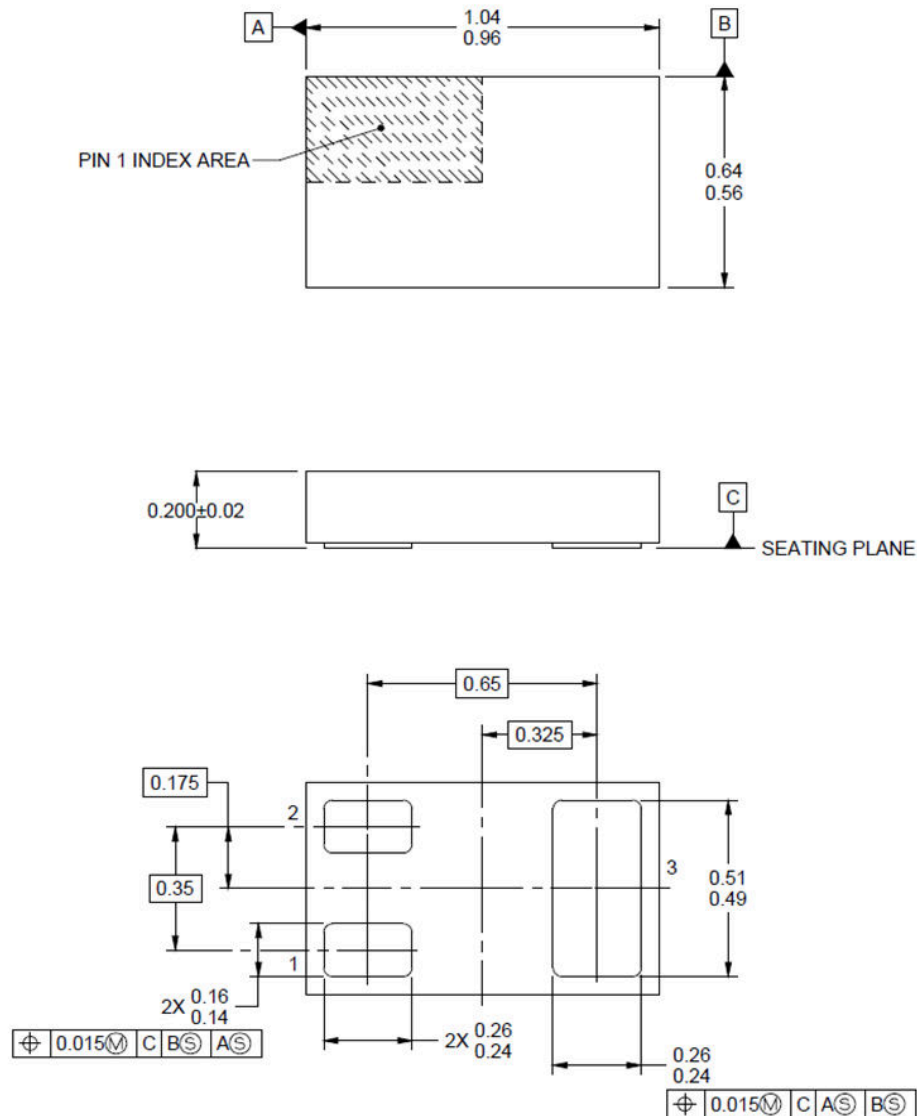
FemtoFET™ is a trademark of Texas Instruments.

すべての商標は、それぞれの所有者に帰属します。

7 Mechanical, Packaging, and Orderable Information

The following pages include mechanical, packaging, and orderable information. This information is the most current data available for the designated devices. This data is subject to change without notice and revision of this document. For browser-based versions of this data sheet, refer to the left-hand navigation.

7.1 Mechanical Dimensions

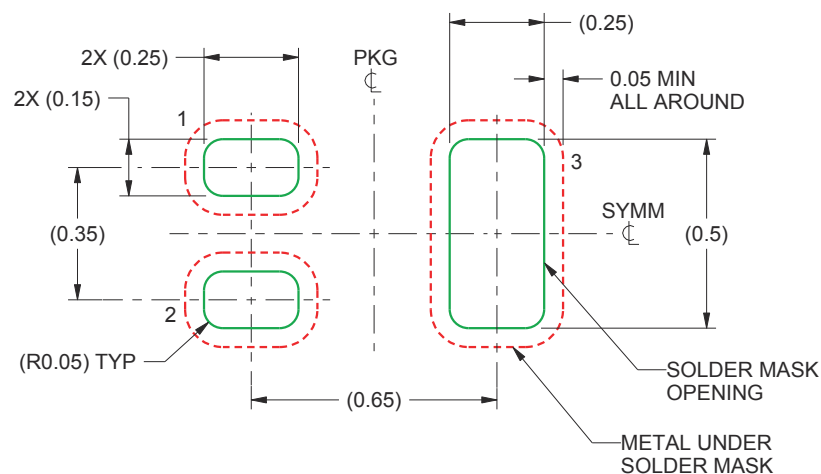


- A. All linear dimensions are in millimeters (dimensions and tolerancing per AME T14.5M-1994).
- B. This drawing is subject to change without notice.
- C. This package is a PB-free solder land design.

表 7-1. Pin Configuration

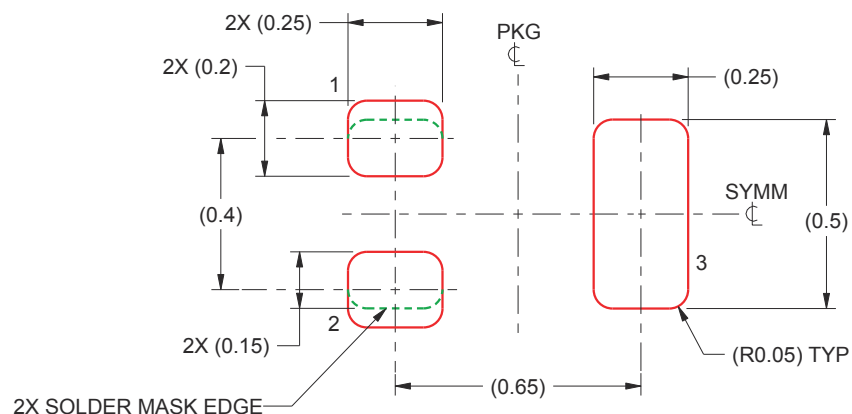
POSITION	DESIGNATION
Pin 1	Gate
Pin 2	Source
Pin 3	Drain

7.2 Recommended Minimum PCB Layout



- A. All dimensions are in millimeters.
- B. For more information, see [FemtoFET Surface Mount Guide](#) (SLRA003D).

7.3 Recommended Stencil Pattern



- A. All dimensions are in millimeters.

PACKAGING INFORMATION

Orderable part number	Status (1)	Material type (2)	Package Pins	Package qty Carrier	RoHS (3)	Lead finish/ Ball material (4)	MSL rating/ Peak reflow (5)	Op temp (°C)	Part marking (6)
CSD17484F4	Active	Production	PICOSTAR (YJJ) 3	3000 LARGE T&R	Yes	NIAU	Level-1-260C-UNLIM	-55 to 150	G2
CSD17484F4.B	Active	Production	PICOSTAR (YJJ) 3	3000 LARGE T&R	Yes	NIAU	Level-1-260C-UNLIM	-55 to 150	G2
CSD17484F4T	Active	Production	PICOSTAR (YJJ) 3	250 SMALL T&R	Yes	NIAU	Level-1-260C-UNLIM	-55 to 150	G2
CSD17484F4T.B	Active	Production	PICOSTAR (YJJ) 3	250 SMALL T&R	Yes	NIAU	Level-1-260C-UNLIM	-55 to 150	G2

⁽¹⁾ **Status:** For more details on status, see our [product life cycle](#).

⁽²⁾ **Material type:** When designated, preproduction parts are prototypes/experimental devices, and are not yet approved or released for full production. Testing and final process, including without limitation quality assurance, reliability performance testing, and/or process qualification, may not yet be complete, and this item is subject to further changes or possible discontinuation. If available for ordering, purchases will be subject to an additional waiver at checkout, and are intended for early internal evaluation purposes only. These items are sold without warranties of any kind.

⁽³⁾ **RoHS values:** Yes, No, RoHS Exempt. See the [TI RoHS Statement](#) for additional information and value definition.

⁽⁴⁾ **Lead finish/Ball material:** Parts may have multiple material finish options. Finish options are separated by a vertical ruled line. Lead finish/Ball material values may wrap to two lines if the finish value exceeds the maximum column width.

⁽⁵⁾ **MSL rating/Peak reflow:** The moisture sensitivity level ratings and peak solder (reflow) temperatures. In the event that a part has multiple moisture sensitivity ratings, only the lowest level per JEDEC standards is shown. Refer to the shipping label for the actual reflow temperature that will be used to mount the part to the printed circuit board.

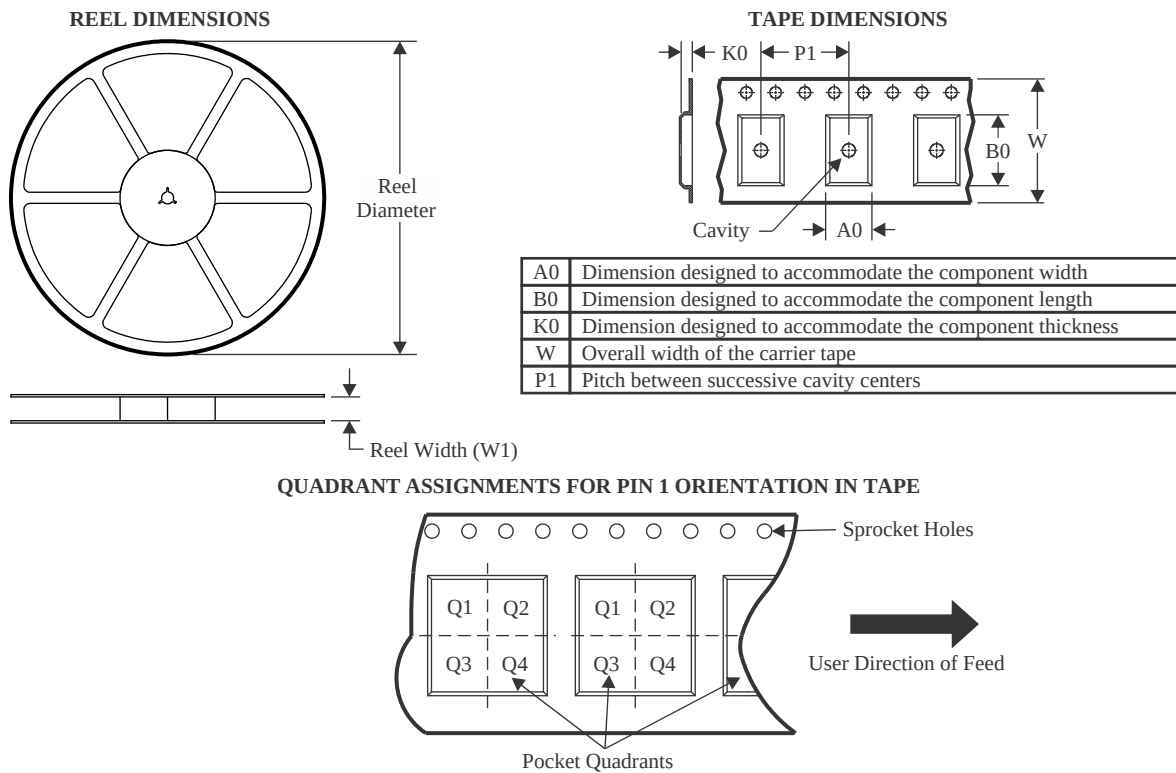
⁽⁶⁾ **Part marking:** There may be an additional marking, which relates to the logo, the lot trace code information, or the environmental category of the part.

Multiple part markings will be inside parentheses. Only one part marking contained in parentheses and separated by a "~" will appear on a part. If a line is indented then it is a continuation of the previous line and the two combined represent the entire part marking for that device.

Important Information and Disclaimer: The information provided on this page represents TI's knowledge and belief as of the date that it is provided. TI bases its knowledge and belief on information provided by third parties, and makes no representation or warranty as to the accuracy of such information. Efforts are underway to better integrate information from third parties. TI has taken and continues to take reasonable steps to provide representative and accurate information but may not have conducted destructive testing or chemical analysis on incoming materials and chemicals. TI and TI suppliers consider certain information to be proprietary, and thus CAS numbers and other limited information may not be available for release.

In no event shall TI's liability arising out of such information exceed the total purchase price of the TI part(s) at issue in this document sold by TI to Customer on an annual basis.

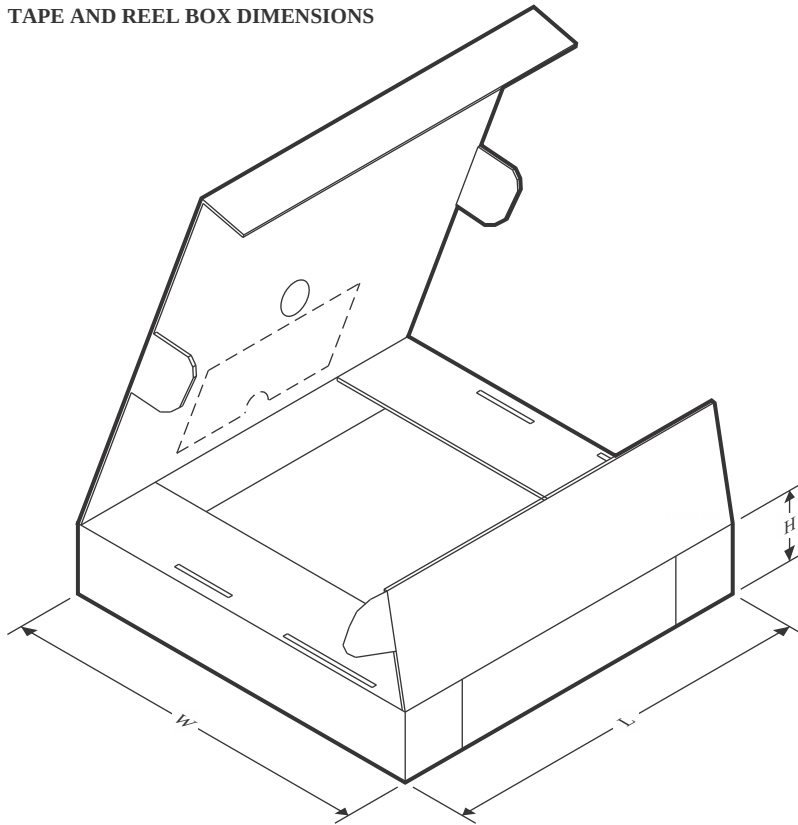
TAPE AND REEL INFORMATION



*All dimensions are nominal

Device	Package Type	Package Drawing	Pins	SPQ	Reel Diameter (mm)	Reel Width W1 (mm)	A0 (mm)	B0 (mm)	K0 (mm)	P1 (mm)	W (mm)	Pin1 Quadrant
CSD17484F4	PICOSTAR	YJJ	3	3000	180.0	8.4	0.7	1.1	0.46	4.0	8.0	Q2
CSD17484F4T	PICOSTAR	YJJ	3	250	180.0	8.4	0.7	1.1	0.46	4.0	8.0	Q2

TAPE AND REEL BOX DIMENSIONS



*All dimensions are nominal

Device	Package Type	Package Drawing	Pins	SPQ	Length (mm)	Width (mm)	Height (mm)
CSD17484F4	PICOSTAR	YJJ	3	3000	182.0	182.0	20.0
CSD17484F4T	PICOSTAR	YJJ	3	250	182.0	182.0	20.0

重要なお知らせと免責事項

テキサス・インスツルメンツは、技術データと信頼性データ (データシートを含みます)、設計リソース (リファレンス デザインを含みます)、アプリケーションや設計に関する各種アドバイス、Web ツール、安全性情報、その他のリソースを、欠陥が存在する可能性のある「現状のまま」提供しており、商品性および特定目的に対する適合性の黙示保証、第三者の知的財産権の非侵害保証を含むいかなる保証も、明示的または黙示的にかかわらず拒否します。

これらのリソースは、テキサス・インスツルメンツ製品を使用する設計の経験を積んだ開発者への提供を意図したものです。(1) お客様のアプリケーションに適した テキサス・インスツルメンツ製品の選定、(2) お客様のアプリケーションの設計、検証、試験、(3) お客様のアプリケーションに該当する各種規格や、その他のあらゆる安全性、セキュリティ、規制、または他の要件への確実な適合に関する責任を、お客様のみが単独で負うものとします。

上記の各種リソースは、予告なく変更される可能性があります。これらのリソースは、リソースで説明されている テキサス・インスツルメンツ製品を使用するアプリケーションの開発の目的でのみ、テキサス・インスツルメンツはその使用をお客様に許諾します。これらのリソースに関して、他の目的で複製することや掲載することは禁止されています。テキサス・インスツルメンツや第三者の知的財産権のライセンスが付与されている訳ではありません。お客様は、これらのリソースを自身で使用した結果発生するあらゆる申し立て、損害、費用、損失、責任について、テキサス・インスツルメンツおよびその代理人を完全に補償するものとし、テキサス・インスツルメンツは一切の責任を拒否します。

テキサス・インスツルメンツの製品は、[テキサス・インスツルメンツの販売条件](#)、または [ti.com](https://www.ti.com) やかかる テキサス・インスツルメンツ製品の関連資料などのいずれかを通じて提供する適用可能な条項の下で提供されています。テキサス・インスツルメンツがこれらのリソースを提供することは、適用される テキサス・インスツルメンツの保証または他の保証の放棄の拡大や変更を意味するものではありません。

お客様がいかなる追加条項または代替条項を提案した場合でも、テキサス・インスツルメンツはそれらに異議を唱え、拒否します。

郵送先住所：Texas Instruments, Post Office Box 655303, Dallas, Texas 75265
Copyright © 2025, Texas Instruments Incorporated