CSD17382F4 30V N チャネル FemtoFET™ MOSFET

1 特長

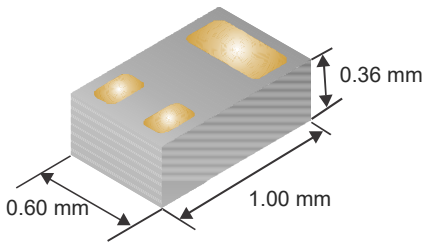
- 低オン抵抗
- 低い Q_g および Q_{gd}
- 低スレッショルド電圧
- 非常に小さな外形 (0402 ケース・サイズ)
  - 1.0mm × 0.6mm
- 超薄型プロファイル
  - 高さ 0.36mm
- ESD 保護ダイオード搭載
  - HBM 定格 3kV 超
  - CDM 定格 2kV 超
- 鉛およびハロゲン不使用
- RoHS 準拠

2 アプリケーション

- ロード・スイッチ・アプリケーションに最適
- 汎用スイッチング・アプリケーションに最適化
- 単一セル・バッテリのアプリケーション
- ハンドヘルドおよびモバイル・アプリケーション

3 概要

この 30V、54mΩ、N チャネル FemtoFET™ MOSFET テクノロジは、さまざまなハンドヘルドおよびモバイル・アプリケーション向けに、フットプリントを最小化するよう設計され、最適化されています。標準の小信号 MOSFET をこのテクノロジに置き換えて、占有面積を 60% 以上減らすことができます。



標準的な部品寸法

製品概要

T_A = 25℃		標準値		単位
V_{DS}	ドレイン - ソース間電圧	30		V
Q_g	ゲートの合計電荷 (4.5V)	2.1		nC
Q_{gd}	ゲート電荷、ゲート - ドレイン間	0.63		nC
$R_{DS(on)}$	ドレイン - ソース間オン抵抗	V_{GS} = 1.8V	110	mΩ
		V_{GS} = 2.5V	67	mΩ
		V_{GS} = 4.5V	56	mΩ
		V_{GS} = 8.0V	54	mΩ
$V_{GS(th)}$	スレッショルド電圧	0.9		V

製品情報

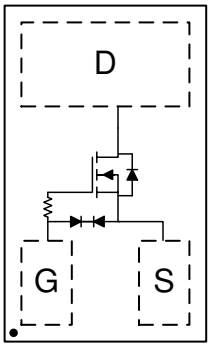
デバイス(1)	数量	メディア	パッケージ	出荷形態
CSD17382F4	3000	7 インチ・リール	Femto (0402) 1.0mm × 0.6mm SMD リードレス	テープ・アンド・リール
CSD17382F4T	250			

(1) 利用可能なパッケージについては、このデータシートの末尾にある注文情報を参照してください。

絶対最大定格

T_A = 25℃		値	単位
V_{DS}	ドレイン - ソース間電圧	30	V
V_{GS}	ゲート - ソース間電圧	10	V
I_D	連続ドレイン電流(1)	2.3	A
I_{DM}	パルス・ドレイン電流(2)	14.8	A
P_D	消費電力(1)	500	mW
ESD 定格	人体モデル (HBM)	3000	V
	デバイス帯電モデル (CDM)	2000	V
T_J、T_{stg}	動作時の接合部温度、保存温度	–55～150	°C
E_{AS}	アバランシェ・エネルギー、単一パルス I_D = 6.5A、L = 0.1mH、R_G = 25Ω	2.1	mJ

(1) $R_{\theta JA}$ = 245℃/W (標準値、厚さ 0.06 インチ (1.52mm) の FR4 PCB 上の面積 1 平方インチ (6.45cm^2)、厚さ 2oz (0.071mm) の Cu パッドに実装した場合)
(2) パルス幅 ≤ 100μs、デューティ・サイクル ≤ 1%



上面図

英語版の TI 製品についての情報を翻訳したこの資料は、製品の概要を確認する目的で便宜的に提供しているものです。該当する正式な英語版の最新情報は、www.ti.com で閲覧でき、その内容が常に優先されます。TI では翻訳の正確性および妥当性につきましては一切保証いたしません。実際の設計などの前には、必ず最新版の英語版をご参照くださいますようお願いいたします。

Table of Contents

1 特長 1
2 アプリケーション 1
3 概要 1
4 Revision History 2
5 Specifications 3
5.1 Electrical Characteristics 3
5.2 Thermal Information 3
5.3 Typical MOSFET Characteristics 4
6 Device and Documentation Support 7
6.1 サポート・リソース 7
6.2 Receiving Notification of Documentation Updates 7
6.3 Trademarks 7
6.4 Electrostatic Discharge Caution 7
6.5 Glossary 7
7 Mechanical, Packaging, and Orderable Information 8
7.1 Mechanical Dimensions 8
7.2 Recommended Minimum PCB Layout 9
7.3 Recommended Stencil Pattern 9
7.4 CSD17382F4 Embossed Carrier Tape Dimensions 10

4 Revision History

資料番号末尾の英字は改訂を表しています。その改訂履歴は英語版に準じています。

Changes from Revision B (October 2021) to Revision C (February 2022) — **Page**

- 超薄型プロファイルの箇条書き項目を、高さ 0.35mm から 0.36mm に変更。 1
- 超薄型プロファイルの画像の高さを 0.35mm から 0.36mm に更新。 1
- Changed ultra-low profile image height from 0.35 mm to 0.36 mm 8
- Added FemtoFET Surface Mount Guide note 9

Changes from Revision A (December 2016) to Revision B (October 2021) — **Page**

- 文書全体にわたって表、図、相互参照の採番方法を更新 1

Changes from Revision * (April 2016) to Revision A (December 2016) — **Page**

- Changed the TEST CONDITIONS for g_{fs} Transconductance From: V_{DS} = 15 V To: V_{DS} = 3 V in the セクション 5.1 section. 3
- Added セクション 6.2 in the セクション 6 section. 7
- Updated all mechanical drawings. 8

Copyright © 2022 Texas Instruments Incorporated

5 Specifications

5.1 Electrical Characteristics

T_A = 25°C (unless otherwise stated)

PARAMETER		TEST CONDITIONS	MIN	TYP	MAX	UNIT
STATIC CHARACTERISTICS						
BV_{DSS}	Drain-to-source voltage	V_{GS} = 0 V, I_{DS} = 250 µA	30			V
I_{DSS}	Drain-to-source leakage current	V_{GS} = 0 V, V_{DS} = 24 V			1	µA
I_{GSS}	Gate-to-source leakage current	V_{DS} = 0 V, V_{GS} = 10 V			5	µA
$V_{GS(th)}$	Gate-to-source threshold voltage	V_{DS} = V_{GS}, I_{DS} = 250 µA	0.7	0.9	1.2	V
$R_{DS(on)}$	Drain-to-source on-resistance	V_{GS} = 1.8 V, I_{DS} =0.5 A		110	180	mΩ
		V_{GS} = 2.5 V, I_{DS} =0.5 A		67	82	mΩ
		V_{GS} = 4.5 V, I_{DS} = 0.5 A		56	67	mΩ
		V_{GS} = 8.0 V, I_{DS} = 0.5 A		54	64	mΩ
g_{fs}	Transconductance	V_{DS} = 3 V, I_{DS} = 0.5 A		5.9		S
DYNAMIC CHARACTERISTICS						
C_{iss}	Input capacitance	V_{GS} = 0 V, V_{DS} = 15 V, f = 1 MHz		267	347	pF
C_{oss}	Output capacitance			31.0	40.3	pF
C_{rss}	Reverse transfer capacitance			15.0	19.5	pF
R_G	Series gate resistance			220		Ω
Q_g	Gate charge total (4.5 V)	V_{DS} = 15 V, I_{DS} = 0.5 A		2.1	2.7	nC
Q_{gd}	Gate charge gate-to-drain			0.63		nC
Q_{gs}	Gate charge gate-to-source			0.41		nC
$Q_{g(th)}$	Gate charge at V_{th}			0.12		nC
Q_{oss}	Output charge	V_{DS} = 15 V, V_{GS} = 0 V		1.53		nC
$t_{d(on)}$	Turn on delay time	V_{DS} = 15 V, V_{GS} = 4.5 V, I_{DS} = 0.5 A, R_G = 0 Ω		59		ns
t_r	Rise time			111		ns
$t_{d(off)}$	Turn off delay time			279		ns
t_f	Fall time			270		ns
DIODE CHARACTERISTICS						
V_{SD}	Diode forward voltage	I_{SD} = 0.5 A, V_{GS} = 0 V		0.7	1.0	V

5.2 Thermal Information

T_A = 25°C (unless otherwise stated)

THERMAL METRIC		TYPICAL VALUES	UNIT
$R_{\theta JA}$	Junction-to-ambient thermal resistance(1)	85	°C/W
	Junction-to-ambient thermal resistance(2)	245	°C/W

(1) Device mounted on FR4 material with 1-in^2 (6.45-cm^2), 2-oz. (0.071-mm) thick Cu.
(2) Device mounted on FR4 material with minimum Cu mounting area.

5.3 Typical MOSFET Characteristics

T_A = 25°C (unless otherwise stated)

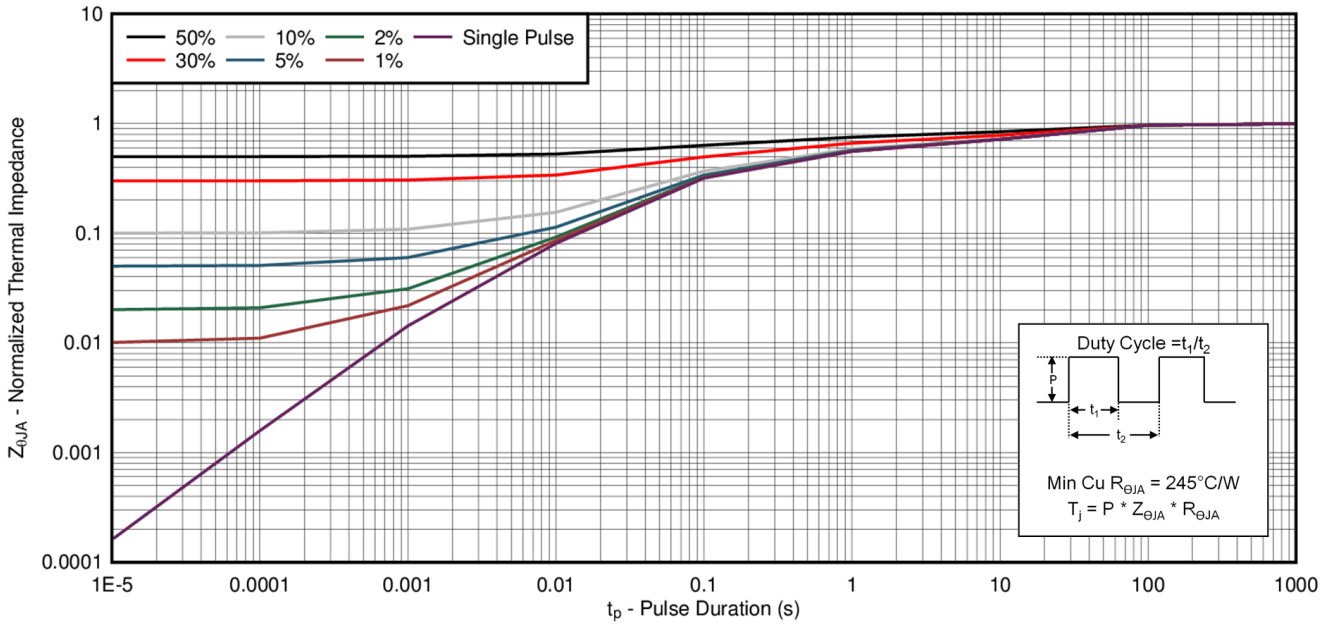


図 5-1. Transient Thermal Impedance

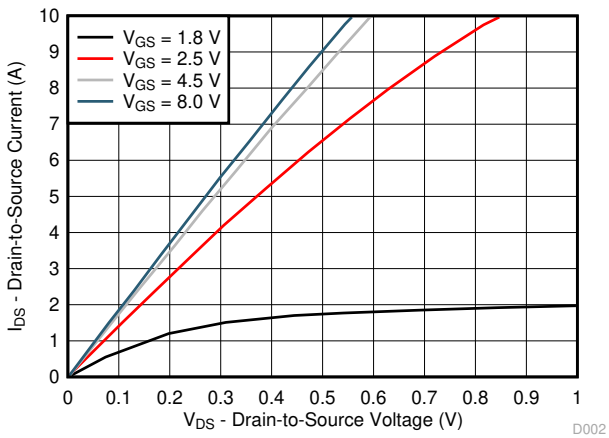
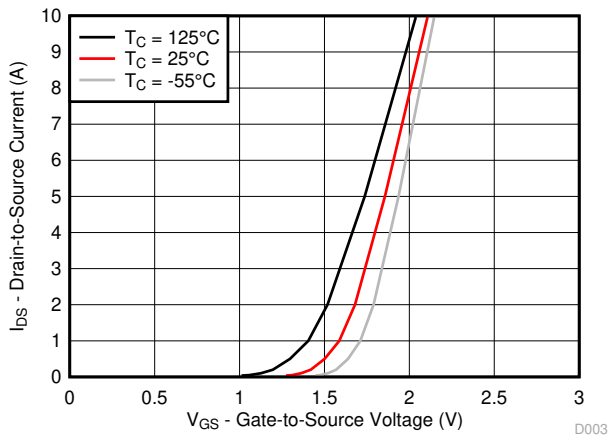


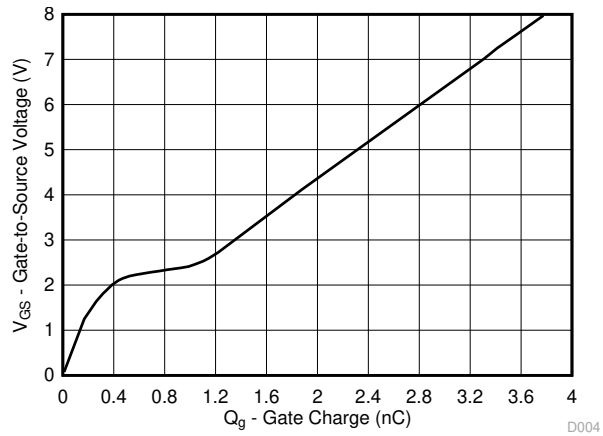
図 5-2. Saturation Characteristics



V_{DS} = 5 V

図 5-3. Transfer Characteristics

Copyright © 2022 Texas Instruments Incorporated



I_D = 0.5 A V_{DS} = 15 V

図 5-4. Gate Charge

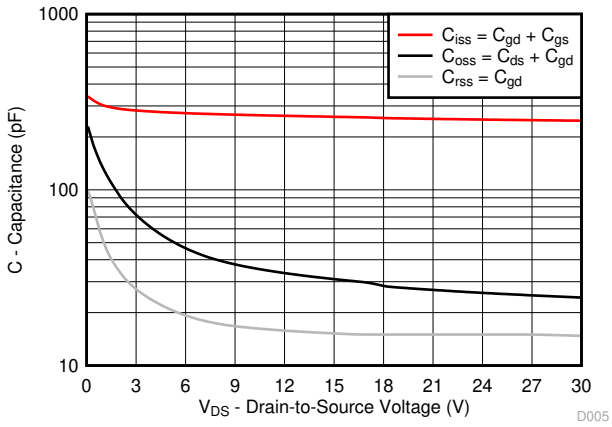
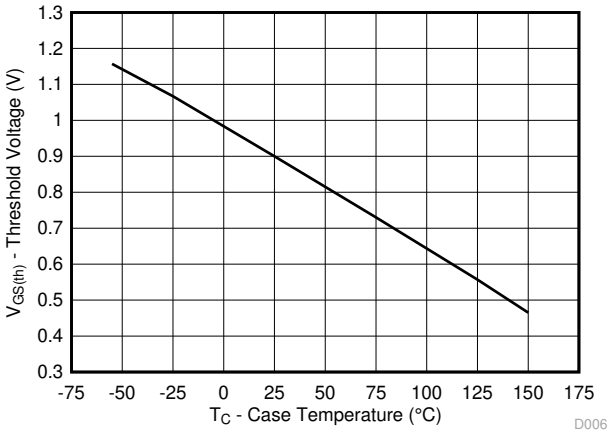


図 5-5. Capacitance



I_D = 250 µA

図 5-6. Threshold Voltage vs Temperature

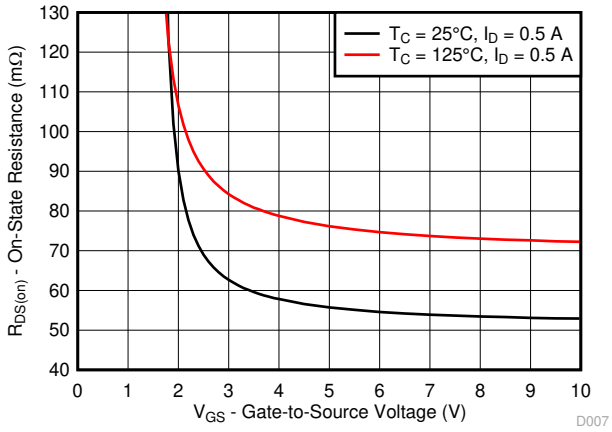
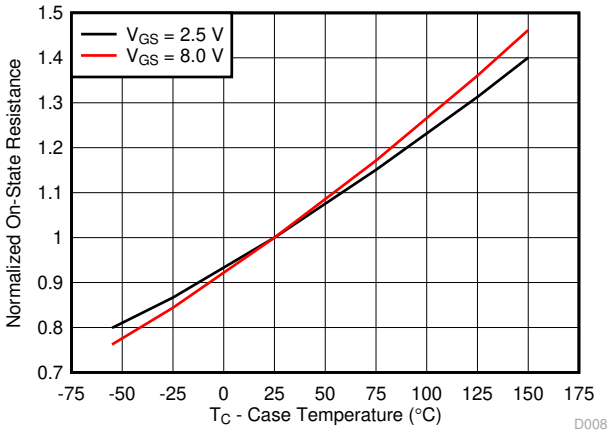


図 5-7. On-State Resistance vs Gate-to-Source Voltage



I_D = 0.5 A

図 5-8. Normalized On-State Resistance vs Temperature

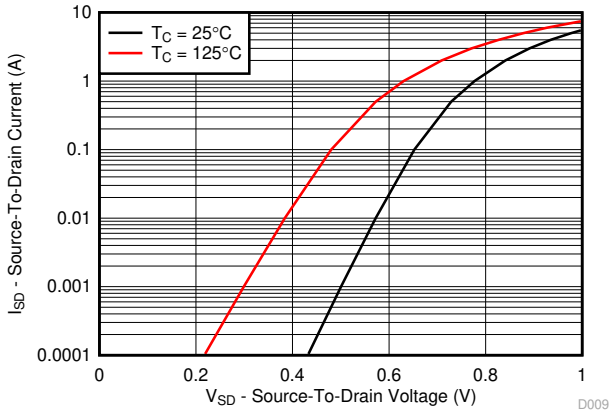
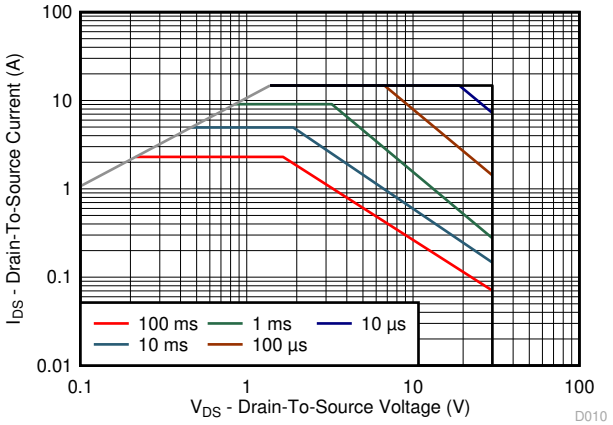


図 5-9. Typical Diode Forward Voltage



Single Pulse, Typ $R_{\theta JA}$ = 245°C/W (min Cu)

図 5-10. Maximum Safe Operating Area (SOA)

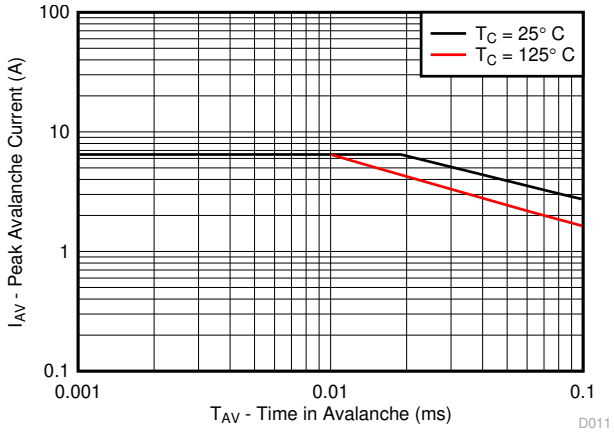
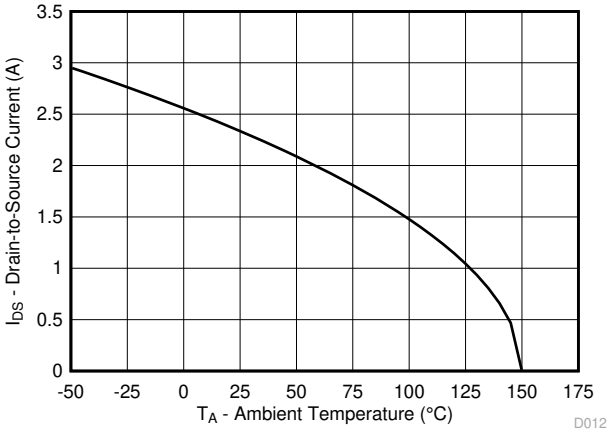


図 5-11. Single Pulse Unclamped Inductive Switching



Typical $R_{\theta JA}$ = 245°C/W (min Cu)

図 5-12. Maximum Drain Current vs Temperature

Copyright © 2022 Texas Instruments Incorporated

6 Device and Documentation Support

6.1 サポート・リソース

TI E2E™ サポート・フォーラムは、エンジニアが検証済みの回答と設計に関するヒントをエキスパートから迅速かつ直接得ることができる場所です。既存の回答を検索したり、独自の質問をしたりすることで、設計で必要な支援を迅速に得ることができます。

リンクされているコンテンツは、該当する貢献者により、現状のまま提供されるものです。これらは TI の仕様を構成するものではなく、必ずしも TI の見解を反映したものではありません。TI の使用条件を参照してください。

6.2 Receiving Notification of Documentation Updates

To receive notification of documentation updates, navigate to the device product folder on ti.com. In the upper right corner, click on *Alert me* to register and receive a weekly digest of any product information that has changed. For change details, review the revision history included in any revised document.

6.3 Trademarks

FemtoFET™ is a trademark of Texas Instruments.
TI E2E™ is a trademark of Texas Instruments.
すべての商標は、それぞれの所有者に帰属します。

6.4 Electrostatic Discharge Caution

This integrated circuit can be damaged by ESD. Texas Instruments recommends that all integrated circuits be handled with appropriate precautions. Failure to observe proper handling and installation procedures can cause damage.

ESD damage can range from subtle performance degradation to complete device failure. Precision integrated circuits may be more susceptible to damage because very small parametric changes could cause the device not to meet its published specifications.

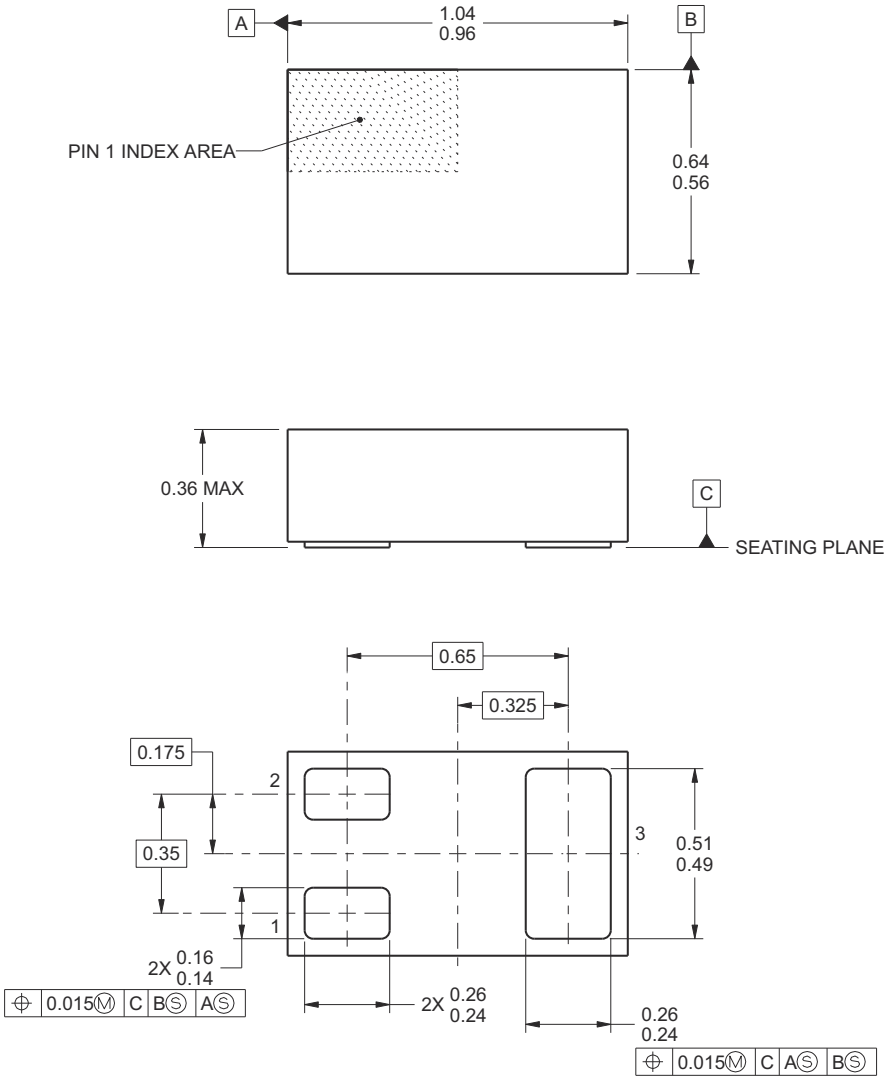
6.5 Glossary

TI Glossary	This glossary lists and explains terms, acronyms, and definitions.

7 Mechanical, Packaging, and Orderable Information

The following pages include mechanical, packaging, and orderable information. This information is the most current data available for the designated devices. This data is subject to change without notice and revision of this document. For browser-based versions of this data sheet, refer to the left-hand navigation.

7.1 Mechanical Dimensions



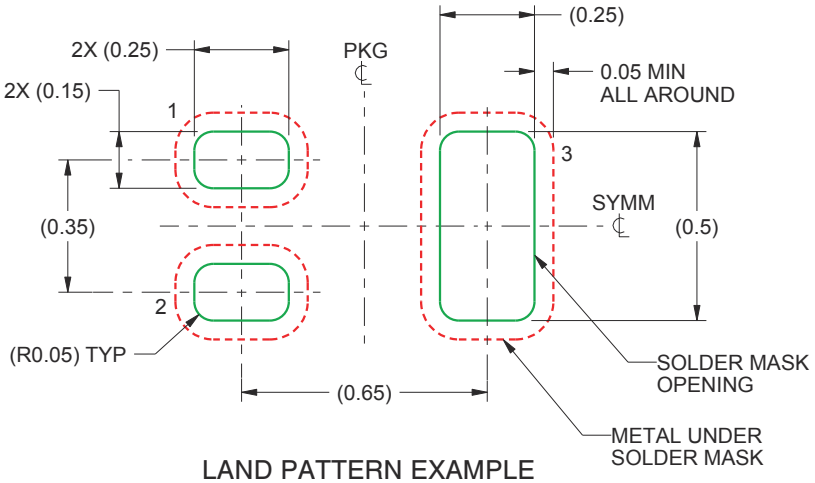
A. All linear dimensions are in millimeters. Any dimensions in parenthesis are for reference only. Dimensioning and tolerancing per ASME Y14.5M.

B. This drawing is subject to change without notice.

C. This package is a Pb-free bump design. Bump finish may vary. To determine the exact finish, refer to the device datasheet or contact a local TI representative.

Copyright © 2022 Texas Instruments Incorporated

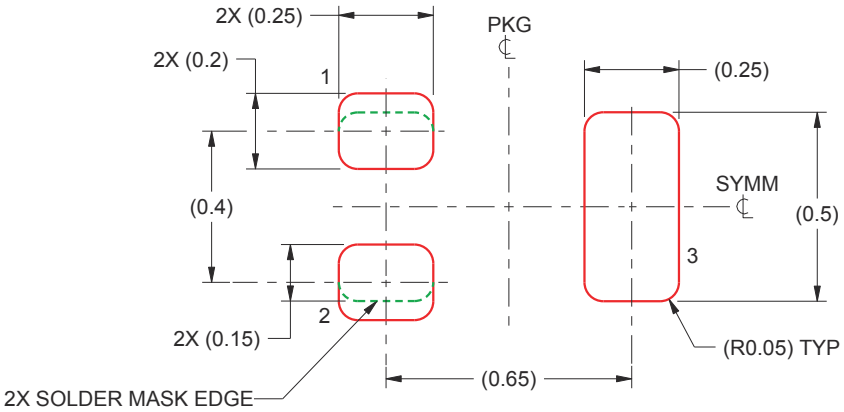
7.2 Recommended Minimum PCB Layout



LAND PATTERN EXAMPLE
SOLDER MASK DEFINED

A. All dimensions are in millimeters.
B. For more information, see *FemtoFET Surface Mount Guide* (SLRA003D).

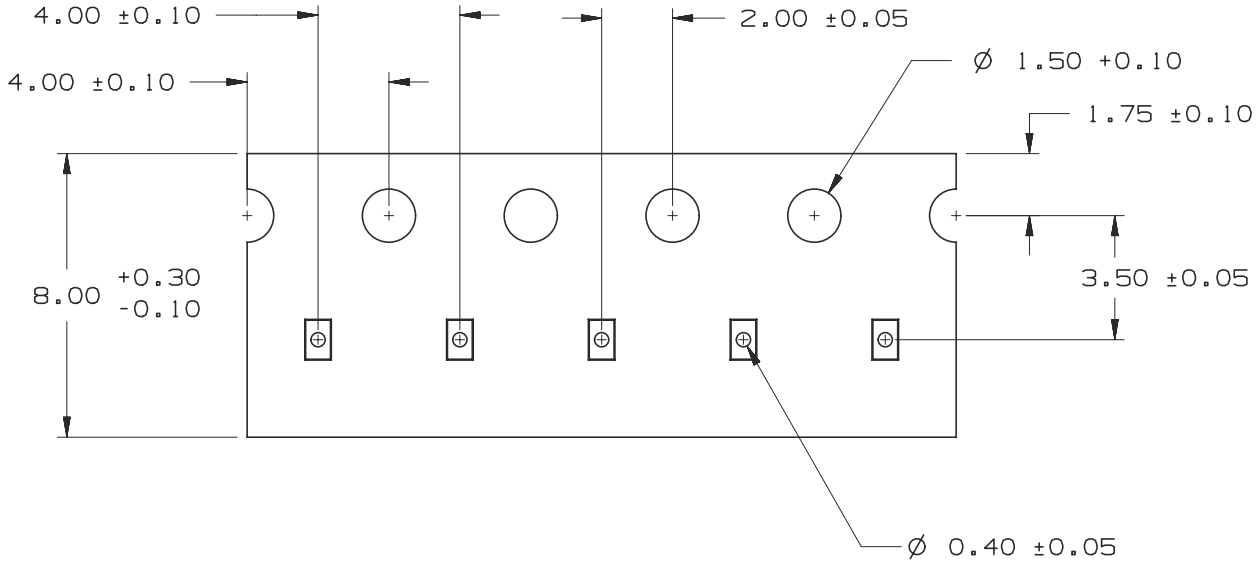
7.3 Recommended Stencil Pattern

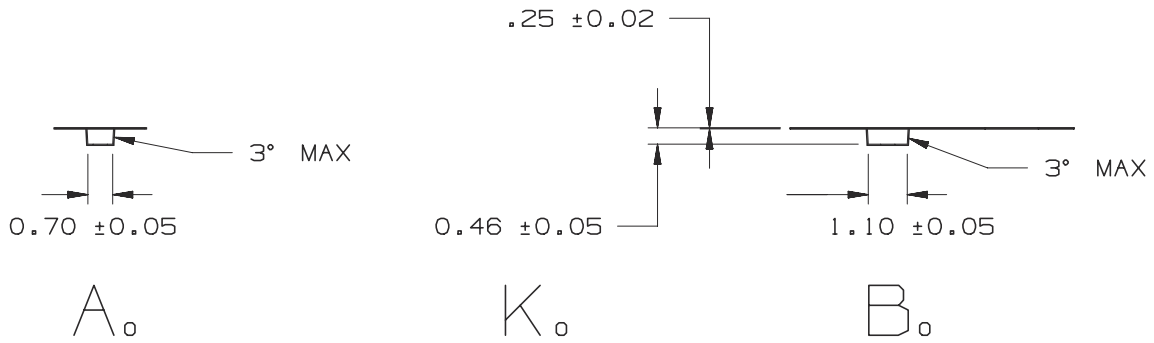


SOLDER PASTE EXAMPLE

A. All dimensions are in millimeters.
B. Laser cutting apertures with trapezoidal walls and rounded corners may offer better paste release. IPC-7525 may have alternate design recommendations.

7.4 CSD17382F4 Embossed Carrier Tape Dimensions





A. Pin 1 is oriented in the top-right quadrant of the tape enclosure (quadrant 2), closest to the carrier tape sprocket holes.

Copyright © 2022 Texas Instruments Incorporated

PACKAGING INFORMATION

Orderable part number	Status (1)	Material type (2)	Package | Pins	Package qty | Carrier	RoHS (3)	Lead finish/ Ball material (4)	MSL rating/ Peak reflow (5)	Op temp (°C)	Part marking (6)
CSD17382F4	Active	Production	PICOSTAR (YJC) | 3	3000 | LARGE T&R	Yes	NIAU	Level-1-260C-UNLIM	-55 to 150	HM
CSD17382F4.B	Active	Production	PICOSTAR (YJC) | 3	3000 | LARGE T&R	Yes	NIAU	Level-1-260C-UNLIM	-55 to 150	HM
CSD17382F4T	Active	Production	PICOSTAR (YJC) | 3	250 | SMALL T&R	Yes	NIAU	Level-1-260C-UNLIM	-55 to 150	HM
CSD17382F4T.B	Active	Production	PICOSTAR (YJC) | 3	250 | SMALL T&R	Yes	NIAU	Level-1-260C-UNLIM	-55 to 150	HM

(1) **Status:** For more details on status, see our product life cycle.

(2) **Material type:** When designated, preproduction parts are prototypes/experimental devices, and are not yet approved or released for full production. Testing and final process, including without limitation quality assurance, reliability performance testing, and/or process qualification, may not yet be complete, and this item is subject to further changes or possible discontinuation. If available for ordering, purchases will be subject to an additional waiver at checkout, and are intended for early internal evaluation purposes only. These items are sold without warranties of any kind.

(3) **RoHS values:** Yes, No, RoHS Exempt. See the TI RoHS Statement for additional information and value definition.

(4) **Lead finish/Ball material:** Parts may have multiple material finish options. Finish options are separated by a vertical ruled line. Lead finish/Ball material values may wrap to two lines if the finish value exceeds the maximum column width.

(5) **MSL rating/Peak reflow:** The moisture sensitivity level ratings and peak solder (reflow) temperatures. In the event that a part has multiple moisture sensitivity ratings, only the lowest level per JEDEC standards is shown. Refer to the shipping label for the actual reflow temperature that will be used to mount the part to the printed circuit board.

(6) **Part marking:** There may be an additional marking, which relates to the logo, the lot trace code information, or the environmental category of the part.

Multiple part markings will be inside parentheses. Only one part marking contained in parentheses and separated by a "~" will appear on a part. If a line is indented then it is a continuation of the previous line and the two combined represent the entire part marking for that device.

Important Information and Disclaimer: The information provided on this page represents TI's knowledge and belief as of the date that it is provided. TI bases its knowledge and belief on information provided by third parties, and makes no representation or warranty as to the accuracy of such information. Efforts are underway to better integrate information from third parties. TI has taken and continues to take reasonable steps to provide representative and accurate information but may not have conducted destructive testing or chemical analysis on incoming materials and chemicals. TI and TI suppliers consider certain information to be proprietary, and thus CAS numbers and other limited information may not be available for release.

In no event shall TI's liability arising out of such information exceed the total purchase price of the TI part(s) at issue in this document sold by TI to Customer on an annual basis.

重要なお知らせと免責事項

TI は、技術データと信頼性データ (データシートを含みます)、設計リソース (リファレンス デザインを含みます)、アプリケーションや設計に関する各種アドバイス、Web ツール、安全性情報、その他のリソースを、欠陥が存在する可能性のある「現状のまま」提供しており、商品性および特定目的に対する適合性の黙示保証、第三者の知的財産権の非侵害保証を含むいかなる保証も、明示的または黙示的にかかわらず拒否します。

これらのリソースは、TI 製品を使用する設計の経験を積んだ開発者への提供を意図したものです。(1) お客様のアプリケーションに適した TI 製品の選定、(2) お客様のアプリケーションの設計、検証、試験、(3) お客様のアプリケーションに該当する各種規格や、その他のあらゆる安全性、セキュリティ、規制、または他の要件への確実な適合に関する責任を、お客様のみが単独で負うものとします。

上記の各種リソースは、予告なく変更される可能性があります。これらのリソースは、リソースで説明されている TI 製品を使用するアプリケーションの開発の目的でのみ、TI はその使用をお客様に許諾します。これらのリソースに関して、他の目的で複製することや掲載することは禁止されています。TI や第三者の知的財産権のライセンスが付与されている訳ではありません。お客様は、これらのリソースを自身で使用した結果発生するあらゆる申し立て、損害、費用、損失、責任について、TI およびその代理人を完全に補償するものとし、TI は一切の責任を拒否します。

TI の製品は、 TI の販売条件 、 TI の総合的な品質ガイドライン 、 ti.com または TI 製品などに関連して提供される他の適用条件に従い提供されます。TI がこれらのリソースを提供することは、適用される TI の保証または他の保証の放棄の拡大や変更を意味するものではありません。 TI がカスタム、またはカスタマー仕様として明示的に指定していない限り、TI の製品は標準的なカタログに掲載される汎用機器です。

お客様がいかなる追加条項または代替条項を提案する場合も、TI はそれらに異議を唱え、拒否します。

Copyright © 2025, Texas Instruments Incorporated

最終更新日：2025 年 10 月