

CDCE(L)925 : SSC サポートによる EMI 削減機能を搭載した柔軟な低消費電力 LVC MOS クロック ジェネレータ

1 特長

- プログラマブル クロック ジェネレータ ファミリ製品
 - CDCE913:1PLL、3 出力
 - CDCE925:2PLL、5 出力
 - CDCE925:3PLL、7 出力
 - CDCE949:4PLL、9 出力
- システム内プログラミング および EEPROM
 - シリアル プログラム可能な揮発性レジスタ
 - 不揮発性 EEPROM に顧客設定を保存
- 柔軟な入力クロック設定の概念
 - 外部水晶振動子: 8MHz ~ 32MHz
 - オンチップ VCXO: プル範囲 ±150ppm
 - シングルエンドの LVC MOS: 最高 160MHz
- 出力周波数を最高 230MHz まで自由に選択可能
- 低ノイズの PLL コア
 - PLL ループ フィルタ コンポーネントを内蔵
 - 短いジッタ時間 (標準値 60ps)
- 独立した出力供給ピン
 - CDCE925: 3.3V および 2.5V
 - CDCEL925: 1.8V
- 柔軟なクロック ドライバ
 - 3 つのユーザー定義可能な制御入力 [S0/S1/S2] (SSC の選択、周波数切り替え、出力イネーブル、パワーダウンなどに使用可能)
 - ビデオ、オーディオ、USB、IEEE1394、RFID、Bluetooth®、WLAN、Ethernet™、GPS
 - TI DaVinci™、OMAP™、DSPs を使用して共通クロックの周波数を生成
 - SSC 変調をプログラム可能
 - OOPM クロック生成が可能
- 1.8V デバイス電源
- 幅広い温度範囲: -40°C ~ 85°C
- TSSOP パッケージ
- 開発およびプログラミング キットにより PLL の設計とプログラムが簡単 テキサス インスツルメンツ (Pro-Clock™)

2 アプリケーション

- D-TV
- STB
- IP-STB
- DVD プレーヤ
- DVD レコーダ
- プリンタ

3 説明

CDCE925 および CDCEL925 は、モジュラー PLL ベースの低コストで高性能なプログラマブル クロック シンセサイザ、マルチプライヤ、およびディバイダです。CDCE925 および CDCEL925 は、1 つの入力周波数から最大 5 つの出力クロックを生成します。それぞれの出力は、最大 2 つの個別に設定可能な PLL を使用し、システム内で最高 230MHz まで、どのような周波数にでもプログラムできます。

CDCE925 には独立した出力電源ピン V_{DDOUT} があり、CDCEL925 では 1.8V、CDCE925 では 2.5V ~ 3.3V です。

入力には外付けの水晶振動子、または LVC MOS クロック信号を接続できます。外付けの水晶振動子の場合、ほとんどのアプリケーションではオンチップの負荷コンデンサだけで十分です。負荷コンデンサの値は、0~20pF の範囲でプログラム可能です。さらに、オンチップの VCXO を選択でき、出力周波数と外部の制御信号、すなわち PWM 信号とを同期できます。

大きな M/N 分周比により、ゼロ ppm のオーディオまたはビデオ、ネットワーク (WLAN、BlueTooth、イーサネット、GPS)、またはインターフェイス (USB、IEEE1394、メモリースティック) の 0ppm のクロックを、たとえば 27MHz の基準入力周波数から生成できます。

すべての PLL は SCC (拡散スペクトラム クロッキング) をサポートします。SSC は、センター スプレッドおよびダウンスプレッド クロッキングを使用でき、これは電磁気的干渉 (EMI) を低減するための一般的な技法です。

PLL 周波数と分周値の設定に基づいて内部のループ フィルタ コンポーネントを自動的に調整することにより、高い安定性を実現し、各 PLL のジッタ伝達特性を最適化します。



このリソースの元の言語は英語です。翻訳は概要を便宜的に提供するもので、自動化ツール (機械翻訳) を使用していることがあります。TI では翻訳の正確性および妥当性につきましては一切保証いたしません。実際の設計などの前には、ti.com で必ず最新の英語版をご参照くださいますようお願いいたします。

このデバイスは不揮発性 EEPROM のプログラミングをサポートしているため、アプリケーションに応じて簡単にカスタマイズ可能です。工場出荷時のデフォルト構成にプリセットされており、別のアプリケーション構成に合わせて再プログラムしてから PCB に送信することも、システム内プログラミングにより再プログラムすることもできます。すべてのデバイス設定は、2 線式シリアル インターフェイスの SDA/SCL バスでプログラムできます。

3 つのフリー プログラマブル制御入力 S0、S1、S2 を使用して、異なる周波数の選択や、SSC 設定の変更、または出力を low にディセーブル、高インピーダンス状態の出力、電源オフ、PLL バイパスなどの他の制御機能を使用できます。

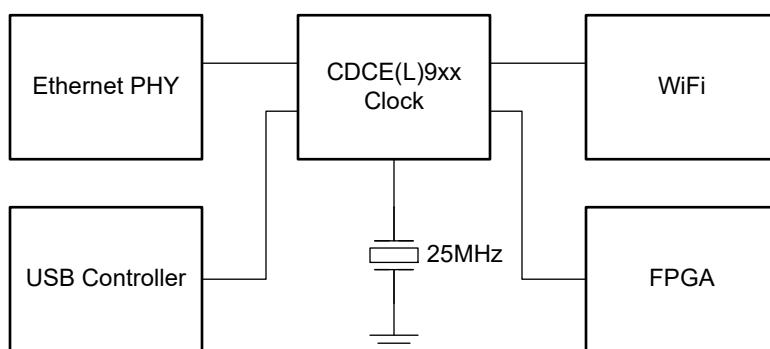
CDCx925 は、-40°C ~ 85°C の温度範囲内の 1.8V 環境で動作します。

パッケージ情報

部品番号	パッケージ ⁽¹⁾	パッケージ サイズ ⁽²⁾
CDCE925	PW (TSSOP, 16)	5.00mm × 4.40mm

(1) 供給されているすべてのパッケージについては、[セクション 12](#) を参照してください。

(2) パッケージサイズ (長さ × 幅) は公称値であり、該当する場合はピンを含みます。



代表的なアプリケーション回路図

目次

1 特長	1	7.4 デバイスの機能モード	16
2 アプリケーション	1	7.5 プログラミング	17
3 説明	1	8 レジスタ マップ	19
4 ピン構成および機能	4	8.1 SDA/SCL 構成レジスタ	19
5 仕様	5	9 アプリケーションと実装	25
5.1 絶対最大定格	5	9.1 アプリケーション情報	25
5.2 ESD 定格	5	9.2 代表的なアプリケーション	25
5.3 推奨動作条件	5	9.3 電源に関する推奨事項	29
5.4 熱に関する情報	6	9.4 レイアウト	29
5.5 電気的特性	6	10 デバイスおよびドキュメントのサポート	31
5.6 EEPROM 仕様	8	10.1 デバイス サポート	31
5.7 タイミング要件:CLK_IN	8	10.2 ドキュメントのサポート	31
5.8 タイミング要件:SDA/SCL	8	10.3 ドキュメントの更新通知を受け取る方法	31
5.9 代表的特性	10	10.4 サポート・リソース	31
6 パラメータ測定情報	11	10.5 商標	31
7 詳細説明	12	10.6 静電気放電に関する注意事項	31
7.1 概要	12	10.7 用語集	31
7.2 機能ブロック図	13	11 改訂履歴	32
7.3 機能説明	13	12 メカニカル、パッケージ、および注文情報	32

4 ピン構成および機能

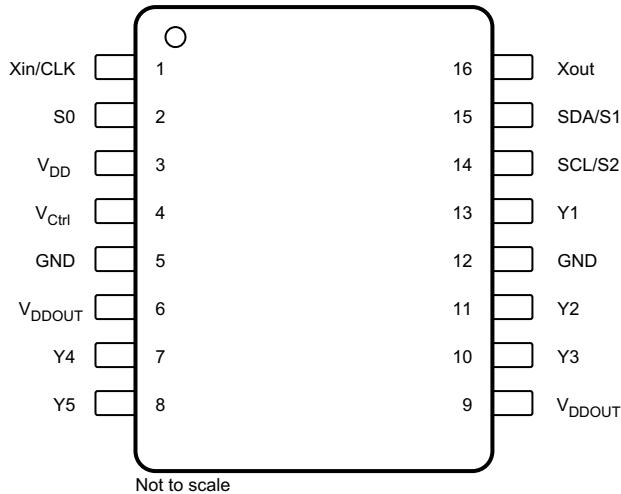


図 4-1. PW パッケージ 16 ピン TSSOP 上面図

表 4-1. ピンの機能

ピン		種類 ⁽¹⁾	説明
名称	番号		
GND	5, 12	G	グランド
SCL/S2	14	I	SCL: シリアル クロック入力 (デフォルト構成)、LVC MOS、内部プルアップ S2: ユーザーがプログラム可能な制御入力、LVC MOS 入力、内部プルアップ
SDA/S1	15	I/O	SDA: 双方向シリアル データ入出力 (デフォルト構成)、LVC MOS、内部プルアップ S1: ユーザーがプログラム可能な制御入力、LVC MOS 入力、内部プルアップ
S0	2	I	ユーザーがプログラム可能な制御入力 S0、LVC MOS 入力、内部プルアップ
V_Ctrl	4	I	VCXO 制御電圧 (未使用時はオープンまたはプルアップのままにする)
V_DD	3	P	デバイスの 1.8V 電源
V_DDOUT	6, 9	P	CDCEL925: すべての出力の 1.8V 電源 CDCE925: すべての出力の 3.3V または 2.5V 電源
Xin/CLK	1	I	水晶発振器入力または LVC MOS クロック入力 (SDA/SCL バスで選択可能)
Xout	16	O	水晶発振器出力 (未使用時はオープンまたはプルアップのままにします)
Y1	13	O	LVC MOS 出力
Y2	11		
Y3	10		
Y4	7		
Y5	8		

(1) G=グランド、I=入力、O=出力、P=電源

5 仕様

5.1 絶対最大定格

自由気流での動作温度範囲内 (特に記述のない限り) ⁽¹⁾

	最小値	最大値	単位
電源電圧、 V_{DD}	-0.5	2.5	V
入力電圧、 V_I ^{(2) (3)}	-0.5	$V_{DD} + 0.5$	V
出力電圧、 V_O ⁽²⁾	-0.5	$V_{DD} + 0.5$	V
入力電流、 I_I ($V_I < 0, V_I > V_{DD}$)		20	mA
連続出力電流、 I_O		50	mA
最大接合部温度、 T_J		125	°C
保管温度、 T_{stg}	-65	150	°C

- (1) 絶対最大定格を超えた動作は、デバイスに恒久的な損傷を与える可能性があります。絶対最大定格は、これらの条件において、または推奨動作条件に示された値を超える他のいかなる条件でも、本製品が正しく動作することを暗に示すものではありません。「絶対最大定格」の範囲内であっても「推奨動作条件」の範囲外で使用した場合、本デバイスは完全に機能するとは限らず、このことが本デバイスの信頼性、機能、性能に影響を及ぼし、本デバイスの寿命を縮める可能性があります。
- (2) 入力と出力のクランプ電流の定格を順守しても、入力と出力の負電圧の定格を超えることがあります。
- (3) SDA と SCL は、「推奨動作条件」の表に記載されているように、最大 3.6V まで動作できます。

5.2 ESD 定格

		値	単位
$V_{(ESD)}$ 静電放電	人体モデル (HBM)、ANSI/ESDA/JEDEC JS-001 準拠 ⁽¹⁾	±2000	V
	デバイス帯電モデル (CDM)、JEDEC 仕様 JESD22-C101 に準拠 ⁽²⁾	±1500	

- (1) JEDEC のドキュメント JEP155 に、500V HBM では標準の ESD 管理プロセスで安全な製造が可能であると規定されています。
- (2) JEDEC のドキュメント JEP157 に、250V CDM では標準の ESD 管理プロセスで安全な製造が可能であると規定されています。

5.3 推奨動作条件

		最小値	公称値	最大値	単位
V_{DD}	デバイス電源電圧	1.7	1.8	1.9	V
V_{DDOUT}	出力 Y_x 電源電圧	CDCE925	2.3	3.6	V
		CDCEL925	1.7	1.9	
V_{IL}	Low レベル入力電圧 LVC MOS			$0.3 \times V_{DD}$	V
V_{IH}	High レベル入力電圧 LVC MOS		$0.7 \times V_{DD}$		V
$V_{I(thresh)}$	入力電圧スレッショルド LVC MOS			$0.5 \times V_{DD}$	V
$V_{I(S)}$	入力電圧	S0	0	1.9	V
		S1, S2, SDA, SCL, $V_{I(thresh)} = 0.5V_{DD}$	0	3.6	
$V_{I(CLK)}$	入力電圧、CLK		0	1.9	V
I_{OH}/I_{OL}	出力電流	$V_{DDOUT} = 3.3V$		±12	mA
		$V_{DDOUT} = 2.5V$		±10	
		$V_{DDOUT} = 1.8V$		±8	
C_L	出力負荷 LVC MOS			15	pF
T_A	自由空気での動作温度		-40	85	°C
水晶と VCXO ⁽¹⁾					
f_{xtal}	水晶振動子の入力周波数 (基本波モード)	8	27	32	MHz
ESR	等価直列抵抗			100	Ω
f_{PR}	引き込み ($0V \leq V_{ctrlCtrl} \leq 1.8V$) ⁽²⁾	±120	±150		ppm
V_{ctrl}	周波数制御電圧	0		V_{DD}	V
C_0/C_1	安定性比率			220	

		最小値	公称値	最大値	単位
C _L	XIN と XOUT のオンチップ負荷容量	0	20	20	pF

- (1) VCXO の構成と水晶振動子に関する推奨事項の詳細については、『[CDCE \(L\) 9xx ファミリの VCXO アプリケーション ガイドライン』アプリケーション ノートを参照してください。](#)
- (2) 引き込み範囲は、水晶振動子のタイプ、オンチップの水晶振動子の負荷容量、PCB の浮遊容量によって異なります。±120ppm の範囲は、『[CDCE \(L\) 9xx ファミリの VCXO アプリケーション ガイドライン』アプリケーション ノートに記載されている水晶振動子に適用されます。](#)

5.4 熱に関する情報

熱評価基準 ⁽¹⁾		CDCE925	単位
		PW (TSSOP)	
		20 ピン	
R _{θJA}	接合部から周囲への熱抵抗	エアフロー 0 (LFM)	101
		エアフロー 150 (LFM)	85
		エアフロー 200 (LFM)	84
		エアフロー 250 (LFM)	82
		エアフロー 500 (LFM)	74
R _{θJC(top)}	接合部からケース (上面) への熱抵抗	42	°C/W
R _{θJB}	接合部から基板への熱抵抗	63.63	°C/W
Ψ _{JT}	接合部から上面への特性パラメータ	1.01	°C/W
Ψ _{JB}	接合部から基板への特性パラメータ	58.12	°C/W
R _{θJC(bot)}	接合部からケース (底面) への熱抵抗	58	°C/W

(1) 従来および最新の熱評価基準の詳細については、『[半導体および IC パッケージの熱評価基準』アプリケーション レポートを参照してください。](#)

5.5 電気的特性

自由空気での推奨動作温度範囲内 (特に記述のない限り)

パラメータ	テスト条件	最小値	標準値 ⁽¹⁾	最大値	単位
I _{DD}	消費電流 (図 5-1 を参照)	すべての出力がオフ、f _{CLK} = 27MHz、f _{VCO} = 135MHz, f _{OUT} = 27MHz	すべての PLL がオン	20	mA
			PLL ごと	9	
I _{DDOUT}	消費電流 (図 5-2 および図 5-3 を参照)	無負荷、すべての出力がオン、f _{OUT} = 27MHz	CDCE925、V _{DDOUT} = 3.3V	2	mA
			CDCEL925、V _{DDOUT} = 1.8V	1	
I _{DDPD}	パワーダウン電流。SDA/SCL を除くすべての回路はパワーダウンします	f _{IN} = 0MHz, V _{DD} = 1.9V		30	μA
V _{PUC}	電源オン制御回路の電源電圧 V _{DD} スレッシング			0.85	V
f _{VCO}	PLL の VCO 周波数範囲			1.45	MHz
f _{OUT}	LVC MOS 出力周波数	CDCE925 V _{ITN} = 1.8V		230	MHz
LVC MOS					
V _{IK}	LVC MOS 入力電圧	V _{DD} = 1.7V, I _S = -18mA		-1.2	V
I _I	LVC MOS 入力電流	V _I = 0V または V _{DD} , V _{DD} = 1.9V		±5	μA
I _{IH}	S0/S1/S2 の LVC MOS 入力電流	V _I = V _{DD} , V _{DD} = 1.9V		5	μA
I _{IL}	S0/S1/S2 の LVC MOS 入力電流	V _I = 0V, V _{DD} = 1.9V		-4	μA
C _I	Xin/clk での入力容量	V _{iCLK} = 0V または V _{DD}		6	pF
	Xout の入力容量	V _{iXout} = 0V または V _{DD}		2	
	S0, S1, S2 での入力キャパシタンス	V _{iN} = 0V または V _{DD}		3	
CDCE925 - V_{DDOUT} = 3.3V の場合の LVC MOS					

5.5 電気的特性 (続き)

自由空気での推奨動作温度範囲内 (特に記述のない限り)

パラメータ		テスト条件	最小値	標準値 ⁽¹⁾	最大値	単位
V_{OH}	LVCMOS high レベル出力電圧	$V_{DDOUT} = 3V, I_{OH} = -0.1mA$	2.9			V
		$V_{DDOUT} = 3V, I_{OH} = -8mA$	2.4			
		$V_{DDOUT} = 3V, I_{OH} = -12mA$	2.2			
V_{OL}	LVCMOS low レベル出力電圧	$V_{DDOUT} = 3V, I_{OL} = 0.1mA$		0.1		V
		$V_{DDOUT} = 3V, I_{OL} = 8mA$		0.5		
		$V_{DDOUT} = 3V, I_{OL} = 12mA$		0.8		
t_{PLH}, t_{PHL}	伝搬遅延	すべての PLL バイパス		3.2		ns
t_r/t_f	立ち上がりおよび立ち下がり時間	$V_{DDOUT} = 3.3V$ (20% ~ 80%)		0.6		ns
$t_{jit(cc)}$	サイクル間ジッタ ^{(2) (3)}	1PLL スイッチング、Y2 から Y3 へ		50	70	ps
		2PLL スイッチング、Y2 から Y5 へ		90	130	
$t_{jit(per)}$	ピークツーピーク周期ジッタ ⁽³⁾	1PLL スイッチング、Y2 から Y3 へ		60	100	ps
		2PLL スイッチング、Y2 から Y5 へ		100	160	
$t_{sk(o)}$	出力スキュー ⁽⁴⁾	$f_{OUT} = 50MHz, Y1 から Y3 へ$		70		ps
		$f_{OUT} = 50MHz, Y2 から Y5 へ$			150	
odc	出力デューティ サイクル ⁽⁵⁾	$f_{VCO} = 100MHz, Pdiv = 1$		45%	55%	
CDCE925 - $V_{DDOUT} = 2.5V$ の場合の LVCMOS						
V_{OH}	LVCMOS high レベル出力電圧	$V_{DDOUT} = 2.3V, I_{OH} = -0.1mA$	2.2			V
		$V_{DDOUT} = 2.3V, I_{OH} = -6mA$	1.7			
		$V_{DDOUT} = 2.3V, I_{OH} = -10mA$	1.6			
V_{OL}	LVCMOS low レベル出力電圧	$V_{DDOUT} = 2.3V, I_{OL} = 0.1mA$		0.1		V
		$V_{DDOUT} = 2.3V, I_{OL} = 6mA$		0.5		
		$V_{DDOUT} = 2.3V, I_{OL} = 10mA$		0.7		
t_{PLH}, t_{PHL}	伝搬遅延	すべての PLL バイパス		3.6		ns
t_r/t_f	立ち上がりおよび立ち下がり時間	$V_{DDOUT} = 2.5V$ (20% ~ 80%)		0.8		ns
$t_{jit(cc)}$	サイクル間ジッタ ^{(2) (3)}	1PLL スイッチング、Y2 から Y3 へ		50	70	ps
		2PLL スイッチング、Y2 から Y5 へ		90	130	
$t_{jit(per)}$	ピークツーピーク周期ジッタ ⁽³⁾	1PLL スイッチング、Y2 から Y3 へ		60	100	ps
		2PLL スイッチング、Y2 から Y5 へ		100	160	
$t_{sk(o)}$	出力スキュー ⁽⁴⁾	$f_{OUT} = 50MHz, Y1 から Y3 へ$		70		ps
		$f_{OUT} = 50MHz, Y2 から Y5 へ$			150	
odc	出力デューティ サイクル ⁽⁵⁾	$f_{VCO} = 100MHz, Pdiv = 1$		45%	55%	
CDCEL925 - $V_{DDOUT} = 1.8V$ の場合の LVCMOS						
V_{OH}	LVCMOS high レベル出力電圧	$V_{DDOUT} = 1.7V, I_{OH} = -0.1mA$	1.6			V
		$V_{DDOUT} = 1.7V, I_{OH} = -4mA$	1.4			
		$V_{DDOUT} = 1.7V, I_{OH} = -8mA$	1.1			
V_{OL}	LVCMOS low レベル出力電圧	$V_{DDOUT} = 1.7V, I_{OL} = 0.1mA$		0.1		V
		$V_{DDOUT} = 1.7V, I_{OL} = 4mA$		0.3		
		$V_{DDOUT} = 1.7V, I_{OL} = 8mA$		0.6		
t_{PLH}, t_{PHL}	伝搬遅延	すべての PLL バイパス		2.6		ns
t_r/t_f	立ち上がりおよび立ち下がり時間	$V_{DDOUT} = 1.8V$ (20% ~ 80%)		0.7		ns
$t_{jit(cc)}$	サイクル間ジッタ ^{(2) (3)}	1PLL スイッチング、Y2 から Y3 へ		80	110	ps
		2PLL スイッチング、Y2 から Y5 へ		130	200	
$t_{jit(per)}$	ピークツーピーク周期ジッタ ⁽³⁾	1PLL スイッチング、Y2 から Y3 へ		100	130	ps
		2PLL スイッチング、Y2 から Y5 へ		150	220	

5.5 電気的特性 (続き)

自由空気での推奨動作温度範囲内 (特に記述のない限り)

パラメータ	テスト条件	最小値	標準値 ⁽¹⁾	最大値	単位
$t_{sk(o)}$ 出力スキュー ⁽⁴⁾	$f_{OUT} = 50\text{MHz}$, Y1 から Y3 へ		50		ps
	$f_{OUT} = 50\text{MHz}$, Y2 から Y5 へ		110		
odc 出力デューティサイクル ⁽⁵⁾	$f_{VCO} = 100\text{MHz}$, Pdiv = 1	45%		55%	
SDA AND SCL					
V_{IK} SCL および SDA 入力クランプ電圧	$V_{DD} = 1.7\text{V}$, $I_I = -18\text{mA}$		-1.2		V
I_{IH} SCL および SDA 入力電流	$V_I = V_{DD}$, $V_{DD} = 1.9\text{V}$		± 10		μA
V_{IH} SDA/SCL 入力高電圧 ⁽⁶⁾			$0.7 \times V_{DD}$		V
V_{IL} SDA/SCL 入力低電圧 ⁽⁶⁾			$0.3 \times V_{DD}$		V
V_{OL} SDA low レベル出力電圧	$I_{OL} = 3\text{mA}$, $V_{DD} = 1.7\text{V}$		$0.2 \times V_{DD}$		V
C_I SCL/SDA 入力容量	$V_I = 0\text{V}$ または V_{DD}	3		10	pF

(1) すべての標準値は、それぞれの公称 V_{DD} における値です。

(2) 10,000 サイクル

(3) ジッタは、構成によって異なります。ジッタ データは、入力周波数 = 27MHz, $f_{VCO} = 135\text{MHz}$, $f_{OUT} = 27\text{MHz}$, $f_{OUT} = 3.072\text{MHz}$ 、または入力周波数 = 27MHz, $f_{VCO} = 108\text{MHz}$, $f_{OUT} = 27\text{MHz}$, $f_{OUT} = 16.384\text{MHz}$, $f_{OUT} = 25\text{MHz}$, $f_{OUT} = 74.25\text{MHz}$, $f_{OUT} = 48\text{MHz}$ の場合です。

(4) $t_{sk(o)}$ 仕様は、出力の各バンクが等しい負荷に対してのみ有効で、出力は同じ分周器から生成されます。立ち上がりエッジ (t_r) でサンプリングされたデータです。

(5) ODC は、出力の立ち上がり時間と立ち下がり時間 (t_r/t_f) に依存します。

(6) SDA と SCL ピンは 3.3V 許容です。

5.6 EEPROM 仕様

	最小値	標準値	最大値	単位
EEcyc EEPROM のプログラミング サイクル	100	1000		サイクル
EEret データ保持期間	10			年

5.7 タイミング要件 : CLK_IN

自由気流での動作温度範囲内 (特に記述のない限り)

		最小値	公称値	最大値	単位
f_{CLK} LVCMOS クロック入力周波数	PLL バイパス モード	0	160		MHz
	PLL モード	8	160		
t_r / t_f 立ち上がり/立ち下がり時間 CLK 信号 (20% ~ 80%)				3	ns
duty _{CLK} $V_{DD}/2$ でのデューティサイクル CLK		40%		60%	

5.8 タイミング要件 : SDA/SCL

自由空気での動作温度範囲内 (特に記述のない限り、図 7-3 を参照)

		最小値	公称値	最大値	単位
f_{SCL} SCL クロック周波数	スタンダード モード	0	100		kHz
	ファスト モード	0	400		
$t_{su(START)}$ スタート セットアップ時間 (SCL high から SDA low まで)	スタンダード モード	4.7			μs
	ファスト モード	0.6			
$t_{h(START)}$ START ホールド時間 (SDA low から SDA low まで)	スタンダード モード	4			μs
	ファスト モード	0.6			
$t_{w(SCL)}$ SCL low パルス期間	スタンダード モード	4.7			μs
	ファスト モード	1.3			

5.8 タイミング要件 : SDA/SCL (続き)

自由空気での動作温度範囲内 (特に記述のない限り、図 7-3 を参照)

			最小値	公称値	最大値	単位
$t_w(SCLH)$	SCL high パルスの期間	スタンダード モード	4			μs
		ファスト モード	0.6			
$t_h(SDA)$	SDA ホールド時間 (SCL low から SDA 有効の間)	スタンダード モード	0	3.45		μs
		ファスト モード	0	0.9		
$t_{su}(SDA)$	SDA のセットアップ時間	スタンダード モード	250			ns
		ファスト モード	100			
t_r	SCL/SDA 入力立ち上がり時間	スタンダード モード		1000		ns
		ファスト モード		300		
t_f	SCL/SDA 入力立ち下がり時間、標準モードおよび高速モード			300		ns
$t_{su(STOP)}$	STOP のセットアップ時間	スタンダード モード	4			μs
		ファスト モード	0.6			
t_{bus}	STOP 条件と START 条件の間のバスフリー時間	スタンダード モード	4.7			μs
		ファスト モード	1.3			

5.9 代表的特性

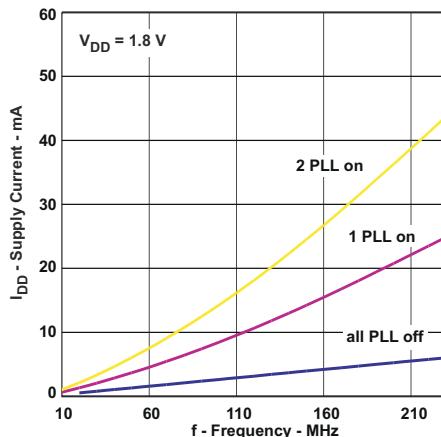


図 5-1. CDCE925 消費電流と PLL 周波数との関係

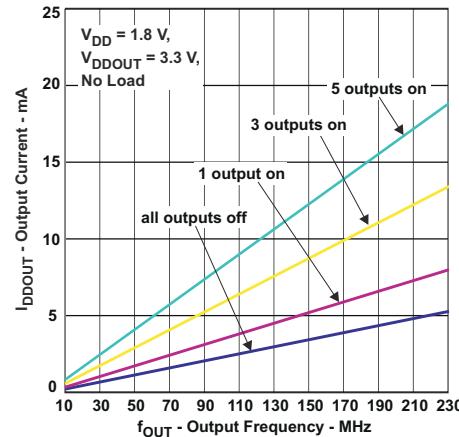


図 5-2. CDCE925 出力電流と出力周波数との関係

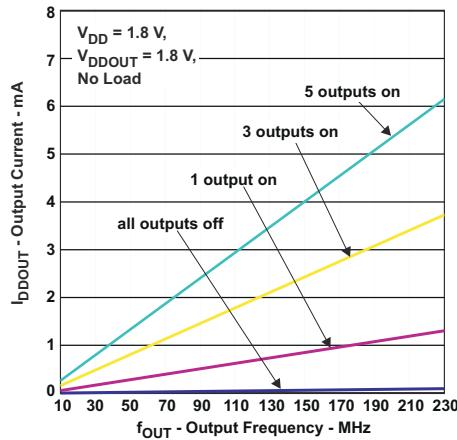


図 5-3. CDCEL925 出力電流と出力周波数との関係

6 パラメータ測定情報

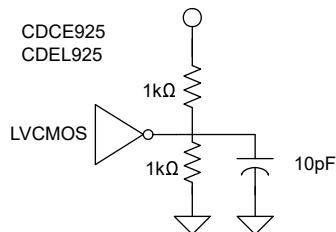


図 6-1. テスト負荷

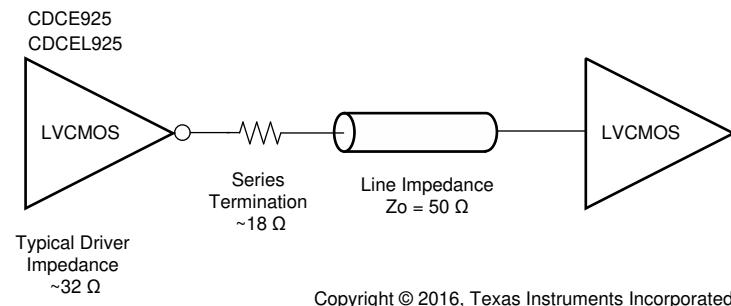


図 6-2. 50Ω 基板環境のテスト負荷

7 詳細説明

7.1 概要

CDCE925 および CDCEL925 は、モジュラー PLL ベースの低コストで高性能なプログラマブル クロック シンセサイザ、倍増器、および分周器です。単一の入力周波数から最大 5 つの出力クロックを生成できます。それぞれの出力は、内蔵の 2 つの構成可能 PLL を使用して、230MHz までの任意のクロック周波数にシステム内でプログラム可能です。

CDCx925 には独立した出力電源ピン V_{DDOUT} があり、CDCEL925 では 1.8V、CDCE925 では 2.5V~3.3V です。

入力には外付けの水晶振動子、または LVC MOS クロック信号を接続できます。外付けの水晶振動子を使用する場合、ほとんどのアプリケーションではオンチップの負荷コンデンサだけで十分です。負荷コンデンサの値は、0~20pF の範囲でプログラム可能です。さらに、選択可能なオンチップ VCXO により、出力周波数と外部の制御信号、すなわち PWM 信号と同期できます。

大きな M/N 分周比により、オーディオまたはビデオ、ネットワーク (WLAN, BlueTooth, イーサネット, GPS)、またはインターフェイス (USB, IEEE1394, メモリスティック) の 0ppm のクロックを、たとえば 27MHz の基準入力周波数から生成できます。

すべての PLL は拡散スペクトラム クロッキング (SSC) をサポートします。センタースプレッドおよびダウ ns スプレッド クロッキングの SSC を使用できます。これは電磁干渉 (EMI) を低減するための一般的な手法です。

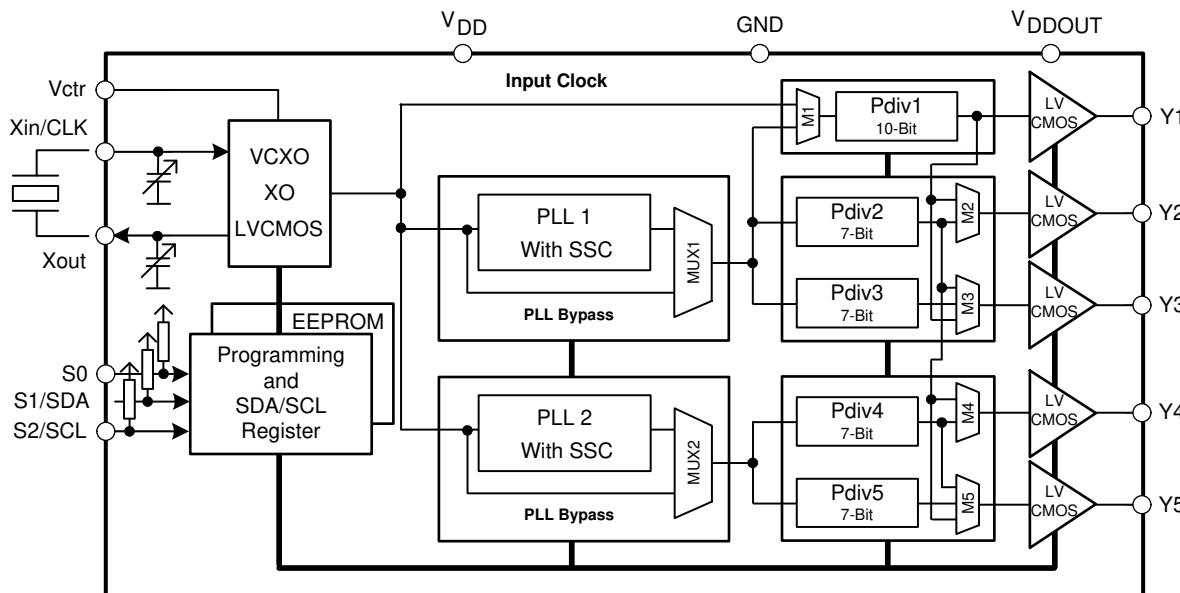
PLL 周波数と分周値の設定に基づいて内部のループ フィルタ コンポーネントを自動的に調整することにより、高い安定性を実現し、各 PLL のジッタ伝達特性を最適化します。

このデバイスは不揮発性 EEPROM のプログラミングをサポートしているため、アプリケーションに応じて簡単にカスタマイズ可能です。工場出荷時にあらかじめデフォルト設定済みです（「デフォルトのデバイス構成」セクションを参照）。各種のアプリケーション構成に応じて PCB 組み立て前に再プログラム可能したり、システム内プログラミングにより再プログラムしたりできます。すべてのデバイス設定は、2 線式シリアル インターフェイスの SDA および SCL バスでプログラムできます。

3 つの無料のプログラム可能な制御入力 S0、S1、および S2 を使用して、周波数の選択、EMI を削減するための SSC パラメータの変更、PLL バイパス、電源オフ、または出力を低に無効化、出力を高インピーダンス状態にするなどの他の制御機能など、さまざまな操作の侧面を制御できます。

CDCx925 は、-40°C~85°C の温度範囲内の 1.8V 環境で動作します。

7.2 機能ブロック図



Copyright © 2016, Texas Instruments Incorporated

図 7-1. CDCE925 の機能ブロック図

7.3 機能説明

7.3.1 ターミナル設定を制御します

CDCE925 には、ユーザー定義可能な 3 つの制御端子 (S0、S1、および S2) があり、デバイス設定を外部から制御できます。端子は、次のいずれかの設定にプログラムできます。

- スペクトラム拡散クロックの選択 → 拡散タイプおよび拡散量の選択
- 周波数選択 → 2 つのユーザー定義周波数のいずれか間での切り替え
- 出力状態の選択 → 出力構成およびパワーダウン制御

ユーザーは、最大 8 つの異なるコントロール設定を事前定義できます。表 7-1 と表 7-2 は、これらの設定について説明します。

表 7-1. コントロール端末定義

外部制御ビット	PLL1 の設定		PLL2 の設定		Y1 の設定
コントローラの機能	PLL 周波数の選択	SSC の選択	出力 Y2/Y3 の選択	PLL 周波数の選択	SSC の選択

表 7-2. PLLx 設定 (PLL ごとに個別に選択可能)

SSC の選択 (中心/下) ⁽¹⁾				
SSCx [3 ビット]			中心	下
0	0	0	0% (オフ)	0% (オフ)
0	0	1	±0.25%	-0.25%
0	1	0	±0.5%	-0.5%
0	1	1	±0.75%	-0.75%
1	0	0	±1%	-1.0%
1	0	1	±1.25%	-1.25%

表 7-2. PLLx 設定 (PLL ごとに個別に選択可能) (続き)

SSC の選択 (中心/下) ⁽¹⁾				
SSCx [3 ビット]			中心	下
1	1	0	±1.5%	-1.5%
1	1	1	±2%	-2%
周波数の選択 ⁽²⁾				
FSX		機能		
0		Frequency0		
1		Frequency1		
出力選択 ⁽³⁾ (Y2 ... Y5)				
YxYx		機能		
0		State0		
1		State1		

(1) センター/ダウンスプレッド、Frequency0/1、State0/1 は PLLx 構成レジスタでユーザー定義可能です。

(2) Frequency0 および Frequency1 には、指定された f_{VCO} 範囲内の任意の周波数を指定できます。

(3) State0/1 の選択は、対応する PLL モジュールの両方の出力で有効であり、パワーダウン、高インピーダンス状態、low、またはアクティブにすることができます

表 7-3. Y1 の設定

Y1 選択 ⁽¹⁾	
Y1	機能
0	状態 0
1	状態 1

(1) ステート 0 とステート 1 は汎用コンフィグレーション レジスターでユーザー定義可能で、パワーダウン、高インピーダンス状態、low、またはアクティブにすることができます。

CDCE925 の SDA/S1 および SCL/S2 ピンはデュアル機能ピンです。デフォルト構成では、SDA/SCL シリアル プログラミング インターフェイスとして事前定義されています。EEPROM の適切なビットを設定することで、ピン (S1/S2) を制御するようにプログラムできます。制御レジスタのビット(バイト 02h のビット [6])の変更は、EEPROM に書き込まれるまで有効になりません。

制御ピンとして設定すると、シリアル プログラミング インターフェイスは使用できなくなります。ただし、 V_{DDOUT} が GND に強制的に接続されると、S1 と S2 の 2 つの制御ピンは、一時的にシリアル プログラミング ピン (SDA/SCL) として機能します。

S0 は複数使用ピンではなく、制御ピンのみです。

7.3.2 デフォルトのデバイス設定

CDCE925 の内部 EEPROM は、図 7-2 に示すように事前構成されています。入力周波数はデフォルトで出力に渡されます。これにより、本デバイスはプログラムを追加の量産手順なしでデフォルト モードで動作できます。デフォルト設定は、電源供給後、または電源オフ/オン シーケンスの後に、別のアプリケーション構成に再プログラムされるまで表示されます。新しいレジスタ設定は、シリアル SDA/SCL インターフェイスを使用してプログラムされます。

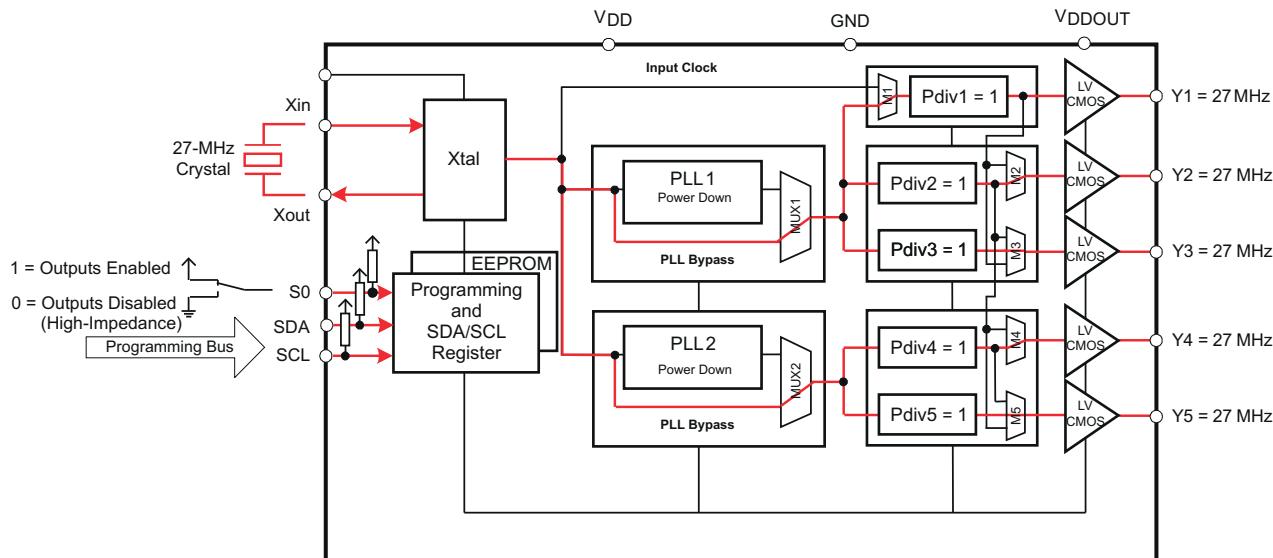


図 7-2. CDCE925 内蔵 EEPROM の事前構成

表 7-4 に、制御端子レジスタ（外部制御ピン）の工場出荷時のデフォルト設定を示します。8 つの異なるレジスタ設定が可能ですが、デフォルト構成では S1 と S2 がプログラミングピンとして設定されているため、S0 で選択できるのは最初の 2 つの設定（0 と 1）のみです。

表 7-4. 制御端子レジスタの工場出荷時デフォルト設定

(1)	Y1			PLL1 の設定			PLL2 の設定	
	外部制御ピン	出力選択	周波数の選択	SSC 選択	出力選択	周波数の選択	SSC 選択	出力選択
S2	S1	S0	Y1	FS1	SSC1	Y2Y3	FS2	SSC2
SCL (I ² C)	SDA (I ² C)	0	ハイインピーダンス状態	f _{VCO1_0}	オフ	ハイインピーダンス状態	f _{VCO2_0}	オフ
SCL (I ² C)	SDA (I ² C)	1	イネーブル	f _{VCO1_0}	オフ	イネーブル	f _{VCO2_0}	オフ
(1) S1 は SDA、S2 はデフォルト モードの SCL、またはプログラムされている場合（レジスタ 2 の SPION ビット 6 を 0 に設定）。これらには制御ピン機能はありませんが、S1 = 0 および S2 = 0 の場合と内部的に解釈されます。ただし、S0 は制御ピンであり、デフォルト モードでは（上記で事前定義したとおり）すべての出力をオンまたはオフに切り替えます。								

7.3.3 SDA/SCL シリアルインターフェイス

このセクションでは、CDCE925 デバイスの SDA/SCL インターフェイスについて説明します。CDCE925 は 2 線式シリアル SDA/SCL バス上でスレーブ デバイスとして動作し、一般的な SMBus または I²C 仕様と互換性があります。標準モード転送（最大 100kbps）と高速モード転送（最大 400kbps）で動作し、7 ビットアドレッシングをサポートしています。

CDCE925 の SDA/S1 および SCL/S2 ピンはデュアル機能ピンです。デフォルト構成では、SDA/SCL シリアル プログラミング インターフェイスとして使用されます。対応する EEPROM 設定のバイト 02、ビット [6] を変更することで、汎用制御ピン S1 および S2 として再プログラムできます。

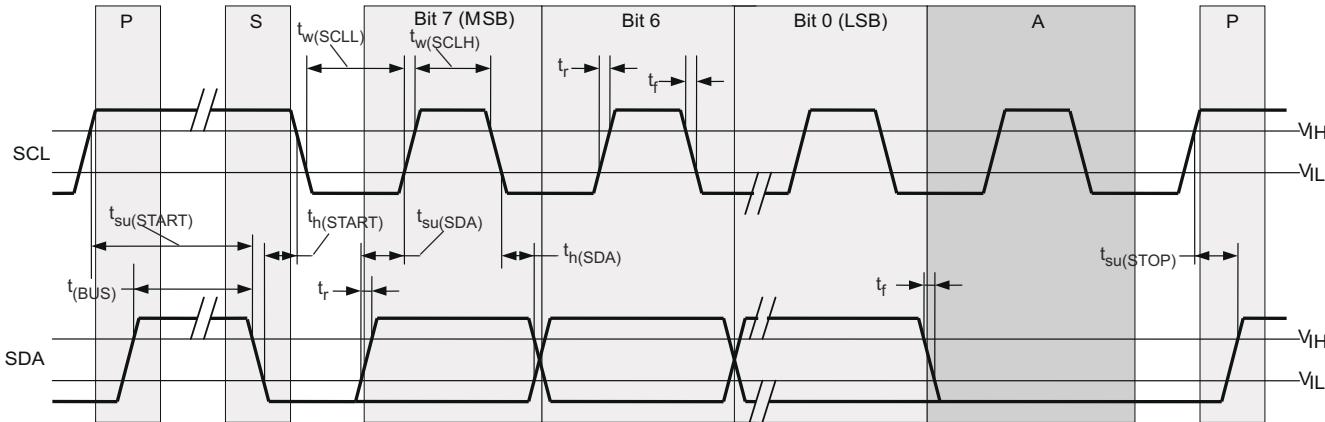


図 7-3. SDA/SCL シリアル制御インターフェイスのタイミング図

7.3.4 データプロトコル

このデバイスは、バイト書き込みとバイト読み取り、ブロック書き込みとブロック読み取りの各動作をサポートしています。

バイト書き込み/読み取り動作の場合、システムコントローラはアドレス指定されたバイトに個別にアクセスできます。

ブロック書き込み/読み出し動作の場合、バイトは最小バイトから最上位バイト（最上位ビットが先頭）まで順次アクセスされ、任意の完全なバイトが転送された後で停止できます。読み出されるバイト数は、汎用構成レジスタのバイトカウントによって定義されます。ブロック読み取り命令では、読み取りサイクルを正しく終了するために、バイトカウントで定義されたすべてのバイトを読み取る必要があります。

バイトが送信されると、内部レジスタに書き込まれ、すぐに有効になります。これは、バイト書き込みシーケンスであるかブロック書き込みシーケンスであるかに関係なく、転送される各バイトに適用されます。

EEPROM の書き込みサイクルが開始された場合、内部 SDA レジスタが EEPROM に書き込まれます。この書き込みサイクルの間、書き込みサイクルが完了するまで SDA/SCL バスでデータは受け付けられません。しかし、データは、プログラミングシーケンス（バイト読み取りまたはブロック読み取り）中に読み出すことができます。プログラミングステータスは、EEPIP、バイト 01h – ビット 6 で監視できます。EEPROM プログラミングを開始する前に、CLKIN を LOW にします。EEPROM プログラミングの間、CLKIN を LOW に保持する必要があります。EEWRITE バイト 06h – ビット 0 を使用して EEPROM プログラミングを開始した後、EEPIP が 0 として読み戻されるまで、デバイスレジスタに書き込みを行わないでください。

インデックス付きバイトのオフセットは、表 7-5 で説明されているように、コマンドコードでエンコードされます。

表 7-5. スレーブレシーバアドレス (7 ビット)

デバイス	A6	A5	A4	A3	A2	A1 ⁽¹⁾	A0 ⁽¹⁾	R/W
CDCE913	1	1	0	0	1	0	1	1/0
CDCE925	1	1	0	0	1	0	0	1/0
CDCE925	1	1	0	1	1	0	1	1/0
CDCE949	1	1	0	1	1	0	0	1/0

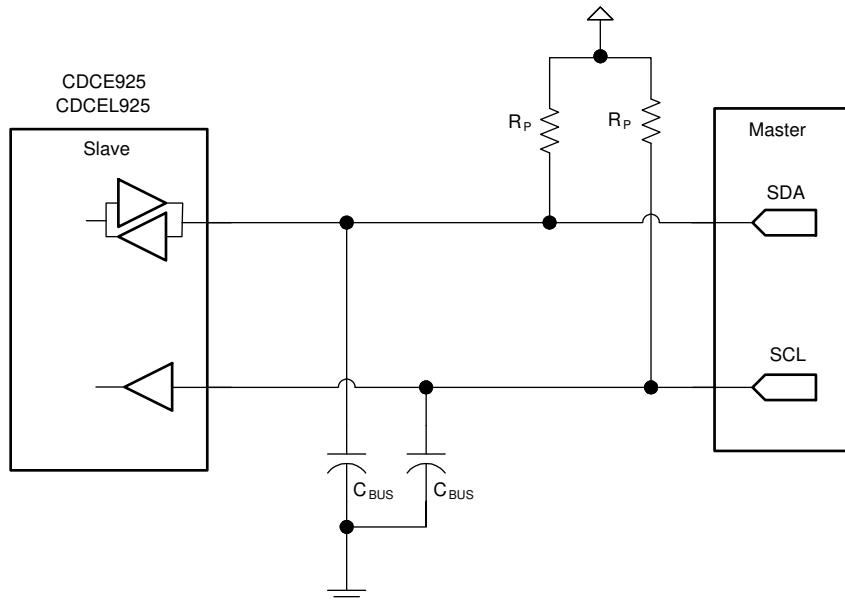
(1) アドレスビット A0 および A1 は、SDA/SCL バス（バイト 01、ビット [1:0]）経由でプログラムできます。これにより、同じ SDA/SCL バスに接続された最大 4 つのデバイスをアドレス指定できます。アドレスバイトの最下位ビットは、書き込みまたは読み取り動作を指定します。

7.4 デバイスの機能モード

7.4.1 SDA/SCL ハードウェアインターフェイス

図 7-4 に、CDCE925 クロックシンセサイザを SDA/SCL シリアルインターフェイスバスに接続する方法を示します。複数のデバイスをバスに接続できますが、多くのデバイスを接続すると速度を下げる必要がある場合があります（400kHz の最大値）。

プルアップ抵抗 (R_P) は、電源電圧、バス容量、接続デバイス数に依存します。推奨プルアップ値は $4.7\text{k}\Omega$ です。出力段の $V_{OLmax} = 0.4\text{V}$ における 3mA の最小シンク電流を満たす必要があります（詳細については、SMBus または I²C バスの仕様を参照してください）。



Copyright © 2016, Texas Instruments Incorporated

図 7-4. SDA/SCL ハードウェア インターフェイス

7.5 プログラミング

表 7-6. コマンド コードの定義

ビット	説明
7	0 = ブロック読み取りまたはブロック書き込み動作 1 = バイト読み取りまたはバイト書き込み動作
(6:0)	バイト読み取り、ブロック読み取り、バイト書き込み、ブロック書き込み動作のバイトオフセット。

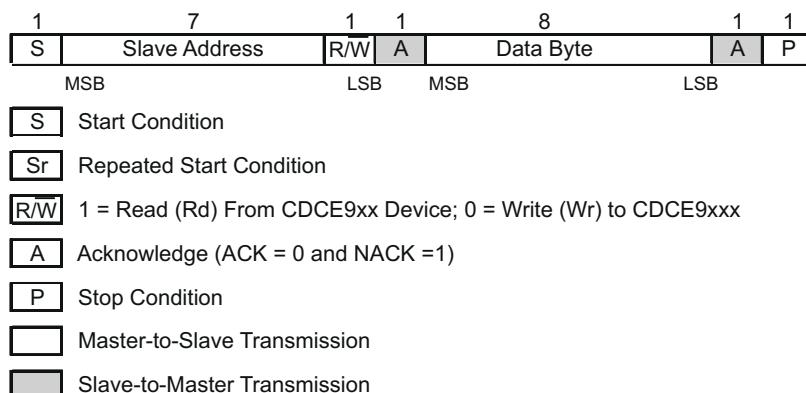


図 7-5. 汎用プログラミング シーケンス

1	7	1	1	8	1	8	1	1
S	Slave Address	Wr	A	CommandCode	A	Data Byte	A	P

図 7-6. バイト書き込みプロトコル

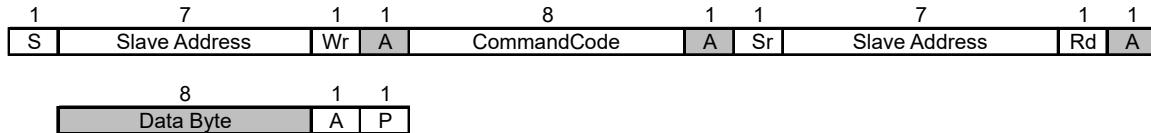
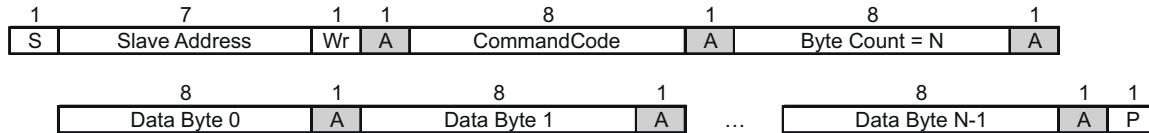


図 7-7. バイト読み取りプロトコル



データバイト 0 ビット [7:0] は、リビジョン コードおよびベンダ識別用に予約されています。また、内部テスト目的で使用されるため、上書きしてはなりません。

図 7-8. ブロック書き込みプロトコル

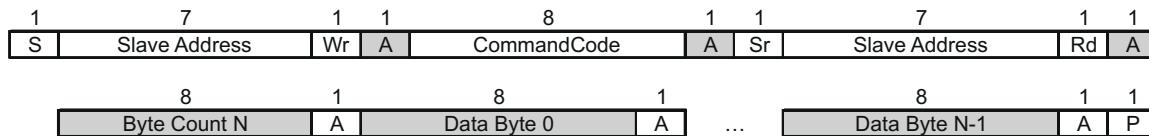


図 7-9. ブロック読み取りプロトコル

8 レジスタ マップ

8.1 SDA/SCL 構成レジスタ

クロック入力、制御ピン、PLL、および出力段はユーザーが構成可能です。以下の表と説明に、CDCEx925 のプログラマブル機能を示します。すべての設定は、SDA/SCL バスを使用してデバイスに手動で書き込むことも、TI Pro-Clock ソフトウェアを使用して簡単にプログラムすることもできます。TI Pro-Clock ソフトウェアを使用すると、ユーザーはすべての設定を迅速に行い、最小のジッタで、最適な性能を実現する目的で値を自動的に計算することができます。

表 8-1. SDA/SCL レジスタ

アドレス オフセット	レジスタの説明	表
00h	汎用構成レジスタ	表 8-3
10h	PLL1 構成レジスタ	表 8-4
20h	PLL2 構成レジスタ	表 8-5

以下のページの構成レジスタの表で説明されている灰色でハイライトされたビットは、制御端子レジスタに属します。ユーザーは、最大 8 つの異なるコントロール設定を事前定義できます。これらの設定は、外部制御ピン S0、S1、S2 によって選択できます ([「制御端子設定」セクション](#)を参照)。

表 8-2. 構成レジスタ、外部制御端子

			Y1	PLL1 の設定			PLL2 の設定		
外部制御ピン			出力選択	周波数の選択	SSC 選択	出力選択	周波数の選択	SSC 選択	出力選択
S2	S1	S0	Y1	FS1	SSC1	Y2Y3	FS2	SSC2	Y4Y5
0	0	0	Y1_0	FS1_0	SSC1_0	Y2Y3_0	FS2_0	SSC2_0	Y4Y5_0
	0	0	Y1_1	FS1_1	SSC1_1	Y2Y3_1	FS2_1	SSC2_1	Y4Y5_1
	0	1	Y1_2	FS1_2	SSC1_2	Y2Y3_2	FS2_2	SSC2_2	Y4Y5_2
	0	1	Y1_3	FS1_3	SSC1_3	Y2Y3_3	FS2_3	SSC2_3	Y4Y5_3
	1	0	Y1_4	FS1_4	SSC1_4	Y2Y3_4	FS2_4	SSC2_4	Y4Y5_4
	1	0	Y1_5	FS1_5	SSC1_5	Y2Y3_5	FS2_5	SSC2_5	Y4Y5_5
	1	1	Y1_6	FS1_6	SSC1_6	Y2Y3_6	FS2_6	SSC2_6	Y4Y5_6
	1	1	Y1_7	FS1_7	SSC1_7	Y2Y3_7	FS2_7	SSC2_7	Y4Y5_7
アドレス オフセット ⁽¹⁾			04h	13h	10h–12h	15h	23h	20h–22h	25h

(1) アドレス オフセットとは、[表 8-3](#)、[表 8-4](#) および [表 8-5](#) の構成レジスタのバイト アドレスを指します。

表 8-3. 汎用構成レジスタ

オフセット ⁽¹⁾	ビット ⁽²⁾	略称	デフォルト ⁽³⁾	説明
00h	7	E_EL	Xb	デバイス識別 (読み出し専用): 1 は CDCE925 (3.3V OUT)、0 は CDCEL925 (1.8V OUT) です。
	6:4	RID	Xb	リビジョンの識別番号 (読み出し専用)
	3:0	VID	1h	ベンダー識別番号 (読み出し専用)
01h	7	-	0b	予約済み - 常に 0 を書き込みます
	6	EEPIP	0b	EEPROM プログラミング Status4: ⁽⁴⁾ (読み出し専用) 0 – EEPROM のプログラミングが完了 1 – EEPROM はプログラミング モードです
	5	EELOCK	0b	EEPROM データを永続的にロック ⁽⁵⁾ 0 – EEPROM はロックされていません 1 – EEPROM は永続的にロックされます
	4	PWDN	0b	デバイスの電源オフ (S0/S1/S2 設定を上書きし、構成レジスタ設定は変更されません) 注: EEPROM で PWDN を 1 に設定することはできません。 0 – デバイス アクティブ (すべての PLL およびすべての出力がイネーブル) 1 – デバイスのパワーダウン (すべての PLL はパワーダウン状態、すべての出力は ハイインピーダンス状態)
	3:2	INCLK	00b	入力クロックの選択: 00 – Xtal 01 – VCXO 10 – LVCMSO 1 – 予約済み
	1:0	SLAVE_ADR	00b	スレーブ レシーバのアドレスのアドレス ビット A0 および A1

表 8-3. 汎用構成レジスタ (続き)

オフセット ⁽¹⁾	ビット ⁽²⁾	略称	デフォルト ⁽³⁾	説明
02h	7	M1	1b	出力 Y1 のクロック ソースの選択: 0 – 入力クロック 1–PLL1 クロック
	6	SPICON	0b	ピン 14/15 の動作モード選択 ⁽⁶⁾ 0 – シリアル プログラミング インターフェイス SDA (ピン 15) および SCL (ピン 14) 1 – 制御ピン S1 (ピン 15) および S2 (ピン 14)
	5:4	Y1_ST1	11b	Y1-State0/1 definition00 – デバイスの電源オフ (すべての PLL が電源オフになり、すべての出力がハイインピーダンス状態) 01 – Y1 はディセーブルから 3 ステートに 10-Y1 はディセーブルから low 11 – Y1 はイネーブル (通常動作)
	3:2	Y1_ST0	01b	
	1:0	Pdiv1 [9:8]	001h	10 ビット Y1 出力分周器 Pdiv1: 0 - 分周器はリセットされ、スタンバイ状態です 1 ~ 1023 - 分周器の値
03h	7:0	Pdiv1 [7:0]		
04h	7	Y1_7	0b	Y1_ST0/Y1_ST1 状態の選択 ⁽⁷⁾ 0 – State0 (Y1_ST0 で定義) 1 – State1 (Y1_ST1 で定義)
	6	Y1_6	0b	
	5	Y1_6	0b	
	4	Y1_6	0b	
	3	Y1_6	0b	
	2	Y1_6	0b	
	1	Y1_6	0b	
	0	Y1_6	0b	
05h	7:3	XCSEL	0Ah	水晶振動子の負荷コンデンサの選択 ⁽⁸⁾ 00h – 0 pF 01h – 1 pF 02h – 2 pF : 14H ~ 1Fh – 20 pF
	2:0		0b	予約済み - 0 以外は書かないでください。
06h	7:1	BCOUNT	30h	7 ビットのバイトカウント (次のブロック読み取り転送でこのデバイスから送信されるバイト数を定義します)。読み出しサイクルを正しく完了するには、すべてのバイトを読み出す必要があります。
	0	EEWRITE	0b	EEPROM 書き込みサイクルの開始 ⁽⁹⁾ 0 – EEPROM 書き込みサイクルなし 1 – EEPROM 書き込みサイクルを開始 (内部レジスタを EEPROM に保存)
07h-0Fh	—	—	0h	予約済み - 0 以外は書かないでください

- (1) 30h を超えるデータを書き込むと、デバイスの機能に影響を及ぼす可能性があります。
- (2) すべてのデータは、MSB ファーストで送信されます
- (3) お客様固有の設定を除きます
- (4) EEPROM プログラミング中、プログラミング シーケンスが完了するまで、SDA/SCL バスを使用してデバイスにデータを送信することはできません。ただし、データは、プログラミング シーケンス (バイト読み取りまたはブロック読み取り) 中に読み取ることができます。
- (5) このビットが EEPROM の high にセットされている場合、EEPROM の実際のデータは永続的にロックされます。それ以上のプログラミングはできません。ただし、データは SDA/SC L バスを使用して内部レジスタに書き込むことで、デバイスの機能をその場で変更できます。ただし、新しいデータを EEPROM に保存することはできません。EELOCK は、EEPROM に書き込まれた場合にのみ有効です。
- (6) 制御ピンの選択は、EEPROM に書き込まれた場合にのみ有効です。EEPROM に書き込まれると、シリアル プログラミング ピンは使用できなくなります。ただし、V_{DDOUT} が強制的に GND に設定されると、2 つの制御ピン S1 と S2 が一時的にシリアル プログラミング ピン (SDA/SCL) として動作し、2 つのスレーブ レシーバ アドレスビットは A0 = 0 および A1 = 0 にリセットされます。
- (7) これらは制御端子レジスタのビットです。ユーザーは、最大 8 つの異なるコントロール設定を事前定義できます。その後、外部制御ピン S0、S1、S2 を使用してこれらの設定を選択できます。
- (8) 最高のクロック性能を実現するには、内部負荷コンデンサ (C1、C2) を使用する必要があります。数ピコアランド単位で C_L の微調整を行う場合にのみ、外付けコンデンサを使用してください。C_L の値は、分解能 1pF で、水晶振動子の負荷範囲は 0pF ~ 20pF です。CL が 20pF より大きい場合は、追加の外付けコンデンサを使用します。また、デバイスの入力容量値を考慮する必要があります、選択した C_L には常に 1.5pF (6pF/2pF) が追加されています。VCXO の構成と水晶振動子に関する推奨事項の詳細については、『CDCE (L) 9xx ファミリの VCXO アプリケーション ガイドライン』(SCAA085) を参照してください。
- (9) 注: EEPROM 書き込みビットは最後に送信される必要があります。これにより、すべての内部レジスタの内容が EEPROM に保存されます。EEWRITE サイクルは、EEWRITE ビットの立ち上がりエッジで開始されます。静的レベルの high では、EEPROM の書き込みサイクルはトリガされません。プログラミングの完了後に EEWRITE ビットを low にリセットする必要があります。プログラミング ステータスは、EEPIP を読み出して監視できます。EELOCK が high に設定されている場合、EEPROM のプログラミングはできません。

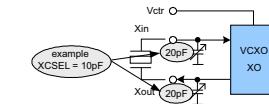


表 8-4. PLL1 構成レジスタ

オフセット ⁽¹⁾	ビット ⁽²⁾	略称	デフォルト ⁽³⁾	説明
10h	7:5	SSC1_7 [2:0]	000b	SSC1:PLL1 SSC の選択 (変調量)。 ⁽⁴⁾ 下 中央 000 (オフ) 000 (オフ) 001 – 0.25% 001 ± 0.25% 010 – 0.5% 010 ± 0.5% 011 – 0.75% 011 ± 0.75% 100 – 1.0% 100 ± 1.0% 101 – 1.25% 101 ± 1.25% 110 – 1.5% 110 ± 1.5% 111 – 2.0% 111 ± 2.0%
	4:2	SSC1_6 [2:0]	000b	
	1:0	SSC1_5 [2:1]	000b	
11h	7	SSC1_5 [0]	000b	FS1_x:PLL1 周波数選択 ⁽⁴⁾ 0 – f _{VCO1_0} (PLL1_0 – 乗算器/分周器の値によって事前定義) 1 – f _{VCO1_1} (PLL1_1 – 乗算器/分周器の値によって事前定義)
	6:4	SSC1_4 [2:0]	000b	
	3:1	SSC1_3 [2:0]	000b	
	0	SSC1_2 [2]	000b	
12h	7:6	SSC1_2 [1:0]	000b	PLL1 マルチブレクサ: 0 – PLL1 1 – PLL1 バイパス (PLL1 はパワー ダウン中)
	5:3	SSC1_1 [2:0]	000b	
	2:0	SSC1_0 [2:0]	000b	
13h	7	FS1_7	0b	出力 Y2 マルチブレクサ: 0 – Pdiv1 1 – Pdiv2
	6	FS1_6	0b	
	5	FS1_5	0b	
	4	FS1_4	0b	
	3	FS1_3	0b	
	2	FS1_2	0b	
	1	FS1_1	0b	
	0	FS1_0	0b	
14h	7	MUX1	1b	出力 Y3 マルチブレクサ: 00 – Pdiv1-分周器 01 – Pdiv2-分周器 10 – Pdiv3-分周器 11 – 予約済み
	6	M2	1b	
	5:4	M3	10b	
	3:2	Y2Y3_ST1	11b	
	1:0	Y2Y3_ST0	01b	
15h	7	Y2Y3_7	0b	Y2Y3_x の出力状態の選択 ⁽⁴⁾ 0 – state0 (Y2Y3_ST0 で定義) 1 – state1 (Y2Y3_ST1 で定義)
	6	Y2Y3_6	0b	
	5	Y2Y3_5	0b	
	4	Y2Y3_4	0b	
	3	Y2Y3_3	0b	
	2	Y2Y3_2	0b	
	1	Y2Y3_1	1b	
	0	Y2Y3_0	0b	
16h	7	SSC1DC	0b	PLL1 SSC ダウン/センターの選択: 0 – 下 1 – 中央
	6:0	Pdiv2	01h	7 ビット Y2 出力分周器 Pdiv2: 0 – リセットおよびスタンバイ 1 ~ 127 – 分周器の値
17h	7	—	0b	予約済み。0 以外は書かないでください
	6:0	Pdiv3	01h	7 ビット Y3 出力分周器 Pdiv3: 0 – リセットおよびスタンバイ 1 ~ 127 – 分周器の値

表 8-4. PLL1 構成レジスタ (続き)

オフセット ⁽¹⁾	ビット ⁽²⁾	略称	デフォルト ⁽³⁾	説明
18h	7:0	PLL1_0N [11:4]	004h	PLL1_0 ⁽⁵⁾ :周波数 f_{VCO1_0} の 30 ビット マルチプライヤ/分周器値 (詳細については、「PLL 周波数/プランニング」を参照)
19h	7:4	PLL1_0N [3:0]		
	3:0	PLL1_0R [8:5]	000h	
1Ah	7:3	PLL1_0R[4:0]		
	2:0	PLL1_0Q [5:3]	10h	
1Bh	7:5	PLL1_0Q [2:0]		
	4:2	PLL1_0P [2:0]	010b	
	1:0	VCO1_0_RANGE	00b	f_{VCO1_0} 範囲の選択: 00 – $f_{VCO1_0} < 125\text{MHz}$ 01 – $125\text{MHz} \leq f_{VCO1_0} < 150\text{MHz}$ 10 – $150\text{MHz} \leq f_{VCO1_0} < 175\text{MHz}$ 11 – $f_{VCO1_0} \geq 175\text{MHz}$
1Ch	7:0	PLL1_1N [11:4]	004h	PLL1_1 ⁽⁵⁾ :周波数 f_{VCO1_1} の 30 ビット マルチプライヤ/分周器値 (詳細については、「PLL 周波数/プランニング」を参照)
1Dh	7:4	PLL1_1N [3:0]		
	3:0	PLL1_1R [8:5]	000h	
1Eh	7:3	PLL1_1R[4:0]		
	2:0	PLL1_1Q [5:3]	10h	
1Fh	7:5	PLL1_1Q [2:0]		
	4:2	PLL1_1P [2:0]	010b	
	1:0	VCO1_1_RANGE	00b	f_{VCO1_1} 範囲の選択: 00 – $f_{VCO1_1} < 125\text{MHz}$ 01 – $125\text{MHz} \leq f_{VCO1_1} < 150\text{MHz}$ 10 – $150\text{MHz} \leq f_{VCO1_1} < 175\text{MHz}$ 11 – $f_{VCO1_1} \geq 175\text{MHz}$

- (1) 30h を超えるデータを書き込むと、デバイスの機能に悪影響を及ぼす可能性があります。
- (2) すべてのデータは、MSB ファーストで転送されます。
- (3) カスタム設定を使用しない限り
- (4) ユーザーは、最大 8 つの異なるコントロール設定を事前定義できます。通常のデバイス動作では、外部制御ピン S0、S1、S2 によりこれらの設定を選択できます。
- (5) PLL 設定の制限値: $16 \leq q \leq 63$ 、 $0 \leq p \leq 7$ 、 $0 \leq r \leq 511$ 、 $0 < N < 4096$

表 8-5. PLL2 構成レジスタ

オフセット ⁽¹⁾	ビット ⁽²⁾	略称	デフォルト ⁽³⁾	説明
20h	7:5	SSC2_7 [2:0]	000b	SSC2:PLL2 SSC の選択 (変調量)。 ⁽⁴⁾
	4:2	SSC2_6 [2:0]		
	1:0	SSC2_5 [2:1]		
21h	7	SSC2_5 [0]	000b	下 000 (オフ) 001 – 0.25% 010 – 0.5% 011 – 0.75% 100 – 1.0% 101 – 1.25% 110 – 1.5% 111 – 2.0%
	6:4	SSC2_4 [2:0]		
	3:1	SSC2_3 [2:0]		
	0	SSC2_2 [2]		
22h	7:6	SSC2_2 [1:0]	000b	中央 000 (オフ) 001 ± 0.25% 010 ± 0.5% 011 ± 0.75% 100 ± 1.0% 101 ± 1.25% 110 ± 1.5% 111 ± 2.0%
	5:3	SSC2_1 [2:0]		
	2:0	SSC2_0 [2:0]		
23h	7	FS2_7	0b	FS2_x:PLL2 周波数選択 ⁽⁴⁾ 0 – f_{VCO2_0} (PLL2_0 – 乗算器/分周器の値によって事前定義) 1 – f_{VCO2_1} (PLL2_1 – 乗算器/分周器の値によって事前定義)
	6	FS2_6	0b	
	5	FS2_5	0b	
	4	FS2_4	0b	
	3	FS2_3	0b	
	2	FS2_2	0b	
	1	FS2_1	0b	
	0	FS2_0	0b	

表 8-5. PLL2 構成レジスタ (続き)

オフセット ⁽¹⁾	ビット ⁽²⁾	略称	デフォルト ⁽³⁾	説明	
24h	7	MUX2	1b	PLL2 マルチブレクサ: 0 – PLL2 1 – PLL2 バイパス (PLL2 はパワー ダウン中)	
	6	M4	1b	出力 Y4 マルチブレクサ: 0 – Pdiv2 1 – Pdiv4	
	5:4	M5	10b	出力 Y5 マルチブレクサ: 00 – Pdiv2-分周器 01 – Pdiv4-分周器 10 – Pdiv5-分周器 11 – 預約済み	
	3:2	Y4Y5_ST1	11b	Y4、Y5-ステート 0/1 定義: 00 – Y4/Y5 ディセーブルからハイインピーダンス状態 (PLL2 はパワーダウン中) 01 – Y4/Y5 ディセーブルからハイインピーダンス状態 (PLL2 オン) 10 – Y4/Y5 ディセーブルから low (PLL2 オン) 11 – Y4/Y5 イネーブル (通常動作、PLL2 オン)	
	1:0	Y4Y5_ST0	01b		
25h	7	Y4Y5_7	0b	Y4Y5_x の出力状態の選択 ⁽⁴⁾ 0 – state0 (Y4Y5_ST0 で定義) 1 – state1 (Y4Y5_ST1 で定義)	
	6	Y4Y5_6	0b		
	5	Y4Y5_5	0b		
	4	Y4Y5_4	0b		
	3	Y4Y5_3	0b		
	2	Y4Y5_2	0b		
	1	Y4Y5_1	1b		
	0	Y4Y5_0	0b		
26h	7	SSC2DC	0b	PLL2 SSC ダウン/センターの選択: 0 – 下 1 – 中央	
	6:0	Pdiv4	01h	7 ビット Y4 出力分周器 Pdiv4: 0 – リセットおよびスタンバイ 1 ~ 127 – 分周器の値	
27h	7	—	0b	予約済み。0 以外は書かないでください	
	6:0	Pdiv5	01h	7 ビット Y5 出力分周器 Pdiv5: 0 – リセットおよびスタンバイ 1 ~ 127 – 分周器の値	
28h	7:0	PLL2_ON [11:4]	004h	PLL2_0 ⁽⁵⁾ :周波数 f_{VCO2_0} の 30 ビットマルチプライヤ/分周器値 (詳細については、「PLL 周波数/プランニング」を参照)	
29h	7:4	PLL2_ON [3:0]			
	3:0	PLL2_OR [8:5]			
2Ah	7:3	PLL2_OR[4:0]	000h		
	2:0	PLL2_OQ [5:3]			
2Bh	7:5	PLL2_OQ [2:0]	10h	f_{VCO2_0} 範囲の選択: 00 – $f_{VCO2_0} < 125MHz$ 01 – $125MHz \leq f_{VCO2_0} < 150MHz$ 10 – $150MHz \leq f_{VCO2_0} < 175MHz$ 11 – $f_{VCO2_0} \geq 175MHz$	
	4:2	PLL2_OP [2:0]			
2Ch	1:0	VCO2_0_RANGE	00b	PLL2_1 ⁽⁵⁾ :周波数 f_{VCO2_1} の 30 ビットマルチプライヤ/分周器値 (詳細については、「PLL 周波数/プランニング」を参照)	
	7:0	PLL2_IN [11:4]			
2Dh	7:4	PLL2_IN [3:0]	004h	PLL2_1 ⁽⁵⁾ :周波数 f_{VCO2_1} の 30 ビットマルチプライヤ/分周器値 (詳細については、「PLL 周波数/プランニング」を参照)	
	3:0	PLL2_1R [8:5]			
2Eh	7:3	PLL2_1R[4:0]	000h	PLL2_1 ⁽⁵⁾ :周波数 f_{VCO2_1} の 30 ビットマルチプライヤ/分周器値 (詳細については、「PLL 周波数/プランニング」を参照)	
	2:0	PLL2_1Q [5:3]			
2Fh	7:5	PLL2_1Q [2:0]	10h	f_{VCO2_1} 範囲の選択: 00 – $f_{VCO2_1} < 125MHz$ 01 – $125MHz \leq f_{VCO2_1} < 150MHz$ 10 – $150MHz \leq f_{VCO2_1} < 175MHz$ 11 – $f_{VCO2_1} \geq 175MHz$	
	4:2	PLL2_1P [2:0]			
2Fh	1:0	VCO2_1_RANGE	010b		
	7:5	PLL2_1Q [2:0]			

(1) 30h を超えるデータを書き込むと、デバイスの機能に悪影響を及ぼす可能性があります。

(2) すべてのデータは、MSB ファーストで転送されます。

(3) カスタム設定を使用しない限り

- (4) ユーザーは、最大 8 つの異なるコントロール設定を事前定義できます。通常のデバイス動作では、外部制御ピン S0、S1、S2 によりこれらの設定を選択できます。
- (5) PLL 設定の制限値: $16 \leq q \leq 63$ 、 $0 \leq p \leq 7$ 、 $0 \leq r \leq 511$ 、 $0 < N < 4096$

9 アプリケーションと実装

注

以下のアプリケーション情報は、TI の製品仕様に含まれるものではなく、TI ではその正確性または完全性を保証いたしません。個々の目的に対する製品の適合性については、お客様の責任で判断していただくことになります。お客様は自身の設計実装を検証しテストすることで、システムの機能を確認する必要があります。

9.1 アプリケーション情報

CDCE925 デバイスは、使いやすい高性能プログラマブル CMOS クロックシンセサイザであり、個別の出力電源ピンを備えた水晶バッファまたはクロックシンセサイザとして使用できます。CDCE925 は、オンチップ ループ フィルタとスペクトラム拡散変調を備えています。プログラミングは、SPI、ピンモード、またはオンチップ EEPROM を使用して行うことができます。このセクションでは、各種アプリケーションで CDCE925 を使用する例をいくつか示します。

9.2 代表的なアプリケーション

図 9-1 は、ギガビットイーサネットスイッチ アプリケーションにおいて、水晶発振器の代替として CDCE925 デバイスを使用する例を示しています。

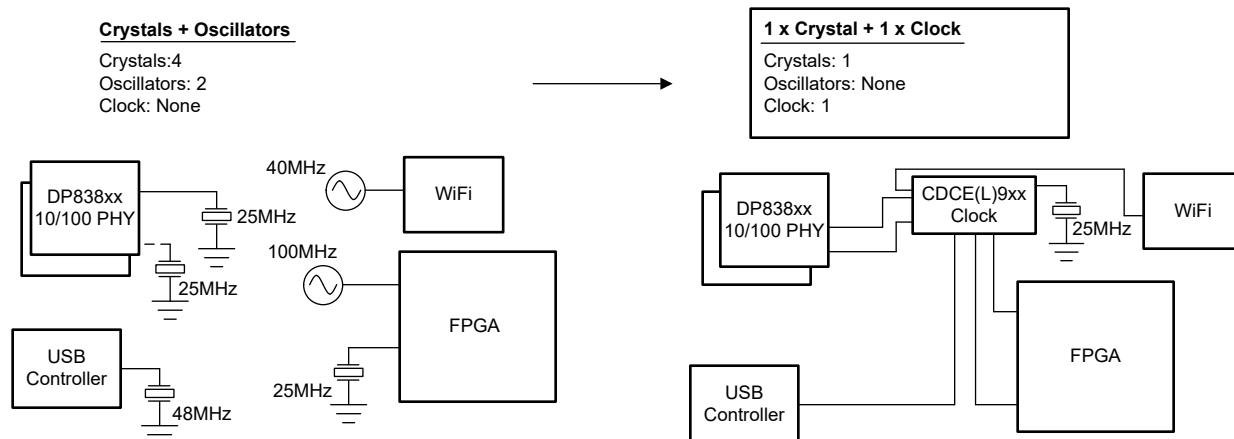


図 9-1. 水晶と発振器の代替例

9.2.1 設計要件

CDCE925 は以下の複数の制御パラメータを持つスペクトラム拡散クロック (SSC) をサポートします。

- 変調量 (%)
- 変調周波数 (>20kHz)
- 変調の形状 (三角波)
- センター スプレッド/ダウン スプレッド (\pm または -)

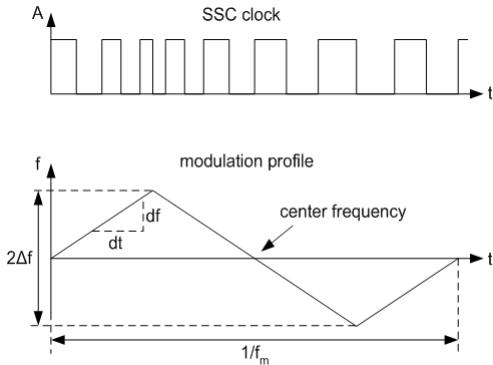
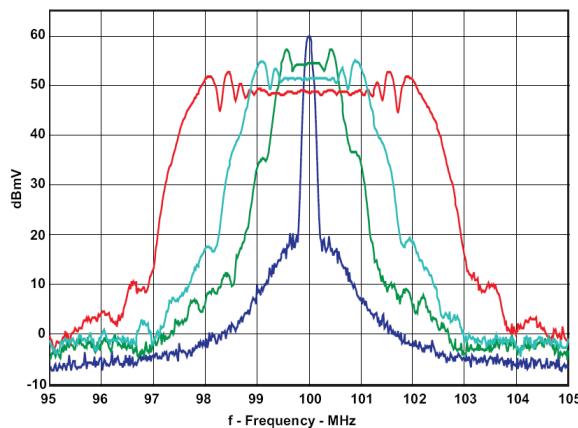


図 9-2. 変調周波数 (FM) と変調量

9.2.2 詳細な設計手順

9.2.2.1 スペクトル拡散クロック (SSC)

スペクトラム拡散変調は、放射されるエネルギーをより広い帯域幅に拡散する方式です。クロックでは、スペクトラム拡散を使用すると、クロック ディストリビューション ネットワークからの放射のレベルを下げることで電磁干渉 (EMI) を低減できます。



25MHz 水晶振動子付き CDCCS502、FS = 1, f_{OUT} = 100MHz, 0%, ±0.5%, ±1%, ±2% の SSC です

図 9-3. 標準的なクロック電源スペクトルと拡散スペクトラム クロックの比較

9.2.2.2 PLL 周波数プランニング

与えられた入力周波数 (f_{in}) で、CDCE925 の出力周波数 (f_{out}) は式 1 計算されます。

$$f_{OUT} = \frac{f_{IN}}{P_{div}} \times \frac{N}{M} \quad (1)$$

ここで、

- M (1 ~ 511) および N (1 ~ 4095) は、PLL のマルチプライヤ/分周値です
- Pdiv (1 ~ 127) は出力分周器です

各 PLL の目標 VCO 周波数 (f_{VCO}) は、式 2 で計算します。

$$f_{VCO} = f_{IN} \times \frac{N}{M} \quad (2)$$

PLL は内部的に分数分周器として動作し、次のマルチプライヤ/デバイダ設定が必要です。

$$NP = 4 - \text{int}\left(\log_2 \frac{N}{M}\right) \quad [\text{if } P < 0 \text{ then } P = 0] \quad Q = \text{int}\left(\frac{N'}{M}\right)R = N' - M \times Q \quad (3)$$

ここで、

- $N' = N \times 2^P$
- $N \geq M$
- $80\text{MHz} \leq f_{VCO} \leq 230\text{MHz}$
- $16 \leq q \leq 63$
- $0 \leq p \leq 4$
- $0 \leq r \leq 511$

例:

$f_{IN} = 27\text{MHz}$, $M = 1$, $N = 4$, $Pdiv = 2$ の場合。

$$\rightarrow f_{OUT} = 54\text{MHz}$$

$$\rightarrow f_{VCO} = 108\text{MHz}$$

$$\rightarrow P = 4 - \text{int}(\log_2 4) = 4 - 2 = 2$$

$$\rightarrow N'' = 4 \times 2^2 = 16$$

$$\rightarrow Q = \text{int}(16) = 16$$

$$\rightarrow R = 16 - 16 = 0$$

$f_{IN} = 27\text{MHz}$, $M = 2$, $N = 11$, $Pdiv = 2$ の場合。

$$\rightarrow f_{OUT} = 74.25\text{MHz}$$

$$\rightarrow f_{VCO} = 148.50\text{MHz}$$

$$\rightarrow P = 4 - \text{int}(\log_2 5.5) = 4 - 2 = 2$$

$$\rightarrow N'' = 11 \times 2^2 = 44$$

$$\rightarrow Q = \text{int}(22) = 22$$

$$\rightarrow R = 44 - 44 = 0$$

Pro-Clock ソフトウェアを使用すると、 P 、 Q 、 R 、 N' の値が自動的に計算されます。

9.2.2.3 水晶発振器の起動

CDCE925 を水晶バッファとして使用する場合、内部 PLL ロック時間に比べて、水晶発振器のスタートアップ時間が主にスタートアップ時間となります。8pF の負荷を使用する 27MHz 水晶振動子入力の発振器の起動シーケンスを、図 9-4 に示します。水晶振動子のスタートアップ時間は、ロック時間の約 10μs と比べて、約 250μs のオーダーです。一般に、水晶振動子のスタートアップ時間に比べて、ロック時間は 1 術短くなります。

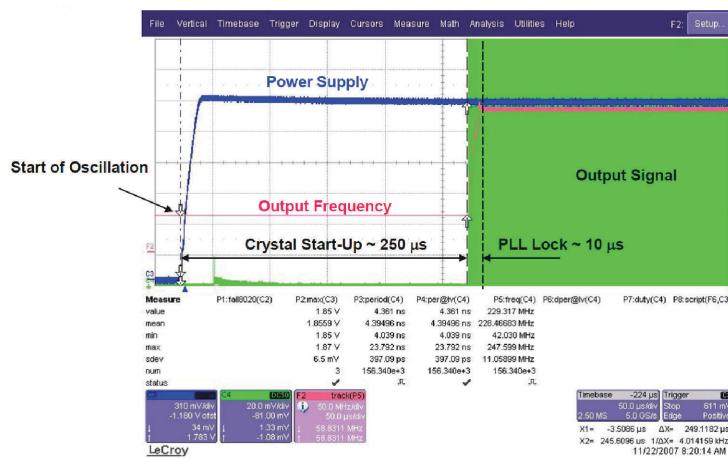
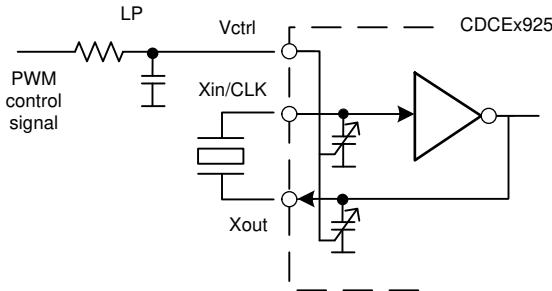


図 9-4. 水晶発振器の起動時間と PLL ロック時間との関係

9.2.2.4 水晶発振器ブルによる周波数調整

CDCE925 の周波数は、VCXO 制御入力 V_{ctrl} を使用するメディアやその他のアプリケーションに合わせて調整されまます。PWM 変調信号を VCXO の制御信号として使用する場合は、外部フィルタが必要になります。



Copyright © 2016, Texas Instruments Incorporated

図 9-5. PWM 入力を使用した VCXO 制御の周波数調整

9.2.2.5 未使用入出力

VCXO プル機能が不要な場合は、 V_{Ctrl} をフローティングのままにする必要があります。他の未使用の入力はすべて GND に設定する必要があります。未使用の出力はフローティングのままにする必要があります。

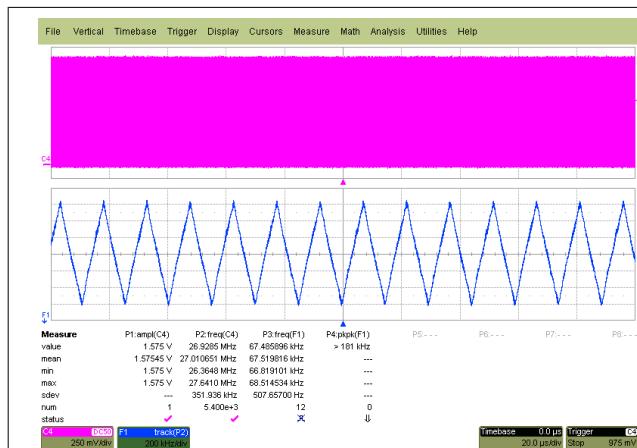
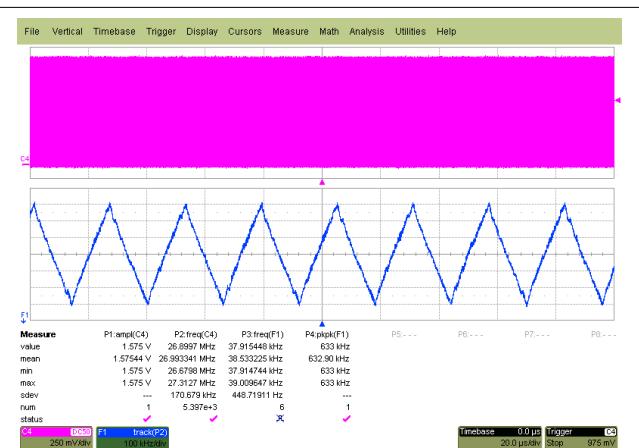
1 つの出力ブロックを使用しない場合は、テキサス インstrumentは、これを無効にすることを推奨します。ただし、ディセーブルされていても、テキサス インstrumentは 2 番目の出力ブロックに電源を供給することを常に推奨します。

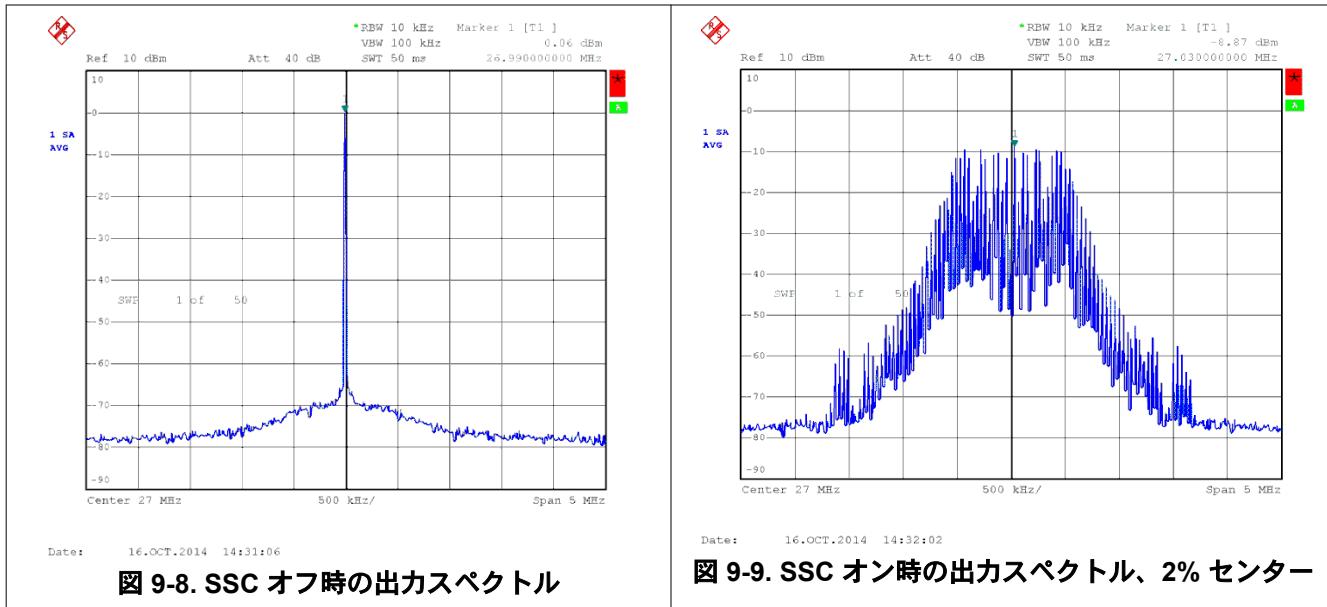
9.2.2.6 XO モードと VCXO モード間の切り替え

CDCE925 が水晶発振器または VCXO 構成の場合、内部コンデンサには異なる内部容量が必要となります。オンチップ コンデンサの構成がまだ XO モードに設定されている場合は、以下の手順を VCXO モードに切り替えることを推奨します。出力周波数の中心を 0ppm にするには：

1. XO モードの場合、 $V_{Ctrl} = VDD/2$ にします
2. XO モードから VCXO モードに切り替えます
3. 内部コンデンサを設定して、出力が 0ppm になるようにします。

図 9-6、図 9-7、図 9-8、および図 9-9、SSC 機能がイネーブルになっている状態での CDCE925 の測定値を示します。このデバイスは、27MHz 入力と 27MHz 出力により構成されています。

図 9-6. $f_{OUT} = 27\text{MHz}$ 、VCO 周波数 < 125MHz、SSC
(センター -2%)図 9-7. $f_{OUT} = 27\text{MHz}$ 、VCO 周波数 > 175MHz、SSC
(1%、センター)



9.3 電源に関する推奨事項

外部基準クロックを使用する場合は、出力の不安定化のリスクを避けるため、 V_{DD} ランプよりも前に XIN/CLK を駆動する必要があります。 V_{DD} よりも前に V_{DDOUT} を印加する場合、 V_{DDOUT} が上昇するまで V_{DD} を GND にプルダウンしたままにすることを推奨します。 V_{DD} がフローティング状態のときに V_{DDOUT} に電力が供給される場合、 V_{DDOUT} に大電流が流れます。

このデバイスには、電源オン制御があり、1.8V 電源に接続されています。これにより、1.8V 電源が十分な電圧レベルに達するまで、デバイスがディセーブル状態に維持されます。その場合、本デバイスは出力を含むすべての内部コンポーネントのオン/オフを切り替えます。1.8V よりも前に 3.3V の V_{DDOUT} が利用可能な場合、1.8V 電源が特定のレベルに達するまで、出力はディセーブルのままになります。

9.4 レイアウト

9.4.1 レイアウトのガイドライン

CDCE937 を水晶振動子バッファとして使用する場合、水晶振動子の両端の寄生成分が VCXO の引き込み範囲に影響を及ぼします。したがって、基板上に水晶振動子を配置する場合は注意が必要です。水晶振動子は、デバイスにできる限り近づけて配置して、水晶振動子端子から XIN および XOUT への配線ラインの長さが同じであることを検証する必要があります。

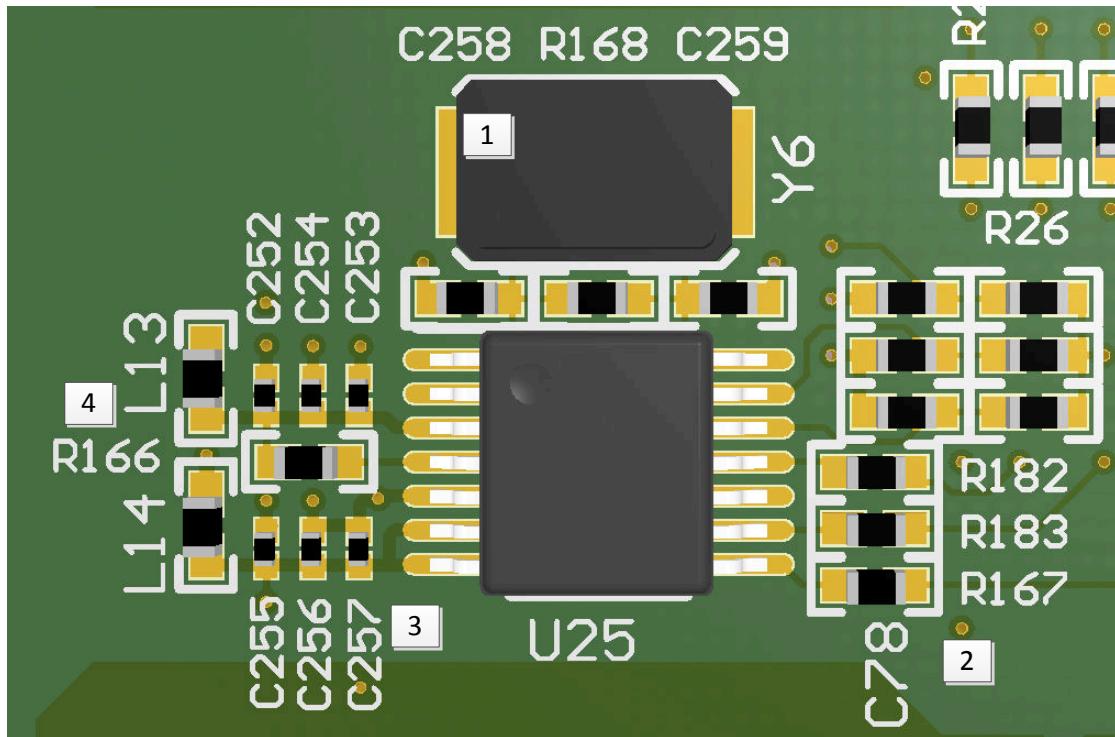
可能なら、水晶とデバイスへの配線が配置されている領域の下に、グランド プレーンと電源プレーンの両方を切断します。この領域では、ノイズ結合の原因となることを避けるため、他の信号ラインを配線することは常に避けてください。

特定の水晶振動子の負荷容量仕様を満たすために、追加のディスクリートコンデンサが必要な場合があります。たとえば、10.7pF の負荷コンデンサはチップで完全にプログラムできません。内部コンデンサは 1pF ステップで 0pF ~ 20pF の範囲である可能性があるためです。したがって、0.7pF コンデンサを内部の 10pF コンデンサの上にディスクリートで追加することもできます。

トレースの誘導性の影響を最小限に抑えるため、この小さなコンデンサをデバイスにできるだけ近づけて、XIN および XOUT に対して対称に配置することを推奨します。

図 9-10 は、CDCE937 に基づいて電源バイパスコンデンサの推奨配置を詳細に示す概念レイアウトを示しています。部品側の実装には、0402 の本体サイズのコンデンサを使用して信号の配線を容易にします。バイパスコンデンサとデバイスの電源との間の接続はできる限り短くします。グランド プレーンへの低インピーダンス接続を使用して、コンデンサの反対側をグランドに接続します。

9.4.2 レイアウト例



1 Place crystal with associated load caps as close to the chip

2 Place series termination resistors at Clock outputs to improve signal integrity

3 Place bypass caps close to the device pins, ensure wide freq. range

4 Use ferrite beads to isolate the device supply pins from board noise sources

図 9-10. 注釈付きレイアウト

1. 水晶振動子を、関連する負荷コンデンサとともに、チップのできるだけ近くに配置します
2. シグナル インテグリティを向上させるため、クロック出力に直列終端抵抗を配置します
3. デバイスピンの近くにバイパスコンデンサを配置し、広い周波数範囲を確保します
4. フェライトビーズを使用して、デバイスの電源ピンを基板のノイズ源から絶縁します

10 デバイスおよびドキュメントのサポート

10.1 デバイス サポート

10.1.1 サード・パーティ製品に関する免責事項

サード・パーティ製品またはサービスに関するテキサス・インスツルメンツの出版物は、単独またはテキサス・インスツルメンツの製品、サービスと一緒に提供される場合に関係なく、サード・パーティ製品またはサービスの適合性に関する是認、サード・パーティ製品またはサービスの是認の表明を意味するものではありません。

10.1.2 開発サポート

開発サポートについては、以下を参照してください。

- [SMBus](#)
- [I²C バス](#)

10.2 ドキュメントのサポート

10.2.1 関連資料

関連資料については、以下を参照してください。

テキサス・インスツルメンツ、『[CDCE\(L\)9xx ファミリ用の VCXO アプリケーション ガイドライン](#)』アプリケーションノート

10.3 ドキュメントの更新通知を受け取る方法

ドキュメントの更新についての通知を受け取るには、www.tij.co.jp のデバイス製品フォルダを開いてください。[通知] をクリックして登録すると、変更されたすべての製品情報に関するダイジェストを毎週受け取ることができます。変更の詳細については、改訂されたドキュメントに含まれている改訂履歴をご覧ください。

10.4 サポート・リソース

テキサス・インスツルメンツ E2E™ サポート・フォーラムは、エンジニアが検証済みの回答と設計に関するヒントをエキスパートから迅速かつ直接得ることができる場所です。既存の回答を検索したり、独自の質問をしたりすることで、設計で必要な支援を迅速に得ることができます。

リンクされているコンテンツは、各寄稿者により「現状のまま」提供されるものです。これらはテキサス・インスツルメンツの仕様を構成するものではなく、必ずしもテキサス・インスツルメンツの見解を反映したものではありません。テキサス・インスツルメンツの[使用条件](#)を参照してください。

10.5 商標

Ethernet™ is a trademark of Xerox Corporation.

DaVinci™, OMAP™, Pro-Clock™, and [テキサス・インスツルメンツ E2E™](#) are trademarks of Texas Instruments.

Bluetooth® is a registered trademark of Bluetooth SIG, Inc.

すべての商標は、それぞれの所有者に帰属します。

10.6 静電気放電に関する注意事項

 この IC は、ESD によって破損する可能性があります。テキサス・インスツルメンツは、IC を取り扱う際には常に適切な注意を払うことをお勧めします。正しい取り扱いおよび設置手順に従わない場合、デバイスを破損するおそれがあります。

ESD による破損は、わずかな性能低下からデバイスの完全な故障まで多岐にわたります。精密な IC の場合、パラメータがわずかに変化するだけで公表されている仕様から外れる可能性があるため、破損が発生しやすくなっています。

10.7 用語集

テキサス・インスツルメンツ用語集

この用語集には、用語や略語の一覧および定義が記載されています。

11 改訂履歴

資料番号末尾の英字は改訂を表しています。その改訂履歴は英語版に準じています。

Changes from Revision I (October 2016) to Revision J (June 2025)	Page
• ドキュメント全体にわたって表、図、相互参照の採番方法を更新.....	1
• 「PLL マルチプライヤ/デバイダ定義」のすべてのインスタンスを「PLL 周波数プランニング」に変更.....	1
• 「データプロトコル」セクションを変更.....	16
• 「電源に関する推奨事項」セクションを変更.....	29

Changes from Revision H (August 2016) to Revision I (October 2016)	Page
• データシートのタイトルを 1.8V、2.5V、3.3V LVCMOS 出力搭載 CDCE925 プログラマブル 2-PLL VCXO クロックシンセサイザ: CDCE(L)925:SSC サポートによる EMI 削減機能を搭載した柔軟な低消費電力 LVCMOS クロックジェネレータ	1

12 メカニカル、パッケージ、および注文情報

以降のページには、メカニカル、パッケージ、および注文に関する情報が記載されています。この情報は、指定のデバイスに使用できる最新のデータです。このデータは、予告なく、このドキュメントを改訂せずに変更される場合があります。本データシートのブラウザ版を使用されている場合は、画面左側の説明をご覧ください。

重要なお知らせと免責事項

テキサス・インスツルメンツは、技術データと信頼性データ（データシートを含みます）、設計リソース（リファレンス デザインを含みます）、アプリケーションや設計に関する各種アドバイス、Web ツール、安全性情報、その他のリソースを、欠陥が存在する可能性のある「現状のまま」提供しており、商品性および特定目的に対する適合性の默示保証、第三者の知的財産権の非侵害保証を含むいかなる保証も、明示的または默示的にかかわらず拒否します。

これらのリソースは、テキサス・インスツルメンツ製品を使用する設計の経験を積んだ開発者への提供を意図したものです。(1) お客様のアプリケーションに適した テキサス・インスツルメンツ製品の選定、(2) お客様のアプリケーションの設計、検証、試験、(3) お客様のアプリケーションに該当する各種規格や、その他のあらゆる安全性、セキュリティ、規制、または他の要件への確実な適合に関する責任を、お客様のみが単独で負うものとします。

上記の各種リソースは、予告なく変更される可能性があります。これらのリソースは、リソースで説明されている テキサス・インスツルメンツ製品を使用するアプリケーションの開発の目的でのみ、テキサス・インスツルメンツはその使用をお客様に許諾します。これらのリソースに関して、他の目的で複製することや掲載することは禁止されています。テキサス・インスツルメンツや第三者の知的財産権のライセンスが付与されている訳ではありません。お客様は、これらのリソースを自身で使用した結果発生するあらゆる申し立て、損害、費用、損失、責任について、テキサス・インスツルメンツおよびその代理人を完全に補償するものとし、テキサス・インスツルメンツは一切の責任を拒否します。

テキサス・インスツルメンツの製品は、[テキサス・インスツルメンツの販売条件](#)、または ti.com やかかる テキサス・インスツルメンツ製品の関連資料などのいづれかを通じて提供する適用可能な条項の下で提供されています。テキサス・インスツルメンツがこれらのリソースを提供することは、適用されるテキサス・インスツルメンツの保証または他の保証の放棄の拡大や変更を意味するものではありません。

お客様がいかなる追加条項または代替条項を提案した場合でも、テキサス・インスツルメンツはそれらに異議を唱え、拒否します。

郵送先住所: Texas Instruments, Post Office Box 655303, Dallas, Texas 75265

Copyright © 2025, Texas Instruments Incorporated

PACKAGING INFORMATION

Orderable part number	Status (1)	Material type (2)	Package Pins	Package qty Carrier	RoHS (3)	Lead finish/ Ball material (4)	MSL rating/ Peak reflow (5)	Op temp (°C)	Part marking (6)
CDCE925PW	Active	Production	TSSOP (PW) 16	90 TUBE	Yes	NIPDAU	Level-1-260C-UNLIM	-40 to 85	CDCE925
CDCE925PW.B	Active	Production	TSSOP (PW) 16	90 TUBE	Yes	NIPDAU	Level-1-260C-UNLIM	-40 to 85	CDCE925
CDCE925PWG4	Active	Production	TSSOP (PW) 16	90 TUBE	Yes	NIPDAU	Level-1-260C-UNLIM	-40 to 85	CDCE925
CDCE925PWR	Active	Production	TSSOP (PW) 16	2000 LARGE T&R	Yes	NIPDAU	Level-1-260C-UNLIM	-40 to 85	CDCE925
CDCE925PWR.B	Active	Production	TSSOP (PW) 16	2000 LARGE T&R	Yes	NIPDAU	Level-1-260C-UNLIM	-40 to 85	CDCE925
CDCE925PWRG4	Active	Production	TSSOP (PW) 16	2000 LARGE T&R	Yes	NIPDAU	Level-1-260C-UNLIM	-40 to 85	CDCE925
CDCE925PWRG4.B	Active	Production	TSSOP (PW) 16	2000 LARGE T&R	Yes	NIPDAU	Level-1-260C-UNLIM	-40 to 85	CDCE925
CDCEL925PW	Active	Production	TSSOP (PW) 16	90 TUBE	Yes	NIPDAU	Level-1-260C-UNLIM	-40 to 85	CKEL925
CDCEL925PW.B	Active	Production	TSSOP (PW) 16	90 TUBE	Yes	NIPDAU	Level-1-260C-UNLIM	-40 to 85	CKEL925
CDCEL925PWR	Active	Production	TSSOP (PW) 16	2000 LARGE T&R	Yes	NIPDAU	Level-1-260C-UNLIM	-40 to 85	CKEL925
CDCEL925PWR.B	Active	Production	TSSOP (PW) 16	2000 LARGE T&R	Yes	NIPDAU	Level-1-260C-UNLIM	-40 to 85	CKEL925
CDCEL925PWRG4	Active	Production	TSSOP (PW) 16	2000 LARGE T&R	Yes	NIPDAU	Level-1-260C-UNLIM	-40 to 85	CKEL925
CDCEL925PWRG4.B	Active	Production	TSSOP (PW) 16	2000 LARGE T&R	Yes	NIPDAU	Level-1-260C-UNLIM	-40 to 85	CKEL925

⁽¹⁾ **Status:** For more details on status, see our [product life cycle](#).

⁽²⁾ **Material type:** When designated, preproduction parts are prototypes/experimental devices, and are not yet approved or released for full production. Testing and final process, including without limitation quality assurance, reliability performance testing, and/or process qualification, may not yet be complete, and this item is subject to further changes or possible discontinuation. If available for ordering, purchases will be subject to an additional waiver at checkout, and are intended for early internal evaluation purposes only. These items are sold without warranties of any kind.

⁽³⁾ **RoHS values:** Yes, No, RoHS Exempt. See the [TI RoHS Statement](#) for additional information and value definition.

⁽⁴⁾ **Lead finish/Ball material:** Parts may have multiple material finish options. Finish options are separated by a vertical ruled line. Lead finish/Ball material values may wrap to two lines if the finish value exceeds the maximum column width.

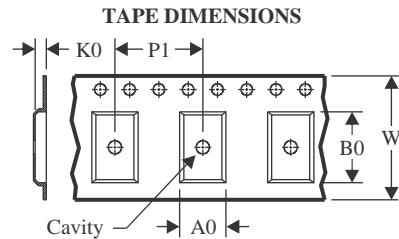
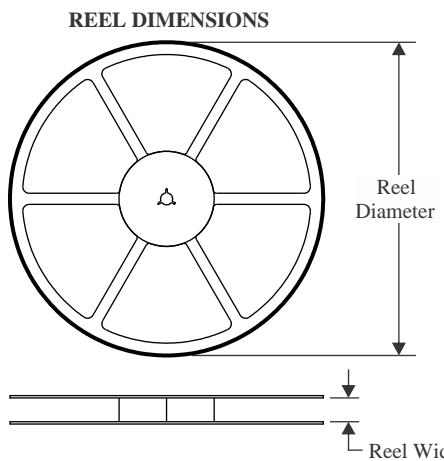
⁽⁵⁾ **MSL rating/Peak reflow:** The moisture sensitivity level ratings and peak solder (reflow) temperatures. In the event that a part has multiple moisture sensitivity ratings, only the lowest level per JEDEC standards is shown. Refer to the shipping label for the actual reflow temperature that will be used to mount the part to the printed circuit board.

⁽⁶⁾ **Part marking:** There may be an additional marking, which relates to the logo, the lot trace code information, or the environmental category of the part.

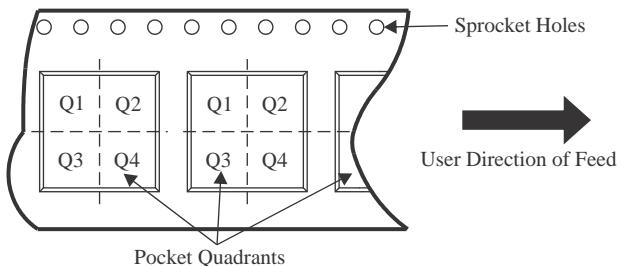
Multiple part markings will be inside parentheses. Only one part marking contained in parentheses and separated by a "~" will appear on a part. If a line is indented then it is a continuation of the previous line and the two combined represent the entire part marking for that device.

Important Information and Disclaimer: The information provided on this page represents TI's knowledge and belief as of the date that it is provided. TI bases its knowledge and belief on information provided by third parties, and makes no representation or warranty as to the accuracy of such information. Efforts are underway to better integrate information from third parties. TI has taken and continues to take reasonable steps to provide representative and accurate information but may not have conducted destructive testing or chemical analysis on incoming materials and chemicals. TI and TI suppliers consider certain information to be proprietary, and thus CAS numbers and other limited information may not be available for release.

In no event shall TI's liability arising out of such information exceed the total purchase price of the TI part(s) at issue in this document sold by TI to Customer on an annual basis.

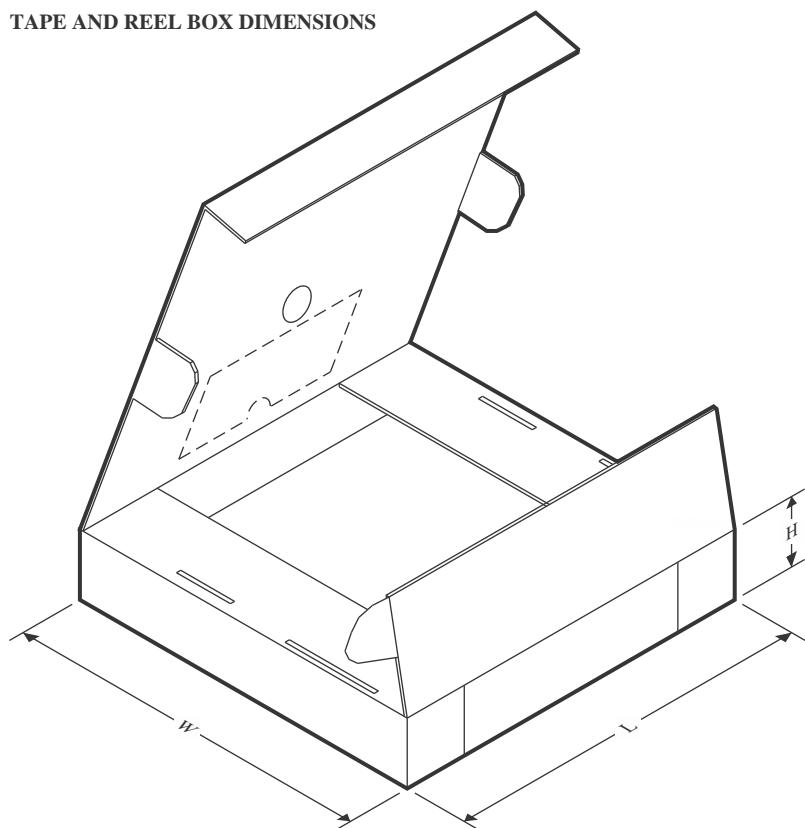
TAPE AND REEL INFORMATION

A0	Dimension designed to accommodate the component width
B0	Dimension designed to accommodate the component length
K0	Dimension designed to accommodate the component thickness
W	Overall width of the carrier tape
P1	Pitch between successive cavity centers

QUADRANT ASSIGNMENTS FOR PIN 1 ORIENTATION IN TAPE

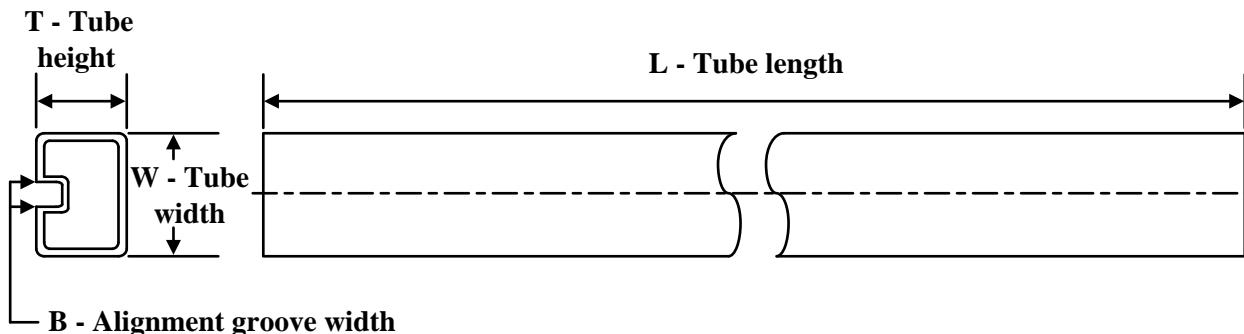
*All dimensions are nominal

Device	Package Type	Package Drawing	Pins	SPQ	Reel Diameter (mm)	Reel Width W1 (mm)	A0 (mm)	B0 (mm)	K0 (mm)	P1 (mm)	W (mm)	Pin1 Quadrant
CDCE925PWR	TSSOP	PW	16	2000	330.0	12.4	6.9	5.6	1.6	8.0	12.0	Q1
CDCE925PWRG4	TSSOP	PW	16	2000	330.0	12.4	6.9	5.6	1.6	8.0	12.0	Q1
CDCEL925PWR	TSSOP	PW	16	2000	330.0	12.4	6.9	5.6	1.6	8.0	12.0	Q1
CDCEL925PWRG4	TSSOP	PW	16	2000	330.0	12.4	6.9	5.6	1.6	8.0	12.0	Q1

TAPE AND REEL BOX DIMENSIONS


*All dimensions are nominal

Device	Package Type	Package Drawing	Pins	SPQ	Length (mm)	Width (mm)	Height (mm)
CDCE925PWR	TSSOP	PW	16	2000	353.0	353.0	32.0
CDCE925PWRG4	TSSOP	PW	16	2000	353.0	353.0	32.0
CDCEL925PWR	TSSOP	PW	16	2000	353.0	353.0	32.0
CDCEL925PWRG4	TSSOP	PW	16	2000	353.0	353.0	32.0

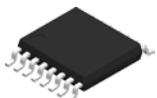
TUBE


*All dimensions are nominal

Device	Package Name	Package Type	Pins	SPQ	L (mm)	W (mm)	T (μ m)	B (mm)
CDCE925PW	PW	TSSOP	16	90	530	10.2	3600	3.5
CDCE925PW.B	PW	TSSOP	16	90	530	10.2	3600	3.5
CDCE925PWG4	PW	TSSOP	16	90	530	10.2	3600	3.5
CDCEL925PW	PW	TSSOP	16	90	530	10.2	3600	3.5
CDCEL925PW.B	PW	TSSOP	16	90	530	10.2	3600	3.5

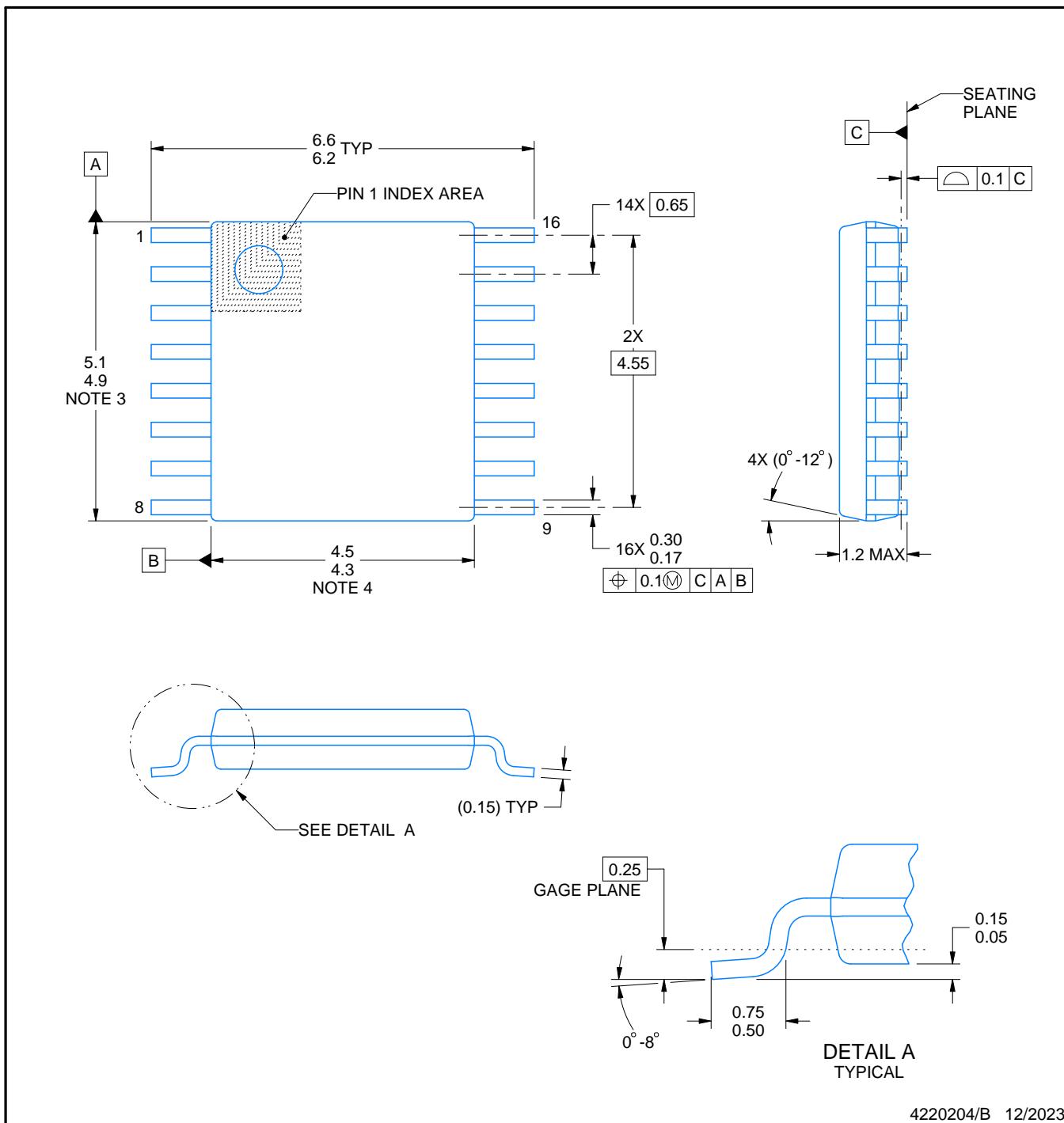
PACKAGE OUTLINE

PW0016A



TSSOP - 1.2 mm max height

SMALL OUTLINE PACKAGE



NOTES:

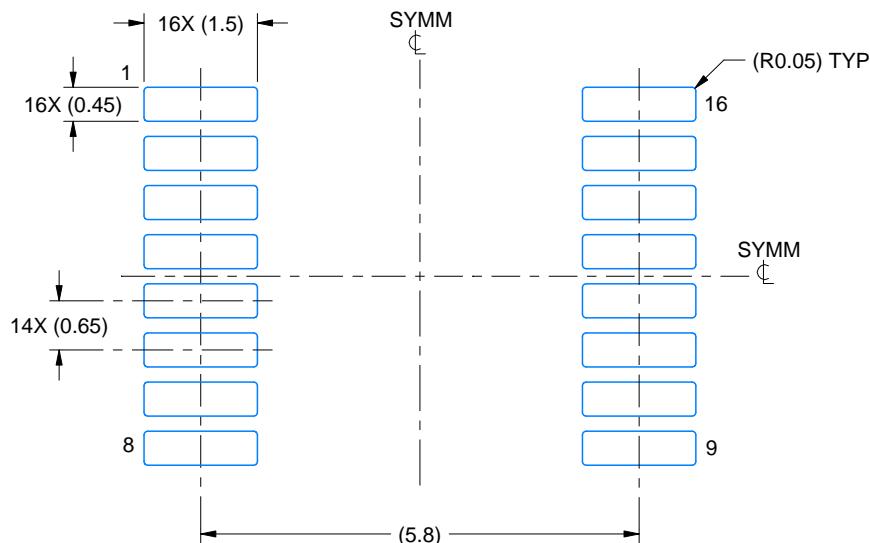
- All linear dimensions are in millimeters. Any dimensions in parenthesis are for reference only. Dimensioning and tolerancing per ASME Y14.5M.
- This drawing is subject to change without notice.
- This dimension does not include mold flash, protrusions, or gate burrs. Mold flash, protrusions, or gate burrs shall not exceed 0.15 mm per side.
- This dimension does not include interlead flash. Interlead flash shall not exceed 0.25 mm per side.
- Reference JEDEC registration MO-153.

EXAMPLE BOARD LAYOUT

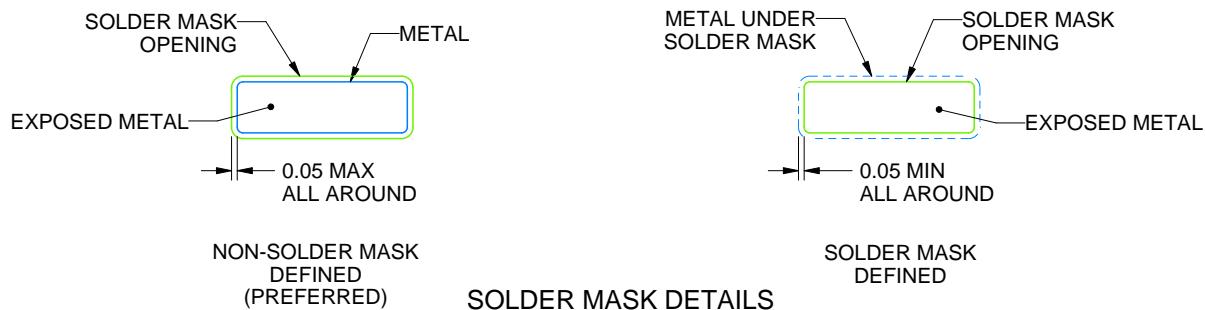
PW0016A

TSSOP - 1.2 mm max height

SMALL OUTLINE PACKAGE



LAND PATTERN EXAMPLE
EXPOSED METAL SHOWN
SCALE: 10X



SOLDER MASK DETAILS

4220204/B 12/2023

NOTES: (continued)

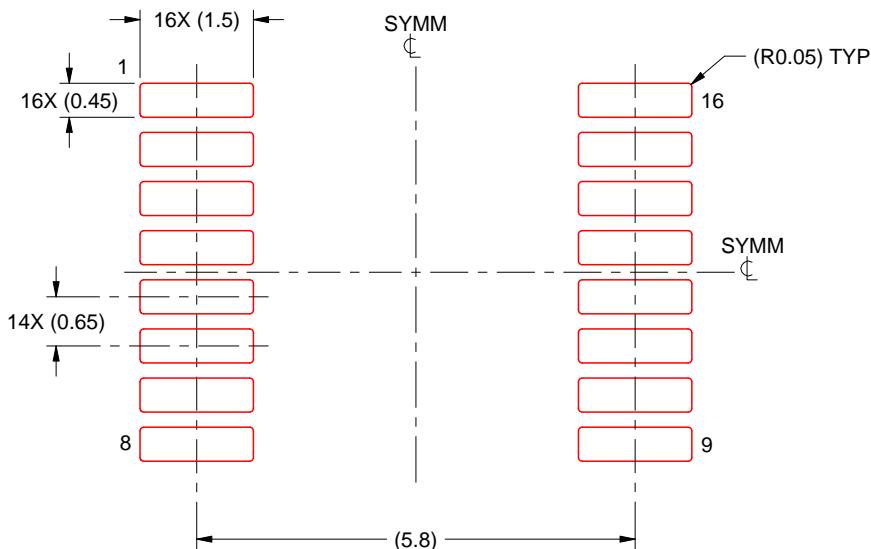
6. Publication IPC-7351 may have alternate designs.
7. Solder mask tolerances between and around signal pads can vary based on board fabrication site.

EXAMPLE STENCIL DESIGN

PW0016A

TSSOP - 1.2 mm max height

SMALL OUTLINE PACKAGE



SOLDER PASTE EXAMPLE
BASED ON 0.125 mm THICK STENCIL
SCALE: 10X

4220204/B 12/2023

NOTES: (continued)

8. Laser cutting apertures with trapezoidal walls and rounded corners may offer better paste release. IPC-7525 may have alternate design recommendations.
9. Board assembly site may have different recommendations for stencil design.

重要なお知らせと免責事項

TIは、技術データと信頼性データ(データシートを含みます)、設計リソース(リファレンス デザインを含みます)、アプリケーションや設計に関する各種アドバイス、Webツール、安全性情報、その他のリソースを、欠陥が存在する可能性のある「現状のまま」提供しており、商品性および特定目的に対する適合性の默示保証、第三者の知的財産権の非侵害保証を含むいかなる保証も、明示的または默示的にかかわらず拒否します。

これらのリソースは、TI製品を使用する設計の経験を積んだ開発者への提供を意図したもので、(1)お客様のアプリケーションに適したTI製品の選定、(2)お客様のアプリケーションの設計、検証、試験、(3)お客様のアプリケーションに該当する各種規格や、その他のあらゆる安全性、セキュリティ、規制、または他の要件への確実な適合に関する責任を、お客様のみが単独で負うものとします。

上記の各種リソースは、予告なく変更される可能性があります。これらのリソースは、リソースで説明されているTI製品を使用するアプリケーションの開発の目的でのみ、TIはその使用をお客様に許諾します。これらのリソースに関して、他の目的で複製することや掲載することは禁止されています。TIや第三者の知的財産権のライセンスが付与されている訳ではありません。お客様は、これらのリソースを自身で使用した結果発生するあらゆる申し立て、損害、費用、損失、責任について、TIおよびその代理人を完全に補償するものとし、TIは一切の責任を拒否します。

TIの製品は、[TIの販売条件](#)、[TIの総合的な品質ガイドライン](#)、[ti.com](#)またはTI製品などに関連して提供される他の適用条件に従い提供されます。TIがこれらのリソースを提供することは、適用されるTIの保証または他の保証の放棄の拡大や変更を意味するものではありません。TIがカスタム、またはカスタマー仕様として明示的に指定していない限り、TIの製品は標準的なカタログに掲載される汎用機器です。

お客様がいかなる追加条項または代替条項を提案する場合も、TIはそれらに異議を唱え、拒否します。

Copyright © 2025, Texas Instruments Incorporated

最終更新日：2025年10月