

CDCDB400 PCIe Gen 1~Gen 7 向け DB800ZL 準拠 4 出力クロック バッファ

1 特長

- 4 つの LP-HCSL 出力、プログラム可能な内蔵 85Ω (デフォルト) または 100Ω 差動出力終端付き
- 4 つのハードウェア出力イネーブル (OE#) 制御
- PCIe Gen 7 フィルタ後の付加位相ジッタ: 11.3fs、RMS (最大値)
- PCIe Gen 6 フィルタ後の付加位相ジッタ: 16.1fs、RMS (最大値)
- PCIe Gen 5 フィルタ後の付加位相ジッタ: 25fs、RMS (最大値)
- DB2000Q フィルタ後の付加位相ジッタ: 38fs、RMS (最大値)
- 共通クロック (CC) アーキテクチャと個別リファレンス (IR) アーキテクチャをサポート
 - スペクトラム拡散対応
- 出力間スキュー: < 50ps
- 入出力間遅延: 3ns 未満
- フェイルセーフ入力
- プログラマブルな出力スルーレート制御機能
- 3 つの選択可能な SMBus アドレス
- コアおよび入出力電源電圧: 3.3V
- ハードウェア制御による低消費電力モード (PD#)
- 消費電流: 46mA 以下
- 5mm × 5mm の 32 ピン VQFN パッケージ

2 アプリケーション

- マイクロサーバー / タワー・サーバー
- ストレージ・エリア・ネットワーク (SAN) およびホスト・バス・アダプタ (HBA) カード
- ネットワーク接続ストレージ (NAS)
- ハードウェア・アクセラレータ
- ラック・サーバー
- 通信スイッチ
- モジュール搭載コンピュータ
- CT および PET スキャナ
- 高耐久性 PC とラップトップ

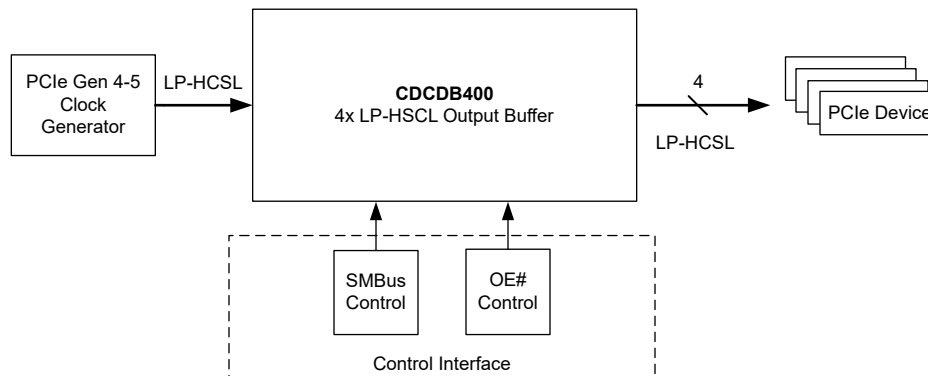
3 説明

CDCDB400 は、PCIe Gen 1 ~ 7、QuickPath Interconnect (QPI)、UPI、SAS、SATA インターフェイス用のリファレンス クロックを分配できる 4 出力 LP-HCSL、DB800ZL 準拠クロック バッファです。SMBus インターフェイスおよび 4 本の出力イネーブル ピンにより、4 個の出力すべてを個別に設定および制御できます。CDCDB400 は DB800ZL から派生したバッファであり、DB800ZL 仕様のシステム パラメータと同等またはそれを上回る性能を備えています。このデバイスは、DB2000Q 仕様のパラメータと同等またはそれを上回る性能も備えています。CDCDB400 は、5mm × 5mm の 32 ピン VQFN パッケージで供給されます。

パッケージ情報

部品番号	パッケージ ⁽¹⁾	パッケージ サイズ ⁽²⁾
CDCDB400	VQFN (32)	5.00mm × 5.00mm

- (1) 利用可能なすべてのパッケージについては、データシートの末尾にある注文情報を参照してください。
- (2) パッケージサイズ (長さ × 幅) は公称値であり、該当する場合はピンを含みます。



CDCDB400 システム図



目次

1 特長	1	7.5 プログラミング	15
2 アプリケーション	1	8 レジスタ マップ	17
3 説明	1	8.1 CDCDB400 レジスタ.....	17
4 ピン構成および機能	3	9 アプリケーションと実装	22
5 仕様	6	9.1 アプリケーション情報.....	22
5.1 絶対最大定格.....	6	9.2 代表的なアプリケーション.....	22
5.2 ESD 定格.....	6	9.3 電源に関する推奨事項.....	23
5.3 推奨動作条件.....	6	9.4 レイアウト.....	24
5.4 熱に関する情報.....	6	10 デバイスおよびドキュメントのサポート	27
5.5 電気的特性.....	7	10.1 デバイス サポート.....	27
5.6 タイミング要件.....	9	10.2 ドキュメントのサポート.....	27
5.7 代表的特性.....	11	10.3 ドキュメントの更新通知を受け取る方法.....	27
6 パラメータ測定情報	12	10.4 サポート・リソース.....	27
7 詳細説明	13	10.5 商標.....	27
7.1 概要.....	13	10.6 静電気放電に関する注意事項.....	27
7.2 機能ブロック図.....	13	10.7 用語集.....	27
7.3 機能説明.....	13	11 改訂履歴	27
7.4 デバイスの機能モード.....	14	12 メカニカル、パッケージ、および注文情報	28

4 ピン構成および機能

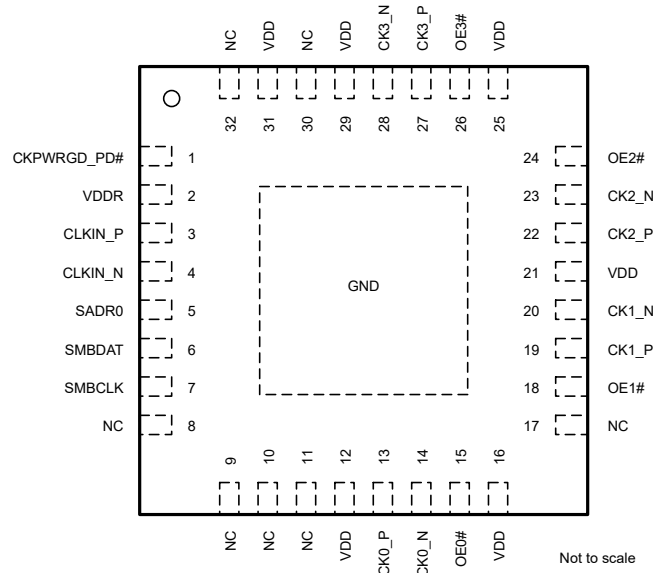


図 4-1. CDCDB400RHB パッケージ 32 ピン VQFN 上面図

表 4-1. ピン機能

ピン		タイプ ⁽²⁾	説明
名称	番号		
入力クロック			
CLKIN_P	3	I	LP-HCSL 差動クロック入力。通常、クロックソースの差動出力に直接接続します。
CLKIN_N	4	I	
出力クロック			
CK0_P	13	O	チャンネル 0 の LP-HCSL 差動クロック出力。通常、PCIe 差動クロック入力に直接接続します。使用しない場合は、ピンを未接続のままにしておくことができます。
CK0_N	14	O	
CK1_P	19	O	チャンネル 1 の LP-HCSL 差動クロック出力。通常、PCIe 差動クロック入力に直接接続します。使用しない場合は、ピンを未接続のままにしておくことができます。
CK1_N	20	O	
CK2_P	22	O	チャンネル 2 の LP-HCSL 差動クロック出力。通常、PCIe 差動クロック入力に直接接続します。使用しない場合は、ピンを未接続のままにしておくことができます。
CK2_N	23	O	
CK3_P	27	O	チャンネル 3 の LP-HCSL 差動クロック出力。通常、PCIe 差動クロック入力に直接接続します。使用しない場合は、ピンを未接続のままにしておくことができます。
CK3_N	28	O	
管理と制御 ⁽¹⁾			
CKPWRGD_PD#	1	I, S, PD	クロック パワー グッドおよびパワー ダウン マルチファンクション入力ピン、内部 180kΩ プルダウン。通常、マイクロコントローラの GPIO に接続します。使用しない場合は、ピンを未接続のままにしておくことができます。PWRGD が初めて high にアサートされた後、このピンは PD# ピンになり、このピンでパワーダウン モードを制御します。 LOW: パワーダウン モード、すべての出力チャンネル トライステート。 HIGH: 通常動作モード。

表 4-1. ピン機能 (続き)

ピン		タイプ ⁽²⁾	説明
名称	番号		
OE0#	15	I, S, PD	チャンネル 0 の出力イネーブル、180kΩ の内部プルダウン、アクティブ Low。通常、マイクロコントローラの GPIO に接続します。使用しない場合は、ピンを未接続のままにしておくことができます。 LOW: 出力チャンネル 0 を有効化します。 HIGH: 出力チャンネル 0 を無効化します。
OE1#	18	I, S, PD	チャンネル 1 の出力イネーブル、180kΩ の内部プルダウン、アクティブ Low。通常、マイクロコントローラの GPIO に接続します。使用しない場合は、ピンを未接続のままにしておくことができます。 LOW: 出力チャンネル 1 を有効化します。 HIGH: 出力チャンネル 1 を無効化します。
OE2#	24	I, S, PD	チャンネル 2 の出力イネーブル、180kΩ の内部プルダウン、アクティブ Low。通常、マイクロコントローラの GPIO に接続します。使用しない場合は、ピンを未接続のままにしておくことができます。 LOW: 出力チャンネル 2 を有効化します。 HIGH: 出力チャンネル 2 を無効化します。
OE3#	26	I, S, PD	チャンネル 3 の出力イネーブル、180kΩ の内部プルダウン、アクティブ Low。通常、マイクロコントローラの GPIO に接続します。使用しない場合は、ピンを未接続のままにしておくことができます。 LOW: 出力チャンネル 3 を有効化します。 HIGH: 出力チャンネル 3 を無効化します。
SMBus および SMBus アドレス			
SADR0	5	I, S, PU/ PD	SMBus アドレスストラップビット。これは 3 レベル入力で、ピン B8 と組み合わせてデコードされ、SMBus アドレスを設定します。このピンには、接続されていない場合に GND にバイアスされる内部 180kΩ プルアップまたはプルダウン ネットワークがあります。 high レベル入力構成では、このピンを外付けプルアップ抵抗を介して、許容誤差 5% で 1k ~ 5k の範囲で 3.3V VDD にプルアップする必要があります。 低レベル入力構成入力では、外部プルダウン抵抗を介して、1k ~ 5k の範囲内に、許容誤差 5% でグラウンドにプルダウンする必要があります。 中間レベル入力構成の場合、このピンをフローティングのままにし、VDD にもグラウンドにも接続しないでください。
SMBDAT	6	I/O	SMBus インターフェイスのデータピン。通常は外付けプルアップ抵抗を使用して 3.3V VDD にプルアップします。推奨プルアップレジスタ値は 8.5k を超えます。
SMBCLK	7	I	SMBus インターフェイスのクロックピン。通常は外付けプルアップ抵抗を使用して 3.3V VDD にプルアップします。推奨プルアップレジスタ値は 8.5k を超えます。
電源電圧およびグラウン			
VDDR	2	P	入力クロック レシーバの電源入力。デカップリング コンデンサを GND に接続して 3.3V 電源レールに接続します。電源とグラウンドとの間にある各電源ピンの近くに 0.1μF コンデンサを配置します。
VDD	12, 16, 21, 25, 29, 31	P	出力チャンネルおよびコア電圧用の 3.3V 電源。
GND	DAP	G	グラウンド。グラウンド パッドはシステムグラウンドに接続します。
内部接続なし			
NC	8, 9, 10, 11, 17, 30	—	GND または VDD には接続しないでください。フローティングのままにします。
NC	32	—	ピンは GND または VDD に接続するか、「絶対最大定格」に記載されている電源電圧範囲内で任意の電位に接続することができます。

(1) ピン名の末尾にある「#」記号は、信号が低電圧レベルのときにアクティブ状態が発生することを示しています。「#」が存在しない場合、信号はアクティブ high です。

(2) 各ピンの I/O タイプの定義は次のとおりです。

- I = 入力
- O = 出力
- I/O = 入出力

- PU/PD = VDD/2 への内部 180kΩ プルアップ/プルダウン ネットワーク バイアス
- PD = 180kΩ の内部プルダウン
- S = ハードウェア構成ピン
- P = 電源
- G = グランド

5 仕様

5.1 絶対最大定格

自由気流での動作温度範囲内 (特に記述のない限り) ⁽¹⁾

		最小値	最大値	単位
V _{DD} , V _{DD_R}	電源電圧	-0.3	3.6	V
V _{IN}	IO 入力電圧	-0.3	3.6	V
T _J	接合部温度		125	°C
T _{stg}	保存温度	-65	150	°C

(1) 「絶対最大定格」を超えた動作は、デバイスに恒久的な損傷を与える可能性があります。「絶対最大定格」は、これらの条件において、または「推奨動作条件」に示された値を超える他のいかなる条件でも、本製品が正しく動作することを暗に示すものではありません。「絶対最大定格」の範囲内であっても「推奨動作条件」の範囲外で使用した場合、本デバイスは完全に機能するとは限らず、このことが本デバイスの信頼性、機能、性能に影響を及ぼし、本デバイスの寿命を縮める可能性があります。

5.2 ESD 定格

			値	単位
V _(ESD)	静電放電	人体モデル (HBM)、ANSI/ESDA/JEDEC JS-001 に準拠、すべてのピン ⁽¹⁾	±3500	V
		デバイス帯電モデル (CDM)、JEDEC 仕様 JESD22-C101 に準拠、すべてのピン ⁽²⁾	±1000	

(1) JEDEC ドキュメント JEP155 には、500VHBM であれば標準的な ESD 管理プロセスにより安全な製造が可能であると記載されています。

(2) JEDEC ドキュメント JEP157 には、250VCDM であれば標準的な ESD 管理プロセスにより安全な製造が可能であると記載されています。

5.3 推奨動作条件

自由気流での動作温度範囲内 (特に記述のない限り)

		最小値	公称値	最大値	単位
V _{DD}	IO、コア電源電圧	3	3.3	3.6	V
V _{DD_R}	入力電源電圧	3	3.3	3.6	V
T _A	周囲温度	-40		105	°C

5.4 熱に関する情報

熱評価基準 ⁽¹⁾		CDCDB400	単位
		RHB (QFN)	
		32 ピン	
R _{θJA}	接合部から周囲への熱抵抗	35.3	°C/W
R _{θJC(top)}	接合部からケース (上面) への熱抵抗	27.3	°C/W
R _{θJB}	接合部から基板への熱抵抗	16.2	°C/W
Ψ _{JT}	接合部から上面への特性パラメータ	0.6	°C/W
Ψ _{JB}	接合部から基板への特性パラメータ	16.2	°C/W
R _{θJC(bot)}	接合部からケース (底面) への熱抵抗	6.1	°C/W

(1) 従来および最新の熱評価基準の詳細については、『[半導体および IC パッケージの熱評価基準](#)』アプリケーション ノートを参照してください。

5.5 電気的特性

VDD、VDD_R = 3.3V±5%、-40°C ≤ T_A ≤ 85°C。標準値は、VDD = VDD_R = 3.3V、25°C のときです (特に記述のない限り)

パラメータ		テスト条件	最小値	標準値	最大値	単位	
消費電流							
I _{DD_R}	コア消費電流	アクティブ モード。CKPWRGD_PD# = 1			8.5	mA	
		パワーダウン モード。CKPWRGD_PD# = 0			2		
I _{DD}	IO 電源電流	全出力ディセーブ			18	mA	
		全出力アクティブ、100MHz (出力ごと)			8.5		
		パワーダウン モード。CKPWRGD_PD# = 0			1.5		
クロック入力							
f _{IN}	入力周波数		50	100	250	MHz	
V _{IN}	入力電圧スイング	CLKIN_P と CLKIN_N ⁽¹⁾ の間の差動電圧	200		2300	mV _{Diff-peak}	
dV/dt	入力電圧エッジレート	入力スイングの 20% ~ 80%	0.7			V/ns	
DV _{CROSS}	V _{CROSS} の合計変動	V _{CROSS} での合計変動		140		mV	
DC _{IN}	入力デューティ サイクル		40		60	%	
C _{IN}	入力容量 ⁽²⁾	CLKIN_P ピンと CLKIN_N ピンの間の差動容量		2.2		pF	
クロック出力							
f _{OUT}	出力周波数		50	100	250	MHz	
C _{OUT}	出力容量 ⁽¹⁾	CKx_P ピンと CKx_N ピンの間の差動容量		4		pF	
V _{OH}	出力 HIGH 電圧	シングル エンド ^{(2) (3)}	225		270	mV	
V _{OL}	出力 LOW 電圧		10		150		
V _{HIGH}	出力 HIGH 電圧	DB800ZL で定義されている AC 負荷で測定	660		850		
V _{LOW}	出力 LOW 電圧	DB800ZL で定義されている AC 負荷で測定	-150		150		
V _{MAX}	出力最大電圧	DB800ZL で定義されている AC 負荷で測定			1150		
V _{CROSS}	交差点電圧	^{(3) (4)}	130		200		
V _{CROSSAC}	交差点電圧 (AC 負荷)	DB800ZL で定義されている AC 負荷で測定	250		550		
DV _{CROSS}	V _{CROSS} の合計変動	V _{CROSS} ^{(3) (4)} の変動		35	140		
V _{ovs}	オーバershoot電圧	⁽³⁾			V _{OH} +75		
V _{ovs(AC)}	オーバershoot電圧 (AC 負荷)	DB800ZL で定義されている AC 負荷で測定			V _{HIGH} +30 0		
V _{uds}	アンダershoot電圧	⁽³⁾			V _{OL} -75		
V _{uds(AC)}	アンダershoot電圧	DB800ZL で定義されている AC 負荷で測定			V _{LOW} - 300		
V _{rb}	リングバック電圧	DB800ZL で定義されている AC 負荷で測定し、シングル エンド波形から取得します。	DB800ZL で定義されている AC 負荷で測定し、シングル エンド波形から取得します。		-0.2	0.2	V

CDCDB400

JAJSM6B – NOVEMBER 2021 – REVISED AUGUST 2025

 VDD、VDD_R = 3.3V±5%、-40°C ≤ T_A ≤ 85°C。標準値は、VDD = VDD_R = 3.3V、25°C のときです (特に記述のない限り)

パラメータ		テスト条件		最小値	標準値	最大値	単位
Z _{DIFF}	差動インピーダンス (デフォルト設定、85Ω)	V _{OL} /V _{OH} で測定		81	85	89	Ω
	差動インピーダンス (出力インピーダンス選択ビット= 1、100Ω)	V _{OL} /V _{OH} で測定		95	100	105	
Z _{DIFF_CROSS}	差動インピーダンス (デフォルト設定、85Ω)	V _{CROSS} で測定		68	85	102	
	差動インピーダンス (出力インピーダンス選択ビット= 1、100Ω)	V _{CROSS} で測定		80	100	120	
t _{EDGE}	差動エッジレート	V _{CROSS} ⁽⁷⁾ の周辺で測定 (±150mV)		2		4	V/ns
Dt _{EDGE}	エッジレート マッチング	V _{CROSS} ⁽⁷⁾ で測定 (±150mV)				20	%
t _{STABLE}	安定したクロック出力へのパワー グッドアサート	CKPWRGD_PD# ピンが 0 から 1 に遷移、f _{IN} = 100MHz	ポジティブ出力が 0.2V に達したときに測定			1.8	ms
t _{DRIVE_PD#}	出力が high に駆動されるへのパワー グッドアサート	CKPWRGD_PD# ピンが 0 から 1 に遷移、f _{IN} = 100MHz	ポジティブ出力が 0.2V に達したときに測定			300	μs
t _{OE}	安定したクロック出力への出力イネーブルのアサート	OEx# ピンが 1 から 0 に遷移します				10	CLKIN 周期
t _{OD}	出力イネーブルのデアサートからクロックなし出力へ	OEx# ピンが 0 から 1 に遷移します				10	
t _{PD}	電源オフアサートからクロックなし出力へ	CKPWRGD_PD# ピンが 1 から 0 に遷移します				3	
t _{DCD}	デューティ サイクルの歪み	差動、f _{IN} = 100MHz、f _{IN_DC} = 50%		-1		1	%
t _{DLY}	伝搬遅延	⁽⁵⁾		0.5		3	ns
t _{SKEW}	出力間のスキュー	⁽⁶⁾				50	ps
t _{DELAY(IN-OUT)}	入出力間遅延の変動	電圧と温度による 100MHz での入力から出力までの遅延変動		-250		250	ps
J _{CKx_PCIE} ⁽⁷⁾	DB2000QL の追加ジッタ	DB2000QL フィルタ (入力: 200mV 差動スイング、1.5V/ns)				38	fs, RMS
	PCIe7.0 の追加ジッタ	PCIe7.0 フィルタ	PCIe7.0 フィルタ			11.3	
	PCIe6.0 の追加ジッタ	PCIe6.0 フィルタ				16.1	
	PCIe5.0 の追加ジッタ		PCIe5.0 フィルタ			26.4	
	PCIe4.0 の追加ジッタ	PCIe5.0 フィルタ	入力クロックスルーレート ≥ 1.8V/ns			63.0	
J _{CKx_PCIE} ⁽⁷⁾	PCIe3.0 の追加ジッタ	PLL BW = 2 ~ 5MHz、CDR = 10MHz	入力クロックスルーレート ≥ 0.6V/ns			0.1	ps, RMS
J _{CKx}	付加ジッタ	f _{IN} = 100MHz、スルーレート ≥ (3V/ns)、12kHz ~ 20MHz の積分帯域幅。			100	160	fs, RMS
NF	ノイズフロア	f _{IN} = 100MHz、f _{Offset} ≥ 10MHz	入力クロックスルーレート ≥ 3V/ns		-160	-155	dBc/Hz

SMBUS インターフェイス、OEx#、CKPWRGD_PD#

VDD、VDD_R = 3.3V±5%、-40°C ≤ T_A ≤ 85°C。標準値は、VDD = VDD_R = 3.3V、25°C のときです (特に記述のない限り)

パラメータ		テスト条件	最小値	標準値	最大値	単位	
V _{IH}	High レベル入力電圧		2.0			V	
V _{IL}	Low レベル入力電圧				0.8		
I _{IH}	入力リーク電流	内部プルアップ / プルダウン付き	GND ≤ V _{IN} ≤ V _{DD}		-30	30	μA
I _{IL}	入力リーク電流	内部プルアップ / プルダウン付き	GND ≤ V _{IN} ≤ V _{DD}		-30	30	μA
I _{IH}	入力リーク電流	内部プルアップ / プルダウンなし	GND ≤ V _{IN} ≤ V _{DD}		-5	5	μA
I _{IL}	入力リーク電流	内部プルアップ / プルダウンなし	GND ≤ V _{IN} ≤ V _{DD}		-5	5	μA
C _{IN}	入力容量			4.5		pF	
C _{OUT}	出力容量			4.5		pF	

SADR0 への 3-LEVEL のデジタル インターフェイス

V _{IH}	High レベル入力電圧		2.3			V	
V _{IM}	Mid レベル入力電圧		1.25	V _{DD} /2	1.725		
V _{IL}	Low レベル入力電圧				0.85		
I _{IH}	入力リーク電流	内部プルアップ / プルダウン付き	V _{IN} = V _{DD}		-30	30	μA
I _{IL}	入力リーク電流	内部プルアップ / プルダウン付き	V _{IN} = GND		-30	30	μA
C _{IN}	入力容量 ⁽¹⁾			4.5		pF	

- (1) 電圧スイングにオーバーシュートが含まれます。
- (2) 量産時にはテストを行っていません。設計と特性評価により検証されています。
- (3) DC テスト負荷内で測定。
- (4) V_{CROSS} は、システム グランドを基準として CKx_P = CKx_N の場合のシングルエンド電圧です。CKx_P が立ち上がりの場合、CKx の立ち上がりエッジでのみ有効です。
- (5) CLK_IN の立ち上がりエッジから、任意の CKx 出力まで測定。
- (6) 任意の CKx 出力の立ち上がりエッジから、他の CKx 出力との間で測定。
- (7) AC テスト負荷内で測定。

5.6 タイミング要件

VDD、VDD_R = 3.3V±5%、-40°C ≤ T_A ≤ 85°C。標準値は、VDD = VDD_R = 3.3V、25°C のときです (特に記述のない限り)

			最小値	公称値	最大値	単位
SMBUS 互換インターフェイス タイミング						
f _{SMB}	SMBus の動作周波数		10		400	kHz
t _{BUF}	STOP と START 間のバス解放時間		4.7			
t _{HD_STA}	START 条件のホールド時間	SMBDAT が Low になった後 SMBCLK が Low になります	4			μs
t _{SU_STA}	START 条件のセットアップ時間	SMBCLK が High になってから SMBDAT が Low になる	4.7			
t _{SU_STO}	ストップ条件のセットアップ時間		4			
t _{HD_DAT}	SMBDAT のホールド時間		300			ns
t _{SU_DAT}	SMBDAT のセットアップ時間		250			
t _{TIMEOUT}	SMBCLK low 検出のタイムアウト	これらの用語は、デバイスの入力クロック周波数です	1e6			サイクル
t _{LOW}	SMBCLK の Low 期間		4.7			μs
t _{HIGH}	SMBCLK の High 期間		4		50	

VDD、VDD_R = 3.3V±5%、-40°C ≤ T_A ≤ 85°C。標準値は、VDD = VDD_R = 3.3V、25°C のときです (特に記述のない限り)

		最小値	公称値	最大値	単位
t _F	SMBCLK/SMBDAT 立ち下がり時間 ⁽¹⁾			300	ns
t _R	SMBCLK/SMBDAT 立ち上がり時間 ⁽²⁾			1000	

(1) TF = (VIHMIN + 0.15) ~ (VILMAX-0.15)

(2) TR = (VILMAX-0.15) ~ (VIHMIN + 0.15)

5.7 代表的特性

図 5-1 に、ソースの位相ノイズと DUT (CDCDB400) の出力の両方を示します。位相ノイズプロットは、DUT の位相ノイズ プロファイルが非常に低く、合計ジッタは 81.5fs rmsであることを示しています。クロックリファレンスのノイズを rms で差し引くことで、通常条件下における CDCDB400 の付加ジッタは rms 値で 81.5fs 未満となります。

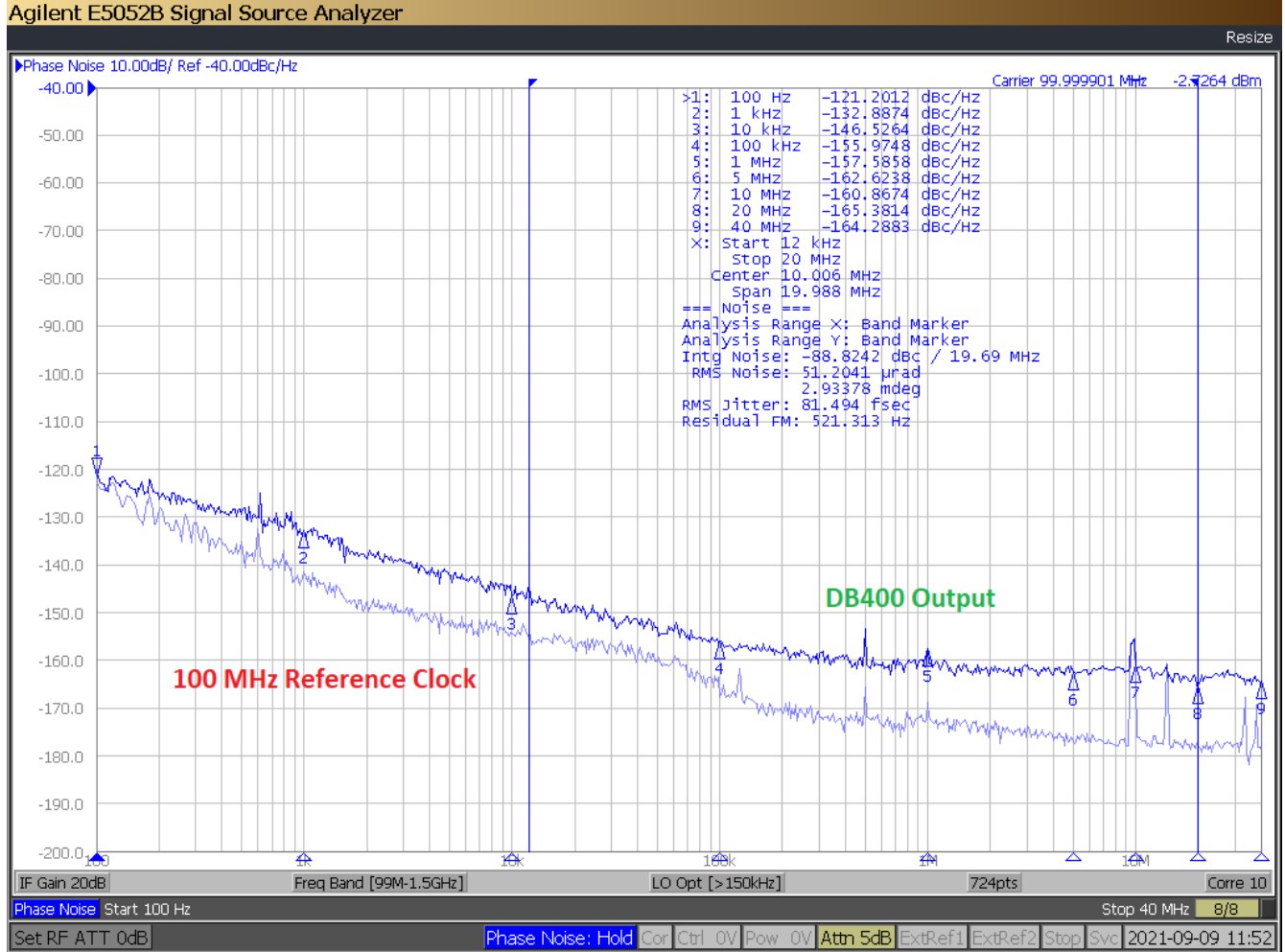


図 5-1. CDCDB400 クロック出力 (CK0:4) 位相ノイズ

6 パラメータ測定情報

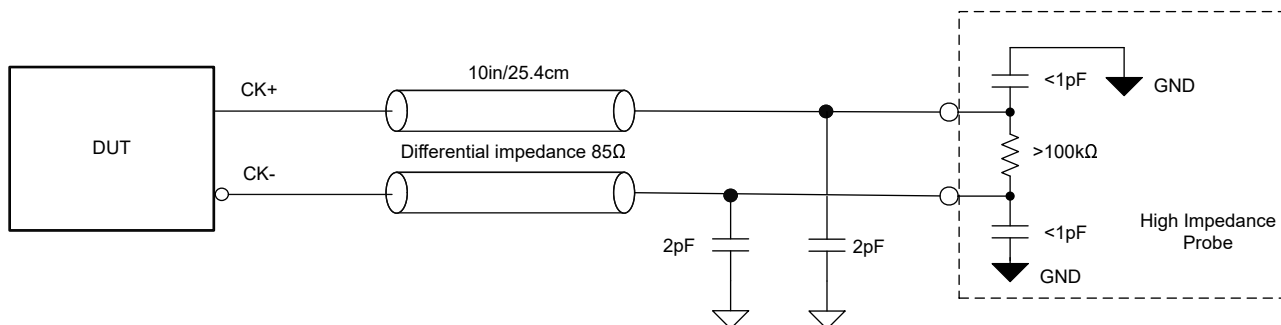
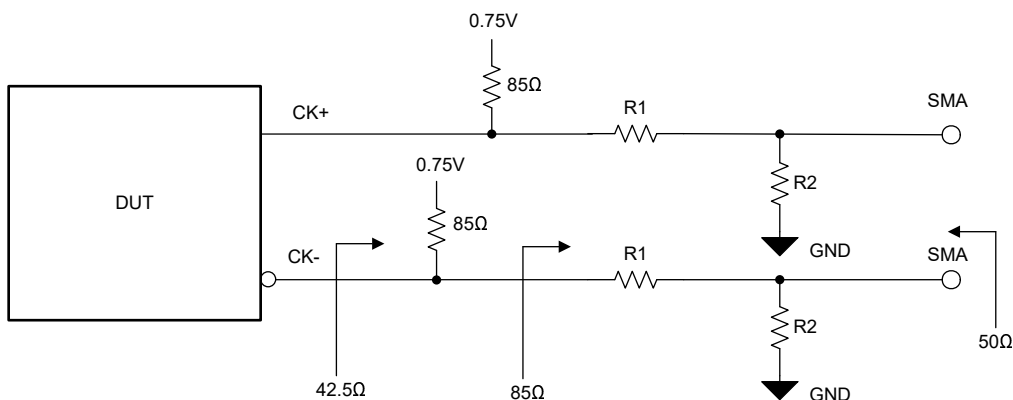


図 6-1. AC テスト負荷 (Intel DB2000QL ドキュメント参照)



R1 = 47Ω および R2 = 147Ω。

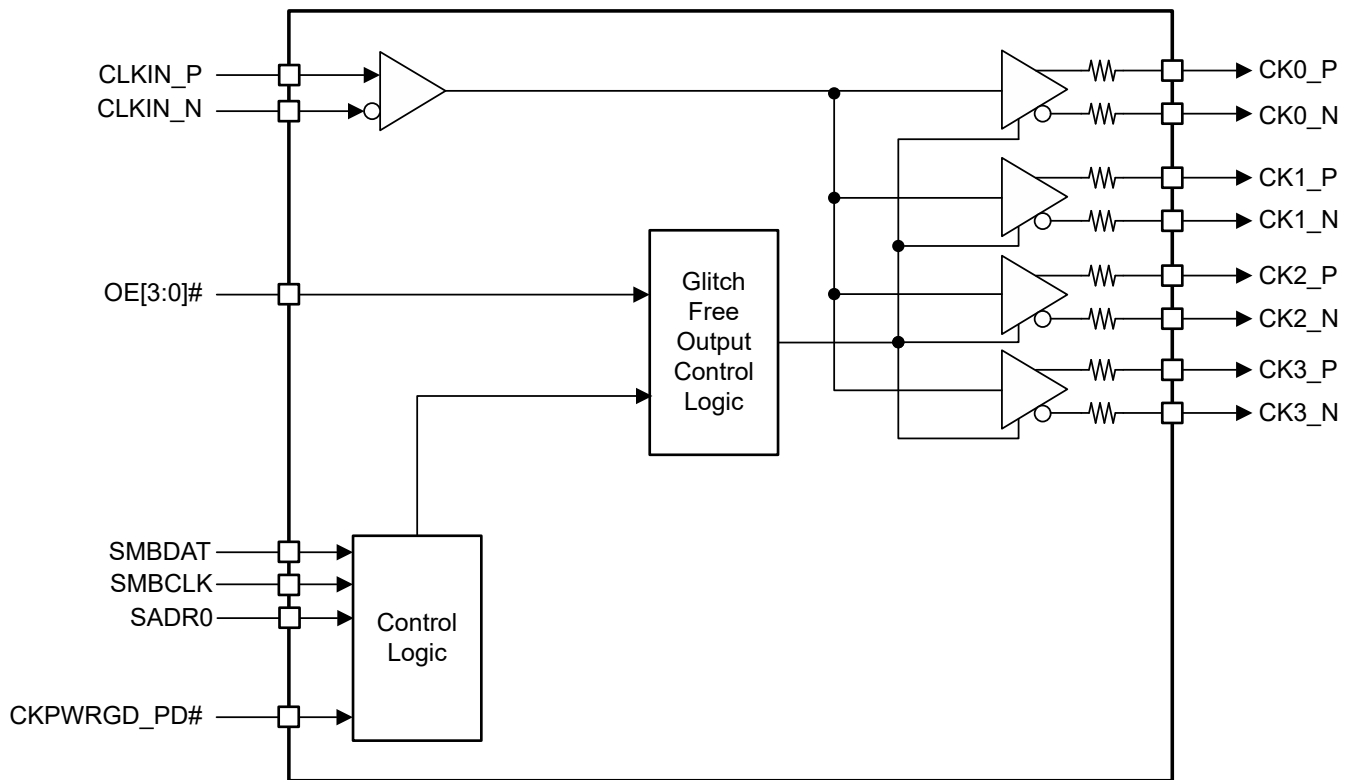
図 6-2. DC シミュレーション負荷 (Intel DB2000QL ドキュメントを参照)

7 詳細説明

7.1 概要

CDCDB400 は、CC、SRNS、または SRIS アーキテクチャにおける PCIe Gen 1~7、QPI、UPI、SAS、および SATA リファレンス クロックの厳しい性能要件を満たすように設計された、低付加ジッタ、低伝搬遅延のクロック バッファです。CDCDB400 を使用すると、単一のクロック ソースを LP-HCSL 形式で最大 4 個の個別出力のバッファリングと複製が可能です。CDCDB400 には、SMBus バージョン 2.0 準拠のインターフェイスからアクセスできるステータスおよび制御レジスタも含まれています。このデバイスは、大量の外部受動部品を内蔵しているため、システム全体のコストを削減できます。

7.2 機能ブロック図



7.3 機能説明

7.3.1 フェイルセーフ入力

CDCDB400 は、フェイルセーフ入力動作機能をサポートするように設計されています。この機能により、 V_{DD} が印加される前に、デバイスを損傷することなくデバイス入力を駆動できます。デバイスでサポートされている最大入力の詳細については、[絶対最大定格](#)を参照してください。

7.3.2 出カインエーブルの制御

CDCDB400 は、SMBus および OE# を使用して出力チャネルの状態を制御します。OE# ピンは、同じ値で出力の状態を制御します。たとえば、OE3# ピンは CK3 出力ドライバの状態を制御します。対応する OE# ピンが Low に保持されている場合、SMBus レジスタによって出力を有効または無効にできます。

7.3.3 SMBus

CDCDB400 は、CKPWRGD_PD# = 1 のときにのみアクティブになる SMBus インターフェイスを備えています。SMBus により、各出力を個別にイネーブル/ディセーブルできます。

CKPWRGD_PD# = 0 の場合、SMBus ピンは Hi-Z 状態になりますが、すべてのレジスタ設定は保持されます。SMBus レジスタ値は、 V_{DD} が推奨動作電圧の範囲内に維持されている間のみ保持されます。

7.3.3.1 SMBus アドレス割り当て

SMBus アドレスは、3 段階のレベル設定に対応する SADR0 ピンを構成することで割り当てられます。この構成により、CDCDB400 は 3 つの異なる SMBus アドレスを想定できます。

SMBus アドレス ピンは、サンプリングされた PWRGD は 1 に設定されています。アドレス ピンの構成については、表 7-1 を参照してください。アドレスを変更できるのは、デバイスの電源をサイクルしてのみです。

表 7-1. SMBus アドレス割り当て

SADR0	SMBus アドレス: 書き込み動作 (読み取り/書き込み= 0)	SMBus アドレス: 読み取り動作 (読み取り/書き込み= 1)
L	0xD8	0xD9
M	0xDA	0xDB
H	0xDE	0xDF

7.4 デバイスの機能モード

7.4.1 CKPWRGD_PD# 機能

CKPWRGD_PD# ピンは、デバイス内で次の 2 つの状態変数を設定するために使用されます: PWRGD および PD#。PWRGD および PD# 変数は、デバイスのどの機能がいつでもアクティブになるか、および入力および出力ピンの状態を制御します。

PWRGD および PD# 状態は、CKPWRGD_PD# ピンで多重化されます。 V_{DD} および V_{DDR} が存在し、かつ推奨動作条件内に収まるまでは、CKPWRGD_PD# を V_{OL} 未満に維持し、 $V_{DDR} + 0.3V$ を超えないようにする必要があります。CKPWRGD_PD# が High に設定された後、PD# を使用するには有効な CLKIN が存在している必要があります。

CKPWRGD_PD# ピンの最初の立ち上がりエッジで PWRGD = 1 が設定されます。PWRGD が 1 に設定された後、CKPWRGD_PD# ピンを使用して、PD# モードのみをアサートします。PWRGD 変数は、 V_{DD} および V_{DDR} が取り外された場合にのみ 0 にクリアされます。

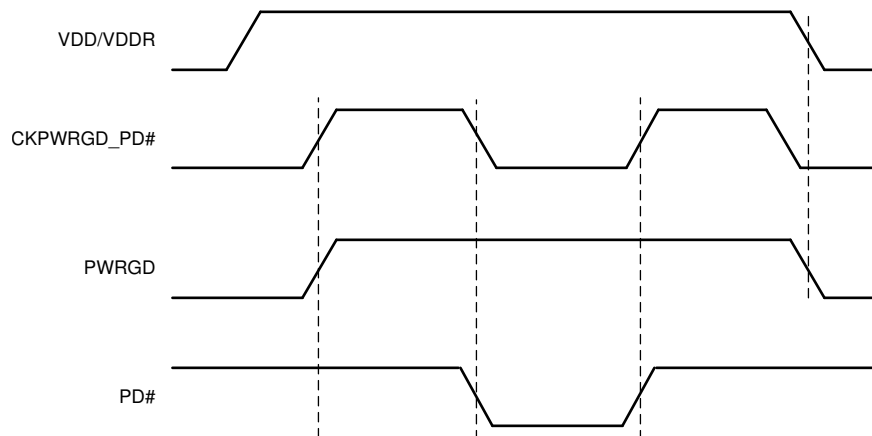


図 7-1. PWRGD と PD# の状態が変更されます

7.4.2 OE[3:0]# および SMBus 出カインイーブル

各出力チャンネル 0 ~ 3 は、SMB イネーブル ビットと呼ばれる SMBus 制御レジスタ ビットによって個別にイネーブルまたはディセーブルできます。さらに、各出力チャンネルには、それぞれに対応する専用の OE[3:0]# ハードウェア ピンがあります。OE[3:0]# ピンは非同期的にアサートされた low 信号で、出力をイネーブルまたはディセーブルできます。

ハードウェアとソフトウェアを介した出力のイネーブルとディセーブルについては、表 7-2 を参照してください。出力チャンネルをアクティブにするには、SMB イネーブルビットを両方も 1 にし、OEx# ピンを入力 low 電圧「0」にする必要があることに注意してください。

表 7-2. OE[3:0]# 機能

制御入力 CKPWRGD_PD#	電力状態変数 (内部用)		CLKIN	OE[3:0]# ハードウェア ピンと SMBus 制御レジスタ ビット			CK[3:0]_P/ CK[3:0]_N
	PWRGD	PD#		OE[3:0]#	OUT_EN_CLK[3:0]	DRIVE_OP_ST ATE_CTRL	
0	0	0	X	X	X	X	LOW/LOW
1	1	1	X ⁽¹⁾	X	0	0	LOW/LOW
						1	TRI-STATE
				1	X	0	LOW/LOW
			1		1	TRI-STATE	
0	0	X ⁽²⁾	X	X	0	LOW/LOW	
					1	TRI-STATE	
			動作時 ⁽¹⁾	0	1	X	動作時

- (1) パワーダウン状態に入るには、CKPWRGD_PD# が 1 から 0 に遷移した後、CLKIN を少なくとも 3 クロック サイクルの間アクティブに保つ必要があります。
- (2) アクティブなクロック出力でパワーアップ状態に入るには、CKPWRGD_PD# が 0 から 1 に遷移する前に CLKIN をアクティブにしておく必要があります。

7.4.3 出カスルーレート制御

CDCDB400 には出力スルーレート制御機能があり、お客様が基板の設計に応じて出力パターン長を長くする補償に使用できます。4 つの出力 CK0~CK3 のスルーレートは、CAPTRIM と呼ばれる SMBus 制御レジスタによって、所定の範囲内で変更できます。詳細については、表 8-13 をご覧ください。

7.4.4 出カインピーダンス制御

CDCDB400 の内蔵終端は、85Ω または 100Ω のいずれかにプログラムできます。この柔軟性により、基板の特性インピーダンスが通常 85Ω または 100Ω のいずれであっても、顧客は同一のデバイスをさまざまなアプリケーションで使用できます。この終端抵抗は、OUTSET と呼ばれるレジスタのビット 5 を使用して、すべての出力全体について変更することができます。詳細については、表 8-11 をご覧ください。

7.5 プログラミング

CDCDB400 は SMBus を使用して、4 の出力ドライバの状態をプログラムします。SMBus のプログラミングの詳細については、レジスタ マップを、レジスタの情報については SMBus を参照してください。

表 7-3. コマンド コードの定義

ビット	説明
7	0 = ブロック読み取りまたはブロック書き込み動作 1 = バイト読み取りまたはバイト書き込み動作
(6:0)	バイト操作のレジスタ アドレス、またはブロック動作の開始レジスタ アドレス

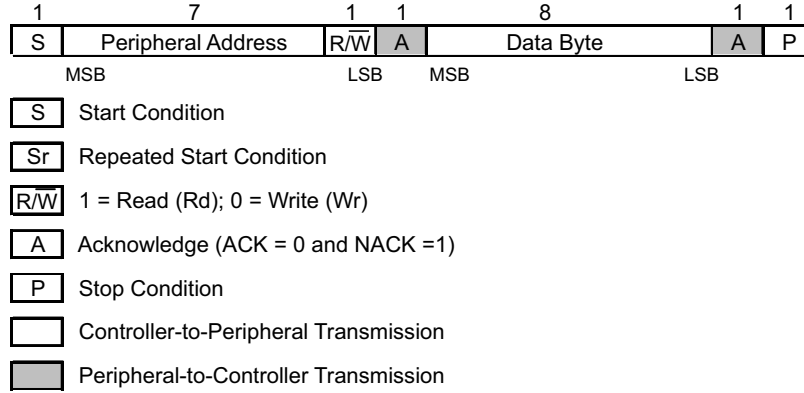


図 7-2. 汎用プログラミング シーケンス

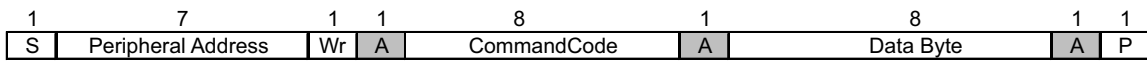


図 7-3. バイト書き込みプロトコル

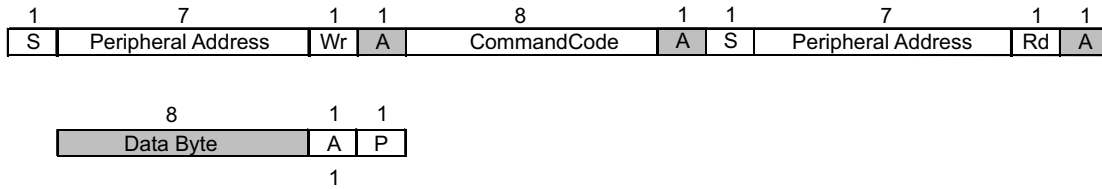


図 7-4. バイト読み取りプロトコル

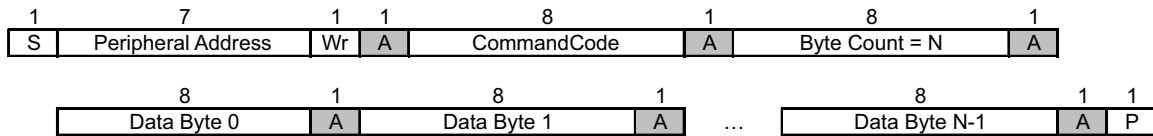


図 7-5. ブロック書き込みプロトコル

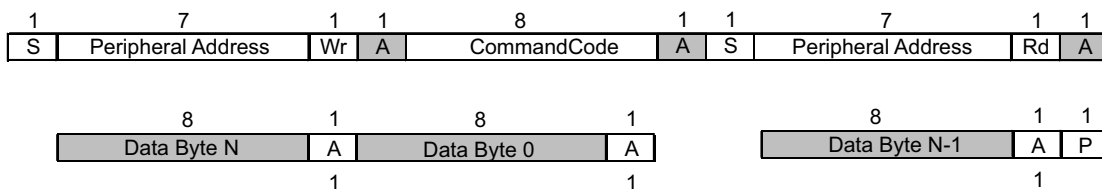


図 7-6. ブロック読み取りプロトコル

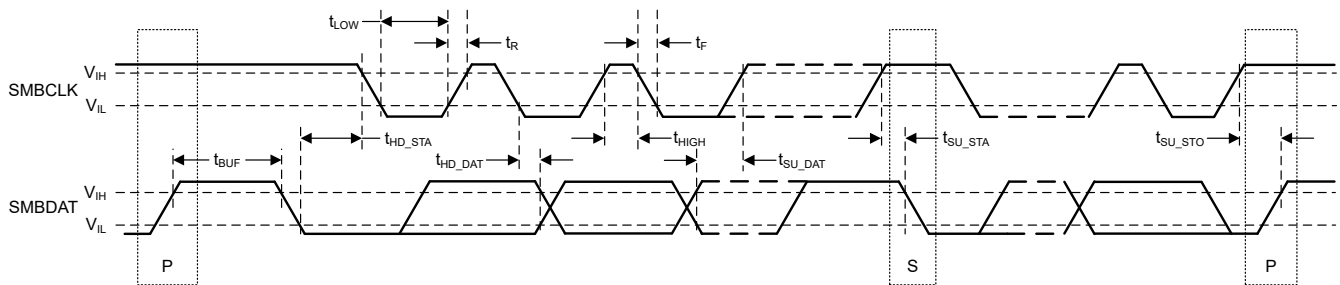


図 7-7. SMBus タイミング図

8 レジスタ マップ

8.1 CDCDB400 レジスタ

表 8-1 CDCDB400 レジスタの一覧を示します。表 8-1 にないレジスタ位置はすべて予約済みと見なす必要があります。レジスタ内容は変更しないでください。

表 8-1. CDCDB400 レジスタ

アドレス	略称	レジスタ名	セクション
0h	RCR1	予約済み制御レジスタ 1	表示
1h	OECR1	出力イネーブルの制御 1	表示
2h	OECR2	出力イネーブルの制御 2	表示
3h	OERDBK	出力イネーブル# ピン読み戻し	表示
4h	RCR2	予約済み制御レジスタ 2	表示
5h	VDRREVID	ベンダー/リビジョンの識別	表示
6h	DEVID	デバイス識別情報	表示
7h	BTRDCNT	バイト読み取りカウント制御	表示
8h	OUTSET	出力設定制御	表示
4Ch	CAPTRIM	スルーレート コンデンサ クラス 1 および 2	表示

表の小さなセルに収まるように、複雑なビット アクセス タイプを記号で表記しています。表 8-2 このセクションでアクセス タイプに使用しているコードを示します。

表 8-2. CDCDB400 のアクセス タイプ コード

アクセス タイプ	コード	説明
読み取りタイプ		
R	R	読み出し
書き込みタイプ		
W	W	書き込み
リセットまたはデフォルト値		
-n		リセット後の値またはデフォルト値

8.1.1 RCR1 レジスタ (アドレス = 0h) [リセット = 47h]

RCR1 を表 8-3 に示します。

概略表に戻ります。

RCR1 レジスタには予約済みビットが含まれています。

表 8-3. RCR1 レジスタのフィールドの説明

ビット	フィールド	タイプ	リセット	説明
7-4	予約済み	R	4h	予約済み。
3-0	予約済み	R/W	7h	これらのビットへの書き込みは、デバイスの機能に影響しません。

8.1.2 OECR1 レジスタ (アドレス = 1h) [リセット = FFh]

OECR1 を表 8-4 に示します。

概略表に戻ります。

OECR1 レジスタには、各出力クロック チャネル [1:0] をイネーブルまたはディセーブルにするビットが含まれています。

表 8-4. OECR1 レジスタのフィールドの説明

ビット	フィールド	タイプ	リセット	説明
7	予約済み	R/W	1h	このビットへの書き込みは、デバイスの機能に影響しません。
6	予約済み	R/W	1h	このビットへの書き込みは、デバイスの機能に影響しません。
5	OUT_EN_CLK1	R/W	1h	このビットは、出力チャンネル CK1_P/CK1_N の出力イネーブル信号を制御します。 0h = 出力ディセーブル 1h = 出力イネーブル
4	予約済み	R/W	1h	このビットへの書き込みは、デバイスの機能に影響しません。
3	予約済み	R/W	1h	このビットへの書き込みは、デバイスの機能に影響しません。
2	OUT_EN_CLK0	R/W	1h	このビットは、出力チャンネル CK0_P/CK0_N の出力イネーブル信号を制御します。 0h = 出力ディセーブル 1h = 出力イネーブル
1	予約済み	R/W	1h	このビットへの書き込みは、デバイスの機能に影響しません。
0	予約済み	R/W	1h	このビットへの書き込みは、デバイスの機能に影響しません。

8.1.3 OECR2 レジスタ (アドレス = 2h) [リセット = 0Fh]

OECR2 を表 8-5 に示します。

概略表に戻ります。

OECR2 レジスタには、各出力クロック チャンネル [3:2] をイネーブルまたはディセーブルにするビットが含まれています。

表 8-5. OECR2 レジスタのフィールドの説明

ビット	フィールド	タイプ	リセット	説明
7-4	予約済み	R/W	0h	これらのビットへの書き込みは、デバイスの機能に影響しません。
3	予約済み	R/W	1h	このビットへの書き込みは、デバイスの機能に影響しません。
2	OUT_EN_CLK3	R/W	1h	このビットは、出力チャンネル CK3_P/CK3_N の出力イネーブル信号を制御します。 0h = 出力ディセーブル 1h = 出力イネーブル
1	予約済み	R/W	1h	このビットへの書き込みは、デバイスの機能に影響しません。
0	OUT_EN_CLK2	R/W	1h	このビットは、出力チャンネル CK2_P/CK2_N の出力イネーブル信号を制御します。 0h = 出力ディセーブル 1h = 出力イネーブル

8.1.4 OERDBK レジスタ (アドレス = 3h) [リセット = 0h]

OERDBK を表 8-6 に示します。

概略表に戻ります。

OERDBK レジスタには、OE[3:0]# 入力ピンの現在の状態を通知するビットが含まれています。

表 8-6. OERDBK レジスタ フィールドの説明

ビット	フィールド	タイプ	リセット	説明
7	RB_OEZ3	R	0h	このビットは、OE3# ピンに存在するロジックレベルを報告します。
6	RB_OEZ2	R	0h	このビットは、OE2# ピンに存在するロジックレベルを報告します。
5-4	予約済み	R	0h	予約済み。

表 8-6. OERDBK レジスタ フィールドの説明 (続き)

ビット	フィールド	タイプ	リセット	説明
3	RB_OEZ1	R	0h	このビットは、OE1# ピンに存在するロジックレベルを報告します。
2	予約済み	R	0h	予約済み。
1	RB_OEZ0	R	0h	このビットは、OE0# ピンに存在するロジックレベルを報告します。
0	予約済み	R	0h	予約済み。

8.1.5 RCR2 レジスタ (アドレス = 4h) [リセット = 0h]

RCR2 を表 8-7 に示します。

[概略表](#)に戻ります。

RCR2 レジスタには予約済みビットが含まれています。

表 8-7. RCR2 レジスタのフィールドの説明

ビット	フィールド	タイプ	リセット	説明
7-0	予約済み	R	0h	予約済み。

8.1.6 VDRREVID レジスタ (アドレス = 5h) [リセット = 0Ah]

表 8-8 に、VDRREVID を示します。

[概略表](#)に戻ります。

VDRREVID レジスタには、ベンダ識別コードとシリコン リビジョン コードが含まれています。

表 8-8. VDRREVID レジスタ フィールドの説明

ビット	フィールド	タイプ	リセット	説明
7-4	REV_ID	R	0h	シリコンのリビジョン コード。 シリコン リビジョン コード ビット [3:0] はレジスタ ビット [7:4] に直接マップされています。
3-0	VENDOR_ID	R	Ah	ベンダー識別コード。 ベンダ ID ビット [3:0] はレジスタ ビット [3:0] に直接マップされています。

8.1.7 DEVID レジスタ (アドレス = 6h) [リセット = E7h]

DEVID を表 8-9 に示します。

[概略表](#)に戻ります。

DEVID レジスタには、デバイス識別コードが含まれています。

表 8-9. DEVID レジスタ フィールドの説明

ビット	フィールド	タイプ	リセット	説明
7-0	DEV_ID	R	E7h	デバイス ID コード。 デバイス ID ビット [7:0] はレジスタ ビット [7:0] に直接マップされています。

8.1.8 BTRDCNT レジスタ (アドレス = 7h) [リセット = 8h]

表 8-10 に、BTRDCNT を示します。

概略表に戻ります。

BTRDCNT レジスタには、読み戻すバイト数を設定するビット [4:0] が含まれています。

表 8-10. BTRDCNT レジスタ フィールドの説明

ビット	フィールド	タイプ	リセット	説明
7-5	予約済み	R/W	0h	これらのビットへの書き込みは、デバイスの機能に影響しません。
4	BYTE_COUNTER	R/W	0h	このレジスタに書き込むと、読み戻すバイト数を設定します。
3-0	BYTE_COUNTER	R/W	8h	

8.1.9 OUTSET レジスタ (アドレス = 8h) [リセット = 0h]

OUTSET を表 8-11 に示します。

概略表に戻ります。

OUTSET レジスタの Bit5 はすべての出力の終端を設定し、Bit4 はすべての出力のパワーダウン状態を設定するために使用できます。このレジスタの残りのビットは予約済みです。

表 8-11. OUTSET レジスタ フィールドの説明

ビット	フィールド	タイプ	リセット	説明
7-6	予約済み	R	0h	予約済み。
5	CH_ZOUT_SEL	R/W	0h	85Ω(0) と 100Ω(1) 出力インピーダンスのいずれかを選択します
4	d_DRIVE_OP_STATE_CTRL	R/W	0h	すべての出力クロックのパワーダウン状態。 0: LOW/LOW 1: TRI_STATE
3-0	予約済み	R/W	0h	レジスタ ビットは 0 に書き込むことができます。0 以外の値を書き込むと、デバイスの機能に影響を及ぼします。

8.1.10 CAPTRIM レジスタ (アドレス = 4Ch) [リセット = 66h]

表 8-13 に、CAPTRIM を示します。

概略表に戻ります。

CAPTRIM レジスタのビット [7:4] は、出力チャネル クラスタ 2 のスルーレートを制御するために使用されます。ビット [3:0] は、出力チャネル クラスタ 1 のスルーレートを制御します。クラスタの識別については、以下を参照してください。

表 8-12. クラスタ識別

クラスタ	出力
1	CK1, CK0
2	CK3, CK2

表 8-13. CAPTRIM レジスタ フィールドの説明

ビット	フィールド	タイプ	リセット	説明
7-4	CLUSTER2_CAP_TRIM	R/W	6h	クラスタ 2 のスルーレート低減用キャップ トリム。デフォルト値は 6h。 0: 最小値 F: 最大

表 8-13. CAPTRIM レジスタ フィールドの説明 (続き)

ビット	フィールド	タイプ	リセット	説明
3-0	CLUSTER1_CAP_TRIM	R/W	6h	クラスタ 1 のスルーレート低減コンデンサ トリム。6h のデフォルト値。 0: 最小値 F: 最大

9 アプリケーションと実装

注

以下のアプリケーション情報は、TI の製品仕様に含まれるものではなく、TI ではその正確性または完全性を保証いたしません。個々の目的に対する製品の適合性については、お客様の責任で判断していただくこととなります。お客様は自身の設計実装を検証しテストすることで、システムの機能を確認する必要があります。

9.1 アプリケーション情報

CDCDB400 は、PCIe 第 6 世代および PCIe 第 7 世代 REFCLK 分配をサポートするファンアウト バッファです。このデバイスは、通常 100MHz のクロックを最大 4 系統に分配するために使用されます。

9.2 代表的なアプリケーション

図 9-1 は CDCDB400 の代表的なアプリケーションを示します。このアプリケーションでは、クロック ジェネレータが CDCDB400 に 100MHz のリファレンスを供給し、その後 がそのクロックを PCIe エンドポイントに分配します。クロック ジェネレータは、CDCI6214 のようなディスクリート クロック ジェネレータであってもよく、またはプラットフォーム コントローラ ハブ (PCH) やアプリケーション プロセッサなどの大型部品に統合されていてもかまいません。

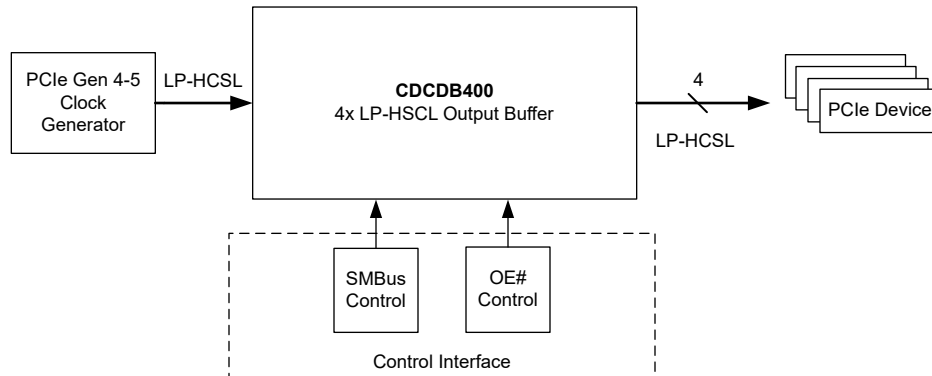


図 9-1. 代表的なアプリケーション

9.2.1 設計要件

典型的なサーバー マザーボードのアプリケーションとして、プロセッサ チップセットの PCH から複数のエンドポイントへ 100MHz の PCIe リファレンス クロックを分配する必要がある場合を考えてみます。クロックの入力および出力要件の例を次に示します。

- クロック入力:
 - 100MHz LP-HCSL
- クロック出力:
 - 2 系統の 100MHz をプロセッサへ、LP-HCSL
 - 1 系統の 100MHz をライザー/ルタイマへ、LP-HCSL
 - 1 系統の 100MHz を DDR メモリ コントローラへ、LP-HCSL

9.2.2 詳細な設計手順

CDCDB400 ソケットの設計を開始する前に、次の項目を決定する必要があります:

- 出力イネーブルの制御方法
- SMBus アドレス

9.2.2.1 出カインーブルの制御方法

このデバイスには、SMBus にプログラムされたレジスタ (ソフトウェア) を使用して出力を制御するか、またはハードウェア OE# ピンを使用して出力を制御するオプションがあります。ソフトウェアを使用して出力を制御する場合、ハードウェア OE# ピンはフローティングのままにしておくことができます。これらの各ピンにはグラウンドへのプルダウンがあるためです。レジスタのプログラミングの情報については、表 7-2 および レジスタ マップ を参照してください。

ユーザーがハードウェア OE# ピンで出力を制御する場合、これらのピンを GPIO コントローラに接続し、出力を HIGH/LOW に設定できます (表 4-1 を参照)。レジスタ OECR1 (表 8-4) および OECR2 (表 8-5) は、出力の制御に使用される OUT_EN_CLK3 ~ OUT_EN_CLK0 ビットを示します。これらのレジスタ ビットはデフォルトで 1 に設定されており、出力が「ソフトウェア イネーブル」であり、したがって状態がハードウェア OE# ピンによって設定されていることを検証します。

9.2.2.2 SMBus アドレス

表 7-1 に示す潜在的なアドレスのリストから SMBus アドレスを選択します。表に示されているとおりに、SADR0 ピンに適切なプルアップまたはプルダウン抵抗を配置します。競合を回避するため、SMBus アドレスがまだ使用されていないことを確認します。

9.2.3 アプリケーション曲線

図 5-1 「代表的特性」セクションにおいて、この例のアプリケーション曲線と代表的特性のプロットの両方として使用できます。

図 9-2 および図 9-3 に、各種 CAPTRIM コードと全温度範囲に対する出力スルーレートの特性評価データを示します。顧客は、システム要件に基づいて適切な出力スルーレートを選択する際の参考として、これらのプロットを利用できます。

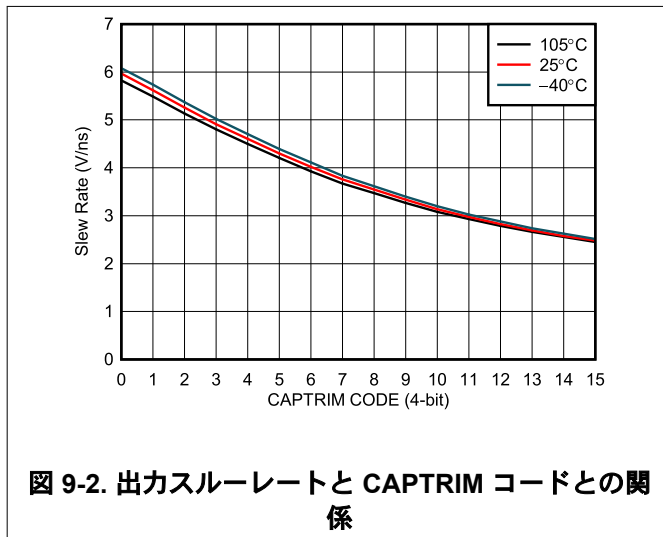


図 9-2. 出力スルーレートと CAPTRIM コードとの関係

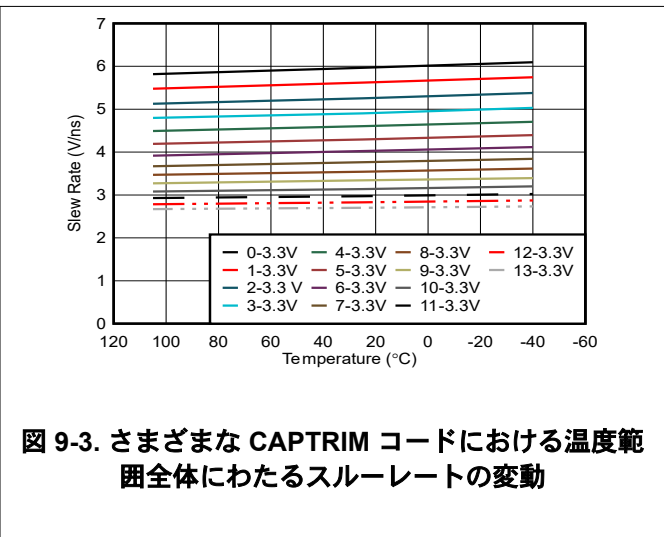


図 9-3. さまざまな CAPTRIM コードにおける温度範囲全体にわたるスルーレートの変動

9.3 電源に関する推奨事項

高性能クロック バッファは、電源のノイズに敏感であり、バッファの付加ジッタが大幅に増加する可能性があります。したがって、特にジッタや位相ノイズがアプリケーションにとって重要な場合には、システムの電源からのノイズを低減することが不可欠です。

フィルタ コンデンサを使用して、電源からの低周波数ノイズを除去すると、バイパス コンデンサが高周波ノイズに対する非常に低いインピーダンスパスとして機能し、電源システムを誘導性の変動から保護できます。これらのバイパス コンデンサは、デバイスの必要に応じて瞬間的な電流サージを発生させます。またバイパス コンデンサの等価直列抵抗 (ESR) を小さくする必要があります。バイパス コンデンサを適切に使用するには、電源端子の近くに配置し、短いループでレイアウトしてインダクタンスを最小限に抑えます。基板電源とチップ電源の間にフェライト ビーズを挿入し、クロック バッファによって生成される高周波スイッチング ノイズを絶縁することを推奨します。これらのビーズは、スイッチング ノイズが基板の電源

に漏れるのを防止します。基板電源とチップ電源を適切に絶縁し、適切な動作に必要な最小電圧を上回る電源端子の電圧を維持するため、DC 抵抗が非常に小さく適切なフェライトビーズを選定することが重要です。

図 9-4 に、この推奨される電源フィルタリングおよびデカップリング方法を示します。

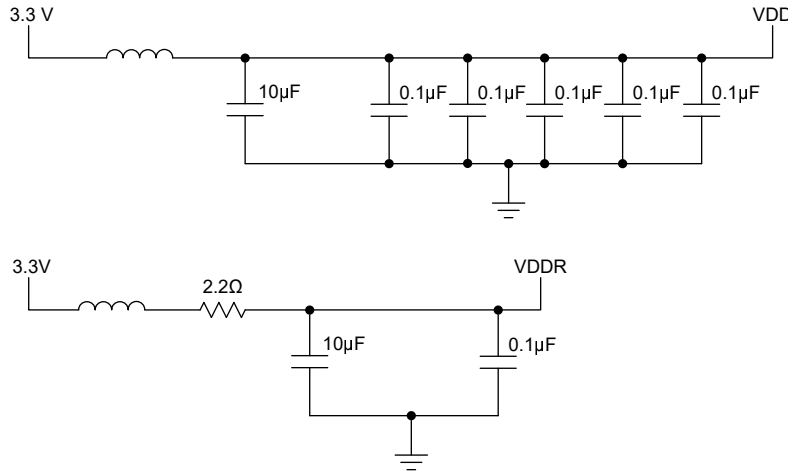


図 9-4. 電源のデカップリング

9.4 レイアウト

9.4.1 レイアウトのガイドライン

以下のセクションでは、CDCDB400 の良好な熱性能と電源接続を実現するためのレイアウトのガイドラインを示します。

レイアウト例において、CDCDB400 はレジスタのデフォルト設定に従って、 85Ω の差動出力インピーダンス LP-HCSL 形式ドライバを備えています。CKx ピンに接続されるすべての伝送ラインは、反射を防止し、放射エミッションの増加を防止するために、 85Ω の差動インピーダンス、 42.5Ω のシングルエンド インピーダンスとする必要があります。 100Ω の出力インピーダンスが有効になっている場合、CKx ピンに接続される伝送ラインは、 100Ω の差動インピーダンスおよび 50Ω のシングルエンド インピーダンスである必要があります。伝送ライン上のスタブを除去または削減するように注意してください。

9.4.2 レイアウト例

図 9-5～図 9-7 は、熱設計手法のアプリケーションと、デバイスの DAP と PCB 間の低インダクタンスのグラウンド接続を示すプリント基板 (PCB) レイアウトの例です。

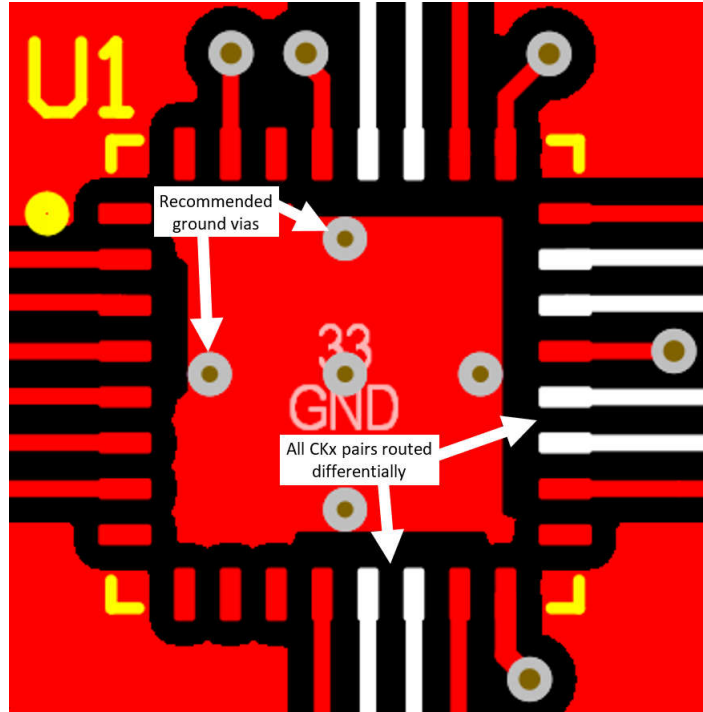


図 9-5. CDCDB400 の PCB レイアウト例、最上層

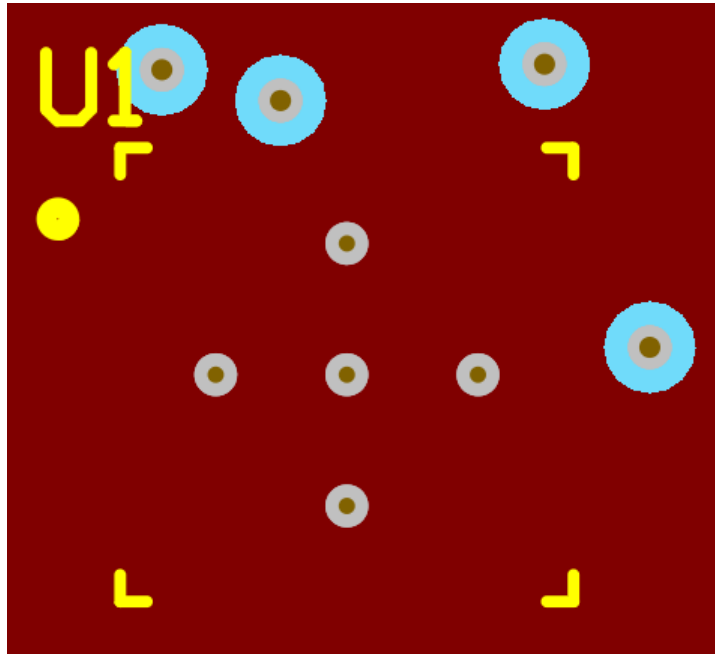


図 9-6. CDCDB400 の PCB レイアウト例、GND 層

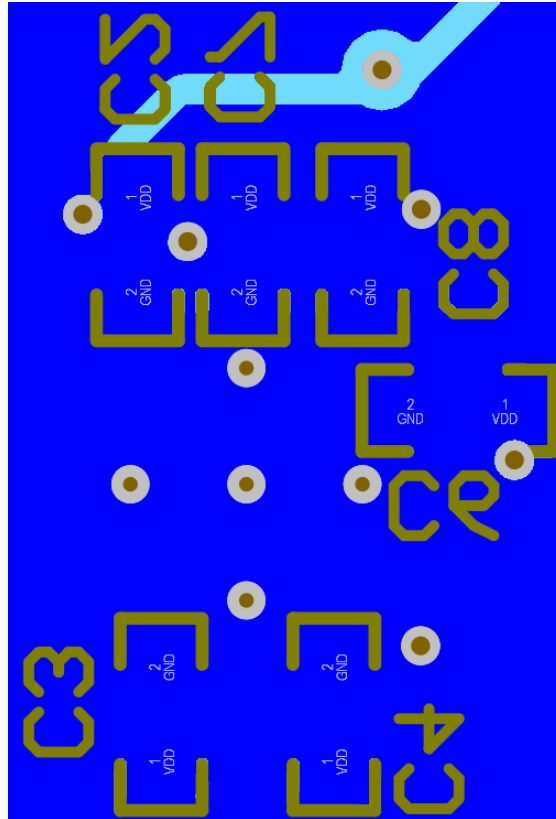


図 9-7. CDCDB400 の PCB レイアウト例、最下層

10 デバイスおよびドキュメントのサポート

10.1 デバイス サポート

10.1.1 TICS Pro

TICS Pro は、EVM プログラミングおよびレジスタ マップ生成用オフライン ソフトウェア ツールであり、個々の用途に合わせてデバイス構成をプログラミングできます。TICS Pro の場合、<http://www.ti.com/tool/TICSPRO-SW> にアクセスします。

10.2 ドキュメントのサポート

10.2.1 関連資料

- テキサス インストルメンツ、CDCDB800/803 超低付加ジッタ、8 出力 PCIe Gen1~Gen5 クロック バッファ

10.3 ドキュメントの更新通知を受け取る方法

ドキュメントの更新についての通知を受け取るには、www.tij.co.jp のデバイス製品フォルダを開いてください。[通知] をクリックして登録すると、変更されたすべての製品情報に関するダイジェストを毎週受け取ることができます。変更の詳細については、改訂されたドキュメントに含まれている改訂履歴をご覧ください。

10.4 サポート・リソース

テキサス・インストルメンツ E2E™ サポート・フォーラムは、エンジニアが検証済みの回答と設計に関するヒントをエキスパートから迅速かつ直接得ることができる場所です。既存の回答を検索したり、独自の質問をしたりすることで、設計に必要な支援を迅速に得ることができます。

リンクされているコンテンツは、各寄稿者により「現状のまま」提供されるものです。これらはテキサス・インストルメンツの仕様を構成するものではなく、必ずしもテキサス・インストルメンツの見解を反映したものではありません。テキサス・インストルメンツの使用条件を参照してください。

10.5 商標

テキサス・インストルメンツ E2E™ is a trademark of Texas Instruments.
すべての商標は、それぞれの所有者に帰属します。

10.6 静電気放電に関する注意事項



この IC は、ESD によって破損する可能性があります。テキサス・インストルメンツは、IC を取り扱う際には常に適切な注意を払うことを推奨します。正しい取り扱いおよび設置手順に従わない場合、デバイスを破損するおそれがあります。

ESD による破損は、わずかな性能低下からデバイスの完全な故障まで多岐にわたります。精密な IC の場合、パラメータがわずかに変化するだけで公表されている仕様から外れる可能性があるため、破損が発生しやすくなっています。

10.7 用語集

[テキサス・インストルメンツ用語集](#) この用語集には、用語や略語の一覧および定義が記載されています。

11 改訂履歴

資料番号末尾の英字は改訂を表しています。その改訂履歴は英語版に準じています。

Changes from Revision A (May 2022) to Revision B (August 2025)	Page
• 「特長」、「アプリケーション」、「概要」セクションに PCIe Gen 7 の仕様を追加.....	1
• 「概要」セクションに PCIe Gen 7 の仕様を追加.....	13

Changes from Revision * (November 2021) to Revision A (May 2022)	Page
• データシートのタイトルを更新.....	1

-
- データシートに PCIe Gen 6 を追加..... 1
 - ピン 5 のピンの説明を変更..... 3
-

12 メカニカル、パッケージ、および注文情報

以降のページには、メカニカル、パッケージ、および注文に関する情報が記載されています。この情報は、指定のデバイスに使用できる最新のデータです。このデータは、予告なく、このドキュメントを改訂せずに変更される場合があります。本データシートのブラウザ版を使用されている場合は、画面左側の説明をご覧ください。

重要なお知らせと免責事項

テキサス・インスツルメンツは、技術データと信頼性データ (データシートを含みます)、設計リソース (リファレンス デザインを含みます)、アプリケーションや設計に関する各種アドバイス、Web ツール、安全性情報、その他のリソースを、欠陥が存在する可能性のある「現状のまま」提供しており、商品性および特定目的に対する適合性の黙示保証、第三者の知的財産権の非侵害保証を含むいかなる保証も、明示的または黙示的にかかわらず拒否します。

これらのリソースは、テキサス・インスツルメンツ製品を使用する設計の経験を積んだ開発者への提供を意図したものです。(1) お客様のアプリケーションに適した テキサス・インスツルメンツ製品の選定、(2) お客様のアプリケーションの設計、検証、試験、(3) お客様のアプリケーションに該当する各種規格や、その他のあらゆる安全性、セキュリティ、規制、または他の要件への確実な適合に関する責任を、お客様のみが単独で負うものとします。

上記の各種リソースは、予告なく変更される可能性があります。これらのリソースは、リソースで説明されている テキサス・インスツルメンツ製品を使用するアプリケーションの開発の目的のみ、テキサス・インスツルメンツはその使用をお客様に許諾します。これらのリソースに関して、他の目的で複製することや掲載することは禁止されています。テキサス・インスツルメンツや第三者の知的財産権のライセンスが付与されている訳ではありません。お客様は、これらのリソースを自身で使用した結果発生するあらゆる申し立て、損害、費用、損失、責任について、テキサス・インスツルメンツおよびその代理人を完全に補償するものとし、テキサス・インスツルメンツは一切の責任を拒否します。

テキサス・インスツルメンツの製品は、[テキサス・インスツルメンツの販売条件](#)、または [ti.com](https://www.ti.com) やかかる テキサス・インスツルメンツ製品の関連資料などのいずれかを通じて提供する適用可能な条項の下で提供されています。テキサス・インスツルメンツがこれらのリソースを提供することは、適用されるテキサス・インスツルメンツの保証または他の保証の放棄の拡大や変更を意味するものではありません。

お客様がいかなる追加条項または代替条項を提案した場合でも、テキサス・インスツルメンツはそれらに異議を唱え、拒否します。

郵送先住所: Texas Instruments, Post Office Box 655303, Dallas, Texas 75265

Copyright © 2025, Texas Instruments Incorporated

PACKAGING INFORMATION

Orderable part number	Status (1)	Material type (2)	Package Pins	Package qty Carrier	RoHS (3)	Lead finish/ Ball material (4)	MSL rating/ Peak reflow (5)	Op temp (°C)	Part marking (6)
CDCDB400RHBR	Active	Production	VQFN (RHB) 32	3000 LARGE T&R	Yes	NIPDAU	Level-1-260C-UNLIM	-40 to 105	CDCB400
CDCDB400RHBR.A	Active	Production	VQFN (RHB) 32	3000 LARGE T&R	Yes	NIPDAU	Level-1-260C-UNLIM	-40 to 105	CDCB400
CDCDB400RHBT	Active	Production	VQFN (RHB) 32	250 SMALL T&R	Yes	NIPDAU	Level-1-260C-UNLIM	-40 to 105	CDCB400
CDCDB400RHBT.A	Active	Production	VQFN (RHB) 32	250 SMALL T&R	Yes	NIPDAU	Level-1-260C-UNLIM	-40 to 105	CDCB400

(1) **Status:** For more details on status, see our [product life cycle](#).

(2) **Material type:** When designated, preproduction parts are prototypes/experimental devices, and are not yet approved or released for full production. Testing and final process, including without limitation quality assurance, reliability performance testing, and/or process qualification, may not yet be complete, and this item is subject to further changes or possible discontinuation. If available for ordering, purchases will be subject to an additional waiver at checkout, and are intended for early internal evaluation purposes only. These items are sold without warranties of any kind.

(3) **RoHS values:** Yes, No, RoHS Exempt. See the [TI RoHS Statement](#) for additional information and value definition.

(4) **Lead finish/Ball material:** Parts may have multiple material finish options. Finish options are separated by a vertical ruled line. Lead finish/Ball material values may wrap to two lines if the finish value exceeds the maximum column width.

(5) **MSL rating/Peak reflow:** The moisture sensitivity level ratings and peak solder (reflow) temperatures. In the event that a part has multiple moisture sensitivity ratings, only the lowest level per JEDEC standards is shown. Refer to the shipping label for the actual reflow temperature that will be used to mount the part to the printed circuit board.

(6) **Part marking:** There may be an additional marking, which relates to the logo, the lot trace code information, or the environmental category of the part.

Multiple part markings will be inside parentheses. Only one part marking contained in parentheses and separated by a "~" will appear on a part. If a line is indented then it is a continuation of the previous line and the two combined represent the entire part marking for that device.

Important Information and Disclaimer: The information provided on this page represents TI's knowledge and belief as of the date that it is provided. TI bases its knowledge and belief on information provided by third parties, and makes no representation or warranty as to the accuracy of such information. Efforts are underway to better integrate information from third parties. TI has taken and continues to take reasonable steps to provide representative and accurate information but may not have conducted destructive testing or chemical analysis on incoming materials and chemicals. TI and TI suppliers consider certain information to be proprietary, and thus CAS numbers and other limited information may not be available for release.

In no event shall TI's liability arising out of such information exceed the total purchase price of the TI part(s) at issue in this document sold by TI to Customer on an annual basis.

TAPE AND REEL INFORMATION

QUADRANT ASSIGNMENTS FOR PIN 1 ORIENTATION IN TAPE


*All dimensions are nominal

Device	Package Type	Package Drawing	Pins	SPQ	Reel Diameter (mm)	Reel Width W1 (mm)	A0 (mm)	B0 (mm)	K0 (mm)	P1 (mm)	W (mm)	Pin1 Quadrant
CDCDB400RHBR	VQFN	RHB	32	3000	330.0	12.4	5.3	5.3	1.1	8.0	12.0	Q2
CDCDB400RHBT	VQFN	RHB	32	250	180.0	12.4	5.3	5.3	1.1	8.0	12.0	Q2

TAPE AND REEL BOX DIMENSIONS


*All dimensions are nominal

Device	Package Type	Package Drawing	Pins	SPQ	Length (mm)	Width (mm)	Height (mm)
CDCDB400RHBR	VQFN	RHB	32	3000	367.0	367.0	35.0
CDCDB400RHBT	VQFN	RHB	32	250	210.0	185.0	35.0

GENERIC PACKAGE VIEW

RHB 32

VQFN - 1 mm max height

5 x 5, 0.5 mm pitch

PLASTIC QUAD FLATPACK - NO LEAD



Images above are just a representation of the package family, actual package may vary.
Refer to the product data sheet for package details.

4224745/A



4223442/B 08/2019

NOTES:

1. All linear dimensions are in millimeters. Any dimensions in parenthesis are for reference only. Dimensioning and tolerancing per ASME Y14.5M.
2. This drawing is subject to change without notice.
3. The package thermal pad must be soldered to the printed circuit board for thermal and mechanical performance.

EXAMPLE BOARD LAYOUT

RHB0032E

VQFN - 1 mm max height

PLASTIC QUAD FLATPACK - NO LEAD



LAND PATTERN EXAMPLE
SCALE:18X



SOLDER MASK DETAILS

4223442/B 08/2019

NOTES: (continued)

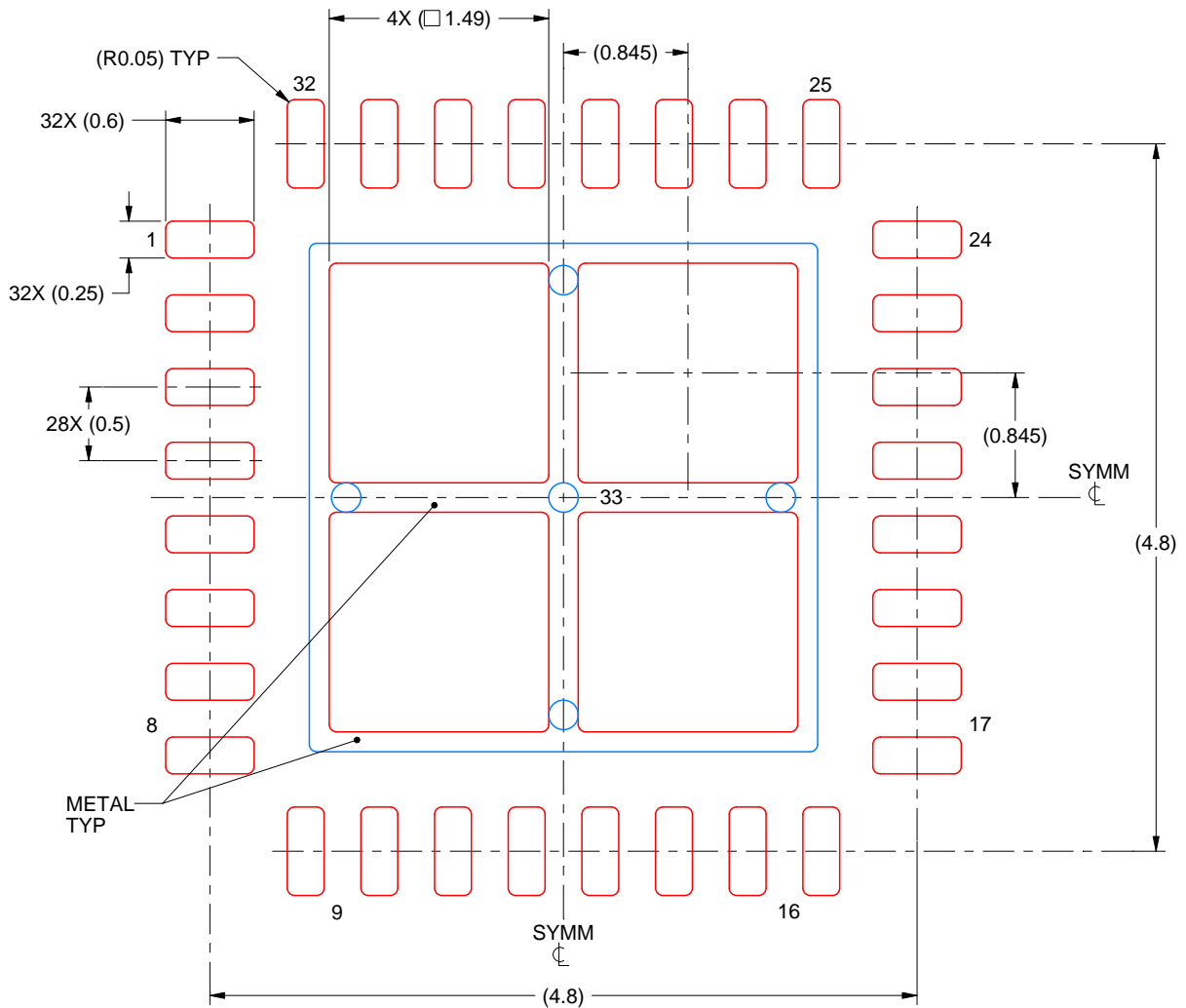
- This package is designed to be soldered to a thermal pad on the board. For more information, see Texas Instruments literature number SLUA271 (www.ti.com/lit/slua271).
- Vias are optional depending on application, refer to device data sheet. If any vias are implemented, refer to their locations shown on this view. It is recommended that vias under paste be filled, plugged or tented.

EXAMPLE STENCIL DESIGN

RHB0032E

VQFN - 1 mm max height

PLASTIC QUAD FLATPACK - NO LEAD



SOLDER PASTE EXAMPLE
 BASED ON 0.125 mm THICK STENCIL

EXPOSED PAD 33:
 75% PRINTED SOLDER COVERAGE BY AREA UNDER PACKAGE
 SCALE:20X

4223442/B 08/2019

NOTES: (continued)

6. Laser cutting apertures with trapezoidal walls and rounded corners may offer better paste release. IPC-7525 may have alternate design recommendations.

重要なお知らせと免責事項

テキサス・インスツルメンツは、技術データと信頼性データ(データシートを含みます)、設計リソース(リファレンス デザインを含みます)、アプリケーションや設計に関する各種アドバイス、Web ツール、安全性情報、その他のリソースを、欠陥が存在する可能性のある「現状のまま」提供しており、商品性および特定目的に対する適合性の黙示保証、第三者の知的財産権の非侵害保証を含むいかなる保証も、明示的または黙示的にかかわらず拒否します。

これらのリソースは、テキサス・インスツルメンツ製品を使用する設計の経験を積んだ開発者への提供を意図したものです。(1) お客様のアプリケーションに適したテキサス・インスツルメンツ製品の選定、(2) お客様のアプリケーションの設計、検証、試験、(3) お客様のアプリケーションに該当する各種規格や、その他のあらゆる安全性、セキュリティ、規制、または他の要件への確実な適合に関する責任を、お客様のみが単独で負うものとします。

上記の各種リソースは、予告なく変更される可能性があります。これらのリソースは、リソースで説明されているテキサス・インスツルメンツ製品を使用するアプリケーションの開発の目的でのみ、テキサス・インスツルメンツはその使用をお客様に許諾します。これらのリソースに関して、他の目的で複製することや掲載することは禁止されています。テキサス・インスツルメンツや第三者の知的財産権のライセンスが付与されている訳ではありません。お客様は、これらのリソースを自身で使用した結果発生するあらゆる申し立て、損害、費用、損失、責任について、テキサス・インスツルメンツおよびその代理人を完全に補償するものとし、テキサス・インスツルメンツは一切の責任を拒否します。

テキサス・インスツルメンツの製品は、[テキサス・インスツルメンツの販売条件](#)、または [ti.com](https://www.ti.com) やかかるテキサス・インスツルメンツ製品の関連資料などのいずれかを通じて提供する適用可能な条項の下で提供されています。テキサス・インスツルメンツがこれらのリソースを提供することは、適用されるテキサス・インスツルメンツの保証または他の保証の放棄の拡大や変更を意味するものではありません。

お客様がいかなる追加条項または代替条項を提案した場合でも、テキサス・インスツルメンツはそれらに異議を唱え、拒否します。

郵送先住所：Texas Instruments, Post Office Box 655303, Dallas, Texas 75265
Copyright © 2025, Texas Instruments Incorporated