

CDx4HCx4316 高速 CMOS ロジック、レベルシフト機能搭載、クワッド、アナログスイッチ

1 特長

- 幅広いアナログ入力電圧範囲:
 $V_{CC} - V_{EE}: 0V \sim 10V$
- 低いオン抵抗:
 - 45Ω (標準値): $V_{CC} = 4.5V$
 - 35Ω (標準値): $V_{CC} = 6V$
 - 30Ω (標準値): $V_{CC} - V_{EE} = 9V$
- 高速なスイッチング / 伝搬遅延時間
- 低いオフリーク電流
- ブレイクビフォーメイクのスイッチングを内蔵
- ロジックレベル変換により、 $\pm 5V$ のアナログ信号に対応する 5V ロジックを実現
- 広い動作温度範囲: $-55^{\circ}C \sim 125^{\circ}C$
- HC タイプ:
 - 2V ~ 10V で動作
 - 優れたノイズ耐性: V_{CC} に対して $N_{IL} = 30\%$ 、 $N_{IH} = 30\%$ ($V_{CC} = 5V$ 時)
- HCT タイプ:
 - LSTTL 入力ロジックと直接互換、 $V_{IL} = 0.8V$ (最大値)、 $V_{IH} = 2V$ (最小値)
 - CMOS 入力互換、 V_{OL} 、 V_{OH} で $I_L \leq 1 \mu A$

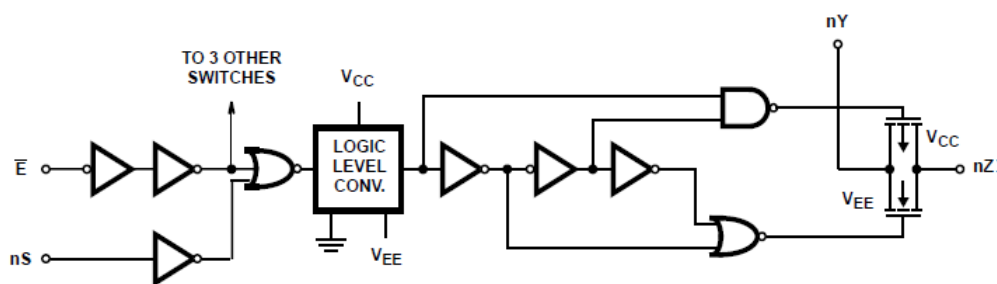
2 概要

'HC4316 および CD74HCT4316 デバイスは、4 つの独立したデジタル制御アナログスイッチを内蔵しており、シリコンゲート CMOS テクノロジを使用し、標準 CMOS IC の低い消費電力で LSTTL と同様の動作速度を実現しています。

さらに、これらのデバイスはロジックレベル変換回路を内蔵しており、5V ロジックを介して $\pm 5V$ の範囲内の電圧のアナログ信号スイッチングを行います。各スイッチは、共通のイネーブル (E) が Low のとき、選択入力 (S) の High レベル電圧によってオンになります。High E の場合、すべてのスイッチがディセーブルになります。デジタル入力は V_{CC} と GND の間でスイングできます。アナログ入力 / 出力は、正の制限値として V_{CC} 、負の制限値として V_{EE} の間でスイングできます。電圧範囲を [図 13-1](#) および [図 13-2](#) に示します。

製品情報

入力		スイッチ
E	S	オン / オフ
L	L	オフ
L	H	オン
H	H	オフ



1 つのスイッチ



Table of Contents

1 特長.....	1	14 Typical Performance Curves.....	16
2 概要.....	1	15 Parameter Measurement Information.....	17
3 Pin Configurations and Functions.....	3	16 Detailed Description.....	18
4 Absolute Maximum Ratings.....	4	16.1 Functional Block Diagram.....	18
5 Thermal Information.....	5	16.2 Device Functional Modes.....	18
6 Recommended Operating Conditions.....	5	17 Device and Documentation Support.....	19
7 Electrical Characteristics: HC Devices.....	6	17.1 ドキュメントの更新通知を受け取る方法.....	19
8 Electrical Characteristics: HCT Devices.....	9	17.2 サポート・リソース.....	19
9 Switching Characteristics HC.....	10	17.3 Trademarks.....	19
10 Switching Characteristics HCT.....	13	17.4 静電気放電に関する注意事項.....	19
11 Analog Channel Specifications.....	15	17.5 用語集.....	19
12 HCT Input Loading Table.....	15	18 Revision History.....	19
13 Recommended Operating Area as a Function of Supply Voltage.....	15	19 Mechanical, Packaging, and Orderable Information.....	19

3 Pin Configurations and Functions

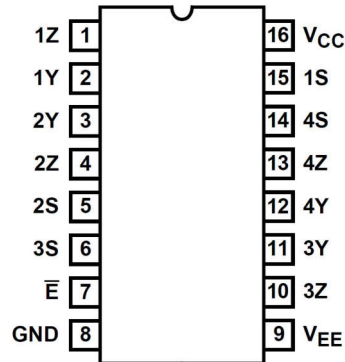


図 3-1. CD74HC4316 (TSSOP)

表 3-1. Pin Functions

PIN		TYPE	DESCRIPTION
NAME	NO.		
1Z	1	I/O	Input/Output for Switch 1
1Y	2	I/O	Input/Output for Switch 1
2Y	3	I/O	Input/Output for Switch 2
2Z	4	I/O	Input/Output for Switch 2
2S	5	I	Control pin for Switch 2
3S	6	I	Control pin for Switch 3
E	7	I	Enable Pin
GND	8	-	Ground Pin
V _{EE}	9	-	Power Pin
3Z	10	I/O	Input/Output for Switch 3
3Y	11	I/O	Input/Output for Switch 3
4Y	12	I/O	Input/Output for Switch 4
4Z	13	I/O	Input/Output for Switch 4
4S	14	I	Control pin for Switch 4
1S	15	I	Control pin for Switch 1
V _{CC}	16	-	Power Pin

4 Absolute Maximum Ratings

over operating free-air temperature range (unless otherwise noted)⁽¹⁾

			MIN	MAX	UNIT
$V_{CC} - V_{EE}$	DC Supply voltage		-0.5	10.5	V
V_{CC}			-0.5	7	V
V_{EE}			0.5	-7	V
I_{IK}	DC input diode current	$V_I < -0.5\text{ V}$ or $V_I > V_{CC} + 0.5\text{ V}$	-20	20	mA
I_{OK}	DC switch diode current	$V_I < V_{EE} - 0.5\text{ V}$ or $V_I < V_{CC} + 0.5\text{ V}$	-25	25	mA
I_{OK}	DC Output Diode Current	For $V_O < -0.5\text{ V}$ or $V_O > V_{CC} + 0.5\text{ V}$	-20	20	mA
I_O	DC Output Source or Sink Current per Output Pin	For $V_O > -0.5\text{ V}$ or $V_O < V_{CC} + 0.5\text{ V}$	-25	25	mA
I_{CC}	DC V_{CC} or ground current		-50	50	mA
T_{JMAX}	Maximum junction temperature			150	°C
T_{LMAX}	Maximum lead temperature	Soldering 10 s		300	°C
T_{stg}	Storage temperature		-65	150	°C

- (1) Stresses beyond those listed under *Absolute Maximum Rating* may cause permanent damage to the device. These are stress ratings only, which do not imply functional operation of the device at these or any other conditions beyond those indicated under *Recommended Operating Condition*. Exposure to absolute-maximum-rated conditions for extended periods may affect device reliability.

5 Thermal Information

THERMAL METRIC ⁽¹⁾		PW (TSSOP)	UNIT
		16 PINS	
$R_{\theta JA}$	Junction-to-ambient thermal resistance	127.9	°C/W

(1) For more information about traditional and new thermal metrics, see the [Semiconductor and IC Package Thermal Metrics](#) application report.

6 Recommended Operating Conditions

over operating free-air temperature range (unless otherwise noted)

			MIN	NOM	MAX	UNIT
V_{CC}	Supply voltage range (T_A = full package temperature range)(2)	CD54 and 74HC types	2		6	V
		CD54 and 74HCT types	4.5		5.5	
$V_{CC} - V_{EE}$ ⁽¹⁾	Supply voltage range (T_A = full package temperature range)(2)	CD54 and 74HC types, CD54 and 74HCT types	2		10	V
V_{EE}	Supply voltage range (T_A = full package temperature range)(3)	CD54 and 74HC types, CD54 and 74HCT types	0		–6	V
V_I	DC input control voltage		GND		V_{CC}	V
V_{IS}	Analog switch I/O voltage		V_{EE}		V_{CC}	V
T_A	Ambient temperature		–55		125	°C
t_r, t_f	Input rise and fall times	2 V	0		1000	ns
		4.5 V	0		500	
		6 V	0		400	

(1) V_{DD} and V_{SS} can be any value as long as $3\text{ V} \leq (V_{DD} - V_{SS}) \leq 24\text{ V}$, and the minimum V_{DD} is met.

7 Electrical Characteristics: HC Devices

Over operating free-air temperature range, $V_{\text{SUPPLY}} = \pm 5 \text{ V}$, and $R_L = 100 \Omega$, (unless otherwise noted)⁽¹⁾

PARAMETER	TEST CONDITIONS					MIN	TYP	MAX	UNIT	
SIGNAL INPUTS (V _{IS}) AND OUTPUTS (V _{OS})										
	V _{IS} (V)	V _I (V)	V _{EE} (V)	V _{CC} (V)	T _A					
Input High Voltage, V _{IH} , Min				2	25°C			1.5	V	
					−40°C to +85°C			1.5		
					−55°C to +125°C			1.5		
				4.5	25°C			3.15		
					−40°C to +85°C			3.15		
					−55°C to +125°C			3.15		
				6	25°C			4.2		
					−40°C to +85°C			4.2		
					−55°C to +125°C			4.2		
Input Low Voltage, V _{IL} , Max				2	25°C	0.5			V	
					−40°C to +85°C	0.5				
					−55°C to +125°C	0.5				
				4.5	25°C	1.35				
					−40°C to +85°C	1.35				
					−55°C to +125°C	1.35				
				6	25°C	1.8				
					−40°C to +85°C	1.8				
					−55°C to +125°C	1.8				

Over operating free-air temperature range, $V_{\text{SUPPLY}} = \pm 5 \text{ V}$, and $R_L = 100 \Omega$, (unless otherwise noted)⁽¹⁾

PARAMETER	TEST CONDITIONS					MIN	TYP	MAX	UNIT
r_{ON} ON resistance $I_O = 1 \text{ mA}$	V_{CC} or V_{EE}	V_{IH} or V_{IL}	0	4.5	25°C		30	180	Ω
					–40°C to +85°C			225	
					–55°C to +125°C			270	
			0	6	25°C		35	160	
					–40°C to +85°C			200	
					–55°C to +125°C			240	
	V_{CC} to V_{EE}	V_{IH} or V_{IL}	–4.5	4.5	25°C		30	135	Ω
					–40°C to +85°C			170	
					–55°C to +125°C			205	
			0	4.5	25°C		40	320	
					–40°C to +85°C			400	
					–55°C to +125°C			480	
Δr_{ON} Maximum ON resistance between any two channels			0	4.5	25°C		10		Ω
			0	6	25°C		8.5		
			–4.5	4.5	25°C		5		
I_{IZ} Switch OFF leakage current	$V_{\text{CC}} - V_{\text{EE}}$	V_{IH} or V_{IL} $E = V_{\text{CC}}$	0	6	25°C			± 0.1	μA
			0	6	–55°C to 85°C			± 1	
			0	6	–55°C to 125°C			± 1	
			–5	5	25°C			± 0.1	
			–5	5	–55°C to 85°C			± 1	
			–5	5	–55°C to 125°C			± 1	
I_{IL} Control input leakage current		V_{CC} or GND	0	6	25°C			± 0.1	μA
					–55°C to 85°C			± 1	
					–55°C to 125°C			± 1	

Over operating free-air temperature range, $V_{\text{SUPPLY}} = \pm 5 \text{ V}$, and $R_L = 100 \, \Omega$, (unless otherwise noted)⁽¹⁾

PARAMETER	TEST CONDITIONS					MIN	TYP	MAX	UNIT
Quiescent Device Current, I _{DD} Max I _O = 1mA	When V _{IS} = V _{EE} , V _{OS} = V _{CC}	V _{CC} or GND	0	6	25°C			14	μA
					–55°C to 85°C			80	
					–55°C to 125°C			160	
	When V _{IS} = V _{CC} , V _{OS} = V _{EE}	V _{CC} or GND	-5	5	25°C			30	
					–55°C to 85°C			160	
					–55°C to 125°C			320	
CONTROL (ADDRESS OR INHIBIT), V _C									

(1) For dual-supply systems theoretical worst case ($V_I = 2.4 \text{ V}$, $V_{\text{CC}} = 5.5 \text{ V}$) specification is 1.8mA

8 Electrical Characteristics: HCT Devices

Over operating free-air temperature range, $V_{\text{SUPPLY}} = \pm 5 \text{ V}$, and $R_L = 100 \, \Omega$, (unless otherwise noted)⁽¹⁾

PARAMETER		TEST CONDITIONS					MIN	TYP	MAX	UNIT
SIGNAL INPUTS (V _{IS}) AND OUTPUTS (V _{OS})										
		V _{IS} (V)	V _I (V)	V _{CC} (V)	V _{EE} (V)	T _A				
High Level Input Voltage	V _{IH}			4.5 to 5.5		25°C	2		V	
						–40°C to +85°C	2			
						–55°C to +125°C	2			
Low Level Input Voltage	V _{IL}					25°C	0.8		V	
						–40°C to +85°C	0.8			
						–55°C to +125°C	0.8			
"ON" Resistance IO = 1mA	R _{ON}	V _{CC} or V _{EE}	V _{IH} or V _{IL}	4.5	0	25°C	30	180	Ω	
						–40°C to +85°C	45	225		
						–55°C to +125°C	270			
		V _{CC} to V _{EE}		4.5	–4.5	25°C	135			
						–40°C to +85°C	30	170		
						–55°C to +125°C	205			
		V _{CC} or V _{EE}		4.5	0	25°C	320			
						–40°C to +85°C	85	400		
						–55°C to +125°C	480			
		V _{CC} to V _{EE}		4.5	–4.5	25°C	35	170		
						–40°C to +85°C	215			
						–55°C to +125°C	255			
"ON" Resistance Between Any Two Switches	▲ R _{ON}		VCC	4.5	0	25°C	10	Ω		
				4.5	–4.5	25°C	5	Ω		
Off-Switch Leakage Current	I _{IZ}	V _{CC} - V _{EE}	V _{IH} or V _{IL}	6	0	25°C	±0.1		μA	
						–55°C to 85°C	±1		μA	
						–55°C to 125°C	±1		μA	
				5	–5	25°C	±0.1		μA	
						–55°C to 85°C	±1			
						–55°C to 125°C	±1			
Input Leakage Current (Any Control)	I _{IL}		V _{CC} or GND	5.5	0	25°C	±0.1		μA	
						–55°C to 85°C	±1			
						–55°C to 125°C	±1			

Over operating free-air temperature range, $V_{\text{SUPPLY}} = \pm 5 \text{ V}$, and $R_L = 100 \Omega$, (unless otherwise noted)⁽¹⁾

PARAMETER		TEST CONDITIONS					MIN	TYP	MAX	UNIT
Quiescent Device Current	I_{CC}	When $V_{IS} = V_{EE}$, $V_{OS} = V_{CC}$, When $V_{IS} = V_{CC}$, $V_{OS} = V_{EE}$	Any voltage between V_{CC} and GND	5.5	0	25°C			8	μA
						–55°C to 85°C			80	
						–55°C to 125°C			160	
				5.5	–4.5	25°C			16	
						–55°C to 85°C			160	
						–55°C to 125°C			320	
Additional Quiescent Device Current Per Input Pin: 1 Unit Load	$\Delta I_{CC}^{(1)}$	$V_{CC} - 2.1$	4.5 to 5.5		25°C		100	360	μA	
					–55°C to 85°C			450		
					–55°C to 125°C			490		
CONTROL (ADDRESS OR INHIBIT), V_C										

(1) For dual-supply systems theoretical worst case ($V_{\text{I}} = 2.4\text{V}$, $V_{\text{CC}} = 5.5\text{V}$) specification is 1.8mA

9 Switching Characteristics HC

over operating free-air temperature range (unless otherwise noted)

Parameter		V _{EE} (V)	V _{CC} (V)	Test Conditions		MIN	NOM	MAX	UNIT
Propagation Delay, Switch In to Out	t_{PLH} , t_{PHL}	0	2	50pF	25°C			60	ns
		0	2		–40°C to +85°C			75	
		0	2		–55°C to +125°C			90	
		0	4.5		25°C			12	
		0	4.5		–40°C to +85°C			15	
		0	4.5		–55°C to +125°C			18	
		0	6		25°C			10	
		0	6		–40°C to +85°C			13	
		0	6		–55°C to +125°C			15	
		–4.5	4.5		25°C			8	
		–4.5	4.5		–40°C to +85°C			10	
		–4.5	4.5		–55°C to +125°C			12	

over operating free-air temperature range (unless otherwise noted)

Parameter		VEE (V)	VCC (V)	Test Conditions		MIN	NOM	MAX	UNIT
Turn "ON" Time !E to Out	tPZH, tPZL	0	2	50pF	25°C			205	ns
		0	2		–40°C to +85°C			255	
		0	2		–55°C to +125°C			310	
		0	4.5		25°C			41	
		0	4.5		–40°C to +85°C			51	
		0	4.5		–55°C to +125°C			62	
		0	6		25°C			35	
		0	6		–40°C to +85°C			43	
		0	6		–55°C to +125°C			53	
		–4.5	4.5		25°C			37	
		–4.5	4.5		–40°C to +85°C			47	
		–4.5	4.5		–55°C to +125°C			56	
		–	5	15pF	25°C			8	
Turn "ON" Time nS to Out	tPZH, tPZL	0	2	50pF	25°C			175	ns
		0	2		–40°C to +85°C			220	
		0	2		–55°C to +125°C			265	
		0	4.5		25°C			35	
		0	4.5		–40°C to +85°C			44	
		0	4.5		–55°C to +125°C			53	
		0	6		25°C			30	
		0	6		–40°C to +85°C			37	
		0	6		–55°C to +125°C			45	
		–4.5	4.5		25°C			34	
		–4.5	4.5		–40°C to +85°C			43	
		–4.5	4.5		–55°C to +125°C			51	
		–	5	15pF	25°C			14	

over operating free-air temperature range (unless otherwise noted)

Parameter		VEE (V)	VCC (V)	Test Conditions		MIN	NOM	MAX	UNIT
Turn "OFF" Time t _{IE} to Out	t _{PLZ} , t _{PHZ}	0	2	50pF	25°C			205	ns
		0	2		–40°C to +85°C			255	ns
		0	2		–55°C to +125°C			310	ns
		0	4.5		25°C			41	ns
		0	4.5		–40°C to +85°C			51	ns
		0	4.5		–55°C to +125°C			62	ns
		0	6		25°C			35	ns
		0	6		–40°C to +85°C			43	ns
		0	6		–55°C to +125°C			53	ns
		–4.5	4.5		25°C			37	ns
		–4.5	4.5		–40°C to +85°C			47	ns
		–4.5	4.5		–55°C to +125°C			56	ns
		–	5	15pF	25°C			8	ns
Turn "OFF" Time t _{nS} to Out	t _{PLZ} , t _{PHZ}	0	2	50pF	25°C			175	ns
		0	2		–40°C to +85°C			220	
		0	2		–55°C to +125°C			265	
		0	4.5		25°C			35	
		0	4.5		–40°C to +85°C			44	
		0	4.5		–55°C to +125°C			53	
		0	6		25°C			30	
		0	6		–40°C to +85°C			37	
		0	6		–55°C to +125°C			45	
		–4.5	4.5		25°C			34	
		–4.5	4.5		–40°C to +85°C			43	
		–4.5	4.5		–55°C to +125°C			51	
		–	5	15pF	25°C			14	

over operating free-air temperature range (unless otherwise noted)

Parameter		VEE (V)	VCC (V)	Test Conditions		MIN	NOM	MAX	UNIT
Input (Control) Capacitance	C _I	-	-	-	25°C			10	pF
Input (Control) Capacitance		-	-		-40°C to +85°C			10	
Input (Control) Capacitance		-	-		-55°C to +125°C			10	
Power dissipation capacitance(1)	C _{PD}	-	5		25°C		42		

10 Switching Characteristics HCT

over operating free-air temperature range (unless otherwise noted)

Parameter		VEE (V)	VCC (V)	Test Conditions		MIN	NOM	MAX	UNIT	
Propagation Delay, Switch In to Out	t _{PLH} , t _{PHL}	0	4.5	50pF	25°C			12	ns	
					−40°C to +85°C			15		
					−55°C to +125°C			18		
		−4.5	4.5		25°C			8		
					−40°C to +85°C			10		
					−55°C to +125°C			12		
Turn "ON" Time !E to Out	t _{PZH} , t _{PZL}	0	4.5	50pF	25°C			44	ns	
					−40°C to +85°C			55		
					−55°C to +125°C			66		
		−4.5	4.5		25°C			42		
					−40°C to +85°C			53		
					−55°C to +125°C			63		
		-	5	15pF	25°C		18			
		0	4.5	50pF	25°C			56		
					−40°C to +85°C			70		
					−55°C to +125°C			85		
		−4.5	4.5		25°C			42		
					−40°C to +85°C			53		
					−55°C to +125°C			63		
		-	5	15pF	25°C		24			

over operating free-air temperature range (unless otherwise noted)

Parameter		VEE (V)	VCC (V)	Test Conditions		MIN	NOM	MAX	UNIT	
Turn "ON" Time nS to Out	t _{PZH} , t _{PZL}	0	4.5	50pF	25°C			40	ns	
					–40°C to +85°C			53		
					–55°C to +125°C			60		
		–4.5	4.5		25°C			34		
					–40°C to +85°C			43		
					–55°C to +125°C			51		
		0	5	15pF	25°C			17		
		0	4.5	50pF	25°C			50		
					–40°C to +85°C			63		
					–55°C to +125°C			75		
		–4.5	4.5		25°C			34		
					–40°C to +85°C			43		
					–55°C to +125°C			51		
-	5	15pF	25°C			18				
Turn "OFF" Time !E to Out	t _{PLZ} , t _{PHZ}	0	4.5	50pF	25°C			50	ns	
					–40°C to +85°C			63		
					–55°C to +125°C			75		
		–4.5	4.5		25°C			46		
					–40°C to +85°C			58		
					–55°C to +125°C			69		
		-	5	15pF	25°C			21		
Turn "OFF" Time nS to Out	t _{PLZ} , t _{PHZ}	0	4.5	50pF	25°C			44	ns	
					–40°C to +85°C			55		
					–55°C to +125°C			66		
		–4.5	4.5		25°C			40		
					–40°C to +85°C			50		
					–55°C to +125°C			60		
		-	5	15pF	25°C			18		

over operating free-air temperature range (unless otherwise noted)

Parameter		VEE (V)	VCC (V)	Test Conditions		MIN	NOM	MAX	UNIT
Input (Control) Capacitance	C_i	-	-	-	25°C			10	pF
		-	-	-	-40°C to +85°C			10	
		-	-	-	-55°C to +125°C			10	
Power dissipation capacitance(1)	C_{PD}	-	5	-	25°C		47		

11 Analog Channel Specifications

over operating free-air temperature range (unless otherwise noted)

Parameter	Test Conditions		HC, HCT TYPES	V _{CC} (V)	MIN	NOM	MAX	UNIT
f_{MAX} Minimum switch frequency response at -3 dB			HC	4.5		200		MHz
			HCT	4.5		200		
THD Sine-wave distortion	1kHz, $V_{IS} = 4V_{P-P}$		HC	4.5		0.078		%
	1kHz, $V_{IS} = 8V_{P-P}$			9		0.018		
	1kHz, $V_{IS} = 4V_{P-P}$		HCT	4.5		0.078		
	1kHz, $V_{IS} = 8V_{P-P}$			9		0.018		
Switch "OFF" Signal Feedthrough			HC	4.5		-62		dB
			HCT	4.5		-62		
Switch Input Capacitance, C_S			HC	-		5		pF
			HCT	-		5		

12 HCT Input Loading Table

INPUT	UNIT LOADS ⁽¹⁾
All	0.5

(1) Unit Load is ΔI_{CC} limit specified in DC Electrical Table, e.g., 360 μ A max at 25°C

13 Recommended Operating Area as a Function of Supply Voltage

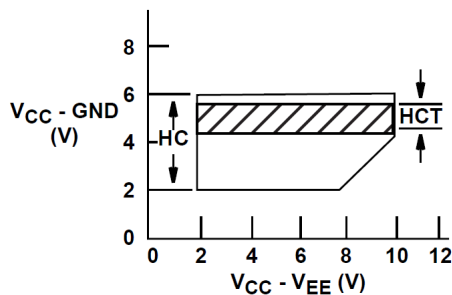


図 13-1.

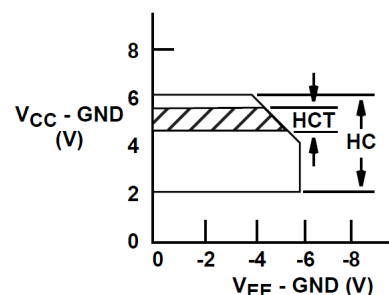


図 13-2.

14 Typical Performance Curves

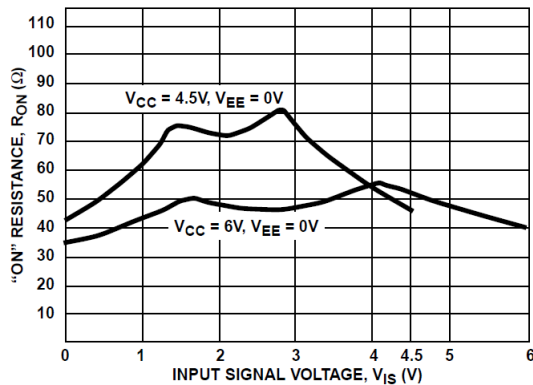


Figure 14-1. Typical On Resistance vs Input Signal Voltage

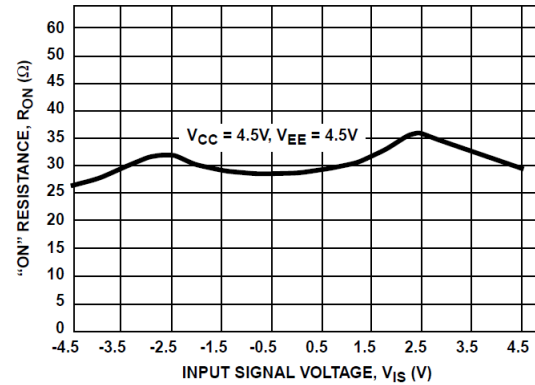


Figure 14-2. Typical On Resistance vs Input Signal Voltage

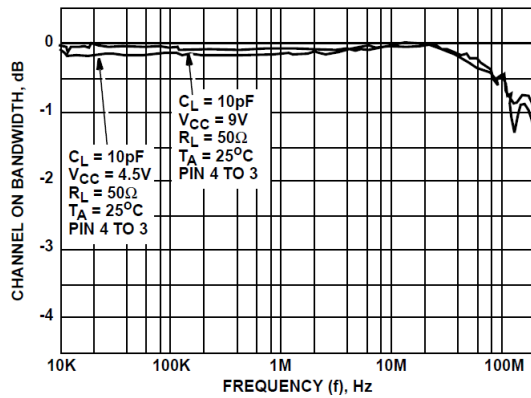


Figure 14-3. Switch Frequency Response

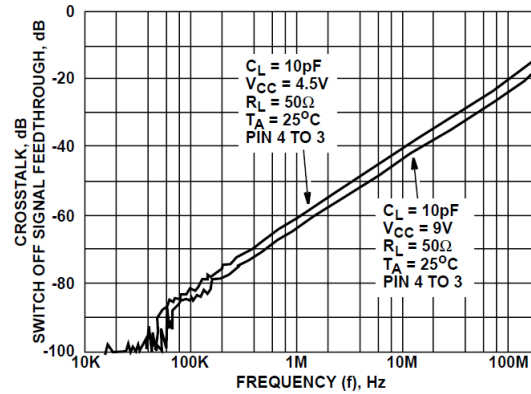


Figure 14-4. Switch-Off Signal Feedthrough and Crosstalk vs Frequency

15 Parameter Measurement Information

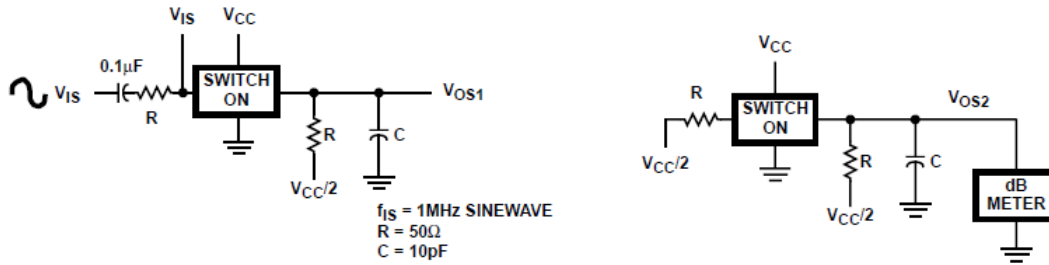


図 15-1. Crosstalk Between Two Switches Test Circuit

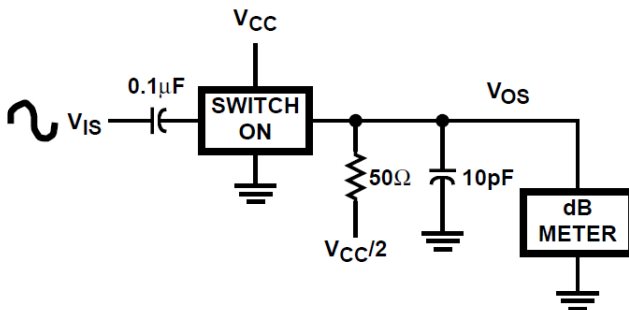


図 15-2. Frequency Response Test Circuit

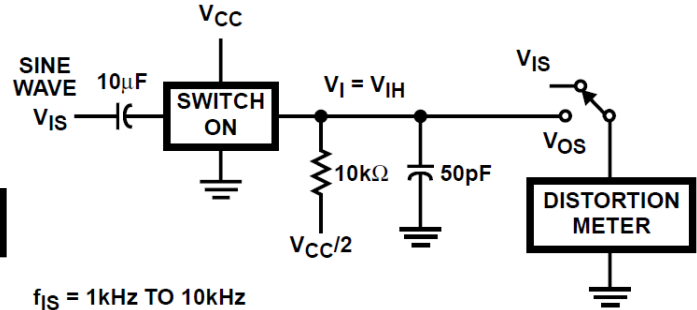


図 15-3. Total Harmonic Distortion Test Circuit

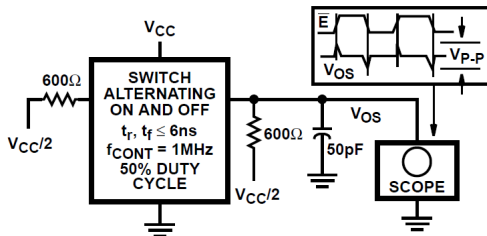


図 15-4. Control-To-Switch Feedthrough Noise Test Circuit

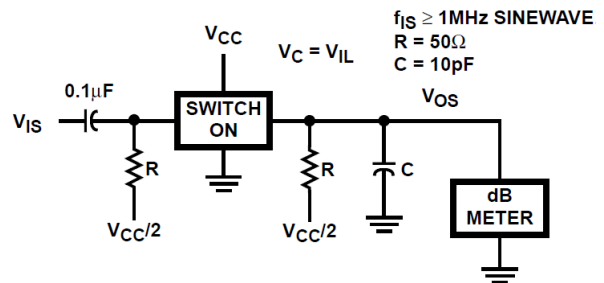


図 15-5. Switch Off Signal Feedthrough

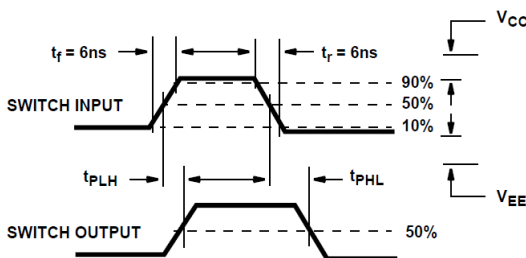


図 15-6. Switch Propagation Delay Times

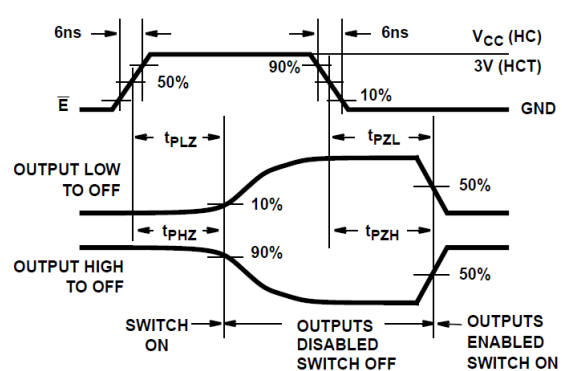
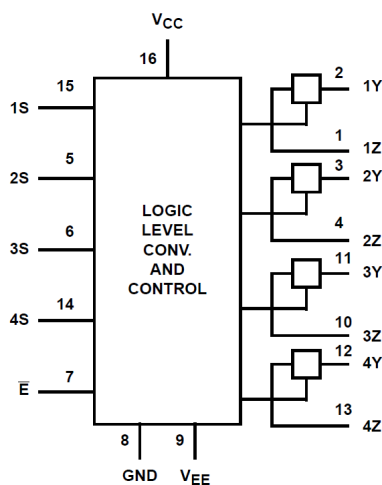


図 15-7. Switch Turn-On and Turn-Off Propagation Delay Times Waveforms

16 Detailed Description

16.1 Functional Block Diagram



16.2 Device Functional Modes

表 16-1. Truth Table ⁽¹⁾

INPUTS		SWITCH
E	S	
L	L	OFF
L	H	ON
H	X	OFF

(1) H = High Level Voltage, L = Low Level Voltage, X = Do not Care

17 Device and Documentation Support

TI offers an extensive line of development tools. Tools and software to evaluate the performance of the device, generate code, and develop solutions are listed below.

17.1 ドキュメントの更新通知を受け取る方法

ドキュメントの更新についての通知を受け取るには、www.tij.co.jp のデバイス製品フォルダを開いてください。[通知] をクリックして登録すると、変更されたすべての製品情報に関するダイジェストを毎週受け取ることができます。変更の詳細については、改訂されたドキュメントに含まれている改訂履歴をご覧ください。

17.2 サポート・リソース

テキサス・インスツルメンツ E2E™ サポート・フォーラムは、エンジニアが検証済みの回答と設計に関するヒントをエキスパートから迅速かつ直接得ることができる場所です。既存の回答を検索したり、独自の質問をしたりすることで、設計に必要な支援を迅速に得ることができます。

リンクされているコンテンツは、各寄稿者により「現状のまま」提供されるものです。これらはテキサス・インスツルメンツの仕様を構成するものではなく、必ずしもテキサス・インスツルメンツの見解を反映したものではありません。テキサス・インスツルメンツの[使用条件](#)を参照してください。

17.3 Trademarks

テキサス・インスツルメンツ E2E™ is a trademark of Texas Instruments.

すべての商標は、それぞれの所有者に帰属します。

17.4 静電気放電に関する注意事項



この IC は、ESD によって破損する可能性があります。テキサス・インスツルメンツは、IC を取り扱う際には常に適切な注意を払うことを推奨します。正しい取り扱いおよび設置手順に従わない場合、デバイスを破損するおそれがあります。

ESD による破損は、わずかな性能低下からデバイスの完全な故障まで多岐にわたります。精密な IC の場合、パラメータがわずかに変化するだけで公表されている仕様から外れる可能性があるため、破損が発生しやすくなっています。

17.5 用語集

[テキサス・インスツルメンツ用語集](#) この用語集には、用語や略語の一覧および定義が記載されています。

18 Revision History

資料番号末尾の英字は改訂を表しています。その改訂履歴は英語版に準じています。

Changes from Revision D (October 2003) to Revision E (July 2024)	Page
• ドキュメント全体にわたって表、図、相互参照の採番方法を更新.....	1
• Updated thermal information.....	5
• Updated electrical specifications.....	6
• Updated switching specifications.....	10
• Updated analog channel specifications.....	15
• Updated orderable information.....	19

19 Mechanical, Packaging, and Orderable Information

The following pages include mechanical, packaging, and orderable information. This information is the most current data available for the designated devices. This data is subject to change without notice and revision of this document. For browser-based versions of this data sheet, refer to the left-hand navigation.

重要なお知らせと免責事項

テキサス・インスツルメンツは、技術データと信頼性データ (データシートを含みます)、設計リソース (リファレンス デザインを含みます)、アプリケーションや設計に関する各種アドバイス、Web ツール、安全性情報、その他のリソースを、欠陥が存在する可能性のある「現状のまま」提供しており、商品性および特定目的に対する適合性の黙示保証、第三者の知的財産権の非侵害保証を含むいかなる保証も、明示的または黙示的にかかわらず拒否します。

これらのリソースは、テキサス・インスツルメンツ製品を使用する設計の経験を積んだ開発者への提供を意図したものです。(1) お客様のアプリケーションに適した テキサス・インスツルメンツ製品の選定、(2) お客様のアプリケーションの設計、検証、試験、(3) お客様のアプリケーションに該当する各種規格や、その他のあらゆる安全性、セキュリティ、規制、または他の要件への確実な適合に関する責任を、お客様のみが単独で負うものとします。

上記の各種リソースは、予告なく変更される可能性があります。これらのリソースは、リソースで説明されている テキサス・インスツルメンツ製品を使用するアプリケーションの開発の目的でのみ、テキサス・インスツルメンツはその使用をお客様に許諾します。これらのリソースに関して、他の目的で複製することや掲載することは禁止されています。テキサス・インスツルメンツや第三者の知的財産権のライセンスが付与されている訳ではありません。お客様は、これらのリソースを自身で使用した結果発生するあらゆる申し立て、損害、費用、損失、責任について、テキサス・インスツルメンツおよびその代理人を完全に補償するものとし、テキサス・インスツルメンツは一切の責任を拒否します。

テキサス・インスツルメンツの製品は、[テキサス・インスツルメンツの販売条件](#)、または [ti.com](https://www.ti.com) やかかる テキサス・インスツルメンツ製品の関連資料などのいずれかを通じて提供する適用可能な条項の下で提供されています。テキサス・インスツルメンツがこれらのリソースを提供することは、適用されるテキサス・インスツルメンツの保証または他の保証の放棄の拡大や変更を意味するものではありません。

お客様がいかなる追加条項または代替条項を提案した場合でも、テキサス・インスツルメンツはそれらに異議を唱え、拒否します。

郵送先住所: Texas Instruments, Post Office Box 655303, Dallas, Texas 75265
Copyright © 2024, Texas Instruments Incorporated

PACKAGING INFORMATION

Orderable part number	Status (1)	Material type (2)	Package Pins	Package qty Carrier	RoHS (3)	Lead finish/ Ball material (4)	MSL rating/ Peak reflow (5)	Op temp (°C)	Part marking (6)
CD54HC4316F3A	Active	Production	CDIP (J) 16	25 TUBE	No	SNPB	N/A for Pkg Type	-55 to 125	CD54HC4316F3A
CD54HC4316F3A.A	Active	Production	CDIP (J) 16	25 TUBE	No	SNPB	N/A for Pkg Type	-55 to 125	CD54HC4316F3A
CD74HC4316E	NRND	Production	PDIP (N) 16	25 TUBE	Yes	NIPDAU	N/A for Pkg Type	-55 to 125	CD74HC4316E
CD74HC4316E.A	NRND	Production	PDIP (N) 16	25 TUBE	Yes	NIPDAU	N/A for Pkg Type	-55 to 125	CD74HC4316E
CD74HC4316M	Obsolete	Production	SOIC (D) 16	-	-	Call TI	Call TI	-55 to 125	HC4316M
CD74HC4316M96	Active	Production	SOIC (D) 16	2500 LARGE T&R	Yes	NIPDAU	Level-1-260C-UNLIM	-55 to 125	HC4316M
CD74HC4316M96.A	Active	Production	SOIC (D) 16	2500 LARGE T&R	Yes	NIPDAU	Level-1-260C-UNLIM	-55 to 125	HC4316M
CD74HC4316NSR	NRND	Production	SOP (NS) 16	2000 LARGE T&R	Yes	NIPDAU	Level-1-260C-UNLIM	-55 to 125	HC4316M
CD74HC4316NSR.A	NRND	Production	SOP (NS) 16	2000 LARGE T&R	Yes	NIPDAU	Level-1-260C-UNLIM	-55 to 125	HC4316M
CD74HC4316PW	Obsolete	Production	TSSOP (PW) 16	-	-	Call TI	Call TI	-55 to 125	HJ4316
CD74HC4316PWR	Active	Production	TSSOP (PW) 16	2000 LARGE T&R	Yes	NIPDAU	Level-1-260C-UNLIM	-55 to 125	HJ4316
CD74HC4316PWR.A	Active	Production	TSSOP (PW) 16	2000 LARGE T&R	Yes	NIPDAU	Level-1-260C-UNLIM	-55 to 125	HJ4316
CD74HCT4316E	NRND	Production	PDIP (N) 16	25 TUBE	Yes	NIPDAU	N/A for Pkg Type	-55 to 125	CD74HCT4316E
CD74HCT4316E.A	NRND	Production	PDIP (N) 16	25 TUBE	Yes	NIPDAU	N/A for Pkg Type	-55 to 125	CD74HCT4316E
CD74HCT4316M	NRND	Production	SOIC (D) 16	40 TUBE	Yes	NIPDAU	Level-1-260C-UNLIM	-55 to 125	HCT4316M
CD74HCT4316M.A	NRND	Production	SOIC (D) 16	40 TUBE	Yes	NIPDAU	Level-1-260C-UNLIM	-55 to 125	HCT4316M
CD74HCT4316M96	NRND	Production	SOIC (D) 16	2500 LARGE T&R	Yes	NIPDAU	Level-1-260C-UNLIM	-55 to 125	HCT4316M
CD74HCT4316M96.A	NRND	Production	SOIC (D) 16	2500 LARGE T&R	Yes	NIPDAU	Level-1-260C-UNLIM	-55 to 125	HCT4316M

⁽¹⁾ **Status:** For more details on status, see our [product life cycle](#).

⁽²⁾ **Material type:** When designated, preproduction parts are prototypes/experimental devices, and are not yet approved or released for full production. Testing and final process, including without limitation quality assurance, reliability performance testing, and/or process qualification, may not yet be complete, and this item is subject to further changes or possible discontinuation. If available for ordering, purchases will be subject to an additional waiver at checkout, and are intended for early internal evaluation purposes only. These items are sold without warranties of any kind.

⁽³⁾ **RoHS values:** Yes, No, RoHS Exempt. See the [TI RoHS Statement](#) for additional information and value definition.

⁽⁴⁾ **Lead finish/Ball material:** Parts may have multiple material finish options. Finish options are separated by a vertical ruled line. Lead finish/Ball material values may wrap to two lines if the finish value exceeds the maximum column width.

⁽⁵⁾ **MSL rating/Peak reflow:** The moisture sensitivity level ratings and peak solder (reflow) temperatures. In the event that a part has multiple moisture sensitivity ratings, only the lowest level per JEDEC standards is shown. Refer to the shipping label for the actual reflow temperature that will be used to mount the part to the printed circuit board.

⁽⁶⁾ **Part marking:** There may be an additional marking, which relates to the logo, the lot trace code information, or the environmental category of the part.

Multiple part markings will be inside parentheses. Only one part marking contained in parentheses and separated by a "~" will appear on a part. If a line is indented then it is a continuation of the previous line and the two combined represent the entire part marking for that device.

Important Information and Disclaimer: The information provided on this page represents TI's knowledge and belief as of the date that it is provided. TI bases its knowledge and belief on information provided by third parties, and makes no representation or warranty as to the accuracy of such information. Efforts are underway to better integrate information from third parties. TI has taken and continues to take reasonable steps to provide representative and accurate information but may not have conducted destructive testing or chemical analysis on incoming materials and chemicals. TI and TI suppliers consider certain information to be proprietary, and thus CAS numbers and other limited information may not be available for release.

In no event shall TI's liability arising out of such information exceed the total purchase price of the TI part(s) at issue in this document sold by TI to Customer on an annual basis.

OTHER QUALIFIED VERSIONS OF CD54HC4316, CD74HC4316 :

- Catalog : [CD74HC4316](#)
- Military : [CD54HC4316](#)

NOTE: Qualified Version Definitions:

- Catalog - TI's standard catalog product
- Military - QML certified for Military and Defense Applications

TAPE AND REEL INFORMATION



*All dimensions are nominal

Device	Package Type	Package Drawing	Pins	SPQ	Reel Diameter (mm)	Reel Width W1 (mm)	A0 (mm)	B0 (mm)	K0 (mm)	P1 (mm)	W (mm)	Pin1 Quadrant
CD74HC4316M96	SOIC	D	16	2500	330.0	16.4	6.5	10.3	2.1	8.0	16.0	Q1
CD74HC4316NSR	SOP	NS	16	2000	330.0	16.4	8.1	10.4	2.5	12.0	16.0	Q1
CD74HC4316PWR	TSSOP	PW	16	2000	330.0	12.4	6.9	5.6	1.6	8.0	12.0	Q1
CD74HCT4316M96	SOIC	D	16	2500	330.0	16.4	6.5	10.3	2.1	8.0	16.0	Q1

TAPE AND REEL BOX DIMENSIONS



*All dimensions are nominal

Device	Package Type	Package Drawing	Pins	SPQ	Length (mm)	Width (mm)	Height (mm)
CD74HC4316M96	SOIC	D	16	2500	353.0	353.0	32.0
CD74HC4316NSR	SOP	NS	16	2000	353.0	353.0	32.0
CD74HC4316PWR	TSSOP	PW	16	2000	353.0	353.0	32.0
CD74HCT4316M96	SOIC	D	16	2500	340.5	336.1	32.0

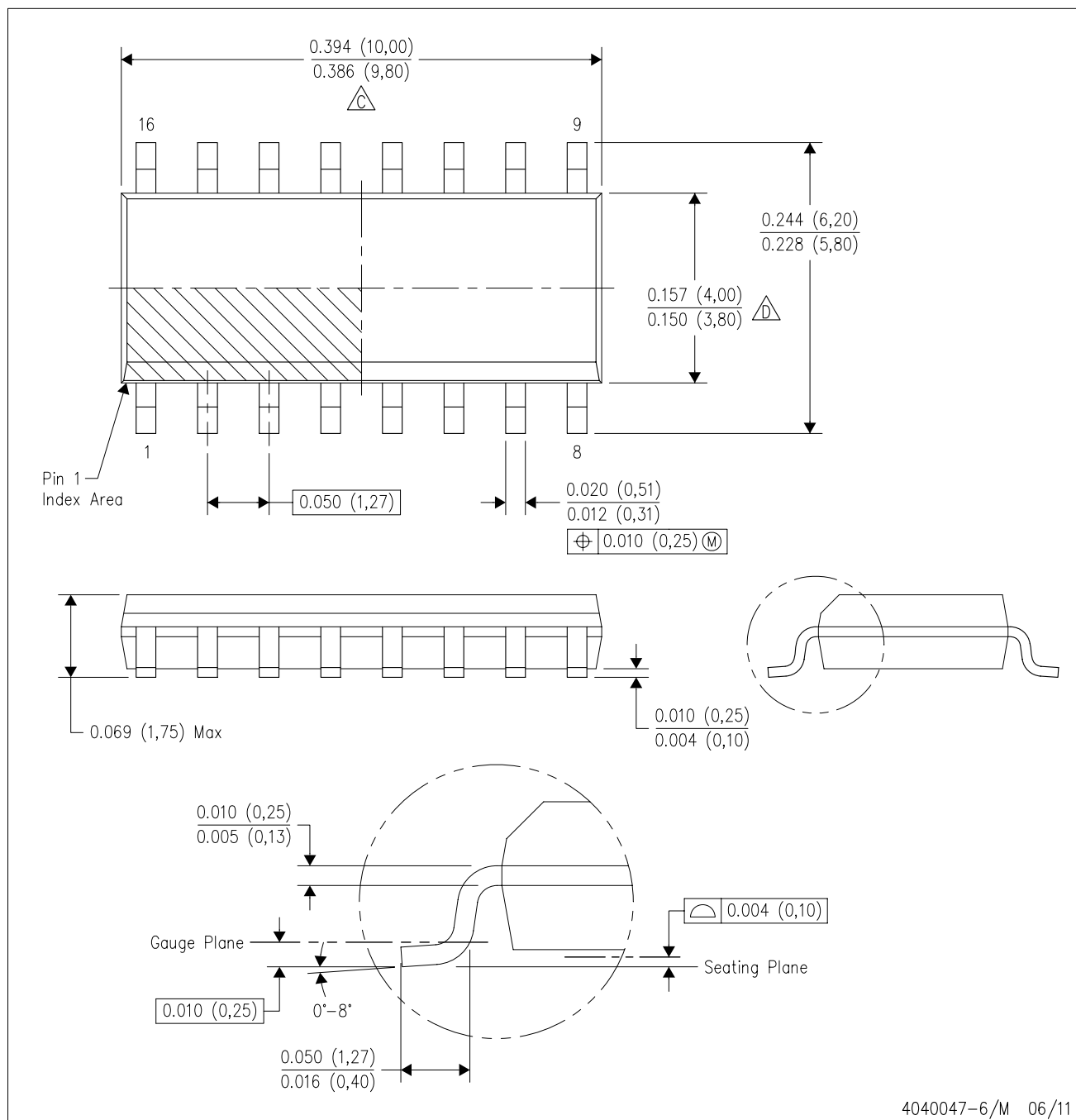
TUBE


*All dimensions are nominal

Device	Package Name	Package Type	Pins	SPQ	L (mm)	W (mm)	T (μm)	B (mm)
CD74HC4316E	N	PDIP	16	25	506	13.97	11230	4.32
CD74HC4316E	N	PDIP	16	25	506	13.97	11230	4.32
CD74HC4316E.A	N	PDIP	16	25	506	13.97	11230	4.32
CD74HC4316E.A	N	PDIP	16	25	506	13.97	11230	4.32
CD74HCT4316E	N	PDIP	16	25	506	13.97	11230	4.32
CD74HCT4316E	N	PDIP	16	25	506	13.97	11230	4.32
CD74HCT4316E.A	N	PDIP	16	25	506	13.97	11230	4.32
CD74HCT4316E.A	N	PDIP	16	25	506	13.97	11230	4.32
CD74HCT4316M	D	SOIC	16	40	507	8	3940	4.32
CD74HCT4316M.A	D	SOIC	16	40	507	8	3940	4.32

D (R-PDSO-G16)

PLASTIC SMALL OUTLINE



4040047-6/M 06/11

NOTES:

- A. All linear dimensions are in inches (millimeters).
- B. This drawing is subject to change without notice.
- $\triangle C$ Body length does not include mold flash, protrusions, or gate burrs. Mold flash, protrusions, or gate burrs shall not exceed 0.006 (0,15) each side.
- $\triangle D$ Body width does not include interlead flash. Interlead flash shall not exceed 0.017 (0,43) each side.
- E. Reference JEDEC MS-012 variation AC.

J (R-GDIP-T**)

14 LEADS SHOWN

CERAMIC DUAL IN-LINE PACKAGE

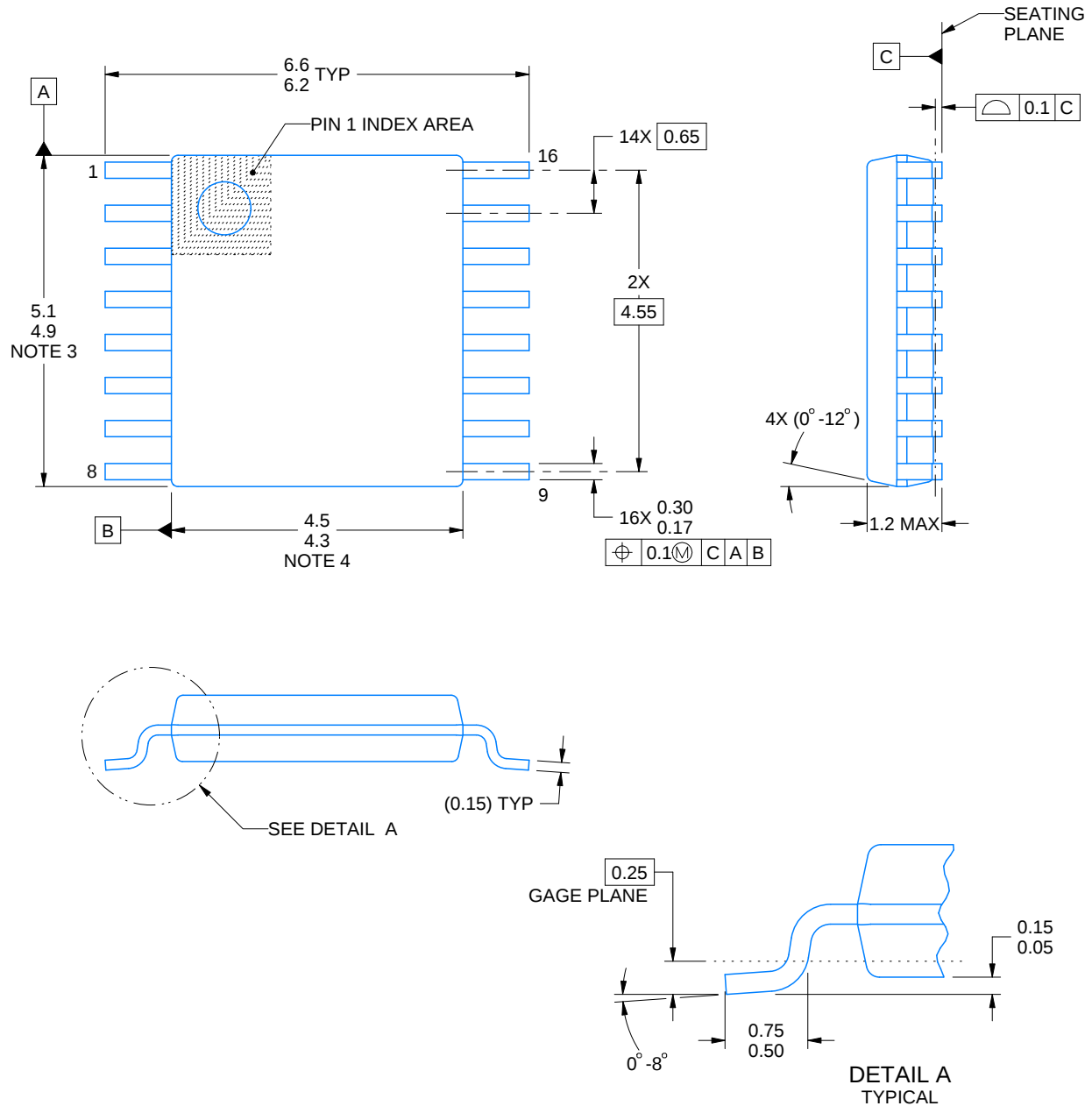


PINS ** DIM	14	16	18	20
A	0.300 (7,62) BSC	0.300 (7,62) BSC	0.300 (7,62) BSC	0.300 (7,62) BSC
B MAX	0.785 (19,94)	.840 (21,34)	0.960 (24,38)	1.060 (26,92)
B MIN	—	—	—	—
C MAX	0.300 (7,62)	0.300 (7,62)	0.310 (7,87)	0.300 (7,62)
C MIN	0.245 (6,22)	0.245 (6,22)	0.220 (5,59)	0.245 (6,22)



4040083/F 03/03

- NOTES:
- A. All linear dimensions are in inches (millimeters).
 - B. This drawing is subject to change without notice.
 - C. This package is hermetically sealed with a ceramic lid using glass frit.
 - D. Index point is provided on cap for terminal identification only on press ceramic glass frit seal only.
 - E. Falls within MIL STD 1835 GDIP1-T14, GDIP1-T16, GDIP1-T18 and GDIP1-T20.



4220204/B 12/2023

NOTES:

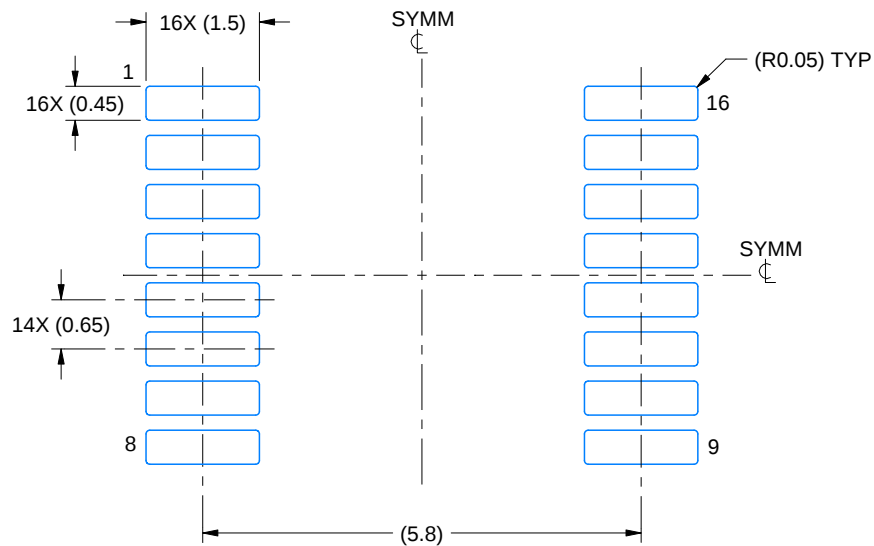
1. All linear dimensions are in millimeters. Any dimensions in parenthesis are for reference only. Dimensioning and tolerancing per ASME Y14.5M.
2. This drawing is subject to change without notice.
3. This dimension does not include mold flash, protrusions, or gate burrs. Mold flash, protrusions, or gate burrs shall not exceed 0.15 mm per side.
4. This dimension does not include interlead flash. Interlead flash shall not exceed 0.25 mm per side.
5. Reference JEDEC registration MO-153.

EXAMPLE BOARD LAYOUT

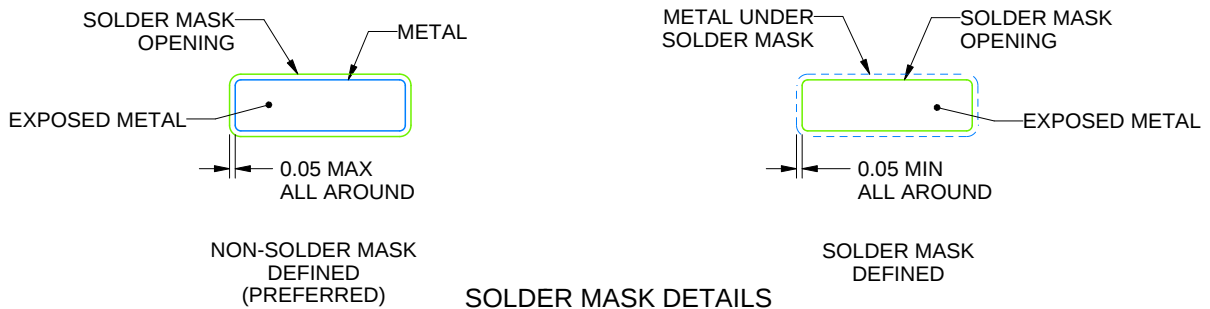
PW0016A

TSSOP - 1.2 mm max height

SMALL OUTLINE PACKAGE



LAND PATTERN EXAMPLE
EXPOSED METAL SHOWN
SCALE: 10X



4220204/B 12/2023

NOTES: (continued)

6. Publication IPC-7351 may have alternate designs.

7. Solder mask tolerances between and around signal pads can vary based on board fabrication site.

EXAMPLE STENCIL DESIGN

PW0016A

TSSOP - 1.2 mm max height

SMALL OUTLINE PACKAGE



SOLDER PASTE EXAMPLE
BASED ON 0.125 mm THICK STENCIL
SCALE: 10X

4220204/B 12/2023

NOTES: (continued)

8. Laser cutting apertures with trapezoidal walls and rounded corners may offer better paste release. IPC-7525 may have alternate design recommendations.
9. Board assembly site may have different recommendations for stencil design.

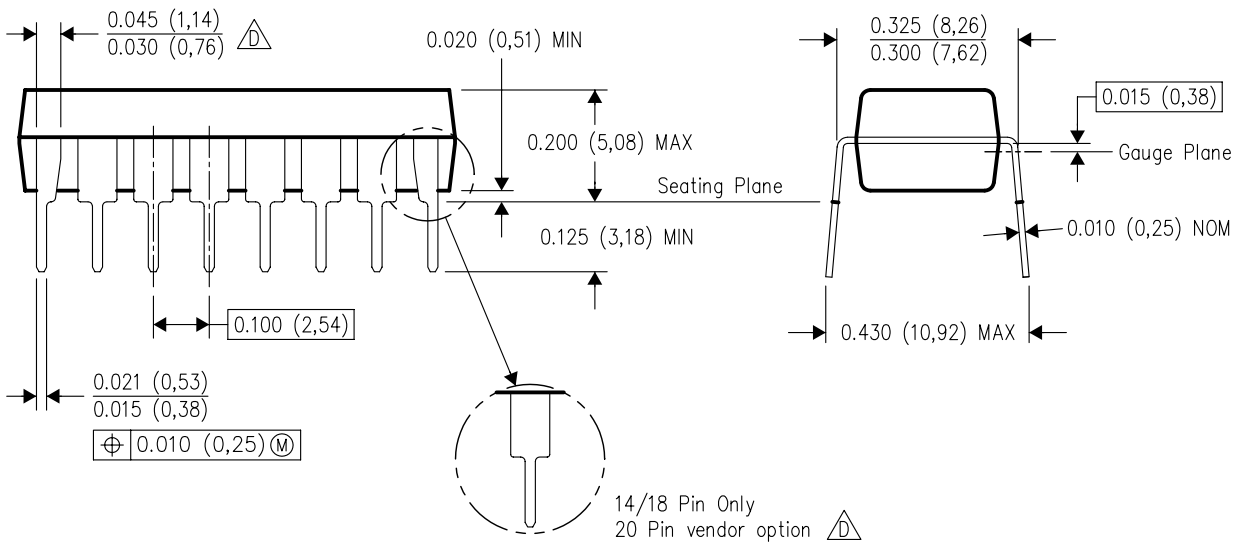
N (R-PDIP-T**)

16 PINS SHOWN

PLASTIC DUAL-IN-LINE PACKAGE

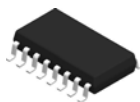


PINS **	14	16	18	20
DIM				
A MAX	0.775 (19,69)	0.775 (19,69)	0.920 (23,37)	1.060 (26,92)
A MIN	0.745 (18,92)	0.745 (18,92)	0.850 (21,59)	0.940 (23,88)
MS-001 VARIATION	AA	BB	AC	AD



4040049/E 12/2002

- NOTES:
- A. All linear dimensions are in inches (millimeters).
 - B. This drawing is subject to change without notice.
 - C. Falls within JEDEC MS-001, except 18 and 20 pin minimum body length (Dim A).
 - D. The 20 pin end lead shoulder width is a vendor option, either half or full width.

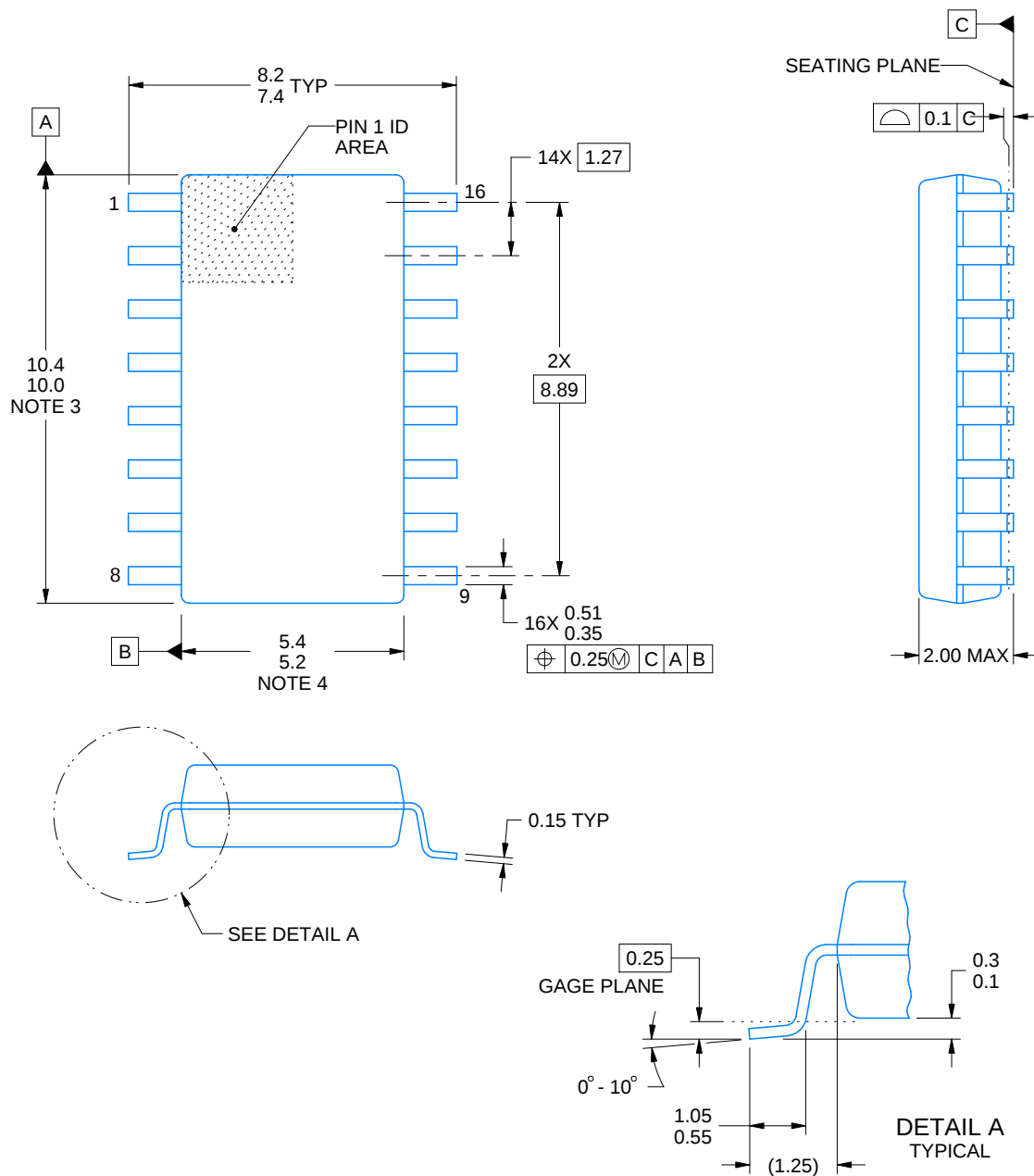


PACKAGE OUTLINE

NS0016A

SOP - 2.00 mm max height

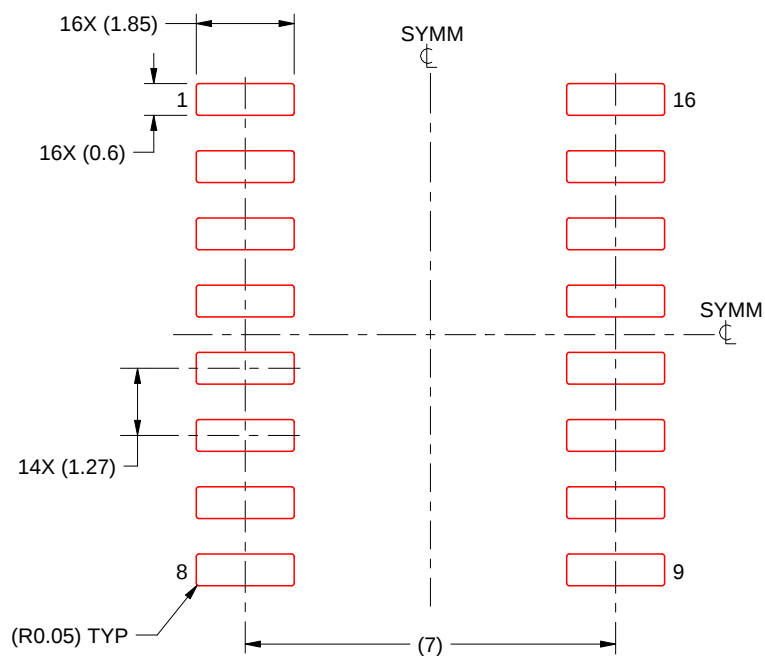
SOP



4220735/A 12/2021

NOTES:

1. All linear dimensions are in millimeters. Dimensions in parenthesis are for reference only. Dimensioning and tolerancing per ASME Y14.5M.
2. This drawing is subject to change without notice.
3. This dimension does not include mold flash, protrusions, or gate burrs. Mold flash, protrusions, or gate burrs shall not exceed 0.15 mm, per side.
4. This dimension does not include interlead flash. Interlead flash shall not exceed 0.25 mm, per side.



4220735/A 12/2021

NOTES: (continued)

7. Laser cutting apertures with trapezoidal walls and rounded corners may offer better paste release. IPC-7525 may have alternate design recommendations.
8. Board assembly site may have different recommendations for stencil design.

重要なお知らせと免責事項

テキサス・インスツルメンツは、技術データと信頼性データ (データシートを含みます)、設計リソース (リファレンス デザインを含みます)、アプリケーションや設計に関する各種アドバイス、Web ツール、安全性情報、その他のリソースを、欠陥が存在する可能性のある「現状のまま」提供しており、商品性および特定目的に対する適合性の黙示保証、第三者の知的財産権の非侵害保証を含むいかなる保証も、明示的または黙示的にかかわらず拒否します。

これらのリソースは、テキサス・インスツルメンツ製品を使用する設計の経験を積んだ開発者への提供を意図したものです。(1) お客様のアプリケーションに適した テキサス・インスツルメンツ製品の選定、(2) お客様のアプリケーションの設計、検証、試験、(3) お客様のアプリケーションに該当する各種規格や、その他のあらゆる安全性、セキュリティ、規制、または他の要件への確実な適合に関する責任を、お客様のみが単独で負うものとします。

上記の各種リソースは、予告なく変更される可能性があります。これらのリソースは、リソースで説明されている テキサス・インスツルメンツ製品を使用するアプリケーションの開発の目的でのみ、テキサス・インスツルメンツはその使用をお客様に許諾します。これらのリソースに関して、他の目的で複製することや掲載することは禁止されています。テキサス・インスツルメンツや第三者の知的財産権のライセンスが付与されている訳ではありません。お客様は、これらのリソースを自身で使用した結果発生するあらゆる申し立て、損害、費用、損失、責任について、テキサス・インスツルメンツおよびその代理人を完全に補償するものとし、テキサス・インスツルメンツは一切の責任を拒否します。

テキサス・インスツルメンツの製品は、[テキサス・インスツルメンツの販売条件](#)、または [ti.com](https://www.ti.com) やかかる テキサス・インスツルメンツ製品の関連資料などのいずれかを通じて提供する適用可能な条項の下で提供されています。テキサス・インスツルメンツがこれらのリソースを提供することは、適用される テキサス・インスツルメンツの保証または他の保証の放棄の拡大や変更を意味するものではありません。

お客様がいかなる追加条項または代替条項を提案した場合でも、テキサス・インスツルメンツはそれらに異議を唱え、拒否します。

郵送先住所：Texas Instruments, Post Office Box 655303, Dallas, Texas 75265
Copyright © 2025, Texas Instruments Incorporated