

CDx4HC(T)273 高速 CMOS ロジック、オクタル D タイプ・フリップ・フロップ、リセット付き

1 特長

- 共通クロックおよび非同期コントローラリセット
- 正のエッジトリガ
- バッファ付き入力
- ファンアウト (全温度範囲にわたって)
 - 標準出力: 10 個の LSTTL 負荷
 - バスドライバ出力: 15 個の LSTTL 負荷
- 広い動作温度範囲: $-55^{\circ}\text{C} \sim 125^{\circ}\text{C}$
- 平衡のとれた伝搬遅延と遷移時間
- LSTTL ロジック IC に比べて消費電力を大幅削減
- HC タイプ:
 - 2V~6V で動作
 - 優れたノイズ耐性: V_{CC} に対して $N_{IL} = 30\%$ 、 $N_{IH} = 30\%$ ($V_{CC} = 5\text{V}$ 時)
- HCT タイプ:
 - 4.5V~5.5V で動作
 - LSTTL 入力ロジックと直接互換、 $V_{IL} = 0.8\text{V}$ (最大値)、 $V_{IH} = 2\text{V}$ (最小値)
 - CMOS 入力互換、 V_{OL}, V_{OH} で $I_l \leq 1\mu\text{A}$

2 アプリケーション

- データをクロックに同期
- シンプルなメモリ - 8 ビット

3 説明

CD54HC273、CD74HC273、CD54HCT273、および CD74HCT273 は、ダイレクト クリア入力を備えた高速 8 ビット D 型フリップ フロップで、シリコン ゲート CMOS 技術を用いて製造されています。これらのデバイスは、標準的な CMOS 集積回路と同等の低消費電力特性を備えています。

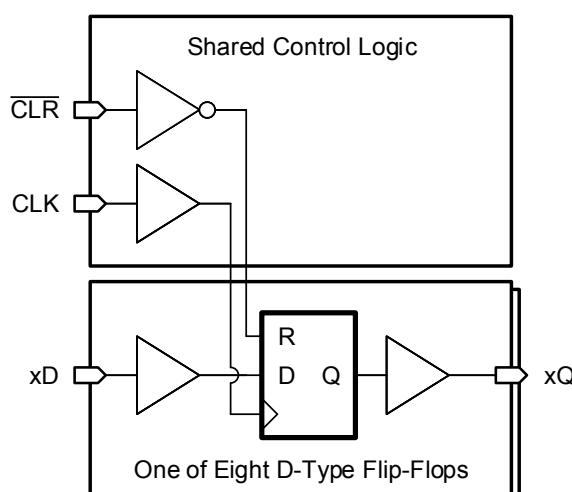
D 入力の情報は、クロック パルスの正方向エッジで Q 出力に転送されます。8 つのフリップ フロップはすべて、共通クロック (CLK) と共通リセット (\overline{CLR}) で制御されます。リセットは、クロックとは独立した低電圧レベルで行われます。8 つの Q 出力はすべてロジック 0 にリセットされます。

パッケージ情報

部品番号	パッケージ (1)	パッケージ サイズ(2)
CD54HC273F	J (CDIP, 20)	26.92mm × 6.92mm
CD74HC273M	DW (SOIC, 20)	12.80mm × 7.50mm
CD74HC273E	N (PDIP, 20)	25.40mm × 6.35mm
CD74HCT273M	DW (SOIC, 20)	12.80mm × 7.50mm
CD74HCT273	N (PDIP, 20)	25.40mm × 6.35mm

(1) 利用可能なすべてのパッケージについては、データシートの末尾にある注文情報を参照してください。

(2) パッケージ サイズ (長さ × 幅) は公称値であり、該当する場合にビンも含まれます。



機能ブロック図

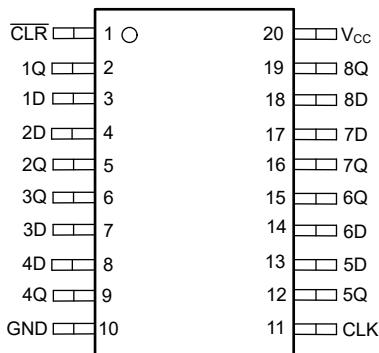


このリソースの元の言語は英語です。翻訳は概要を便宜的に提供するもので、自動化ツール (機械翻訳) を使用していることがあり、TI では翻訳の正確性および妥当性につきましては一切保証いたしません。実際の設計などの前には、ti.com で必ず最新の英語版をご参照くださいますようお願いいたします。

目次

1 特長	1	7.3 機能説明	12
2 アプリケーション	1	7.4 デバイスの機能モード	14
3 説明	1	8 アプリケーションと実装	15
4 ピン構成および機能	3	8.1 アプリケーション情報	15
5 仕様	4	8.2 代表的なアプリケーション	15
5.1 絶対最大定格	4	8.3 電源に関する推奨事項	19
5.2 推奨動作条件	4	8.4 レイアウト	19
5.3 熱に関する情報	4	9 デバイスおよびドキュメントのサポート	21
5.4 電気的特性	5	9.1 ドキュメントのサポート	21
5.5 タイミング要件	6	9.2 ドキュメントの更新通知を受け取る方法	21
5.6 スイッチング特性	7	9.3 サポート・リソース	21
5.7 代表的特性	8	9.4 商標	21
6 パラメータ測定情報	9	9.5 静電気放電に関する注意事項	21
7 詳細説明	11	9.6 用語集	21
7.1 概要	11	10 改訂履歴	21
7.2 機能ブロック図	11	11 メカニカル、パッケージ、および注文情報	22

4 ピン構成および機能



DW または N パッケージ
20 ピン CDIP PDIP または SOIC
上面図

ピンの機能

ピン		タイプ ⁽¹⁾	説明
名称	番号		
1D	3	I	チャネル 1 の入力
1Q	2	O	チャネル 1 の出力
2D	4	I	チャネル 2 の入力
2Q	5	O	チャネル 2 の出力
3D	7	I	チャネル 3 の入力
3Q	6	O	チャネル 3 の出力
4D	8	I	チャネル 4 の入力
4Q	9	O	チャネル 4 の出力
5D	13	I	チャネル 5 の入力
5Q	12	O	チャネル 5 の出力
6D	14	I	チャネル 6 の入力
6Q	15	O	チャネル 6 の出力
7D	17	I	チャネル 7 の入力
7Q	16	O	チャネル 7 の出力
8D	18	I	チャネル 8 の入力
8Q	19	O	チャネル 8 の出力
CLK	11	I	全チャネルのクロック、立ち上がりエッジがトリガーされる
CLR	1	I	全チャネルのクリア、アクティブ Low
GND	10	G	グランド
V _{cc}	20	P	正電源

(1) I = 入力、O = 出力、G = グランド、P = 電源

5 仕様

5.1 絶対最大定格

自由気流での動作温度範囲内 (特に記述のない限り)⁽¹⁾

			最小値	最大値	単位
V_{CC}	電源電圧		-0.5	7	V
I_{IK}	入力クランプ ダイオード電流	$V_I < -0.5V$ または $V_I > V_{CC} + 0.5V$ の場合		± 20	mA
I_{OK}	出力クランプ ダイオード電流	$V_O < -0.5V$ または $V_O > V_{CC} + 0.5V$ の場合		± 20	mA
I_O	ドレイン電流、出力ごと	$-0.5V < V_O < V_{CC} + 0.5V$ の範囲		± 25	mA
I_O	出力ピンごとの出力ソースまたはシンク電流	$V_O > -0.5V$ または $V_O < V_{CC} + 0.5V$ の場合		± 25	mA
	V_{CC} またはグランド電流を通過する連続電流			± 50	mA
T_J	接合部温度			150	°C
T_{stg}	保管温度範囲		-65	150	°C
	リード温度 (10 秒間の半田付け) (SOIC - リードの先端部のみ)			300	°C

(1) 「絶対最大定格」外での操作は、デバイスに恒久的な損傷を引き起こす可能性があります。「絶対最大定格」は、これらの条件において、または「推奨動作条件」に示された値を超える他のいかなる条件でも、本製品が正しく動作することを暗に示すものではありません。「絶対最大定格」の範囲内であっても「推奨動作条件」の範囲外で使用した場合、本デバイスは完全に機能することは限らず、このことが本デバイスの信頼性、機能、性能に影響を及ぼし、本デバイスの寿命を縮める可能性があります。

5.2 推奨動作条件

			最小値	最大値	単位
T_A	温度範囲		-55	125	°C
V_{CC}	電源電圧範囲	HC タイプ	2	6	V
		HCT タイプ	4.5	5.5	
V_I, V_O	DC 入力電圧または出力電圧		0	V_{CC}	V
t_L	入力の立ち上がり時間と立ち下がり時間	2V		1000	ns
		4.5V		500	
		6V		400	

5.3 熱に関する情報

熱評価基準		DW (SOIC)	N (PDIP)	単位
		20 ピン	20 ピン	
$R_{\theta JA}$	接合部から周囲への熱抵抗 ⁽¹⁾	58	69	°C/W

(1) 従来および最新の熱評価基準の詳細については、『半導体および IC パッケージの熱評価基準』アプリケーション ノートを参照してください。

5.4 電気的特性

パラメータ	テスト条件 ⁽²⁾	V _{CC} (V)	25°C			−40°C ~ 85°C		−55°C ~ 125°C		単位
			最小値	標準値	最大値	最小値	最大値	最小値	最大値	
HC タイプ										
V _{IH}	High レベル入力電圧		2	1.5		1.5		1.5		V
			4.5	3.15		3.15		3.15		
			6	4.2		4.2		4.2		
V _{IL}	Low レベル入力電圧		2		0.5		0.5		0.5	V
			4.5		1.35		1.35		1.35	
			6		1.8		1.8		1.8	
V _{OH}	High レベル出力電圧 CMOS 負荷	I _{OH} = −20µA	2	1.9		1.9		1.9		V
		I _{OH} = −20µA	4.5	4.4		4.4		4.4		
		I _{OH} = −20µA	6	5.9		5.9		5.9		
	High レベル出力電圧 TTL 負荷	I _{OH} = −4mA	4.5	3.98		3.84		3.7		V
		I _{OH} = −5.2mA	6	5.48		5.34		5.2		
V _{OL}	Low レベル出力電圧 CMOS 負荷	I _{OL} = 20µA	2		0.1		0.1		0.1	V
		I _{OL} = 20µA	4.5		0.1	-	0.1	-	0.1	
		I _{OL} = 20µA	6		0.1		0.1		0.1	
	Low レベル出力電圧 TTL 負荷	I _{OL} = 4mA	4.5		0.26		0.33		0.4	V
		I _{OL} = 5.2mA	6		0.26		0.33		0.4	
I _I	入力リーケ電流	V _I = V _{CC} または GND	6		±0.1		±1		±1	mA
I _{CC}	デバイスの静止電流	V _I = V _{CC} または GND	6		8		80		160	mA
HCT タイプ										
V _{IH}	High レベル入力電圧		4.5~5.5	2		2		2		V
V _{IL}	Low レベル入力電圧		4.5~5.5		0.8		0.8		0.8	V
V _{OH}	High レベル出力電圧 CMOS 負荷	I _{OH} = −20µA	4.5	4.4		4.4		4.4		V
	High レベル出力電圧 TTL 負荷	I _{OH} = −4mA	4.5	3.98		3.84		3.7		
V _{OL}	Low レベル出力電圧 CMOS 負荷	I _{OL} = 20µA	4.5		0.1		0.1		0.1	V
	Low レベル出力電圧 TTL 負荷	I _{OL} = 4mA	4.5		0.26		0.33		0.4	
I _I	入力リーケ電流	V _I = V _{CC} または GND	5.5		±0.1		±1		±1	µA
I _{CC}	デバイスの静止電流	V _I = V _{CC} または GND	5.5		8		80		160	µA

5.4 電気的特性 (続き)

パラメータ		テスト条件 ⁽²⁾	V _{CC} (V)	25°C			-40°C ~ 85°C		-55°C ~ 125°C		単位
				最小値	標準値	最大値	最小値	最大値	最小値	最大値	
ΔI_{CC} ⁽¹⁾	入力ピンごとの追加のデバイス静止電流	CLR 入力を V _{CC} - 2.1 に保持	4.5~5.5		100	540		675		735	μA
		データ入力は V _{CC} - 2.1 に保持	4.5~5.5		100	144		180		196	μA
		CLK 入力を V _{CC} - 2.1 に保持	4.5~5.5		100	540		675		735	μA

(1) デュアル電源システムの理論上の最悪ケース (V_I = 2.4V, V_{CC} = 5.5V) 仕様は 1.8mA です。

(2) V_I = V_{IH} または V_{IL} (特に記述のない限り)。

5.5 タイミング要件

「パラメータ測定情報」参照

パラメータ		V _{CC} (V)	25°C			-40°C ~ 85°C		-55°C ~ 125°C		単位
			最小値	標準値	最大値	最小値	最大値	最小値	最大値	
HC タイプ										
f_{MAX}	最大クロック周波数	2	6		5		4			MHz
		4.5	30		25		20			
		6	35		29		23			
t_W	CLR パルス幅	2	60		75		90			ns
		4.5	12		15		18			
		6	10		13		15			
t_W	クロック パルス幅	2	80		100		120			ns
		4.5	16		20		24			
		6	14		17		20			
t_{SU}	セットアップ時間データ対クロック	2	60		75		70			ns
		4.5	12		15		18			
		6	10		13		15			
t_H	ホールド時間、データからクロック	2	3		3		3			ns
		4.5	3		3		3			
		6	3		3		3			
t_{REM}	除去時間、CLR からクロック	2	50		65		75			ns
		4.5	10		13		15			
		6	9		11		13			
HCT タイプ										
f_{MAX}	最大クロック周波数	4.5	25		20		16			MHz
t_W	CLR パルス幅	4.5	12		15		18			ns
t_W	クロック パルス幅	4.5	20		25		30			ns
t_{SU}	セットアップ時間データ対クロック	4.5	12		15		18			ns
t_H	ホールド時間、データからクロック	4.5	3		3		3			ns
t_{REM}	除去時間、CLR からクロック	4.5	10		13		15			ns

5.6 スイッチング特性

入力 $t_r, t_f = 6\text{ns}$ (パラメータ測定情報を参照)

パラメータ	テスト条件	V _{CC} (V)	25°C		-40°C ~ 85°C	-55°C ~ 125°C	単位
			標準値	最大値	最大値	最大値	
HC タイプ							
t_{PLH}, t_{PHL}	伝搬遅延 クロックから出力	$C_L = 50\text{pF}$	2	150	190	225	ns
			4.5	30	38	45	
			6	26	30	38	
		$C_L = 15\text{pF}$	5	12			
t_{PHL}	伝搬遅延 CLR から出力	$C_L = 50\text{pF}$	2	150	190	225	ns
			4.5	30	38	45	
			6	26	30	38	
t_{TLH}, t_{THL}	出力遷移時間	$C_L = 50\text{pF}$	2	75	95	110	ns
			4.5	15	19	22	
			6	13	16	19	
C_{IN}	入力容量			10	10	10	pF
f_{MAX}	最大クロック周波数	$C_L = 15\text{pF}$	5	60			MHz
C_{PD}	電力散逸容量 (1) (2)		5	25			pF
HCT タイプ							
t_{PLH}, t_{PHL}	伝搬遅延、 クロックから出力	$C_L = 50\text{pF}$	4.5	30	38	45	ns
		$C_L = 15\text{pF}$	5	12			
t_{PHL}	伝搬遅延、 CLR から出力	$C_L = 50\text{pF}$	4.5	32	40	48	ns
t_{TLH}, t_{THL}	出力遷移時間	$C_L = 50\text{pF}$	4.5	15	19	22	ns
C_{IN}	入力容量			10	10	10	pF
f_{MAX}	最大クロック周波数	$C_L = 15\text{pF}$	5	50			MHz
C_{PD}	電力散逸容量 (1) (2)		5	25			pF

(1) C_{PD} を使用して、フリップフロップごとの動的な消費電力を決定します

$$(2) P_D = C_{PD}V_{CC}^2f_i + \sum(C_LV_{CC}^2f_o) \quad (1)$$

ここで、

- f_i = 入力周波数
- f_o = 出力周波数
- C_L = 出力の負荷キャパシタンス
- V_{CC} = 電源電圧

5.7 代表的特性

$T_A = 25^\circ\text{C}$

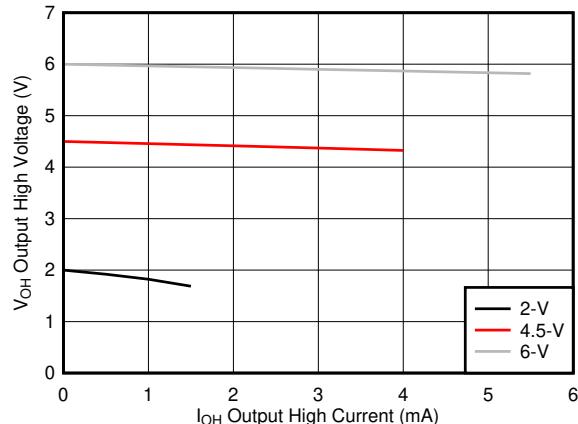


図 5-1. High 状態での標準出力電圧 (V_{OH})

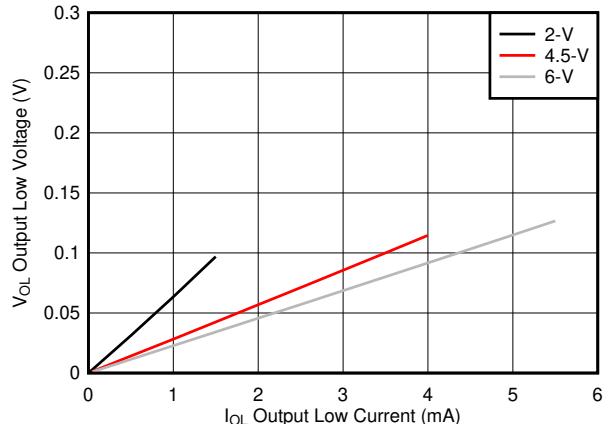


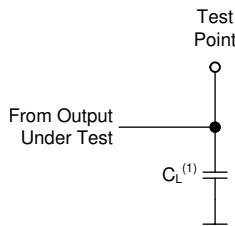
図 5-2. Low 状態での標準出力電圧 (V_{OL})

6 パラメータ測定情報

波形間の位相関係は、任意に選択されています。すべての入力パルスは、以下の特性を持つジェネレータによって供給されます。PRR $\leq 1\text{MHz}$, $Z_O = 50\Omega$, $t_t < 6\text{ns}$ 。

クロック入力の f_{max} は、入力デューティサイクルが 50% のときの測定値です。

出力は一度に 1 つずつ測定され、測定するたびに入力が 1 回遷移します。



(1) C_L にはプローブとテスト装置の容量が含まれます。

図 6-1. プッシュプル出力のための負荷回路

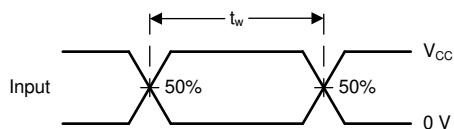


図 6-2. 電圧波形、標準 CMOS 入力パルス幅

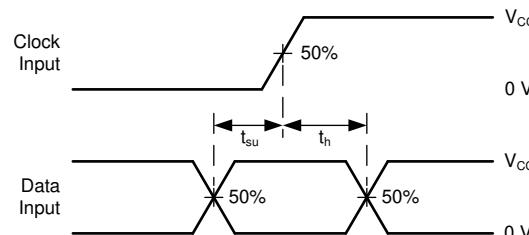
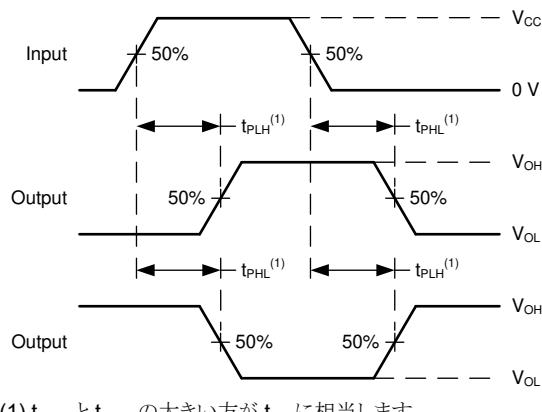
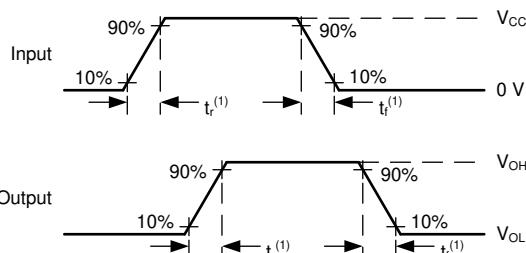


図 6-3. 電圧波形、標準 CMOS 入力のセットアップ時間とホールド時間



(1) t_{PLH} と t_{PHL} の大きい方が t_{pd} に相当します。

図 6-4. 電圧波形、標準 CMOS 入力の伝搬遅延



(1) t_r と t_f の大きい方が t_t に相当します。

図 6-5. 電圧波形、標準 CMOS 入力に対する入力と出力の遷移時間

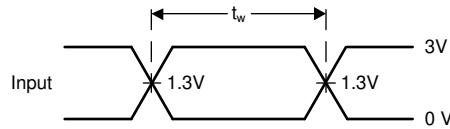


図 6-6. 電圧波形、TTL 互換 CMOS 入力パルス幅

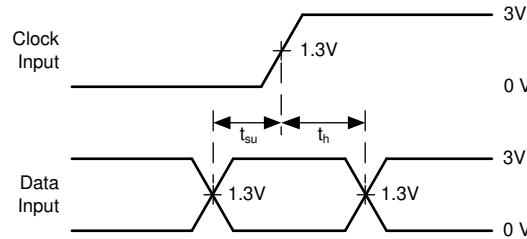
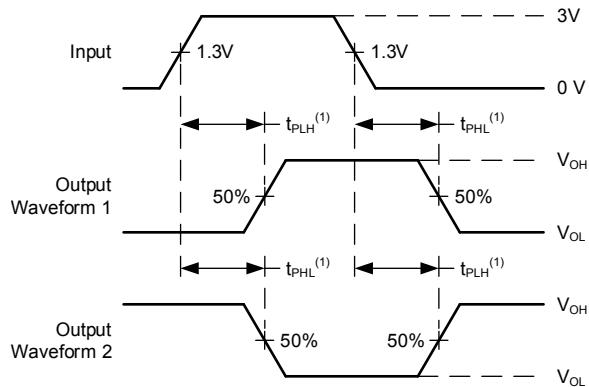


図 6-7. 電圧波形、TTL 互換 CMOS 入力のセットアップ時間とホールド時間



(1) t_{PLH} と t_{PHL} の大きい方が t_{pd} に相当します。

図 6-8. 電圧波形、TTL 互換入力の伝搬遅延

7 詳細説明

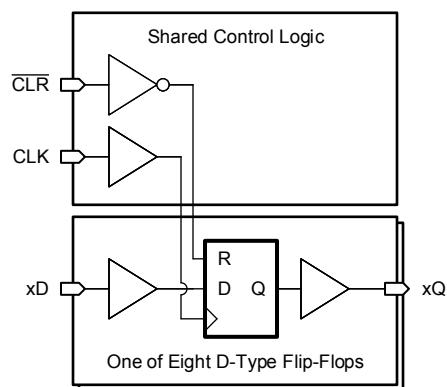
7.1 概要

CDxHC(T)273 デバイスは、8 つのポジティブ エッジ リガの D タイプ フリップ フロップで、アクティブ low 共有の直接クリア (\overline{CLR}) 入力を備えています。

セットアップ時間の要件を満たすデータ (D) 入力の情報は、クロック (CLK) パルスの立ち上がりエッジで (Q) 出力に転送されます。クロックのリガは、特定の電圧レベルで発生し、立ち上がりパルスの遷移時間とは直接関係しません。CLK が High レベルまたは Low レベルのとき、または High レベルから Low レベルに遷移する途中のとき、D 入力は出力に影響を与えません。

データ (Q) 出力の情報は、クリア (\overline{CLR}) ピンへの Low レベル入力によって非同期的にクリアできます。

7.2 機能ブロック図



7.3 機能説明

7.3.1 平衡化された CMOS プッシュプル出力

このデバイスには、平衡化された CMOS プッシュプル出力が内蔵されています。「平衡化」という用語は、デバイスが同様の電流をシンクおよびソースできることを示します。このデバイスの駆動能力により、軽負荷に高速エッジが生成される場合があるため、リングングを防ぐために配線と負荷の条件を考慮する必要があります。さらに、このデバイスの出力は、デバイスを損傷することなく維持できる以上に大きな電流を駆動できます。過電流による損傷を防止するため、デバイスの出力電力を制限することが重要です。「絶対最大定格」で定義されている電気的および熱的制限を常に順守してください。

未使用のプッシュプル CMOS 出力は、未接続のままにしておく必要があります。

7.3.2 標準 CMOS 入力

このデバイスには、標準 CMOS 入力が搭載されています。標準 CMOS 入力は高インピーダンスであり、通常は電気的特性に示されている入力容量と並列の抵抗としてモデル化されます。ワーストケースの抵抗は、「絶対最大定格」に示されている最大入力電圧と、「電気的特性」に示されている最大入力リーク電流からオームの法則 ($R = V \div I$) を使用して計算されます。

標準 CMOS 入力では、「推奨動作条件」表の入力遷移時間またはレートで定義されるように、有効なロジック状態間で入力信号を迅速に遷移させる必要があります。この仕様を満たさないと、消費電力が過剰になり、発振の原因となる可能性があります。詳細については、『低速またはフローティング CMOS 入力の影響』を参照してください。

動作中は、標準 CMOS 入力をフローティングのままにしないでください。未使用の入力は、 V_{CC} または GND に終端させる必要があります。システムが入力を常にアクティブに駆動している訳ではない場合、システムが入力をアクティブに駆動していないときに有効な入力電圧を与えるため、プルアップまたはプルダウン抵抗を追加できます。抵抗値は複数の要因で決まりますが、 $10k\Omega$ の抵抗を推奨します。通常はこれですべての要件を満たします。

7.3.3 TTL 互換 CMOS 入力

このデバイスには、TTL 互換の CMOS 入力が搭載されています。これらの入力は、入力電圧スレッショルドを下げることで TTL ロジックデバイスと接続するように特に設計されています。

TTL 互換 CMOS 入力は高インピーダンスであり、通常は「電気的特性」に示されている入力容量と並列の抵抗としてモデル化されます。ワーストケースの抵抗は、「絶対最大定格」に示されている最大入力電圧と、「電気的特性」に示されている最大入力リーク電流からオームの法則 ($R = V \div I$) を使用して計算されます。

TTL 互換 CMOS 入力では、「推奨動作条件」表の入力遷移時間またはレートで定義されるように、有効なロジック状態間で入力信号を迅速に遷移させる必要があります。この仕様を満たさないと、消費電力が過剰になり、発振の原因となる可能性があります。詳細については、『低速またはフローティング CMOS 入力の影響』アプリケーションレポートを参照してください。

動作中は、TTL 互換 CMOS 入力をフローティングのままにしないでください。未使用の入力は、 V_{CC} または GND に終端させる必要があります。システムが常に入力をアクティブに駆動していない場合は、プルアップまたはプルダウン抵抗を追加して、これらの時間中に有効な入力電圧を供給できます。抵抗値は複数の要因によって決まりますが、 $10k\Omega$ の抵抗を推奨します。通常はこれですべての要件を満たします。

7.3.4 クランプダイオード構造

図 7-1 に示すように、このデバイスの入力と出力には正と負の両方のクランプダイオードがあります。

注意

絶対最大定格表に規定されている値を超える電圧は、デバイスに損傷を与える可能性があります。入力と出力のクランプ電流の定格を順守しても、入力と出力の電圧定格を超えることがあります。

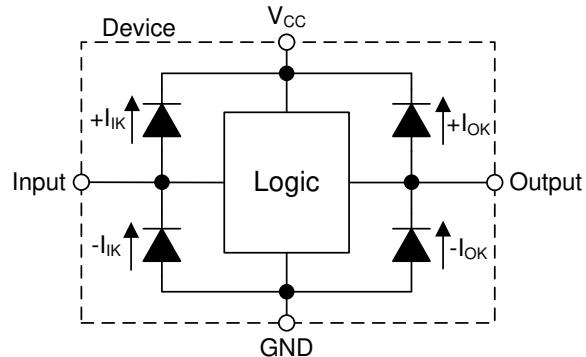


図 7-1. 各入力と出力に対するクランプダイオードの電気的配置

7.4 デバイスの機能モード

表 7-1. 機能表

入力 ⁽¹⁾			出力 ⁽²⁾
CLR	CLK	D	Q
L	X	X	L
H	L, H, ↓	X	Q ₀
H	↑	L	L
H	↑	H	H

- (1) L = 入力 low, H = 入力 high, ↑ = 入力が low から high に遷移、
↓ = 入力が high から low に遷移、X = ドントケア
(2) L = 出力 low, H = 出力 high, Q₀ = 前の状態

8 アプリケーションと実装

注

以下のアプリケーション情報は、TI の製品仕様に含まれるものではなく、TI ではその正確性または完全性を保証いたしません。個々の目的に対する製品の適合性については、お客様の責任で判断していただくことになります。お客様は自身の設計実装を検証しテストすることで、システムの機能を確認する必要があります。

8.1 アプリケーション情報

CDxHC(T)273 は、入力データを 8 ビットバス上のシステムクロックに同期させるために使用されます。

8.2 代表的なアプリケーション

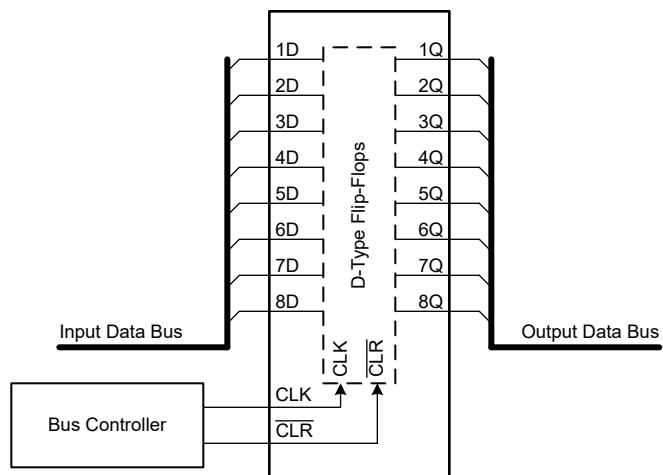


図 8-1. 代表的なアプリケーションの図

8.2.1 設計要件

8.2.1.1 電源に関する考慮事項

求める電源電圧が「電気的特性」で規定されている範囲内であることを確認します。「電気的特性」セクションに記載されているように、電源電圧は本デバイスの電気的特性を決定づけます。

正電圧の電源は、CDxHC(T)273 のすべての出力によってソースされる総電流、「電気的特性」に記載された静的消費電流 (I_{CC}) の最大値、スイッチングに必要な任意の過渡電流の合計に等しい電流を供給できる必要があります。ロジックデバイスは、正の電源から供給される電流のみをソースできます。「絶対最大定格」に記載された V_{CC} 総電流の最大値を超えないようにしてください。

グランドは、CDxHC(T)273 のすべての出力によってシンクされる総電流、「電気的特性」に記載された消費電流 (I_{CC}) の最大値、スイッチングに必要な任意の過渡電流の合計に等しい電流をシンクできる必要があります。ロジックデバイスは、グランド接続にシンクできる電流のみをシンクできます。「絶対最大定格」に記載された GND 総電流の最大値を超えないようにしてください。

CDxHC(T)273 は、データシートの仕様をすべて満たしつつ、合計容量 50pF 以下の負荷を駆動できます。これより大きな容量性負荷を印加することができますが、 50pF を超えることは推奨しません。

CDxHC(T)273 は、「電気的特性」表に定義されている出力電圧および電流 (V_{OH} および V_{OL}) で、 $R_L \geq V_O / I_O$ で記述される合計抵抗の負荷を駆動できます。High 状態で出力する場合、この式の出力電圧は、測定した出力電圧と V_{CC} ピンの電源電圧の差として定義されます。

総消費電力は、[CMOS の消費電力と \$C_{PD}\$ の計算](#) アプリケーション ノート に記載された情報を使って計算できます。

温度の上昇は、[標準リニアおよびロジック \(SLL\) パッケージおよびデバイスの熱特性](#) アプリケーション ノート に記載された情報を使って計算できます。

注意

絶対最大定格に記載された最大接合部温度 ($T_{J(max)}$) は、本デバイスの損傷を防止するための追加の制限値です。絶対最大定格に記載されたすべての制限値を必ず満たすようにしてください。これらの制限値は、デバイスへの損傷を防ぐために規定されています。

8.2.1.2 入力に関する考慮事項

入力信号は、 $V_{IL(max)}$ を超えるとロジック LOW と見なされ、 $V_{IH(min)}$ を超えるとロジック HIGH と見なされます。「絶対最大定格」に記載された最大入力電圧範囲を超えないようにしてください。

未使用の入力は、 V_{CC} またはグランドに終端させる必要があります。入力がまったく使われていない場合は、未使用の入力を直接終端させることができます。入力が常時ではなく、時々使用される場合は、プルアップ抵抗かプルダウン抵抗と接続することも可能です。デフォルト状態が HIGH の場合にはプルアップ抵抗、デフォルト状態が LOW の場合にはプルダウン抵抗を使用します。コントローラの駆動電流、CDxHC(T)273 へのリーク電流（「電気的特性」で規定）、および必要な入力遷移レートによって抵抗のサイズが制限されます。こうした要因により $10\text{k}\Omega$ の抵抗値がしばしば使用されます。

CDxHC(T)273 は CMOS 入力を備えているため、正しく動作するには、「電気的特性」の表で定義されているように、速い入力遷移が必要です。入力遷移が遅いと発振が発生し、消費電力の増大やデバイスの信頼性の低下を招くことがあります。

このデバイスの入力の詳細については、「機能説明」を参照してください。

8.2.1.3 出力に関する考慮事項

正の電源電圧を使用して、出力 HIGH 電圧を生成します。出力から電流を引き出すと、「電気的特性」の V_{OH} 仕様で規定されたように出力電圧が低下します。グランド電圧を使用して、出力 LOW 電圧を生成します。出力に電流をシンクすると、「電気的特性」の V_{OL} 仕様で規定されたように出力電圧が上昇します。

非常に短い期間であっても、逆の状態になる可能性があるプッシュプル出力は、互いに直接接続しないでください。これは、過電流やデバイスへの損傷を引き起こす可能性があります。

同じ入力信号を持つ同一デバイス内の 2 つのチャネルを並列に接続することにより、出力駆動の強度を高めることができます。

未使用の出力はフローティングのままにできます。出力を V_{CC} またはグランドに直接接続しないようにしてください。

本デバイスの出力の詳細については、「機能説明」セクションを参照してください。

8.2.2 詳細な設計手順

1. V_{CC} と GND の間にデカップリング コンデンサを追加します。このコンデンサは、物理的にデバイスの近く、かつ V_{CC} ピンと GND ピンの両方に電気的に近づけて配置する必要があります。レイアウト例を「レイアウト」セクションに示します。
2. 出力の容量性負荷は、必ず 50pF 以下になるようにします。これは厳密な制限ではありませんが、設計上、性能が最適化されます。これは、CDxHC(T)273 から 1 つまたは複数の受信デバイスまでのトレースを短い適切なサイズにすることによって実現できます。
3. 出力の抵抗性負荷を $(V_{CC} / I_{O(\text{max})})\Omega$ より大きくします。これを行うと、絶対最大定格の最大出力電流に違反するのを防ぐことができます。ほとんどの CMOS 入力は、 $\text{M}\Omega$ 単位で測定される抵抗性負荷を備えています。これは、上記で計算される最小値よりはるかに大きい値です。
4. 熱の問題がロジック ゲートにとって問題となることはほとんどありません。ただし、消費電力と熱の上昇は、[CMOS 消費電力と CPD の計算 アプリケーション レポート](#) に記載されている手順を使用して計算できます。

8.2.3 アプリケーション曲線

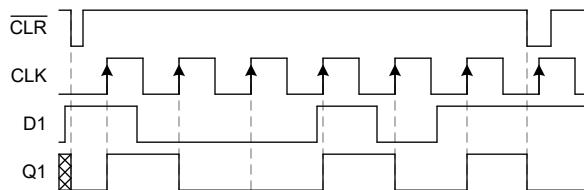


図 8-2. 「アプリケーションのタイミング図」、1 つのデータ チャネルを示します

8.3 電源に関する推奨事項

電源には、「推奨動作条件」に記載された電源電圧定格の最小値と最大値の間の任意の電圧を使用できます。

電源の外乱を防止するため、各 V_{CC} 端子に適切なバイパスコンデンサを配置することを確認します。CDxHC(T)273 には、 $0.1\mu F$ バイパスコンデンサを推奨します。異なる周波数のノイズを除去するため、複数のバイパスコンデンサを並列に配置します。通常、 $0.1\mu F$ と $1\mu F$ の値のコンデンサを並列にして使います。

8.4 レイアウト

8.4.1 レイアウトのガイドライン

- バイパスコンデンサの配置
 - デバイスの正電源端子の近くに配置
 - 電気的に短いグランド帰還パスを提供
 - インピーダンスを最小化するため、広いパターンを使用
 - 可能な場合はいつでも、ボードの同じ側にデバイス、コンデンサ、パターンを配置
- 信号トレースの形状
 - $8\text{mil} \sim 12\text{mil}$ のトレース幅
 - 伝送ラインの影響を最小化する 12cm 未満の長さ
 - 信号トレースの 90° のコーナーは避ける
 - 信号トレースの下に、途切れのないグランドプレーンを使用
 - 信号トレース周辺の領域をグランドでフラッドフィル
 - 平行配線は、3倍以上の誘電体厚で分離する必要があります
 - 12cm を超えるパターン用
 - インピーダンス制御トレースを使用
 - 出力の近くに直列ダンピング抵抗を使用して、ソース終端
 - 分岐を回避。個別に分岐が必要なバッファ信号

8.4.2 レイアウト例

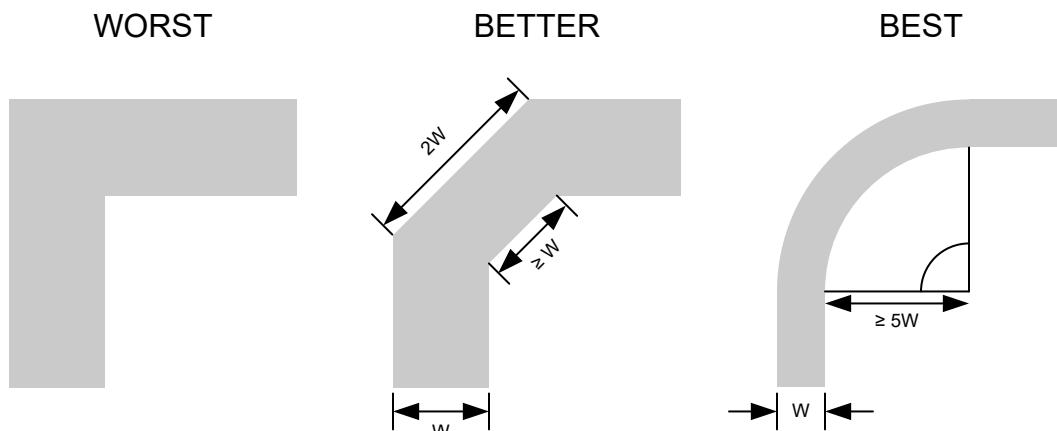


図 8-3. シグナルインテグリティ向上のためのサンプルパターンのコーナー

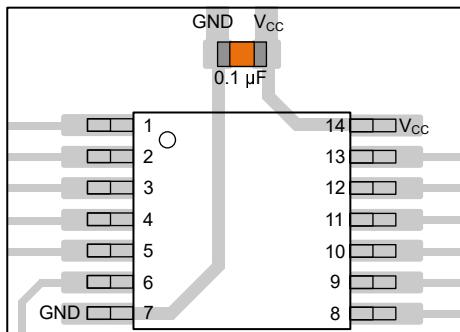


図 8-4. TSSOP や類似のパッケージに対応するバイパス コンデンサの配置例

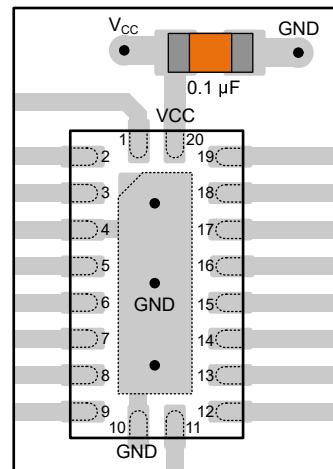


図 8-5. WQFN や類似のパッケージに対応するバイパス コンデンサの配置例

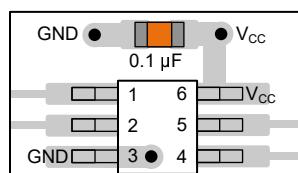


図 8-6. SOT、SC70、および類似のパッケージに対応するバイパス コンデンサの配置例

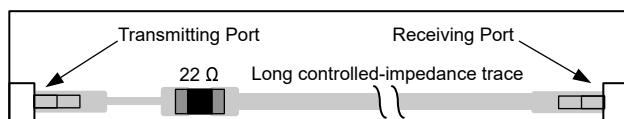


図 8-7. シグナル インテグリティ向上のためのダンピング抵抗の配置例

9 デバイスおよびドキュメントのサポート

テキサス・インスツルメンツは、幅広い開発ツールを提供しています。デバイスの性能の評価、コードの生成、ソリューションの開発を行うためのツールとソフトウェアを以下で紹介します。

9.1 ドキュメントのサポート

9.1.1 関連資料

関連資料については、以下を参照してください。

- テキサス・インスツルメンツ、『CMOS の消費電力と C_{pd} の計算』アプリケーションノート
- テキサス・インスツルメンツ、『ロジック設計』アプリケーションノート
- テキサス・インスツルメンツ、『標準リニアおよびロジック (SLL) パッケージおよびデバイスの熱特性』アプリケーションノート

9.2 ドキュメントの更新通知を受け取る方法

ドキュメントの更新についての通知を受け取るには、www.tij.co.jp のデバイス製品フォルダを開いてください。[通知] をクリックして登録すると、変更されたすべての製品情報に関するダイジェストを毎週受け取ることができます。変更の詳細については、改訂されたドキュメントに含まれている改訂履歴をご覧ください。

9.3 サポート・リソース

テキサス・インスツルメンツ E2E™ サポート・フォーラムは、エンジニアが検証済みの回答と設計に関するヒントをエキスパートから迅速かつ直接得ることができる場所です。既存の回答を検索したり、独自の質問をしたりすることで、設計で必要な支援を迅速に得ることができます。

リンクされているコンテンツは、各寄稿者により「現状のまま」提供されるものです。これらはテキサス・インスツルメンツの仕様を構成するものではなく、必ずしもテキサス・インスツルメンツの見解を反映したものではありません。テキサス・インスツルメンツの [使用条件](#) を参照してください。

9.4 商標

テキサス・インスツルメンツ E2E™ is a trademark of Texas Instruments.

すべての商標は、それぞれの所有者に帰属します。

9.5 静電気放電に関する注意事項



この IC は、ESD によって破損する可能性があります。テキサス・インスツルメンツは、IC を取り扱う際には常に適切な注意を払うことを推奨します。正しい取り扱いおよび設置手順に従わない場合、デバイスを破損するおそれがあります。

ESD による破損は、わずかな性能低下からデバイスの完全な故障まで多岐にわたります。精密な IC の場合、パラメータがわずかに変化するだけで公表されている仕様から外れる可能性があるため、破損が発生しやすくなっています。

9.6 用語集

テキサス・インスツルメンツ用語集

この用語集には、用語や略語の一覧および定義が記載されています。

10 改訂履歴

資料番号末尾の英字は改訂を表しています。その改訂履歴は英語版に準じています。

Changes from Revision C (January 2022) to Revision D (October 2025)	Page
ドキュメント全体にわたって表、図、相互参照の採番方法を更新.....	1
をアプリケーション、アプリケーションと実装、代表的特性、代表的アプリケーション例のセクションを追加.....	1
電源に関する推奨事項を更新.....	1
レイアウトガイドラインを更新.....	1
レイアウトをアプリケーションおよび実装セクションに移動.....	1
「ピンの機能」表を追加.....	3

• ピン構成の図を更新.....	3
• 更新前:「スイッチング仕様の前提条件」を以下に変更:タイミング要件	6
• パラメータ測定情報の後に詳細説明を移動.....	10
• 機能説明を追加.....	10
• 機能説明の後にデバイスの機能モードを移動.....	10

Changes from Revision B (May 2003) to Revision C (January 2022)	Page
--	-------------

• 最新のデータシート規格を反映するように、文書全体の採番、書式設定、表、図、相互参照を更新.....	1
• 現行の TI の命名規則に合わせてピン名を以下のように更新。 \overline{MR} を \overline{CLR} に、Q0 を 1Q に、D0 を 1D に、D1 を 2D に、Q1 を 2Q に、Q2 を 3Q に、D2 を 3Q に、D3 を 4D に、Q3 を 4Q に、CP を CLK に、Q4 を 5Q に、D4 を 5D に、D5 を D6 に、Q5 を 6Q に、Q6 を 7Q に、D6 を 7D に、D7 を 8D に、Q7 を 8Q に更新.....	1

11 メカニカル、パッケージ、および注文情報

以降のページには、メカニカル、パッケージ、および注文に関する情報が記載されています。この情報は、指定のデバイスに使用できる最新のデータです。このデータは、予告なく、このドキュメントを改訂せずに変更される場合があります。本データシートのプラウザ版を使用されている場合は、画面左側の説明をご覧ください。

PACKAGING INFORMATION

Orderable part number	Status (1)	Material type (2)	Package Pins	Package qty Carrier	RoHS (3)	Lead finish/ Ball material (4)	MSL rating/ Peak reflow (5)	Op temp (°C)	Part marking (6)
5962-8772501RA	Active	Production	CDIP (J) 20	20 TUBE	No	SNPB	N/A for Pkg Type	-55 to 125	5962-8772501RA CD54HCT273F3A
CD54HC273F	Active	Production	CDIP (J) 20	20 TUBE	No	SNPB	N/A for Pkg Type	-55 to 125	CD54HC273F
CD54HC273F.A	Active	Production	CDIP (J) 20	20 TUBE	No	SNPB	N/A for Pkg Type	-55 to 125	CD54HC273F
CD54HC273F3A	Active	Production	CDIP (J) 20	20 TUBE	No	SNPB	N/A for Pkg Type	-55 to 125	8409901RA CD54HC273F3A
CD54HC273F3A.A	Active	Production	CDIP (J) 20	20 TUBE	No	SNPB	N/A for Pkg Type	-55 to 125	8409901RA CD54HC273F3A
CD54HCT273F	Active	Production	CDIP (J) 20	20 TUBE	No	SNPB	N/A for Pkg Type	-55 to 125	CD54HCT273F
CD54HCT273F.A	Active	Production	CDIP (J) 20	20 TUBE	No	SNPB	N/A for Pkg Type	-55 to 125	CD54HCT273F
CD54HCT273F3A	Active	Production	CDIP (J) 20	20 TUBE	No	SNPB	N/A for Pkg Type	-55 to 125	5962-8772501RA CD54HCT273F3A
CD54HCT273F3A.A	Active	Production	CDIP (J) 20	20 TUBE	No	SNPB	N/A for Pkg Type	-55 to 125	5962-8772501RA CD54HCT273F3A
CD74HC273E	Active	Production	PDIP (N) 20	20 TUBE	Yes	NIPDAU	N/A for Pkg Type	-55 to 125	CD74HC273E
CD74HC273E.A	Active	Production	PDIP (N) 20	20 TUBE	Yes	NIPDAU	N/A for Pkg Type	-55 to 125	CD74HC273E
CD74HC273M	Obsolete	Production	SOIC (DW) 20	-	-	Call TI	Call TI	-55 to 125	HC273M
CD74HC273M96	Active	Production	SOIC (DW) 20	2000 LARGE T&R	Yes	NIPDAU	Level-1-260C-UNLIM	-55 to 125	HC273M
CD74HC273M96.A	Active	Production	SOIC (DW) 20	2000 LARGE T&R	Yes	NIPDAU	Level-1-260C-UNLIM	-55 to 125	HC273M
CD74HC273M96E4	Active	Production	SOIC (DW) 20	2000 LARGE T&R	Yes	NIPDAU	Level-1-260C-UNLIM	-55 to 125	HC273M
CD74HCT273E	Active	Production	PDIP (N) 20	20 TUBE	Yes	NIPDAU	N/A for Pkg Type	-55 to 125	CD74HCT273E
CD74HCT273E.A	Active	Production	PDIP (N) 20	20 TUBE	Yes	NIPDAU	N/A for Pkg Type	-55 to 125	CD74HCT273E
CD74HCT273EE4	Active	Production	PDIP (N) 20	20 TUBE	Yes	NIPDAU	N/A for Pkg Type	-55 to 125	CD74HCT273E
CD74HCT273M	Obsolete	Production	SOIC (DW) 20	-	-	Call TI	Call TI	-55 to 125	HCT273M
CD74HCT273M96	Active	Production	SOIC (DW) 20	2000 LARGE T&R	Yes	NIPDAU	Level-1-260C-UNLIM	-55 to 125	HCT273M
CD74HCT273M96.A	Active	Production	SOIC (DW) 20	2000 LARGE T&R	Yes	NIPDAU	Level-1-260C-UNLIM	-55 to 125	HCT273M

⁽¹⁾ **Status:** For more details on status, see our [product life cycle](#).

(2) Material type: When designated, preproduction parts are prototypes/experimental devices, and are not yet approved or released for full production. Testing and final process, including without limitation quality assurance, reliability performance testing, and/or process qualification, may not yet be complete, and this item is subject to further changes or possible discontinuation. If available for ordering, purchases will be subject to an additional waiver at checkout, and are intended for early internal evaluation purposes only. These items are sold without warranties of any kind.

(3) RoHS values: Yes, No, RoHS Exempt. See the [TI RoHS Statement](#) for additional information and value definition.

(4) Lead finish/Ball material: Parts may have multiple material finish options. Finish options are separated by a vertical ruled line. Lead finish/Ball material values may wrap to two lines if the finish value exceeds the maximum column width.

(5) MSL rating/Peak reflow: The moisture sensitivity level ratings and peak solder (reflow) temperatures. In the event that a part has multiple moisture sensitivity ratings, only the lowest level per JEDEC standards is shown. Refer to the shipping label for the actual reflow temperature that will be used to mount the part to the printed circuit board.

(6) Part marking: There may be an additional marking, which relates to the logo, the lot trace code information, or the environmental category of the part.

Multiple part markings will be inside parentheses. Only one part marking contained in parentheses and separated by a "~" will appear on a part. If a line is indented then it is a continuation of the previous line and the two combined represent the entire part marking for that device.

Important Information and Disclaimer: The information provided on this page represents TI's knowledge and belief as of the date that it is provided. TI bases its knowledge and belief on information provided by third parties, and makes no representation or warranty as to the accuracy of such information. Efforts are underway to better integrate information from third parties. TI has taken and continues to take reasonable steps to provide representative and accurate information but may not have conducted destructive testing or chemical analysis on incoming materials and chemicals. TI and TI suppliers consider certain information to be proprietary, and thus CAS numbers and other limited information may not be available for release.

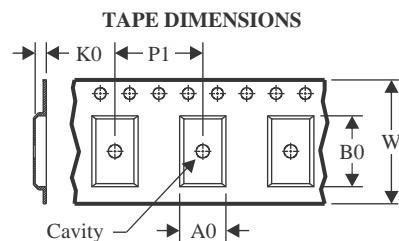
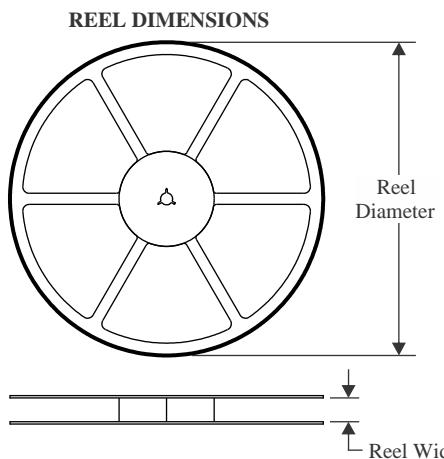
In no event shall TI's liability arising out of such information exceed the total purchase price of the TI part(s) at issue in this document sold by TI to Customer on an annual basis.

OTHER QUALIFIED VERSIONS OF CD54HC273, CD54HCT273, CD74HC273, CD74HCT273 :

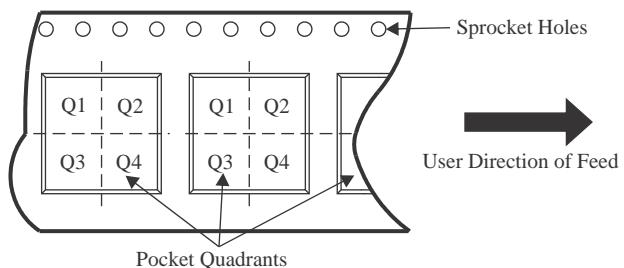
- Catalog : [CD74HC273](#), [CD74HCT273](#)
- Military : [CD54HC273](#), [CD54HCT273](#)

NOTE: Qualified Version Definitions:

- Catalog - TI's standard catalog product
- Military - QML certified for Military and Defense Applications

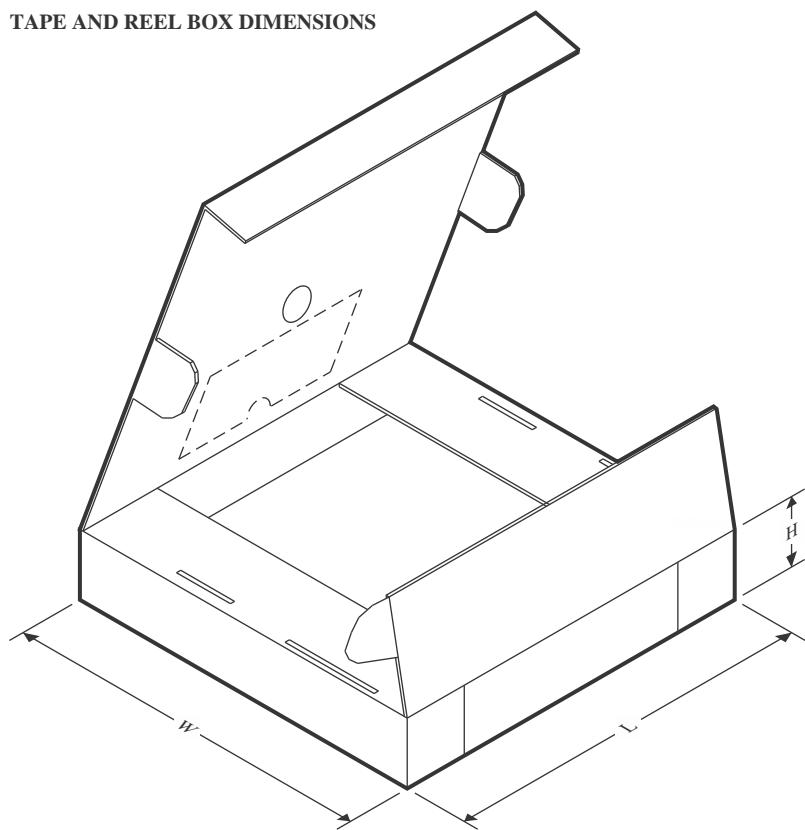
TAPE AND REEL INFORMATION


A0	Dimension designed to accommodate the component width
B0	Dimension designed to accommodate the component length
K0	Dimension designed to accommodate the component thickness
W	Overall width of the carrier tape
P1	Pitch between successive cavity centers

QUADRANT ASSIGNMENTS FOR PIN 1 ORIENTATION IN TAPE


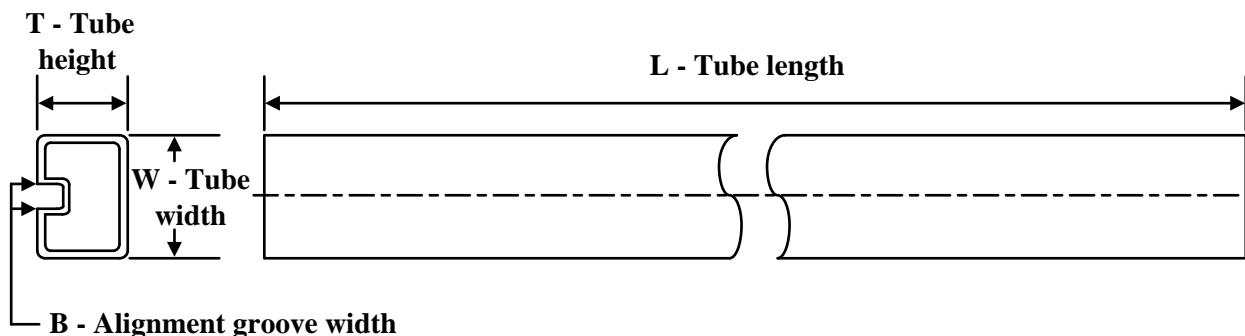
*All dimensions are nominal

Device	Package Type	Package Drawing	Pins	SPQ	Reel Diameter (mm)	Reel Width W1 (mm)	A0 (mm)	B0 (mm)	K0 (mm)	P1 (mm)	W (mm)	Pin1 Quadrant
CD74HC273M96	SOIC	DW	20	2000	330.0	24.4	10.9	13.3	2.7	12.0	24.0	Q1
CD74HC273M96	SOIC	DW	20	2000	330.0	24.4	10.8	13.3	2.7	12.0	24.0	Q1
CD74HCT273M96	SOIC	DW	20	2000	330.0	24.4	10.9	13.3	2.7	12.0	24.0	Q1
CD74HCT273M96	SOIC	DW	20	2000	330.0	24.4	10.8	13.3	2.7	12.0	24.0	Q1

TAPE AND REEL BOX DIMENSIONS


*All dimensions are nominal

Device	Package Type	Package Drawing	Pins	SPQ	Length (mm)	Width (mm)	Height (mm)
CD74HC273M96	SOIC	DW	20	2000	356.0	356.0	45.0
CD74HC273M96	SOIC	DW	20	2000	356.0	356.0	45.0
CD74HCT273M96	SOIC	DW	20	2000	356.0	356.0	45.0
CD74HCT273M96	SOIC	DW	20	2000	356.0	356.0	45.0

TUBE


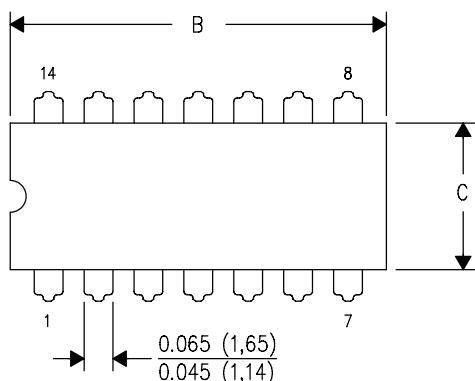
*All dimensions are nominal

Device	Package Name	Package Type	Pins	SPQ	L (mm)	W (mm)	T (μm)	B (mm)
CD74HC273E	N	PDIP	20	20	506	13.97	11230	4.32
CD74HC273E.A	N	PDIP	20	20	506	13.97	11230	4.32
CD74HCT273E	N	PDIP	20	20	506	13.97	11230	4.32
CD74HCT273E.A	N	PDIP	20	20	506	13.97	11230	4.32
CD74HCT273EE4	N	PDIP	20	20	506	13.97	11230	4.32

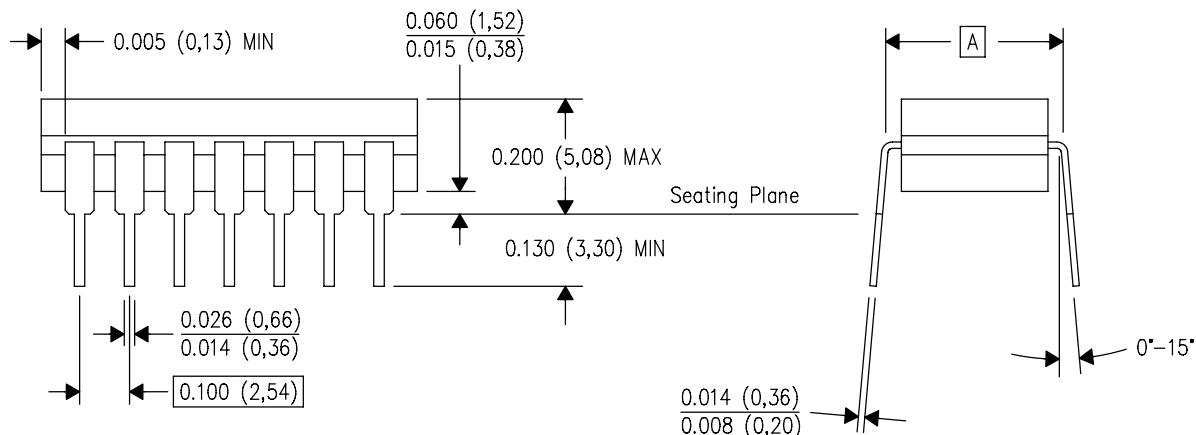
J (R-GDIP-T**)

14 LEADS SHOWN

CERAMIC DUAL IN-LINE PACKAGE



PINS ** DIM	14	16	18	20
A	0.300 (7,62) BSC	0.300 (7,62) BSC	0.300 (7,62) BSC	0.300 (7,62) BSC
B MAX	0.785 (19,94)	.840 (21,34)	0.960 (24,38)	1.060 (26,92)
B MIN	—	—	—	—
C MAX	0.300 (7,62)	0.300 (7,62)	0.310 (7,87)	0.300 (7,62)
C MIN	0.245 (6,22)	0.245 (6,22)	0.220 (5,59)	0.245 (6,22)



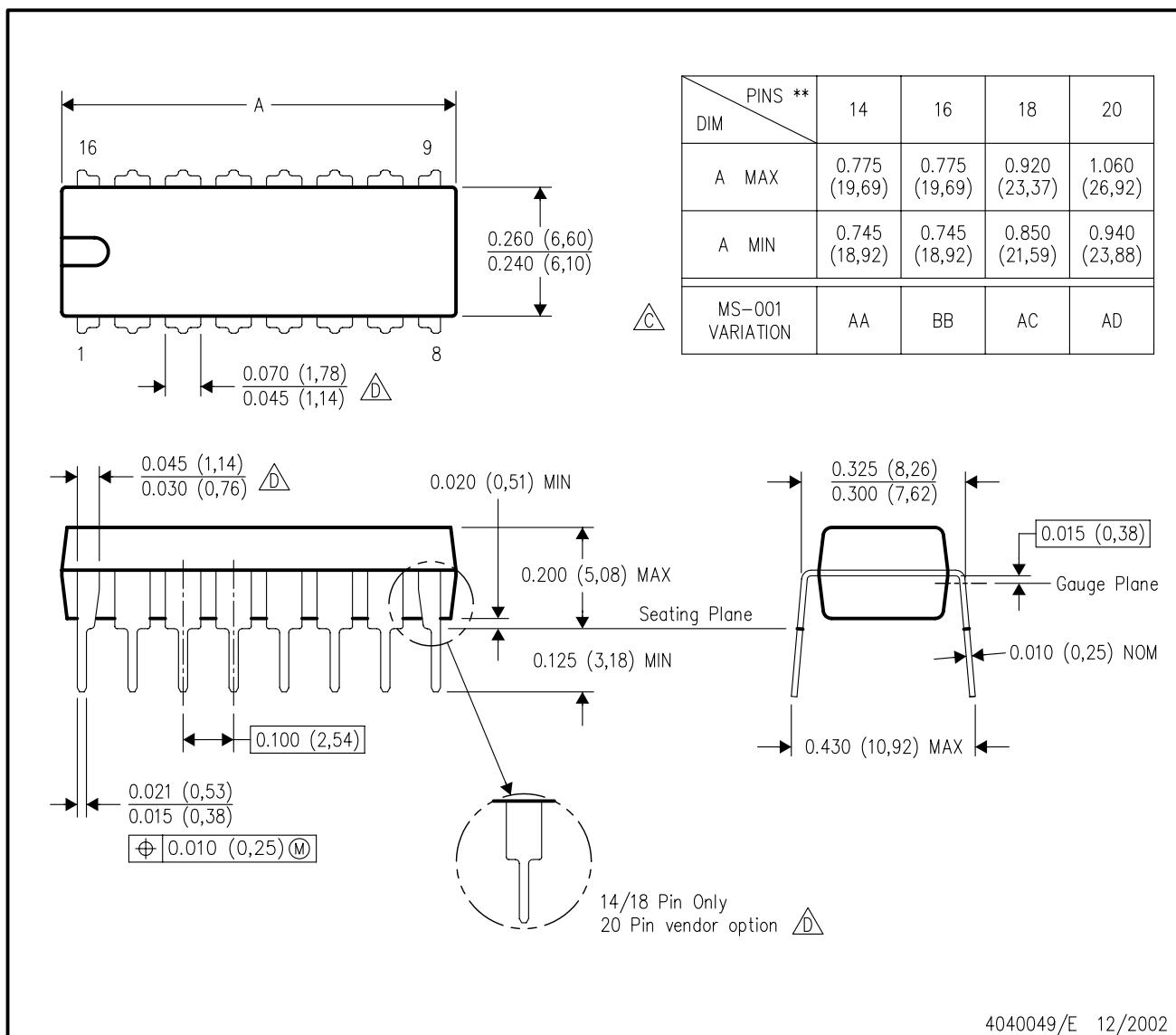
4040083/F 03/03

- NOTES: A. All linear dimensions are in inches (millimeters).
B. This drawing is subject to change without notice.
C. This package is hermetically sealed with a ceramic lid using glass frit.
D. Index point is provided on cap for terminal identification only on press ceramic glass frit seal only.
E. Falls within MIL STD 1835 GDIP1-T14, GDIP1-T16, GDIP1-T18 and GDIP1-T20.

N (R-PDIP-T**)

16 PINS SHOWN

PLASTIC DUAL-IN-LINE PACKAGE



NOTES: A. All linear dimensions are in inches (millimeters).
 B. This drawing is subject to change without notice.

△ Falls within JEDEC MS-001, except 18 and 20 pin minimum body length (Dim A).

△ The 20 pin end lead shoulder width is a vendor option, either half or full width.

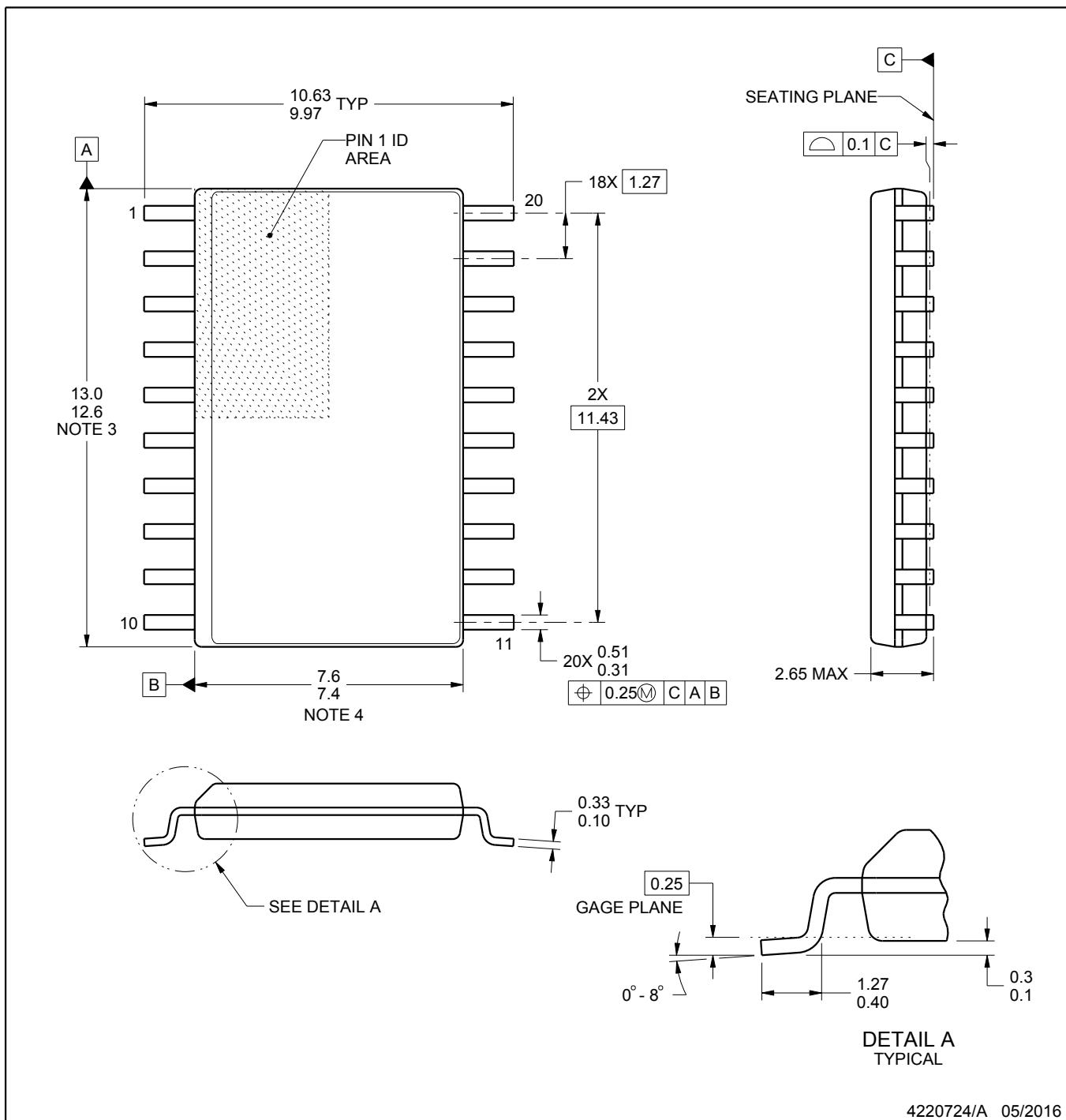
PACKAGE OUTLINE

DW0020A



SOIC - 2.65 mm max height

SOIC



NOTES:

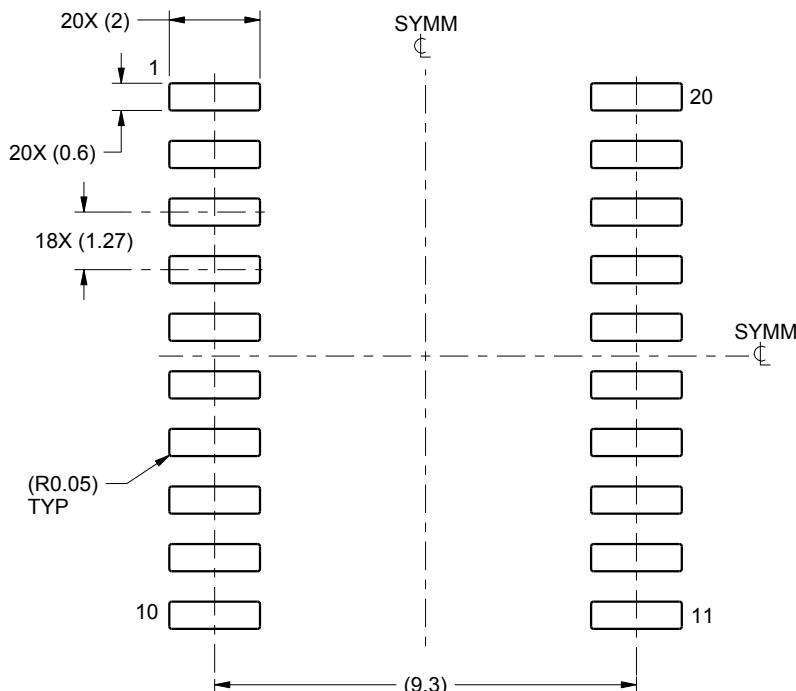
1. All linear dimensions are in millimeters. Dimensions in parenthesis are for reference only. Dimensioning and tolerancing per ASME Y14.5M.
2. This drawing is subject to change without notice.
3. This dimension does not include mold flash, protrusions, or gate burrs. Mold flash, protrusions, or gate burrs shall not exceed 0.15 mm per side.
4. This dimension does not include interlead flash. Interlead flash shall not exceed 0.43 mm per side.
5. Reference JEDEC registration MS-013.

EXAMPLE BOARD LAYOUT

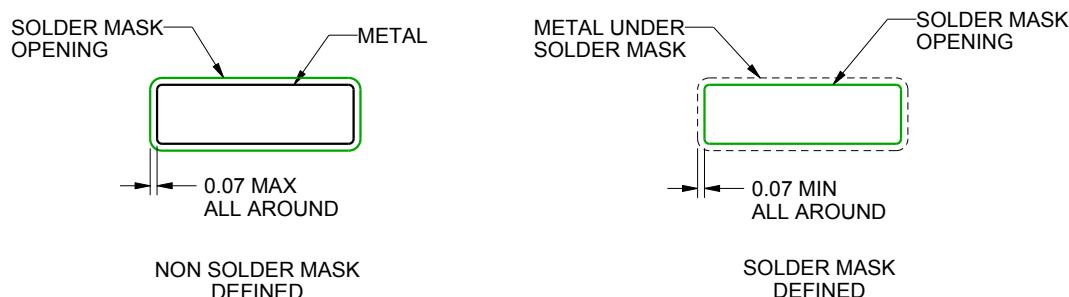
DW0020A

SOIC - 2.65 mm max height

SOIC



LAND PATTERN EXAMPLE
SCALE:6X



SOLDER MASK DETAILS

4220724/A 05/2016

NOTES: (continued)

6. Publication IPC-7351 may have alternate designs.

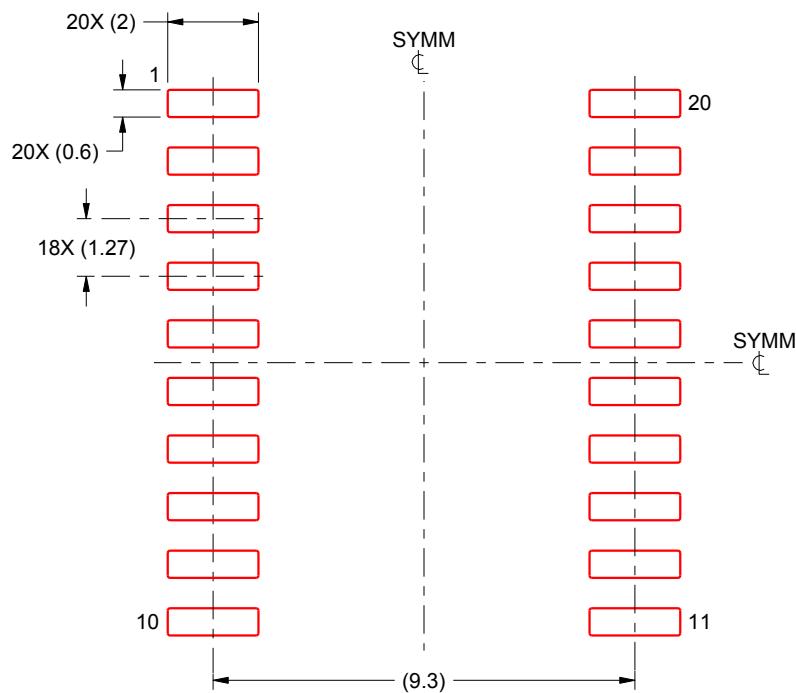
7. Solder mask tolerances between and around signal pads can vary based on board fabrication site.

EXAMPLE STENCIL DESIGN

DW0020A

SOIC - 2.65 mm max height

SOIC



SOLDER PASTE EXAMPLE
BASED ON 0.125 mm THICK STENCIL
SCALE:6X

4220724/A 05/2016

NOTES: (continued)

8. Laser cutting apertures with trapezoidal walls and rounded corners may offer better paste release. IPC-7525 may have alternate design recommendations.
9. Board assembly site may have different recommendations for stencil design.

重要なお知らせと免責事項

TI は、技術データと信頼性データ (データシートを含みます)、設計リソース (リファレンス デザインを含みます)、アプリケーションや設計に関する各種アドバイス、Web ツール、安全性情報、その他のリソースを、欠陥が存在する可能性のある「現状のまま」提供しており、商品性および特定目的に対する適合性の默示保証、第三者の知的財産権の非侵害保証を含むいかなる保証も、明示的または默示的にかかわらず拒否します。

これらのリソースは、TI 製品を使用する設計の経験を積んだ開発者への提供を意図したもので、(1) お客様のアプリケーションに適した TI 製品の選定、(2) お客様のアプリケーションの設計、検証、試験、(3) お客様のアプリケーションに該当する各種規格や、他のあらゆる安全性、セキュリティ、規制、または他の要件への確実な適合に関する責任を、お客様のみが単独で負うものとします。

上記の各種リソースは、予告なく変更される可能性があります。これらのリソースは、リソースで説明されている TI 製品を使用するアプリケーションの開発の目的でのみ、TI はその使用をお客様に許諾します。これらのリソースに関して、他の目的で複製することや掲載することは禁止されています。TI や第三者の知的財産権のライセンスが付与されている訳ではありません。お客様は、これらのリソースを自身で使用した結果発生するあらゆる申し立て、損害、費用、損失、責任について、TI およびその代理人を完全に補償するものとし、TI は一切の責任を拒否します。

TI の製品は、[TI の販売条件](#)、[TI の総合的な品質ガイドライン](#)、[ti.com](#) または TI 製品などに関連して提供される他の適用条件に従い提供されます。TI がこれらのリソースを提供することは、適用される TI の保証または他の保証の放棄の拡大や変更を意味するものではありません。TI がカスタム、またはカスタマー仕様として明示的に指定していない限り、TI の製品は標準的なカタログに掲載される汎用機器です。

お客様がいかなる追加条項または代替条項を提案する場合も、TI はそれらに異議を唱え、拒否します。

Copyright © 2025, Texas Instruments Incorporated

最終更新日：2025 年 10 月