

CDx4ACT08 クワッド 2 入力正論理 AND ゲート

1 特長

- 入力は TTL 電圧互換
- バイポーラ F、AS、S の速度と消費電力の大幅な低減
- 伝搬遅延時間の平衡化
- バッファ付き入力
- $\pm 24\text{mA}$ 出力駆動電流
 - 15 F デバイスへのファンアウト
- SCR ラッチアップ耐性の高い CMOS プロセスと回路設計
- MIL-STD-883、Method 3015 に準拠した 2kV を超える ESD 保護

2 概要

'ACT08 デバイスは、クワッド 2 入力正論理 AND ゲートです。これらのデバイスは、ブール関数 $Y = A \cdot B$ を正論理で実行します。

製品情報

部品番号	パッケージ ⁽¹⁾	パッケージサイズ ⁽²⁾	本体サイズ ⁽³⁾
CDx4ACT08	N (PDIP, 14)	19.3mm × 9.4mm	19.3mm × 6.35mm
	D (SOIC, 14)	8.65 mm × 6 mm	8.65 mm × 3.91 mm
	J (CDIP, 14)	19.56mm × 7.9mm	19.56mm × 6.67mm

- (1) 詳細については、「[メカニカル](#)、[パッケージ](#)、および[注文情報](#)」を参照してください。
- (2) パッケージサイズ (長さ × 幅) は公称値であり、該当する場合はピンも含まれます。
- (3) 本体サイズ (長さ × 幅) は公称値であり、ピンは含まれません。



各ゲートの論理図 (正論理)



目次

1 特長.....	1	6.2 デバイスの機能モード.....	8
2 概要.....	1	7 アプリケーションと実装.....	9
3 ピン構成および機能.....	3	7.1 電源に関する推奨事項.....	9
4 仕様.....	4	7.2 レイアウト.....	9
4.1 絶対最大定格.....	4	8 デバイスおよびドキュメントのサポート.....	10
4.2 ESD 定格.....	4	8.1 ドキュメントのサポート (アナログ).....	10
4.3 推奨動作条件.....	4	8.2 ドキュメントの更新通知を受け取る方法.....	10
4.4 熱に関する情報.....	4	8.3 サポート・リソース.....	10
4.5 電気的特性.....	5	8.4 商標.....	10
4.6 スイッチング特性.....	5	8.5 静電気放電に関する注意事項.....	10
4.7 動作特性.....	5	8.6 用語集.....	10
5 パラメータ測定情報.....	6	9 改訂履歴.....	10
6 詳細説明.....	8	10 メカニカル、パッケージ、および注文情報.....	10
6.1 機能ブロック図.....	8		

3 ピン構成および機能

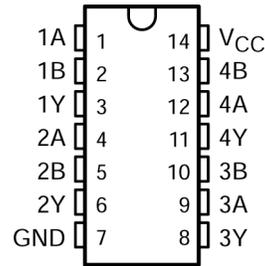


図 3-1. CD54ACT08 J パッケージ、14 ピン CDIP。CD74ACT08 N または D パッケージ、14 ピン PDIP または SOIC (上面図)

表 3-1. ピンの機能

ピン		I/O	説明
名称	番号		
1A	1	入力	チャンネル 1、入力 A
1B	2	入力	チャンネル 1、入力 B
1Y	3	出力	チャンネル 1、出力 Y
2A	4	入力	チャンネル 2、入力 A
2B	5	入力	チャンネル 2、入力 B
2Y	6	出力	チャンネル 2、出力 Y
GND	7	—	グラウンド
3Y	8	出力	チャンネル 3、出力 Y
3A	9	入力	チャンネル 3、入力 A
3B	10	入力	チャンネル 3、入力 B
4Y	11	出力	チャンネル 4、出力 Y
4A	12	入力	チャンネル 4、入力 A
4B	13	入力	チャンネル 4、入力 B
V _{CC}	14	—	正の電源

4 仕様

4.1 絶対最大定格

自由気流での動作温度範囲内 (特に記述のない限り) ⁽¹⁾

		最小値	最大値	単位
V _{CC}	電源電圧範囲	-0.5	6	V
I _{IK} ⁽²⁾	入力クランプ電流	(V _I < 0 または V _I > V _{CC})		±20 mA
I _{OK} ⁽²⁾	出力クランプ電流	(V _O < 0 または V _O > V _{CC})		±50 mA
I _O	連続出力電流	(V _O = 0 ~ V _{CC})		±50 mA
V _{CC} または GND を通過する連続電流				±100 mA
T _{stg}	保管温度範囲	-65°C	150	°C

- (1) 「絶対最大定格」に示された値を上回るストレスが加わった場合、デバイスに永続的な損傷が発生する可能性があります。これらは、ストレス定格のみを示すものであり、これらの条件や「推奨動作条件」に示された値を超える条件で、本製品が機能することを意味するものではありません。絶対最大定格の状態が長時間続くと、デバイスの信頼性に影響を与える可能性があります。
- (2) 入力と出力の電流定格を順守しても、入力と出力の電圧定格を超えることがあります。

4.2 ESD 定格

		値	単位
V _(ESD)	静電放電	人体モデル (HBM)、AEC Q100-002 ⁽¹⁾ HBM ESD 分類レベル 2 準拠	±2000 V

- (1) AEC Q100-002 には、HBM ストレス試験は ANSI/ESDA/JEDEC JS-001 仕様に従って実施することと規定されています。

4.3 推奨動作条件

自由気流での推奨動作温度範囲内 (特に記述のない限り)⁽¹⁾

		T _A = 25°C		-40°C ~ 85°C		-55°C ~ 125°C		単位
		最小値	最大値	最小値	最大値	最小値	最大値	
V _{CC}	電源電圧	4.5	5.5	4.5	5.5	4.5	5.5	V
V _{IH}	High レベル入力電圧	2		2		2		V
V _{IL}	Low レベル入力電圧	0.8		0.8		0.8		V
V _I	入力電圧	0	V _{CC}	0	V _{CC}	0	V _{CC}	V
V _O	出力電圧	0	V _{CC}	0	V _{CC}	0	V _{CC}	V
I _{OH}	High レベル出力電流	-24		-24		-24		mA
I _{OL}	Low レベル出力電流	24		24		24		mA
Δt/Δv	入力遷移の立ち上がりまたは立ち下がりレート	10		10		10		ns/V

- (1) デバイスが適切に動作するように、デバイスの未使用の入力はすべて、V_{CC} または GND に固定する必要があります。テキサス・インスツルメンツのアプリケーションレポート『低速またはフローティング CMOS 入力の影響』(文献番号 SCBA004) を参照してください。

4.4 熱に関する情報

	熱評価基準 ⁽¹⁾	CD74ACT08		単位
		N (PDIP)	D (SOIC)	
		14 ピン	14 ピン	
R _{θJA}	接合部から周囲への熱抵抗	80	119.9	°C/W

- (1) 従来および最新の熱評価基準の詳細については、『半導体および IC パッケージの熱評価基準』アプリケーションレポートを参照してください。

4.5 電気的特性

自由空気での推奨動作温度範囲内 (特に記述のない限り)

パラメータ	テスト条件		V _{CC}	T _A = 25°C		-40°C~85°C		-55°C~125°C		単位
				最小値	最大値	最小値	最大値	最小値	最大値	
V _{OH}	V _I = V _{IH} または V _{IL}	I _{OH} = -50μA	4.5 V	4.4	4.4	4.4			V	
		I _{OH} = -24mA	4.5 V	3.94	3.8	3.7				
		I _{OH} = -50 mA ⁽¹⁾	5.5 V			3.85				
		I _{OH} = -75 mA ⁽¹⁾	5.5 V		3.85					
V _{OL}	V _I = V _{IH} または V _{IL}	I _{OL} = 50μA	4.5 V	0.1	0.1	0.1		V		
		I _{OL} = 24mA	4.5 V	0.36	0.44	0.5				
		I _{OL} = 50 mA ⁽¹⁾	5.5 V			1.65				
		I _{OL} = 75 mA ⁽¹⁾	5.5 V		1.65					
I _I	V _I = V _{CC} または GND		5.5 V	±0.1	±1	±1		μA		
I _{CC}	V _I = V _{CC} または GND、 I _O = 0		5.5 V	4	40	80		μA		
ΔI _{CC}	V _I = V _{CC} - 2.1V		4.5V~5.5V	2.4	2.8	3		mA		
C _i				10	10	10		pF		

(1) 一度に 1 つの出力をテストし、持続時間が 1 秒を超えないようにします。測定は、示された電流を強制的に供給し、電圧を測定して消費電力を最小限に抑えます。このテストでは、85°C で最小 50Ω 伝送ライン駆動能力、125°C で 75Ω 伝送ライン駆動能力を検証します。

表 4-1. ACT 入力負荷表

入力	単位負荷
A または B	0.3

4.6 スイッチング特性

自由気流での推奨動作温度範囲内、V_{CC} = 5V±0.5V、C_L = 50pF (特に記述のない限り) (負荷回路および電圧波形を参照)

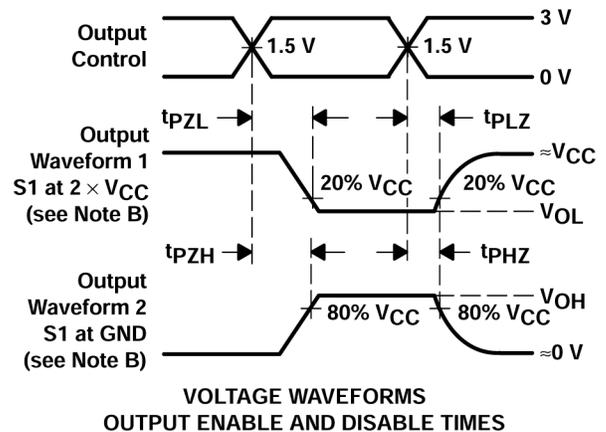
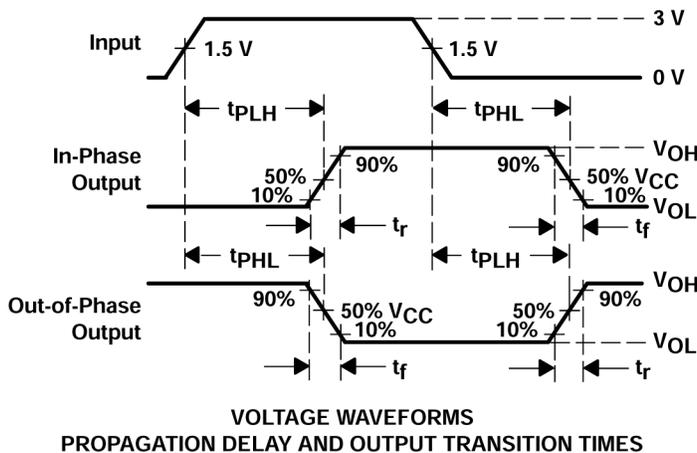
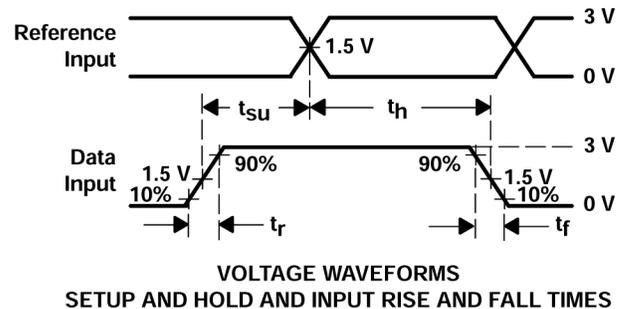
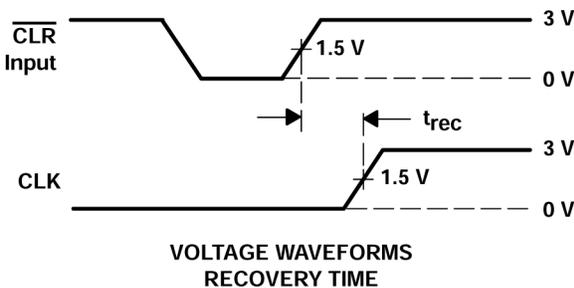
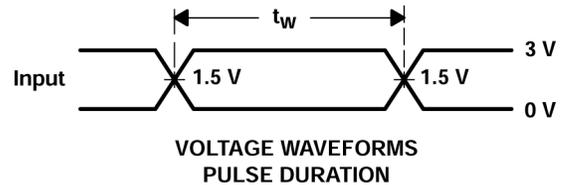
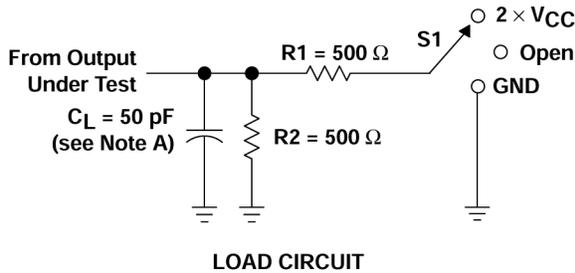
パラメータ	始点 (入力)	終点 (出力)	-40°C~85°C		-55°C~125°C		単位
			最小値	最大値	最小値	最大値	
t _{PLH}	A または B	Y	3.3	11.7	3.2	12.9	ns
t _{PHL}			3.3	11.7	3.2	12.9	

4.7 動作特性

V_{CC} = 5V、T_A = 25°C

パラメータ	代表値	単位
C _{pd} 電力散逸容量	50	pF

5 パラメータ測定情報



- A. C_L にはプローブとテスト装置の容量が含まれます。
- B. 波形 1 は、出力が Low になるような内部条件を持つ出力についてのものです。ただし、出力制御によってディスエーブルされている場合は除きます。波形 2 は、出力が High になるような内部条件を持つ出力についてのものです。ただし、出力制御によってディスエーブルされている場合は除きます。
- C. すべての入力パルスは、以下の特性を持つジェネレータによって供給されます。PRR \leq 1MHz、 $Z_O = 50\Omega$ 、 $t_r = 3ns$ 、 $t_f = 3ns$ 。波形間の位相関係は任意です。
- D. クロック入力の f_{max} は、入力デューティサイクルが 50% のときの測定値です。
- E. 出力は一度に 1 つずつ測定され、測定するたびに入力が 1 回遷移します。
- F. t_{PLH} と t_{PHL} は t_{pd} と同じです。
- G. t_{PZL} と t_{PZH} は t_{en} と同じです。
- H. t_{PLZ} と t_{PHZ} は t_{dis} と同じです。

図 5-1. 負荷回路および電圧波形

TEST	S1
t_{PLH}/t_{PHL}	オープン
t_{PLZ}/t_{PZL}	$2 \times V_{CC}$
t_{PHZ}/t_{PZH}	GND

6 詳細説明

6.1 機能ブロック図

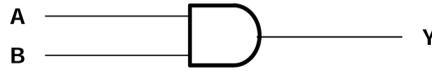


図 6-1. 各ゲートの論理図 (正論理)

6.2 デバイスの機能モード

表 6-1. 機能表 (各ゲート)

入力		出力 Y
A	B	
H	H	H
L	X	L
X	L	L

7 アプリケーションと実装

注

以下のアプリケーション情報は、TI の製品仕様に含まれるものではなく、TI ではその正確性または完全性を保証いたしません。個々の目的に対する製品の適合性については、お客様の責任で判断していただくこととなります。お客様は自身の設計実装を検証しテストすることで、システムの機能を確認する必要があります。

7.1 電源に関する推奨事項

電源には、「[推奨動作条件](#)」に記載された電源電圧定格の最小値と最大値の間の任意の電圧を使用できます。電力障害を防止するため、各 V_{CC} 端子にバイパス コンデンサを配置する必要があります。このデバイスには $0.1\mu\text{F}$ のコンデンサを推奨します。複数のバイパス コンデンサを並列に配置して、異なる周波数のノイズを除去することが許容されます。一般的に、 $0.1\mu\text{F}$ と $1\mu\text{F}$ のコンデンサは並列に使用されます。「[CD74ACT08 のレイアウト例](#)」に示すように、バイパス コンデンサを電源端子のできるだけ近くに配置すると最適な結果が得られます。

7.2 レイアウト

7.2.1 レイアウトのガイドライン

マルチ入力およびマルチチャネルのロジック デバイスを使用する場合、入力をフローティングのままにはなりません。多くの場合、デジタル論理デバイスの機能または機能の一部は使用されません (たとえば、トリプル入力 AND ゲートの 2 つの入力のみを使用する場合)。このような未使用の入力ピンを未接続のままにすることはできません。外部接続の電圧が未確定の場合、動作状態が不定になるためです。デジタル ロジック デバイスの未使用入力はすべて、入力電圧の仕様で定義されるロジック High またはロジック Low 電圧に接続して、それらがフローティングにならないようにする必要があります。特定の未使用入りに適用する必要があるロジック レベルは、デバイスの機能によって異なります。一般に入力は、GND または V_{CC} のうち、ロジックの機能にとってより適切であるかより利便性の高い方に接続されます。

7.2.2 レイアウト例

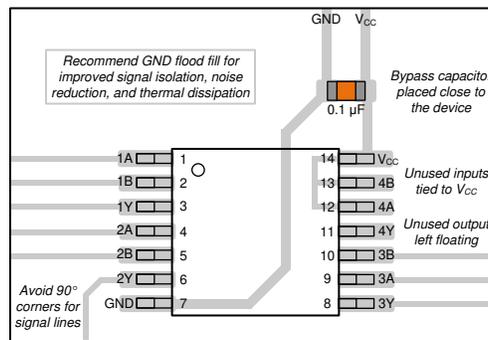


図 7-1. CDx4ACT08 のレイアウト例

8 デバイスおよびドキュメントのサポート

8.1 ドキュメントのサポート (アナログ)

8.1.1 関連リンク

製品	プロダクト フォルダ	サンプルとご購入	技術資料	ツールとソフトウェア	サポートとコミュニティ
CD54ACT08	こちらをクリック				
CD74ACT08	こちらをクリック				

8.2 ドキュメントの更新通知を受け取る方法

ドキュメントの更新についての通知を受け取るには、www.tij.co.jp のデバイス製品フォルダを開いてください。[通知] をクリックして登録すると、変更されたすべての製品情報に関するダイジェストを毎週受け取ることができます。変更の詳細については、改訂されたドキュメントに含まれている改訂履歴をご覧ください。

8.3 サポート・リソース

テキサス・インスツルメンツ E2E™ サポート・フォーラムは、エンジニアが検証済みの回答と設計に関するヒントをエキスパートから迅速かつ直接得ることができる場所です。既存の回答を検索したり、独自の質問をしたりすることで、設計に必要な支援を迅速に得ることができます。

リンクされているコンテンツは、各寄稿者により「現状のまま」提供されるものです。これらはテキサス・インスツルメンツの仕様を構成するものではなく、必ずしもテキサス・インスツルメンツの見解を反映したものではありません。テキサス・インスツルメンツの[使用条件](#)を参照してください。

8.4 商標

テキサス・インスツルメンツ E2E™ is a trademark of Texas Instruments.

すべての商標は、それぞれの所有者に帰属します。

8.5 静電気放電に関する注意事項



この IC は、ESD によって破損する可能性があります。テキサス・インスツルメンツは、IC を取り扱う際には常に適切な注意を払うことを推奨します。正しい取り扱いおよび設置手順に従わない場合、デバイスを破損するおそれがあります。

ESD による破損は、わずかな性能低下からデバイスの完全な故障まで多岐にわたります。精密な IC の場合、パラメータがわずかに変化するだけで公表されている仕様から外れる可能性があるため、破損が発生しやすくなっています。

8.6 用語集

[テキサス・インスツルメンツ用語集](#) この用語集には、用語や略語の一覧および定義が記載されています。

9 改訂履歴

資料番号末尾の英字は改訂を表しています。その改訂履歴は英語版に準じています。

Changes from Revision B (June 2002) to Revision C (August 2024)	Page
• 「製品情報」表、「ピンの機能」表、「ESD 定格」表、「熱に関する情報」表、「デバイスの機能モード」、「アプリケーションと実装」セクション、「デバイスおよびドキュメントのサポート」セクション、および「メカニカル、パッケージ、および注文情報」セクションを追加.....	1
• R0JA の値を更新:D = 86~119.9、すべての値は°C/W 単位.....	4

10 メカニカル、パッケージ、および注文情報

以降のページには、メカニカル、パッケージ、および注文に関する情報が記載されています。この情報はそのデバイスに使用できる最新のデータです。このデータは、予告なく、このドキュメントを改訂せずに変更される場合があります。本データシートのブラウザ版を使用されている場合は、画面左側の説明をご覧ください。

重要なお知らせと免責事項

テキサス・インスツルメンツは、技術データと信頼性データ (データシートを含みます)、設計リソース (リファレンス デザインを含みます)、アプリケーションや設計に関する各種アドバイス、Web ツール、安全性情報、その他のリソースを、欠陥が存在する可能性のある「現状のまま」提供しており、商品性および特定目的に対する適合性の黙示保証、第三者の知的財産権の非侵害保証を含むいかなる保証も、明示的または黙示的にかかわらず拒否します。

これらのリソースは、テキサス・インスツルメンツ製品を使用する設計の経験を積んだ開発者への提供を意図したものです。(1) お客様のアプリケーションに適した テキサス・インスツルメンツ製品の選定、(2) お客様のアプリケーションの設計、検証、試験、(3) お客様のアプリケーションに該当する各種規格や、その他のあらゆる安全性、セキュリティ、規制、または他の要件への確実な適合に関する責任を、お客様のみが単独で負うものとします。

上記の各種リソースは、予告なく変更される可能性があります。これらのリソースは、リソースで説明されている テキサス・インスツルメンツ製品を使用するアプリケーションの開発の目的でのみ、テキサス・インスツルメンツはその使用をお客様に許諾します。これらのリソースに関して、他の目的で複製することや掲載することは禁止されています。テキサス・インスツルメンツや第三者の知的財産権のライセンスが付与されている訳ではありません。お客様は、これらのリソースを自身で使用した結果発生するあらゆる申し立て、損害、費用、損失、責任について、テキサス・インスツルメンツおよびその代理人を完全に補償するものとし、テキサス・インスツルメンツは一切の責任を拒否します。

テキサス・インスツルメンツの製品は、[テキサス・インスツルメンツの販売条件](#)、または [ti.com](https://www.ti.com) やかかる テキサス・インスツルメンツ製品の関連資料などのいずれかを通じて提供する適用可能な条項の下で提供されています。テキサス・インスツルメンツがこれらのリソースを提供することは、適用されるテキサス・インスツルメンツの保証または他の保証の放棄の拡大や変更を意味するものではありません。

お客様がいかなる追加条項または代替条項を提案した場合でも、テキサス・インスツルメンツはそれらに異議を唱え、拒否します。

郵送先住所: Texas Instruments, Post Office Box 655303, Dallas, Texas 75265

Copyright © 2024, Texas Instruments Incorporated

PACKAGING INFORMATION

Orderable part number	Status (1)	Material type (2)	Package Pins	Package qty Carrier	RoHS (3)	Lead finish/ Ball material (4)	MSL rating/ Peak reflow (5)	Op temp (°C)	Part marking (6)
CD54ACT08F3A	Active	Production	CDIP (J) 14	25 TUBE	No	SNPB	N/A for Pkg Type	-55 to 125	CD54ACT08F3A
CD54ACT08F3A.A	Active	Production	CDIP (J) 14	25 TUBE	No	SNPB	N/A for Pkg Type	-55 to 125	CD54ACT08F3A
CD74ACT08E	Active	Production	PDIP (N) 14	25 TUBE	Yes	NIPDAU	N/A for Pkg Type	-55 to 125	CD74ACT08E
CD74ACT08E.A	Active	Production	PDIP (N) 14	25 TUBE	Yes	NIPDAU	N/A for Pkg Type	-55 to 125	CD74ACT08E
CD74ACT08M	Obsolete	Production	SOIC (D) 14	-	-	Call TI	Call TI	-55 to 125	ACT08M
CD74ACT08M96	Active	Production	SOIC (D) 14	2500 LARGE T&R	Yes	NIPDAU NIPDAU	Level-1-260C-UNLIM	-55 to 125	ACT08M
CD74ACT08M96.A	Active	Production	SOIC (D) 14	2500 LARGE T&R	Yes	NIPDAU	Level-1-260C-UNLIM	-55 to 125	ACT08M
CD74ACT08M96.B	Active	Production	SOIC (D) 14	2500 LARGE T&R	-	NIPDAU	Level-1-260C-UNLIM	-55 to 125	ACT08M
CD74ACT08M96G4	Active	Production	SOIC (D) 14	2500 LARGE T&R	Yes	NIPDAU	Level-1-260C-UNLIM	-55 to 125	ACT08M
CD74ACT08M96G4.A	Active	Production	SOIC (D) 14	2500 LARGE T&R	Yes	NIPDAU	Level-1-260C-UNLIM	-55 to 125	ACT08M

(1) **Status:** For more details on status, see our [product life cycle](#).

(2) **Material type:** When designated, preproduction parts are prototypes/experimental devices, and are not yet approved or released for full production. Testing and final process, including without limitation quality assurance, reliability performance testing, and/or process qualification, may not yet be complete, and this item is subject to further changes or possible discontinuation. If available for ordering, purchases will be subject to an additional waiver at checkout, and are intended for early internal evaluation purposes only. These items are sold without warranties of any kind.

(3) **RoHS values:** Yes, No, RoHS Exempt. See the [TI RoHS Statement](#) for additional information and value definition.

(4) **Lead finish/Ball material:** Parts may have multiple material finish options. Finish options are separated by a vertical ruled line. Lead finish/Ball material values may wrap to two lines if the finish value exceeds the maximum column width.

(5) **MSL rating/Peak reflow:** The moisture sensitivity level ratings and peak solder (reflow) temperatures. In the event that a part has multiple moisture sensitivity ratings, only the lowest level per JEDEC standards is shown. Refer to the shipping label for the actual reflow temperature that will be used to mount the part to the printed circuit board.

(6) **Part marking:** There may be an additional marking, which relates to the logo, the lot trace code information, or the environmental category of the part.

Multiple part markings will be inside parentheses. Only one part marking contained in parentheses and separated by a "~" will appear on a part. If a line is indented then it is a continuation of the previous line and the two combined represent the entire part marking for that device.

Important Information and Disclaimer: The information provided on this page represents TI's knowledge and belief as of the date that it is provided. TI bases its knowledge and belief on information provided by third parties, and makes no representation or warranty as to the accuracy of such information. Efforts are underway to better integrate information from third parties. TI has taken and continues to take reasonable steps to provide representative

and accurate information but may not have conducted destructive testing or chemical analysis on incoming materials and chemicals. TI and TI suppliers consider certain information to be proprietary, and thus CAS numbers and other limited information may not be available for release.

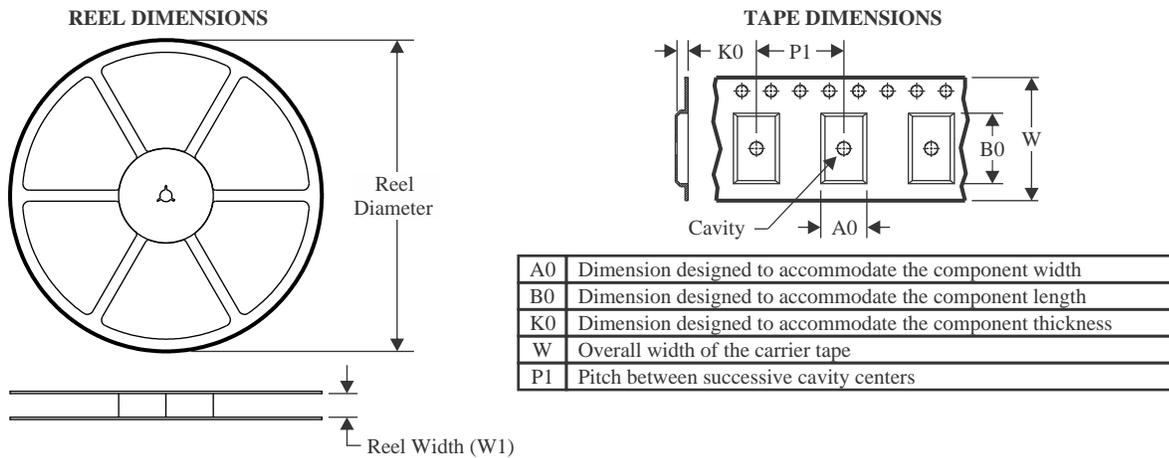
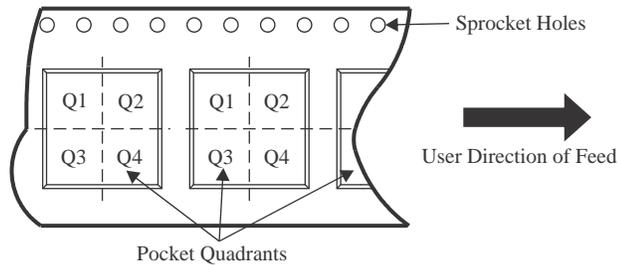
In no event shall TI's liability arising out of such information exceed the total purchase price of the TI part(s) at issue in this document sold by TI to Customer on an annual basis.

OTHER QUALIFIED VERSIONS OF CD54ACT08, CD74ACT08 :

- Catalog : [CD74ACT08](#)
- Military : [CD54ACT08](#)

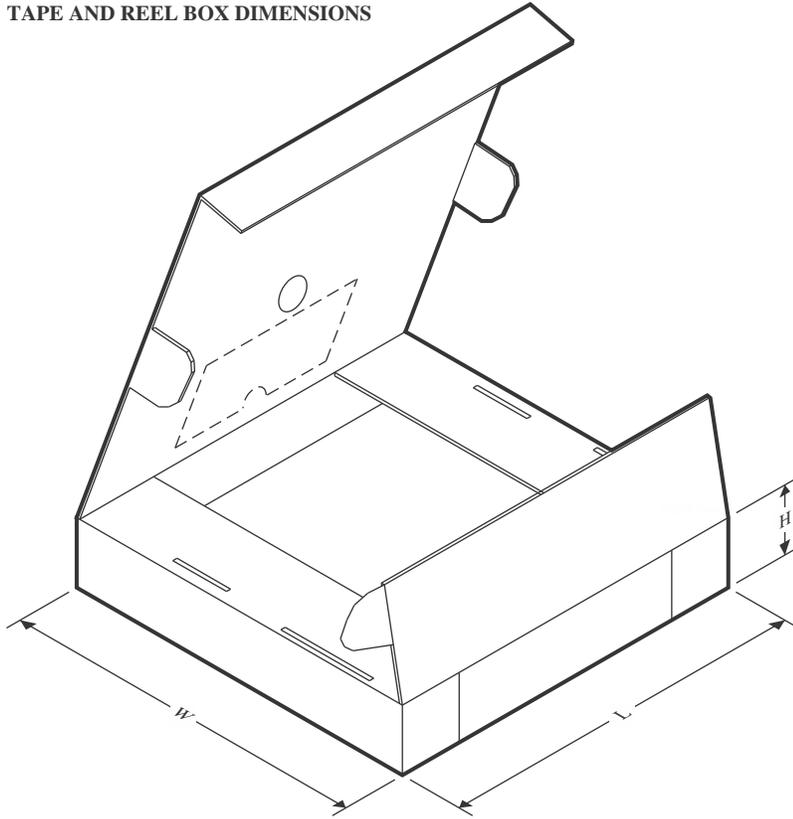
NOTE: Qualified Version Definitions:

- Catalog - TI's standard catalog product
- Military - QML certified for Military and Defense Applications

TAPE AND REEL INFORMATION

QUADRANT ASSIGNMENTS FOR PIN 1 ORIENTATION IN TAPE


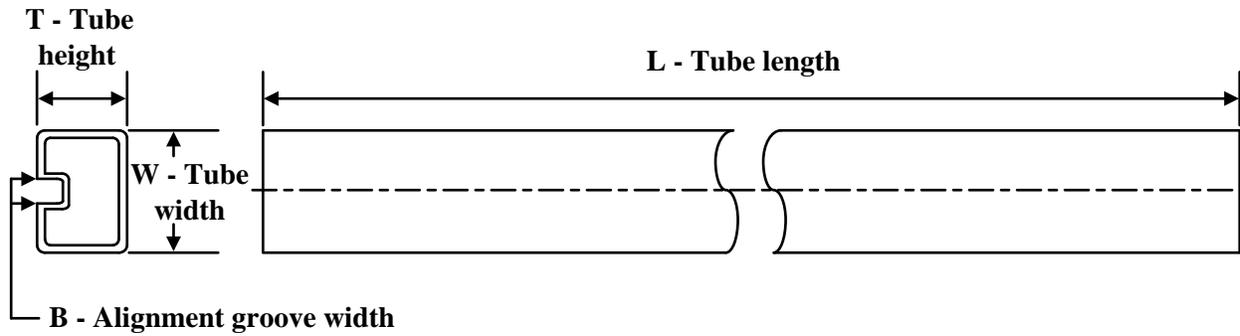
*All dimensions are nominal

Device	Package Type	Package Drawing	Pins	SPQ	Reel Diameter (mm)	Reel Width W1 (mm)	A0 (mm)	B0 (mm)	K0 (mm)	P1 (mm)	W (mm)	Pin1 Quadrant
CD74ACT08M96	SOIC	D	14	2500	330.0	16.4	6.5	9.0	2.1	8.0	16.0	Q1

TAPE AND REEL BOX DIMENSIONS


*All dimensions are nominal

Device	Package Type	Package Drawing	Pins	SPQ	Length (mm)	Width (mm)	Height (mm)
CD74ACT08M96	SOIC	D	14	2500	353.0	353.0	32.0

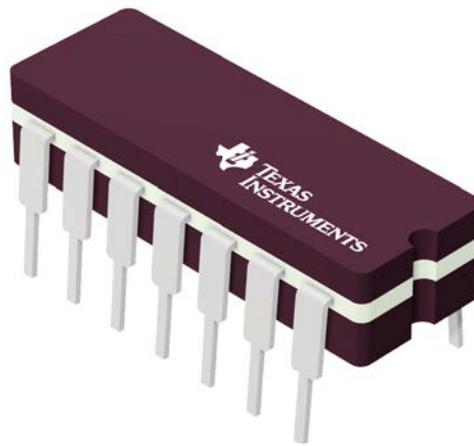
TUBE


*All dimensions are nominal

Device	Package Name	Package Type	Pins	SPQ	L (mm)	W (mm)	T (μm)	B (mm)
CD74ACT08E	N	PDIP	14	25	506	13.97	11230	4.32
CD74ACT08E	N	PDIP	14	25	506	13.97	11230	4.32
CD74ACT08E.A	N	PDIP	14	25	506	13.97	11230	4.32
CD74ACT08E.A	N	PDIP	14	25	506	13.97	11230	4.32

J 14

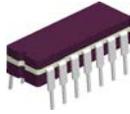
GENERIC PACKAGE VIEW
CDIP - 5.08 mm max height
CERAMIC DUAL IN LINE PACKAGE



Images above are just a representation of the package family, actual package may vary.
Refer to the product data sheet for package details.

4040083-5/G

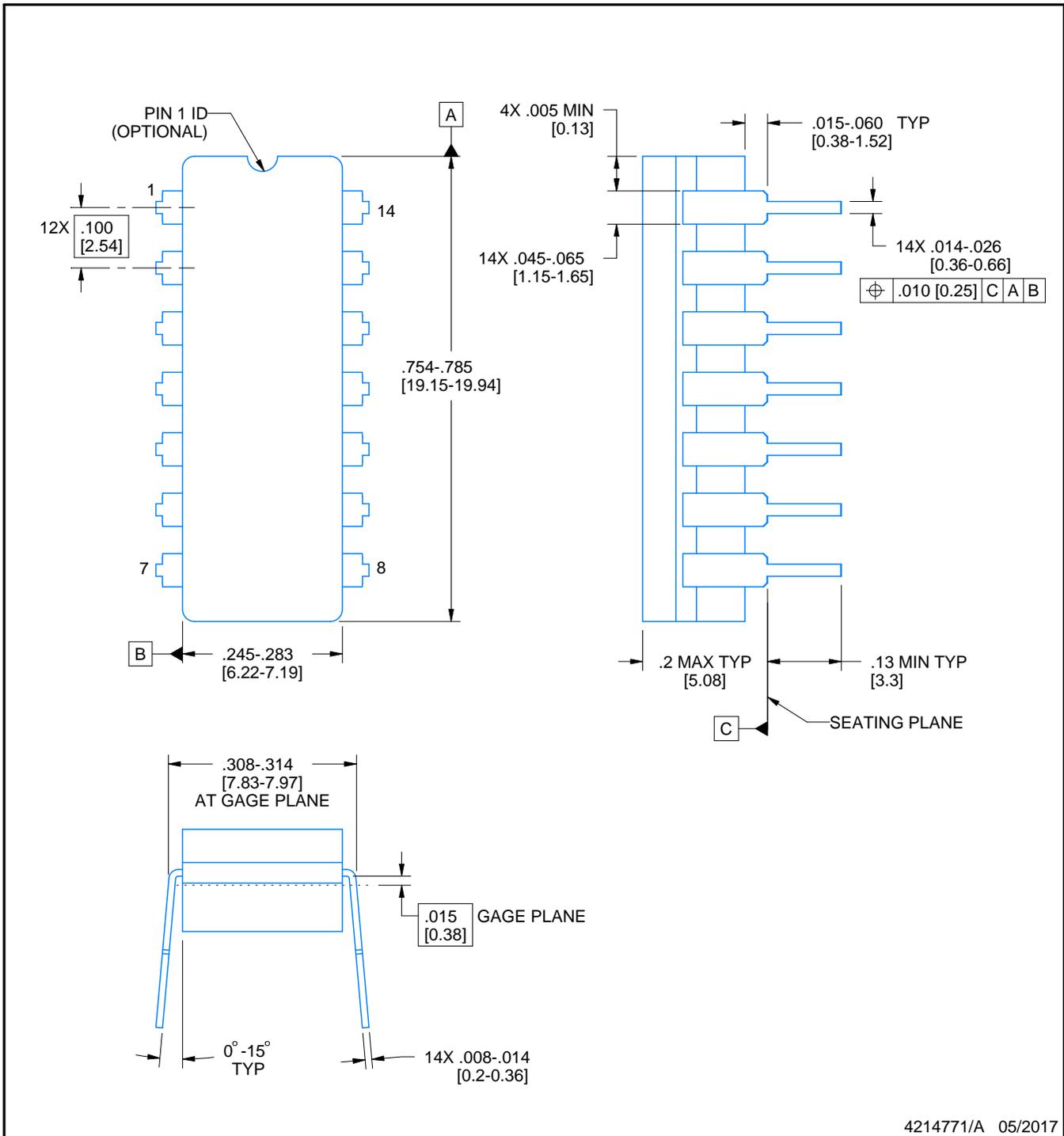
J0014A



PACKAGE OUTLINE

CDIP - 5.08 mm max height

CERAMIC DUAL IN LINE PACKAGE



4214771/A 05/2017

NOTES:

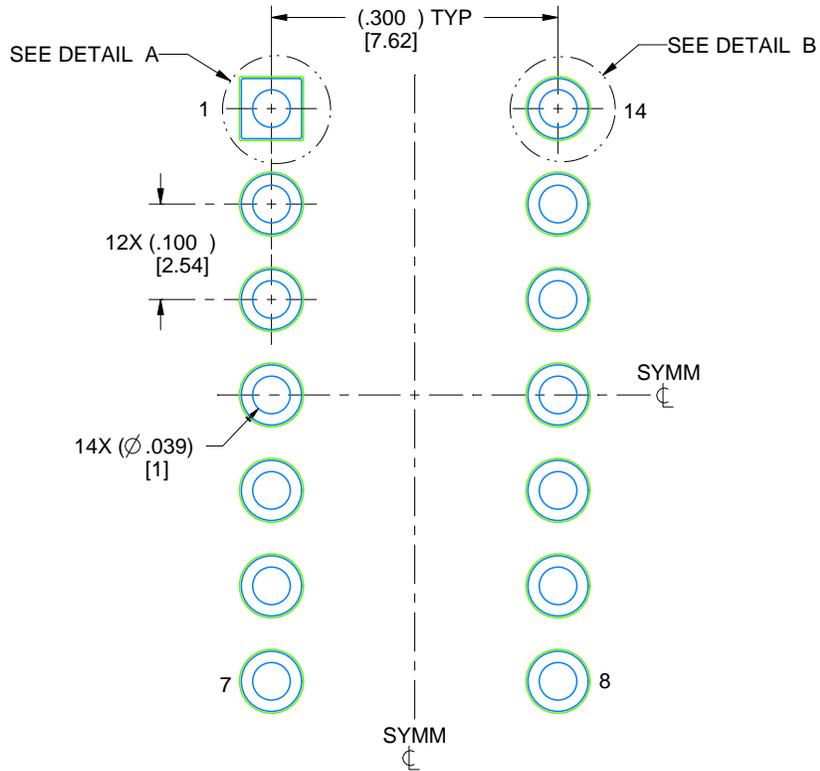
1. All controlling linear dimensions are in inches. Dimensions in brackets are in millimeters. Any dimension in brackets or parenthesis are for reference only. Dimensioning and tolerancing per ASME Y14.5M.
2. This drawing is subject to change without notice.
3. This package is hermetically sealed with a ceramic lid using glass frit.
4. Index point is provided on cap for terminal identification only and on press ceramic glass frit seal only.
5. Falls within MIL-STD-1835 and GDIP1-T14.

EXAMPLE BOARD LAYOUT

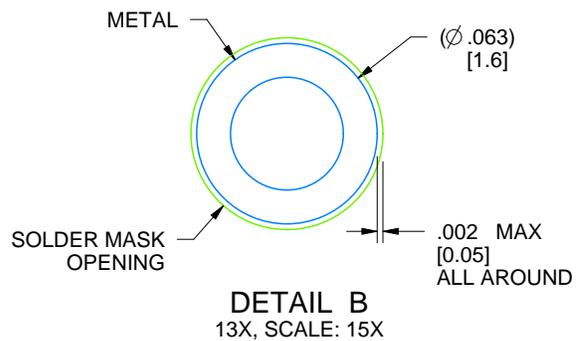
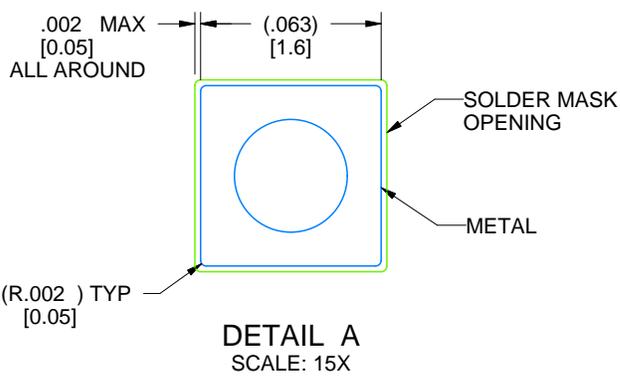
J0014A

CDIP - 5.08 mm max height

CERAMIC DUAL IN LINE PACKAGE



LAND PATTERN EXAMPLE
NON-SOLDER MASK DEFINED
SCALE: 5X

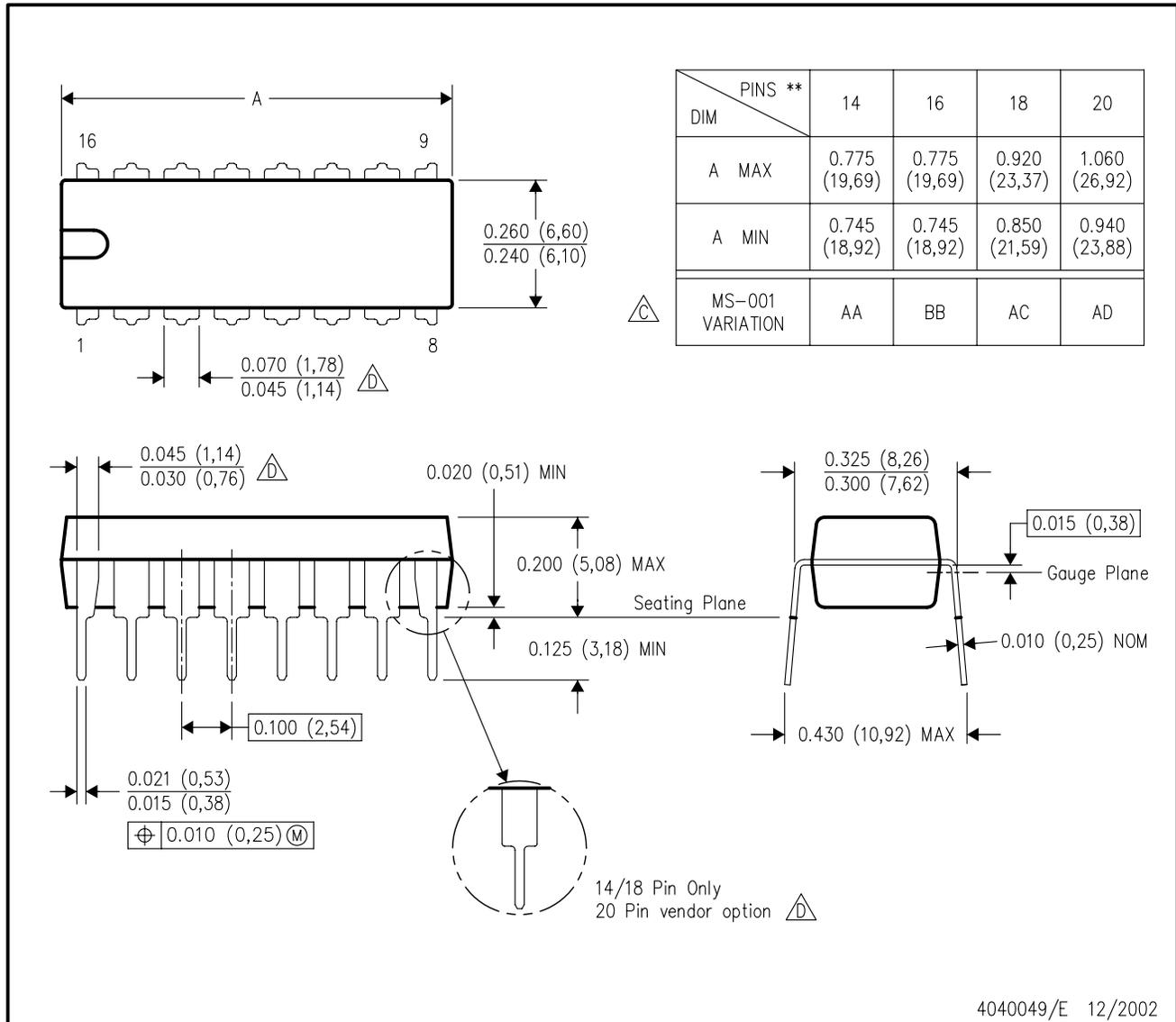


4214771/A 05/2017

N (R-PDIP-T**)

PLASTIC DUAL-IN-LINE PACKAGE

16 PINS SHOWN



- NOTES:
- A. All linear dimensions are in inches (millimeters).
 - B. This drawing is subject to change without notice.
 - $\triangle C$ Falls within JEDEC MS-001, except 18 and 20 pin minimum body length (Dim A).
 - $\triangle D$ The 20 pin end lead shoulder width is a vendor option, either half or full width.

4040049/E 12/2002

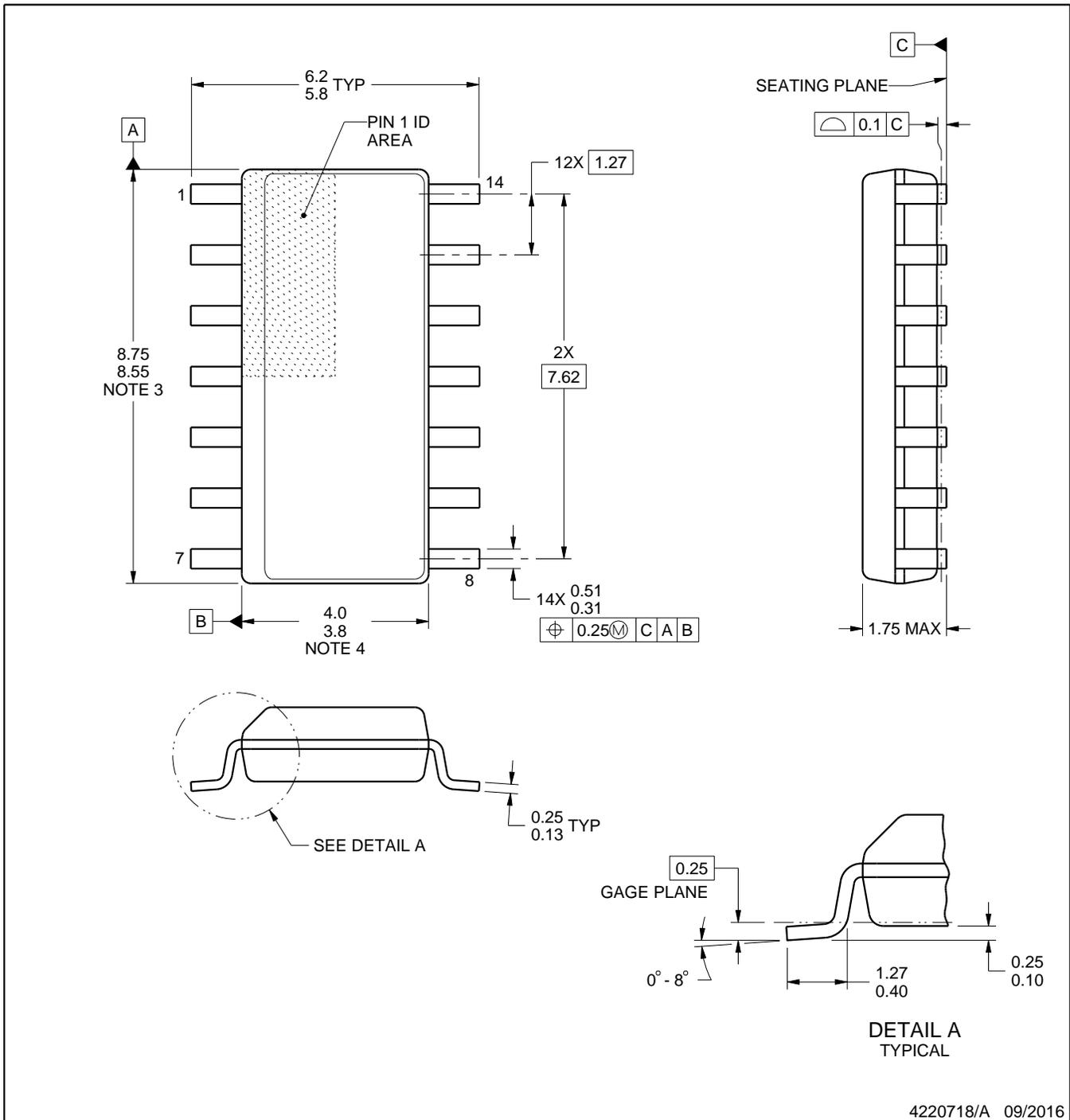


D0014A

PACKAGE OUTLINE

SOIC - 1.75 mm max height

SMALL OUTLINE INTEGRATED CIRCUIT



4220718/A 09/2016

NOTES:

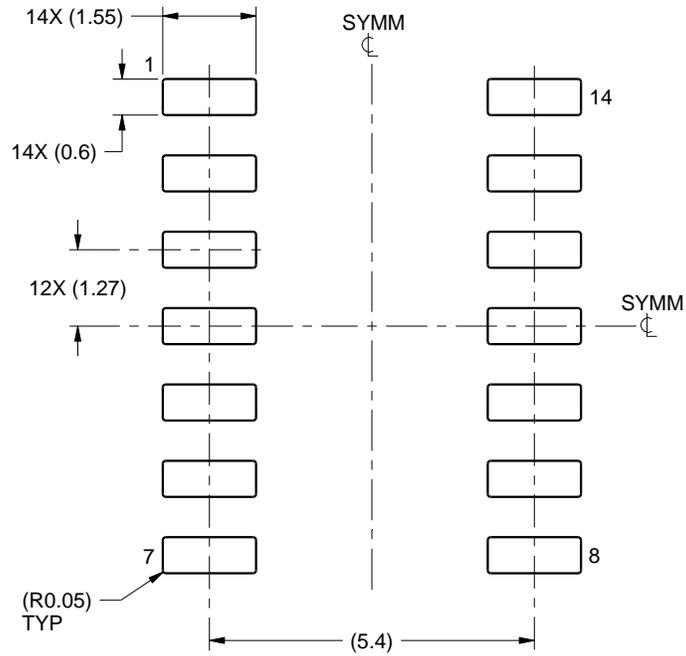
1. All linear dimensions are in millimeters. Dimensions in parenthesis are for reference only. Dimensioning and tolerancing per ASME Y14.5M.
2. This drawing is subject to change without notice.
3. This dimension does not include mold flash, protrusions, or gate burrs. Mold flash, protrusions, or gate burrs shall not exceed 0.15 mm, per side.
4. This dimension does not include interlead flash. Interlead flash shall not exceed 0.43 mm, per side.
5. Reference JEDEC registration MS-012, variation AB.

EXAMPLE BOARD LAYOUT

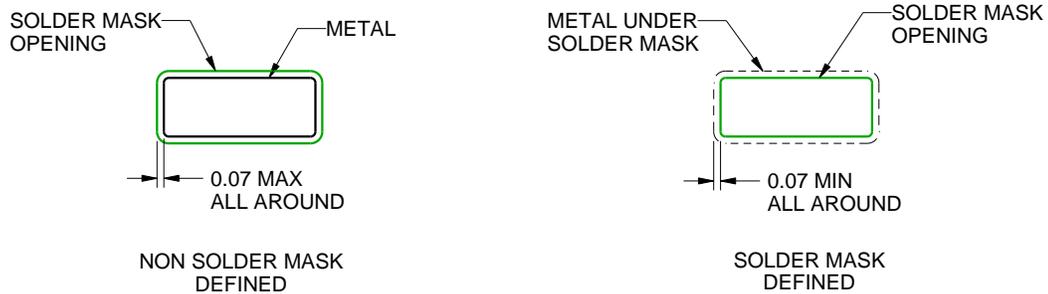
D0014A

SOIC - 1.75 mm max height

SMALL OUTLINE INTEGRATED CIRCUIT



LAND PATTERN EXAMPLE
SCALE:8X



SOLDER MASK DETAILS

4220718/A 09/2016

NOTES: (continued)

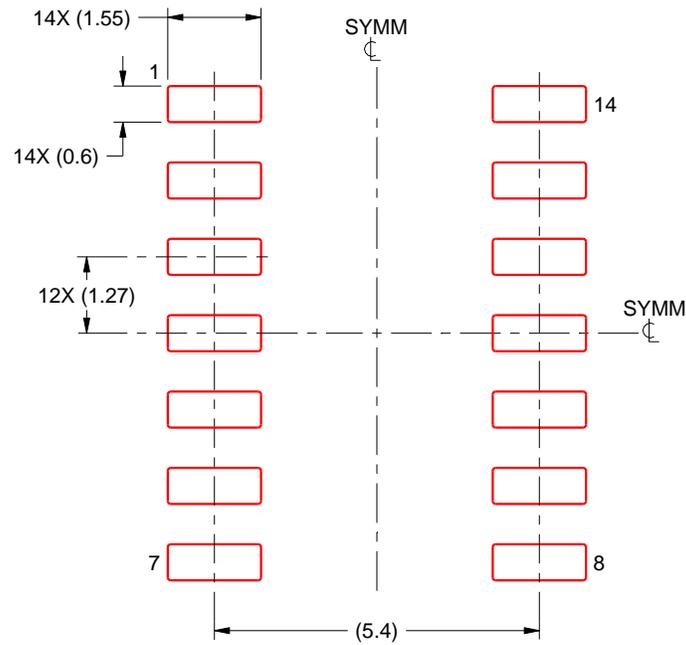
- 6. Publication IPC-7351 may have alternate designs.
- 7. Solder mask tolerances between and around signal pads can vary based on board fabrication site.

EXAMPLE STENCIL DESIGN

D0014A

SOIC - 1.75 mm max height

SMALL OUTLINE INTEGRATED CIRCUIT



SOLDER PASTE EXAMPLE
BASED ON 0.125 mm THICK STENCIL
SCALE:8X

4220718/A 09/2016

NOTES: (continued)

8. Laser cutting apertures with trapezoidal walls and rounded corners may offer better paste release. IPC-7525 may have alternate design recommendations.
9. Board assembly site may have different recommendations for stencil design.

重要なお知らせと免責事項

テキサス・インスツルメンツは、技術データと信頼性データ(データシートを含みます)、設計リソース(リファレンス デザインを含みます)、アプリケーションや設計に関する各種アドバイス、Web ツール、安全性情報、その他のリソースを、欠陥が存在する可能性のある「現状のまま」提供しており、商品性および特定目的に対する適合性の黙示保証、第三者の知的財産権の非侵害保証を含むいかなる保証も、明示的または黙示的にかかわらず拒否します。

これらのリソースは、テキサス・インスツルメンツ製品を使用する設計の経験を積んだ開発者への提供を意図したものです。(1) お客様のアプリケーションに適したテキサス・インスツルメンツ製品の選定、(2) お客様のアプリケーションの設計、検証、試験、(3) お客様のアプリケーションに該当する各種規格や、その他のあらゆる安全性、セキュリティ、規制、または他の要件への確実な適合に関する責任を、お客様のみが単独で負うものとし、ます。

上記の各種リソースは、予告なく変更される可能性があります。これらのリソースは、リソースで説明されているテキサス・インスツルメンツ製品を使用するアプリケーションの開発の目的でのみ、テキサス・インスツルメンツはその使用をお客様に許諾します。これらのリソースに関して、他の目的で複製することや掲載することは禁止されています。テキサス・インスツルメンツや第三者の知的財産権のライセンスが付与されている訳ではありません。お客様は、これらのリソースを自身で使用した結果発生するあらゆる申し立て、損害、費用、損失、責任について、テキサス・インスツルメンツおよびその代理人を完全に補償するものとし、テキサス・インスツルメンツは一切の責任を拒否します。

テキサス・インスツルメンツの製品は、[テキサス・インスツルメンツの販売条件](#)、または [ti.com](https://www.ti.com) やかかるテキサス・インスツルメンツ製品の関連資料などのいずれかを通じて提供する適用可能な条項の下で提供されています。テキサス・インスツルメンツがこれらのリソースを提供することは、適用されるテキサス・インスツルメンツの保証または他の保証の放棄の拡大や変更を意味するものではありません。

お客様がいかなる追加条項または代替条項を提案した場合でも、テキサス・インスツルメンツはそれらに異議を唱え、拒否します。

郵送先住所：Texas Instruments, Post Office Box 655303, Dallas, Texas 75265
Copyright © 2025, Texas Instruments Incorporated