CDx4AC257、CDx4ACT257、CD74ACT258 3 ステート出力のクワッド 2 入力マルチプレクサ

1 特長

- ’AC257、’ACT257：非反転出力
- CD74ACT258：反転出力
- バッファ付き入力
- 伝搬遅延時間 (標準値)
  - V_{CC} = 5V、T_A = 25℃、C_L = 50pF で 4.4ns
- MIL-STD-883、Method 3015 の 2kV を超える ESD 保護
- SCR ラッチアップ耐性の高い CMOS プロセスと回路設計
- 消費電力を大幅に低減した、バイポーラ FAST ™/AS/S の速度
- 平衡化された伝搬遅延
- AC タイプは 1.5V～5.5V で動作、電源の 30% での平衡ノイズ耐性を実現
- ±24mA 出力駆動電流
  - 15 個の FAST™ IC にファンアウト
- 50Ω 伝送ラインを駆動

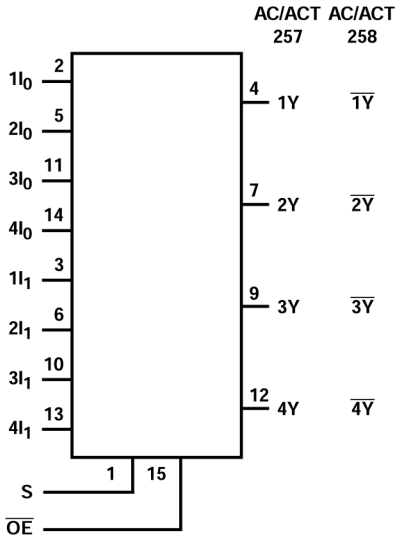
2 説明

'AC257 、'ACT257 、CD74ACT258 は、アドバンスト CMOS ロジック技術を採用した、スリー ステート出力のクワッド 2 入力マルチプレクサです。

製品情報

部品番号	パッケージ (1)	パッケージ サイズ(2)	本体サイズ (3)
CDx4AC257、CDx4ACT257、CD74ACT258	D (SOIC、16)	9.9mm × 6mm	9.9mm × 3.9mm
	N (PDIP、16)	19.3mm × 9.4mm	19.3mm × 6.35mm
	PW (TSSOP、16)	5mm × 6.4mm	5mm × 4.4mm
	BQB (WQFN、16)	3.5mm × 2.5mm	3.5mm × 2.5mm

(1) 詳細については、セクション 10 を参照してください。
(2) パッケージ サイズ (長さ × 幅) は公称値であり、該当する場合はピンも含まれます。
(3) 本体サイズ (長さ×幅) は公称値であり、ピンは含まれません。



機能図

このリソースの元の言語は英語です。翻訳は概要を便宜的に提供するもので、自動化ツール (機械翻訳) を使用していることがあり、TI では翻訳の正確性および妥当性につきましては一切保証いたしません。実際の設計などの前には、ti.com で必ず最新の英語版をご参照くださいますようお願いいたします。

目次

1 特長.... 1
2 説明.... 1
3 ピン構成および機能.... 3
4 仕様.... 4
4.1 絶対最大定格.... 4
4.2 推奨動作条件.... 4
4.3 熱に関する情報.... 4
4.4 電気的特性.... 5
4.5 スイッチング仕様.... 6
5 パラメータ測定情報.... 8
6 詳細説明.... 10
6.1 概要.... 10
6.2 機能ブロック図.... 10
6.3 デバイスの機能モード.... 10
7 アプリケーションと実装.... 11
7.1 電源に関する推奨事項.... 11
7.2 レイアウト.... 11
8 デバイスおよびドキュメントのサポート.... 12
8.1 ドキュメントのサポート (アナログ).... 12
8.2 ドキュメントの更新通知を受け取る方法.... 12
8.3 サポート・リソース.... 12
8.4 商標.... 12
8.5 静電気放電に関する注意事項.... 12
8.6 用語集.... 12
9 改訂履歴.... 12
10 メカニカル、パッケージ、および注文情報.... 13

Copyright © 2025 Texas Instruments Incorporated

3 ピン構成および機能

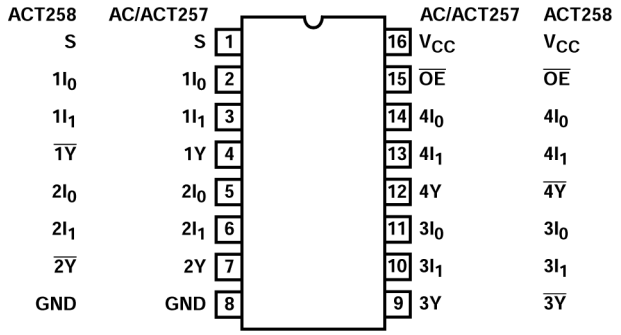


図 3-1. CD54AC257、CD54ACT257 J パッケージ、CD74AC257、CD74ACT257、CD74ACT258 D、N、または PW パッケージ、16 ピン SOIC、PDIP または TSSOP (上面図)

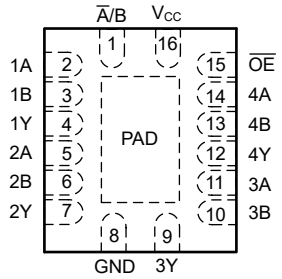


図 3-2. CD74AC257、CD74ACT257、CD74ACT258 BQB パッケージ、16 ピン WQFN (上面図)

表 3-1. ピンの機能

ピン		種類[1]	説明
名称	番号		
S	1	I	選択
$1I_0$	2	I	チャネル 1 入力 0
$1I_1$	3	I	チャネル 1 入力 1
1Y	4	O	チャネル 1 出力
$2I_0$	5	I	チャネル 2 入力 0
$2I_1$	6	I	チャネル 2 入力 1
2Y	7	O	チャネル 2 出力
GND	8	G	グランド
3Y	9	O	チャネル 3 出力
$3I_1$	10	I	チャネル 3 入力 1
$3I_0$	11	I	チャネル 3 入力 0
4Y	12	O	チャネル 4 出力
$4I_1$	13	I	チャネル 4 入力 1
$4I_0$	14	I	チャネル 4 入力 0
$\overline{OE}$	15	I	出力イネーブル
V_{CC}	16	P	正の電源
サーマル パッド[2]		-	サーマル パッドは GND に接続するか、フローティングのままにすることができます。他の信号や電源には接続しないでください

(1) I = 入力、O = 出力、I/O = 入力または出力、G = グランド、P = 電源。
(2) BQB パッケージのみ

4 仕様

4.1 絶対最大定格

自由気流での動作温度範囲内 (特に記述のない限り) [(1)]

			最小値	最大値	単位
V_{CC}	電源電圧		-0.5	6	V
I_{IK}	入力ダイオード電流	V_I < -0.5V または V_I > V_{CC} + 0.5V		±20	mA
I_{OK}	出力ダイオード電流	V_O < -0.5V または V_O > V_{CC} + 0.5V		±50	mA
I_O	出力ピンごとの出力ソースまたはシンク電流	V_O > -0.5V または V_O < V_{CC} + 0.5V		±50	mA
I_{CC} または I_{GND} [(2)]	V_{CC} またはグランド電流			±100	mA
T_{stg}	最大保管温度		-65	150	℃

(1) 「絶対最大定格」に記載のストレスを上回るストレスが加わった場合、デバイスに永続的な損傷が発生する可能性があります。これは、ストレス定格のみを示すものであり、これらの条件やこの仕様の動作条件に示された値を超える他の条件で、本デバイスが機能することを意味するものではありません。
(2) デバイスごとに最大 4 つの出力に対して、出力を追加するごとに ±25mA を追加します。

4.2 推奨動作条件

自由気流での動作温度範囲内 (特に記述のない限り)

		最小値	最大値	単位
T_A	温度範囲	-55	125	℃
V_{CC} [(1)]	電源電圧範囲			
	AC のタイプ	1.5	5.5	V
	ACT のタイプ	4.5	5.5	V
V_I、V_O	DC 入力電圧または出力電圧	0	V_{CC}	V
dt/dv	入力の立ち上がりおよび立ち下がりスルーレート			
1.5V ～ 3V	AC のタイプ		50	ns
3.6V ～ 5.5V	AC のタイプ		20	ns
4.5V ～ 5.5V	ACT のタイプ		10	ns

(1) 特に記述のない限り、すべての電圧はグランドを基準とします。

4.3 熱に関する情報

熱評価基準[(1)]		D (SOIC)	PW (TSSOP)	BQB (WQFN)	単位
		16 ピン	16 ピン	16 ピン	
$R_{\theta JA}$	接合部から周囲への熱抵抗	119.9[(2)]	139.5	98.6	℃/W
$R_{\theta JC(top)}$	接合部からケース (上面) への熱抵抗	—	74.8	94.6	℃/W
$R_{\theta JB}$	接合部から基板への熱抵抗	—	97.7	67.7	℃/W
Ψ_{JT}	接合部から上面への特性パラメータ	—	17.8	15.6	℃/W
Ψ_{JB}	接合部から基板への特性パラメータ	—	96.6	67.5	℃/W
$R_{\theta JC(bot)}$	接合部からケース (底面) への熱抵抗	—	—	45.9	℃/W

(1) 従来および最新の熱評価基準の詳細については、『半導体および IC パッケージの熱評価基準』アプリケーション ノートを参照してください。
(2) θ_{JA} は、評価プリント基板に搭載された部品を使用して自由気流で測定されます。

Copyright © 2025 Texas Instruments Incorporated

4.4 電気的特性

パラメータ	記号	テスト条件		V_{CC} (V)	25°C		-40°C～85°C		-55°C～125°C		単位
		V_I (V)	I_O (mA)		最小値	最大値	最小値	最大値	最小値	最大値	
AC タイプ											
High レベル入力電圧	V_{IH}	-	-	1.5	1.2	-	1.2	-	1.2	-	V
				3	2.1	-	2.1	-	2.1	-	V
				5.5	3.85	-	3.85	-	3.85	-	V
Low レベル入力電圧	V_{IL}	-	-	1.5	-	0.3	-	0.3	-	0.3	V
				3	-	0.9	-	0.9	-	0.9	V
				5.5	-	1.65	-	1.65	-	1.65	V
High レベル出力電圧	V_{OH}	V_{IH} または V_{IL}	-0.05	1.5	1.4	-	1.4	-	1.4	-	V
			-0.05	3	2.9	-	2.9	-	2.9	-	V
			-0.05	4.5	4.4	-	4.4	-	4.4	-	V
			-4	3	2.58	-	2.48	-	2.4	-	V
			-24	4.5	3.94	-	3.8	-	3.7	-	V
			-75 (1)、(2)	5.5	-	-	3.85	-	-	-	V
			-50 (1)、(2)	5.5	-	-	-	-	3.85	-	V
Low レベル出力電圧	V_{OL}	V_{IH} または V_{IL}	0.05	1.5	-	0.1	-	0.1	-	0.1	V
			0.05	3	-	0.1	-	0.1	-	0.1	V
			0.05	4.5	-	0.1	-	0.1	-	0.1	V
			12	3	-	0.36	-	0.44	-	0.5	V
			24	4.5	-	0.36	-	0.44	-	0.5	V
			75 (1)、(2)	5.5	-	-	-	1.65	-	-	V
			50 (1)、(2)	5.5	-	-	-	-	-	1.65	V
入力リーク電流	I_I	V_{CC} または GND	-	5.5	-	±0.1	-	±1	-	±1	μA
スリー ステージ リーク電流	I_{OZ}	V_{IH} または V_{IL} V_O = V_{CC} または GND	-	5.5	-	±0.5	-	±5	-	±10	μA
静止電源電流 MSI	I_{CC}	V_{CC} または GND	0	5.5	-	8	-	80	-	160	μA
ACT タイプ											
High レベル入力電圧	V_{IH}	-	-	4.5～5.5	2	-	2	-	2	-	V
Low レベル入力電圧	V_{IL}	-	-	4.5～5.5	-	0.8	-	0.8	-	0.8	V
High レベル出力電圧	V_{OH}	V_{IH} または V_{IL}	-0.05	4.5	4.4	-	4.4	-	4.4	-	V
			-24	4.5	3.94	-	3.8	-	3.7	-	V
			-75 (1)、(2)	5.5	-	-	3.85	-	-	-	V
			-50 (1)、(2)	5.5	-	-	-	-	3.85	-	V
Low レベル出力電圧	V_{OL}	V_{IH} または V_{IL}	0.05	4.5	-	0.1	-	0.1	-	0.1	V
			24	4.5	-	0.36	-	0.44	-	0.5	V
			75 (1)、(2)	5.5	-	-	-	1.65	-	-	V
			50 (1)、(2)	5.5	-	-	-	-	-	1.65	V
入力リーク電流	I_I	V_{CC} または GND	-	5.5	-	±0.1	-	±1	-	±1	μA

パラメータ	記号	テスト条件		V_{CC} (V)	25°C		-40°C～85°C		-55°C～125°C		単位
		V_I (V)	I_O (mA)		最小値	最大値	最小値	最大値	最小値	最大値	
スリー ステージまたはリーク電流	I_{OZ}	V_{IH} または V_{IL} V_O = V_{CC} または GND	-	5.5	-	±0.5	-	±5	-	±10	μA
静止電源電流 MSI	I_{CC}	V_{CC} または GND	0	5.5	-	8	-	80	-	160	μA
入力ピンごとの追加電源電流 TTL 入力が High 1 単位負荷	ΔI_{CC}	V_{CC} -2.1	-	4.5～5.5	-	2.4	-	2.8	-	3	mA

(1) 一度に 1 つの出力をテストし、持続時間が 1 秒を超えないようにします。測定は、電流を強制的に供給し、電圧を測定して消費電力を最小限に抑えます。
(2) このテストでは、85°C で最小 50Ω 伝送ライン駆動能力、125°C で 75Ω 伝送ライン駆動能力を検証します。

表 4-1. ACT 入力負荷表

入力	単位負荷
データ	0.83
S	1.27
$\overline{OE}$	1.27

注
単位負荷は、DC 電気的特性表に規定されている ΔI_{CC} 制限値 (たとえば 25°C で最大 2.4mA) です。

4.5 スイッチング仕様

入力 t_r、t_f = 3ns、C_L = 50pF (ワースト ケース)

パラメータ	記号	V_{CC} (V)	-40°C～85°C			-55°C～125°C			単位
			最小値	標準値	最大値	最小値	標準値	最大値	
AC タイプ									
伝搬遅延、入力から Y AC/ACT257 まで	t_{PLH}、t_{PHL}	1.5	-	-	106	-	-	117	ns
		3.3 (1)	3.3	-	11.8	3.3	-	13	ns
		5(2)	2.4	-	8.5	2.3	-	9.3	ns
伝搬遅延、S から Y AC/ACT257 まで	t_{PLH}、t_{PHL}	1.5	-	-	153	-	-	168	ns
		3.3	4.8	-	17.1	4.7	-	18.8	ns
		5	3.5	-	12.2	3.4	-	13.4	ns
伝搬遅延、$\overline{OE}$ から Y AC/ACT257 まで	t_{PLZ}、t_{PHZ}, t_{PZL}, t_{PZH}	1.5	-	-	167	-	-	184	ns
		3.3	5.3	-	18.7	5.2	-	20.6	ns
		5	3.8	-	13.4	3.7	-	14.7	ns
伝搬遅延、入力から $\overline{Y'}$ AC/CD74ACT258 まで	t_{PLH}、t_{PHL}	1.5	-	-	91	-	-	100	ns
		3.3	2.9	-	10.2	2.8	-	11.2	ns
		5	2.1	-	7.3	2	-	8	ns
伝搬遅延、S から $\overline{Y'}$ AC/CD74ACT258 まで	t_{PLH}、t_{PHL}	1.5	-	-	153	-	-	168	ns
		3.3	4.8	-	17.1	4.7	-	18.8	ns
		5	3.5	-	12.2	3.4	-	13.4	ns
伝搬遅延、$\overline{OE}$ から $\overline{Y}$ 'AC/CD74ACT258 まで	t_{PLZ}、t_{PHZ}, t_{PZL}, t_{PZH}	1.5	-	-	167	-	-	184	ns
		3.3	5.3	-	18.7	5.2	-	20.6	ns
		5	3.8	-	13.4	3.7	-	14.7	ns
スリー ステート出力キャパシタンス	C_O	-	-	-	15	-	-	15	pF
入力容量	C_I	-	-	-	10	-	-	10	pF

Copyright © 2025 Texas Instruments Incorporated

入力 t_r、t_f = 3ns、C_L = 50pF (ワースト ケース)

パラメータ	記号	V_{CC} (V)	-40°C～85°C			-55°C～125°C			単位
			最小値	標準値	最大値	最小値	標準値	最大値	
電力散逸容量	C_{PD} (3)	-	-	130	-	-	130	-	pF
ACT タイプ									
伝搬遅延、入力から Y AC/ACT257 まで	t_{PLH}、t_{PHL}	5 (2)	2.8	-	9.7	2.7	-	10.7	ns
伝搬遅延、S から Y AC/ACT257 まで	t_{PLH}、t_{PHL}	5	4	-	14	3.9	-	15.4	ns
伝搬遅延、$\overline{OE}$ から Y AC/ACT257 まで	t_{PLZ}、t_{PHZ}, t_{PZL}, t_{PZH}	5	4.1	-	14.6	4	-	16.1	ns
伝搬遅延、入力から $\overline{Y'}$ AC/CD74ACT258 まで	t_{PLH}、t_{PHL}	5	2.4	-	8.5	2.3	-	9.3	ns
伝搬遅延、S から $\overline{Y'}$ AC/CD74ACT258 まで	t_{PLH}、t_{PHL}	5	4	-	14	3.9	-	15.4	ns
伝搬遅延、$\overline{OE}$ から $\overline{Y}$ 'AC/CD74ACT258 まで	t_{PLZ}、t_{PHZ}, t_{PZL}, t_{PZH}	5	4.1	-	14.6	4	-	16.1	ns
スリー ステート出力キャパシタンス	C_O	-	-	-	15	-	-	15	pF
入力容量	C_I	-	-	-	10	-	-	10	pF
電力散逸容量	C_{PD} (3)	-	-	130	-	-	130	-	pF

(1) 3.6V 時の最小値、3V 時の最大値は 3.3V です。
(2) 5.5V 時の最小値、4.5V 時の最大値は 5V です。
(3) C_{PD} を使用して、マルチプレクサごとの動的な消費電力を決定します。

注

AC: $P_D = C_{PD} V_{CC}^2 f_i + \sum (C_L V_{CC}^2 f_o)$

ACT: $P_D = C_{PD} V_{CC}^2 f_i + \sum (C_L V_{CC}^2 f_o) + V_{CC} \Delta I_{CC}$。ここで、$f_i$ = 入力周波数、f_o = 出力周波数、C_L = 出力負荷容量、V_{CC} = 電源電圧。

5 パラメータ測定情報

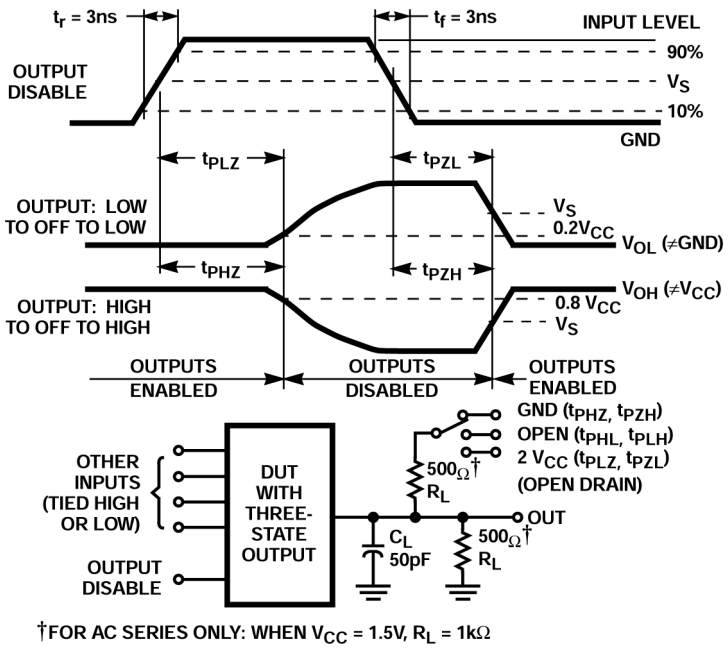


図 5-1. 3 ステート伝搬遅延時間とテスト回路

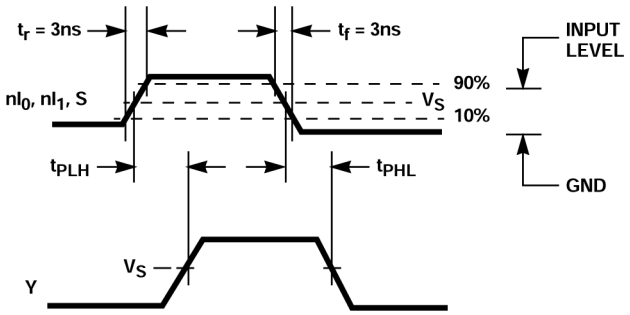


図 5-2. 入力または選択による出力伝搬遅延（AC/act257）

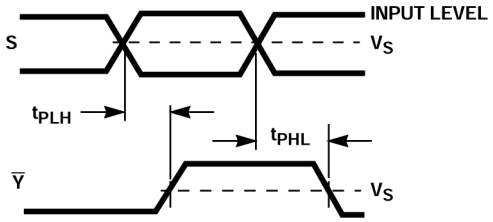


図 5-3. 選択から出力伝搬遅延（CD74ACT258）

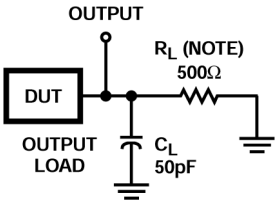


図 5-4.

Copyright © 2025 Texas Instruments Incorporated

AC シリーズ専用：V_{CC} = 1.5V、RL = 1kΩ の場合。

TEST	S1
t_{PLH}/t_{PHL}	オープン
t_{PLZ}/t_{PZL}	2 × V_{CC}
t_{PHZ}/t_{PZH}	GND

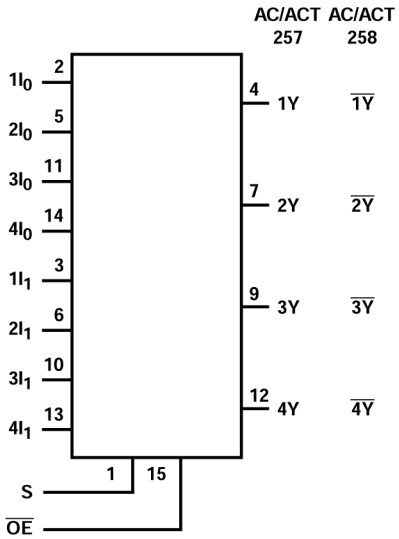
6 詳細説明

6.1 概要

これらのデバイスはそれぞれ、共通の選択入力 (S) の制御下で、2 つのソースから 4 ビットのデータを選択します。出力イネーブル ($\overline{OE}$) はアクティブ Low です。$\overline{OE}$ が HIGH の場合、その他のすべての入力条件に関係なく、すべての出力 (Y または $\overline{Y}$) が高インピーダンス状態になります。

データを 2 つのレジスタ グループから 4 つの共通出力バスに移動することは、'AC257、'ACT257、CD74ACT258 の一般的な使用例です。選択入力の状態により、データの送信元となる特定のレジスタが決まります。'AC257、'ACT257、CD74ACT258 はファンクション ジェネレータとしても使用できます。

6.2 機能ブロック図



6.3 デバイスの機能モード

表 6-1. 真理値表

出力イネーブル	セレクト入力	データ入力		257 出力	258 出力
$\overline{OE}$	S	I_0	I_1	Y	$\overline{Y}$
H	X	X	X	Z	Z
L	L	L	X	L	H
L	L	H	X	H	L
L	H	X	L	L	H
L	H	X	H	H	L

Copyright © 2025 Texas Instruments Incorporated

7 アプリケーションと実装

注

以下のアプリケーション情報は、テキサス・インスツルメンツの製品仕様に含まれるものではなく、テキサス・インスツルメンツはその正確性も完全性も保証いたしません。個々の目的に対する製品の適合性については、お客様の責任で判断していただくことになります。また、お客様は自身の設計実装を検証しテストすることで、システムの機能を確認する必要があります。

7.1 電源に関する推奨事項

電源には、「推奨動作条件」に記載された電源電圧定格の最小値と最大値の間の任意の電圧を使用できます。電源の外乱を防止するため、各 V_{CC} 端子に適切なバイパス コンデンサを配置する必要があります。このデバイスには 0.1μF のコンデンサを推奨します。複数のバイパス コンデンサを並列に配置して、異なる周波数のノイズを除去することが許容されます。一般的に、0.1μF と 1μF のコンデンサは並列に使用されます。バイパス コンデンサを電源端子のできるだけ近くに配置すると最適な結果が得られます。

7.2 レイアウト

7.2.1 レイアウトのガイドライン

マルチ入力およびマルチチャネルのロジック デバイスを使用する場合、入力をフローティングのままにしてはいけません。多くの場合、デジタル論理デバイスの機能または機能の一部は使用されません (たとえば、トリプル入力 AND ゲートの 2 つの入力のみを使用する場合や 4 つのバッファ ゲートのうちの 3 つのみを使用する場合)。このような未使用の入力ピンを未接続のままにすることはできません。外部接続の電圧が未確定の場合、動作状態が不定になるためです。デジタル ロジック デバイスの未使用入力はすべて、入力電圧の仕様で定義されるロジック High またはロジック Low 電圧に接続して、それらがフローティングにならないようにする必要があります。特定の未使用入力に適用する必要があるロジック レベルは、デバイスの機能によって異なります。一般に入力は、GND または V_{CC} のうち、ロジックの機能にとってより適切であるかより利便性の高い方に接続されます。

8 デバイスおよびドキュメントのサポート

8.1 ドキュメントのサポート (アナログ)

8.1.1 関連資料

製品	プロダクト フォルダ	サンプルとご購入	技術資料	ツールとソフトウェア	サポートとコミュニティ
CD54AC257	こちらをクリック	こちらをクリック	こちらをクリック	こちらをクリック	こちらをクリック
CD54ACT257	こちらをクリック	こちらをクリック	こちらをクリック	こちらをクリック	こちらをクリック
CD74AC257	こちらをクリック	こちらをクリック	こちらをクリック	こちらをクリック	こちらをクリック
CD74ACT257	こちらをクリック	こちらをクリック	こちらをクリック	こちらをクリック	こちらをクリック
CD74ACT258	こちらをクリック	こちらをクリック	こちらをクリック	こちらをクリック	こちらをクリック

8.2 ドキュメントの更新通知を受け取る方法

ドキュメントの更新についての通知を受け取るには、www.tij.co.jp のデバイス製品フォルダを開いてください。[通知] をクリックして登録すると、変更されたすべての製品情報に関するダイジェストを毎週受け取ることができます。 変更の詳細については、改訂されたドキュメントに含まれている改訂履歴をご覧ください。

8.3 サポート・リソース

テキサス・インスツルメンツ E2E™ サポート・フォーラムは、エンジニアが検証済みの回答と設計に関するヒントをエキスパートから迅速かつ直接得ることができる場所です。既存の回答を検索したり、独自の質問をしたりすることで、設計で必要な支援を迅速に得ることができます。

リンクされているコンテンツは、各寄稿者により「現状のまま」提供されるものです。これらはテキサス・インスツルメンツの仕様を構成するものではなく、必ずしもテキサス・インスツルメンツの見解を反映したものではありません。テキサス・インスツルメンツの使用条件を参照してください。

8.4 商標

FAST™ is a trademark of Fairchild Semiconductor.
テキサス・インスツルメンツ E2E™ is a trademark of Texas Instruments.
すべての商標は、それぞれの所有者に帰属します。

8.5 静電気放電に関する注意事項

この IC は、ESD によって破損する可能性があります。テキサス・インスツルメンツは、IC を取り扱う際には常に適切な注意を払うことを推奨します。正しい取り扱いおよび設置手順に従わない場合、デバイスを破損するおそれがあります。

ESD による破損は、わずかな性能低下からデバイスの完全な故障まで多岐にわたります。精密な IC の場合、パラメータがわずかに変化するだけで公表されている仕様から外れる可能性があるため、破損が発生しやすくなっています。

8.6 用語集

テキサス・インスツルメンツ用語集　　この用語集には、用語や略語の一覧および定義が記載されています。

9 改訂履歴

Changes from Revision B (August 2024) to Revision C (April 2025) **Page**

- データシートに PW および BQB パッケージを追加 1

Copyright © 2025 Texas Instruments Incorporated

Changes from Revision A (May 2000) to Revision B (August 2024) **Page**

- *パッケージ情報* の表、*ピンの機能* の表、*ESD 定格* の表、*熱に関する情報* の表、「*デバイスの機能モード*」、「*アプリケーションと実装*」セクション、「*デバイスおよびドキュメントのサポート*」セクション、「*メカニカル、パッケージ、および注文情報*」セクションを追加 1

10 メカニカル、パッケージ、および注文情報

以降のページには、メカニカル、パッケージ、および注文に関する情報が記載されています。この情報は、指定のデバイスに使用できる最新のデータです。このデータは、予告なく、このドキュメントを改訂せずに変更される場合があります。本データシートのブラウザ版を使用されている場合は、画面左側の説明をご覧ください。

重要なお知らせと免責事項

テキサス・インスツルメンツは、技術データと信頼性データ (データシートを含みます)、設計リソース (リファレンス デザインを含みます)、アプリケーションや設計に関する各種アドバイス、Web ツール、安全性情報、その他のリソースを、欠陥が存在する可能性のある「現状のまま」提供しており、商品性および特定目的に対する適合性の黙示保証、第三者の知的財産権の非侵害保証を含むいかなる保証も、明示的または黙示的にかかわらず拒否します。

これらのリソースは、テキサス・インスツルメンツ製品を使用する設計の経験を積んだ開発者への提供を意図したものです。(1) お客様のアプリケーションに適した テキサス・インスツルメンツ製品の選定、(2) お客様のアプリケーションの設計、検証、試験、(3) お客様のアプリケーションに該当する各種規格や、その他のあらゆる安全性、セキュリティ、規制、または他の要件への確実な適合に関する責任を、お客様のみが単独で負うものとします。

上記の各種リソースは、予告なく変更される可能性があります。これらのリソースは、リソースで説明されている テキサス・インスツルメンツ製品を使用するアプリケーションの開発の目的でのみ、テキサス・インスツルメンツはその使用をお客様に許諾します。これらのリソースに関して、他の目的で複製することや掲載することは禁止されています。テキサス・インスツルメンツや第三者の知的財産権のライセンスが付与されている訳ではありません。お客様は、これらのリソースを自身で使用した結果発生するあらゆる申し立て、損害、費用、損失、責任について、テキサス・インスツルメンツおよびその代理人を完全に補償するものとし、テキサス・インスツルメンツは一切の責任を拒否します。

テキサス・インスツルメンツの製品は、テキサス・インスツルメンツの販売条件、または ti.com やかかる テキサス・インスツルメンツ製品の関連資料などのいずれかを通じて提供する適用可能な条項の下で提供されています。テキサス・インスツルメンツがこれらのリソースを提供することは、適用される テキサス・インスツルメンツの保証または他の保証の放棄の拡大や変更を意味するものではありません。

お客様がいかなる追加条項または代替条項を提案した場合でも、テキサス・インスツルメンツはそれらに異議を唱え、拒否します。

郵送先住所：Texas Instruments, Post Office Box 655303, Dallas, Texas 75265
Copyright © 2025, Texas Instruments Incorporated

PACKAGING INFORMATION

Orderable part number	Status (1)	Material type (2)	Package | Pins	Package qty | Carrier	RoHS (3)	Lead finish/ Ball material (4)	MSL rating/ Peak reflow (5)	Op temp (°C)	Part marking (6)
CD54AC257F3A	Active	Production	CDIP (J) | 16	25 | TUBE	No	SNPB	N/A for Pkg Type	-55 to 125	CD54AC257F3A
CD54AC257F3A.A	Active	Production	CDIP (J) | 16	25 | TUBE	No	SNPB	N/A for Pkg Type	-55 to 125	CD54AC257F3A
CD54ACT257F3A	Active	Production	CDIP (J) | 16	25 | TUBE	No	SNPB	N/A for Pkg Type	-55 to 125	CD54ACT257F3A
CD54ACT257F3A.A	Active	Production	CDIP (J) | 16	25 | TUBE	No	SNPB	N/A for Pkg Type	-55 to 125	CD54ACT257F3A
CD74AC257BQBR	Active	Production	WQFN (BQB) | 16	3000 | LARGE T&R	Yes	NIPDAU	Level-1-260C-UNLIM	-55 to 125	AC257
CD74AC257E	Active	Production	PDIP (N) | 16	25 | TUBE	Yes	NIPDAU	N/A for Pkg Type	-55 to 125	CD74AC257E
CD74AC257E.A	Active	Production	PDIP (N) | 16	25 | TUBE	Yes	NIPDAU	N/A for Pkg Type	-55 to 125	CD74AC257E
CD74AC257M	Obsolete	Production	SOIC (D) | 16	-	-	Call TI	Call TI	-55 to 125	AC257M
CD74AC257M96	Active	Production	SOIC (D) | 16	2500 | LARGE T&R	Yes	NIPDAU	Level-1-260C-UNLIM	-55 to 125	AC257M
CD74AC257M96.A	Active	Production	SOIC (D) | 16	2500 | LARGE T&R	Yes	NIPDAU	Level-1-260C-UNLIM	-55 to 125	AC257M
CD74AC257PWR	Active	Production	TSSOP (PW) | 16	3000 | LARGE T&R	Yes	NIPDAU | SN	Level-1-260C-UNLIM	-55 to 125	AC257
CD74AC257PWR.A	Active	Production	TSSOP (PW) | 16	3000 | LARGE T&R	Yes	NIPDAU	Level-1-260C-UNLIM	-55 to 125	AC257
CD74ACT257BQBR	Active	Production	WQFN (BQB) | 16	3000 | LARGE T&R	Yes	NIPDAU	Level-1-260C-UNLIM	-55 to 125	AD257
CD74ACT257E	Active	Production	PDIP (N) | 16	25 | TUBE	Yes	NIPDAU	N/A for Pkg Type	-55 to 125	CD74ACT257E
CD74ACT257E.A	Active	Production	PDIP (N) | 16	25 | TUBE	Yes	NIPDAU	N/A for Pkg Type	-55 to 125	CD74ACT257E
CD74ACT257EE4	Active	Production	PDIP (N) | 16	25 | TUBE	Yes	NIPDAU	N/A for Pkg Type	-55 to 125	CD74ACT257E
CD74ACT257M	Obsolete	Production	SOIC (D) | 16	-	-	Call TI	Call TI	-55 to 125	ACT257M
CD74ACT257M96	Active	Production	SOIC (D) | 16	2500 | LARGE T&R	Yes	NIPDAU	Level-1-260C-UNLIM	-55 to 125	ACT257M
CD74ACT257M96.A	Active	Production	SOIC (D) | 16	2500 | LARGE T&R	Yes	NIPDAU	Level-1-260C-UNLIM	-55 to 125	ACT257M
CD74ACT257PWR	Active	Production	TSSOP (PW) | 16	3000 | LARGE T&R	Yes	NIPDAU | SN	Level-1-260C-UNLIM	-55 to 125	AD257
CD74ACT257PWR.A	Active	Production	TSSOP (PW) | 16	3000 | LARGE T&R	Yes	NIPDAU	Level-1-260C-UNLIM	-55 to 125	AD257
CD74ACT258M	Obsolete	Production	SOIC (D) | 16	-	-	Call TI	Call TI	-55 to 125	ACT258M
CD74ACT258M96	Active	Production	SOIC (D) | 16	2500 | LARGE T&R	Yes	NIPDAU	Level-2-260C-1 YEAR	-55 to 125	ACT258M
CD74ACT258M96.A	Active	Production	SOIC (D) | 16	2500 | LARGE T&R	Yes	NIPDAU	Level-2-260C-1 YEAR	-55 to 125	ACT258M

(1) **Status:** For more details on status, see our product life cycle.

(2) **Material type:** When designated, preproduction parts are prototypes/experimental devices, and are not yet approved or released for full production. Testing and final process, including without limitation quality assurance, reliability performance testing, and/or process qualification, may not yet be complete, and this item is subject to further changes or possible discontinuation. If available for ordering, purchases will be subject to an additional waiver at checkout, and are intended for early internal evaluation purposes only. These items are sold without warranties of any kind.

(3) **RoHS values:** Yes, No, RoHS Exempt. See the TI RoHS Statement for additional information and value definition.

(4) **Lead finish/Ball material:** Parts may have multiple material finish options. Finish options are separated by a vertical ruled line. Lead finish/Ball material values may wrap to two lines if the finish value exceeds the maximum column width.

(5) **MSL rating/Peak reflow:** The moisture sensitivity level ratings and peak solder (reflow) temperatures. In the event that a part has multiple moisture sensitivity ratings, only the lowest level per JEDEC standards is shown. Refer to the shipping label for the actual reflow temperature that will be used to mount the part to the printed circuit board.

(6) **Part marking:** There may be an additional marking, which relates to the logo, the lot trace code information, or the environmental category of the part.

Multiple part markings will be inside parentheses. Only one part marking contained in parentheses and separated by a "~" will appear on a part. If a line is indented then it is a continuation of the previous line and the two combined represent the entire part marking for that device.

Important Information and Disclaimer: The information provided on this page represents TI's knowledge and belief as of the date that it is provided. TI bases its knowledge and belief on information provided by third parties, and makes no representation or warranty as to the accuracy of such information. Efforts are underway to better integrate information from third parties. TI has taken and continues to take reasonable steps to provide representative and accurate information but may not have conducted destructive testing or chemical analysis on incoming materials and chemicals. TI and TI suppliers consider certain information to be proprietary, and thus CAS numbers and other limited information may not be available for release.

In no event shall TI's liability arising out of such information exceed the total purchase price of the TI part(s) at issue in this document sold by TI to Customer on an annual basis.

OTHER QUALIFIED VERSIONS OF CD54AC257, CD54ACT257, CD74AC257, CD74ACT257 :

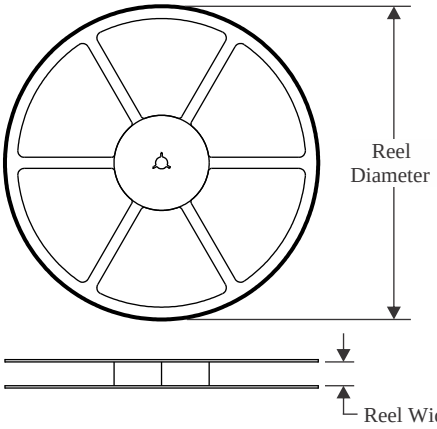
- Catalog : CD74AC257, CD74ACT257
- Military : CD54AC257, CD54ACT257

NOTE: Qualified Version Definitions:

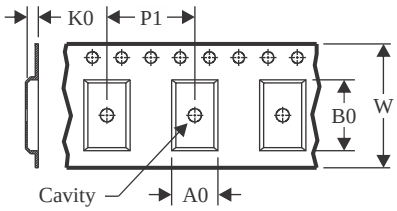
- Catalog - TI's standard catalog product
- Military - QML certified for Military and Defense Applications

TAPE AND REEL INFORMATION

REEL DIMENSIONS

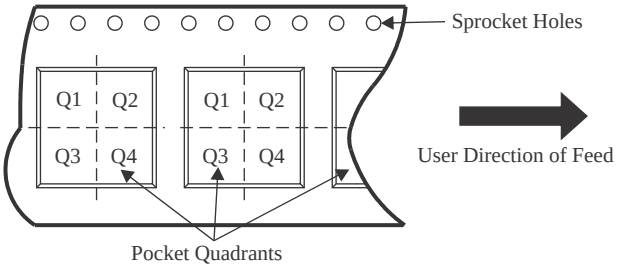


TAPE DIMENSIONS



A0	Dimension designed to accommodate the component width
B0	Dimension designed to accommodate the component length
K0	Dimension designed to accommodate the component thickness
W	Overall width of the carrier tape
P1	Pitch between successive cavity centers

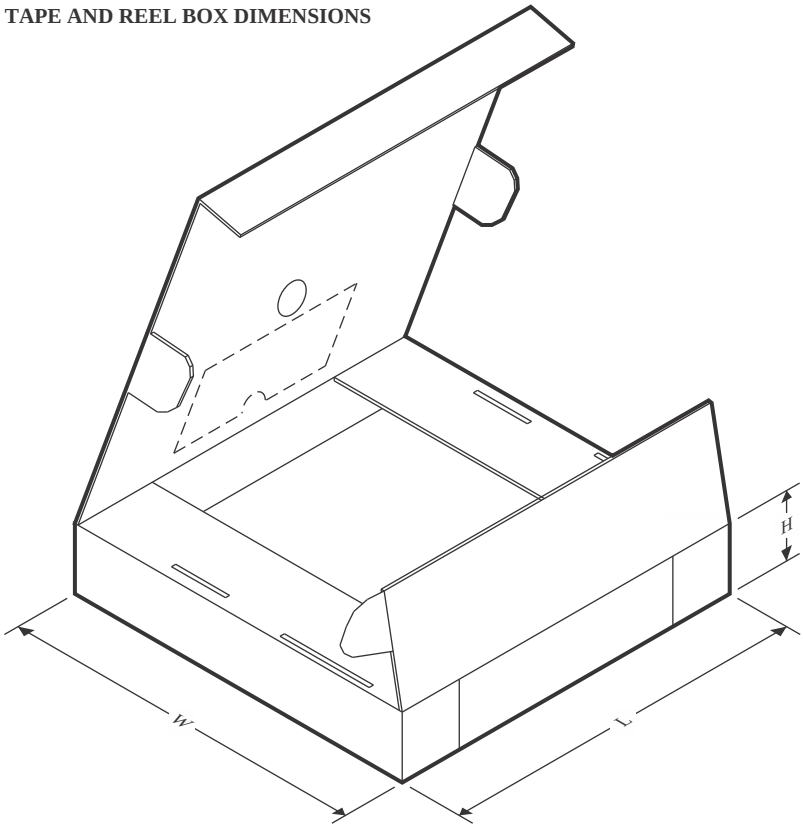
QUADRANT ASSIGNMENTS FOR PIN 1 ORIENTATION IN TAPE



*All dimensions are nominal

Device	Package Type	Package Drawing	Pins	SPQ	Reel Diameter (mm)	Reel Width W1 (mm)	A0 (mm)	B0 (mm)	K0 (mm)	P1 (mm)	W (mm)	Pin1 Quadrant
CD74AC257BQBR	WQFN	BQB	16	3000	180.0	12.4	2.8	3.8	1.2	4.0	12.0	Q1
CD74AC257M96	SOIC	D	16	2500	330.0	16.4	6.5	10.3	2.1	8.0	16.0	Q1
CD74AC257M96	SOIC	D	16	2500	330.0	16.4	6.5	10.3	2.1	8.0	16.0	Q1
CD74AC257PWR	TSSOP	PW	16	3000	330.0	12.4	6.85	5.45	1.6	8.0	12.0	Q1
CD74AC257PWR	TSSOP	PW	16	3000	330.0	12.4	6.9	5.6	1.6	8.0	12.0	Q1
CD74ACT257BQBR	WQFN	BQB	16	3000	180.0	12.4	2.8	3.8	1.2	4.0	12.0	Q1
CD74ACT257M96	SOIC	D	16	2500	330.0	16.4	6.5	10.3	2.1	8.0	16.0	Q1
CD74ACT257M96	SOIC	D	16	2500	330.0	16.4	6.5	10.3	2.1	8.0	16.0	Q1
CD74ACT257PWR	TSSOP	PW	16	3000	330.0	12.4	6.9	5.6	1.6	8.0	12.0	Q1
CD74ACT257PWR	TSSOP	PW	16	3000	330.0	12.4	6.85	5.45	1.6	8.0	12.0	Q1
CD74ACT258M96	SOIC	D	16	2500	330.0	16.4	6.5	10.3	2.1	8.0	16.0	Q1

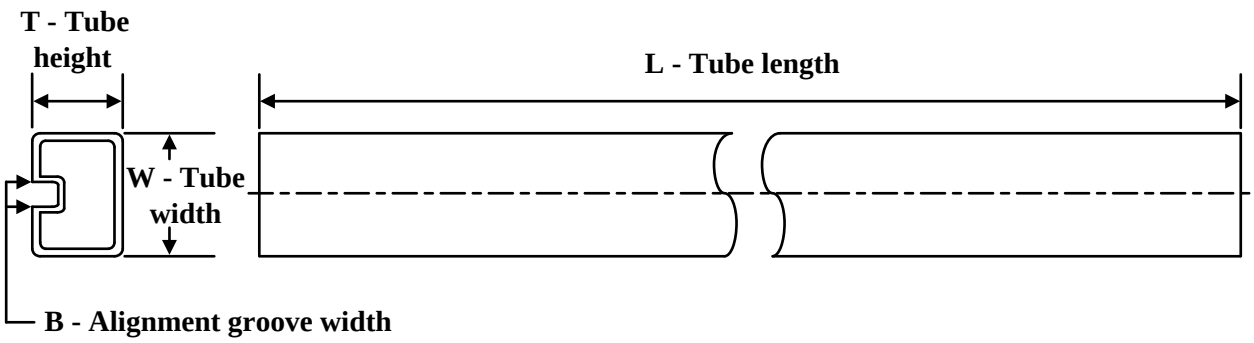
TAPE AND REEL BOX DIMENSIONS



*All dimensions are nominal

Device	Package Type	Package Drawing	Pins	SPQ	Length (mm)	Width (mm)	Height (mm)
CD74AC257BQBR	WQFN	BQB	16	3000	210.0	185.0	35.0
CD74AC257M96	SOIC	D	16	2500	353.0	353.0	32.0
CD74AC257M96	SOIC	D	16	2500	353.0	353.0	32.0
CD74AC257PWR	TSSOP	PW	16	3000	366.0	364.0	50.0
CD74AC257PWR	TSSOP	PW	16	3000	353.0	353.0	32.0
CD74ACT257BQBR	WQFN	BQB	16	3000	210.0	185.0	35.0
CD74ACT257M96	SOIC	D	16	2500	353.0	353.0	32.0
CD74ACT257M96	SOIC	D	16	2500	340.5	336.1	32.0
CD74ACT257PWR	TSSOP	PW	16	3000	353.0	353.0	32.0
CD74ACT257PWR	TSSOP	PW	16	3000	366.0	364.0	50.0
CD74ACT258M96	SOIC	D	16	2500	340.5	336.1	32.0

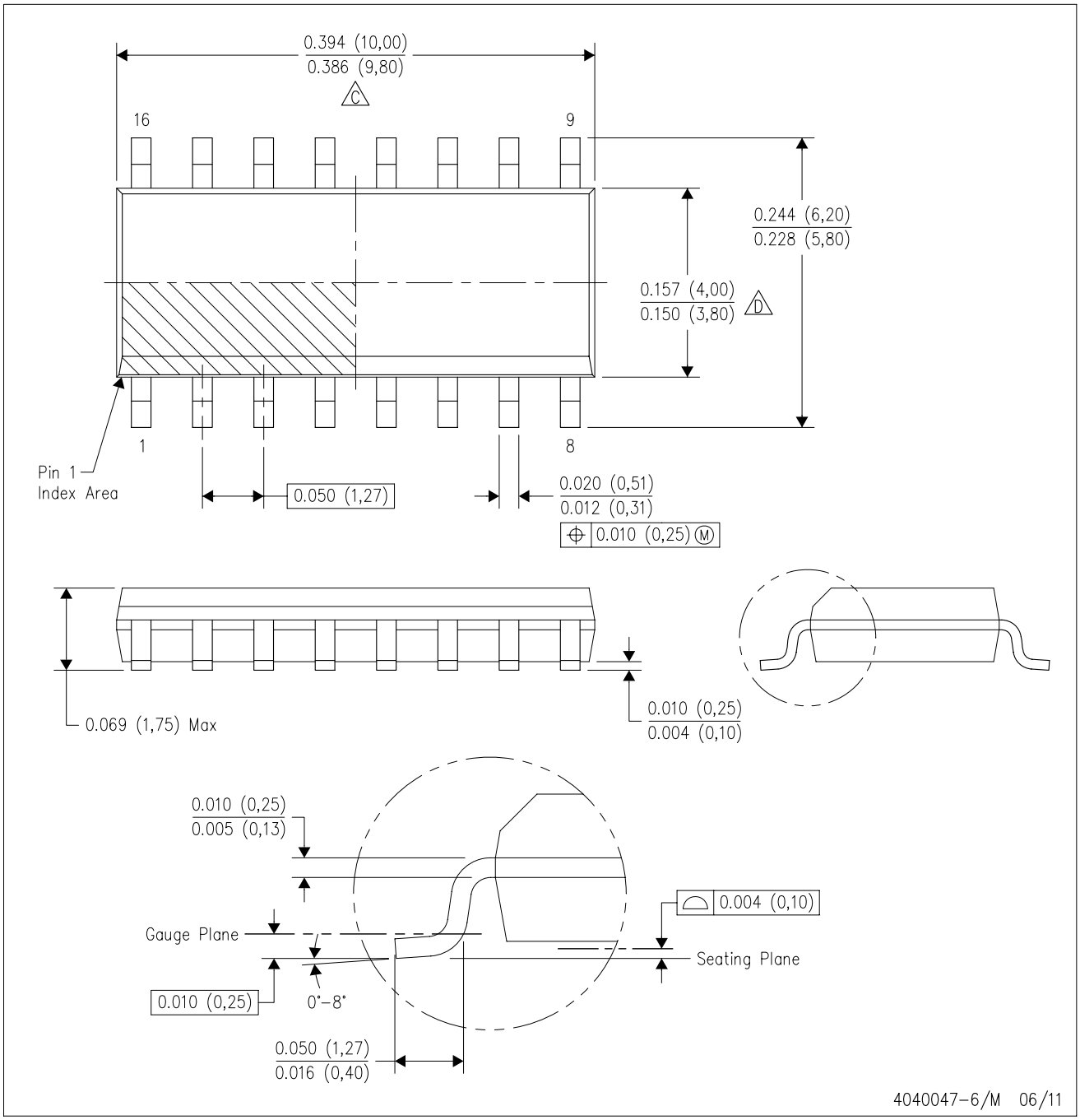
TUBE



*All dimensions are nominal

Device	Package Name	Package Type	Pins	SPQ	L (mm)	W (mm)	T (µm)	B (mm)
CD74AC257E	N	PDIP	16	25	506	13.97	11230	4.32
CD74AC257E	N	PDIP	16	25	506	13.97	11230	4.32
CD74AC257E.A	N	PDIP	16	25	506	13.97	11230	4.32
CD74AC257E.A	N	PDIP	16	25	506	13.97	11230	4.32
CD74ACT257E	N	PDIP	16	25	506	13.97	11230	4.32
CD74ACT257E	N	PDIP	16	25	506	13.97	11230	4.32
CD74ACT257E.A	N	PDIP	16	25	506	13.97	11230	4.32
CD74ACT257E.A	N	PDIP	16	25	506	13.97	11230	4.32
CD74ACT257EE4	N	PDIP	16	25	506	13.97	11230	4.32
CD74ACT257EE4	N	PDIP	16	25	506	13.97	11230	4.32

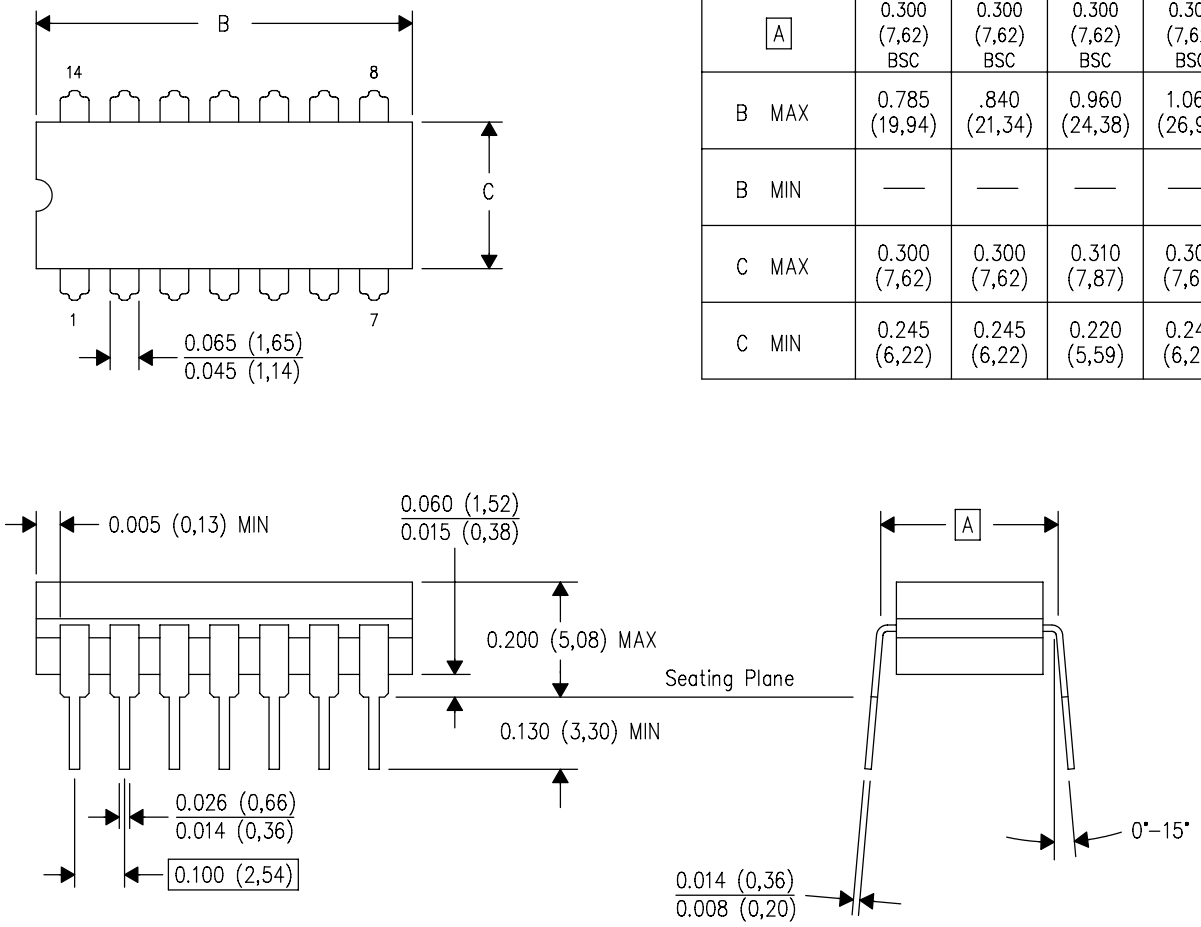
D (R–PDSO–G16) PLASTIC SMALL OUTLINE



NOTES:
A. All linear dimensions are in inches (millimeters).
B. This drawing is subject to change without notice.
C. Body length does not include mold flash, protrusions, or gate burrs. Mold flash, protrusions, or gate burrs shall not exceed 0.006 (0,15) each side.
D. Body width does not include interlead flash. Interlead flash shall not exceed 0.017 (0,43) each side.
E. Reference JEDEC MS–012 variation AC.

J (R–GDIP–T**) CERAMIC DUAL IN–LINE PACKAGE

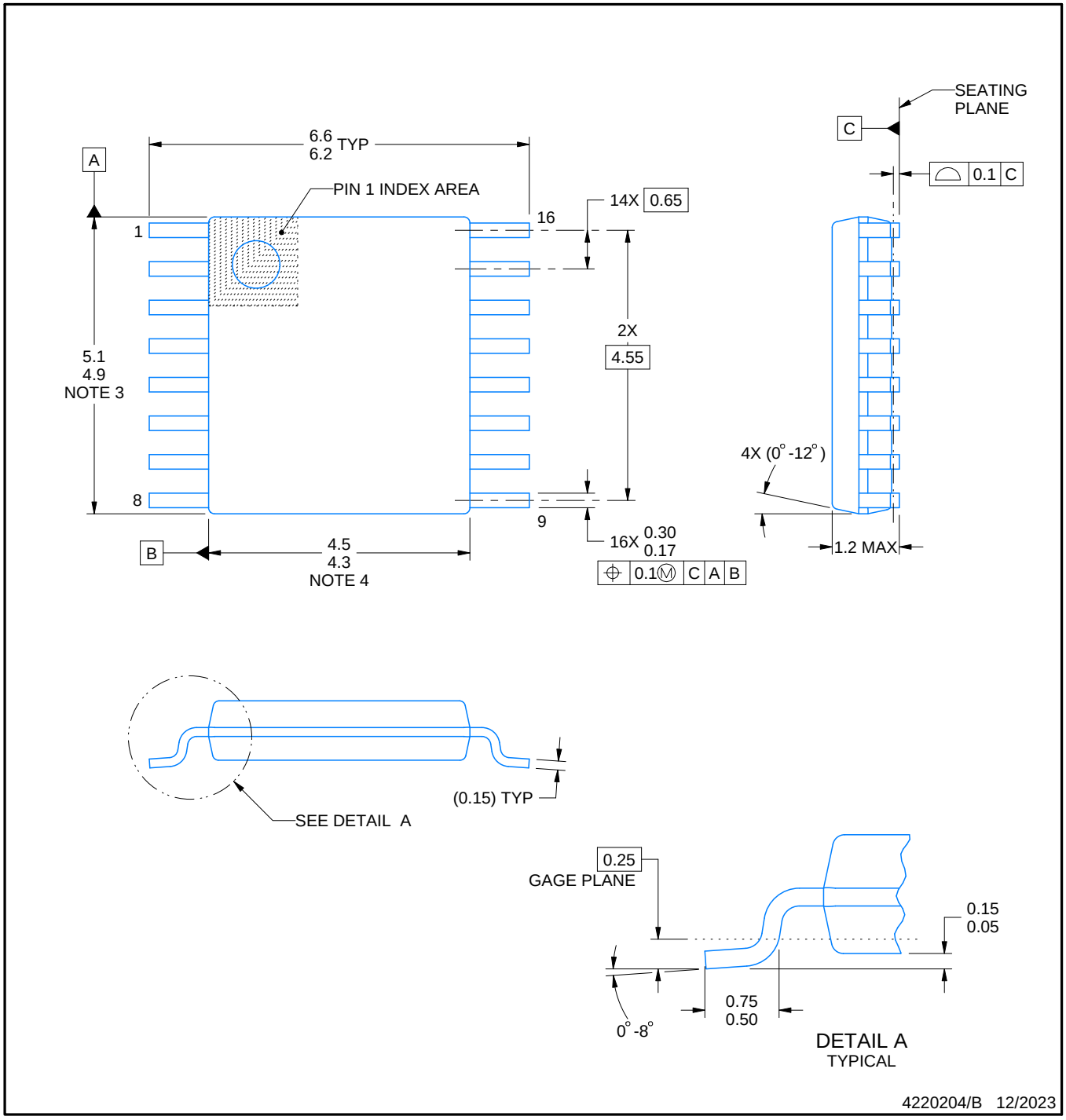
14 LEADS SHOWN



DIM \ PINS **	14	16	18	20
A	0.300 (7,62) BSC	0.300 (7,62) BSC	0.300 (7,62) BSC	0.300 (7,62) BSC
B MAX	0.785 (19,94)	.840 (21,34)	0.960 (24,38)	1.060 (26,92)
B MIN	—	—	—	—
C MAX	0.300 (7,62)	0.300 (7,62)	0.310 (7,87)	0.300 (7,62)
C MIN	0.245 (6,22)	0.245 (6,22)	0.220 (5,59)	0.245 (6,22)

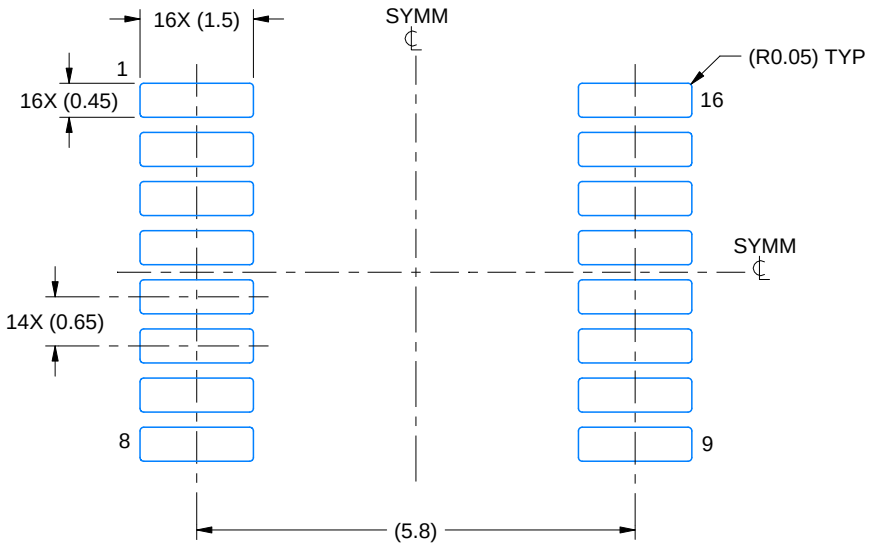
4040083/F 03/03

NOTES:
- A. All linear dimensions are in inches (millimeters).
- B. This drawing is subject to change without notice.
- C. This package is hermetically sealed with a ceramic lid using glass frit.
- D. Index point is provided on cap for terminal identification only on press ceramic glass frit seal only.
- E. Falls within MIL STD 1835 GDIP1–T14, GDIP1–T16, GDIP1–T18 and GDIP1–T20.



NOTES:

1. All linear dimensions are in millimeters. Any dimensions in parenthesis are for reference only. Dimensioning and tolerancing per ASME Y14.5M.
2. This drawing is subject to change without notice.
3. This dimension does not include mold flash, protrusions, or gate burrs. Mold flash, protrusions, or gate burrs shall not exceed 0.15 mm per side.
4. This dimension does not include interlead flash. Interlead flash shall not exceed 0.25 mm per side.
5. Reference JEDEC registration MO-153.



LAND PATTERN EXAMPLE
EXPOSED METAL SHOWN
SCALE: 10X

NON-SOLDER MASK DEFINED (PREFERRED)

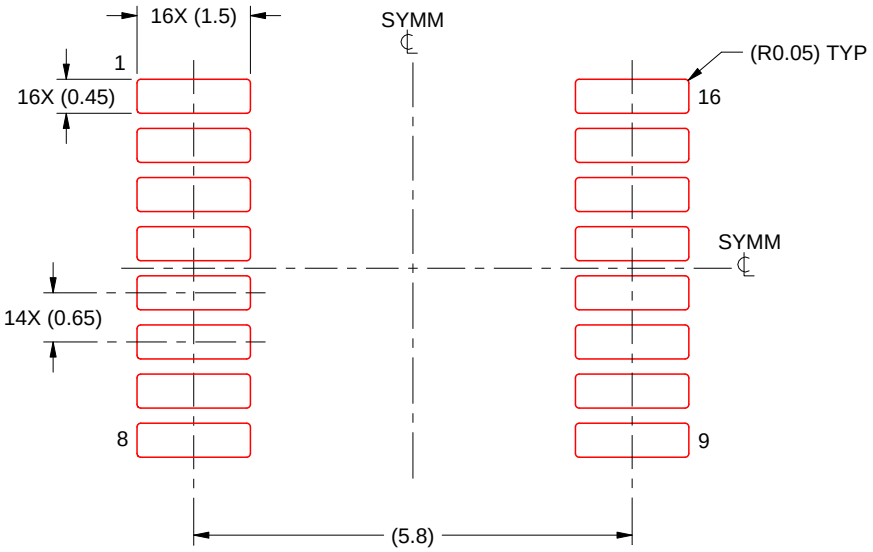
SOLDER MASK DEFINED

SOLDER MASK DETAILS

4220204/B 12/2023

NOTES: (continued)

6. Publication IPC-7351 may have alternate designs.
7. Solder mask tolerances between and around signal pads can vary based on board fabrication site.



SOLDER PASTE EXAMPLE
BASED ON 0.125 mm THICK STENCIL
SCALE: 10X

4220204/B 12/2023

NOTES: (continued)

8. Laser cutting apertures with trapezoidal walls and rounded corners may offer better paste release. IPC-7525 may have alternate design recommendations.
9. Board assembly site may have different recommendations for stencil design.

GENERIC PACKAGE VIEW

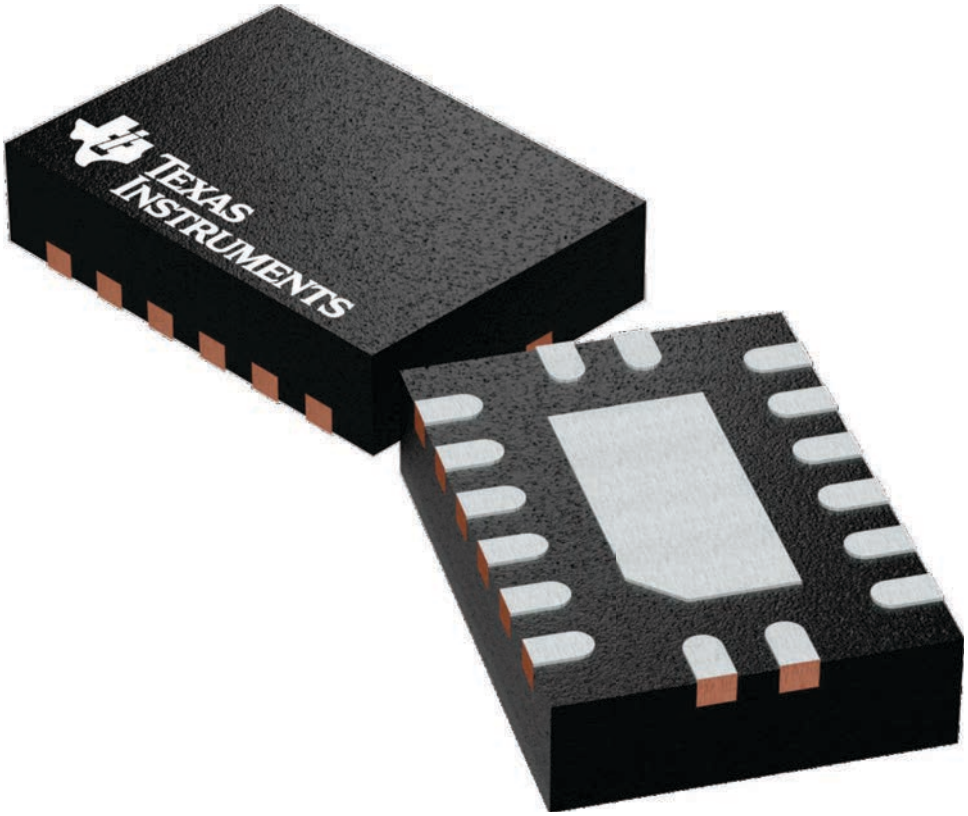
BQB 16

WQFN - 0.8 mm max height

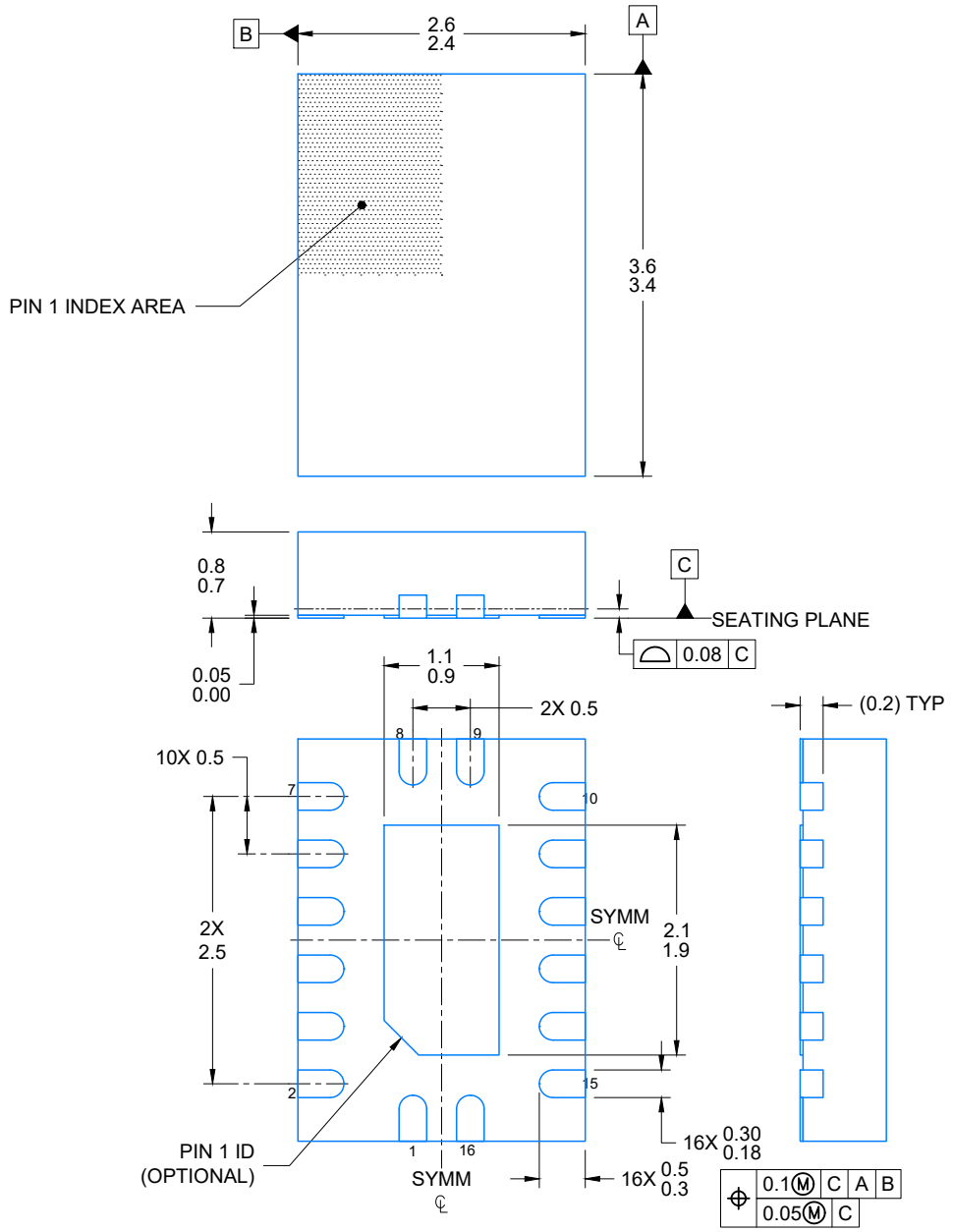
2.5 x 3.5, 0.5 mm pitch

PLASTIC QUAD FLATPACK - NO LEAD

This image is a representation of the package family, actual package may vary.
Refer to the product data sheet for package details.



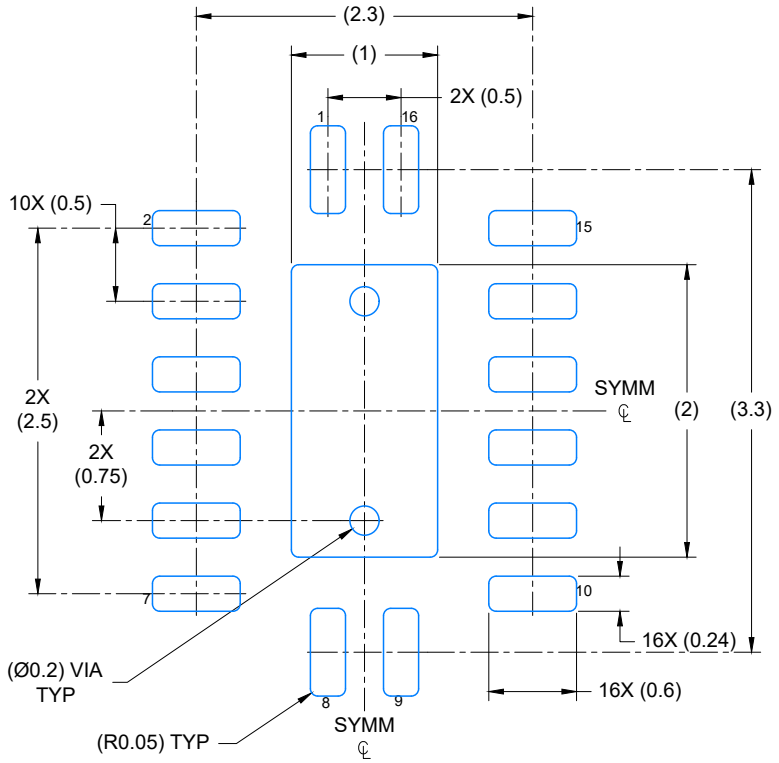
4226161/A



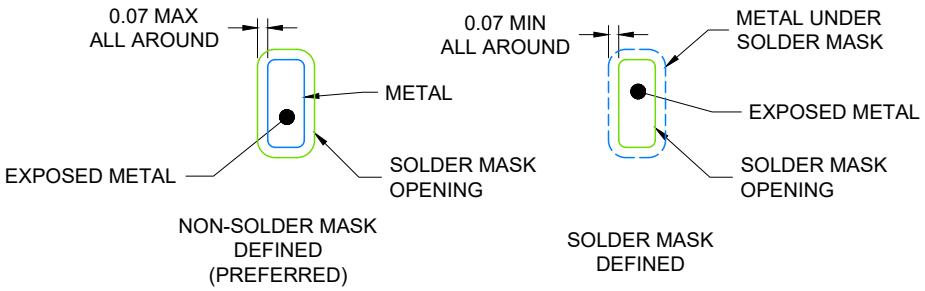
4224640/A 11/2018

NOTES:

1. All linear dimensions are in millimeters. Any dimensions in parenthesis are for reference only. Dimensioning and tolerancing per ASME Y14.5M.
2. This drawing is subject to change without notice.
3. The package thermal pad must be soldered to the printed circuit board for optimal thermal and mechanical performance.



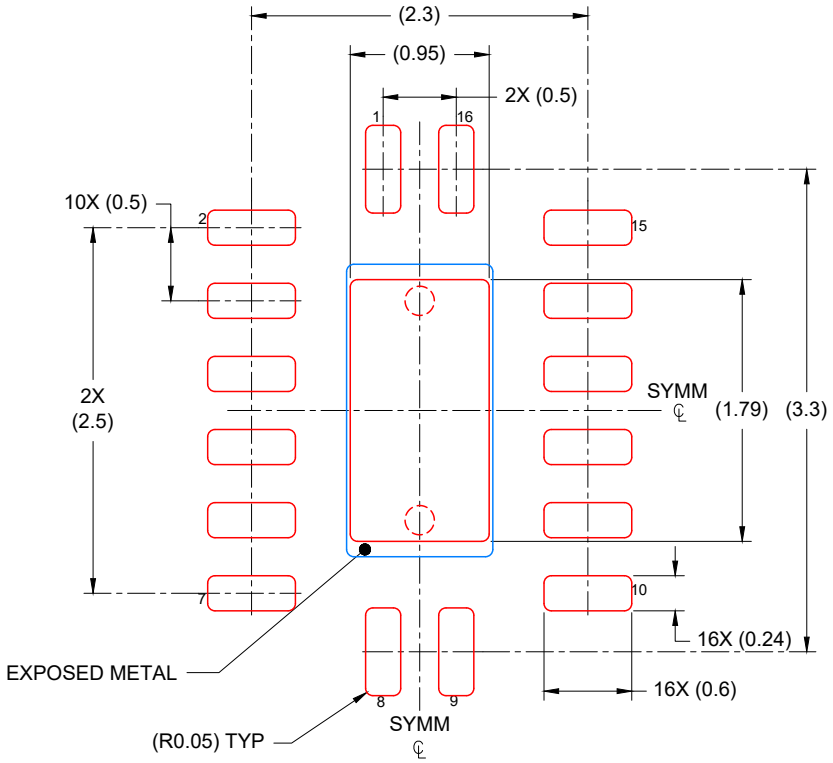
LAND PATTERN EXAMPLE
EXPOSED METAL SHOWN
SCALE: 20X



4224640/A 11/2018

NOTES: (continued)

4. This package is designed to be soldered to a thermal pad on the board. For more information, see Texas Instruments literature number SLUA271 (www.ti.com/lit/slua271).
5. Vias are optional depending on application, refer to device data sheet. If any vias are implemented, refer to their locations shown on this view. It is recommended that vias under paste be filled, plugged or tented.



SOLDER PASTE EXAMPLE
BASED ON 0.125 mm THICK STENCIL

EXPOSED PAD
85% PRINTED COVERAGE BY AREA
SCALE: 20X

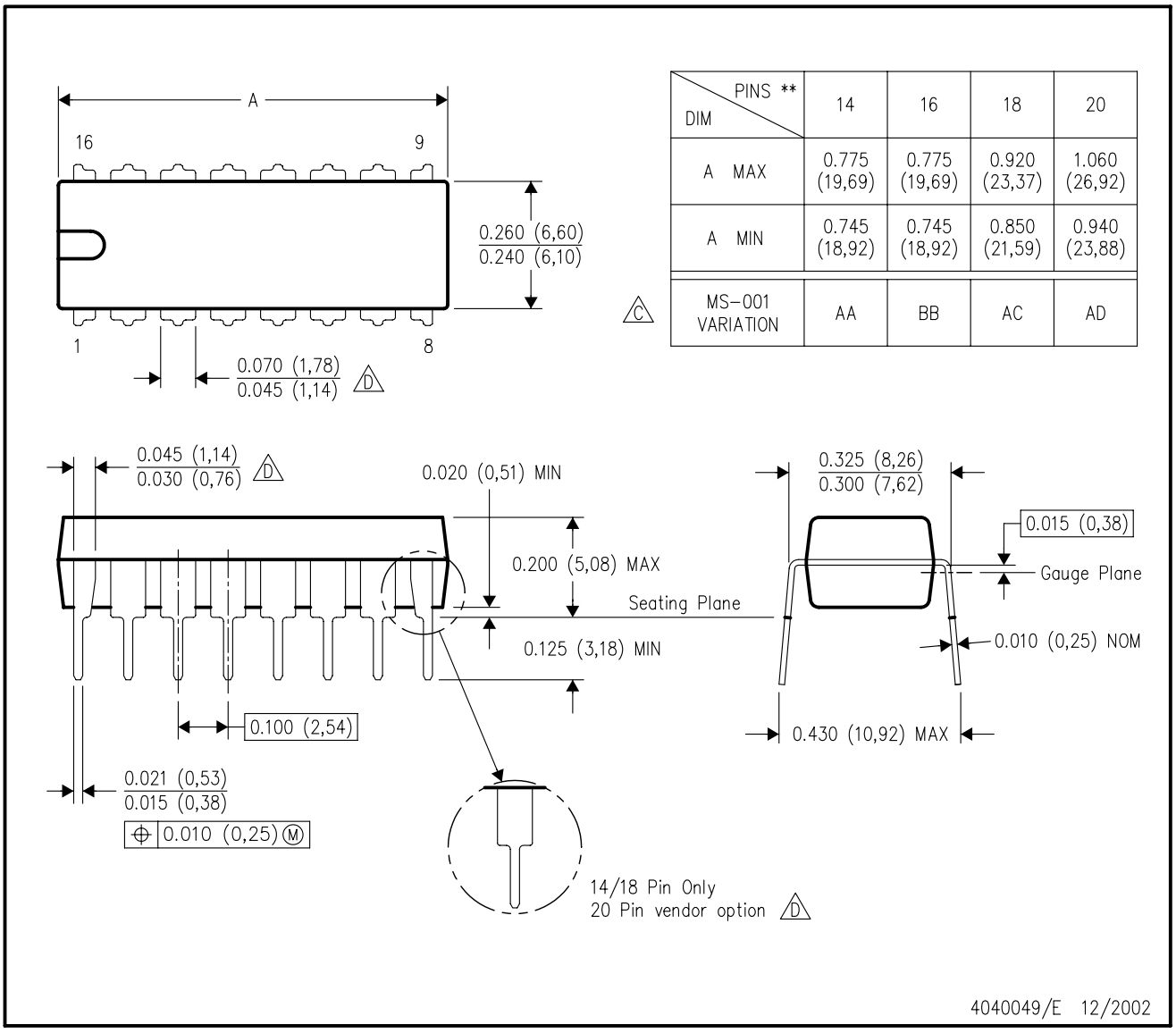
4224640/A 11/2018

NOTES: (continued)

6. Laser cutting apertures with trapezoidal walls and rounded corners may offer better paste release. IPC-7525 may have alternate design recommendations.

N (R–PDIP–T**) PLASTIC DUAL–IN–LINE PACKAGE

16 PINS SHOWN



DIM \ PINS **	14	16	18	20
A MAX	0.775 (19,69)	0.775 (19,69)	0.920 (23,37)	1.060 (26,92)
A MIN	0.745 (18,92)	0.745 (18,92)	0.850 (21,59)	0.940 (23,88)
MS–001 VARIATION (C)	AA	BB	AC	AD

NOTES:
A. All linear dimensions are in inches (millimeters).
B. This drawing is subject to change without notice.
C. Falls within JEDEC MS–001, except 18 and 20 pin minimum body length (Dim A).
D. The 20 pin end lead shoulder width is a vendor option, either half or full width.

重要なお知らせと免責事項

テキサス· インスツルメンツは、技術データと信頼性データ (データシートを含みます)、設計リソース (リファレンス デザインを含みます)、アプリケーションや設計に関する各種アドバイス、Web ツール、安全性情報、その他のリソースを、欠陥が存在する可能性のある「現状のまま」提供しており、商品性および特定目的に対する適合性の黙示保証、第三者の知的財産権の非侵害保証を含むいかなる保証も、明示的または黙示的にかかわらず拒否します。

これらのリソースは、 テキサス· インスツルメンツ製品を使用する設計の経験を積んだ開発者への提供を意図したものです。(1) お客様のアプリケーションに適した テキサス· インスツルメンツ製品の選定、(2) お客様のアプリケーションの設計、検証、試験、(3) お客様のアプリケーションに該当する各種規格や、その他のあらゆる安全性、セキュリティ、規制、または他の要件への確実な適合に関する責任を、お客様のみが単独で負うものとします。

上記の各種リソースは、予告なく変更される可能性があります。これらのリソースは、リソースで説明されている テキサス· インスツルメンツ製品を使用するアプリケーションの開発の目的でのみ、 テキサス· インスツルメンツはその使用をお客様に許諾します。これらのリソースに関して、他の目的で複製することや掲載することは禁止されています。 テキサス· インスツルメンツや第三者の知的財産権のライセンスが付与されている訳ではありません。お客様は、これらのリソースを自身で使用した結果発生するあらゆる申し立て、損害、費用、損失、責任について、 テキサス· インスツルメンツおよびその代理人を完全に補償するものとし、 テキサス· インスツルメンツは一切の責任を拒否します。

テキサス· インスツルメンツの製品は、 テキサス· インスツルメンツの販売条件、または ti.com やかかる テキサス· インスツルメンツ製品の関連資料などのいずれかを通じて提供する適用可能な条項の下で提供されています。 テキサス· インスツルメンツがこれらのリソースを提供することは、適用される テキサス· インスツルメンツの保証または他の保証の放棄の拡大や変更を意味するものではありません。

お客様がいかなる追加条項または代替条項を提案した場合でも、 テキサス· インスツルメンツはそれらに異議を唱え、拒否します。

郵送先住所：Texas Instruments, Post Office Box 655303, Dallas, Texas 75265
Copyright © 2025, Texas Instruments Incorporated