

CD4051B-Q1 8 チャンネルを 1 セット備えた、車載 CMOS アナログ マルチプレクサ / デマルチプレクサ、ロジック レベル変換付き

1 特長

- 車載アプリケーション用に AEC-Q100 認定済み:
 - 温度グレード 1: $-45^{\circ}\text{C} \sim +125^{\circ}\text{C}$, T_A
- 幅広いデジタルおよびアナログ信号レベル:
 - デジタル: $3\text{V} \sim 20\text{V}$
 - アナログ: $20\text{V}_{\text{P-P}}$ 以下
- 単一電源電圧範囲: $3\text{V} \sim 20\text{V}$ (V_{DD} が 3V 未満の場合は性能が低下)
- デュアル電源電圧範囲: $\pm 3\text{V} \sim \pm 10\text{V}$
- 低いオン抵抗, $V_{\text{DD}} = 15\text{V}$ で入力範囲全体で 125Ω (代表値)
- $V_{\text{DD}} = 15\text{V}$ で $\pm 10\text{pA}$ (標準値) の低いチャネルリーク
- 低消費電力: $0.2\mu\text{W}$ (標準値)
- 双方向の信号パス
- ESD 保護 (HBM): 3000V , CDM: 2000V
- 業界標準の 4051 とピン互換

2 アプリケーション

- アナログおよびデジタルの多重化 / 多重分離
- アナログ・デジタルおよびデジタル・アナログ変換
- 信号ゲーティング
- ファクトリ・オートメーション
- テレビ
- 電化製品
- 民生用オーディオ
- プログラム可能な論理回路
- センサ

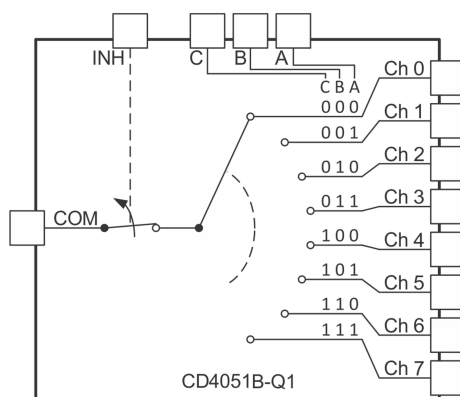
3 概要

CD4051B-Q1 アナログ マルチプレクサ / デマルチプレクサは、オン状態のインピーダンスが低くオフ状態のリーク電流が非常に小さいデジタル制御のアナログ スイッチです。これらのマルチプレクサ回路は、制御信号の論理状態にかかわらず、 $V_{\text{DD}} - V_{\text{SS}}$ および $V_{\text{DD}} - V_{\text{EE}}$ の電源電圧範囲全体にわたって非常に小さな静止電力しか消費しません。

パッケージ情報

部品番号	パッケージ ⁽¹⁾	パッケージ サイズ ⁽²⁾
CD4051B-Q1	D (SOIC, 16)	$9.9\text{mm} \times 6\text{mm}$
	PW (TSSOP, 16)	$5\text{mm} \times 6.4\text{mm}$

- 利用可能なすべてのパッケージについては、データシートの末尾にある注文情報を参照してください。
- パッケージ サイズ (長さ×幅) は公称値であり、該当する場合はピンも含まれます。



CD4051B-Q1 の機能ブロック図



Table of Contents

1 特長	1	7.4 Device Functional Modes.....	17
2 アプリケーション	1	8 Application and Implementation	18
3 概要	1	8.1 Application Information.....	18
4 Pin Configuration and Functions	3	8.2 Typical Application.....	18
5 Specifications	4	8.3 Power Supply Recommendations.....	19
5.1 Absolute Maximum Ratings.....	4	8.4 Layout.....	20
5.2 ESD Ratings.....	4	9 Device and Documentation Support	21
5.3 Recommended Operating Conditions.....	4	9.1 Documentation Support.....	21
5.4 Thermal Information.....	5	9.2 ドキュメントの更新通知を受け取る方法.....	21
5.5 Electrical Characteristics - CD4051B-Q1.....	6	9.3 サポート・リソース.....	21
5.6 AC Performance Characteristics - CD4051B-Q1.....	10	9.4 Trademarks.....	21
5.7 Typical Characteristics.....	11	9.5 静電気放電に関する注意事項.....	21
6 Parameter Measurement Information	12	9.6 用語集.....	21
7 Detailed Description	15	10 Revision History	22
7.1 Overview.....	15	11 Mechanical, Packaging, and Orderable Information	22
7.2 Functional Block Diagrams.....	16		
7.3 Feature Description.....	17		

4 Pin Configuration and Functions

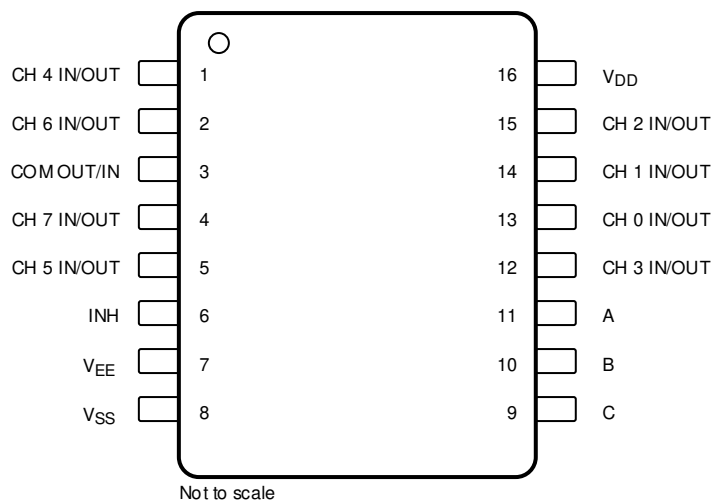


図 4-1. CD4051B-Q1 D or PW Package, (Top View)

表 4-1. Pin Functions CD4051B-Q1

PIN		TYPE ⁽¹⁾	DESCRIPTION
NO.	NAME		
1	CH 4 IN/OUT	I/O	Channel 4 in/out
2	CH 6 IN/OUT	I/O	Channel 6 in/out
3	COM OUT/IN	I/O	Common out/in
4	CH 7 IN/OUT	I/O	Channel 7 in/out
5	CH 5 IN/OUT	I/O	Channel 5 in/out
6	INH	I	Disables all channels. See 表 7-1.
7	V _{EE}	—	Negative power input
8	V _{SS}	—	Ground
9	C	I	Channel select C. See 表 7-1.
10	B	I	Channel select B. See 表 7-1.
11	A	I	Channel select A. See 表 7-1.
12	CH 3 IN/OUT	I/O	Channel 3 in/out
13	CH 0 IN/OUT	I/O	Channel 0 in/out
14	CH 1 IN/OUT	I/O	Channel 1 in/out
15	CH 2 IN/OUT	I/O	Channel 2 in/out
16	V _{DD}	—	Positive power input

(1) I = input, O = output

5 Specifications

5.1 Absolute Maximum Ratings

over operating free-air temperature range (unless otherwise noted)^{(1) (2)}

			MIN	MAX	UNIT
	Supply Voltage	V+ to V-, Voltages Referenced to V _{SS} Terminal	−0.5	20	V
	DC Input Voltage		−0.5	V _{DD} +0.5	V
	DC Input Current	Any One Input	−10	10	mA
T _{JMAX1}	Maximum junction temperature, ceramic package			175	°C
T _{JMAX2}	Maximum junction temperature, plastic package			150	°C
T _{stg}	Storage temperature		−65	150	°C

(1) Stresses beyond those listed under *Absolute Maximum Rating* may cause permanent damage to the device. These are stress ratings only, which do not imply functional operation of the device at these or any other conditions beyond those indicated under *Recommended Operating Condition*. Exposure to absolute-maximum-rated conditions for extended periods may affect device reliability.

(2) All voltages are with respect to ground, unless otherwise specified.

5.2 ESD Ratings

			VALUE	UNIT
V _(ESD)	Electrostatic discharge	Human body model (HBM), per ANSI/ESDA/JEDEC JS-001, all pins ⁽¹⁾	±3000	V
		Charged device model (CDM), per JEDEC specification JESD22-C101, all pins ⁽²⁾	±2000	

(1) JEDEC document JEP155 states that 500V HBM allows safe manufacturing with a standard ESD control process.

(2) JEDEC document JEP157 states that 250V CDM allows safe manufacturing with a standard ESD control process.

5.3 Recommended Operating Conditions

over operating free-air temperature range (unless otherwise noted)

	MIN	NOM	MAX	UNIT
Temperature Range	−55		125	°C

5.4 Thermal Information

THERMAL METRIC ⁽¹⁾		CD4051B-Q1		UNIT
		D (SOIC)	PW (TSSOP)	
		16 PINS	16 PINS	
R _{θJA}	Junction-to-ambient thermal resistance	86.7	116.5	°C/W
R _{θJC(top)}	Junction-to-case (top) thermal resistance	47.3	47.2	°C/W
R _{θJB}	Junction-to-board thermal resistance	45.3	63.0	°C/W
Ψ _{JT}	Junction-to-top characterization parameter	12.1	6.4	°C/W
Ψ _{JB}	Junction-to-board characterization parameter	44.9	62.1	°C/W
R _{θJC(bot)}	Junction-to-case (bottom) thermal resistance	N/A	N/A	°C/W

(1) For more information about traditional and new thermal metrics, see the [Semiconductor and IC Package Thermal Metrics](#) application report.

5.5 Electrical Characteristics - CD4051B-Q1

Over operating free-air temperature range, $V_{\text{SUPPLY}} = \pm 5 \text{ V}$, and $R_L = 100 \Omega$, (unless otherwise noted)⁽¹⁾

PARAMETER	TEST CONDITIONS					MIN	TYP	MAX	UNIT
SIGNAL INPUTS (V _{IS}) AND OUTPUTS (V _{OS}) - CD4051B-Q1									
	V _{IS} (V)	V _{EE} (V)	V _{SS} (V)	V _{DD} (V)	TEMP				
Quiescent Device Current, I _{DD} (Max)		0 V	0 V	5 V	–55°C		60	μA	
					–40°C		60		
					25°C		17		60
					85°C		150		
					125°C		150		
		0 V	0 V	10 V	–55°C		60		
					–40°C		60		
					25°C		18		60
					85°C		300		
					125°C		300		
		0 V	0 V	15 V	–55°C		60		
					–40°C		60		
					25°C		18		60
					85°C		600		
					125°C		600		
		0 V	0 V	20 V	–55°C		100		
					–40°C		100		
					25°C		18		100
					85°C		300		0
					125°C		300		0
Drain to Source ON Resistance r _{ON} (Max) 0 ≤ V _{IS} ≤ V _{DD}		0 V	0 V	5 V	–55°C		800	Ω	
					–40°C		850		
					25°C		470		1050
					85°C		120		0
					125°C		130		0
		0 V	0 V	10 V	–55°C		310		
					–40°C		300		
					25°C		180		400
					85°C		520		
					125°C		550		
		0 V	0	15 V	–55°C		200		
					–40°C		210		
					25°C		125		240
					85°C		300		
					125°C		300		

5.5 Electrical Characteristics - CD4051B-Q1 (続き)

Over operating free-air temperature range, $V_{\text{SUPPLY}} = \pm 5 \text{ V}$, and $R_L = 100 \Omega$, (unless otherwise noted)⁽¹⁾

PARAMETER			TEST CONDITIONS				MIN	TYP	MAX	UNIT	
Change in ON Resistance (Between Any Two Channels), ΔR_{ON}				0 V	0 V	5 V	25°C		15	Ω	
				0 V	0 V	10 V			10		
				0 V	0 V	15 V			5		
OFF Channel Leakage Current: Any Channel OFF (Max) or ALL Channels OFF (COMMON OUT/IN) (Max)				0 V	0 V	18 V	–55°C		± 100	nA	
							–40°C				
							25°C		± 0.01		± 100 (2)
							85°C		± 100 0(2)		
							125°C				
ON Channel Leakage Current: Any Channel ON (Max) or ALL Channels ON (COMMON OUT/IN) (Max)			5 or 0	–5 V	0 V	10.5 V	85°C		± 300	nA	
			5	0 V	0 V	18 V	85°C		± 300		
Capacitance	Input, C_{IS}			0 V	0 V	10 V	25°C		5	pF	
	Output, C_{OS}							CD4051-Q1			30
	Feed through, C_{IOS}										0.2
Prop Delay			V_{DD}	$R_{\text{L}} = 200 \text{ k}\Omega$		5 V	25°C		30 60	ns	
				$C_{\text{L}} = 50 \text{ pF}$		10 V			15 30		
				$t_{\text{r}}, t_{\text{f}} = 20 \text{ ns}$		15 V			10 20		

5.5 Electrical Characteristics - CD4051B-Q1 (続き)

Over operating free-air temperature range, $V_{\text{SUPPLY}} = \pm 5 \text{ V}$, and $R_L = 100 \Omega$, (unless otherwise noted)⁽¹⁾

PARAMETER		TEST CONDITIONS				MIN	TYP	MAX	UNIT	
CONTROL (ADDRESS OR INHIBIT), V _C - CD4051B-Q1										
Input Low Voltage, V _{IL} , (Max)					5 V	–55°C	0.8		V	
						–40°C	0.8			
						25°C	0.8			
						85°C	0.8			
						125°C	0.8			
					10 V	–55°C	0.8			
						–40°C	0.8			
						25°C	0.8			
						85°C	0.8			
						125°C	0.8			
					15 V	–55°C	0.8			
						–40°C	0.8			
						25°C	0.8			
						85°C	0.8			
						125°C	0.8			
Input High Voltage, V _{IH} , (Min)					5 V	–55°C	3.5		V	
						–40°C	3.5			
						25°C	3.5			
						85°C	3.5			
						125°C	3.5			
					10 V	–55°C	7			
						–40°C	7			
						25°C	7			
						85°C	7			
						125°C	7			
					15 V	–55°C	11			
						–40°C	11			
						25°C	11			
						85°C	11			
						125°C	11			
Input current, I _{IN} (Max)					18 V	–55°C	±1		μA	
						–40°C	±1			
						25°C	±0.6			
						85°C	±1			
						125°C	±1			
Prop agati on Delay Time	Address-to-Signal OUT (Channels ON or OFF) (See Figure 10, Figure 11, and Figure 15)		t _r , t _f = 20ns, C _L = 50 pF, R _L = 10 kΩ	0 V	0 V	5 V		450	720	ns
				0 V	0 V	10 V		160	320	
				0 V	0 V	15 V		120	240	
				–5 V	0 V	5 V		225	450	

5.5 Electrical Characteristics - CD4051B-Q1 (続き)

Over operating free-air temperature range, $V_{\text{SUPPLY}} = \pm 5 \text{ V}$, and $R_L = 100 \Omega$, (unless otherwise noted)⁽¹⁾

PARAMETER		TEST CONDITIONS					MIN	TYP	MAX	UNIT
Propagation Delay Time	Inhibit-to-Signal OUT (Channel Turning ON) (See Figure 11)	$t_r, t_f = 20$ ns, $C_L = 50$ pF, $R_L = 1$ kΩ	0 V	0 V	5 V		400	720	ns	
			0 V	0 V	10 V		160	320		
			0 V	0 V	15 V		120	240		
			−10 V	0 V	5 V		200	400		
Propagation Delay Time	Inhibit-to-Signal OUT (Channel Turning OFF) (See Figure 17)	$t_r, t_f = 20$ ns, $C_L = 50$ pF, $R_L = 10$ kΩ	0 V	0 V	5 V		200	450	ns	
			0 V	0 V	10 V		90	210		
			0 V	0 V	15 V		70	160		
			−10 V	0 V	5 V		130	300		
Input Capacitance, C_{IN} (Any Address or Inhibit Input)			−5 V	0 V	5 V	25°C	5	7.5	pF	

(1) Peak-to-Peak voltage symmetrical about $(V_{\text{DD}} - V_{\text{EE}}) / 2$.

(2) Determined by minimum feasible leakage measurement for automatic testing.

5.6 AC Performance Characteristics - CD4051B-Q1

 $V_{DD} = +15\text{ V}$, $V_{SS} = V_{EE} = 0\text{ V}$,

 $T_A = 25^\circ\text{C}$ (unless otherwise noted)

PARAMETER	TEST CONDITIONS					TYP	UNIT
	V _{IS} (V)	V _{DD} (V)	R _L (kΩ)				
Cutoff (−3dB)	5 ⁽¹⁾	10	1	V _{OS} at Common OUT/IN	CD4051-Q1	20	MHz
Frequency Channel ON (Sine Wave Input)	V _{EE} = V _{SS} , 20Log(V _{OS} /V _{IS}) = −3 dB			V _{OS} at Any Channel		60	
Total Harmonic Distortion, THD	2 ⁽¹⁾	5	10			0.3%	%
	3 ⁽¹⁾	10	10			0.2%	
	5 ⁽¹⁾	15	10			0.12%	
	V _{EE} = V _{SS} , f _{IS} = 1 kHz Sine Wave						
−40dB Feedthrough Frequency (All Channels OFF)	5 ⁽¹⁾	10	1	V _{OS} at Common OUT/IN	CD4051-Q1	12	MHz
	V _{EE} = V _{SS} , 20Log(V _{OS} /V _{IS}) = −40 dB			V _{OS} at Any Channel		8	MHz
−40dB Signal Crosstalk Frequency	5 ⁽¹⁾	10	1			3	MHz
Address-or-Inhibit-to-Signal Crosstalk		10	10 ⁽²⁾			65	mV _{PEAK}
	V _{EE} = 0, V _{SS} = 0, t _r , t _f = 20 ns, mV _{PEAK} V _{CC} = V _{DD} − V _{SS} (Square Wave)					65	mV _{PEAK}

(1) Peak-to-Peak voltage symmetrical about $(V_{DD} - V_{EE}) / 2$.

(2) Both ends of channel.

5.7 Typical Characteristics

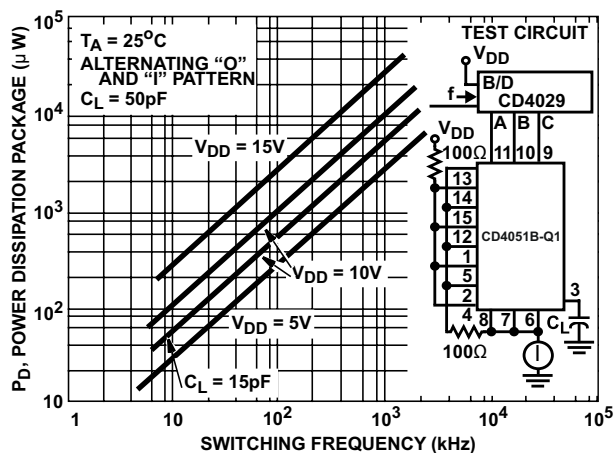


FIG 5-1. Dynamic Power Dissipation vs Switching Frequency (CD4051B-Q1)

6 Parameter Measurement Information

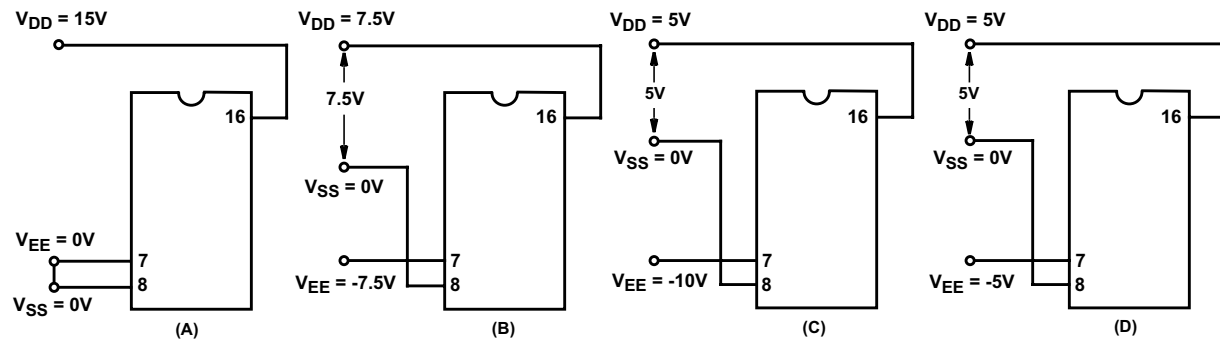


図 6-1. Typical Bias Voltages

注

The ADDRESS (digital-control inputs) and INHIBIT logic levels are: 0 = V_{SS} and 1 = V_{DD} . The analog signal (through the TG) may swing from V_{EE} to V_{DD} .

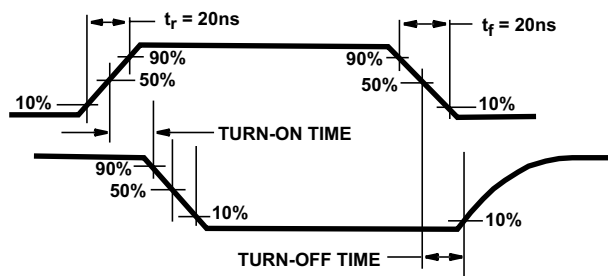


図 6-2. Waveforms, Channel Being Turned ON ($R_L = 1\text{ k}\Omega$)

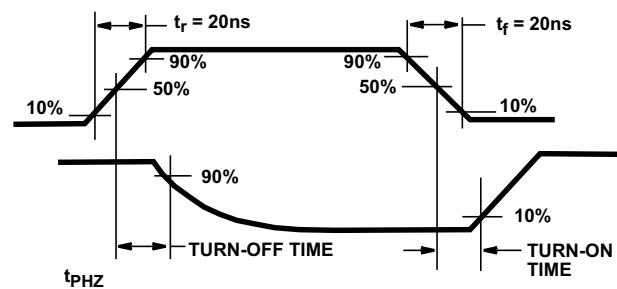


図 6-3. Waveforms, Channel Being Turned OFF ($R_L = 1\text{ k}\Omega$)

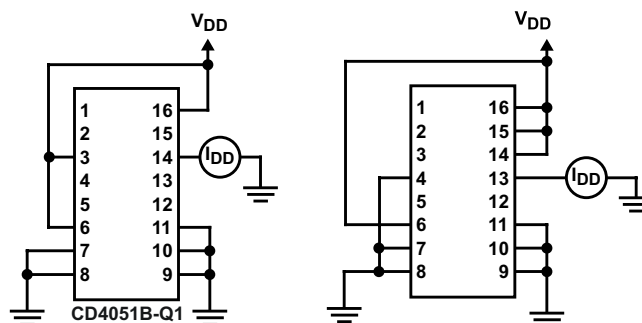


図 6-4. OFF Channel Leakage Current – Any Channel OFF

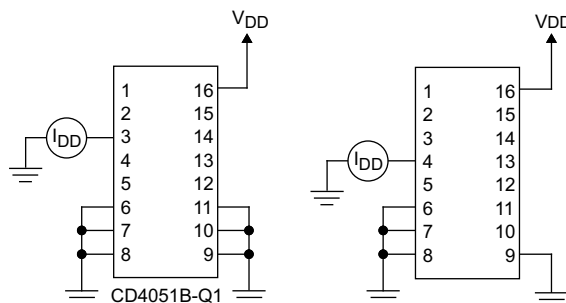


図 6-5. On Channel Leakage Current – Any Channel On

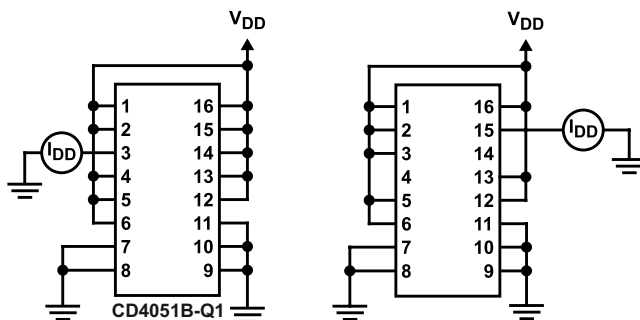


図 6-6. OFF Channel Leakage Current – All Channels OFF

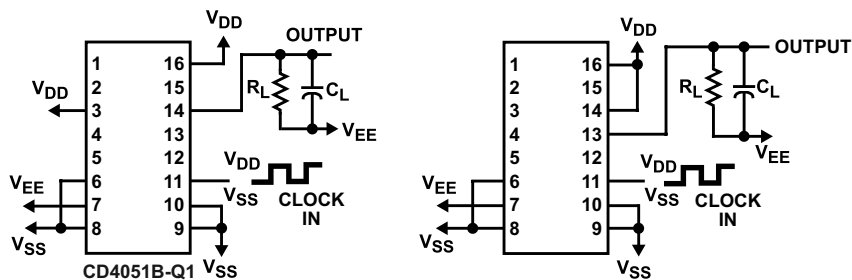


図 6-7. Propagation Delay – Address Input to Signal Output

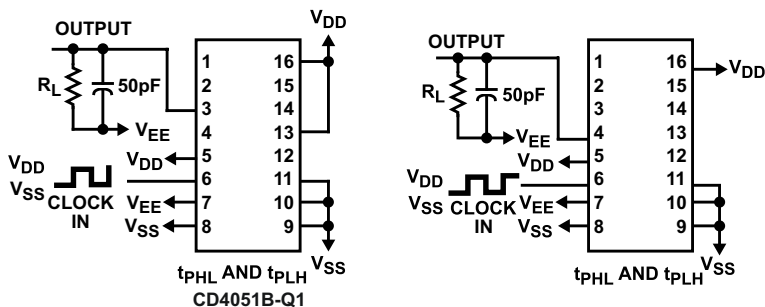
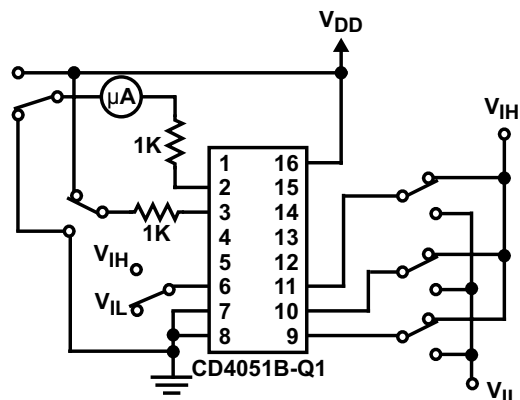
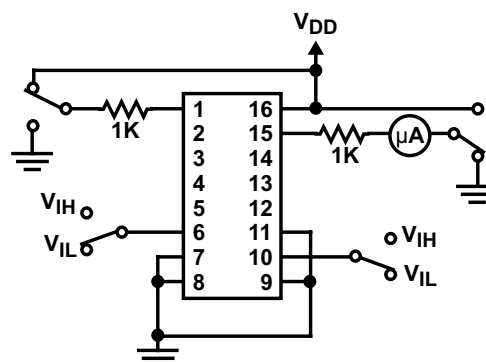


図 6-8. Propagation Delay – Inhibit Input to Signal Output



MEASURE $< 2\mu\text{A}$ ON ALL
"OFF" CHANNELS (e.g., CHANNEL 6)



MEASURE $< 2\mu\text{A}$ ON ALL
"OFF" CHANNELS (e.g., CHANNEL 6)

図 6-9. Input Voltage Test Circuits (Noise Immunity)

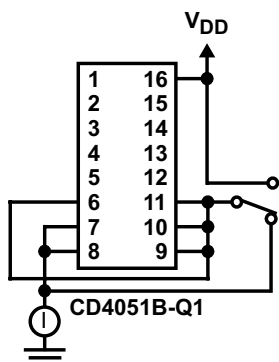


図 6-10. Quiescent Device Current

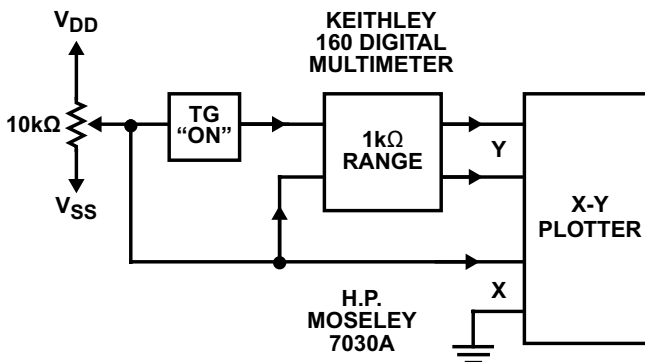
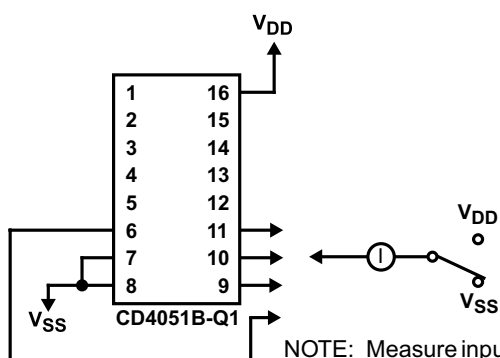


図 6-11. Channel ON Resistance Measurement Circuit



NOTE: Measure inputs sequentially,
to both V_{DD} and V_{SS} connect all
unused inputs to either V_{DD} or V_{SS} .

図 6-12. Input Current

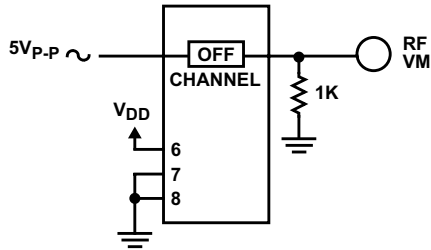


図 6-13. Feed-Through (All Types)

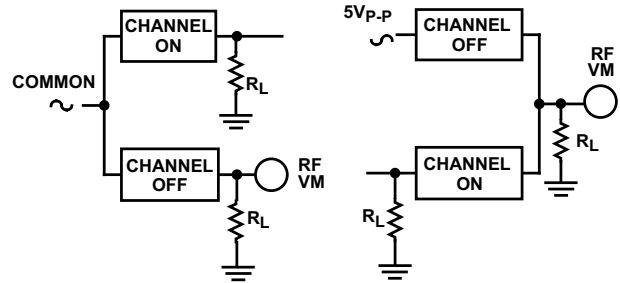


図 6-14. Crosstalk Between Any Two Channels (All Types)

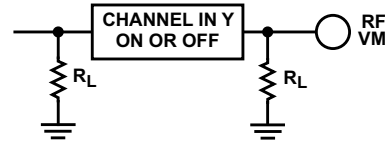
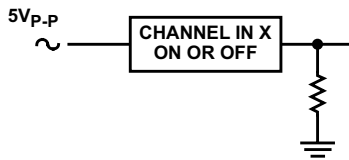


図 6-15. Crosstalk Between Duals or Triplets ()

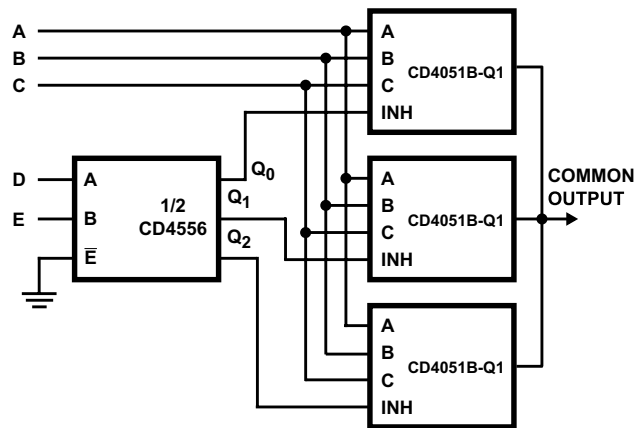


図 6-16. 24-to-1 MUX Addressing

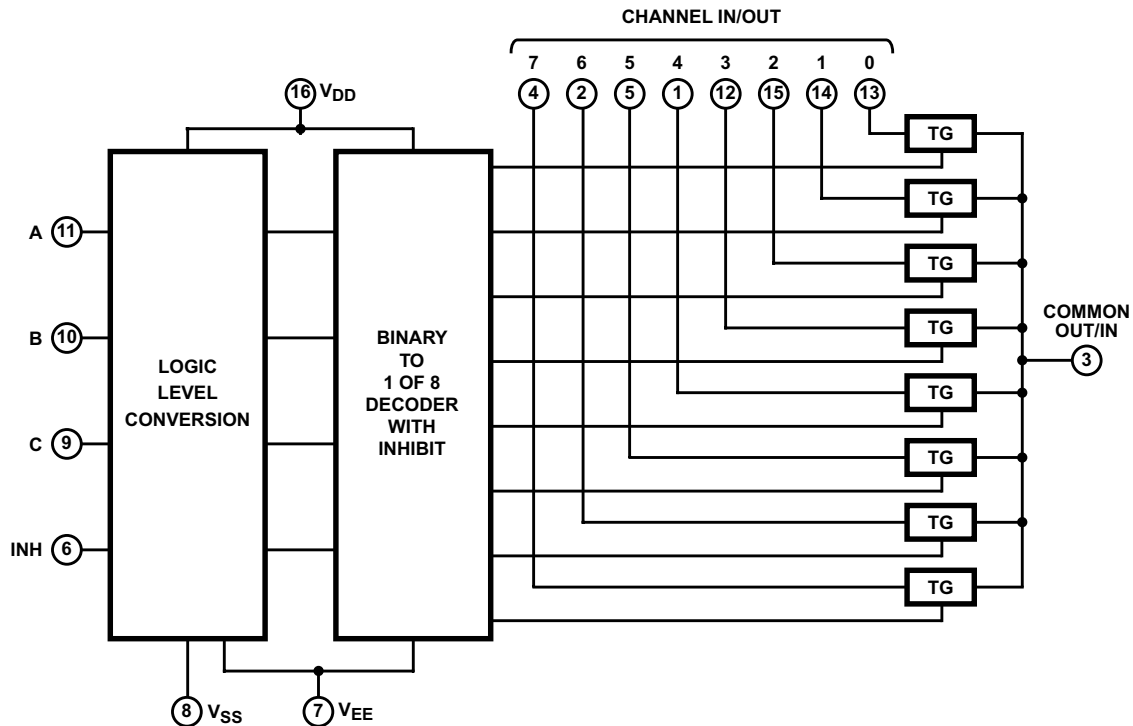
7 Detailed Description

7.1 Overview

The CD4051B-Q1 device is a single 8-channel multiplexer having three binary control inputs, A, B, and C, and an inhibit input. The three binary signals select 1 of 8 channels to be turned on, and connect one of the 8 inputs to the output.

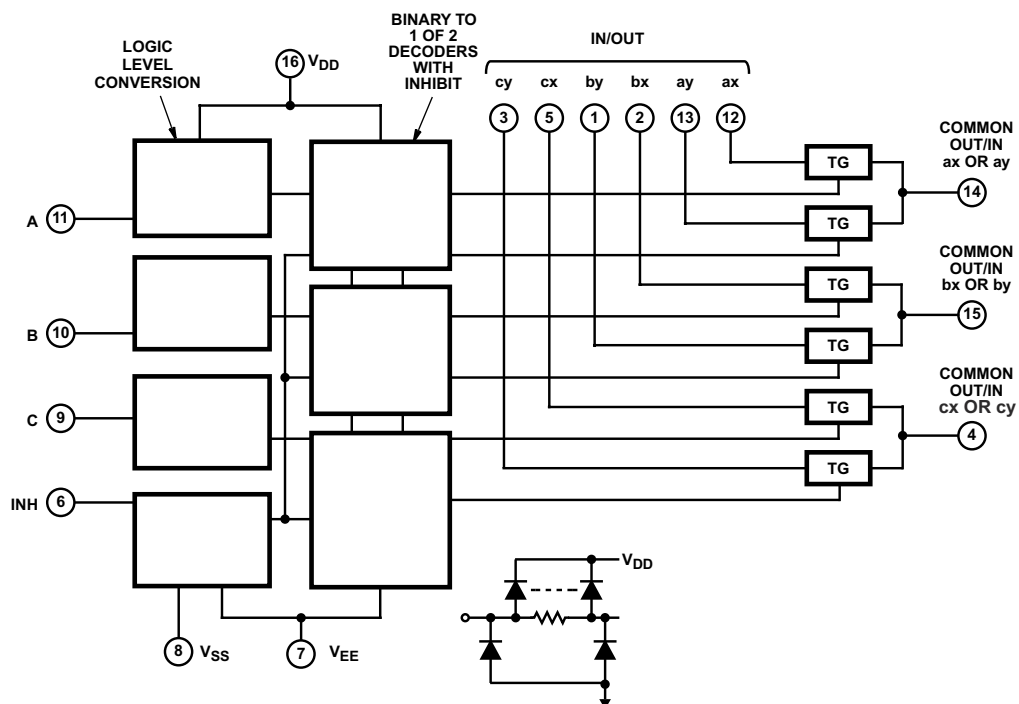
When these devices are used as demultiplexers, the CHANNEL IN/OUT terminals are the outputs and the COMMON OUT/IN terminals are the inputs.

7.2 Functional Block Diagrams



All inputs are protected by standard CMOS protection network.

図 7-1. Functional Block Diagram, CD4051B-Q1



All inputs are protected by standard CMOS protection network.

図 7-2. Functional Block Diagram,

7.3 Feature Description

The CD4051B-Q1 line of multiplexers and demultiplexers can accept a wide range of digital and analog signal levels. Digital signals range from 3V to 20V, and analog signals are accepted at levels $\leq 20V$. The devices have low ON resistance, typically 125 Ω over 15V_{P-P} signal input range for $V_{DD} - V_{EE} = 18V$. This feature allows for very little signal loss through the switch.

The CD4051B-Q1 devices also have high OFF resistance, which keeps from the devices from wasting power when the switch is in the OFF position, with typical channel leakage of $\pm 100pA$ at $V_{DD} - V_{EE} = 18V$.

Binary address decoding on the chip makes channel selection simple. When channels are changed, a break-before-make system eliminates channel overlap.

7.4 Device Functional Modes

表 7-1. Truth Table

INPUT STATES				ON CHANNEL(S)
INHIBIT	C	B	A	
CD4051B-Q1				
L	L	L	L	0
L	L	L	H	1
L	L	H	L	2
L	L	H	H	3
L	H	L	L	4
L	H	L	H	5
L	H	H	L	6
L	H	H	H	7
H	X	X	X	None

8 Application and Implementation

注

以下のアプリケーション情報は、TI の製品仕様に含まれるものではなく、TI ではその正確性または完全性を保証いたしません。個々の目的に対する製品の適合性については、お客様の責任で判断していただくことになります。お客様は自身の設計実装を検証しテストすることで、システムの機能を確認する必要があります。

8.1 Application Information

The CD4051B-Q1 multiplexers and demultiplexers can be used for a wide variety of applications.

8.2 Typical Application

One application of the CD4051B-Q1 is to use it in conjunction with a microcontroller to poll a keypad. [図 8-1](#) shows the basic schematic for such a polling system. The microcontroller uses the channel select pins to cycle through the different channels while reading the input to see if a user is pressing any of the keys. This application is a very robust setup, allowing for multiple simultaneous key-presses with very little power consumption. This setup also uses very few pins on the microcontroller. The down side of polling is that the microcontroller must continually scan the keys for a press and can do little else during this process.

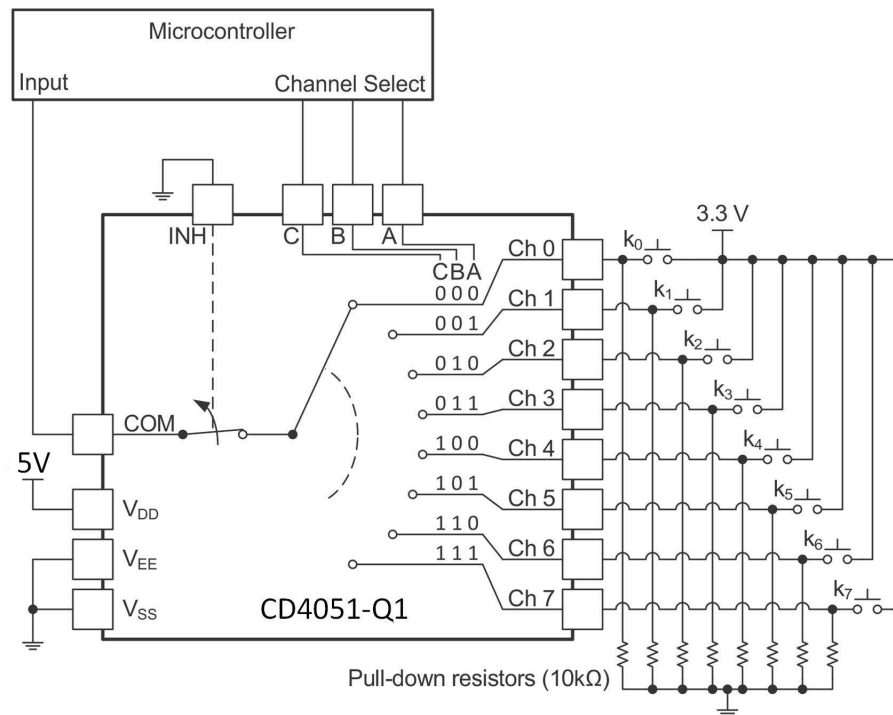


図 8-1. The CD4051B-Q1 Being Used to Help Read Button Presses on a Keypad

8.2.1 Design Requirements

These devices use CMOS technology and have balanced output drive. Take care to avoid bus contention because it can drive currents that would exceed maximum limits. The high drive will also create fast edges into light loads, so routing and load conditions should be considered to prevent ringing.

8.2.2 Detailed Design Procedure

1. Recommended Input Conditions:

- For switch time specifications, see propagation delay times in [セクション 5.5](#).
- Inputs should not be pushed more than 0.5V above V_{DD} or below V_{EE} .

- For input voltage level specifications for control inputs, see V_{IH} and V_{IL} in セクション 5.5.
- 2. Recommended Output Conditions:
 - Outputs should not be pulled above V_{DD} or below V_{EE} .
- 3. Input or output current consideration:
 - The CD4051B-Q1 series of parts do not have internal current drive circuitry and thus cannot sink or source current. Any current will be passed through the device.

8.2.3 Application Curve

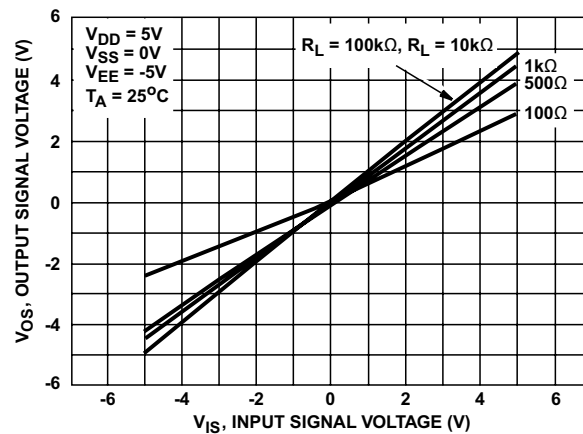


図 8-2. ON Characteristics for 1 of 8 Channels (CD4051B-Q1)

8.3 Power Supply Recommendations

The power supply can be any voltage between the minimum and maximum supply voltage rating located in the セクション 5.5.

Each V_{CC} terminal should have a good bypass capacitor to prevent power disturbance. For devices with a single supply, a 0.1 μ F bypass capacitor is recommended. If there are multiple pins labeled V_{CC} , then a 0.01 μ F or 0.022 μ F capacitor is recommended for each V_{CC} because the V_{CC} pins will be tied together internally. For devices with dual supply pins operating at different voltages, for example V_{CC} and V_{DD} , a 0.1 μ F bypass capacitor is recommended for each supply pin. It is acceptable to parallel multiple bypass capacitors to reject different frequencies of noise. 0.1 μ F and 1 μ F capacitors are commonly used in parallel. The bypass capacitor should be installed as close to the power terminal as possible for best results.

8.4 Layout

8.4.1 Layout Guidelines

Reflections and matching are closely related to loop antenna theory, but different enough to warrant their own discussion. When a PCB trace turns a corner at a 90° angle, a reflection can occur. This reflection is primarily due to the change of width of the trace. At the apex of the turn, the trace width is increased to 1.414 times its width. This upsets the transmission line characteristics, especially the distributed capacitance and self-inductance of the trace — resulting in the reflection. It is a given that not all PCB traces can be straight, and so they will have to turn corners. [Figure 8-3](#) shows progressively better techniques of rounding corners. Only the last example maintains constant trace width and minimizes reflections.

8.4.2 Layout Example

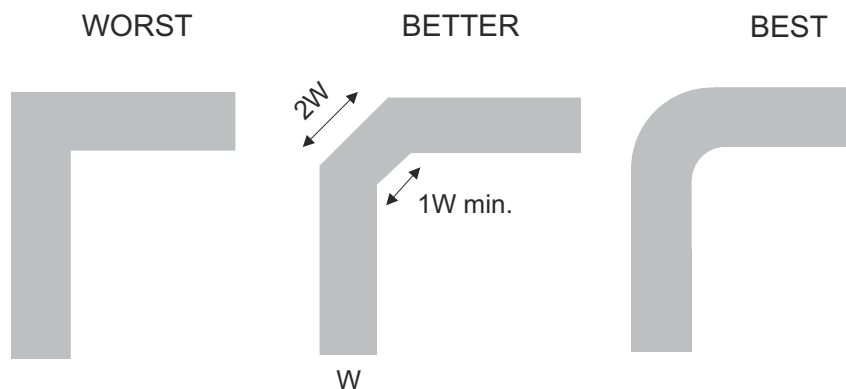


Figure 8-3. Trace Example

9 Device and Documentation Support

9.1 Documentation Support

9.1.1 Related Documentation

For related documentation, see the following:

- Texas Instruments, [Implications of Slow or Floating CMOS Inputs](#)

9.2 ドキュメントの更新通知を受け取る方法

ドキュメントの更新についての通知を受け取るには、www.tij.co.jp のデバイス製品フォルダを開いてください。[通知] をクリックして登録すると、変更されたすべての製品情報に関するダイジェストを毎週受け取ることができます。変更の詳細については、改訂されたドキュメントに含まれている改訂履歴をご覧ください。

9.3 サポート・リソース

テキサス・インスツルメンツ E2E™ サポート・フォーラムは、エンジニアが検証済みの回答と設計に関するヒントをエキスパートから迅速かつ直接得ることができる場所です。既存の回答を検索したり、独自の質問をしたりすることで、設計に必要な支援を迅速に得ることができます。

リンクされているコンテンツは、各寄稿者により「現状のまま」提供されるものです。これらはテキサス・インスツルメンツの仕様を構成するものではなく、必ずしもテキサス・インスツルメンツの見解を反映したものではありません。テキサス・インスツルメンツの[使用条件](#)を参照してください。

9.4 Trademarks

テキサス・インスツルメンツ E2E™ is a trademark of Texas Instruments.

すべての商標は、それぞれの所有者に帰属します。

9.5 静電気放電に関する注意事項



この IC は、ESD によって破損する可能性があります。テキサス・インスツルメンツは、IC を取り扱う際には常に適切な注意を払うことを推奨します。正しい取り扱いおよび設置手順に従わない場合、デバイスを破損するおそれがあります。

ESD による破損は、わずかな性能低下からデバイスの完全な故障まで多岐にわたります。精密な IC の場合、パラメータがわずかに変化するだけで公表されている仕様から外れる可能性があるため、破損が発生しやすくなっています。

9.6 用語集

[テキサス・インスツルメンツ用語集](#)

この用語集には、用語や略語の一覧および定義が記載されています。

10 Revision History

資料番号末尾の英字は改訂を表しています。その改訂履歴は英語版に準じています。

Changes from Revision C (March 2023) to Revision D (March 2025)	Page
• セクション 1 を更新.....	1
• CD4053B-Q1 を SCHS469 に移動.....	1
• Updated HBM & CDM ESD values.....	4
• Updated Figure 8-1 to 5V VDD.....	18

Changes from Revision B (April 2019) to Revision C (March 2023)	Page
• ドキュメント全体にわたって表、図、相互参照の採番方法を更新.....	1
• データシート全体にわたって CD4051-Q1 の仕様を更新.....	1

Changes from Revision A (January 2008) to Revision B (April 2019)	Page
• 「ピン構成および機能」セクション、「ESD 定格」表、「機能説明」セクション、「デバイスの機能モード」セクション、「アプリケーションと実装」セクション、「電源に関する推奨事項」セクション、「レイアウト」セクション、「デバイスおよびドキュメントのサポート」セクション、「メカニカル、パッケージ、および注文情報」セクションを追加	1
• データシートから部品番号 CD4052B-Q1 を削除.....	1

11 Mechanical, Packaging, and Orderable Information

The following pages include mechanical, packaging, and orderable information. This information is the most current data available for the designated devices. This data is subject to change without notice and revision of this document. For browser-based versions of this data sheet, refer to the left-hand navigation.

重要なお知らせと免責事項

テキサス・インスツルメンツは、技術データと信頼性データ (データシートを含みます)、設計リソース (リファレンス デザインを含みます)、アプリケーションや設計に関する各種アドバイス、Web ツール、安全性情報、その他のリソースを、欠陥が存在する可能性のある「現状のまま」提供しており、商品性および特定目的に対する適合性の黙示保証、第三者の知的財産権の非侵害保証を含むいかなる保証も、明示的または黙示的にかかわらず拒否します。

これらのリソースは、テキサス・インスツルメンツ製品を使用する設計の経験を積んだ開発者への提供を意図したものです。(1) お客様のアプリケーションに適した テキサス・インスツルメンツ製品の選定、(2) お客様のアプリケーションの設計、検証、試験、(3) お客様のアプリケーションに該当する各種規格や、その他のあらゆる安全性、セキュリティ、規制、または他の要件への確実な適合に関する責任を、お客様のみが単独で負うものとします。

上記の各種リソースは、予告なく変更される可能性があります。これらのリソースは、リソースで説明されている テキサス・インスツルメンツ製品を使用するアプリケーションの開発の目的でのみ、テキサス・インスツルメンツはその使用をお客様に許諾します。これらのリソースに関して、他の目的で複製することや掲載することは禁止されています。テキサス・インスツルメンツや第三者の知的財産権のライセンスが付与されている訳ではありません。お客様は、これらのリソースを自身で使用した結果発生するあらゆる申し立て、損害、費用、損失、責任について、テキサス・インスツルメンツおよびその代理人を完全に補償するものとし、テキサス・インスツルメンツは一切の責任を拒否します。

テキサス・インスツルメンツの製品は、[テキサス・インスツルメンツの販売条件](#)、または [ti.com](https://www.ti.com) やかかる テキサス・インスツルメンツ製品の関連資料などのいずれかを通じて提供する適用可能な条項の下で提供されています。テキサス・インスツルメンツがこれらのリソースを提供することは、適用されるテキサス・インスツルメンツの保証または他の保証の放棄の拡大や変更を意味するものではありません。

お客様がいかなる追加条項または代替条項を提案した場合でも、テキサス・インスツルメンツはそれらに異議を唱え、拒否します。

郵送先住所: Texas Instruments, Post Office Box 655303, Dallas, Texas 75265
Copyright © 2025, Texas Instruments Incorporated

PACKAGING INFORMATION

Orderable part number	Status (1)	Material type (2)	Package Pins	Package qty Carrier	RoHS (3)	Lead finish/ Ball material (4)	MSL rating/ Peak reflow (5)	Op temp (°C)	Part marking (6)
CD4051BQPWRG4Q1	Obsolete	Production	TSSOP (PW) 16	-	-	Call TI	Call TI	-40 to 125	CM051BQ
CD4051BQPWRQ1	Active	Production	TSSOP (PW) 16	2000 LARGE T&R	Yes	NIPDAU	Level-1-260C-UNLIM	-40 to 125	CM051BQ
CD4051BQPWRQ1.A	Active	Production	TSSOP (PW) 16	2000 LARGE T&R	Yes	NIPDAU	Level-1-260C-UNLIM	-40 to 125	CM051BQ

⁽¹⁾ **Status:** For more details on status, see our [product life cycle](#).

⁽²⁾ **Material type:** When designated, preproduction parts are prototypes/experimental devices, and are not yet approved or released for full production. Testing and final process, including without limitation quality assurance, reliability performance testing, and/or process qualification, may not yet be complete, and this item is subject to further changes or possible discontinuation. If available for ordering, purchases will be subject to an additional waiver at checkout, and are intended for early internal evaluation purposes only. These items are sold without warranties of any kind.

⁽³⁾ **RoHS values:** Yes, No, RoHS Exempt. See the [TI RoHS Statement](#) for additional information and value definition.

⁽⁴⁾ **Lead finish/Ball material:** Parts may have multiple material finish options. Finish options are separated by a vertical ruled line. Lead finish/Ball material values may wrap to two lines if the finish value exceeds the maximum column width.

⁽⁵⁾ **MSL rating/Peak reflow:** The moisture sensitivity level ratings and peak solder (reflow) temperatures. In the event that a part has multiple moisture sensitivity ratings, only the lowest level per JEDEC standards is shown. Refer to the shipping label for the actual reflow temperature that will be used to mount the part to the printed circuit board.

⁽⁶⁾ **Part marking:** There may be an additional marking, which relates to the logo, the lot trace code information, or the environmental category of the part.

Multiple part markings will be inside parentheses. Only one part marking contained in parentheses and separated by a "~" will appear on a part. If a line is indented then it is a continuation of the previous line and the two combined represent the entire part marking for that device.

Important Information and Disclaimer: The information provided on this page represents TI's knowledge and belief as of the date that it is provided. TI bases its knowledge and belief on information provided by third parties, and makes no representation or warranty as to the accuracy of such information. Efforts are underway to better integrate information from third parties. TI has taken and continues to take reasonable steps to provide representative and accurate information but may not have conducted destructive testing or chemical analysis on incoming materials and chemicals. TI and TI suppliers consider certain information to be proprietary, and thus CAS numbers and other limited information may not be available for release.

In no event shall TI's liability arising out of such information exceed the total purchase price of the TI part(s) at issue in this document sold by TI to Customer on an annual basis.

OTHER QUALIFIED VERSIONS OF CD4051B-Q1 :

- Catalog : [CD4051B](#)

- Military : [CD4051B-MIL](#)

NOTE: Qualified Version Definitions:

- Catalog - TI's standard catalog product
- Military - QML certified for Military and Defense Applications

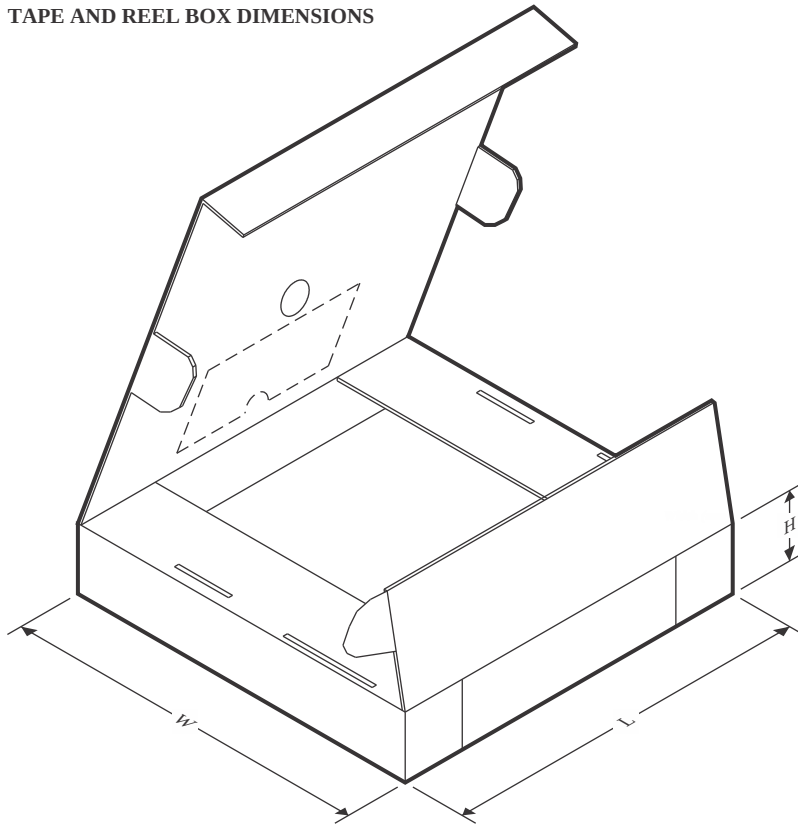
TAPE AND REEL INFORMATION



*All dimensions are nominal

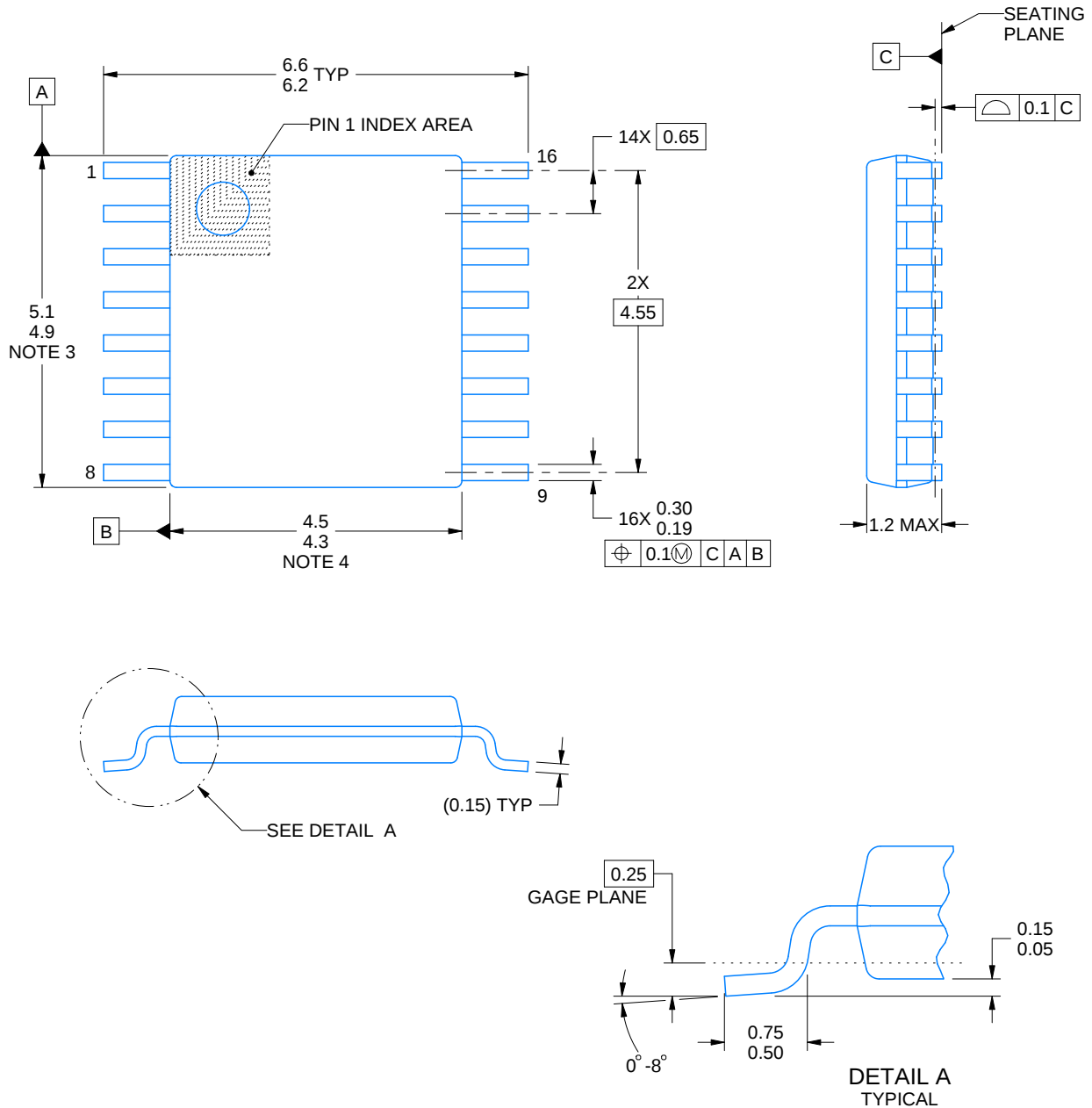
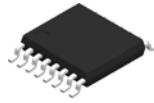
Device	Package Type	Package Drawing	Pins	SPQ	Reel Diameter (mm)	Reel Width W1 (mm)	A0 (mm)	B0 (mm)	K0 (mm)	P1 (mm)	W (mm)	Pin1 Quadrant
CD4051BQPWRQ1	TSSOP	PW	16	2000	330.0	12.4	6.9	5.6	1.6	8.0	12.0	Q1
CD4051BQPWRQ1	TSSOP	PW	16	2000	330.0	12.4	6.9	5.6	1.6	8.0	12.0	Q1

TAPE AND REEL BOX DIMENSIONS



*All dimensions are nominal

Device	Package Type	Package Drawing	Pins	SPQ	Length (mm)	Width (mm)	Height (mm)
CD4051BQPWRQ1	TSSOP	PW	16	2000	367.0	367.0	35.0
CD4051BQPWRQ1	TSSOP	PW	16	2000	367.0	367.0	35.0



4220204/A 02/2017

NOTES:

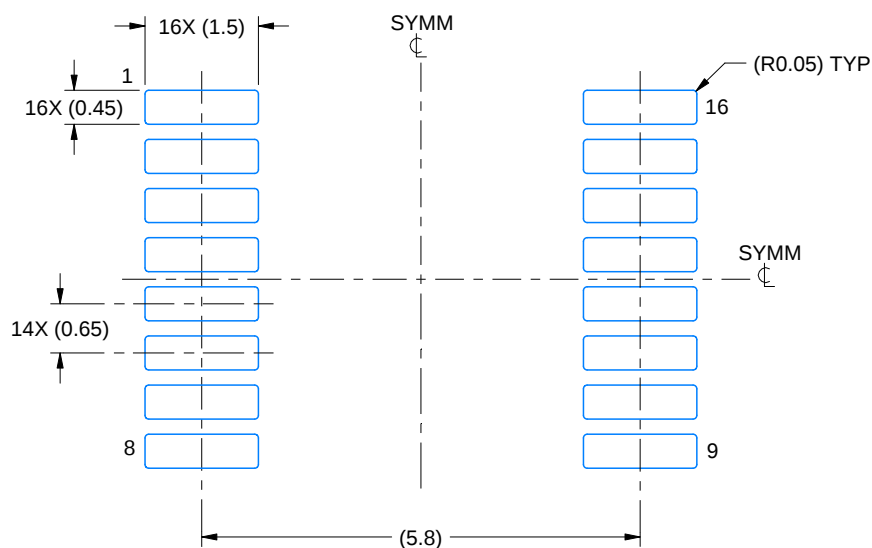
1. All linear dimensions are in millimeters. Any dimensions in parenthesis are for reference only. Dimensioning and tolerancing per ASME Y14.5M.
2. This drawing is subject to change without notice.
3. This dimension does not include mold flash, protrusions, or gate burrs. Mold flash, protrusions, or gate burrs shall not exceed 0.15 mm per side.
4. This dimension does not include interlead flash. Interlead flash shall not exceed 0.25 mm per side.
5. Reference JEDEC registration MO-153.

EXAMPLE BOARD LAYOUT

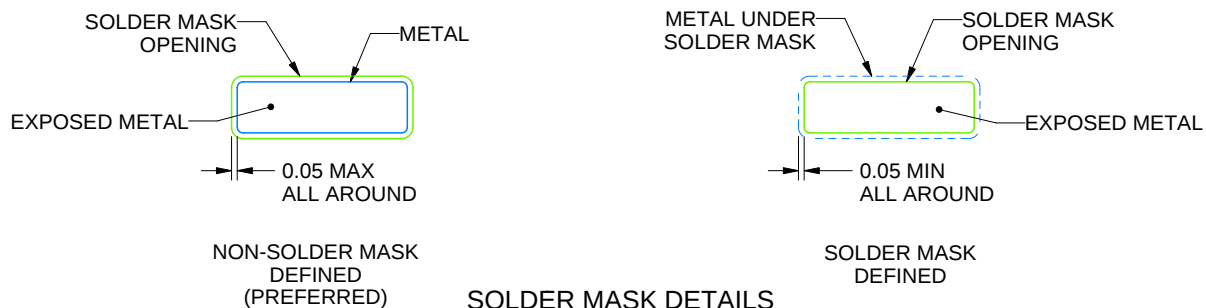
PW0016A

TSSOP - 1.2 mm max height

SMALL OUTLINE PACKAGE



LAND PATTERN EXAMPLE
EXPOSED METAL SHOWN
SCALE: 10X



4220204/A 02/2017

NOTES: (continued)

6. Publication IPC-7351 may have alternate designs.

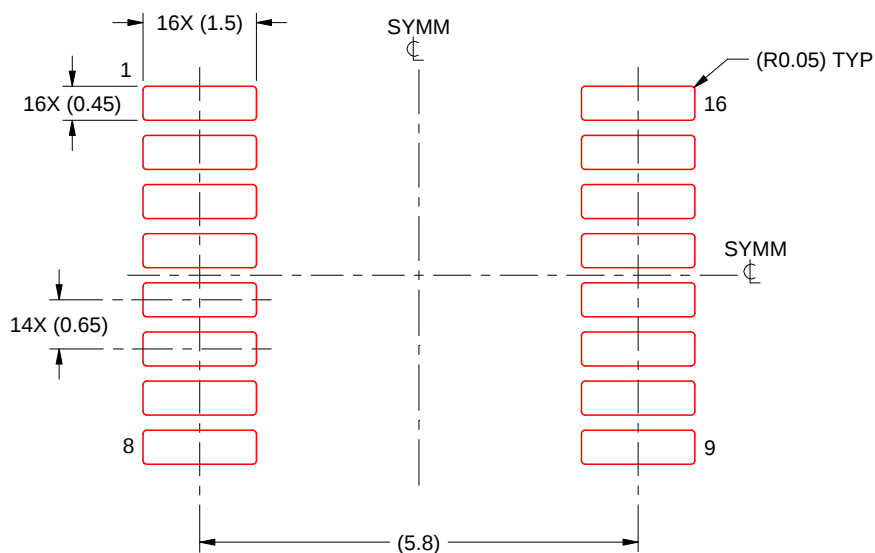
7. Solder mask tolerances between and around signal pads can vary based on board fabrication site.

EXAMPLE STENCIL DESIGN

PW0016A

TSSOP - 1.2 mm max height

SMALL OUTLINE PACKAGE



SOLDER PASTE EXAMPLE
BASED ON 0.125 mm THICK STENCIL
SCALE: 10X

4220204/A 02/2017

NOTES: (continued)

8. Laser cutting apertures with trapezoidal walls and rounded corners may offer better paste release. IPC-7525 may have alternate design recommendations.
9. Board assembly site may have different recommendations for stencil design.

重要なお知らせと免責事項

テキサス・インスツルメンツは、技術データと信頼性データ (データシートを含みます)、設計リソース (リファレンス デザインを含みます)、アプリケーションや設計に関する各種アドバイス、Web ツール、安全性情報、その他のリソースを、欠陥が存在する可能性のある「現状のまま」提供しており、商品性および特定目的に対する適合性の黙示保証、第三者の知的財産権の非侵害保証を含むいかなる保証も、明示的または黙示的にかかわらず拒否します。

これらのリソースは、テキサス・インスツルメンツ製品を使用する設計の経験を積んだ開発者への提供を意図したものです。(1) お客様のアプリケーションに適したテキサス・インスツルメンツ製品の選定、(2) お客様のアプリケーションの設計、検証、試験、(3) お客様のアプリケーションに該当する各種規格や、その他のあらゆる安全性、セキュリティ、規制、または他の要件への確実な適合に関する責任を、お客様のみが単独で負うものとします。

上記の各種リソースは、予告なく変更される可能性があります。これらのリソースは、リソースで説明されているテキサス・インスツルメンツ製品を使用するアプリケーションの開発の目的でのみ、テキサス・インスツルメンツはその使用をお客様に許諾します。これらのリソースに関して、他の目的で複製することや掲載することは禁止されています。テキサス・インスツルメンツや第三者の知的財産権のライセンスが付与されている訳ではありません。お客様は、これらのリソースを自身で使用した結果発生するあらゆる申し立て、損害、費用、損失、責任について、テキサス・インスツルメンツおよびその代理人を完全に補償するものとし、テキサス・インスツルメンツは一切の責任を拒否します。

テキサス・インスツルメンツの製品は、[テキサス・インスツルメンツの販売条件](#)、または [ti.com](https://www.ti.com) やかかるテキサス・インスツルメンツ製品の関連資料などのいずれかを通じて提供する適用可能な条項の下で提供されています。テキサス・インスツルメンツがこれらのリソースを提供することは、適用されるテキサス・インスツルメンツの保証または他の保証の放棄の拡大や変更を意味するものではありません。

お客様がいかなる追加条項または代替条項を提案した場合でも、テキサス・インスツルメンツはそれらに異議を唱え、拒否します。

郵送先住所：Texas Instruments, Post Office Box 655303, Dallas, Texas 75265
Copyright © 2025, Texas Instruments Incorporated