

## 低コスト、低消費電力 2.4GHz RFトランシーバ

### 特 長

#### RF特性

- 高感度：-104dBm (2.4kBaud、PER 1%時)
- 低消費電力：13.3mA (RX、250kBaud、入力レベルがリミット感度より十分高い時)
- プログラマブルな出力電力：最大+1dBm
- 卓越した受信感度とブロッキング特性
- プログラマブルなデータ・レート：1.2k~500kBaud
- 周波数範囲：2400 - 2483.5MHz

#### アナログ特性

- OOK、2FSK、GFSK、MSKをサポート
- セトリング・タイム90μsの高速セトリング周波数シンセサイザにより、周波数ホッピングおよび多チャネル・システムに適する
- 自動周波数補償 (AFC) により、周波数シンセサイザを受信中心周波数に調整
- アナログ温度センサ内蔵

#### デジタル機能

- パケット・ベース・システムを柔軟にサポート：  
シンク・ワード検出、アドレス・チェック、可変パケット長および自動CRC処理をオンチップでサポート
- 効率的なSPIインターフェイス：1回のバースト転送で全レジスタのプログラミングが可能
- デジタルRSSI出力
- プログラマブルなチャネル・フィルタ帯域幅
- プログラマブルなキャリア検出 (CS) インジケータ
- ランダム・ノイズをシンク・ワードとして検出することを防止するための、プログラマブルなプリアンブル品質インジケータ (PQI)
- 送信前の自動空きチャネル判定 (CCA) をサポート (リスン・ビフォア・トーク・システム用)
- パッケージごとのリンク品質インジケータ (LQI) をサポート
- データの自動拡散 (ホワイトニング) /逆拡散が可能

#### 低消費電力

- SLEEPモード電流消費：400nA
- 高速スタート・アップ時間：240μs (SLEEPからRX/TXモードへ、評価モジュールで測定)
- 低電力自動RXポーリング用のウェーク・オン・ラジオ機能
- RXとTXを分離した各64バイト・データFIFO (バースト・モード・データ送信が可能)

#### 一 般

- 少ない外付け部品：  
完全オンチップ周波数シンセサイザ  
外付けフィルタ、RFスイッチ不要
- グリーン・パッケージ：RoHS準拠、アンチモン/臭素非含有
- 小型 (4 × 4 mm QLP パッケージ、20ピン)
- EN 300 328/EN 300 440クラス2 (欧州)、FCC CFR47 Part15 (米国)、ARIB STD-T66 (日本) 準拠のシステムに最適
- 既存の無線通信プロトコルとの互換用に、非同期および同期シリアル受信/送信モードをサポート

### アプリケーション

- 2400 ~ 2483.5MHz ISM/SRD帯システム
- 民生用電子機器
- ワイヤレス・ゲーム・コントローラ
- ワイヤレス・オーディオ
- ワイヤレス・キーボードおよびマウス
- RFリモコン

すべての商標および登録商標は、それぞれの所有者に帰属します。

この資料は、Texas Instruments Incorporated (TI) が英文で記述した資料を、皆様のご理解の一助として頂くために日本テキサス・インスツルメンツ (日本TI) が英文から和文へ翻訳して作成したものです。  
資料によっては正規英語版資料の更新に対応していないものがあります。日本TIによる和文資料は、あくまでもTI正規英語版をご理解頂くための補助的参考資料としてご使用下さい。  
製品のご検討およびご採用にあたりましては必ず正規英語版の最新資料をご確認下さい。  
TIおよび日本TIは、正規英語版にて更新の情報を提供しているにもかかわらず、更新以前の情報に基づいて発生した問題や障害等につきましては如何なる責任も負いません。

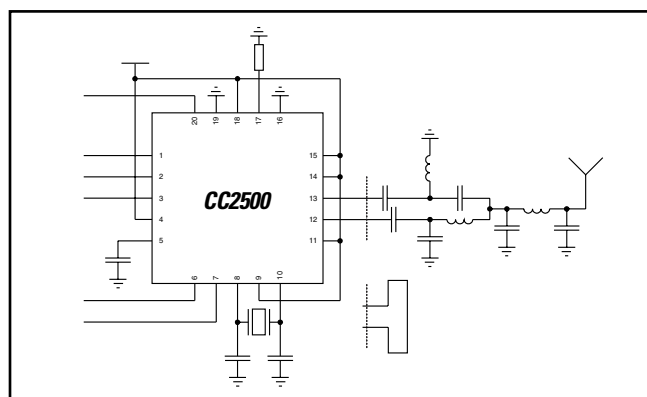
## 概要

CC2500は低コストで、非常に低消費電力のワイヤレス・アプリケーション向けに作られた、ISM (産業、科学、および医療用) とSRD (短距離デバイス) 用の2.4GHz帯 (2400 ~ 2483.5MHz) トランシーバです。

このRFトランシーバは、高度な設定が可能で多様な変調フォーマットに対応した、最大データ・レート500kBaudのベースバンド・モデムを統合しています。

CC2500は、パケット処理、データ・バッファリング、パースト送信、空きチャネル検出、リンク品質インジケータおよびウェーク・オン・ラジオなどの幅広い機能をハードウェアによってサポートしています。

CC2500は主要動作パラメータと64バイト送信/受信FIFOを、SPIインターフェイス経由で制御でき、代表的なシステム構成では、マイクロ・コントローラと少ない受動部品で使用できます。



## 略 語

本データシートで使用している用語を以下に示します。

ACP	隣接チャネル漏洩電力	MCU	マイクロ・コントローラ・ユニット
ADC	ADコンバータ	MSB	最上位ビット
AFC	自動周波数制御	MSK	最小偏移変調
AGC	自動ゲイン制御	NA	適用外
AMR	自動メータ読み取り	NRZ	ノン・リターン・ツー・ゼロ (符号化)
ARIB	社団法人電波産業会 (日本)	OOK	オン・オフ変調
BER	ビット誤り率	PA	パワー・アンプ
BT	帯域幅時間積	PCB	プリント回路基板
CCA	空きチャネル判別	PD	パワー・ダウン
CFR	米国連邦規制基準、連邦規則集	PER	パケット誤り率
CRC	巡回冗長検査	PLL	位相ロック・ループ
CS	キャリア検知	POR	パワー・オン・リセット
CW	連続波 (非変調搬送波)	PQI	プリアンプル品質インジケータ
DC	直流	PQT	プリアンプル品質閾値
DVGA	デジタル可変ゲイン・アンプ	RCOSC	RC発振器
ESR	等価直列抵抗	QPSK	直交位相偏移変調
FCC	米国連邦通信委員会	QLP	クワッド・リードレス・パッケージ
FEC	前方誤り訂正	RF	ラジオ周波数 (高周波)
FIFO	ファースト・イン・ファースト・アウト	RSSI	受信信号強度
FHSS	周波数ホッピングスペクトラム拡散	RX	受信、受信モード
FSK	周波数偏移変調	SMD	表面実装デバイス
GFSK	ガウス周波数偏移変調	SNR	信号対ノイズ比
IF	中間周波数	SPI	シリアル・ペリフェラル・インターフェイス
I/Q	同相/直交	SRD	短距離デバイス
ISM	産業、科学および医用	T/R	送信/受信
LBT	送信前受信	TX	送信、送信モード
LC	インダクタ・キャパシタ	VCO	電圧制御発振器
LNA	低ノイズ・アンプ	WLAN	無線ローカル・エリア・ネットワーク
LO	局部発振器	WOR	ウェーク・オン・ラジオ、低電力ポーリング
LQI	リンク品質インジケータ	XOSC	水晶発振器
LSB	最下位ビット	XTAL	水晶振動子

# 目 次

特長 .....	1
RF特性 .....	1
アナログ特性 .....	1
デジタル機能 .....	1
低電力機能 .....	1
一 般 .....	1
アプリケーション .....	1
概要 .....	2
略 語 .....	3
1 絶対最大定格 .....	7
2 動作条件 .....	7
3 一般特性 .....	7
4 電気的特性 .....	8
4.1 消費電流 .....	8
4.2 RF受信部 .....	9
4.3 RF送信部 .....	11
4.4 水晶発振器 .....	12
4.5 低電力RC発振器 .....	12
4.6 周波数シンセサイザ特性 .....	13
4.7 アナログ温度センサ .....	14
4.8 DC特性 .....	14
4.9 パワー・オン・リセット .....	14
5 端子構成 .....	15
6 回路説明 .....	17
7 アプリケーション回路 .....	17
8 設定の概要 .....	19
9 構成ソフトウェア .....	20
10 4線式シリアルの設定とデータ・インターフェイス .....	21
10.1 デバイス・ステータス・バイト .....	22
10.2 レジスタ・アクセス .....	23
10.3 SPIリード .....	23
10.4 命令ストローブ .....	23
10.5 FIFOアクセス .....	24
10.6 PATABLEアクセス .....	24
11 マイクロコントローラ・インターフェイスおよび端子構成 .....	25
11.1 設定インターフェイス .....	25
11.2 汎用制御およびステータス端子 .....	25
11.3 無線制御のオプション機能 .....	25
12 データ・レート・プログラミング .....	25
13 レシーバ・チャネル・フィルタ帯域幅 .....	26
14 復調器、シンボル同期およびデータ決定 .....	26
14.1 周波数オフセット補正 .....	26
14.2 ビット同期 .....	26
14.3 バイト同期 .....	26
15 パケット処理のハードウェア・サポート .....	27
15.1 データ拡散(ホワイトニング) .....	27
15.2 パケット・フォーマット .....	28
15.2.1 任意のレングス・フィールド設定 .....	29
15.2.2 パケット長が256バイトを超える場合 .....	29
15.3 受信モードでのパケット・フィルタリング .....	29
15.3.1 アドレス・フィルタリング .....	29
15.3.2 最大長フィルタリング .....	30

15.3.3	CRCフィルタリング .....	30
15.4	CRCチェック .....	30
15.4.1	PKTCTRL0.CC2400_EN = 0 .....	30
15.4.2	PKTCTRL0.CC2400_EN = 1 .....	30
15.5	送信モードのパケット処理 .....	30
15.6	受信モードのパケット処理 .....	31
15.7	ファームウェアでのパケット処理 .....	31
16	変調フォーマット .....	31
16.1	周波数偏移変調 .....	31
16.2	最小偏移変調 .....	32
16.3	振幅変調 .....	32
17	受信信号の適正判定およびリンク品質情報 .....	32
17.1	シンク・ワード・適正判定 .....	32
17.2	プリアンブル品質閾値 (PQT) .....	32
17.3	受信信号強度 (RSSI) .....	32
17.4	キャリア検知 (CS) .....	33
17.4.1	CS絶対閾値 .....	33
17.4.2	CS相対閾値 .....	34
17.5	空きチャネル検出 (CCA) .....	34
17.6	リンク品質インジケータ (LQI) .....	34
18	インターリービングによる前方誤り訂正 .....	34
18.1	前方誤り訂正 (FEC) .....	34
18.2	インターリービング .....	35
19	無線制御 .....	35
19.1	パワー・オン・スタートアップ・シーケンス .....	36
19.1.1	自動パワー・オン・リセット (POR) .....	36
19.1.2	マニュアル・リセット .....	37
19.2	水晶発振器制御 .....	37
19.3	電圧レギュレータ制御 .....	37
19.4	アクティブ・モード .....	37
19.5	ウェーク・オン・ラジオ (WOR) .....	38
19.5.1	RC発振器およびタイミング .....	38
19.6	タイミング .....	39
19.7	RX終了タイマ .....	39
20	データFIFO .....	39
21	周波数プログラミング .....	40
22	VCO .....	41
22.1	VCOおよびPLLの自己較正 .....	41
23	電圧レギュレータ .....	41
24	出力電力プログラミング .....	41
25	選択度 .....	43
26	水晶発振器 .....	45
26.1	基準信号 .....	45
27	外部のRFマッチング .....	45
28	推奨PCBレイアウト .....	45
29	汎用/テスト出力制御端子 .....	46
30	非同期および同期シリアル動作 .....	46
30.1	非同期動作 .....	46
30.2	同期シリアル動作 .....	48
31	システムの考察およびガイドライン .....	48
31.1	SRDレギュレーション .....	48
31.2	周波数ホッピングおよび多チャネル・システム .....	48
31.3	スペクトラム拡散を使用しない広帯域変調 .....	48
31.4	データのバースト送信 .....	48

31.5	連続送信 .....	49
31.6	水晶のドリフト補償 .....	49
31.7	スペクトラムの効率的な変調 .....	49
31.8	低コスト・システム .....	49
31.9	電池動作システム .....	49
31.10	出力電力の増加 .....	49
32	設定レジスタ .....	49
32.1	設定レジスタの詳細 — SLEEP状態で値が保存されるレジスタ .....	54
32.2	設定レジスタの詳細 — SLEEP状態で内容が消失するレジスタ .....	72
32.3	ステータス・レジスタの詳細 .....	73
33	パッケージ説明 (QLP20) .....	77
33.1	パッケージ (QLP20) の推奨PCBレイアウト .....	78
33.2	半田情報 .....	78
33.3	トレー仕様 .....	78
33.4	キャリア・テープおよびリール仕様 .....	79
34	製品情報 .....	79
35	参考文献 .....	79
36	一般情報 .....	80
36.1	文書履歴 .....	80
36.2	生産状況の定義 .....	81



## 静電気放電対策

### 1 絶対最大定格

どのような状況下でも、表1に示す絶対最大定格を超えてはいけません。制限値を1つ以上超えたストレスを加えると、デバイスの永久破壊を生じることがあります。

これらのデバイスは、限定的なESD（静電破壊）保護機能を内蔵しています。保存時または取り扱い時に、MOSゲートに対する静電破壊を防止するために、リード線どうしを短絡しておくか、デバイスを導電性のフォームに入れる必要があります。

パラメータ	Min	Max	Unit	条件
電源電圧	-0.3	3.9	V	電源端子は、すべて同一の電圧であること。
すべてのデジタル端子電圧	-0.3	VDD+0.3, max 3.9	V	
端子RF_P、RF_NおよびDCOUPPLの電圧	-0.3	2.0	V	
電圧立ち上がりレート		120	kV/ $\mu$ s	
入力RFレベル		+10	dBm	
保存周囲温度	-50	150	°C	
半田リフロー温度		260	°C	IPC/JEDEC J-STD-020Cによる。
ESD		<500	V	JEDEC STD 22、メソッドA114、人体モデル

表 1: 絶対最大定格

### 2 動作条件

CC2500の動作条件を下の表2に示します。

パラメータ	Min	Max	Unit	条件
動作温度	-40	85	°C	
動作電源電圧	1.8	3.6	V	電源端子は、すべて同一の電圧であること。

表 2: 動作条件

### 3 一般特性

パラメータ	Min	Typ	Max	単位	条件/注記
周波数範囲	2400		2483.5	MHz	不要輻射が $n/2 \times$ 水晶発振器周波数 ( $n$ は整数) で発生するので、 $n/2 \times$ 水晶発振器周波数を除く (例えば、26MHz水晶使用時は、2045, 2418, 2431, 2444, 2457, 2470および2483MHz)。
データ・レート	1.2		500	kBaud	2-FSK
	1.2		250	kBaud	GFSK and OOK
	26		500	kBaud	(シェープ) MSK (差動オフセットQPSKとも言う)
					選択によりマンチェスタ符号化が可能 (kbps単位のデータ・レートは、ボー・レートの半分になる)

表 3: 一般特性

## 4 電気的特性

### 4.1 消費電流

$T_C = 25^\circ\text{C}$ 、 $V_{DD} = 3.0\text{V}$  (特に記述の無い限り)。すべての測定値は、CC2500EMリファレンス・デザインのものであります。

パラメータ	Min	Typ	Max	単位	条件
パワーダウン・モードの消費電流		400		nA	デジタル部電圧レギュレータ・オフ、レジスタ値保持 (SLEEP状態)。GDO端子は0x2F (HWを0) にプログラミング。
		900		nA	デジタル部電圧レギュレータ・オフ、レジスタ値保持、低電力RC発振器は動作 (WORKイネーブルのSLEEP状態)。
		92		$\mu\text{A}$	デジタル部電圧レギュレータ・オフ、レジスタ値保持、XOSCは動作 (MCSM0.OSC_FORCE_ONセットのSLEEP状態)。
		160		$\mu\text{A}$	デジタル部電圧レギュレータ・オン、他のモジュールはすべてパワー・ダウン (XOFF状態)。
消費電流		8.1		$\mu\text{A}$	低電力RC発振器、460kHzフィルタ帯域幅、250kBaudのデータ・レート、4ウェーク・アップごとにPLL校正、毎秒1回の自動RXポーリングを行う。キャリア検出レベルより小さい信号のときの平均電流 (MCSM2.RX_TIME_RSSI = 1)。
		35		$\mu\text{A}$	上記と同じ、キャリア検出レベルより大きい信号、1.95msのRXタイム・アウト、およびプリアンブル/シンク・ワードの検出無し。
		1.4		$\mu\text{A}$	低電力RC発振器、460kHzフィルタ帯域幅、250kBaudのデータ・レート、4ウェーク・アップごとにPLL校正、15秒に1回、自動RXポーリングを行う。キャリア検出レベルより小さい信号のときの平均電流 (MCSM2.RX_TIME_RSSI = 1)。
		34		$\mu\text{A}$	上記と同じ、キャリア検出レベルより大きい信号、RXタイム・アウト29.3ms、プリアンブル/シンク・ワード検出無し。
		1.5		mA	デジタル部電圧レギュレータ、水晶発振器のみ動作 (IDLE状態)。
		7.4		mA	周波数シンセサイザのみ動作 (FSTXON状態)。この電流消費は、IDLEからRXまたはTX状態に移移するときの、校正状態を含む他の中間状態に相当します。
消費電流 (受信モード)		17.0		mA	受信モード、2.4kBaud、リミット感度。 MDMCFG2.DEM_DCFILT_OFF = 0
		14.5		mA	受信モード、2.4kBaud、リミット感度を十分超える入力。 MDMCFG2.DEM_DCFILT_OFF = 0
		17.3		mA	受信モード、10kBaud、リミット感度。 MDMCFG2.DEM_DCFILT_OFF = 0
		14.9		mA	受信モード、10kBaud、リミット感度を十分超える入力。 MDMCFG2.DEM_DCFILT_OFF = 0
		18.8		mA	受信モード、250kBaud、リミット感度。 MDMCFG2.DEM_DCFILT_OFF = 0
		15.7		mA	受信モード、250kBaud、リミット感度を十分超える入力。 MDMCFG2.DEM_DCFILT_OFF = 0
		16.6		mA	受信モード、250kBaud電流最適化、リミット感度。 MDMCFG2.DEM_DCFILT_OFF = 1
		13.3		mA	受信モード、250kBaud電流最適化、リミット感度を十分超える入力。 MDMCFG2.DEM_DCFILT_OFF = 1
		19.6		mA	受信モード、500kBaud、リミット感度。 MDMCFG2.DEM_DCFILT_OFF = 0
		17.0		mA	受信モード、500kBaud、リミット感度を十分超える入力。 MDMCFG2.DEM_DCFILT_OFF = 0
消費電流 (送信モード)		11.1		mA	送信モード、出力 -12 dBm
		15.0		mA	送信モード、出力 -6 dBm
		21.2		mA	送信モード、出力 0 dBm
		21.5		mA	送信モード、出力 +1 dBm

表 4: 消費電流



## 4.2 RF受信部

$T_C = 25^\circ\text{C}$ 、 $V_{DD} = 3.0\text{V}$  (特に記述の無い限り)。すべての測定値は、CC2500EMリファレンス・デザインのものであります。

パラメータ	Min	Typ	Max	単位	条件/注記
デジタル・チャンネル・フィルタ帯域幅	58		812	kHz	ユーザ・プログラマブル。限界帯域幅は水晶周波数に比例します (値は、26.0MHzの水晶のとき)。
データ・レート2.4kBaud、感度最適化、MDMCFG2.DEM_DCFILT_OFF = 0 (2FSK、パケット誤り率1%、パケット長20バイト、デジタル・チャンネル・フィルタ帯域幅203kHz)					
受信感度		-104		dBm	MDMCFG2.DEM_DCFILT_OFF = 1の設定により、RX電流消費は1.7mAだけ低減できます。この場合、感度は-102dBm (Typ)となり、温度範囲は0°C~+85°Cです。  レジスタTEST2とTEST1のプログラミングにより、MDMCFG2.DEM_DCFILT_OFF=0で感度を-106dBm (Typ)に改善できます。この場合の温度範囲は0°C~+85°Cです。
飽和レベル		-13		dBm	
隣接チャンネル除去		23		dB	対象のチャンネルにリミット感度+3dBの信号を印加。250kHzのチャンネル間隔。
相互チャンネル除去		31		dB	対象のチャンネルにリミット感度+3dBの信号を印加。250kHzのチャンネル間隔。
					感度 対 周波数オフセットのプロット図は図22を参照。
ブロッキング ±10MHz オフセット ±20MHz オフセット ±50MHz オフセット		64 70 71		dBm dBm dBm	感度レベルを3dB超える信号が必要。 ETSI EN 300 440クラス2のレシーバ条件に準拠。
データ・レート10kBaud、感度最適化、MDMCFG2.DEM_DCFILT_OFF = 0 (2FSK、パケット誤り率1%、パケット長20バイト、デジタル・チャンネル・フィルタ帯域幅232kHz)					
受信感度		-99		dBm	MDMCFG2.DEM_DCFILT_OFF = 1の設定により、RX電流消費は1.7mAだけ低減できます。この場合、感度は-97dBm (Typ)となります。  レジスタTEST2とTEST1のプログラミングにより、MDMCFG2.DEM_DCFILT_OFF = 0で感度は-101dBm (Typ)に改善できます。この場合の温度範囲は0°Cから+85°Cです。
飽和レベル		-9		dBm	
隣接チャンネル除去		18		dB	対象のチャンネルにリミット感度+3dBの信号を印加。250kHzのチャンネル間隔。
相互チャンネル除去		25		dB	対象のチャンネルにリミット感度+3dBの信号を印加。250kHzのチャンネル間隔。
					感度 対 周波数オフセットのプロット図は図23を参照。
ブロッキング ±10MHz オフセット ±20MHz オフセット ±50MHz オフセット		59 65 66		dB dB dB	感度レベルを3dB超える信号が必要。 ETSI EN 300 440クラス2のレシーバ条件に準拠。

パラメータ	Min	Typ	Max	単位	条件/注記
データ・レート250kBaud、感度最適化、MDMCFG2.DEM_DCFILT_OFF = 0 (MSK、パケット誤り率1%、パケット長20バイト、デジタル・チャンネル・フィルタ帯域幅540kHz)					
受信感度		-89		dBm	
飽和レベル		-13		dBm	
隣接チャンネル除去		21		dB	対象のチャンネルにリミット感度+3dBの信号を印加。750kHzのチャンネル間隔。
相互チャンネル除去		30		dB	対象のチャンネルにリミット感度+3dBの信号を印加。750kHzのチャンネル間隔。
					感度 対 周波数オフセットのプロットは図24を参照。
ブロッキング					感度レベルを3dB超える信号が必要。 ETSI EN 300 440クラス2のレシーバ条件に準拠。
±10MHz オフセット		46		dB	
±20MHz オフセット		53		dB	
±50MHz オフセット		55		dB	
データ・レート250kBaud、感度最適化、MDMCFG2.DEM_DCFILT_OFF = 1 (MSK、パケット誤り率1%、パケット長20バイト、デジタル・チャンネル・フィルタ帯域幅540kHz)					
受信感度		-87		dBm	
飽和レベル		-12		dBm	
隣接チャンネル除去		21		dB	対象のチャンネルにリミット感度+3dBの信号を印加。750kHzのチャンネル間隔。
相互チャンネル除去		30		dB	対象のチャンネルにリミット感度+3dBの信号を印加。750kHzのチャンネル間隔。
					感度 対 周波数オフセットのプロット図は図25を参照。
ブロッキング					感度レベルを3dB超える信号が必要。 ETSI EN 300 440クラス2のレシーバ条件に準拠。
±10MHz オフセット		46		dB	
±20MHz オフセット		52		dB	
±50MHz オフセット		55		dB	
データ・レート500kBaud、感度最適化、MDMCFG2.DEM_DCFILT_OFF = 0 (MDMCFG2.DEM_DCFILT_OFF = 1は、>250kBaudのデータ・レートには使用できない)。(MSK、パケット誤り率1%、パケット長20バイト、デジタル・チャンネル・フィルタ帯域幅812kHz)					
受信感度		-83		dBm	
飽和レベル		-18		dBm	
隣接チャンネル除去		14		dB	対象のチャンネルにリミット感度+3dBの信号を印加。1MHzのチャンネル間隔。
相互チャンネル除去		25		dB	対象のチャンネルにリミット感度+3dBの信号を印加。1MHzのチャンネル間隔。
					感度 対 周波数オフセットのプロットは図26を参照。
ブロッキング					感度レベルを3dB超える信号が必要。 ETSI EN 300 440クラス2のレシーバ条件に準拠。
±10MHz オフセット		40		dB	
±20MHz オフセット		48		dB	
±50MHz オフセット		50		dB	
一般					
不要輻射					
25 MHz – 1 GHz			-57	dBm	
1 GHz 超			-47	dBm	
受信遅れ		9		bit	シリアル動作。受信開始から受信データ出力端子にデータが現れるまでの時間が9ビットに等しい。

表 5: 受信パラメータ

### 4.3 RF送信部

$T_C = 25^\circ\text{C}$ 、 $V_{DD} = 3.0\text{V}$  (特に記述の無い限り)。すべての測定値は、CC2500EMリファレンス・デザイン[4]のものであります。

パラメータ	Min	Typ	Max	単位	条件/注記
差動負荷インピーダンス		80 + j74		$\Omega$	RFポート (RF_PおよびRF_N) からアンテナを見た差動インピーダンス。 CC2500EMリファレンス・デザインによります (TIのウェブ・サイトから入手可)。
出力電力、最大設定		+1		dBm	出力電力はプログラマブルであり、出力全範囲が周波数帯域全体で得られます。  CC2500EMリファレンス・デザインのRF整合ネットワーク経由で、50 $\Omega$ シングル・エンド負荷に供給。
出力電力、最小設定		-30		dBm	出力電力はプログラマブルであり、出力全範囲が周波数帯域全体で得られます。  CC2500EMリファレンス・デザインのRF整合ネットワーク経由で、50 $\Omega$ シングル・エンド負荷に供給。  -30dBmより低い出力電力は設定可能ですが、この動作領域での動作は出力電力の変動が大きいため推奨しません。
占有帯域幅 (99%)		91 117 296 489		kHz kHz kHz kHz	2.4 kBaud、偏差38.2 kHz、2-FSK 10 kBaud、偏差38.2 kHz、2-FSK 250k Baud、MSK 500k Baud、MSK
隣接チャネル漏洩電力 (ACP)		-28  -27  -22 -21		dBc dBc dBc dBc	2.4 kBaud、偏差38.2 kHz、2-FSK、チャネル間隔250 kHz 10 kBaud、偏差38.2 kHz、2-FSK、チャネル間隔250 kHz 250 kBaud、MSK、チャネル間隔750 kHz 500 kBaud、MSK、チャネル間隔1 MHz
不要輻射 25 MHz – 1 GHz 47-74, 87.5-118, 174 230, 470-862 MHz 1800-1900 MHz At 2_RF and 3_RF その他、1GHz 超 GHz			-36 -54  -47 -41 -30	dBm dBm  dBm dBm dBm	   ヨーロッパの周波数帯域 アメリカの周波数帯域
送信遅れ		8		bit	シリアル動作。トランスミッタの入力端子でデータ・サンプリングして、RF出力ポートにデータが現れるまでの時間。

表 6: RF送信パラメータ

#### 4.4 水晶発振器

$T_C = 25^{\circ}\text{C}$ 、 $V_{DD} = 3.0\text{V}$  (特に記述の無い限り)。

パラメータ	Min	Typ	Max	単位	条件/注記
水晶周波数	26	26	27	MHz	
許容誤差		$\pm 40$		ppm	次の許容誤差を全て含みます：a) 初期公差、b) 水晶負荷、c) エージング、d) 温度依存性。  水晶の許容誤差は、RF周波数およびチャネル間隔/帯域幅に依存します。
ESR			100	$\Omega$	
スタート・アップ時間		150		$\mu\text{s}$	CC2500EMリファレンス・デザインに、NDK製水晶AT-41CD2を使用して測定。  このパラメータは大きな水晶依存性があります。

表 7: 水晶発振器パラメータ

#### 4.5 低電力RC発振器

$T_C = 25^{\circ}\text{C}$ 、 $V_{DD} = 3.0\text{V}$  (特に記述の無い限り)。すべての測定値は、CC2500EMリファレンス・デザイン[4]のものです。

パラメータ	Min	Typ	Max	単位	条件/注記
較正周波数	34.7	34.7	36	kHz	RC発振周波数の較正周波数は、水晶周波数を750分周したものです。
較正後の周波数精度			-1 / +10	%	精度 (Max) には、RC発振器の較正ルーチン実行時に17.3%の確率で発生する較正誤差が含まれています。CC2500エラー・ノートも参照してください。
温度係数		+0.4		% / $^{\circ}\text{C}$	較正後の温度変化による周波数変動
電源電圧係数		+3		% / V	較正後の電源電圧変化による周波数変動
初期化時較正時間		2		ms	RC発振器がイネーブルの場合、水晶発振器が動作しているかぎり、バックグラウンドで連続的に較正が行われます。

表 8: RC発振器パラメータ

#### 4.6 周波数シンセサイザ特性

$T_C = 25^\circ\text{C}$ 、 $V_{DD} = 3.0\text{V}$  (特に記述の無い限り)。

すべての測定値は、CC2500EMリファレンス・デザイン[4]のものです。

Minの値は、27MHzの水晶を使用、TypとMaxの値は26MHzの水晶のものです。

パラメータ	Min	Typ	Max	単位	条件/注記
プログラムされている周波数分解能	397	$F_{XQSC}/2$	412	Hz	26~27 MHz 水晶振動子
シンセサイザ周波数誤差		$\pm 40$		ppm	水晶を使用した場合、精度 (温度係数とエージングを含む) は周波数帯と帯域幅/チャンネル間隔に依存します。
RFキャリア位相ノイズ		-78		dBc/Hz	@ 50 kHz キャリアからオフセット
		-78		dBc/Hz	@ 100 kHz キャリアからオフセット
		-81		dBc/Hz	@ 200 kHz キャリアからオフセット
		-90		dBc/Hz	@ 500 kHz キャリアからオフセット
		-100		dBc/Hz	@ 1 MHz キャリアからオフセット
		-108		dBc/Hz	@ 2 MHz キャリアからオフセット
		-114		dBc/Hz	@ 5 MHz キャリアからオフセット
		-118		dBc/Hz	@ 10 MHz キャリアからオフセット
PLL ターン・オン/ ポップ時間	85.1	88.4	88.4	$\mu\text{s}$	水晶発振器の動作中。較正を行わずにIDLE状態からRX、FSTXON、またはTX状態に移るまでの時間。
PLL RX/TX 切替時間	9.3	9.6	9.6	$\mu\text{s}$	RXからTXへの1IF周波数ステップの切替時間。
PLL TX/RX 切替時間	20.7	21.5	21.5	$\mu\text{s}$	TXからRXへの1IF周波数ステップの切替時間。
PLL 較正時間	694	721	721	$\mu\text{s}$	較正は、RX/TXに入る前または出た後に、手動または自動的に開始できる。

表 9: 周波数シンセサイザ・パラメータ

## 4.7 アナログ温度センサ

電源電圧3.0Vのアナログ温度センサ特性を下の表10に示します。IDLE状態でアナログ温度センサを使用するには、PTESTレジスタに0xBFと書く必要があることに注意してください。

パラメータ	Min	Typ	Max	単位	条件/注記
出力電圧、-40°C		0.654		V	
出力電圧、0°C		0.750		V	
出力電圧、+40°C		0.848		V	
出力電圧、+80°C		0.946		V	
温度係数		2.43		mV/°C	-20°C ~ +80°C
較正後の算出温度誤差	-2*	0	2*	°C	-20°C から +80°Cまで室内の一点で、2.43 mV / °Cの係数で温度を較正したとき。 *MaxとMinの誤差は、一点で温度測定をして得た値をもとにした代表値です。
動作時増加消費電流		0.3		mA	

表 10: アナログ温度センサのパラメータ

## 4.8 DC特性

T<sub>C</sub> = 25°C (特に記述の無い限り)。

パラメータ	Min	Max	単位	条件
ロジック“0”入力電圧	0	0.7	V	
ロジック“1”入力電圧	VDD-0.7	VDD	V	
ロジック“0”出力電圧	0	0.5	V	最大出力電流 4mA
ロジック“1”出力電圧	VDD-0.3	VDD	V	最大出力電流 4mA
ロジック“0”入力電流	N/A	-50	nA	入力 = 0V
ロジック“1”入力電流	N/A	50	nA	入力 = VDD

表 11: DC特性

## 4.9 パワー・オン・リセット

電源が下の表12の条件に準拠している場合、パワー・オン・リセット機能が動作します。異なる場合、SPIインターフェイスでSRESストローブが送信されるまで、デバイスの状態は不定です。詳細は19.1節を参照してください。

パラメータ	Min	Typ	Max	単位	条件/注記
電源立ち上がり時間			5	ms	0Vから1.8Vに達するまで
電源オフ時間	1			ms	パワー・オンとパワー・オフの最小間隔

表 12: パワー・オン・リセット要件

## 5 端子構成

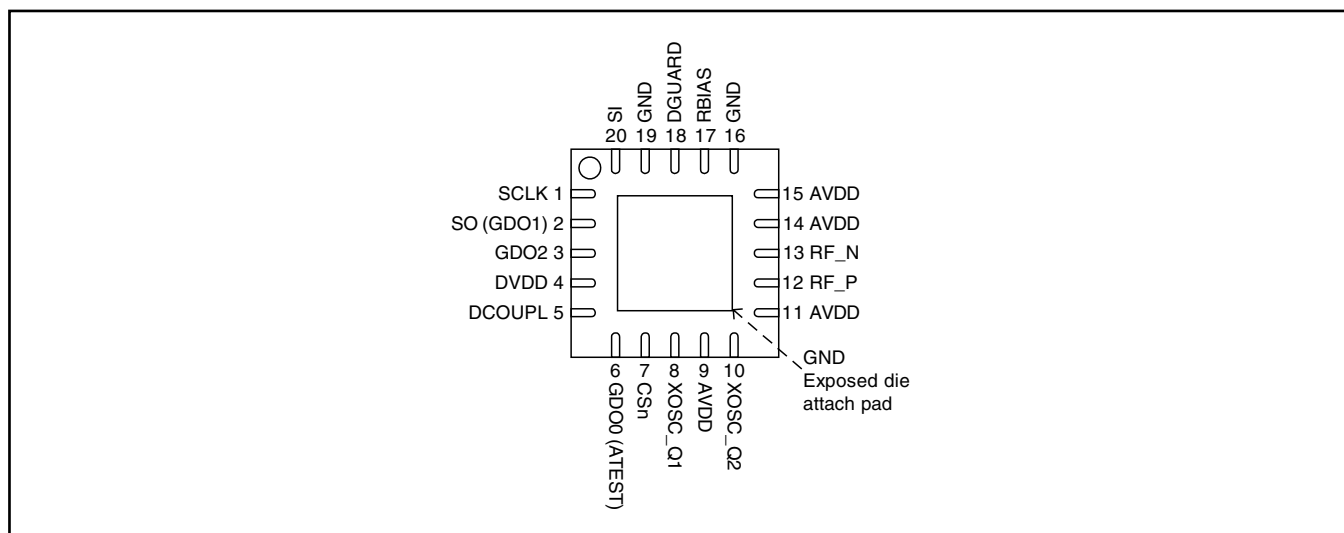


図 1: 上からみた図

注記：露出しているダイ・アタッチ・パッドは、デバイスの主要なグラウンド接続として、安定したグラウンド・プレーンに接続する必要があります。

端子 #	端子名	端子形式	概要
1	SCLK	デジタル入力	シリアル・インターフェイス、クロック入力
2	SO (GDO1)	デジタル出力	シリアル・インターフェイス、データ出力 CSn が “High” のとき、汎用出力
3	GDO2	デジタル出力	汎用デジタル出力端子 <ul style="list-style-type: none"> <li>• テスト信号</li> <li>• FIFO 状態信号</li> <li>• クリア・チャンネル表示</li> <li>• クロック出力、XOSCを分周</li> <li>• RXデータ・シリアル出力</li> </ul>
4	DVDD	電源 (デジタル)	1.8～3.6 V デジタル部電源。デジタルI/Oとデジタル・コア電圧レギュレータ用
5	DCOUPPL	電源 (デジタル)	1.6～2.0 V デカップリング用デジタル部電源出力 注意: この端子はCC2500 のみに使用すること、他のデバイスへの電圧供給には使用できません。
6	GDO0 (ATEST)	デジタル入出力	汎用デジタル入出力端子 <ul style="list-style-type: none"> <li>• テスト信号</li> <li>• FIFO 状態信号</li> <li>• クリア・チャンネル表示</li> <li>• クロック出力、XOSCを分周</li> <li>• RXデータ・シリアル出力</li> <li>• TXデータ・シリアル入力</li> </ul> または、試作/量産試験用のアナログ試験I/Oとしても使用。
7	CSn	デジタル入力	シリアル・インターフェイス、チップ・セレクト
8	XOSC_Q1	アナログ入出力	水晶振動子端子1、または外部クロック入力
9	AVDD	電源 (アナログ)	1.8～3.6 V アナログ電源入力
10	XOSC_Q2	アナログ入出力	水晶振動子端子2
11	AVDD	電源 (アナログ)	1.8～3.6 V アナログ電源入力
12	RF_P	RF I/O	受信モード、LNAからの+ RF信号入力 送信モード、パワー・アンプからの+ RF出力
13	RF_N	RF I/O	受信モード、LNAからの- RF信号入力 送信モード、パワー・アンプからの- RF出力
14	AVDD	電源 (アナログ)	1.8～3.6 V アナログ電源入力
15	AVDD	電源 (アナログ)	1.8～3.6 V アナログ電源入力
16	GND	グラウンド (アナログ)	アナログ・グラウンド
17	RBIAS	アナログ入出力	リファレンス電流用、外部バイアス抵抗
18	DGUARD	電源 (デジタル)	デジタル・ノイズ隔離用電源
19	GND	グラウンド (デジタル)	デジタル・ノイズ隔離用グラウンド
20	SI	デジタル入力	シリアル・インターフェイス、データ入力

表 13: 端子配置の概要



## 6 回路説明

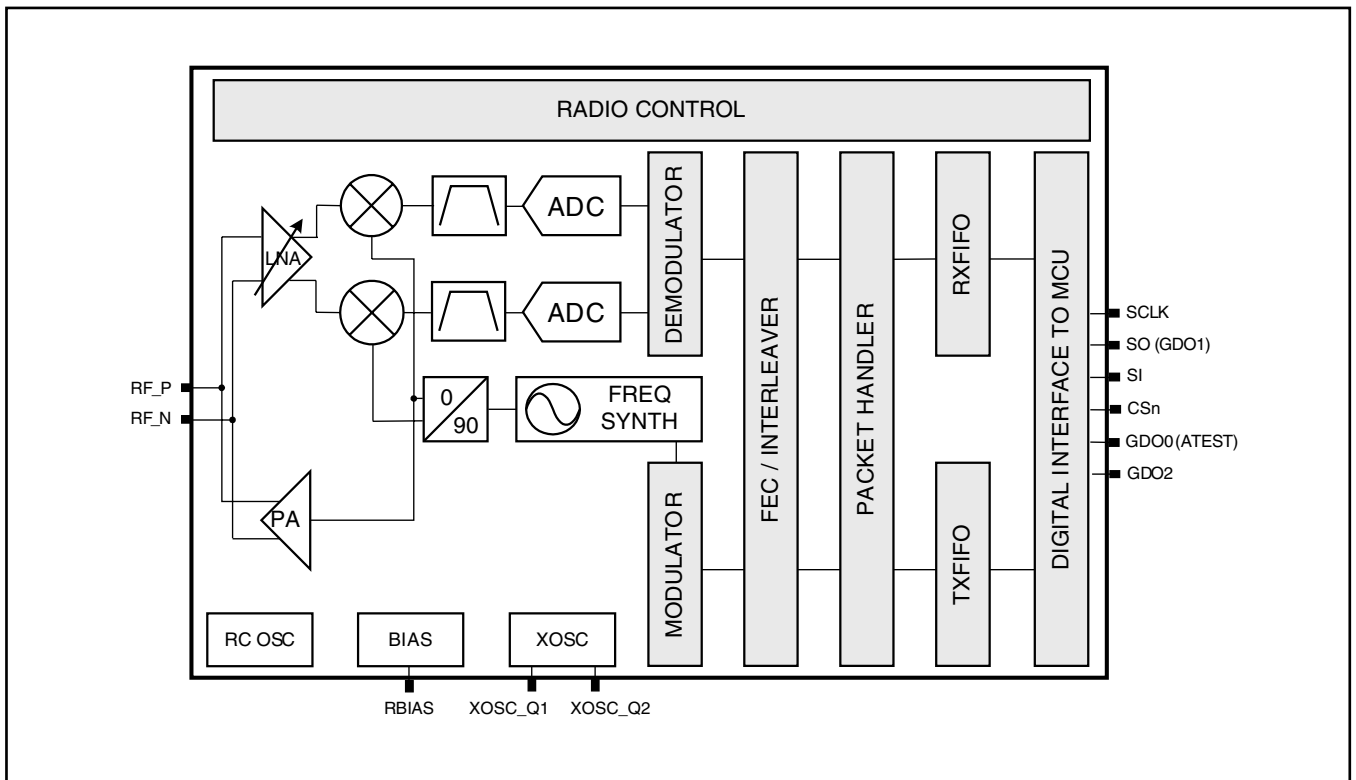


図 2: CC2500の簡単な機能ブロック図

CC2500の機能を単純化したブロック図を図2に示します。

CC2500の特長は低IF受信機です。受信したRF信号を低ノイズ・アンプ (LNA) で増幅し、直交した (I相およびQ相) 中間周波数 (IF) へ低域変換します。IF部ではI相/Q相信号をADCによってデジタル化して、自動ゲイン制御 (AGC)、先鋭なチャネル・フィルタリング、ビット/パケットの復調、同期をデジタルで行います。

CC2500の送信部の基本は、RF周波数のダイレクト・シンセサイザです。

周波数シンセサイザには、完全オンチップのLCによるVCOと、受信時に低域変換ミキサのLO信号とするためのI相とQ相を生成する90° 移相器があります。

水晶振動子はXOSC\_Q1とXOSC\_Q2に接続します。水晶発振器は、シンセサイザの基準周波数であるとともに、ADCおよびデジタル部のクロックを生成します。

4線式SPIシリアル・インターフェイスを使用して、設定およびデータ・バッファのアクセスを行います。

また、デジタル・ベースバンド処理には、チャネル設定、パケット操作およびデータ・バッファリングのサポートを含んでいます。

## 7 アプリケーション回路

CC2500の利用には、わずか数個の外付け部品が必要なだけです。推奨のアプリケーション回路を図3に示します。外付け部品の説明を表14に、その部品定数 (Typ) を表15に示します。

### バイアス抵抗

バイアス抵抗R171は、正確なバイアス電流の設定に使用します。

### バランとRFのマッチング

RF\_N/RF\_P端子と2つの信号が合流するポイントまでの部品 (C122、C132、L121およびL131) がバランを形成して、CC2500の平衡信号を不平衡信号に変換します。C121とC131はDCブロッキングに必要です。また、適切なLC回路と組み合わせることにより、50Ωアンテナ (またはケーブル) にインピーダンスをマッチングさせます。推奨の定数を表15に示します。

バランおよびLCフィルタの部品定数とその配置は、特性を最適に保つために重要です。CC2500EMリファレンス・デザインに従うことを強く推奨します。

## 水晶振動子

水晶発振器は、外付けの水晶振動子と2個の負荷コンデンサ (C81およびC101) を使用します。詳細は26節を参照してください。

## 電源デカップリング

電源は、電源端子の近くで適切にデカップリングする必要があります。アプリケーション回路では、デカップリング用コンデンサが表記されていないことに注意してください。デカップリング用コンデンサの配置と容量は、最適特性の実現に非常に重要です。CC2500リファレンス・デザインに厳密に従うようにします。

部品	説明
C51	デジタル部オン・チップ電圧レギュレータ・デカップリング・コンデンサ
C81/C101	水晶振動子負荷コンデンサ、詳細は26節参照。
C121/C131	RFバランのDCブロッキング・コンデンサ
C122/C132	RFバラン/マッチングコンデンサ
C123/C124	RF LCフィルタ/マッチングコンデンサ
L121/L131	RFバラン/マッチングコイル (廉価な多層型)
L122	RF LCフィルタコイル (廉価な多層型)
R171	内部バイアス電流リファレンス抵抗
XTAL	26—27MHz水晶振動子、詳細は26節参照。

表 14: 外付け部品の概要 (電源デカップリング用コンデンサを除く)

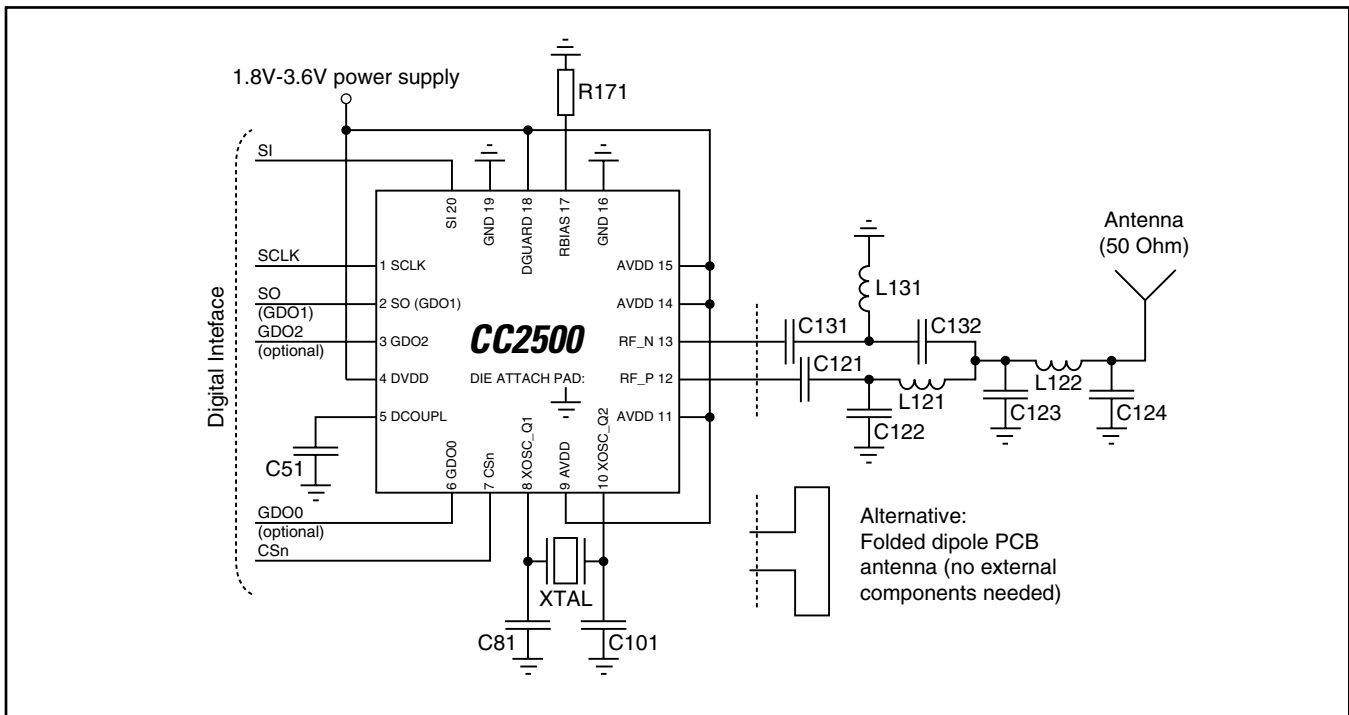


図 3: 標準アプリケーションおよび評価回路 (電源デカップリング用コンデンサを除く)

部品	定数	メーカー
C51	100 nF $\pm 10\%$ 、0402 X5R	村田 GRM15 シリーズ
C81	27 pF $\pm 5\%$ 、0402 NP0	村田 GRM15 シリーズ
C101	27 pF $\pm 5\%$ 、0402 NP0	村田 GRM15 シリーズ
C121	100 pF $\pm 5\%$ 、0402 NP0	村田 GRM15 シリーズ
C122	1.0 pF $\pm 0.25$ pF、0402 NP0	村田 GRM15 シリーズ
C123	1.8 pF $\pm 0.25$ pF、0402 NP0	村田 GRM15 シリーズ
C124	1.5 pF $\pm 0.25$ pF、0402 NP0	村田 GRM15 シリーズ
C131	100 pF $\pm 5\%$ 、0402 NP0	村田 GRM15 シリーズ
C132	1.0 pF $\pm 0.25$ pF、0402 NP0	村田 GRM15 シリーズ
L121	1.2 nH $\pm 0.3$ nH、0402 モノリシック	村田 LQG15HS シリーズ
L122	1.2 nH $\pm 0.3$ nH、0402 モノリシック	村田 LQG15HS シリーズ
L131	1.2 nH $\pm 0.3$ nH、0402 モノリシック	村田 LQG15HS シリーズ
R171	56 k $\Omega$ $\pm 1\%$ 、0402	Koa RK73 シリーズ
XTAL	26.0 MHz 表面実装水晶振動子	NDK、AT-41CD2

表 15: アプリケーション回路の部品表

他社 (例えば Würth) 製の多層コイルで評価測定がなされており、その測定結果は村田製部品の使用時と同様でした。

CC2500EM リファレンス・デザインのガーバー・ファイルは、TI のウェブ・サイトから入手できます。



図 4: CC2500EM リファレンス・デザイン

## 8 設定の概要

CC2500 は、様々なアプリケーションで最適な特性を実現するように構成できます。SPI インターフェイスを使用して、以下の主要パラメータをプログラミングします。

- パワー・ダウン/パワー・アップ・モード
- 水晶発振器のパワー・アップ/パワー・ダウン
- 受信/送信モード
- RF チャネル選択
- データ・レート
- 変調フォーマット
- RX チャネル・フィルタ帯域幅
- RF 出力電力

- 受信と送信用に分けられた 64 バイト FIFO のデータ・バッファリング
- ハードウェア・サポートによる無線パケット
- インターリーピングによる前方誤り訂正 (FEC)
- データ拡散 (ホワイトニング)
- ウェーク・オン・ラジオ (WOR)

各構成レジスタの詳細は 32 節にあります。

図 5 に、代表的な使用法および消費電流の条件における、CC2500 の主要な状態を説明する簡略化した状態遷移図を示します。CC2500 のステート・マシンの制御に関する詳細情報と一連の状態図は、19 節をごらんください。

9 構成ソフトウェア

CC2500は、SmartRF® Studioソフトウェアを使用して構成します。最適なレジスタ構成を得ることと、特性および機能の評価のために、SmartRF® Studioソフトウェアの利用を強く推奨します。CC2500のSmartRF® Studioソフトウェアのユーザ・インターフェイス画面例を図6に示します。

デバイス・リセットの後、全レジスタは32節の表に示すデフォルト値になりますが、最適なレジスタ構成は、デフォルト値と異なることがあります。したがって、リセット後にデフォルト値と異なるレジスタは、すべてSPIインターフェイスでプログラミングする必要があります。

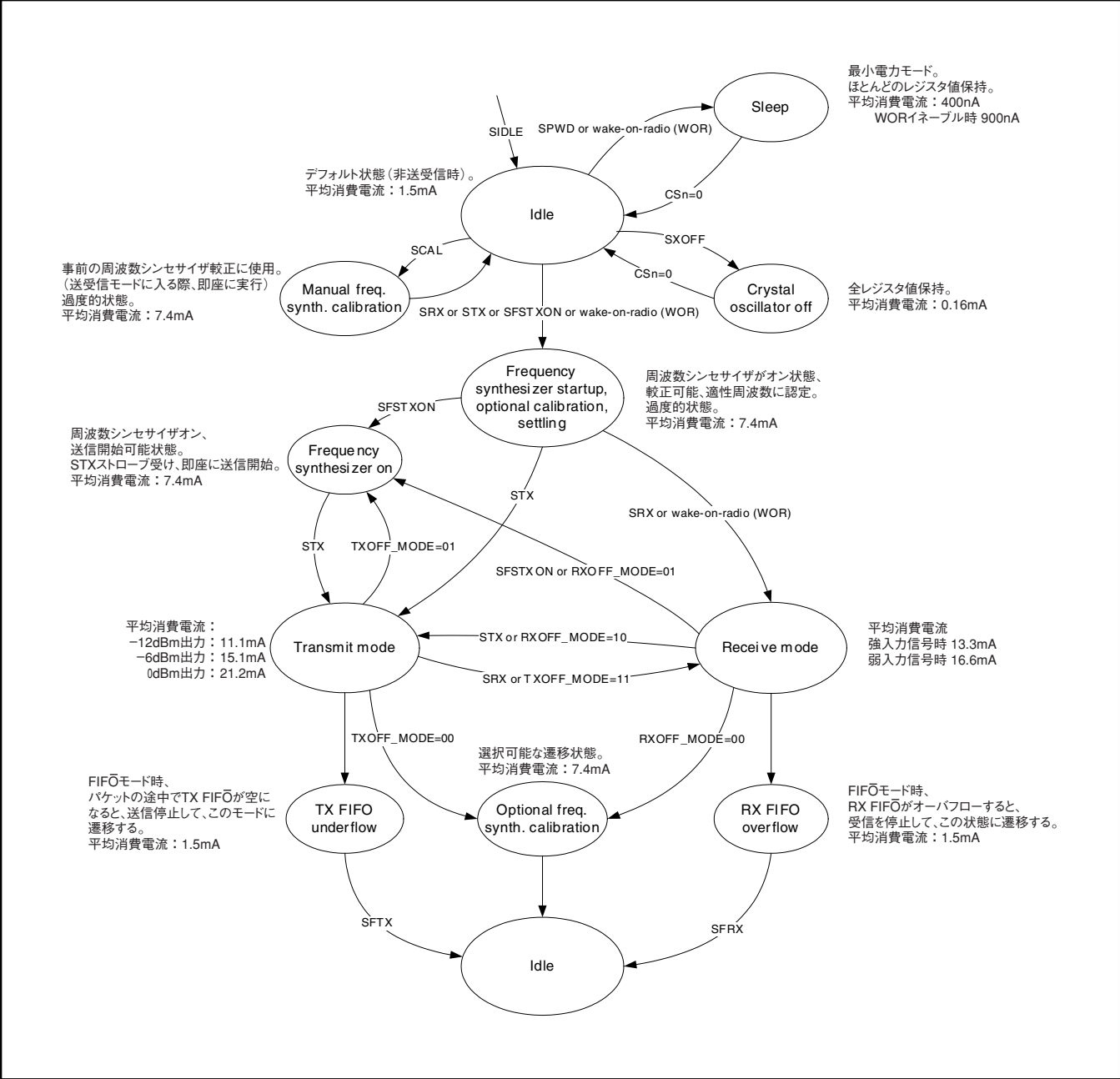


図 5: 状態遷移図の概要  
条件: データ・レート 250k Baud、MDMCFG2.DEM\_DCFILT\_OFF = 1 (電流最適化) のときの代表的使用法および消費電力

## 10 4線式シリアルの設定とデータ・インターフェイス

SPI互換の簡単4線式インターフェイス (SI、SO、SCLKおよびCSn) 経由でCC2500の構成 (プログラミング) を行います。ここでは、CC2500はスレーブとして動作します。このインターフェイスは、パッファ・データの読み取り、書き込みにも使用します。SPIインターフェイス上のデータ伝送は、すべてMSB (最上位ビット) ファーストです。

SPIインターフェイスのすべての処理は、R/Wビット、バースト・アクセス・ビット (B) および6ビットのアドレス (A<sub>5</sub> – A<sub>0</sub>) を含むヘッダ・バイトから始まります。

SPIバスのデータ伝送中は、CSn端子を “Low” に保つ必要が

あります。ヘッダ・バイトの伝送中または、レジスタとのリード/ライト中にCSnが “High” になると、伝送は取り消されます。SPIインターフェイスのアドレスおよびデータ伝送のタイミングを図7に、所要条件を表16に示します。

CSnが “Low” の場合、MCUはヘッダ・バイトの伝送を開始する前に、CC2500の水晶が動作していることを示すSO端子が “Low” になるまで待つ必要があります。デバイスがSLEEPまたはXOFF状態以外では、CSnが “Low” になった直後にSO端子は常に “Low” になります。

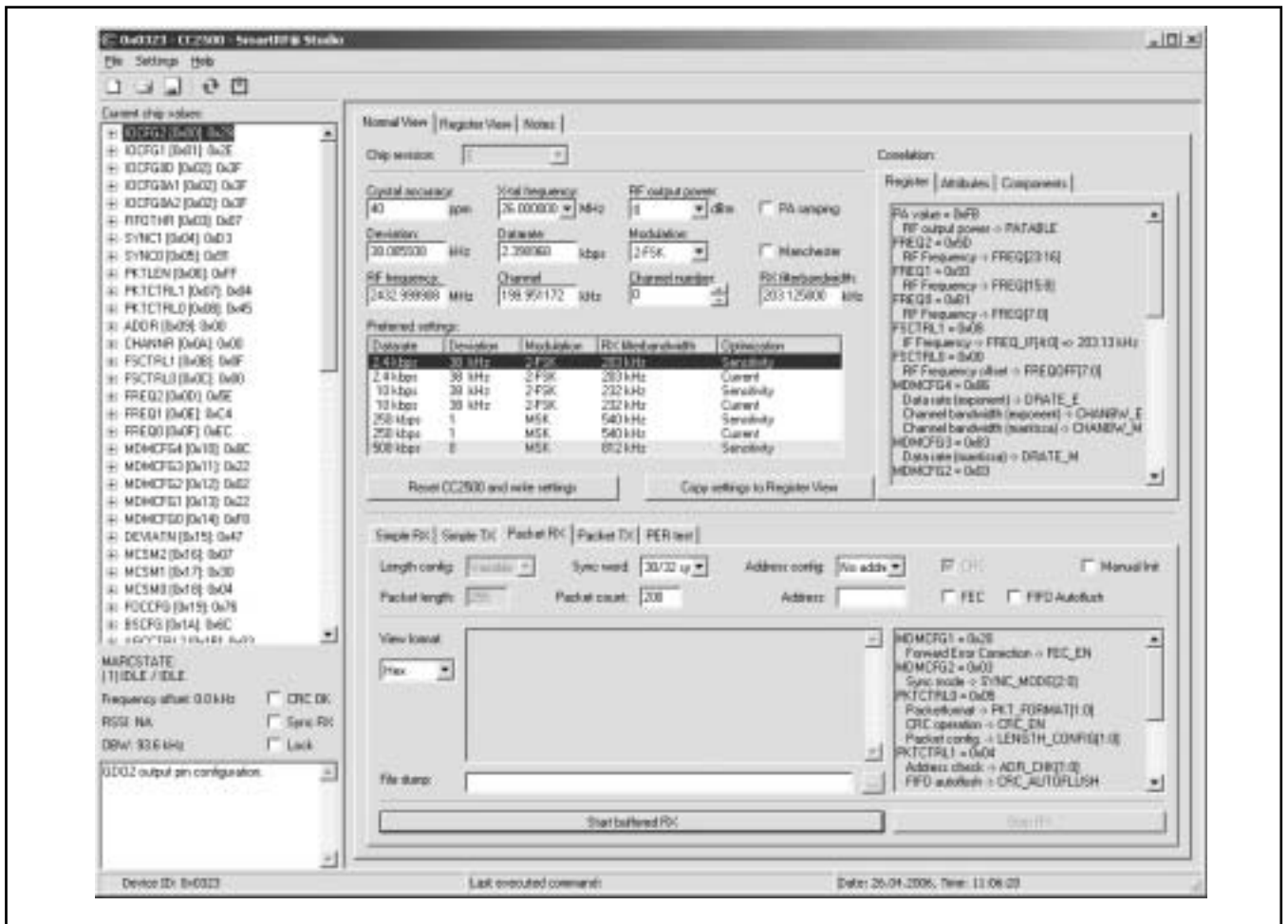


図 6: SmartRF® Studio ユーザ・インターフェイス

10.1 デバイス・ステータス・バイト

ヘッダ・バイト、データ・バイト、あるいは命令ストローブをSPIインターフェイスに送信すると、CC2500はデバイス・ステータス・バイトをSO端子から送出します。ステータス・バイトには主要な状態信号があり、MCUにとり有用です。最初のビットのs7はCHIP\_RDYn信号です。この信号は、水晶が動作していることを示し、SCLKの最初の立ち上がりエッジの前に“Low”である必要があります。

ビット6、5、および4の組み合わせは、STATE値としてデバイスの状態を表します。IDLE状態では、XOSCとデジタル・コアの電源はオンですが、それ以外の全てのモジュールはパワー・ダウンしています。周波数およびチャネル構成は、デバイスがこの状態のときだけ変更できます。デバイスが受信モードのとき、RX状態はアクティブとなります。同様に、デバイスが送信中のとき、TX状態はアクティブとなります。

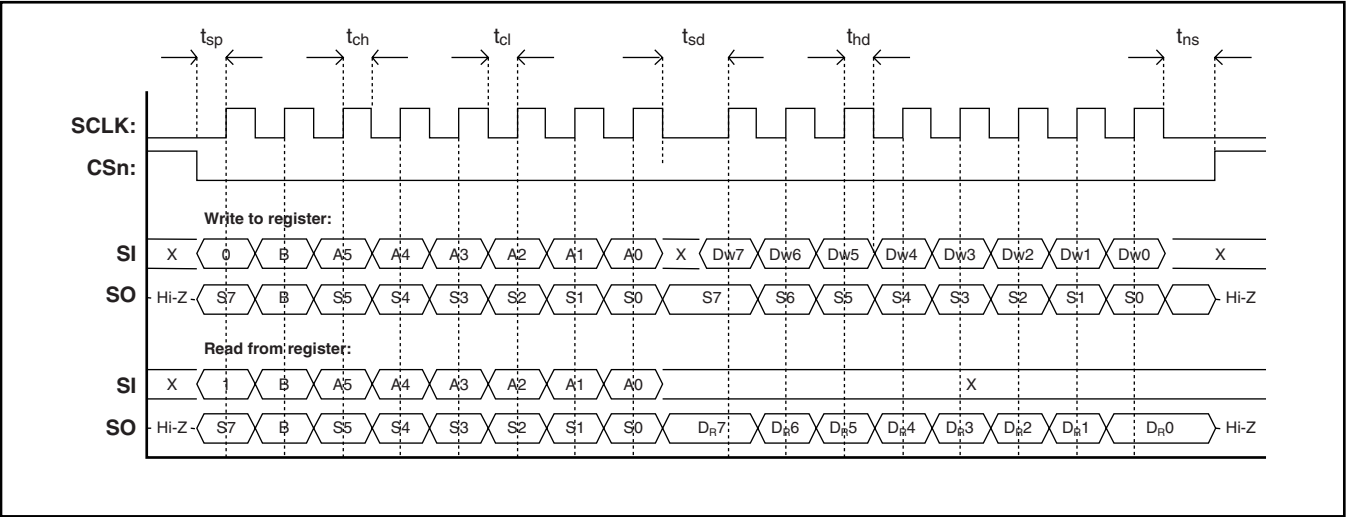


図 7: 構成レジスタのライトおよびリード動作

パラメータ	説明	Min	Max	単位
fSCLK	SCLK周波数 アドレス・バイトとデータ・バイトの間に100nsの遅延を入れる（シングル・アクセス）。あるいは、アドレスとデータの間および各データ・バイトの間に100nsの遅延を入れる（バースト・アクセス）。	-	10	MHz
	SCLK周波数、シングル・アクセス アドレスとデータ・バイトの間に遅延なし。	-	9	MHz
	SCLK周波数、バースト・アクセス アドレスとデータ・バイト間、あるいはデータ・バイト間に遅延なし。	-	6.5	MHz
tsp,pd	CSn “Low” からSCLKの立ち上がりエッジまで、パワー・ダウン・モード時。	150	-	μs
tsp	CSn “Low” からSCLKの立ち上がりエッジまで、アクティブ・モード時。	20	-	ns
tch	クロックが “High” の時間	50	-	ns
tcl	クロックが “Low” の時間	50	-	ns
t <sub>rise</sub>	クロックの立ち上がり時間	-	5	ns
t <sub>fall</sub>	クロックの立ち下がり時間	-	5	ns
tsd	データ・セットアップ（SCLKの立ち下がりエッジ）からSCLKの立ち上がりエッジまで (tsdはアドレス・バイトとデータ・バイトの間、およびデータ・バイト間に適用される。)	シングル・アクセス	55	- ns
		バースト・アクセス	76	- ns
thd	SCLKの立ち上がりエッジからのデータ保持時間	20	-	ns
tns	SCLKの立ち下がりエッジからCSnの立ち上がりまで	20	-	ns

表 16: SPIインターフェイス・タイミング条件

注意：表16のtsp,pdの最小値は、ユーザがCHIP\_RDYn信号を読まない場合に使用できます。デバイスがパワー・ダウンからウェークする場合の「CSn “Low” からSCLKの立ち上がりエッジまで」の値は、使用される水晶のスタート・アップ時間に依存します。表16の150usは、NDK社製水晶のAT-41CD2を使用するCC2500EMリファレンス・デザインで測定した、水晶発振器のスタート・アップ時間です。SPI Interface Timingについては、Design Note DN503 [10] を参照。

ビット	Name	説明																											
7	CHIP_RDYn	電源と水晶が安定するまで“High”を保つ。SPIを使用する時は“Low”を確認する。																											
6:4	STATE [2:0]	現在の主なステータス・マシンのモード。 <table border="1"> <thead> <tr> <th>値</th><th>状態</th><th>説明</th></tr> </thead> <tbody> <tr> <td>000</td><td>IDLE</td><td>IDLE状態 (SETTLINGあるいはCALIBRATEの代わりに、ある種の遷移状態もレポートする)</td></tr> <tr> <td>001</td><td>RX</td><td>受信モード</td></tr> <tr> <td>010</td><td>TX</td><td>送信モード</td></tr> <tr> <td>011</td><td>FSTXON</td><td>周波数シンセサイザがオン、送信開始可能</td></tr> <tr> <td>100</td><td>CALIBRATE</td><td>周波数シンセサイザが較正動作中</td></tr> <tr> <td>101</td><td>SETTLING</td><td>PLLの設定中</td></tr> <tr> <td>110</td><td>RXFIFO_OVERFLOW</td><td>RX FIFOオーバー・フロー。有効なデータをすべて読み取ったのち、SFRXでFIFOをフラッシュする。</td></tr> <tr> <td>111</td><td>TXFIFO_UNDERFLOW</td><td>TX FIFOアンダー・フロー。SFTXで認識する。</td></tr> </tbody> </table>	値	状態	説明	000	IDLE	IDLE状態 (SETTLINGあるいはCALIBRATEの代わりに、ある種の遷移状態もレポートする)	001	RX	受信モード	010	TX	送信モード	011	FSTXON	周波数シンセサイザがオン、送信開始可能	100	CALIBRATE	周波数シンセサイザが較正動作中	101	SETTLING	PLLの設定中	110	RXFIFO_OVERFLOW	RX FIFOオーバー・フロー。有効なデータをすべて読み取ったのち、SFRXでFIFOをフラッシュする。	111	TXFIFO_UNDERFLOW	TX FIFOアンダー・フロー。SFTXで認識する。
値	状態	説明																											
000	IDLE	IDLE状態 (SETTLINGあるいはCALIBRATEの代わりに、ある種の遷移状態もレポートする)																											
001	RX	受信モード																											
010	TX	送信モード																											
011	FSTXON	周波数シンセサイザがオン、送信開始可能																											
100	CALIBRATE	周波数シンセサイザが較正動作中																											
101	SETTLING	PLLの設定中																											
110	RXFIFO_OVERFLOW	RX FIFOオーバー・フロー。有効なデータをすべて読み取ったのち、SFRXでFIFOをフラッシュする。																											
111	TXFIFO_UNDERFLOW	TX FIFOアンダー・フロー。SFTXで認識する。																											
3:0	FIFO_BYTES_AVAILABLE [3:0]	RX FIFOから読み取り可能なバイト数、またはTX FIFOの空いている (書き込み可能) バイト数。																											

表 17: ステータス・バイトの要約

ステータス・バイトの最後の4ビット (3:0) は、FIFO\_BYTES\_AVAILABLEです。リード動作 (ヘッダ・バイトのR/Wビットが1) では、FIFO\_BYTES\_AVAILABLEフィールドにRX FIFOから読み取り可能なバイト数が格納されます。ライト動作 (ヘッダ・バイトのR/Wビットが0) では、TX FIFOに書き込めるバイト数がFIFO\_BYTES\_AVAILABLEフィールドに格納されます。FIFO\_BYTES\_AVAILABLE = 15の場合、15バイトの読み取りが可能、または書き込み可能です。

表17にステータス・バイトの要約を示します。

## 10.2 レジスタ・アクセス

CC2500の構成レジスタは、SPIアドレスの0x00から0x2Eに置かれています。表35に、このレジスタ概要を示します。最適なレジスタ設定を行うために、SmartRF® Studioの使用を強く推奨します。各レジスタの詳細な解説は32.1節を参照してください。構成レジスタは、すべて書き込みと読み取りが可能であり、読み書きはR/Wビットにより制御されます。レジスタに書き込む場合、ヘッダ・バイトまたはデータ・バイトがSI端子に送信されるたびに、ステータス・バイトがSO端子に送出されます。レジスタから読み取る場合、ヘッダ・バイトがSI端子に送信される毎に、ステータス・バイトをSO端子から送出します。

連続したアドレスのレジスタは、ヘッダ・バイトのバースト・ビット (B) を設定することで、効率良くアクセスできます。このとき、アドレス・ビット (A<sub>5</sub> ~ A<sub>0</sub>) で内部アドレス・カウンタの開始アドレスを設定します。このカウンタは、新たな1バイト (8クロック・パルス) ごとに値が1ずつ増加します。バースト・アクセスはリードまたはライト・アクセスのいずれかであり、CSnを“High”に設定することで終了します。

0x30-0x3Dの範囲のレジスタ・アドレスについて、バースト・ビットはステータス・レジスタ (バースト・ビット = 1) または命

令ストロープ (バースト・ビット = 0) の選択に使用します (下の10.4節を参照)。そのため、バースト・アクセスはステータス・レジスタに使用できず、ステータス・レジスタは1回ごとに1個をアクセスするしかありません。なお、ステータス・レジスタは読み取り専用です。

## 10.3 SPIリード

SPIインターフェイスからレジスタ・フィールドを読む場合、レジスタ・フィールドが無線部のハードウェア (例えば、MARCSTATEやTXBYTES) により変更されていると、僅かですが一定の確率でレジスタの1回分の読み取りデータが破損する現象が発生します。例として、TXBYTESからの1回分の読み取りデータが破損する確率は、最大データ・レートでの使用する場合で約80ppmになります。詳細はCC2500エラー・ノート [1] を参照してください。

## 10.4 命令ストロープ

命令ストロープは、CC2500に対する1バイト命令と見なすことができ、命令ストロープ・レジスタのアドレス指定することで、内部シーケンスを開始します。これらの命令は、水晶発振器のディスエーブル、受信モードのイネーブル、ウェーク・オン・ラジオのイネーブルなどに使用されます。13個の命令ストロープを表34に示します。

命令ストロープ・レジスタは、1個のヘッダ・バイトの転送でアクセスされます (データは転送しない)。すなわち、R/Wビット、バースト・アクセス・ビット (0に設定)、および6アドレス・ビット (0x30から0x3Dの範囲) だけが書き込まれます。R/Wビットは1または0であり、ステータス・バイトのFIFO\_BYTES\_AVAILABLEフィールドの使用法を示します。



命令ストロブを書き込むと、ステータス・バイトをSO端子から送出します。

CSnを“High”にしていなければ、他のSPIアクセスを命令ストロブに続けることができます。しかし、SRESストロブが出ているときは、図8に示すように、次のヘッダ・バイトを発するには、SOが再度“Low”になるまで待つ必要があります。CSnが“High”になると実行されるSPWDおよびSXOFFストロブを除き、命令ストロブは即時に実行されます。

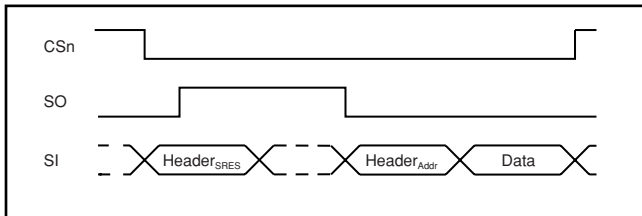


図 8: SRES命令ストロブ

## 10.5 FIFOアクセス

64バイトTX FIFOおよび64ビットRX FIFOは、アドレス0x3Fを通してアクセスします。R/Wビットが0のときTX FIFOをアクセス、R/Wビットが1のときRX FIFOをアクセスします。

TX FIFOは書き込み専用であり、RX FIFOは読み取り専用です。

バースト・ビットにより、1バイト・アクセス、またはバースト・アクセスのFIFOアクセス方法が決まります。1バイト・アクセスでは、バースト・ビットが0のヘッダ・バイトと1つのデータ・バイトが続きます。データ・バイトの後、CSnを“Low”に保つと、新たなヘッダ・バイトを待ちます。バースト・アクセスでは、CSnを“High”に設定してアクセスを終了するまで1つのヘッダ・バイトと、それに続くデータ・バイトを待ちます。

以下のヘッダ・バイトによってFIFOをアクセスします。

- 0x3F：TX FIFOへの1バイト・アクセス
- 0x7F：TX FIFOへのバースト・アクセス
- 0xBF：RX FIFOへの1バイト・アクセス
- 0xFF：RX FIFOへのバースト・アクセス

TX FIFOの書き込みでは、図7に示すように、新たなデータ・バイト毎にステータス・バイト(10.1節参照)をSOに送出します。ステータス・バイトには、TX FIFOにバイトを書き込む前のTX FIFOの空きバイト数が格納されることに注目してください。

TX FIFOに書き込む最終バイトをSIに送ったとき、SOから受信されるステータス・バイトは、TX FIFOが実際のサイズより1バイト少ないことを示します。このステータス・バイトは、TX FIFOにデータを書き込む間、TX FIFOのアンダー・フローの検出に利用できます。

TX FIFOは、SFTX命令ストロブの書き込みによりフラッシュできます。同様に、SFRX命令ストロブによりRX FIFOをフラッシュできます。SFTXあるいはSFRX命令ストロブは、IDLE、TXFIFO\_UNDERLOWあるいはRXFIFO\_OVERFLOW状態でのみ発行することができます。両FIFOは、SLEEP状態に入るときにフラッシュされます。

図9に、レジスタ・アクセスの種類と概要を示します。

## 10.6 PATABLEアクセス

アドレス03xEは、PAの電力制御を設定するPATABLEのアクセスに使用します。PATABLEは8バイトのテーブルですが、テーブル・エントリ全体は使用せずFRIEND0. PA\_POWERの3ビットで選択したテーブル・エントリのみを使用します。

- 2FSK、GFSK、あるいはMSK変調を使用する場合、先頭のテーブル・エントリ(インデックス0)のみを使用します。
- OOK変調を使用する場合、先頭の2エントリ(インデックス0およびインデックス1)を使用します。

PATABLEは8バイトのテーブルなので、テーブルは最下位(0)から最上位(7)まで、1バイトずつ読み書きされます。テーブルへのアクセス制御はインデックス・カウンタを使用し1バイトをテーブルに読み書きする毎に1ずつ増加し、CSnを“High”にするとインデックスは最下位に設定されます。最上位に達すると、インデックス・カウンタは0から再スタートします。

PATABLEへのアクセスは、バースト・ビットに依存して1バイト・アクセスあるいはバースト・アクセスが決まります。バースト・アクセスの場合、インデックス・カウンタはカウント・アップし、7になると0から再スタートします。アクセスはR/Wビットにより制御し、R/W=0で書き込み、R/W=1で読み取りです。

1バイトをPATABLEに書き込み、この値を読み取る場合、リード・アクセスの前にインデックス・カウンタを0に戻すために、CSnを“High”に設定する必要があります。

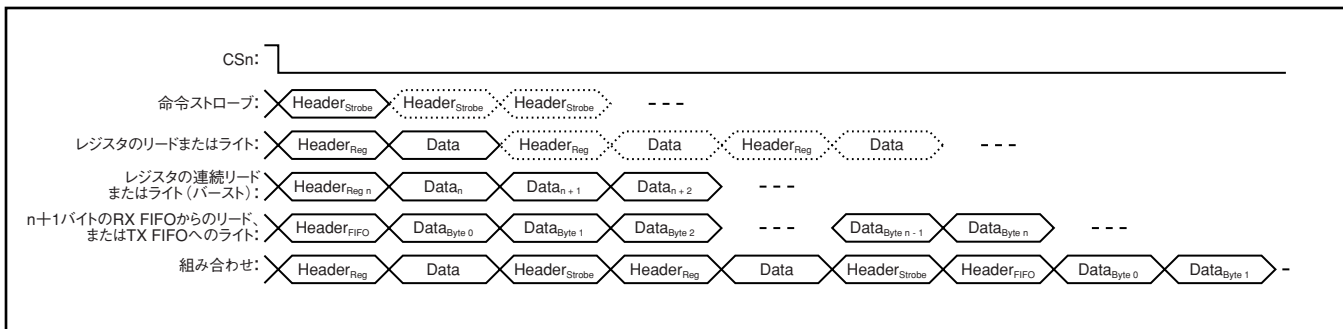


図 9: レジスタ・アクセスの種類



PATABLEは、SLEEP状態に入るときに、最初のバイト（インデックス0）以外の内容が消えてしまうことに注意してください。

出力電力のプログラミングの詳細は、24節を参照してください。

## 11 マイクロコントローラ・インターフェイス および端子構成

標準的なシステムでは、CC2500をマイクロ・コントローラに接続します。

マイクロ・コントローラは、次の事をする必要があります。

- CC2500を種々のモードにプログラミング。
- バッファ・データの読み書き。
- 4線式SPIバス構成インターフェイス (SI、SO、SCLK、およびCSn) 経由で、ステータス読み取り。

### 11.1 設定インターフェイス

マイクロ・コントローラの4つのI/O端子を、SPI構成インターフェイス (SI、SO、SCLK、およびCSn) に使用します。SPIについては10節で述べています。

### 11.2 汎用制御およびステータス端子

CC2500には2本の構成可能な専用端子 (GDO0およびGDO2) と、制御ソフトウェアに有用な内部ステータス情報を出力する1本の共有端子 (GDO1) があります。これらの端子を使用して、MCUに対する割り込みを発生することができます。プログラミングできる信号に関する詳細は、28節を参照してください。GDO1は、SPIインターフェイスのSO端子と共用です。GDO1/SO端子のデフォルト設定は3ステート出力です。他のプログラミングを選択すると、GDO1/SO端子は汎用端子になります。CSnが“Low”のとき、この端子は常に通常のSO端子として動作します。

同期および非同期シリアル・モードでは、送信モードの間、GDO0端子はシリアルTXデータ入力端子として使用されます。

GDO0端子は、オンチップのアナログ温度センサにも使用できます。GDO0端子の電圧を外付けのADCで測定することにより、温度が算出できます。温度センサの仕様は4.7節を参照してください。

PTESTレジスタがデフォルト設定 (0x7F) のとき、温度センサ出力は、周波数シンセサイザがイネーブル (例えば、MANCAL、FSTXON、RX、およびTX状態) の場合にのみ使用できます。アナログ温度センサをIDLE状態で使用するには、PTESTレジスタに0xBFを書き込む必要があり、IDLE状態から抜ける前に、PTESTレジスタをデフォルト値 (0x7F) に戻します。

### 11.3 無線制御のオプション機能

CC2500では、SPIインターフェイスのSI、SCLK、およびCSnの端子を利用して無線を制御することを選択できます。この機能により、無線部分の主要な状態すなわちSLEEP、IDLE、RX、およびTXを、3つの端子で簡単に制御することができます。

このオプション機能は、MCSM0.PIN\_CTRL\_EN設定ビットによりイネーブルします。

状態は以下の命令で変更します。

CSnが“High”のとき、SIおよびSCLKを表18に従って設定します。CSnが“Low”になると、SIおよびSCLKの状態はラッチされ、制御コードに従って命令ストロブが内部で発生します。この機能によってのみ状態を変更することが可能です。CSnが“Low”の場合、SIおよびSCLKは通常のSPI機能になります。

すべての端子制御ストロブは、SPWDストロブを除いて即座に実行されます。SPWDストロブはCSnが“High”になるまで遅れます。

CSn	SCLK	SI	機能
1	X	X	SCLK/SI無効
↓	0	0	SPWDストロブ生成
↓	0	1	STXストロブ生成
↓	1	0	SIDLEストロブ生成
↓	1	1	SRXストロブ生成
0	SPI mode	SPI mode	SPI モード (SLEEP/XOFFのときIDLEに復帰)

表 18: 端子による制御コード

## 12 データ・レート・プログラミング

送信時に使用されるデータ・レート、あるいは受信時に要求されるデータ・レートは、MDMCFG3.DRATE\_MおよびMDMCFG4.DRATE\_E構成レジスタをプログラミングします。データ・レートは下の式で与えられます。式が示すように、プログラミングされるデータ・レートは水晶周波数に依存します。

$$R_{DATA} = \frac{(256 + DRATE\_M) \cdot 2^{DRATE\_E}}{2^{28}} \cdot f_{XOSC}$$

データ・レートに該当する値は、下記の方法を使用して求めることができます。

$$DRATE\_E = \left\lceil \log_2 \left( \frac{R_{DATA} \cdot 2^{20}}{f_{XOSC}} \right) \right\rceil$$

$$DRATE\_M = \frac{R_{DATA} \cdot 2^{28}}{f_{XOSC} \cdot 2^{DRATE\_E}} - 256$$

DRATE\_Mが直近の整数に丸めて、256になる場合、DRATE\_Eに1を加え、DRATE\_M = 0とします。

データ・レートは1.2k Baudから500k Baudまで、以下の最小ステップで設定できます。

Min データ・レート [kBaud]	Typical データ・レート [kBaud]	Max データ・レート [kBaud]	データ・レート ステップ・サイズ [kBaud]
0.8	1.2/2.4	3.17	0.0062
3.17	74.8	6.35	0.0124
6.35	59.6	12.7	0.0248
12.7	19.6	25.4	0.0496
25.4	38.4	50.8	0.0992
50.8	76.8	101.6	0.1984
101.6	153.6	203.1	0.3967
203.1	250	406.3	0.7935
406.3	500	500	1.5869

表 19: データ・レートのステップ・サイズ

## 13 レシーバ・チャネル・フィルタ帯域幅

様々なチャネル幅の要求を満たすため、レシーバ・チャネル・フィルタはプログラマブルになっています。MDMCFG4.CHANBW\_EおよびMDMCFG4.CHANBW\_M構成レジスタの設定により、水晶発振器周波数に応じて変化するレシーバ・チャネル・フィルタ帯域幅が制御されます。レジスタ設定とチャネル・フィルタ帯域幅の関係は、下の式により与えられます。

$$BW_{channel} = \frac{f_{xosc}}{8 \cdot (4 + CHANBW\_M) \cdot 2^{CHANBW\_E}}$$

最適な特性を得るには、信号帯域幅がチャネル・フィルタ帯域幅の80%を占めるように、チャネル・フィルタ帯域幅を選定します。水晶の精度に起因するチャネル中心の公差も、信号帯域幅から差し引きます。以下の例で、この件を示します。

チャネル・フィルタ帯域幅を600kHzに設定すると、信号は600kHzの80%以内なので480kHzになります。送信装置と受信装置の両方について、2.44GHz周波数および±20ppmの周波数不確定性を前提とすると、合計の周波数不確定性は2.44GHzの±40ppmであり、±98kHzになります。全体の送信信号帯域幅が480kHz以内で受信されたとすると、送信信号帯域幅は480kHz - 2 × 98kHzであり、284kHzになります。

CC2500は、下のチャネル・フィルタ帯域幅をサポートしています。

MDMCFG4. CHANBW_M	MDMCFG4.CHANBW_E			
	00	01	10	11
00	812	406	203	102
01	650	325	162	81
10	541	270	135	68
11	464	232	116	58

表 20: チャネル・フィルタ帯域幅[kHz] (26MHz水晶)

## 14 復調器、シンボル同期およびデータ判定

CC2500には先進の高度に構成可能な復調器があります。チャネル・フィルタリングおよび周波数オフセット補正は、デジタルで行われます。RSSIレベル（詳細は17.3節を参照）を生成して、チャネルの信号レベルを予想します。データのフィルタリング特性の向上も盛り込まれています。

### 14.1 周波数オフセット補正

2FSK、GFSK、あるいはMSK変調を使用する場合、受信データの中心を予想して、復調器により送信および受信周波数の間のオフセットが、ある限度内で補正されます。この値はFREQUSTステータス・レジスタから得られます。FREQUSTからFSCTRL0.FREQOFFにこの値を書き込むと、予想した周波数オフセットに応じて、周波数シンセサイザは自動的に周波数を調整します。

アルゴリズムのトラッキング範囲は、チャネル帯域幅とFOCCFG.FOC\_LIMIT構成レジスタの比として選択可能です。

FOCCFG.FOC\_BS\_CS\_GATEビットが設定されると、オフセット補償回路はキャリア検知が有効になるまで停止します。これは、無線のトラフィックが無く長時間RX状態のとき、このアルゴリズムはノイズをトラッキングしようと、限界ヘドリフトするためです。

トラッキング・ループは、セトリング・タイムとアルゴリズムのノイズ感度に影響する2つのゲイン要素を持ち、FOCCFG.FOC\_PRE\_Kによりシンク・ワードが検出される前のゲインを設定、FOCCFG.FOC\_POST\_Kによりシンク・ワードが検出された後のゲインを選択します。

なお、周波数オフセット補正はOOK変調には適用されないことに注意してください。

### 14.2 ビット同期

ビット同期アルゴリズムにより、入力されるシンボルからクロックが抽出されます。このアルゴリズムは、目的のデータ・レートを12節に述べたようにプログラミングする必要があります。再同期は連続的に行われて、入力されるシンボル・レートにおける誤差を調整します。

### 14.3 バイト同期

バイト同期は連続したシンク・ワード検索の結果です。シンク・ワードは16ビットの構成可能なフィールド（繰り返して32ビットにできる）であり、送信モードで、変調器によりパケットの最初に自動的に挿入されます。復調器はこのフィールドにより、ビット・ストリーム中のバイト境界を見つけます。RX状態のシンク・ワード検出がレジスタMDMCFG2(17.1参照)でイネーブルの場合、正しい所定のシンク・ワードを持ったパケットだけが受信されるため、シンク・ワードはシステム識別子としても動作します。シンク・ワード検出器は、ユーザ設定の16あるいは32ビットのシンク・ワードに対して相関があります。この相関閾値は、15/16、16/16、あるいは30/32ビットの一致に設定できます。シンク・ワードは、下に述べるプリアンブル

品質インジケータの仕組みやキャリア検知条件を使用しているのみに検出できます。シンク・ワードは、SYNC1およびSYNC0レジスタを通して構成されます。

シンク・ワードを誤検出するリスクを減少するため、プリアンブル品質インジケータ (PQI) と呼ばれる仕組みをシンク・ワードの適格判定に使用します。プリアンブル品質の閾値は、検出されたシンク・ワードの閾値を越えている必要があります。詳細は17.2節を参照してください。

## 15 パケット処理のハードウェア・サポート

CC2500には、無線によるパケット通信を志向したプロトコルをサポートするハードウェアを持っています。

送信モードのとき、パケット・ハンドラは以下の要素を追加したパケットをTX FIFOに格納するように設定できます。

- プログラマブルなプリアンブル・バイト数。
- 2バイトのシンク・ワード。シンク・ワードを4バイトにする (推奨)。ただし、プリアンブルのみ、またはシンク・ワードのみの挿入はできません。
- データ・フィールド全体について計算したCRCチェックサム。

推奨する設定は、4バイトのプリアンブルと4バイトのシンク・ワードです。ただし例外として、データ・レートが500k Baudの場合、推奨プリアンブル長は8バイトです。

さらに、2バイトCRCチェックサムの選択および、データ・フィールドに以下の処理を行うことができます。

- PN9シーケンスによるデータの拡散 (ホワイトニング)。
- データのインターリーブおよび符号化 (畳み込み符号化) による前方誤り訂正 (FEC)。

受信モードのとき、パケット・ハンドラは以下を実行 (イネーブルの場合) して、データ・パケットを分解します。

- プリアンブル検出。
- シンク・ワード検出。
- CRC計算およびCRCチェック。
- 1バイト・アドレス・チェック。
- パケット長チェック (プログラマブルな最大長に対して長さバイトがチェックされる)。
- 逆拡散 (デホワイトニング)。
- 逆インターリーブおよび復号化。

RSSI値、リンク品質インジケータ、およびCRC状態を含む2バイト長のステータス・バイト (表21および表22参照) を、オペションでRX FIFOにて付加することができます。

ビット	フィールド名	説明
7:0	RSSI	RSSI値

表 21: 受信パケット・ステータス・バイト1  
(データの後に付加される第1バイト)

ビット	フィールド名	説明
7	CRC_OK	1: 受信データOKのCRC (あるいはCRCディスエーブル) 0: 受信データのCRCエラー
6:0	LQI	リンク品質インジケータが、どの位、容易に受信データを復調できるか予測する。

表 22: 受信パケット・ステータス・バイト2  
(データの後に付加される第2バイト)

パケット処理機能を制御するレジスタ・フィールドは、CC2500がIDLE状態でのみ変更できることに注意してください。

### 15.1 データ拡散 (ホワイトニング)

無線の視点で考えるとエアーデータの理想は、分布が一様でDC成分が無いことです。そのとき、占有帯域で電力分布が最も平坦になります。また、これによりレシーバの一定の動作状態 (データ依存性なし) において、レギュレーション・ループが得られます。

実際のデータは、0と1が長く続くことがしばしばあります。そのとき、送信前にデータを拡散 (ホワイトニング) し、レシーバでデータを逆拡散 (デホワイトニング) することにより、特性を改善することができます。CC2500は、PKTCTRL0.WHITE\_DATA = 1と設定することで、これを自動的に実行できます。すなわち、プリアンブルとシンク・ワード以外の全データを、図10に示すように、送信前に9ビット疑似乱数列 (PN9) でXORし、レシーバ側では、データを同じ疑似乱数列でXORします。このように、逆拡散を行い、レシーバに元のデータが現れます。また、PN9乱数列は、すべて1にリセットされます。

データ拡散 (ホワイトニング) は、RKTCTRL0.CC2400\_EN = 0 (デフォルト) の場合にのみ使用できます。

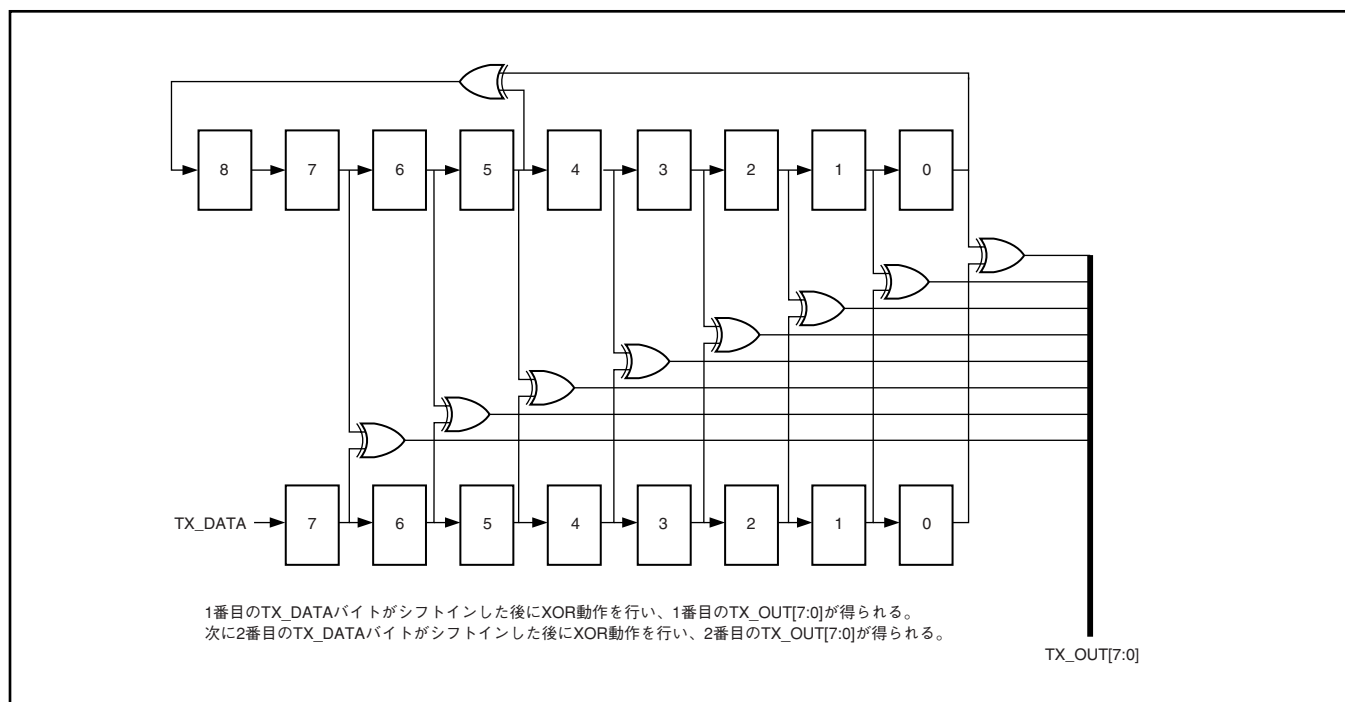


図 10: TXモード時のデータ・ホワイトニング

## 15.2 パケット・フォーマット

データ・パケットのフォーマットは構成することができ、下記の項目があります(図11参照)。

- プリアンブル
- シンク・ワード
- 長さ定数または、プログラマブルなパケット長
- アドレス・バイト (選択可能)
- ペイロード (データ)
- 2バイトのCRC (選択可能)

プリアンブル・パターンは1と0が交互(101010101...)に並んでいます。プリアンブルの最短長はプログラムできます。TXがイネーブルになると、変調器はプリアンブルの送信を開始し、プログラムされたバイト数(長)のプリアンブルを送信した後、TX FIFOにデータが格納されていれば、変調器はシンク・ワードとデータを送信します。TX FIFOが空の場合、データの先頭バイトがTX FIFOに書き込まれるまで、変調器はプリアンブル・バイトを送り続けます。データの書き込みが行われると、

変調器はシンク・ワードを送り、次にデータ・バイトを送ります。プリアンブルのバイト数は、MDMCFG1. NUM\_PREAMBLEにプログラミングした値です。

シンク・ワードは、SYNC1およびSYNC0レジスタに設定された2バイトの値です。シンク・ワードは、入力パケットのパケット同期に使います。SYNC1値をプリアンブル・パターンにすると、1バイトのシンク・ワードをエミュレートすることができます。また、MDMCFG2. SYNC\_MODE = 3または7とすることで、32ビットのシンク・ワードもエミュレートできます。その場合、シンク・ワードを2回繰り返します。

CC2500は、固定パケット長と可変パケット長の両プロトコル方をサポートしています。可変または、固定長パケット・モードで使用できるパケット長は、最大255バイトであり、より長いパケットには、無限長パケット・モードを使用する必要があります。

固定長パケット・モードは、PKTCTRL0. LENGTH\_CONFIG = 0と設定して選択します。必要なパケット長は、PKTLENレジスタで設定します。

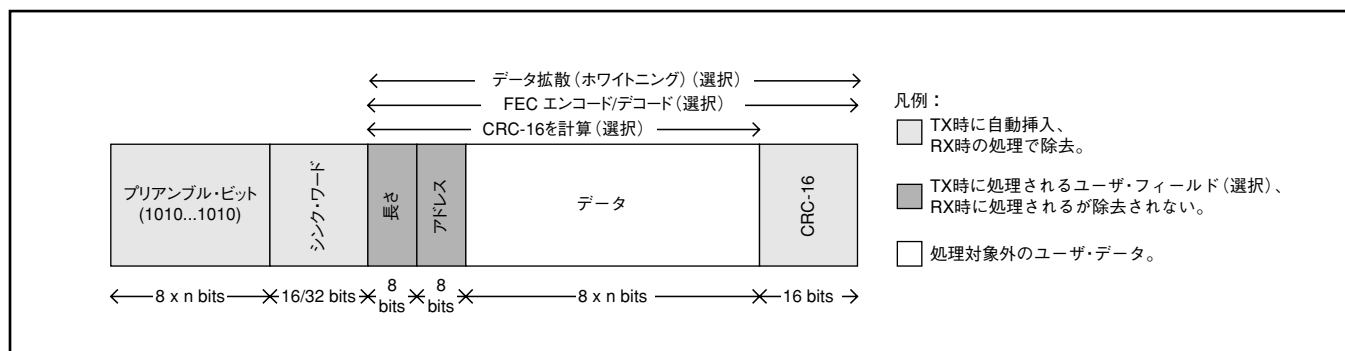


図 11: パケット・フォーマット



無限長パケット・モードでアドレス・フィルタリングがイネーブルの場合、受信アドレスが正しく一致すると、0xFFをRX FIFOに書き込み、アドレス・バイトとペイロード・データが後に続きます。

### 15.3.2 最大長フィルタリング

可変長パケット・モード (PKTCTRL0.LENGTH\_CONFIG = 1) では、PKTLEN.PACKET\_LENGTHレジスタに設定した値が最大許容パケット長として使用されますが、受信した長さバイトがこの値より大きい場合、そのパケットを廃棄し、受信モードを再スタートします (MCSM1.RXOFF\_MODEの設定にかかわらず)。

### 15.3.3 CRCフィルタリング

CRCのチェック結果が異常なパケットのフィルタリングをする時は、PKTCTRL1.CRC\_AUTOFLUSH = 1とすればイネーブルとなります。CRC自動フラッシュ機能は、CRCのチェック結果が異常なときRX FIFOの全体をフラッシュします。RX FIFOを自動フラッシュした後の状態はMCSM1.RXOFF\_MODEの設定に依存します。CRC自動フラッシュ機能が正しく動作するには、PKTCTRL0.CC2400\_ENが0 (デフォルト) であることが必要です。

自動フラッシュ機能を使用する場合、可変長パケット・モードの最大パケット長は63バイトであり、固定長パケット・モードでは64バイトです。PKTCTRL1.APPEND\_STATUSがイネーブルの場合、パケットの最後に付加する2ステータス・バイト用の余裕をRX FIFOに作るため、最大許容パケット長が2バイトだけ減ることに注意してください。CRCのチェック結果が異常なときRX FIFOの全体をフラッシュするので、パケットを受信する前に、先に受信したパケットをFIFOから読み取る必要があります。また、CRCのチェック結果をOKと判定するまで、MCUはパケットを読み出してはいけません。

## 15.4 CRCチェック

2つのCRCチェックが実装されています。PKTCTRL0.CC2400\_ENにより、どちらかを選択します。2つのCRCチェックは異なります。CC2500エラーラット・ノートも参照してください。

### 15.4.1 PKTCTRL0.CC2400\_EN = 0

PKTCTRL0.CC2400\_EN = 0の場合、CRCの状態を以下の2方法で読み出すことができます。

1) PKTCTRL1.APPEND\_STATUS = 1と設定し、RX FIFOでパケット・データの後に付加された2バイト目のMSBにあるCRC\_OKフラグを読みます。この方法には、パケットのダブルバッファリングが必要です。すなわち、CRCの正常/異常がわかる前に、RX FIFOのパケット中身の全体を完全に読み取る必要があります。

2) RX FIFO全体を読み取るとを回避する解決法は、PKTCTRL1.CRC\_AUTOFLUSH機能を使用することです。この機能がイネーブルの場合、CRCのチェック結果が異常ならRX FIFO全体をフラッシュします。GDOx\_CFG = 0x06の場合、シンク・ワードを検出したときにGDOx端子をアサートします。また、このGDOx端子は、パケットの最後にネゲートしますが、このときMCUがRX FIFO内のバイト数をRXBYTES.NUM\_RXBYTESステータス・レジスタから読み取り、RXBYTES.NUM\_RXBYTES = 0ならば、CRCのチェック結果が異常としてFIFOをフラッシュし、RXBYTES.NUM\_RXBYTES > 0ならば、CRCのチェック結果は正常であり、データをFIFOから読み取ることができます。

### 15.4.2 PKTCTRL0.CC2400\_EN = 1

PKTCTRL0.CC2400\_EN = 1ならば、CRCは15.4.1節の1)で概説したようにしてチェックすることができます。同様に、PKTSTATUS[7]レジスタ、LQI[7]ステータス・レジスタ、あるいはGDOx\_CFGが0x07または0x15のとき、GDO端子から、CRC\_OKフラグを読んで、CRCをチェックできます。

PKTCTRL1.CRC\_AUTOFLUSHあるいはデータ拡散 (ホワイトニング) 機能は、PKTCTRL0.CC2400\_EN = 1の場合、使用できません。

## 15.5 送信モードのパケット処理

送信するペイロードを、TX FIFOに書き込む必要があります。可変パケット長がイネーブルの場合、書き込む最初の1バイトは必ず長さバイトです。長さバイトは、パケットのペイロードの長さと同じ値です (選択可能な機能のアドレス・バイトを含む)。アドレス認識がレシーバでイネーブルならば、TX FIFOに書き込む第2バイトは必ずアドレス・バイトです。固定パケット長がイネーブルの場合、TX FIFOに書き込む最初の1バイトをアドレスにします (レシーバがアドレス認識を使用する場合)。

変調器はプログラミングされたプリアンブル・バイトの数を最初に送ります。データがTX FIFOにあれば、変調器は2バイト (選択で4バイト) のシンク・ワードと、次にTX FIFO内のペイロードを送ります。CRCがイネーブルならば、チェックサムをTX FIFOからとったデータ全体から計算し、その結果をペイロード・データに続く追加の2バイトとして送ります。TX FIFOが一連のパケットの送信完了前にエンプティになれば、無線部分はTXFIFO\_UNDERFLOW状態に入ります。この状態から抜け出す唯一の方法は、SFTXストローブを発行することです。TX FIFOがアンダー・フローした後、TX FIFOに書き込みをしてもTXモードは再スタートしません。

拡散 (ホワイトニング) がイネーブルの場合、シンク・ワードに続くすべてが拡散 (ホワイトニング) されます。これは、選択可能な機能のFEC/インターリーブ段の前で行われます。拡散 (ホワイトニング) のイネーブルは、PKTCTRL0.WHITE\_DATA = 1と設定します。



FEC/インターリーブングがイネーブルの場合、シンク・ワードに続くすべてについて、変調前にインターリーブによるスクランブルおよびFEC符号化を行います。FECのイネーブルは、MDMCFG1.FEC\_EN = 1と設定します。

## 15.6 受信モードのパケット処理

受信モードでは、復調器およびパケット・ハンドラは、有効なプリアンブルとシンク・ワードを検索します。それが検出されると、復調器はビットと各バイト同期をとって、最初のペイロード・バイトを受信します。

FEC/インターリーブングがイネーブルの場合、FEC復号器はペイロードの先頭バイトの復号を開始します。インターリーブは、データに対する他の全ての処理よりも先に、ビットを解読します。

拡散(ホワイトニング)がイネーブルの場合、データはこの段で逆拡散(デホワイトニング)されます。

可変長パケット・モードがイネーブルの場合、最初のバイトは長さバイトです。パケット・ハンドラは、この値をパケット長として格納し、長さバイトで指定されたバイト数を受信します。固定長パケット・モードが使用される場合、パケット・ハンドラはプログラミングされたバイト数を受け取ります。

次に、パケット・ハンドラは選択によりアドレスチェックを行い、アドレスが一致したときのみ受信を継続します。自動CRCチェックがイネーブルの場合、パケット・ハンドラはCRCを計算し、付加CRCチェックサムと比較します。

ペイロードの最後に、パケット・ハンドラはCRC状態、リンク品質インジケータおよびRSSI値を含んだ2バイトの追加パケット・ステータス・バイトを選択により書き込みます。

## 15.7 ファームウェアでのパケット処理

パケット・ベース志向の無線プロトコルをファームウェアで実行する場合、MCUはパケットがいつ送信/受信されたか知らなければなりません。さらに、パケットが64バイトより長い場合、受信時にRX FIFOを読み取り、送信時はTX FIFOにデータを補充する必要があります。したがってMCUは、RX FIFOから読み取ることができるバイト数およびTX FIFOに書き込めるバイト数を、それぞれ知る必要があります。必要な状態情報を得る方法として可能なものが2つあります。

### a) 割り込み駆動

RXとTXの両方において、シンク・ワードが受信/送信された場合、かつ/あるいは一連のパケットが受信/送信された場合、1本のGDO端子を使用して割り込みを発生することができます(IOCFCGx = 0x06)。さらに、IOCFCGxレジスタには、RX FIFOに関する2つの設定方法(IOCFCGx = 0x00とIOCFCGx = 0x01)と、TX FIFOに関する2つの設定方法(IOCFCGx = 0x02とIOCFCGx = 0x03)があります。これらは、RX FIFOおよびTX FIFOのそれ

ぞれに何バイトがあるかを伝える割り込み源として使用できます。以上については、表33を参照してください。

### b) SPIポーリング

PKTSTATUSレジスタを、最新のGDO2およびGDO0それぞれの状態情報を得るために、与えられたレートでポーリングできます。また、RXBYTESおよびTXBYTESレジスタは、RX FIFOおよびTX FIFOそれぞれのバイト数の情報を得るために、与えられたレートでポーリングすることができます。また別の方法として、RX FIFOおよびTX FIFO内のバイト数を、ヘッダ・バイト、データ・バイト、あるいは命令ストローブがSPIバスに送られる毎に、MISOラインに返されるデバイス・ステータス・バイトから読み取ることもできます。

高レートのSPIポーリングは受信感度が低下するため、割り込み駆動を採用することを推奨します。さらに、10.3節とCC2500エラーラット・ノートで説明したように、SPIポーリングを使用すると、PKTSTATUS、RXBYTESおよびTXBYTESレジスタからのレジスタの1回分の読み取りデータが破損する現象が僅かですが一定の確率で発生することがあります。デバイス・ステータス・バイトの読み取りも同様です。

ソフトウェアの例(参考文献の[6]および[7])を、TIウェブサイト参照してください。

## 16 変調フォーマット

CC2500は振幅、周波数、および位相偏移変調フォーマットに対応しています。所要の変調フォーマットは、MDMCFG2.MOD\_FORMATレジスタで設定します。

選択機能として、データ・ストリームは変調器によりマンチェスタ符号化され、復調器により復号化されます。この選択可能な機能のイネーブルは、MDMCFG2.MANCHES-TER\_EN = 1の設定によります。マンチェスタ符号化を選択機能のFEC/インターリーブと同時に使用することはできません。

### 16.1 周波数偏移変調(FSK)

2FSKは、選択によりBT = 1のガウス・フィルタで整形して、GFSK変調信号を生成します。周波数偏差は、DEVIATNレジスタのDEVIATION\_MおよびDEVIATION\_Eに値をプログラミングします。この値は指数/仮数の形式であり、偏差は次式で与えられます。

$$f_{dev} = \frac{f_{XOSC}}{2^{17}} \cdot (8 + DEVIATION\_M) \cdot 2^{DEVIATION\_E}$$

シンボルの符号化を表23に示します。

フォーマット	シンボル	コーディング
2-FSK/GFSK	'0'	- Deviation
	'1'	+ Deviation

表 23: 2FSK/GFSK変調のシンボル符号化

16.2 最小偏移変調 (MSK)

MSK<sup>1</sup>を使用する場合、一連の送信 (プリアンブル、シンク・ワードおよびペイロード) はMSK変調されます。位相は一定の遷移時間で偏移します。

1.  $\pi/2$  偏移のQPSKに等しい (データの符号化は異なる)。

位相の切り換えに使用されるシンボル周期の比率は、DEVI-ATN. DEVIATION\_Mの設定変更により可能です。これはシンボルのシェーピングを変更するのと等価です。CC2500で行われるMSK変調フォーマットは、シンク・ワードとデータを反転します。

16.3 振幅変調 (OOK)

サポートされている振幅変調オン・オフ・キーイング (OOK) は、PAを単にオンまたはオフして、それぞれ1と0に変調しています。

17 受信信号の適正判定およびリンク品質情報

CC2500には、有効なシンク・ワードが検出されると、その確度を高めるため、いくつかの適正判定機能があります。

17.1 シンク・ワードの適正判定

レジスタMDMCFG2にて受信シンク・ワード検出がイネーブルの場合、有効なシンク・ワードが検出されるまでCC2500はRX FIFOに入力することも、(15.3節で述べた) パケット・フィルタリングも行いません。シンク・ワード適正判定モードは、MDMCFG2. SYNC\_MODEで設定されます。このモードの要約を表24に示します。表24のキャリア検知は、17.4節で述べています。

MDMCFG2. SYNC_MODE	シンク・ワード適正判定モード
000	プリアンブル/シンク無し
001	15/16のシンク・ワード・ビットが検出される
010	16/16のシンク・ワード・ビットが検出される
011	30/32のシンク・ワード・ビットが検出される
100	プリアンブル/シンク無し、閾値以上のキャリア検知
101	15/16 + 閾値以上のキャリア検知
110	16/16 + 閾値以上のキャリア検知
111	30/32 + 閾値以上のキャリア検知

表 24: シンク・ワード適正判定モード

17.2 プリアンブル品質閾値 (PQT)

プリアンブル品質閾値 (PQT) とシンク・ワードの適正判定により、受信したシンク・ワードのまえに、プログラミングされた閾値以上の品質のプリアンブルが先行していること、という条件が追加されます。

プリアンブル品質閾値は、選択可能な機能のRX終了タイマに対する適正判定にも使えます。詳細は19.7節を参照してください。

プリアンブル品質の判定方法は、前のビットと異なる1ビットを受信するたびに内部カウンタを1増加し、最後のビットと同じ1ビットを受信するたびに内部カウンタを8減少して計測します。閾値はレジスタ・フィールドPKTCTRL1. PQTで設定されます。このカウンタに対して4 × PQTの閾値を使用して、シンク・ワード検出の前に判定します。この値を0に設定すると、シンク・ワードのプリアンブル品質判定がディスエーブルされます。

「プリアンブルが適正な品質に達した」という信号が、IOCFGx. GDOx\_CFG = 8と設定することにより、GDO端子の1本で観察できます。また、PKTSTATUSレジスタ内のPQT\_REACHEDビットをチェックすると、プリアンブル品質に達したかどうか決定することもできます。この信号ないしビットは、受信信号がPQTを超えたときにアサートされます。

17.3 受信信号強度 (RSSI)

RSSI値は、選択したチャネルの受信信号強度を表します。この値は、RXチェーンにおける電流ゲインの設定と、チャネルで測定した信号レベルを基にしています。

RXモードでは、復調器がシンク・ワードを検出するまで (シンク・ワード検出がイネーブルの場合)、RSSI値をRSSIステータス・レジスタから連続的に読み取ることができます。シンク・ワードが検出された時点で、RSSIの読み取り値は、デバイスが次にRX状態に入るまで固定されます。RSSI値はdBm単位であり、1/2dBの分解能です。RSSI更新レート ( $f_{RSSI}$ ) は、レシーバ・フィルタ帯域幅 (13節で定義した) およびAGCCTRL0. FILTER\_LENGTHに依存します。すなわち、

$$f_{RSSI} = \frac{2 \cdot BW_{channel}}{8 \cdot 2^{FILTER\_LENGTH}}$$

PKTCTRL1. APPEND\_STATUSがイネーブルの場合、シンク・ワード検出時のRSSI値は、データ・ペイロードの後に付加された第1バイトに自動的に加えられます。

RSSI値は、2の補数としてRSSIステータス・レジスタから読み取られます。下記の手順を使用して、RSSI読み取り値を絶対値の電力レベル (RSSI\_dBm) に変換することができます。

- 1) RSSIステータス・レジスタを読む。
- 2) 16進数の読み取り値を10進数 (RSSI\_dec) に変換する。
- 3)  $RSSI\_dec \geq 128$  ならば、 $RSSI\_dBm = (RSSI\_dec - 256) / 2 - RSSI\_offset$ 。
- 4)  $RSSI\_dec < 128$  ならば、 $RSSI\_dBm = (RSSI\_dec) / 2 - RSSI\_offset$ 。

表25にRSSI\_offsetの標準値を示します。

データ・レート [kBaud]	RSSI_オフセット [dB]
2.4	71
10	69
250	72
500	72

表 25: RSSI\_offsetの標準値



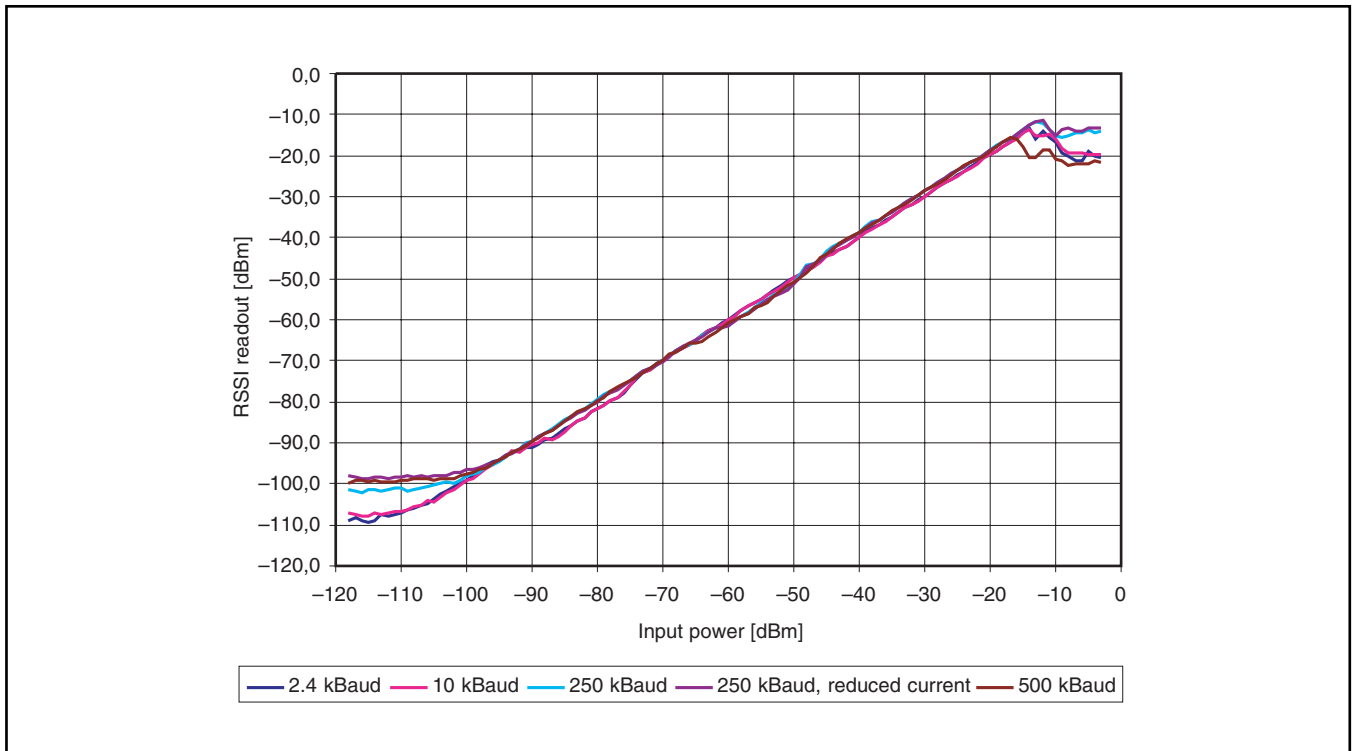


図 13: いくつかの標準的データ・レートについての、RSSI標準値 対 入力電力レベル

図13に、様々なデータ・レートに対する入力電力レベルの関数としての、RSSI読み取り値の標準的な値を示します。

#### 17.4 キャリア検知 (CS)

キャリア検知 (CS) フラグは、シンクワードの適性判定と CCA判定と同様な使い方をします。

CSフラグは、個別に調整できる下記の2条件に基づいて設定します。

- CSは、RSSIがプログラマブルな絶対閾値を上回るとアサートされ、RSSIが同じ閾値を下回るとネゲートされます (ヒステリシスあり)。
- RSSIサンプル値が次のサンプリングで、あらかじめプログラムしたdB値増加すると、CSをアサートします。また、RSSIが同じdB値減少すると、CSをネゲートします。この設定は信号レベルの絶対値に依存せず、時間的にノイズ・フロアが変動する環境において信号の検出に役立ちます。

キャリア検知は、シンク・ワードの適正判定と同じように、対象の信号レベルは設定された閾値より高いことが必要です。この信号は、IOCFGx.GDOx\_CFG = 14と設定することでGDO端子のうちの1本で観察でき、また、ステータス・レジスタのビット PKTSTATUS.CSでも観察できます。

キャリア検知の他の使用法に、TX-if-CCA機能 (17.5節参照) および選択可能な機能の高速RX終了 (19.7節) があります。

CSはWLANなどからの妨害除去にも使用できます。

##### 17.4.1 CS絶対閾値

CS絶対閾値は、下記のレジスタ・フィールドに依存しており、RSSI値に関係します。

- AGCCTRL2.MAX\_LNA\_GAIN
- AGCCTRL2.MAX\_DVGA\_GAIN
- AGCCTRL1.CARRIER\_SENSE\_ABS\_THR
- AGCCTRL2.MAGN\_TARGET

与えられたAGCCTRL2.MAX\_LNA\_GAINおよびAGCCTRL2.MAX\_DVGA\_GAINの設定に対して、絶対閾値はCARRIER\_SENSE\_ABS\_THRを使用して、1dBステップで±7dB調整できます。

MAGN\_TARGET設定は、ブロックの許容度/選択度と感度を調整するものです。この値により、復調器へのチャネルの所要信号レベルが設定されます。この値を増加すると、ブロックのヘッドルームが低くなり、近接選択度も悪化します。適正なMAGN\_TARGET設定を行うために、SmartRF® Studioの使用を強くお勧めします。

表26および表27に、それぞれ2.4k Baudと250k Baudのデータ・レート時の、CS閾値のときのRSSI読み取り値を示します。ここでは、デフォルトのCARRIER\_SENSE\_ABS\_THR = 0 (0dB) およびMAGN\_TARGET = 3 (33dB) を使用しています。

他のデータ・レートについて、ユーザはCS絶対閾値を見つけるため、類似の表を作成する必要があります。

		MAX_DVGA_GAIN[1:0]			
		00	01	10	11
MAX_LNA_GAIN[2:0]	000	-99	-93	-87	-81.5
	001	-97	-90.5	-85	-78.5
	010	-93.5	-87	-82	-76
	011	-91.5	-86	-80	-74
	100	-90.5	-84	-78	-72.5
	101	-88	-82.5	-76	-70
	110	-84.5	-78.5	-73	-67
	111	-82.5	-76	-70	-64

表 26: 代表的なRSSI値 (dBm単位 デフォルトMAGN\_TARGET、2.4k Baud時のCS閾値)

		MAX_DVGA_GAIN[1:0]			
		00	01	10	11
MAX_LNA_GAIN[2:0]	000	-96	-90	-84	-78.5
	001	-94.5	-89	-83	-77.5
	010	-92.5	-87	-81	-75
	011	-91	-85	-78.5	-73
	100	-87.5	-82	-76	-70
	101	-85	-79.5	-73.5	-67.5
	110	-83	-76.5	-70.5	-65
	111	-78	-72	-66	-60

表 27: 代表的なRSSI値 (dBm単位デフォルトMAGN\_TARGET、250k Baud時のCS閾値)

仮に閾値を高く設定する、すなわち強い信号のみを求める場合、最初に MAX\_LNA\_GAIN 値を小さくし、次に MAX\_DVGA\_GAIN 値を小さくして閾値を高め調整します。この方法によりゲインを最大に設定することが回避されるので、レシーバのフロント・エンドの消費電力が低減されます。

#### 17.4.2 CS相対閾値

相対閾値により、測定信号レベルの急峻な変化を検出します。この設定は信号レベルの絶対値に依存せず、時間的にノイズフロアが変動する環境において信号の検出に役立ちます。AGCCTRL1レジスタの.CARRIER\_SENSE\_REL\_THRフィールドを、相対CSのイネーブル/ディスエーブルと、RSSI変化が6dB、10dB、あるいは14dBの閾値の選択に使用します。

### 17.5 空きチャネル検出(Clear Channel Assessment)

空きチャネル検出 (CCA) は、現行のチャネルが空いているか使用中かの表示に使用されます。現行のCCA状態は、IOCFGx.GDOx\_CFG = 0x09と設定することで、GDO端子のいずれかで見ることができます。

MCSM1.CCA\_MODEにより、CCAをいつ行うかの、モードを選択します。

CC2500がRX状態のときにSTXあるいはSFSTXON命令ストローブを与えると、クリア・チャネル条件を満たしていれば、TXあるいはFSTXON状態だけに入ります。そうでない場合、デバイスはRX状態にとどまります(チャネルがアベイラブルになっても、SPIインターフェイスで新しい命令ストローブが送られるまで、無線部分はTXあるいはFSTXON状態に入りません)。この機能はTX-if-CCAと呼ばれます。以下の4CCA条件がプログラミングできます。

- いつでも (CCAディスエーブル、常にTXへ移る)
- RSSIが閾値を下回る
- 現在、パケットを受信していない
- 上記の両方 (RSSIが閾値を下回る、現在パケットを受信していない)

### 17.6 リンク品質インジケータ (LQI)

リンク品質インジケータは、受信信号の現在の品質の指標です。PKTCTRL1.APPEND\_STATUSがイネーブルの場合、ペイロードに付加される最終バイトに、この値は自動的に追加されます。この値は、LQIステータスレジスタからも読み取ることができます。シンク・ワードの直後に続く64シンボルの受信信号と、理想的な状態データとの差分を累積することで、受信信号の復調の容易度をLQIが示します。LQIは、その値が変調フォーマットに依存するので、リンク品質の相対指標に最適です (大きい値は小さい値よりもリンク品質が良いことを示します)。

## 18 インターリービングによる前方誤り訂正

### 18.1 前方誤り訂正 (FEC)

CC2500には前方誤り訂正 (FEC) をサポートする機能が組み込まれています。この選択可能な機能を有効にするには、MDMCFG1.FEC\_ENを1に設定します。FECがサポートするのは固定長モードのみです (PKTCTRL0.LENGTH\_CONFIG = 0)。リミット感度の近くで動作する場合、全体のビット誤りレートを低減するため、FECをデータ・フィールドとCRCワードについて行います。ビット誤りが幾つか存在するとき、レシーバが元のデータを復元できるように、冗長データを送信データに追加します。

FECを使用すると低SNRで適正な受信が可能になり、通信範囲が拡大します。逆に、与えられたSNRでFECを使用すると、ビット誤り率 (BER) が低下します。パケット誤り率 (PER) はBERと次式で関係づけられます。

$$PER = 1 - (1 - BER)^{packet\_length}$$

BERが小さければ、より長いパケットの、言い換えれば、より高いパーセンテージでパケットの送信を成功させることができます。良好な受信状態ではなく、実際の無線環境では過渡的な、あるいは時間的な変動現象により誤りが発生することがあります。FECはこのような誤りを阻止し、コード・データの

インターリーピングと組み合わせて、比較的長い期間の誤受信（バースト誤り）の訂正も行います。

CC2500はFECの手法として、畳み込みコーディングを取り入れています。そこでは、入力された $k$ ビットと新たに入力された $m$ ビットをベースにした $n$ ビットを生成し、各コーディング状態（ $m$ ビットのウィンド）において、ある程度のビット誤りに耐えられるコード・ストリームが形成されます。

畳み込みコーダは、制約長 $m = 4$ にて1/2コードレートです。コーダは入力された1ビットをコード化し、出力の2ビットを作り出します。そのため、実効データ・レートは半減します。すなわち、FECを使用する場合に同じ実効データ・レートで送信するには、2倍のデータ・レートを使用する必要があります。無線で2倍のデータ・レートを必要とすることは、より高帯域のレシーバが必要になり、高帯域では感度が低下することになります。FECの使用による受信の改善と、高帯域でのレシーバの感度低下は、相反する要素になります。

## 18.2 インターリーピング

無線チャネルを通して受信したデータは、混信および時間変動する信号強度が原因のバースト誤りに悩まされます。複数のビットにわたる誤りへの耐性を強化するため、FECがイネーブルのときにインターリーピングが使用されます。受信ストリーム中のバーストエラーは、デインターリーピングされると、少し離れたデータの単一エラーに分離されます。

CC2500では、図14に示すマトリックス・インターリーピングが採用されています。オンチップのインターリーピングおよびデインターリーピング・バッファは、 $4 \times 4$ のマトリックスです。トランスミッタでは、1/2レートの畳み込みコーダからのデー

タ・ビットはマトリックスの行に書き込まれ、一方、送信されるビット・シーケンスはマトリックスの列から読み出されます。レシーバでは、受信シンボルがマトリックスの列に書き込まれ、畳み込みデコーダへ通るデータはマトリックスの列から読み取られます。

FECとインターリーピングが使用される場合、トレリス終端に少なくとも1バイトが余分に必要です。さらに、無線で送信されるデータの量は、インターリーブ・バッファ（2バイト）のサイズの倍数である必要があります。したがって、パケット制御ハードウェアは、インターリーブされるデータの合計長が偶数になるように、自動的に1または2バイトを余分にパケットの最後に挿入します。これらの追加バイトは、受信パケットがRX FIFOに入る前に除去されるので、ユーザーに見えないことに注意してください。

FECとインターリーピングを使用する場合、最小データ・ペイロードは2バイトです。

## 19 無線制御

CC2500はステート・マシンを内蔵し、動作状態（モード）間の切り換えに使用します。状態は、命令ストロープの使用、あるいはTX FIFOアンダー・フローのような内部イベントで起こります。

標準的な使用法および消費電流における状態遷移図は、図5に示してあります。ここでは、図15に一連の無線制御の状態遷移図を示します。図の数字は、MARCSSTATEステータス・レジスタで読み取られる状態番号を参照しています。このレジスタは、主にテストを目的としています。

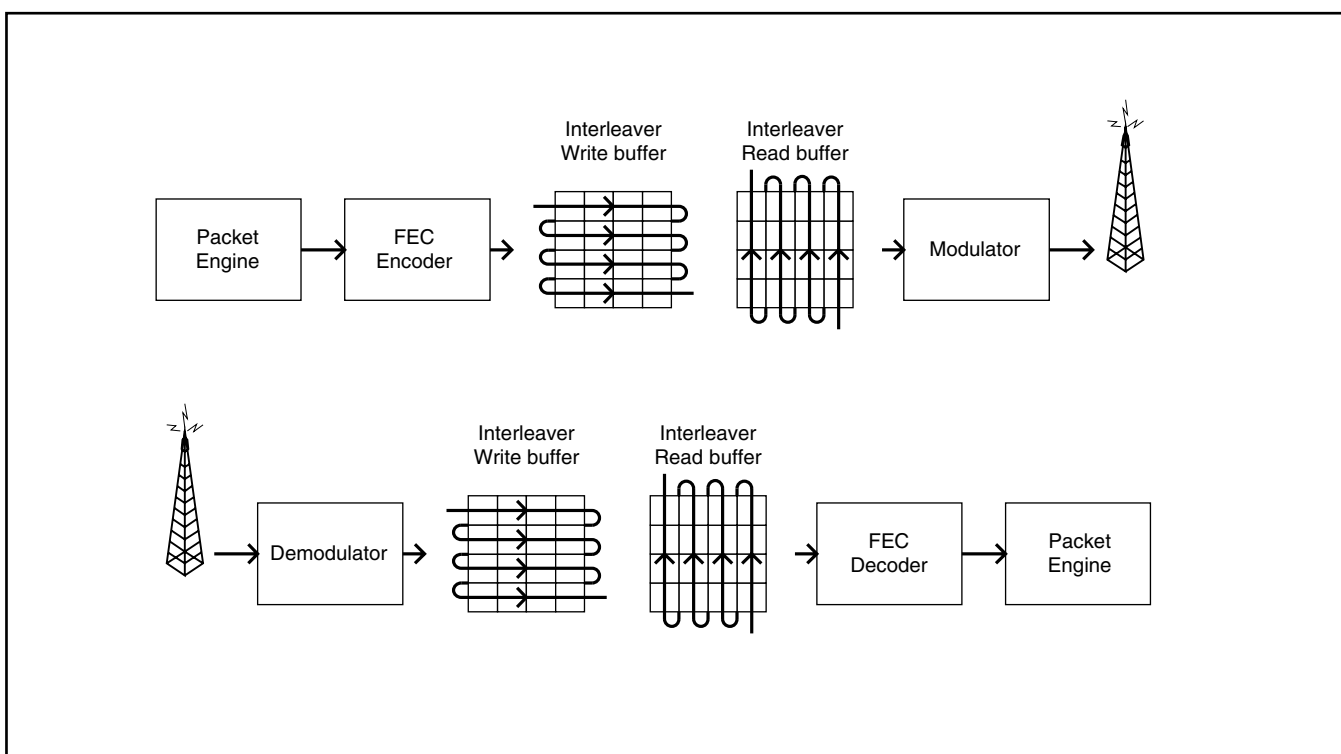


図 14: マトリックス・インターリーピングのしくみ

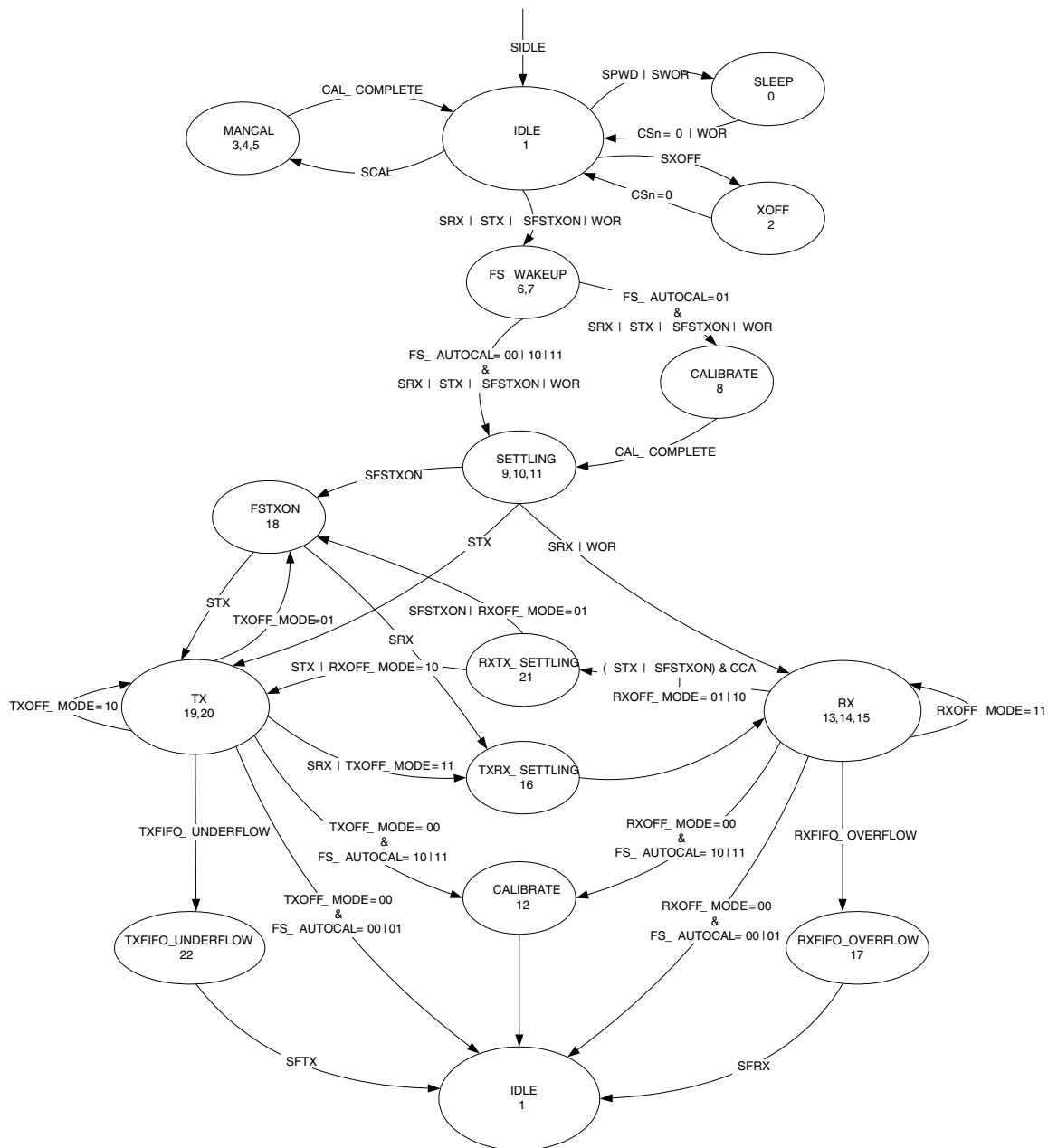


図 15: 一連の無線制御状態遷移図

## 19.1 パワー・オン・スタートアップ・シーケンス

電源をオンしたときに以下の2つの手順、自動パワー・オン・リセット (POR) あるいは手動リセット、のどちらかの方法で、電源オンに続いてシステムをリセットする必要があります。

### 19.1.1 自動パワー・オン・リセット (POR)

CC2500にはパワー・オン・リセット回路があります。パワー・オン・リセット回路が適正に動作するためには、4.9節で述べた最小限の条件を満たす必要があります。条件を満たせないとき、SRESストロブによるマニュアル・リセットが必要です。内部パワーアップ・シーケンスは、CHIP\_RDYnが“Low”になると完了します。CHIP\_RDYnは、CSnが“Low”に下がった後にSO端子で観察されます。CHIP\_RDYnの詳細は、10.1節を参照してください。

リセットが完了するとCC2500は、IDLE状態に入り、水晶発振器が発振を開始します。デバイスをパワー・オン・リセット後、水晶発振器が安定するための十分な時間が経っていれば、CSnが“Low”に下がった直後にSO端子は“Low”になります。リ

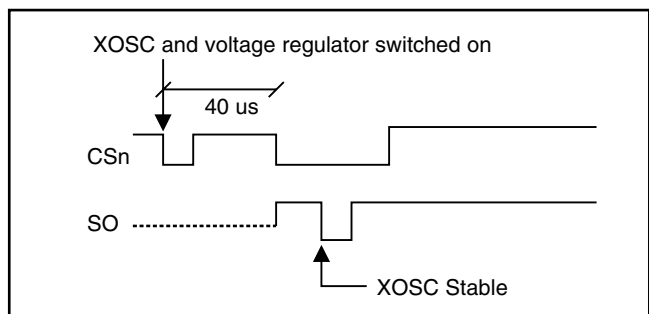


図 16: パワー・オン・リセット

セットが完了する前にCSnが“Low”になると、図16に示すように、SO端子は“Low”になる前に最初に“High”になり、水晶発振器が安定していないことを示します。

### 19.1.2 マニュアル・リセット

CC2500の全体リセットする方法として、他にSRES命令ストロープがあります。このストロープを発行すると、内部レジスタおよび状態のすべてがデフォルトのIDLE状態に設定されます。手動パワーアップ・シーケンスは以下を行います(図17参照)。

- SCLK = 1およびSI = 0と設定し、SIDLEストロープ設定にする(11.3節参照)。
- CSnの“Low” / “High” をストロープする。
- CSnを“Low”にしてから、CSnを最小40 $\mu$ s “High” に保つ。
- CSnを“Low”にし、SOが“Low” (CHIP\_RDYn) になるのを待つ。
- SIラインにSRESストロープを発行する。
- SOが再度“High”になると、リセットは完了し、デバイスはIDLE状態に入る。

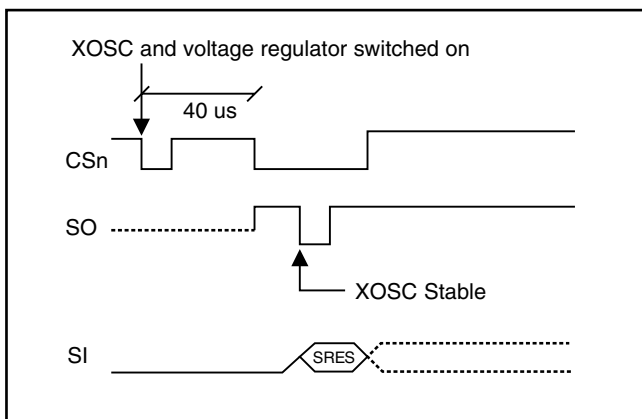


図 17: SRESによるマニュアル・リセット

上記のリセット手順は、電源オン直後の一度のみ必要だということに注意してください。以降、CC2500のリセットは、SRESストロープの発行のみを行います。

### 19.2 水晶発振器制御

水晶発振器(XOSC)は、MCSM0.XOSC\_FORCE\_ONの設定により、自動制御あるいは常時オンのいずれかになります。

自動制御モードでは、SXOFFあるいはSPWD命令ストロープの発行で、XOSCはオフされます。このときステート・マシンは、XOFFまたは、SLEEPのどちらかに遷移します。この遷移はIDLE状態からのみ実行できます。XOSCは、CSnを解放する(“High”になる)とオフします。CSnが“Low”になると、XOSCは自動的に再度オンし、ステート・マシンはIDLE状態に入ります。SPIインターフェ이스のSO端子は、10.1節で述べたように、SPIインターフェイスを使用する前に“Low”を確認する必要があります。

XOSCをオン指定すると、SLEEP状態であっても水晶発振器は常にオンします。

水晶発振器のスタート・アップ時間は、水晶のESRおよび負荷容量に依存します。4.4節の水晶発振器の電気的特性を参照してください。

### 19.3 電圧レギュレータ制御

デジタル・コアの電圧レギュレータは、無線コントローラにより制御されます。デバイスの電流消費が最小であるSLEEP状態に入ると、SPWD命令ストロープがSPIインターフェイスに送られて、CSnが解放された後、電圧レギュレータはディスエーブルされます。デバイスがSLEEP状態のとき、再度CSnを“Low”にすると、レギュレータおよび水晶発振器がオンし、デバイスはIDLE状態に入ります。

ウェーク・オン・ラジオがイネーブルの場合、19.5節で述べるように、WORモジュールにより電圧レギュレータは制御されます。

### 19.4 アクティブ・モード

CC2500には、受信および送信の2アクティブ・モードがあります。これらのモードは、MCUからのSRXおよびSTX命令ストロープにより直接アクティブ化するか、ウェーク・オン・ラジオにより自動的にアクティブ化されます。

周波数シンセサイザは、定期的に較正する必要があります。CC2500には、手動較正(SCALストロープを使用)と、MCSM0.FS\_AUTOCALの設定により制御される、下記の3つの自動較正が選択可能です。

- IDLEからRXあるいはTX(またはFSTXON)へ遷移するとき、自動的に較正する。
- RXあるいはTXからIDLEへ遷移するとき、自動的に較正する。
- RXあるいはTXからIDLEへ遷移するとき、4回の遷移ごとに自動的に較正する。

SIDLEストロープの発行により、無線部分がTXあるいはRXからIDLEへ遷移する場合、較正を行いません。較正には一定数のXOSCサイクルが必要です(タイミングの詳細は表28参照)。

RXがアクティブ化された場合、パケットの受信が成功するか、RX終了タイマが終了する(19.7節参照)まで、デバイスの受信モードが続きます。注意：偽シンク・ワードが検出される可能性は、17節で述べたPQT、CS、最大シンク・ワード長、およびシンク・ワード適正判定モードを使用すると低減されます。パケットの受信が成功した後、無線コントローラはMCSM1.RXOFF\_MODE設定によって指示される状態に遷移します。その可能な遷移先は、

- IDLE
- FSTXON：周波数シンセサイザがオンであり、TX周波数でレディ。STXでTXをアクティブ化する。
- TX：プリアンプルの送信を開始する。
- RX：新パケットの検索を開始する。

同様にTXがアクティブの場合、実行中のパケット送信が成功するまで、デバイスのTX状態は続きます。次に、状態はMCSM1. TXOFF\_MODE設定によって指示される状態に遷移します。その可能な遷移先はRXと同様です。

MCUは命令ストローブにより、手動でRXからTXおよびその逆方向へ状態を変更できます。無線コントローラが送信モードのとき、SRXストローブを使用すると、実行中の送信を終了し、RXへ遷移します。

無線コントローラがRXモードのとき、STXあるいはSFSTX-ON命令ストローブが使用されると、TX-if-CCA機能が用いられ、チャンネルが空いていなければ、デバイスはRXを維持します。MCSM1. CCA\_MODE設定によって、空きチャンネル検出の条件を制御します。詳細は17.5節を参照してください。

SIDLE命令ストローブを使用すると、常に無線コントローラを強制的にIDLE状態へ遷移できます。

## 19.5 ウェーク・オン・ラジオ (WOR)

選択可能なウェーク・オン・ラジオ (WOR) 機能により、CC2500はMCUの命令によらず定期的にSLEEPからウェーク・アップして到来するパケットが有るか調べます。

SWOR命令ストローブをSPIインターフェイスに送ると、CC2500のCSn解放したときSLEEP状態に遷移します。WORタイマのクロック源がRC発振器のため、WORストローブを使用する前に発振器をイネーブルする必要があります。このオンチップのタイマによりEVENT0が発生し、CC2500はIDLE状態に入り、次にRX状態に入ります。パケットを受信することなく、RXでプログラミングされた時間が経過すると、デバイスはIDLE状態に戻ります。このタイム・アウト動作の詳細は、図18および19.7節を参照してください。

CC2500をIDLE状態に設定するとWORモードを抜け出します。

CC2500は、パケットを受信した事を、GDO端子を使用してMCUに知らせることができます。パケットを受信すると、MCSM1. RXOFF\_MODEにより、最終パケット受信時の動作を決定します。MCUがパケットを読み取ると、MCUはSWORストローブを使い、デバイスをIDLE状態からSLEEPへ戻すことができます。FIFOはSLEEP状態になると、内容が消失します。

WORタイマには、EVENT0およびEVENT1の2つのイベントがあります。WORがアクティブのときSLEEP状態で、EVENT0が起きるとデジタル・レギュレータがオンし、水晶発振器が動作を開始しIDLE状態となります。EVENT1のあと、プログラミングされた時間 ( $t_{EVENT1}$ ) 経過後、EVENT1が発生し、受信状態に入ります。

2つのEVENT0の間隔時間 ( $t_{EVENT0}$ ) は、WOREVT1. EVENT0およびWOREVT0. EVENT0で与えられる仮数値と、WORCTRL. WOR\_RESで設定される指数値によりプログラムされます。その計算式は次式で表わされます。

$$t_{Event0} = \frac{750}{f_{XOSC}} \cdot EVENT0 \cdot 2^{5 \cdot WOR\_RES}$$

EVENT1タイム・アウトは、WORCTRL. EVENT1によりプログラミングします。図18にEVENT0タイム・アウトおよびEVENT1タイム・アウト間のタイミング関係を示します。

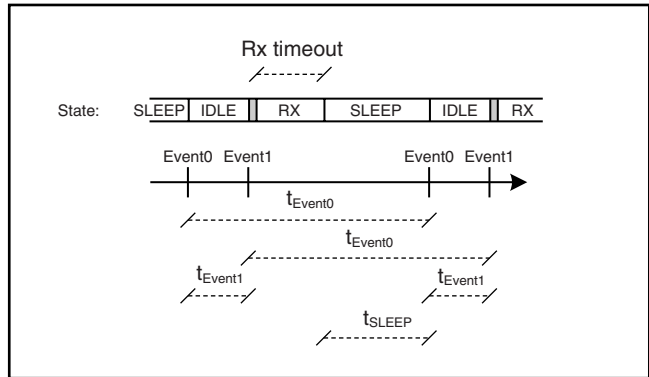


図 18: EVENT0およびEVENT1の関係

CC2500がSLEEP状態に入り、次のEVENT0が起きるまでの時間 (図18の $t_{SLEEP}$ ) は、26MHzの水晶使用時で11.08msより長くし、27MHzの水晶使用時で10.67msより長くします。 $t_{SLEEP}$  が11.08 (10.67) msより短いと、次のEVENT0の発生が早過ぎる可能性があります。

$$\frac{750}{f_{XOSC}} \cdot 128 \text{ seconds}$$

アプリケーション・ノートAN047[3]では、WORモードの使用に当たって、重要な点と特長とともに、この動作理論、WOR使用時に関係する様々なレジスタについて詳しく述べています。

### 19.5.1 RC発振器およびタイミング

WOR機能に使用する低消費電力RC発振器の周波数は、温度および電源電圧によって変動します。この周波数を可能な限り正確に保つには、較正可能なときにいつでも較正することです。XOSCが動作していて、かつデバイスがSLEEP状態ではないときに較正が可能です。電源とXOSCがイネーブルされたとき、WORタイマに使用するクロックは、XOSCクロックを分周したものです。デバイスがSLEEP状態に入ると、RC発振器は最後の有効な較正結果を使用します。RC発振器の周波数は、水晶発振器の周波数を750分周したものにロックします。

無線が頻繁に (標準で毎秒数回) ウェーク・アップするアプリケーションでは、RC発振器の較正を1度行なって較正をオフ (WORCTRL. RC\_CAL = 0) することで消費電流を低減できます。その場合、RC発振器の較正值をレジスタRCCTRL0\_STATUSおよびRCCTRL1\_STATUSから読み取って、それぞれRCCTRL0およびRCCTRL1へ書き戻す必要があります。RC発振器の較正がオフのとき、温度および電源電圧に変化がある場合、手動により再度、較正をオンする必要があります。

詳細については、アプリケーション・ノートAN047[3]を参照してください。



## 19.6 タイミング

無線コントローラは、シンセサイザの較正、PLLロック時間およびRX/TX切替時間など、CC2500の大半のタイミングを制御します。IDLEからRXおよびIDLEからTXへのタイミングは一定であり、自動較正の設定に依存します。RX/TXおよびTX/RX切替時間は一定です。また、較正時間は18739クロック周期で一定です。表28に、主要な状態遷移に関するタイミングを水晶クロック・サイクル数で示します。

パワー・オン時間およびXOSCスタート・アップ時間は変化しますが、表7に示す限界の範囲内です。

周波数ホッピング・スペクトラム拡散あるいはマルチ・チャネル・プロトコルでは、較正時間を721 $\mu$ sから約150 $\mu$ sに短縮できることに注意してください。これについては、31.2節で述べます。

説明	XOSC 周期	26 MHz 水晶
IDLEからRX、較正無し	2298	88.4 $\mu$ s
IDLEからRX、較正有り	~21037	809 $\mu$ s
IDLEからTX/FSTXON、較正無し	2298	88.4 $\mu$ s
IDLEからTX/FSTXON、較正有り	~21037	809 $\mu$ s
TXからRXへ切り替え	560	21.5 $\mu$ s
RXからTXへ切り替え	250	9.6 $\mu$ s
RXまたはTXから IDLE、較正無し	2	0.1 $\mu$ s
RXまたはTXから IDLE、較正有り	~18739	721 $\mu$ s
手動較正	~18739	721 $\mu$ s

表 28: 状態遷移タイミング

## 19.7 RX終了タイマ

CC2500には、プログラムした時間後にRXが自動終了する選択可能な機能があります。この機能の主な使用法はウェーク・オン・ラジオ (WOR) ですが、他のアプリケーションにも役立ちます。終了タイマはRX状態でスタートします。タイム・アウトはプログラマブルであり、MCSM2. RX\_TIMEで設定されます。タイマが満了すると、無線コントローラはRX状態にとどまる条件をチェックします。その条件が満たされないと、RXは終了します。

そのプログラマブルな条件とは以下の通りです。

- MCSM2. RX\_TIME\_QUAL = 0：シンク・ワードが検出されたら受信を続ける。
- MCSM2. RX\_TIME\_QUAL = 1：シンク・ワードが検出されるか、プリアンブル品質が閾値 (PQT) を上回ったら受信を続ける。

レシーバをイネーブルにしているとき、システムが送信の開始をするケースが有るならば、MCSM2. RX\_TIME\_RSSI機能を

使用できます。このとき、最初の有効なキャリア検知サンプルがキャリア無し (RSSIが閾値を下回る) を示したら、無線コントローラはRXを終了します。キャリア検知に関する詳細は、17.4節を参照してください。

OOK変調では、8シンボル時間にてキャリア検知無しと判定します。したがって、OOKモードではMCSM2. RX\_TIME\_RSSI機能は、“1” シンボル間の距離が8以下ならば使用できます。

MCSM2. RX\_TIME\_RSSI機能が使用されているとき、キャリア検知無しによりRXが終了する場合、あるいは、MCSM2. RX\_TIMEタイム・アウト機能が使用されているとき、シンク・ワード無しが検出された場合、WORがディスエーブルならばデバイスは常にIDLEに戻り、WORがイネーブルならばSLEEPに戻ります。そうでない場合は、MCSM1. RXOFF\_MODE設定により、RX終了時に遷移すべき状態が定められます。以上のことは、ひとたびシンク・ワードが受信されると、デバイスが自動的にIDLEへ戻らないことを意味します。したがって、WORモードを使用するときは、シンク・ワード検出したら、マイクロ・コントローラをウェーク・アップするように設定する事を推奨します。このウェーク・アップは、プログラマブルなGDO出力端子の1本に出力信号6(表33を参照)を割当て、かつ、このGDO端子からのエッジ・トリガ割り込みにより、マイクロ・コントローラがウェーク・アップするようにプログラミングすることで実現できます。

## 20 データFIFO

CC2500は、受信データ用 (RX FIFO)、送信データ用 (TX FIFO) の2つの64バイトFIFOを持ち、SPIインターフェイスを使用して、RX FIFOの読み取り、TX FIFOの書き込みを行います。10.5節にSPIを使用したFIFOアクセスの詳細があります。FIFOコントローラは、RX FIFOのオーバーフローとTX FIFOのアンダーフローの検出を行います。

TX FIFOに書き込を行うとき、TX FIFOオーバーフローが発生すると、TX FIFOの内容に誤りが生じます。TX FIFOオーバーフローの発生はMCU (のソフトウェア) で抑える必要があります。

同様に、RX FIFOを読み取るとき、RX FIFOアンダーフローの発生は、RX FIFOからの読み取りデータに誤りが生じます。MCU (のソフトウェア) は、RX FIFOに格納された以上のデータ読み取りを行ってはけません。

SPIヘッダを転送中にSO端子から出力するデバイスのステータス・バイトには、アクセスがリード動作ならばRX FIFOの読み取り可能なバイト数が、アクセスがライト動作ならばTX FIFOに書き込み可能なバイト数が含まれています。この詳細は10.1節にあります。

RX FIFOの読み取り、およびTX FIFOの書き込み可能なバイト数は、それぞれステータス・レジスタRXBYTES. NUM\_RXBYTESおよびTXBYTES. NUM\_TXBYTESからも読み取ることができます。RX FIFOの最終バイトをSPIインターフェイスで読み取ると同時に、受信データ・バイトがRX FIFOに書き込まれたとき、

RX FIFOポインタは適正に更新されず、最終読み取りバイトは重複します。この問題は、パケットの最終バイトが受信される前に、RX FIFOを決してエンプティにしないことで避けられます。

パケット長が64バイトより短い場合、一連のパケットが受信されるまで待ち、次にRX FIFOからパケットを読み取るように推奨します。

パケット長が64バイトより長い場合、MCUはどれだけのバイト数をRX FIFOから読み出せるか決定する必要があります (RXBYTES. NUM\_RXBYTES-1)。これには、以下のソフトウェア・ルーチンが使用できます。

- RFバイトの受信レートの少なくとも2倍であることが保証されたレートで、RXBYTES. NUM\_RXBYTESを定期的に読み、同じ値が2回返されたら、この値をnに格納する。
- n < パケット内の残りバイト数ならば、RX FIFOからn-1バイトを読む。
- n = パケット内の残りバイト数となるまでステップ1および2を繰り返す。
- RX FIFOから残りのバイトを読む。

4ビットのFIFOTHR. FIFO\_THRの設定は、FIFOの閾値のプログラミングに使用されます。表29に、16個のFIFO\_THR設定と、それに対応するRXおよびTXのFIFOの閾値を示します。閾値は、RX FIFOとTX FIFOとで逆方向に符号化されています。この符号化により、閾値に達したときのオーバーフローとアンダーフロー条件に対するマージンが等しくなります。

FIFOのバイト数がプログラミングされた閾値以上になると、GDO端子により見ることができる信号をアサートします。(29節参照)。

図20に、FIFO\_THR = 13で閾値フラグがトグルするときの、RX FIFOおよびTX FIFOの両方のバイト数を示します。

図19に、各FIFOに閾値以上に書き込み、その後、閾値以下に減っていく様子を示します。

FIFO_THR	BytesinTXFIFO	BytesinRXFIFO
0 (0000)	61	4
1 (0001)	57	8
2 (0010)	53	12
3 (0011)	49	16
4 (0100)	45	20
5 (0101)	41	24
6 (0110)	37	28
7 (0111)	33	32
8 (1000)	29	36
9 (1001)	25	40
10 (1010)	21	44
11 (1011)	17	48
12 (1100)	13	52
13 (1101)	9	56
14 (1110)	5	60
15 (1111)	1	64

表 29: FIFO\_THR設定と対応するFIFO閾値

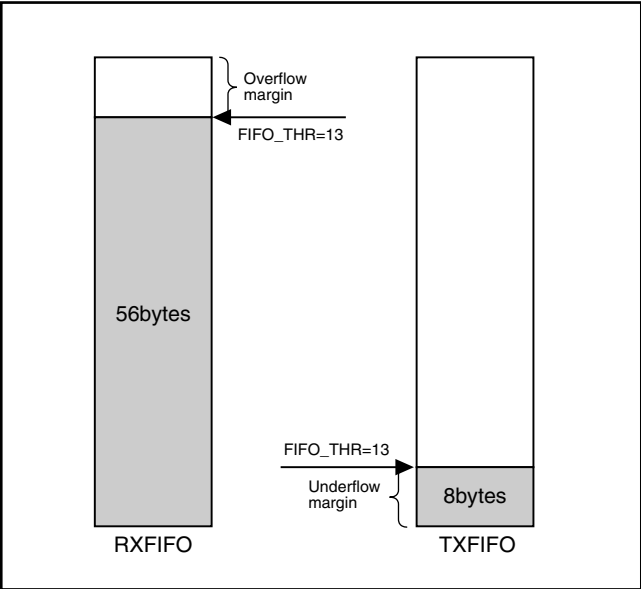


図 20: 閾値におけるFIFOの例

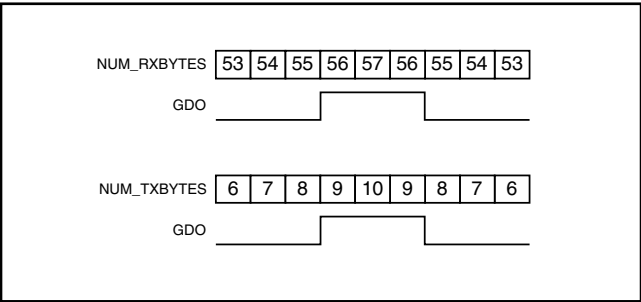


図 19: FIFO\_THR = 13 設定におけるFIFOのバイト数 (RX時：GDOx\_CFG = 0x00、TX時：GDOx\_CFG = 0x02)

## 21 周波数プログラミング

CC2500の周波数プログラミングは、チャネル主体のシステムにおいて、プログラミングが最少になるように設計されています。

システムのチャネル数を設定するためには、レジスタMDMCFG0. CHANSPC\_Mに 仮 数 部 を、MDMCFG1. CHANSPC\_Eに指数部を設定して、必要なチャネル間隔をプログラミングします。

基本あるいは開始周波数は、使用する最下端のチャネルの中心周波数 (TYP) をFREQ2、FREQ1およびFREQ0レジスタに配置した24ビット周波数ワードに設定します。

必要なチャネル数は、8ビットのチャネル数レジスタCHANNELR. CHANによりプログラミングし、チャネル・オフセットを乗じます。このとき、キャリア周波数は次式で与えられます。



$$f_{carrier} = \frac{f_{XOSC}}{2^{16}} \cdot (FREQ + CHAN \cdot ((256 + CHANSPC\_M) \cdot 2^{CHANSPC\_E - 2}))$$

26MHz水晶の場合、最大チャンネル間隔は405kHzになります。例えば、1MHzのチャンネル間隔を得る1つの方法は、333kHzチャンネル間隔を使用し、CHANNR. CHANが示す3番目のチャンネルを選択することです。

推奨するIF周波数は、FSCTRL1. FREQ\_IFレジスタによってプログラミングします。IF周波数は次式で与えられます。

$$f_{IF} = \frac{f_{XOSC}}{2^{10}} \cdot FREQ\_IF$$

SmartRF® Studioソフトウェアは、チャンネル間隔およびチャネル・フィルタ帯域幅に基づいて、自動的に最適なFSCTRL1. FREQ\_IFレジスタ設定を算出することに注目してください。

周波数シンセサイザの動作中に周波数プログラミング・レジスタを変更すると、周波数シンセサイザは望ましくない応答をすることがあります。周波数プログラミングの更新は、無線部分がIDLE状態のときのみ行ってください。

## 22 VCO

完全にオンチップのVCOです。

### 22.1 VCOおよびPLLの自己較正

VCO特性は、温度および電源電圧の変動によって変化し、動作周波数も変化します。CC2500には確実な動作を得るため、周波数シンセサイザ自己較正回路を備えています。この較正は規則的に行うべきで、電源オンの後と新周波数(又は新チャンネル)を使用する前に必ず実行します。PLL較正の完了に要するXOSCサイクル数は、表28で与えられます。

較正は自動あるいは手動で開始することができます。シンセサイザはオンする毎または、オフする毎に自動的に較正できます。これは、MCSM0. FS\_AUTOCALレジスタで設定します。手動モードでは、IDLEモードでSCAL命令ストローブをアクティブ化すると、較正を開始します。

較正值はSLEEPモード中にも維持されるので、SLEEPモードからのウェーク・アップ後も較正は有効であることに注意してください(電源電圧や温度が著しく変化しないかぎり)。

PLLがロックしていることをチェックするために、ユーザはレジスタIOCFGx. GDOx\_CFGを0x0Aにプログラミングし、ロック検出器の出力をGDOx端子を経由してMCUへの割り込み(x = 0、1、あるいは2)として使用できます。GDOx端子の立ち上がりは、PLLがロックしていることを示します。替わりの方法として、ユーザはレジスタFSCAL1を読むことができます。このレジスタの内容が0x3F以外であれば、PLLはロックしています。CC2500エラッタ・ノートも参照してください。より堅

実に動作させるには、PLLが一度もロックしない場合、PLLがロックするまでPLLを再較正するように、ソースコードを変更します。

## 23 電圧レギュレータ

CC2500は数個のオンチップの電圧レギュレータを備え、低電圧モジュールに必要な電源電圧を生成しています。これらの電圧レギュレータはユーザから見えず、様々なモジュールの集積部分として見なすことができます。ユーザは表1と表13の絶対最大定格および端子電圧を超えないようにする必要があります。デジタル・コア用の電圧レギュレータには、外付けのデカップリング用コンデンサが1個必要です。

CSn端子を“Low”に設定すると、デジタル・コア用の電圧レギュレータがオンし、水晶発振器が発振を開始します。SPIインターフェイスのSO端子は、SCLKの最初の立ち上がりエッジの前に“Low”になる必要があります(セットアップ・タイムを表16に示します)。

デバイスがパワー・ダウン・モードに入るようにプログラミングされると(SPWDストローブの生成)、CSnが“High”になった後で電源はオフします。CSnが“Low”になると、電源と水晶発振器は再度オンします。

電圧レギュレータの出力は、CC2500の駆動だけに使用します。

## 24 出力電力プログラミング

デバイスのRF出力電力レベルは、図21に示すように、2レベルのプログラミングができます。

デバイスのRF出力電力レベルは、PATABLEレジスタを通してプログラミングします。

- 2FSK、GFSK、あるいはMSK変調を使用する場合、出力電力をPATABLEレジスタのインデックス0(PATABLE(0) [7:0])にプログラミングします。3ビットのFREND0. PA\_POWERの値は、0に設定します(リセット時のデフォルト値)。
- OOK変調を使用する場合、出力電力は、ロジック0およびロジック1の電力レベルを、それぞれPATABLEレジスタのインデックス0およびインデックス1にプログラミングします(PATABLE(0) [7:0] およびPATABLE(1) [7:0])。3ビットのFREND0. PA\_POWERの値は、1に設定します。

表31に、様々な出力レベルおよび周波数帯域に対する推奨のPATABLE設定を示します。PATABLEプログラミングの詳細は、10.6節を参照してください。SmartRF® Studioソフトウェアを使用して、様々な出力電力に対する最適なPATABLE設定を得てください。

OOK変調では、PATABLE(0)以外のエントリに書き込む場合、PATABLEはバースト・モードでプログラミングする必要があります。PATABLEの第1バイト(インデックス0)以外の内容は、SLEEP状態に入るときにすべて失われることに注意してください。

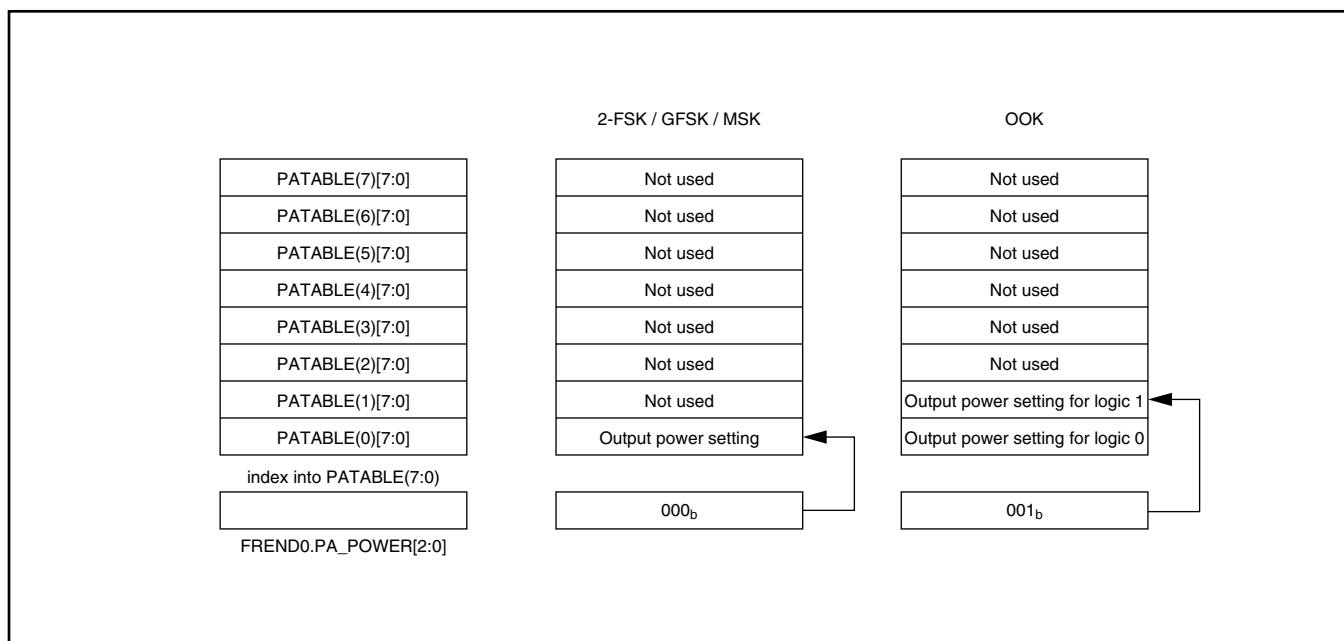


図 21: PA\_POWERおよびPATABLE

デフォルト出力設定	出力電力、 typical [dBm]	消費電流、 typical [mA]
0xC6	-12	11.1

表 30: デフォルトPATABLE設定における出力電力および消費電流

出力電力、 +25°C, 3.0V [dBm]	PATABLE 値	消費電流、 typical [mA]
(-55 or less)	0x00	8.4
-30	0x50	9.9
-28	0x44	9.7
-26	0xC0	10.2
-24	0x84	10.1
-22	0x81	10.0
-20	0x46	10.1
-18	0x93	11.7
-16	0x55	10.8
-14	0x8D	12.2
-12	0xC6	11.1
-10	0x97	12.2
-8	0x6E	14.1
-6	0x7F	15.0
-4	0xA9	16.2
-2	0xBB	17.7
0	0xFE	21.2
+1	0xFF	21.5

表 31: 様々な出力電力レベルに対する最適なPATABLE設定

## 25 選択度

図22から図26に代表的な選択特性を示します (隣接および相互除去)。

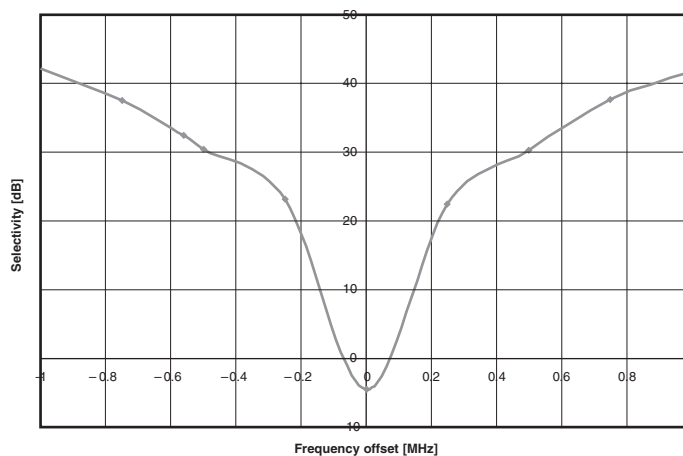


図 22: 2.4kBaudの代表的選択度 (IF周波数、273.9kHz)

MDMCFG2.DEM\_DCFILT\_OFF = 1

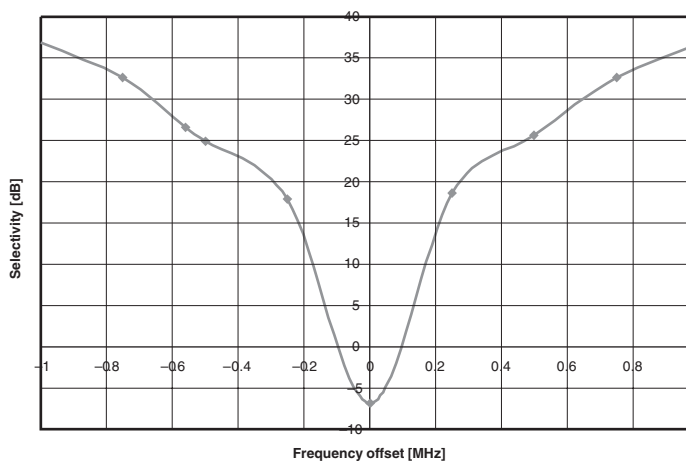


図 23: 10kBaudの代表的選択度 (IF周波数、273.9kHz)

MDMCFG2.DEM\_DCFILT\_OFF = 1

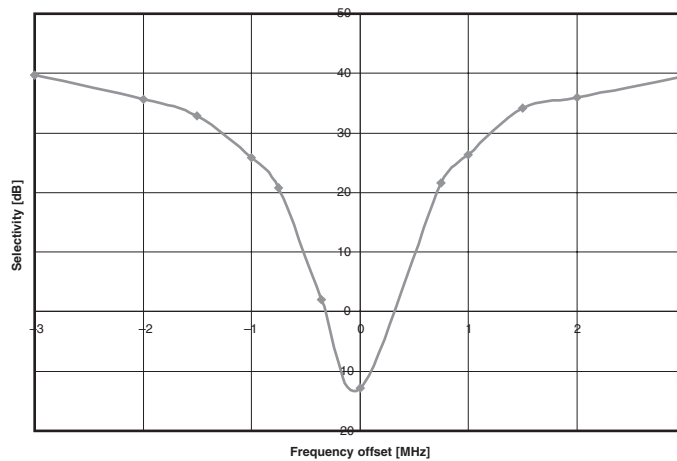


図 24: 250kBaudの代表選択度 (IF周波数、177.7kHz)  
MDMCFG2.DEM\_DCFILT\_OFF = 0

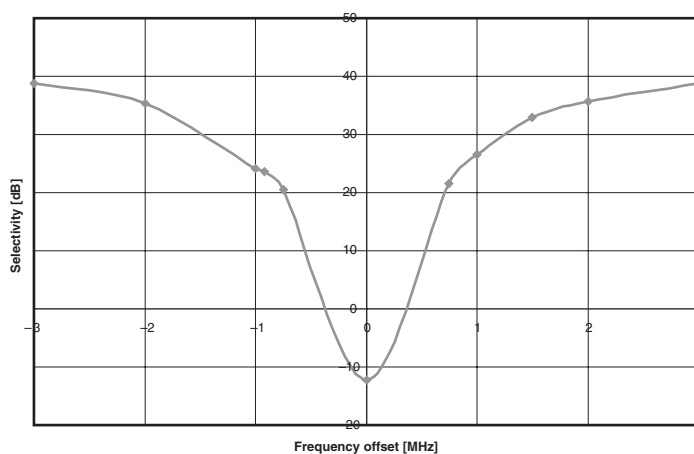


図 25: 250kBaudの代表的選択度 (IF周波数、457kHz)  
MDMCFG2.DEM\_DCFILT\_OFF = 1

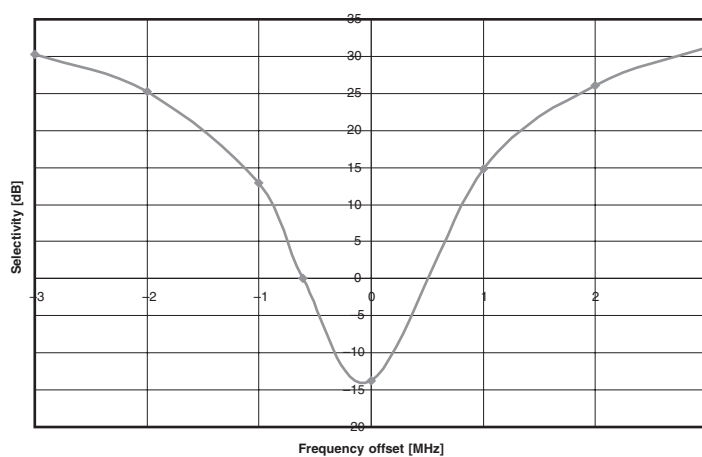


図 26: 500kBaudの代表的選択度 (IF周波数、304.7kHz)  
MDMCFG2.DEM\_DCFILT\_OFF = 0

## 26 水晶発振器

周波数範囲が26～27MHzの水晶を、XOSC\_Q1とXOSC\_Q2端子の間に接続する必要があります。発振器は、水晶振動子の並列モード動作を使用するように設計されています。さらに、水晶振動子の負荷容量 (C81およびC101) が必要です。負荷容量値は、水晶に規定された合計の負荷容量に依存します。水晶端子間の負荷容量合計を、水晶振動子が規定周波数で発振する $C_L$ に等しくします。

$$C_L = \frac{1}{\frac{1}{C_{81}} + \frac{1}{C_{101}}} + C_{\text{parasitic}}$$

寄生容量は、端子容量とPCB浮遊容量から成ります。合計の寄生容量は2.5pF (TYP) になります。水晶発振器回路を図27に示します。また、様々な $C_L$ の値に対する標準の部品定数を表32に示します。

水晶発振器は振幅を安定化します。これは、発振開始時に大きな電流が流れることを意味します。所定の振幅が形成されると、約0.4Vの信号振幅を維持するのに必要なレベルまで電流を低減します。このようにして高速なスタート・アップが確保され、かつ駆動レベルを最小に保ちます。水晶のESRは、スタート・アップを確実にするために仕様の範囲内にする必要があります (4.4節を参照)。

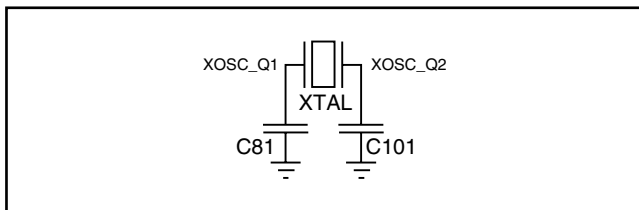


図 27: 水晶発振器回路

Component	$C_L = 10 \text{ pF}$	$C_L = 13 \text{ pF}$	$C_L = 16 \text{ pF}$
C81	15 pF	22 pF	27 pF
C101	15 pF	22 pF	27 pF

表 32: 水晶発振器の部品C値 (TYP)

### 26.1 基準信号

デバイスは水晶の代替として、26から27MHzの基準信号で動作することができます。この入力クロックは、フル・スイングのデジタル信号 (0VからVDD) でも、最大1Vピーク・ツー・ピーク振幅の正弦波でも可能です。基準信号はXOSC\_Q1入力に接続する必要があります。正弦波の場合、直列コンデンサを使用してXOSC\_Q1に接続する必要があります。デジタル信号を使用するときは、このコンデンサを省略できます。XOSC\_Q2ラインには、何も接続してはいけません。なお、基準信号の使用時は、C81およびC101を省略できます。

## 27 外部のRFマッチング

CC2500の平衡RF入力および出力は2本の端子を共用とし、プリント回路基板上の簡素で低コストな、マッチングおよびバラン回路網に合わせて設計されています。CC2500フロントエンドの送受信の切り換えは、専用のオンチップ機能により制御されており、外付けのRX/TXスイッチは不要です。

数個の外付け受動部品を内部のRX/TX用スイッチ/終端回路と組み合わせることにより、RXおよびTXの両モードでの整合を確実にします。

CC2500は平衡型RF入力/出力であるにもかかわらず、いくつかの廉価な外付けコンデンサとコイルの使用により、シングルエンド・アンテナに接続することができます。

CC2500に接続する受動マッチング/フィルタリング回路網は、RFポート (RF\_PおよびRF\_N) からアンテナに向かって見たとき、下式の差動インピーダンスで接続します。

$$Z_{\text{OUT}} = 80 + j74 \Omega$$

CC2500の差動出力の最適な整合を確実にするために、CC2500EMリファレンス・デザイン [4]に可能なかぎり近似の設計をすることを強く推奨します。参考設計のガーバー・ファイルは、TIのウェブ・サイトからダウンロードして利用できます。

## 28 推奨PCBレイアウト

最上層は信号配線に使用し、それ以外のオープン領域は、数個のビアでグラウンドに接続されたメタル・ダイアタッチ・パッドを配置 (図28) します。

デバイス直下のこの領域はグラウンドとして使用し、良好な熱的特性とグラウンドへの十分な低インダクタンスを得るために、数個のビアで底面のグラウンド・プレーンに接続します。CC2500EMリファレンス・デザイン [4]では、5個のビアがダイ底面のサーマルパッド領域の内側に配置されています。これらビアのPCB部品面側を半田マスクで覆い、半田リフロー工程でビアからの半田上がりを防止します。

サーマルパッド部分の半田ペースト・カバレッジは100%とする必要はありません。100%カバレッジしようとする、リフロー工程で気体が発生 (ガシング) し、欠陥 (飛散、半田ボール) を生じることがあります。ビアを半田マスクで覆うと、半田ペースト・カバレッジは100%を下回ります。

最上層の溶剤・レジストとペースト・マスクを図28に示します。

各デカップリング・コンデンサは、デカップリングする電源端子のできるだけ近くに配置します。また、各デカップリング・コンデンサは、独立したビアで電源ラインに接続します。最適な電源配線の引き回しは、電源ラインからデカップリング・コンデンサを経由して、CC2500の電源端子に接続することです。電源のフィルタリングは非常に重要です。

各デカップリング用コンデンサのグラウンド・パッドは、独立したビアでグラウンド層に接続します。隣接した電源端子間を直接接続するとノイズの結合が増大するため、その接続が絶対的な必要性がないかぎり避けるべきです。

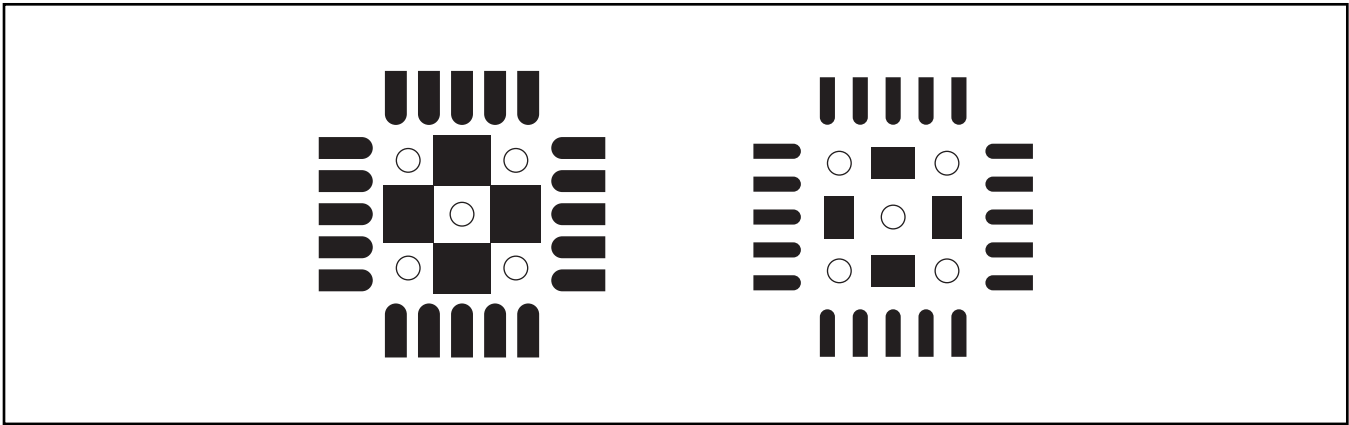


図 28: 左：最上層のソルダー・レジスト・マスク（ネガ） 右：最上層のペースト・マスク（円はビア）

外付け部品は、理想的には可能なかぎり小形の (0402 を推奨) 表面実装デバイスを強く推奨します。規定より小さい部品は、その特性が異なることがあるので注意してください。

マイクロ・コントローラの配置を検討する場合、RF 回路へのノイズ妨害を抑えるための対策が必要です。

組み立て済の CC2500EM 評価用モジュールを備えた、CC2500/2550DK 用開発キットが用意されています。最良の特性を得るために、このリファレンス・レイアウトに極力従うことを強く推奨します。回路図、BOM およびレイアウトのガーバー・ファイルは、すべて TI ウェブ・サイトから入手できます。

## 29 汎用/テスト出力制御端子

3本のデジタル出力端子 GDO0、GDO1、および GDO2 は汎用制御端子であり、IOCFG0. GDO0\_CFG、IOCFG1. GDO1\_CFG、および IOCFG2. GDO2\_CFG によりそれぞれ設定します。表 33 に、GDO 端子でモニターできる種々の信号を示します。これらの信号は MCU への入力にも使用できます。GDO1 は、SPI インターフェイスの SO 端子と同じ端子です。したがって、この端子にプログラミングした出力は、CSn が “High” のときのみ有効になります。GDO1 はデフォルトで 3 ステートであり、これは SPI インターフェイスを他のデバイスと共有するときに役立ちます。

GDO0 のデフォルト値は、135 – 141kHz のクロック出力です (XOSC 周波数を 192 分周したもの)。XOSC はパワー・オン・リセットでオンするので、これを使用すると、たった一個の水晶でクロックをシステムの MCU へ供給できます。MCU が立ち上がり、動作開始後、MCU はクロック周波数を IOCFG0. GDO0\_CFG に書き込むことにより、クロック周波数を変更することができます。

値 128 (0x80) を IOCFG0. GDO0\_CFG レジスタに書き込むとオンチップのアナログ温度センサがイネーブルになり、GDO0 端子の電圧は温度に比例します。温度センサの仕様については、4.7 節を参照してください。

IOCFGx. GDO0\_CFG の設定が 0x20 より小さく、かつ IOCFGx. GDOx\_INV が 0 (1) の場合、SLEEP 状態において、GDO0 および GDO2 端子が 0 (1) へ接続され、GDO1 端子が 1 (0) へ接続されます。これらの信号は、CHIP\_RDYn 信号が “Low” になるまで接続されます。

IOCFGx. GDO0\_CFG の設定が 0x20 以上の場合、これも SLEEP 状態において、GDO 端子はプログラミングされたように動作します。例として、IOCFG1. GDO0\_CFG = 0x2E ならば、GDO1 端子はすべての状態にてハイ・インピーダンスになります。

## 30 非同期および同期シリアル動作

従来の Chipcon 製品および、既存 RF 通信システムに対し互換性を持たせるために、CC2500 はいくつかの特色を持つ動作モードを持っています。新たなシステムでは、新たに組み込まれたパケット処理機能を使うことを推奨します。これより、より確実な通信、マイクロ・コントローラの負荷を著しく軽減、およびソフトウェアの容易な開発を実現することができます。

### 30.1 非同期動作

Chipcon 製品の非同期データ伝送を使用したシステムとの互換のため、CC2500 は非同期伝送機能を備えています。非同期伝送がイネーブルのとき、パケット処理ハードウェアや FIFO のバッファリングなど、MCU をサポートするために CC2500 が持っているいくつかの機能がディスエーブルされます。非同期伝送モードでは、データ拡散 (ホワイトニング)、インターリーブ、および FEC の使用とマンチェスタ符号化ができません。

なお、MSK は非同期伝送をサポートしていないことに注意してください。

PKTCTRL0. PKT\_FORMAT を 3 に設定すると、非同期シリアル・モードがイネーブルになります。

TX のとき、GDO0 端子を使用してデータを入力 (TX データ) します。データの出力は、GDO0、GDO1 あるいは GDO2 で行うことができます。これは、IOCFG0. GDO0\_CFG、IOCFG1. GDO1\_CFG および IOCFG2. GDO2\_CFG フィールドにより設定します。

CC2500 の変調器は、プログラミングされたデータ・レートの 8 倍の速度で非同期入力をサンプリングします。したがって、非同期ストリームのタイミング条件は、ビット数当りの誤りがプログラミングされたデータ・レートの 1/8 より必ず低い、ということです。

GDOx_CFG[5:0]		説明
0 (0x00)		RX FIFO関連:RX FIFOがその閾値以上に満たされたときアサート。 RX FIFOのバイト数が同じ閾値を下回ったときネゲート。
1 (0x01)		RX FIFO関連:RX FIFOがその閾値以上に満たされたとき、あるいはパケットの最後まで達したときアサート。 RX FIFOが空になったときネゲート。
2 (0x02)		TX FIFO関連:TX FIFOがその閾値以上に満たされたときアサート。 TX FIFOのバイト数が同じ閾値を下回ったときネゲート。
3 (0x03)		TX FIFO関連:TX FIFOが一杯になったときアサート。 TX FIFOのバイト数がTX FIFO閾値を下回ったときネゲート。
4 (0x04)		RX FIFOがオーバー・フローしたときアサート。RX FIFOがフラッシュされたときネゲート。
5 (0x05)		TX FIFOがアンダー・フローしたときアサート。TX FIFOがフラッシュされたときネゲート。
6 (0x06)		シンク・ワードの送受信でアサートされ、パケットの終わりでネゲートされる。 RX時は、オプションのアドレス・チェックの失敗またはRX FIFOのオーバー・フローで、ネゲート。TX時は、TX FIFOのアンダー・フローでネゲート。
7 (0x07)		パケット受信でCRC OKフラグが立つとアサート。 先頭のバイトがRX FIFOから読み取られるとネゲート。PKTCTRL0.CC2400_EN = 1のときのみ有効。
8 (0x08)		プリアンブルの品質。PQIがプログラミングされたPQT値を上回るとアサート。
9 (0x09)		空きチャネル検出。RSSIレベルが閾値を下回ると“High”（現在のCCA_MODE設定に依存する）。
10 (0x0A)		ロック検出器の出力。ロック検出器の出力が正の遷移を得るか、あるいは定常的に“High”になった場合、PLLはロックしている。 PLLロックをチェックするために、ロック検出出力をMCUへの割り込みに使用する必要があります。
11 (0x0B)		シリアル・クロック。同期シリアル・モードではデータに同期する。 RXモード時、GDOx_INV = 0の場合、立ち下がりエッジでCC2500がデータをセットアップする。 TXモード時、GDOx_INV = 0の場合、シリアル・クロックの立ち上がりエッジでCC2500がデータをサンプリングする。
12 (0x0C)		シリアル同期データ出力 (DO)。同期シリアル・モードで使用される。
13 (0x0D)		シリアル・データ出力。非同期シリアル・モードで使用される。
14 (0x0E)		キャリア検知。RSSIレベルが閾値を超えると“High”になる。
15 (0x0F)		CRC_OK。最終CRC比較が一致した。RXモードへ遷移/RXモードの再開でクリア。 PKTCTRL0.CC2400_EN = 1のときのみ有効。
16 (0x10) To 21 (0x15)		予約。試験に使用。
22 (0x16)		RX_HARD_DATA[1]。RX_SYMBOL_TICKとともに使用して、シリアルRX出力を代替。
23 (0x17)		RX_HARD_DATA[0]。RX_SYMBOL_TICKとともに使用して、シリアルRX出力を代替。
24 (0x18)		予約。試験用。
25 (0x19)		予約。試験用。
26 (0x1A)		予約。試験用。
27 (0x1B)		PA_PD。注意:PA_PDはSLEEPとTX状態で等しい信号レベルである。SLEEP状態が使用されるアプリケーションにおける外付けのPAやRX/TX スイッチの制御には、代わりにGDOx_CFGx = 0x2Fの使用を推奨。
28 (0x1C)		LNA_PD。注意:LNA_PDはSLEEPとRX状態で等しい信号レベルである。SLEEP状態が使用されるアプリケーションにおける外付けのLNAやRX/TX スイッチの制御には、代わりにGDOx_CFGx = 0x2Fの使用を推奨。
29 (0x1D)		RX_SYMBOL_TICK。RX_HARD_DATAとともに使用して、シリアルRX出力を代替。
30 (0x1E) To 35 (0x23)		予約。試験用。
36 (0x24)		WOR_EVT0
37 (0x25)		WOR_EVT1
38 (0x26)		予約。試験用。
39 (0x27)		CLK_32k
40 (0x28)		予約。試験用。
41 (0x29)		CHIP_RDYn
42 (0x2A)		予約。試験用。
43 (0x2B)		XOSC_STABLE
44 (0x2C)		予約。試験用。
45 (0x2D)		GDO0_Z_EN_N.この出力が0のとき、GDO0は入力に設定される（シリアルTXデータ用）。
46 (0x2E)		ハイ・インピーダンス（3ステート）。
47 (0x2F)		HWを0へ（HW1はGDOx_INV = 1と設定）。外付けのLNA/PAやRX/TXスイッチの制御に使用。
48 (0x30)		CLK_XOSC/1
49 (0x31)		CLK_XOSC/1.5
50 (0x32)		CLK_XOSC/2
51 (0x33)		CLK_XOSC/3
52 (0x34)		CLK_XOSC/4
53 (0x35)		CLK_XOSC/6
54 (0x36)		CLK_XOSC/8
55 (0x37)		CLK_XOSC/12
56 (0x38)		CLK_XOSC/16
57 (0x39)		CLK_XOSC/24
58 (0x3A)		CLK_XOSC/32
59 (0x3B)		CLK_XOSC/48
60 (0x3C)		CLK_XOSC/64
61 (0x3D)		CLK_XOSC/96
62 (0x3E)		CLK_XOSC/128
63 (0x3F)		CLK_XOSC/192

注意:3本のGDO端子がありますが、1つのCLK\_XOSC/nだけを常に出力として選択できます。CLK\_XOSC/nを1本のGDO端子で監視する場合、他の2本のGDO端子は0x30より小さい値を設定する必要があります。GDO0のデフォルト値は、CLK\_XOSC/192です。

表 33: GDOxの信号選択 (x = 0, 1 or 2)

## 30.2 同期シリアル動作

PKTCTRL0.PKT\_FORMATを1に設定すると、同期シリアル・モードがイネーブルになります。同期シリアル・モードでは、データを2線式シリアル・インターフェイスで伝送します。CC2500は、データ入力ラインでの新規データのセットアップ、あるいはデータ出力ラインのデータのサンプルに使用するクロックを供給します。データ(TXデータ)の入力はGDO0端子を使います。この端子は、TXがアクティブの場合、自動的に入力として設定されます。データ出力端子はどのGDO端子でも可能であり、これはIOCFG0.GDO0\_CFG、IOCFG1.GDO1\_CFGおよびIOCFG2.GDO2\_CFGフィールドにより設定します。

プリアンブルおよびシンク・ワードの挿入/検出は、MDM\_CFG2.SYNC\_MODEのシンク・モードの設定により、有効にも無効にもなります。プリアンブルとシンク・ワードがディスエーブルの場合、他のパケット処理機能のすべてとFECもディスエーブルにします。このとき、MCUがプリアンブルとシンク・ワードの挿入および検出を、ソフトウェアで処理する必要があります。プリアンブルとシンク・ワードの挿入/検出がオンの場合、すべてのパケット処理機能とFECが使用できます。ただし、アドレス・フィルタリング機能のみ、同期シリアル・モードでは使用できません。

パケット処理機能を同期シリアル・モードで使用する場合、CC2500がプリアンブルとシンク・ワードを挿入、検出し、MCUはデータ・ペイロードの供給/取得を行うのみです。これは推奨のFIFO動作モードと同様です。

## 31 システムの考察およびガイドライン

### 31.1 SRDレギュレーション

国際規格および国内法規の規定により、無線レシーバおよびトランスミッタの使用に規制があります。2.4GHz帯で最も重要な規格は、EN 300 440およびEN 300 328(欧州)、FCC CFR47 part 15.247および15.249(米国)、ARIB STD-T66(日本)です。これら規格の最も重要なポイントの要約は、アプリケーション・ノートAN032[2]を参照してください。

規格・法規の順守は、一連のシステム性能に依存することに注意してください。システム規格・法規順守は、使用者の責任です。

### 31.2 周波数ホッピングおよび多チャネル・システム

2.400 – 2.4835GHz帯は、産業、オフィスおよび家庭内の多くのシステムに共用されているので、周波数ホッピング・スペクトラム拡散(FHSS)あるいはマルチ・チャネル・システム・プロトコルの使用を推奨します。なぜなら、周波数ダイバシティによって、同一周波数帯で動作する他のシステムからの妨害に対して、システムが堅牢になります。また、FHSSはマルチパス・フェージングを除去する効果もあります。

CC2500は、その高速な周波数シンセサイザと効率的な通信インターフェイスにより、FHSSあるいは多チャネル・システムに非常に適しています。また、パケット処理サポートおよびデータ・バッファリング機能を使用することでも、ホスト・コントローラの負荷を著しく軽減できます。

CC2500の周波数ホッピングを実行する場合、周波数毎にチャージポンプ電流、VCO電流およびVCO容量アレーの校正データが必要です。デバイスから校正データを取得するには、以下の3通りの方法があります。

1) ホップ毎に校正を行う周波数ホッピング。PLLの校正時間は、約720 $\mu$ sです。このとき、各周波数ホップ間のブランキング間隔は約810 $\mu$ sです。

2) 各ホップ毎に校正を行わない場合は、各周波数をスタート・アップ時に校正し、その結果を保存したFSCAL3、FSCAL2およびFSCAL1レジスタ値をMCUのメモリに格納してから、最初のホップが実行できます。校正プロセスの代わりに、各周波数ホップ間において、次のRF周波数に対応する校正値をFSCAL3、FSCAL2およびFSCAL1レジスタ値へ書き込みます。PLLのターンオン時間は、およそ90 $\mu$ sです。このとき、各周波数ホップ間のブランキング間隔は90 $\mu$ sになります。VCO電流の校正結果はFSCAL2にあり、これはRF周波数に依存しません。FSCAL3にあるチャージポンプ電流の校正結果もRF周波数に依存しません。したがって、同じ値をすべての周波数に適用できます。

3) スタート・アップ時に、1つの周波数について校正を行う場合。FSCAL3[5:4]へ0を書いて、チャージポンプ校正をディスエーブルします。FSCAL3[5:4]に書き込んだ後、MCSM0.FS\_AUTOCAL = 1として、各々の新規の周波数ホップに対してSRX(あるいはSTX)をストローブします。すなわち、VCO電流およびVCO容量の校正は行いますが、チャージポンプ電流の校正は行いません。チャージポンプ電流の校正がディスエーブルの場合、校正時間は約720 $\mu$ sから約150 $\mu$ sに短縮されます。このとき、各周波数ホップ間のブランキング間隔は240 $\mu$ sになります。

ブランキング時間と、校正データを不揮発メモリに格納するために必要なメモリ量の間にはトレードオフがあります。上記の方法2)はブランキング間隔が最短ですが、校正値を格納するメモリ空間がより多く必要です。方法3)では、ブランキング間隔が方法1)より約570 $\mu$ s短くなります。

### 31.3 スペクトラム拡散を使用しない広帯域変調

FCC part 15.247に準ずるデジタル変調システムには、2FSKおよびGFSK変調があります。変調信号の6dB帯域幅が500kHzを超える場合、1W(+30dBm)の最大ピーク出力電力が可能です。さらに、アンテナに投入されるピーク電力のスペクトル密度は、任意の3kHz帯で+8dBmを超えてはいけません。

CC2500は高データ・レートかつ高い周波数分離度で動作するため、FCC part 15.247で定義されるデジタル変調システムに準拠するシステムに適しています。出力を+1dBm以上に増加するには、外付けパワー・アンプが必要です。

### 31.4 データのバースト送信

バースト送信により、CC2500は高い最大データ・レートが可能になります。低い平均データ・レート・リンク(例えば10kBaud)は、より高いデータ・レートの無線を使用して実現できます。データをバッファリングした、高いデータ・レート(例



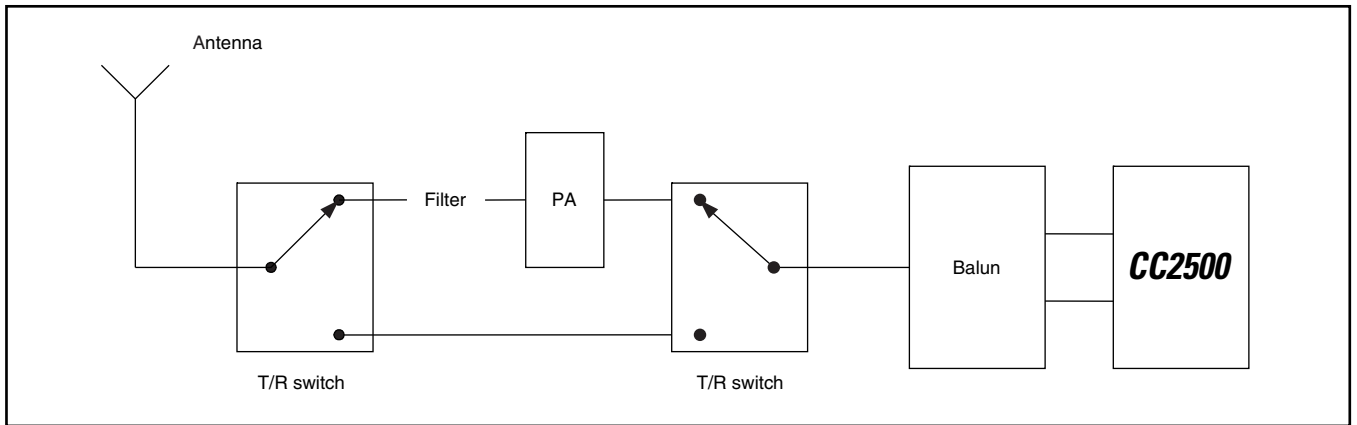


図 29: 左：外部パワー・アンプとCC2500の使用法のブロック図

例えば500kBaud)のバースト送信を使うと、アクティブ・モードにいる時間を短縮して、平均電流消費を大幅に低減します。また、アクティブ・モードにいる時間が短縮されると、他のシステム(例えばWLAN)とのコリジョンが低減する可能性があります。

### 31.5 連続送信

データ・ストリーミングのアプリケーションで、CC2500は実効データ・レート500kBaudの連続送信を可能にします。変調を開ループのPLLで行うため、送信に長さの制限はありません。(いくつかの方式のトランシーバで使用される開ループPLLでは、このような連続データ・ストリーミングをしばしば防げてしまい、実効データ・レートが低下します。)

### 31.6 水晶のドリフト補償

CC2500は、高い周波数分解能を持ち(表9参照)、周波数オフセットおよびドリフトの補償に使用できます。

「外部」トランスミッタとレシーバ間の周波数オフセットはCC2500内で測定され、14.1節で述べたように、FREQUENTSTATUSレジスタから読み出すことができます。測定された周波数オフセットは、「外部」トランスミッタを基準にして周波数の校正に利用できます。デバイスの受信信号を使い、レシーバのチャンネル・フィルタをより良くマッチさせます。同様の方法で、送信信号の中心周波数は「外部」トランスミッタの信号にマッチさせます。

### 31.7 スペクトラムの効率的な変調

CC2500は、ガウス2FSK(GFSK)を使うこともできます。このスペクトラム・シェーピング機能により、隣接チャンネル電力(ACP)および占有帯域幅が改善されます。急峻な周波数偏移を伴う「真」の2FSKシステムでは、スペクトラムが本質的に広くなります。そこで、周波数偏移を「よりソフト」にすることで、スペクトラムは大幅に狭くできます。このようにGFSKを使用することにより、同一の帯域幅で高いデータ・レートの送信をすることができます。

### 31.8 低コスト・システム

ディファレンシャル・アンテナを使用するとバランが不要になり、直接結合のアンテナ・トポロジが実現できます(図3参照)。CC25XX Folded Dipole Reference Design[8]には、折り返しダイポールPCBアンテナ付きのCC2500EMの図およびレイアウトのファイルがあります。この設計に関する詳細は、DN004[9]を参照してください。

HC-49型SMD水晶が、CC2500EMリファレンス・デザイン[4]で使用されています。水晶パッケージが価格に大きく影響することに注意してください。サイズの制約があるPCB設計では、より小型であるが高価な水晶を使用することになります。

### 31.9 電池動作システム

低電力アプリケーションでは、CC2500がアクティブでないとき、水晶発振器の回路がオフになるSLEEP状態を使用します。スタート・アップ時間が重要な場合、SLEEP状態で水晶発振器の回路をオンのままにすることが可能です。

また、低電力アプリケーションではWOR機能を使用します。

### 31.10 出力電力の増加

アプリケーションにより、リンク範囲を拡大することが必要な場合、外付けのパワー・アンプを付加することが最も効果的な方法です。

パワー・アンプは、アンテナとバランの間に挿入します。RXモードでPAを分離するには、2個のT/Rスイッチが必要です。図29を参照してください。

## 32 設定レジスタ

CC2500の設定は、8ビット・レジスタのプログラミングにより行います。選択したシステム・パラメータに基づいた最適な構成データを最も容易に見出すには、SmartRF® Studioソフトウェア[5]を使用します。一連のレジスタについての説明を下の表で示します。デバイス・リセットの後、表に示すようにすべてのレジスタがデフォルト値になります。最適なレジスタ設定は、デフォルト値と異なることがあります。リセット後、デフォルト値と異なる値に設定するレジスタは、すべてSPIインターフェイス経由でプログラミングする必要があります。

アドレス	Strobe名	説明
0x30	SRES	デバイスのリセット。
0x31	SFSTXON	周波数シンセサイザのイネーブルと較正 (MCSM0.FS_AUTOCAL = 1の場合)。 RX (CCA付き) 時: シンセサイザだけが動作する待ち状態へ遷移 (高速なRX/TX転換のため)。
0x32	SXOFF	水晶発振器のオフ。
0x33	SCAL	周波数シンセサイザを較正後オフ。 手動較正モードの設定 (MCSM0.FS_AUTOCAL = 0) 無しに、IDLEモードからSCALをストローブ可能。
0x34	SRX	RXのイネーブル。 IDLEからの遷移で、かつ、MCSM0.FS_AUTOCAL = 1の場合、較正を最初に実行。
0x35	STX	IDLE状態: TXをイネーブルする。MCSM0.FS_AUTOCAL = 1ならば、較正を最初に実行。 RX状態かつCCAイネーブル: チャンネルがクリアの時のみTXへ遷移。
0x36	SIDLE	RX/TXを終了。周波数シンセサイザをオフ、ウェーク・オン・ラジオ・モードのとき、それを終了。
0x38	SWOR	WORCTRL.RC_PD = 0のとき、自動RXポーリング・シーケンス (ウェーク・オン・ラジオ) を開始。(19.5節に記述)
0x39	SPWD	CSnが “High” になるとき、パワー・ダウン・モードに入る。
0x3A	SFRX	RX FIFOバッファをフラッシュ。IDLEまたはRXFIFO_OVERFLOW状態でのみSFRXを生成。
0x3B	SFTX	TX FIFOバッファをフラッシュ。IDLEまたはTXFIFO_UNDERFLOW状態でのみSFTXを生成。
0x3C	SWORRST	リアル・タイム時計をEVENT1の値にリセットする。
0x3D	SNOP	NOP (動作なし)。デバイス・ステータス・バイトのアクセスに使用。

表 34: 命令ストローブ

表34に示す13個の命令ストローブ・レジスタがあります。これらのレジスタをアクセスすることで、内部の状態やモードの変更が開始されます。また、表35に示す47個の標準8ビット構成レジスタがあります。これらレジスタの多くは試験のみが目的であり、CC2500の通常動作での書き込みは必要ありません。

表36に示す12個のステータス・レジスタもありますが、これらのレジスタは読み取り専用でCC2500の状態情報を格納しています。

2個のFIFOは、1個の8ビット・レジスタ経由でアクセスされます。ライト動作はTX FIFOに書き込み、リード動作はRX FIFOから読み取ります。

ヘッダ・バイト伝送の間と、データをレジスタまたはTX FIFOへ書き込みの間、1ステータス・バイトがSOラインに返されます。このステータス・バイトについては表17で述べています。

表37にSPIアドレス空間を要約します。実際に使用するアドレスは、左欄のベースアドレスと上段のバーストおよびリード/ライト・ビットを加算して得られます。バースト・ビットは、ベースアドレスの0x2Fの上と下で意味が異なることに注意してください。

アドレス	レジスタ	説明	スリープ状態の 内容保存	詳細解説 ページ
0x00	IOCFG2	GDO2出力端子の設定	Yes	54
0x01	IOCFG1	GDO1出力端子の設定	Yes	54
0x02	IOCFG0	GDO0出力端子の設定	Yes	54
0x03	FIFOTHR	RXFIFOおよびTXFIFOの閾値	Yes	54
0x04	SYNC1	シンク・ワードの上位バイト	Yes	55
0x05	SYNC0	シンク・ワードの下位バイト	Yes	55
0x06	PKTLEN	パケット長	Yes	55
0x07	PKTCTRL1	パケット自動制御	Yes	55
0x08	PKTCTRL0	パケット自動制御	Yes	56
0x09	ADDR	デバイス・アドレス	Yes	56
0x0A	CHANNR	チャンネル数	Yes	56
0x0B	FSCTRL1	周波数シンセサイザ制御	Yes	57
0x0C	FSCTRL0	周波数シンセサイザ制御	Yes	57
0x0D	FREQ2	周波数制御ワードの上位バイト	Yes	57
0x0E	FREQ1	周波数制御ワードの中位バイト	Yes	57
0x0F	FREQ0	周波数制御ワードの下位バイト	Yes	57
0x10	MDMCFG4	変調器設定	Yes	58
0x11	MDMCFG3	変調器設定	Yes	58
0x12	MDMCFG2	変調器設定	Yes	59
0x13	MDMCFG1	変調器設定	Yes	60
0x14	MDMCFG0	変調器設定	Yes	60
0x15	DEVIATN	変調器偏差の設定	Yes	61
0x16	MCSM2	主無線制御ステート・マシンの設定	Yes	62
0x17	MCSM1	主無線制御ステート・マシンの設定	Yes	63
0x18	MCSM0	主無線制御ステート・マシンの設定	Yes	64
0x19	FOCCFG	周波数オフセット補償の設定	Yes	65
0x1A	BSCFG	ビット同期設定	Yes	66
0x1B	AGCTRL2	AGC制御	Yes	67
0x1C	AGCTRL1	AGC制御	Yes	68
0x1D	AGCTRL0	AGC制御	Yes	69
0x1E	WOREVT1	EVENT0タイム・アウトの上位バイト	Yes	69
0x1F	WOREVT0	EVENT0タイム・アウトの下位バイト	Yes	70
0x20	WORCTRL	ウェーク・オン・ラジオ制御	Yes	70
0x21	FREND1	フロントエンドRXの設定	Yes	70
0x22	FREND0	フロントエンドTXの設定	Yes	71
0x23	FSCAL3	周波数シンセサイザ較正	Yes	71
0x24	FSCAL2	周波数シンセサイザ較正	Yes	71
0x25	FSCAL1	周波数シンセサイザ較正	Yes	72
0x26	FSCAL0	周波数シンセサイザ較正	Yes	72
0x27	RCCTRL1	RC発振器設定	Yes	72
0x28	RCCTRL0	RC発振器設定	Yes	72
0x29	FSTEST	周波数シンセサイザ較正の制御	No	72
0x2A	PTEST	量産試験	No	72
0x2B	AGCTEST	AGC試験	No	73
0x2C	TEST2	各種試験設定	No	73
0x2D	TEST1	各種試験設定	No	73
0x2E	TEST0	各種試験設定	No	73

表 35: 設定レジスタの概要

アドレス	レジスタ	説明	詳細解説 ページ
0x30 (0xF0)	PARTNUM	CC2500デバイス番号	73
0x31 (0xF1)	VERSION	現行バージョン番号	73
0x32 (0xF2)	FREQUEST	周波数オフセットの見積もり	73
0x33 (0xF3)	LQI	リンク品質に関する復調器の予測	74
0x34 (0xF4)	RSSI	受信信号強度	74
0x35 (0xF5)	MARCSTATE	ステート・マシンの状態制御	74
0x36 (0xF6)	WORTIME1	WORタイマの上位バイト	75
0x37 (0xF7)	WORTIME0	WORタイマの下位バイト	75
0x38 (0xF8)	PKTSTATUS	現在のGDOx状態およびバケット状態	75
0x39 (0xF9)	VCO_VC_DAC	PLL較正モジュールからの電流の設定	75
0x3A (0xFA)	TXBYTES	TX FIFOのアンダー・フローおよびバイト数	75
0x3B (0xFB)	RXBYTES	RX FIFOのオーバー・フローおよびバイト数	76
0x3C (0xFC)	RCCTRL1_STATUS	RC発振器較正の最終結果	76
0x3D (0xFD)	RCCTRL0_STATUS	RC発振器較正の最終結果	76

表 36: ステータス・レジスタの概要

	Write		Read	
	Single byte	Burst	Single byte	Burst
	+0x00	+0x40	+0x80	+0xC0
0x00			IOCFG2	
0x01			IOCFG1	
0x02			IOCFG0	
0x03			FIFOTHR	
0x04			SYNC1	
0x05			SYNC0	
0x06			PKTLEN	
0x07			PKTCTRL1	
0x08			PKTCTRL0	
0x09			ADDR	
0x0A			CHANNR	
0x0B			FSCTRL1	
0x0C			FSCTRL0	
0x0D			FREQ2	
0x0E			FREQ1	
0x0F			FREQ0	
0x10			MDMCFG4	
0x11			MDMCFG3	
0x12			MDMCFG2	
0x13			MDMCFG1	
0x14			MDMCFG0	
0x15			DEVIATN	
0x16			MCSM2	
0x17			MCSM1	
0x18			MCSM0	
0x19			FOCCFG	
0x1A			BSCFG	
0x1B			AGCCTRL2	
0x1C			AGCCTRL1	
0x1D			AGCCTRL0	
0x1E			WOREVT1	
0x1F			WOREVT0	
0x20			WORCTRL	
0x21			FREND1	
0x22			FREND0	
0x23			FSCAL3	
0x24			FSCAL2	
0x25			FSCAL1	
0x26			FSCAL0	
0x27			RCCTRL1	
0x28			RCCTRL0	
0x29			FSTEST	
0x2A			PTEST	
0x2B			AGCTEST	
0x2C			TEST2	
0x2D			TEST1	
0x2E			TEST0	
0x2F				
0x30	SRES		SRES	PARTNUM
0x31	SFSTXON		SFSTXON	VERSION
0x32	SXOFF		SXOFF	FREQEST
0x33	SCAL		SCAL	LQI
0x34	SRX		SRX	RSSI
0x35	STX		STX	MARCSTATE
0x36	SIDLE		SIDLE	WORTIME1
0x37				WORTIME0
0x38	SWOR		SWOR	PKTSTATUS
0x39	SPWD		SPWD	VCO_VC_DAC
0x3A	SFRX		SFRX	TXBYTES
0x3B	SFTX		SFTX	RXBYTES
0x3C	SWORRST		SWORRST	RCCTRL1_STATUS
0x3D	SNOP		SNOP	RCCTRL0_STATUS
0x3E	PATABLE	PATABLE	PATABLE	PATABLE
0x3F	TX FIFO	TX FIFO	RX FIFO	RX FIFO

R/W configuration registers, burst access possible

Command strobes, status registers (read only)  
and multi byte registers

表 37: SPIアドレス空間

## 32.1 設定レジスタの詳細 — SLEEP状態で内容が保存されるレジスタ

### 0x00 : IOCFG2 — GDO2出力端子設定

ビット	フィールド名	Reset値	R/W	説明
7	予約		R0	
6	GDO2_INV	0	R/W	出力を反転する。すなわち、負論理(1)/正論理(0)を選択。
5:0	GDO2_CFG[5:0]	41 (0x29)	R/W	デフォルトはCHIP_RDYn(表33参照)。

### 0x01 : IOCFG1 — GDO1出力端子設定

ビット	フィールド名	Reset値	R/W	説明
7	GDO_DS	0	R/W	GDO端子のドライブ能力を高く(1)、または低く(0)設定。
6	GDO1_INV	0	R/W	出力を反転する。すなわち、負論理(1)/正論理(0)を選択。
5:0	GDO1_CFG[5:0]	46 (0x2E)	R/W	デフォルトは3ステート(表33参照)。

### 0x02 : IOCFG0 — GDO0出力端子設定

ビット	フィールド名	Reset値	R/W	説明
7	TEMP_SENSOR_ENABLE	0	R/W	アナログ温度センサをイネーブルにする。温度センサの使用時は、レジスタの他のビットすべてに0を書き込む。
6	GDO0_INV	0	R/W	出力を反転する。すなわち、負論理(1)/正論理(0)を選択。
5:0	GDO0_CFG[5:0]	63 (0x3E)	R/W	デフォルトはCLK_XOSC/192(表33参照)。

### 0x03 : FIFOTHR — RX FIFOおよびTX FIFOの閾値

ビット	フィールド名	Reset値	R/W	説明																																																			
7:4	予約	0	R0	将来の拡張と互換性のために0を書く。																																																			
3:0	FIFO_THR[3:0]	7 (0111)	R/W	TX FIFOおよびRX FIFOの閾値を設定。FIFOのバイト数が閾値以上になったとき、閾値を超えたことになる。 <table><tr><th>Setting</th><th>Bytes in TX FIFO</th><th>Bytes in RX FIFO</th></tr><tr><td>0 (0000)</td><td>61</td><td>4</td></tr><tr><td>1 (0001)</td><td>57</td><td>8</td></tr><tr><td>2 (0010)</td><td>53</td><td>12</td></tr><tr><td>3 (0011)</td><td>49</td><td>16</td></tr><tr><td>4 (0100)</td><td>45</td><td>20</td></tr><tr><td>5 (0101)</td><td>41</td><td>24</td></tr><tr><td>6 (0110)</td><td>37</td><td>28</td></tr><tr><td>7 (0111)</td><td>33</td><td>32</td></tr><tr><td>8 (1000)</td><td>29</td><td>36</td></tr><tr><td>9 (1001)</td><td>25</td><td>40</td></tr><tr><td>10 (1010)</td><td>21</td><td>44</td></tr><tr><td>11 (1011)</td><td>17</td><td>48</td></tr><tr><td>12 (1100)</td><td>13</td><td>52</td></tr><tr><td>13 (1101)</td><td>9</td><td>56</td></tr><tr><td>14 (1110)</td><td>5</td><td>60</td></tr><tr><td>15 (1111)</td><td>1</td><td>64</td></tr></table>	Setting	Bytes in TX FIFO	Bytes in RX FIFO	0 (0000)	61	4	1 (0001)	57	8	2 (0010)	53	12	3 (0011)	49	16	4 (0100)	45	20	5 (0101)	41	24	6 (0110)	37	28	7 (0111)	33	32	8 (1000)	29	36	9 (1001)	25	40	10 (1010)	21	44	11 (1011)	17	48	12 (1100)	13	52	13 (1101)	9	56	14 (1110)	5	60	15 (1111)	1	64
Setting	Bytes in TX FIFO	Bytes in RX FIFO																																																					
0 (0000)	61	4																																																					
1 (0001)	57	8																																																					
2 (0010)	53	12																																																					
3 (0011)	49	16																																																					
4 (0100)	45	20																																																					
5 (0101)	41	24																																																					
6 (0110)	37	28																																																					
7 (0111)	33	32																																																					
8 (1000)	29	36																																																					
9 (1001)	25	40																																																					
10 (1010)	21	44																																																					
11 (1011)	17	48																																																					
12 (1100)	13	52																																																					
13 (1101)	9	56																																																					
14 (1110)	5	60																																																					
15 (1111)	1	64																																																					

#### 0x04：SYNC1 — シンク・ワードの上位バイト

ビット	フィールド名	Reset値	R/W	説明
7:0	SYNC[15:8]	211 (0xD3)	R/W	16ビットのシンク・ワードの8MSB。

#### 0x05：SYNC0 — シンク・ワードの下位バイト

ビット	フィールド名	Reset値	R/W	説明
7:0	SYNC[7:0]	145 (0x91)	R/W	16ビットのシンク・ワードの8LSB。

#### 0x06：PKTLEN — パケット長さ

ビット	フィールド名	Reset値	R/W	説明
7:0	PAKCET_LENGTH	255 (0xFF)	R/W	固定長パケットのとき、パケット長。 可変長パケットのとき、許容最大パケット長。

#### 0x07：PKTCTRL1 — パケット自動制御

ビット	フィールド名	Reset値	R/W	説明										
7:5	PQT[2:0]	0 (000)	R/W	<p>プリアンプル品質予測器の閾値。プリアンプル品質予測器は、前のビットと異なるビットを受信するたびに内部カウンタを1だけ増加し、最後のビットと同じビットを受信するたびに内部カウンタを8だけ減ずる。</p> <p>このカウンタの4 × PQTの閾値は、シンク・ワード検出をゲートするのに使用される。PQT = 0の場合、シンク・ワードは常に受け入れられる。</p>										
4	予約	0	R0											
3	CRC_AUTOFLUSH	0	R/W	<p>CRCがOKでないとき、RX FIFOの自動フラッシュをイネーブルにする。これには、RX FIFOに1パケットだけがあることと、パケット長がRX FIFOサイズに限定されることが必要である。</p> <p>CRC自動フラッシュ機能が正常に動作するには、PKTCTRL0.CC2400_EN = 0 (デフォルト) であること。</p>										
2	APPEND_STATUS	1	R/W	これがイネーブルの場合、2ステータス・バイトがパケットのペイロードに追加される。この2ステータス・バイトには、CRC OKフラグとともにRSSIおよびLQI値が含まれる。										
1:0	ADR_CHK[1:0]	0 (00)	R/W	<p>受信パッケージのアドレス・チェック構成を制御する。</p> <table><tr><th>設定</th><th>アドレス・チェック構成</th></tr><tr><td>0 (00)</td><td>アドレス・チェックなし。</td></tr><tr><td>1 (01)</td><td>アドレス・チェック、ブロードキャストなし。</td></tr><tr><td>2 (10)</td><td>アドレス・チェック、0 (0x00) ブロードキャスト。</td></tr><tr><td>3 (11)</td><td>アドレス・チェック、0 (0x00) ブロードキャスト、255 (0xFF) ブロードキャスト。</td></tr></table>	設定	アドレス・チェック構成	0 (00)	アドレス・チェックなし。	1 (01)	アドレス・チェック、ブロードキャストなし。	2 (10)	アドレス・チェック、0 (0x00) ブロードキャスト。	3 (11)	アドレス・チェック、0 (0x00) ブロードキャスト、255 (0xFF) ブロードキャスト。
設定	アドレス・チェック構成													
0 (00)	アドレス・チェックなし。													
1 (01)	アドレス・チェック、ブロードキャストなし。													
2 (10)	アドレス・チェック、0 (0x00) ブロードキャスト。													
3 (11)	アドレス・チェック、0 (0x00) ブロードキャスト、255 (0xFF) ブロードキャスト。													

# 0x08 : PKTCTRL0 — パケット自動制御

ビット	フィールド名	Reset値	R/W	説明										
7	予約		R0											
6	WHITE_DATA	1	R/W	データ・拡散（ホワイトニング）のオン/オフ  0：拡散（ホワイトニング）のオフ 1：拡散（ホワイトニング）のオン  PKTCTRL0. CC2400_EN = 0（デフォルト）時のみデータ・拡散（ホワイトニング）は使用可能。										
5:4	PKT_FORMAT[1:0]	0（00）	R/W	<div>RXおよびTXデータのフォーマット。<table><tr><th>設定</th><th>パケット・フォーマット</th></tr><tr><td>0（00）</td><td>通常モード。RXおよびTXのFIFOを使用</td></tr><tr><td>1（01）</td><td>同期シリアル・モード。下位互換に使用。データはGDO0に入力。</td></tr><tr><td>2（10）</td><td>ランダムTXモード；PN9発生器でランダム・データを送信。試験に使用。RXモードで0（00）と設定し、通常モードとして動作。</td></tr><tr><td>3（11）</td><td>非同期シリアル・モード。データはGDO0に入力、または、GDO0端子のいずれかに出力。</td></tr></table></div>	設定	パケット・フォーマット	0（00）	通常モード。RXおよびTXのFIFOを使用	1（01）	同期シリアル・モード。下位互換に使用。データはGDO0に入力。	2（10）	ランダムTXモード；PN9発生器でランダム・データを送信。試験に使用。RXモードで0（00）と設定し、通常モードとして動作。	3（11）	非同期シリアル・モード。データはGDO0に入力、または、GDO0端子のいずれかに出力。
設定	パケット・フォーマット													
0（00）	通常モード。RXおよびTXのFIFOを使用													
1（01）	同期シリアル・モード。下位互換に使用。データはGDO0に入力。													
2（10）	ランダムTXモード；PN9発生器でランダム・データを送信。試験に使用。RXモードで0（00）と設定し、通常モードとして動作。													
3（11）	非同期シリアル・モード。データはGDO0に入力、または、GDO0端子のいずれかに出力。													
3	CC2400_EN	0	R/W	CC2400サポートをイネーブルにする。CC2400と同じCRCを使用する。  PKTCTRL0. CC2400_EN = 1の場合、PKTCTRL1. CRC_AUTOFLUSHを0にすること。  PKTCTRL0. CC2400_EN = 1の場合、PKTCTRL0. WHITE_DATAを0にすること。										
2	CRC_EN	1	R/W	1：TXでCRC計算、RXでCRCチェックをイネーブル。  0：TX/RXでCRCをディスエーブル。										
1:0	LENGTH_CONFIG[1:0]	1（01）	R/W	<div>パケット長を構成<table><tr><th>設定</th><th>パケット・フォーマット</th></tr><tr><td>0（00）</td><td>固定長パケット・モード。PKTLENレジスタで設定した長さ。</td></tr><tr><td>1（01）</td><td>可変長パケット・モード。シンク・ワード後の最初のバイトで指定したパケット長。</td></tr><tr><td>2（10）</td><td>無限長パケット・モード。</td></tr><tr><td>3（11）</td><td>予約。</td></tr></table></div>	設定	パケット・フォーマット	0（00）	固定長パケット・モード。PKTLENレジスタで設定した長さ。	1（01）	可変長パケット・モード。シンク・ワード後の最初のバイトで指定したパケット長。	2（10）	無限長パケット・モード。	3（11）	予約。
設定	パケット・フォーマット													
0（00）	固定長パケット・モード。PKTLENレジスタで設定した長さ。													
1（01）	可変長パケット・モード。シンク・ワード後の最初のバイトで指定したパケット長。													
2（10）	無限長パケット・モード。													
3（11）	予約。													

# 0x09 : ADDR — デバイス・アドレス

ビット	フィールド名	Reset値	R/W	説明
7:0	DEVICE_ADDR[7:0]	0 (0x00)	R/W	<p>パケットのフィルタリングに使用するアドレス。オプションのブロードキャスト・アドレスは0 (0x00) および255 (0xFF)。</p>

# 0x0A : CHANNR — チャンネル数

ビット	フィールド名	Reset値	R/W	説明
7:0	CHAN[7:0]	0 (0x00)	R/W	<p>8ビットの符号なしのチャンネル数。これはチャンネル間隔設定で乗算され、基本周波数に加算される。</p>



#### 0x0B : FSCTRL1 — 周波数シンセサイザ制御

ビット	フィールド名	Reset値	R/W	説明
7:5	予約		R0	
4:0	FREQ_IF[4:0]	15 (0x0F)	R/W	<p>RXのIF周波数。RXの基本周波数FSから減じ、復調器のデジタル複素ミキサを制御する。</p> $f_{IF} = \frac{f_{XOSC}}{2^{10}} \cdot FREQ\_IF$ <p>26.0MHzの水晶を想定、IF周波数のデフォルト値は381kHz。</p>

#### 0x0C : FSCTRL0 — 周波数シンセサイザ制御

ビット	フィールド名	Reset値	R/W	説明
7:0	FREQOFF[7:0]	0 (0x00)	R/W	<p>周波数シンセサイザで使用する前に、基本周波数に加算される周波数オフセット(2の補数)。</p> <p>分解能は<math>F_{XTAL}/2^{14}</math> (1.59 - 1.65kHz) ; 周波数範囲は<math>\pm 202\text{kHz}</math>から<math>\pm 210\text{kHz}</math>で水晶の周波数に依存する。</p>

#### 0x0D : FREQ2 — 周波数制御ワードの上位バイト

ビット	フィールド名	Reset値	R/W	説明
7:5	FREQ[23:22]	1 (01)	R	FREQ[23:22]は常にバイナリ01である(26 - 27MHz水晶で、FREQ2レジスタの範囲は85から95である)。
5:0	FREQ[21:16]	30 (0x1E)	R/W	<p>FREQ[23:0]は、周波数シンセサイザの基本周波数であり、増分は<math>F_{XOSC}/2^{16}</math>である。</p> $f_{carrier} = \frac{f_{XOSC}}{2^{16}} \cdot FREQ[0:23]$

#### 0x0E : FREQ1 — 周波数制御ワードの中位バイト

ビット	フィールド名	Reset値	R/W	説明
7:0	FREQ[15:8]	196 (0xC4)	R/W	FREQ2レジスタを参照。

#### 0x0F : FREQ0 — 周波数制御ワードの下位バイト

ビット	フィールド名	Reset値	R/W	説明
7:0	FREQ[7:0]	236 (0xEC)	R/W	FREQ2レジスタを参照。

#### 0x10 : MDMCFG4 — 変調器の設定

ビット	フィールド名	Reset値	R/W	説明
7:6	CHANBW_E[1:0]	2 (10)	R/W	
5:4	CHANBW_M[1:0]	0 (00)	R/W	<p>チャンネル帯域幅となる、デルタ-シグマADC入カストリームのデシメーション比の設定。</p> $BW_{channel} = \frac{f_{XOSC}}{8 \cdot (4 + CHANBW\_M) \cdot 2^{CHANBW\_E}}$ <p>26.0MHz水晶を想定、デフォルト値はチャンネル・フィルタ帯域幅203kHz。</p>
3:0	DRATE_E[3:0]	12 (1100)	R/W	ユーザ定義のシンボル・レートの指数。

#### 0x11 : MDMCFG3 — 変調器の設定

ビット	フィールド名	Reset値	R/W	説明
7:0	DRATE_M[7:0]	34 (0x22)	R/W	<p>ユーザ定義のシンボル・レートの仮数。シンボル・レートは、9ビットの仮数と4ビットの指数の、無符号の浮動小数点数で設定される。9番目のビットは隠れた1である。 以上の結果、データ・レートは：</p> $R_{DATA} = \frac{(256 + DRATE\_M) \cdot 2^{DRATE\_E}}{2^{28}} \cdot f_{XOSC}$ <p>データ・レートのデフォルト値は、26.0MHz水晶として、115.051kBaud (115.2 kBaudに最も近い設定)。</p>

## 0x12 : MDMCFG2 — 変調器の設定

ビット	フィールド名	Reset値	R/W	説明																		
7	DEM_DCFILT_OFF	0	R/W	復調器の前のデジタルDCブロッキング・フィルタをディスエーブル。  0 = イネーブル (高感度)。  1 = ディスエーブル (電流の最適化)。データ・レート ≤250 kBaudの場合のみ適用。  DCブロッキングがディスエーブルの場合、推奨するIF周波数は変化する。 適正化なレジスタ設定の算出には、SmartRF® Studioソフトウェアを使用してください。																		
6:4	MOD_FORMAT[2:0]	0 (000)	R/W	無線信号の変調フォーマット <table><tr><th>設定</th><th>変調フォーマット</th></tr><tr><td>0 (000)</td><td>2-FSK</td></tr><tr><td>1 (001)</td><td>GFSK</td></tr><tr><td>2 (010)</td><td>-</td></tr><tr><td>3 (011)</td><td>OOK</td></tr><tr><td>4 (100)</td><td>-</td></tr><tr><td>5 (101)</td><td>-</td></tr><tr><td>6 (110)</td><td>-</td></tr><tr><td>7 (111)</td><td>MSK</td></tr></table>	設定	変調フォーマット	0 (000)	2-FSK	1 (001)	GFSK	2 (010)	-	3 (011)	OOK	4 (100)	-	5 (101)	-	6 (110)	-	7 (111)	MSK
設定	変調フォーマット																					
0 (000)	2-FSK																					
1 (001)	GFSK																					
2 (010)	-																					
3 (011)	OOK																					
4 (100)	-																					
5 (101)	-																					
6 (110)	-																					
7 (111)	MSK																					
3	MANCHESTER_EN	0	R/W	マンチェスタ符号化/復号化のイネーブル。  0 = ディスエーブル  1 = イネーブル																		
2:0	SYNC_MODE[2:0]	2 (010)	R/W	組み合わせシンク・ワード適正判定モード。  値0 (000) と4 (100) により、TX時のプリアンプルとシンク・ワードの送信、およびRX時のプリアンプルとシンク・ワード検出をディスエーブル。  値1 (001)、2 (010)、5 (101) および6 (110) により、TX時の16ビット・シンク・ワードの送信、およびRX時の16ビット・シンク・ワードの検出をイネーブル。設定1 (001) と5 (101) をRXで使用する場合、16ビット中の15ビットだけが比較に必要です。 値3 (011) と7 (111) により、TX時の繰り返しシンク・ワードの送信、およびRX時の32ビット・シンク・ワードの検出をイネーブル (32ビット中の30ビットだけが比較に必要です)。 <table><tr><th>設定</th><th>シンク・ワード適正判定モード</th></tr><tr><td>0 (000)</td><td>プリアンプル/シンクなし</td></tr><tr><td>1 (001)</td><td>15/16 シンク・ワード・ビット検出</td></tr><tr><td>2 (010)</td><td>16/16 シンク・ワード・ビット検出</td></tr><tr><td>3 (011)</td><td>30/32 シンク・ワード・ビット検出</td></tr><tr><td>4 (100)</td><td>プリアンプル/シンクなし、閾値を超えるキャリア検知</td></tr><tr><td>5 (101)</td><td>15/16 + 閾値を超えるキャリア検知</td></tr><tr><td>6 (110)</td><td>16/16 + 閾値を超えるキャリア検知</td></tr><tr><td>7 (111)</td><td>30/32 + 閾値を超えるキャリア検知</td></tr></table>	設定	シンク・ワード適正判定モード	0 (000)	プリアンプル/シンクなし	1 (001)	15/16 シンク・ワード・ビット検出	2 (010)	16/16 シンク・ワード・ビット検出	3 (011)	30/32 シンク・ワード・ビット検出	4 (100)	プリアンプル/シンクなし、閾値を超えるキャリア検知	5 (101)	15/16 + 閾値を超えるキャリア検知	6 (110)	16/16 + 閾値を超えるキャリア検知	7 (111)	30/32 + 閾値を超えるキャリア検知
設定	シンク・ワード適正判定モード																					
0 (000)	プリアンプル/シンクなし																					
1 (001)	15/16 シンク・ワード・ビット検出																					
2 (010)	16/16 シンク・ワード・ビット検出																					
3 (011)	30/32 シンク・ワード・ビット検出																					
4 (100)	プリアンプル/シンクなし、閾値を超えるキャリア検知																					
5 (101)	15/16 + 閾値を超えるキャリア検知																					
6 (110)	16/16 + 閾値を超えるキャリア検知																					
7 (111)	30/32 + 閾値を超えるキャリア検知																					

# 0x13：MDMCFG1 — 変調器の設定

ビット	フィールド名	Reset値	R/W	説明																		
7	FEC_EN	0	R/W	パケット・ペイロードのインターリーピングによる前方誤り訂正 (FEC) をイネーブルする。  0 = ディスエーブル  1 = イネーブル (固定長パケット・モード PKTCTRL0.LENGTH_CONFIG = 0のみサポート)																		
6:4	NUM_PREAMBLE[2:0]	2 (010)	R/W	送信する最小プリアンブル・バイト数を設定する。 <table><tr><th>設定</th><th>プリアンブル・バイト数</th></tr><tr><td>0 (000)</td><td>2</td></tr><tr><td>1 (001)</td><td>3</td></tr><tr><td>2 (010)</td><td>4</td></tr><tr><td>3 (011)</td><td>6</td></tr><tr><td>4 (100)</td><td>8</td></tr><tr><td>5 (101)</td><td>12</td></tr><tr><td>6 (110)</td><td>16</td></tr><tr><td>7 (111)</td><td>24</td></tr></table>	設定	プリアンブル・バイト数	0 (000)	2	1 (001)	3	2 (010)	4	3 (011)	6	4 (100)	8	5 (101)	12	6 (110)	16	7 (111)	24
設定	プリアンブル・バイト数																					
0 (000)	2																					
1 (001)	3																					
2 (010)	4																					
3 (011)	6																					
4 (100)	8																					
5 (101)	12																					
6 (110)	16																					
7 (111)	24																					
3:2	予約		R0																			
1:0	CHANSPC_E[1:0]	2 (10)	R/W	チャンネル間隔の2ビットの指数。																		

# 0x14：MDMCFG0 — 変調器の設定

ビット	フィールド名	Reset値	R/W	説明
7:0	CHANSPC_M[7:0]	248 (0xF8)	R/W	<p>チャンネル間隔の8ビットの仮数。チャンネル間隔はチャンネル数 CHAN を乗算し、基本周波数に加算する。無符号であり、次式になる。</p> $\Delta f_{\text{CHANNEL}} = \frac{f_{\text{XOSC}}}{2^{18}} \cdot (256 + \text{CHANSPC\_M}) \cdot 2^{\text{CHANSPC\_E}}$ <p>デフォルト値は、水晶周波数が 26.0MHz として、チャンネル間隔 199.951kHz (最も 200kHz に近い設定)。</p>

# 0x15 : DEVIATN — 変調器偏移の設定

ビット	フィールド名	Reset値	R/W	説明
7	予約		R0	
6:4	DEVIATION_E[2:0]	4 (100)	R/W	偏移の指数。
3	予約		R0	
2:0	DEVIATION_M[2:0]	7 (111)	R/W	<p>MSK変調がイネーブルの場合：</p> <p>位相変化に使用されるシンボル周期の比率を設定する。 MSK使用時に正しくDEVIATNを設定するには、SmartRF® Studioソフト・ウェアを参照してください。</p> <p>2FSK/GFSK変調がイネーブルの場合：</p> <p>偏移の仮数であり、MSBに1が隠れている4ビット値として解釈される。その結果、偏移は次式になる。</p> $f_{dev} = \frac{f_{XOSC}}{2^{17}} \cdot (8 + DEVIATION\_M) \cdot 2^{DEVIATION\_E}$ <p>デフォルト値は、水晶周波数26.0MHzとして、偏移±47.607kHz。</p>

# 0x16：MCSM2－メイン無線制御ステート・マシンの設定

ビット	フィールド名	Reset値	R/W	説明
7:5	予約		R0	予約
4	RX_TIME_RSSI	0	R/W	RSSI測定 (キャリア検知) の直接RX終了。
3	RX_TIME_QUAL	0	R/W	RX_TIMEタイマが満了のとき、RX_TIME_QUAL = 0かつ、シンク・ワードを検出した、またはRX_TIME_QUAL = 1かつシンク・ワードを検出するか、PQTが設定された場合。デバイスはRXモードに留まる。
2:0	RX_TIME[2:0]	7 (111)	R/W	RX動作中、WORモードおよび通常動作でのシンク・ワード検索タイム・アウト。このタイム・アウトは、EVENT0にプログラミングされたタイム・アウトを参照する。

RXタイム・アウトは、EVENT0・C (RX\_TIME、WOR\_RES) ・26/Xによりμs単位で与えられる。  
Cは下表から与えられる。XはMHz単位の水晶の発振周波数。

RX_TIME[2:0]	WOR_RES = 0	WOR_RES = 1	WOR_RES = 2	WOR_RES = 3
0 (000)	3.6058	18.0288	32.4519	46.8750
1 (001)	1.8029	9.0144	16.2260	23.4375
2 (010)	0.9014	4.5072	8.1130	11.7188
3 (011)	0.4507	2.2536	4.0565	5.8594
4 (100)	0.2254	1.1268	2.0282	2.9297
5 (101)	0.1127	0.5634	1.0141	1.4648
6 (110)	0.0563	0.2817	0.5071	0.7324
7 (111)	Until end of packet			

例) EVENT0 = 34666、WOR\_RES = 0、RX\_TIME = 6のとき、RXタイム・アウト1.95ms、ポーリング間隔1秒、デューティ・サイクル0.195%。注意、WOR使用時、WOR\_RES > 1の場合に非常に低いデューティ・サイクルになるため、WOR\_RESを0または1にする。WORを使用しないアプリケーションでは、WOR\_RESの設定はすべて使用できる。

WOR使用時のデューティ・サイクルは、およそ下表の通りである。

RX_TIME[2:0]	WOR_RES = 0	WOR_RES = 1
0 (000)	12.50%	1.95%
1 (001)	6.250%	9765 ppm
2 (010)	3.125%	4883 ppm
3 (011)	1.563%	2441 ppm
4 (100)	0.781%	NA
5 (101)	0.391%	NA
6 (110)	0.195%	NA
7 (111)	NA	

注意：タイム・アウトにはRC発振器の周期をカウントするので、設定0 ～ 6を使用するためにRC発振器は必ずイネーブルにする。  
WORモードをイネーブルにする必要はない。タイムアウト・カウンタの分解能は、以下のように制限される。  
RX\_TIME = 0の場合、タイムアウト・カウンタはEVENT0の13MSBで与えられ、EVENT0の7MSBで与えられるRX\_TIME = 6の場合まで減少する。

# 0x17：MCSM1 — メイン無線制御ステート・マシンの設定

ビット	フィールド名	Reset値	R/W	説明										
7:6	予約		R0											
5:4	CCA_MODE[1:0]	3 (11)	R/W	<div>CCA_MODEを選択する。CCA信号に反映される。</div> <table><tr><th>設定</th><th>クリア・チャンネル表示</th></tr><tr><td>0 (00)</td><td>常時</td></tr><tr><td>1 (01)</td><td>RSSIが閾値を下回る場合</td></tr><tr><td>2 (10)</td><td>パケット受信中でない場合</td></tr><tr><td>3 (11)</td><td>RSSIが閾値を下回り、パケット受信中でない場合</td></tr></table>	設定	クリア・チャンネル表示	0 (00)	常時	1 (01)	RSSIが閾値を下回る場合	2 (10)	パケット受信中でない場合	3 (11)	RSSIが閾値を下回り、パケット受信中でない場合
設定	クリア・チャンネル表示													
0 (00)	常時													
1 (01)	RSSIが閾値を下回る場合													
2 (10)	パケット受信中でない場合													
3 (11)	RSSIが閾値を下回り、パケット受信中でない場合													
3:2	RXOFF_MODE[1:0]	0 (00)	R/W	<div>パケット受信後の状態を選択する。</div> <table><tr><th>設定</th><th>パケット受信終了後の次の状態</th></tr><tr><td>0 (00)</td><td>IDLE</td></tr><tr><td>1 (01)</td><td>FSTXON</td></tr><tr><td>2 (10)</td><td>TX</td></tr><tr><td>3 (11)</td><td>RXに留まる</td></tr></table> <div>CCAの使用と同時に、RXOFF_MODEをTXまたはFSTXONに設定はできない。</div>	設定	パケット受信終了後の次の状態	0 (00)	IDLE	1 (01)	FSTXON	2 (10)	TX	3 (11)	RXに留まる
設定	パケット受信終了後の次の状態													
0 (00)	IDLE													
1 (01)	FSTXON													
2 (10)	TX													
3 (11)	RXに留まる													
1:0	TXOFF_MODE[1:0]	0 (00)	R/W	<div>パケット送信 (TX) 後の状態を選択する。</div> <table><tr><th>設定</th><th>パケット受信終了後の次の状態</th></tr><tr><td>0 (00)</td><td>IDLE</td></tr><tr><td>1 (01)</td><td>FSTXON</td></tr><tr><td>2 (10)</td><td>TXに留まる (プリアンプルの送信開始)</td></tr><tr><td>3 (11)</td><td>RX</td></tr></table>	設定	パケット受信終了後の次の状態	0 (00)	IDLE	1 (01)	FSTXON	2 (10)	TXに留まる (プリアンプルの送信開始)	3 (11)	RX
設定	パケット受信終了後の次の状態													
0 (00)	IDLE													
1 (01)	FSTXON													
2 (10)	TXに留まる (プリアンプルの送信開始)													
3 (11)	RX													

# 0x18：MCSM0－メイン無線制御ステート・マシンの設定

ビット	フィールド名	Reset値	R/W	説明															
7:6	予約		R0																
5:4	FS_AUTOCAL[1:0]	0 (00)	R/W	<div>RX/TXへ遷移、またはIDLEへ戻るときに自動較正。</div> <table><tr><td>設定</td><td>いつ自動較正するか</td></tr><tr><td>0 (00)</td><td>しない (SCALストロープにより手動で較正する)</td></tr><tr><td>1 (01)</td><td>IDLEからRXまたはTX (またはFSTXON) への遷移時</td></tr><tr><td>2 (10)</td><td>RXまたはTXからIDLEへ自動的に戻るとき</td></tr><tr><td>3 (11)</td><td>RXまたはTXからIDLEへ自動的に戻る4回ごとに</td></tr></table> <div>自動ウェーク・オン・ラジオ (WOR) アプリケーションには、設定3 (11) を使用すると電流消費が大幅に削減できるものがある。</div>	設定	いつ自動較正するか	0 (00)	しない (SCALストロープにより手動で較正する)	1 (01)	IDLEからRXまたはTX (またはFSTXON) への遷移時	2 (10)	RXまたはTXからIDLEへ自動的に戻るとき	3 (11)	RXまたはTXからIDLEへ自動的に戻る4回ごとに					
設定	いつ自動較正するか																		
0 (00)	しない (SCALストロープにより手動で較正する)																		
1 (01)	IDLEからRXまたはTX (またはFSTXON) への遷移時																		
2 (10)	RXまたはTXからIDLEへ自動的に戻るとき																		
3 (11)	RXまたはTXからIDLEへ自動的に戻る4回ごとに																		
3:2	PO_TIMEOUT	1 (01)	R/W	<div>XOSCが安定した後、CHP_RDYnが“Low”になるまでの時間を、6ビットのリップル・カウンタが満了しなければならない回数でプログラミングする。</div> <div>パワー・ダウン中にXOSCがオン (安定) したとき、CHP_RDYnが“Low”になる前にデジタル電源電圧の安定に要する時間をPO_TIMEOUTに設定 (PO_TIMEOUT = 2を推奨する) する。電圧レギュレータの標準的なスタート・アップ時間は50μsである。</div> <div>XOSCがパワー・ダウンの間でオフであり、水晶の安定待ちの時間が、デジタル電源電圧の安定に十分な時間である場合、PO_TIMEOUTは0に設定できる。堅実な動作をするには、PO_TIMEOUT = 2を推奨。</div> <table><tr><td>設定</td><td>カウント満了</td><td>XOSC スタート後</td></tr><tr><td>0 (00)</td><td>1</td><td>Approx. 2.3 - 2.4 μs</td></tr><tr><td>1 (01)</td><td>16</td><td>Approx. 37 - 39 μs</td></tr><tr><td>2 (10)</td><td>64</td><td>Approx. 149 - 155 μs</td></tr><tr><td>3 (11)</td><td>256</td><td>Approx. 597 - 620 μs</td></tr></table> <div>正確なタイム・アウトは水晶周波数に依存。</div>	設定	カウント満了	XOSC スタート後	0 (00)	1	Approx. 2.3 - 2.4 μs	1 (01)	16	Approx. 37 - 39 μs	2 (10)	64	Approx. 149 - 155 μs	3 (11)	256	Approx. 597 - 620 μs
設定	カウント満了	XOSC スタート後																	
0 (00)	1	Approx. 2.3 - 2.4 μs																	
1 (01)	16	Approx. 37 - 39 μs																	
2 (10)	64	Approx. 149 - 155 μs																	
3 (11)	256	Approx. 597 - 620 μs																	
1	PIN_CTRL_EN	0	R/W	端子による無線制御オプションをイネーブルする。															
0	XOSC_FORCE_ON	0	R/W	SLEEP状態でXOSCを強制オン。															



# 0x19 : FOCCFG — 周波数オフセット補償の設定

ビット	フィールド名	Reset値	R/W	説明										
7:6	予約		R0											
5	FOC_BS_CS_GATE	1	R/W	これを設定すると、CARRIER_SENSE信号が“High”になるまで、復調器は周波数オフセット補償およびクロック修復フィードバックループをフリーズする。										
4:3	FOC_PRE_K[1:0]	2 (10)	R/W	シンク・ワード検出の前に使用する周波数補償ループ・ゲイン。 <table><tr><th>設定</th><th>シンク・ワード検出前の周波数補償ループ・ゲイン</th></tr><tr><td>0 (00)</td><td><math>K</math></td></tr><tr><td>1 (01)</td><td><math>2K</math></td></tr><tr><td>2 (10)</td><td><math>3K</math></td></tr><tr><td>3 (11)</td><td><math>4K</math></td></tr></table>	設定	シンク・ワード検出前の周波数補償ループ・ゲイン	0 (00)	$K$	1 (01)	$2K$	2 (10)	$3K$	3 (11)	$4K$
設定	シンク・ワード検出前の周波数補償ループ・ゲイン													
0 (00)	$K$													
1 (01)	$2K$													
2 (10)	$3K$													
3 (11)	$4K$													
2	FOC_POST_K	1	R/W	シンク・ワード検出の後に使用する周波数補償ループ・ゲイン。 <table><tr><th>設定</th><th>シンク・ワード後の周波数補償ループ・ゲイン</th></tr><tr><td>0</td><td>FOC_PRE_Kと同じ</td></tr><tr><td>1</td><td><math>K/2</math></td></tr></table>	設定	シンク・ワード後の周波数補償ループ・ゲイン	0	FOC_PRE_Kと同じ	1	$K/2$				
設定	シンク・ワード後の周波数補償ループ・ゲイン													
0	FOC_PRE_Kと同じ													
1	$K/2$													
1:0	FOC_LIMIT[1:0]	2 (10)	R/W	周波数オフセット補償アルゴリズムの飽和点。 <table><tr><th>設定</th><th>飽和点 (最大補償オフセット)</th></tr><tr><td>0 (00)</td><td><math>\pm 0</math> (周波数オフセット補償をしない)</td></tr><tr><td>1 (01)</td><td><math>\pm BW_{\text{CHAN}}/8</math></td></tr><tr><td>2 (10)</td><td><math>\pm BW_{\text{CHAN}}/4</math></td></tr><tr><td>3 (11)</td><td><math>\pm BW_{\text{CHAN}}/2</math></td></tr></table> <p>周波数オフセット補償は、OOKをサポートしていません。この変調フォーマットは、常にFOC_LIMIT = 0で使用する。</p>	設定	飽和点 (最大補償オフセット)	0 (00)	$\pm 0$ (周波数オフセット補償をしない)	1 (01)	$\pm BW_{\text{CHAN}}/8$	2 (10)	$\pm BW_{\text{CHAN}}/4$	3 (11)	$\pm BW_{\text{CHAN}}/2$
設定	飽和点 (最大補償オフセット)													
0 (00)	$\pm 0$ (周波数オフセット補償をしない)													
1 (01)	$\pm BW_{\text{CHAN}}/8$													
2 (10)	$\pm BW_{\text{CHAN}}/4$													
3 (11)	$\pm BW_{\text{CHAN}}/2$													

## 0x1A : BSCFG — ビット同期の設定

ビット	フィールド名	Reset値	R/W	説明						
7:6	BS_PRE_KI[1:0]	1 (01)	R/W	シンク・ワード検出前に使用するクロック修復フィード・バック・ループ積分ゲイン（データ・レートのオフセット補正に使用する）。						
				<table><tr><th>設定</th><th>シンク・ワード検出前のクロック修復ループ積分ゲイン</th></tr><tr><td>0 (00)</td><td><math>K_I</math></td></tr><tr><td>1 (01)</td><td><math>2K_I</math></td></tr><tr><td>2 (10)</td><td><math>3K_I</math></td></tr><tr><td>3 (11)</td><td><math>4K_I</math></td></tr></table>	設定	シンク・ワード検出前のクロック修復ループ積分ゲイン	0 (00)	$K_I$	1 (01)	$2K_I$
設定	シンク・ワード検出前のクロック修復ループ積分ゲイン									
0 (00)	$K_I$									
1 (01)	$2K_I$									
2 (10)	$3K_I$									
3 (11)	$4K_I$									
5:4	BS_PRE_KP[1:0]	2 (10)	R/W	シンク・ワード検出前に使用するクロック修復フィード・バック・ループ比例ゲイン。						
				<table><tr><th>設定</th><th>シンク・ワード検出前のクロック修復ループ積分ゲイン</th></tr><tr><td>0 (00)</td><td><math>K_P</math></td></tr><tr><td>1 (01)</td><td><math>2K_P</math></td></tr><tr><td>2 (10)</td><td><math>3K_P</math></td></tr><tr><td>3 (11)</td><td><math>4K_P</math></td></tr></table>	設定	シンク・ワード検出前のクロック修復ループ積分ゲイン	0 (00)	$K_P$	1 (01)	$2K_P$
設定	シンク・ワード検出前のクロック修復ループ積分ゲイン									
0 (00)	$K_P$									
1 (01)	$2K_P$									
2 (10)	$3K_P$									
3 (11)	$4K_P$									
3	BS_POST_KI	1	R/W	シンク・ワード検出後に使用されるクロック修復フィード・バック・ループ積分ゲイン。						
				<table><tr><th>設定</th><th>シンク・ワード検出後のクロック修復ループ積分ゲイン</th></tr><tr><td>0</td><td>Same as BS_PRE_KI</td></tr><tr><td>1</td><td><math>K_I/2</math></td></tr></table>	設定	シンク・ワード検出後のクロック修復ループ積分ゲイン	0	Same as BS_PRE_KI	1	$K_I/2$
設定	シンク・ワード検出後のクロック修復ループ積分ゲイン									
0	Same as BS_PRE_KI									
1	$K_I/2$									
2	BS_POST_KP	1	R/W	シンク・ワード検出後に使用されるクロック修復フィード・バック・ループ比例ゲイン。						
				<table><tr><th>設定</th><th>シンク・ワード検出後のクロック修復ループ比例ゲイン</th></tr><tr><td>0</td><td>Same as BS_PRE_KP に同じ</td></tr><tr><td>1</td><td><math>K_P</math></td></tr></table>	設定	シンク・ワード検出後のクロック修復ループ比例ゲイン	0	Same as BS_PRE_KP に同じ	1	$K_P$
設定	シンク・ワード検出後のクロック修復ループ比例ゲイン									
0	Same as BS_PRE_KP に同じ									
1	$K_P$									
1:0	BS_LIMIT[1:0]	0 (00)	R/W	データ・レート・オフセット補償アルゴリズムの飽和点。						
				<table><tr><th>設定</th><th>データ・レート・オフセットの飽和（最大データ・レート差）</th></tr><tr><td>0 (00)</td><td><math>\pm 0</math>（データ・レート・オフセットの補償無し）</td></tr><tr><td>1 (01)</td><td><math>\pm 3.125\%</math> データ・レート・オフセット</td></tr><tr><td>2 (10)</td><td><math>\pm 6.25\%</math> データ・レート・オフセット</td></tr><tr><td>3 (11)</td><td><math>\pm 12.5\%</math> データ・レート・オフセット</td></tr></table>	設定	データ・レート・オフセットの飽和（最大データ・レート差）	0 (00)	$\pm 0$ （データ・レート・オフセットの補償無し）	1 (01)	$\pm 3.125\%$ データ・レート・オフセット
設定	データ・レート・オフセットの飽和（最大データ・レート差）									
0 (00)	$\pm 0$ （データ・レート・オフセットの補償無し）									
1 (01)	$\pm 3.125\%$ データ・レート・オフセット									
2 (10)	$\pm 6.25\%$ データ・レート・オフセット									
3 (11)	$\pm 12.5\%$ データ・レート・オフセット									

## 0x1B : AGCCTRL2 — AGC制御

ビット	フィールド名	Reset値	R/W	説明																		
7:6	MAX_DVGA_GAIN[1:0]	0 (00)	R/W	<div>最大許容DVGAゲインの低減。</div> <table><tr><th>設定</th><th>許容DVGA設定</th></tr><tr><td>0 (00)</td><td>すべてのゲイン設定が使用可</td></tr><tr><td>1 (01)</td><td>最大ゲイン設定は使用不可</td></tr><tr><td>2 (10)</td><td>最大から2番目までのゲイン設定は使用不可</td></tr><tr><td>3 (11)</td><td>最大から3番目までのゲイン設定は使用不可</td></tr></table>	設定	許容DVGA設定	0 (00)	すべてのゲイン設定が使用可	1 (01)	最大ゲイン設定は使用不可	2 (10)	最大から2番目までのゲイン設定は使用不可	3 (11)	最大から3番目までのゲイン設定は使用不可								
設定	許容DVGA設定																					
0 (00)	すべてのゲイン設定が使用可																					
1 (01)	最大ゲイン設定は使用不可																					
2 (10)	最大から2番目までのゲイン設定は使用不可																					
3 (11)	最大から3番目までのゲイン設定は使用不可																					
5:3	MAX_LNA_GAIN[2:0]	0 (000)	R/W	<div>最大可能ゲインを基準にして、LNA + LNA2の最大許容ゲインを設定。</div> <table><tr><th>設定</th><th>最大許容LNA + LNA2ゲイン</th></tr><tr><td>0 (000)</td><td>最大可能LNA + LNA2ゲイン</td></tr><tr><td>1 (001)</td><td>最大可能ゲインから約2.6dB下回る</td></tr><tr><td>2 (010)</td><td>最大可能ゲインから約6.1dB下回る</td></tr><tr><td>3 (011)</td><td>最大可能ゲインから約7.4dB下回る</td></tr><tr><td>4 (100)</td><td>最大可能ゲインから約9.2dB下回る</td></tr><tr><td>5 (101)</td><td>最大可能ゲインから約11.5dB下回る</td></tr><tr><td>6 (110)</td><td>最大可能ゲインから約14.6dB下回る</td></tr><tr><td>7 (111)</td><td>最大可能ゲインから約17.1dB下回る</td></tr></table>	設定	最大許容LNA + LNA2ゲイン	0 (000)	最大可能LNA + LNA2ゲイン	1 (001)	最大可能ゲインから約2.6dB下回る	2 (010)	最大可能ゲインから約6.1dB下回る	3 (011)	最大可能ゲインから約7.4dB下回る	4 (100)	最大可能ゲインから約9.2dB下回る	5 (101)	最大可能ゲインから約11.5dB下回る	6 (110)	最大可能ゲインから約14.6dB下回る	7 (111)	最大可能ゲインから約17.1dB下回る
設定	最大許容LNA + LNA2ゲイン																					
0 (000)	最大可能LNA + LNA2ゲイン																					
1 (001)	最大可能ゲインから約2.6dB下回る																					
2 (010)	最大可能ゲインから約6.1dB下回る																					
3 (011)	最大可能ゲインから約7.4dB下回る																					
4 (100)	最大可能ゲインから約9.2dB下回る																					
5 (101)	最大可能ゲインから約11.5dB下回る																					
6 (110)	最大可能ゲインから約14.6dB下回る																					
7 (111)	最大可能ゲインから約17.1dB下回る																					
2:0	MAGN_TARGET[2:0]	3 (011)	R/W	<div>これらのビットにより、デジタル・チャネル・フィルタからの平均振幅の目標値を設定する。</div> <table><tr><th>設定</th><th>チャネル・フィルタからの目標振幅</th></tr><tr><td>0 (000)</td><td>24 dB</td></tr><tr><td>1 (001)</td><td>27 dB</td></tr><tr><td>2 (010)</td><td>30 dB</td></tr><tr><td>3 (011)</td><td>33 dB</td></tr><tr><td>4 (100)</td><td>36 dB</td></tr><tr><td>5 (101)</td><td>38 dB</td></tr><tr><td>6 (110)</td><td>40 dB</td></tr><tr><td>7 (111)</td><td>42 dB</td></tr></table>	設定	チャネル・フィルタからの目標振幅	0 (000)	24 dB	1 (001)	27 dB	2 (010)	30 dB	3 (011)	33 dB	4 (100)	36 dB	5 (101)	38 dB	6 (110)	40 dB	7 (111)	42 dB
設定	チャネル・フィルタからの目標振幅																					
0 (000)	24 dB																					
1 (001)	27 dB																					
2 (010)	30 dB																					
3 (011)	33 dB																					
4 (100)	36 dB																					
5 (101)	38 dB																					
6 (110)	40 dB																					
7 (111)	42 dB																					

ビット	フィールド名	Reset値	R/W	説明																		
7	予約		R0																			
6	AGC_LNA_PRIORITY	1	R/W	LNAおよびLNA2のゲイン調整手法の選択。1の場合、初めにLNAゲインを低減する。0の場合、LNAゲインを低減する前に、LNA2ゲインを最小値に低減する。																		
5:4	CARRIER_SENSE_REL_THR[1:0]	0 (00)	R/W	<div>キャリア検知をアサートする相対閾値の設定。</div> <table><tr><th>設定</th><th>キャリア検知の相対閾値</th></tr><tr><td>0 (00)</td><td>相対キャリア検知閾値をディスエーブル</td></tr><tr><td>1 (01)</td><td>RSSI値を6dB増加</td></tr><tr><td>2 (10)</td><td>RSSI値を10dB増加</td></tr><tr><td>3 (11)</td><td>RSSI値を14dB増加</td></tr></table>	設定	キャリア検知の相対閾値	0 (00)	相対キャリア検知閾値をディスエーブル	1 (01)	RSSI値を6dB増加	2 (10)	RSSI値を10dB増加	3 (11)	RSSI値を14dB増加								
設定	キャリア検知の相対閾値																					
0 (00)	相対キャリア検知閾値をディスエーブル																					
1 (01)	RSSI値を6dB増加																					
2 (10)	RSSI値を10dB増加																					
3 (11)	RSSI値を14dB増加																					
3:0	CARRIER_SENSE_ABS_THR[3:0]	0 (0000)	R/W	<div>符号付き2の補数形式の閾値を、MAGN_TARGET設定を基準にして1dBステップでプログラミングする。</div> <table><tr><th>設定</th><th>キャリア検知の絶対閾値  (AGCゲインが低減されていないときの チャンネル・フィルタ振幅と等価)</th></tr><tr><td>−8 (1000)</td><td>絶対キャリア検知閾値をディスエーブル</td></tr><tr><td>−7 (1001)</td><td>MAGN_TARGET設定を7dB下回る</td></tr><tr><td>...</td><td>...</td></tr><tr><td>−1 (1111)</td><td>MAGN_TARGET設定を1dB下回る</td></tr><tr><td>0 (0000)</td><td>MAGN_TARGET設定に等しい</td></tr><tr><td>1 (0001)</td><td>MAGN_TARGET設定を1dB上回る</td></tr><tr><td>...</td><td>...</td></tr><tr><td>7 (0111)</td><td>MAGN_TARGET設定を7dB上回る</td></tr></table>	設定	キャリア検知の絶対閾値  (AGCゲインが低減されていないときの チャンネル・フィルタ振幅と等価)	−8 (1000)	絶対キャリア検知閾値をディスエーブル	−7 (1001)	MAGN_TARGET設定を7dB下回る	...	...	−1 (1111)	MAGN_TARGET設定を1dB下回る	0 (0000)	MAGN_TARGET設定に等しい	1 (0001)	MAGN_TARGET設定を1dB上回る	...	...	7 (0111)	MAGN_TARGET設定を7dB上回る
設定	キャリア検知の絶対閾値  (AGCゲインが低減されていないときの チャンネル・フィルタ振幅と等価)																					
−8 (1000)	絶対キャリア検知閾値をディスエーブル																					
−7 (1001)	MAGN_TARGET設定を7dB下回る																					
...	...																					
−1 (1111)	MAGN_TARGET設定を1dB下回る																					
0 (0000)	MAGN_TARGET設定に等しい																					
1 (0001)	MAGN_TARGET設定を1dB上回る																					
...	...																					
7 (0111)	MAGN_TARGET設定を7dB上回る																					

# 0x1D : AGCCTRL0 — AGC制御

ビット	フィールド名	Reset値	R/W	説明		
7:6	HYST_LEVEL[1:0]	2 (10)	R/W	信号強度変化に対するヒステリシス・レベルを設定（ゲインを決定する内部AGC信号）。		
				設定	説明	
				0 (00)	ヒステリシス無し、狭不感域、高ゲイン	
				1 (01)	ヒステリシス小、小不感域、中ゲイン	
				2 (10)	ヒステリシス中、中不感域、中ゲイン	
3 (11)	ヒステリシス大、広不感域、低ゲイン					
5:4	WAIT_TIME[1:0]	1 (01)	R/W	AGCアルゴリズムがゲイン調整を行ってから、新たにサンプルの蓄積を開始するまでの、チャンネル・フィルタ・サンプル数を設定。		
				設定	チャンネル・フィルタ    サンプル数	
				0 (00)	8	
				1 (01)	16	
				2 (10)	24	
3 (11)	32					
3:2	AGC_FREEZE[1:0]	0 (00)	R/W	AGCがゲイン制御を停止する時期。		
				設定	機能	
				0 (00)	通常動作。要求応じ常にゲインを調整。	
				1 (01)	シンク・ワードの検出でゲインを固定。	
				2 (10)	アナログ・ゲイン設定を手動で停止し、デジタル・ゲインの調整を続ける。	
3 (11)	アナログ、デジタルの両ゲイン設定を手動で停止する。手動でゲインをオーバーライドする場合に使用する。					
1:0	FILTER_LENGTH[1:0]	1 (01)	R/W	チャンネル・フィルタからの振幅の平均値を設定する。 OOK受信のOOK判定境界を設定する。		
				設定	チャンネル・フィルタ    サンプル数	OOK    判定境界
				0 (00)	8	4 dB
				1 (01)	16	8 dB
				2 (10)	32	12 dB
3 (11)	64	16 dB				

# 0x1E : WOREVT1 — EVENT0タイム・アウトの上位バイト

ビット	フィールド名	Reset値	R/W	説明
7:0	EVENT0[15:8]	135 (0x87)	R/W	<p>EVENT0タイムアウト・レジスタの上位バイト</p> $t_{Event0} = \frac{750}{f_{XOSC}} \cdot EVENT0 \cdot 2^{5 \cdot RES\_WOR}$

0x1F : WOREVT0 — EVENT0タイム・アウトの下位バイト

ビット	フィールド名	Reset値	R/W	説明
7:0	EVENT0[7:0]	107 (0x6B)	R/W	EVENT0タイムアウト・レジスタの下位バイト。  EVENT0のデフォルト値は、26.0MHz水晶を想定して、1.0秒になる。

0x20 : WORCTRL — ウェーク・オン・ラジオ制御

ビット	フィールド名	Reset値	R/W	説明																		
7	RC_PD	1	R/W	RC発振器へのパワー・ダウン信号。0を書き込むと、自動初期校正を開始。																		
6:4	EVENT1[2:0]	7 (111)	R/W	<div>レジスタ・ブロックからのタイム・アウト設定。EVENT1タイム・アウトにデコードする。 RC発振器クロック周波数は<math>F_{XOSC}/750</math>に等しく、34.7-36kHzであり、水晶周波数に依存する。下表は、EVENT0後でEVENT1タイム・アウト前のクロック周期数。</div> <table><tr><th>設定</th><th>WOR_AUTOSYNC = 0</th></tr><tr><td>0 (000)</td><td>4 (0.111 - 0.115 ms)</td></tr><tr><td>1 (001)</td><td>6 (0.167 - 0.173 ms)</td></tr><tr><td>2 (010)</td><td>8 (0.222 - 0.230 ms)</td></tr><tr><td>3 (011)</td><td>12 (0.333 - 0.346 ms)</td></tr><tr><td>4 (100)</td><td>16 (0.444 - 0.462 ms)</td></tr><tr><td>5 (101)</td><td>24 (0.667 - 0.692 ms)</td></tr><tr><td>6 (110)</td><td>32 (0.889 - 0.923 ms)</td></tr><tr><td>7 (111)</td><td>48 (1.333 - 1.385 ms)</td></tr></table>	設定	WOR_AUTOSYNC = 0	0 (000)	4 (0.111 - 0.115 ms)	1 (001)	6 (0.167 - 0.173 ms)	2 (010)	8 (0.222 - 0.230 ms)	3 (011)	12 (0.333 - 0.346 ms)	4 (100)	16 (0.444 - 0.462 ms)	5 (101)	24 (0.667 - 0.692 ms)	6 (110)	32 (0.889 - 0.923 ms)	7 (111)	48 (1.333 - 1.385 ms)
設定	WOR_AUTOSYNC = 0																					
0 (000)	4 (0.111 - 0.115 ms)																					
1 (001)	6 (0.167 - 0.173 ms)																					
2 (010)	8 (0.222 - 0.230 ms)																					
3 (011)	12 (0.333 - 0.346 ms)																					
4 (100)	16 (0.444 - 0.462 ms)																					
5 (101)	24 (0.667 - 0.692 ms)																					
6 (110)	32 (0.889 - 0.923 ms)																					
7 (111)	48 (1.333 - 1.385 ms)																					
3	RC_CAL	1	R/W	RC発振器の校正、イネーブル (1)、ディスエーブル (0)。																		
2	予約		R0																			
1:0	WOR_RES[1:0]	0 (00)	R/W	<div>WORモジュールの最大タイム・アウトと通常RX動作時の最大タイム・アウトおよび、EVENT0分解能を制御する。</div> <table><tr><th>設定</th><th>分解能 (1LSB)</th><th>最大タイム・アウト</th></tr><tr><td>0 (00)</td><td>1 period (28 – 29 <math>\mu</math>s)</td><td>1.8 – 1.9 seconds</td></tr><tr><td>1 (01)</td><td>2<sup>5</sup> periods (0.89 – 0.92 ms)</td><td>58 – 61 seconds</td></tr><tr><td>2 (10)</td><td>2<sup>10</sup> periods (28 – 30 ms)</td><td>31 – 32 minutes</td></tr><tr><td>3 (11)</td><td>2<sup>15</sup> periods (0.91 – 0.94 s)</td><td>16.5 – 17.2 hours</td></tr></table> <div>注意：WOR_RES &gt; 1の場合、デューティ・サイクルが非常に低くなるため、WORを使用する場合WOR_RESを0または1にする。</div> <div>通常のRX動作では、すべてのWOR_RESの設定が使用できる。</div>	設定	分解能 (1LSB)	最大タイム・アウト	0 (00)	1 period (28 – 29 $\mu$ s)	1.8 – 1.9 seconds	1 (01)	2 <sup>5</sup> periods (0.89 – 0.92 ms)	58 – 61 seconds	2 (10)	2 <sup>10</sup> periods (28 – 30 ms)	31 – 32 minutes	3 (11)	2 <sup>15</sup> periods (0.91 – 0.94 s)	16.5 – 17.2 hours			
設定	分解能 (1LSB)	最大タイム・アウト																				
0 (00)	1 period (28 – 29 $\mu$ s)	1.8 – 1.9 seconds																				
1 (01)	2 <sup>5</sup> periods (0.89 – 0.92 ms)	58 – 61 seconds																				
2 (10)	2 <sup>10</sup> periods (28 – 30 ms)	31 – 32 minutes																				
3 (11)	2 <sup>15</sup> periods (0.91 – 0.94 s)	16.5 – 17.2 hours																				

0x21 : FREND1 — フロントエンドRXの設定

ビット	フィールド名	Reset値	R/W	説明
7:6	LNA_CURRENT[1:0]	1 (01)	R/W	フロントエンドLNA PTAT電流出力の調整。
5:4	LNA2MIX_CURRENT[1:0]	1 (01)	R/W	フロントエンド PTAT出力調整。
3:2	LODIV_BUF_CURRENT_RX[1:0]	1 (01)	R/W	RX時のLOバッファ電流調整 (ミキサへのLO出力)。
1:0	MIX_CURRENT[1:0]	2 (10)	R/W	ミキサの電流調整。

#### 0x22：FREND0－フロントエンドTXの設定

ビット	フィールド名	Reset値	R/W	説明
7:6	予約		R0	
5:4	LODIV_BUF_CURRENT_TX[1:0]	1 (01)	R/W	TX時のLOバッファ電流を調整する(PAの入力)。このフィールドに使用する値は、SmartRF® Studioソフトウェアから得られる。
3	予約		R0	
2:0	PA_POWER[2:0]	0 (000)	R/W	PA電力の設定を選択する。この値はPATABLEのインデックスである。OOKモードでは、このビットにより‘1’の送信時に使用するPATABLEインデックスを選択する。OOKモードで‘0’を送信するとき、PATABLEのインデックス0が使用される。

#### 0x23：FSCAL3－周波数シンセサイザの較正

ビット	フィールド名	Reset値	R/W	説明
7:6	FSCAL3[7:6]	2 (10)	R/W	周波数シンセサイザ較正の設定。較正前にこのレジスタに書き込む値は、SmartRF® Studioソフトウェアから得られる。
5:4	CHP_CURR_CAL_EN[1:0]	2 (10)	R/W	0の場合、チャージポンプ較正段がディスエーブルされる。
3:0	FSCAL3[3:0]	9 (1001)	R/W	周波数シンセサイザ較正結果レジスタ。チャージポンプの出力電流を定義するデジタル・ビット・ベクトルであり、指数スケールになる： $I_{OUT} = I_0 \cdot 2^{FSCAL3[3:0]/4}$ 各ホップの較正なしの高速周波数ホッピングは、各周波数について前もって較正し、その結果をFSCAL3、FSCAL2およびFSCAL1レジスタ値に保存し、各周波数ホップの間に、次のRF周波数に対応するFSCAL3、FSCAL2およびFSCAL1レジスタ値を書き込むことで、較正を代替することができる。

#### 0x24：FSCAL2－周波数シンセサイザの較正

ビット	フィールド名	Reset値	R/W	説明
7:6	予約		R0	
5	VCO_CORE_H_EN	0	R/W	高 (1) / 低 (0) VCOの選択。
4:0	FSCAL2[4:0]	10 (0x0A)	R/W	周波数シンセサイザ較正結果レジスタ。VCO電流較正の結果およびオーバーライド値。 各ホップの較正なしの高速周波数ホッピングは、各周波数について前もって較正し、その結果をFSCAL3、FSCAL2およびFSCAL1レジスタ値に保存し、各周波数ホップの間に、次のRF周波数に対応するFSCAL3、FSCAL2およびFSCAL1レジスタ値を書き込むことで、較正を代替することができる。

#### 0x25：FSCAL1 — 周波数シンセサイザの較正

ビット	フィールド名	Reset値	R/W	説明
7:6	予約		R0	
5:0	FSCAL1[5:0]	32 (0x20)	R/W	周波数シンセサイザ較正結果レジスタ。VCOの粗調用のコンデンサ・アレー設定。 各ホップの較正なしの高速周波数ホッピングは、各周波数について前もって較正し、その結果をFSCAL3、FSCAL2およびFSCAL1レジスタ値に保存し、各周波数ホップの間に、次のRF周波数に対応するFSCAL3、FSCAL2およびFSCAL1レジスタ値を書き込むことで、較正を代替することができる。

#### 0x26：FSCAL0 — 周波数シンセサイザの較正

ビット	フィールド名	Reset値	R/W	説明
7:6	予約		R0	
6:0	FSCAL0[6:0]	13 (0x0D)	R/W	周波数シンセサイザ較正制御。このレジスタに使用する値は、SmartRF® Studioソフトウェアから得られる。

#### 0x27：RCCTRL1 — RC発振器の設定

ビット	フィールド名	Reset値	R/W	説明
7:6	予約	0	R0	
6:0	RCCTRL1[6:0]	65 (0x41)	R/W	RC発振器の設定。

#### 0x28：RCCTRL0 — RC発振器の設定

ビット	フィールド名	Reset値	R/W	説明
7:6	予約	0	R0	
6:0	RCCTRL0[6:0]	0 (0x00)	R/W	RC発振器の設定。

### 32.2 設定レジスタの詳細 — SLEEP状態で内容が消失するレジスタ

#### 0x29：FSTEST — 周波数シンセサイザ較正の制御

ビット	フィールド名	Reset値	R/W	説明
7:0	FSTEST[7:0]	89 (0x59)	R/W	試験専用。書き込み禁止。

#### 0x2A：PTEST — 製品試験

ビット	フィールド名	Reset値	R/W	説明
7:0	PTEST[7:0]	127 (0x7F)	R/W	このレジスタに0xBFを書き込むと、オンチップ温度センサがIDLE状態で使用可能になる。この場合、IDLE状態を抜ける前にデフォルト値0x7Fを書き直すようにする。 その他の使用法は試験専用。



## 0x2B : AGCTEST — AGC試験

ビット	フィールド名	Reset値	R/W	説明
7:0	AGCTEST[7:0]	63 (0x3F)	R/W	試験専用。書き込み禁止。

## 0x2C : TEST2 — 各種試験の設定

ビット	フィールド名	Reset値	R/W	説明
7:0	TEST2[7:0]	136 (0x88)	R/W	データ・レート $\leq 100$ kBaudでの感度を改善するには0x81と設定する。 このとき温度範囲は、0℃ $\sim$ +85℃であること。

## 0x2D : TEST1 — 各種試験の設定

ビット	フィールド名	Reset値	R/W	説明
7:0	TEST1[7:0]	49 (0x31)	R/W	データ・レート $\leq 100$ kBaudでの感度を改善するには0x35と設定する。 この場合の温度範囲は、0℃ $\sim$ +85℃であること。

## 0x2E : TEST0 — 各種試験の設定

ビット	フィールド名	Reset値	R/W	説明
7:2	TEST0[7:2]	2 (0x02)	R/W	このレジスタに使用する値は、SmartRF® Studioソフトウェアから得られる。
1	VCO_SEL_CAL_EN	1	R/W	1のとき、VCO選択較正段がイネーブル。
0	TEST0[0]	1	R/W	このレジスタに使用する値は、SmartRF® Studioソフトウェアから得られる。

## 32.3 ステータス・レジスタの詳細

### 0x30 (0xF0) : PARTNUM — チップID

ビット	フィールド名	Reset値	R/W	説明
7:0	PARTNUM[7:0]	128 (0x80)	R	チップのパーツ番号。

### 0x31 (0xF1) : VERSION — チップID

ビット	フィールド名	Reset値	R/W	説明
7:0	VERSION[7:0]	3 (0x03)	R	チップのバージョン番号。

### 0x32 (0xF2) : FREQUEST — 復調器からの周波数オフセットの予測

ビット	フィールド名	Reset値	R/W	説明
7:0	FREQOFF_EST		R	キャリアの周波数オフセットの予測 (2の補数)。分解能は $F_{XTAL}/2^{14}$ (1.59 – 1.65kHz)、周波数範囲は $\pm 202$ kHzから $\pm 210$ kHzであり、いずれもXTAL周波数に依存する。 周波数オフセット補償は、2FSK、GFSKおよびMSK変調についてのみサポートされている。OOK変調を使用のとき0である。

# 0x33 (0xF3) : LQI – リンク品質に関する復調器の予測

ビット	フィールド名	Reset値	R/W	説明
7	CRC_OK		R	最終CRCチェック。RXモードへの遷移/RXモードの再開開始時にクリアされる。 PKTCTRL0. CC2400_EN = 1の時のみ有効。
6:0	LQI_EST[6:0]		R	リンク品質インジケータが、受信信号の復調が容易度を予測。シンク・ワードに続く64シンボルについて算出。

# 0x34 (0xF4) : RSSI – 受信信号強度

ビット	フィールド名	Reset値	R/W	説明
7:0	RSSI		R	受信信号強度。

# 0x35 (0xF5) : MARCSTATE – メイン無線制御ステート・マシンの状態

ビット	フィールド名	Reset値	R/W	説明																																																																								
7:5	予約		R0																																																																									
4:0	MARC_STATE[4:0]		R	<div>メイン無線制御FSM状態</div> <table><tr><th>値</th><th>状態名</th><th>状態 (図15)</th></tr><tr><td>0 (0x00)</td><td>SLEEP</td><td>SLEEP</td></tr><tr><td>1 (0x01)</td><td>IDLE</td><td>IDLE</td></tr><tr><td>2 (0x02)</td><td>XOFF</td><td>XOFF</td></tr><tr><td>3 (0x03)</td><td>VCOON_MC</td><td>MANCAL</td></tr><tr><td>4 (0x04)</td><td>REGON_MC</td><td>MANCAL</td></tr><tr><td>5 (0x05)</td><td>MANCAL</td><td>MANCAL</td></tr><tr><td>6 (0x06)</td><td>VCOON</td><td>FS_WAKEUP</td></tr><tr><td>7 (0x07)</td><td>REGON</td><td>FS_WAKEUP</td></tr><tr><td>8 (0x08)</td><td>STARTCAL</td><td>CALIBRATE</td></tr><tr><td>9 (0x09)</td><td>BWBOOST</td><td>SETTLING</td></tr><tr><td>10 (0x0A)</td><td>FS_LOCK</td><td>SETTLING</td></tr><tr><td>11 (0x0B)</td><td>IFADCON</td><td>SETTLING</td></tr><tr><td>12 (0x0C)</td><td>ENDCAL</td><td>CALIBRATE</td></tr><tr><td>13 (0x0D)</td><td>RX</td><td>RX</td></tr><tr><td>14 (0x0E)</td><td>RX_END</td><td>RX</td></tr><tr><td>15 (0x0F)</td><td>RX_RST</td><td>RX</td></tr><tr><td>16 (0x10)</td><td>TXRX_SWITCH</td><td>TXRX_SETTLING</td></tr><tr><td>17 (0x11)</td><td>RXFIFO_OVERFLOW</td><td>RXFIFO_OVERFLOW</td></tr><tr><td>18 (0x12)</td><td>FSTXON</td><td>FSTXON</td></tr><tr><td>19 (0x13)</td><td>TX</td><td>TX</td></tr><tr><td>20 (0x14)</td><td>TX_END</td><td>TX</td></tr><tr><td>21 (0x15)</td><td>RXTX_SWITCH</td><td>RXTX_SETTLING</td></tr><tr><td>22 (0x16)</td><td>TXFIFO_UNDERFLOW</td><td>TXFIFO_UNDERFLOW</td></tr></table> <div>注意：CSnを“Low”に設定すると、デバイスがSLEEPあるいはXOFF状態からIDLEモードに入るため、SLEEPあるいはXOFF状態番号の読み出しは不可能。</div>	値	状態名	状態 (図15)	0 (0x00)	SLEEP	SLEEP	1 (0x01)	IDLE	IDLE	2 (0x02)	XOFF	XOFF	3 (0x03)	VCOON_MC	MANCAL	4 (0x04)	REGON_MC	MANCAL	5 (0x05)	MANCAL	MANCAL	6 (0x06)	VCOON	FS_WAKEUP	7 (0x07)	REGON	FS_WAKEUP	8 (0x08)	STARTCAL	CALIBRATE	9 (0x09)	BWBOOST	SETTLING	10 (0x0A)	FS_LOCK	SETTLING	11 (0x0B)	IFADCON	SETTLING	12 (0x0C)	ENDCAL	CALIBRATE	13 (0x0D)	RX	RX	14 (0x0E)	RX_END	RX	15 (0x0F)	RX_RST	RX	16 (0x10)	TXRX_SWITCH	TXRX_SETTLING	17 (0x11)	RXFIFO_OVERFLOW	RXFIFO_OVERFLOW	18 (0x12)	FSTXON	FSTXON	19 (0x13)	TX	TX	20 (0x14)	TX_END	TX	21 (0x15)	RXTX_SWITCH	RXTX_SETTLING	22 (0x16)	TXFIFO_UNDERFLOW	TXFIFO_UNDERFLOW
値	状態名	状態 (図15)																																																																										
0 (0x00)	SLEEP	SLEEP																																																																										
1 (0x01)	IDLE	IDLE																																																																										
2 (0x02)	XOFF	XOFF																																																																										
3 (0x03)	VCOON_MC	MANCAL																																																																										
4 (0x04)	REGON_MC	MANCAL																																																																										
5 (0x05)	MANCAL	MANCAL																																																																										
6 (0x06)	VCOON	FS_WAKEUP																																																																										
7 (0x07)	REGON	FS_WAKEUP																																																																										
8 (0x08)	STARTCAL	CALIBRATE																																																																										
9 (0x09)	BWBOOST	SETTLING																																																																										
10 (0x0A)	FS_LOCK	SETTLING																																																																										
11 (0x0B)	IFADCON	SETTLING																																																																										
12 (0x0C)	ENDCAL	CALIBRATE																																																																										
13 (0x0D)	RX	RX																																																																										
14 (0x0E)	RX_END	RX																																																																										
15 (0x0F)	RX_RST	RX																																																																										
16 (0x10)	TXRX_SWITCH	TXRX_SETTLING																																																																										
17 (0x11)	RXFIFO_OVERFLOW	RXFIFO_OVERFLOW																																																																										
18 (0x12)	FSTXON	FSTXON																																																																										
19 (0x13)	TX	TX																																																																										
20 (0x14)	TX_END	TX																																																																										
21 (0x15)	RXTX_SWITCH	RXTX_SETTLING																																																																										
22 (0x16)	TXFIFO_UNDERFLOW	TXFIFO_UNDERFLOW																																																																										

#### 0x36 (0xF6) : WORTIME1 — WORタイマの上位バイト

ビット	フィールド名	Reset値	R/W	説明
7:0	TIME[15:8]		R	WORモジュールのタイマ値、上位バイト。

#### 0x37 (0xF7) : WORTIME0 — WORタイマの下位バイト

ビット	フィールド名	Reset値	R/W	説明
7:0	TIME[7:0]		R	WORモジュールのタイマ値、下位バイト。

#### 0x38 (0xF8) : PKTSTATUS — 最新のGDOx状態およびパケット状態

ビット	フィールド名	Reset値	R/W	説明
7	CRC_OK		R	最終CRCチェック。RXモードへの遷移/RXモードの再開始時にクリア。 PKTCTRL0.CC2400_EN = 1の時のみ有効。
6	CS		R	キャリア検知。
5	PQT_REACHED		R	プリアンブル品質を満足。
4	CCA		R	チャンネル・クリア (空いている)。
3	SFD		R	シンク・ワードを検出。
2	GDO2		R	最新のGDO2値。 注記：読み取り値は、IOCFG2.GDO2_INVのプログラミング内容に関係なく非反転値。  GDO2_CFG = 0x0AでPKTSTATUS[2]を読み取っての、PLLロック・チェックは推奨しません。
1	予約		R0	
0	GDO0		R	現行のGDO0値。 注記：読み取り値は、IOCFG0.GDO0_INVのプログラミング内容に関係なく非反転値。  GDO0_CFG = 0x0AでPKTSTATUS[0]を読み取っての、PLLロック・チェックは推奨しません。

#### 0x39 (0xF9) : VCO\_VC\_DAC — PLL較正モジュールからの電流の設定

ビット	フィールド名	Reset値	R/W	説明
7:0	VCO_VC_DAC[7:0]		R	試験専用のステータス・レジスタ。

#### 0x3A (0xFA) : TXBYTES — アンダー・フローおよびバイト数

ビット	フィールド名	Reset値	R/W	説明
7	TXFIFO_UNDERFLOW		R	
6	NUM_TXBYTES		R	TX FIFO内のバイト数。

0x3B (0xFB) : RXBYTES — オーバー・フローおよびバイト数

ビット	フィールド名	Reset値	R/W	説明
7	RXFIFO_OVERFLOW		R	
6:0	NUM_RXBYTES		R	RX FIFO内のバイト数。

0x3C (0xFC) : RCCTRL1\_STATUS — 最新のRC発振器校正結果

ビット	フィールド名	Reset値	R/W	説明
7	予約		R0	
6:0	RCCTRL1_STATUS[6:0]		R	最新のRC発振器校正ルーチンの値を格納。 使用法の説明はAN047を参照。

0x3D (0xFD) : RCCTRL0\_STATUS — 最新のRC発振器校正結果

ビット	フィールド名	Reset値	R/W	説明
7	予約		R0	
6:0	RCCTRL0_STATUS[6:0]		R	最新のRC発振器校正ルーチンの値を格納。 使用法の説明はAN047を参照。

### 33 パッケージ説明 (QLP20)

寸法はすべてミリメートル単位であり、角度は° 単位です。注記：CC2500はRoHS鉛フリー・パッケージのみ利用できます。

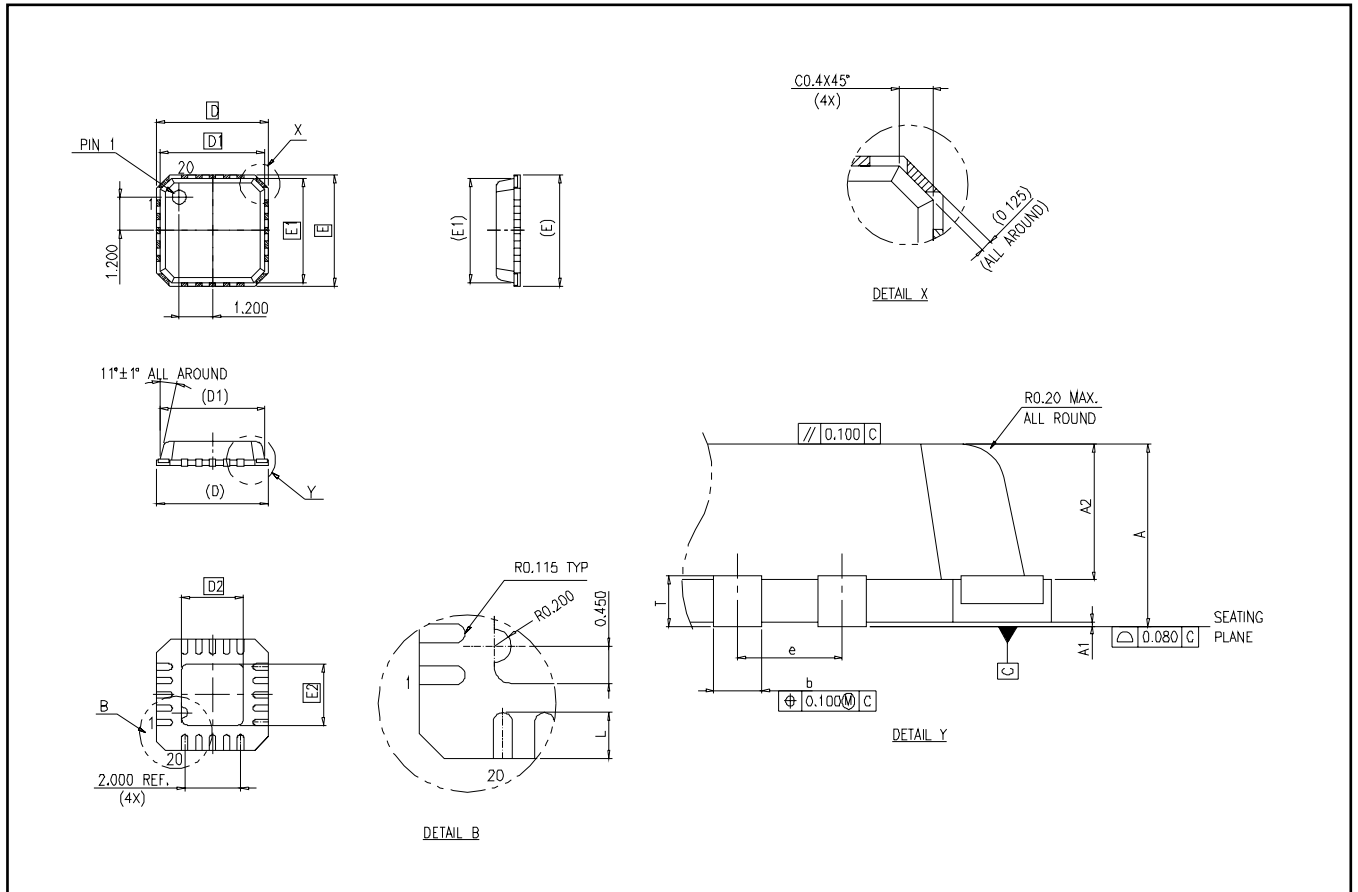


図 30: パッケージ寸法図

Package type		A	A1	A2	D	D1	D2	E	E1	E2	L	T	b	e
QLP20 (4x4)	Min	0.75	0.005	0.55	3.90	3.65	3.90		3.65		0.45	0.190	0.18	
	Typ.	0.85	0.025	0.65	4.00	3.75	2.40	4.00	3.75	2.40	0.55		0.23	0.50
	Max	0.95	0.045	0.75	4.10	3.85	4.10		3.85		0.65	0.245	0.30	

表 38: パッケージ寸法

33.1 パッケージ (QLP20) の推奨PCBレイアウト

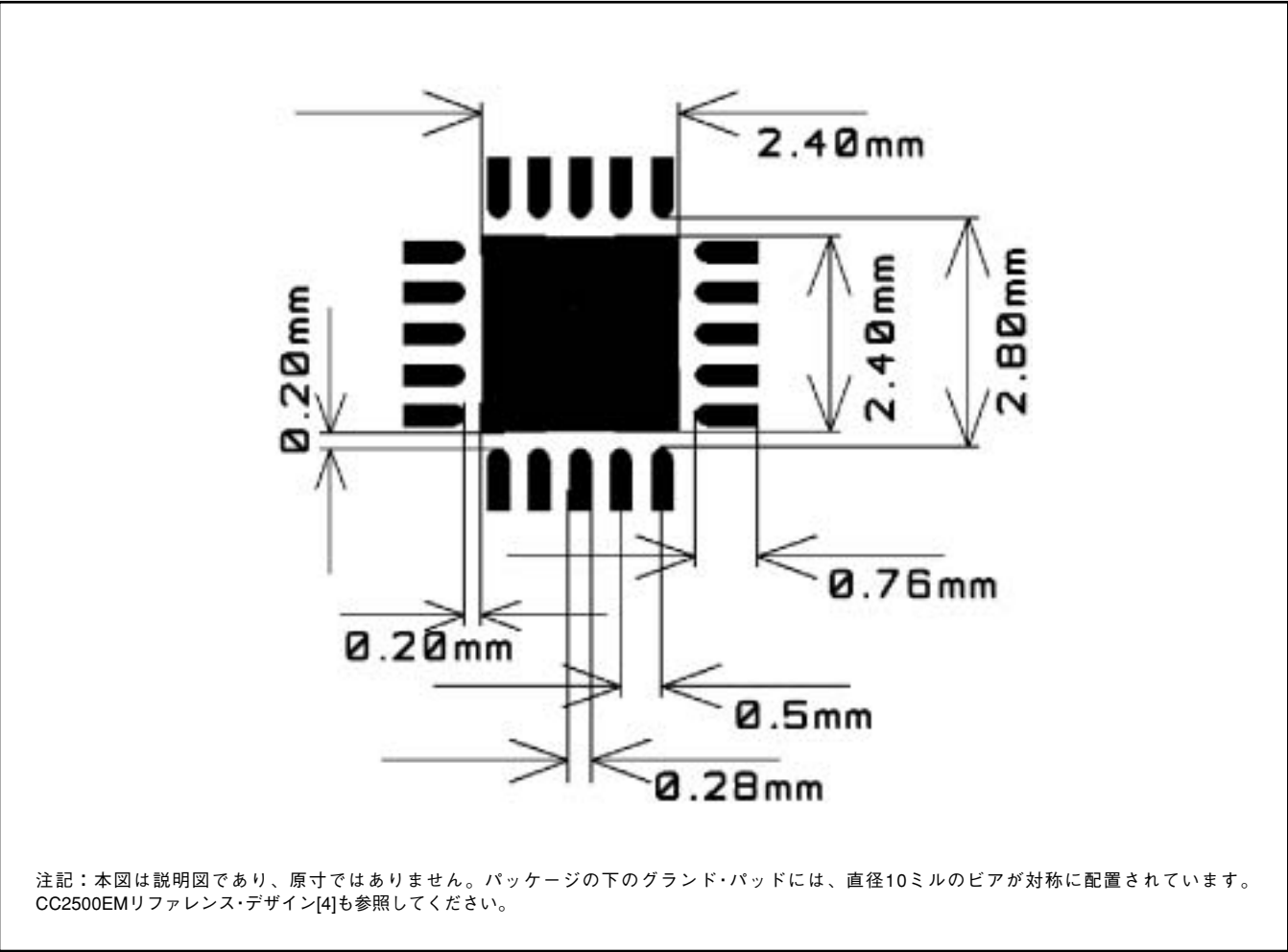


図 31: QLP20パッケージの推奨PCBレイアウト

パッケージの熱特性

熱抵抗	
空気流速 [m/s]	0
Rth,j-a [K/W]	40.4

表 39: QLP20パッケージの熱的特性

33.2 半田情報

IPC/JEDEC J-STD-020Cによる鉛フリー・リフローの勧告に従うようにします。

33.3 トレイ仕様

CC2500は、標準の4 × 4 mm QLP 輸送用トレイで配送されます。

トレイ仕様				
パッケージ	トレイ幅	トレイ高	トレイ長	トレイ当たりの個数
QLP 20	135.9 mm	7.62 mm	322.6 mm	490

表 40: トレイ仕様

### 33.4 キャリア・テープおよびリール仕様

キャリア・テープおよびリールは、EIA仕様481に準拠します。

テープおよびリール仕様					
パッケージ	テープ幅	部品ピッチ	孔ピッチ	リール直径	リール当たりの個数
QLP 20	12 mm	8 mm	4 mm	13 inches	2500

表 41: キャリア・テープおよびリール仕様

## 34 製品情報

パーツ番号	説明	最小注文量 (MOQ)
CC2500RTK	<b>CC2500</b> QLP20 RoHS Pb-free 490/tray	490 (tray)
CC2500RTKR	<b>CC2500</b> QLP20 RoHS Pb-free 2500/T&R	2500 (tape and reel)
CC2500-CC2550DK	<b>CC2500_CC2550</b> 開発キット	1
CC2500EMK	<b>CC2500</b> 評価モジュール・キット	1

表 42: 注文情報

## 35. 参考文献

- [1] CC2500 Errata Notes (swrz002.pdf)
- [2] AN032 2.4 GHz Regulations (swra060.pdf)
- [3] AN047 CC1100/CC2500 — Wake-On-Radio (swra126.pdf)
- [4] CC2500EM Reference Design 1.0 (swrr016.zip)
- [5] SmartRF® Studio (swrc046.zip)
- [6] CC1100 CC2500 Examples Libraries (swrc021.zip)
- [7] CC1100/CC1150DK & CC2500/CC2550DK Development Kit Examples & Libraries User Manual (swru109.pdf)
- [8] CC25XX Folded Dipole Reference Design (swrc065.zip)
- [9] DN004 Folded Dipole Antenna for CCC25xx (swra118.pdf)
- [10] Design Note DN503 (swra112.pdf)

36.1 文書履歴

Revision	Date	Description/Changes
SWRS040B	2007-05-09	<p>kpbs replaced by kBaud throughout the document.</p> <p>Some of the sections have been re-written to be easier to read without having any new info added.</p> <p>Absolute maximum supply voltage rating increased from 3.6 V to 3.9 V.</p> <p>FSK changed to 2-FSK throughout the document.</p> <p>Updates to the Abbreviation table.</p> <p>Updates to the Electrical Specifications section. Added ACP, OBW and blocking performance.</p> <p>Maximum output power changed from 0 dBm to +1 dBm.</p> <p>Added information about reduced link performance at n/2-crystal frequency.</p> <p>Added info about RX and TX latency in serial mode.</p> <p>Changes to the maximum RC oscillator frequency accuracy after calibration.</p> <p>Added info about default values after reset versus optimum register settings in the Configuration Software section.</p> <p>Changes to the SPI Interface Timing Requirements. Info added about <math>t_{sp, pd}</math></p> <p>The following figures have been changed: Configuration Registers Write and Read Operations, SRES Command Strobe, and Register Access Types.</p> <p>In the Register Access section, the address range is changed.</p> <p>Changes to PATABLE Access section.</p> <p>In the Packet Format section, preamble pattern is changed to 10101010 and info about bug related to turning off the transmitter in infinite packet length mode is added.</p> <p>Added info to the Frequency Offset Compensation section.</p> <p>Added info about the initial value of the PN9 sequence in the Data Whitening section.</p> <p>Added info about TX FIFO underflow state in the Packet Handling in Transmit Mode section.</p> <p>Added section Packet Handling in Firmware.</p> <p>In the PQT section a change is made as to how much the counter decreases.</p> <p>The RSSI value is in dBm and not dB.</p> <p>The whole CS Absolute Threshold section has been re-written and the equation calculating the threshold has been removed.</p> <p>Added info in the CCA section on what happens if the channel is not clear.</p> <p>Added info to the LQI section for better understanding.</p> <p>Removed all references to the voltage regulator in relation with the CHP_RDYn signal, as this signal is only related to the crystal.</p> <p>Removed references to the voltage regulator in the figures: Power-On Reset and Power-On Reset with SRES. Changes to the SI line in the Power-On Reset with SRES figure.</p> <p>Added info on the three automatic calibration options.</p> <p>Added info about minimum sleep time and references to App. Note 047 together with info about calibration of the RC oscillator.</p> <p>The figure Event 0 and Event 1 Relationship is changed for better readability.</p> <p>Info added to the RC Oscillator and Timing section related to reduced calibration time.</p> <p>The Output Power Programming section has been changed. Only 1 PATABLE entry used for 2-FSK/GFSK/MSK and 2 PATABLE entries used for OOK. Added info about PATABLE when entering SLEEP mode. New PA_POWER and PATABLE figure.</p> <p>Added section on PCB Layout Recommendations.</p> <p>In section General Purpose / Test Output Control Pins: Added info on GDO pins in SLEEP state.</p> <p>Asynchronous transparent mode is called asynchronous serial mode throughout the document.</p> <p>Removed comments about having to use NRZ coding in synchronous serial mode.</p> <p>Added info that Manchester encoding cannot be used in asynchronous serial mode.</p> <p>Changed number of commands strobes from 14 to 13.</p> <p>Added two new registers; RCCTRL1_STATUS and RCCTRL0_STATUS</p> <p>Changed field name and/or description of the following registers: MCSM2, MCSM0, WORCTRL, FSCAL3, FSCAL2, FSCAL1, TEST2, TEST1 and TEST0.</p> <p>Added references.</p>



Revision	Date	Description/Changes
1.2 SWRS040A	2006-06-28	<p>Added figures to table on SPI interface timing requirements.</p> <p>Added information about SPI read.</p> <p>Updates to text and included new figure in section on arbitrary length configuration.</p> <p>Updates to section on CRC check. Added information about CRC check when PKTCTRL0.CC2400_EN=1.</p> <p>Added information on RSSI update rate in section RSSI.</p> <p>Updates to text and included new figures in section on power-on start-up sequence.</p> <p>Changes to wake-on-radio current consumption figures under electrical specifications.</p> <p>Updates to text in section on data FIFO.</p> <p>Added information about how to check for PLL lock in section on VCO.</p> <p>Better explanation of some of the signals in table of GDO signal selection. Also added some more signals.</p> <p>Added section on wideband modulation not using spread spectrum under section on system considerations and guidelines.</p> <p>Changes to timeout for sync word search in RX in register MCSM2.</p> <p>Changes to wake-on-radio control register WORCTRL. WOR_RES[1:0] settings 10<sub>b</sub> and 11<sub>b</sub> changed to Not Applicable (NA).</p> <p>Added more detailed information on PO_TIMEOUT in register MCSM0.</p> <p>Added description of programming bits in registers FOCCFG, BSCFG, AGCCTRL0, FRENDD1.</p> <p>Changes to ordering information.</p>
1.1	2005-10-20	<p>MDMCFG2[7] used. 26-27 MHz crystal range. Chapter 15: description of the 2 optional append bytes. Added matching information. Added information about using a reference signal instead of a crystal. CRC can only be checked by append bytes or CRC_AUTOFLUSH. Added equation for calculating RSSI in dBm. Selectivity performance graphs added.</p>
1.0	2005-01-24	First preliminary release.

表 43: 文書履歴

## 36.2 生産状況の定義

Data Sheet Identification	Product Status	Definition
Advance Information	Planned or Under Development	This data sheet contains the design specifications for product development. Specifications may change in any manner without notice.
Preliminary	Engineering Samples and Pre-Production Prototypes	This data sheet contains preliminary data, and supplementary data will be published at a later date. Chipcon reserves the right to make changes at any time without notice in order to improve design and supply the best possible product. The product is not yet fully qualified at this point.
No Identification Noted	Full Production	This data sheet contains the final specifications. Chipcon reserves the right to make changes at any time without notice in order to improve design and supply the best possible product.
Obsolete	Not In Production	This data sheet contains specifications on a product that has been discontinued by Chipcon. The data sheet is printed for reference information only.

表 44: 生産状況の定義

## PACKAGING INFORMATION

Orderable part number	Status (1)	Material type (2)	Package   Pins	Package qty   Carrier	RoHS (3)	Lead finish/ Ball material (4)	MSL rating/ Peak reflow (5)	Op temp (°C)	Part marking (6)
<a href="#">CC2500RGP</a>	Active	Production	QFN (RGP)   20	92   TUBE	Yes	NIPDAU   NIPDAUAG	Level-3-260C-168 HR	-40 to 85	CC2500
CC2500RGP.B	Active	Production	QFN (RGP)   20	92   TUBE	Yes	NIPDAU	Level-3-260C-168 HR	-40 to 85	CC2500
<a href="#">CC2500RGPR</a>	Active	Production	QFN (RGP)   20	3000   LARGE T&R	Yes	NIPDAU   NIPDAUAG	Level-3-260C-168 HR	-40 to 85	CC2500
CC2500RGPR.B	Active	Production	QFN (RGP)   20	3000   LARGE T&R	Yes	NIPDAU	Level-3-260C-168 HR	-40 to 85	CC2500
CC2500RGPRG4	Active	Production	QFN (RGP)   20	3000   LARGE T&R	Yes	NIPDAU	Level-3-260C-168 HR	-40 to 85	CC2500
CC2500RGPRG4.B	Active	Production	QFN (RGP)   20	3000   LARGE T&R	Yes	NIPDAU	Level-3-260C-168 HR	-40 to 85	CC2500

<sup>(1)</sup> **Status:** For more details on status, see our [product life cycle](#).

<sup>(2)</sup> **Material type:** When designated, preproduction parts are prototypes/experimental devices, and are not yet approved or released for full production. Testing and final process, including without limitation quality assurance, reliability performance testing, and/or process qualification, may not yet be complete, and this item is subject to further changes or possible discontinuation. If available for ordering, purchases will be subject to an additional waiver at checkout, and are intended for early internal evaluation purposes only. These items are sold without warranties of any kind.

<sup>(3)</sup> **RoHS values:** Yes, No, RoHS Exempt. See the [TI RoHS Statement](#) for additional information and value definition.

<sup>(4)</sup> **Lead finish/Ball material:** Parts may have multiple material finish options. Finish options are separated by a vertical ruled line. Lead finish/Ball material values may wrap to two lines if the finish value exceeds the maximum column width.

<sup>(5)</sup> **MSL rating/Peak reflow:** The moisture sensitivity level ratings and peak solder (reflow) temperatures. In the event that a part has multiple moisture sensitivity ratings, only the lowest level per JEDEC standards is shown. Refer to the shipping label for the actual reflow temperature that will be used to mount the part to the printed circuit board.

<sup>(6)</sup> **Part marking:** There may be an additional marking, which relates to the logo, the lot trace code information, or the environmental category of the part.

Multiple part markings will be inside parentheses. Only one part marking contained in parentheses and separated by a "~" will appear on a part. If a line is indented then it is a continuation of the previous line and the two combined represent the entire part marking for that device.

**Important Information and Disclaimer:** The information provided on this page represents TI's knowledge and belief as of the date that it is provided. TI bases its knowledge and belief on information provided by third parties, and makes no representation or warranty as to the accuracy of such information. Efforts are underway to better integrate information from third parties. TI has taken and continues to take reasonable steps to provide representative and accurate information but may not have conducted destructive testing or chemical analysis on incoming materials and chemicals. TI and TI suppliers consider certain information to be proprietary, and thus CAS numbers and other limited information may not be available for release.

In no event shall TI's liability arising out of such information exceed the total purchase price of the TI part(s) at issue in this document sold by TI to Customer on an annual basis.



## TAPE AND REEL INFORMATION



\*All dimensions are nominal

Device	Package Type	Package Drawing	Pins	SPQ	Reel Diameter (mm)	Reel Width W1 (mm)	A0 (mm)	B0 (mm)	K0 (mm)	P1 (mm)	W (mm)	Pin1 Quadrant
CC2500RGPRG4	QFN	RGP	20	3000	330.0	12.4	4.3	4.3	1.5	8.0	12.0	Q2

## TAPE AND REEL BOX DIMENSIONS



\*All dimensions are nominal

Device	Package Type	Package Drawing	Pins	SPQ	Length (mm)	Width (mm)	Height (mm)
CC2500RGPRG4	QFN	RGP	20	3000	350.0	350.0	43.0

## TUBE



\*All dimensions are nominal

Device	Package Name	Package Type	Pins	SPQ	L (mm)	W (mm)	T (μm)	B (mm)
CC2500RGP	RGP	VQFN	20	92	381	5.79	2286	0
CC2500RGP.B	RGP	VQFN	20	92	381	5.79	2286	0

## 重要なお知らせと免責事項

TI は、技術データと信頼性データ (データシートを含みます)、設計リソース (リファレンス デザインを含みます)、アプリケーションや設計に関する各種アドバイス、Web ツール、安全性情報、その他のリソースを、欠陥が存在する可能性のある「現状のまま」提供しており、商品性および特定目的に対する適合性の黙示保証、第三者の知的財産権の非侵害保証を含むいかなる保証も、明示的または黙示的にかかわらず拒否します。

これらのリソースは、TI 製品を使用する設計の経験を積んだ開発者への提供を意図したものです。(1) お客様のアプリケーションに適した TI 製品の選定、(2) お客様のアプリケーションの設計、検証、試験、(3) お客様のアプリケーションに該当する各種規格や、その他のあらゆる安全性、セキュリティ、規制、または他の要件への確実な適合に関する責任を、お客様のみが単独で負うものとし、TI は一切の責任を拒否します。

上記の各種リソースは、予告なく変更される可能性があります。これらのリソースは、リソースで説明されている TI 製品を使用するアプリケーションの開発の目的でのみ、TI はその使用をお客様に許諾します。これらのリソースに関して、他の目的で複製することや掲載することは禁止されています。TI や第三者の知的財産権のライセンスが付与されている訳ではありません。お客様は、これらのリソースを自身で使用した結果発生するあらゆる申し立て、損害、費用、損失、責任について、TI およびその代理人を完全に補償するものとし、TI は一切の責任を拒否します。

TI の製品は、[TI の販売条件](#)、[TI の総合的な品質ガイドライン](#)、[ti.com](https://www.ti.com) または TI 製品などに関連して提供される他の適用条件に従い提供されます。TI がこれらのリソースを提供することは、適用される TI の保証または他の保証の放棄の拡大や変更を意味するものではありません。TI がカスタム、またはカスタマー仕様として明示的に指定していない限り、TI の製品は標準的なカタログに掲載される汎用機器です。

お客様がいかなる追加条項または代替条項を提案する場合も、TI はそれらに異議を唱え、拒否します。

Copyright © 2025, Texas Instruments Incorporated

最終更新日：2025 年 10 月