

CC1020 ナローバンド・システム用のシングル・チップ 低消費電力RFトランシーバ

特 長

- シングル・チップUHF RFトランシーバ
- 周波数範囲：402MHz ~ 470MHzおよび804MHz ~ 940MHz
- 高感度：-118dBm/12.5kHzチャネル
- プログラマブルな出力電力
- 低消費電流：Rx 19.9mA
- 低電源電圧：2.3V - 3.6V
- 外付けIFフィルタ不要
- 低IF周波数レシーバ
- わずかな外付け素子
- 小型なQFN32パッケージ
- 鉛フリーのパッケージ
- デジタルRSSIおよびキャリア検知表示
- 最大データ・レート：153.6kBaud
- OOK、FSKおよびGFSKデータ変調
- ビット・シンクロナイザ内蔵
- 干渉波除去ミキサ
- プログラマブルな周波数およびAFCにより、水晶発振器の温度ドリフトがTCXOなしで補償可能
- 周波数ホッピング・システムに適合
- EN 300 220、FCC CFR47パート15およびARIB STD T-67に準拠したシステムに適する
- 開発用キット完備
- CC1020の設定データを生成する、使いやすいソフトウェア

アプリケーション

- 12.5kHzおよび25kHzの狭チャネル間隔のナローバンド低消費電力UHFワイヤレス・データ・トランスマッタ/レシーバ
- 402/424/426/429/433/447/449/469/868および915MHzのISM/SDR帯域システム

● AMR(自動検針)

- ワイヤレスのアラーム/セキュリティ・システム
- ホーム・オートメーション
- 低消費電力の遠隔計測

概 要

CC1020は、非常に低消費電力・低電圧のワイヤレス・アプリケーション向けに設計されたシングル・チップUHFトランシーバです。本デバイスは、402, 424, 426, 429, 433, 447, 449, 469, 868、および915MHzの周波数帯域のISM（産業、科学および医用）およびSDR（短距離無線装置）を主な目的としています。しかし、402 ~ 470および804 ~ 940MHzの範囲における他の周波数の多チャネル動作にも、容易にプログラミングすることができます。

CC1020は、ARIB STD T-67およびEN 300 220に準拠した、チャネル間隔12.5あるいは25kHzのナローバンド・システムに最適です。

CC1020の主な動作パラメータは、シリアルバスでプログラミングできます。そのため、CC1020はトランシーバとして柔軟かつ容易に使用できます。

一般的なシステムでは、CC1020は1個のマイクロコントローラと数個の外付け受動素子とともに使用されます。

CC1020はChipconの0.35μmのCMOSのSmartRF®-02テクノロジーで設計されています。



すべての商標および登録商標は、それぞれの所有者に帰属します。

この資料は、Texas Instruments Incorporated (TI) が英文で記述した資料を、皆様のご理解の一助として頂くために日本テキサス・インスツルメンツ (日本TI) が英文から和文へ翻訳して作成したものです。資料によっては正規英語版資料の更新に対応していないものがあります。日本TIによる和文資料は、あくまでもTI正規英語版をご理解頂くための補助的参考資料としてご使用下さい。製品のご検討およびご採用にあたりましては必ず正規英語版の最新資料をご確認下さい。TIおよび日本TIは、正規英語版にて更新の情報を提供しているにもかかわらず、更新以前の情報に基づいて発生した問題や障害等につきましては如何なる責任も負いません。

内 容

1. 略語	4
2. 絶対最大定格	5
3. 動作条件	5
4. 電気的仕様	5
4.1. RF送信部	6
4.2. RF受信部	8
4.3. RSSI/キャリア検知部	11
4.4. IF部	11
4.5. 水晶発振器部	12
4.6. 周波数シンセサイザ部	13
4.7. デジタル入出力	14
4.8. 消費電流	15
5. 端子配置	15
6. 回路解説	17
7. アプリケーション回路	18
8. 設定の概要	21
8.1. 設定用ソフトウェア	21
9. マイクロコントローラ・インターフェイス	22
9.1. 4線式シリアル設定インターフェイス	23
9.2. 信号インターフェイス	25
10. データ・レートのプログラミング	27
11. 周波数のプログラミング	28
11.1. ディザリング	29
12. レシーバ	29
12.1. IF周波数	29
12.2. レシーバ・チャネル・フィルタ帯域幅	30
12.3. 復調器、ビット・シンクロナイザおよびデータ決定	31
12.4. レシーバ感度 対 データ・レートおよび周波数間隔	32
12.5. RSSI	32
12.6. 干渉波除去キャリブレーション	34
12.7. ブロッキングおよび選択性	35
12.8. リニアIFチェインおよびAGCの設定	36
12.9. AGC設定	37
12.10. プリアンブル長およびシンク・ワード	37
12.11. キャリア検知	37
12.12. 自動パワーアップ・シーケンス	37
12.13. 自動周波数制御 (AFC)	38
12.14. デジタルFM	39

13. トランスマッタ	39
13.1. FSK変調フォーマット	39
13.2. 出力電力プログラミング	41
13.3. TXデータ・レイテンシ	42
13.4. スプリアスおよび変調帯域幅の低減	42
14. 入出力整合およびフィルタリング	42
15. 周波数シンセサイザ	46
15.1. VCO、チャージポンプおよびPLLループ・フィルタ	46
15.2. VCOおよびPLLセルフ・キャリブレーション	47
15.3. PLLターンオン時間 対 ループ・フィルタ帯域幅	48
15.4. PLLロック時間 対 ループ・フィルタ帯域幅	49
16. VCOおよびLNAの電流制御	49
17. パワー・マネージメント	50
18. オン-オフ変調 (OOK)	53
19. 水晶発振器	54
20. 内蔵テスト・パターン・ジェネレータ	55
21. DCLK端子の割込み	55
21.1. PLLロックの割込み	55
21.2. 受信信号キャリア検知の割込み	55
22. PA_ENおよびLNA_ENデジタル出力端子	56
22.1. 外部LNAあるいはPAとのインターフェイス	56
22.2. 汎用出力制御端子	56
22.3. PA_ENおよびLNA_EN端子のドライブ	56
23. システムの考察およびガイドライン	57
24. 推奨PCBレイアウト	58
25. アンテナの考察	58
26. 設定レジスタ	59
26.1. CC1020のレジスタの概要	60
27. パッケージの内容 (QFN32)	80
27.1. パッケージのマーキング	81
27.2. パッケージ (QFN32) の推奨PCBフットプリント	81
27.3. パッケージの熱的特性	82
27.4. 半田付けに関する情報	82
27.5. プラスチック・チューブの仕様	82
27.6. キャリア・テープおよびリールの仕様	82
28. 発注情報	82
29. 一般情報	83
30. アドレス情報	85

1. 略語

ACP	隣接チャネル漏洩電力 (Adjacent Channel Power)
ACR	隣接チャネル除去 (Adjacent Channel Rejection)
ADC	AD コンバータ (Analog-to-Digital Converter)
AFC	自動周波数制御 (Automatic Frequency Control)
AGC	自動ゲイン制御 (Automatic Gain Control)
AMR	自動検針 (Automatic Meter Reading)
ASK	振幅偏移変調 (Amplitude Shift Keying)
BER	ビット誤り率 (Bit Error Rate)
BOM	部品表 (Bill Of Materials)
bps	ビット/秒 (bits per second)
BT	帯域幅時間積—GFSKで使用 (Bandwidth-Time product)
ChBW	レシーバ・チャネル・フィルタ帯域幅 (Receiver Channel Filter Bandwidth)
CW	連続波 (Continuous Wave)
DAC	DA コンバータ (Digital-to-Analog Converter)
DNM	実装禁止 (Do Not Mount)
ESR	等価直列抵抗 (Equivalent Series Resistance)
FHSS	周波数ホッピング・スペクトラム拡散 (Frequency Hopping Spread Spectrum)
FM	周波数変調 (Frequency Modulation)
FS	周波数シンセサイザ (Frequency Synthesizer)
FSK	周波数偏移変調 (Frequency Shift Keying)
GFSK	ガウス周波数偏移変調 (Gaussian Frequency Shift Keying)
IC	集積回路 (Integrated Circuit)
IF	中間周波数 (Intermediate Frequency)
IP3	3次インターセプト・ポイント (Third Order Intercept Point)
ISM	産業・科学・医用 (Industrial Scientific Medical)
kbps	キロ・ビット/秒 (kilo bits per second)
LNA	低雑音アンプ (Low Noise Amplifier)
LO	ローカル・オシレータ (Local Oscillator - 受信モード)
MCU	マイクロ・コントローラ・ユニット (Micro Controller Unit)
NRZ	ノン・リターン・ツー・ゼロ (Non Return to Zero)
OOK	オン-オフ変調 (On-Off Keying)
PA	パワー・アンプ (Power Amplifier)
PD	位相判別器/パワーダウン (Phase Detector / Power Down)
PER	パケット誤り率 (Packet Error Rate)
PCB	プリント回路基板 (Printed Circuit Board)
PN9	擬似ランダム・ビット・シーケンス-9ビット (Pseudo-random Bit Sequence)
PLL	位相同期回路 (Phase Locked Loop)
PSEL	プログラム選択 (Program Select)
RF	高周波 (Radio Frequency)
RSSI	受信信号強度表示 (Received Signal Strength Indicator)
RX	受信 - モード (Receive)
SBW	信号帯域幅 (Signal Bandwidth)
SPI	シリアル・ペリフェラル・インターフェイス (Serial Peripheral Interface)
SRD	短距離無線装置 (Short Range Device)
TBD	未定 (To Be Decided/Defined)
T/R	送信/受信-スイッチ (Transmit/Receive)
TX	送信 - モード (Transmit)
UHF	超高周波数 (Ultra High Frequency)
VCO	電圧制御発振器 (Voltage Controlled Oscillator)
VGA	可変ゲインアンプ (Variable Gain Amplifier)
XOSC	水晶発振器 (Crystal oscillator)
XTAL	水晶振動子 (Crystal)

2. 絶対最大定格

表1に示す絶対最大定格を超えてはなりません。これらの制限値を超えたストレスをすこしでも加えると、デバイスは永久破壊することがあります。

3. 動作条件

CC1020の動作条件を表2に示します。

4. 電気的仕様

表3から表10にCC1020の電気的仕様を示します。測定はすべて、2層PCBのCC1020EMXリファレンス・デザインを使用して行いました。これは図3に示すものと同じ試験回路です。特記なき場合は、温度 = 25°C, 電源電圧 = AVDD = DVDD = 3.0V, 水晶発振周波数 = 14.7456MHzです。

868MHzでの電気的仕様は、902~928MHzの周波数範囲でも適用されます。



静電気放電対策

これらのデバイスは、限定的なESD（静電破壊）保護機能を内蔵しています。保存時または取り扱い時に、MOSゲートに対する静電破壊を防止するために、リード線どうしを短絡しておくか、デバイスを導電性のフォームに入れる必要があります。

パラメータ	Min	Max	単位	条件
電源電圧、VDD	-0.3	5.0	V	電源端子はすべて同一の電圧であること。
電圧、他のピン	-0.3	VDD+0.3, max 5.0	V	
RF入力レベル		10	dBm	
保存温度範囲	-50	150	°C	
パッケージ温度		260	°C	IPC/JEDEC J-STD_020C ⁽¹⁾
保存湿度、結露しないこと	5	85	%	
ESD (人体モデル)		±1 ±0.4	kV kV	RFパッドを除く RFパッド

注：(1) 半田リフローのピーク温度(パッケージ本体温度)は、「IPC/JEDEC J-STD_020C Moisture/Reflow Sensitivity Classification for Nonhermetic Solid State Surface Mount Devices」に基づき規定されています。

表 1. 絶対最大定格

パラメータ	Min	Typ	Max	単位	条件/注
RF周波数レンジ	402 804		470 940	MHz MHz	< 300Hzステップ・プログラマブル < 600Hzステップ・プログラマブル
推奨動作温度範囲	-40		85	°C	
電源電圧	2.3	3.0	3.6	V	デジタル(DVDD)とアナログ(AVDD)の電源には、同一の電圧値を使用します。 ARIB STD T-67の選択度および出力電力許容条件を満たすため、3.0±0.1Vの電源電圧を推奨します。

表 2. 動作条件

4.1. RF送信部

パラメータ	Min	Typ	Max	単位	条件/注
送信データ・レート	0.45		153.6	kBaud	データレートはプログラマブルです。詳細は10節を参照。 NRZやマンチェスター符号化方式を使用できます。153.6kbpsは、NRZ方式では153.6kbpsに、マンチェスター符号化方式では76.8kbpsに相当します。詳細は9.2節を参照。 OOKの最小データ・レートは2.4 kbpsです。
バイナリFSK間隔	0 0		108 216	kHz kHz	402~470MHzの範囲。 804~940MHzの範囲。 108/216kHzは1.84MHz基準周波数時の保証最大間隔です。基準周波数を高くすると、周波数間隔を広くできます。
出力					50Ω不平衡負荷のとき。
433 MHz			-20 ~ +10	dBm	
868 MHz			-20 ~ +5	dBm	出力電力はプログラマブルであり、いかなる条件下でも433/868MHz時で+10dBm/+5dBmを超えるプログラミングをしてはなりません(CC1020エラーテ・ノート003参照)。詳細は14節を参照。
出力許容誤差			-4 +3	dB dB	最大出力電力時 2.3V, +85°Cにて。 3.6V, -40°Cにて。
高調波、CW輻射					
第2高調波, 433MHz,+10dBm			-50	dBc	高調波はEN 300 200により等価等方輻射電力(EIRP)値で測定。アンテナ(RW Badland社製SMAFF433とSMAFF868)は、高調波を減衰します。
第3高調波, 433MHz,+10dBm			-50	dBc	
第2高調波, 868MHz,+5dBm			-50	dBc	
第3高調波, 868MHz,+5dBm			-50	dBc	
隣接チャネル漏洩電力(GFSK)					
433MHz、12.5kHz間隔			-46	dBc	12.5kHzチャネル間隔の隣接チャネル漏洩電力(ACP)は、±4.25kHz帯域幅および±12.5kHzオフセットで測定。 変調: 2.4kBaud、NRZ PN9シーケンス、±2.025kHz周波数偏差。
433MHz、25kHz間隔			-52	dBc	
868MHz、25kHz間隔			-49	dBc	25kHzチャネル間隔のACPは、±8.5kHz帯域幅および±25kHzオフセットで測定。 変調: 4.8kBaud、NRZ PN9シーケンス、±2.475kHz周波数偏差。

パラメータ	Min	Typ	Max	単位	条件/注
占有帯域幅(99.5%,GFSK)					全体平均電力の99.5%の帯域幅。
433MHz、12.5kHz間隔		7.5		kHz	12.5kHzチャネル間隔の変調：2.4kBaud、NRZ PN9シーケンス、±2.025kHz周波数偏差。
433MHz、25kHz間隔		9.6		kHz	25kHzチャネル間隔の変調：4.8kBaud、NRZ PN9シーケンス、±2.475kHz周波数偏差。
868MHz、25kHz間隔		9.6		kHz	25kHzチャネル間隔の変調：4.8kBaud、NRZ PN9シーケンス、±2.475kHz周波数偏差。
変調帯域幅、868MHz		48		kHz	変調の電力エンベロープが36dBm時の帯域幅。スペクトラム・アナライザのRBW =1kHz。
19.2bps、±9.9kHz周波数偏移		106		kHz	
39.4bps、±19.8kHz周波数偏移					
スプリアス、CW輻射					最大出力+10/+5dBm、433/868MHz時。
47-74,87.5-118, 174-230,470-862MHz				dBm	EN 300 220, FCC CFR47パート15およびARIB STD T-67に準拠するために、外付け(アンテナ)フィルタを図25のアプリケーション回路のように使用し、個々の設計を調整して帯域外スプリアス発射レベルを低減する必要があります。
9kHz ~ 1GHz			-54	dBm	
1 ~ 4GHz			-36	dBm	
			-30	dBm	スプリアス発射はEN 300 200によりEIRP値で測定できます。アンテナ(RW Badland社製SMAFF433とSMAFF868)は、スプリアス発射高調波を減衰する役割をします。
					外部PAを使用して出力電力が増加する場合、ヨーロッパにおける周波数帯域868MHzの動作では、フィルタを使用して862MHzを下回るスペクトルを減衰させる必要があります。アプリケーションノートの『AN036 CC1020/1021スプリアス発射』では、REF_DIVを1から7に増加して、862MHzに近いTXモードのスプリアス発射を減衰するソリューションが議論されています。
最適負荷インピーダンス					送信モード。整合の詳細については14節を参照。
433MHz		54 + j44		Ω	
868MHz		15 + j24		Ω	
915MHz		20 + j35		Ω	

表3. RF送信パラメータ

4.2. RF受信部

パラメータ	Min	Typ	Max	単位	条件/注
受信感度、433MHz、FSK 12.5kHzチャネル間隔、選択度最適化、周波数偏移±2.025kHz		-114		dBm	感度はBER = 10 ⁻³ のPN9シーケンスで測定。 12.5kHzチャネル間隔：2.4kBaud、マンチェスター符号データ。
12.5kHzチャネル間隔、選択度最適化、周波数偏移±2.025kHz		-118		dBm	
25kHzチャネル間隔		-112		dBm	25kHzチャネル間隔：4.8kBaud、NRZ符号データ、±2.475kHz周波数偏差
500kHzチャネル間隔		-96		dBm	500kHzチャネル間隔：153.6kBaud、NRZ符号データ、±72kHz周波数偏差
受信感度、868MHz、FSK 12.5kHzチャネル間隔、選択度最適化、周波数偏移±2.475kHz		-116		dBm	その他のデータ・レートにおける標準的な感度の値は、表19および表20を参照。
25kHzチャネル間隔		-111		dBm	
500kHzチャネル間隔		-94		dBm	
受信感度、433MHz、OOK 2.4kBaud 153.6kBaud		-116 -81		dBm dBm	感度はBER = 10 ⁻³ のPN9シーケンスで測定。 マンチェスター符号データ。
受信感度、868MHz、OOK 2.4kBaud 153.6kBaud		-107 -87		dBm dBm	その他のデータ・レートにおける標準的な感度の値は、表27を参照。
飽和レベル(最大入力レベル) FSK、OOK		10		dBm	FSK：マンチェスター/NRZ符号データ OOK：マンチェスター符号データ。 BER = 10 ⁻³ 。
システム雑音帯域幅		9.6 to 307.2		kHz	レシーバ・チャネル・フィルタの6dB帯域幅は、9.6kHzから307.2kHzでプログラマブルです。詳細は12.2節を参照。
総合雑音指数、カスケード接続 433 and 868MHz		7		dB	NRZ符号データ
三次インターフェト・ポイント 433MHz、12.5kHz間隔 868MHz、25kHz間隔		-23 -18 -16 -18 -15 -13		dBm dBm dBm dBm dBm dBm	ツー・トーン試験(+10MHz/+20MHz) LNA2 maximum gain LNA2 medium gain LNA2 minimum gain LNA2 maximum gain LNA2 medium gain LNA2 minimum gain

パラメータ	Min	Typ	Max	単位	条件/注
共通チャネル除去、FSK、OOK 433MHz、12.5kHz間隔 433MHz、25kHz間隔 868MHz、25kHz間隔		-11		dB	感知レベルより3dB高い信号、動作周波数でのFM妨害波(1kHz正弦波、±2.5kHz周波数偏差)、BER = 10 ⁻³
隣接チャネル除去(ACR) 433MHz、12.5kHz間隔 433MHz、25kHz間隔 868MHz、25kHz間隔		32		dB	感知レベルより3dB高い信号、隣接チャネルでのFM妨害波(1kHz正弦波、±2.5kHz周波数偏差)、BER = 10 ⁻³
干渉波チャネル除去 433/868MHz I/Q ゲイン/位相キャリブレーション無し I/Q ゲイン/位相キャリブレーション有り		26/31		dB	感知レベルより3dB高い信号、干渉波周波数でのCW妨害波(1kHz正弦波、±2.5kHz周波数偏差)、BER = 10 ⁻³
選択性* 433MHz、12.5kHz間隔 433MHz、25kHz間隔 868MHz、25kHz間隔 (*隣接スプリアス応答除去)		41		dB	感知レベルより3dB高い信号。CW妨害波が12.5kHz/25kHzのステップで±1MHzまで所要のチャネルからスイープされ、BER = 10 ⁻³ 。隣接チャネルと干渉波チャネルは除外。
ブロッキング/感度抑圧* 433/868 MHz ±1MHz ±2MHz ±5MHz ±10MHz (*帯域外スプリアス応答除去)		50/57 64/71 64/71 75/78		dB dB dB dB	感知レベルより3dB高い信号。±1,2,5および10MHzオフセットのCW妨害波。BER = 10 ⁻³ 、433/868MHzで12.5kHz/25kHzのチャネル間隔。 EN 300 220の2分類レシーバ条件に準拠。
干渉波周波数抑圧 433/868 MHz I/Q ゲイン/位相キャリブレーション無し I/Q ゲイン/位相キャリブレーション有り		36/41		dB	干渉波周波数での信号の感度と、所要チャネルにおける感度との比。干渉波周波数はRF_21F。信号源は2.4kbps、マンチェスター符号データ、±2.025kHz周波数偏差、BER = 10 ⁻³ の信号レベル。
スプリアス受信			40	dB	不要周波数の感度と、所要チャネルにおける感度との比。信号源は2.4kbps、マンチェスター符号データ、±2.025kHz周波数偏差、100MHz～2GHzの周波数範囲でスイープ、BER = 10 ⁻³ の信号レベル。

パラメータ	Min	Typ	Max	単位	条件/注
相互変調除去(1) 433MHz、12.5kHz間隔 868MHz、25kHz間隔		30 30		dB dB	感知レベルより3dB高い信号。+2Chと+4Chの2つのCW妨害波。ここで、Chは12.5kHzあるいは25kHzのチャネル間隔。 BER = 10^{-2}
相互変調除去(2) 433MHz、12.5kHz間隔 868MHz、25kHz間隔		56 55		dB dB	
LO漏洩電力、433/868MHz		<-80/-66		dBm	
VCO漏洩電力		-64		dBm	VCO周波数は1608~1880MHzの範囲。
スプリアス、CW輻射 9kHz~1GHz 1~4GHz		<-60 <-60		dBm dBm	EN 300 220, FCC CFR47パート15およびARIB STD T-67に準拠。 スプリアスは、EN 300 220によるEIRP値として測定できます。
入力インピーダンス 433MHz 868MHz		58 + j10 54 + j22		Ω Ω	受信モード。詳細は14節を参照。
入力インピーダンス整合、S11パラメータ 433MHz 868MHz		-14 -12		dB dB	アプリケーション回路の整合回路網を使用。詳細は14節を参照。
入力インピーダンス整合 433MHz 868MHz		39 + j14 32 + j10		Ω Ω	アプリケーション回路の整合回路網を使用。詳細は14節を参照。
ビット同期オフセット			8000	ppm	最大ビット・レート・オフセット。ビット同期回路により6dBの低下を許容。同期モードのみ。
データ・レイテンシ NRZモード マンチェスター・モード		4 8		Baud Baud	データがトランスマッタのDIO端子に入力されてから、レシーバのDIO端子に出力されるまでの時間。

表4. RF受信パラメータ

4.3. RSSI/キャリア検知部

パラメータ	Min	Typ	Max	単位	条件/注
RSSI ダイナミック・レンジ		55		dB	チャネル間隔12.5/25kHz。
RSSI 精度		± 3		dB	詳細は12.5節を参照。
RSSI リニアリティ		± 1		dB	
RSSI安定時間 2.4kBaud、12.5kHzチャネル間隔		3.8		ms	RSSI安定時間が短いと、トレードオフでRSSI精度が低下します。詳細は12.5節を参照。
4.8kBaud、25kHzチャネル間隔		1.9		ms	また、RSSI安定時間が短いとレシーバ・チャネル・フィルタ帯域幅が増加し、トレードオフで感度と選択度が低下します。
153.6kBaud、500kHzチャネル間隔		140		μs	
キャリア検知 プログラマブル範囲		40		dB	精度はRSSIと同様。
隣接チャネル・キャリア 12.5kHzチャネル間隔		-72		dBm	キャリア検知レベルー110dBm、隣接チャネルにFM妨害波(1kHz正弦波、 ± 2.5 kHz偏差)。
25kHzチャネル間隔		-72		dBm	隣接チャネル・キャリア検知は、隣接チャネルに信号を印加し、キャリア検知レベルが表示されるチャネルを観察して測定する。
スプリアス・キャリア 検知		-70		dBm	キャリア検知レベルー110dBm、100MHz～2GHz。隣接チャネルとイメージ・チャネルは除外。

表 5. RSSI/キャリア検知パラメータ

4.4. IF部

パラメータ	Min	Typ	Max	単位	条件/注
IF周波数		307.2		kHz	詳細は12.1節参照。
デジタル・チャネル・フィルタ帯域幅		9.6 to 307.2		kHz	6dB帯域幅のチャネル・フィルタは、9.6kHz～307.2kHzでプログラマブルです。詳細は12.2節参照。
AFC分解能		150		Hz	2.4kbpsのとき。 ビット・レートkbps/16で与えられます。詳細は12.13節参照。

表 6. IF部パラメータ

4.5. 水晶発振器部

パラメータ	Min	Typ	Max	単位	条件/注
水晶発振周波数	4.9152	14.7456	19.6608	MHz	推奨周波数14.7456MHz。 詳細は19節参照。
必要基準周波数精度		+/-5.7 +/-2.8 +/-4		ppm ppm ppm	433MHz (EN 300 220) 868MHz (EN 300 220) 433/868MHzにて25kHzチャネル間隔で EN 300 220に準拠するには、 $\pm 5.7 \pm 2.8$ ppm より小であることが必要です。 日本の12.5kHzチャネル間隔規則 (ARIB STD T-67) に準拠するには、 ± 4 ppmより 小であることが必要です。 注記： 基準周波数精度(初期許容)およびドリフト(エイジングと温度に依存)により、送信周波数精度が定まります。 水晶発振器の温度補償は、微小ステップ のPLL周波数のプログラミングおよびAFC 機能で行われます。詳細は12.13節参照。
水晶振動子使用法		並列共振			C4とC5は負荷容量です。 詳細は19節参照。
水晶振動子負荷容量	12 12 12	22 16 16	30 30 16	pF pF pF	4.9~6MHz、22pF推奨 6~8MHz、16pF推奨 8~19.6MHz、16pF推奨
水晶発振器スタートアップ時間		1.55 1.0 0.90 0.95 0.60 0.63		ms ms ms ms ms ms	4.9152MHz、12pF負荷 7.3728MHz、12pF負荷 9.8304MHz、12pF負荷 14.7456MHz、16pF負荷 17.2032MHz、12pF負荷 19.6608MHz、12pF負荷
外部クロック信号、 正弦波		300		mVpp	外部クロック信号は、DCカットコンデンサ (10nF) を用いてXOSC_Q1に接続します。 低振幅や水晶を外部クロック信号に使用する場合、INTERFACEレジスタの XOSC_BYPASS = 0に設定します。
外部クロック信号、 デジタル外部クロック		0 ~ VDD		V	外部クロック信号はXOSC_Q1に接続します。 DCカットコンデンサは使用しません。全振幅デジタル外部クロックを使用する場合、INTERFACEレジスタの XOSC_BYPASS = 1に設定します。

表 7. IF部パラメータ

4.6. 周波数シンセサイザ部

パラメータ	Min	Typ	Max	単位	条件/注
位相ノイズ、402~470MHz 12.5kHzチャネル間隔		-90 -100 -105 -110 -114		dBc/Hz	無変調キャリア キャリアから 12.5kHzでのオフセット 25kHzでのオフセット 50kHzでのオフセット 100kHzでのオフセット 1MHzでのオフセット 表13のループ・フィルタ部品を使用して測定。PLLループ・フィルタの帯域幅が大きいほど、位相ノイズは大きくなります。
位相ノイズ、804~940MHz 25kHzチャネル間隔		-85 -95 -101 -109 -118		dBc/Hz	無変調キャリア キャリアから 12.5kHzでのオフセット 25kHzでのオフセット 50kHzでのオフセット 100kHzでのオフセット 1MHzでのオフセット 表13のループ・フィルタ部品を使用して測定。PLLループ・フィルタの帯域が大きいほど、位相ノイズは大きくなります。
PLLループ帯域幅 433MHz 12.5kHzチャネル間隔 868MHz 25kHzチャネル間隔		2.7		kHz	PLLおよびVCOのキャリブレーション後。 PLLループ帯域幅はプログラマブルです。
PLLロック時間(RX/TX切替時間) 433MHz 12.5kHzチャネル間隔 868MHz 25kHzチャネル間隔 500kHzチャネル間隔		900 640 14		us	チャネル間隔の±10%以内のRF周波数まで307.2kHzの周波数ステップ。ループ・フィルタ部品定数およびPLL_BWレジスタの設定に依存します。詳細は表26参照。
PLLターンオン時間。パワーダウン・モードで水晶発信器が発振した状態からの時間。 433MHz 12.5kHzチャネル間隔 868MHz 25kHzチャネル間隔 500kHzチャネル間隔		3.2 2.5 700		ms ms us	レジスタ書き込みから、チャネル間隔の±10%以内のRF周波数になるまでの時間。 ループ・フィルタ部品定数およびPLL_BWレジスタの設定に依存します。詳細は表25参照。

表8. 周波数シンセサイザのパラメータ

4.7. デジタル入出力

パラメータ	Min	Typ	Max	単位	条件/注
ロジック “0” 入力電圧	0		0.3* VDD	V	
ロジック “1” 入力電圧	0.7* VDD		VDD	V	
ロジック “0” 出力電圧	0		0.4	V	出力電流=-2.0mA、電源電圧=3.0V
ロジック “1” 出力電圧	2.5		VDD	V	出力電流=2.0mA、電源電圧=3.0V
ロジック “0” 入力電流	NA		1	μA	入力信号はGND。 PSEL端子には内部プルアップ抵抗があり、 設定の間の電流は-350μA。
ロジック “1” 入力電流	NA		1	μA	入力信号はVDD。
DIOセットアップ・タイム	20			ns	TXモード。DCLKの立ち上りエッジの前 に必要なDIOの最小時間。データはDCLK の立ち下りエッジでセットします。
DIOホールド・タイム	10			ns	TXモード。DCLKの立ち上りエッジの後 に必要なDIOの最小時間。データはDCLK の立ち下りエッジでセットします。
シリアル・インターフェイス (PCLK,PDI,PDO,PSEL) タイミング仕様					詳細は表14を参照。
ピンドライブ、LNA_EN、PA_EN		0.90 0.87 0.81 0.69 0.93 0.92 0.89 0.79		mA mA mA mA mA mA mA mA	ソース電流 0 V on LNA_EN, PA_EN pins 0.5 V on LNA_EN, PA_EN pins 1.0 V on LNA_EN, PA_EN pins 1.5 V on LNA_EN, PA_EN pins シンク電流 3.0 V on LNA_EN, PA_EN pins 2.5 V on LNA_EN, PA_EN pins 2.0 V on LNA_EN, PA_EN pins 1.5 V on LNA_EN, PA_EN pins 詳細は図35を参照。

表9. デジタル入出力パラメータ

4.8. 消費電流

パラメータ	Min	Typ	Max	単位	条件/注
パワーダウン・モード		0.2	1.8	μA	内部発振器オフ。
消費電流、受信モード、433および868MHz		19.9		mA	
消費電流、送信モード、433/868MHz :					
P = -20dBm		12.3/14.5		mA	出力電力は50Ωシングルエンド負荷に供給。
P = -5dBm		14.4/17.0		mA	
P = 0dBm		16.2/20.5		mA	詳細は13.2節を参照。
P = +5dBm		20.5/25.1		mA	
P = +10dBm (433MHzのみ)		27.1		mA	
消費電流、水晶発振器		77		μA	14.7456 MHz、水晶負荷16 pF
消費電流、水晶発振器/バイアス		500		μA	14.7456 MHz、水晶負荷16 pF
消費電流、水晶発振器、バイアス/シンセサイザ		7.5		mA	14.7456 MHz、水晶負荷16 pF

表 10. 消費電流

5. 端子配置

表11にCC1020の端子の概要を示します。

CC1020はQFN32パッケージ(詳細は27節を参照)で供給しています。

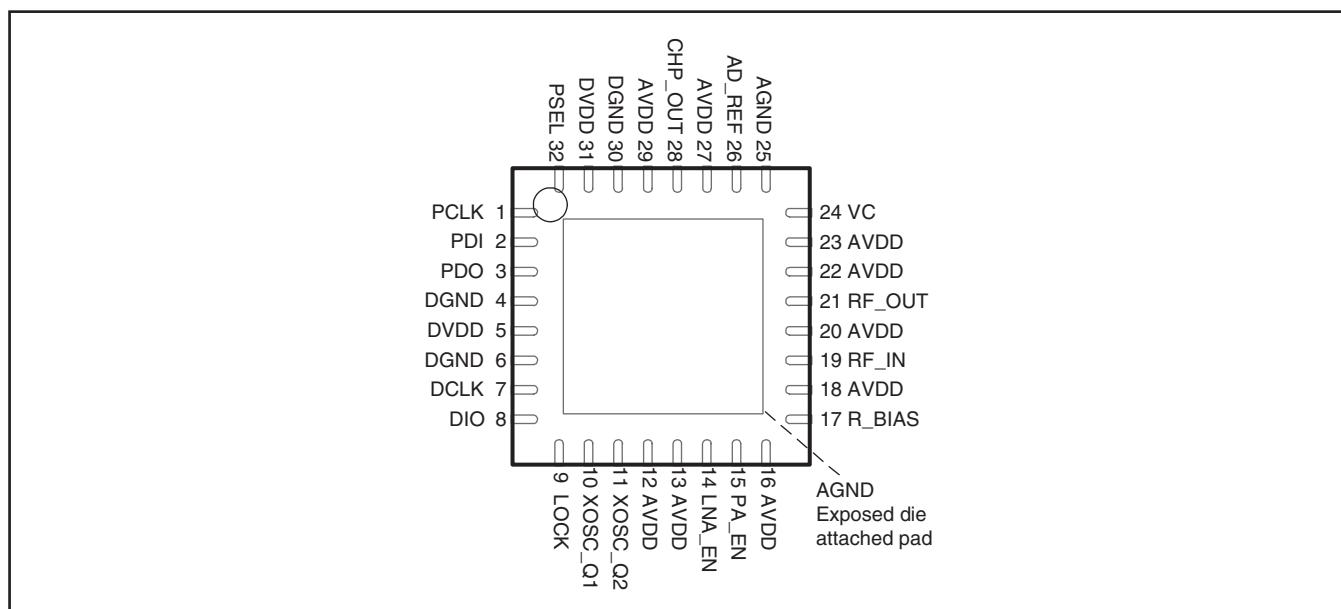


図 1. CC1020パッケージ(トップ・ビュー)

ピン番号	ピン名	ピン・タイプ	説明
-	AGND	Ground (analog)	チップに接続する露出パッド。これは全アナログ部のグランドであり、しっかりしたグランド面に半田付けする必要があります。
1	PCLK	Digital input	SPI設定インターフェイスのプログラミング・クロック。
2	PDI	Digital input	SPI設定インターフェイスのプログラミング・データ入力。
3	PDO	Digital output	SPI設定インターフェイスのプログラミング・データ出力。
4	DGND	Ground (digital)	デジタル部とデジタルI/O部のグランド(0V)。
5	DVDD	Power (digital)	デジタル部とデジタルI/O部の電源(標準3V)。
6	DGND	Ground (digital)	デジタル部(サブストレート)のグランド(0V)。
7	DCLK	Digital output	送受信モードのデータ入力用クロック。非同期モードにおいて受信データの出力にも使用できます。
8	DIO	Digital input/output	送信モードのデータ入力および受信モードのデータ出力。 受信モードにおけるパワー・アップ・シーケンスの開始にも使用できます。
9	LOCK	Digital output	PLLロックを示し、負論理。PLLがロックすると出力します。本端子は、汎用デジタル出力や同期NRZ/マンチェスター・モードにおける受信データ出力としても使用できます。
10	XOSC_Q1	Analog input	水晶振動子あるいは外部クロック入力。
11	XOSC_Q2	Analog output	水晶振動子。
12	AVDD	Power (analog)	水晶発振器の電源(標準3V)。
13	AVDD	Power (analog)	IF VGAの電源(標準3V)。
14	LNA_EN	Digital output	汎用デジタル出力。高感度が必要な場合の外部LNAの制御に使用できます。
15	PA_EN	Digital output	汎用デジタル出力。高出力が必要な場合の外部PAの制御に使用できます。
16	AVDD	Power (analog)	バイアス発生回路およびアンチ・エイリアシング用フィルタの電源(標準3V)。
17	R_BIAS	Analog output	外付け高精度バイアス抵抗(82kΩ, ±1%)を接続。
18	AVDD	Power (analog)	LNA入力段の電源(標準3V)。
19	RF_IN	RF Input	アンテナ(外付け、AC結合)からのRF信号入力。
20	AVDD	Power (analog)	LNAの電源(標準3V)。
21	RF_OUT	RF output	アンテナRF信号出力。
22	AVDD	Power (analog)	LOパッファ、ミキサ、プリスケーラ、初段PAの電源(標準3V)。
23	AVDD	Power (analog)	VCOの電源(標準3V)。
24	VC	Analog input	外部ループ・フィルタからのVCO制御電圧入力。
25	AGND	Ground (analog)	アナログ部(ガード)のグランド(0V)。
26	AD_REF	Power (analog)	ADCの3V基準電圧入力。
27	AVDD	Power (analog)	チャージポンプおよび位相判別器の電源(標準3V)。
28	CHP_OUT	Analog output	外部ループ・フィルタへのPLLチャージポンプ出力。
29	AVDD	Power (analog)	ADCの電源(標準3V)。
30	DGND	Ground (digital)	デジタル部(ガード)のグランド(0V)。
31	DVDD	Power (digital)	デジタル部の電源(標準3V)。
32	PSEL	Digital input	設定インターフェイスのプログラミング・チップ・セレクト、負論理。内部プルアップ抵抗あり。

表 11. 端子配置の概要

注記：

DCLK, DIOおよびLOCKは、パワーダウン時(MAINレジスタのBIAS_PD = 1)の場合、高インピーダンス(3ステート)です。

チップの露出パッドは、チップの主なグランド接続なので、しっかりしたアナログ面に半田付けする必要があります。

6. 回路解説

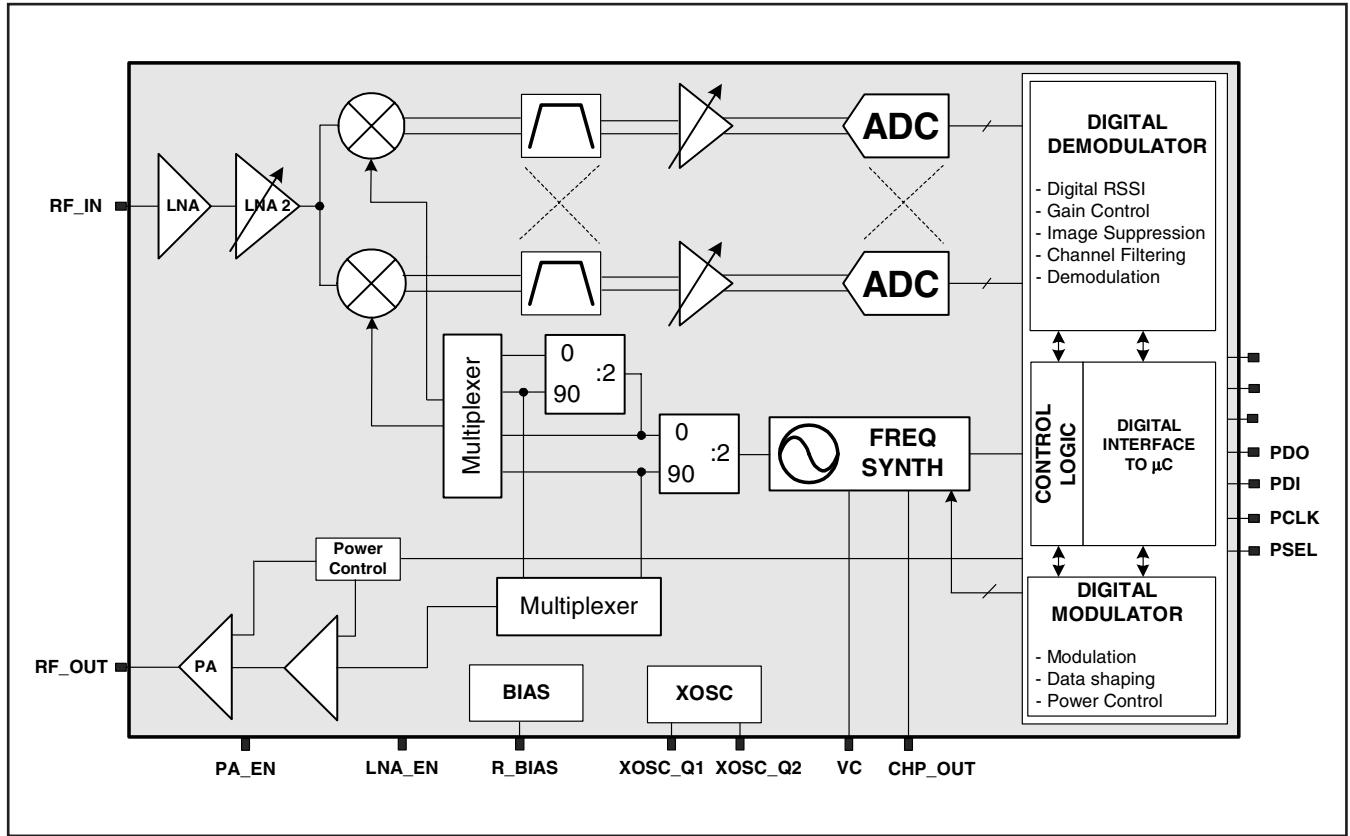


図2. CC1020の概略ブロック図

CC1020の概略ブロック図を図2に示します。ここでは信号端子のみを示しています。

CC1020は低周波数IFレシーバを特長としています。受信されたRF信号は低雑音アンプ(LNA1およびLNA2)で増幅され、中間周波数(IF)へ直交(I/Q)ダウンコンバートされます。IFではI/Q信号が複素フィルタリングおよび増幅され、次にADCでデジタル化されます。自動ゲイン制御、チャネルの微調フィルタリング、復調およびビット同期はデジタルで行われます。CC1020はデジタル復調データをDIO端子に出力します。同期データ・クロックがDCLK端子で得られます。RSSIはデジタル・フォーマットで得られ、シリアル・インターフェイスで読み取ることができます。また、RSSIにはキャリア検知表示としての機能もあります。

送信モードでは、シンセサイズされたRF周波数がパワーアンプ(PA)に直接供給されます。RF出力は、DIO端子に入力されるデジタルのビット・ストリームでFSK(周波数偏移変調)されます。オプションとして、ガウスFSK(GFSK)を行うガウス・フィルタが使用できます。

周波数シンセサイザには、完全なオン・チップLC VCOおよび90°位相スプリッタがあり、受信モード時にLO_IおよびLO_Q信号をダウン・コンバート・ミキサに供給します。VCOは1.608~1.880GHzの周波数範囲で動作します。CHP_OUT端子はチャージポンプ出力であり、VCは内蔵されたVCOの制御端子です。外部ループ・フィルタは、これらの端子間に接続します。水晶はXOSC_Q1とXOSC_Q2の端子間に接続します。PLLからロック信号が得られます。

4線式のSPIシリアル・インターフェイスが設定に使用されます。

7. アプリケーション回路

CC1020を動作させるには、非常にわずかな外付け部品しか必要ありません。推奨アプリケーション回路を図3に示します。外付け部品について表12に示し、その定数について表13に示します。

入出力整合

L1とC1はレシーバの入力整合に使用されます。L1はバイアスを与えるDCチョークでもあります。L2とC3によりトランスマッタを50Ωに整合します。CC1020の内部回路は、送受信の両モードで入出力を相互に接続でき、かつ50Ωに整合がとれるようになっています。しかし、最適な特性を得るために外付けのT/Rスイッチを使用することを推奨します。詳細は14節をご覧ください。整合回路網の部品定数は、SmartRF® Studioソフトウェアを使用すると容易に得られます。

バイアス抵抗

高精度のバイアス抵抗R1は、バイアス電流を正確に設定するために使用されます。

PLLループ・フィルタ

ループ・フィルタは、2個の抵抗(R2, R3)と3個のコンデンサ(C6–C8)からなります。C7とC8は、広ループ帯域幅が必要なアプリケーションでは省略可能です。表13に示す定数は、最大

4.8kBaudのデータ・レートまで使用できます。それより高データ・レートの部品定数は、SmartRF® Studioソフトウェアを使用すると容易に得られます。

水晶振動子

1個の外付け水晶振動子と2個の負荷コンデンサ(C4, C5)が水晶発振器に使用されます。詳細は19節をご覧ください。

他のフィルタ

特定のアプリケーションにおける特性を向上させるため、他の外付け部品(RF LCやSAWフィルタ)が使用できます。より詳しい情報は14節をご覧ください。

電源のデカップリングおよびフィルタリング

電源はデカップリングおよびフィルタリングする必要があります(アプリケーション回路には示していません)。デカップリング用コンデンサおよび電源フィルタリングの配置と定数は、ナローバンド・アプリケーションの最適特性を得るために非常に重要です。そのため、TIは極力従うべきリファレンス・デザインを提供しております。

参照	説明
C1	LNA入力整合およびDC阻止、14節参照。
C3	PA出力整合およびDC阻止、14節参照。
C4	水晶振動子負荷コンデンサ、19節参照。
C5	水晶振動子負荷コンデンサ、19節参照。
C6	PLLループ・フィルタ・コンデンサ。
C7	PLLループ・フィルタ・コンデンサ(広ループ帯域幅では省略可能)。
C8	PLLループ・フィルタ・コンデンサ(広ループ帯域幅では省略可能)。
C60	デカップリング用コンデンサ。
L1	LNA整合およびDCバイアス(グランド)、14節参照。
L2	PA整合およびDCバイアス(電源電圧)、14節参照。
R1	基準電流源用の高精度抵抗。
R2	PLLループ・フィルタ抵抗。
R3	PLLループ・フィルタ抵抗。
R10	PA出力整合、14節参照。
XTAL	水晶振動子、19節参照。

表 12. 外付け部品の概要(電源デカップリング用コンデンサは除く)

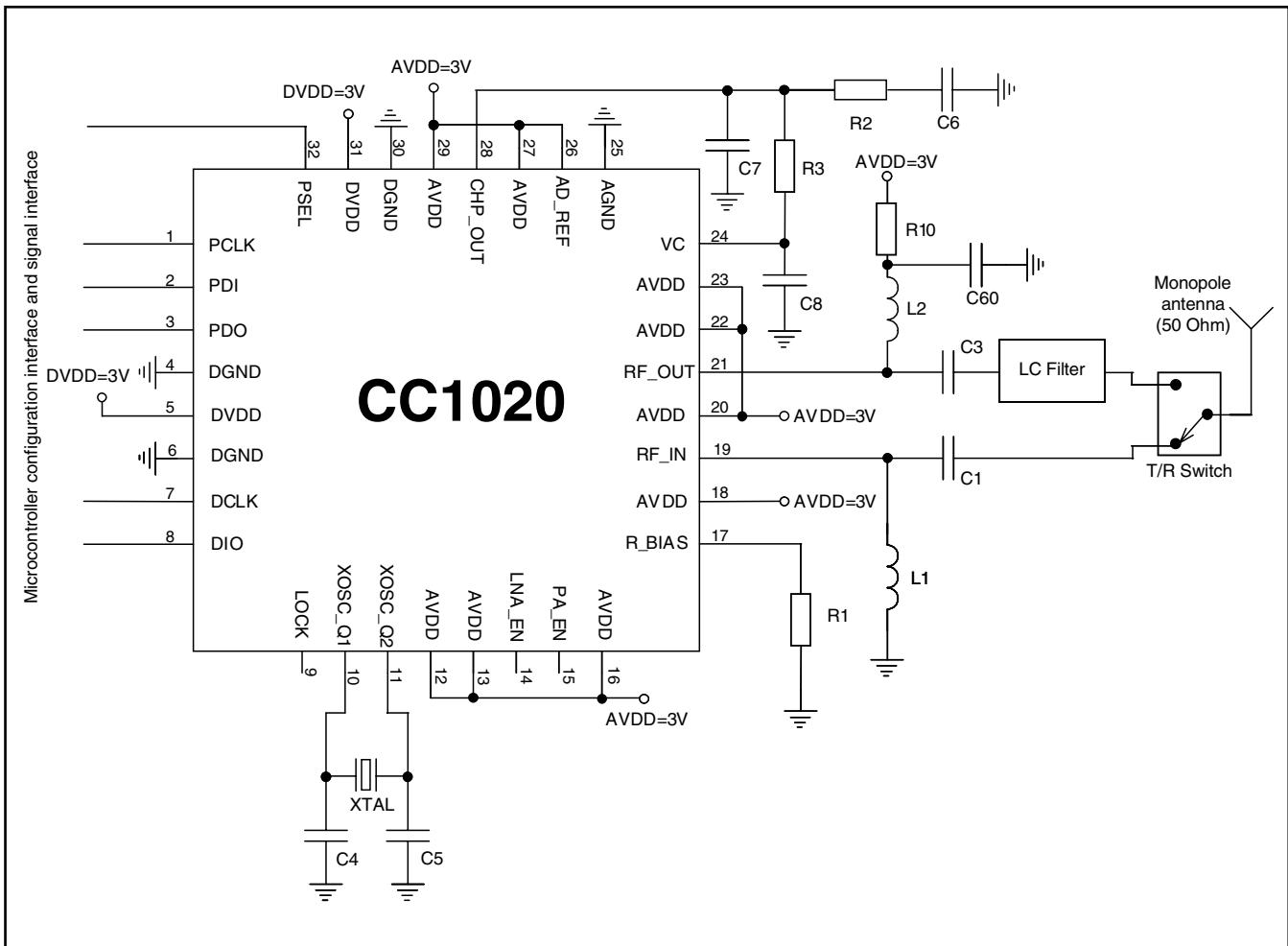


図3. 標準的なアプリケーションおよび試験回路(電源デカップリング用コンデンサは除く)

Item	433 MHz	868 MHz	915 MHz
C1	10 pF, 5%, NPO, 0402	47 pF, 5%, NPO, 0402	47 pF, 5%, NPO, 0402
C3	5.6 pF, 5%, NPO, 0402	10 pF, 5%, NPO, 0402	10 pF, 5%, NPO, 0402
C4	22 pF, 5%, NPO, 0402	22 pF, 5%, NPO, 0402	22 pF, 5%, NPO, 0402
C5	12 pF, 5%, NPO, 0402	12 pF, 5%, NPO, 0402	12 pF, 5%, NPO, 0402
C6	220 nF, 10%, X7R, 0603	100 nF, 10%, X7R, 0603	100 nF, 10%, X7R, 0603
C7	8.2 nF, 10%, X7R, 0402	3.9 nF, 10%, X7R, 0402	3.9 nF, 10%, X7R, 0402
C8	2.2 nF, 10%, X7R, 0402	1.0 nF, 10%, X7R, 0402	1.0 nF, 10%, X7R, 0402
C60	220 pF, 5%, NPO, 0402	220 pF, 5%, NPO, 0402	220 pF, 5%, NPO, 0402
L1	33 nH, 5%, 0402	82 nH, 5%, 0402	82 nH, 5%, 0402
L2	22 nH, 5%, 0402	3.6 nH, 5%, 0402	3.6 nH, 5%, 0402
R1	82 kΩ, 1%, 0402	82 kΩ, 1%, 0402	82 kΩ, 1%, 0402
R2	1.5 kΩ, 5%, 0402	2.2 kΩ, 5%, 0402	2.2 kΩ, 5%, 0402
R3	4.7 kΩ, 5%, 0402	6.8 kΩ, 5%, 0402	6.8 kΩ, 5%, 0402
R10	82 Ω, 5%, 0402	82 Ω, 5%, 0402	82 Ω, 5%, 0402
XTAL	14.7456 MHz crystal, 16 pF load	14.7456 MHz crystal, 16 pF load	14.7456 MHz crystal, 16 pF load

注記：網掛けした項目は周波数により定数が変化します。433MHz、12.5kHzチャネル間隔については、より低帯域幅のループ・フィルタを使用して隣接および代替チャネル除去特性を改善します。

表13. アプリケーション回路(図3)の部品表

注記：

表13のPLLループ・フィルタの部品定数(R2, R3, C6-C8)は、最大4.8kBaudのデータ・レートまで使用できます。その他のデータ・レートについては、SmartRF® Studioソフトウェアが15.1節の方程式を使用して部品定数を与えてくれ

ます。CC1020EMXリファレンス・デザインでは、村田製作所のLQG15HSシリーズ・コイルが使用されています。スイッチはM/A-COM製のSW-456です。

図3のLCフィルタは送信回路にのみ挿入されています。このフィルタは、送信系統の高調波とスプリアスを低減するとともに、受信選択度も向上します。しかし、LCフィルタの挿入損失により、感度がわずかに低下します。

信号の高調波とスプリアスを低減するとともに、受信選択度も向上します。しかし、LCフィルタの挿入損失により、感度がわずかに低下します。

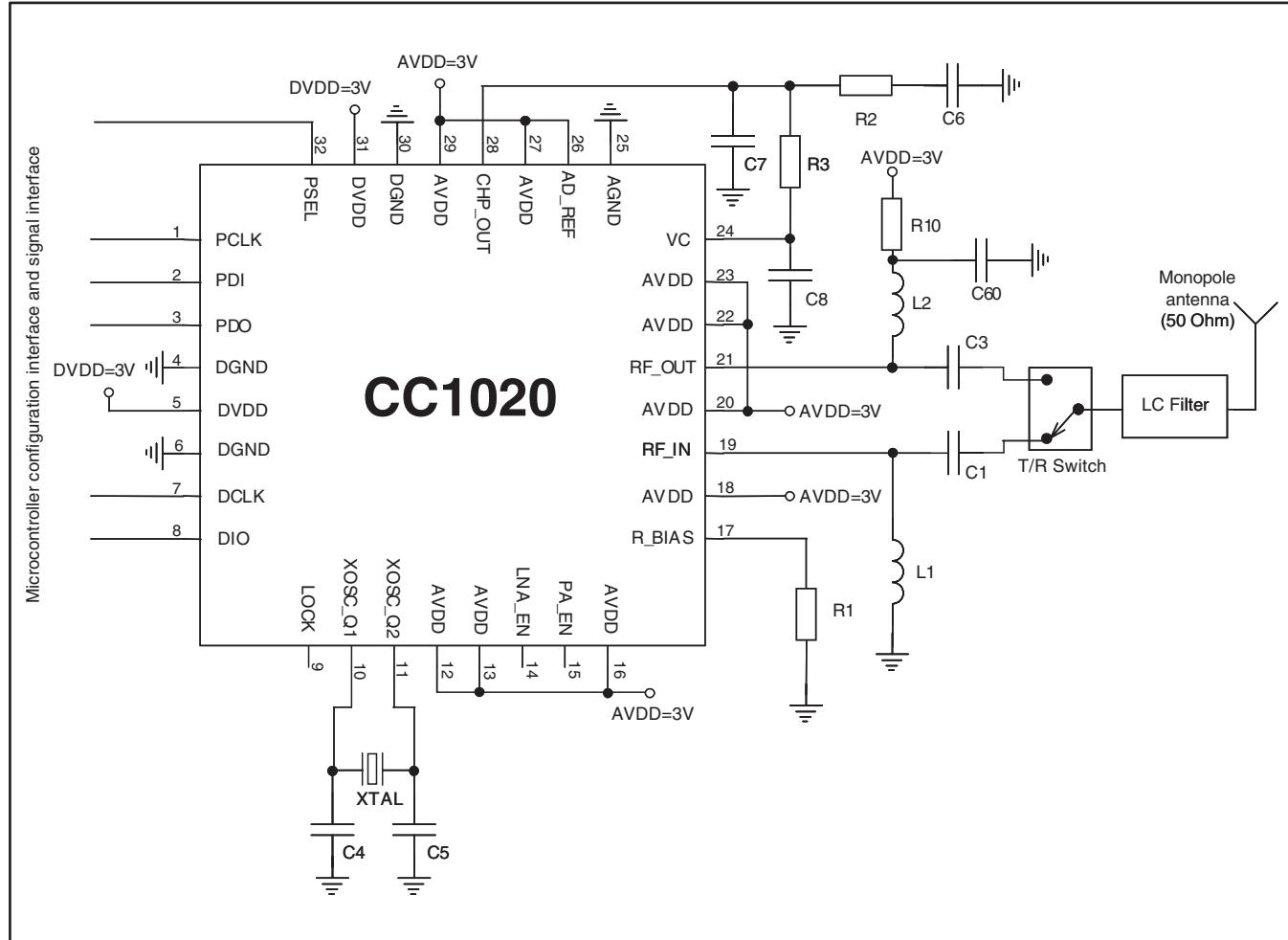


図4. LCフィルタの挿入場所を変更したアプリケーション回路(電源デカッピング用コンデンサは除く)

8. 設定の概要

CC1020は様々なアプリケーションために、その構成と特性をアプリケーションに最適に設定することができます。構成レジスタの設定により、以下の主要なパラメータをプログラミングできます。

- 受信/送信モード
- RF出力パワー
- 周波数シンセサイザの主要パラメータ：
 - RF出力周波数
 - FSK周波数間隔
 - 水晶発振器の基準周波数
- パワーダウン/パワーアップ・モード
- 水晶発振器のパワーアップ/パワーダウン
- データ・レートおよびデータ・フォーマット (NRZ, マンチェスター符号やUARTインターフェイス)
- シンセサイザ・ロック表示モード
- デジタルRSSIおよびキャリア検知
- FSK/GFSK/OOK変調

8.1. 設定用ソフトウェア

TIはCC1020のユーザーにソフトウェア・プログラムSmartRF® Studio (Windowsインターフェイス) を提供しています。このソフトウェアは、ユーザーによる様々なパラメータの選択に基づいて、必要なCC1020の設定データをすべて生成します。これらの16進数は、CC1020の設定に関してマイクロコントローラに必要な入力になります。さらに、このソフトウェアにより出入力整合回路、PLLループ・フィルタおよびLCフィルタの部品定数がユーザーに与えられます。

図5にCC1020設定ソフトウェアのユーザー・インターフェイス画面を示します。

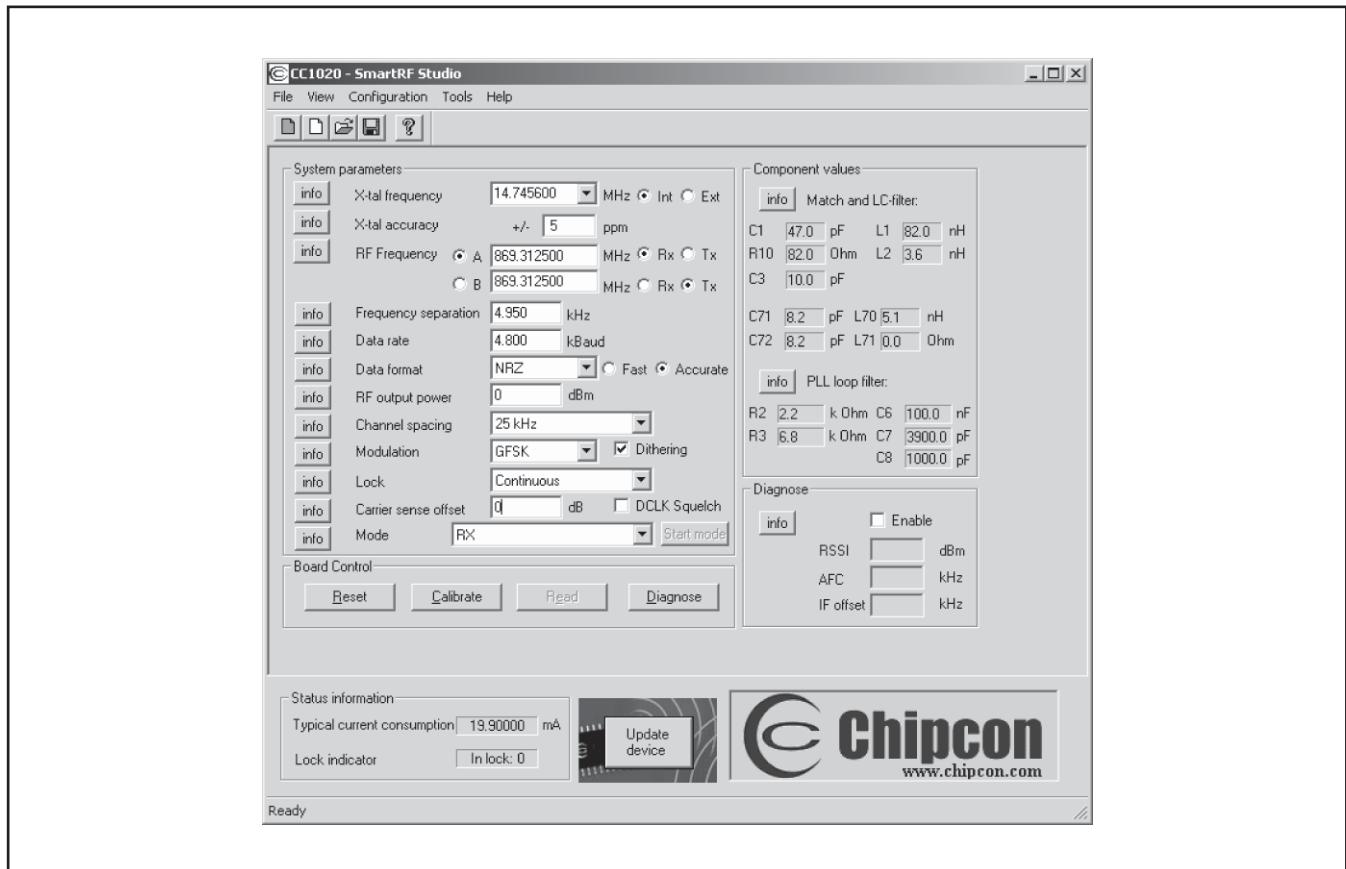


図 5. SmartRF® Studioユーザ・インターフェイス

9. マイクロコントローラ・インターフェイス

標準システムの場合、CC1020はマイクロコントローラと接続して使用します。このマイクロコントローラは下記のことが必要です。

- CC1020のモードをプログラミングするための、設定用4線式シリアル・インターフェイス(PDI, PDO, PCLKおよびPSEL)。
- データ信号のための、双方向同期インターフェイス(DIO, DCLK)。
- データの符号化/復号化。
- LOCK端子を経由して周波数ロック状態、キャリア検知状態、その他の状態情報を監視する。
- 4線式シリアル・インターフェイスを経由して、デジタルRSSI値やその他の状態情報を読み込む。

設定インターフェイス

図6にマイクロコントローラとのインターフェイスを示します。マイクロコントローラは、設定インターフェイスに3あるいは4本のI/O端子(PDI, PDO, PCLKおよびPSEL)を使用します。PDOはマイクロコントローラの入力に接続します。PDI, PCLKおよびPSELは、マイクロコントローラの出力に接続する必要があります。PDI, PDOを相互に接続し、マイクロコントローラの端子が双方向ならば、I/O端子を1本節約できます。

また、PDI, PDOおよびPCLKに接続したマイクロコントローラの端子は、設定インターフェイスに使用されていないとき他の目的に使用できます。PSEL(アクティブ高)がアクティブでない場合、PDI, PDOおよびPCLKは高インピーダンス入力になります。

PSELには内部プルアップ抵抗があり、それを流れる電流を防止するため、パワーダウン・モードの間はオープンまたは、ハイレベルに設定します。

信号インターフェイス

双方向端子は一般にデータ(DIO)の送受信に使用します。データのタイミングを与えるDCLKは、マイクロコントローラの入力に接続します。

オプションとして、受信モード時のデータ出力は別の端子に出力できます。詳細については9.2節をご覧ください。

PLLロック信号

オプションで、マイクロコントローラの1端子をLOCK信号の監視に使用できます。この信号は、PLLがロックするとローのロジックレベルになります。また、キャリア検知や他の内部テスト信号の監視にも使用できます。

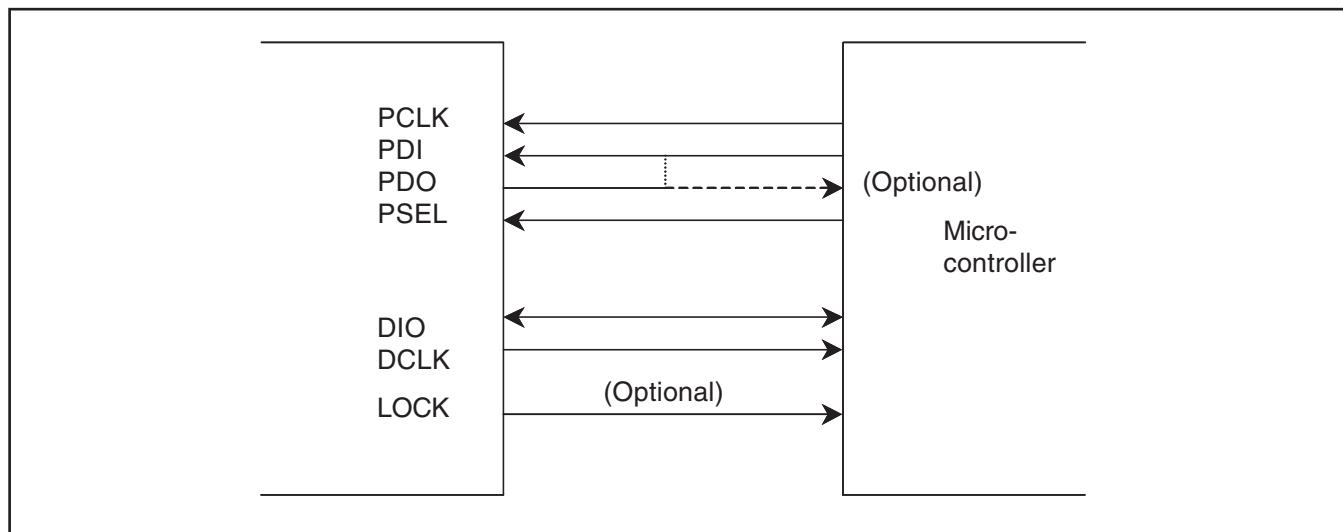


図6. マイクロコントローラ・インターフェイス

9.1 設定用4線式シリアル・インターフェイス

CC1020の設定は、SPI互換の4線式インターフェイス(PDI, PDO, PCLKおよびPSEL)にスレーブ接続して行います。各々7ビットでアドレスされる8ビットの設定レジスタがあり、リード/ライト(R/W)ビットにより、リードあるいはライト動作を開始します。CC1020の全てを設定するには、それぞれ16ビット(7アドレス・ビット、R/Wビットおよび8データ・ビット)からなるデータ・フレームを33個送信する必要があります。全ての設定に必要な時間はPCLK周波数に依存します。10MHzのPCLKの場合、フル設定は53μs以下で終了します。デバイスをパワーダウン・モードに設定するに必要なのは、1フレームの送信と2μs以下の時間だけです。また、レジスタはすべて読み取り可能です。

各ライト・サイクルの間、16ビットがPDIラインに送信されます。各データ・フレームの上位7ビット(A6:0)はアドレス・ビットです。A6はアドレスのMSB(最上位ビット)であり、最初のビットとして送信されます。次のビットはR/Wビット("High"がライト、"Low"がリード)です。その後にデータ8ビット(D7:0)が伝送されます。アドレスとデータの伝送の間、PSEL(プログラム・セレクト)は"Low"に保つ必要があります。図7をご覧ください。

プログラミング・タイミングを図7に示します、表14とともに参照してください。PDIのデータはPCLKの立ち上りエッジでクロックされます。マイクロコントローラでは、データをPCLKの立ち下りエッジでセットするようにします。データ8ビットの最終ビットD0がロードされると、データ・ワードが内部の設定レジスタにロードされます。

設定データはプログラミングされたパワーダウン・モードでは保持されますが、電源の供給が絶たれた場合、保持されません。設定レジスタは任意の順番でプログラミングできます。

設定レジスタの内容は、同じ設定インターフェイスでマイクロコントローラからリードできます。7ビットのアドレス・ビットを最初に送信し、次にR/Wビットを"Low"にしてデータの読み取りを開始します。すると、CC1020はアドレスされたレジスタからデータを返します。PDOがデータ出力として使用されるので、 PDOはマイクロコントローラで入力として設定する必要があります。また、 PDOはPCLKの立ち下りエッジでセットされるため、立ち上りエッジでサンプリングされるようになります。図8にリード動作を示します。

リード/ライト動作でない期間は、PSELは"High"に設定しなければなりません。

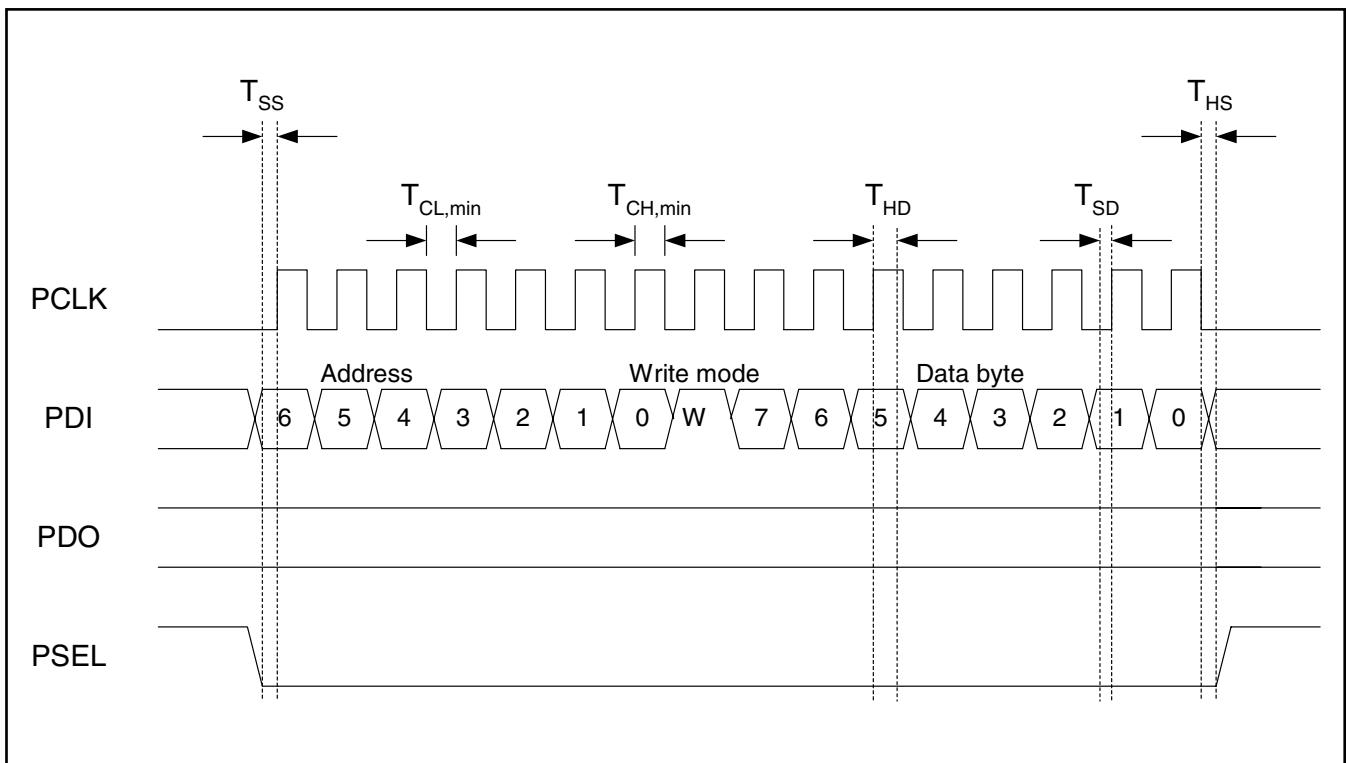


図7. 設定レジスタのライト動作

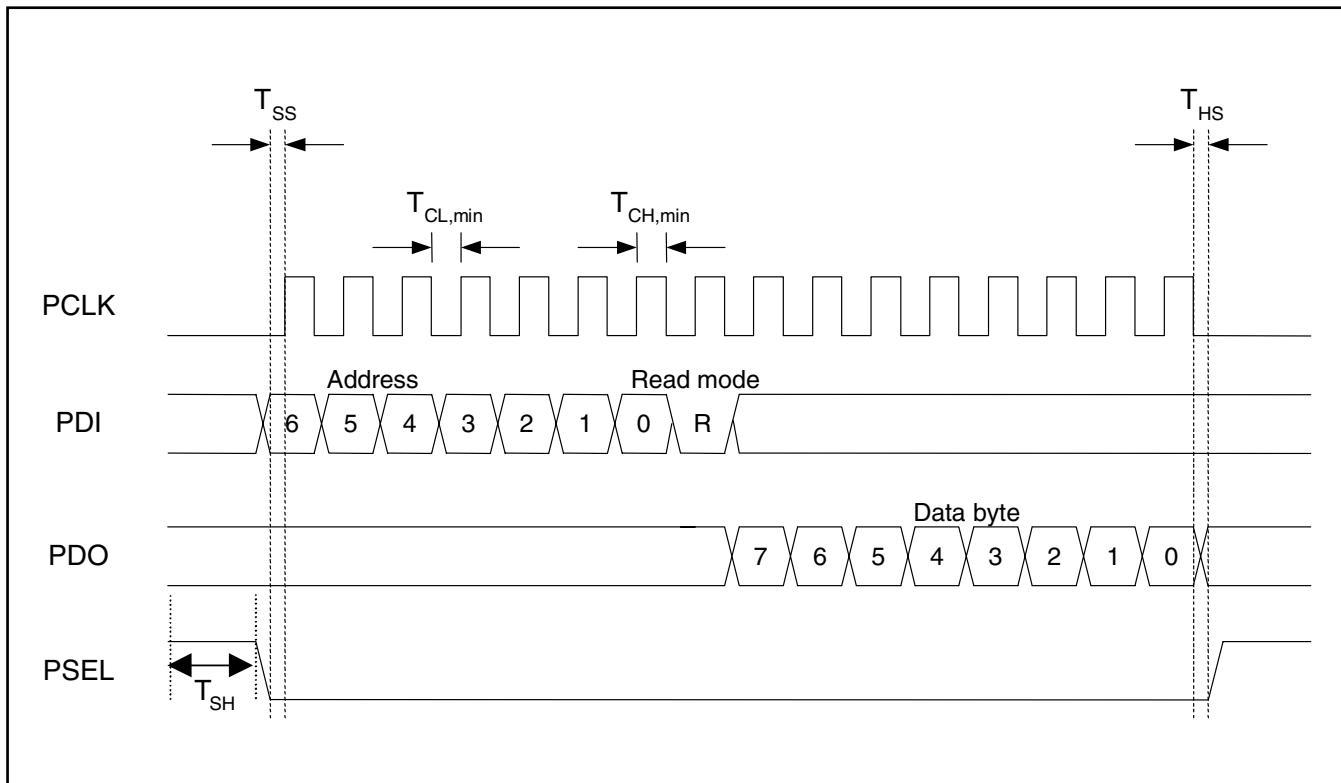


図 8. 設定レジスタのリード動作

Parameter	Symbol	Min	Max	Unit	Conditions
PCLK, clock frequency	f_{PCLK}		10	MHz	
PCLK low pulse duration	$T_{CL,min}$	50		ns	PCLKに必要な“L”レベルの最短時間。
PCLK high pulse duration	$T_{CH,min}$	50		ns	PCLKに必要な“H”レベルの最短時間。
PSEL setup time	T_{SS}	25		ns	PCLKの立ち上りエッジ前に必要なPSELの“L”レベルの最短時間。
PSEL hold time	T_{HS}	25		ns	PCLKの立ち下りエッジ後に必要なPSELの“L”レベルの最短時間。
PSEL high time	T_{SH}	50		ns	PSELに必要な“H”レベルの最短時間。
PDI setup time	T_{SD}	25		ns	PDIにおけるデータの、PCLKの立ち上りエッジ前に必要なレディの最短時間。
PDI hold time	T_{HD}	25		ns	PDIにおけるデータの、PCLKの立ち上りエッジ後に必要なホールドの最短時間。
Rise time	T_{rise}		100	ns	PCLKとPSELの最長立ち上り時間。
Fall time	T_{fall}		100	ns	PCLKとPSELの最長立ち下り時間。

注記：セットアップ・タイムとホールド・タイムは、VDDの50%を基準にしています。立ち上りと立ち下り時間は、それぞれVDDの10%と90%を基準にしています。本表は最大負荷が20pFまで有効です。

表 14. シリアル・インターフェイスのタイミング仕様

9.2. 信号インターフェイス

CC1020は、NRZ(ノン・リターン・ツー・ゼロ)データあるいはマンチェスター符号(バイフェーズレベルとして知られる)データを使用できます。また、CC1020は復調器からのデータと同期したデータ・クロック、DCLKを出力することもできます。データ・フォーマットは、MODEMレジスタのDATA_FORMAT[1:0]ビットで制御されます。

CC1020では、以下の3種類のデータ・フォーマットが設定できます。

同期NRZモード

送信モード時、CC1020はDCLKにデータ・クロックを出力し、DIOをデータ入力として使用します。データはDCLKの立ち上がりエッジでクロックに同期して入力します。CC1020はデータを符号化せずにRF信号を変調します。

受信モードではCC1020は受信データから同期クロックを作成し、DCLKに受信データ・クロックを、DIOにデータを出力します。このデータは、DCLKの立ち上がりエッジに同期してインターフェイス回路に送ります。図9をご覧ください。

同期マンチェスター符号モード

送信モード時にCC1020はDCLKにデータ・クロックを出力し、DIOをデータ入力として使用します。データはDCLKの立ち上がりエッジでクロック同期して入力し、データをNRZフォーマットにします。次に、データはマンチェスター符号でRF信号を変調します。符号化はCC1020で行われ、これにより実効的なビット・レートはBaudレートの半分になります。たとえば、4.8kBaudのマンチェスター符号データは、2.4kbpsに相当します。

受信モードではCC1020は受信データから同期クロックを作成し、DCLKに受信データ・クロックを、DIOにデータを出力します。またCC1020は復号を行い、NRZデータがDIOに出力されます。このデータは、DCLKの立ち上がりエッジにクロック同期してインターフェイス回路に送ります。以上について図10をご覧ください。

同期NRZまたはマンチェスター・モードでは、キャリア検知信号あるいはPLLロック信号でゲートされないかぎり、DCLK信号は送受信モードにおいて連続的に出力されます。より詳細については、21節および21.2節を参照してください。

INTERFACEレジスタのビットSEP_DI_DO = 0の場合、DIO端子は受信モードでデータ出力、送信モードでデータ入力になります。

オプションとして、データ出力は他の端子に出力できます。これを行うには、INTERFACEレジスタのビットSEP_DI_DO = 1と設定します。すると、LOCK端子のその他の使用方法より優先されて、同期モードにてLOCK端子をデータ出力として使用できます。

トランスペアレント非同期UARTモード

送信モードでDIOがデータ入力として使用されます。データは同期化あるいは符号化せずにRF信号を変調します。

受信モードでは、復調器からのデータの原信号が出力(DIO)に送られます。CC1020では信号の同期化も復号も行われず、インターフェイス回路でも行いません。

INTERFACEレジスタのビットSEP_DI_DO = 0の場合、DIO端子は受信モードでデータ出力に、送信モードでデータ入力になります。DCLK端子はアクティブにならず、DATA_FORMAT[0]により“High”または“Low”レベルに設定できます。

INTERFACEレジスタのビットSEP_DI_DO = 1の場合、DCLK端子は受信モードでデータ出力であり、DIO端子は送信モードでデータ入力になります。送信モードではDCLK端子はアクティブにならず、DATA_FORMAT[0]により“H”または“L”レベルに設定できます。以上については図11をご覧ください。

マンチェスター符号化および復号化

同期マンチェスター符号モードでは、CC1020はデータの変調にマンチェスター符号を使用します。また、CC1020はデータの復号化と同期化も行います。マンチェスター符号は遷移をベースにしており、“0”は“Low”から“High”的遷移として、“1”は“High”から“Low”的遷移として符号化されます。これについては図12をご覧ください。

マンチェスター符号では、一定のDC成分が信号にあることが保証されます。このDC成分はある種のFSK復調器に必要になります。このモードを使用すると、CC400/CC900設計との互換性も保証されます。

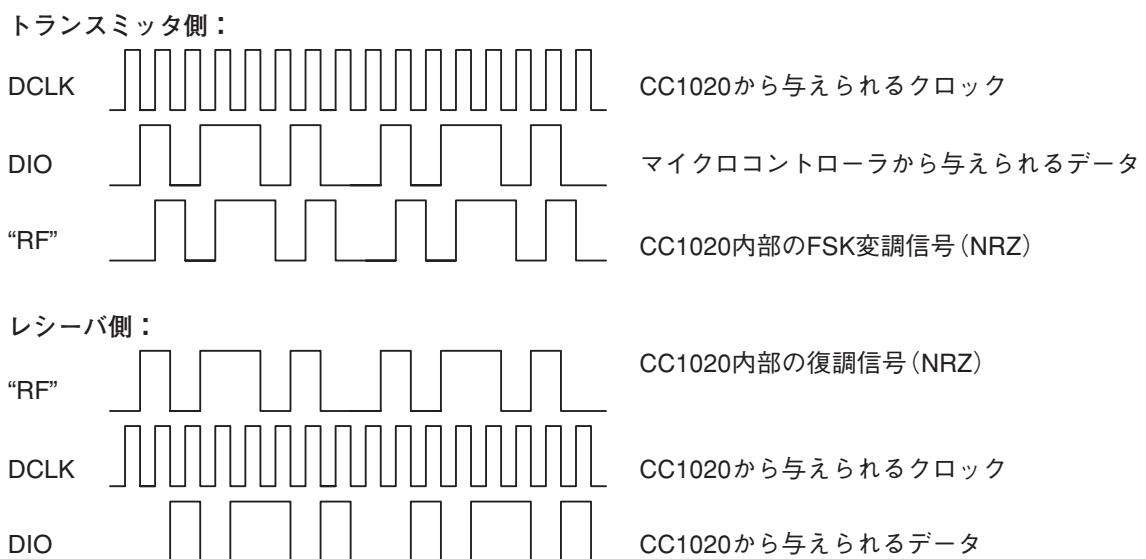


図 9. 同期NRZモード (SEP_DL_DO = 0)

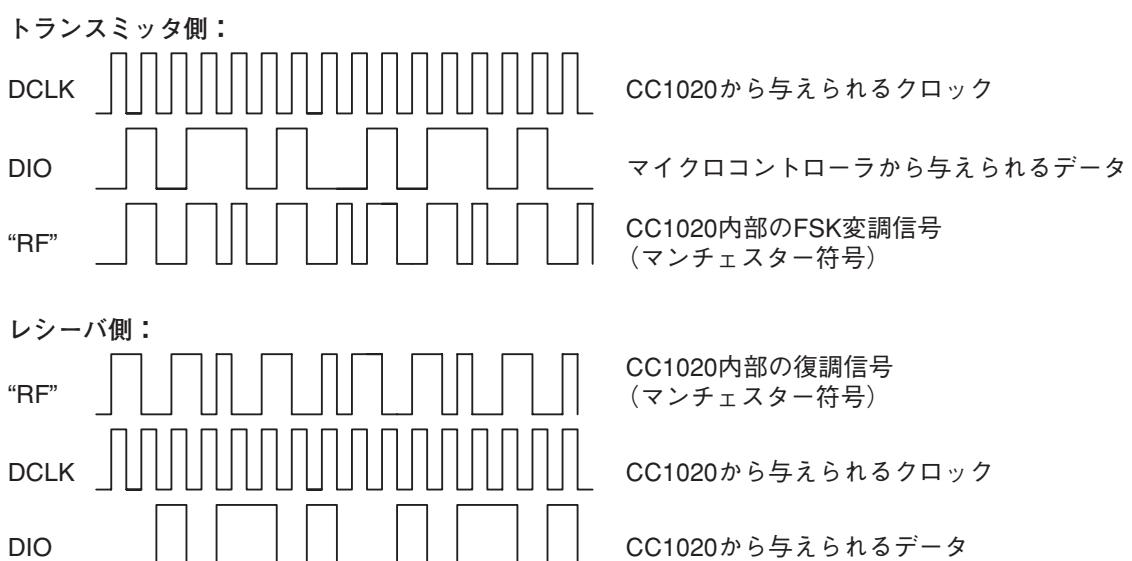


図 10. 同期マンチェスター符号モード (SEP_DL_DO = 0)

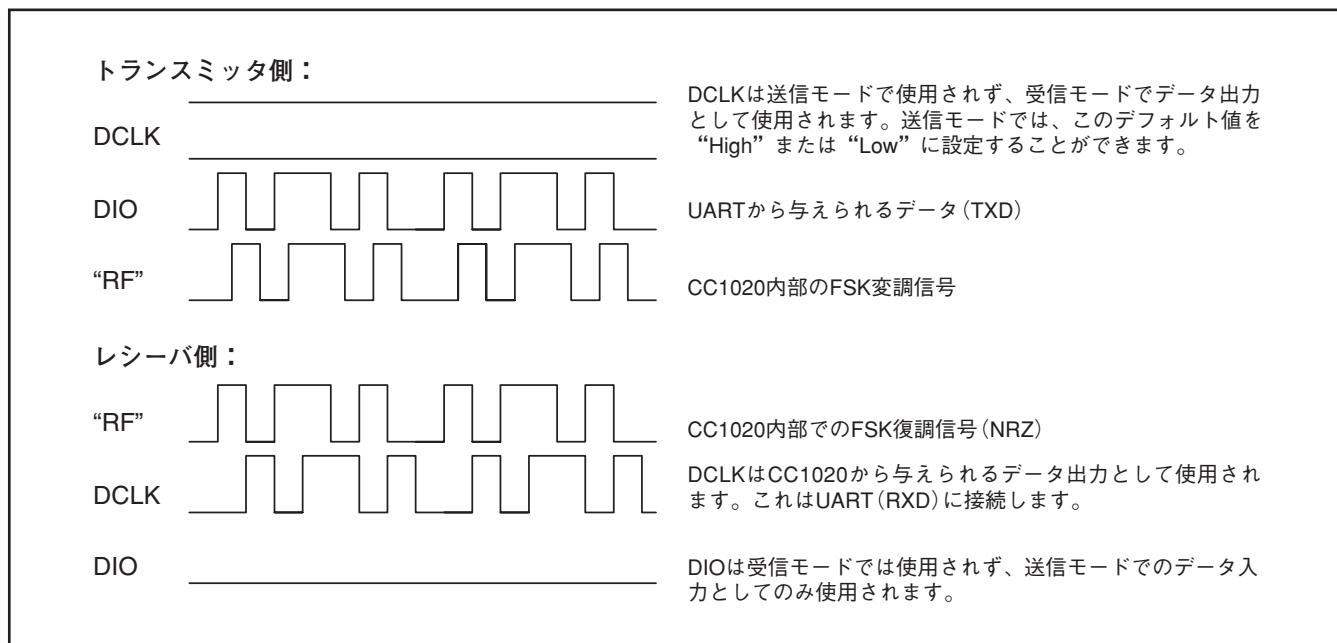


図 11. トランスペアレント非同期UARTモード (SEP_DI_DO = 1)

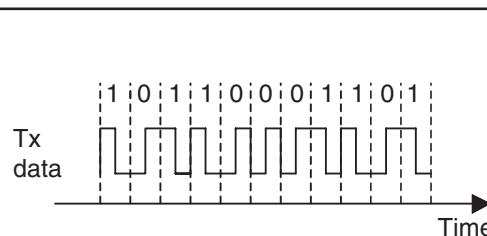


図 12. マンチェスター符号化

10. データ・レートのプログラミング

データ・レート (ビット・レート) はプログラマブルであり、水晶発振周波数とCLOCKレジスタ (CLOCK_AおよびCLOCK_B) のプログラミングにより定まります。

ビット・レート (B.R.) は次式で与えられます。

$$B.R. = \frac{f_{XOSC}}{8 \cdot (REF_DIV+1) \cdot DIV1 \cdot DIV2}$$

ここで、DIV1およびDIV2はMCLK_DIV1およびMCLK_DIV2によって与えられる値です。

いくつかの可能なデータ・レートを同期モード時の水晶発振周波数の関数として表17に示します。非同期トランスペアレントUARTモードでは、最大153.6kBaudまでのデータ・レートが使用できます。

MCLK_DIV2[1:0]	DIV2
00	1
01	2
10	4
11	8

表 15. MCLK_DIV2の設定によるDIV2

MCLK_DIV1[2:0]	DIV1
000	2.5
001	3
010	4
011	7.5
100	12.5
101	40
110	48
111	64

表 16. MCLK_DIV1の設定によるDIV1

Data rate [kBaud]	Crystal frequency [MHz]						
	4.9152	7.3728	9.8304	12.288	14.7456	17.2032	19.6608
0.45		X			X		
0.5				X			
0.6	X	X	X	X	X	X	
0.9		X			X		
1				X			
1.2	X	X	X	X	X	X	X
1.8		X			X		
2				X			
2.4	X	X	X	X	X	X	X
3.6		X			X		
4				X			
4.096			X				X
4.8	X	X	X	X	X	X	X
7.2		X			X		
8				X			
8.192			X				X
9.6	X	X	X	X	X	X	X
14.4		X			X		
16				X			
16.384			X				X
19.2	X	X	X	X	X	X	X
28.8		X			X		
32				X			
32.768			X				X
38.4	X	X	X	X	X	X	X
57.6		X			X		
64				X			
65.536							X
76.8	X	X	X	X	X	X	X
115.2		X			X		
128				X			
153.6		X		X	X	X	X

表 17. いくつかの可能なデータレート 対 水晶発振周波数

11. 周波数のプログラミング

設定レジスタにおける周波数ワードをプログラミングすると、動作周波数が設定されます。周波数ワード・レジスタにはFREQ_AおよびFREQ_Bの2種類があり、異なる2つの周波数をプログラミングすることができます。RXとTXの両モード間を非常に高速に切り換えられるように、一方の周波数ワードはRX(局部発振周波数)に使用でき、他方はTX(送信キャリア周波数)に使用できます。また、この2つの周波数はRX(あるいはTX)の異なる2個のチャネルに使用することもできます。MAINレジスタのF_REGビットにより、周波数ワードAあるいはBが選択されます。

周波数ワードは、FREQ_AワードについてはFREQ_2A : FREQ_1A : FREQ_0Aにあり、FREQ_BワードについてはFREQ_2B : FREQ_1B : FREQ_0Bにあります。FREQ_0レジスタのLSBは、11.1節のディザリングをイネーブルするために使用されます。

PLL出力周波数は次式で与えられます。

周波数帯域が402~470MHzでは、

$$f_c = f_{ref} \cdot \left(\frac{3}{4} + \frac{\text{FREQ} + 0.5 \cdot \text{DITHER}}{32768} \right)$$

また、周波数帯域が804~940MHzでは、

$$f_c = f_{ref} \cdot \left(\frac{3}{4} + \frac{\text{FREQ} + 0.5 \cdot \text{DITHER}}{32768} \right)$$

ANALOGレジスタのBANDSELECTビットにより、使用する周波数帯域が制御されます。

BANDSELECT = 0ならば402~470MHzであり、BANDSELECT = 1ならば804~940MHzになります。

基準周波数は、水晶発振器のクロック周波数をREF_DIV (CLOCK_AあるいはCLOCK_Bレジスタの3ビット) の数字1～7で分周したものであり、次式で与えられます。

$$f_{ref} = \frac{f_{xosc}}{REF_DIV + 1}$$

FSK周波数偏移はDEVIATIONレジスタでプログラミングされます。偏移プログラミングは仮数(TXDEV_M[3:0])と指数(TXDEV_X[2:0])に分かれます。

一般にREF_DEVはできるだけ低くしますが、次の条件を満たす必要があります。

周波数帯域が402～470MHzでは、

$$9.8304 \geq f_{ref} > \frac{f_c}{256} [\text{MHz}]$$

また、周波数帯域が804～940MHzでは、

$$9.8304 \geq f_{ref} > \frac{f_c}{512} [\text{MHz}]$$

上記のPLL出力周波数の式により、送信モードでのキャリア周波数(f_c 中心周波数)が与えられます。2つのFSK変調周波数は次式で与えられます。

$$f_0 = f_c - f_{dev}$$

$$f_1 = f_c + f_{dev}$$

ここで、 f_{dev} はDEVIATIONレジスタで設定され、周波数帯域が402～470MHzでは、

$$f_{dev} = f_{ref} \cdot TXDEV_M \cdot 2^{(TXDEV_X-16)}$$

周波数帯域が804～940MHzでは、

$$f_{dev} = f_{ref} \cdot TXDEV_M \cdot 2^{(TXDEV_X-15)}$$

OOK(オン・オフ変調)はTXDEV_M[3:0] = 0000のとき使用されます。

DEVIATIONレジスタのTX_SHAPINGビットにより、変調信号のガウス整形が制御されます。

受信モードでは、周波数はLO周波数にプログラミングする必要があります。下側のLO注入が使用されるので、

$$f_{LO} = f_c - f_{IF}$$

ここで、 f_{IF} はIF周波数(理想的には307.2kHz)です。

11.1. ディザリング

スプリアス信号は、PLLの分周比に依存するいくつかの周波数で発生します。これらのスパー強度を低減する一般的な手法は、周波数分周器の制御でディザリング信号を使用することです。ディザリングはFREQ_0レジスタのDITHERビットを設定すると有効になります。できるだけ最適な特性を得るため、ディザリングを行うことを推奨します。

12. レシーバ

12.1. IF周波数

IF周波数は水晶発振周波数から次式のように得られます。

$$f_{IF} = \frac{f_{xoscx}}{8 \cdot (\text{ADC_DIV}[2:0]+1)}$$

ここで、ADC_DIV[2:0]はMODEMレジスタで設定されます。

ミキサの後に続くアナログ・フィルタは、広帯域およびアンチ・エイリアシングのフィルタリングに使用され、1MHz以上のオフセットのブロッキング特性に重要です。このフィルタは固定値であり、IF周波数の名目値である307.2kHzを中心としています。また、このアナログ・フィルタの帯域幅は約160kHzです。

300～320kHz以内のIF周波数を与える水晶発振周波数を使用すると、アナログ・フィルタが使用できます(周波数偏差が小さく、データ・レートが低いとして)。

しかし、オフセットが名目値のIF周波数より大きいと、信号の非対称なフィルタリング(群遅延変動および様々な減衰)となり、感度および選択性が低下することになります。より詳細については、アプリケーション・ノート『AN022水晶発振周波数の選択』を参照してください。

300～320kHz以外のIF周波数および高周波数偏移と高データ・レート(一般に76.8kbps以上)については、FILTERレジスタのFILTER_BYPASS = 1と設定して、アナログ・フィルタをバイパスする必要があります。この場合、1MHz以上のオフセットのブロッキング特性が低下します。

IF周波数は常にADCクロック周波数の4分の1です。したがって、ADCクロック周波数は可能な限り1.2288MHzに近くします。

12.2. レシーバ・チャネル・フィルタ帯域幅

種々のチャネル間隔条件に対応するため、レシーバ・チャネル・フィルタ帯域幅はプログラマブルであり、9.6kHzから307.2kHzまでプログラミングできます。

最小レシーバ・チャネル・フィルタ帯域幅はビット・レート、周波数分離および水晶発振周波数許容誤差に依存します。

信号の帯域幅は、可能なレシーバ・チャネル・フィルタ帯域幅より小さくする必要があります。信号帯域幅(SBW)は次式(Carsonの法則)で近似できます。

$$SBW = 2 \cdot fm + 2 \cdot \text{周波数偏移}$$

ここで、 fm は変調信号です。マンチェスター符号モードでは、最大変調信号は連続した0(または1)のシーケンスを送信する場合に発生します。NRZモードでは、最大変調信号は0-1-0シーケンスの送信で発生します。すると、マンチェスターとNRZの両モードとともに、 $2 \cdot fm$ はプログラミング設定されたビット・レートに等しくなります。したがって、SBWの式は次のように書き換えられます。

$$SBW = \text{ビット・レート} + \text{周波数間隔}$$

さらに、トランスマッタとレシーバの周波数オフセットについても考察しなければなりません。トランスマッタとレシーバで等しい周波数誤差(同型の水晶振動子)があるとして、合計の周波数誤差は、

$$f_{\text{error}} = \pm 2 \cdot XTAL_ppm \cdot f_{\text{RF}}$$

ここで $XTAL_ppm$ は、初期公差、温度ドリフト、負荷および経年変化を含む水晶振動子の総合精度です。また、 f_{RF} はRFの動作周波数です。

したがって、最小レシーバ・チャネル・フィルタ帯域幅(ChBW)は、次式のように見積もることができます。

$$ChBW > SBW + 2 \cdot f_{\text{error}}$$

FILTERレジスタのDEC_DIV[4:0]ビットにより、レシーバ・チャネル・フィルタ帯域幅が制御されます。6dB帯域幅は次式で与えられます。

$$ChBW = 307.2 / (DEC_DIV + 1) [\text{kHz}]$$

ここで、IF周波数は307.2kHzに設定されています。

SmartRF® Studioでは、ユーザはチャネル間隔を規定し、チャネル・フィルタ帯域幅を表18にしたがって設定します。

チャネル間隔が12.5および25kHzのナローバンド・システムについては、チャネル・フィルタ帯域幅がそれぞれ12.288kHzおよび19.2kHzでARIB STD T-67およびEN 300 220に準拠します。

広帯域システム(チャネル間隔が50kHz以上)については、表18と異なるチャネル・フィルタ帯域幅が使用できます。

選択度および感度には周波数許容値とトレードオフの関係があります。大きな周波数ドリフトが予想されるアプリケーションでは、チャネル・フィルタ帯域幅は大きくできますが、隣接チャネル除去(ACR)および感度は低下します。

Channel spacing [kHz]	Filter bandwidth [kHz]	FILTER.DEC_DIV [4:0] [decimal(binary)]
12.5	12.288	24 (11000b)
25	19.2	15 (01111b)
50	25.6	11 (01011b)
100	51.2	5 (00101b)
150	102.4	2 (00010b)
200	153.6	1 (00001b)
500	307.2	0 (00000b)

表 18. SmartRF® Studioで規定するチャネル間隔 対 チャネル・フィルタ帯域幅

12.3 復調器、ビット・シンクロナイザおよびデータ判定

復調器、データ・スライサおよびビット・シンクロナイザのブロック図を図13に示します。組み込みのビット・シンクロナイザは、内部クロックを入力データに同期させ、データ復号を行います。データ決定は、入力信号をオーバーサンプリングおよびデジタル・フィルタリングして行われます。この過程により、データ伝送の信頼性が改善されます。同期モードを使用すると、データ復号処理が大幅に単純化されます。

推奨するプリアンブルは010101のビット・パターンです。マンチェスター・モードでも同様のビット・パターンが必要であり、011001100110のパターンを使用します。このプリアンブルは、ビット・シンクロナイザがコーディングに正しく同期するために必要です。

データ・スライサはビット判定を行います。理想的には、2つの受信FSK周波数はIF周波数に対して対称に配置されます。しかし、トランスマッタとレシーバの間にいくらかの周波数誤差がある場合、決定レベルは相応に調整されるべきです。CC1020では、2周波数を測定して自動的に調整が行われ、判定レベルとして平均値が使用されます。

CC1020のデジタル・データ・スライサは、比較レベルとして検出される周波数偏移の最小と最大の平均値を使用します。AFC_CONTROLレジスタのRXDEV_X[1:0]およびRXDEV_M[3:0]が、入力信号の予想偏移として使用されます。予想偏移より大きい受信周波数の偏移が検出されると、ビット遷移が記録され、データ・スライサで使用される平均値が計算されます。

スライス・レベルを算出するのに必要な最小遷移数は3です。すなわち、010のビット・パターン(NRZ)です。

平均値の算出に使用する実際のビット数は、データ決定精度を向上させるために増加することができます。このビット数はAFC_CONTROLレジスタのSETTLING[1:0]ビットで制御されます。RXチェインがオンしたときにRXデータがチャネルに存在すると、データ・スライスの推定値は一般に3ビットの遷移後に正しい結果をもたらします。データ・スライス精度は、SETTLING[1:0]ビットに依存して、この3ビットの遷移後に向上します。RXチェインがオンした後で送信が開始される場合、正しいデータ・スライス前のビット遷移の最小数(すなわちプリアンブルのビット数)は、SETTLING[1:0]ビットに依存します。

自動データ・スライサの平均値機能は、SETTLING[1:0] = 00と設定すると失効します。この場合、IF周波数に対して対称信号であると見なされます。

内部で算出されるFSK周波数の平均値は、トランスマッタに対するレシーバの周波数オフセットの基準になります。また、この情報は12.13節で述べるように自動周波数制御(AFC)にも使用できます。

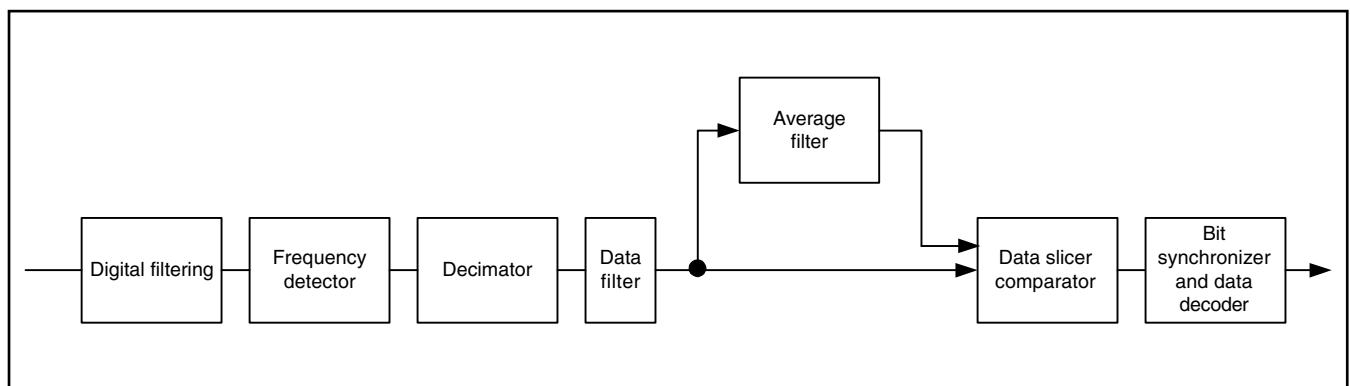


図13. 復調ブロック図

12.4. レシーバ感度 対 データ・レートおよび周波数間隔

レシーバ感度はチャネル・フィルタ帯域幅、データ・レート、データ・フォーマット、FSK周波数間隔およびRF周波数に依存します。レシーバ感度($BER = 10^{-3}$)の一般的な数値をFSKについて表19および表20に示します。最適特性には、FSKモードでの周波数偏差を少なくともBaudレートの半分にします。表の感度は、図3のアプリケーション回路の整合回路(外付けのT/Rスイッチを含む)を使用して測定しています。

感度対周波数オフセットのプロット図は、アプリケーション・ノート『AN029 CC1020/1021 AFC』を参照してください。

12.5. RSSI

CC1020には組み込みのRSSI(受信信号強度表示)があり、RSSIレジスタから読み取ることができるデジタル値を提供します。RSSI読み取り値は、VGAのゲイン設定(VGA3レジスタのVGA_SETTING[4:0])のためにオフセットおよび調整される必要があります。

RSSIデジタル値は0から106の範囲です(7ビット)。

RSSIの読み取りは、IFチェインのデジタル部のデジタル・フィルタの後における平均電圧振幅に対して対数で行われます。すなわち、

$$RSSI = 4 \log_2 (\text{信号振幅})$$

すると、相対電力は対数表現で $RSSI \times 1.5\text{dB}$ で与えられます。

平均信号振幅の算出に使用されるサンプル数は、VGA2レジスタのAGC_AVG[1:0]ビットで制御されます。RSSIの更新レートは次式で与えられます。

$$f_{\text{RSSI}} = \frac{f_{\text{filter_clock}}}{2^{\text{AGC_AVG}[1:0]+1}}$$

ここで、AGC_AVG[1:0]はVGA2レジスタで設定され、 $f_{\text{filter_clock}} = 2 \cdot \text{ChBW}$ です。

最大VGAゲインはVGA_SETTING[4:0]ビットでプログラミングされます。またVGAゲインは、およそ3dB/LSBでプログラミングされます。RSSIの測定は、次式を使用してRF_IN端子における電力(絶対値)と関連づけられます。

$$P = 1.5 \bullet RSSI - 3VGA_SETTING - RSSI_Offset [\text{dBm}]$$

RSSI_Offsetは、異なるVGA設定により使用されるチャネル・フィルタ帯域幅に依存します。図14および図15に、様々なチャネル間隔に対する入力電力の関数としての、RSSI読み取り値の標準的プロットを示します。12.5節の、様々なチャネル間隔に対応するチャネル・フィルタ帯域幅のリストをご覧ください。また、より詳細はアプリケーション・ノート『AN030 CC1020/1021 RSSI』を参照してください。

下記の方法で、図14および図15のRSSI読み取り値から電力P[dBm]を算出することができます。

$$P = 1.5 \bullet [RSSI - RSSI_{\text{ref}}] + P_{\text{ref}}$$

表19. データレートの関数とした標準的なレシーバ感度

(433MHz, FSK変調、 $BER=10^{-3}$ 、およびPN9シーケンスの擬似ランダム・データ)

注：表19の「最適化選択度」は、ARIB STD T-67、12.5kHzチャネル間隔の準拠を目標とするシステムに対応します。

Data rate [kBaud]	Channel spacing [kHz]	Deviation [kHz]	Filter BW [kHz]	Sensitivity [dBm]		
				NRZ mode	Manchester mode	UART mode
2.4 optimized sensitivity	12.5	± 2.025	9.6	-115	-118	-115
2.4 optimized selectivity	12.5	± 2.025	12.288	-112	-114	-112
4.8	25	± 2.475	19.2	-112	-112	-112
9.6	50	± 4.95	25.6	-110	-111	-110
19.2	100	± 9.9	51.2	-107	-108	-107
38.4	150	± 19.8	102.4	-104	-104	-104
76.8	200	± 36.0	153.6	-101	-101	-101
153.6	500	± 72.0	307.2	-96	-97	-96

Data rate [kBaud]	Channel spacing [kHz]	Deviation [kHz]	Filter BW [kHz]	Sensitivity [dBm]		
				NRZ mode	Manchester mode	UART mode
2.4	12.5	± 2.025	12.288	-112	-116	-112
4.8	25	± 2.475	19.2	-11	-112	-111
9.6	50	± 4.95	25.6	-109	-110	-109
19.2	100	± 9.9	51.2	-107	-107	-107
38.4	150	± 19.8	102.4	-103	-103	-103
76.8	200	± 36.0	153.6	-99	-100	-99
153.6	500	± 72.0	307.2	-94	-94	-94

表20. データレートの関数とした標準的なレシーバ感度

(868MHz, FSK変調、 $BER=10^{-3}$ 、およびPN9シーケンスの擬似ランダム・データ)

ここで、Pは実際のRSSI読み取り値に対する出力電力[dBm]です。RSSI_refは、入力電力レベルP_refについて図14および図15から得たRSSI読み取り値です。十進数のRSSI読み取り値は、異なるチャネルフィルタ帯域幅で変化することに注意してください。

アナログフィルタのダイナミックレンジは有限であり、それが小さいチャネル間隔でRSSI読み取り値が飽和する原因になって

います。大きなチャネル間隔は、主として高周波数偏移および高データ・レートで使用されます。アナログフィルタ帯域幅は約160kHzであり、高周波数偏移および高データ・レートでバイパスされます。図14および図15における200kHzと500kHzのチャネル間隔のRSSI読み取り値が飽和しない理由は、このバイパスによるものです。

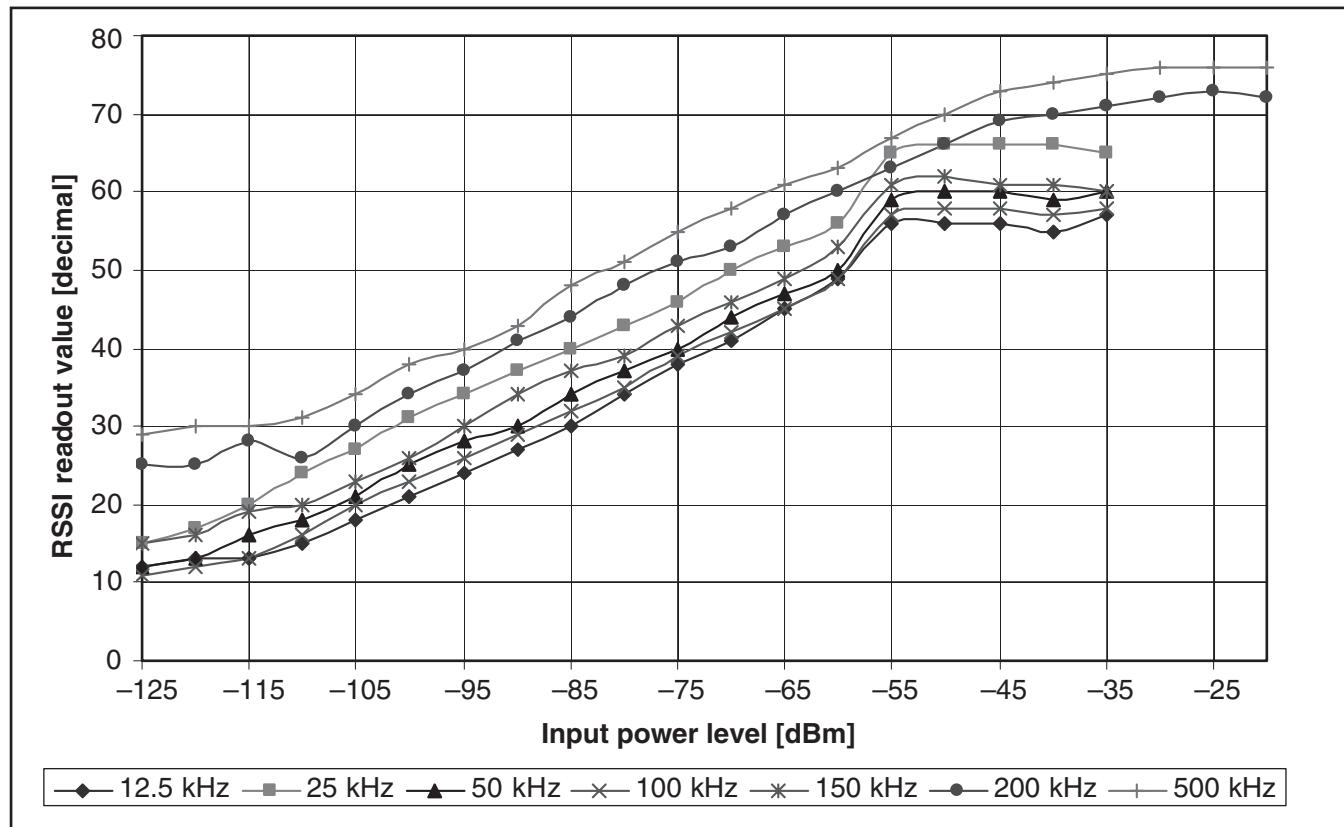


図 14. 数種の標準的チャネル間隔についての標準的RSSI値 対 入力電力(433MHz)

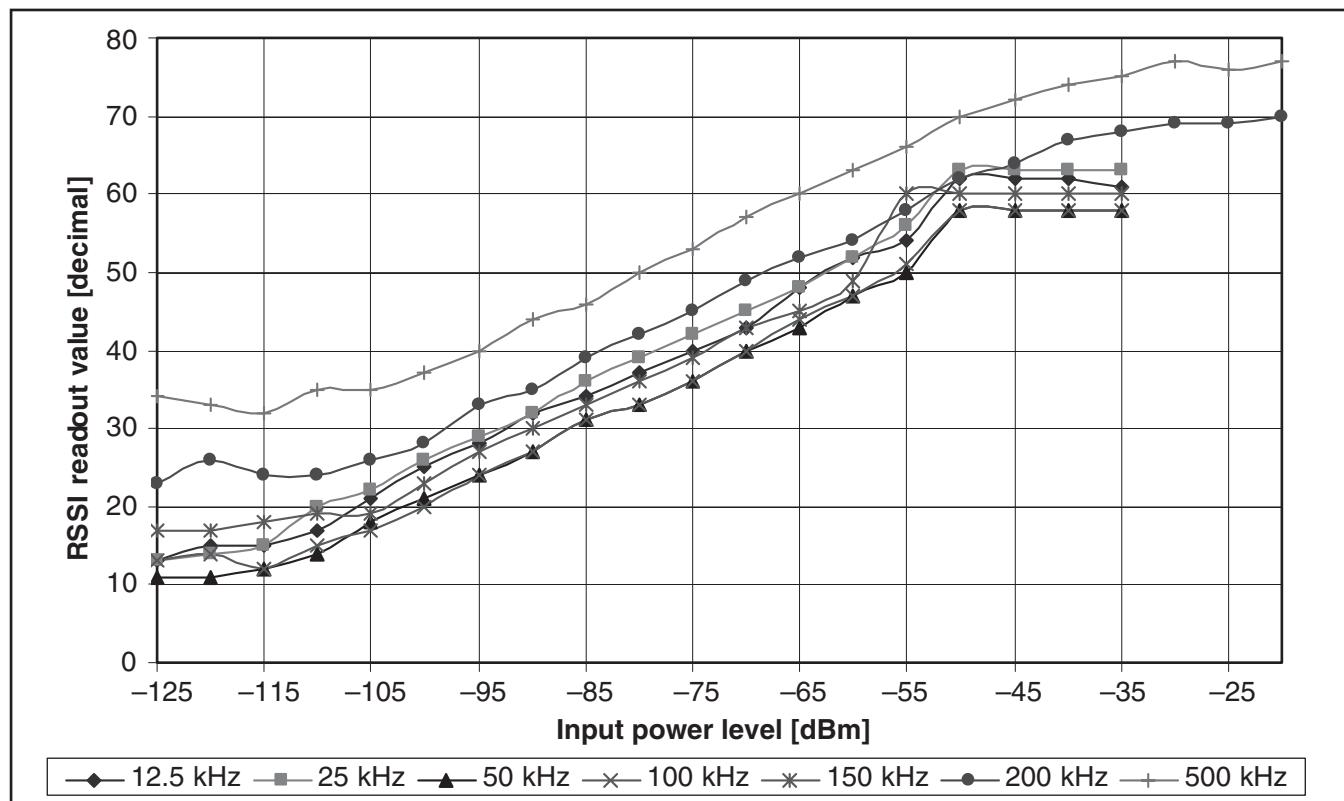


図 15. 数種の標準的チャネル間隔についての標準的RSSI値 対 入力電力(868MHz)

12.6. 干渉波除去キャリブレーション

干渉波を完全に除去するには、アナログRXチェインの“I”および“Q”部の位相とゲインが完全に整合している必要があります。干渉波除去を改善するために、“I”および“Q”部の位相とゲイン差をPHASE_COMPとGAIN_COMPレジスタで微調整することができます。この微調整により、プロセス変動や他の未知の要素をキャリブレーションすることができます。キャリブレーションは干渉波周波数に信号を注入することと、最小RSSI値の位相およびゲイン差の調整で行われます。

干渉波除去キャリブレーションの間、無変調のキャリアを干渉波周波数(対象チャネルより614.4kHz低い)で供給し、対象チャネルには信号がないようにします。信号レベルは対象チャネルの感度より50~60dB大きくしますが、アプリケーションによって最適レベルは異なります。過大な入力レベルでは、アナログIFチェインの直線性の限度により悪い結果がもたらされます。一方、低すぎる入力レベルでは、レシーバのノイズフロアにより悪い結果になります。

最適なRSSI精度を得るには、干渉波除去キャリブレーションの間AGC_AVG[1:0] = 11とします(RSSI値は16個以上のフィルタ出力サンプルの平均値です)。すると、RSSIレジスタの更新レートは、フィルタ出力レートがレシーバ・チャネル帯域幅の2倍なので、レシーバ・チャネル帯域幅÷8に等しくなります。これによって、RSSIレジスタ読み取り間の最小待ち時間が与えられます(下の例では0.5msを使用)。TIは以下の干渉波キャリブレーション手順を推奨します。

1. 3変数を定義する: $XP = 0$, $XG = 0$ および $DX = 64$.
ステップ3に行く。
2. $DX = DX/2$ とする。
3. XG を GAIN_COMP レジスタに書き込む。
4. $XP + 2 \times DX < 127$ ならば、 $XP + 2 \times DX$ を PHASE_COMP レジスタに書き込む。
そうでない場合は、127を PHASE_COMP レジスタに書き込む。
5. 少なくとも3ms待つ。信号強度Y4を測定する。このとき、Y4はRSSIレジスタから8読み取り値のフィルタ平均とし、各RSSI読み取り間で0.5msの遅延を持たせる。
6. $XP + DX$ を PHASE_COMP レジスタに書き込む。
7. 少なくとも3ms待つ。信号強度Y3を測定する。このとき、Y3はRSSIレジスタから8読み取り値のフィルタ平均とし、各RSSI読み取り間で0.5msの遅延を持たせる。
8. XP を PHASE_COMP レジスタに書き込む。
9. 少なくとも3ms待つ。信号強度Y2を測定する。このとき、Y2はRSSIレジスタから8読み取り値のフィルタ平均とし、各RSSI読み取り間で0.5msの遅延を持たせる。
10. $XP - DX$ を PHASE_COMP レジスタに書き込む。
11. 少なくとも3ms待つ。信号強度Y1を測定する。このとき、Y1はRSSIレジスタから8読み取り値のフィルタ平均とし、各RSSI読み取り間で0.5msの遅延を持たせる。
12. $XP - 2 \times DX$ を PHASE_COMP レジスタに書き込む。
13. 少なくとも3ms待つ。信号強度Y0を測定する。このとき、Y0はRSSIレジスタから8読み取り値のフィルタ平均とし、各RSSI読み取り間で0.5msの遅延を持たせる。
14. $AP = 2 \times (Y0 - Y2 + Y4) - (Y1 + Y3)$ とする。

15. $AP > 0$ ならば、 $DP = \text{ROUND}(7 \times DX \times 2 \times (Y0 - Y4) + (Y1 - Y3)) / (10 \times AP)$

そうでない場合、 $Y0 + Y1 > Y3 + Y4$ ならば、 $DP = DX$ とする。

そうでない場合、 $DP = -DX$ とする。

16. $DP > DX$ ならば、 $DP = DX$ とする。

そうでない場合、 $DP < -DX$ ならば、 $DP = -DX$ とする。

17. $XP = XP + DP$ とする。

18. XP を PHASE_COMP レジスタに書き込む。

19. $XG + 2 \times DX < 127$ ならば、 $XG + 2 \times DX$ を GAIN_COMP レジスタに書き込む。
そうでない場合、127を GAIN_COMP レジスタに書き込む。

20. 少なくとも3ms待つ。信号強度Y4を測定する。このとき、Y4はRSSIレジスタから8読み取り値のフィルタ平均とし、各RSSI読み取り間で0.5msの遅延を持たせる。

21. $XG + DX$ を GAIN_COMP レジスタに書き込む。

22. 少なくとも3ms待つ。信号強度Y3を測定する。このとき、Y3はRSSIレジスタから8読み取り値のフィルタ平均とし、各RSSI読み取り間で0.5msの遅延を持たせる。

23. XG を GAIN_COMP レジスタに書き込む。

24. 少なくとも3ms待つ。信号強度Y2を測定する。このとき、Y2はRSSIレジスタから8読み取り値のフィルタ平均とし、各RSSI読み取り間で0.5msの遅延を持たせる。

25. $XG - DX$ を GAIN_COMP レジスタに書き込む。

26. 少なくとも3ms待つ。信号強度Y1を測定する。このとき、Y1はRSSIレジスタから8読み取り値のフィルタ平均とし、各RSSI読み取り間で0.5msの遅延を持たせる。

27. $XG - 2 \times DX$ を GAIN_COMP レジスタに書き込む。

28. 少なくとも3ms待つ。信号強度Y0を測定する。このとき、Y0はRSSIレジスタから8読み取り値のフィルタ平均とし、各RSSI読み取り間で0.5msの遅延を持たせる。

29. $AG = 2 \times (Y0 - Y2 + Y4) - (Y1 + Y3)$ とする。

30. $AG > 0$ ならば、 $DG = \text{ROUND}(7 \times DX \times 2 \times (Y0 - Y4) + (Y1 - Y3)) / (10 \times AG)$

そうでない場合、 $Y0 + Y1 > Y3 + Y4$ ならば、 $DG = DX$ とする。

そうでない場合、 $DG = -DX$ とする。

31. $DG > DX$ ならば、 $DG = DX$ とする。

そうでない場合、 $DG < -DX$ ならば、 $DG = -DX$ とする。

32. $XG = XG + DG$ とする。

33. $DX > 1$ ならば、ステップ2へ行く。

34. XP を PHASE_COMP レジスタに、 XG を GAIN_COMP レジスタにそれぞれ書き込む。

キャリブレーションを繰り返して異なる結果が得られる場合、入力レベルを変えるか、RSSI読み取り数Nを増やしてください。適当な開始点はN = 8です。精度が最終微調整ステップにてより重要なので、各反復ループでNを増加する価値はあります。

広周波数偏移および高スルーレート(一般に $\geq 76.8\text{kBaud}$)について、FILTERレジスタのFILTER_BYPASS = 1と設定して、ミキサに後続するアナログ・フィルタをバイパスする必要があります。この場合、干渉波除去は低下します。

また、402~470MHzの周波数範囲で動作する場合、低電源電圧(一般に $< 2.5\text{V}$)であると干渉波除去は低下します。

12.7. ブロッキングおよび選択度

図16に、433MHz, 12.5kHzチャネル間隔時のブロッキング/選択度を示します。また図17に、868MHz, 25kHzチャネル間

隔時のブロッキング/選択度を示します。ブロッキング除去は、変調されたブロッカー(妨害)と感度リミットより3dB高い信号との比です。

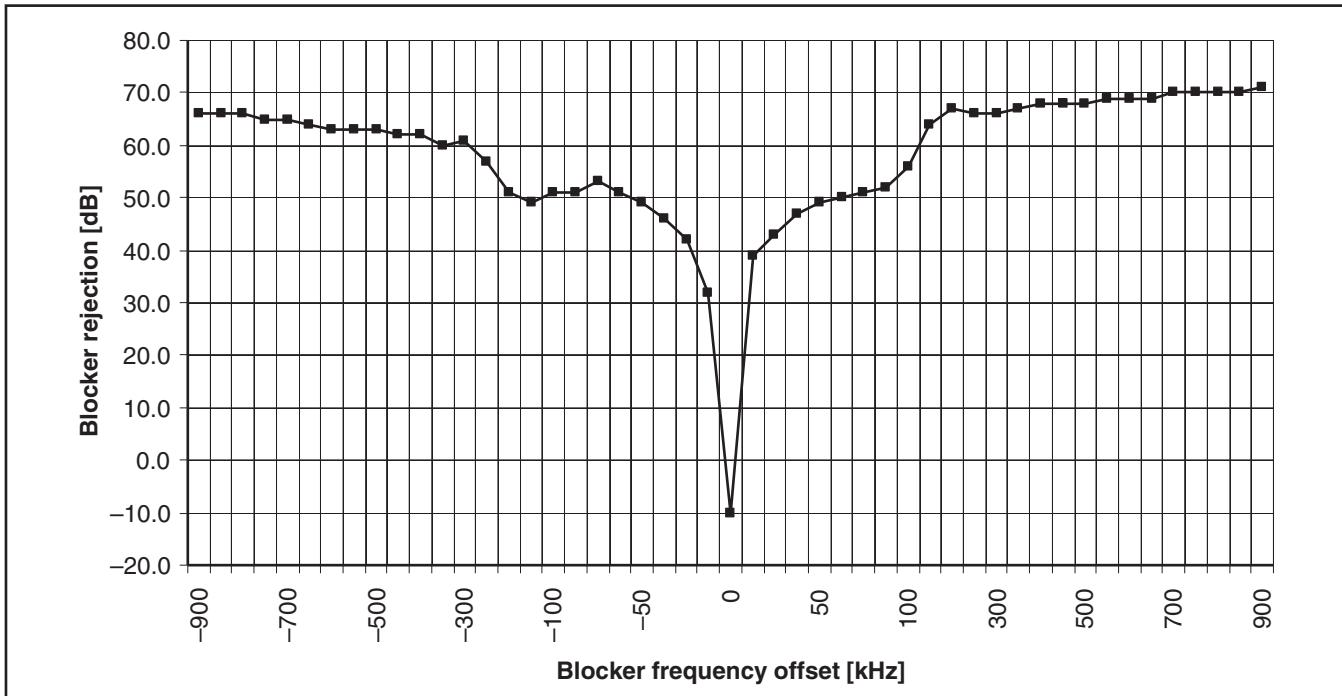


図 16. 標準的なブロッカー除去
(キャリア周波数は433.3072MHz, 12.5kHzチャネル間隔、12.288kHzレシーバ・チャネル・フィルタ帯域幅に設定)

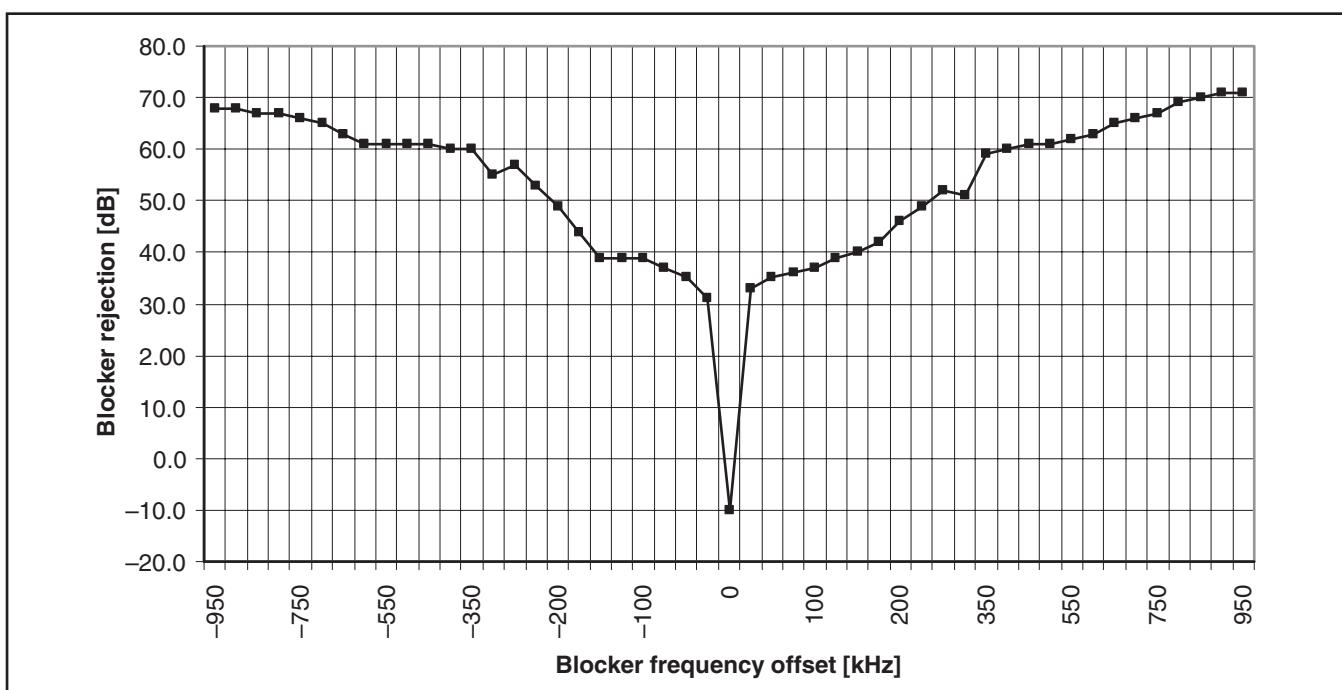


図 17. 標準的なブロッカー除去
(キャリア周波数は868.3072MHz, 25kHzチャネル間隔、19.2kHzレシーバ・チャネル・フィルタ帯域幅に設定)

12.8. リニアIFチェインおよびAGCの設定

CC1020は、アナログVGA(可変ゲインアンプ)で信号を増幅するリニアIFチェインをベースとしています。ゲインは、ADC(アナログ・デジタル変換器)に続くIFチェインのデジタル部で制御されます。また、AGC(自動ゲイン制御)ループによってアナログ/デジタル帰還ループが使用され、ADCがそのダイナミック・レンジ内で動作するようにしています。

最大VGAゲインは、VGA3レジスタのVGA_SETTING[4:0]でプログラミングされます。また、VGAゲインは約3dB/LSBでプログラミングされます。さらにVGAゲインは、フロントエンドからの増幅された熱雑音とADCの量子化ノイズがバランスするようになります。したがって、最適な最大ゲイン設定はチャネル・フィルタ帯域幅に依存します。

デジタルRSSIがADC後の信号強度の測定に使用されます。VGA4レジスタのCS_LEVEL[4:0]ビットが、ゲイン制御(およびキャリア検知レベル)の名目の動作点設定に使用されます。さらに詳しい解説が図18にあります。

VGAゲインは、VGA_3レジスタのVGA_DOWN[2:0]およびVGA_4レジスタのVGA_UP[2:0]で設定される閾値により変化します。これら2値はともに、VGAゲインを調整するAGCにより使用される信号強度のリミット値を規定します。

VGAゲインの不要な変化を避けるため、RSSIサンプルに別のヒステリシスとフィルタを追加することができます。VGA2のAGC_HYSTESISビットが、これをイネーブルにします。

ループの時間ダイナミック特性は、ANALOGレジスタのVGA_BLANKINGビットおよびVGA1レジスタのVGA_FREEZE[1:0]とVGA_WAIT[2:0]ビットで変えることができます。

VGA_BLANKINGがアクティブの場合、DCオフセットからのVGA回復時間はゲイン・ステップが減少した後で急増します。

VGA_FREEZEは、以下の事象の一つが発生した後でビット同期、VGAおよびRSSIレベルを保持する時間を決定します。すなわち、

- RXパワーアップ
- PLLのロック外れ
- 周波数レジスタ設定がAとB間でスイッチ

この機能は、スタートアップ遷移時のAGC動作の回避および周波数ホッピングを使用する最小遅延時間の保証に役立ちます。これはホッピング間でビット同期が維持されることを意味します。

VGA_WAITにより、VGAゲイン変更後に現在のビット同期およびRSSIレベルを保持する時間が決定されます。この機能は、VGAゲイン変更後の遷移のセトリング期間におけるAGC動作の回避に役立ちます。VGAのDCオフセットにより、いくつかの遷移状態が予想されます。

VGAゲインはVGA_SETTINGで感度の限界に設定されます。選択度を最適化するために、このゲインは必要に高くしてはなりません。SmartRF_StudioからVGA1～VGA4の設定値が得られます。参考として、下記の方法がAGC設定に使用できます。

1. AGCをディスエーブルし、VGA2レジスタにBFhを書き込み、LNA2のゲインを最大にします。また、VGA3レジスタのVGA_SETTING = 0と書いて、VGAゲインを最小にします。
2. RF入力信号を供給せず、RSSIレジスタを読んでADCノイズ・フロアを測定します。
3. RF入力信号を供給せず、VGA3レジスタに増加したVGA_SETTINGの値を書き込み、RSSIレジスタの値がステップ2で読んだ値より約4だけ大きくなるまで、これを続けます。その結果、フロントエンドのノイズ・フロアが、ADCノイズ・フロアより約6dB高くなります。
4. RF信号を所要のキャリア検知閾値と等しくなる強度で供給します。RF信号は、なるべく適正なBaudレートと偏差で変調します。RSSIレジスタの値を読み取り、それから8を引いた値をVGA4レジスタのCS_LEVELへ書き込みます。わずかにRF信号レベルを変え、キャリア検知表示(STATUSレジスタのビット3)が所要の入力レベルで切り換わることをチェックします。
5. 必要であれば、図18の解説にしたがってVGA_UPとVGA_DOWNの設定を調整します。
6. AGCをイネーブルし、LNA2ゲイン変更レベルを選択します。VGA_SETTING > 10になる場合は、VGA2レジスタに55hを書き込みます。そうでない場合は、VGA2レジスタに45hを書き込みます。より高速なキャリア検知とAGC設定が必要な場合は、上述のVGA2のAGC_AVG値を修正します。

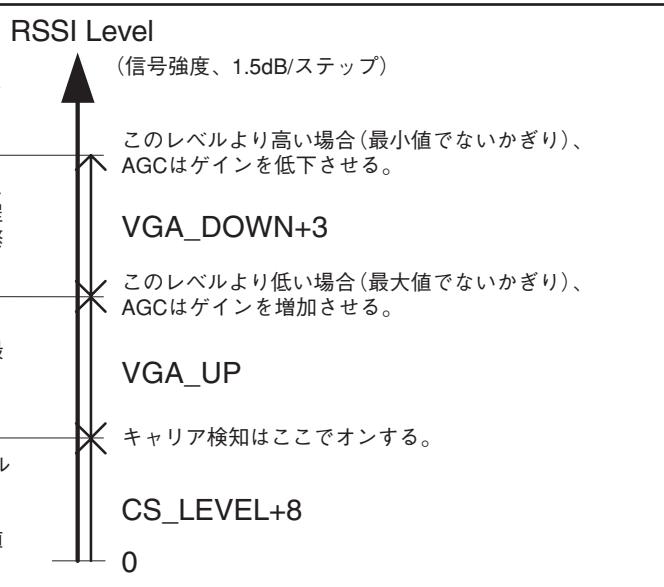


図 18. RSSI, キャリア検知レベル、およびAGC設定(CS_LEVEL, VGA_UPとVGA_DOWN)の関係

12.9. AGC設定

RXチェインのチューニング後、以下が行なわれます。

- A) AGCはアナログ部のセトリングのために、VGA1レジスタのVGA_FREEZEの設定により16~128個のADC_CLK(1.2288MHz)周期だけ待ちます。
- B) AGCはアナログ部とデジタル・チャネル・フィルタのセトリングのために、VGA1レジスタのVGA_WAITの設定により16~48個のFILTER_CLK周期だけ待ちます。
- C) AGCはVGA2レジスタのAGC_AVGの設定により、次の2~16個のFILTER_CLK周期にわたり、平均強度としてRSSI値を算出します。
- D) RSSI値がCS_LEVEL + 8より大きい場合、キャリア検知表示がセットされます(CS_SET = 0の場合)。RSSI値がCS_LEVEL、VGA_UPおよびVGA_DOWN設定により過大な場合、かつVGAゲインがすでに最小でない場合、VGAゲインは低減され、AGCはB)から継続します。
- E) RSSI値がCS_LEVELおよびVGA_UP設定により過小な場合、かつVGAゲインがすでに最大でない場合(VGA_SETTINGで設定)、VGAゲインは増加され、AGCはB)から継続します。

2~3のVGAゲイン変化がAGCのセトリング前に予想されます。AGC_AVGを増加するとセトリング・タイムが増加します。しかし、プロトコルに時間があり、キャリア検知をノイズフロアまで設定する際の偽ウエイクアップ事象を低減するために、AGC_AVGを増加するのは価値があります。

AGCのセトリング・タイムはFILTER_CLK(= 2·ChBW)に依存します。したがって、76.8kbpsより低いデータ・レートでは広帯域幅のレシーバ・チャネル・フィルタ(すなわち広ChBW)を使用してAGCセトリング・タイムが低減できるので、AGCセトリング時間とレシーバ感度の間にはトレードオフがあります。

12.10. プリアンブル長およびシンク・ワード

適切なシンク・ワードを選択するルールは以下の通りです。

1. シンク・ワードはプリアンブルとまったく異なるようにします。
2. 多数のビット遷移があることが、ビット同期やクロック回復に適しています。ビットが等しいと遷移数が減少します。シンク・ワードには、連続する等しいビットは多くても3ビットであることを推奨します。
3. 自己相関。シンク・ワード自体を繰り返さないようにします。さもないと、エラーの可能性が高まるからです。
4. 一般にシンク・ワードの第1ビットはプリアンブルの最終ビットを反転したものとし、ビット遷移を1個多くします。

CC1020の推奨シンク・ワードには、2バイト(D391)、3バイト(D391DA)、または4バイト(D391DA26)があり、上記の基準の最善な折衷案を選択します。

SmartRF® Studioソフトウェアから得られるレジスタ設定を使用すると、0.5%以下のパケット・エラー・レート(PER)が24ビットのプリアンブルと16ビットのシンク・ワード(D391)で実現できます。24ビットより長いプリアンブルを使用すると、PERがより改善されます。

上述したPER測定を行う際、各パッケージの最初のシンク・ワードとプリアンブルに加えて、10バイトのランダムデータ、2バイトのCRC、および1ダミー・バイトからなるパケット・フォー

マットを使用します。

PER試験には1000パケットを10回送信しました。トランスマッタは、各パケット間パワーダウン状態にしました。シンク・ワードやデータ、CRCを含む、パケットのおけるあらゆるビット・エラーを失敗パケットとしてカウントしました。

12.11. キャリア検知

キャリア検知信号は、RSSI値およびプログラマブルな閾値に基づいています。キャリア検知機能は、CSMA(キャリア検知多重アクセス)メディア・アクセス・プロトコルの実行を単純化するのに使用できます。

キャリア検知の閾値レベルは、VGA4レジスタのCS_LEVEL[4:0]およびVGA3レジスタのVGA_SETTING[4:0]によりプログラミングされます。

VGA_SETTING[4:0]はVGAの最大ゲインを設定します。この値は、あるチャネル・フィルタ帯域幅についてADCが最適ダイナミック・レンジで動作するように設定する必要があります。したがって、ADCの後における検出信号強度は、この設定に依存します。

CS_LEVEL[4:0]は、この特定のVGA_SETTING[4:0]値についての閾値を設定します。VGA_SETTING[4:0]が変更された場合、CS_LEVEL[4:0]は同じ絶対値のキャリア検知閾値を維持するように変更される必要があります。RSSI、AGCおよびキャリア検知の各設定関係の解説を図18でご覧ください。

キャリア検知信号は、STATUSレジスタのCARRIER_SENSEビットとして読み取ることができます。

またキャリア検知信号は、LOCKレジスタのLOCK_SELECT[3:0] = 0100と設定すると、LOCK端子に出力させることができます。

12.12. 自動パワーアップ・シーケンス

CC1020には組み込みの自動パワーアップ・シーケンス機能があります。CC1020をこのモードに設定すると、レシーバはウエークアップ信号で自動的にパワーアップすることができ、次にキャリア検知信号をチェックします。キャリア検知信号が判別できない場合、レシーバはパワーダウン・モードに戻ります。自動パワーアップ・シーケンスのフローチャートを図19に示します。

自動パワーアップ・シーケンス・モードは、MAINレジスタのPD_MODE[1:0] = 11とすると選択されます。自動パワーアップ・シーケンス・モードが選択されると、MAINレジスタの機能性が変更され、シーケンス制御に使用されます。

MAINレジスタのSEQ_PD = 1と設定すると、CC1020はパワーダウン・モードに設定されます。SEQUENCINGレジスタのSEQ_PSEL = 1の場合、PSEL端子における負の遷移により自動パワーアップ・シーケンスが開始されます。

また、SEQUENCINGレジスタのSEQ_PSEL = 0の場合、DIO端子における負の遷移により自動パワーアップ・シーケンスが開始されます(ただし、INTERFACEレジスタのSEP_DI_DO = 1の場合)。

シーケンスのタイミングは、SEQUENCINGレジスタのRX_WAIT[2:0]およびCS_WAIT[3:0]で制御されます。

VCOおよびPLLのキャリブレーションは、シーケンスの一部として自動的に行われます。これはMAINレジスタのSEQ_CAL[1:0]で制御されます。キャリブレーションの実行は、常時、16シーケンスごと、256シーケンスごと、あるいは実行しない、が選択できます。詳細はレジスタ解説をご覧ください。いつキャリブレーションすべきか、いかにVCOとPLLのセルフ・キャリブレーションが行われるかに関する解説は15.2節にあります。

12.13. 自動周波数制御 (AFC)

CC1020にはAFC(自動周波数制御)と呼ばれる組み込み機能があり、周波数ドリフトの補正に使用することができます。

受信信号の平均周波数オフセット(いわゆるIF周波数からのオフセット)は、AFCレジスタで読み取ることができます。符号つき(2の補数)の8ビット値AFC[7:0]が、トランスマッタと

レシーバ間の周波数オフセットの補正に使用できます。
周波数オフセットは次式で与えられます。

$$\Delta F = AFC \cdot \text{ビット・レート} / 16$$

レシーバは、測定したオフセットに従って動作周波数を変更して、トランスマッタに対してキャリブレーションすることができます。新しい周波数はマイクロコントローラによって算出され、FREQレジスタに書き込まれる必要があります。AFCはFSK/GFSK信号について使用できますが、OOKについては使用できません。アプリケーション・ノートの『AN029 CC1020/1021 AFC』にて、AFCを実行するために必要な手順および式について解説しています。

AFC機能により、水晶発振器の精度条件が緩和されます。

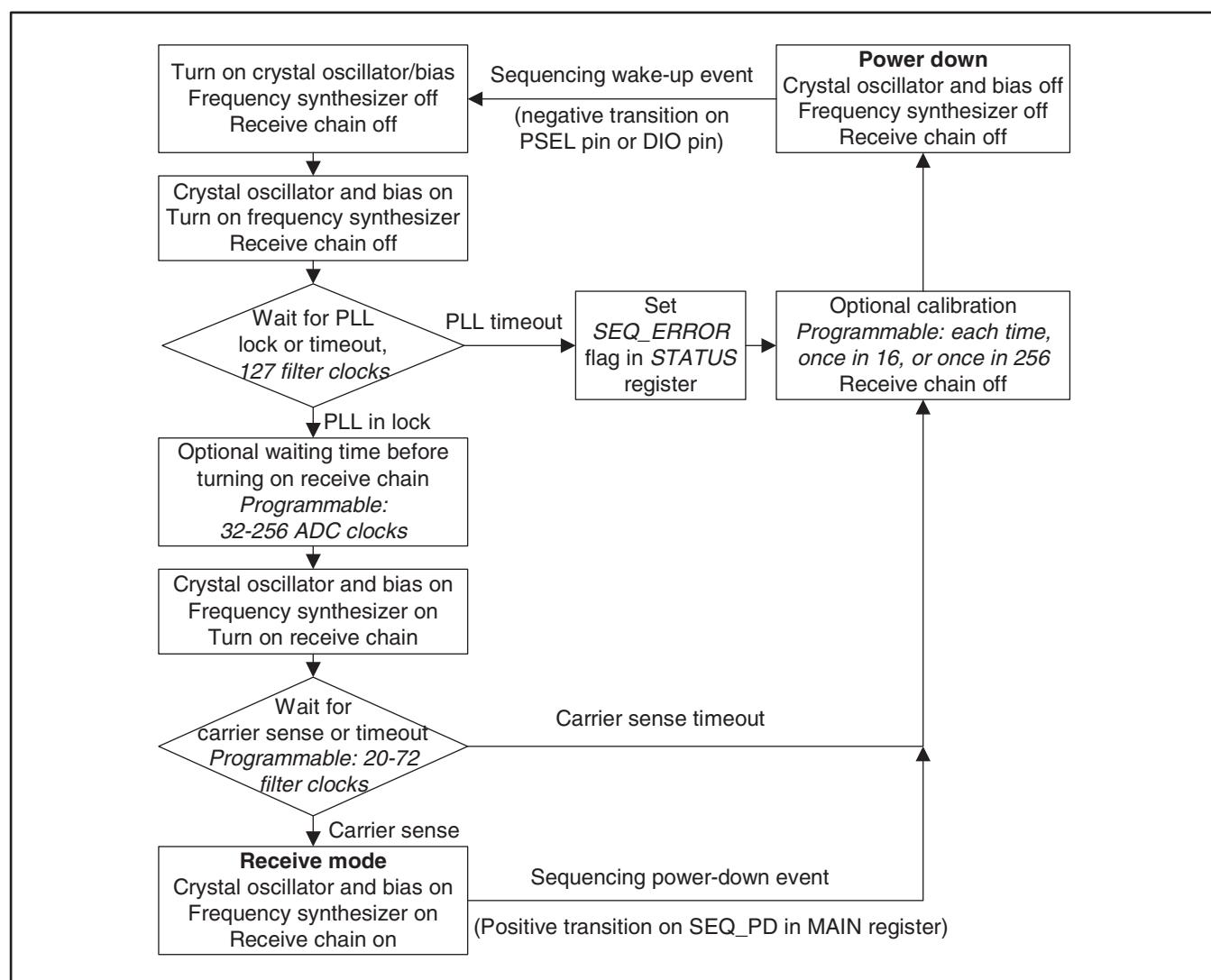


図 19. 自動パワーアップ・シーケンスのフローチャート

注：

フィルタ・クロック(FILTER_CLK)：

$$f_{\text{filter_clock}} = 2 \cdot \text{ChBW}$$

ChBWは30ページに記載。

ADCクロック(ADC_CLK)：

$$f_{\text{ADC}} = \frac{f_{\text{xoscx}}}{2 \cdot (\text{ADC_DIV}[2:0]) + 1}$$

ADC_DIV[2:0]はMODEMレジスタに記載。

12.14. デジタルFM

名目値のIF周波数からの周波数オフセットとして、FM復調器から瞬時値のIFを読み取ることができます。このデジタル値を使って擬似アナログFM復調ができます。

周波数オフセットはGAUSS_FILTERレジスタから読み取ることができ、2の補数による符号つき8ビット値です。

瞬時偏移は次式で与えられます。

$$F = \text{GAUSS_FILTER} \cdot \text{ビット・レート} / 8$$

このデジタル値はレジスタから読み取り、アナログ・オーディオ信号を得るためにDACへ送り、フィルタリングします。内部のレジスタ値はMODEM_CLKレートで更新されます。MODEM_CLKは、LOCKレジスタのLOCK_SELECT[3:0] = 1101とすることでLOCK端子に出力され、読み取りの同期化に使用できます。

オーディオ(300~4000Hz)については、サンプリング・レート(これはMODEM_CLKによって決まります)を8kHz(ナイキスト)以上にします。MODEM_CLKはサンプリング・レートであり、Baudレートの8倍になります。すなわち、最小ビット・レート(プログラミングできる)は1kbpsになります。しかし、入力データはデジタル領域でフィルタリングされ、その3dBカットオフ周波数はプログラミングされたビット・レートの0.6倍です。したがって、オーディオに関しては、最小ビット・レートをおよそ7.2kBaudにプログラミングします。

ビット・レートが増加するとGAUSS_FILTERの分解能が低下します。累積およびダンプ・フィルタをマイクロコントローラに実装すると、この分解能を改善することができます。また、GAUSS_FILTERの読み取り値をMODEM_CLKに同期させることに注意してください。例として、4個のリード値を累積して、その合計を4で割ると、分解能が2ビット改善されます。

さらに、GAUSS_FILTERのダイナミック・レンジをフルに使うためには、周波数偏差がプログラミングしたビット・レートの16倍である必要があります。

13. トランスマッタ

13.1. FSK変調フォーマット

データ変調器はFSKあるいはGFSK変調ができます。FSK(周波数偏移変調)は2レベルFSKであり、GFSKはBT = 0.5でガウス・フィルタリングしたFSKです。GFSKの目的は図20示すように、より帯域幅効率の高いシステムを作ることです。変調とガウス・フィルタリングは、デバイス内部で実行されます。DEVIATIONレジスタのTX_SHAPINGビットにより、GFSKはイネーブルされます。GFSKはナローバンド動作に推奨します。

図21および図22に、それぞれ434MHzおよび868MHz動作時の標準的なアイ・パターンを示します。

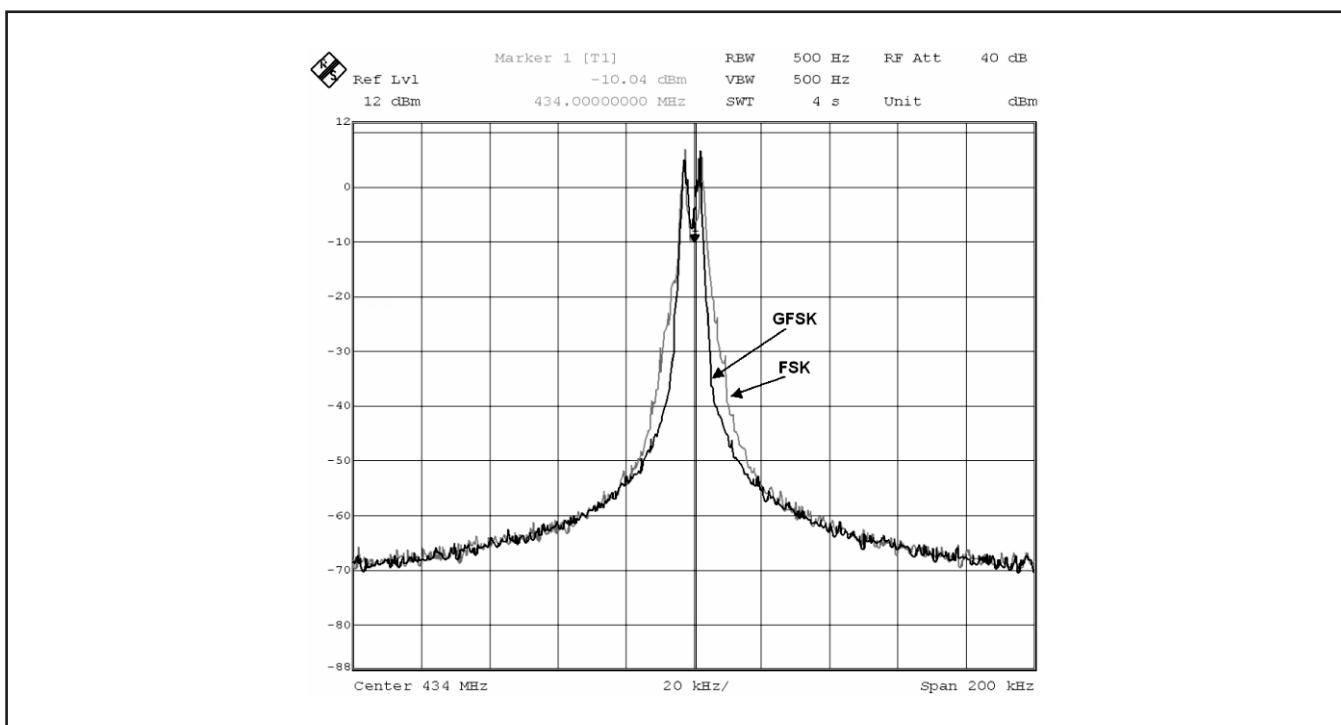


図 20. FSK 対 GFSK のスペクトル・プロット (2.4kBaud、NRZ、±2.025kHz 周波数偏差)

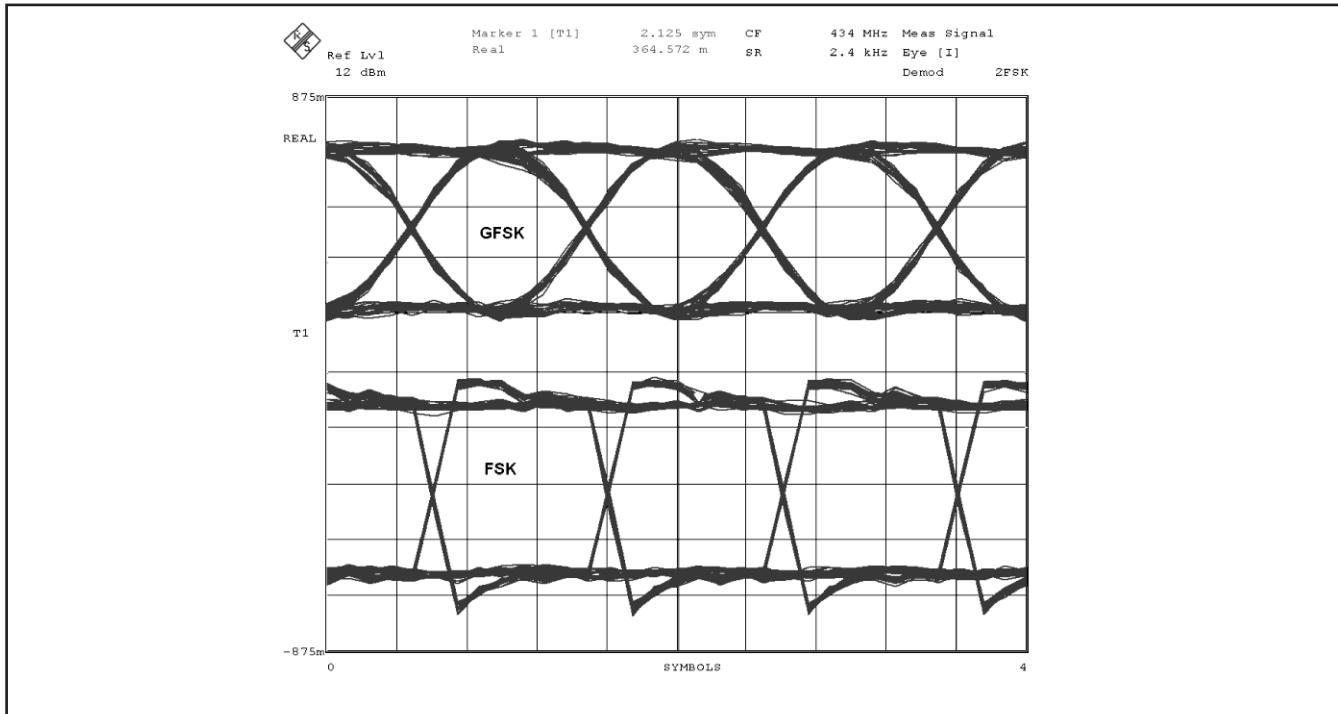


図 21. FSK 対 GFSKのアイ・パターン (2.4kbps、NRZ, $\pm 2.025\text{kHz}$ 周波数偏差)

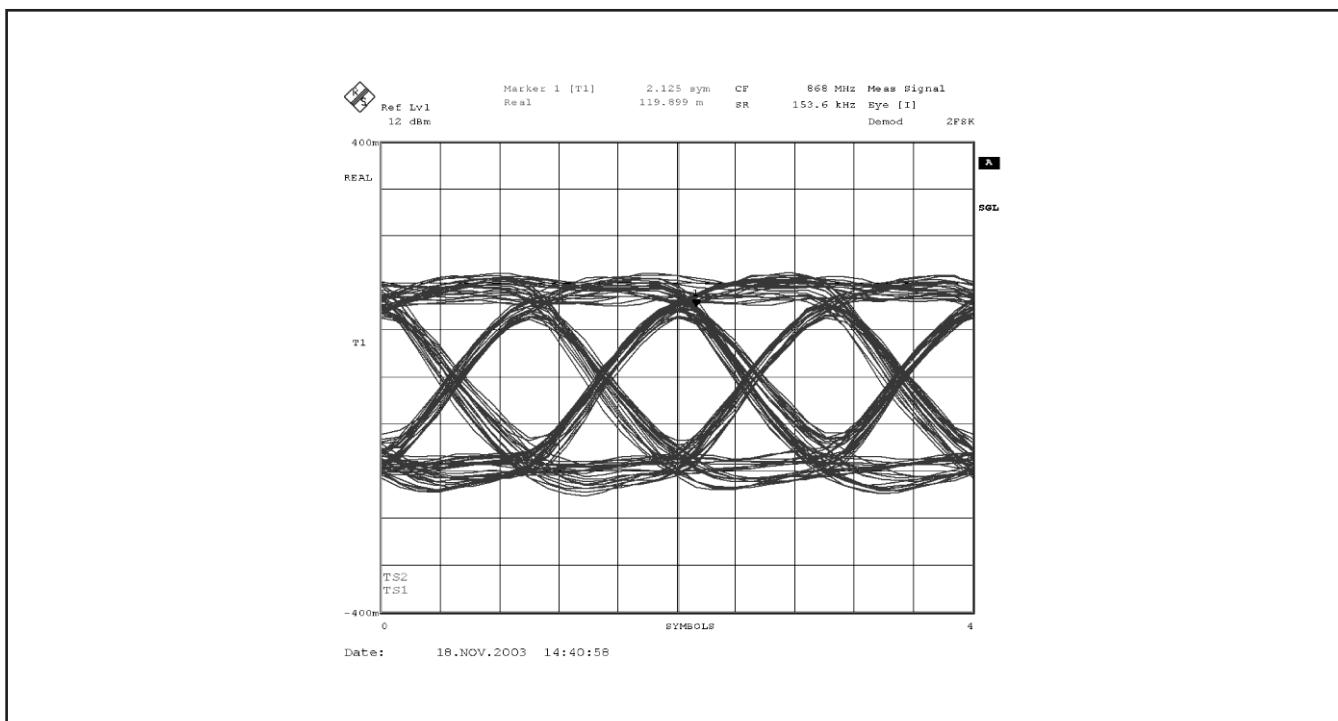


図 22. GFSKのアイ・パターン (153.6kbps、NRZ, $\pm 79.2\text{kHz}$ 周波数偏差)

13.2. 出力電力プログラミング

デバイスからのRF出力パワーは、8ビットのPA_POWERレジスタでプログラミングできます。図23および図24に、PA_POWERレジスタ設定の関数として出力電力とデバイス全体の電流消費を示します。電流消費に関しては、下位4ビット

あるいは上位4ビットを使用して電力を制御すると、図に示すようにより効率的です。しかし出力電力は、PA_POWERレジスタのすべてのビットを使用すると、より微小なステップで制御することができます。

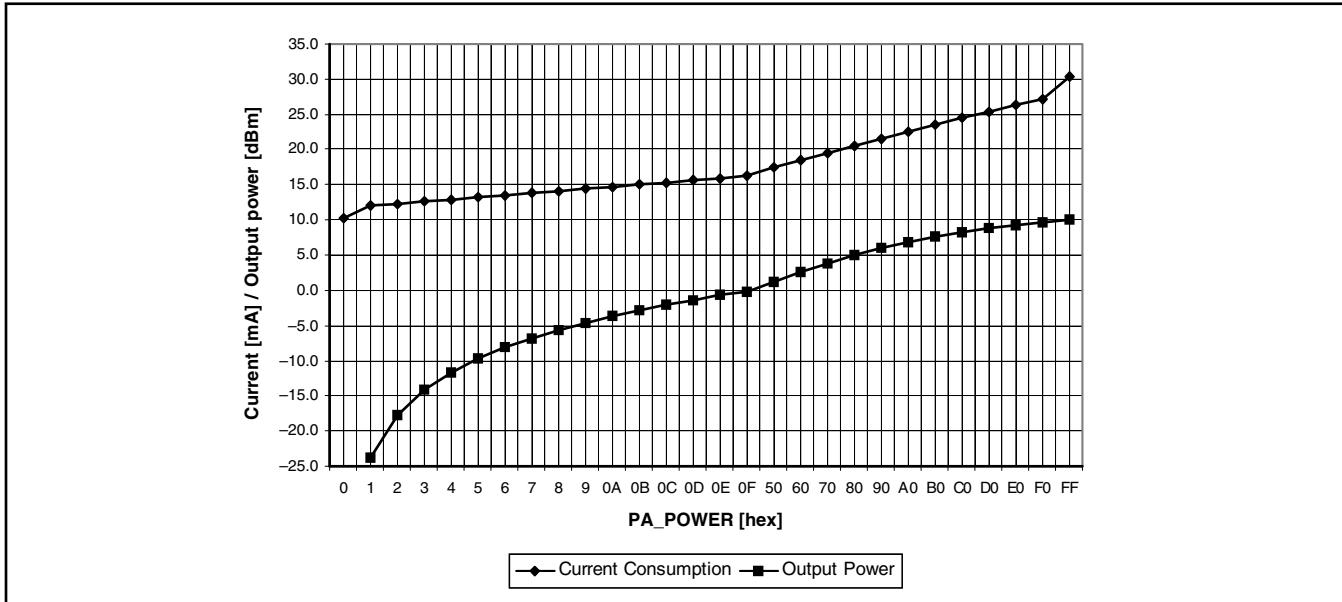


図 23. 標準的な出力電力および電流消費(433MHz)

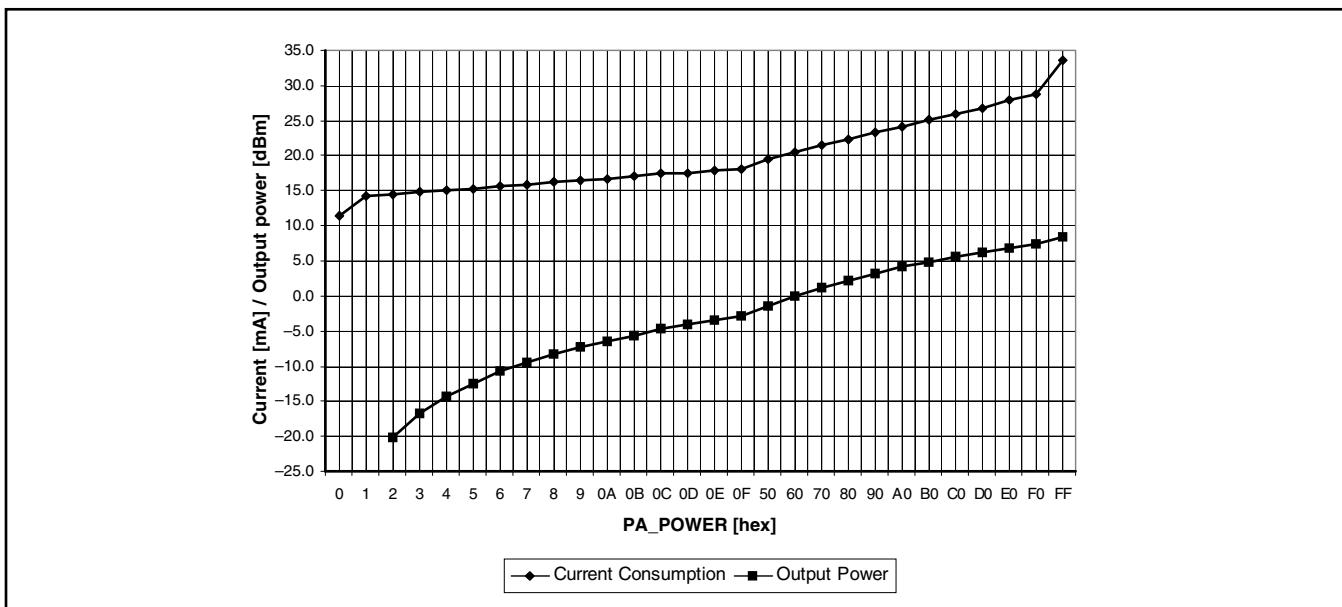


図 24. 標準的な出力電力および電流消費(868MHz)

13.3. TXデータ・レイテンシ

トランスマッタは、データをDCLKで同期し、さらに変調器へクロック入力するために遅延を加えます。したがって、データ・ペイロードが送信された後のPAをオフする前(すなわち、送信停止前)に、ユーザは少なくとも2ビットに相当する遅延を加える必要があります。

13.4. スプリアスおよび変調帯域幅の低減

一般に変調帯域幅とスプリアスは、PAを連続的にオンし、テスト・シーケンスを繰り返して測定します。CC1020をパワーダウン・モードからTXモードへ切り換えるながら、その変調帯域幅とスプリアス発射を測定する場合、PAランプ・シーケンスを使用するとそれらを最小化できます。

PAランプは、PAのオンとオフの両方のスイッチング時に使用します。リニアなPAランプ・シーケンスは、PA_POWERレジスタが00hから0Fhへ、および50hから所要の出力電力を得るためのレジスタ設定値(例えば、433MHz動作時の+10dBmはF0h)へ切換わる間で使用できます。PAランプのステップ当たりの時間は長いほど良いですが、全体のPAランプ時間を2ビット分の周期に設定すると、特性とPAランプ時間との最適な妥協になります。

14. 入出力整合およびフィルタリング

CC1020のインピーダンス整合回路網を設計する場合、回路は基本波と同様に高調波周波数でも正しく整合されている必要があります。推奨する整合回路網を図25に示します。様々な周波数に対する部品定数は表21に示します。表以外の周波数に対する部品定数は、SmartRF® Studioソフトウェアで得られます。

図25および表21に見られるように、433MHzの回路網はT型フィルタを使用し、868/915MHzの回路網はπ型フィルタを使用します。

物理的なレイアウトおよび使用部品が反射係数に大きく影響し、とりわけ高次高調波で著しいことを意識することが重要です。そのため、整合回路網の周波数応答を測定し、TIのリファレンス・デザインの応答と比較するようにします。図27と表22、および図28と表23を参照してください。

外付けのT/Rスイッチを使用すると、TXの高出力電力時の電流消費が低減され、RXの感度が改善されます。推奨するアプリケーション回路(CC1020EMX)が、TIのウェブサイトから入手できます。外付けのT/Rスイッチはある種のアプリケーションでは省略ですが、その場合、特性は低下します。

また、整合特性はシャント・コンデンサ・アレーをPA出力(RF_OUT)で使用すると高められます。容量は0.4pFステップで設定でき、RXモードとTXモードのいずれにも使用できます。MATCHレジスタのRX_MATCH[3:0]およびTX_MATCH[3:0]ビットにより、コンデンサ・アレーは制御されます。

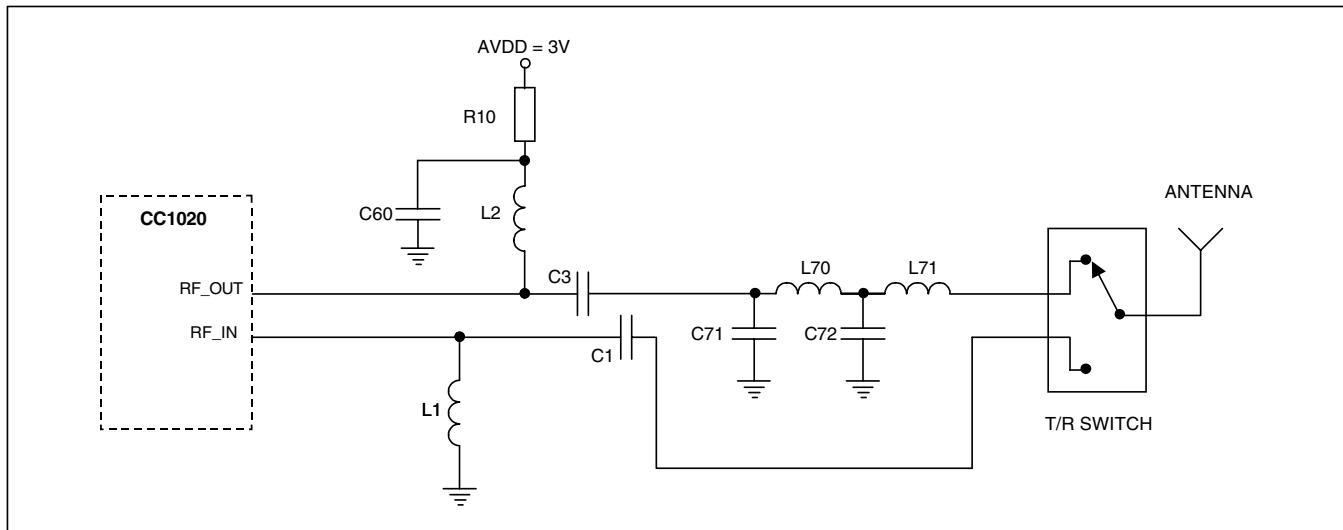


図 25. 入力/出力整合回路

Item	433 MHz	868 MHz	915 MHz
C1	10 pF, 5%, NP0, 0402	47 pF, 5%, NP0, 0402	47 pF, 5%, NP0, 0402
C3	5.6 pF, 5%, NP0, 0402	10 pF, 5%, NP0, 0402	10 pF, 5%, NP0, 0402
C60	220 pF, 5%, NP0, 0402	220 pF, 5%, NP0, 0402	220 pF, 5%, NP0, 0402
C71	DNM	8.2 pF, 5%, NP0, 0402	8.2 pF, 5%, NP0, 0402
C72	4.7 pF, 5%, NP0, 0402	8.2 pF, 5%, NP0, 0402	8.2 pF, 5%, NP0, 0402
L1	33 nH, 5%, 0402	82 nH, 5%, 0402	82 nH, 5%, 0402
L2	22 nH, 5%, 0402	3.6 nH, 5%, 0402	3.6 nH, 5%, 0402
L70	47 nH, 5%, 0402	5.1 nH, 5%, 0402	5.1 nH, 5%, 0402
L71	39 nH, 5%, 0402	0 Ω resistor, 0402	0 Ω resistor, 0402
R10	82 Ω, 5%, 0402	82 Ω, 5%, 0402	82 Ω, 5%, 0402

表 21. 図25の整合回路網の部品定数(DNM = 実装しない)

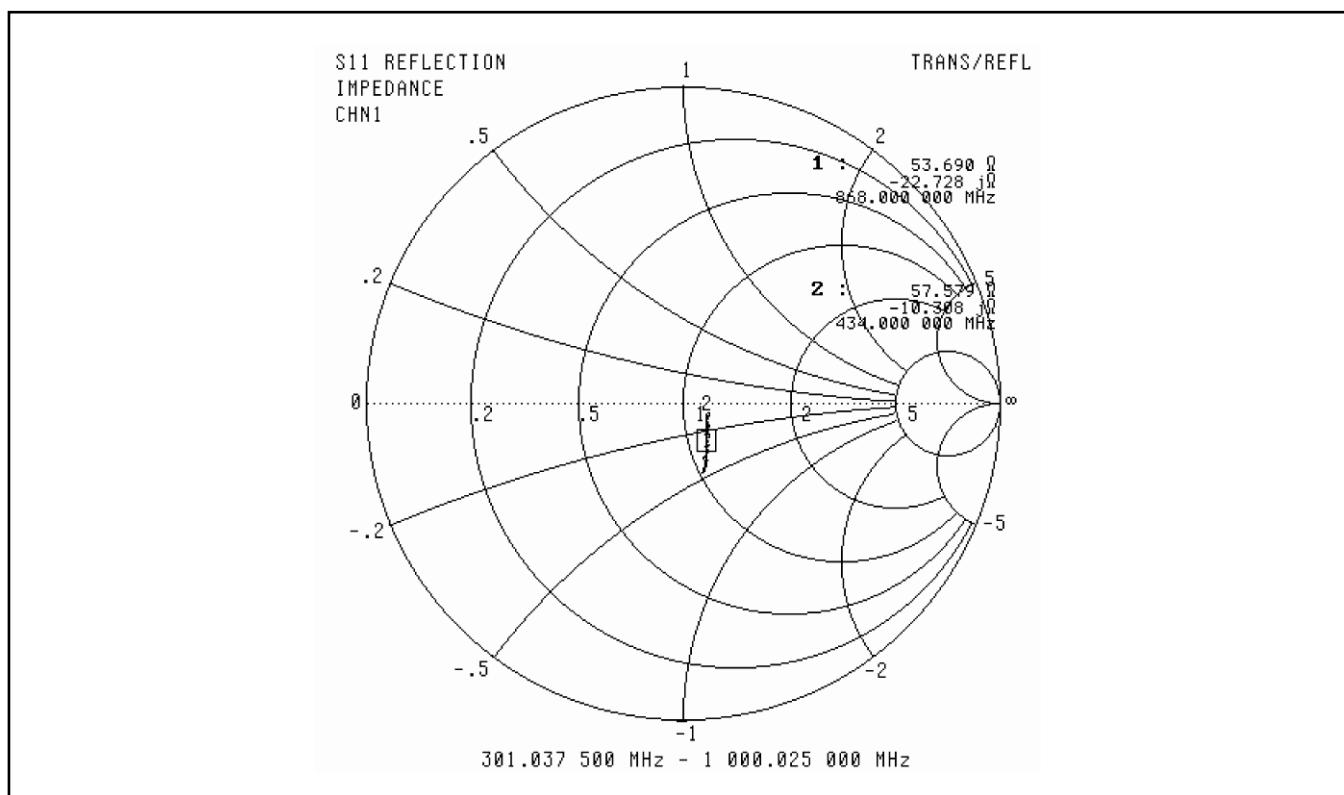


図 26. 標準的なLNA入力インピーダンス(200~1000MHz)

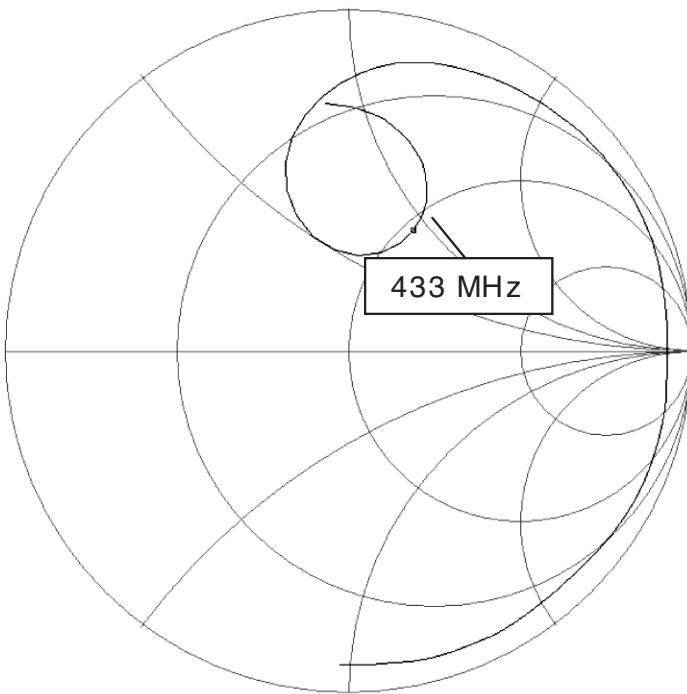


図 27. 標準的な最適PA負荷インピーダンス(433MHz. 周波数は300MHzから2500MHzでスイープ。値は表22に表示。)

Frequency (MHz)	Real (Ω)	Imaginary (Ω)
433	54	44
866	20	173
1299	288	-563
1732	14	-123
2165	5	-66

表 22. 5次高調波までのインピーダンス(433MHz整合回路網)

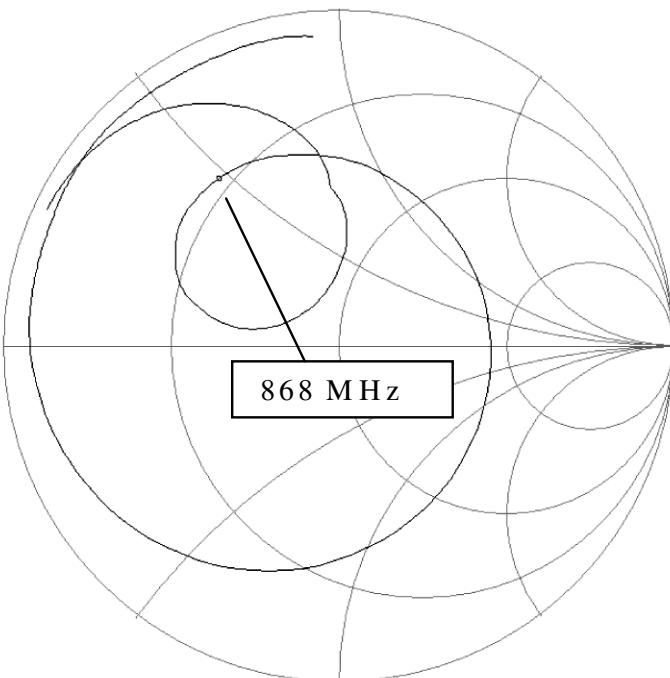


図 28. 標準的な最適PA負荷インピーダンス(868/915MHz。周波数は300MHzから2800MHzでスイープ。値は表23に表示。)

Frequency (MHz)	Real (Ω)	Imaginary (Ω)
868	15	24
915	20	35
1736	1.5	18
1830	1.7	22
2604	3.2	44
2745	3.6	45

表 22. 3次高調波までのインピーダンス(868/915MHz整合回路網)

15. 周波数シンセサイザ

15.1. VCO, チャージポンプおよびPLLループ・フィルタ

VCOは内蔵され、1608～1880MHzの範囲で動作します。分周器を使用してUHF帯（402～470MHzおよび804～940MHz）の周波数を得ます。ANALOGレジスタのBANDSELECTビットにより周波数帯域が選択されます。

VCO周波数は次式で与えられます。

$$f_{VCO} = f_{ref} \cdot \left(3 + \frac{FREQ + 0.5 \cdot DITHER}{8192} \right)$$

VCO周波数は2分周および4分周されて、2バンドの周波数が発生します。

VCO感度（VCOゲイン）は、周波数と動作条件全体で変化します。標準的なVCO感度は12から36MHz/Vの間で変化します。計算には幾何学的平均21MHz/Vが使用されます。PLLキャリブレーション（以下で説明）では実際のVCO感度が測定され、それに応じてチャージポンプ電流を調節することで、適正なPLLゲインと帯域幅が得られます（感度が低いと、チャージポンプ電流は大きくなります）。

下式を使用すると、所要のPLLループ帯域幅BWに対するPLLループ・フィルタの部品定数（図3参照）が計算できます。

$C7 = 3037(f_{ref}/BW^2) - 7$	[pF]
$R2 = 7126(BW/f_{ref})$	[kΩ]
$C6 = 80.75(f_{ref}/BW^2)$	[nF]
$R3 = 21823(BW/f_{ref})$	[kΩ]
$C8 = 839(f_{ref}/BW^2) - 6$	[pF]

最小PLLループ帯域幅を

$$BW_{min} = \sqrt{80.75 \cdot f_{ref} / 220}$$

と定義します。上式において、 $BW_{min} > Baud\text{レート}/3$ ならば $BW = BW_{min}$ とし、 $BW_{min} < Baud\text{レート}/3$ ならば $BW = Baud\text{レート}/3$ とします。

推奨する14.7456MHzの水晶振動子を使用する場合、2つの特殊な場合があります。すなわち、

- 1) データ・レートが4.8kBaud以下でチャネル間隔が12.5kHzの場合、下記のループ・フィルタ部品を推奨します。

$C6 = 220\text{nF}$
 $C7 = 8200\text{pF}$
 $C8 = 2200\text{pF}$
 $R2 = 1.5\text{k}\Omega$
 $R3 = 4.7\text{k}\Omega$

- 2) データ・レートが4.8kBaud以下でチャネル間隔が12.5kHzでない場合、下記のループ・フィルタ部品を推奨します。

$C6 = 100\text{nF}$
 $C7 = 3900\text{pF}$
 $C8 = 1000\text{pF}$
 $R2 = 2.2\text{k}\Omega$
 $R3 = 6.8\text{k}\Omega$

キャリブレーション後のPLL帯域幅は、上式で計算された外付けのループ・フィルタ部品とともにPLL_BWレジスタによって設定されます。PLL_BWは次式から得られます。

$$PLL_BW = 174 + 16 \log_2 (f_{ref} / 7.126)$$

ここで、 f_{ref} は基準周波数（MHz単位）です。PLL_BWの設定値が増加すると、PLLループ・フィルタ帯域幅は増加します。SmartRF® Studioでは、チャネル間隔が12.5kHz時のPLL_BWは9Ehに固定され、このとき最適選択度になります。

キャリブレーション後の供給チャージポンプ電流（CHP_CURRENT[3:0]）は、STATUS1レジスタで読み取ることができます。チャージポンプ電流はおよそ次式で与えられます。

$$I_{CHP} = 16 \cdot 2^{CHP_CURRENT / 4} [\mu A]$$

チャージポンプと位相判別器を組み合わせたゲイン（A/rad）は、チャージポンプ電流を 2π で割って得られます。

PLL帯域幅は最大変調周波数を制限するので、データ・レートも制限します。

15.2. VCOおよびPLLセルフ・キャリブレーション

電源電圧、温度およびプロセス変動を補正するために、VCOとPLLはキャリブレーションを行う必要があります。キャリブレーションは自動的に行われ、PLLの安定性のためにVCOの最大調整範囲および最適なチャージポンプ電流が設定されます。デバイスが動作周波数に立ち上がった後、CALIBRATEレジスタのCAL_STARTビットをセットすると、セルフ・キャリブレーションを開始することができます。キャリブレーション結果はデバイス内部に格納され、電源がオフされない限り有効です。キャリブレーション後に電源電圧が大きく降下(一般に0.25V以上)した場合、あるいは温度変動(一般に40°C以上)が生じた場合、新規にキャリブレーションを実施するようにします。

名目のVCO制御電圧は、CALIBRATEレジスタのCAL_ITERATE[2:0]ビットで設定されます。STATUSレジスタのCAL_COMPLETEビットは、キャリブレーションが終了したことを示します。キャリブレーション待ち時間(CAL_WAIT)はプログラマブルであり、内部PLL基準周波数に比例します。使用されるであろう最高基準周波数で、最小キャリブレーション時間を得るようにします。また、最も高精度なループ帯域幅を得るには、CAL_WAIT[1:0] = 11と設定することを推奨します。

Calibration time [ms]	Reference frequency[MHz]		
CAL_WAIT	1.8432	7.3728	9.8304
00	49 ms	12 ms	10 ms
01	60 ms	15 ms	11 ms
10	71 ms	18 ms	13 ms
11	109 ms	27 ms	20 ms

表 24. 標準的なキャリブレーション時間

CAL_COMPLETEビットは、LOCK_SELECT[3:0] = 0101と設定するとLOCK端子でも監視でき、マイクロコントローラへの割込み入力として使用できます。

PLLのロックをチェックするため、ユーザはSTATUSレジスタのLOCK_CONTINUOUSビットを監視するようにします。LOCK_CONTINUOUSビットは、LOCK_SELECT[3:0] = 0010に設定するとLOCK端子でも監視できます。

2個の周波数レジスタには異なるキャリブレーション値があります。しかし、下記の条件がすべて適用されれば、2重キャリブレーションが可能です。すなわち、

- 2つの周波数AおよびBの差が1MHz以下であること。
- 基準周波数が等しいこと(CLOCK_AおよびCLOCK_BレジスタのREF_DIV_A[2:0] = REF_DIV_B[2:0])。
- VCO電流が等しいこと(VCOレジスタのVCO_CURRENT_A[3:0] = VCO_CURRENT_B[3:0])。

CALIBRATEレジスタのCAL_DUALビットにより、2重キャリブレーションあるいは個別キャリブレーションを制御します。RXおよびTX周波数を個別にキャリブレーションするシングル・キャリブレーション・アルゴリズム(CAL_DUAL = 0)を図29に示します。CAL_DUAL = 1ならば、同じアルゴリズムが2重キャリブレーションにも適用されます。TIのウェブサイトから入手できるアプリケーション・ノート『AN023 CC1020 MCUインターフェイシング』に、シングル・キャリブレーションのソースコード例があります。

Chipconは、より堅実な動作のためにシングル・キャリブレーションの使用を推奨します。

PLLのセルフ・キャリブレーションが失敗する可能性は、わずかであるが有限の確率で存在します。したがって、ソースコードのキャリブレーション・ルーチンには、PLLが1回でロックしない場合、PLLロックが実現するまでPLLが再キャリブレーションされるようなループを入れます。これについてはCC1020のエラッタ・ノート004を参照してください。

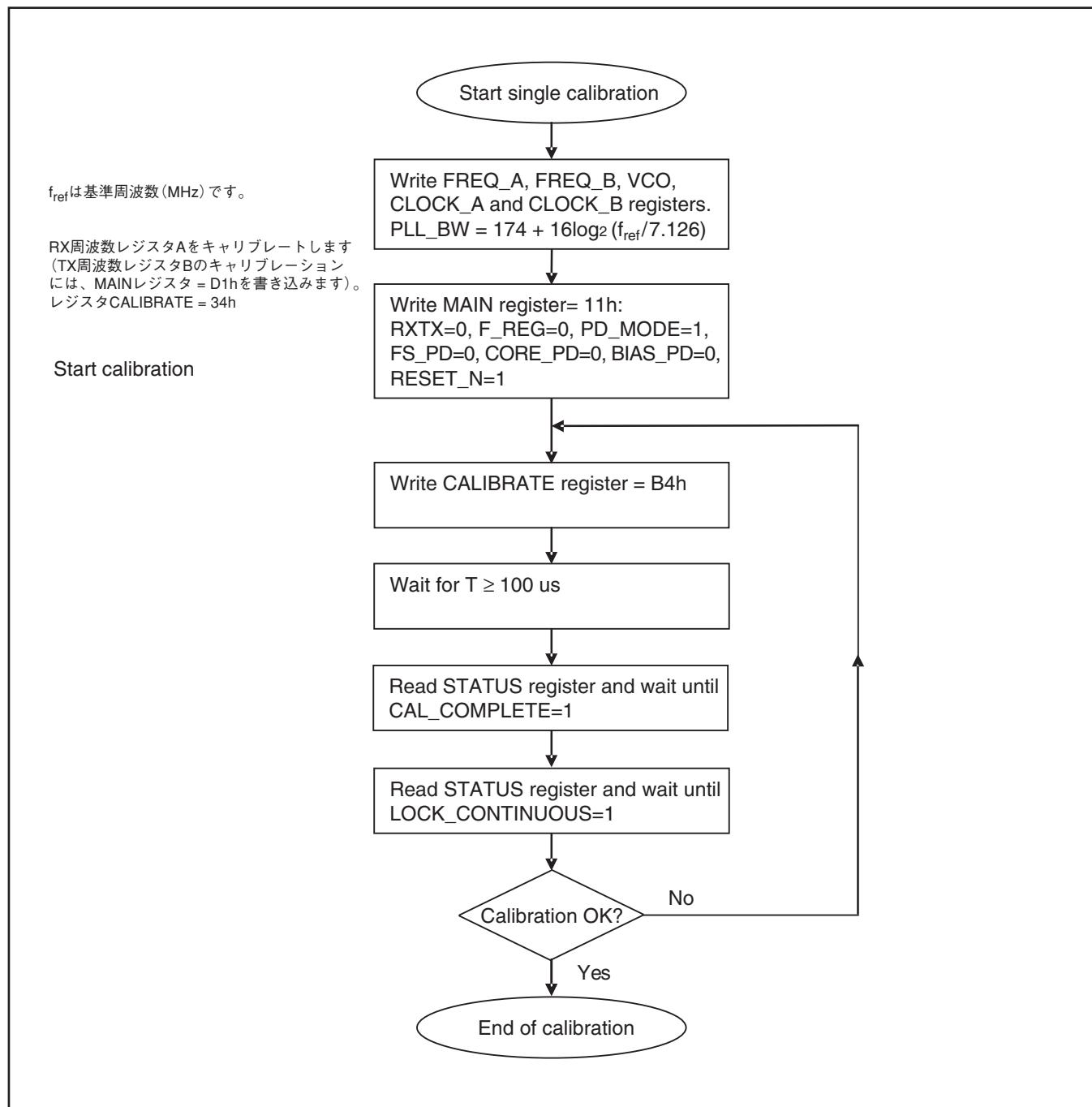


図 29. RXおよびTXのシングルキャリブレーション・アルゴリズム

15.3. PLLターンオン時間 対 ループ・フィルタ帯域幅

キャリブレーションが行われた後、パワーダウン・モード (水晶発振器は自走している状態) からTXあるいはRXモードへ移行する際、PLLターンオン時間はPLLが所要の周波数でロック

するのに必要な時間です。PLLターンオン時間は、PLLループ・フィルタ帯域幅に依存します。表25に、様々なPLLループ・フィルタ帯域幅に対するPLLターンオン時間を示します。

C6 [nF]	C7 [pF]	C8 [pF]	R2 [kΩ]	R3 [kΩ]	PLL turn-on time [us]	Comment
220	8200	2200	1.5	4.7	3200	Up to 4.8 kBaud data rate, 12.5 kHz channel spacing
100	3900	1000	2.2	6.8	2500	Up to 4.8 kBaud data rate, 25 kHz channel spacing
56	2200	560	3.3	10	1400	Up to 9.6 kBaud data rate, 50 kHz channel spacing
15	560	150	5.6	18	1300	Up to 19.2 kBaud data rate, 100 kHz channel spacing
3.9	120	33	12	39	1080	Up to 38.4 kBaud data rate, 150 kHz channel spacing
1.0	27	3.3	27	82	950	Up to 76.8 kBaud data rate, 200 kHz channel spacing
0.2	1.5	-	47	150	700	Up to 153.6 kBaud data rate, 500 kHz channel spacing

表 25. 標準的なPLLターンオン時間(様々なループ・フィルタ帯域幅について、チャネル間隔の±10%以内に達するまで)

15.4. PLLロック時間 対 ループ・フィルタ帯域幅

キャリブレーションの後、RXからTXモードあるいはその逆へ移行する際、PLLロック時間はPLLが所要の周波数でロックするのに必要な時間です。PLLロック時間は、PLLループ・フィ

ルタ帯域幅に依存します。表26に、様々なPLLループ・フィルタ帯域幅に対するPLLロック時間を示します。

C6 [nF]	C7 [pF]	C8 [pF]	R2 [kΩ]	R3 [kΩ]	PLL lock time [us]			Comment
					1	2	3	
220	8200	2200	1.5	4.7	900	180	1300	Up to 4.8 kBaud data rate, 12.5 kHz channel spacing
100	3900	1000	2.2	6.8	640	270	830	Up to 4.8 kBaud data rate, 25 kHz channel spacing
56	2200	560	3.3	10	400	140	490	Up to 9.6 kBaud data rate, 50 kHz channel spacing
15	560	150	5.6	18	140	70	230	Up to 19.2 kBaud data rate, 100 kHz channel spacing
3.9	120	33	12	39	75	50	180	Up to 38.4 kBaud data rate, 150 kHz channel spacing
1.0	27	3.3	27	82	30	15	55	Up to 76.8 kBaud data rate, 200 kHz channel spacing
0.2	1.5	-	47	150	14	14	28	Up to 153.6 kBaud data rate, 500 kHz channel spacing

表 26. 標準的なPLLターンオン時間(様々なループ・フィルタ帯域幅について、チャネル間隔の±10%以内に達するまで。
1. 307.2kHzステップ 2. 1チャネル・ステップ 3. 1 MHzステップ)

16. VCOおよびLNAの電流制御

VCO電流はプログラマブルであり、動作周波数、RX/TXモードおよび出力電力に応じて設定します。VCOレジスタのVCO_CURRENTビットの推奨する設定はレジスタ概略に示してあり、またSmartRF® Studioでも得られます。周波数

FREQ_AおよびFREQ_BのVCO電流は、個別にプログラミングできます。

またLNA、ミキサとLO、およびPAバッファのバイアス電流もプログラマブルです。FRONTENDおよびBUFF_CURRENTレジスタにより、これらの電流は制御されます。

17. パワー・マネージメント

CC1020は、バッテリー動作のアプリケーションの厳しい電力消費条件を満たすために、非常に柔軟なパワー・マネージメントを提供しています。パワーダウン・モードはMAINレジスタで制御されます。MAINレジスタには、RX部、TX部、周波数シンセサイザおよび水晶発振器を制御する個別のビットがあります。この個々の制御により、各アプリケーションにおける電流消費を最小にする最適化が行われます。図30に、電力消費を最小にするための標準的なパワーオンおよび初期化シーケンスを示します。

また図31に、電力消費を最小にするための、パワーダウン・モードからRXおよびTXモードを始動する標準的なシーケンスを示します。

パワーダウン・モードでは、PSELをスリーステートまたは“High”レベルに設定し、内部プルアップ抵抗を流れる電流を防止するように注意します。

アプリケーション・ノート『AN023 CC1020 MCUインターフェイシング』にソースコード例があり、これはTIのウェブサイトから入手できます。

TIは、CC1020が最初にパワーアップするとき、これをリセット(MAINレジスタのRESET_Nビットをクリアして)することを推奨します。その次に設定する必要があるレジスタをすべてプログラミング(デフォルト値と異なる設定について)します。レジスタは任意の順序でプログラミングできます。さらに、次にCC1020のRXおよびTXモードでキャリブレーションを行います。キャリブレーションの終了後、CC1020は使用する準備が完了します。図29~31の詳細な手順フローチャートをご覧ください。

アプリケーション・ノート『AN023 CC1020 MCUインターフェイシング』に関して、TIは以下のシーケンスを推奨します。

パワーアップ後：

- 1) ResetCC1020
- 2) 初期化
- 3) WakeUpCC1020ToRX
- 4) キャリブレーション
- 5) WakeUpCC1020ToTX
- 6) キャリブレーション

キャリブレーションの終了後、TXモード(SetupCC1020TX)、RXモード(SetupCC1020RX)あるいはパワーダウン・モード(SetupCC1020PD)に入ります。

パワーダウン・モードからRXモードへの移行：

- 1) WakeUpCC1020ToRX
- 2) SetupCC1020RX

パワーダウン・モードからTXモードへの移行：

- 1) WakeUpCC1020ToTX
- 2) SetupCC1020TX

RXモードからTXモードへの切り換え：

- 1) SetupCC1020TX

TXモードからRXモードへの切り換え：

- 1) SetupCC1020RX

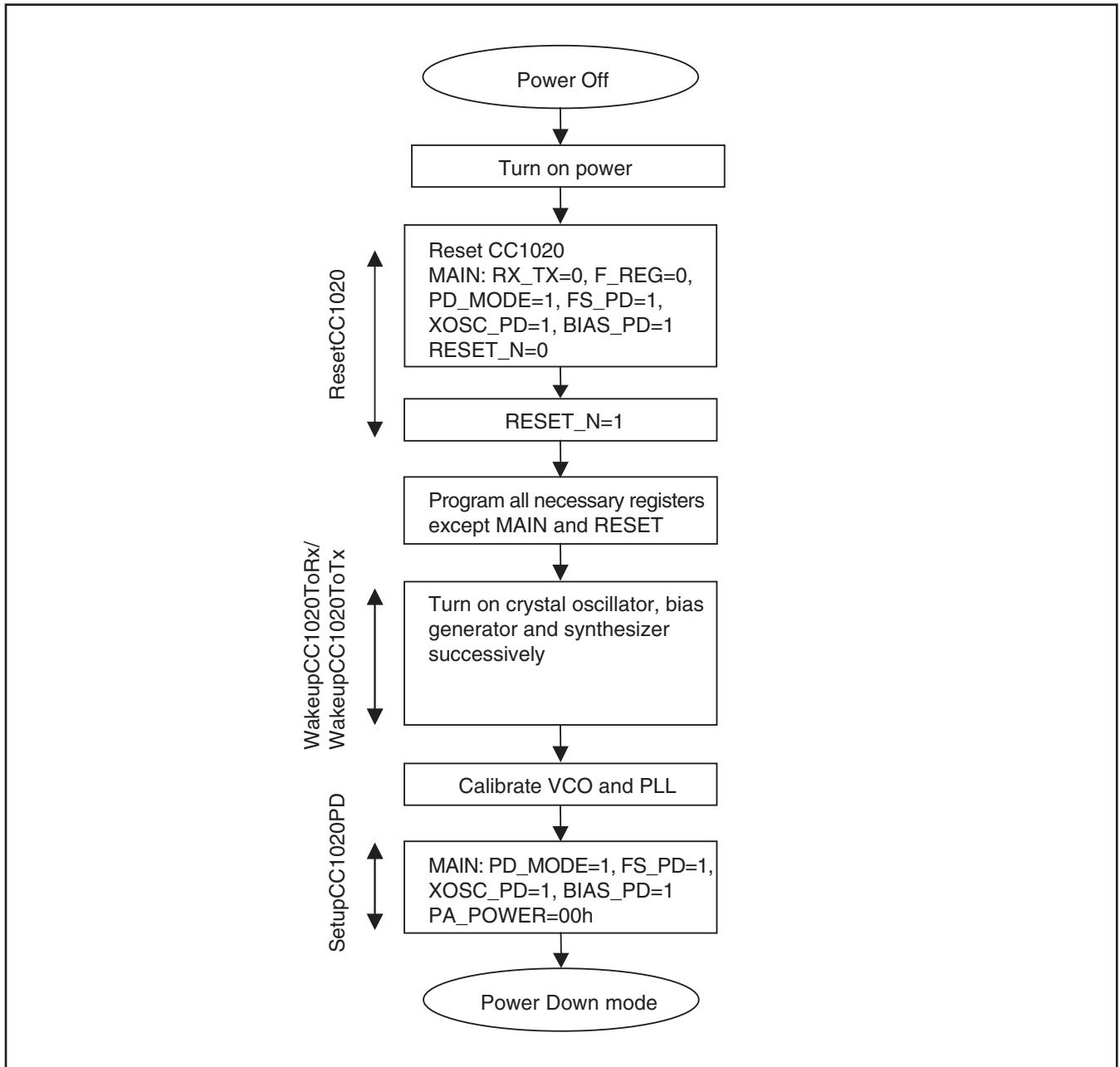


図 30. 初期化シーケンス

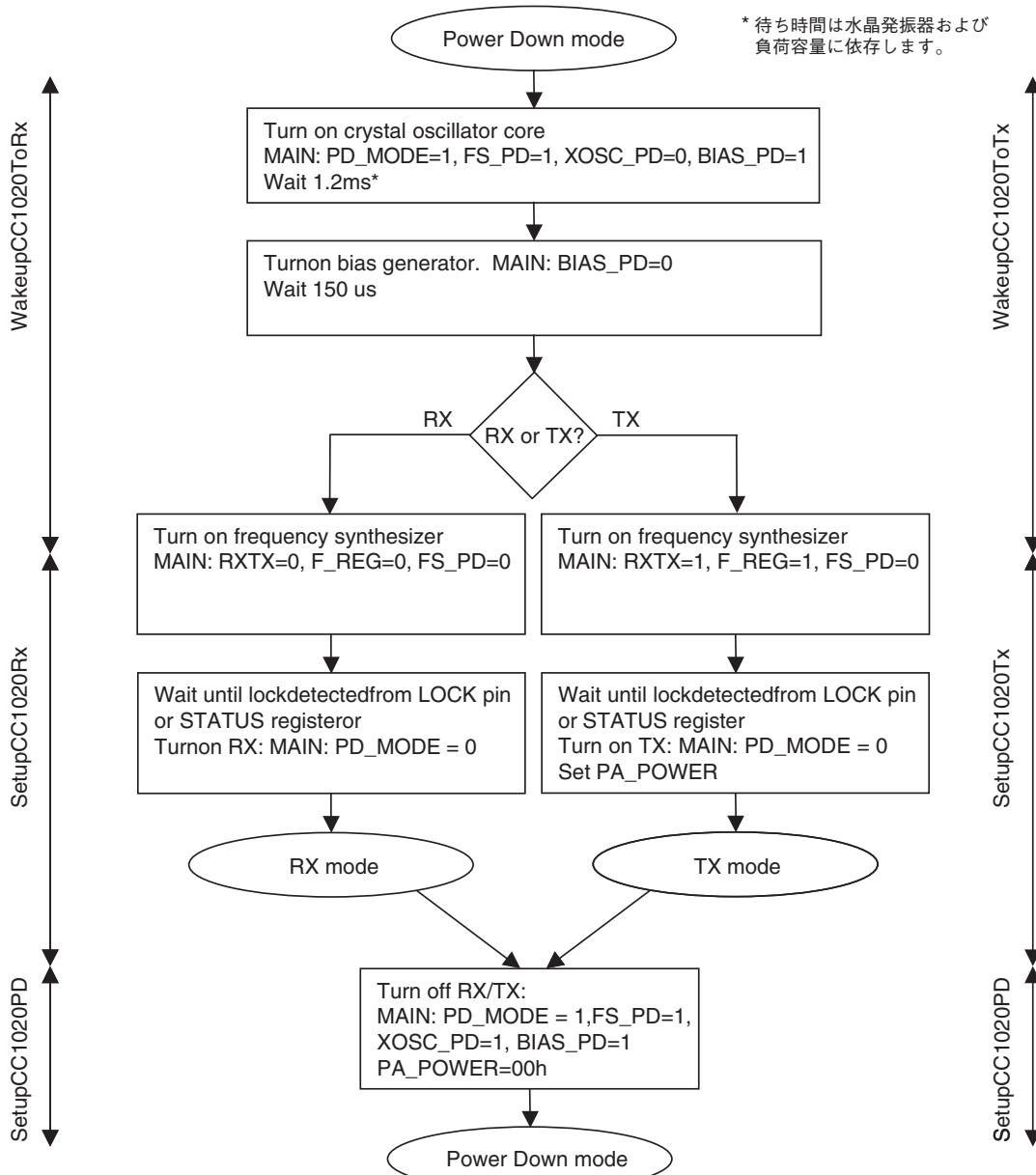


図 31. RXあるいはTXモードの立ち上げシーケンス

18. オン-オフ変調 (OOK)

データ変調器にはOOK(オン-オフ変調)変調機能もあります。OOKは100%の変調深さを使用するASK(振幅偏移変調)です。OOK変調は、DEVIATIONレジスタのTXDEV_M[3:0] = 0000と設定すると、RXおよびTXモードでイネーブルになります。図32にOOKアイ・パターンを示します。

データ復調器はOOK復調も行うことができます。この復調は、信号レベルをキャリア検知レベル (VGA4レジスタのCS_LEVELでプログラミングされる)と比較して行われます。次に、信号はデータ・フィルタで間引きされ、フィルタリングされます。データ決定とビット同期はFSK受信の場合と同様です。

このモードでは、VGA2レジスタのAGC_AVGを3に設定する必要があります。またチャネル帯域幅は、9.6kBaudのデータ・レー

トまで、Baudレートの4倍にする必要があります。最高データ・レートについては、チャネル帯域幅はBaudレートの2倍にする必要があります(表27参照)。さらに、OOKでは必ずマンチェスター符号を使用する必要があります。

OOKを受信する場合、自動周波数制御 (AFC) は周波数偏移を必要とするので使用できることに注意してください。

AGCにはFILTER_CLKで決まるある時定数があり、IFフィルタ帯域幅に依存します。FILTER_CLKには下限があるため、AGCに時定数があります。非常に低いデータ・レートについては、最小時定数が高速過ぎて、AGCは“0”を受け取るとゲインが増加し、“1”を受け取るとゲインが低下します。こうした理由から、OOKの最小データ・レートは2.4kBaudになります。

OOKのレシーバ感度(BER = 10^{-3})の標準値を表27に示します。

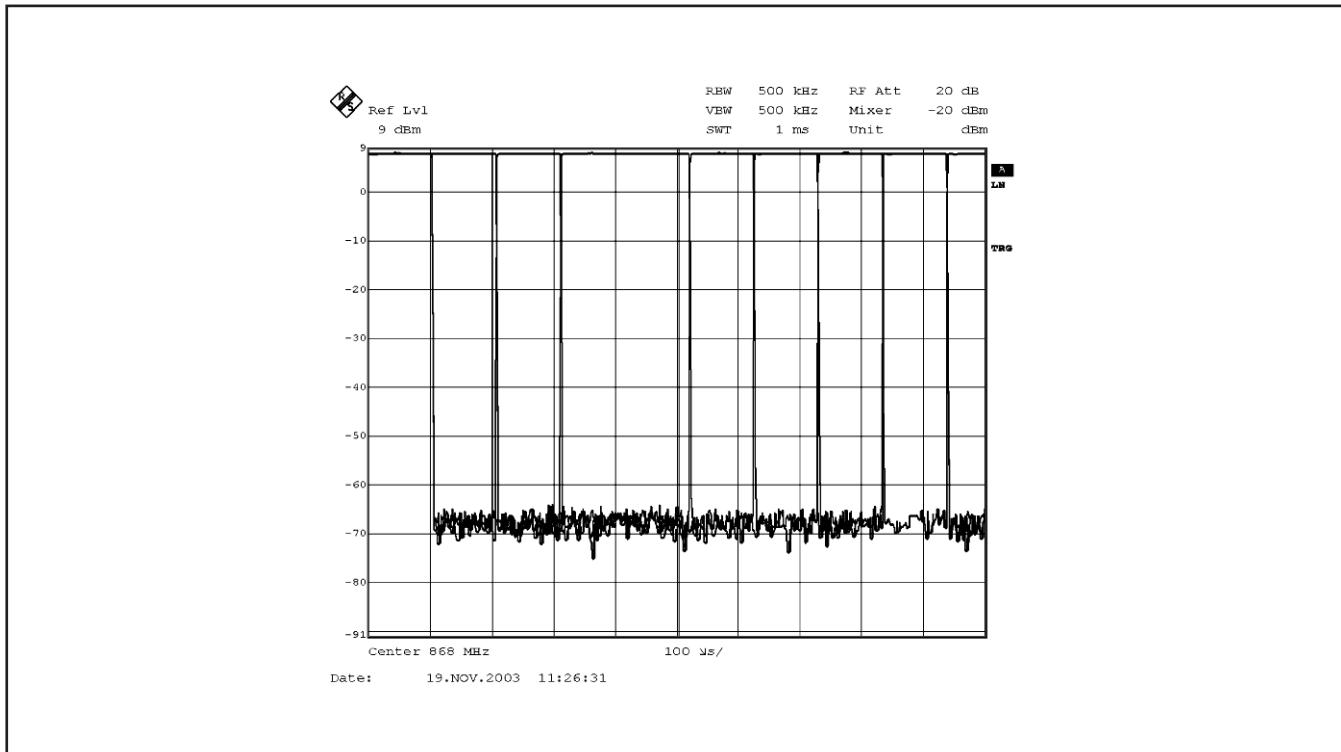


図 32. OOKのアイ・ダイアグラム (9.6kBaud)

Data rate [kBaud]	Filter BW [kHz]		
		433 MHz Manchester mode	868 MHz Manchester mode
2.4	9.6	-116	
4.8	19.2	-113	-107
9.6	38.4	-103	-104
19.2	51.2	-102	-101
38.4	102.4	-95	-97
76.8	153.6	-92	-94
153.6	307.2	-81	-87

表 27. 433と868MHz時のデータ・レートを関数とした標準的なレシーバ感度
(OOK変調、BER = 10^{-3} , PN9シーケンスの擬似ランダム・データ)

19. 水晶発振器

推奨する水晶発振周波数は14.7456MHzです。しかし、4~20MHzの範囲であれば、どのような水晶発振周波数でも使用できます。ただし、14.7456MHzと異なる水晶発振周波数を使用すると、ある種のアプリケーションでは特性が低下するかもしれません。14.7456MHz以外の水晶発振周波数を使用する場合についての詳細は、アプリケーション・ノート『AN022水晶発振周波数の選択』を参照してください。水晶発振周波数はデータ・レートの基準として使用されます(他の内部機能にも使用)。4~20MHzの範囲では、4.9152, 7.3728, 9.8304, 12.2880, 14.7456, 17.2032および19.6608MHzの周波数で、表17に示すように正確なデータ・レートおよび307.2kHzのIF周波数が得られます。また、水晶発振周波数はCLOCK_A, CLOCK_BおよびMODEMレジスタのプログラミングに影響します。

外部クロック信号あるいは内部の水晶発振器を、主基準周波数として使用できます。外部クロック信号はXOSC_Q1に接続し、XOSC_Q2はオープンにします。外部のデジタル・レール・ツー・レールのクロック信号を使用する場合、INTERFACEレジスタのXOSC_BYPASSビットを“1”に設定します。その場合、DC阻止コンデンサは使用しません。また、小振幅の正弦波も使用できます。この場合は、DC阻止コンデンサ(10nF)を使用する必要があり、INTERFACEレジスタのXOSC_BYPASSビットを“0”に設定します。入力信号振幅について4.5節をご覧ください。

内部水晶発振器を使用する場合、水晶振動子をXOSC_Q1とXOSC_Q2の端子間に接続する必要があります。内部発振器は、水晶振動子が並列共振モードで動作するように設計されています。

さらに、水晶の負荷容量(C4およびC5)が必要です。負荷容量の値は、水晶振動子で規定される合計の負荷コンデンサに依存します。水晶振動子用端子間に見られる合計負荷容量は、水晶が規定の周波数で発振するに等しくします。すなわち、

$$C_L = \frac{1}{\frac{1}{C_4} + \frac{1}{C_5}} + C_{\text{parasitic}}$$

寄生容量 $C_{\text{parasitic}}$ は入力容量とPCBの浮遊容量です。合計の寄生容量は一般に8pFです。必要であれば、初期調整のためのトリミング用コンデンサをC5と並列に接続します。

図33に水晶発振器回路を示します。様々な値の C_L に対する標準の部品定数を表28に示します。

水晶発振器は振幅制限されています。すなわち、発振を開始するには高電流が必要ということです。振幅が立ち上ると、電流はおよそ600mVppの振幅を維持するのに必要な値まで低減します。この電流変化により、高速なスタートアップが保証され、駆動レベルが最小に保たれ、そして発振器がESR変動に対して鈍感になります。推奨の負荷容量値を使用するかぎり、ESRは問題ではありません。

ある種のアプリケーションでは所要の周波数精度条件を満たすため、初期許容度、温度ドリフト、エージングおよび負荷を入念に設定します。全体の期待する周波数精度をデータ・レートと周波数間隔とともにSmartRF® Studioに設定すると、このソフトウェアにより全体の帯域幅が見積もられ、使用可能なレシーバ・チャネル・フィルタ帯域幅と比較されます。また、このソフトウェアにより矛盾が報告され、必要により適正な水晶振動子定数を提示します。

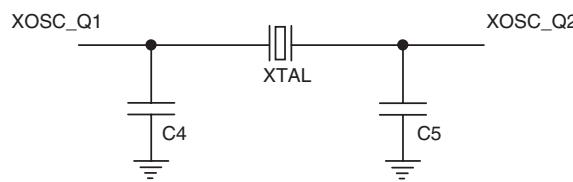


図 33. 推奨発振器の部品定数

Item	$C_L = 12 \text{ pF}$	$C_L = 16 \text{ pF}$	$C_L = 22 \text{ pF}$
C4	6.8 pF	15 pF	27 pF
C5	6.8 pF	15 pF	27 pF

表 28. Crystal oscillator component values

20. 内蔵テスト・パターン・ジェネレータ

CC1020には、PN9擬似ランダム・シーケンスを生成するテスト・パターン・ジェネレータが内蔵されています。MODEMレジスタのPN9_ENABLEビットにより、PN9ジェネレータがイネーブルされます。PN 9 擬似ランダム・シーケンスがイネーブルされた後に、DIO端子での遷移が必要になります。

PN 9 擬似ランダム・シーケンスは多項式 $X^9 + X^5 + 1$ で定義されます。

PN9シーケンスは、TXおよびRXモードにて図34に示すようにDIO信号とXORされます。したがって、0(DIO = 0)だけを送信すると、受信した1の数を計数することでBER(ビット誤り率)を試験することができます。この場合、最初に受信した9ビットは無視されることに注意してください。また、1ビット誤りにより、受信側で3ビット誤りが発生することにも注意してください。

1(DIO = 1)だけを送信すると、受信した0の数を計数することでBER(ビット誤り率)を試験することができます。

また、PN9ジェネレータは、ナローバンドACP(隣接チャネル漏洩電力)や変調帯域幅、占有帯域幅の測定を行うときのデータ送信にも使用できます。

21. DCLK端子の割込み

21.1. PLLロックの割込み

CC1020の同期モードにおけるDCLK端子は、PLLがロックしたときのマイクロコントローラを起動する割込みとして使用できます。

まず、MAINレジスタのPD_MODE[1:0]を01に設定します。INTERFACEレジスタのDCLK_LOCKが1に設定されている場合、PLLがロックしていなければDCLK信号は常に“H”レベル

です。PLLが所要の周波数にロックされると、DCLK信号はロジック“0”に変化します。この割り込みが検知されたとき、PD_MODE[1:0] = 00に設定します。これによってDCLK信号がイネーブルされます。

この機能は、送信モードでPAを立ち上げる前にPLLがロックするのを待つことに使用できます。受信モードでは、プリアンブルを検索する前にPLLがロックするまで待つことに使用できます。

21.2. 受信信号キャリア検知の割込み

同期モードにおいて、RSSIレベルがある閾値(キャリア検知の閾値)を超えると、CC1020のDCLK端子はマイクロコントローラへの割込み信号出力に使用できます。この機能を使うと、強い信号を受信したときにマイクロコントローラへ割込むことができます。

キャリア検知信号でDCLK信号をゲートして、割り込み信号を作ります。

この機能は受信モードのみで使用し、INTERFACEレジスタのDCLK_CS = 1の設定でイネーブルになります。

DCLK信号は、キャリア検知が表示されないかぎり常に“H”レベルです。キャリア検知が表示されると、DCLKは自走し始めます。DCLK信号をキャリア検知信号でゲートする場合、TXモードにて少なくとも2ダミー・ビットをデータ・ペイロードの後に付加します。その理由は以下の通りです。すなわち、キャリア検知信号は受信チェインの最初の方(復調器の前)で発生し、それに対応するデータがDIO端子に出力される前に2ビットの更新が生じるからです。

送信モードでは、DCLK_CSは常に0に設定する必要があります。CC1020のエラータ・ノート002を参照してください。

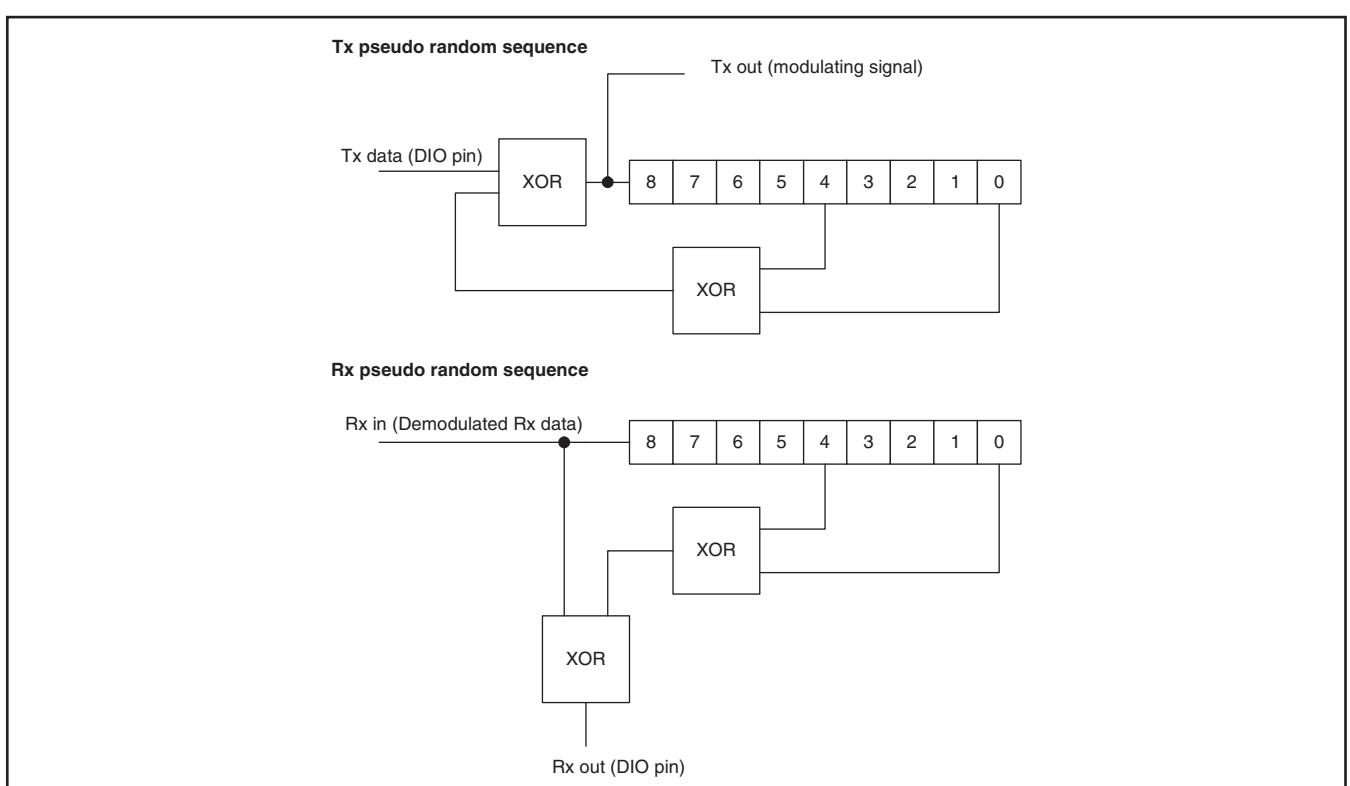


図 34. TXおよびRXモードのPN9擬似ランダム・シーケンス・ジェネレータ

22. PA_ENおよびLNA_ENデジタル出力端子

22.1 外部LNAあるいはPAとのインターフェイス

CC1020にはPA_ENおよびLNA_ENの2つのデジタル出力端子があり、外部LNAあるいはPAの制御に使用できます。これら2つの端子の機能は、INTERFACEレジスタで制御されます。また、これら2つの出力は汎用のデジタル出力制御信号としても使用できます。

EXT_PA_POLおよびEXT_LNA_POLは、信号がアクティブである極性を制御します。

EXT_PAおよびEXT_LNAは2端子の機能を制御します。EXT_PA = 1の場合、内部PAがオンするとPA_EN端子がアクティブになります。EXT_PA = 0の場合、EXT_PA_POLビットによりPA_EN端子が直接制御されます。またEXT_LNA = 1の場合、内部LNAがオンするとLNA_EN端子がアクティブになります。EXT_LNA = 0の場合、EXT_LNA_POLビットによりLNA_EN端子が直接制御されます。

したがって、これら2つの端子は2個の汎用制御信号としても使用できます。これについては22.2節をご覧ください。Chipconのリファレンス・デザインでは、LNA_ENおよびPA_ENが外付けのT/Rスイッチの制御に使用されています。

22.2 汎用目的出力制御端子

PA_ENおよびLNA_ENの2つのデジタル出力端子は、EXT_PA = 0およびEXT_LNA = 0と設定することにより、2つの汎用制御信号として使用できます。このとき、EXT_PA_POLおよびEXT_LNA_POLに書かれた値によって出力値は直接設定されます。

また、LOCK端子も汎用目的出力端子として使用できます。LOCK端子は、LOCKレジスタのLOCK_SELECT[3:0]によって制御されます。LOCK端子はLOCK_SELECT[3:0] = 0000のとき“L”レベルであり、LOCK_SELECT[3:0] = 0001のとき“H”レベルになります。

これらの機能は、これらの端子に関連する他の機能が使用されない場合、マイクロコントローラのI/O端子を節約するために使用できます。

22.3 PA_ENおよびLNA_EN端子のドライブ

図35にPA_ENおよびLNA_EN端子のドライブ電流を示します。シンクおよびソース電流には反対の極性がありますが、図35では絶対値を使用しています。

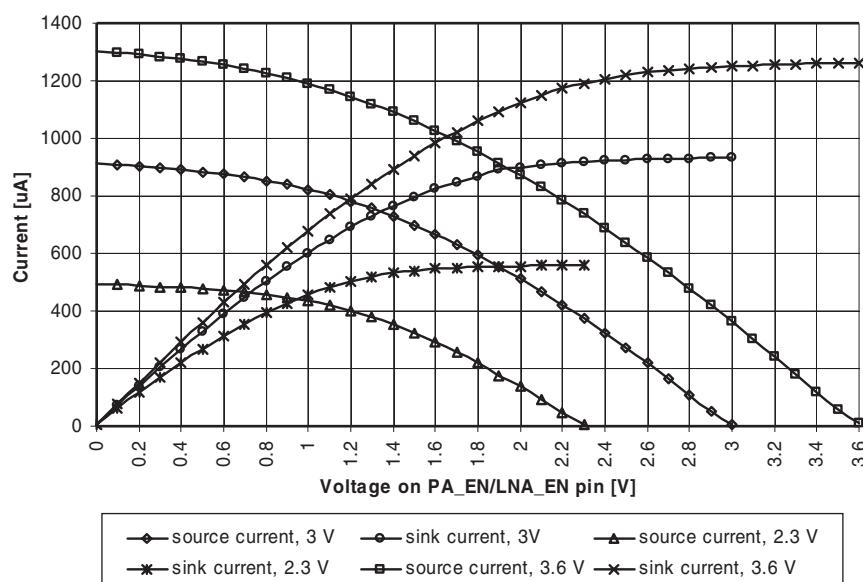


図 35. 標準的なPA_ENおよびLNA_EN端子のドライブ

23. システムの考察およびガイドライン

SRD規則

国際規則および国内法が、無線受信機および送信機の使用を規制しています。欧洲の大半の国々では、SRD(短距離無線装置)の免許を要しない無線局が433MHzおよび868~870MHz帯域で許可されています。米国では、このような装置の使用許可是260~470および902~928MHz帯域になります。これら規則の最も重要な特徴の要約は、TIのウェブサイトから入手できるアプリケーション・ノート『AN001免許不要のトランシーバの使用に関するSRD規則』で見られます。

ナローバンド・システム

CC1020は、ARIB STD T-67およびEN 300 220に準拠したナローバンド・システム向けに設計されています。またCC1020は、ナローバンド・トランスミッタのACP(隣接チャネル漏洩電力)および占有帯域に関する厳しい条件を満足しています。ARIB STD T-67条件を満足するために、3Vの安定化電源を使用します。

レシーバ側については、CC1020は非常に優れたACR(隣接チャネル除去)、干渉波周波数抑圧およびブロッキング特性を12.5kHzまでのチャネル間隔について提供します。

このようなナローバンド特性には、一般に外付けのセラミック・フィルタが必要になります。しかしCC1020は、IFフィルタを集積した真のシングル・チップ・ソリューションとしてこの特性を提供します。

日本と韓国では、いくつかの周波数帯域424, 426, 429, 447, 449および469MHzが、ナローバンドの免許を要しない無線局に割り当てられています。CC1020は、チャネル間隔が12.5kHzまでのナローバンド動作に関する厳しい条件を含み、これらすべての帯域における動作条件を満たすように設計されています。

チップに組み込んだ複素フィルタにより、干渉波は除去されています。内蔵のキャリブレーション回路を使用して最高の干渉波除去特性を得ています。したがって、干渉波除去に狭帯域のプリセレクタ・フィルタは不要です。

CC1020のユニークな機能は、非常に精細な周波数分解能です。この機能は、水晶振動子の温度ドリフト曲線が既知であり、システム内に温度センサーがあれば、水晶振動子の温度補償に使用できます。

また、周波数をプログラミングして初期調整も行えます。そのため、ある種のアプリケーションにおける高価なTCXOやトリミングが不要になります。より詳細は、TIのウェブサイトから入手できるアプリケーション・ノート『AN027温度補償』を参照願います。

さほど厳しくないアプリケーションでは、温度ドリフトやエージング特性の良くない水晶振動子が、さらなるキャリブレーションをせずに使用できます。その場合、トリミング用コンデンサを水晶発振器回路(C5に並列接続)に使用して、初期周波数を正確に設定できます。

CC1020ではトランシーバとレシーバ間の周波数オフセットが測定され、AFCレジスタから読み取ることができます。測定された周波数オフセットは、トランシーバを基準としたレ

シーバ周波数のキャリブレーションに使用できます。より詳細は、TIのウェブサイトから入手できるアプリケーション・ノート『AN029 CC1020/1021 AFC』を参照してください。

CC1020はガウスFSK(GFSK)を使用することもできます。このスペクトル整形機能により、隣接チャネル漏洩電力(ACP)と占有帯域が改善されます。急峻な周波数偏移を伴う“真性”的FSKでは、スペクトルは本質的に広くなります。しかし、周波数偏移をもっと“緩く”すると、スペクトルは大幅に狭くできます。したがってGFSKを使用すると、同一の帯域幅で高データ・レートの送信ができます。

低コスト・システム

CC1020により、外付けフィルタなしでナローバンドの多重チャネル特性が提供されるので、非常に低コストの高性能システムが実現できます。また、チップに組み込みの周波数調整機能により、水晶発振器には許容誤差が50ppmの低価格の水晶が使用できます。

バッテリー動作システム

低電力アプリケーションでは、CC1020がアクティブでないときパワーダウン・モードを使用します。スタートアップ時間条件に対応して、パワーダウン時に発振器コアに電源を供給しておくことができます。高効率のパワー・マネジメントを実現する方法については、17節の情報をご覧ください。

高信頼性システム

SAWフィルタをプリセレクタとして使用すると、過酷な環境での不要帯になる確率を減らし、通信の信頼性が改善されます。しかし、レシーバ感度と出力パワーは、フィルタ挿入損失により低下します。外付けのRX/TXスイッチとともにフィルタをRXバスにのみ挿入すると、受信感度だけが低下し、出力電力は維持されます。PA_ENおよびLNA_EN端子は、外付けのLNA、RX/TXスイッチあるいはパワー・アンプを制御するよう設定できます。この設定はINTERFACEレジスタにより制御されます。

周波数ホッピング拡散スペクトル・システム(FHSS)

CC1020のPLLが非常に高速なロック特性なので、CC1020は周波数ホッピング・システムにも最適です。一般に1~100ホップ/秒のホップ・レートが、ビット・レートおよび各送信時に送られるデータ量により使用されます。2個の周波数レジスタ(FREQ_AおよびFREQ_B)が、“現在”の周波数が使用されている間に“次”的周波数をプログラミングできるように設計されています。この2周波数間の切り替えは、MAINレジスタにより行われます。レシーバの再同期が不要なホッピングを行うために、いくつかの機能があります。より詳細は、TIのウェブサイトから入手できるアプリケーション・ノート『AN014周波数ホッピング・システム』を参照してください。

CC1020で周波数ホッピング・システムを実現するには、以下のことを実施します。

まず、所要の周波数を設定し、キャリブレーションを行い、以下のレジスタ設定を不揮発メモリーに格納します。すなわち、

STATUS1[3:0] : CHP_CURRENT[3:0]
STATUS2[4:0] : VCO_ARRAY[4:0]
STATUS3[5:0] : VCO_CAL_CURRENT[5:0]

所要の各周波数についてキャリブレーションを繰り返します。VCO_CAL_CURRENT[5:0]はRF周波数に依存せず、同じ値をすべての周波数に使用できます。

周波数ホッピングを行うに際し、格納値を対応するTEST1, TEST2およびTEST3レジスタに書き込み、オーバーライドをイネーブルにします。すなわち、

TEST1[3:0] : CHP_CO[3:0]
TEST2[4:0] : VCO_AO[4:0]
TEST2[5] : VCO_OVERRIDE
TEST2[6] : CHP_OVERRIDE
TEST3[5:0] : VCO_CO[5:0]
TEST3[6] : VCO_CAL_OVERRIDE

CHP_CO[3:0]はCHP_CURRENT[3:0]からの読み取り値を設定するレジスタであり、VCO_AO[4:0]はVCO_ARRAY[4:0]からの読み取り値を設定するレジスタであり、またVCO_CO[5:0]はVCO_CAL_CURRENT[5:0]からの読み取り値を設定するレジスタです。

レジスタFREQ_Aで定義されるチャネル1が現在使用され、次にCC1020がチャネル2で動作すると仮定します(チャネル切り換えは、単にレジスタMAIN[6]に書き込むだけ)。チャネル2の周波数は、チャネル1で動作している間に書き込みできるレジスタFREQ_Bで設定できます。キャリブレーション・データは、次の周波数に切り換えた後でTEST1-3レジスタに書き込む必要があります。すなわち、新チャネルへホッピングするとき、最初にMAIN[6]レジスタに書き込み、次にTEST1 - 3レジスタに書き込みます。各ホッピング間ではPAをオフし、ホッピングが行われた後でPAをオンにする前に、PLLのロックをチェックします。

VCO_OVERRIDE, CHP_OVERRIDEおよびVCO_CAL_OVERRIDEのオーバーライド・ビットは、再キャリブレーションを実施するときにディスエーブルされる必要があります。

24. 推奨PCBレイアウト

上層を信号配線の引き回しに使用し、そのオープン領域は数個のビアでグランドに接続したメタルで埋めます。

デバイス直下の領域はグランドに使用し、数個のビアで下層のグランド・プレーンに接続する必要があります。TIのリファレンス・デザインでは、露出ダイ・パッドの内側に9個のビアを配置しました。これらのビアはPCBの部品面で“テント”(半田マスクで覆うこと)して、半田リフロー工程でのビアを経由する半田マイグレーションを防止します。

デカップリング用コンデンサは、それぞれデカップリングすべき電源端子にできるだけ近く配置します。また、各デカップリング用コンデンサは、数個のビアで電源配線(あるいは電源プレーン)に接続します。最適な配線引き回しは、電源配線からデカップリング用コンデンサを経由して、次にCC1020の電源端子に接続することです。電源のフィルタリングは非常に重要であり、特に23, 22, 20および18ピンで重要です。

各デカップリング用コンデンサのグランド・パッドは、それぞれ分離されたビア経由でグランド面に接続します。隣接した電源端子同士を直接接続するとノイズ結合が増加するため、どうしても必要でないかぎりこれを回避します。理想として外付け部品はできるだけ小さくし、表面実装型のデバイスを極力推奨します。

マイクロコントローラの配置には、RF回路への雑音妨害を防止するための予防が必要です。

完全にアッセンブルされたCC1020EMX評価モジュールによる、CC1020/1070DK開発キットが用意されています。最適特性を得るには、この参考レイアウトにできるだけ従うことを強くお薦めします。このレイアウトのガーバー・ファイルは、TIのウェブサイトから入手できます。

25. アンテナの考察

CC1020には様々なタイプのアンテナが使用できます。短距離通信用で最も一般的なアンテナは、モノポール、ヘリカルおよびループ・アンテナです。

モノポール・アンテナは、電気的波長の4分の1($\lambda/4$)に相当する長さの共振アンテナです。このアンテナは非常に設計が容易で、単に“1本の線”として実装でき、PCB上にも組み込むことができます。

$\lambda/4$ より短い非共振型モノポール・アンテナも使用できますが、通信距離が短くなります。サイズとコストが問題になるアプリケーションでは、このようなアンテナは非常にうまくPCB上に組み込めます。

ヘリカル・アンテナは、モノポールとループ・アンテナの組み合わせとして考えることができます。このアンテナは、サイズが問題になるアプリケーションにとって優れた妥協案になります。しかし、ヘリカル・アンテナはモノポール・アンテナよりも最適化が困難になります。

ループ・アンテナはPCB上での実装が容易ですが、その放射抵抗が非常に低くインピーダンス整合が困難なため、放射効率が低くなります。

低消費電力アプリケーションには、その最適範囲と単純さにより $\lambda/4$ モノポール・アンテナを推奨します。

$\lambda/4$ モノポール・アンテナの長さは次式で与えられます。

$$L = 7125 / f$$

ここで、 f はMHzであり、長さLはcm単位です。したがって、868MHz用のアンテナは8.2cmであり、433MHz用は16.4cmになります。

アンテナはデバイスにできるだけ近く接続します。アンテナが入力端子から離れて配置される場合、伝送線路(50Ω)との整合をとります。

アンテナに関するより詳細なバックグラウンドについては、TIのウェブサイトから入手できるアプリケーション・ノート『AN003 SRDアンテナ』を参照願います。

示しております。RESETをプログラミングした後は、すべてのレジスタがデフォルト値になります。TESTレジスタもRESET後にデフォルト値になり、ユーザが変更しないようにします。

TIは、SmartRF® Studioソフトウェアで得られたレジスタ設定を使用するよう推奨します。これらのレジスタ設定値は、Chipconが温度、電圧およびプロセスにわたって保証できるものです。TIのウェブサイトで、SmartRF® Studioソフトウェアの定期的な更新をチェックしてください。

26. 設定レジスタ

CC1020の設定は、8ビットの設定レジスタをプログラミングして行います。選択されたシステム・パラメータに基づく設定データは、SmartRF® Studioソフトウェアを使用すると最も容易に得られます。レジスタに関する解説は、すべて以下の表に

26.1. CC1020のレジスタの概要

ADDRESS	Byte Name	説明
00h	MAIN	主制御レジスタ
01h	INTERFACE	インターフェイス制御レジスタ
02h	RESET	デジタル部リセット・レジスタ
03h	SEQUENCING	自動パワーアップ・シーケンス制御レジスタ
04h	FREQ_2A	周波数レジスタ2A
05h	FREQ_1A	周波数レジスタ1A
06h	FREQ_0A	周波数レジスタ0A
07h	CLOCK_A	クロック生成レジスタA
08h	FREQ_2B	周波数レジスタ2B
09h	FREQ_1B	周波数レジスタ1B
0Ah	FREQ_0B	周波数レジスタ0B
0Bh	CLOCK_B	クロック生成レジスタB
0Ch	VCO	VCO電流制御レジスタ
0Dh	MODEM	モデム制御レジスタ
0Eh	DEVIATION	TX周波数偏差レジスタ
0Fh	AFC_CONTROL	RXAFC制御レジスタ
10h	FILTER	チャネル・フィルタ/RSSI制御レジスタ
11h	VGA1	VGA制御レジスタ1
12h	VGA2	VGA制御レジスタ2
13h	VGA3	VGA制御レジスタ3
14h	VGA4	VGA制御レジスタ4
15h	LOCK	ロック制御レジスタ
16h	FRONTEND	フロントエンド・バイアス電流制御レジスタ
17h	ANALOG	アナログ部制御レジスタ
18h	BUFF_SWING	LOバッファおよびプリスケーラ振幅制御レジスタ
19h	BUFF_CURRENT	LOバッファおよびプリスケーラ・バイアス電流制御レジスタ
1Ah	PLL_BW	PLLループ帯域幅/チャージポンプ電流制御レジスタ
1Bh	CALIBRATE	PLLキャリブレーション制御レジスタ
1Ch	PA_POWER	パワー・アンプ出力電力レジスタ
1Dh	MATCH	整合コンデンサ・アレー制御レジスタ (RXおよびTXインピーダンス整合用)
1Eh	PHASE_COMP	LO I/Qの位相誤差補償制御レジスタ
1Fh	GAIN_COMP	ミキサI/Qのゲイン誤差補償制御レジスタ
20h	POWERDOWN	パワーダウン制御レジスタ
21h	TEST1	PLLキャリブレーション・オーバーライディング・テスト・レジスタ
22h	TEST2	PLLキャリブレーション・オーバーライディング・テスト・レジスタ
23h	TEST3	PLLキャリブレーション・オーバーライディング・テスト・レジスタ
24h	TEST4	チャージポンプおよびIFチェイン用テスト・レジスタ
25h	TEST5	ADC試験用テスト・レジスタ
26h	TEST6	VGA試験用テスト・レジスタ
27h	TEST7	VGA試験用テスト・レジスタ
40h	STATUS	状態情報レジスタ (PLLロック、RSSI、キャリブレーション・レディなど)
41h	RESET_DONE	デジタル部リセット状態レジスタ
42h	RSSI	受信信号強度レジスタ
43h	AFC	IFからの平均周波数偏移 (AFCに使用可)
44h	GAUSS_FILTER	デジタルFM復調器レジスタ
45h	STATUS1	PLLキャリブレーション結果などの状態(テストのみ)
46h	STATUS2	PLLキャリブレーション結果などの状態(テストのみ)
47h	STATUS3	PLLキャリブレーション結果などの状態(テストのみ)
48h	STATUS4	ADC信号の状態(テストのみ)
49h	STATUS5	チャネル・フィルタ “I” 信号の状態(テストのみ)
4Ah	STATUS6	チャネル・フィルタ “Q” 信号の状態(テストのみ)
4Bh	STATUS7	AGCの状態(テストのみ)

MAINレジスタ (00h)

REGISTER	NAME	Default value	Active	説明
MAIN[7]	RXTX	-	-	RT/TXスイッチ、0 : RX, 1 : TX
MAIN[6]	F_REG	-	-	周波数レジスタの選択、0 : レジスタA, 1 : レジスタB
MAIN[5:4]	PD_MODE[1:0]	-	-	パワーダウン・モード 0(00) : TX時に受信チェインのパワーダウン、RX時にPAのパワーダウン。 1(01) : TXとRX時で受信チェインおよびPAのパワーダウン。 2(10) : POWERDOWNレジスタのプログラミングにより、各部が個別にパワーダウンできる。 3(11) : 自動パワーアップ・シーケンスが有効(以下を参照)。
MAIN[3]	FS_PD	-	H	周波数シンセサイザのパワーダウン。
MAIN[2]	XOSC_PD	-	H	内部水晶発振器のパワーダウン。
MAIN[1]	BIAS_PD	-	H	BIAS(グローバル電流ジェネレータ)と水晶発振器バッファのパワーダウン。
MAIN[0]	RESET_N	-	L	リセット、負論理。RESET_Nに“Low”を書き込むと、MAIN以外のすべてのレジスタにデフォルト値を書き込む。MAINレジスタのビットにはデフォルト値がなく、設定インターフェイスで直接書き込まれる。リセットを終了するには“High”をセットする。

MAINレジスタ (00h) 自動パワーアップ・シーケンスを使用 (RXTX = 0, PD_MODE[1:0] = 11)

REGISTER	NAME	Default value	Active	説明
MAIN[7]	RXTX	-	-	XTX = 0 : 自動パワーアップ・シーケンスがRXでのみ機能する。
MAIN[6]	F_REG	-	-	周波数レジスタの選択、0 : レジスタA, 1 : レジスタB
MAIN[5:4]	PD_MODE[1:0]	-	H	3(11) : シーケンスをイネーブル。
MAIN[3:2]	SEQ_CAL[1:0]	-	-	パワーダウンに再度入る前にPLLキャリブレーションを制御。 0 : シーケンスの一部としてPLLキャリブレーションを実施しない。 1 : シーケンスの終りで常にPLLキャリブレーションを実施する。 2 : 16回目のシーケンスの終りごとにPLLキャリブレーションを実施する。 3 : 256回目のシーケンスの終りごとにPLLキャリブレーションを実施する。
MAIN[1]	SEQ_PD	-	↑	↑1 : デバイスをパワーダウンし、新規のパワーアップ・シーケンスを待つ。
MAIN[0]	RESET_N	-	L	リセット、負論理。RESET_Nに“Low”を書き込むと、MAIN以外のすべてのレジスタにデフォルト値を書き込む。MAINレジスタのビットにはデフォルト値がなく、設定インターフェイスで直接書き込まれる。リセットを終了するには“High”をセットする。

INTERFACEレジスタ (01h)

REGISTER	NAME	Default value	Active	説明
INTERFACE[7]	XOSC_BYPASS	0	H	内部水晶発振器をバイパスし、外部クロックを使用。 0：内部水晶発振器を使用、あるいは外部から結合コンデンサ経由で正弦波を供給。 1：内部水晶発振器はパワーダウン、レール・ツー・レール振幅の外部クロックを使用。
INTERFACE[6]	SEP_DI_DO	0	H	RXデータ出力に別の端子を使用。 0：DIOはRXでデータ出力、TXでデータ入力。LOCK端子は使用できる(通常動作)。 1：DIOは常に入力、別の端子(同期モード：LOCK端子、非同期モード：DCLK端子)をRX時のデータ出力に使用。 SEP_DI_DO = 1かつSEQUENCINGレジスタのSEQ_PSEL = 0ならば、PD_MODE = 3(パワーアップ・シーケンスがイネーブル)の場合、DIO端子の立ち下りエッジがパワーアップ・シーケンスの開始に使用される。
INTERFACE[5]	DCLK_LOCK	0	H	同期モード時に、DCLK信号をPLLロック信号でゲートする。 PD_MODE = 01の場合のみ適用。 0：DCLKは常に1 1：PLLがロックしないかぎり、DCLKは常に1。
INTERFACE[4]	DCLK_CS	0	H	同期モード時に、DCLK信号をキャリア検知表示でゲートする。 受信チキンがアクティブ時に使用(パワーアップ)。 TXモードでは常に0に設定する。 0：DCLKはキャリア検知表示に依存しない。 1：キャリア検知が表示されないかぎり、DCLKは常に1。
INTERFACE[3]	EXT_PA	0	H	外部PAアンプの制御にPA_EN端子を使用。 0：PA_EN端子は常にEXT_PA_POLビットと等しい。 1：PA_EN端子は内部PAがオンしたときに有効になる。
INTERFACE[2]	EXT_LNA	0	H	外部LNAの制御にLNA_EN端子を使用。 0：LNA_EN端子は常にEXT_LNA_POLビットと等しい。 1：LNA_EN端子は内部LNAがオンしたときに有効になる。
INTERFACE[1]	EXT_PA_POL	0	H	外部PA制御の極性。 0：PA_EN端子が0で外部PAをアクティブにする。 1：PA_EN端子が1で外部PAをアクティブにする。
INTERFACE[0]	EXT_LNA_POL	0	H	外部LNA制御の極性。 0：LNA_EN端子が0で外部LNAをアクティブにする。 1：LNA_EN端子が1で外部LNAをアクティブにする。

注：TEST4レジスタのTF_ENABLE = 1あるいはTA_ENABLE = 1ならば、INTERFACE[3:0]はアナログ部のテストを制御します。すなわち、INTERFACE[3] = TEST_PD、INTERFACE[2:0] = TEST_MODE[2:0]。さもなくば、TEST_PD = 1かつTEST_MODE[2:0] = 001。

RESETレジスタ (02h)

REGISTER	NAME	Default value	Active	説明
RESET[7]	ADC_RESET_N	0	L	ADC制御ロジックのリセット。
RESET[6]	AGC_RESET_N	0	L	AGC(VGA制御)ロジックのリセット。
RESET[5]	GAUSS_RESET_N	0	L	ガウス・データ・フィルタのリセット。
RESET[4]	AFC_RESET_N	0	L	AFC/FSK判定レベル・ロジックのリセット。
RESET[3]	BITSYNC_RESET_N	0	L	変調器、ビット同期ロジックおよびPN9 PRBSジェネレータのリセット。
RESET[2]	SYNTH_RESET_N	0	L	周波数シンセサイザのロジック部のリセット。
RESET[1]	SEQ_RESET_N	0	L	パワーアップ・シーケンス・ロジックのリセット。
RESET[0]	CAL_LOCK_RESET_N	0	L	キャリブレーション・ロジックおよびロック判別器のリセット。

注：CC1020のリセットには、MAINレジスタのRESET_N = 0を書き込みます。リセット・レジスタは通常動作時に使用しないようにします。

RESETレジスタのビットは、セルフ・クリア(リセット動作が開始すると1に設定される)します。リセットが完了するには、適切なデジタル・クロックが自走している必要があります。RESETレジスタへの書き込み後、ユーザはRESET_DONE状態レジスタ(41h)を全ビットが1になるまで読み込んで、すべてのリセット動作が完了したことを検証するようにします。

SEQUENCINGレジスタ (03h)

REGISTER	NAME	Default value	Active	説明
SEQUENCING[7]	SEQ_PSEL	1	H	シーケンスの開始にPSEL端子を使用。 0:PSEL端子はシーケンスを開始しない。SEP_DI_DO = 1 ならば、DIOの負の遷移によりパワーアップ・シーケンスが 開始。 1:PSEL端子の負の遷移によりパワーアップ・シーケンスが 開始。
SEQUENCING[6:4]	RX_WAIT[2:0]	0	-	PLLがロックしてからRXパワーアップまでの待ち時間。 0: 約32ADCクロック周期(26μs)の待ち時間。 1: 約44ADCクロック周期(36μs)の待ち時間。 2: 約64ADCクロック周期(52μs)の待ち時間。 3: 約88ADCクロック周期(72μs)の待ち時間。 4: 約128ADCクロック周期(104μs)の待ち時間。 5: 約176ADCクロック周期(143μs)の待ち時間。 6: 約256ADCクロック周期(208μs)の待ち時間。 7: RXのパワーアップ前に待ち時間なし。
SEQUENCING[3:0]	CS_WAIT[3:0]	10	-	RXパワーアップからのキャリア検知の待ち時間。 0: パワーダウン前に20FILTER_CLK周期だけ待つ。 1: パワーダウン前に22FILTER_CLK周期だけ待つ。 2: パワーダウン前に24FILTER_CLK周期だけ待つ。 3: パワーダウン前に26FILTER_CLK周期だけ待つ。 4: パワーダウン前に28FILTER_CLK周期だけ待つ。 5: パワーダウン前に30FILTER_CLK周期だけ待つ。 6: パワーダウン前に32FILTER_CLK周期だけ待つ。 7: パワーダウン前に36FILTER_CLK周期だけ待つ。 8: パワーダウン前に40FILTER_CLK周期だけ待つ。 9: パワーダウン前に44FILTER_CLK周期だけ待つ。 10: パワーダウン前に48FILTER_CLK周期だけ待つ。 11: パワーダウン前に52FILTER_CLK周期だけ待つ。 12: パワーダウン前に56FILTER_CLK周期だけ待つ。 13: パワーダウン前に60FILTER_CLK周期だけ待つ。 14: パワーダウン前に64FILTER_CLK周期だけ待つ。 15: パワーダウン前に72FILTER_CLK周期だけ待つ。

FREQ_2Aレジスタ (04h)

REGISTER	NAME	Default value	Active	説明
FREQ_2A[7:0]	FREQ_A[22:15]	131	-	周波数制御ワードAの8MSB。

FREQ_1Aレジスタ (05h)

REGISTER	NAME	Default value	Active	説明
FREQ_1A[7:0]	FREQ_A[14:7]	177	-	周波数制御ワードAのビット15から8。

FREQ_0Aレジスタ (06h)

REGISTER	NAME	Default value	Active	説明
FREQ_0A[7:1]	FREQ_A[6:0]	124	-	周波数制御ワードAの7LSB。
FREQ_0A[0]	DITHER_A	1	H	周波数Aのディザリングのイネーブル。

CLOCK_Aレジスタ (07h)

REGISTER	NAME	Default value	Active	説明
CLOCK_A[7:5]	REF_DIV_A[2:0]	2	-	基準周波数の除数(A) 0:サポートしない。 1: REF_CLK周波数 = 水晶発振周波数/2 ↓ 7: REF_CLK周波数 = 水晶発振周波数/8 所要のビット・レートを発生できる基準クロック周波数のうち、最も使用されるであろう周波数を選択するように推奨します。
CLOCK_A[4:2]	MCLK_DIV1_A[2:0]	4	-	変復調器クロック分周器1(A) 0: 2.5分周 1: 3分周 2: 4分周 3: 7.5分周 (2.5 × 3) 4: 12.5分周 (2.5 × 5) 5: 40分周 (2.5 × 16) 6: 48分周 (3 × 16) 7: 64分周 (4 × 16)
CLOCK_A[1:0]	MCLK_DIV2_A[1:0]	0	-	変復調器クロック分周器2(A) 0: 1分周 0: 2分周 0: 4分周 0: 8分周 MODEM_CLK周波数は、 FREF周波数 / (分周器1と分周器2の積)。 ビット・レートは MODEM_CLK周波数 / 8.

FREQ_2Bレジスタ (08h)

REGISTER	NAME	Default value	Active	説明
FREQ_2B[7:0]	FREQ_B[22:15]	131	-	周波数制御ワードBの8MSB.

FREQ_1Bレジスタ (09h)

REGISTER	NAME	Default value	Active	説明
FREQ_1B[7:0]	FREQ_B[14:7]	189	-	周波数制御ワードBのビット15から8.

FREQ_0Bレジスタ (0Ah)

REGISTER	NAME	Default value	Active	説明
FREQ_0B[7:1]	FREQ_B[6:0]	124	-	周波数制御ワードBの7 LSB.
FREQ_0B[0]	DITHER_B	1	H	周波数Bのディザーリングのイネーブル。

CLOCK_Bレジスタ (0Bh)

REGISTER	NAME	Default value	Active	説明
CLOCK_B[7:5]	REF_DIV_B[2:0]	2	-	基準周波数の除数(B) 0:サポートしない。 1:REF_CLK周波数 = 水晶発振周波数/2 ~ 7:REF_CLK周波数 = 水晶発振周波数/8
CLOCK_B[4:2]	MCLK_DIV1_B[2:0]	4	-	変復調器クロック分周器1(B) 0:2.5分周 1:3分周 2:4分周 3:7.5分周 (2.5×3) 4:12.5分周 (2.5×5) 5:40分周 (2.5×16) 6:48分周 (3×16) 7:64分周 (4×16)
CLOCK_B[1:0]	MCLK_DIV2_B[1:0]	0	-	変復調器クロック分周器2(B) 0:1分周 0:2分周 0:4分周 0:8分周 MODEM_CLK周波数は、 FREF周波数/(分周器1と分周器2の積)。 ビット・レートはMODEM_CLK周波数/8.

VCOレジスタ (0Ch)

REGISTER	NAME	Default value	Active	説明
VCO[7:4]	VCO_CURRENT_A[3:0]	8	-	周波数AについてのVCOコア電流の制御。 0:VCOコア電流 = 1.4mA 1:VCOコア電流 = 1.8mA 2:VCOコア電流 = 2.1mA 3:VCOコア電流 = 2.5mA 4:VCOコア電流 = 2.8mA 5:VCOコア電流 = 3.2mA 6:VCOコア電流 = 3.5mA 7:VCOコア電流 = 3.9mA 8:VCOコア電流 = 4.2mA 9:VCOコア電流 = 4.6mA 10:VCOコア電流 = 4.9mA 11:VCOコア電流 = 5.3mA 12:VCOコア電流 = 5.6mA 13:VCOコア電流 = 6.0mA 14:VCOコア電流 = 6.4mA 15:VCOコア電流 = 6.7mA 推奨設定: VCO_CURRENT_A = 4.
VCO[3:0]	VCO_CURRENT_B[3:0]	8	-	周波数BについてのVCOコア電流の制御。 電流ステップはVCO_CURRENT_Aの場合と等しい。 推奨設定: VCO_CURRENT_B = 4.

MODEMレジスタ (0Dh)

REGISTER	NAME	Default value	Active	説明
MODEM[7]	-	0	-	予約ビット、0を書く。
MODEM[6:4]	ADC_DIV[2:0]	3	-	ADCクロックの除数。 0 : サポートなし。 1 : ADC周波数 = XOSC周波数/4 2 : ADC周波数 = XOSC周波数/6 3 : ADC周波数 = XOSC周波数/8 4 : ADC周波数 = XOSC周波数/10 5 : ADC周波数 = XOSC周波数/12 6 : ADC周波数 = XOSC周波数/14 7 : ADC周波数 = XOSC周波数/16 中間周波数はできるだけ307.2kHzに近い値にします。ADCクロック周波数は常に中間周波数の4倍であるので、できるだけ1.2288MHzに近づけます。
MODEM[3]	-	0	-	予約ビット、0を書く。
MODEM[2]	PN9_ENABLE	0	H	TXとRXにおいてPN9擬似ランダム・ビット・シーケンスによるスクランブルをイネーブル。 0 : PN9スクランブルをディスエーブル。 1 : PN9スクランブルをイネーブル($X^9 + X^5 + 1$)。 PN9擬似ランダム・ビット・シーケンスは、0だけを送信して受信した1を計数することでBERテストに使用できます。
MODEM[1:0]	DATA_FORMAT[1:0]	0	-	変復調器のデータ・フォーマット。 0 (00) : NRZ動作。 1 (01) : マンチェスター動作 2 (10) : トランスペアレント非同期UART動作、DCLK = 0に設定。 3 (11) : トランスペアレント非同期UART動作、DCLK = 1に設定。

DEVIATIONレジスタ (0Eh)

REGISTER	NAME	Default value	Active	説明
DEVIATION[7]	TX_SHAPING	1	H	送信データのガウス整形をイネーブルする。 推奨設定: TX_SHAPING = 1.
DEVIATION[6:4]	TXDEV_X[2:0]	6	-	送信周波数偏移の指數部。
DEVIATION [3:0]	TXDEV_M[3:0]	8	-	送信周波数偏移の仮数部。 402～470MHz帯域の偏移： $F_{REF} \times TXDEV_M \times 2^{(TXDEV_X-16)}$ 804～940MHz帯域の偏移： $F_{REF} \times TXDEV_M \times 2^{(TXDEV_X-15)}$ TXDEV_M[3:0] = 0のとき、RX/TXでオン・オフ変調(OOK)が使用される。 与えられた偏移およびTXDEV_XでTXDEV_Mを得るには、 402～470MHz帯域では、 $TXDEV_M = \text{偏移} \times 2^{(16-TXDEV_X)} / F_{REF}$ 804～940MHz帯域では、 $TXDEV_M = \text{偏移} \times 2^{(15-TXDEV_X)} / F_{REF}$ TXDEV_M < 8ならば、TXDEV_Xを減少して再試行する。 TXDEV_M ≥ 16ならば、TXDEV_Xを増加して再試行する。

AFC_CONTROLレジスタ(0Fh)

REGISTER	NAME	Default value	Active	説明
AFC_CONTROL[7:6]	SETTLING[1:0]	2	-	AFCセトリング・タイム対精度を制御する。 0: AFCオフ；ゼロ平均周波数が復調器で使用される。 1: 最高速セトリング；0/1ビット・ペア1個の平均周波数。 2: 中間セトリング；0/1ビット・ペア2個の平均周波数。 3: 最低速セトリング；0/1ビット・ペア4個の平均周波数。 推奨設定：高精度を得るためにAFC_CONTROL = 3。ただし、RXがアクティブの後で送信を開始するとき、高速セトリングが必要な場合にかぎります。
AFC_CONTROL[5:4]	RXDEV_X[1:0]	1	-	受信周波数偏差の指數部。
AFC_CONTROL[3:0]	RXDEV_M[3:0]	12	-	受信周波数偏差の仮数部。 予想されるRX偏差は、 $Baud\text{レート} \times RXDEV_M \times 2^{(RXDEV_X-3)} / 3$ 与えられた偏差とRXDEV_XからRXDEV_Mを得るには、 $RXDEV_M = 3 \times \text{偏差} \times 2^{(3-RXDEV_X)} / Baud\text{レート}$ RXDEV_M < 8ならば、RXDEV_Xを減少して再試行する。 RXDEV_M ≥ 16ならば、RXDEV_Xを増加して再試行する。

注：100kbps以下のデータ・レートのGFSKでは、RX周波数偏移をTX周波数偏移の2分の1に近い値にします。100kbps以上のデータ・レートのFSKおよびGFSKでは、RX周波数偏移をTX周波数偏移に近い値にします。

FILTERレジスタ(10h)

REGISTER	NAME	Default value	Active	説明
FILTER[7]	FILTER_BYPASS	0	H	アナログ・イメージ除去/アンチ・エイリアシング・フィルタのバイパス。 高Baudレート時のダイナミック・レンジを拡大するには1に設定する。 推奨設定： FILTER_BYPASS = 0 76.8kbpsより低い場合。 FILTER_BYPASS = 1 76.8kbps以上の場合。
FILTER[6:5]	DEC_SHIFT[1:0]	0	-	デシメータ入力をシフトするための追加ビット数。 (フィルタ精度を改善し、消費電力を低下する。) 推奨設定： DEC_SHIFT = 0 DEC_DIV ≤ 1 (レシーバ・チャネル帯域幅 ≥ 153.6kHz) の場合。 DEC_SHIFT = 1 最適感度および 1 < DEC_DIV < 24 (12.29kHz < レシーバ・チャネル帯域幅 < 153.6kHz) の場合。 DEC_SHIFT = 2 最適選択度および DEC_DIV ≥ 24 (レシーバ・チャネル帯域幅 ≤ 12.29kHz) の場合。
FILTER[4:0]	DEC_DIV[4:0]	0	-	デシメーション・クロックの除数。 0: デシメーション・クロック除数 = 1, 307.2kHzチャネル・フィルタBW. 1: デシメーション・クロック除数 = 2, 153.6kHzチャネル・フィルタBW. 30: デシメーション・クロック除数 = 31, 9.91kHzチャネル・フィルタBW. 31: デシメーション・クロック除数 = 32, 9.6kHzチャネル・フィルタBW. チャネル・フィルタ帯域幅は、307.2kHzをデシメーション・クロック除数で除算したものです。

VGA1レジスタ(11h)

REGISTER	NAME	Default value	Active	説明
VGA1[7:6]	CS_SET[1:0]	1	-	<p>キャリア検知を表示(例えばLOCK端子で)するまでの、キャリア検知レベル以上の連続サンプル数を設定する。</p> <p>0: キャリア検知レベル以上サンプルの1番目の後でキャリア検知をセットする。 1: キャリア検知レベル以上サンプルの2番目の後でキャリア検知をセットする。 2: キャリア検知レベル以上サンプルの3番目の後でキャリア検知をセットする。 3: キャリア検知レベル以上サンプルの4番目の後でキャリア検知をセットする。</p> <p>CS_SETを増加すると、キャリア検知応答時間が増加するが、ノイズによる“偽”キャリア検知事象数が低下します。</p>
VGA1[5]	CS_RESET	1	-	<p>キャリア検知をリセット(例えばLOCK端子で)するまでの、キャリア検知レベルより低い連続サンプル数を設定する。</p> <p>0: キャリア検知レベルを下回るサンプルの1番目の後でキャリア検知をリセットする。 1: キャリア検知レベルを下回るサンプルの2番目の後でキャリア検知をリセットする。</p> <p>推奨設定: CS_RESET = 1 ノイズによるキャリア検知をし損なう機会を低減するため。</p>
VGA1[4:2]	VGA_WAIT[2:0]	1	-	<p>周波数のA,B間での切り換え、PLLのロック外れ、あるいはRXのパワーアップ後それぞれでVGAゲインが変更された後、AGC、ビット同期、AFCおよびRSSIの各レベルが凍結される時間を制御する。</p> <p>0: 16フィルタ・クロック間の動作凍結、8/(フィルタ帯域幅)秒。 1: 20フィルタ・クロック間の動作凍結、10/(フィルタ帯域幅)秒。 2: 24フィルタ・クロック間の動作凍結、12/(フィルタ帯域幅)秒。 3: 28フィルタ・クロック間の動作凍結、14/(フィルタ帯域幅)秒。 4: 32フィルタ・クロック間の動作凍結、16/(フィルタ帯域幅)秒。 5: 40フィルタ・クロック間の動作凍結、20/(フィルタ帯域幅)秒。 6: 48フィルタ・クロック間の動作凍結、24/(フィルタ帯域幅)秒。 7: 現在のレベルを無条件に凍結する。</p>
VGA1[1:0]	VGA_FREEZE[1:0]	1	-	<p>周波数のA,B間での切り換え、PLLのロック外れ、あるいはRXのパワーアップ後のそれぞれで、AGC、ビット同期、AFCおよびRSSIの各レベルが凍結される追加の時間を制御する。</p> <p>0: およそ16ADCクロック周期の間のレベル凍結(13μs)。 1: およそ32ADCクロック周期の間のレベル凍結(26μs)。 2: およそ64ADCクロック周期の間のレベル凍結(52μs)。 3: およそ128ADCクロック周期の間のレベル凍結(104μs)。</p>

VGA2レジスタ(12h)

REGISTER	NAME	Default value	Active	説明
VGA2[7]	LNA2_MIN	0	-	VGAで使用されるLNA2の最小値の設定。 0：最小LNA2ゲイン。 1：中間LNA2ゲイン。 推奨設定：最適選択度を得るためLNA2_MIN = 0.
VGA2[6]	LNA2_MAX	1	-	VGAで使用されるLNA2の最大値の設定。 0：中間LNA2ゲイン。 1：最大LNA2ゲイン。 推奨設定：最適感度を得るためLNA2_MAX = 1.
VGA2[5:4]	LNA2_SETTING[1:0]	3	-	VGAゲイン設定の何によりLNAゲインを変更するか選択する。 0：最小VGA設定を下回るとLNA2ゲイン変更を適用する。 1：およそ1/3VGA設定(VGAゲインを10に設定)でLNA2ゲイン変更を適用する。 2：およそ2/3VGA設定(VGAゲインを19に設定)でLNA2ゲイン変更を適用する。 3：最大VGA設定を上回るとLNA2ゲイン変更を適用する。 推奨設定： LNA2_SETTING = 0 VGA_SETTING < 10の場合。 LNA2_SETTING = 1 上記以外の場合。 LNA2_MIN = 1かつLNA2_MAX = 0の場合、LNA2の設定はLNA2_SETTINGにより制御される。 0：中間と最大のLNA2ゲインの間。 1：最小LNA2ゲイン。 2：中間LNA2ゲイン。 3：最大LNA2ゲイン。
VGA2[3]	AGC_DISABLE	0	H	AGCのディスエーブル。 0：AGCイネーブル。 1：AGCディスエーブル (VGA_SETTINGがVGAゲインを決定)。 推奨設定： AGC_DISABLE=0 良好なダイナミック・レンジを得るため。
VGA2[2]	AGC_HYSTESIS	1	H	AGCヒステリシスのイネーブル。 0：ヒステリシスなし。最小アップ/ダウン・ステップで即座にゲイン変更。 1：ヒステリシスをイネーブル。連続した2サンプルが、最小アップ/ダウン・ステップでゲイン変更を表示する必要がある。 推奨設定：AGC_HYSTESIS = 1.
VGA2[1:0]	AGC_AVG[1:0]	1	-	AGC/RSSIに関する平均出力強度の算出に使用するサンプル数を設定する。 0：2フィルタ出力サンプルの平均値を強度とする。 1：4フィルタ出力サンプルの平均値を強度とする。 2：8フィルタ出力サンプルの平均値を強度とする。 3：16フィルタ出力サンプルの平均値を強度とする。 推奨設定： AGC_AVG = 1. AGC/RSSIの最適精度を得るには、AGC_AVG = 3. 自動パワーアップ・シーケンスのために、AGC_AVGとCS_SETの値は、デバイスが再度パワーダウンする前にキャリア検知の判別が間に合うように選ぶ必要があります。

VGA3レジスタ(13h)

REGISTER	NAME	Default value	Active	説明
VGA3[7:5]	VGA_DOWN[2:0]	1	-	<p>信号強度が、VGAゲイン低下の前にCS_LEVEL + VGA_UPをどれだけ超える必要があるか決定する。</p> <p>0 : CS_LEVEL + VGA_UPを4.5dB超えるとゲインが低下する。 1 : CS_LEVEL + VGA_UPを6dB超えるとゲインが低下する。 2 : CS_LEVEL + VGA_UPを13.5dB超えるとゲインが低下する。 3 : CS_LEVEL + VGA_UPを15dB超えるとゲインが低下する。</p> <p>RSSI, AGCおよびキャリア検知の各設定の関係は、図18の解説をご覧ください。</p>
VGA3[4:0]	VGA_SETTING[4:0]	24	H	<p>受信チェインがオンしたときに使用されるVGAの設定値。 これは、AGCが使用できる最大ゲインでもある。</p> <p>RSSI, AGCおよびキャリア検知の各設定の関係は、図18の解説をご覧ください。</p>

VGA4レジスタ(14h)

REGISTER	NAME	Default value	Active	説明
VGA4[7:5]	VGA_UP[2:0]	1	-	<p>VGAゲインがVGA_SETTINGで設定される最大値を超えていないとき、VGAゲインを増加するレベルを決定する。</p> <p>0 : 信号がCS_LEVELを下回るときゲインを増加する。 1 : 信号がCS_LEVEL+1.5dBを下回るときゲインを増加する。 2 : 信号がCS_LEVEL+9dBを下回るときゲインを増加する。 3 : 信号がCS_LEVEL+10.5dBを下回るときゲインを増加する。</p> <p>RSSI, AGCおよびキャリア検知の各設定の関係は、図18の解説をご覧ください。</p>
VGA4[4:0]	CS_LEVEL[4:0]	24	H	<p>受信信号強度表示(キャリア検知レベル)およびAGCの基準レベル。</p> <p>RSSI, AGCおよびキャリア検知の各設定の関係は、図18の解説をご覧ください。</p>

LOCKレジスタ(15h)

REGISTER	NAME	Default value	Active	説明
LOCK[7:4]	LOCK_SELECT[3:0]	0	-	LOCK端子への信号の選択。 0:0に設定。 1:1に設定。 2:LOCK_CONTINUOUS(負論理) 3:LOCK_INSTANT(負論理) 4:CARRIER_SENSE(閾値を超えるRSSI, 負論理) 5:CAL_COMPLETE(負論理) 6:SEQ_ERROR(負論理) 7:FXOSC 8:REF_CLK 9:FILTER_CLK 10:DEC_CLK 11:PRE_CLK 12:DS_CLK 13:MODEM_CLK 14:VCO_CAL_COMP 15:F_COMP
LOCK[3]	WINDOW_WIDTH	0	-	ロック・ウインド幅の選択。 0:ロック・ウインドは2個のプリスケーラ・クロックサイクル幅。 1:ロック・ウインドは4個のプリスケーラ・クロックサイクル幅。 推奨設定: WINDOW_WIDTH = 0.
LOCK[2]	LOCK_MODE	0	-	ロック判別モードの選択。 0:カウンタ再スタート・モード 1:アップ/ダウン・カウンタ・モード 推奨設定: LOCK_MODE = 0.
LOCK[1:0]	LOCK_ACCURACY[1:0]	0	-	ロック精度の選択(カウンタの閾値)。 0:カウンタ値127でロック、111でロック外れをそれぞれ宣言する。 1:カウンタ値255でロック、239でロック外れをそれぞれ宣言する。 2:カウンタ値511でロック、495でロック外れをそれぞれ宣言する。 3:カウンタ値1023でロック、1007でロック外れをそれぞれ宣言する。

注: LOCK_SELECT = 2と設定すると、LOCK端子がロック表示として使用できます。

FRONTENDレジスタ (16h)

REGISTER	NAME	Default value	Active	説明
FRONTEND[7:6]	LNAMIX_CURRENT[1:0]	2	-	LNA, LNA2およびミキサの電流を制御する。 推奨設定：LNAMIX_CURRENT = 1.
FRONTEND[5:4]	LNA_CURRENT[1 :0]	1	-	LNAの電流を制御する。 推奨設定：LNA_CURRENT = 3. より低くすると、感度は低下するが消費電力を節約できます。
FRONTEND[3]	MIX_CURRENT	0	-	ミキサの電流を制御する。 推奨設定： MIX_CURRENT = 1 426 – 464MHz時。 MIX_CURRENT = 0 852 – 928MHz時。
FRONTEND[2]	LNA2_CURRENT	0	-	LNA2の電流を制御する。 推奨設定： LNA2_CURRENT = 0 426 – 464MHz時。 LNA2_CURRENT = 1 852 – 928MHz時。
FRONTEND[1]	SDC_CURRENT	0	-	シングル・ツー・ディファレンシャル・コンバータの電流を制御する。 SDC_CURRENT = 0 426 – 464MHz時。 SDC_CURRENT = 1 852 – 928MHz時。
FRONTEND[0]	LNAMIX_BIAS	1	-	フロントエンド・バイアス電流の生成方法を制御する。 0: 定電流バイアス。 1: 一定Gm·Rバイアス(ゲイン変動を低減)。 推奨設定：LNAMIX_BIAS = 0.

ANALOGレジスタ(17h)

REGISTER	NAME	Default value	Active	説明
ANALOG[7]	BANDSELECT	1	-	周波数帯域の選択。 0 : 402—470MHz. 1 : 804—940MHz.
ANALOG[6]	LO_DC	1	-	ミキサへのLO DCレベルを下げる。 0 : ミキサへ高LO DCレベル。 1 : ミキサへ低LO DCレベル。 推奨設定： LO_DC = 1 402—470MHz時。 LO_DC = 0 804—940MHz時。
ANALOG[5]	VGA_BLANKING	1	H	VGAゲイン変更時に、VGAのアナログ・ブランкиング・スイッチをイネーブルにする。 0 : ブランкиング・スイッチをディスエーブルにする。 1 : ゲイン変更時にブランкиング・スイッチを約0.8μsオンする(AGC_DISABLE = 1ならば常にオン)。 推奨設定：VGA_BLANKING=0.
ANALOG[4]	PD_LONG	0	H	位相判別器のショートあるいはロング・リセット遅延の選択。 0 : ショート・リセット遅延 1 : ロング・リセット遅延 推奨設定：PD_LONG = 0.
ANALOG[3]	-	0	-	予約ビット。0を書き込む。
ANALOG[2]	PA_BOOST	0	H	大出力電力のためにPAバイアス電流をブーストする。 推奨設定：PA_BOOST = 1.
ANALOG[1:0]	DIV_BUFF_CURRENT[1:0]	3	-	VCO分周器およびバッファの全体のバイアス電流調整。 0 : VCO分周器およびバッファ電流の名目値の4/6. 1 : VCO分周器およびバッファ電流の名目値の4/5. 2 : VCO分周器およびバッファ電流の名目値。 3 : VCO分周器およびバッファ電流の名目値の4/3. 推奨設定：DIV_BUFF_CURRENT = 3.

BUFF_SWINGレジスタ(18h)

REGISTER	NAME	Default value	Active	説明
BUFF_SWING[7:6] PR	E_SWING[1:0]	3	-	プリスケーラ振幅。 0 : 公称振幅の2/3 1 : 公称振幅の1/2 2 : 公称振幅の3/4 3 : 公称振幅 推奨設定：PRE_SWING = 0.
BUFF_SWING[5:3]	RX_SWING[2:0]	4	-	RXでのLOバッファ振幅(ミキサへ)。 0 : 最小負荷抵抗(最小振幅) ↓ 7 : 最大負荷抵抗(最大振幅) 推奨設定：PRE_SWING = 2.
BUFF_SWING[2:0]	TX_SWING[2:0]	1	-	TXでのLOバッファ振幅(パワーアンプ・ドライバへ)。 0 : 最小負荷抵抗(最小振幅) ↓ 7 : 最大負荷抵抗(最大振幅) 推奨設定： TX_SWING = 4 402—470MHz時。 TX_SWING = 0 804—940MHz時。

BUFF_CURRENTレジスタ (19h)

REGISTER	NAME	Default value	Active	説明
BUFF_CURRENT[7:6]	PRE_CURRENT[1:0]	1	-	プリスケーラ電流倍率 0：公称電流値 1：公称電流値の2/3 2：公称電流値の1/2 3：公称電流値の2/5 推奨設定：PRE_CURRENT = 0.
BUFF_CURRENT[5:3]	RX_CURRENT[2:0]	4	-	RXでのLOバッファ電流(ミキサへ)。 0：最小バッファ電流 ↓ 7：最大バッファ電流 推奨設定：RX_CURRENT = 4.
BUFF_CURRENT[2:0]	TX_CURRENT[2:0]	5	-	TXでのLOバッファ電流(PAドライバへ)。 0：最小バッファ電流 ↓ 7：最大バッファ電流 推奨設定： TX_CURRENT = 2 402 – 470MHz時。 TX_CURRENT = 5 804 – 940MHz時。

PLL_BWレジスタ (1Ah)

REGISTER	NAME	Default value	Active	説明
PLL_BW[7:0]	PLL_BW[7:0]	134	-	チャージポンプ電流の倍率/丸め係数。所要のPLLループ帯域幅に必要なチャージポンプ電流のキャリブレートを使用します。その値は次式で与えられます。 $PLL_BW = 174 + 16 \log_2(f_{ref}/7.126)$ ここに、 f_{ref} は基準周波数(MHz)です。

CALIBRATEレジスタ (1Bh)

REGISTER	NAME	Default value	Active	説明
CALIBRATE[7]	CAL_START	0	↑	↑1：キャリブレーション開始 0：キャリブレーションがアクティブでない。
CALIBRATE[6]	CAL_DUAL	0	H	キャリブレーション結果を周波数AとBに使用する。 0：F_REG(MAIN[6])で指定される周波数AまたはBにキャリブレーション結果を格納する。 1：周波数AおよびBの両方にキャリブレーション結果を格納する。
CALIBRATE[5:4]	CAL_WAIT[1:0]	0	-	キャリブレーション待ち時間を選択する(精度に影響)。 0(00)：キャリブレーション待ち時間は、約90000F_REF周期 1(01)：キャリブレーション待ち時間は、約110000F_REF周期 2(10)：キャリブレーション待ち時間は、約130000F_REF周期 3(11)：キャリブレーション待ち時間は、約200000F_REF周期 推奨設定： CAL_WAIT = 3 キャリブレーションされたPLLループ・フィルタ帯域幅での最高精度を得ます。
CALIBRATE[3]	-	0	-	予約ビット、0を書き込む。
CALIBRATE[2:0]	CAL_ITERATE[2:0]	5	-	キャリブレーションDACの反復開始値 0(000)：DAC開始値1、キャリブレーション後 $VC < 0.49V$. 1(001)：DAC開始値2、キャリブレーション後 $VC < 0.66V$. 2(010)：DAC開始値3、キャリブレーション後 $VC < 0.82V$. 3(011)：DAC開始値4、キャリブレーション後 $VC < 0.99V$. 4(100)：DAC開始値5、キャリブレーション後 $VC < 1.15V$. 5(101)：DAC開始値6、キャリブレーション後 $VC < 1.32V$. 6(110)：DAC開始値7、キャリブレーション後 $VC < 1.48V$. 7(111)：DAC開始値8、キャリブレーション後 $VC < 1.65V$. 推奨設定：CAL_ITERATE = 4.

PA_POWERレジスタ (1Ch)

REGISTER	NAME	Default value	Active	説明
PA_POWER[7:4]	PA_HIGH [3:0]	0	-	ハイパワー・アレーの出力電力の制御 0 : ハイパワー・アレーはオフ 1 : 最小ハイパワー・アレー出力電力 ↓ 15 : 最大ハイパワー・アレー出力電力
PA_POWER[3:0]	PA_LOW[3:0]	15	-	ローパワー・アレーの出力電力の制御 0 : ローパワー・アレーはオフ 1 : 最小ローパワー・アレー出力電力 ↓ 15 : 最大ローパワー・アレー出力電力 PA_POWERレジスタの下位あるいは上位4ビットのいずれかを電力制御に使用すると、電流消費の面で効率が良くなります。

MATCHレジスタ (1Dh)

REGISTER	NAME	Default value	Active	説明
MATCH[7:4]	RX_MATCH[3:0]	0	-	RXでの整合コンデンサ・アレー値を選択する。各ステップは約0.4pFである。
MATCH[3:0]	TX_MATCH[3:0]	0	-	TXでの整合コンデンサ・アレー値を選択する。各ステップは約0.4pFである。

PHASE_COMPレジスタ (1Eh)

REGISTER	NAME	Default value	Active	説明
PHASE_COMP[7:0]	PHASE_COMP[7:0]	0	-	LOのI/Q位相誤差の符号つき補償値。イメージ除去キャリブレーションに使用。 -128 : IとQ間の位相調整が約-6.2° -1 : IとQ間の位相調整が約-0.02° 0 : IとQ間の位相調整が約+0.02° 127 : IとQ間の位相調整が約+6.2°

GAIN_COMPレジスタ (1Fh)

REGISTER	NAME	Default value	Active	説明
GAIN_COMP[7:0]	GAIN_COMP[7:0]	0	-	ミキサのI/Qゲイン誤差の符号つき補償値。イメージ除去キャリブレーションに使用。 -128 : IとQ間のゲイン調整が約-1.16dB -1 : IとQ間のゲイン調整が約-0.004dB 0 : IとQ間のゲイン調整が約+0.004dB 127 : IとQ間のゲイン調整が約+1.16dB

POWERDOWNレジスタ (20h)

REGISTER	NAME	Default value	Active	説明
POWERDOWN[7]	PA_PD	0	H	PD_MODE[1:0] = 2の場合、PAをパワーダウンする。
POWERDOWN[6]	VCO_PD	0	H	PD_MODE[1:0] = 2の場合、VCOをパワーダウンする。
POWERDOWN[5]	BUFF_PD	0	H	PD_MODE[1:0] = 2の場合、VCO分周器、LOバッファおよびプリスケーラをパワーダウンする。
POWERDOWN[4]	CHP_PD	0	H	PD_MODE[1:0] = 2の場合、チャージポンプをパワーダウンする。
POWERDOWN[3]	LNAMIX_PD	0	H	PD_MODE[1:0] = 2の場合、LNA/ミキサをパワーダウンする。
POWERDOWN[2]	VGA_PD	0	H	PD_MODE[1:0] = 2の場合、VGAをパワーダウンする。
POWERDOWN[1]	FILTER_PD	0	H	PD_MODE[1:0] = 2の場合、イメージ・フィルタをパワーダウンする。
POWERDOWN[0]	ADC_PD	0	H	PD_MODE[1:0] = 2の場合、ADCをパワーダウンする。

TEST1レジスタ (21h, テスト専用)

REGISTER	NAME	Default value	Active	説明
TEST1[7:4]	CAL_DAC_OPEN[3:0]	4	-	キャリブレーションDACのオーバーライド値、BREAK_LOOP = 1でアクティブ。
TEST1[3:0]	CHP_CO[3:0]	13	-	チャージポンプ電流のオーバーライド値。

TEST2レジスタ (22h, テスト専用)

REGISTER	NAME	Default value	Active	説明
TEST2[7]	BREAK_LOOP	0	H	0: PLLループを閉じる。 1: PLLループを開放。
TEST2[6]	CHP_OVERRIDE	0	H	0: キャリブレーション値を使用。 1: CHP_CO[3:0]値を使用。
TEST2[5]	VCO_OVERRIDE	0	H	0: キャリブレーション値を使用。 1: VCO_AO[4:0]値を使用。
TEST2[4:0]	VCO_AO[4:0]	16	-	VCO_ARRAYオーバーライド値。

TEST3レジスタ (23h, テスト専用)

REGISTER	NAME	Default value	Active	説明
TEST3[7]	VCO_CAL_MANUAL	0	H	マニュアルVCOキャリブレーションをイネーブルにする(テスト時のみ)。
TEST3[6]	VCO_CAL_OVERRIDE	0	H	VCO電流キャリブレーションをオーバーライドする。 0: キャリブレーション値を使用する。 1: VCO_CO[5:0]値を使用する。 VCO_CAL_MANUAL = 1の場合、VCO_CAL_OVERRIDEはVCO_CAL_CLKを制御します。VCO_CAL_COMPのサンプリングには負の遷移を使用します。
TEST3[5:0]	VCO_CO[5:0]	6	-	VCO_CAL_CURRENTのオーバーライド値。

TEST4レジスタ (24h, テスト専用)

REGISTER	NAME	Default value	Active	説明
TEST4[7]	CHP_DISABLE	0	H	通常のチャージポンプ動作をディスエーブルにする。
TEST4[6]	CHP_TEST_UP	0	H	チャージポンプにアップ電流を出力させる。
TEST4[5]	CHP_TEST_DN	0	H	チャージポンプにダウン電流を出力させる。
TEST4[4:3]	TM_IQ[1:0]	0	-	TM_ENABLE = 1のとき、ミキサからの差動IおよびQ値の出力。 0: 負のI出力、負のQ出力。 1: 負のI出力、正のQ出力。 2: 正のI出力、負のQ出力。 3: 正のI出力、正のQ出力。
TEST4[2]	TM_ENABLE	0	H	ミキサ出力のDC制御をイネーブルにする(テスト用)。
TEST4[1]	TF_ENABLE	0	H	アナログ・テスト・モジュールをフィルタ入力に接続する。
TEST4[0]	TA_ENABLE	0	H	アナログ・テスト・モジュールをADC入力に接続する。

TEST4レジスタのTF_ENABLE = 1あるいはTA_ENABLE = 1の場合、INTERFACE[3:0]がアナログ・テスト・モジュールを制御します。

INTERFACE[3] = TEST_PD, INTERFACE[2:0] = TEST_MODE[2:0]または、TEST_PD = 1かつTEST_MODE[2] = 1のときです。

TEST5レジスタ (25h, テスト専用)

REGISTER	NAME	Default value	Active	説明
TEST5[7]	F_COMP_ENABLE	0	H	位相判別器からの周波数比較器出力F_COMPをイネーブルにする。
TEST5[6]	SET_DITHER_CLOCK	1	H	デルタ・シグマ・クロックのディザリングをイネーブルにする。
TEST5[5]	ADC_TEST_OUT	0	H	ADCサンプル値をLOCKとDIO端子に出力し、ADC_CLKをDCLK端子に出力する。
TEST5[4]	CHOP_DISABLE	0	H	ADC積分器のチョッピングをディスエーブルにする。
TEST5[3]	SHAPING_DISABLE	0	H	ADCフィードバック不整合キャリブレーションをディスエーブルにする。
TEST5[2]	VCM_ROT_DISABLE	0	H	VCM不整合キャリブレーションのローテーションをディスエーブルにする。
TEST5[1:0]	ADC_ROTATE[1:0]	0	-	ADC入力のローテーションを制御する。 0: 00 01 10 11シーケンスでローテーションする。 1: 00 10 11 01シーケンスでローテーションする。 2: 常に00ポジションを使用する。 3: 00 10 00 10シーケンスでローテーションする。

TEST6レジスタ (26h, テスト専用)

REGISTER	NAME	Default value	Active	説明
TEST6[7:4]	-	0	-	予約ビット、0を書き込む。
TEST6[3]	VGA_OVERRIDE	0	-	VGA設定のオーバーライド。
TEST6[2]	AC1O	0	-	VGAの第1ACカプラーへのオーバーライド値。 0: 約0dBゲイン。 1: 約-12dBゲイン。
TEST6[1:0]	AC2O[1:0]	0	-	VGAの第2ACカプラーへのオーバーライド値。 0: 約0dBゲイン。 1: 約-3dBゲイン。 2: 約-12dBゲイン。 3: 約-15dBゲイン。

TEST7レジスタ (27h, テスト専用)

REGISTER	NAME	Default value	Active	説明
TEST7[7:6]	-	0	-	予約ビット、0を書き込む。
TEST7[5:4]	VGA1O[1:0]	0	-	VGAステージ1へのオーバーライド値。
TEST7[3:2]	VGA2O[1:0]	0	-	VGAステージ2へのオーバーライド値。
TEST7[1:0]	VGA3O[1:0]	0	-	VGAステージ3へのオーバーライド値。

STATUSレジスタ (40h, 読み取り専用)

REGISTER	NAME	Default value	Active	説明
STATUS[7]	CAL_COMPLETE	-	H	PLLキャリブレーションを開始するとき0に設定し、PLLキャリブレーションが終了したとき1に設定する。
STATUS[6]	SEQ_ERROR	-	H	自動パワーアップ・シーケンスの間にPLLがロックし損なったら1に設定する。
STATUS[5]	LOCK_INSTANT	-	H	瞬時のPLLロック表示。
STATUS[4]	LOCK_CONTINUOUS	-	H	LOCK_ACCURACYで定義されるPLLロック表示。 PLLがロックすると1に設定する。
STATUS[3]	CARRIER_SENSE	-	H	RSSIがCS_LEVELを超えたときのキャリア検知。
STATUS[2]	LOCK	-	H	LOCK端子の論理レベル。
STATUS[1]	DCLK	-	H	DCLK端子の論理レベル。
STATUS[0]	DIO	-	H	DIO端子の論理レベル。

RESET_DONEレジスタ (41h, 読み取り専用)

REGISTER	NAME	Default value	Active	説明
RESET_DONE[7]	ADC_RESET_DONE	-	H	ADC制御ロジック・リセットの完了。
RESET_DONE[6]	AGC_RESET_DONE	-	H	AGC (VGA制御) ロジック・リセットの完了。
RESET_DONE[5]	GAUSS_RESET_DONE	-	H	ガウス・データ・フィルタ・リセットの完了。
RESET_DONE[4]	AFC_RESET_DONE	-	H	FC/FSK決定レベル・ロジック・リセットの完了。
RESET_DONE[3]	BITSYNC_RESET_DONE	-	H	変調器、ビット同期ロジックおよびPN9 PRBSジェネレータ・リセットの完了。
RESET_DONE[2]	SYNTH_RESET_DONE	-	H	周波数シンセサイザのデジタル部リセットの完了。
RESET_DONE[1]	SEQ_RESET_DONE	-	H	パワーアップ・シーケンス・ロジック・リセットの完了。
RESET_DONE[0]	CAL_LOCK_RESET_DONE	-	H	キャリブレーション・ロジックおよびロック判別器リセットの完了。

RSSIレジスタ (42h, 読み取り専用)

REGISTER	NAME	Default value	Active	説明
RSSI[7]	-	-	-	使用しない。0が読み取られる。
RSSI[6:0]	RSSI[6:0]	-	-	受信信号強度表示。 RSSI × 1.5dBの対数尺で相対電力が与えられる。 VGA_SETTINGで設定されるVGAゲインを計算に入れる必要があります。詳細は12.5節をご覧ください。

AFCレジスタ (43h, 読み取り専用)

REGISTER	NAME	Default value	Active	説明
AFC[7:0]	AFC[7:0]	-	-	IFからの平均受信周波数偏移。この8ビットの2の補数による符号つき値は、復調器の決定レベルに等しく、AFCに使用できる。IF周波数からの平均周波数オフセットは、 $\Delta F = \text{Baudレート} \times \text{AFC}/16$ 。

GAUSS_FILTERレジスタ (44h)

REGISTER	NAME	Default value	Active	説明
GAUSS_FILTER[7:0]	GAUSS_FILTER[7:0]	-	-	名目値IFからの瞬時IF周波数オフセットの読み取り値。 符号つきの8ビット値。 $\Delta F = \text{Baudレート} \times \text{GAUSS_FILTER}/8$ 。

STATUS1レジスタ (45h, テスト専用)

REGISTER	NAME	Default value	Active	説明
STATUS1[7:4]	CAL_DAC[3:0]	-	-	適用されたキャリブレーションDAC値を定義する状態ベクトル。
STATUS1[3:0]	CHP_CURRENT[3:0]	-	-	適用されたCHP_CURRENT値を定義する状態ベクトル。

STATUS2レジスタ (46h, テスト専用)

REGISTER	NAME	Default value	Active	説明
STATUS2[7:5]	CC1020_VERSION[2:0]	-	-	CC1020のバージョン・コード。 0:量産前バージョン 1:第1量産バージョン 2-7:将来の予約。
STATUS2[4:0]	VCO_ARRAY[4:0]	-	-	適用されたVCO_ARRAY値を定義する状態ベクトル。

STATUS3レジスタ (47h, テスト専用)

REGISTER	NAME	Default value	Active	説明
STATUS3[7]	F_COMP	-	-	位相判別器からの周波数比較器出力。
STATUS3[6]	VCO_CAL_COMP	-	-	VCO電流キャリブレーション比較器の読み取り値。 VCO_CURRENT_A/Bで定義される電流がVCOコア電流より大きい場合1になります。
STATUS3[5:0]	VCO_CAL_CURRENT[5:0]	-	-	適用されたVCO_CAL_CURRENT値を定義する状態ベクトル。

STATUS4レジスタ (48h, テスト専用)

REGISTER	NAME	Default value	Active	説明
STATUS4[7:6]	ADC_MIX[1:0]	-	-	ADCへ入力されるミキサの読み取り値。
STATUS4[5:3]	ADC_I[2:0]	-	-	ADCの“I”出力の読み取り値。
STATUS4[2:0]	ADC_Q[2:0]	-	-	ADCの“Q”出力の読み取り値。

STATUS5レジスタ (49h, テスト専用)

REGISTER	NAME	Default value	Active	説明
STATUS5[7:0]	FILTER_I[7:0]	-	-	チャネル・フィルタからの “I” 出力の上位ビット。

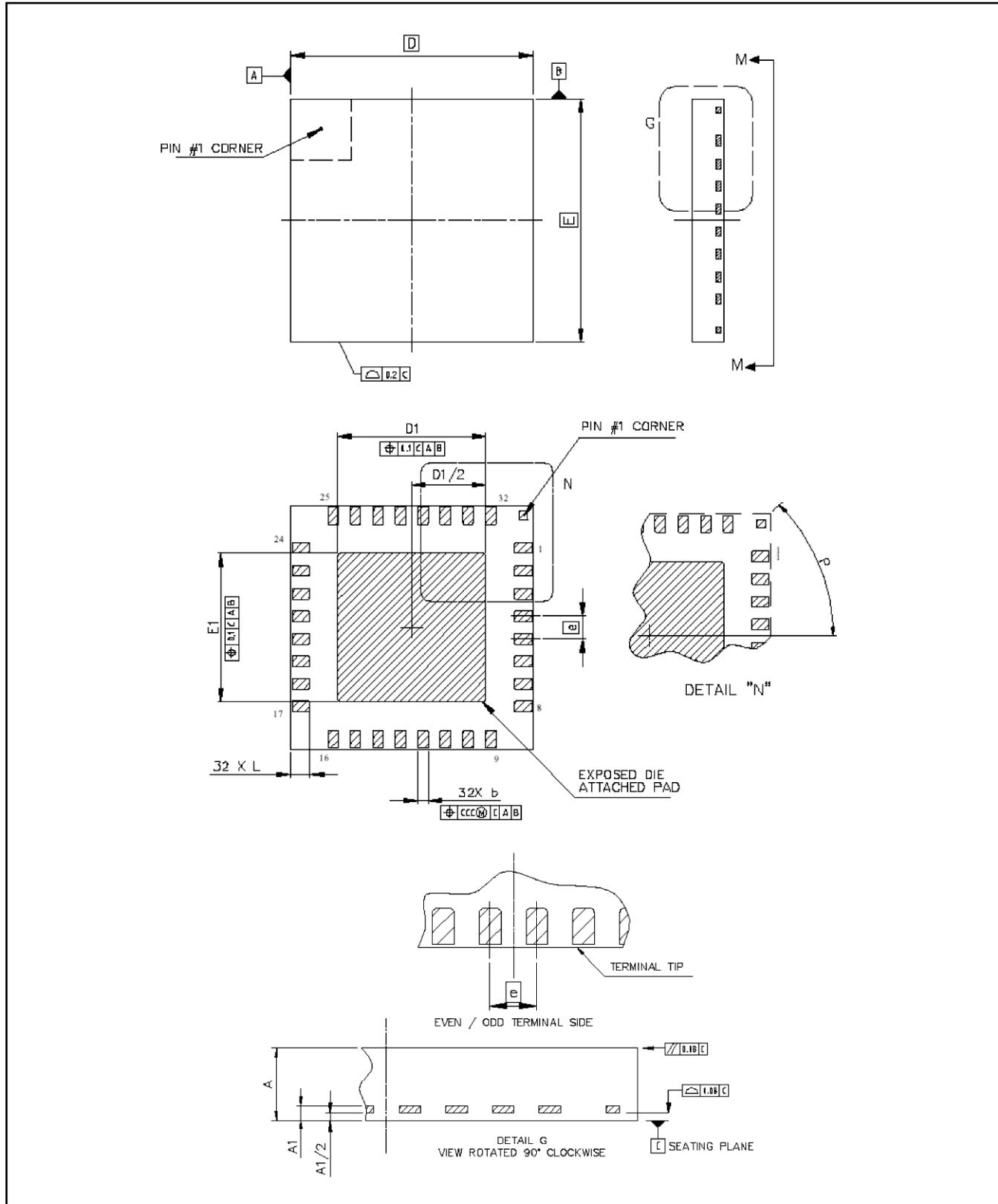
STATUS6レジスタ (4Ah, テスト専用)

REGISTER	NAME	Default value	Active	説明
STATUS6[7:0]	FILTER_Q[7:0]	-	-	チャネル・フィルタからの “Q” 出力の上位ビット。

STATUS7レジスタ (4Bh, テスト専用)

REGISTER	NAME	Default value	Active	説明
STATUS7[7:5]	-	-	-	使用しない。0が読み取られる。
STATUS7[4:0]	VGA_GAIN_OFFSET[4:0]	-	-	VGA_SETTINGとAGCで設定されるVGAゲインとのオフセット。

27. パッケージ (QFN32)



Quad Flat Pack – No Lead Package (QFN)											
		D	E	A	A1	e	b	L	D1	E1	P
QFN 32	Min	7.0	7.0	0.8	0.203	0.65	0.25	0.45	4.18	4.18	
	Max			0.9			0.30	0.55	4.28	4.28	45°
1.0											

All dimensions in mm. Angles are in degrees.

パッケージはJEDEC : MO - 220に準拠しています。

注：CC1020の1ピンの角の直下にビアを配置してはなりません。このピンはチップを載せる露出パッドと内部で接続しており、デバイスにとってのグランド配線の主体になるからです。

27.1. パッケージのマーキング

RoHS対応の鉛フリー

デバイスに関する質問でテクニカル・サポートに連絡する場合、デート・コードだけでなく全体のマーキング情報をお知らせください。

標準リード



440はデート・コード（4年40週目）

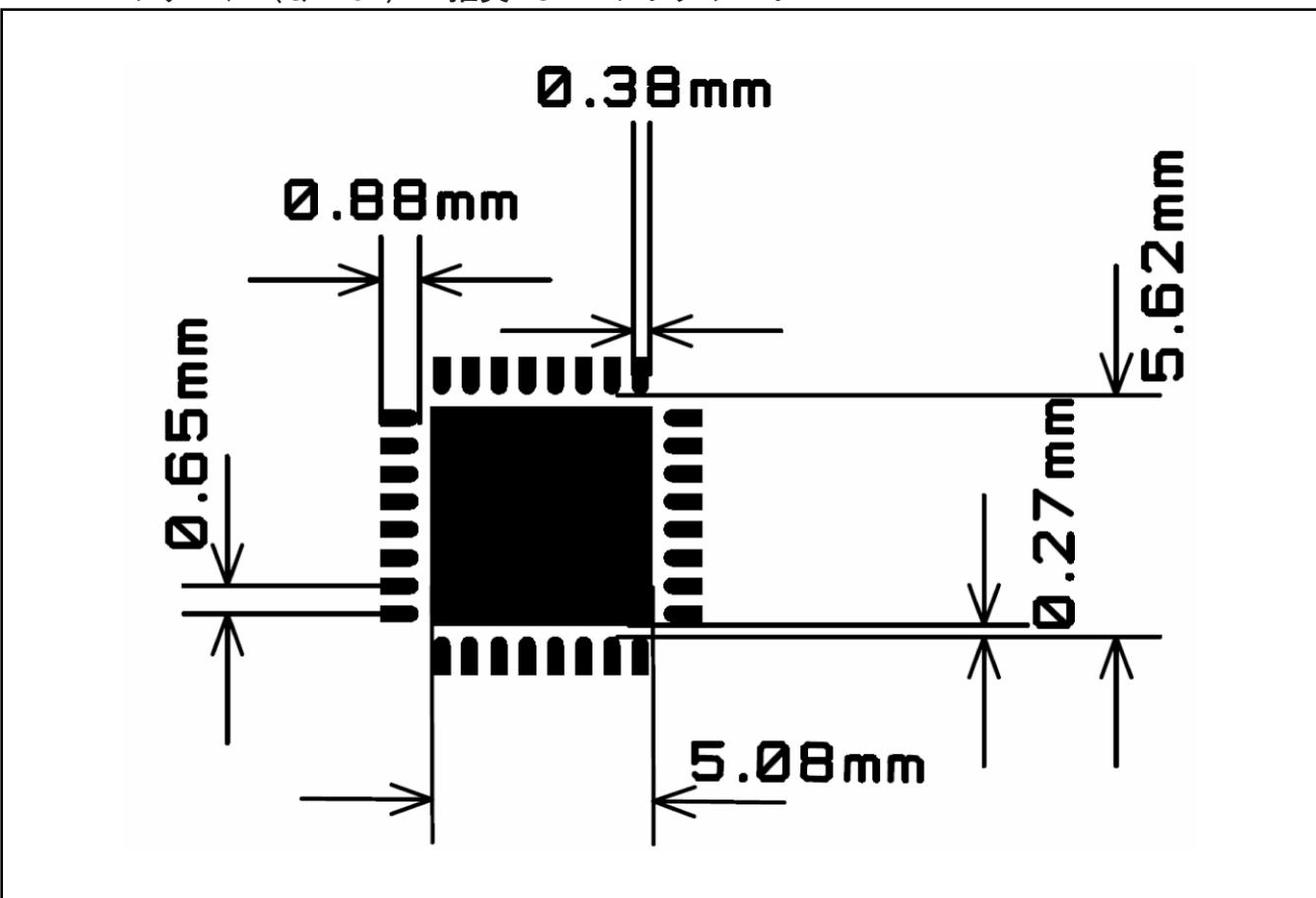
123はロット番号

AはRoHS準拠の鉛フリーを意味します。

0315はデート・コード（03年15週目）

123はロット番号

27.2. パッケージ (QFN32) の推奨PCBフットプリント



注：本図は図解であり、採寸ではありません。直径14mil(0.36mm)のビア9個が、パッケージ直下のグランド・プレーンで対称に配置されています。
CC1020EMXリファレンス・デザインもご覧ください。

27.3. パッケージの熱的特性

Thermal resistance			
Air velocity [m/s]	0	1	2
R _{th,j-a} [K/W]	21.4	18.9	17.0

27.4. 半田付けに関する情報

標準リードおよび鉛フリーの両パッケージの推奨半田プロファイルは、IPC/JEDEC J-STD-020Cによります。

27.5. プラスチック・チューブの仕様

QFN 7×7mm耐静電チューブ。

チューブ仕様				
Package	Tube Width	Tube Height	Tube Length	Units per Tube
QFN 32	8.5 ± 0.2 mm	2.2 +0.2/-0.1mm	315 ± 1.25 mm	43

27.6. キャリア・テープおよびリールの仕様

キャリア・テープおよびリールは、EIA仕様481に準拠しています。

テープとリール仕様					
Package	Tape Width	Component Pitch	Hole Pitch	Reel Diameter	Units per Reel
QFN 32	16 mm	12 mm	4 mm	13Ø	4000

28. 製品情報

Ordering part number	説明	MOQ
1123	CC1020-RTB1	43
1126	CC1020-RTR1	4000
1115	CC1020_1070DK-433	1
1116	CC1020_1070DK-868/915	1
1158	CC1020SKRoHS	1

MOQ = Minimum Order Quantity

T&R = tape and reel

29. 一般情報

Document Revision History

Revision	Date	Description/Changes
1.4	November 2003	New improved image calibration routine. Changes to preamble length and synchronization word for improved packet error rate. Included plot of blocking/selectivity. Included data on PA_EN and LNA_EN pin drive. Changes to Digital FM. Changes to some of the electrical specification parameters.
1.5	February 2004	Included data for intermodulation rejection Changed channel width to channel spacing Maximum power down current increased from 1 uA to 1.8 uA. Update on preamble length and synchronization word for improved packet error rate.
1.6	December 2004	The various sections have been reorganized to improve readability Added chapter numbering Reorganized electrical specification section Electrical specifications updated Changes to sensitivity figures Changes to TX spurious emission and harmonics figures Changes to ACP figure at 868 MHz operation Changes to current consumption figures in RX and TX mode and crystal oscillator, bias and synthesizer mode Changes to noise figure Updates to section on input / output matching Updates to section on VCO and PLL self-calibration Updates to section on VCO, charge pump and PLL loop filter Updates to section on receiver channel filter bandwidth Updates to section on RSSI Updates to section on image rejection calibration Updates to section on preamble length and sync word Description of OOK modulation and demodulation merged into one section New bill of materials for operation at 433 MHz and 868/915 MHz Added recommended PCB footprint for package (QFN 32) Added information that there should be no via at pin #1 corner (section 27.2) Added list of abbreviations Changes to ordering information
1.7	October 2005	RSSI dynamic range changed from 63 dB to 55 dB Recommended CAL_ITERATE changed from 5 to 4 PLL timeout in Automatic power-up sequencing flow chart changed from 1024 filter clocks to 127 filter clocks Calibration routine flow chart changed in accordance to CC1020 Errata Note 004 Added chapter on TX data latency
1.8	January 2006	Updates to Ordering Information and Address Information

Product Status Definitions

Data Sheet Identification		Product Status	Definition
Advance Information		Planned or Under Development	This data sheet contains the design specifications for product development. Specifications may change in any manner without notice.
Preliminary Enginee		ring Samples and First Production	This data sheet contains preliminary data, and supplementary data will be published at a later date. Chipcon reserves the right to make changes at any time without notice in order to improve design and supply the best possible product.
No Identification Noted		Full Production	This data sheet contains the final specifications. Chipcon reserves the right to make changes at any time without notice in order to improve design and supply the best possible product.
Obsolete		Not In Production	This data sheet contains specifications on a product that has been discontinued by Chipcon. The data sheet is printed for reference information only.

Disclaimer

Chipcon AS believes the information contained herein is correct and accurate at the time of this printing. However, Chipcon AS reserves the right to make changes to this product without notice. Chipcon AS does not assume any responsibility for the use of the described product; neither does it convey any license under its patent rights, or the rights of others. The latest updates are available at the Chipcon website or by contacting Chipcon directly.

To the extent possible, major changes of product specifications and functionality will be stated in product specific Errata Notes published at the Chipcon website. Customers are encouraged to sign up for the Developer's Newsletter for the most recent updates on products and support tools.

When a product is discontinued this will be done according to Chipcon's procedure for obsolete products as described in Chipcon's Quality Manual. This includes informing about last-time-buy options. The Quality Manual can be downloaded from Chipcon's website.

Compliance with regulations is dependent on complete system performance. It is the customer's responsibility to ensure that the system complies with regulations.

Trademarks

SmartRF is a registered trademark of Chipcon AS. SmartRF is Chipcon's RF technology platform with RF library cells, modules and design expertise. Based on SmartRF technology Chipcon develops standard component RF circuits as well as full custom ASICs based on customer requirements and this technology.

All other trademarks, registered trademarks and product names are the sole property of their respective owners.

Life Support Policy

This Chipcon product is not designed for use in life support appliances, devices, or other systems where malfunction can reasonably be expected to result in significant personal injury to the user, or as a critical component in any life support device or system whose failure to perform can be reasonably expected to cause the failure of the life support device or system, or to affect its safety or effectiveness. Chipcon AS customers using or selling these products for use in such applications do so at their own risk and agree to fully indemnify Chipcon AS for any damages resulting from any improper use or sale.

© 2006, Chipcon AS. All rights reserved.

30. アドレス情報

Web site: <http://www.chipcon.com>
E-mail: wireless@chipcon.com
Technical Support Email: support@chipcon.com
Technical Support Hotline: +47 22 95 85 45

Headquarters:

Chipcon AS
Gaustadall en 21
N-0349 Oslo
NORWAY
Tel: +47 22 95 85 44
Fax: +47 22 95 85 46
E-mail: wireless@chipcon.com

US Offices:

Chipcon Inc., Western US Sales Office
1455 Frazee Road, Suite 800
San Diego, CA 92108
USA
Tel: +1 619 542 1200
Fax: +1 619 542 1222
Email: USSales@chipcon.com

Chipcon Inc., Eastern US Sales Office
35 Pinehurst Avenue
Nashua, New Hampshire, 03062
USA
Tel: +1 603 888 1326
Fax: +1 603 888 4239
Email: eastUSSales@chipcon.com

Sales Office Germany:

Chipcon AS
Riedberghof 3
D-74379 Ingersheim
GERMANY
Tel: +49 7142 9156815
Fax: +49 7142 9156818
Email: Germanysales@chipcon.com

Sales Office Asia:

Chipcon AS
Unit 503, 5/F
Silvercord Tower 2, 30 Canton Road
Tsimshatsui, Hong Kong
Tel: +852 3519 6226
Fax: +852 3519 6520
Email: Asiasales@chipcon.com

Sales Office Asia:

Chipcon AS
Unit 503, 5/F
Silvercord Tower 2, 30 Canton Road
Tsimshatsui
HONG KONG
Tel: +852 3519 6226
Fax: +852 3519 6520
Email:

Sales Office Japan:

Chipcon AS
#403, Bureau Shinagawa
4-1-6, Konan, Minato-Ku
Tokyo, Zip 108-0075
JAPAN
Tel: +81 3 5783 1082
Fax: +81 3 5783 1083
Email: Japansales@chipcon.com

Asiasales@chipcon.com (China, Hong Kong, Taiwan)

SEAsales@chipcon.com (Korea, South East Asia,
India, Australia and New Zealand)

Chipcon AS is an ISO 9001:2000 certified company



PACKAGING INFORMATION

Orderable part number	Status (1)	Material type (2)	Package Pins	Package qty Carrier	RoHS (3)	Lead finish/ Ball material (4)	MSL rating/ Peak reflow (5)	Op temp (°C)	Part marking (6)
CC1020RSSR	Active	Production	QFN (RSS) 32	2500 LARGE T&R	Yes	NIPDAU NIPDAUAG	Level-3-260C-168 HR	-40 to 85	CC1020
CC1020RSSR.B	Active	Production	QFN (RSS) 32	2500 LARGE T&R	Yes	NIPDAU	Level-3-260C-168 HR	-40 to 85	CC1020
CC1020RSST	Active	Production	QFN (RSS) 32	250 SMALL T&R	Yes	NIPDAU NIPDAUAG	Level-3-260C-168 HR	-40 to 85	CC1020
CC1020RSST.B	Active	Production	QFN (RSS) 32	250 SMALL T&R	Yes	NIPDAU	Level-3-260C-168 HR	-40 to 85	CC1020

⁽¹⁾ **Status:** For more details on status, see our [product life cycle](#).

⁽²⁾ **Material type:** When designated, preproduction parts are prototypes/experimental devices, and are not yet approved or released for full production. Testing and final process, including without limitation quality assurance, reliability performance testing, and/or process qualification, may not yet be complete, and this item is subject to further changes or possible discontinuation. If available for ordering, purchases will be subject to an additional waiver at checkout, and are intended for early internal evaluation purposes only. These items are sold without warranties of any kind.

⁽³⁾ **RoHS values:** Yes, No, RoHS Exempt. See the [TI RoHS Statement](#) for additional information and value definition.

⁽⁴⁾ **Lead finish/Ball material:** Parts may have multiple material finish options. Finish options are separated by a vertical ruled line. Lead finish/Ball material values may wrap to two lines if the finish value exceeds the maximum column width.

⁽⁵⁾ **MSL rating/Peak reflow:** The moisture sensitivity level ratings and peak solder (reflow) temperatures. In the event that a part has multiple moisture sensitivity ratings, only the lowest level per JEDEC standards is shown. Refer to the shipping label for the actual reflow temperature that will be used to mount the part to the printed circuit board.

⁽⁶⁾ **Part marking:** There may be an additional marking, which relates to the logo, the lot trace code information, or the environmental category of the part.

Multiple part markings will be inside parentheses. Only one part marking contained in parentheses and separated by a "~" will appear on a part. If a line is indented then it is a continuation of the previous line and the two combined represent the entire part marking for that device.

Important Information and Disclaimer: The information provided on this page represents TI's knowledge and belief as of the date that it is provided. TI bases its knowledge and belief on information provided by third parties, and makes no representation or warranty as to the accuracy of such information. Efforts are underway to better integrate information from third parties. TI has taken and continues to take reasonable steps to provide representative and accurate information but may not have conducted destructive testing or chemical analysis on incoming materials and chemicals. TI and TI suppliers consider certain information to be proprietary, and thus CAS numbers and other limited information may not be available for release.

In no event shall TI's liability arising out of such information exceed the total purchase price of the TI part(s) at issue in this document sold by TI to Customer on an annual basis.

重要なお知らせと免責事項

TIは、技術データと信頼性データ(データシートを含みます)、設計リソース(リファレンス デザインを含みます)、アプリケーションや設計に関する各種アドバイス、Web ツール、安全性情報、その他のリソースを、欠陥が存在する可能性のある「現状のまま」提供しており、商品性および特定目的に対する適合性の默示保証、第三者の知的財産権の非侵害保証を含むいかなる保証も、明示的または默示的にかかわらず拒否します。

これらのリソースは、TI 製品を使用する設計の経験を積んだ開発者への提供を意図したもので、(1)お客様のアプリケーションに適した TI 製品の選定、(2)お客様のアプリケーションの設計、検証、試験、(3)お客様のアプリケーションに該当する各種規格や、その他のあらゆる安全性、セキュリティ、規制、または他の要件への確実な適合に関する責任を、お客様のみが単独で負うものとします。

上記の各種リソースは、予告なく変更される可能性があります。これらのリソースは、リソースで説明されている TI 製品を使用するアプリケーションの開発の目的でのみ、TI はその使用をお客様に許諾します。これらのリソースに関して、他の目的で複製することや掲載することは禁止されています。TI や第三者の知的財産権のライセンスが付与されている訳ではありません。お客様は、これらのリソースを自身で使用した結果発生するあらゆる申し立て、損害、費用、損失、責任について、TI およびその代理人を完全に補償するものとし、TI は一切の責任を拒否します。

TI の製品は、[TI の販売条件](#)、[TI の総合的な品質ガイドライン](#)、[ti.com](#) または TI 製品などに関連して提供される他の適用条件に従い提供されます。TI がこれらのリソースを提供することは、適用される TI の保証または他の保証の放棄の拡大や変更を意味するものではありません。TI がカスタム、またはカスタマー仕様として明示的に指定していない限り、TI の製品は標準的なカタログに掲載される汎用機器です。

お客様がいかなる追加条項または代替条項を提案する場合も、TI はそれらに異議を唱え、拒否します。

Copyright © 2025, Texas Instruments Incorporated

最終更新日：2025 年 10 月