

BQ2969T 2/3/4 直列セル リチウムイオン バッテリ向け過電圧 / 過熱保護、LDO 出力および制御 / PTC 入力付き

1 特長

- 2/3/4 直列セル過電圧保護 (OVP)
- 出荷時にプログラムされた OVP スレッショルド (3.6V ~ 5.2V)、 $\pm 12\text{mV}$ の精度
- FET 駆動出力をトリガするための固定遅延タイム (0.25s ~ 6.5s を選択)
- 制御入力ピン、外付け PTC サーミスタを使用してセル過熱保護 (OT) を実装可能
- 3.8V、3.3V、3.15V、3.0V、2.5V、1.8V または 1.5V にプログラム可能な 3mA 安定化出力を内蔵
- 工場出荷時にプログラムされた低電圧 (UV) 検出スレッショルド (1V ~ 4.15V) によりレギュレータをディセーブル
 - 低電圧状態でも OVP と OT は動作を維持
- 出力ピンのオプション:
 - アクティブ High
 - オープンドレイン、アクティブ プルダウン
 - オープンドレイン、非アクティブ プルダウン
- 複数の電力モード:
 - 通常モード - OV または UV なし: $I_{CC} \cong 1.23\mu\text{A}$
 - 低電圧またはディセーブル モード - UV 検出または制御入力 Low: $I_{CC} \cong 0.25\mu\text{A}$
 - 過電圧モード - OV 検出時: $I_{CC} \cong 15\mu\text{A}$
- セル入力あたりのリーク電流が小さい: 100nA 未満
- 小さいパッケージ占有面積
 - 8ピン WSON (2mm × 2mm)

2 アプリケーション

- ノート PC
- ウルトラブック
- ポータブル医療用電子機器
- UPS バッテリ バックアップ システム

3 説明

BQ2969T ファミリは、リチウムイオン および LiFePO_4 (LFP) バッテリ パック アプリケーション向け 3mA 安定化出力電源および制御 / PTC 入力付き高精度低消費電力の過電圧保護素子です。

2~4 直列セル スタック内の各セルの過電圧状態を個別に監視します。いずれかのセルで過電圧状態が検出されると、内部固定遅延タイムが起動します。遅延タイムがタイムアウトすると、過電圧状態が発生したことを示すために出力ピンがアクティブ状態にトリガされます。

安定化出力電源は、リアルタイム クロック (RTC) 発振器などの常時オン回路を駆動するために最大 3mA の電流を出力します。BQ2969T ファミリは、いずれかのセル電圧がプログラム可能な低電圧スレッショルドを下回ると安定化出力をオフにする自己ディセーブル機能を備えており、それによってバッテリーの消耗を防止できます。

BQ2969T ファミリには CTL ピンが含まれており、必要に応じて OUT ピンをアサートするために使用できます。本デバイスの CTL ピンと VDD ピンの間に PTC サーミスタが接続されている場合、本デバイスは過熱 (OT) 保護もサポートしています。

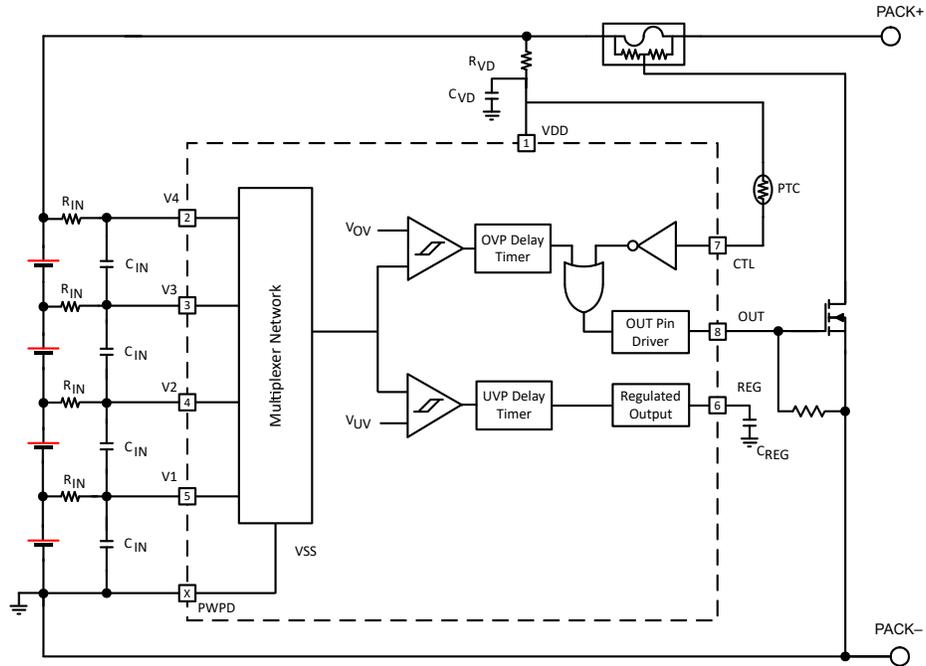
BQ2969T ファミリは非常に小さい消費電力で動作し、通常動作時の消費電流はわずか $1.23\mu\text{A}$ (レギュレータの負荷電流を除く) であり、低電圧状態では $0.25\mu\text{A}$ まで低下します。低電圧状態であっても、本デバイスは他のいずれかのセルで過電圧状態を検出でき (不均衡なパックで発生する可能性があります)、出力ピンをアサートすることができます。

製品情報

型番 ⁽³⁾	パッケージ ⁽¹⁾	パッケージ サイズ ⁽²⁾
BQ2969xxT	DSG (WSON, 8)	2.00mm × 2.00mm

- (1) 詳細については、[セクション 11](#) を参照してください。
- (2) パッケージ サイズ (長さ × 幅) は公称値であり、該当する場合はピンを含みます。
- (3) 「[デバイス比較表](#)」を参照してください。





簡略ブロック図

目次

1 特長.....	1	7.4 デバイスの機能モード.....	13
2 アプリケーション.....	1	8 アプリケーションと実装.....	15
3 説明.....	1	8.1 アプリケーション情報.....	15
4 デバイス比較表.....	4	8.2 代表的なアプリケーション.....	15
5 ピン構成および機能.....	4	8.3 電源に関する推奨事項.....	20
6 仕様.....	5	8.4 レイアウト.....	20
6.1 絶対最大定格.....	5	9 デバイスおよびドキュメントのサポート.....	22
6.2 ESD 定格.....	5	9.1 デバイス サポート.....	22
6.3 推奨動作条件.....	5	9.2 ドキュメントの更新通知を受け取る方法.....	22
6.4 熱に関する情報.....	5	9.3 サポート・リソース.....	22
6.5 電気的特性.....	6	9.4 商標.....	22
6.6 代表的特性.....	8	9.5 静電気放電に関する注意事項.....	22
7 詳細説明.....	10	9.6 用語集.....	22
7.1 概要.....	10	10 改訂履歴.....	22
7.2 機能ブロック図.....	11	11 メカニカル、パッケージ、および注文情報.....	22
7.3 機能説明.....	11		

4 デバイス比較表

表 4-1. BQ2969T デバイス オプション

BQ2969T デバイス	OVP (V)	OVP 遅延 (s)	OVP ヒステリシス (mV)	UV (V)	LDO (V)	OUT ピン モード	ラッチアウト	CTL プルダウン (Ω)
BQ296900T	4.65	5.5	150	2.5	3.0	アクティブ High	なし	10M
BQ296901T	3.90	5.5	150	2.5	3.0	アクティブ High	なし	10M
BQ296906T ⁽¹⁾	4.35	5.5	150	2.5	3.0	アクティブ High	なし	10M
BQ2969xxT ⁽¹⁾	3.6 – 5.2	0.25、0.5、1、 2、3、4、5.5、 6.5	150、300	1 – 4.15	1.5、1.8、 2.5、3.0、 3.15、3.3、 3.8	アクティブ High、オープン ドレインのアクテ ィブプルダウ ン、オープン ドレインの非アクテ ィブプルダウン	有、無	500k、1M、2M、 10M

(1) 製品プレビュー (量産データではありません)詳細は テキサス・インスツルメンツまでお問い合わせください。

5 ピン構成および機能

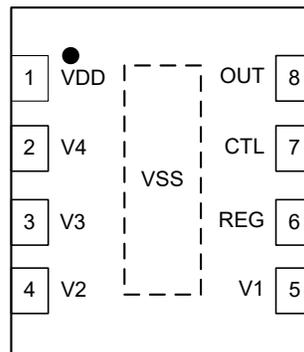


図 5-1. 2 ~ 4 直列の BQ2969T (上面図)

表 5-1. ピンの機能

名称	ピン		タイプ ⁽¹⁾	説明
	BQ2962			
VDD	1		P	電源入力
V4	2		IA	スタックの一番下から 4 番目のセルの正電圧に対するセンス入力
V3	3		IA	スタックの一番下から 3 番目のセルの正電圧に対するセンス入力
V2	4		IA	スタックの一番下から 2 番目のセルの正電圧に対するセンス入力
V1	5		IA	スタックの一番下の最下層のセルの正電圧に対するセンス入力
REG	6		OA	安定化出力電源。安定性のために外部セラミック コンデンサが必要
CTL	7		IA	アサートするアナログ入力制御信号。外部 PTC サーミスタを CTL と VDD の間に接続して、過熱 (OT) 保護を実装できます。
OUT	8		OA	過電圧フォルト信号のアナログ出力駆動。CMOS 出力 High またはオープンドレインのアクティブプルダウンまたはオープンドレインの非アクティブプルダウン
PWPD	-		P	IC グランド、およびスタック内の一番下のセルの負端子に電氣的に接続

(1) IA = アナログ入力、OA = アナログ出力、P = 電源接続

6 仕様

6.1 絶対最大定格

-40°C ~ 110°C での自由気流での動作温度範囲 (特に記述のない限り)⁽¹⁾

パラメータ		最小値	最大値	単位
電源電圧範囲	VDD – VSS	-0.3	30	V
	VDD - V4	-0.3	30	V
入力電圧範囲	V1 – VSS, V2 – VSS, V3 – VSS, V4 – VSS, CTL – VSS	-0.3	30	V
出力電圧範囲	REG – VSS	-0.3	5.0	V
出力電圧範囲	OUT – VSS	-0.3	30	V
保管温度、T _{stg}		-65	150	°C

(1) 絶対最大定格を上回るストレスが加わった場合、デバイスに永続的な損傷が発生する可能性があります。これらはあくまでもストレス定格であり、「推奨動作条件」に示されている条件を超える当該の条件またはその他のいかなる条件下での、デバイスの正常な動作を保証するものではありません。絶対最大定格の状態に長時間置くと、本製品の信頼性に影響を与えることがあります。

6.2 ESD 定格

パラメータ		値	単位
V _(ESD)	静電放電	人体モデル (HBM)、ANSI/ESDA/JEDEC JS-001 に準拠、すべてのピン ⁽¹⁾	2000 V
V _(ESD)	静電放電	デバイス帯電モデル (CDM)、JEDEC 仕様 JESD22-C101 に準拠、すべてのピン ⁽²⁾	500 V

(1) JEDEC のドキュメント JEP155 に、500V HBM では標準の ESD 管理プロセスで安全な製造が可能であると規定されています。
(2) JEDEC のドキュメント JEP157 に、250V CDM では標準の ESD 管理プロセスで安全な製造が可能であると規定されています。

6.3 推奨動作条件

標準値は T_A = 25°C、V_{DD} = 15.2V の場合、最小値 / 最大値は T_A = -40°C ~ 110°C、V_{DD} = 3V ~ 22V の場合 (特に記述のない限り)。

パラメータ		最小値	標準値	最大値	単位
電源電圧、V _{DD}	電源電圧、V _{DD} (REG ≤ 2.5V)	3		22	V
	電源電圧、V _{DD} (REG ≤ 3.3V)	4		22	V
	電源電圧、V _{DD} (REG ≥ 3.8V)	7.5		22	V
	通常動作、V _{DD} – V4 ⁽¹⁾	-0.2		0.2	V
	カスタマー テスト モード、V _{DD} – V4		10		V
入力電圧範囲	V4 – V3, V3 – V2, V2 – V1, V1 – VSS	0		5.5	V
	CTL – VSS	0		22	V
動作時周囲温度範囲、T _A	動作時周囲温度範囲、T _A	-40		110	°C

(1) 設計により規定されています。

6.4 熱に関する情報

熱特性	熱特性	BQ2969T	単位
		SON	単位
		(8 PINS)	単位
R _{θJA}	接合部から周囲への熱抵抗	80.0	°C/W
R _{θJC(top)}	接合部からケース (上面) への熱抵抗	102.5	°C/W
R _{θJB}	接合部から基板への熱抵抗	46.5	°C/W
Ψ _{JT}	接合部から上面への特性パラメータ	6.1	°C/W
Ψ _{JB}	接合部から基板への特性パラメータ	46.5	°C/W
R _{θJC(bottom)}	接合部からケース (底面) への熱抵抗	22.7	°C/W

6.5 電気的特性

標準値は $T_A = 25^\circ\text{C}$ 、 $V_{DD} = 15.2\text{V}$ の場合、最小値 / 最大値は $T_A = -40^\circ\text{C} \sim 110^\circ\text{C}$ 、 $V_{DD} = 3\text{V} \sim 22\text{V}$ の場合 (特に記述のない限り)。

パラメータ	パラメータ	テスト条件	最小値	標準値	最大値	単位
電圧保護						
スレッショルド						
V_{OV}	$V_{(PROTECT)}$ 過電圧検出	$R_{IN} = 1\text{k}\Omega$	適用電圧: 3.6V ~ 5.2V			V
V_{OVHYST}	OV 検出ヒステリシス	公称設定: 150mV	100	150	200	mV
		公称設定: 300mV	250	300	350	mV
V_{OA}	OV 検出精度	$T_A = 25^\circ\text{C}$	-12		12	mV
$V_{OADRIFT}$	温度範囲にわたる OV 検出精度 ⁽¹⁾	$T_A = -40^\circ\text{C}$	-40		40	mV
		$T_A = -10^\circ\text{C}$	-22		22	mV
		$T_A = 55^\circ\text{C}$	-24		24	mV
		$T_A = 85^\circ\text{C}$	-37		37	mV
		$T_A = 110^\circ\text{C}$	-50		50	mV
電源電流とリーク電流						
I_{DD}	通常モードの電源電流	$(V_n - V_{n-1}) = (V_1 - V_{SS}) = 3.8\text{V}$, $n = 2, 3, 4$, $V_{DD} = 15.2\text{V}$, $I_{REG} = 0\text{mA}$, $T_A = -10^\circ\text{C} \sim 60^\circ\text{C}$		1.23	2	μA
		$(V_n - V_{n-1}) = (V_1 - V_{SS}) = 3.8\text{V}$, $n = 2, 3, 4$, $V_{DD} = 15.2\text{V}$, $I_{REG} = 0\text{mA}$, $T_A = -40^\circ\text{C} \sim 110^\circ\text{C}$			2.5	μA
	UV での電源電流	$(V_n - V_{n-1}) = 3.8\text{V}$, $n = 2, 3, 4$, および $V_{UVQUAL} < (V_1 - V_{SS}) < V_{UVREG}$, $V_{DD} = 11.4\text{V}$, $T_A = -10^\circ\text{C} \sim 60^\circ\text{C}$		0.25	0.5	μA
		$(V_n - V_{n-1}) = 3.8\text{V}$, $n = 2, 3, 4$, および $V_{UVQUAL} < (V_1 - V_{SS}) < V_{UVREG}$, $V_{DD} = 11.4\text{V}$, $T_A = -40^\circ\text{C} \sim 110^\circ\text{C}$			0.7	μA
OV での電源電流	$(V_n - V_{n-1}) = 3.8\text{V}$, $n = 2, 3, 4$, および $V_{OV} < (V_1 - V_{SS})$, $V_{DD} = 15.2\text{V}$, $T_A = -40^\circ\text{C} \sim 110^\circ\text{C}$		15	33	μA	
I_{IN}	V_n ピンの入力電流	$(V_n - V_{n-1}) = (V_1 - V_{SS}) = 3.8\text{V}$, $n = 2, 3, 4$, $V_{DD} = 15.2\text{V}$, $T_A = 25^\circ\text{C}$	-0.1		0.1	μA
入力電圧						
V_{CTL}	CTL 入力電圧スレッショルド	$V_{DD} - CTL$, $V_{DD} \geq 5\text{V}$, $T_A = -40^\circ\text{C} \sim 85^\circ\text{C}$	2.55	2.8	2.95	V
		$V_{DD} - CTL$, $V_{DD} \geq 5\text{V}$, $T_A = -40^\circ\text{C} \sim 110^\circ\text{C}$	2.55	2.8	3.37	V
$t_{CTLDELAY}$	CTL 遅延 ⁽³⁾	$V_{DD} \geq 5\text{V}$	5.2	6.5	7.8	s
R_{PD}	CTL 内部プルダウン抵抗	CTL = VDD。500k Ω 、1M Ω 、2M Ω 、10M Ω のオプション	-30		30	%
R_{PDH}	CTL ヒステリシス内部プルダウン抵抗	$V_{DD} - CTL > V_{CTL}$, $R_{PDH} \approx R_{PD} / 2$, $V_{DD} \geq 5\text{V}$		± 30		%
OUT ピンドライブ						
V_{OUT}	出力駆動電圧	OUT ピンはアクティブ High モード構成、 $(V_n - V_{n-1})$ または $(V_1 - V_{SS}) > V_{OV}$, $n = 2, 3, 4$, $I_{OH} = 100\mu\text{A}$, $V_{DD} \geq 7.5\text{V}$	5.5		8	V
		OUT ピンはアクティブ High モード構成、 $(V_n - V_{n-1})$ または $(V_1 - V_{SS}) > V_{OV}$, $n = 2, 3, 4$, $I_{OH} = 100\mu\text{A}$, $3\text{V} < V_{DD} < 7.5\text{V}$	$V_{DD} - 1.5$	$V_{DD} - 1.1$	V_{DD}	V
		OUT ピンはアクティブ High モード構成、 $(V_n - V_{n-1})$ および $(V_1 - V_{SS}) < V_{OV}$, $n = 2, 3, 4$, $I_{OL} = 100\mu\text{A}$ を OUT ピンに注入。		190	400	mV
I_{OUTH}	OUT ソース電流 (OV 中)	OUT ピンはアクティブ High モード構成、 $(V_n - V_{n-1})$ または $(V_1 - V_{SS}) > V_{OV}$, $n = 2, 3, 4$, OUT = 0V, OUT ピンから供給された電流を測定。	0.6		5.2	mA
I_{OUTL}	OUT シンク電流	OUT ピンは、アクティブ High、オープンドレインのアクティブプルダウン、またはオープンドレインの非アクティブプルダウンの構成。プルダウン状態のデバイス出力、OUT は 0.5V に駆動、OUT ピンに供給された電流を測定。	0.2		4	mA
OV 遅延タイム						

標準値は $T_A = 25^\circ\text{C}$ 、 $V_{DD} = 15.2\text{V}$ の場合、最小値 / 最大値は $T_A = -40^\circ\text{C} \sim 110^\circ\text{C}$ 、 $V_{DD} = 3\text{V} \sim 22\text{V}$ の場合 (特に記述のない限り)。

パラメータ	パラメータ	テスト条件	最小値	標準値	最大値	単位
t_{DELAY}	OV 遅延時間 ⁽²⁾	内部固定遅延、0.25 秒遅延オプション ⁽³⁾	0.14	0.25	0.38	s
		内部固定遅延、0.5 秒遅延オプション ⁽³⁾	0.34	0.5	0.68	s
		内部固定遅延、1 秒遅延オプション ⁽³⁾	0.74	1	1.28	s
		内部固定遅延、2 秒遅延オプション ⁽³⁾	1.54	2	2.48	s
		内部固定遅延、3 秒遅延オプション ⁽³⁾	2.4	3	3.6	s
		内部固定遅延、4 秒遅延オプション ⁽³⁾	3.2	4	4.8	s
		内部固定遅延、5.5 秒遅延オプション ⁽³⁾	4.4	5.5	6.6	s
		内部固定遅延、6.5 秒遅延オプション ⁽³⁾	5.2	6.5	7.8	s
$t_{\text{DELAY_CTM}}$	テストモードでの OV 遅延時間	内部固定遅延		15		ms
$t_{\text{DELAY_RESET}}$	OV 遅延リセット時間	1 つのセルの電圧が V_{OV} を超えると、他のセルが V_{OV} を下回るまで、最小時間では、OV 遅延タイマをリセットするため、High セル電圧が V_{OV} を下回る必要があります ⁽³⁾	0.1			ms
安定化出力電源、REG						
V_{REG}	REG サプライ	$V_{\text{DD}} \geq 7.5\text{V}$ 、 $I_{\text{REG}} = 10\mu\text{A}$ 、 $C_{\text{REG}} = 0.47\mu\text{F}$ 、 $V_{\text{REG}} = 3.8\text{V}$ 、 $T_A = 25^\circ\text{C}$	3.724	3.8	3.876	V
		$V_{\text{DD}} \geq 4\text{V}$ 、 $I_{\text{REG}} = 10\mu\text{A}$ 、 $C_{\text{REG}} = 0.47\mu\text{F}$ 、 $V_{\text{REG}} = 3.3\text{V}$ 、 $T_A = 25^\circ\text{C}$	3.234	3.3	3.366	V
		$V_{\text{DD}} \geq 4\text{V}$ 、 $I_{\text{REG}} = 10\mu\text{A}$ 、 $C_{\text{REG}} = 0.47\mu\text{F}$ 、 $V_{\text{REG}} = 3.15\text{V}$ 、 $T_A = 25^\circ\text{C}$	3.087	3.15	3.213	V
		$V_{\text{DD}} \geq 4\text{V}$ 、 $I_{\text{REG}} = 10\mu\text{A}$ 、 $C_{\text{REG}} = 0.47\mu\text{F}$ 、 $V_{\text{REG}} = 3.0\text{V}$ 、 $T_A = 25^\circ\text{C}$	2.94	3.0	3.06	V
		$V_{\text{DD}} \geq 3\text{V}$ 、 $I_{\text{REG}} = 10\mu\text{A}$ 、 $C_{\text{REG}} = 0.47\mu\text{F}$ 、 $V_{\text{REG}} = 2.5\text{V}$ 、 $T_A = 25^\circ\text{C}$	2.45	2.5	2.55	V
		$V_{\text{DD}} \geq 3\text{V}$ 、 $I_{\text{REG}} = 10\mu\text{A}$ 、 $C_{\text{REG}} = 0.47\mu\text{F}$ 、 $V_{\text{REG}} = 1.8\text{V}$ 、 $T_A = 25^\circ\text{C}$	1.764	1.8	1.836	V
		$V_{\text{DD}} \geq 3\text{V}$ 、 $I_{\text{REG}} = 10\mu\text{A}$ 、 $C_{\text{REG}} = 0.47\mu\text{F}$ 、 $V_{\text{REG}} = 1.5\text{V}$ 、 $T_A = 25^\circ\text{C}$	1.470	1.5	1.530	V
V_{REG}	REG サプライ	$V_{\text{DD}} \geq 7.5\text{V}$ 、 $I_{\text{REG}} = 3\text{mA}$ 、 $C_{\text{REG}} = 0.47\mu\text{F}$ 、 $V_{\text{REG}} = 3.8\text{V}$	3.58	3.8	3.88	V
		$V_{\text{DD}} \geq 4\text{V}$ 、 $I_{\text{REG}} = 3\text{mA}$ 、 $C_{\text{REG}} = 0.47\mu\text{F}$ 、 $V_{\text{REG}} = 3.3\text{V}$	3.12	3.3	3.39	V
		$V_{\text{DD}} \geq 4\text{V}$ 、 $I_{\text{REG}} = 3\text{mA}$ 、 $C_{\text{REG}} = 0.47\mu\text{F}$ 、 $V_{\text{REG}} = 3.15\text{V}$	2.98	3.15	3.23	V
		$V_{\text{DD}} \geq 4\text{V}$ 、 $I_{\text{REG}} = 3\text{mA}$ 、 $C_{\text{REG}} = 0.47\mu\text{F}$ 、 $V_{\text{REG}} = 3.0\text{V}$	2.84	3.0	3.08	V
		$V_{\text{DD}} \geq 3\text{V}$ 、 $I_{\text{REG}} = 3\text{mA}$ 、 $C_{\text{REG}} = 0.47\mu\text{F}$ 、 $V_{\text{REG}} = 2.5\text{V}$	2.35	2.5	2.57	V
		$V_{\text{DD}} \geq 3\text{V}$ 、 $I_{\text{REG}} = 3\text{mA}$ 、 $C_{\text{REG}} = 0.47\mu\text{F}$ 、 $V_{\text{REG}} = 1.8\text{V}$	1.70	1.8	1.85	V
		$V_{\text{DD}} \geq 3\text{V}$ 、 $I_{\text{REG}} = 3\text{mA}$ 、 $C_{\text{REG}} = 0.47\mu\text{F}$ 、 $V_{\text{REG}} = 1.5\text{V}$	1.42	1.5	1.56	V
$I_{\text{REG_SC_Limit}}$	REG 出力短絡電流制限	$\text{REG} = V_{\text{SS}}$ 、 $C_{\text{REG}} = 0.47\mu\text{F}$	3.2		25	mA
$R_{\text{REG_PD}}$	REG プルダウン抵抗	REG がディスエーブルのときにアクティブ化	20	30	40	k Ω
安定化電源低電圧の自己無効化						
V_{UVREG}	低電圧検出の精度	工場出荷時の構成: $1.0\text{V} \sim 4.15\text{V}$ 、50mV ステップ、 $T_A = 25^\circ\text{C}$	-50		50	mV
V_{UVHYS}	低電圧検出ヒステリシス		250	300	350	mV
t_{UVDELAY}	低電圧検出遅延 ⁽³⁾		5.2	6.5	7.8	s
V_{UVQUAL}	UV 検出を認証するためのセル電圧		0.45	0.5	0.55	V

- (1) 特性評価と製造試験の組み合わせによる仕様
- (2) 通常モードから過電圧モードへの移行時に指定された遅延値。 デバイスが低電圧モードのとき、遅延時間が 0 ~ 1.2 秒増加する可能性があります。
- (3) 設計と製造試験の組み合わせによる仕様

6.6 代表的特性

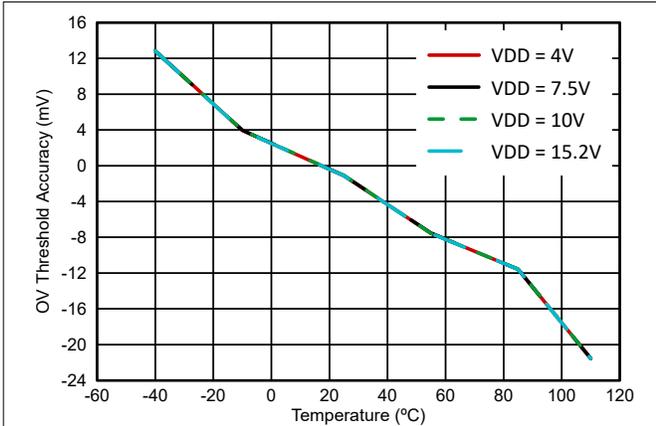


図 6-1. 過電圧スレッシュホールドの精度 (V_{OA}) と温度との関係

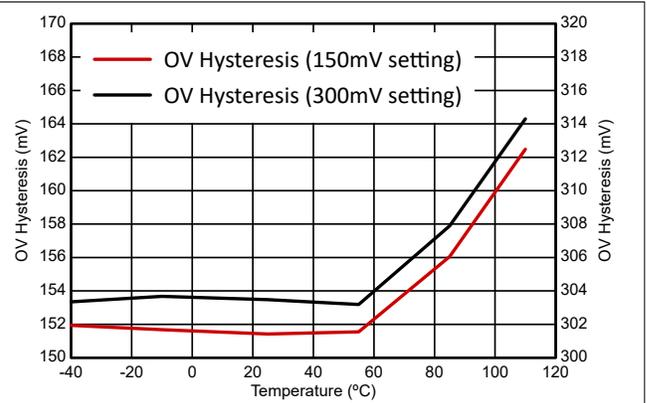


図 6-2. 過電圧ヒステリシス (V_{OVHYS}) と温度との関係

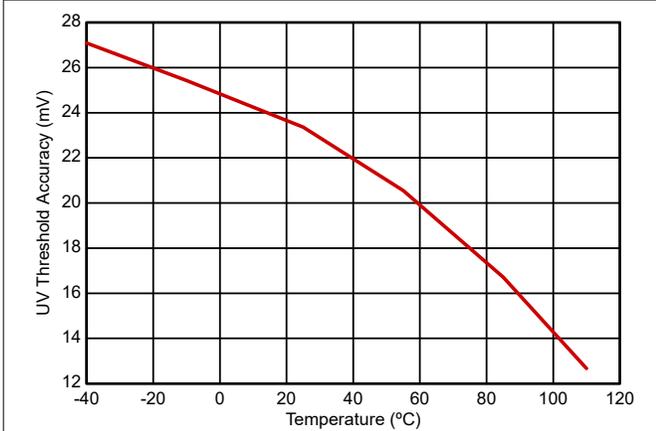


図 6-3. 低電圧スレッシュホールドの精度と温度との関係

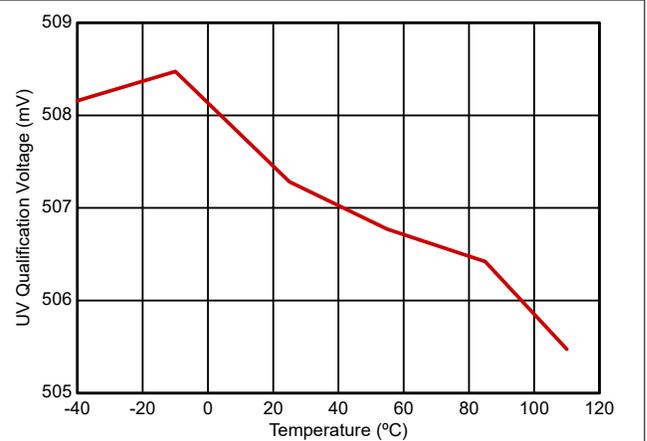


図 6-4. 低電圧認定電圧 (V_{UVQUAL}) と温度との関係

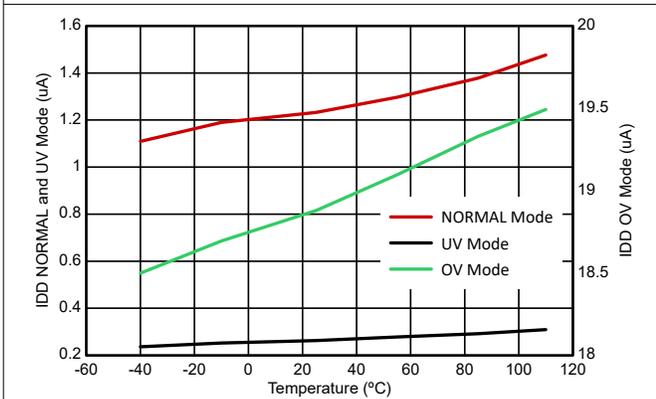


図 6-5. I_{DD} と温度との関係

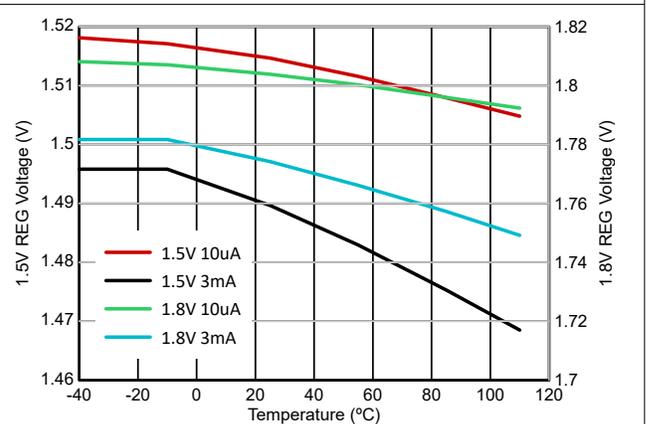


図 6-6. レギュレータ出力と温度との関係 (1.5V および 1.8V 設定)

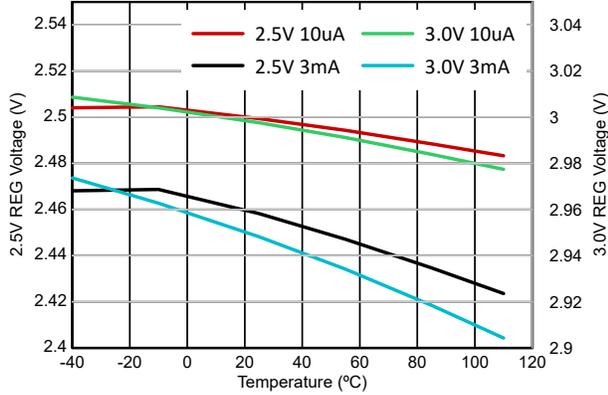


図 6-7. レギュレータ出力と温度との関係 (2.5V および 3V 設定)

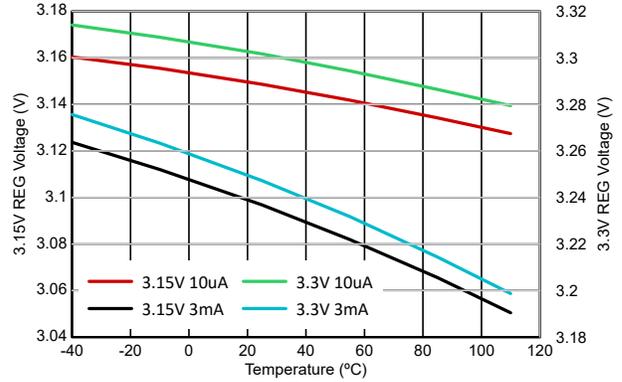


図 6-8. レギュレータ出力と温度との関係 (3.15V および 3.3V 設定)

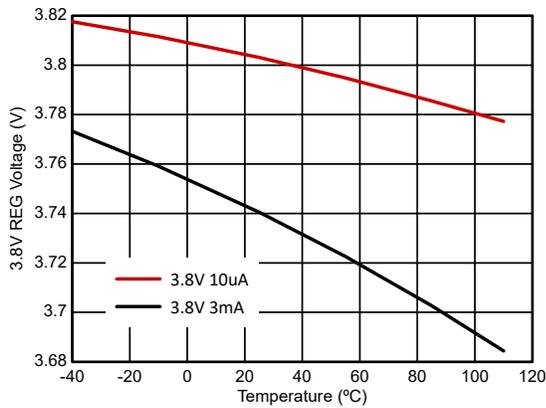


図 6-9. レギュレータ出力と温度との関係 (3.8V 設定)

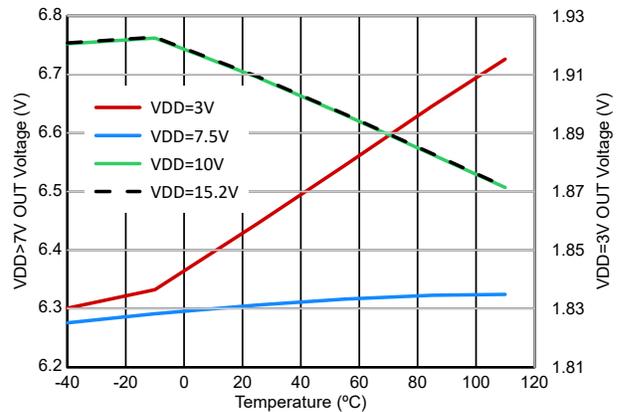


図 6-10. V_{OUT} と温度との関係 (OUT の負荷電流 100 μ A)

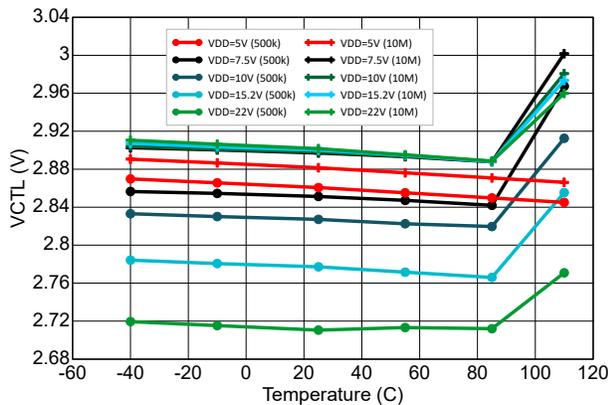


図 6-11. CTL 電圧スレッシュホールドの精度 (V_{CTL}) と温度との関係

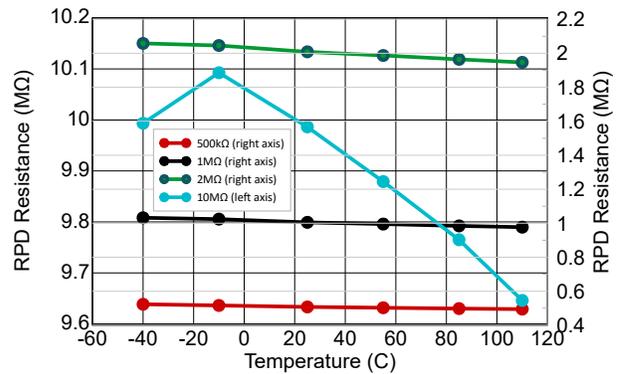


図 6-12. CTL プルダウン抵抗 (R_{PD}) と温度との関係

7 詳細説明

7.1 概要

BQ2969T ファミリは、リチウムイオンおよび LiFePO_4 (LFP) バッテリ パック アプリケーション向けの 3mA 安定化出力電源と制御 / PTC 入力を備えた高精度かつ低消費電力の第 2 レベル過電圧 / 過熱保護装置です。

実際のセル電圧を過電圧スレッシュホールド V_{OV} と比較することで、2 ~ 4 直列セル スタック内の各セルの過電圧状態を個別に監視します。過電圧スレッシュホールドは出荷時に、3.6V ~ 5.2V の範囲であらかじめプログラムされています。いずれかのセルで過電圧状態が検出されると、デバイスは内部の固定遅延タイマを開始します。遅延タイマがタイムアウトすると、過電圧状態が発生したことを示すために出力ピンがアクティブ状態にトリガされます。この出力ピンは、アクティブ High、オープンドレインのアクティブ プルダウン、またはオープンドレインの非アクティブ プルダウンとして構成できます。すべてのセル電圧が過電圧スレッシュホールドよりもヒステリシス レベル (150mV または 300mV に構成可能) 分下回っていることが検出されると、デバイスは過電圧状態から回復します。あるいは、出力ピンをプログラムして、アクティブ化されてもラッチして回復しないようにすることもできます。

安定化出力電源は 1.5V ~ 3.8V の範囲でプログラム可能で、リアルタイム クロック (RTC) 発振器などの常時オン回路を駆動するために最大 3mA の電流を出力します。BQ2969T ファミリは、いずれかのセル電圧がプログラム可能な低電圧スレッシュホールドを下回ると安定化出力をオフにする自己ディセーブ機能を備えており、それによってバッテリーの消費を防止できます。この低電圧スレッシュホールドは 1V ~ 4.15V の範囲でプログラム可能です。

BQ2969T ファミリには CTL ピンが含まれており、必要に応じて OUT ピンをアサートするために使用できます。本デバイスの CTL ピンと VDD ピンの間に PTC サーミスタが接続されている場合、本デバイスは過熱 (OT) 保護もサポートしています。

BQ2969T ファミリは非常に小さい消費電力で動作し、通常動作時の消費電流はわずか 1.23 μA (レギュレータの負荷電流を除く) であり、低電圧状態では 0.25 μA まで低下します。低電圧状態でも、デバイスは引き続きセル電圧を監視を続行し、他のいずれかのセルで過電圧状態を検出して (不均衡なパックで発生する可能性があります)、出力ピンをアサートすることができます。同様に、低電圧状態でも、デバイスは引き続き CTL ピンの電圧を監視し、PTC が使用されているときに過熱状態を検出して、出力ピンをアサートすることができます。

表 7-1. プログラマブルパラメータ

過電圧範囲 (V)	過電圧遅延	過電圧ヒステリシス (mV)	低電圧範囲 (V)	OUT ピンモード	ラッチアウト	レギュレータ (V)	CTL プルダウン (Ω)
3.6 ~ 5.2 (1mV ステップ)	0.25, 0.5, 1, 2, 3, 4, 5.5, 6.5	150, 300	1.0 ~ 4.15 (50mV ステップ)	アクティブ High、オープンドレインのアクティブプルダウン、オープンドレインの非アクティブプルダウン	有、無	1.5, 1.8, 2.5, 3.0, 3.15, 3.3, 3.8	500k, 1M, 2M, 10M

7.2 機能ブロック図

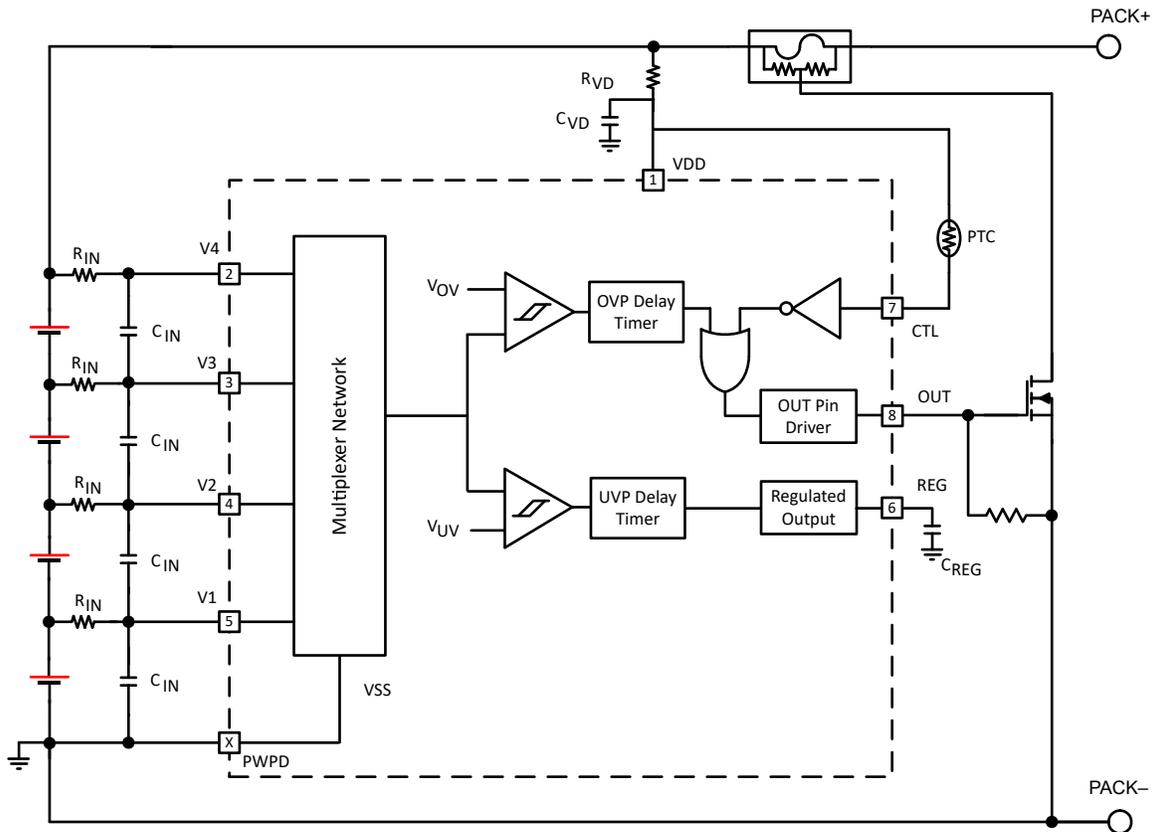


図 7-1. BQ2969T のブロック図

7.3 機能説明

7.3.1 ピンの詳細

7.3.1.1 入力検出電圧、Vx

これらの入力、各バッテリーセルの電圧を検出します。ノイズフィルタリングと安定した電圧監視のために、各入力に対してセル全体に直列抵抗とコンデンサが必要です。

7.3.1.2 出力駆動、OUT

この端子は、いずれかのセルで過電圧状態が検出されたときにフォルト信号出力として機能します。このピンは、アクティブ High、オープンドレインのアクティブプルダウン、またはオープンドレインの非アクティブプルダウンとして構成できます。また、このピンは、過電圧状態が発生したときにアサートされるようにラッチするか、最大セル電圧が過電圧スレッシュホールドを 150mV または 300mV 下回った後に回復するようにプログラムすることも可能です。

7.3.1.3 電源入力、VDD

この端子はデバイスの非レギュレート入力電源です。電流を制限するために直列抵抗を接続し、ノイズフィルタリングのためにコンデンサをグラウンドに接続します。

7.3.1.4 CONTROL/PTC 入力ピン、CTL

CTL ピンは、ピンを Low に駆動することで、要求に応じて OUT ドライバをアサートする制御入力として使用できます。このピンは、CTL ピンと VDD ピンの間に PTC サーミスタを接続することで、セル過熱 (OT) 保護を実装するためにも使用できます。このデバイスは、CTL ピンにプルダウン抵抗を内蔵しています。このプルダウン抵抗は TI で構成し、500kΩ から 10MΩ までの範囲のオプションを選択できます。

CTL ピン機能を使用するには、5V 以上の VDD 電圧が必要です。デバイスを $VDD < 5V$ のアプリケーションで使用する場合は、CTL ピンを VDD に接続します。

7.3.1.5 安定化出力電源、REG

BQ2969T は、REG ピンに安定化電源を提供します。この電源は、リアルタイム クロックやその他の機能などの外部回路への電力供給に使用できます。REG 出力には電流制限保護回路が含まれており、外部負荷の短絡による過剰な電力消費を検出して保護します。このピンには、電源出力の安定性、ノイズ耐性、ESD 性能のために、VSS との間に $1\mu F$ セラミックコンデンサ接続が必要です。このコンデンサは、接続のために REG ピンと VSS ピンの近くに配置する必要があります。

7.3.2 OUT の過電圧検出

BQ2969T デバイス内の各セルの過電圧状態を個別に監視します。過電圧は、実際のセル電圧を保護電圧リファレンス V_{OV} と比較することで検出されます。いずれかのセル電圧がプログラムされた V_{OV} 値を超えると、内部タイマ回路が作動します。タイマが事前にプログラムされた固定遅延を完了すると、OUT ピンは非アクティブ状態からアクティブ状態に遷移します。

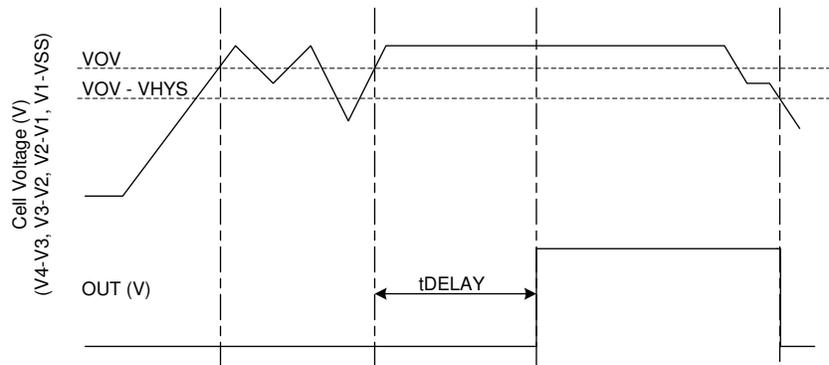


図 7-2. OUT の過電圧検知のタイミング

7.3.3 レギュレータ出力電圧

パワーアップ時に、BQ2969T のレギュレータ出力はデフォルトでオンになります。デバイスのパワーアップ時に、いずれかのセル電圧が V_{UVREG} を下回ると、レギュレータ出力は $t_{UVDELAY}$ 時間が経過するまでオンに維持され、デバイスはレギュレータ出力を無効化します。

放電中に、いずれかのセル電圧が $t_{UVDELAY}$ 時間にわたって V_{UVREG} スレッショルドを下回ると、レギュレータの出力は自動的に無効化されます。すべてのセル電圧が $V_{UVREG} + V_{UVHYS}$ を上回ると、レギュレータ出力が再度オンになります。

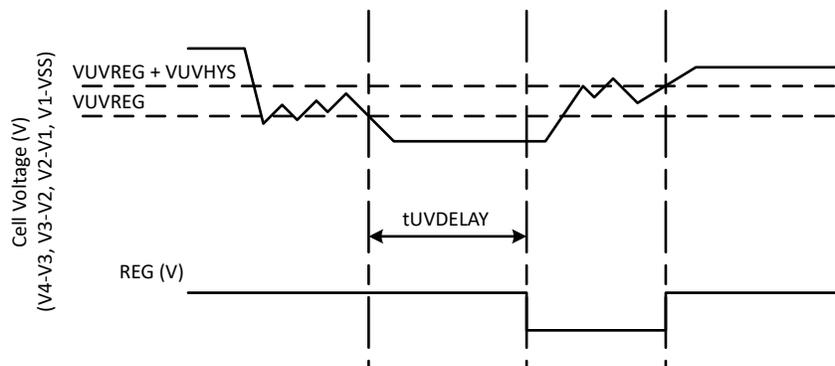


図 7-3. REG 出力のタイミング

7.4 デバイスの機能モード

7.4.1 通常モード

すべてのセル電圧が V_{OV} スレッショルドを下回っている場合、かつ V_{UVREG} スレッショルドを上回っている場合、かつ CTL ピン電圧が $V_{DD}-V_{CTL}$ を上回る場合に、デバイスは通常モードで動作します。デバイスは、CTL ピンの電圧 ($CTL-VSS$)、および ($V1-VSS$)、($V2-V1$)、($V3-V2$)、($V4-V3$) の間に接続された差動セル電圧を定期的に監視しています。このモードでは、OUT ピンは非アクティブであり、安定化出力が有効化されます。

7.4.2 過電圧モード

過電圧モードは、いずれかのセル電圧が、構成された OV 遅延時間にわたって過電圧スレッショルド V_{OV} を超えると検出されます。OUT ピンは、工場です事前にプログラムされた遅延時間の後にアクティブになります。このピンは、通常、外部 FET を有効化し、ヒューズを解除してパックを無効化するために使用されます。すべてのセル電圧が ($V_{OV} - V_{HYS}$) を下回り、 V_{UVREG} スレッショルドを超えたままになると、アサート時にラッチするように出力が構成されていない場合は、デバイスは通常モードに戻ります。すべてのセル電圧が V_{UVREG} を上回っている場合、このモードで安定化出力がイネーブルのままとなります。

7.4.3 低電圧モード

低電圧モードは、($V1-VSS$)、($V2-V1$)、($V3-V2$)、または ($V4-V3$) 間のいずれかのセルの電圧が $t_{UVDELAY}$ 時間にわたって V_{UVREG} スレッショルドを下回った場合に検出されます。このモードでは、安定化出力は無効化されます。通常モードに戻るには、すべてのセル電圧が ($V_{UVREG} + V_{UVHYS}$) を上回り、 V_{OV} を下回る必要があります。

デバイスを 4 セル未満のシステムで使用する場合、 V_n ピンを (V_{n-1}) ピンに短絡できます。低電圧検出のため、デバイスは V_{UVQUAL} スレッショルドを下回る差動セル電圧を無視します。

低電圧モードであっても、デバイスは CTL ピンの電圧と各セルの電圧を定期的に監視し、CTL が $V_{DD}-V_{CTL}$ を下回るか、またはいずれかのセル電圧が V_{OV} スレッショルドを超えるかを確認し続けます。セル電圧が V_{OV} を上回り、別のセル電圧が V_{UVREG} を下回る状態 (非常に不均衡なパックで発生する可能性がある) が発生した場合、OUT ピンがアクティブになり、レギュレータが無効化されます。

7.4.4 CTL / 過熱モード

CTL ピンの電圧が $t_{UVDELAY}$ の間 $V_{DD}-V_{CTL}$ スレッショルドを下回ると、CTL / 過熱モードに移行します。OUT ピンは、TI によって事前にプログラムされた $t_{UVDELAY}$ の後にアサートされます。OUT ピンは、通常、外部 FET を有効化し、ヒューズを解除してパックを無効化するために使用されます。

CTL ピンは、OUT ピンをアサートするための外部回路からの制御入力として使用できます。このピンは、デバイスの VDD ピンと CTL ピンの間に PTC サーミスタを接続することで、セルの過熱保護を実装するためにも使用できます。このデバイスには、CTL ピンから VSS への内部プルダウン抵抗が内蔵されており、抵抗は TI で構成されます。デバイスが CTL ピンのレベルを評価すると、プルダウン抵抗は定期的に有効化されます。PTC 抵抗が増加すると、この分圧抵抗と内部プルダウン抵抗により、CTL ピンの電圧が $V_{DD}-V_{CTL}$ スレッショルドを下回るため、CTL / 過熱モードがトリガされ、OUT ピンがアサートされます。

CTL / 過熱モードがトリガされると、CTL ピンの電圧が $V_{DD}-V_{CTL}$ スレッショルドを上回るまで、OUT ピンはアサートされたままになります。CTL / 過熱モードでは、内部プルダウン抵抗が通常値の半分に低減されます。PTC をセル過熱保護のために使用すると、温度ヒステリシスが発生するため、PTC サーミスタがより低い抵抗に減少したときのみ CTL / 過熱モードは終了します。

デバイスでラッチ オプションが構成されている場合、CTL / 過熱モードがトリガーされると、OUT ピンがアサートされてラッチされます。デバイスがカスタマー テスト モードの間、CTL / 過熱モードをトリガするために使用される低電圧検出遅延は、 t_{DELAY_CTM} に短縮されます。

CTL ピンの電圧が $V_{DD}-V_{CTL}$ スレッショルドを上回ると、アサート時にラッチするように出力が構成されていない場合は、デバイスは通常モードに戻ります。すべてのセル電圧が V_{UVREG} を上回っている場合、このモードで安定化出力がイネーブルのままとなります。

7.4.5 カスタマー テスト モード

カスタマー テスト モード (CTM) を使用すると、回路をバッテリー パックに実装した後、遅延タイム パラメータをチェックするためのテスト時間を短縮できます。CTM を入力するには、VDD ピンを V4 より少なくとも 10V 高く設定する必要があります (図 7-4 を参照)。このモードでは、OV 遅延タイムが約 20 ミリ秒に短縮され、通常動作でのタイム遅延よりも大幅に短くなります。CTM を終了するには、VDD 電圧を V4 + 10V 未満まで下げます。これにより、デバイスがこのモードを終了します。OV 遅延タイムのこの低下は、CTL / 過熱モードと低電圧モードに移行するために必要な時間にも影響を及ぼします。

注意

デバイスを CTM に配置するときは、どのピンでも絶対最大電圧を超えないようにしてください。また、個々のセル電圧 (V4–V3)、(V3–V2)、(V2–V1)、および (V1–VSS) の絶対最大電圧を超えないようにしてください。ピンに定格制限値を上回るストレスが加わった場合、デバイスに永続的な損傷が発生する可能性があります。

図 7-4 に、カスタマー テスト モードのタイミングを示します。

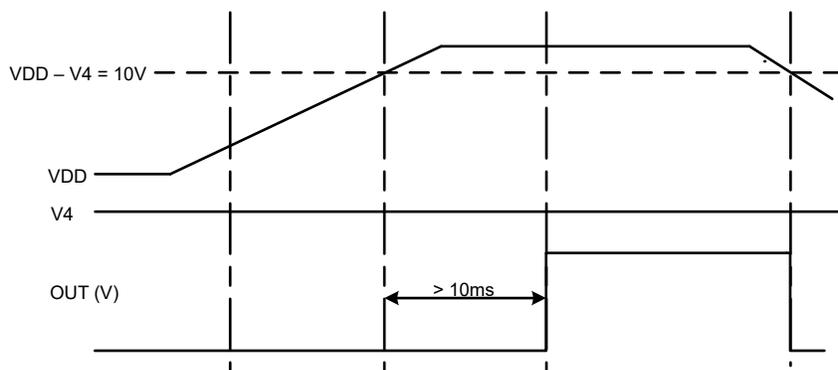


図 7-4. カスタマー テスト モードのタイミング

図 7-5 に、VDD およびセル入力ピンの製品の消費電流測定値を示します。

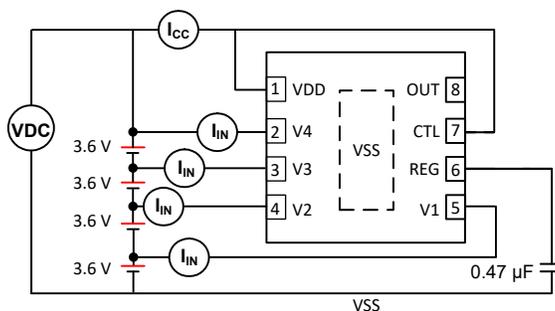


図 7-5. IC 消費電流テストの構成

8 アプリケーションと実装

注

以下のアプリケーション情報は、テキサス・インスツルメンツの製品仕様に含まれるものではなく、テキサス・インスツルメンツはその正確性も完全性も保証いたしません。個々の目的に対する製品の適合性については、お客様の責任で判断していただくことになります。お客様は自身の設計実装を検証しテストすることで、システムの機能を確認する必要があります。

8.1 アプリケーション情報

BQ2969T ファミリの 2 次プロテクタは、アプリケーション内バッテリー パックの過電圧保護と過熱保護に使用されます。安定化出力を使用してローカル外部回路を駆動できます。デバイスの OUT ピンは 3 つの駆動タイプのいずれかに構成でき、デバイスが過電圧モードまたは過熱モードに移行するとアサートされます。このピンは通常、フォルト状態の場合にヒューズを解除する NMOS FET を駆動するために使用され、パックのパワー パスを解除します。

8.2 代表的なアプリケーション

図 8-1 に、BQ2969T を関連する受動部品および外部 NFET と組み合わせて使用し、ハイスайд ヒューズを流す概略アプリケーション回路図を示します。

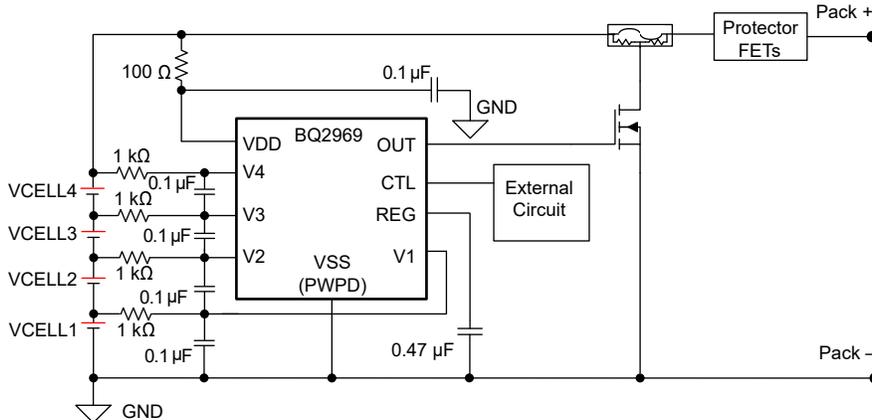


図 8-1. BQ2969T 4 直列セルの代表的な実装 (概略回路図)

BQ2969T に基づく 4 直列バッテリー パックの評価基板向けの基本的な回路の完全な回路図を以下に示します。図 8-11 および 図 8-12 に、この設計の基板レイアウトを示します。

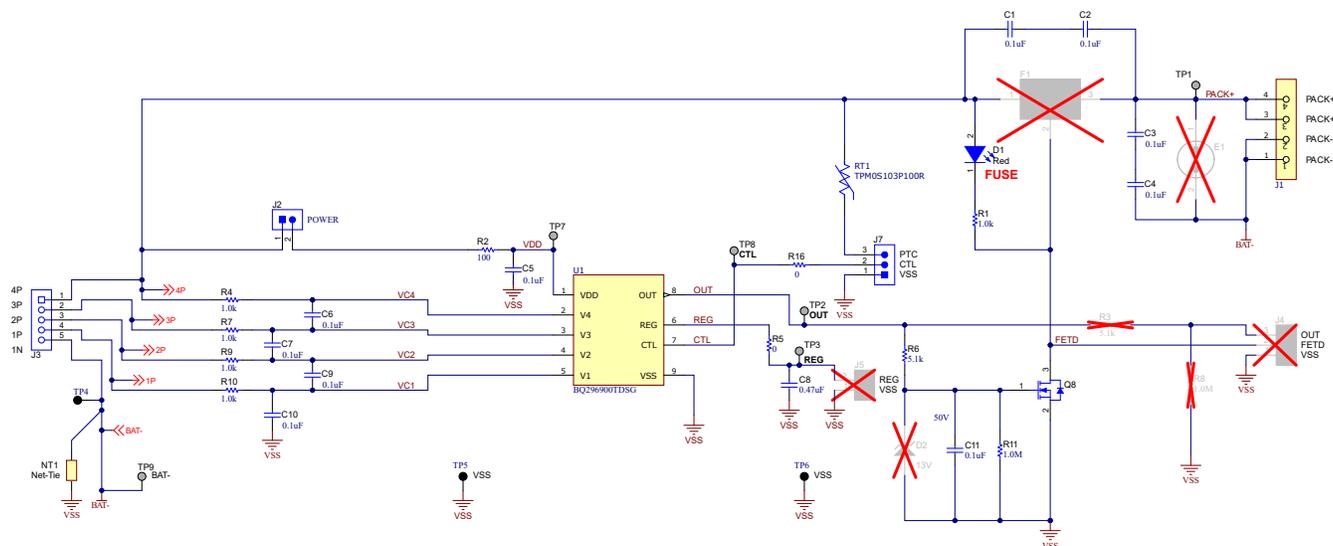


図 8-2. BQ2969T 4 直列セル回路図 - プロテクタおよびヒューズ解除回路

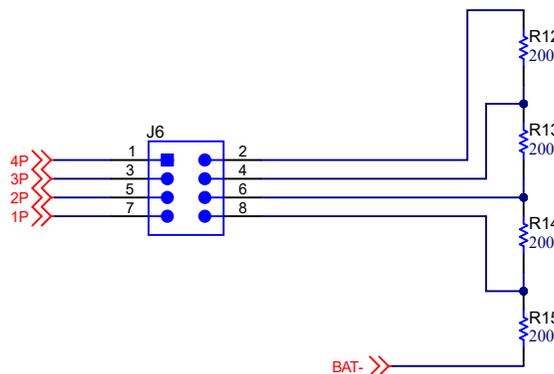


図 8-3. BQ2969T 4 直列セル回路図 - セル シミュレータ回路

8.2.1 設計要件

注

表 8-1 に示されている範囲の変更は、セル測定の精度に影響を及ぼします。

表 8-1. パラメータ

パラメータ	外付け部品	最小値	公称値	最大値	単位
電圧モニタフィルタ抵抗	R _{IN}	900	1000	4700	Ω
電圧モニタフィルタキャパシタンス	C _{IN}	0.01	0.1	1.0	μF
電源電圧フィルタ抵抗	R _{VD}	100	—	1000	Ω
電源電圧フィルタキャパシタンス	C _{VD}	—	0.1	1.0	μF
REG 出力キャパシタンス	C _{REG}	0.47	1	—	μF

注

デバイスは、R_{IN} 値 = 1000Ω を使用して較正されています。この推奨値以外の値を使用すると、セル電圧測定の精度と V_{OV} トリガ レベルが変更されます。

8.2.2 詳細な設計手順

1. デバイスでは、VSS、V1、V2、V3、V4 の各ピンへのランダム セル接続が可能です。デバイスは最初に VSS を接続する必要はなく、セルを特定の順序で接続する必要もありません。しかし、接続のタイミングとデバイスに接続された外部回路に応じて、セル接続時に OUT ピンが一時的にアサートされる可能性があります。ユーザーは、これが生産ラインで問題を発生させないように対策を講じることができます。
2. 4 未満のセルを使用する場合、未使用のセル入力ピン V_n を次のセル入力ピン (V_{n-1}) に短絡させる必要があります。
3. セル入力コンデンサ、電源ピン コンデンサ、REG 出力コンデンサは、PCB のパターン長を最小限に抑えながら、デバイスに近づけて配置することを推奨します。

8.2.3 アプリケーション曲線

以下のスコープ プロットは、異なる状態間で遷移するデバイスの応答を示しています。図 8-4 は、デバイスが過電圧イベントを検出し、過電圧遅延時間の後で OUT ピンをアサートして外部ヒューズを溶断する様子を示しています。図 8-5 は、すべてのセル電圧が必要なヒステリシス レベル分だけ過電圧スレッシュホールドを下回って、OUT ピンがデアサートされたときの過電圧イベントからの回復を示しています。図 8-6 に、低電圧遅延期間の後で、デバイスが低電圧条件を検出し、REG LDO 出力を無効化する例を示します。図 8-7 に、すべてのセル電圧が必要なヒステリシス レベル分だけ低電圧スレッシュホールドを上回ったときに、デバイスが低電圧状態から回復し、REG LDO を再度有効化する例を示します。

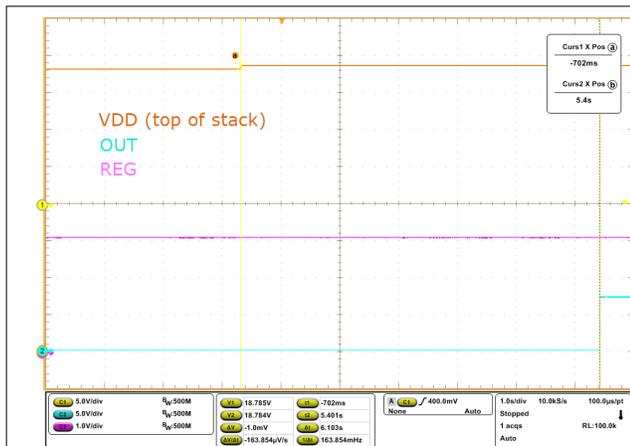


図 8-4. 過電圧保護トリガ

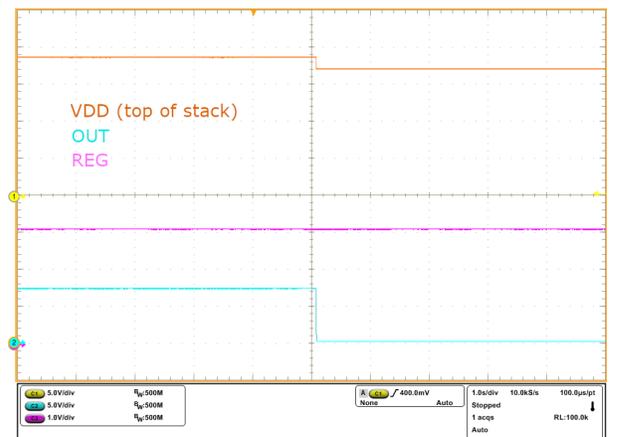


図 8-5. 過電圧保護復帰

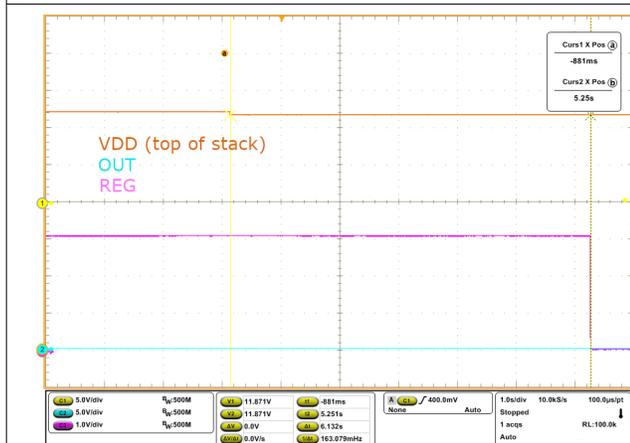


図 8-6. レギュレータを無効化する低電圧検出

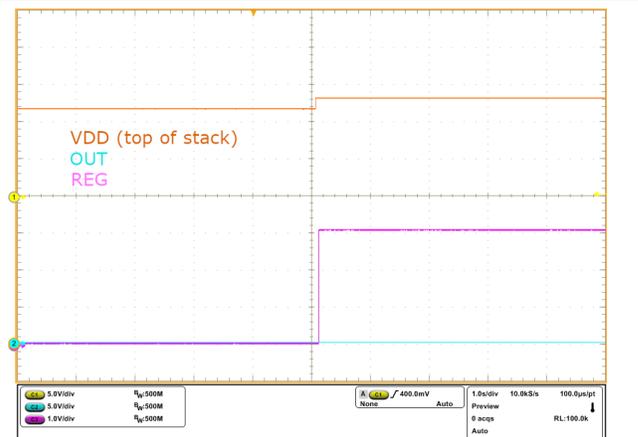


図 8-7. レギュレータを再度有効化する低電圧復帰

8.2.4 PTC サーミスタ保護用 CTL

BQ2969T ファミリの CTL ピンは、デバイスの CTL ピンと VDD ピンの間に PTC サーミスタを接続すると、過熱 (OT) 保護を提供できます。CTL ピンには、500k Ω 、1M Ω 、2M Ω 、10M Ω を選択可能な内部プルダウン抵抗 (R_{PD}) が工場出荷時にプログラム可能です。すべての動作モードでは、 R_{PD} は低いデューティサイクルでパルスされるため、電源から大幅に電流が流れるのを避けるため、 R_{PD} の実効抵抗が大きくなります。

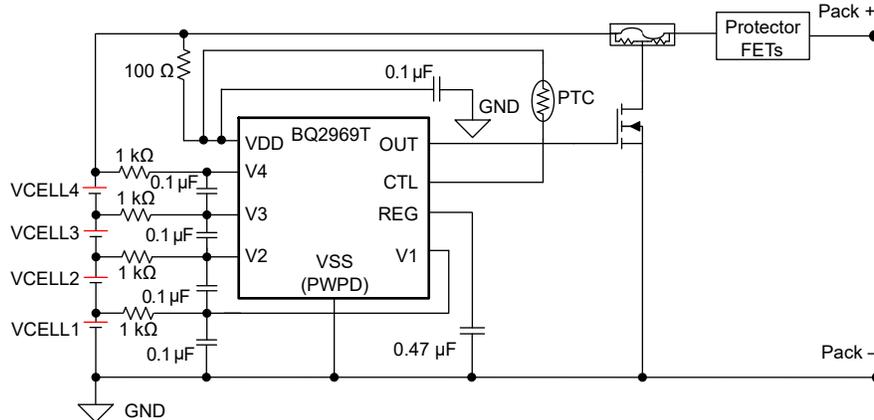


図 8-8. BQ2969T PTC 構成のリファレンス回路図

CTL ピンの電圧が $t_{UVDELAY}$ の間 $V_{DD} - V_{CTL}$ スレッシュホールドを下回ると過熱モードに入り、このモードでは OUT ピンがアサートされます。OUT ピンは、通常、外部 FET を有効化し、ヒューズを解除してパックを無効化するために使用されます。図 8-9 に、過熱保護に使用される CTL の例を示します。OT 電圧トリップ スレッシュホールドは、電圧 V_{DD} から V_{CTL} を引いた値として定義されます。たとえば、 V_{DD} が 16V、 V_{CTL} の標準値が 2.8V と仮定した場合に OT 電圧トリップ スレッシュホールドを計算するには、16V から 2.8V を減算します。これにより、公称 OT トリップ電圧スレッシュホールドは 13.2V となります。OT 電圧トリップ スレッシュホールドを満たすと、PTC 両端の電圧は通常 V_{CTL} になります。

過熱ヒステリシスは R_{PDH} 抵抗で実装されます。過熱保護がトリガされた場合、たとえば 10M Ω オプションを使用すると、 R_{PD} 抵抗は半分になります。新しい抵抗 (R_{PDH}) は 5M Ω になります。新しい低い抵抗は、過熱状態から回復するために、CTL ピンの電圧が OT 電圧トリップ スレッシュホールドを超えるように、PTC からの低い抵抗が必要であることを意味します。温度が低下すると、CTL ピンの電圧が再度上昇するにつれて OT 回復が可能になるように PTC 抵抗が低下します。

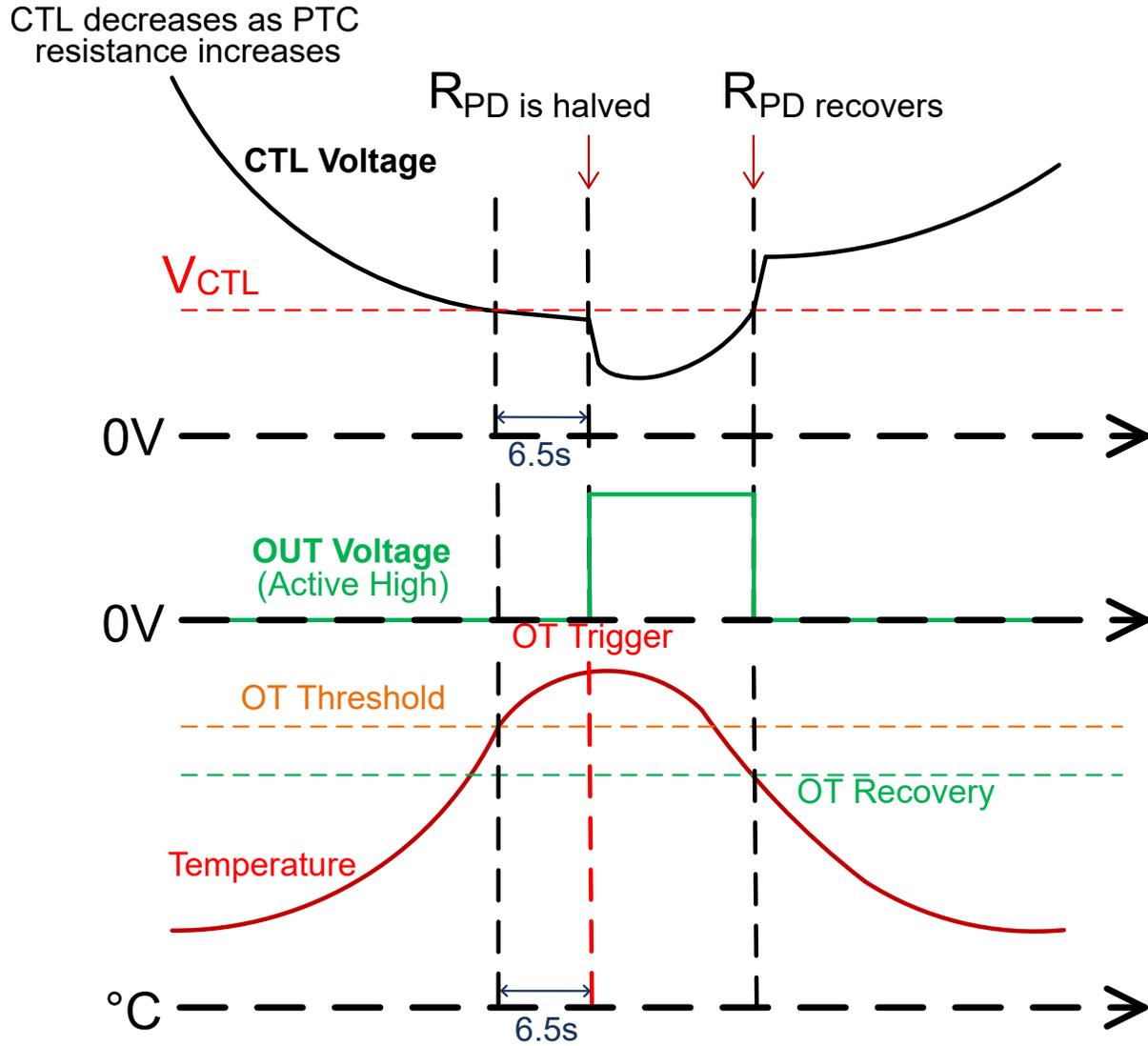


図 8-9. 過熱保護

8.2.5 外部出力オーバードライブの CTL

BQ2969T では、外部回路により OUT ピンを制御できます。CTL ピンは、OUT ピンを強制的にアサートするための外部回路からの制御入力として使用できます。OUT オーバードライブ制御は、CTL ピンが $t_{UVDELAY}$ 間 $V_{DD} - V_{CTL}$ を下回ると実現されます。図 8-10 に示されているように、これは N チャネル MOSFET のようなシンプルな回路で実現できます。CTL ピンの電圧が OT 電圧トリップ スレッシュホールドを上回るまで、OUT ピンはアサートされたまま維持されます。

すべての動作モードでは、 R_{PD} は低いデューティ サイクルでパルスされるため、電源から大幅に電流が流れるのを避けるため、 R_{PD} の実効抵抗が大きくなります。

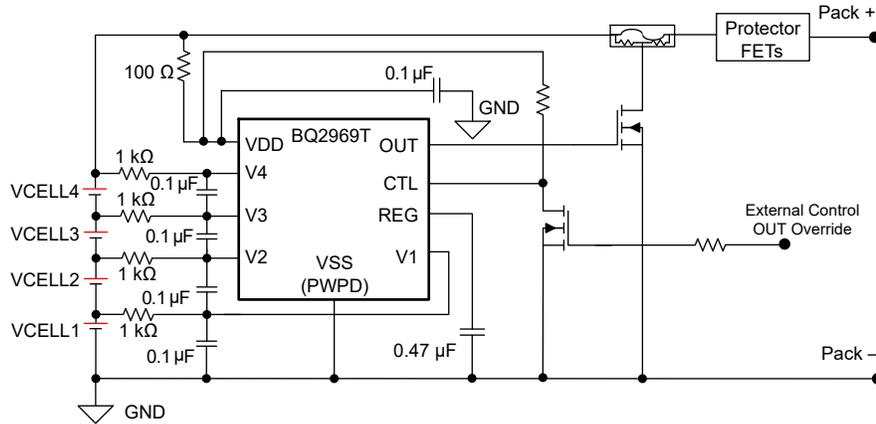


図 8-10. BQ2969T 外部出力オーバードライブ構成のリファレンス回路図

8.3 電源に関する推奨事項

セルスタックの上面と BQ2969T の VDD ピンの間に直列抵抗を接続します。VDD ピンとデバイスの VSS PowerPAD 接続の間にコンデンサを接続し、PCB のデバイスの近くに配置します。VSS PowerPAD をセルスタックの底面に接続します。

8.4 レイアウト

8.4.1 レイアウトのガイドライン

以下のレイアウトガイドラインに従ってください。

1. セル入力ピン (V4、V3、V2、V1、VSS) および VDD ピンの RC フィルタをターゲットピンにできるだけ近づけて配置し、トレースループ面積を小さくします。
2. レギュレータの出力コンデンサは REG と VSS の間に配置し、コンデンサをデバイスのピンに近づけて配置します。
3. NFET を経由して PACK- にヒューズを接続しているパターンは、ヒューズ解除イベント時の予測電流に十分に耐えるようにしてください。

8.4.2 レイアウト例

図 8-11 および 図 8-12 に、4 直列セル設計で BQ2969T デバイスを使用する回路レイアウトの例を示します。この設計では、図 8-2 および 図 8-3 に示されている回路図を実装し、ボードの左端にセル接続、右端にパック接続がある 2 層回路カードアセンブリを使用します。

RC フィルタ部品は、デバイスの VC ピンの近くに配置するよう注意する必要があります。ヒューズ解除イベント中に流れる最大電流に対応するため、NFET ソースおよびドレイン接続には十分な幅のパターンを使用してください。

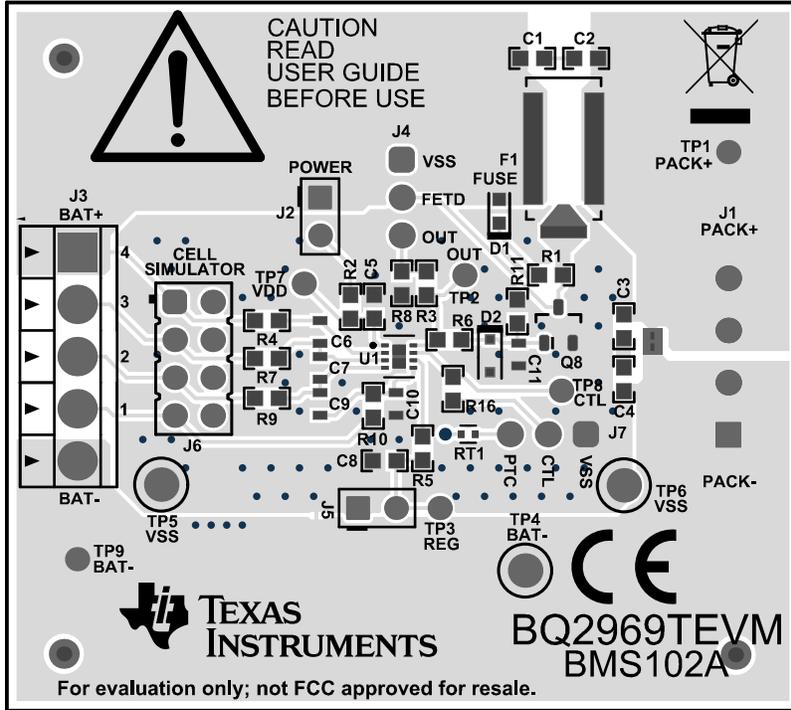


図 8-11. BQ2969T の 2 層基板レイアウト - 上層

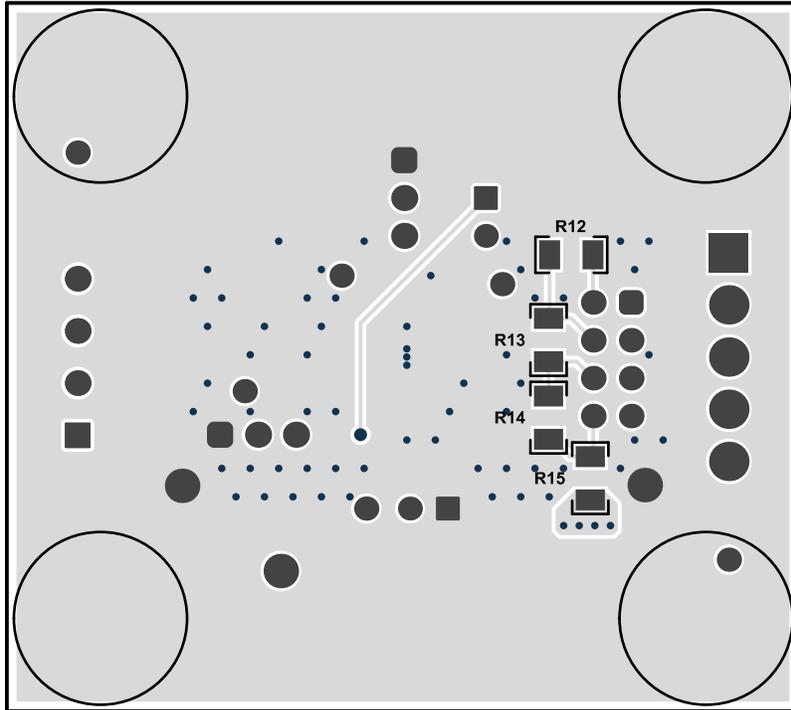


図 8-12. BQ2969T の 2 層基板レイアウト - 下層

9 デバイスおよびドキュメントのサポート

9.1 デバイス サポート

9.1.1 サード・パーティ製品に関する免責事項

サード・パーティ製品またはサービスに関するテキサス・インスツルメンツの出版物は、単独またはテキサス・インスツルメンツの製品、サービスと一緒に提供される場合に関係なく、サード・パーティ製品またはサービスの適合性に関する是認、サード・パーティ製品またはサービスの是認の表明を意味するものではありません。

9.2 ドキュメントの更新通知を受け取る方法

ドキュメントの更新についての通知を受け取るには、www.tij.co.jp のデバイス製品フォルダを開いてください。右上の [アラートを受け取る] をクリックして登録すると、変更されたすべての製品情報に関するダイジェストを毎週受け取ることができます。変更の詳細については、修正されたドキュメントに含まれている改訂履歴をご覧ください。

9.3 サポート・リソース

テキサス・インスツルメンツ E2E™ サポート・フォーラムは、エンジニアが検証済みの回答と設計に関するヒントをエキスパートから迅速かつ直接得ることができる場所です。既存の回答を検索したり、独自の質問をしたりすることで、設計に必要な支援を迅速に得ることができます。

リンクされているコンテンツは、各寄稿者により「現状のまま」提供されるものです。これらはテキサス・インスツルメンツの仕様を構成するものではなく、必ずしもテキサス・インスツルメンツの見解を反映したものではありません。テキサス・インスツルメンツの [使用条件](#) を参照してください。

9.4 商標

テキサス・インスツルメンツ E2E™ is a trademark of Texas Instruments.

すべての商標は、それぞれの所有者に帰属します。

9.5 静電気放電に関する注意事項



この IC は、ESD によって破損する可能性があります。テキサス・インスツルメンツは、IC を取り扱う際には常に適切な注意を払うことを推奨します。正しい取り扱いおよび設置手順に従わない場合、デバイスを破損するおそれがあります。

ESD による破損は、わずかな性能低下からデバイスの完全な故障まで多岐にわたります。精密な IC の場合、パラメータがわずかに変化するだけで公表されている仕様から外れる可能性があるため、破損が発生しやすくなっています。

9.6 用語集

[テキサス・インスツルメンツ用語集](#) この用語集には、用語や略語の一覧および定義が記載されています。

10 改訂履歴

資料番号末尾の英字は改訂を表しています。その改訂履歴は英語版に準じています。

Changes from Revision * (December 2024) to Revision A (May 2025)	Page
• 「 デバイス比較表 」に BQ296906T を追加.....	4
• 「 電氣的特性 」の OV 遅延リセット時間のテスト条件を更新.....	5
• 「 詳細設計手順 」に、より明確な情報を追加.....	17

11 メカニカル、パッケージ、および注文情報

以降のページには、メカニカル、パッケージ、および注文に関する情報が記載されています。この情報は、指定のデバイスに使用できる最新のデータです。このデータは、予告なく、このドキュメントを改訂せずに変更される場合があります。本データシートのブラウザ版を使用されている場合は、画面左側の説明をご覧ください。

重要なお知らせと免責事項

テキサス・インスツルメンツは、技術データと信頼性データ (データシートを含みます)、設計リソース (リファレンス デザインを含みます)、アプリケーションや設計に関する各種アドバイス、Web ツール、安全性情報、その他のリソースを、欠陥が存在する可能性のある「現状のまま」提供しており、商品性および特定目的に対する適合性の黙示保証、第三者の知的財産権の非侵害保証を含むいかなる保証も、明示的または黙示的にかかわらず拒否します。

これらのリソースは、テキサス・インスツルメンツ製品を使用する設計の経験を積んだ開発者への提供を意図したものです。(1) お客様のアプリケーションに適した テキサス・インスツルメンツ製品の選定、(2) お客様のアプリケーションの設計、検証、試験、(3) お客様のアプリケーションに該当する各種規格や、その他のあらゆる安全性、セキュリティ、規制、または他の要件への確実な適合に関する責任を、お客様のみが単独で負うものとします。

上記の各種リソースは、予告なく変更される可能性があります。これらのリソースは、リソースで説明されている テキサス・インスツルメンツ製品を使用するアプリケーションの開発の目的でのみ、テキサス・インスツルメンツはその使用をお客様に許諾します。これらのリソースに関して、他の目的で複製することや掲載することは禁止されています。テキサス・インスツルメンツや第三者の知的財産権のライセンスが付与されている訳ではありません。お客様は、これらのリソースを自身で使用した結果発生するあらゆる申し立て、損害、費用、損失、責任について、テキサス・インスツルメンツおよびその代理人を完全に補償するものとし、テキサス・インスツルメンツは一切の責任を拒否します。

テキサス・インスツルメンツの製品は、[テキサス・インスツルメンツの販売条件](#)、または [ti.com](https://www.ti.com) やかかる テキサス・インスツルメンツ製品の関連資料などのいずれかを通じて提供する適用可能な条項の下で提供されています。テキサス・インスツルメンツがこれらのリソースを提供することは、適用されるテキサス・インスツルメンツの保証または他の保証の放棄の拡大や変更を意味するものではありません。

お客様がいかなる追加条項または代替条項を提案した場合でも、テキサス・インスツルメンツはそれらに異議を唱え、拒否します。

郵送先住所: Texas Instruments, Post Office Box 655303, Dallas, Texas 75265

Copyright © 2025, Texas Instruments Incorporated

PACKAGING INFORMATION

Orderable part number	Status (1)	Material type (2)	Package Pins	Package qty Carrier	RoHS (3)	Lead finish/ Ball material (4)	MSL rating/ Peak reflow (5)	Op temp (°C)	Part marking (6)
BQ296900TDSGR	Active	Production	WSON (DSG) 8	3000 LARGE T&R	Yes	NIPDAU	Level-1-260C-UNLIM	-40 to 110	690T
BQ296900TDSGR.A	Active	Production	WSON (DSG) 8	3000 LARGE T&R	Yes	NIPDAU	Level-1-260C-UNLIM	-40 to 110	690T
BQ296901TDSGR	Active	Production	WSON (DSG) 8	3000 LARGE T&R	Yes	NIPDAU	Level-1-260C-UNLIM	-40 to 110	6T01
BQ296901TDSGR.A	Active	Production	WSON (DSG) 8	3000 LARGE T&R	Yes	NIPDAU	Level-1-260C-UNLIM	-40 to 110	6T01
BQ296906TDSGR	Active	Production	WSON (DSG) 8	3000 LARGE T&R	Yes	NIPDAU	Level-1-260C-UNLIM	-40 to 110	6T06

(1) **Status:** For more details on status, see our [product life cycle](#).

(2) **Material type:** When designated, preproduction parts are prototypes/experimental devices, and are not yet approved or released for full production. Testing and final process, including without limitation quality assurance, reliability performance testing, and/or process qualification, may not yet be complete, and this item is subject to further changes or possible discontinuation. If available for ordering, purchases will be subject to an additional waiver at checkout, and are intended for early internal evaluation purposes only. These items are sold without warranties of any kind.

(3) **RoHS values:** Yes, No, RoHS Exempt. See the [TI RoHS Statement](#) for additional information and value definition.

(4) **Lead finish/Ball material:** Parts may have multiple material finish options. Finish options are separated by a vertical ruled line. Lead finish/Ball material values may wrap to two lines if the finish value exceeds the maximum column width.

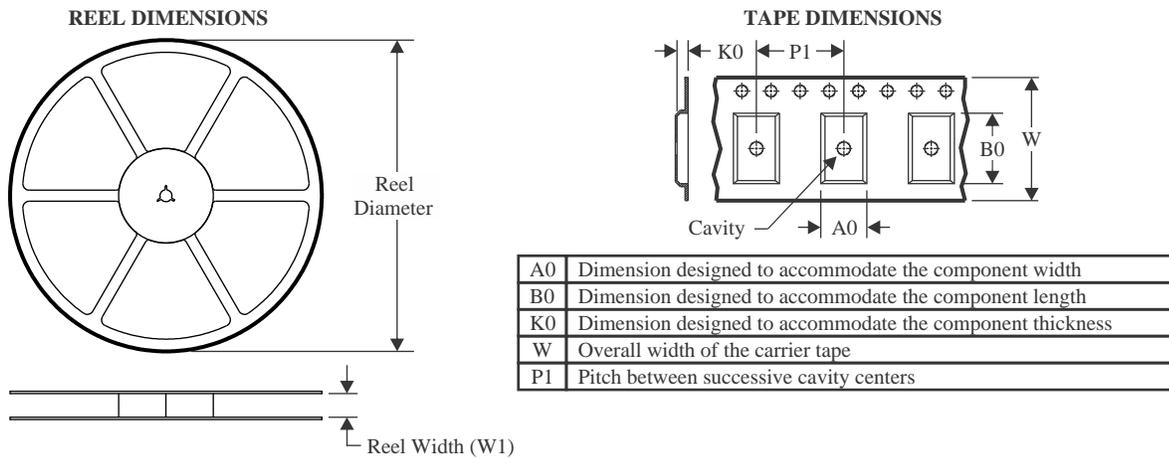
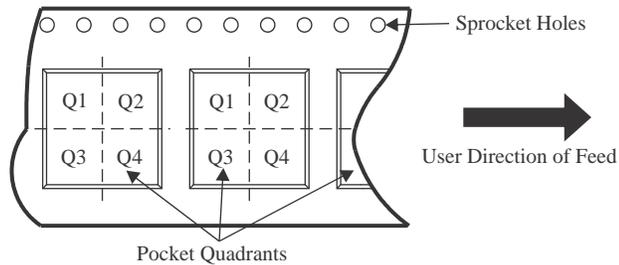
(5) **MSL rating/Peak reflow:** The moisture sensitivity level ratings and peak solder (reflow) temperatures. In the event that a part has multiple moisture sensitivity ratings, only the lowest level per JEDEC standards is shown. Refer to the shipping label for the actual reflow temperature that will be used to mount the part to the printed circuit board.

(6) **Part marking:** There may be an additional marking, which relates to the logo, the lot trace code information, or the environmental category of the part.

Multiple part markings will be inside parentheses. Only one part marking contained in parentheses and separated by a "-" will appear on a part. If a line is indented then it is a continuation of the previous line and the two combined represent the entire part marking for that device.

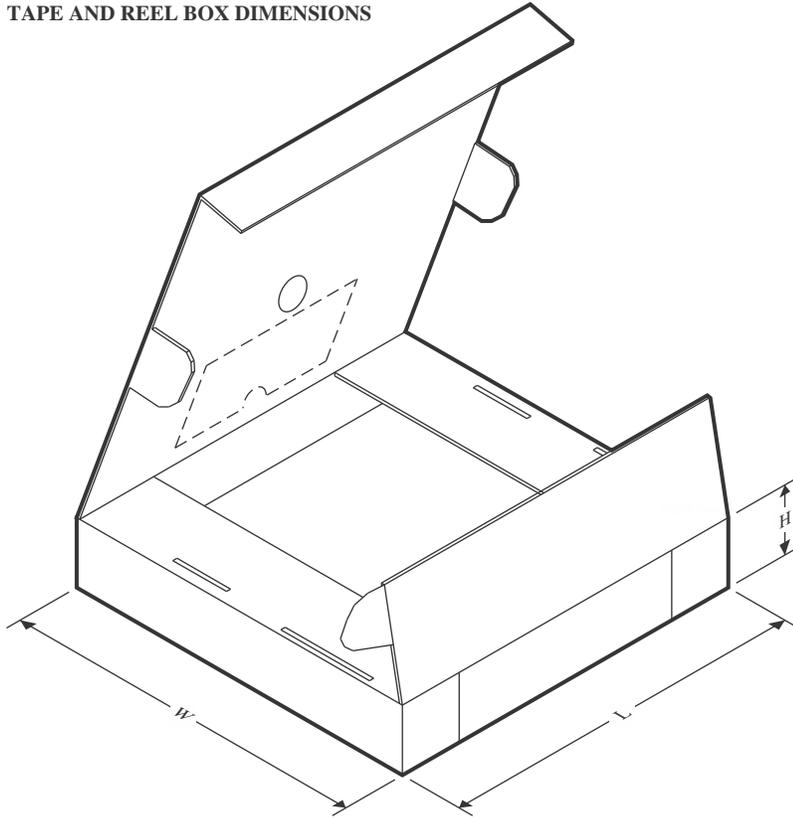
Important Information and Disclaimer: The information provided on this page represents TI's knowledge and belief as of the date that it is provided. TI bases its knowledge and belief on information provided by third parties, and makes no representation or warranty as to the accuracy of such information. Efforts are underway to better integrate information from third parties. TI has taken and continues to take reasonable steps to provide representative and accurate information but may not have conducted destructive testing or chemical analysis on incoming materials and chemicals. TI and TI suppliers consider certain information to be proprietary, and thus CAS numbers and other limited information may not be available for release.

In no event shall TI's liability arising out of such information exceed the total purchase price of the TI part(s) at issue in this document sold by TI to Customer on an annual basis.

TAPE AND REEL INFORMATION

QUADRANT ASSIGNMENTS FOR PIN 1 ORIENTATION IN TAPE


*All dimensions are nominal

Device	Package Type	Package Drawing	Pins	SPQ	Reel Diameter (mm)	Reel Width W1 (mm)	A0 (mm)	B0 (mm)	K0 (mm)	P1 (mm)	W (mm)	Pin1 Quadrant
BQ296906TDSGR	WSON	DSG	8	3000	180.0	8.4	2.3	2.3	1.15	4.0	8.0	Q3

TAPE AND REEL BOX DIMENSIONS


*All dimensions are nominal

Device	Package Type	Package Drawing	Pins	SPQ	Length (mm)	Width (mm)	Height (mm)
BQ296906TDSGR	WSON	DSG	8	3000	210.0	185.0	35.0

GENERIC PACKAGE VIEW

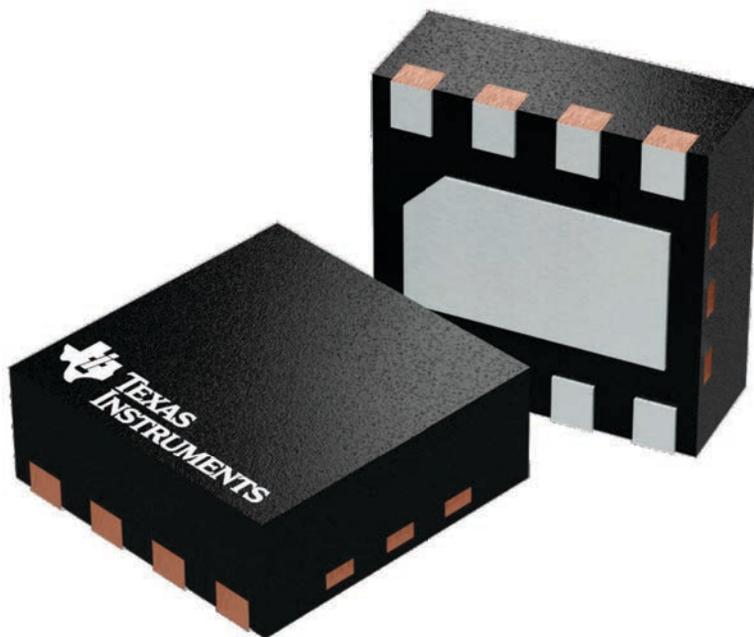
DSG 8

WSON - 0.8 mm max height

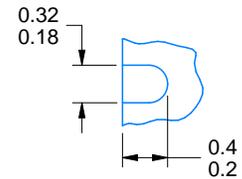
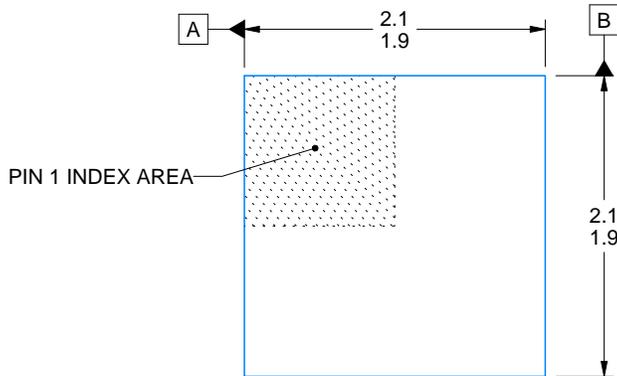
2 x 2, 0.5 mm pitch

PLASTIC SMALL OUTLINE - NO LEAD

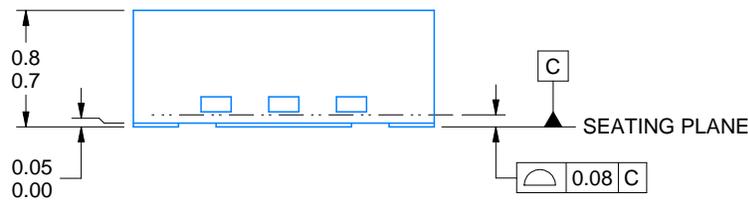
This image is a representation of the package family, actual package may vary.
Refer to the product data sheet for package details.



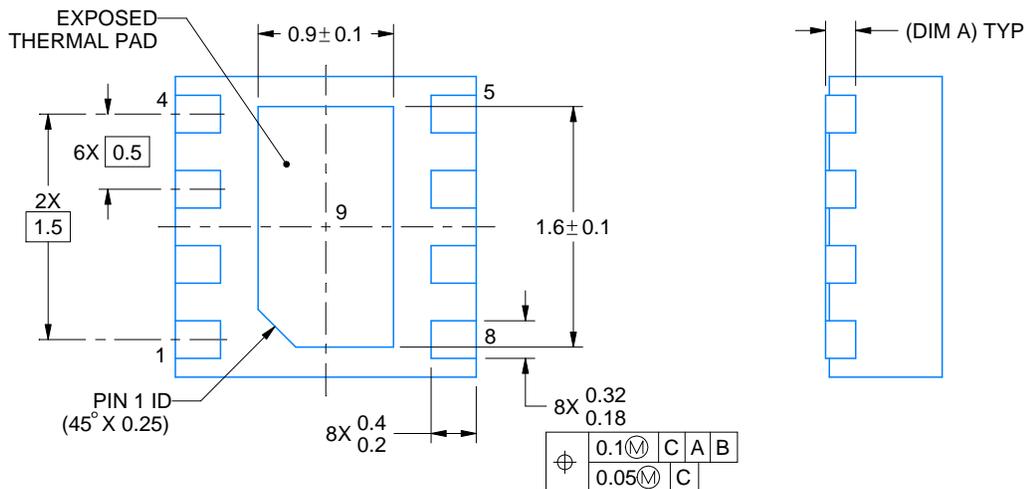
4224783/A



ALTERNATIVE TERMINAL SHAPE TYPICAL



SIDE WALL METAL THICKNESS DIM A	
OPTION 1	OPTION 2
0.1	0.2



4218900/E 08/2022

NOTES:

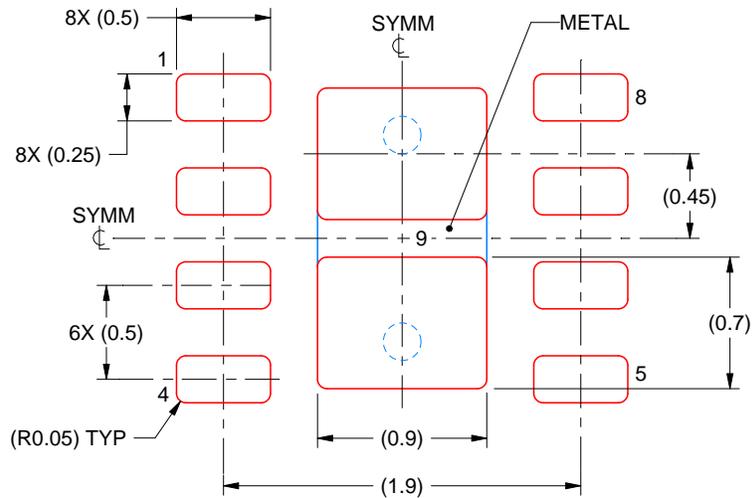
1. All linear dimensions are in millimeters. Any dimensions in parenthesis are for reference only. Dimensioning and tolerancing per ASME Y14.5M.
2. This drawing is subject to change without notice.
3. The package thermal pad must be soldered to the printed circuit board for thermal and mechanical performance.

EXAMPLE STENCIL DESIGN

DSG0008A

WSON - 0.8 mm max height

PLASTIC SMALL OUTLINE - NO LEAD



SOLDER PASTE EXAMPLE
BASED ON 0.125 mm THICK STENCIL

EXPOSED PAD 9:
87% PRINTED SOLDER COVERAGE BY AREA UNDER PACKAGE
SCALE:25X

4218900/E 08/2022

NOTES: (continued)

6. Laser cutting apertures with trapezoidal walls and rounded corners may offer better paste release. IPC-7525 may have alternate design recommendations.

重要なお知らせと免責事項

テキサス・インスツルメンツは、技術データと信頼性データ(データシートを含みます)、設計リソース(リファレンス デザインを含みます)、アプリケーションや設計に関する各種アドバイス、Web ツール、安全性情報、その他のリソースを、欠陥が存在する可能性のある「現状のまま」提供しており、商品性および特定目的に対する適合性の黙示保証、第三者の知的財産権の非侵害保証を含むいかなる保証も、明示的または黙示的にかかわらず拒否します。

これらのリソースは、テキサス・インスツルメンツ製品を使用する設計の経験を積んだ開発者への提供を意図したものです。(1) お客様のアプリケーションに適したテキサス・インスツルメンツ製品の選定、(2) お客様のアプリケーションの設計、検証、試験、(3) お客様のアプリケーションに該当する各種規格や、その他のあらゆる安全性、セキュリティ、規制、または他の要件への確実な適合に関する責任を、お客様のみが単独で負うものとします。

上記の各種リソースは、予告なく変更される可能性があります。これらのリソースは、リソースで説明されているテキサス・インスツルメンツ製品を使用するアプリケーションの開発の目的でのみ、テキサス・インスツルメンツはその使用をお客様に許諾します。これらのリソースに関して、他の目的で複製することや掲載することは禁止されています。テキサス・インスツルメンツや第三者の知的財産権のライセンスが付与されている訳ではありません。お客様は、これらのリソースを自身で使用した結果発生するあらゆる申し立て、損害、費用、損失、責任について、テキサス・インスツルメンツおよびその代理人を完全に補償するものとし、テキサス・インスツルメンツは一切の責任を拒否します。

テキサス・インスツルメンツの製品は、[テキサス・インスツルメンツの販売条件](#)、または [ti.com](https://www.ti.com) やかかるテキサス・インスツルメンツ製品の関連資料などのいずれかを通じて提供する適用可能な条項の下で提供されています。テキサス・インスツルメンツがこれらのリソースを提供することは、適用されるテキサス・インスツルメンツの保証または他の保証の放棄の拡大や変更を意味するものではありません。

お客様がいかなる追加条項または代替条項を提案した場合でも、テキサス・インスツルメンツはそれらに異議を唱え、拒否します。

郵送先住所：Texas Instruments, Post Office Box 655303, Dallas, Texas 75265
Copyright © 2025, Texas Instruments Incorporated