

AMC0106M05 高精度、±50mV 入力、機能絶縁、 外部クロックによるデルタ シグマ変調器

## 1 特長

- リニア入力電圧範囲:±50mV
- 電源電圧範囲:
  - ハイサイド (AVDD): 3.0V ~ 5.5V
  - ローサイド (DVDD):2.7V ~ 5.5V
- 小さい DC 誤差:
  - オフセット誤差:±200uV(最大値)
  - オフセットドリフト:±1.2µV/°C (最大値)
  - ゲイン誤差:±0.3% (最大値)
  - ゲインドリフト: ±50ppm/°C (最大値)
- 高 CMTI:150V/ns (最小値)
- ハイサイド電源喪失の検出
- 低 EMI: CISPR-11 および CISPR-25 規格に準拠
- 機能的分離:
  - 200V<sub>RMS</sub>、280V<sub>DC</sub>の動作電圧
  - 570V<sub>RMS</sub>、800V<sub>DC</sub>の過渡的過電圧(60秒)
- 拡張産業用温度範囲にわたって仕様を完全に規定- $40^{\circ}\text{C} \sim +125^{\circ}\text{C}$

## 2 アプリケーション

- 48V モータードライブ
- **48V** 周波数インバータ
- アナログ入力モジュール
- 電源

### 3 説明

AMC0106M05 は、±50mV の入力電圧範囲を持つ高精 度の機能絶縁デルタ シグマ変調器 です。この絶縁バリア は、異なる同相電圧レベルで動作するシステム領域を分 離します。この絶縁バリアは、最高 200V<sub>RMS</sub> または 280Vpc の動作電圧と、最高 570Vpms または 800Vpc の過渡電圧に対応しています。

AMC0106M05 は、小さいパッケージ サイズと低い入力 電圧範囲を備え、スペースに制約のあるアプリケーション での高精度絶縁型電流センシングを実現するように設計 されています。ガルバニック絶縁バリアは高い同相過渡に 対応し、感受性の高い制御回路を電力段のスイッチングノ イズから絶縁できます。

AMC0106M05 の出力ビットストリームは、外部クロックと同 期します。このデバイスは、sinc<sup>3</sup> や OSR 256 フィルタと 組み合わせることにより、16 ビットの分解能、84dB のダイ ナミックレンジ、78kSPS のデータレートを実現します。

AMC0106M05 は 8 ピン、 0.65mm ピッチの VSON パッ ケージで供給され、-40℃~+125℃の拡張産業用温度範 囲で動作が規定されています。

	パッケージ情報	
部品番号	パッケージ <sup>(1)</sup>	パッケージ サイズ <sup>(2)</sup>
AMC0106M05	DEN (VSON、8)	3.5mm × 2.7mm

- (1) 詳細については、「メカニカル、パッケージ、および注文情報」を 参照してください
- パッケージ サイズ (長さ×幅) は公称値であり、該当する場合はピ (2) ンを含みます。



このリソースの元の言語は英語です。翻訳は概要を便宜的に提供するもので、自動化ツール (機械翻訳)を使用していることがあり、TI では翻訳の正確性および妥当 🚾 性につきましては一切保証いたしません。実際の設計などの前には、ti.com で必ず最新の英語版をご参照くださいますようお願いいたします。



## 目次

1	特長	1
2	アプリケーション	1
3	説明	1
4	ピン構成および機能	3
5	仕様	4
	5.1 絶対最大定格	4
	5.2 ESD 定格	4
	5.3 推奨動作条件	5
	5.4 熱に関する情報 (DEN パッケージ)	6
	5.5 パッケージ特性	<mark>6</mark>
	5.6 電気的特性	7
	5.7 スイッチング特性	<mark>9</mark>
	5.8 タイミング図	9
	5.9 代表的特性	10
6	詳細説明	
	6.1 概要	16
	6.2 機能ブロック図	16

6.3 機能説明	17
6.4 デバイスの機能モード	21
7 アプリケーションと実装	22
7.1 アプリケーション情報	22
7.2 代表的なアプリケーション	22
7.3 設計のベスト プラクティス	
7.4 電源に関する推奨事項	27
7.5 レイアウト	27
8 デバイスおよびドキュメントのサポート	
8.1ドキュメントのサポート	
8.2ドキュメントの更新通知を受け取る方法	
8.3 サポート・リソース	
8.4 商標	
8.5 静電気放電に関する注意事項	
8.6 用語集	
9 改訂履歷	
10 メカニカル、パッケージ、および注文情報	29



## 4 ピン構成および機能



## 図 4-1. DEN パッケージ、 8 ピン VSON (上面図)

#### 表 4-1. ピンの機能

ピン		bi 2-4	戦田		
番号	名称				
1	AVDD	ハイサイド電源	アナログ (ハイサイド) 電源。 <sup>(1)</sup>		
2	INP	アナログ入力	非反転アナログ入力。10nF のフィルタ コンデンサを INP と INN の間に接続します。		
3	INN	アナログ入力	反転アナログ入力。10nF のフィルタコンデンサを INP と INN の間に接続します。		
4、9 <sup>(2)</sup>	AGND	ハイサイド グランド	アナログ (ハイサイド) グランド。		
5、10 <sup>(2)</sup>	DGND	ローサイド グランド	デジタル (ローサイド) グランド。		
6	DOUT	デジタル出力	変調器のデータ出力。		
7	CLKIN	デジタル入力	内部プルダウン抵抗付きの変調器クロック入力 (標準値:1.5MΩ)。		
8	DVDD	ローサイド電源	デジタル (ローサイド) 電源。 <sup>(1)</sup>		

(1) 電源のデカップリングに関する推奨事項については、「電源に関する推奨事項」セクションを参照してください。

(2) どちらのピンも低インピーダンスパスを介して内部接続されています。



## 5 仕様

## 5.1 絶対最大定格

自由気流での動作温度範囲内(特に記述のない限り)(1)

		最小値	最大値	単位
雪順雪正	ハイサイド AVDD から AGND への接続	-0.3	6.5	V
电你电广	ローサイド DVDD から DGND への接続	-0.3	6.5	v
アナログ入力電圧	INP、INN から AGND へ、	AGND - 4	AVDD + 0.5	V
デジタル入力電圧	CLKIN から DGND へ	DGND - 0.5	DVDD+ 0.5	V
デジタル出力電圧	DOUT から DGND へ	DGND - 0.5	DVDD + 0.5	V
温漉海绿雪正(2)	AC 電圧、t = 60s <sup>(3)</sup>		570	V <sub>RMS</sub>
回 假 祀 隊 电 广 · · ·	DC 電圧、t = 60s <sup>(3)</sup>		800	V <sub>DC</sub>
入力電流	連続、電源ピンを除く任意のピン	-10	10	mA
泪ь	接合部、TJ		150	°C
	保存、T <sub>stg</sub>	-65	150	U

(1) 絶対最大定格を超えた動作は、デバイスに恒久的な損傷を与える可能性があります。絶対最大定格は、これらの条件において、または推奨動 作条件に示された値を超える他のいかなる条件でも、本製品が正しく動作することを暗に示すものではありません。「絶対最大定格」の範囲内で あっても「推奨動作条件」の範囲外で使用すると、デバイスが完全に機能しない可能性があり、デバイスの信頼性、機能、性能に影響を及ぼし、 デバイスの寿命を縮める可能性があります。

(2) パッケージの左側 (ピン1から4まで)から右側 (ピン5から8まで) への同相モード。

(3) 累積。

## 5.2 ESD 定格

			値	単位
V	热雨出雨	人体モデル (HBM)、ANSI/ESDA/JEDEC JS-001 準拠 <sup>(1)</sup>		V
♥(ESD) III 単単/X 电	<b>靜电</b> //X 电	デバイス帯電モデル (CDM)、ANSI/ESDA/JEDEC JS-002 準拠 <sup>(2)</sup>	±1000	V

(1) JEDEC のドキュメント JEP155 に、500V HBM では標準の ESD 管理プロセスで安全な製造が可能であると規定されています。

(2) JEDEC のドキュメント JEP157 に、250V CDM では標準の ESD 管理プロセスで安全な製造が可能であると規定されています。



### 5.3 推奨動作条件 -

動作時周辺温度範囲内(特に記述のない限り)

			最小値	公称值	最大値	単位
電源						
AVDD	ハイサイド電源	AVDD から AGND へ	3	5.0	5.5	V
DVDD	ローサイド電源	DVDD から DGND へ	2.7	3.3	5.5	V
アナログ入	, 力					
V <sub>Clipping</sub>	出力クリッピング前の差動入力電圧	$V_{IN} = V_{INP} - V_{INN}$		±64		mV
V <sub>FSR</sub>	線形差動入力電圧を規定	$V_{IN} = V_{INP} - V_{INN}$	-50		50	mV
V <sub>CM</sub>	動作時同相入力電圧	$({ m V_{INP}}$ + ${ m V_{INN}})$ / 2 $\sim$ AGND	-0.032		1	V
C <sub>IN, EXT</sub>	入力に接続された最小外部容量	INP から INN へ		10		nF
デジタルI	/0	· ·				
V <sub>IO</sub>	デジタル入出力電圧		0		DVDD	V
f <sub>CLKIN</sub>	入力クロック周波数		5	20	21	MHz
t <sub>HIGH</sub>	入力クロック high 時間		21.5	25	110	ns
t <sub>LOW</sub>	入力クロック low 時間		21.5	25	110	ns
絶縁バリア	•		-1		L	
V	100-11-11-11-11-11-11-11-11-11-11-11-11-	AC 電圧 (正弦波)			200	V <sub>RMS</sub>
VIOWM	機能的絶縁の動作電圧の	DC 電圧			280	V <sub>DC</sub>
温度範囲	•	· · · · · · · · · · · · · · · · · · ·			L	
T <sub>A</sub>	規定周囲温度		-40		125	°C

(1) パッケージの左側 (ピン1から4まで)から右側 (ピン5から8まで)への同相モード。



## 5.4 熱に関する情報 (DEN パッケージ)

	#ah 307 /ur: 甘* %#/(1)	DEN (VSON)	))4 A
	然許恤基理 <sup>(1)</sup>	8ピン	甲位
R <sub>0JA</sub>	接合部から周囲への熱抵抗	64.7	°C/W
$R_{\theta JC(top)}$	接合部からケース (上面) への熱抵抗	53.7	°C/W
$R_{\theta JB}$	接合部から基板への熱抵抗	29.6	°C/W
$\Psi_{JT}$	接合部から上面への特性パラメータ	10.1	°C/W
$\Psi_{JB}$	接合部から基板への特性パラメータ	29.4	°C/W
R <sub>0JC(bot)</sub>	接合部からケース (底面) への熱抵抗	23.4	°C/W

(1) 従来および最新の熱評価基準の詳細については、『半導体および IC パッケージの熱評価基準』アプリケーション ノートを参照してください。

### 5.5 パッケージ特性

	パラメータ	テスト条件	値	単位
DEN パッ	ケージ			
CLR	外部空間距離	空気中での最短のピン間距離	≧ 1	mm
CPG	外部沿面距離	パッケージ表面に沿った最短のピン間距離	≧ 1	mm
CTI	比較トラッキング インデックス	DIN EN 60112 (VDE 0303-11), IEC 60112	≧ 600	V
	材料グループ	IEC 60664-1 に準拠	l	
C <sub>IO</sub>	容量、入力から出力へ(1)	V <sub>IO</sub> = 0.5V <sub>PP</sub> (1MHz 時)	≅1.5	pF
R <sub>IO</sub>	抵抗、入力から出力へ(1)	$T_A = 25^{\circ}C$	> 10 <sup>12</sup>	Ω

(1) バリアのそれぞれの側にあるすべてのピンは互いに接続され、実質的に2ピンのデバイスになります。



### 5.6 電気的特性

最小値と最大値の仕様は、T<sub>A</sub> = -40°C ~ 125°C、AVDD = 3.0V ~ 5.5V、DVDD = 2.7V ~ 5.5V、V<sub>INP</sub> = -50mV ~ 50mV、V<sub>INN</sub> = 0V、sinc<sup>3</sup> フィルタ (OSR = 256) での値です (特に記述のない限り)。標準値の仕様は、T<sub>A</sub> = 25°C、CLKIN = 20MHz (50% のデュ ーティ サイクル)、AVDD = 5V、DVDD = 3.3V での値です。

	パラメータ	テスト条件	最小値	標準値	最大値	単位
アナログ入	л					
C <sub>IN</sub>	実効入力サンプリング容量			8		pF
RIN	入力インピーダンス	f <sub>CLK</sub> = 10MHz	10.5	12.5	14.5	kΩ
11N		f <sub>CLK</sub> = 20MHz	5.3	6.3	7.3	
	- 1. <del></del>	$V_{IN} = (V_{INP} - V_{INN}) = V_{FSR, MAX},$ $f_{CLK} = 10MHz$		4		
	八万电心	$V_{IN} = (V_{INP} - V_{INN}) = V_{FSR, MAX}$ $f_{CLK} = 20MHz$		8		μΛ
	1 上 武 法	$V_{IN} = (V_{INP} - V_{INN}) = V_{FSR, MAX}$ $f_{CLK} = 10MHz$		-4		
INN	入刀电流	$V_{IN} = (V_{INP} - V_{INN}) = V_{FSR, MAX}$ $f_{CLK} = 20MHz$		-8		μΑ
CMTI	同相電圧過渡耐性		150			kV/μs
DC 精度						
Eo	オフセット誤差	INP = INN = AGND, T <sub>A</sub> = 25°C	-200	10	200	μV
TCEO	オフセット誤差の温度ドリフト <sup>(3)</sup>		-1.2		1.2	µV/°C
E <sub>G</sub>	ゲイン誤差 <sup>(1)</sup>	T <sub>A</sub> = 25°C	-0.3%	±0.04%	0.3%	
TCE <sub>G</sub>	ゲイン誤差の温度ドリフト (4)		-50	±20	50	ppm/°C
INL	積分非直線性 (2)	分解能:16ビット	-6	±1	6	LSB
DNL	微分非直線性	分解能:16ビット	-0.99		0.99	LSB
	同相信号除去比	$\label{eq:INP} \begin{array}{l} INP = INN, \ f_{IN} = OHz, \\ V_{CM\ min} \leq V_{IN} \leq V_{CM\ max} \end{array}$		-99		dB
CIVILAR		$\label{eq:INP} \begin{array}{l} \text{INP = INN, } f_{\text{IN}} = 0.1 \text{Hz} \sim 10 \text{kHz}, \\ \text{V}_{\text{CM min}} \leq \text{V}_{\text{IN}} \leq \text{V}_{\text{CM max}} \end{array}$		-100		
DEDD	電源除去比	AVDD DC PSRR, INP = INN = AGND, AVDD = 3.0V $\sim$ 5.5V		-100		dB
FORK		AVDD AC PSRR、INP = INN = AGND、 AVDD に 10kHz / 100mV のリップル		-100		
AC 精度						
SNR	信号対雑音比	f <sub>IN</sub> = 1kHz		84		dB
SINAD	信号対雑音 + 歪み比	f <sub>IN</sub> = 1kHz		84		dB
THD	全高調波歪み <sup>(5)</sup>	$3.0V \le AVDD \le 5.5V \ f_{IN} = 1kHz \ 5MHz \le f_{CLKIN} \le 21MHz$		-103		dB
デジタル入	、力 (シュミット トリガ付き CMOS ロジッ	夕)				
l <sub>IN</sub>	入力電流	$DGND \le V_{IN} \le DVDD$	0		7	μΑ
C <sub>IN</sub>	入力容量			4		pF
VIH	High レベル入力電圧		0.7 × DVDD		DVDD + 0.3	V
VIL	Low レベル入力電圧		-0.3		0.3 × DVDD	V
デジタル出	力 (CMOS)					
C <sub>LOAD</sub>	出力負荷容量			15	30	pF
V <sub>OH</sub>	High レベル出力電圧	I <sub>OH</sub> = -4mA	DVDD - 0.4			V

資料に関するフィードバック(ご意見やお問い合わせ)を送信 7



## **5.6 電気的特性** (続き)

最小値と最大値の仕様は、T<sub>A</sub> = -40°C ~ 125°C、AVDD = 3.0V ~ 5.5V、DVDD = 2.7V ~ 5.5V、V<sub>INP</sub> = -50mV ~ 50mV、V<sub>INN</sub> = 0V、sinc<sup>3</sup> フィルタ (OSR = 256) での値です (特に記述のない限り)。標準値の仕様は、T<sub>A</sub> = 25°C、CLKIN = 20MHz (50% のデュ ーティサイクル)、AVDD = 5V、DVDD = 3.3V での値です。

	パラメータ	テスト条件	最小値	標準値	最大值	単位
V <sub>OL</sub>	Low レベル出力電圧	I <sub>OL</sub> = 4mA			0.4	V
電源						
I <sub>AVDD</sub>	ハイサイド電源電流			6.2	8.0	mA
I <sub>DVDD</sub>	ローサイド電源電流	C <sub>LOAD</sub> = 15pF		4.5	7.0	mA
	ハイサイド低電圧検出スレッショルド	AVDD 立ち上がり	2.4	2.6	2.8	V
AVDDUV		AVDD 立ち下がり	1.9	2.05	2.2	v
		DVDD 立ち上がり	2.3	2.5	2.7	V
	ローサイドの低電圧検出スレッショルド	DVDD 立ち下がり	1.9	2.05	2.2	

(1) このパラメータは入力換算です。

(2) 積分非線形性は、LSB の数、または指定された線形性を有する入力電圧範囲 FSR のパーセンテージとして表される、理想的な ADC 伝達関数の終点を通過する直線からの、最大偏移と定義されます。

(3) オフセット誤差温度ドリフトは、次の式で説明されるボックス法を使用して計算されます。 TCE<sub>0</sub> = (E<sub>0,MAX</sub> - E<sub>0,MIN</sub>) / TempRange、ここで、E<sub>0,MAX</sub> および E<sub>0,MIN</sub> は、温度範囲 (-40 ~ 125℃) で測定された最大および最小の E<sub>0</sub> 値を指します。

(4) ゲイン誤差の温度ドリフトは、次の式で記述されるボックス法を使用して計算されます。 TCE<sub>G</sub> (ppm) = ((E<sub>G,MAX</sub> - E<sub>G,MIN</sub>) / TempRange) x 10<sup>4</sup>、ここで、E<sub>G,MAX</sub> および E<sub>G,MIN</sub> は、温度範囲 (-40 ~ 125℃) で測定された最大および最小 E<sub>G</sub> 値 (%) を表します。

(5) THD は、最初の5つのより高い高調波の振幅のrms合計と、基本波の振幅との比です。



## 5.7 スイッチング特性

	パラメータ	テスト条件	最小值	標準値	最大値	単位
t <sub>H</sub>	CLKIN 立ち上がりエッジ後の DOUT ホールド時間	C <sub>LOAD</sub> = 15pF	12			ns
t <sub>D</sub>	CLKIN の立ち上がりエッジから DOUT 有効までの遅延	C <sub>LOAD</sub> = 15pF			30	ns
+	r DOUT の立ち上がり時間	10% $\sim$ 90%, 2.7V $\leq$ DVDD $\leq$ 3.6V, C <sub>LOAD</sub> = 15pF		2.5	6	ns
t <sub>r</sub>		10% $\sim$ 90%, 4.5V $\leq$ DVDD $\leq$ 5.5V, C <sub>LOAD</sub> = 15pF		3.2	6	
+	DOLIT のまた 下がい時間	10% $\sim$ 90%, 2.7V $\leq$ DVDD $\leq$ 3.6V, C <sub>LOAD</sub> = 15pF		2.2	6	50
Lf	DOUTの立ら下かり时间	10% $\sim$ 90%, 4.5V $\leq$ DVDD $\leq$ 5.5V, C <sub>LOAD</sub> = 15pF		2.9	6	115
t <sub>START</sub>	デバイスの起動時間	AVDD ≥ 2.7V からビットス トリームが有効、0.1% セトリ ングで、AVDD が 0 から 3.0V までのステップ		100		μs

## 5.8 タイミング図



## 図 5-2. デバイスの起動時間



#### 5.9 代表的特性

AVDD = 5V、DVDD = 3.3V、 $V_{INP}$  = -50mV ~ +50mV、INN = AGND、 $f_{CLKIN}$  = 20MHz (50% のデューティサイクル)、sinc<sup>3</sup> フィル タ (OSR = 256) での特性評価 (特に記述のない限り)。



Copyright © 2025 Texas Instruments Incorporated



AVDD = 5V、DVDD = 3.3V、 $V_{INP}$  = -50mV ~ +50mV、INN = AGND、 $f_{CLKIN}$  = 20MHz (50% のデューティ サイクル)、sinc<sup>3</sup> フィル タ (OSR = 256) での特性評価 (特に記述のない限り)。





AVDD = 5V、DVDD = 3.3V、 $V_{INP}$  = -50mV ~ +50mV、INN = AGND、 $f_{CLKIN}$  = 20MHz (50% のデューティ サイクル)、sinc<sup>3</sup> フィル タ (OSR = 256) での特性評価 (特に記述のない限り)。





AVDD = 5V、DVDD = 3.3V、V<sub>INP</sub> = -50mV ~ +50mV、INN = AGND、f<sub>CLKIN</sub> = 20MHz (50% のデューティ サイクル)、sinc<sup>3</sup> フィル タ (OSR = 256) での特性評価 (特に記述のない限り)。





AVDD = 5V、DVDD = 3.3V、 $V_{INP}$  = -50mV ~ +50mV、INN = AGND、 $f_{CLKIN}$  = 20MHz (50% のデューティ サイクル)、sinc<sup>3</sup> フィル タ (OSR = 256) での特性評価 (特に記述のない限り)。





AVDD = 5V、DVDD = 3.3V、 $V_{INP}$  = -50mV ~ +50mV、INN = AGND、 $f_{CLKIN}$  = 20MHz (50% のデューティ サイクル)、sinc<sup>3</sup> フィル タ (OSR = 256) での特性評価 (特に記述のない限り)。



資料に関するフィードバック(ご意見やお問い合わせ)を送信 15



### 6 詳細説明

#### 6.1 概要

AMC0106M05 は、AC 信号の高分解能 A/D 変換用に設計された、シングル チャネル、2 次、CMOS、デルタ シグマ (ΔΣ) 変調器です。AMC0106M05 の差動アナログ入力は、スイッチト コンデンサ回路を使用して実装されています。コン バータの絶縁型出力 (DOUT) は、CLKIN ピンに印加される外部クロックに同期して、デジタル 1 および 0 のストリームを 供給します。このシリアル出力の時間平均は、アナログ入力電圧に比例します。

変調器は、量子化ノイズを高周波数にシフトします。このため、全体的な性能を高めるために、デバイスの出力で sinc フ ィルタなどのデジタル ローパス フィルタを使用します。このフィルタは、高いサンプリング レートの 1 ビット データ ストリー ムを、より低いレートでビット数の多いデータ ワードに変換します(間引き)。フィルターを実装するには、マイクロコントロー ラ (µC) またはフィールド プログラム可能ゲート アレイ (FPGA) を使用します。

全体的な性能 (速度と分解能) は、適切なオーバー サンプリング比 (OSR) とフィルタ タイプの選択によって異なります。 OSR が高いほど分解能が高くなり、低いリフレッシュ レートで動作します。 OSR が低いほど分解能は低くなりますが、デ ータのリフレッシュ レートは高くなります。複数のフィルタを並行して実行できます。 たとえば、高速過電流検出用の低 OSR フィルタや、高分解能の電流測定用の高 OSR フィルタが挙げられます。

二酸化シリコン (SiO<sub>2</sub>) ベースの容量性絶縁バリアは、高レベルの磁場耐性をサポートします。 **パSO72x** デジタル アイソ レータの磁界耐性 アプリケーション ノート を参照してください。AMC0106M05 はオン / オフ キーイング (OOK) 変調を 使用して、絶縁バリアをまたぐデータを送信します。この変調および絶縁バリアの特性から、ノイズの多い環境における高 い信頼性と、高い同相過渡耐性が得られます。

#### 6.2 機能ブロック図





#### 6.3 機能説明

#### 6.3.1 アナログ入力

図 6-1 に示すように、AMC0106M05 の入力は、20MHz において 6.25kΩ の動的入力インピーダンスを持つ完全差動 スイッチト コンデンサ回路です。

サンプリング コンデンサは、 $f_{CLK}$ の周波数で連続的に充放電されます。S1 スイッチが閉になると、 $C_{IND}$ は  $V_{INP}$ と  $V_{INN}$ の間の電圧差まで充電されます。放電フェーズでは、両方の S1 スイッチが最初に開き、次に両方の S2 スイッチが閉じます。このフェーズの間、 $C_{IND}$ はおよび AGND + 0.8V の値となるまで放電されます。



#### 図 6-1. 等価入力回路

アナログ入力範囲は、電流センシングに使用されるシャント抵抗の両端での電圧ドロップに直接適合するようカスタマイズ されます。アナログ入力信号(INP および INN)には 2 つの制限があります。まず、入力電圧が 絶対最大定格 の表に規 定された入力範囲を超える場合は、静電放電 (ESD)保護がオンになるため、入力電流を絶対最大値に制限します。次 に、デバイスの直線性およびノイズ性能は、差動アナログ入力電圧が指定された V<sub>FSR</sub> および V<sub>CM</sub> の範囲内に維持され る場合にのみ規定されます。V<sub>FSR</sub> は線形フルスケール範囲、V<sub>CM</sub> は入力同相電圧範囲です。



#### 6.3.2 *変調器*

図 6-2 は、AMC0106M05 に実装されている 2 次スイッチトコンデンサ、フィードフォワード  $\Delta\Sigma$  変調器の概念を解説しま す。1 ビットの D/A コンバータ (DAC) の出力 V<sub>5</sub> が、入力電圧 V<sub>IN</sub> = (V<sub>INP</sub> – V<sub>INN</sub>) から減算されます。この減算により、 最初の積分器段の入力にアナログ電圧 V<sub>1</sub> が供給されます。最初の積分器の出力は、2 番目の積分器段の入力に供給 されます。結果は、出力電圧 V<sub>3</sub> で、これが V<sub>IN</sub> および最初の積分器の出力 V<sub>2</sub> と加算されます。その結果生成される電 圧 V<sub>4</sub> の極性に応じて、コンパレータの出力が変化します。この場合、1 ビット DAC は、次のクロック パルスで、関連する アナログ出力電圧 V<sub>5</sub> を変更することで応答します。そのため、積分器は逆方向へ進行し、積分器の出力値は強制的に 入力の平均値をトラッキングします。



図 6-2.2 次変調器のブロック図

オフセットおよびオフセットのドリフトを低減するため、積分器はチョッピング周波数を f<sub>CLKIN</sub>/16 に設定してチョッパ安定化されます。20MHz の変調器クロックのチョッピング周波数によって生成される 1.25MHz のスプリアスを、図 6-3 に示します。



sinc<sup>3</sup>  $\mathcal{I}$   $\mathcal{I}$ 

図 6-3. 量子化ノイズ成形



#### 6.3.3 絶縁チャネルの信号伝送

AMC0106M05 は、オン/オフ キーイング (OOK) 変調方式を使用して、変調器の出力ビット ストリームを、SiO<sub>2</sub> ベースの 絶縁バリア越しに送信します。 機能ブロック図 に示す送信ドライバ (TX) は、内部で生成された高周波キャリアを絶縁バリ ア越しに送信し、デジタル 1 を表現します。 ただし、TX はデジタル 0 を表す信号を送信しません。 AMC0106M05 で使用されるキャリアの公称周波数は 480MHz です。

オン/オフキーイング方式の概念を、図 6-4 に示します。



図 6-4. OOK ベースの変調方式

#### 6.3.4 デジタル出力

OV の差動入力信号は、理想的には時間の 50% が "High" である 1 と 0 のストリームを生成します。50mV の差動入力 は、理想的には時間の 89.06% が "High" である 1 と 0 のストリームを生成します。分解能が 16 ビットであるため、このパ ーセンテージは理想的にはコード 58368 に対応します。50mV の差動入力は、理想的には時間のうち 10.94% が "High" である 1 と 0 のストリームを生成します。分解能が 16 ビットであるため、このパーセンテージは理想的にはコード 7168 に対応します。これらの入力電圧は、AMC0106M05 と規定された線形範囲でもあります。入力電圧の値がこの範 囲を超えた場合、変調器の出力には非線形の動作が見られるようになり、量子化ノイズが増大します。変調器の出力は、 64mV 以下の入力でゼロの固定ストリーム、または 64mV 以上の入力で 1 の一定ストリームでクリッピングされます。ただ しこの場合、AMC0106M05 は 128 クロック サイクルごとに 1 または 0 を生成し、デバイスが正しく機能していることを示 します。入力が負のフルスケールにある場合、1 つの 1 が生成され、入力が正のフルスケールにある場合には 0 が生成 されます。詳細については、「 フルスケール入力の場合の出力動作」セクションを参照してください。入力電圧と、変調器 の出力信号との関係を、図 6-5 に示します。



図 6-5. 変調器出力とアナログ入力の関係

出力ビットストリームの1の密度は、任意の入力電圧 (V<sub>IN</sub> = V<sub>INP</sub> – V<sub>INN</sub>)の値に対して式1を使用して計算されます。 フルスケール入力の場合の出力動作のセクションで説明しているとおり、フルスケール入力信号を除きます。

 $\rho = \frac{V_{IN} + V_{Clipping}}{2 \times V_{Clipping}}$ 

(1)

#### 6.3.4.1 フルスケール入力の場合の出力動作

AMC0106M05 にフルスケール入力信号が印加された場合、デバイスは DOUT の 128 ビットごとに 1 または 0 を生成します。このプロセスのタイミング図を、図 6-6 に示します。検出される信号の実際の極性に応じて、単一の 1 または 0 が生



成されます。フルスケール信号は、|V<sub>IN</sub>| ≥ |V<sub>Clipping</sub>| の場合に定義されます。この方法により、AVDD が消失した状態と、フルスケール入力信号の状態とを、システムレベルで区別できます。



図 6-6. AMC0106M05 のフルスケール出力

#### 6.3.4.2 ハイサイド電源が消失した場合の出力動作

図 6-7 に示すように、ハイサイド電源がなければ、デバイスは出力にロジック 0 の一定のビットストリームを提供します。ハイサイド電源が喪失すると、DOUT は永続的に "Low" になります。128 のクロック パルスごとに 1 が生成されるわけではなく、この状況が有効な負のフルスケール入力と区別されます。この機能は、基板上のハイサイド電源の問題を識別するのに役立ちます。



図 6-7. ハイサイド電源が消失した場合の AMC0106M05 の出力

### 6.4 デバイスの機能モード

AMC0106M05 は、次の状態のいずれかで動作します。

- OFF 状態:デバイスのローサイド (AVDD) には電源が供給されません。デバイスは応答せず、DOUT はハイインピー ダンス状態です。内部では、DOUT は ESD 保護ダイオードによって DVDD および DGND にクランプされます。
- ハイサイド電源喪失: DVDD は 推奨動作条件内で供給されますが、 V<sub>AVDD</sub> は AVDD<sub>UV</sub> スレッショルドよりも低くなっています。このデバイスは、ハイサイド電源が消失した場合の出力動作のセクションで説明されているように、ロジック0の一定のビットストリームを出力します。
- 同相モード入力違反: AVDD および DVDD はそれぞれの推奨動作条件の範囲内で供給されます。ただし、同相入 力電圧 V<sub>CM</sub> = (V<sub>INP</sub> + V<sub>INN</sub>) / 2 は推奨動作条件の範囲外です。デバイスは、差動入力電圧 V<sub>IN</sub> にかかわらず、無 効なデータを出力します。
- ・ 差動入力電圧範囲違反 (フルスケール入力):  $V_{AVDD}$ 、 $V_{DVDD}$ 、 $V_{CM}$  は推奨動作条件内です。ただし、差動入力電圧  $V_{IN} = (V_{INP} V_{INN})$  はクリッピング電圧 ( $|V_{IN}| > |V_{Clipping}|$ )を超えます。このデバイスは、ハイサイド電源が消失した 場合の出力動作のセクションで説明されているように、固定パターンを出力します。
- 通常動作の場合: V<sub>AVDD</sub>、 V<sub>DVDD</sub>、 V<sub>CM</sub>、 V<sub>IN</sub> は推奨動作条件内です。このデバイスは、 デジタル出力のセクションで 説明されているように、デジタルビットストリームを出力します。

動作条件	V <sub>DVDD</sub>	V <sub>AVDD</sub>	V <sub>CM</sub> (V <sub>INP</sub> + V <sub>INN</sub> ) / 2	V <sub>IN</sub> (V <sub>INP</sub> – V <sub>INN</sub> )	デバイス の応答					
OFF	V <sub>DVDD</sub> < DVDD <sub>UV</sub>	未使用	未使用	未使用	DOUT はハイインピーダンス状態。 DOUT は ESD 保護ダイオードによっ て DVDD および DGND にクランプさ れます。					
ハイサイド電源喪失	有効 <sup>(1)</sup>	V <sub>AVDD</sub> < AVDD <sub>UV</sub>	未使用	未使用	DOUT は常時 "Low" です					
同相入力電圧範囲違反	有効 <sup>(1)</sup>	有効 <sup>(1)</sup>	V <sub>CM</sub> < V <sub>CM, MIN</sub> または V <sub>CM</sub> > V <sub>CM, MAX</sub>	未使用	デバイスは無効なデータを出力					
差動入力電圧範囲違反	有効 <sup>(1)</sup>	有効 <sup>(1)</sup>	有効 <sup>(1)</sup>	V <sub>IN</sub>   > V <sub>Clipping</sub>	デバイスは 128 クロック サイクルごと に 1 つの 1 または 1 つの 0 を出力					
通常動作	有効 <sup>(1)</sup>	有効 <sup>(1)</sup>	有効 <sup>(1)</sup>	有効 <sup>(1)</sup>	通常動作					

表 6-1. デバイスの動作モード

(1) 「有効」は、推奨動作条件の範囲内にあることを示します。



## 7 アプリケーションと実装

注

以下のアプリケーション情報は、テキサス・インスツルメンツの製品仕様に含まれるものではなく、テキサス・イン スツルメンツはその正確性も完全性も保証いたしません。個々の目的に対する製品の適合性については、お 客様の責任で判断していただくことになります。また、お客様は自身の設計実装を検証しテストすることで、シ ステムの機能を確認する必要があります。

## 7.1 アプリケーション情報

絶縁型変調器は、安全上の理由または機能的な理由により、高電圧ドメインが低電圧ドメインから電気的に絶縁されているアプリケーションで広く使用されています。代表的なアプリケーションは、周波数インバータにおける相電流のセンシングです。

## 7.2 代表的なアプリケーション

図 7-1 に、AMC0106M05 を使用して モーター電流を検出するフルブリッジ モータードライブの概略回路図を示しま す。外付けのシャント抵抗 RSHUNT を流れる電流が電圧降下を発生させ、これが、AMC0106M05 によって検出されま す。AMC0106M05 は、ハイサイドでのアナログ入力信号をデジタル化し、絶縁バリアを経由してローサイドにデータを転 送します。次に、デバイスは、CLKIN ピンに印加されたクロックに同期したデジタル ビット ストリームを DOUT ピンに出力 します。デジタル ビット ストリームは、マイクロ制御ユニット (MCU) または FPGA 内のローパス デジタル フィルタによって 処理されます。

このアプリケーションでの 48V DC リンク電圧は、AMC0136 絶縁型変調器によって検出されます。



## 図 7-1. フルブリッジ 48V モーター ドライバの設計での AMC0106M05 を使用した電流センシング



ハイサイド電源 (AVDD) は、ブートストラップ回路 (R4、D1、C2) から生成されます。ローサイド電源は、信号ドメインの回路と共有されます。受信側のシグナル インテグリティを向上させるために、ライン終端にはオプションの 49.9Ω 抵抗を DOUT ピンに使用します

ガルバニック絶縁バリアと優れた同相過渡耐性 (CMTI) を備えた AMC0106M05 を使うと、ノイズの多い環境でも信頼性 と精度の高い動作を実現できます。

#### 7.2.1 設計要件

表 7-1 に、この代表的なアプリケーションのパラメータを一覧します。

表 7-1. 設計要件

パラメータ	值
システム電圧、電力段	48V
ブートストラップ電源電圧 (V <sub>BS</sub> )	6V
AVDD 電源の最大リップル電圧 (V <sub>RIPPLE</sub> )	200mV
PWM 周波数	16kHz
PWM デューティ サイクル範囲	5%~95%
リニア電流検出範囲	±25A

#### 7.2.2 詳細な設計手順

図 7-1 では、ハイサイド電源 (AVDD) はブートストラップ回路 (R4、D1、C2) から生成されます。

ハイサイドのグランド リファレンス (AGND) は、AMC0106M05 の負の入力 (INN) に接続されているシャント抵抗の片端 から派生されます。4 端子のシャントの場合、デバイス入力をシャントの内部リードに接続し、AGND を外部リードに接続し ます。オフセットを最小化し、精度を向上させるには、グランド接続を個別のパターンとして配線します。AGND は、本デ バイスの入力で AGND を INN に短絡させるのではなく、シャント抵抗に直接接続します。詳細については、「レイアウト」 セクションを参照してください。

#### 7.2.2.1 シャント抵抗の決定

シャント抵抗 (RSHUNT) の値は、デバイスの線形入力電圧範囲 (±50mV) と、必要な線形電流センシング範囲である ±25A によって決定されます。RSHUNT は 50mV / 25A = 2mΩ として計算されます。シャント抵抗で消費されるピーク電 力は、RSHUNT ×  $I_{PEAK}^2 = 2m\Omega × (25A)^2 = 1.25W$ です。線形応答を得るには、定格電力の 2/3 を超えないようにシ ャント抵抗を動作させます。そのため、公称電力定格が約 1.8W のシャント抵抗を選択します。

システムで AMC0106M05 の線形入力電圧範囲を超える過渡的な過電流が予想される場合は、より低いシャント抵抗の 値を選択します。ただし、過電流範囲に対して線形性の低下と分解能の低下を許容できる場合は、シャントの両端での電 圧降下は、AMC0106M05 のクリッピング電圧まで、線形入力電圧範囲を超えることが可能です。どのような場合でも、最 大過電流により発生する電圧降下は、クリッピング出力を起こす入力電圧を超えてはいけません。つまり、|V<sub>SHUNT</sub>| ≤ | V<sub>Clipping</sub>|となることを徹底してください。



#### 7.2.2.2 入力フィルタの設計

絶縁型変調器の前に差動 RC フィルタ (R1、R2、C5) を配置し、信号路の信号対雑音比性能を向上させます。ΔΣ 変調器のサンプリング周波数に近い周波数 (通常は 20MHz) の入力ノイズは、変調器によって低周波数の範囲にフォールドバックされます。入力における RC フィルタの目的は、高周波ノイズを測定に必要なノイズ レベルを下回るように減衰させることです。入力フィルタは次のように設計します。

- フィルタ容量 (C5) は最小 10nF
- ・ フィルタのカットオフ周波数は、ΔΣ変調器のサンプリング周波数 (f<sub>CLKIN</sub>)より1 桁以上低い値
- ・ 動的入力バイアス電流では、入力フィルタの DC インピーダンス (R1、R2) の両端で大きな電圧降下は発生しない
- アナログ入力から測定されたインピーダンスは等しい (R1 = R2)

コンデンサ C6 および C7 はオプションであり、高周波数 (>1MHz) での同相除去を改善します。最高の性能を得るに は、C6 が C7 の値と一致し、両方のコンデンサの容量が C5 の 10 ~ 20 分の 1 となるようにします。 NP0 タイプのコン デンサは温度ドリフトと電圧係数が低く、同相モード フィルタリングに適しています。 ほとんどのアプリケーションでは、図 7-2 に示す構造により優れた性能を実現します。



図 7-2. 入力フィルタ

#### 7.2.2.3 ビットストリーム フィルタリング

変調器は、デジタル フィルタによって処理されたビットストリームを生成し、従来型の A/D コンバータ (ADC) の変換結果 と同じようなデジタル ワードを生成します。式 2 に sinc<sup>3</sup> タイプのフィルタを示します。このフィルタは、最小限の労力とハ ードウェアで構築される、非常にシンプルなフィルタです。

$$H(z) = \left(\frac{1 - z^{-OSR}}{1 - z^{-1}}\right)^3$$

(2)

このフィルタは 2 次変調器用に、最も小さなハードウェア(デジタル ゲート数)で、最良の出力性能が得られます。このドキ ュメントに記載されているすべての特性は、オーバーサンプリングレート (OSR) が 256 の sinc<sup>3</sup> フィルタおよび、16 ビット の出力ワード幅で測定されたものです。

『ADS1202 と FPGA デジタル フィルタとの組み合わせによるモーター制御アプリケーションでの電流測定』アプリケーション ノートでは、サンプル コードについて説明されています。 FPGA に sinc<sup>3</sup> フィルタを実装するには、このサンプル コードを使用します。 このアプリケーション ノートは、www.ti.com からダウンロードできます。

変調器の出力するビットストリームのフィルタ処理には、テキサス インスツルメンツの C2000 または Sitara マイコン ファミ リのデバイスを使用します。これらのファミリは、チャネルごとに2つのフィルタ処理パスを提供することで、システム レベル の設計を大幅に簡素化する、マルチチャネルの専用ハードワイヤードフィルタ構造をサポートしています1つのパスは制 御ループの高精度結果をもたらし、もう1つのパスは過電流検出の高速応答パスです。

デルタシグマ変調器のフィルタ計算機は、www.ti.com からダウンロードできます。これは、フィルタ設計および正しい OSR とフィルタ次数の選択に役立ちます。この計算機は、目的の出力分解能とフィルタ応答時間を実現するのに役立ちます。



#### 7.2.2.4 ブートストラップ電源の設計

ブートストラップ コンデンサ (C2、図 7-1) は、左側ハーフ ブリッジのローサイド FET の PWM オン時間中に充電されま す。PWM オフ時間中は、C2 はスイッチ ピンの電圧とともに立ち上がり、AMC0106M05 電源として機能します。R4 は充 電フェーズ中の電流制限抵抗として機能します。D1 は、放電フェーズ中に逆電流がブートストラップ電源に逆流すること を防止します。

PWM オン時間中に C2 に充電される電圧は、ブートストラップ電源および電流制限抵抗 R2 の値に依存します。さらに、 この電圧は PWM デューティ サイクルおよびダイオード D1 の順方向電圧 (V<sub>F、D1</sub>) に依存します。

PWM オフ時間中に C2 から放電される電圧は、D1 の逆回復時間に依存します。また、この電圧は PWM デューティサ イクルおよび AMC0106M05 の消費電流 (I<sub>AVDD</sub>) に依存します。スイッチング損失を最小限に抑えるには、順方向電流 能力の高い高速スイッチング ダイオードを選択します。

最大 PWM オフ時間の間に最大  $I_{AVDD}$  電流をサポートできるように、C2 のサイズを設定してください。この時間中は、C2 が AVDD の最小推奨電圧である 3V を下回るまで放電しないようにしてください。容量値が小さいほど充電を高速化でき るため、より低い PWM デューティ サイクルがサポートされます。ただし、値が小さいと、生成される電圧リップルが大きくな り、最大 PWM オフ時間が制限されます。この例では、リップル電圧 (V<sub>RIPPLE</sub>) が 200mV 未満となることを目標としています。最大 PWM オフ時間は 95% × (1 /  $f_{PWM}$ ) = 0.95 × 62.5µs であり、これは約 60µs です。 $I_{AVDD, MAX}$  は 8.8mA に 規定されています。最小容量値は C<sub>2, MIN</sub> =  $I_{AVDD, MAX}$  ×  $t_{PWM-OFF, MAX}$  /  $V_{RIPPLE}$  = 8.8mA × 60µs / 200mV = 2.6µF として計算されます。部品の許容差を考慮して、設計にマージンを追加できるように 4.7µF のコンデンサを選択しています。

ブートストラップ回路が、5% × (1 /  $f_{PWM}$ ) = 0.05 × 62.5µs、または約 3.1µs の最小 PWM オン時間内に C2 の再充電を サポートしていることを確認します。この間の平均充電電流は、C2 × V<sub>RIPPLE</sub> /  $t_{PWM-ON, MIN}$  = 4.7µF × 200mV / 3.1µs であり、約 300mA です。この電流は、ダイオード D1 がサポートする必要のある最小順方向電流です。ダイオード D1 お よび電流制限抵抗 R4 の両端に許容される最大電圧降下は、コンデンサ電圧の最小値と V<sub>BS</sub> の値によって決定されま す。コンデンサの最小電圧は 3V で、AVDD<sub>MIN</sub> に相当します。V<sub>BS</sub> はブートストラップ電源電圧であり、6V です。1V の ダイオード順方向電圧を使用することが前提です。R4 が(V<sub>BS</sub> – V<sub>F, D1</sub> – V<sub>C2, MIN</sub>) / I<sub>CHARGE</sub> = (6V – 1V – 3V) / 300mA = 6Ω 未満であることを確認します。2Ω の抵抗を選択すると、設計にマージンが得られます。



## 7.2.3 *アプリケーション曲線*

多くの場合、ADC と ΔΣ 変調器の性能を比較するには、実効ビット数(ENOB)が使用されます。各種のオーバーサンプリング率における AMC0106M05 の ENOB を、図 7-3 に示します。



図 7-3. 測定された実効ビット数とオーバー サンプリング率との関係

## 7.3 設計のベスト プラクティス

デバイスの入力に(INP から INN へ) 10nF 以上のコンデンサを配置します。このコンデンサは、スイッチトコンデンサの入力段のサンプリング期間中に入力での電圧ドループを防止するのに役立ちます。

AMC0106M05 デバイスが電力供給されている場合、入力を無接続 (フローティング) のままにはしないでください。変調 器入力のいずれかがフローティングのままになっている場合、出力のビット ストリームは有効ではありません。

ハイサイド グランド (AGND) を INN に、ハード短絡または抵抗性パスを介して接続します。入力同相電圧を定義するに は、INN と AGND の間に DC 電流パスが必要です。 <u>推奨動作条件</u>の表に指定されているように、入力同相範囲を超え ないようにします。最高の精度を得るには、センス抵抗に直接接続する個別のパターンとして、グランド接続を配線しま す。デバイスの入力で AGND を INN には直接短絡しないでください。詳細については、「*レイアウト*」セクションを参照し てください。



#### 7.4 電源に関する推奨事項

AMC0106M05 は、特定のパワーアップ シーケンスを必要としません。ハイサイド電源 (AVDD) は、低 ESR の 1 $\mu$ F コン デンサ (C2) と並列接続された低 ESR の 100nF コンデンサ (C1) でデカップリングされます。ローサイド電源 (DVDD) は、低 ESR の 1 $\mu$ F コンデンサ (C4) と並列接続された低 ESR の 100nF コンデンサ (C3) で同様にデカップリングされ ます。4 つのコンデンサ (C1、C2、C3、C4) はすべてデバイスのできるだけ近くに配置します。図 7-4 に、AMC0106M05 のデカップリング図を示します。



図 7-4. AMC0106M05 のデカップリング

アプリケーションで発生する DC バイアス条件の下で、コンデンサは十分な実効容量を保つ必要があります。マルチレイ ヤ セラミック コンデンサ (MLCC) は通常、実際の使用条件下における容量は、公称容量よりはるかに小さい値となりま す。これらのコンデンサを選択する際は、この要素を考慮してください。この問題は、背の高い部品よりも絶縁体電界強度 が高くなる薄型コンデンサで特に深刻です。信頼できるコンデンサメーカーは、部品選択を非常に簡単にする容量対 DC バイアス曲線を提供しています。

## 7.5 レイアウト

## 7.5.1 レイアウトのガイドライン

レイアウト例のセクションでは、デカップリング コンデンサの重要な配置 (AMC0106M05 の電源ピンにできるだけ近い場所) に関するレイアウトの推奨事項について詳しく説明します。このセクションでは、デバイスに必要な他の部品の配置も示しています。最高の性能を得るため、センス抵抗はデバイスの入力ピン (INN および INP) の近くに配置します。

#### 7.5.2 *レイアウト例*



図 7-5. AMC0106M05 の推奨レイアウト

Copyright © 2025 Texas Instruments Incorporated



## 8 デバイスおよびドキュメントのサポート

## 8.1 ドキュメントのサポート

#### 8.1.1 **関連資料**

関連資料については、以下を参照してください。

- テキサス インスツルメンツ、『絶縁の用語集』アプリケーション ノート
- テキサス インスツルメンツ、『半導体および IC パッケージの熱評価基準』アプリケーション ノート
- テキサス インスツルメンツ、『SO72x デジタル アイソレータの磁界耐性』 アプリケーション ノート
- テキサスインスツルメンツ、『ADS1202 とFPGA デジタル フィルタとの組み合わせによるモータ制御アプリケーション での電流測定』アプリケーションノート
- テキサス インスツルメンツ、デルタ シグマ変調フィルタ カリキュレータ設計ツール

## 8.2 ドキュメントの更新通知を受け取る方法

ドキュメントの更新についての通知を受け取るには、www.tij.co.jpのデバイス製品フォルダを開いてください。[通知]をクリックして登録すると、変更されたすべての製品情報に関するダイジェストを毎週受け取ることができます。変更の詳細については、改訂されたドキュメントに含まれている改訂履歴をご覧ください。

## 8.3 サポート・リソース

テキサス・インスツルメンツ E2E<sup>™</sup> サポート・フォーラムは、エンジニアが検証済みの回答と設計に関するヒントをエキスパートから迅速かつ直接得ることができる場所です。既存の回答を検索したり、独自の質問をしたりすることで、設計で必要な支援を迅速に得ることができます。

リンクされているコンテンツは、各寄稿者により「現状のまま」提供されるものです。これらはテキサス・インスツルメンツの仕様を構成するものではなく、必ずしもテキサス・インスツルメンツの見解を反映したものではありません。テキサス・インスツ ルメンツの使用条件を参照してください。

#### 8.4 商標

テキサス・インスツルメンツ E2E<sup>™</sup> is a trademark of Texas Instruments. すべての商標は、それぞれの所有者に帰属します。

#### 8.5 静電気放電に関する注意事項



この IC は、ESD によって破損する可能性があります。テキサス・インスツルメンツは、IC を取り扱う際には常に適切な注意を払うことを推奨します。正しい取り扱いおよび設置手順に従わない場合、デバイスを破損するおそれがあります。

ESD による破損は、わずかな性能低下からデバイスの完全な故障まで多岐にわたります。精密な IC の場合、パラメータがわずか に変化するだけで公表されている仕様から外れる可能性があるため、破損が発生しやすくなっています。

#### 8.6 用語集

テキサス・インスツルメンツ用語集 この用語集には、用語や略語の一覧および定義が記載されています。

#### 9 改訂履歴

資料番号末尾の英字は改訂を表しています。その改訂履歴は英語版に準じています。

# Changes from AUGUST 2, 2024 to JUNE 10, 2025 (from Revision \* (August 2024) to Revision A (June 2025))

ドキュメントのステータスを「事前情報」から「量産データ」に変更 ......1

Page



## 10 メカニカル、パッケージ、および注文情報

以降のページには、メカニカル、パッケージ、および注文に関する情報が記載されています。この情報は、指定のデバイスに使用できる最新のデータです。このデータは、予告なく、このドキュメントを改訂せずに変更される場合があります。本データシートのブラウザ版を使用されている場合は、画面左側の説明をご覧ください。

### 重要なお知らせと免責事項

テキサス・インスツルメンツは、技術データと信頼性データ(データシートを含みます)、設計リソース(リファレンスデザインを含みます)、アプリケーショ ンや設計に関する各種アドバイス、Webツール、安全性情報、その他のリソースを、欠陥が存在する可能性のある「現状のまま」提供しており、商品性 および特定目的に対する適合性の黙示保証、第三者の知的財産権の非侵害保証を含むいかなる保証も、明示的または黙示的にかかわらず拒否しま す。

これらのリソースは、テキサス・インスツルメンツ製品を使用する設計の経験を積んだ開発者への提供を意図したものです。(1) お客様のアプリケーションに適した テキサス・インスツルメンツ製品の選定、(2) お客様のアプリケーションの設計、検証、試験、(3) お客様のアプリケーションに該当する各種 規格や、その他のあらゆる安全性、セキュリティ、規制、または他の要件への確実な適合に関する責任を、お客様のみが単独で負うものとします。

上記の各種リソースは、予告なく変更される可能性があります。これらのリソースは、リソースで説明されているテキサス・インスツルメンツ製品を使用するアプリケーションの開発の目的でのみ、テキサス・インスツルメンツはその使用をお客様に許諾します。これらのリソースに関して、他の目的で複製することや掲載することは禁止されています。テキサス・インスツルメンツや第三者の知的財産権のライセンスが付与されている訳ではありません。お客様は、これらのリソースを自身で使用した結果発生するあらゆる申し立て、損害、費用、損失、責任について、テキサス・インスツルメンツおよびその代理人を完全に補償するものとし、テキサス・インスツルメンツは一切の責任を拒否します。

テキサス・インスツルメンツの製品は、テキサス・インスツルメンツの販売条件、または ti.com やかかる テキサス・インスツルメンツ製品の関連資料などのいずれかを通じて提供する適用可能な条項の下で提供されています。テキサス・インスツルメンツがこれらのリソースを提供することは、適用されるテキサス・インスツルメンツの保証または他の保証の放棄の拡大や変更を意味するものではありません。

お客様がいかなる追加条項または代替条項を提案した場合でも、テキサス・インスツルメンツはそれらに異議を唱え、拒否します。

郵送先住所: Texas Instruments, Post Office Box 655303, Dallas, Texas 75265 Copyright © 2025, Texas Instruments Incorporated



#### **PACKAGING INFORMATION**

Orderable part number	Status	Material type	Package   Pins	Package qty   Carrier	RoHS	Lead finish/	MSL rating/	Op temp (°C)	Part marking
	(1)	(2)			(3)	Ball material	Peak reflow		(6)
						(4)	(5)		
AMC0106M05DENR	Active	Production	VSON (DEN)   8	5000   LARGE T&R	Yes	NIPDAU	Level-2-260C-1 YEAR	-40 to 125	0106M5
PAMC0106M05DENR	Active	Preproduction	VSON (DEN)   8	5000   LARGE T&R	-	Call TI	Call TI	-40 to 125	
PAMC0106M05DENR.A	Active	Preproduction	VSON (DEN)   8	5000   LARGE T&R	-	Call TI	Call TI	-40 to 125	
PAMC0106M05DENR.B	Active	Preproduction	VSON (DEN)   8	5000   LARGE T&R	-	Call TI	Call TI	-40 to 125	

<sup>(1)</sup> **Status:** For more details on status, see our product life cycle.

<sup>(2)</sup> Material type: When designated, preproduction parts are prototypes/experimental devices, and are not yet approved or released for full production. Testing and final process, including without limitation quality assurance, reliability performance testing, and/or process qualification, may not yet be complete, and this item is subject to further changes or possible discontinuation. If available for ordering, purchases will be subject to an additional waiver at checkout, and are intended for early internal evaluation purposes only. These items are sold without warranties of any kind.

<sup>(3)</sup> RoHS values: Yes, No, RoHS Exempt. See the TI RoHS Statement for additional information and value definition.

<sup>(4)</sup> Lead finish/Ball material: Parts may have multiple material finish options. Finish options are separated by a vertical ruled line. Lead finish/Ball material values may wrap to two lines if the finish value exceeds the maximum column width.

<sup>(5)</sup> MSL rating/Peak reflow: The moisture sensitivity level ratings and peak solder (reflow) temperatures. In the event that a part has multiple moisture sensitivity ratings, only the lowest level per JEDEC standards is shown. Refer to the shipping label for the actual reflow temperature that will be used to mount the part to the printed circuit board.

<sup>(6)</sup> Part marking: There may be an additional marking, which relates to the logo, the lot trace code information, or the environmental category of the part.

Multiple part markings will be inside parentheses. Only one part marking contained in parentheses and separated by a "~" will appear on a part. If a line is indented then it is a continuation of the previous line and the two combined represent the entire part marking for that device.

Important Information and Disclaimer: The information provided on this page represents TI's knowledge and belief as of the date that it is provided. TI bases its knowledge and belief on information provided by third parties, and makes no representation or warranty as to the accuracy of such information. Efforts are underway to better integrate information from third parties. TI has taken and continues to take reasonable steps to provide representative and accurate information but may not have conducted destructive testing or chemical analysis on incoming materials and chemicals. TI and TI suppliers consider certain information to be proprietary, and thus CAS numbers and other limited information may not be available for release.

In no event shall TI's liability arising out of such information exceed the total purchase price of the TI part(s) at issue in this document sold by TI to Customer on an annual basis.



www.ti.com

### TAPE AND REEL INFORMATION





#### QUADRANT ASSIGNMENTS FOR PIN 1 ORIENTATION IN TAPE



All dimensions are nominal												
Device	Package Type	Package Drawing	Pins	SPQ	Reel Diameter (mm)	Reel Width W1 (mm)	A0 (mm)	B0 (mm)	K0 (mm)	P1 (mm)	W (mm)	Pin1 Quadrant
AMC0106M05DENR	VSON	DEN	8	5000	330.0	12.4	3.0	3.8	1.2	8.0	12.0	Q2



www.ti.com

## PACKAGE MATERIALS INFORMATION

12-Aug-2025



\*All dimensions are nominal

Device	Package Type	Package Drawing	Pins	SPQ	Length (mm)	Width (mm)	Height (mm)
AMC0106M05DENR	VSON	DEN	8	5000	346.0	346.0	33.0

## **DEN0008A**



## **PACKAGE OUTLINE**

## VSON - 1 mm max height

PLASTIC SMALL OUTLINE - NO LEAD



#### NOTES:

- 1. All linear dimensions are in millimeters. Any dimensions in parenthesis are for reference only. Dimensioning and tolerancing per ASME Y14.5M. 2. This drawing is subject to change without notice.
- 3. The package thermal pad must be soldered to the printed circuit board for thermal and mechanical performance.



## **DEN0008A**

## **EXAMPLE BOARD LAYOUT**

## VSON - 1 mm max height

PLASTIC SMALL OUTLINE - NO LEAD



 This package is designed to be soldered to a thermal pad on the board. For more information, see Texas Instruments literature number SLUA271 (www.ti.com/lit/slua271).

5. Vias are optional depending on application, refer to device data sheet. If any vias are implemented, refer to their locations shown on this view. It is recommended that vias under paste be filled, plugged or tented.



## **DEN0008A**

## **EXAMPLE STENCIL DESIGN**

## VSON - 1 mm max height

PLASTIC SMALL OUTLINE - NO LEAD



NOTES: (continued)

6. Laser cutting apertures with trapezoidal walls and rounded corners may offer better paste release. IPC-7525 may have alternate design recommendations.



#### 重要なお知らせと免責事項

テキサス・インスツルメンツは、技術データと信頼性データ (データシートを含みます)、設計リソース (リファレンス デザインを含みま す)、アプリケーションや設計に関する各種アドバイス、Web ツール、安全性情報、その他のリソースを、欠陥が存在する可能性のある 「現状のまま」提供しており、商品性および特定目的に対する適合性の黙示保証、第三者の知的財産権の非侵害保証を含むいかなる保証 も、明示的または黙示的にかかわらず拒否します。

これらのリソースは、 テキサス・インスツルメンツ製品を使用する設計の経験を積んだ開発者への提供を意図したものです。(1) お客様 のアプリケーションに適した テキサス・インスツルメンツ製品の選定、(2) お客様のアプリケーションの設計、検証、試験、(3) お客様の アプリケーションに該当する各種規格や、その他のあらゆる安全性、セキュリティ、規制、または他の要件への確実な適合に関する責任 を、お客様のみが単独で負うものとします。

上記の各種リソースは、予告なく変更される可能性があります。これらのリソースは、リソースで説明されている テキサス・インスツル メンツ製品を使用するアプリケーションの開発の目的でのみ、 テキサス・インスツルメンツはその使用をお客様に許諾します。これらの リソースに関して、他の目的で複製することや掲載することは禁止されています。 テキサス・インスツルメンツや第三者の知的財産権の ライセンスが付与されている訳ではありません。お客様は、これらのリソースを自身で使用した結果発生するあらゆる申し立て、損害、 費用、損失、責任について、 テキサス・インスツルメンツおよびその代理人を完全に補償するものとし、 テキサス・インスツルメンツは 一切の責任を拒否します。

テキサス・インスツルメンツの製品は、 テキサス・インスツルメンツの販売条件、または ti.com やかかる テキサス・インスツルメンツ 製品の関連資料などのいずれかを通じて提供する適用可能な条項の下で提供されています。 テキサス・インスツルメンツがこれらのリソ ースを提供することは、適用される テキサス・インスツルメンツの保証または他の保証の放棄の拡大や変更を意味するものではありませ ん。

お客様がいかなる追加条項または代替条項を提案した場合でも、 テキサス・インスツルメンツはそれらに異議を唱え、拒否します。

郵送先住所:Texas Instruments, Post Office Box 655303, Dallas, Texas 75265 Copyright © 2025, Texas Instruments Incorporated