

# AMC0100R、シングルエンドレシオメトリック出力付き、高精度、 $\pm 250\text{mV}$ 入力、機能絶縁型アンプ

## 1 特長

- リニア入力電圧範囲:  $\pm 250\text{mV}$
- 電源電圧範囲:
  - ハイサイド (VDD1): 3.0V ~ 5.5V
  - ローサイド (VDD2): 3.0V ~ 5.5V
- シングルエンド、シオメトリック出力
- リニアレンス入力: 2.7V ~ 5.5V
- 小さい DC 誤差:
  - オフセット誤差:  $\pm 0.25\text{mV}$  (最大値)
  - オフセットドリフト:  $\pm 1\mu\text{V}/^\circ\text{C}$  (最大値)
  - ゲイン誤差:  $\pm 0.25\%$  (最大値)
  - ゲインドリフト:  $\pm 35\text{ppm}/^\circ\text{C}$  (最大値)
  - 非線形性: 0.04% (最大値)
- 高 CMTI: 150V/ns (最小値)
- 低 EMI: CISPR-11 および CISPR-25 規格に準拠
- 機能的分離:
  - 200V<sub>RMS</sub>、280V<sub>DC</sub> の動作電圧
  - 570V<sub>RMS</sub>、800V<sub>DC</sub> の過渡的過電圧 (60 秒)
- 拡張産業温度範囲の全体にわたって完全に仕様を規定:  $-40^\circ\text{C} \sim +125^\circ\text{C}$

## 2 アプリケーション

- 48V モータードライブ
- 48V 周波数インバータ
- アナログ入力モジュール
- 電源

## 3 説明

AMC0100R は、 $\pm 250\text{mV}$ 、差動入力およびシングルエンドレシオメトリック出力備えた高精度、電気的絶縁型アンプです。入力は、シャント抵抗または他の低インピーダンスの信号源と直接接続できるように最適化されています。

この絶縁バリアは、異なる同相電圧レベルで動作するシステム領域を分離し、やノイズに敏感な回路を電力段から分離します。この絶縁バリアは、最大 200V<sub>RMS</sub> / 280V<sub>DC</sub> の動作電圧と、最大 570V<sub>RMS</sub> / 800V<sub>DC</sub> (60 秒) の過渡電圧に対応しています。

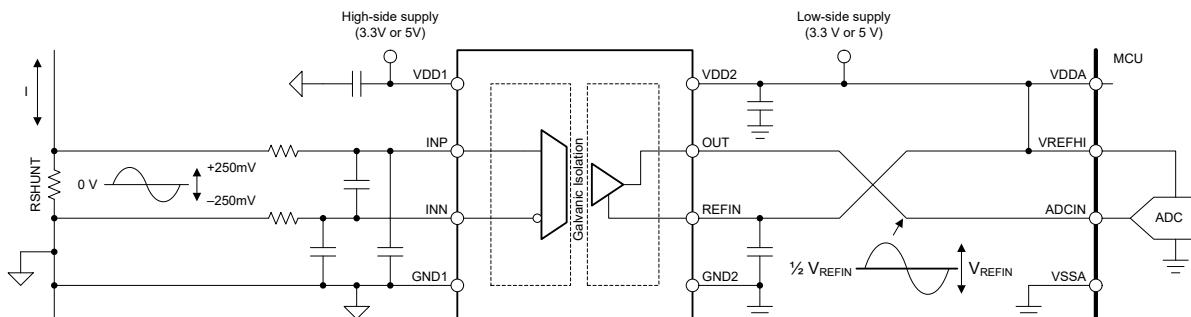
AMC0100R は、入力電圧に比例するシングルエンド信号を出力します。フルスケール出力は、REFIN ピンに印加される電圧によって設定されます。AMC0100R の出力は、ADC の入力に直接接続するように設計されています。ADC の動的入力電圧範囲と一致させるには、REFIN を ADC と同じ基準電圧に接続します。

AMC0100R は 8 ピン、0.65mm ピッチの VSON パッケージで供給され、 $-40^\circ\text{C} \sim +125^\circ\text{C}$  の温度範囲で完全に動作が規定されています。

### パッケージ情報

部品番号	パッケージ <sup>(1)</sup>	パッケージ サイズ <sup>(2)</sup>
AMC0100R	DEN (VSON 8)	3.5mm × 2.7mm

- (1) 詳細については、「メカニカル、パッケージ、および注文情報」を参照してください。  
 (2) パッケージ サイズ (長さ × 幅) は公称値であり、該当する場合はピンも含まれます。



代表的なアプリケーション



このリソースの元の言語は英語です。翻訳は概要を便宜的に提供するもので、自動化ツール（機械翻訳）を使用していることがあり、TI では翻訳の正確性および妥当性につきましては一切保証いたしません。実際の設計などの前には、ti.com で必ず最新の英語版をご参照くださいますようお願いいたします。

English Data Sheet: SBASAS5

## 目次

1 特長	1	6.3 機能説明	17
2 アプリケーション	1	6.4 デバイスの機能モード	19
3 説明	1	7 アプリケーションと実装	21
4 ピン構成および機能	3	7.1 アプリケーション情報	21
5 仕様	4	7.2 代表的なアプリケーション	21
5.1 絶対最大定格	4	7.3 設計のベスト プラクティス	25
5.2 ESD 定格	4	7.4 電源に関する推奨事項	26
5.3 推奨動作条件	4	7.5 レイアウト	26
5.4 熱に関する情報 (DEN パッケージ)	6	8 デバイスおよびドキュメントのサポート	27
5.5 パッケージ特性	6	8.1 ドキュメントのサポート	27
5.6 電気的特性	7	8.2 ドキュメントの更新通知を受け取る方法	27
5.7 スイッチング特性 (SE 出力)	8	8.3 サポート・リソース	27
5.8 タイミング図	9	8.4 商標	27
5.9 代表的特性	10	8.5 静電気放電に関する注意事項	27
6 詳細説明	17	8.6 用語集	27
6.1 概要	17	9 改訂履歴	27
6.2 機能ブロック図	17	10 メカニカル、パッケージ、および注文情報	27

## 4 ピン構成および機能

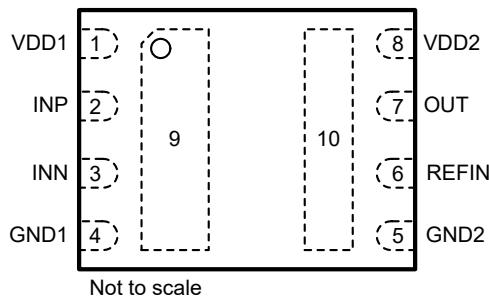


図 4-1. DEN パッケージ、8 ピン VSON (上面図)

表 4-1. ピンの機能

ピン		タイプ	説明
番号	名称		
1	VDD1	ハイサイド電源	ハイサイド電源 <sup>(1)</sup>
2	INP	アナログ入力	非反転アナログ入力 <sup>(2)</sup>
3	INN	アナログ入力	反転アナログ入力 <sup>(2)</sup>
4.9 <sup>(3)</sup>	GND1	ハイサイド グラント	ハイサイド (高電圧側) のアナログ グラント
5.10 <sup>(3)</sup>	GND2	ローサイド グラント	2 次側 (定電圧側) のアナログ グラント
6	REFIN	アナログ入力	このピンに印加される電圧によって、本デバイスのフルスケール出力が設定されます。「REFIN ピンに接続します」セクションの説明に従って、REFIN を低インピーダンスのソースに接続します。
7	OUT	アナログ出力	アナログ出力
8	VDD2	ローサイド電源	ローサイド電源 <sup>(1)</sup>

(1) 電源のデカップリングに関する推奨事項については、「電源に関する推奨事項」セクションを参照してください。

(2) 入力フィルタの設計に関する推奨事項については、「入力フィルタの設計」セクションを参照してください。

(3) どちらのピンも低インピーダンス パスを介して内部接続されています。

## 5 仕様

### 5.1 絶対最大定格

自由気流での動作温度範囲内 (特に記述のない限り)<sup>(1)</sup>

		最小値	最大値	単位
電源電圧	ハイサイド VDD1 ~ GND1	-0.3	6.5	V
	ローサイド VDD2 ~ GND2	-0.3	6.5	
アナログ入力電圧	INP、INN から GND1 へ、	GND1 - 4	VDD1 + 0.5	V
基準電圧入力電圧	REFIN (GND2 基準)	GND2 - 0.5	VDD2 + 0.5	V
アナログ出力電圧	OUT から GND2 へ、	GND2 - 0.5	VDD2 + 0.5	V
過渡絶縁電圧 <sup>(2)</sup>	AC 電圧、t = 60s <sup>(3)</sup>		570	V <sub>RMS</sub>
	DC 電圧、t = 60s		800	V <sub>DC</sub>
入力電流	連続、電源ピンを除く任意のピン	-10	10	mA
温度	接合部、T <sub>J</sub>		150	°C
	保存、T <sub>stg</sub>	-65	150	

- (1) 「絶対最大定格」外での操作は、デバイスに恒久的な損傷を引き起こす可能性があります。「絶対最大定格」は、これらの条件において、または「推奨動作条件」に示された値を超える他のいかなる条件でも、本製品が正しく動作することを暗に示すものではありません。「絶対最大定格」の範囲内であっても「推奨動作条件」の範囲外で使用すると、デバイスが完全に機能しない可能性があり、デバイスの信頼性、機能、性能に影響を及ぼし、デバイスの寿命を縮める可能性があります。
- (2) パッケージの左側 (ピン 1 から 4 まで) から右側 (ピン 5 から 8 まで) への同相モード。
- (3) 累積。

### 5.2 ESD 定格

			値	単位
V <sub>(ESD)</sub>	静電放電	人体モデル (HBM)、ANSI/ESDA/JEDEC JS-001 準拠 <sup>(1)</sup>	±2000	V
		デバイス帶電モデル (CDM)、ANSI/ESDA/JEDEC JS-002 準拠 <sup>(2)</sup>	±1000	

- (1) JEDEC のドキュメント JEP155 に、500V HBM では標準の ESD 管理プロセスで安全な製造が可能であると規定されています。
- (2) JEDEC のドキュメント JEP157 に、250V CDM では標準の ESD 管理プロセスで安全な製造が可能であると規定されています。

### 5.3 推奨動作条件 -

動作時周囲温度範囲内 (特に記述のない限り)

			最小値	公称値	最大値	単位
<b>電源</b>						
VDD1	ハイサイド電源	VDD1~GND1	3	5.0	5.5	V
VDD2	ローサイド電源	VDD2~GND2	3	3.3	5.5	V
<b>アナログ入力</b>						
V <sub>Clipping</sub>	出力 のクリッピング前の公称差動入力電圧	V <sub>IN</sub> = V <sub>INP</sub> - V <sub>INN</sub>	-320	320	mV	
V <sub>FSR</sub>	規定の線形差動入力電圧	V <sub>IN</sub> = V <sub>INP</sub> - V <sub>INN</sub>	-250	250	mV	
V <sub>CM</sub>	動作コモンモード入力電圧	(V <sub>INP</sub> + V <sub>INN</sub> )/2 ~ GND1	-0.16	1	V	
C <sub>IN, EXT</sub>	入力に接続された最小外部容量	INP から INN へ		10	nF	
<b>基準電圧入力</b>						
V <sub>REFIN</sub>	基準電圧入力電圧	REFIN (GND2 基準)	2.7	VDD2	V	
<b>アナログ出力</b>						
C <sub>LOAD</sub>	容量性負荷	OUT から GND2 へ		500	pF	
R <sub>LOAD</sub>	抵抗性負荷	OUT から GND2 へ		10	1	kΩ

### 5.3 推奨動作条件 - (続き)

動作時周囲温度範囲内 (特に記述のない限り)

		最小値	公称値	最大値	単位
<b>絶縁バリア</b>					
V <sub>IOWM</sub>	機能的絶縁の動作電圧 <sup>(1)</sup>	AC 電圧 (正弦波)		200	V <sub>RMS</sub>
		DC 電圧		280	V <sub>DC</sub>
<b>温度範囲</b>					
T <sub>A</sub>	規定周囲温度		-40	125	°C

(1) パッケージの左側 (ピン 1 から 4 まで) から右側 (ピン 5 から 8 まで) への同相モード。

## 5.4 热に関する情報 (DEN パッケージ)

热評価基準 <sup>(1)</sup>		DEN (VSON)		単位
		8 ピン		
$R_{\theta JA}$	接合部から周囲への熱抵抗	64.7		°C/W
$R_{\theta JC(top)}$	接合部からケース (上面) への熱抵抗	53.7		°C/W
$R_{\theta JB}$	接合部から基板への熱抵抗	29.6		°C/W
$\Psi_{JT}$	接合部から上面への特性パラメータ	10.1		°C/W
$\Psi_{JB}$	接合部から基板への特性パラメータ	29.4		°C/W
$R_{\theta JC(bot)}$	接合部からケース (底面) への熱抵抗	23.4		°C/W

(1) 従来および最新の熱評価基準の詳細については、『半導体および IC パッケージの熱評価基準』アプリケーション ノートを参照してください。

## 5.5 パッケージ特性

パラメータ	テスト条件	値	単位
<b>DEN パッケージ</b>			
CLR	外部空間距離	空気中での最短のピン間距離	≥ 1
CPG	外部沿面距離	パッケージ表面に沿った最短のピン間距離	≥ 1
CTI	比較トラッキング インデックス	DIN EN 60112 (VDE 0303-11)、IEC 60112	≥ 600
	材料グループ	IEC 60664-1 に準拠	I
$C_{IO}$	容量、入力から出力へ <sup>(1)</sup>	$V_{IO} = 0.5V_{PP}$ (1MHz 時)	≈ 1.5
$R_{IO}$	抵抗、入力から出力へ <sup>(1)</sup>	$T_A = 25^\circ C$	> 10 <sup>12</sup>

(1) バリアのそれぞれの側にあるすべてのピンは互いに接続され、実質的に 2 ピンのデバイスになります。

## 5.6 電気的特性

最小および最大仕様は、 $T_A = -40^\circ\text{C} \sim +125^\circ\text{C}$ 、 $VDD1 = 3.0\text{V} \sim 5.5\text{V}$ 、 $VDD2 = 3.0\text{V} \sim 5.5\text{V}$ 、 $V_{REFIN} = 3.3\text{V}$ 、 $V_{INP} = -250\text{mV} \sim +250\text{mV}$ 、および  $V_{INN} = 0\text{V}$  に適用されます。標準仕様は、 $T_A = 25^\circ\text{C}$ 、 $VDD1 = 5\text{V}$ 、 $VDD2 = 3.3\text{V}$ 、および  $V_{REFIN} = 1.65\text{V}$  (特に明記されていない限り) で測定されます

パラメータ		テスト条件	最小値	標準値	最大値	単位
<b>アナログ入力</b>						
$C_{IN}$	実効入力サンプリング容量		1.8			pF
$R_{IN}$	入力インピーダンス		25	27.5	30	kΩ
$I_{INP}$	入力電流	$V_{IN} = (V_{INP} - V_{INN}) = V_{FSR, MAX}$	9			μA
$I_{INN}$	入力電流	$V_{IN} = (V_{INP} - V_{INN}) = V_{FSR, MAX}$	-9			μA
CMTI	同相過渡耐性	$ GND1 - GND2  = 1\text{kV}$	150			V/ns
<b>基準電圧入力</b>						
$R_{REFIN}$	入力インピーダンス	REFIN to GND2、 $V_{REFIN} = 3.3\text{V}$ 、 $T_A = 25^\circ\text{C}$	65.3	76.8	88.3	kΩ
		REFIN to GND2、 $V_{REFIN} = 5\text{V}$ 、 $T_A = 25^\circ\text{C}$	62	72.9	83.9	
TCR <sub>REFIN</sub>	入力インピーダンスの熱ドリフト		-235			ppm/°C
<b>アナログ出力</b>						
	公称ゲイン		$V_{REFIN} / 2 /  V_{Clipping} $			V/V
$R_{OUT}$	出力抵抗		<0.2			Ω
	出力短絡検出電流	OUT ピン、ソースまたはシンク、 $INN = INP = GND1$ または $VDD1$ 、出力が GND2 または $VDD2$ に短絡	11			mA
<b>DC 精度</b>						
$V_{OS}$	オフセット電圧 <sup>(1) (2)</sup>	$T_A = 25^\circ\text{C}$ 、 $INP = INN = GND1$	-0.25	±0.01	0.25	mV
$TCV_{OS}$	オフセットドリフト <sup>(1) (2) (4)</sup>		-3.5	-1.8	1	μV/°C
$E_G$	ゲイン誤差 <sup>(1)</sup>	$T_A = 25^\circ\text{C}$	-0.25%	±0.04	0.25%	
$TCE_G$	ゲインドリフト <sup>(1) (5)</sup>		-35	±5	35	ppm/°C
	非線形性 <sup>(1)</sup>		-0.04%		0.04%	
	出力ノイズ電圧	$INP = INN = GND1$ 、 $f_{IN} = 0\text{Hz}$ 、 $BW = 100\text{kHz}$ ブリックウォール フィルタ	260			μV <sub>RMS</sub>
CMRR	同相除去比	$f_{IN} = 0\text{Hz}$ 、 $V_{CM min} \leq V_{CM} \leq V_{CM max}$	-100			dB
		$f_{IN} = 10\text{kHz}$ 、 $V_{CM min} \leq V_{CM} \leq V_{CM max}$	-82			
PSRR	電源除去比 <sup>(2)</sup>	VDD1 DC PSRR、 $INP = INN = GND1$ 、 VDD1 を $3\text{V} \sim 5.5\text{V}$ に	-89			dB
		VDD1 AC PSRR、 $INP = INN = GND1$ 、 VDD1、 $10\text{kHz}/100\text{mV}$ リップル	-81			
		VDD2 DC PSRR、 $INP = INN = GND1$ 、 VDD2 を $3.3\text{V} \sim 5.5\text{V}$ に	-110			
		VDD2 AC PSRR、 $INP = INN = GND1$ 、 VDD2、 $10\text{kHz}/100\text{mV}$ リップル	-82			
<b>AC 精度</b>						
BW	出力帯域幅		250	280		kHz
THD	全高調波歪 <sup>(3)</sup>	$f_{IN} = 10\text{kHz}$	-80			dB
SNR	信号対雑音比	$f_{IN} = 1\text{kHz}$ 、 $BW = 10\text{kHz}$	84			dB
	信号対雑音比	$f_{IN} = 10\text{kHz}$ 、 $BW = 100\text{kHz}$	77			
<b>電源</b>						

## 5.6 電気的特性 (続き)

最小および最大仕様は、 $T_A = -40^\circ\text{C} \sim +125^\circ\text{C}$ 、 $VDD1 = 3.0\text{V} \sim 5.5\text{V}$ 、 $VDD2 = 3.0\text{V} \sim 5.5\text{V}$ 、 $V_{REFIN} = 3.3\text{V}$ 、 $V_{INP} = -250\text{mV} \sim +250\text{mV}$ 、および  $V_{INN} = 0\text{V}$  に適用されます。標準仕様は、 $T_A = 25^\circ\text{C}$ 、 $VDD1 = 5\text{V}$ 、 $VDD2 = 3.3\text{V}$ 、および  $V_{REFIN} = 1.65\text{V}$  (特に明記されていない限り) で測定されます

パラメータ		テスト条件	最小値	標準値	最大値	単位
IDD1	ハイサイド電源電流			5.4	6.7	mA
IDD2	ローサイド電源電流			5.0	7.6	mA
VDD1 <sub>UV</sub>	ハイサイド低電圧検出スレッショルド	VDD1 の立ち上がり	2.5	2.6	2.7	V
		VDD1 の立ち下がり	1.9	2.0	2.1	
VDD2 <sub>UV</sub>	ローサイドの低電圧検出スレッショルド	VDD2 の立ち上がり	2.3	2.5	2.7	V
		VDD2 の立ち下がり	1.9	2.05	2.2	

(1) 標準値には、公称動作条件での 1 つの標準偏差 (シグマ) が含まれます。

(2) このパラメータは入力換算です。

(3) THD は、最初の 5 つの高次高調波の rms 合計と、基本波の振幅との比です。

(4) オフセット誤差温度ドリフトは、次の式で説明されるボックス法を使用して計算されます。

$$TCV_{OS} = (V_{OS,MAX} - V_{OS,MIN}) / TempRange, \text{ ここで、} V_{OS,MAX} \text{ および } V_{OS,MIN} \text{ は、温度範囲 } (-40 \sim 125^\circ\text{C}) \text{ で測定された最大および最小 } V_{OS} \text{ 値を指します。}$$

(5) ゲイン誤差の温度ドリフトは、次の式で記述されるボックス法を使用して計算されます。

$$TCE_G (\text{ppm}) = ((E_{G,MAX} - E_{G,MIN}) / TempRange) \times 10^4, \text{ ここで、} E_{G,MAX} \text{ および } E_{G,MIN} \text{ は、温度範囲 } (-40 \sim 125^\circ\text{C}) \text{ で測定された最大および最小 } E_G \text{ 値 (\%)} \text{ を表します。}$$

## 5.7 スイッチング特性 (SE 出力)

動作時周囲温度範囲内 (特に記述のない限り)

パラメータ		テスト条件	最小値	標準値	最大値	単位
$t_r$	出力信号の立ち上がり時間			1.7		$\mu\text{s}$
$t_f$	出力信号の立ち下がり時間			1.7		$\mu\text{s}$
	$V_{INx}$ to $V_{OUTx}$ への信号遅延 (50% ~ 10%)	フィルタなしの出力	0.8	1.3		$\mu\text{s}$
	$V_{INx}$ to $V_{OUTx}$ への信号遅延 (50% ~ 50%)	フィルタなしの出力	1.6	2.1		$\mu\text{s}$
	$V_{INx}$ to $V_{OUTx}$ への信号遅延 (50% ~ 90%)	フィルタなしの出力	2.5	3		$\mu\text{s}$
$t_{AS}$	アナログ セトリング タイム	$VDD1$ を 3.0V にステップアップ ( $VDD2 \geq 3.0\text{V}$ )、 $V_{REFIN}$ 、 $V_{OUT}$ 有効、0.1% セトリング	30	100		$\mu\text{s}$

## 5.8 タイミング図

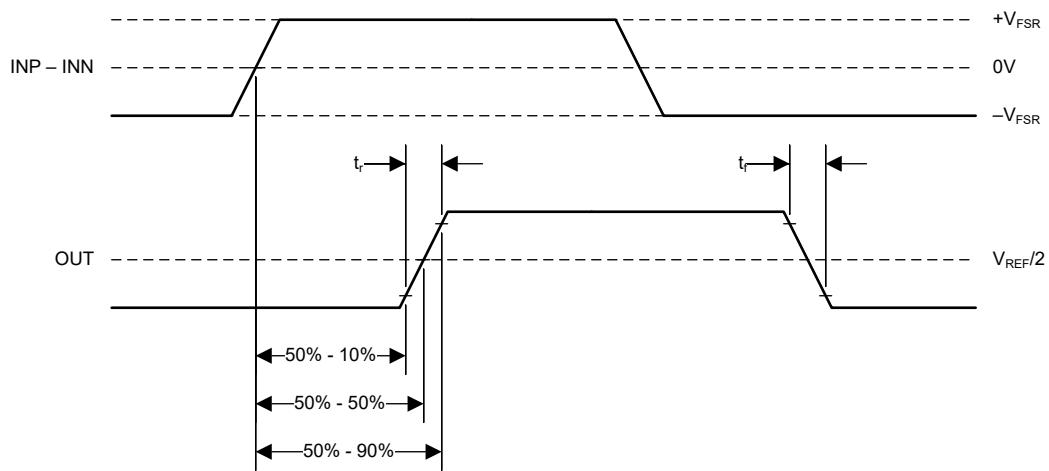


図 5-1. 立ち上がり、立ち下がり、遅延時間の波形

## 5.9 代表的特性

VDD1 = 5V, VDD2 = 3.3V, VREFIN = 3.3V, VINP = -250mV ~ 250mV, VINN = 0V, および fIN = 10kHz (特に記述のない限り)

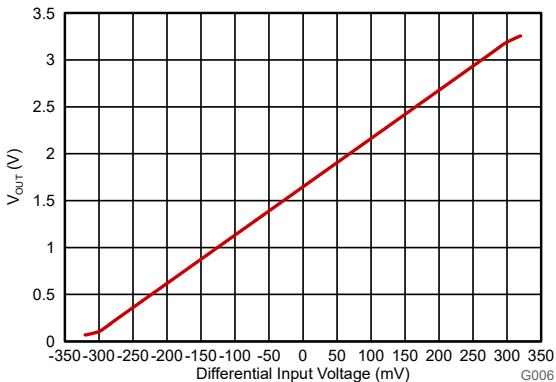
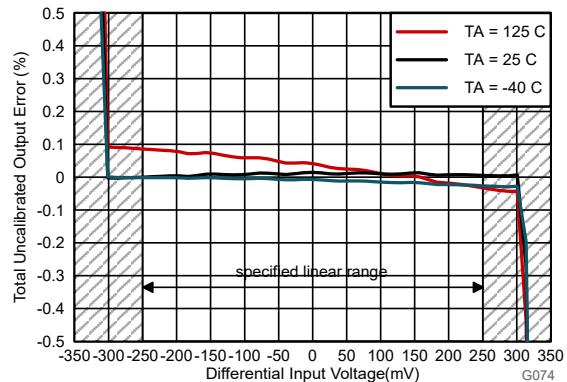


図 5-2. 出力電圧と入力電流との関係



キャリブレーションされていない出力誤差の合計は次のように定義されます:  $((V_{OUT\_Measured} - V_{OUT\_Expected}) / V_{REFIN}) \times 100$ , ここで  $V_{OUT\_Expected} = V_{IN} / V_{Clipping} \times V_{REFIN} / 2 + V_{REFIN} / 2$ ,  $V_{REFIN} = 3.3V$  および  $V_{Clipping} = 0.32V$

図 5-3. 未調整誤差と入力電圧との関係

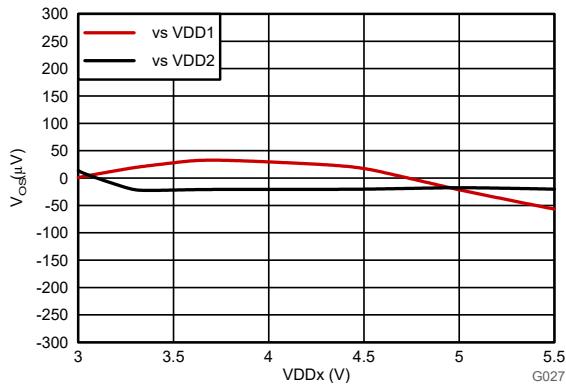


図 5-4. 入力オフセット電圧と電源電圧との関係

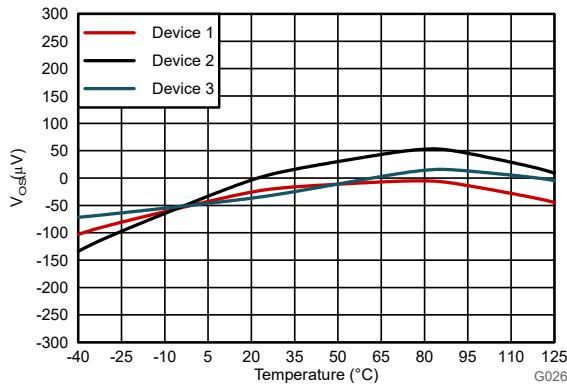


図 5-5. 入力オフセット電圧と温度との関係

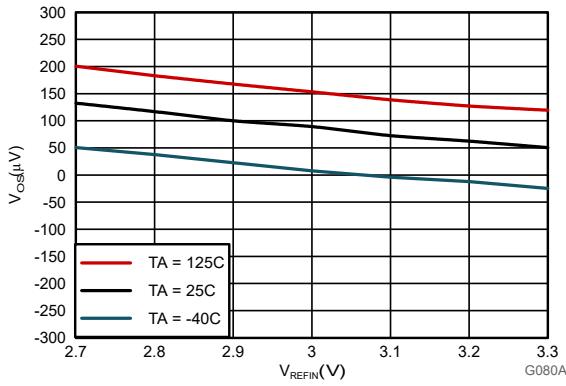


図 5-6. 入力オフセット電圧と VREFIN との関係

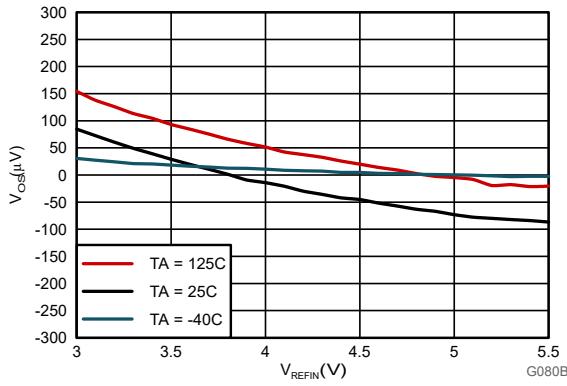


図 5-7. 入力オフセット電圧と VREFIN との関係

## 5.9 代表的特性 (続き)

VDD1 = 5V, VDD2 = 3.3V, VREFIN = 3.3V, VINP = -250mV ~ 250mV, VINN = 0V, および  $f_{IN} = 10\text{kHz}$  (特に記述のない限り)

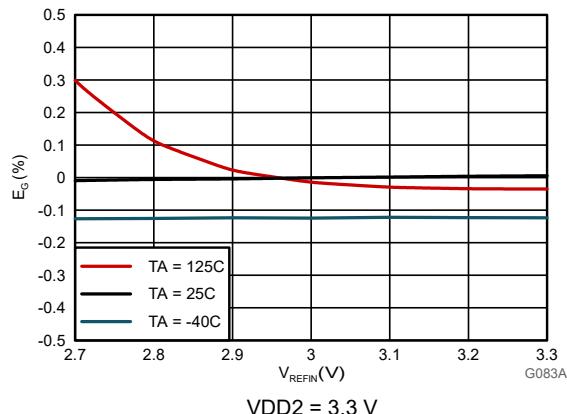


図 5-8. ゲイン誤差と VREFIN との関係

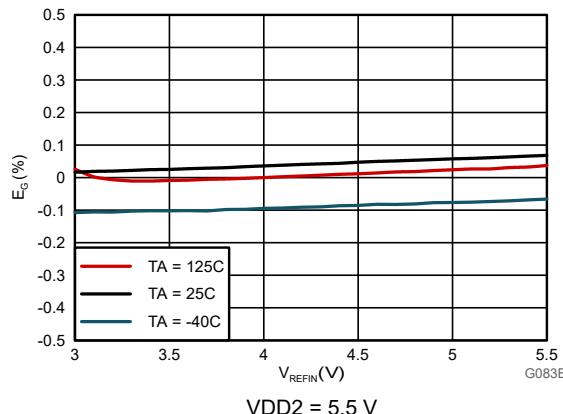


図 5-9. ゲイン誤差と VREFIN との関係

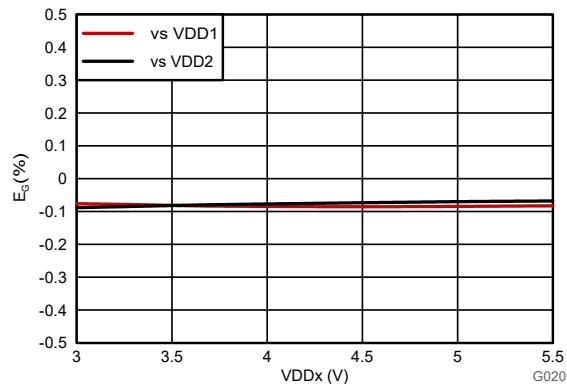


図 5-10. ゲイン誤差と電源電圧との関係

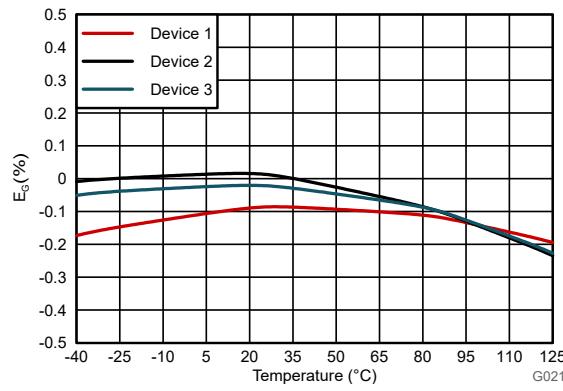


図 5-11. ゲイン誤差と温度との関係

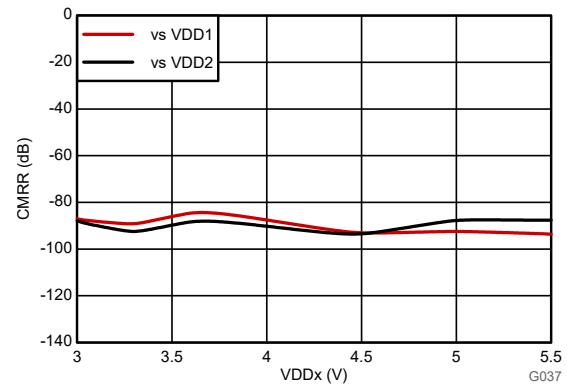


図 5-12. 同相除去比と電源電圧との関係

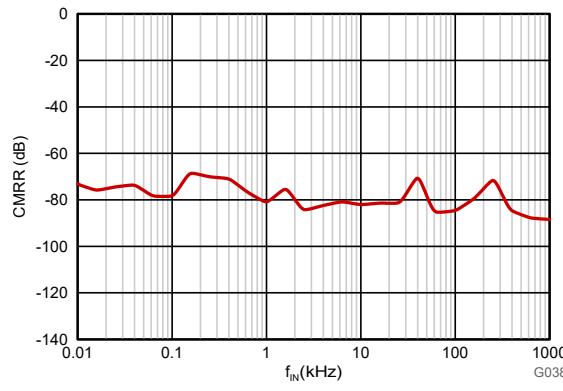


図 5-13. 同相除去比と入力周波数との関係

## 5.9 代表的特性 (続き)

VDD1 = 5V, VDD2 = 3.3V, VREFIN = 3.3V, VINP = -250mV ~ 250mV, VINN = 0V, および  $f_{IN} = 10\text{kHz}$  (特に記述のない限り)

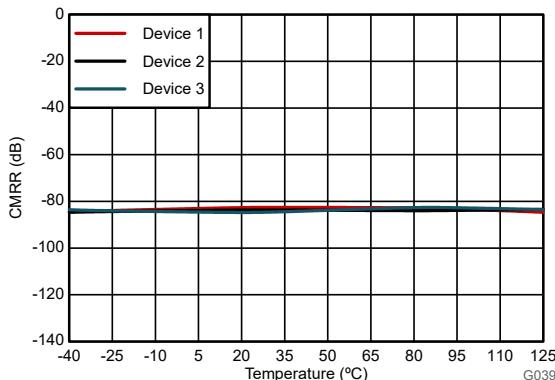


図 5-14. 同相除去比と温度との関係

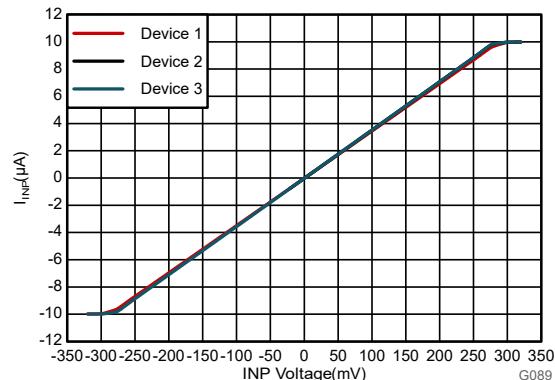


図 5-15. 入力電流と入力電圧との関係

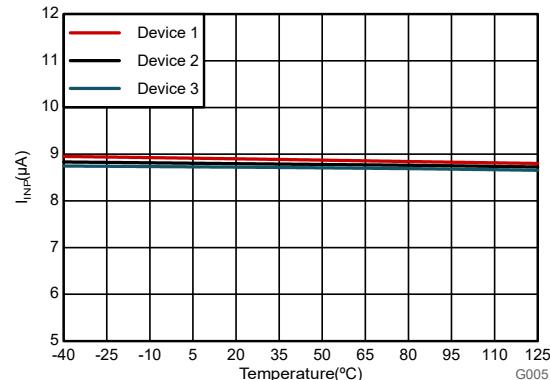


図 5-16. 入力電流と温度との関係

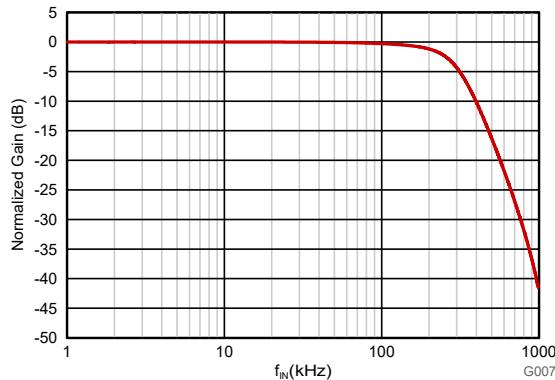


図 5-17. 正規化ゲインと入力周波数との関係

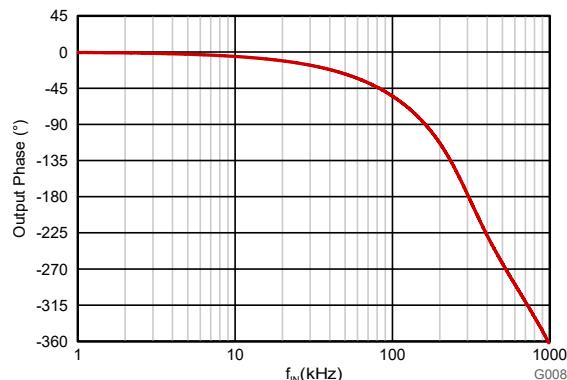


図 5-18. 出力位相と入力周波数との関係

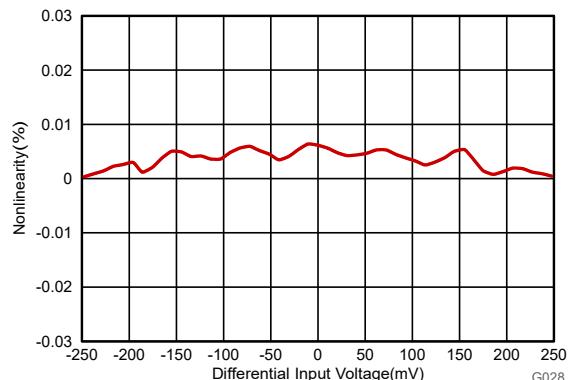


図 5-19. 非直線性と入力電圧との関係

## 5.9 代表的特性 (続き)

$VDD1 = 5V$ ,  $VDD2 = 3.3V$ ,  $VREFIN = 3.3V$ ,  $VINP = -250mV \sim 250mV$ ,  $VINN = 0V$ , および  $f_{IN} = 10kHz$  (特に記述のない限り)

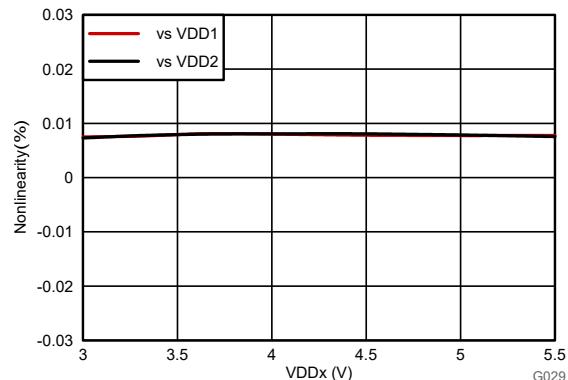


図 5-20. 非線形性と電源電圧との関係

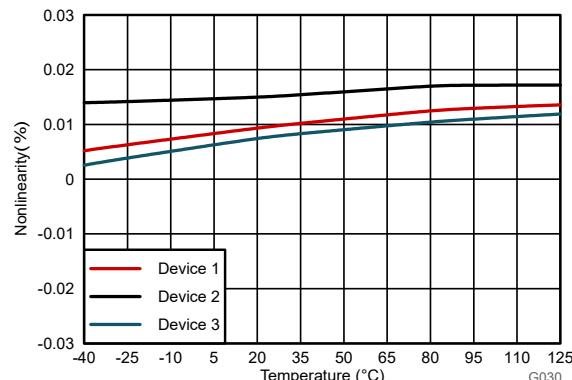


図 5-21. 非直線性と温度との関係

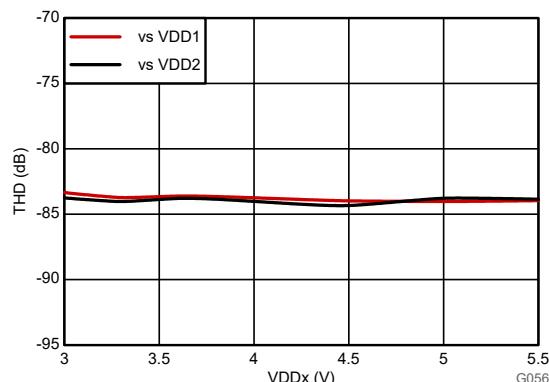


図 5-22. 合計高調波歪みと電源電圧との関係

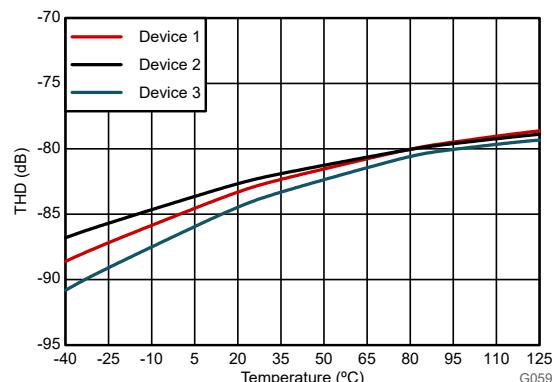


図 5-23. 全高調波歪みと温度との関係

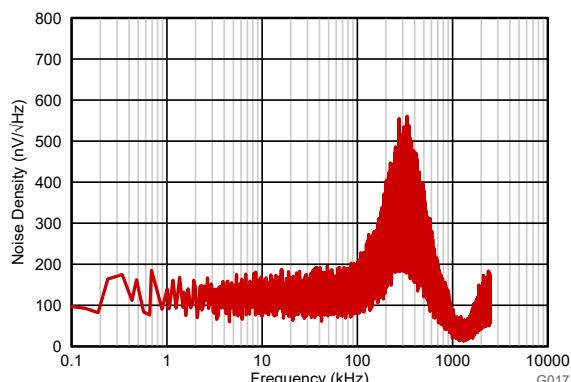


図 5-24. 入力換算ノイズ密度と周波数との関係

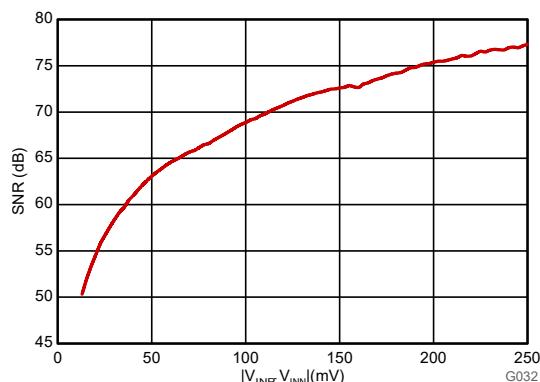


図 5-25. 信号対雑音比と電圧との関係

## 5.9 代表的特性 (続き)

VDD1 = 5V, VDD2 = 3.3V, VREFIN = 3.3V, VINP = -250mV ~ 250mV, VINN = 0V, および  $f_{IN} = 10\text{kHz}$  (特に記述のない限り)

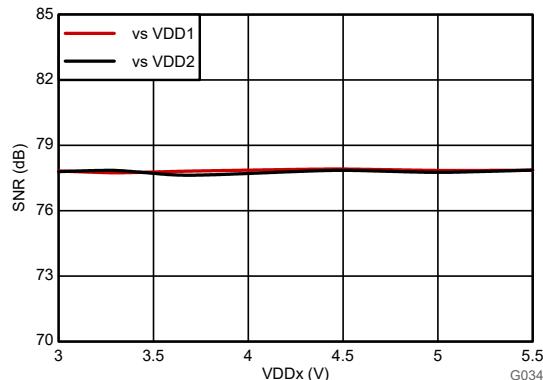


図 5-26. 信号対雑音比と電源電圧との関係

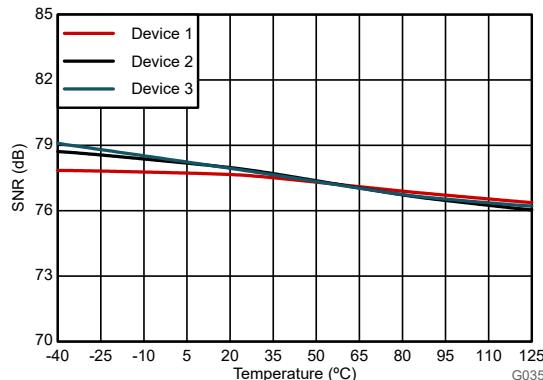


図 5-27. 信号対雑音比と温度との関係

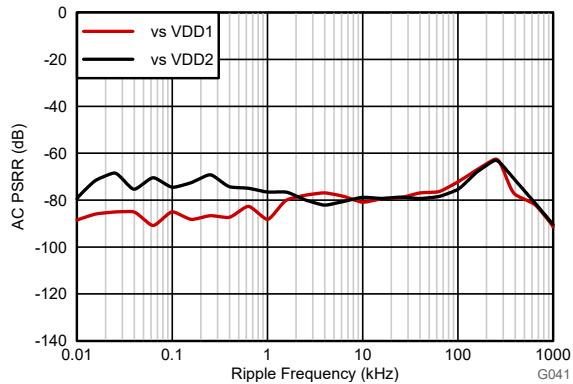


図 5-28. 電源除去比とリップル周波数との関係

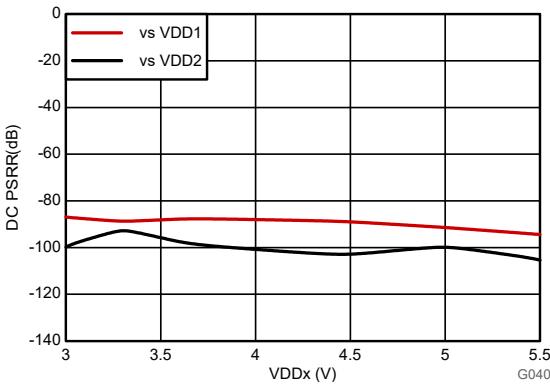


図 5-29. 電源除去比と電源電圧との関係

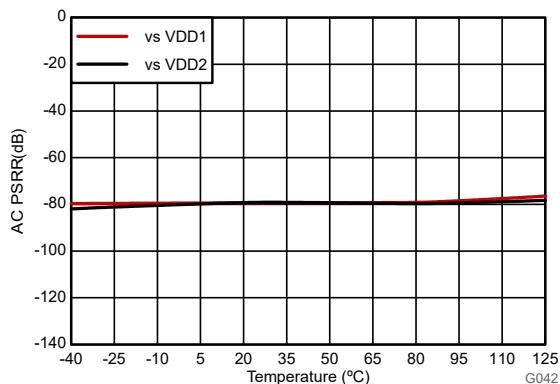


図 5-30. 電源除去比と温度との関係

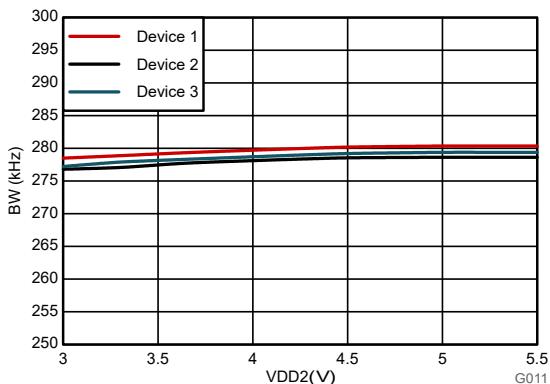


図 5-31. 出力帯域幅と 2 次側電源電圧との関係

## 5.9 代表的特性 (続き)

VDD1 = 5V, VDD2 = 3.3V, VREFIN = 3.3V, VINP = -250mV ~ 250mV, VINN = 0V, および  $f_{IN} = 10\text{kHz}$  (特に記述のない限り)

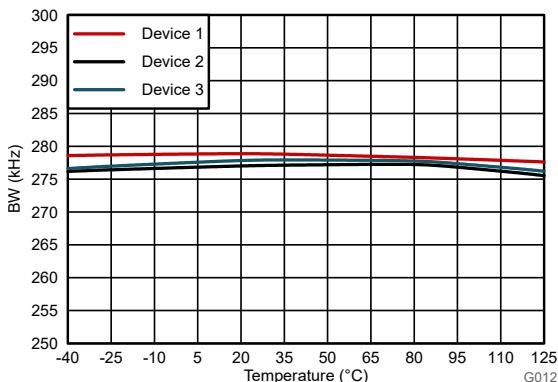


図 5-32. 出力帯域幅と温度との関係

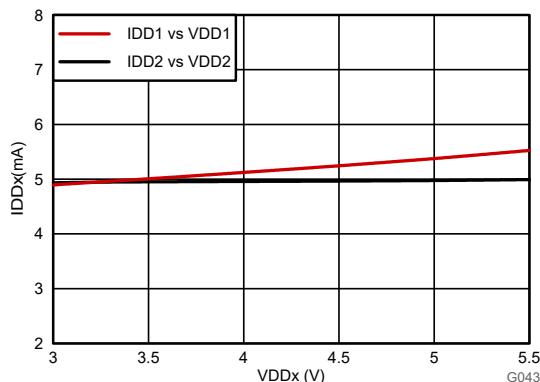


図 5-33. 電源電流と電源電圧との関係

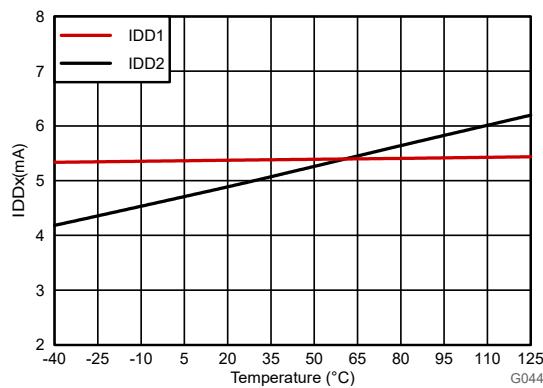


図 5-34. 電源電流と温度との関係

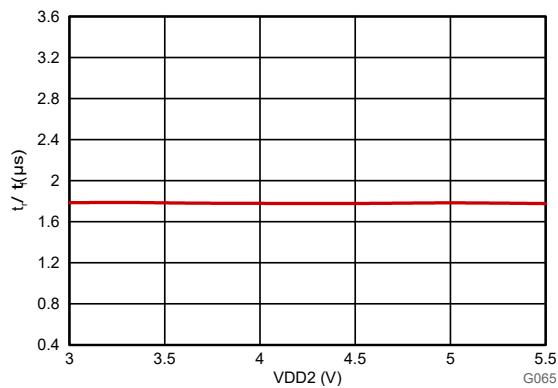


図 5-35. 出力の立ち上がりおよび立ち下がり時間とローサイド電源との関係

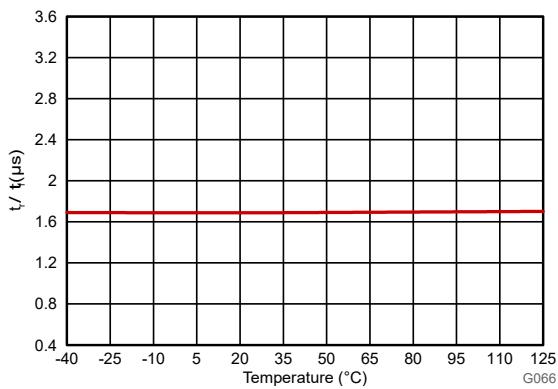


図 5-36. 出力の立ち上がりおよび立ち下がり時間と温度との関係

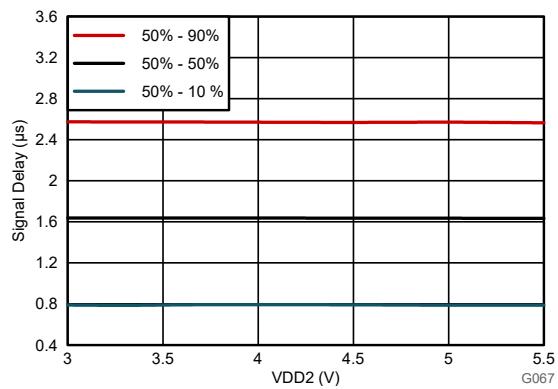


図 5-37.  $V_{IN}$  から  $V_{OUT}$  への信号遅延とローサイド電源電圧との関係

## 5.9 代表的特性 (続き)

VDD1 = 5V, VDD2 = 3.3V, VREFIN = 3.3V, VINP = -250mV ~ 250mV, VINN = 0V, および  $f_{IN} = 10\text{kHz}$  (特に記述のない限り)

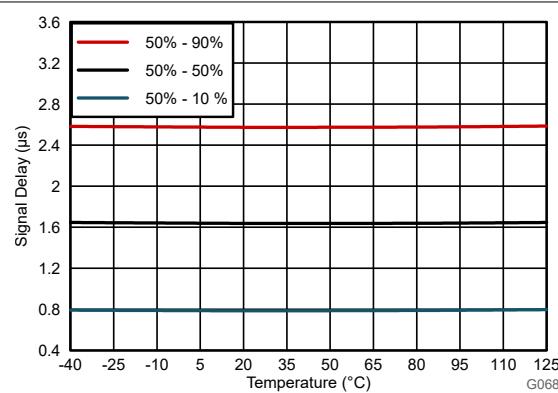


図 5-38.  $V_{IN}$  から  $V_{OUT}$  への信号遅延と温度との関係

## 6 詳細説明

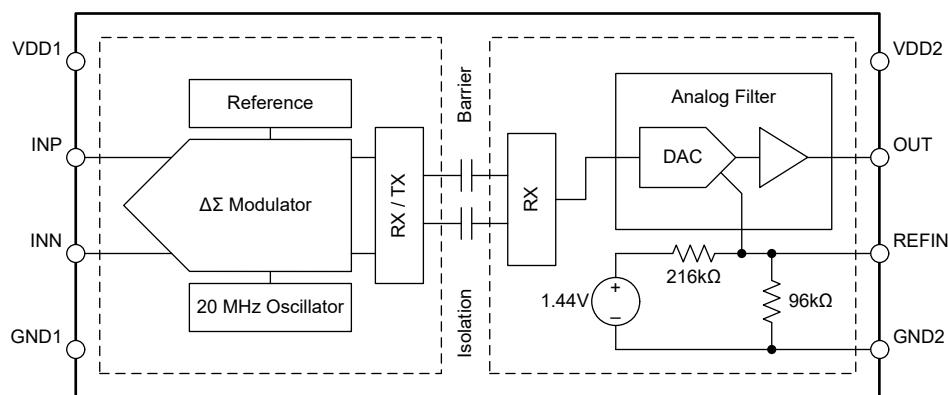
### 6.1 概要

AMC0100R は、 $\pm 250\text{mV}$ 、差動入力およびシングルエンド レシオメトリック出力。デバイスの入力段は、2 次デルタ シグマ ( $\Delta\Sigma$ ) 変調器を駆動します。変調器は、アナログ入力信号を、ハイ サイドとロー サイドを分離する絶縁バリアを介して転送されるデジタルビットストリームに変換します。

ローサイドでは、受信したビットストリームは、GND2 基準のシングルエンド信号を OUT ピンに出力するアナログ フィルタで処理されます。このシングルエンド出力信号は、入力信号に比例します。絶縁アンプのフルスケール出力電圧は、REFIN ピンに印加される電圧と等しくなります。

$\text{SiO}_2$  ベースの容量性絶縁バリアは、[ISO72x デジタル アイソレータの磁場耐性アプリケーション ノート](#)に記載されているように、高いレベルの磁場耐性をサポートします。AMC0100R で使用されるデジタル変調により、絶縁バリアをまたぐデータが送信されます。この変調と絶縁バリアの特性から、高い信頼性と、高い同相過渡耐性が得られます。

### 6.2 機能ブロック図



### 6.3 機能説明

#### 6.3.1 アナログ入力

INP ピンの高インピーダンスの入力バッファは、2 次のスイッチング コンデンサ、フィードフォワード  $\Delta\Sigma$  変調器に電力を供給します。変調器は、[絶縁チャネルの信号伝送](#) セクションで説明されているように、アナログ信号をビットストリームに変換します。ビットストリームは、絶縁バリアをまたぐ転送されます。

アナログ入力信号には 2 つの制限があります。まず、入力電圧が [セクション 5.1](#) 表に規定された値を超える場合は、入力電流を  $10\text{mA}$  に制限する必要があります。この制限は、デバイスの入力静電放電 (ESD) ダイオードがオンになることによって発生します。第 2 に、直線性とノイズ性能は、入力電圧が線形性のフルスケール範囲 ( $V_{\text{FSR}}$ ) 内にあるときのみ規定されます。 $V_{\text{FSR}}$  は [セクション 5.3](#) 表に指定されています。

### 6.3.2 絶縁チャネルの信号伝送

図 6-1 に示されているように、AMC0100R は、オン / オフ キーイング (OOK) 変調方式を使用して、変調器の出力ビットストリームを、 $\text{SiO}_2$  ベースの絶縁膜間で伝送します。送信ドライバ (TX) をに [セクション 6.2](#) 示します。TX は、内部で生成された高周波キャリアを絶縁バリア越しに送信し、デジタル 1 を表現します。ただし、TX はデジタル 0 を表す信号を送信しません。AMC0100R で使用されるキャリアの公称周波数は 480MHz です。

絶縁バリアの反対側にある受信機 (RX) は信号を回復して復調し、アナログ フィルタに入力を提供します。AMC0100R の送信チャネルは、同相過渡耐性 (CMTI) を最大限に高め、放射妨害波を最小限に抑えるように最適化されています。高周波キャリアと RX/TX バッファのスイッチングにより、これらの放射が発生します。

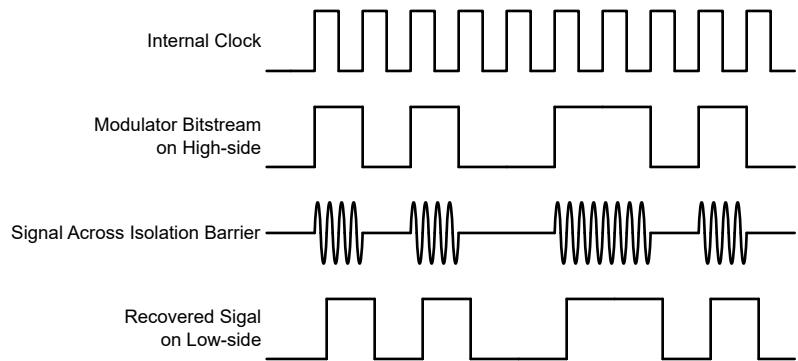


図 6-1. OOK ベースの変調方式

### 6.3.3 アナログ出力

AMC0100R は、入力電圧に比例したシングルエンドのアナログ出力電圧を提供します。出力は GND2 を基準としており、デバイスの入力からガルバニック絶縁されています。出力は、ADC の入力に直接接続できるように設計されています。

フルスケール出力電圧は、REFIN ピンによって設定されます。指定された線形入力範囲内の任意の入力電圧について、デバイスは次の電圧を出力します。

$$V_{OUT} = V_{IN} / V_{Clipping} \times V_{REFIN} / 2 + V_{REFIN} / 2 = (V_{IN} - V_{INN}) / V_{Clipping} \times V_{REFIN} / 2 + V_{REFIN} / 2 \quad (1)$$

REFIN は、ADC のダイナミック入力電圧範囲と一致するように、下流の ADC と同じ基準電圧に接続します。基準電圧が共有されている場合、AMC0100R の入力に負のクリッピング電圧が印加されると、ADC は負のフルスケールコードを出力します。ADC は、AMC0100R の入力に 0V が印加されたときに、中間範囲コードを出力します。AMC0100R の入力に正のクリッピング電圧が印加されると、ADC は正のフルスケールコードを出力します。

本デバイスは、規定の線形性を有するフルスケール範囲内で線形です。線形のフルスケール範囲を超えた場合、出力は入力に追従しますが、直線性性能は低下します。入力電圧がクリッピング電圧に達した時点で、出力はクリップします。図 6-2 は、入力から出力への伝達特性を示しています。

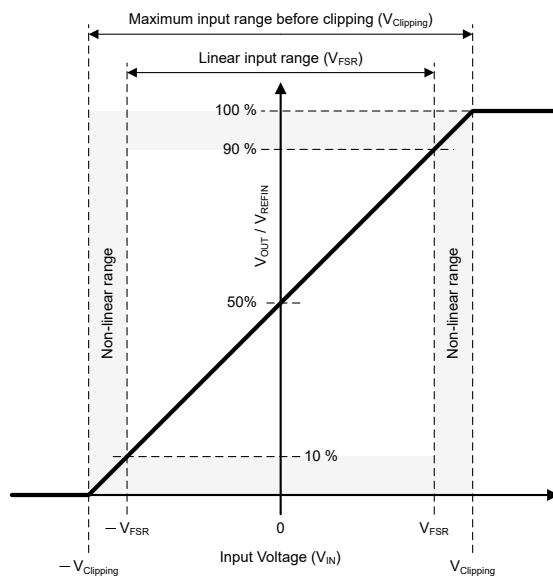


図 6-2. AMC0100R の入力から出力への伝達曲線

### 6.4 デバイスの機能モード

AMC0100R は、次の状態のいずれかで動作します。

- OFF 状態: ローサイド電源 (VDD2) は VDD2\_UV スレッショルドを下回っています。デバイスが応答しません。OUT はハイインピーダンス状態。内部では、OUT は ESD 保護ダイオードによって VDD2 および GND2 にクランプされます。
- ハイサイド電源喪失: デバイス (VDD2) のローサイドに電源が供給され、「推奨動作条件」内です。ハイサイド電源 (VDD1) は VDD1\_UV スレッショルドを下回っています。OUT ピンは VREFIN / 2 に駆動されます。
- アナログ入力オーバーレンジ (正のフルスケール入力): VDD1 および VDD2 は推奨動作条件の範囲内ですが、アナログ入力電圧 V<sub>IN</sub> は最大クリッピング電圧 V<sub>clipping,Clipping, MAX</sub> を上回っています。本デバイスは OUT ピンに V<sub>REFIN</sub> を出力します。
- アナログ入力アンダーレンジ (負のフルスケール入力): VDD1 および VDD2 は推奨動作条件の範囲内ですが、アナログ入力電圧 V<sub>IN</sub> は最小クリッピング電圧 V<sub>clipping,Clipping, min</sub> を下回っています。OUT ピンは GND2 に駆動されます。

- 通常動作の場合:  $VDD1$ 、 $VDD2$ 、 $V_{IN}$  は推奨動作条件内です。本デバイスは、入力電圧に比例する電圧を出力します。

表 6-1 に、動作モードを示します。

表 6-1. デバイスの動作モード

動作条件	$VDD1$	$VDD2$	$V_{IN}$	デバイスの応答
オフ	未使用	$VDD2 < VDD2_{UV}$	未使用	$OUT$ はハイインピーダンス状態。内部では、 $OUT$ は ESD 保護ダイオードによって $VDD2$ および $GND2$ にクランプされます。
ハイサイド電源喪失	$VDD1 < VDD1_{UV}$	有効 <sup>(1)</sup>	未使用	$OUT$ ピンは $V_{REFIN}/2$ に駆動されます。
入力オーバーレンジ	有効 <sup>(1)</sup>	有効 <sup>(1)</sup>	$V_{IN} > V_{Clipping, MAX}$	本デバイスは $OUT$ ピンに $V_{REFIN}$ を出力します。
アンダーレンジ入力	有効 <sup>(1)</sup>	有効 <sup>(1)</sup>	$V_{IN} < V_{Clipping, MIN}$	$OUT$ ピンは $GND2$ に駆動されます。
通常動作	有効 <sup>(1)</sup>	有効 <sup>(1)</sup>	有効 <sup>(1)</sup>	本デバイスは、入力電圧に比例する電圧を出力します。

(1) *Valid* は一、推奨動作条件の範囲内での動作を示します。

## 7 アプリケーションと実装

### 注

以下のアプリケーション情報は、テキサス・インスツルメンツの製品仕様に含まれるものではなく、テキサス・インスツルメンツはその正確性も完全性も保証いたしません。個々の目的に対する製品の適合性については、お客様の責任で判断していただくことになります。また、お客様は自身の設計実装を検証しテストすることで、システムの機能を確認する必要があります。

### 7.1 アプリケーション情報

低いアナログ入力電圧範囲、優れた精度、低い温度ドリフトにより、AMC0100R は、高い同相電圧レベルの存在する場合にシャント方式の電流センシングが必要な産業用アプリケーション向けの高性能ソリューションとなります。

### 7.2 代表的なアプリケーション

図 7-1 に代表的なアプリケーションにおける AMC0100R を示します。外部のシャント抵抗 RSHUNT を流れる負荷電流によって電圧降下が生じ、それが AMC0100R によって検出されます。AMC0100R は、ハイサイドのアナログ入力信号をデジタル化し、絶縁バリアを通過してローサイドにデータを転送し、アナログ信号を再構築して、出力ピンにシングルエンド電圧としてその信号を提供します。

AMC0100R の差動入力、シングルエンド出力、および高いコモンモード過渡耐性 (CMTI) により、ノイズの多い環境でも信頼性が高く正確な動作が可能になります。

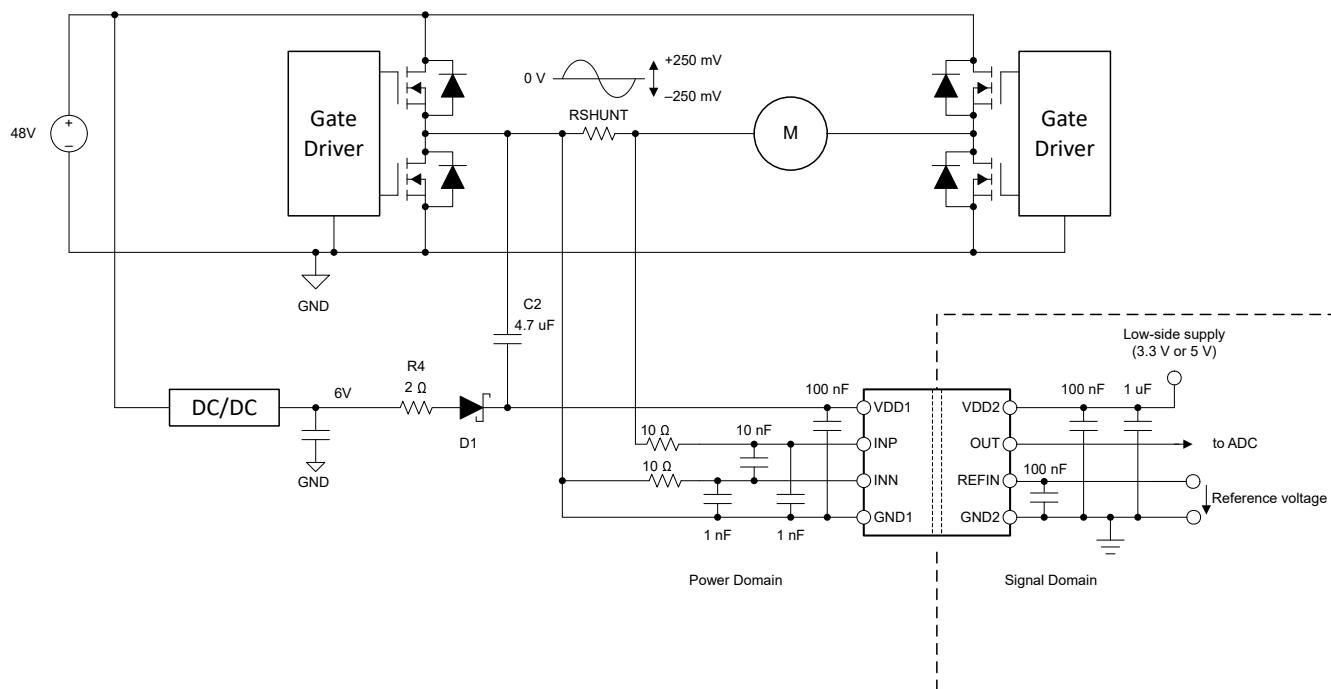


図 7-1. 代表的なアプリケーションでの電流検出に AMC0100R を使用

## 7.2.1 設計要件

表 7-1 に、この代表的なアプリケーションのパラメータを一覧します。

表 7-1. 設計要件

パラメータ	値
システム電圧、電力段	48V
ブートストラップ電源電圧 ( $V_{BS}$ )	6V
AVDD 電源の最大リップル電圧 ( $V_{RIPPLE}$ )	200mV
PWM 周波数	16kHz
PWM デューティ サイクル範囲	5%～95%
リニア電流検出範囲	±5A

## 7.2.2 詳細な設計手順

図 7-1 では、ハイサイド電源 (AVDD) はブートストラップ回路 (R4、D1、C2) から生成されます。

ハイサイドのグランドリファレンス (GND1) は、AMC0100R の負の入力 (INN) に接続されているシャント抵抗の片端から派生されます。4 端子のシャントの場合、デバイス入力をシャントの内部リードに接続し、GND1 を外部リードに接続します。オフセットを最小化し、精度を向上させるには、グランド接続を個別のパターンとして配線します。GND1 は、本デバイスの入力で GND1 を INN に短絡させるのではなく、シャント抵抗に直接接続します。詳細については、「レイアウト」セクションを参照してください。

### 7.2.2.1 シャント抵抗の決定

シャント抵抗 ( $R_{SHUNT}$ ) の値は、デバイスの線形入力電圧範囲 (±250mV) と、目的とする ±5A の線形電流検出範囲によって決定されます。 $R_{SHUNT}$  は  $250\text{mV} / 5\text{A} = 50\text{m}\Omega$  として計算されます。シャント抵抗で消費されるピーク電力は、 $R_{SHUNT} \times I_{PEAK}^2 = 50\text{m}\Omega \times (5\text{A})^2 = 1.25\text{W}$  です。線形応答を得るには、定格電力の  $2/3$  を超えないようにシャント抵抗を動作させます。そのため、公称電力定格が約 1.8W のシャント抵抗を選択します。

システムで AMC0100R の線形入力電圧範囲を超える過渡的な過電流が予想される場合は、より低いシャント抵抗の値を選択します。ただし、過電流範囲に対して線形性の低下と分解能の低下を許容できる場合は、シャントの両端での電圧降下は、AMC0100R のクリッピング電圧まで、線形入力電圧範囲を超えることが可能です。どのような場合でも、最大過電流により発生する電圧降下は、クリッピング出力を起こす入力電圧を超えてはいけません。つまり、 $|V_{SHUNT}| \leq |V_{Clipping}|$  となることを徹底してください。

### 7.2.2.2 入力フィルタの設計

絶縁型アンプの前に差動 RC フィルタ (R1、R2、C5) を配置し、信号路の信号対雑音比性能を向上させます。入力フィルタは次のように設計します。

- フィルタのカットオフ周波数は、 $\Delta\Sigma$  変調器のサンプリング周波数 (20MHz) より 1 枠以上低い値
- 入力バイアス電流では、入力フィルタの DC インピーダンスの両端で大きな電圧降下は発生しない
- アナログ入力から測定されたインピーダンスは等しい

高周波 (1MHz) での同相除去を改善し、オフセット電圧性能を向上させるために、コンデンサ C6 および C7 を配置します。最高の性能を得るには、C6 が C7 の値と一致し、両方のコンデンサの容量が C5 の 10 ~ 20 分の 1 となるようにします。NPO タイプのコンデンサは温度ドリフトと電圧係数が低く、同相モード フィルタリングに適しています。

ほとんどのアプリケーションでは、図 7-2 に示す構造により優れた性能を実現します。

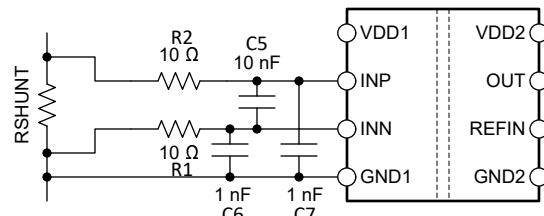


図 7-2. 入力フィルタ

### 7.2.2.3 ブートストラップ電源の設計

ブートストラップコンデンサ (C2、図 7-1) は、左側ハーフ ブリッジのローサイド FET の PWM オン時間中に充電されます。PWM オフ時間中は、C2 はスイッチ ピンの電圧とともに立ち上がり、AMC0100R 電源として機能します。R4 は充電フェーズ中の電流制限抵抗として機能します。D1 は、放電フェーズ中に逆電流がブートストラップ電源に逆流することを防止します。

PWM オン時間中に C2 に充電される電圧は、ブートストラップ電源および電流制限抵抗 R2 の値に依存します。さらに、この電圧は PWM デューティサイクルおよびダイオード D1 の順方向電圧 ( $V_{F,D1}$ ) に依存します。

PWM オフ時間中に C2 から放電される電圧は、D1 の逆回復時間に依存します。また、この電圧は PWM デューティサイクルおよび AMC0100R の消費電流 ( $I_{VDD1}$ ) に依存します。スイッチング損失を最小限に抑えるには、順方向電流能力の高い高速スイッチングダイオードを選択します。

最大 PWM オフ時間の間に最大  $IDD1$  電流をサポートできるように、C2 のサイズを設定してください。この時間中は、C2 が  $VDD1$  の最小推奨電圧である 3V を下回るまで放電しないようにしてください。容量値が小さいほど充電を高速化できるため、より低い PWM デューティサイクルがサポートされます。ただし、値が小さいと、生成される電圧リップルが大きくなり、最大 PWM オフ時間が制限されます。この例では、リップル電圧 ( $V_{RIPPLE}$ ) が 200mV 未満となることを目標としています。最大 PWM オフ時間は  $95\% \times (1/f_{PWM}) = 0.95 \times 62.5\mu s$  であり、これは約 60 $\mu s$  です。 $IDD1_{MAX}$  は 6.7mA に規定されています。最小容量値は  $C_{2,MIN} = IDD1_{MAX} \times t_{PWM-OFF, MAX} / V_{RIPPLE} = 6.7mA \times 60\mu s / 200mV = 2.0\mu F$  として計算されます。部品の許容差を考慮して、設計にマージンを追加できるように 4.7 $\mu F$  のコンデンサを選択しています。

ブートストラップ回路が、 $5\% \times (1/f_{PWM}) = 0.05 \times 62.5\mu s$ 、または約 3.1 $\mu s$  の最小 PWM オン時間内に C2 の再充電をサポートしていることを確認します。この間の平均充電電流は、 $C2 \times V_{RIPPLE} / t_{PWM-ON, MIN} = 4.7\mu F \times 200mV / 3.1\mu s$  であり、約 300mA です。この電流は、ダイオード D1 がサポートする必要のある最小順方向電流です。ダイオード D1 および電流制限抵抗 R4 の両端に許容される最大電圧降下は、コンデンサ電圧の最小値と  $V_{BS}$  の値によって決定されます。コンデンサの最小電圧は 3V で、 $VDD1_{MIN}$  に相当します。 $V_{BS}$  はブートストラップ電源電圧であり、6V です。1V のダイオード順方向電圧を使用することが前提です。R4 が  $(V_{BS} - V_{F,D1} - V_{C2,MIN}) / I_{CHARGE} = (6V - 1V - 3V) / 300mA = 6\Omega$  未満であることを確認します。2 $\Omega$  の抵抗を選択すると、設計にマージンが得られます。

### 7.2.2.4 REFIN ピンに接続します

リファレンス入力は、「セクション 6.2」に示すように有限の入力インピーダンスを持っています。REFIN ピンを高インピーダンスのソースから駆動する場合は、このインピーダンスを考慮してください。リファレンス入力の高周波ノイズをフィルタして除去するため、REFIN と GND2 の間に 100nF コンデンサを接続します。REFIN ピンを接続するための各種のオプションを、図 7-3 に示します。

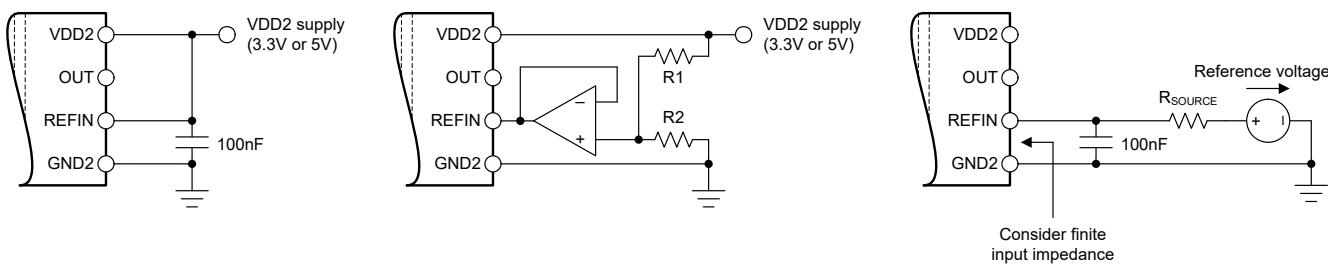


図 7-3. REFIN ピンに接続します

最初の例では、REFIN は VDD2 と短絡しています。2 番目の例では、 $V_{REFIN}$  はバッファ付き抵抗分圧器を経由して VDD2 から導出されます。3 番目の例では、外部電圧源によってリファレンス入力ピンが駆動されます。

### 7.2.3 アプリケーション曲線

電力段設計の重要な要素の 1 つは、過電流状態を効果的に検出し、スイッチング デバイスと受動部品を損傷から保護することです。過電流条件時にシステムの電源を迅速にオフにするには、絶縁型アンプによる短い遅延が必要です。AMC0100R の代表的なフルスケール ステップ応答を、図 7-4 に示します。

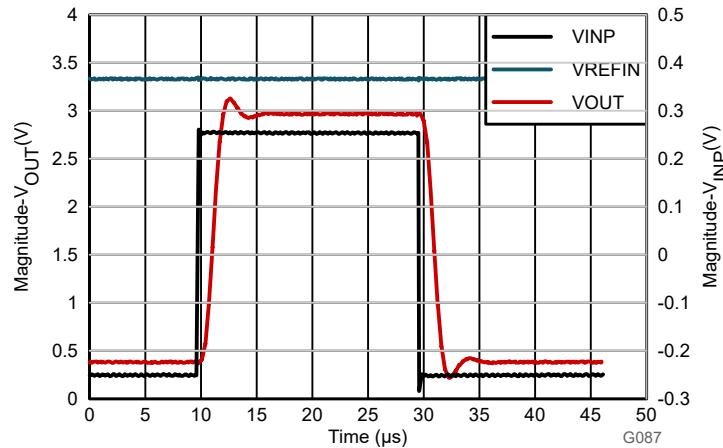


図 7-4. AMC0100R の出力ステップ応答

図 7-5 に、INP と INN を GND1 に接続した状態で、過渡ステップをリファレンス入力ピンに印加した場合の AMC0100R の代表的なステップ応答を示します。

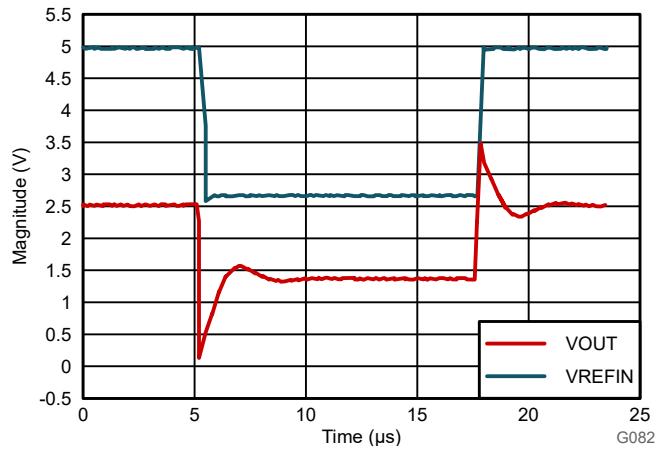


図 7-5. AMC0100R のリファレンス入力ステップ応答

## 7.3 設計のベスト プラクティス

デバイスの入力に(INP から INN へ) 10nF 以上のコンデンサを配置します。このコンデンサは、スイッチトコンデンサの入力段のサンプリング期間中に入力での電圧ドロープを防止するのに役立ちます。

デバイスの入力で GND1 を INN には直接短絡しないでください。最高の精度を得るには、シャント抵抗に直接接続する個別のパターンとして、グランド接続を配線します。詳細については、「セクション 7.5.2」セクションを参照してください。

デバイスの電源が入っているときに、AMC0100R の入力を未接続 (フローティング) のままにしないでください。デバイス入力がフローティングのままになっている場合、デバイス出力は有効ではありません。

ハイサイド グランド (GND1) を INN に、ハード短絡または抵抗性バスを介して接続します。入力同相電圧を定義するには、INN と GND1 の間に DC 電流バスが必要です。セクション 5.3 の表に指定されているように、入力同相範囲を超えないようにします。

## 7.4 電源に関する推奨事項

一般的なアプリケーションでは、AMC0100R のハイサイド電源 (VDD1) は、絶縁型 DC/DC コンバータによってローサイド電源 (VDD2) から生成されます。低コストのオプションでは、プッシュプルドライバ SN6501 と、目的の絶縁電圧定格をサポートするトランジスを使います。

AMC0100R は、特定の起動シーケンスを必要としません。ハイサイド電源 (VDD1) は、低 ESR の  $1\mu\text{F}$  コンデンサ (C2) と並列接続された低 ESR の  $100\text{nF}$  コンデンサ (C1) でデカップリングされます。ローサイド電源 (VDD2) は、低 ESR の  $1\mu\text{F}$  コンデンサ (C4) と並列接続された低 ESR の  $100\text{nF}$  コンデンサ (C3) で同様にデカップリングされます。4 つのコンデンサ (C1, C2, C3, C4) はすべてデバイスのできるだけ近くに配置します。図 7-6 に、AMC0100R のデカップリング図を示します。

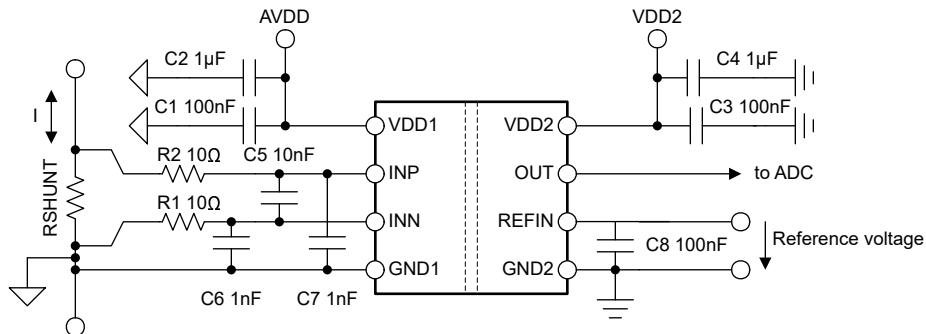


図 7-6. AMC0100R のデカップリング

アプリケーションで発生する DC バイアス条件の下で、コンデンサは十分な実効容量を提供することを確認します。マルチレイヤ セラミックコンデンサ (MLCC) は通常、実際の使用条件下における容量は、公称容量よりはるかに小さい値となります。これらのコンデンサを選択する際は、これらの要素を考慮してください。この問題は、背の高い部品よりも絶縁体電界強度が高くなる薄型コンデンサで特に深刻です。信頼できるコンデンサ メーカーは、部品選択を非常に簡単にする容量対 DC バイアス曲線を提供しています。

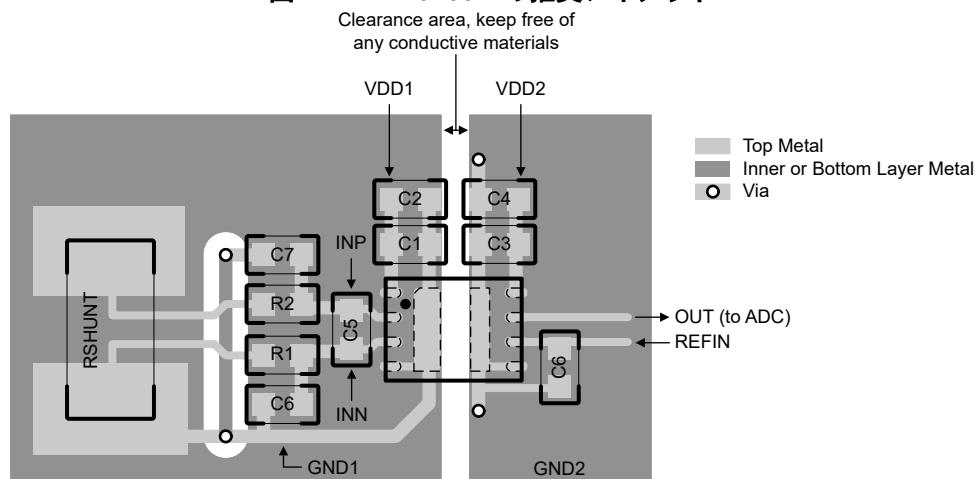
## 7.5 レイアウト

### 7.5.1 レイアウトのガイドライン

この [セクション 7.5.2](#) セクションでは、デカップリングコンデンサの重要な配置 (AMC0100R 電源ピンにできるだけ近い場所) に関するレイアウト推奨事項について詳しく説明します。この例では、デバイスに必要な他の部品の配置も示しています。

### 7.5.2 レイアウト例

図 7-7. AMC0100R の推奨レイアウト



## 8 デバイスおよびドキュメントのサポート

### 8.1 ドキュメントのサポート

#### 8.1.1 関連資料

関連資料については、以下を参照してください。

- テキサス・インスツルメンツ、『絶縁の用語集』アプリケーション レポート
- テキサス・インスツルメンツ、『半導体およびIC パッケージの熱評価基準』アプリケーション レポート
- テキサス・インスツルメンツ、『ISO72x デジタル アイソレータの磁界耐性』アプリケーション レポート
- テキサス・インスツルメンツ、『SN6501 絶縁電源用の変圧器ドライバ』データシート
- テキサス・インスツルメンツ、「絶縁型アンプの電圧センシング Excel カリキュレータ」設計ツール

### 8.2 ドキュメントの更新通知を受け取る方法

ドキュメントの更新についての通知を受け取るには、[www.tij.co.jp](http://www.tij.co.jp) のデバイス製品フォルダを開いてください。[通知] をクリックして登録すると、変更されたすべての製品情報に関するダイジェストを毎週受け取ることができます。変更の詳細については、改訂されたドキュメントに含まれている改訂履歴をご覧ください。

### 8.3 サポート・リソース

テキサス・インスツルメンツ E2E™ サポート・フォーラムは、エンジニアが検証済みの回答と設計に関するヒントをエキスパートから迅速かつ直接得ることができる場所です。既存の回答を検索したり、独自の質問をしたりすることで、設計で必要な支援を迅速に得ることができます。

リンクされているコンテンツは、各寄稿者により「現状のまま」提供されるものです。これらはテキサス・インスツルメンツの仕様を構成するものではなく、必ずしもテキサス・インスツルメンツの見解を反映したものではありません。テキサス・インスツルメンツの使用条件を参照してください。

### 8.4 商標

テキサス・インスツルメンツ E2E™ is a trademark of Texas Instruments.

すべての商標は、それぞれの所有者に帰属します。

### 8.5 静電気放電に関する注意事項

この IC は、ESD によって破損する可能性があります。テキサス・インスツルメンツは、IC を取り扱う際には常に適切な注意を払うことをお勧めします。正しい取り扱いおよび設置手順に従わない場合、デバイスを破損するおそれがあります。

ESD による破損は、わずかな性能低下からデバイスの完全な故障まで多岐にわたります。精密な IC の場合、パラメータがわずかに変化するだけで公表されている仕様から外れる可能性があるため、破損が発生しやすくなっています。

### 8.6 用語集

テキサス・インスツルメンツ用語集 この用語集には、用語や略語の一覧および定義が記載されています。

## 9 改訂履歴

資料番号末尾の英字は改訂を表しています。その改訂履歴は英語版に準じています。

日付	改訂	注
October 2025	*	初版リリース

## 10 メカニカル、パッケージ、および注文情報

以降のページには、メカニカル、パッケージ、および注文に関する情報が記載されています。この情報は、指定のデバイスに使用できる最新のデータです。このデータは、予告なく、このドキュメントを改訂せずに変更される場合があります。本データシートのブラウザ版を使用されている場合は、画面左側の説明をご覧ください。

**PACKAGING INFORMATION**

Orderable part number	Status (1)	Material type (2)	Package   Pins	Package qty   Carrier	RoHS (3)	Lead finish/ Ball material (4)	MSL rating/ Peak reflow (5)	Op temp (°C)	Part marking (6)
AMC0100RDENR	Active	Production	VSON (DEN)   8	5000   LARGE T&R	Yes	NIPDAU	Level-2-260C-1 YEAR	-40 to 125	C0100R

<sup>(1)</sup> **Status:** For more details on status, see our [product life cycle](#).

<sup>(2)</sup> **Material type:** When designated, preproduction parts are prototypes/experimental devices, and are not yet approved or released for full production. Testing and final process, including without limitation quality assurance, reliability performance testing, and/or process qualification, may not yet be complete, and this item is subject to further changes or possible discontinuation. If available for ordering, purchases will be subject to an additional waiver at checkout, and are intended for early internal evaluation purposes only. These items are sold without warranties of any kind.

<sup>(3)</sup> **RoHS values:** Yes, No, RoHS Exempt. See the [TI RoHS Statement](#) for additional information and value definition.

<sup>(4)</sup> **Lead finish/Ball material:** Parts may have multiple material finish options. Finish options are separated by a vertical ruled line. Lead finish/Ball material values may wrap to two lines if the finish value exceeds the maximum column width.

<sup>(5)</sup> **MSL rating/Peak reflow:** The moisture sensitivity level ratings and peak solder (reflow) temperatures. In the event that a part has multiple moisture sensitivity ratings, only the lowest level per JEDEC standards is shown. Refer to the shipping label for the actual reflow temperature that will be used to mount the part to the printed circuit board.

<sup>(6)</sup> **Part marking:** There may be an additional marking, which relates to the logo, the lot trace code information, or the environmental category of the part.

Multiple part markings will be inside parentheses. Only one part marking contained in parentheses and separated by a "~" will appear on a part. If a line is indented then it is a continuation of the previous line and the two combined represent the entire part marking for that device.

**Important Information and Disclaimer:** The information provided on this page represents TI's knowledge and belief as of the date that it is provided. TI bases its knowledge and belief on information provided by third parties, and makes no representation or warranty as to the accuracy of such information. Efforts are underway to better integrate information from third parties. TI has taken and continues to take reasonable steps to provide representative and accurate information but may not have conducted destructive testing or chemical analysis on incoming materials and chemicals. TI and TI suppliers consider certain information to be proprietary, and thus CAS numbers and other limited information may not be available for release.

In no event shall TI's liability arising out of such information exceed the total purchase price of the TI part(s) at issue in this document sold by TI to Customer on an annual basis.

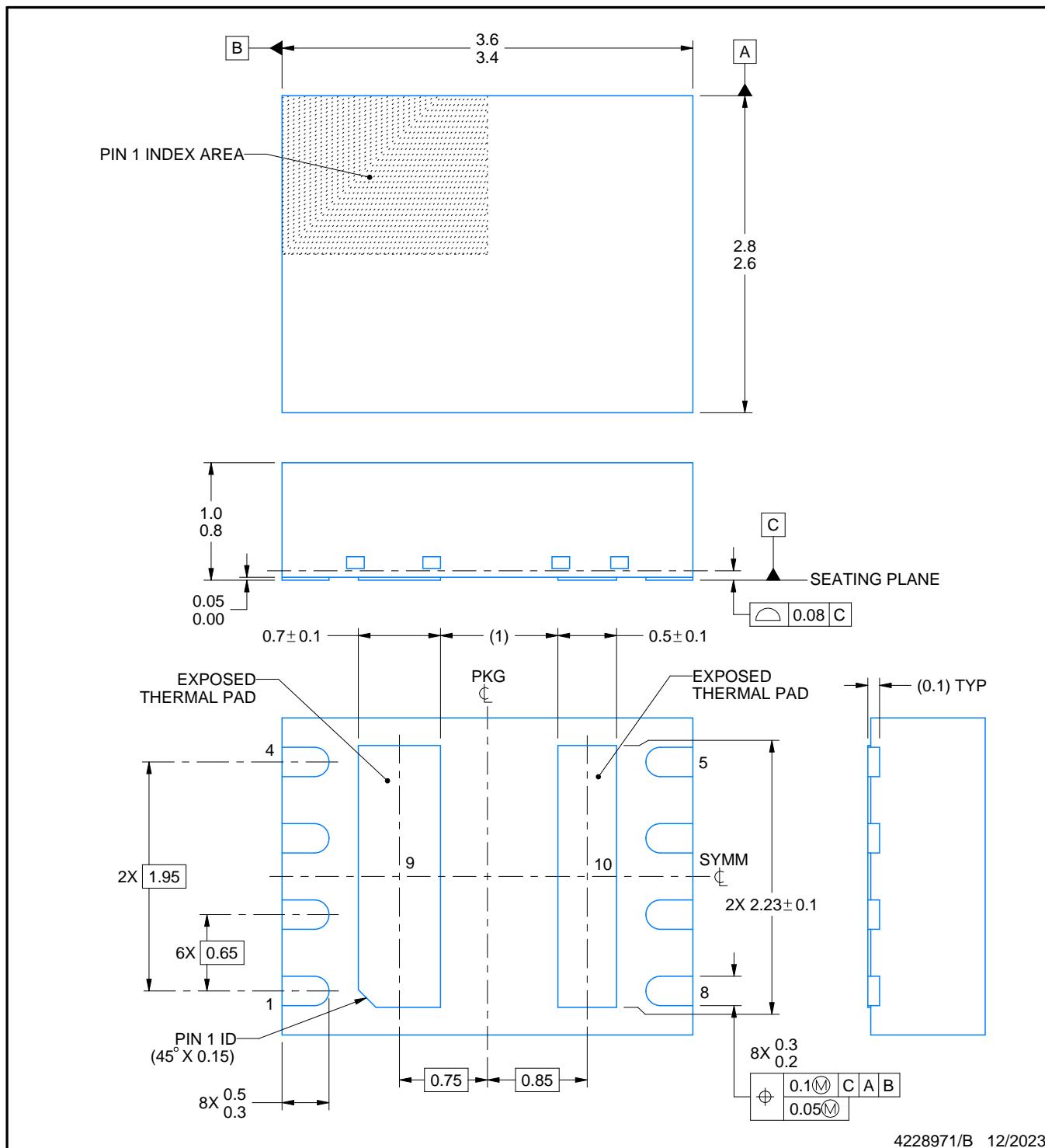


# PACKAGE OUTLINE

**DEN0008A**

**VSON - 1 mm max height**

PLASTIC SMALL OUTLINE - NO LEAD



4228971/B 12/2023

**NOTES:**

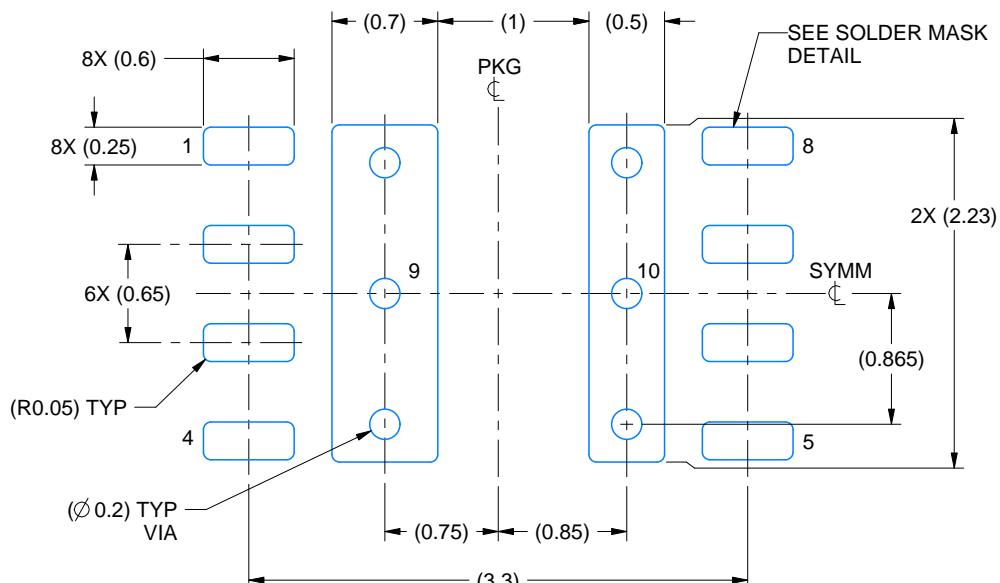
1. All linear dimensions are in millimeters. Any dimensions in parenthesis are for reference only. Dimensioning and tolerancing per ASME Y14.5M.
2. This drawing is subject to change without notice.
3. The package thermal pad must be soldered to the printed circuit board for thermal and mechanical performance.

## EXAMPLE BOARD LAYOUT

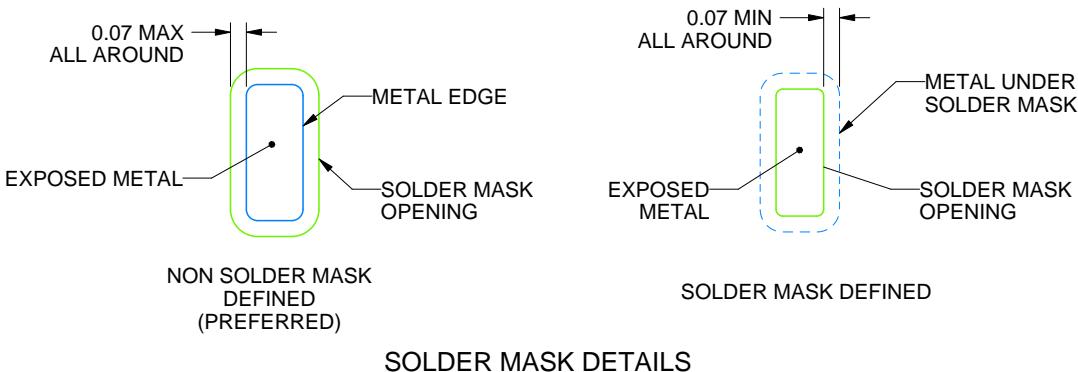
**DEN0008A**

## VSON - 1 mm max height

## PLASTIC SMALL OUTLINE - NO LEAD



LAND PATTERN EXAMPLE  
EXPOSED METAL SHOWN  
SCALE: 20X



4228971/B 12/2023

#### NOTES: (continued)

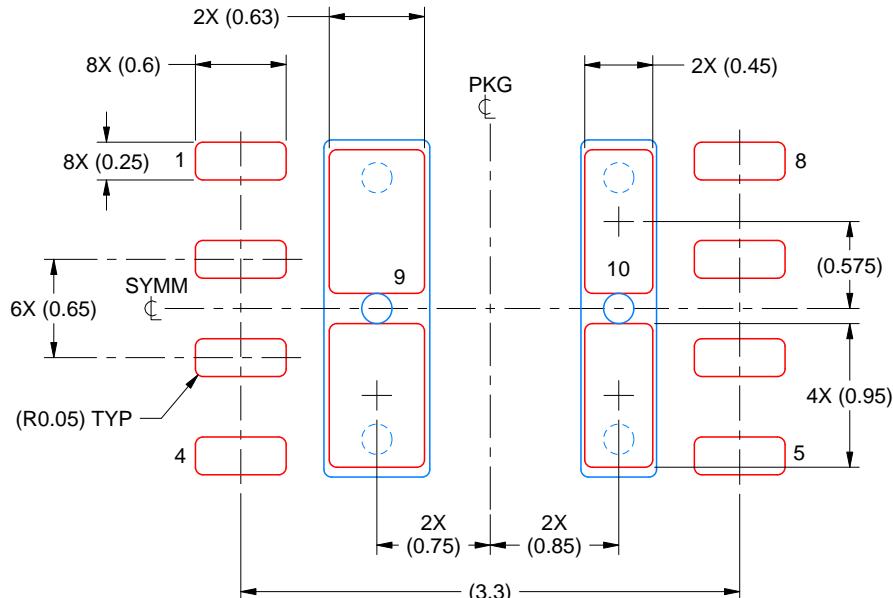
4. This package is designed to be soldered to a thermal pad on the board. For more information, see Texas Instruments literature number SLUA271 ([www.ti.com/lit/slua271](http://www.ti.com/lit/slua271)).
  5. Vias are optional depending on application, refer to device data sheet. If any vias are implemented, refer to their locations shown on this view. It is recommended that vias under paste be filled, plugged or tented.

# EXAMPLE STENCIL DESIGN

DEN0008A

VSON - 1 mm max height

PLASTIC SMALL OUTLINE - NO LEAD



SOLDER PASTE EXAMPLE  
BASED ON 0.125 MM THICK STENCIL  
SCALE: 20X

PRINTED SOLDER COVERAGE BY AREA UNDER PACKAGE  
PADS 9 & 10: 77%

4228971/B 12/2023

NOTES: (continued)

6. Laser cutting apertures with trapezoidal walls and rounded corners may offer better paste release. IPC-7525 may have alternate design recommendations.

## 重要なお知らせと免責事項

TI は、技術データと信頼性データ (データシートを含みます)、設計リソース (リファレンス デザインを含みます)、アプリケーションや設計に関する各種アドバイス、Web ツール、安全性情報、その他のリソースを、欠陥が存在する可能性のある「現状のまま」提供しており、商品性および特定目的に対する適合性の默示保証、第三者の知的財産権の非侵害保証を含むいかなる保証も、明示的または默示的にかかわらず拒否します。

これらのリソースは、TI 製品を使用する設計の経験を積んだ開発者への提供を意図したもので、(1) お客様のアプリケーションに適した TI 製品の選定、(2) お客様のアプリケーションの設計、検証、試験、(3) お客様のアプリケーションに該当する各種規格や、その他のあらゆる安全性、セキュリティ、規制、または他の要件への確実な適合に関する責任を、お客様のみが単独で負うものとします。

上記の各種リソースは、予告なく変更される可能性があります。これらのリソースは、リソースで説明されている TI 製品を使用するアプリケーションの開発の目的でのみ、TI はその使用をお客様に許諾します。これらのリソースに関して、他の目的で複製することや掲載することは禁止されています。TI や第三者の知的財産権のライセンスが付与されている訳ではありません。お客様は、これらのリソースを自身で使用した結果発生するあらゆる申し立て、損害、費用、損失、責任について、TI およびその代理人を完全に補償するものとし、TI は一切の責任を拒否します。

TI の製品は、[TI の販売条件](#)、[TI の総合的な品質ガイドライン](#)、[ti.com](#) または TI 製品などに関連して提供される他の適用条件に従い提供されます。TI がこれらのリソースを提供することは、適用される TI の保証または他の保証の放棄の拡大や変更を意味するものではありません。TI がカスタム、またはカスタマー仕様として明示的に指定していない限り、TI の製品は標準的なカタログに掲載される汎用機器です。

お客様がいかなる追加条項または代替条項を提案する場合も、TI はそれらに異議を唱え、拒否します。

Copyright © 2025, Texas Instruments Incorporated

最終更新日：2025 年 10 月