

AM62Lx Sitara™ プロセッサ

1 特長

プロセッサ コア:

- デュアル 64 ビット Arm® Cortex®-A53 マイクロプロセッサ サブシステム、最大 1.25GHz
 - 256KB L2 キャッシュ搭載のデュアルコア Cortex-A53
 - 各 A53 コアに、32KB L1 D キャッシュと 32KB L1 I キャッシュ

メモリ サブシステム:

- 160KB のオンチップ SRAM (OCSRAM)
- DDR サブシステム (DDRSS)
 - LPDDR4、DDR4 メモリ タイプをサポート
 - 16 ビット データ バス
 - 最大 1600MT/s の速度をサポート
 - DDR4 の最大アドレス範囲: 4GB
 - LPDDR4 の最大アドレス範囲: 2GB

マルチメディア:

- ディスプレイ サブシステム
 - シングルディスプレイをサポート
 - 最大 1920x1080 @ 60fps
 - 独立した PLL によるサポート
 - MIPI® DSI (4 レーン DPHY) または DPI (24 ビット RGB LVCMOS)

セキュリティ:

- セキュア ブート対応
 - ハードウェアで強化された RoT (Root-of-Trust: 信頼の基点)
 - バックアップ キーによる RoT の切り替えをサポート
 - テイクオーバー保護、IP 保護、ロールバック禁止保護のサポート
- 信頼できる実行環境 (TEE) に対応
 - Arm TrustZone® をベースとする TEE
 - 分離用の広範なファイアウォール サポート
 - セキュアなウォッチドッグ / タイマ / IPC
 - セキュアなストレージのサポート
 - リプレイ保護メモリ ブロック (RPMB) のサポート
- と専用セキュリティ DMA および IPC サブシステムの搭載により絶縁処理を実現した専用セキュリティコントローラ
- 暗号化アクセラレーションに対応
 - 受信データ ストリームに基づいてキーマテリアルを自動的に切り替えできるセッション認識暗号化エンジン
 - 暗号化コアをサポート

- AES - 128/192/256 ビットのキー サイズ
- SHA2 - 224/256/384/512 ビットのキー サイズ
- DRBG と真性乱数発生器
- セキュア ブート対応のため PKA (公開鍵アクセラレータ) により RSA/ECC 処理を支援
- デバッグのセキュリティ
 - ソフトウェア制御によるセキュアなデバッグ アクセス
 - セキュリティ対応のデバッグ

高速インターフェイス:

- 次の機能をサポートするイーサネット スイッチを内蔵 (合計 2 つの外部ポート)
 - RMII (10/100) または RGMII (10/100/1000)
 - IEEE1588 (Annex D、Annex E、Annex F と 802.1AS PTP)
 - Clause 45 MDIO PHY 管理
 - プライオリティ ベースのフロー制御
 - ALE エンジン (64 の分類子) に基づくパケット分類器
 - 時間に制約のあるネットワーク機能 (TSN) のサポート
 - H/W 割り込みペーシング
 - ハードウェアの IP/UDP/TCP チェックサム オフロード
- 2 つの USB 2.0 デュアルロール デバイス (DRD) サブシステム (USBSS)
 - USB ホストまたは USB デバイスとして構成可能なポート
 - USB デバイス: ハイスピード (480Mbps)、フルスピード (12Mbps)
 - USB ホスト: ハイスピード (480Mbps)、フルスピード (12Mbps)、ロースピード (1.5Mbps)
 - xHCI 1.1 互換

一般的な接続機能:

- 8 個のユニバーサル非同期レシーバトランスミッタ (UART)
 - すべてのインスタンスが RTS および CTS フロー制御をサポート
 - RS-485 外部トランシーバ自動フロー制御をサポート
- 4 個のシリアル ペリフェラル インターフェイス (SPI) コントローラ
- 5 個の I2C (Inter-Integrated Circuit) ポート
- 3 個のマルチチャネル オーディオ シリアル ポート (McASP)
 - 最高 50MHz の送受信クロック



- 独立した TX および RX クロックを備えた 3 個の McASP を通じた最大 4/6/16 本のシリアル データ ピン
- 時分割多重化 (TDM)、IC 間サウンド (I2S)、および類似のフォーマットをサポート
- デジタル オーディオ インターフェイス送信 (SPDIF、IEC60958-1、AES-3 フォーマット) をサポート
- 送受信用 FIFO バッファ (256 バイト)
- オーディオ リファレンス出力クロックのサポート
- 3 個の拡張 PWM モジュール (ePWM)
- 3 個の拡張直交エンコーダ パルス モジュール (eQEP)
- 3 個の拡張キャプチャ モジュール (eCAP)
- の汎用 I/O (GPIO) に、ほとんどの LVCMOS I/O を GPIO として設定-可能
 - 4 個のバンクが、デュアル電圧 (1.8V/3.3V) と他のシングル電圧 (1.8V) LVCMOS I/O バンクをサポート
- 3 個のコントローラ エリア ネットワーク (CAN) モジュールを、オプションの CAN-FD でサポート
 - CAN プロトコル 2.0A、B、ISO 11898-1 に準拠
 - 完全な CAN FD のサポート (最大 64 データ バイト)
 - 最大速度: 8Mbps
- 1 個の 12 ビット A/D コンバータ (ADC)
 - 10 ビットの 有効分解能 (ENOB \approx 10)
 - 最大 2MSPS
 - 4 個のアナログ入力 (マルチプレクシング)

メディアおよびデータ ストレージ:

- 2 つのマルチメディア カード / セキュア デジタル® (MMC/SD®) インターフェイス
 - 1 個の 8 ビット eMMC インターフェイス、最大速度 HS200
 - 2 個の 4 ビット SD/SDIO インターフェイス、最大 UHS-I
 - eMMC 5.1、SD 3.01、SDIO バージョン 3.0 に準拠
- 最大 133MHz の 1 つの汎用メモリ コントローラ (GPMC)
 - フレキシブルな 8 ビットおよび 16 ビットの同期または非同期メモリインターフェイスと、最大 4 つのチップセレクト
 - 16 ビットの多重化アドレス/データ方式 (AD、AAD) をサポート

- BCH コードを使用して 4、8、または 16 ビット ECC をサポート
- ハミング コードを使用して 1 ビット ECC をサポート
- エラー特定モジュール (ELM)
- DDR/SDR をサポートする OSPI/QSPI
 - シリアル NAND およびシリアル NOR フラッシュ デバイスをサポート
 - 4GBytes のメモリ アドレスをサポート

パワー マネージメント:

- 自動クロックゲーティング、電力ゲーティング、動的周波数スケーリングなどのアクティブパワーマネージメント機能
- 複数の低消費電力機能
- 低消費電力モード
 - RTC のみ
 - RTC + IO + DDR
 - ディープスリープ
 - スタンバイ

ブート オプション:

- UART
- OSPI/QSPI フラッシュ
- GPMC NAND フラッシュ
- SD カード
- eMMC
- USB (ホスト) マス ストレージ
- 外部ホストからの USB (デバイス) ブート (DFU モード)

テクノロジー / パッケージ:

- 16-nm テクノロジー
- 11.9mm × 11.9mm、0.5mm VCA、373 ピン FCCSP BGA パッケージ (ANB)

2 アプリケーション

- ヒューマン マシン インターフェイス (HMI)
- 医療用 - 患者モニタリング
- ビル オートメーション
- EV 充電ステーション
- 太陽光エネルギー
- エネルギーインフラ (スマートメーターおよびソーラーゲートウェイ)
- モバイル/産業用プリンタ

3 説明

低コストでパフォーマンスを最適化した AM62L ファミリのアプリケーション プロセッサ は、Linux® アプリケーション開発向けに構築されています。スケーラブルな Arm® Cortex®-A53 コア性能と、以下のような組込み機能を搭載: マルチメディア DSI/DPI サポート、内蔵 ADC オンチップ、高度な低消費電力管理モード、および IP 保護とセキュア ブート用の広範なセキュリティ オプション。

AM62Lx には、広範な産業用アプリケーションに適した広範なペリフェラル セットが含まれており、インテリジェントな機能や最適化された電源アーキテクチャも提供します。さらに、AM62Lx に搭載されている広範なペリフェラル セットにより、以下のようなシステム レベルの接続性を実現できます。USB、MMC/SD、OSPI、CAN-FD、ADC。

パッケージ情報

部品番号	パッケージ ⁽¹⁾	パッケージ サイズ ⁽²⁾
AM62Lx	ANB (FCCSP BGA, 373)	11.9mm × 11.9mm

(1) 詳細については、未定、「[メカニカル](#)、[パッケージ](#)、および[注文情報](#)」を参照してください。

(2) パッケージ サイズ (長さ × 幅) は公称値であり、該当する場合はピンも含まれます。

3.1 機能ブロック図

図 3-1 は、スーパーセットデバイスの機能ブロック図です。

注

テキサス・インスツルメンツのソフトウェア開発キット (SDK) で現在サポートされているデバイス機能を理解するには、**AM62L-Processor-SDK** の「ダウンロード」タブ オプションにある **AM62L** ソフトウェア ビルド シートを検索してください。

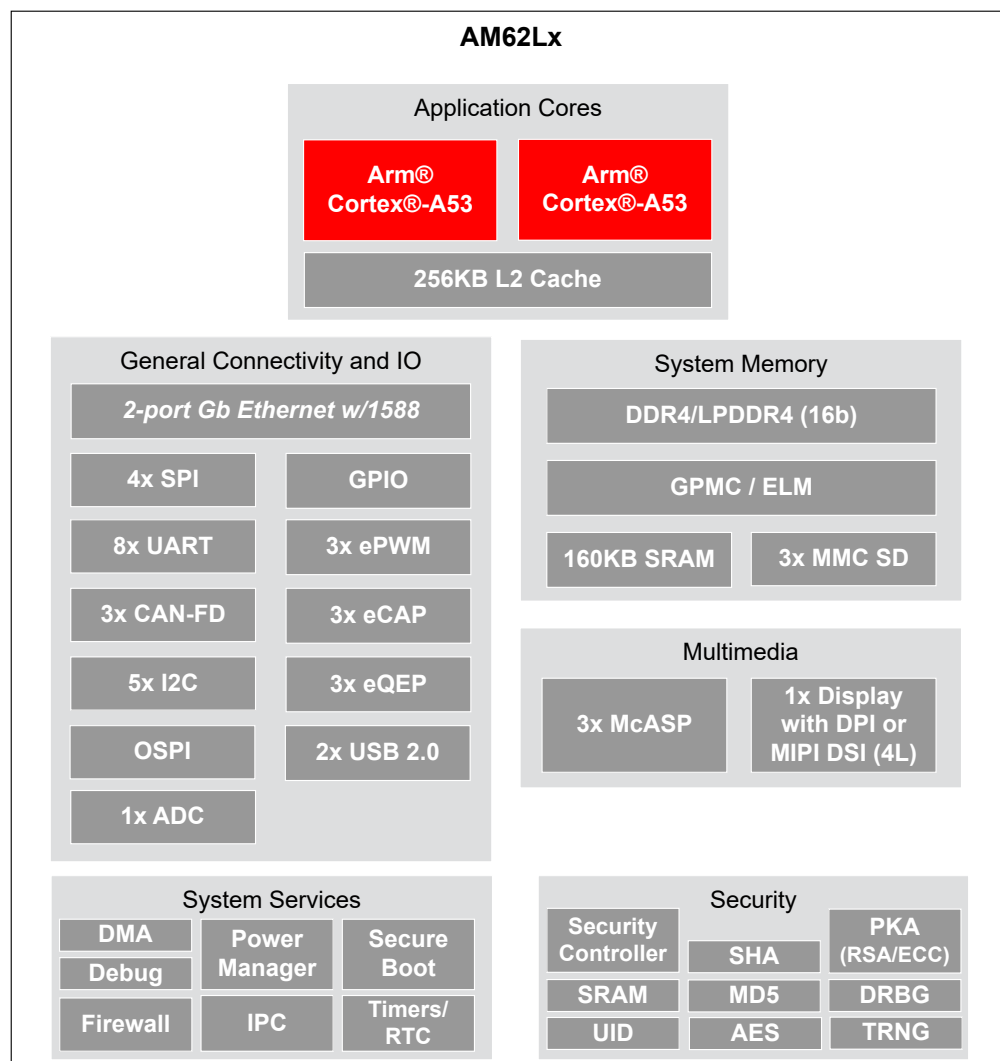


図 3-1. 機能ブロック図

目次

1 特長	1	6.10 温度センサの特性.....	85
2 アプリケーション	3	6.11 タイミングおよびスイッチング特性.....	86
3 説明	3	7 詳細説明	210
3.1 機能ブロック図.....	4	7.1 概要.....	210
4 デバイスの比較	6	7.2 プロセッサ サブシステム.....	210
4.1 関連製品.....	7	7.3 その他のサブシステム.....	211
5 端子構成および機能	8	7.4 ペリフェラル.....	212
5.1 ピン配置図.....	8	8 アプリケーション、実装、およびレイアウト	218
5.2 ピン属性.....	9	8.1 デバイスの接続およびレイアウトの基礎.....	218
5.3 信号の説明.....	42	8.2 ペリフェラルおよびインターフェイス固有の設計情報...	219
5.4 ピン接続要件.....	67	8.3 クロック配線のガイドライン.....	224
6 仕様	70	9 デバイスおよびドキュメントのサポート	225
6.1 絶対最大定格.....	70	9.1 デバイスの命名規則.....	225
6.2 ESD 定格.....	71	9.2 ツールとソフトウェア.....	228
6.3 電源投入時間 (POH).....	72	9.3 ドキュメントのサポート.....	228
6.4 推奨動作条件.....	73	9.4 サポート・リソース.....	228
6.5 動作性能ポイント.....	74	9.5 商標.....	229
6.6 消費電力の概略.....	74	9.6 静電気放電に関する注意事項.....	229
6.7 電気的特性.....	75	9.7 用語集.....	229
6.8 ワンタイム プログラマブル (OTP) eFuse の VPP 仕 様	83	改訂履歴	230
6.9 熱抵抗特性.....	84	10 メカニカル、パッケージ、および注文情報	231
		10.1 パッケージ情報.....	231

4 デバイスの比較

表 4-1 に、スーパーセットデバイスの機能を示します。

注

多くの機能に関連付けられている IO 信号は限られた数のピンに多重化されるため、この表に記載されている機能が利用できるかどうかは、共有 IO ピンの使用状況によります。信号機能をピンに割り当てるには、SysConfig ツールを使用する必要があります。これにより、ピン多重化に関連する制限をよりよく理解できます。

注

テキサス・インスツルメンツのソフトウェア開発キット (SDK) で現在サポートされているデバイス機能を理解するには、**AM62L-Processor-SDK** の「ダウンロード」タブ オプションにある **AM62L ソフトウェア ビルド シート** を検索してください。

表 4-1. デバイスの比較

特長	参照名	AM62L32	AM62L31
WKUP_CTRL_MMR_CFG0_JTAG_USER_ID[31:13] ⁽¹⁾ デバイスの「特長」コードごとのレジスタビット値 (デバイスの特長の詳細については、 項目名の説明表 を参照)			
G:		0x391A7	0x39187
プロセッサおよびアクセラレータ			
速度グレード		デバイス速度グレード表を参照	
Arm Cortex-A53 マイクロプロセッサ サブシステム	A53SS	デュアル コア	シングル コア
セキュリティ コントローラ	セキュリティ コントローラ	あり	
暗号化アクセラレータ	セキュリティ	あり	
プログラムおよびデータ ストレージ			
オンチップ共有メモリ (RAM)	MAIN ドメインの OCSRAM	96KB	
	WKUP ドメインの OCSRAM	64KB	
DDR サブシステム	DDR4 搭載の DDRSS	16 ビットデータ、最大 4GB	
	LPDDR4 搭載の DDRSS	16 ビットデータ、最大 2GB	
汎用メモリ コントローラ	GPMC	16 ビット (GPMC、Ra NAND、Muxed-NOR)	
ペリフェラル			
ディスプレイ サブシステム	DSS	1x DPI	
		1x DSI	
CAN-FD フル サポートするモジュール式コントローラ エリア ネットワーク	MCAN	3	
汎用 I/O	GPIO	133	
集積回路間インターフェイス	I2C	5	
A/D コンバータ	ADC	あり	
マルチチャネル オーディオ シリアル ポート	MCASP	3 (4/6/16 ビット)	
マルチチャネル シリアル ペリフェラル インターフェイス	MCSPi	4	
マルチメディア カード / セキュア デジタル インターフェイス	MMC/SD	1x eMMC (8 ビット)	
		2 SD/SDIO (4 ビット)	
フラッシュ サブシステム (FSS) ⁽²⁾	OSPI/QSPI	あり	
ギガビット イーサネット インターフェイス	CPSW3G	あり	
汎用タイマー	TIMER	6	
グローバル タイマカウンタ	GTC	1	
リアルタイム クロック	RTC	あり	
拡張パルス幅変調器モジュール	EPWM	3	
拡張キャプチャ モジュール	ECAP	3	

表 4-1. デバイスの比較 (続き)

特長	参照名	AM62L32	AM62L31
拡張直交エンコーダ パルス モジュール	EQEP		3
汎用非同期レシーバ / トランスミッタ	UART		8
USB2.0 コントローラ (PHY 付き)	USB 2.0		2

- (1) WKUP_CTRL_MMR_CFG0_JTAG_USER_ID レジスタおよび DEVICE_ID ビット フィールドの詳細については、デバイスのテクニカル リファレンス マニュアルを参照してください。
- (2) 1 つのフラッシュ インターフェイスを OSPI0 または QSPI0 として構成。

4.1 関連製品

Sitara™ プロセッサは、Arm® Cortex®-A コアをベースとするスケーラブルなプロセッサの広範なファミリーで、柔軟なアクセラレータ、ペリフェラル、コネクティビティを搭載しており、ソフトウェアのサポートが統一されているため、センサからサーバーまでのあらゆる用途に理想的です。Sitara プロセッサには、産業用や車載用でのアプリケーションに必要な信頼性と機能安全のサポートがあります。

Sitara™ マイコンは、クラス最高の Arm® ベース 32 ビット マイコン (MCU) で、高性能で電力効率の高いデバイスで構成されたスケーラブルな製品ラインアップを提供し、システムのニーズを満たすのに役立ちます。開発中の設計で、機能安全、電力効率、リアルタイム制御、高度なネットワーク、アナリティクス、セキュリティなどの機能を実現できます。

AM64x Sitara™ プロセッサは、ファクトリオートメーション/制御 (FAC) やモーター制御などの産業用アプリケーションをターゲットとし、Linux アプリケーション プロセッシング コア (Cortex®-A53)、リアルタイム プロセッシング コア (Cortex®-R5F)、産業用通信サブシステム (PRU_ICSSG) を使用して、EtherCAT®, Profinet, EtherNet/IP などのプロトコルをサポートします。AM64x は、1 つの CPSW3G と 2 つの PRU_ICSSG を実装しており、最大 5 つのギガビット イーサネットポートをサポートします。また、シングル レーンの PCIe® Gen2 または USB SuperSpeed Gen1、機能安全オプション、セキュア ブート、ランタイム セキュリティなど包括的なペリフェラル セットもサポートしています。

AM623 Sitara™ プロセッサは、Arm® Cortex®-A53 ベースの物体認識機能とジェスチャ認識機能を搭載した、IoT (モノのインターネット) とゲートウェイ向け SoC です。低コストの AM623 Sitara™ MPU アプリケーション プロセッサ ファミリーは、Linux® アプリケーション開発向けに構築されています。スケーラブルな Arm® Cortex®-A53 の性能と、デュアル ディスプレイ サポートなどの組み込み機能に加えて、広範なペリフェラル セットを搭載する AM623 デバイスは広範な産業用および車載用アプリケーションに最適です。

AM625 Sitara™ プロセッサは、Arm® Cortex®-A53 とフル HD デュアル ディスプレイを搭載した、人間と機械の対話型操作向け SoC です。低コストの AM625 Sitara™ MPU アプリケーション プロセッサ ファミリーは、Linux® アプリケーション開発向けに構築されています。スケーラブルな Arm® Cortex®-A53 の性能と、デュアル ディスプレイ サポートや 3D グラフィックス アクセラレーションなどの組み込み機能に加えて、広範なペリフェラル セットを搭載する AM625 デバイスは広範な産業用および車載用アプリケーションに最適です。

AM62A3 Sitara™ および **AM62A7 Sitara™** プロセッサは、1~4 個の Cortex A-53 Arm コアと、1 または 2 TOPS のアナリティクス ハードウェア アクセラレータを活用する組み込みビジョン SoC です。このスケーラブルで高性能な AM62Ax Sitara MPU アプリケーション プロセッサ ファミリーは、Linux アプリケーション開発向けに構築されています。AM62Ax は h.264/h.265 エンコード / デコード、セキュアブート、画像信号処理、ディープ ラーニング アクセラレータなどの組み込み機能を搭載し、産業用と車載用の幅広いアプリケーションに最適です。

設計を完成させるための製品:

- **イーサネット PHY**
- **パワー マネージメント / PMIC**
- **クロック / タイミング**
- **パワー スイッチ**
- **CAN トランシーバ**
- **ESD 保護**

これらのデバイスをシステム設計で実装する方法の詳細と、推奨される特定の部品番号の部品表 (BOM) については、AM62Lx EVM の回路図を参照してください。

5 端子構成および機能

5.1 ピン配置図

注

「ボール」、「ピン」、「端子」という用語は、ドキュメント全体で同じ意味で使用されています。物理的なパッケージに言及する場合にのみ「ボール」が使用されています。

図 5-1 に、373 ボール フリップ チップ ボール グリッド アレイ (FCCSP BGA) パッケージのボールの位置を示します。HTML バージョンの場合、ボールの上にカーソルを置くと追加情報が表示されます。この図は、表 5-1～表 5-66 (「ピン属性」表、「信号説明」表、「ピン接続要件」表) とともに使用します。

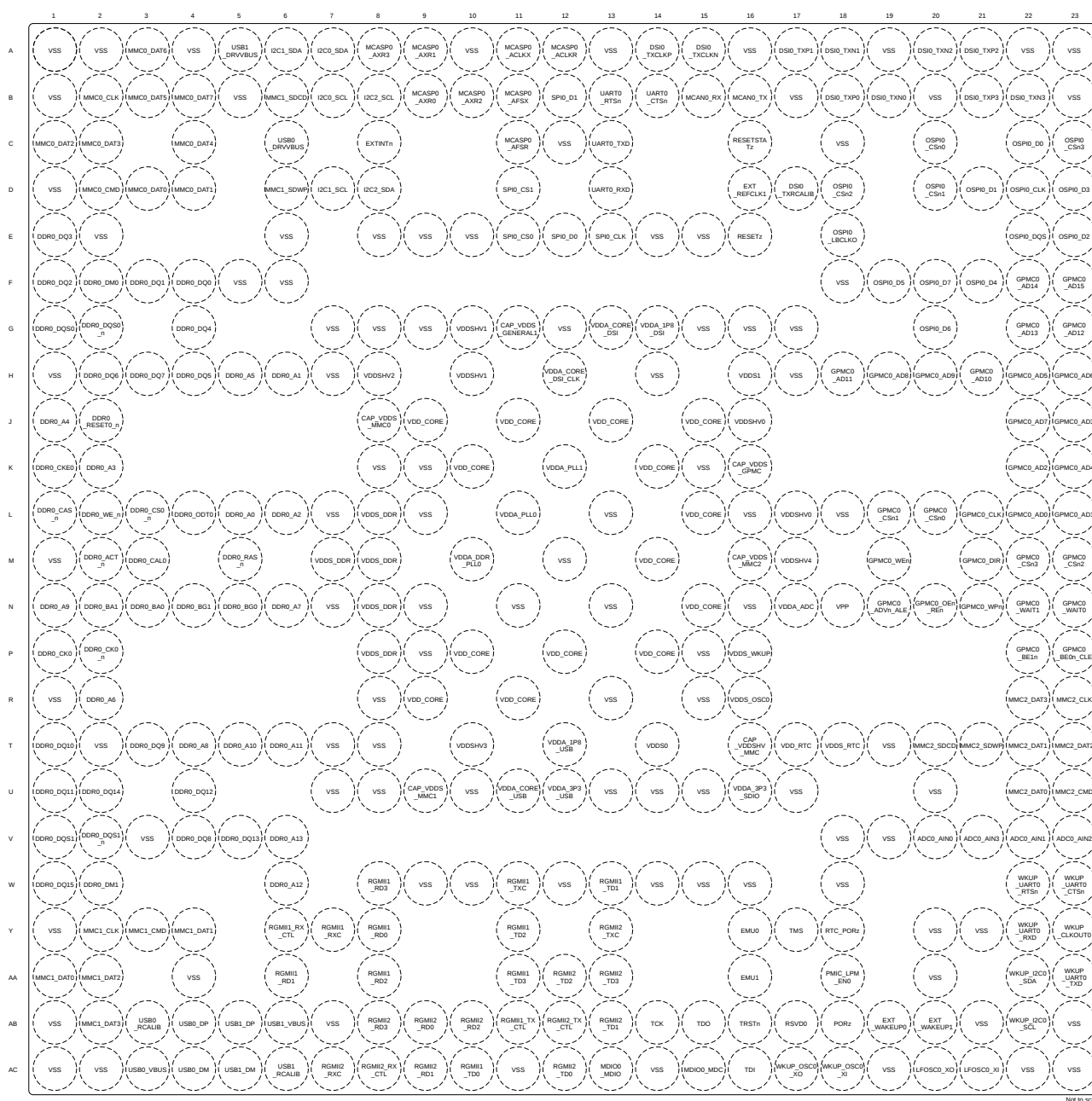


図 5-1. ANB FCCSP BGA パッケージ (上面図)

5.2 ピン属性

次のリストに、表 5-1「ピン属性 (ANB パッケージ)」の各列の内容を示します。

1. **ボール番号:**ボール グリッド アレイ パッケージの各端子に割り当てられたボール番号。
2. **ボール名:**ボール グリッド アレイ パッケージの各端子に割り当てられたボール名 (通常はプライマリ MUXMODE 0 信号機能からつけた名前)。
3. **信号名:**ボールに関連付けられているすべての専用およびピン多重化信号機能の信号名。

注

多くのデバイス ピンは複数の信号機能をサポートしています。一部の信号機能は、ピンに関連付けられた単一層のマルチプレクサで選択されます。他の信号機能は 2 層以上のマルチプレクサで選択され、ある層はピンに関連付けられ、他の層はペリフェラル ロジック機能に関連付けられます。

表 5-1「ピン属性 (ANB パッケージ)」では、ピンでの信号多重化のみが定義されています。ピンでの信号多重化の詳細については、デバイスのテクニカル リファレンス マニュアルで「デバイス構成」の章にある「パッド構成 レジスタ」セクションを参照してください。ペリフェラル信号の多重化に関する情報については、デバイスのテクニカル リファレンス マニュアルで該当するペリフェラルの章を参照してください。

4. **多重化モード:**各ピンの多重化信号機能に関連付けられた MUXMODE 値:
 - a. MUXMODE 0 は、プライマリ ピンの多重化信号機能です。ただし、プライマリ ピンの多重化信号機能は、必ずしもデフォルトのピン多重化信号機能とは限りません。

注

「リセット後の MUX モード」列の値は、PORz がデアサートされたときに選択されるデフォルトのピン多重化信号機能を定義します。

- a. ピン多重化信号機能には、MUXMODE の値 1~15 を使用できます。ただし、すべての MUXMODE 値が実装されているわけではありません。有効な MUXMODE 値は、「ピン属性」表でピン多重化信号機能として定義された値のみです。MUXMODE の有効な値のみを使用する必要があります。
- b. ブートストラップは SOC 構成ピンを定義します。各ピンに適用されるロジック状態は、PORz の立ち上がりエッジでラッチされます。これらの入力信号機能はそれぞれのピンに固定で、MUXMODE を使用してプログラムすることはできません。
- c. 空欄は該当しないことを意味します。

注

デバイスを適切に動作させるには、以下の MUXMODE の構成を避ける必要があります。

- 複数のピンを同じピン多重化信号機能への入力として動作するように構成すると、予期しない結果が生じる可能性があるため、この構成はサポートされていません。
- ピンを未定義のピン多重化モードに設定すると、ピンの動作が未定義になります。

5. **タイプ:**信号の種類と方向:

- I = 入力
- O = 出力
- OD = 出力、オープンドレイン出力機能付き
- IO = 入力、出力、または同時に入力と出力
- IOD = 入力、出力、または同時に入力と出力、オープンドレイン出力機能付き

- IOZ = 入力、出力、または同時に入力と出力、3 ステート出力機能付き
 - OZ = 出力、3 ステート出力機能付き
 - A = アナログ
 - PWR = 電源
 - GND = グランド
 - CAP = LDO コンデンサ。
6. **DSIS:** 選択解除入力状態 (DSIS) は、MUXMODE によってピン多重化信号機能が選択されていないとき、サブシステム入力 (ロジック「0」、ロジック「1」、または「パッド」レベル) に駆動される状態を示します。
- 0: ロジック 0 がサブシステム入力に駆動されます。
 - 1: ロジック 1 がサブシステム入力に駆動されます。
 - パッド: パッドのロジック状態がサブシステム入力に駆動されます。
 - 空欄は該当しないことを意味します。
7. **リセット時のボールの状態 (RX/TX/PULL):** PORz がアサートされているときの端子の状態。ここで、RX は入力バッファの状態、TX は出力バッファの状態、PULL は内部プル抵抗の状態を定義します。
- RX (入力バッファ)
 - オフ: 入力バッファは無効です。
 - オン: 入力バッファは有効です。
 - BMD: 入力バッファは、選択したブート モードに基づいて有効化 / 無効化されます。
 - NA: 該当なし。
 - TX (出力バッファ)
 - オフ: 出力バッファは無効です。
 - Low: 出力バッファは有効であり、 V_{OL} を駆動します。
 - NA: 該当なし。
 - PULL (内部プル抵抗)
 - オフ: 内部プル抵抗はターンオフされています。
 - アップ: 内部プルアップ抵抗はターンオンされています。
 - ダウン: 内部プルダウン抵抗はターンオンされています。
 - NA: 該当なし。
 - 空欄は該当しないことを意味します。

8. **リセット後のボールの状態 (RX/TX/PULL):** PORz がデアサートされた後の端子の状態。ここで、RX は入力バッファの状態、TX は出力バッファの状態、PULL は内部プル抵抗の状態を定義します。
- RX (入力バッファ)
 - オフ: 入力バッファは無効です。
 - オン: 入力バッファは有効です。
 - BMD: 入力バッファは、選択したブート モードに基づいて有効化 / 無効化されます。
 - NA: 該当なし。
 - TX (出力バッファ)
 - オフ: 出力バッファは無効です。
 - SS: MUXMODE で選択されたサブシステムによって、出力バッファの状態が決まります。
 - NA: 該当なし。
 - PULL (内部プル抵抗)
 - オフ: 内部プル抵抗はターンオフされています。
 - アップ: 内部プルアップ抵抗はターンオンされています。
 - ダウン: 内部プルダウン抵抗はターンオンされています。
 - NA: 該当なし。
 - 空欄は該当しないことを意味します。
9. **リセット後の多重化モード:** この欄の値は、PORz がデアサートされた後のデフォルトのピン多重化信号機能を定義します。
- 空欄は該当しないことを意味します。
10. **I/O 動作電圧:** この列は、それぞれの電源の I/O 動作電圧オプションについて説明します (該当する場合)。
- 空欄は該当しないことを意味します。
- 詳細については、[セクション 6.4](#)「推奨動作条件」で各電源に定義されている有効な動作電圧範囲を参照してください。
11. **電源:** 関連付けられている I/O の電源 (該当する場合)。
- 空欄は該当しないことを意味します。
12. **HYS:** この I/O に関連付けられている入力バッファにヒステリシスがあるかどうかを示します。
- あり: ヒステリシス付き
 - なし: ヒステリシスなし
 - 空欄は該当しないことを意味します。
- 詳細については、[セクション 6.7](#)「電気的特性」のヒステリシスの値を参照してください。
13. **バッファのタイプ:** この列は、端末に関連付けられたバッファのタイプを定義します。この情報を使用して、適用可能な電気的特性の表を決定できます。
- 空欄は該当しないことを意味します。
- 電気的特性については、[セクション 6.7](#)「電気的特性」の適切なバッファ タイプの表を参照してください。
14. **プルアップ / ダウン タイプ:** 内部プルアップまたはプルダウン抵抗が存在することを示します。プルアップおよびプルダウン抵抗は、ソフトウェアによって有効化または無効化できます。
- PU: 内部プルアップ
 - PD: 内部プルダウン
 - PU/PD: 内部プルアップおよびプルダウン
 - 空欄は内部プル抵抗がないことを意味します。
15. **PADCONFIG レジスタ:** ボールに関連付けられた IO パッド構成レジスタの名前。

16. **PADCONFIG** アドレス:ボールに関連付けられた IO パッド構成レジスタの物理アドレス。

表 5-1. ピン属性 (ANB パッケージ)

ボール 番号 [1]	ボール名 [2] PADCONFIG レジスタ [15] PADCONFIG アドレス [16]	信号名 [3]	多重化 モード [4]	タイプ [5]	DSIS [6]	リセット 時の ボール の状態 (RX/TX/PULL) [7]	リセット 後の ボール の状態 (RX/TX/PULL) [8]	リセット 後の 多重化 モード [9]	I/O 動作 電圧 [10]	電源 [11]	HYS [12]	バッファ タイプ [13]	プル アップ/ダウ ン タイプ [14]
V20	ADC0_AIN0	ADC0_AIN0		A					1.8V	VDDA_ADC		ADC	
V22	ADC0_AIN1	ADC0_AIN1		A					1.8V	VDDA_ADC		ADC	
V23	ADC0_AIN2	ADC0_AIN2		A					1.8V	VDDA_ADC		ADC	
V21	ADC0_AIN3	ADC0_AIN3		A					1.8V	VDDA_ADC		ADC	
T16	CAP_VDDSHV_MMC	CAP_VDDSHV_MMC		CAP									
G11	CAP_VDDS_GENERAL1	CAP_VDDS_GENERAL1		CAP									
K16	CAP_VDDS_GPMC	CAP_VDDS_GPMC		CAP									
J8	CAP_VDDS_MMC0	CAP_VDDS_MMC0		CAP									
U9	CAP_VDDS_MMC1	CAP_VDDS_MMC1		CAP									
M16	CAP_VDDS_MMC2	CAP_VDDS_MMC2		CAP									
M2	DDR0_ACT_n	DDR0_ACT_n		O					1.1V/1.2V	VDDS_DDR		DDR	
L1	DDR0_CAS_n	DDR0_CAS_n		O					1.1V/1.2V	VDDS_DDR		DDR	
M5	DDR0_RAS_n	DDR0_RAS_n		O					1.1V/1.2V	VDDS_DDR		DDR	
L2	DDR0_WE_n	DDR0_WE_n		O					1.1V/1.2V	VDDS_DDR		DDR	
L5	DDR0_A0	DDR0_A0		O					1.1V/1.2V	VDDS_DDR		DDR	
H6	DDR0_A1	DDR0_A1		O					1.1V/1.2V	VDDS_DDR		DDR	
L6	DDR0_A2	DDR0_A2		O					1.1V/1.2V	VDDS_DDR		DDR	
K2	DDR0_A3	DDR0_A3		O					1.1V/1.2V	VDDS_DDR		DDR	
J1	DDR0_A4	DDR0_A4		O					1.1V/1.2V	VDDS_DDR		DDR	
H5	DDR0_A5	DDR0_A5		O					1.1V/1.2V	VDDS_DDR		DDR	
R2	DDR0_A6	DDR0_A6		O					1.1V/1.2V	VDDS_DDR		DDR	
N6	DDR0_A7	DDR0_A7		O					1.1V/1.2V	VDDS_DDR		DDR	
T4	DDR0_A8	DDR0_A8		O					1.1V/1.2V	VDDS_DDR		DDR	
N1	DDR0_A9	DDR0_A9		O					1.1V/1.2V	VDDS_DDR		DDR	
T5	DDR0_A10	DDR0_A10		O					1.1V/1.2V	VDDS_DDR		DDR	
T6	DDR0_A11	DDR0_A11		O					1.1V/1.2V	VDDS_DDR		DDR	
W6	DDR0_A12	DDR0_A12		O					1.1V/1.2V	VDDS_DDR		DDR	
V6	DDR0_A13	DDR0_A13		O					1.1V/1.2V	VDDS_DDR		DDR	
N3	DDR0_BA0	DDR0_BA0		O					1.1V/1.2V	VDDS_DDR		DDR	
N2	DDR0_BA1	DDR0_BA1		O					1.1V/1.2V	VDDS_DDR		DDR	
N5	DDR0_BG0	DDR0_BG0		O					1.1V/1.2V	VDDS_DDR		DDR	
N4	DDR0_BG1	DDR0_BG1		O					1.1V/1.2V	VDDS_DDR		DDR	
M3	DDR0_CAL0	DDR0_CAL0		A					1.1V/1.2V	VDDS_DDR		DDR	
P1	DDR0_CK0	DDR0_CK0		O					1.1V/1.2V	VDDS_DDR		DDR	
P2	DDR0_CK0_n	DDR0_CK0_n		O					1.1V/1.2V	VDDS_DDR		DDR	
K1	DDR0_CKE0	DDR0_CKE0		O					1.1V/1.2V	VDDS_DDR		DDR	

表 5-1. ピン属性 (ANB パッケージ) (続き)

ボール 番号 [1]	ボール名 [2] PADCONFIG レジスタ [15] PADCONFIG アドレス [16]	信号名 [3]	多重化 モード [4]	タイプ [5]	DSIS [6]	リセット 時の ボール の状態 (RX/TX/PULL) [7]	リセット 後の ボール の状態 (RX/TX/PULL) [8]	リセット 後の 多重化 モード [9]	I/O 動作 電圧 [10]	電源 [11]	HYS [12]	バッファ タイプ [13]	プル アップ/ダウ ン タイプ [14]
L3	DDR0_CS0_n	DDR0_CS0_n		O					1.1V/1.2V	VDDSD_DDR		DDR	
F2	DDR0_DM0	DDR0_DM0		IO					1.1V/1.2V	VDDSD_DDR		DDR	
W2	DDR0_DM1	DDR0_DM1		IO					1.1V/1.2V	VDDSD_DDR		DDR	
F4	DDR0_DQ0	DDR0_DQ0		IO					1.1V/1.2V	VDDSD_DDR		DDR	
F3	DDR0_DQ1	DDR0_DQ1		IO					1.1V/1.2V	VDDSD_DDR		DDR	
F1	DDR0_DQ2	DDR0_DQ2		IO					1.1V/1.2V	VDDSD_DDR		DDR	
E1	DDR0_DQ3	DDR0_DQ3		IO					1.1V/1.2V	VDDSD_DDR		DDR	
G4	DDR0_DQ4	DDR0_DQ4		IO					1.1V/1.2V	VDDSD_DDR		DDR	
H4	DDR0_DQ5	DDR0_DQ5		IO					1.1V/1.2V	VDDSD_DDR		DDR	
H2	DDR0_DQ6	DDR0_DQ6		IO					1.1V/1.2V	VDDSD_DDR		DDR	
H3	DDR0_DQ7	DDR0_DQ7		IO					1.1V/1.2V	VDDSD_DDR		DDR	
V4	DDR0_DQ8	DDR0_DQ8		IO					1.1V/1.2V	VDDSD_DDR		DDR	
T3	DDR0_DQ9	DDR0_DQ9		IO					1.1V/1.2V	VDDSD_DDR		DDR	
T1	DDR0_DQ10	DDR0_DQ10		IO					1.1V/1.2V	VDDSD_DDR		DDR	
U1	DDR0_DQ11	DDR0_DQ11		IO					1.1V/1.2V	VDDSD_DDR		DDR	
U4	DDR0_DQ12	DDR0_DQ12		IO					1.1V/1.2V	VDDSD_DDR		DDR	
V5	DDR0_DQ13	DDR0_DQ13		IO					1.1V/1.2V	VDDSD_DDR		DDR	
U2	DDR0_DQ14	DDR0_DQ14		IO					1.1V/1.2V	VDDSD_DDR		DDR	
W1	DDR0_DQ15	DDR0_DQ15		IO					1.1V/1.2V	VDDSD_DDR		DDR	
G1	DDR0_DQS0	DDR0_DQS0		IO					1.1V/1.2V	VDDSD_DDR		DDR	
G2	DDR0_DQS0_n	DDR0_DQS0_n		IO					1.1V/1.2V	VDDSD_DDR		DDR	
V1	DDR0_DQS1	DDR0_DQS1		IO					1.1V/1.2V	VDDSD_DDR		DDR	
V2	DDR0_DQS1_n	DDR0_DQS1_n		IO					1.1V/1.2V	VDDSD_DDR		DDR	
L4	DDR0_ODT0	DDR0_ODT0		O					1.1V/1.2V	VDDSD_DDR		DDR	
J2	DDR0_RESET0_n	DDR0_RESET0_n		O					1.1V/1.2V	VDDSD_DDR		DDR	
A15	DSIO_TXCLKN	DSIO_TXCLKN		IO					1.8V	VDDA_1P8_DSI		D-PHY	
A14	DSIO_TXCLKP	DSIO_TXCLKP		IO					1.8V	VDDA_1P8_DSI		D-PHY	
D17	DSIO_TXRCALIB	DSIO_TXRCALIB		A					1.8V	VDDA_1P8_DSI		D-PHY	
B19	DSIO_TXN0	DSIO_TXN0		IO					1.8V	VDDA_1P8_DSI		D-PHY	
A18	DSIO_TXN1	DSIO_TXN1		IO					1.8V	VDDA_1P8_DSI		D-PHY	
A20	DSIO_TXN2	DSIO_TXN2		IO					1.8V	VDDA_1P8_DSI		D-PHY	
B22	DSIO_TXN3	DSIO_TXN3		IO					1.8V	VDDA_1P8_DSI		D-PHY	
B18	DSIO_TXP0	DSIO_TXP0		IO					1.8V	VDDA_1P8_DSI		D-PHY	
A17	DSIO_TXP1	DSIO_TXP1		IO					1.8V	VDDA_1P8_DSI		D-PHY	
A21	DSIO_TXP2	DSIO_TXP2		IO					1.8V	VDDA_1P8_DSI		D-PHY	
B21	DSIO_TXP3	DSIO_TXP3		IO					1.8V	VDDA_1P8_DSI		D-PHY	

表 5-1. ピン属性 (ANB パッケージ) (続き)

ボール 番号 [1]	ボール名 [2] PADCONFIG レジスタ [15] PADCONFIG アドレス [16]	信号名 [3]	多重化 モード [4]	タイプ [5]	DSIS [6]	リセット 時の ボール の状態 (RX/TX/PULL) [7]	リセット 後の ボール の状態 (RX/TX/PULL) [8]	リセット 後の 多重化 モード [9]	I/O 動作 電圧 [10]	電源 [11]	HYS [12]	バッファ タイプ [13]	プル アップ/ダウ ン タイプ [14]
Y16	EMU0 PADCONFIG: PADCONFIG13 0x04084034	EMU0	0	IO	0	オン / オフ / アップ	オン / オフ / アップ	0	1.8V	VDDS0	あり	1P8-LVCMOS	PU/PD
AA16	EMU1 PADCONFIG: PADCONFIG14 0x04084038	EMU1	0	IO	0	オン / オフ / アップ	オン / オフ / アップ	0	1.8V	VDDS0	あり	1P8-LVCMOS	PU/PD
C8	EXTINTn PADCONFIG: PADCONFIG122 0x040841E8	EXTINTn	0	I	1	オフ / オフ / NA	オフ / オフ / NA	7	1.8V/3.3V	VDDSHV1	あり	I2C OD FS	
		GPIO0_105	7	IO	パッド								
D16	EXT_REFCLK1 PADCONFIG: PADCONFIG121 0x040841E4	EXT_REFCLK1	0	I	0	オフ / オフ / オフ	オフ / オフ / オフ	7	1.8V/3.3V	VDDSHV1	あり	LVCMOS	PU/PD
		SYNC1_OUT	1	O									
		SPI2_CS3	2	IO	1								
		TIMER_IO0	4	IO	0								
		CLKOUT0	5	O									
		CP_GEMAC_CPTS0_RFT_CLK	6	I	0								
		GPIO0_104	7	IO	パッド								
		ECAP0_IN_APWM_OUT	8	IO	0								
		ADC_EXT_TRIGGER0	9	I	0								
AB19	EXT_WAKEUP0	EXT_WAKEUP0		I		オン / NA / NA	オン / NA / NA		1.8V	VDDS_RTC	あり	RTC - LVCMOS	
AB20	EXT_WAKEUP1	EXT_WAKEUP1		I		オン / NA / NA	オン / NA / NA		1.8V	VDDS_RTC	あり	RTC - LVCMOS	
N19	GPMC0_ADVn_ALE PADCONFIG: PADCONFIG48 0x040840C0	GPMC0_ADVn_ALE	0	O		オフ / オフ / オフ	オフ / オフ / オフ	7	1.8V/3.3V	VDDSHV0	あり	LVCMOS	PU/PD
		VOUT0_DATA17	1	O									
		MCASP1_AXR2	2	IO	0								
		EHRPWM_TZn_IN1	4	I	0								
		SPI3_CS3	5	IO	1								
		TRC_DATA7	6	O									
		GPIO0_32	7	IO	パッド								
L21	GPMC0_CLK PADCONFIG: PADCONFIG46 0x040840B8	GPMC0_CLK	0	O		オフ / オフ / オフ	オフ / オフ / オフ	7	1.8V/3.3V	VDDSHV0	あり	LVCMOS	PU/PD
		VOUT0_DATA16	1	O									
		MCASP1_AXR3	2	IO	0								
		GPMC0_FCLK_MUX	3	O									
		EHRPWM1_B	4	IO	0								
		TRC_DATA6	6	O									
		GPIO0_31	7	IO	パッド								

表 5-1. ピン属性 (ANB パッケージ) (続き)

ボール 番号 [1]	ボール名 [2] PADCONFIG レジスタ [15] PADCONFIG アドレス [16]	信号名 [3]	多重化 モード [4]	タイプ [5]	DSIS [6]	リセット 時の ボール の状態 (RX/TX/PULL) [7]	リセット 後の ボール の状態 (RX/TX/PULL) [8]	リセット 後の 多重化 モード [9]	I/O 動作 電圧 [10]	電源 [11]	HYS [12]	バッファ タイプ [13]	プル アップ / ダウ ン タイプ [14]
M21	GPMC0_DIR PADCONFIG: PADCONFIG56 0x040840E0	GPMC0_DIR	0	O		オフ / オフ / オフ	オフ / オフ / オフ	7	1.8V/3.3V	VDDSHV0	あり	LVCMOS	PU/PD
		VOUT0_DE	1	O									
		SPI2_D0	2	IO	0								
		MCASP2_AXR13	3	IO	0								
		EQEP1_B	4	I	0								
		TRC_DATA14	6	O									
		GPIO0_40	7	IO	バンド								
		EQEP2_S	8	IO	0								
N20	GPMC0_OEn_REn PADCONFIG: PADCONFIG49 0x040840C4	GPMC0_OEn_REn	0	O		オフ / オフ / オフ	オフ / オフ / オフ	7	1.8V/3.3V	VDDSHV0	あり	LVCMOS	PU/PD
		VOUT0_DATA18	1	O									
		MCASP1_AXR1	2	IO	0								
		EHRPWM2_A	4	IO	0								
		SPI3_CS2	5	IO	1								
		TRC_DATA8	6	O									
		GPIO0_33	7	IO	バンド								
M19	GPMC0_WEn PADCONFIG: PADCONFIG50 0x040840C8	GPMC0_WEn	0	O		オフ / オフ / オフ	オフ / オフ / オフ	7	1.8V/3.3V	VDDSHV0	あり	LVCMOS	PU/PD
		VOUT0_DATA19	1	O									
		MCASP1_AXR0	2	IO	0								
		EHRPWM2_B	4	IO	0								
		SPI3_CS1	5	IO	1								
		TRC_DATA9	6	O									
N21	GPMC0_WPn PADCONFIG: PADCONFIG55 0x040840DC	GPIO0_34	7	IO	バンド	オフ / オフ / オフ	オフ / オフ / オフ	7	1.8V/3.3V	VDDSHV0	あり	LVCMOS	PU/PD
		GPMC0_WPn	0	O									
		VOUT0_HSYNC	1	O									
		SPI2_CLK	2	IO	0								
		UART6_TXD	3	O									
		EQEP1_A	4	I	0								
		AUDIO_EXT_REFCLK1	5	IO	0								
		TRC_DATA13	6	O		オフ / オフ / オフ	オフ / オフ / オフ	7	1.8V/3.3V	VDDSHV0	あり	LVCMOS	PU/PD
		GPIO0_39	7	IO	バンド								

表 5-1. ピン属性 (ANB パッケージ) (続き)

ボール 番号 [1]	ボール名 [2] PADCONFIG レジスタ [15] PADCONFIG アドレス [16]	信号名 [3]	多重化 モード [4]	タイプ [5]	DSIS [6]	リセット 時の ボール の状態 (RX/TX/PULL) [7]	リセット 後の ボール の状態 (RX/TX/PULL) [8]	リセット 後の 多重化 モード [9]	I/O 動作 電圧 [10]	電源 [11]	HYS [12]	バッファ タイプ [13]	プル アップ / ダウ ン タイプ [14]
L22	GPMC0_AD0 PADCONFIG: PADCONFIG30 0x04084078	GPMC0_AD0	0	IO	0	BMD / オフ / オフ	BDM / オフ / オフ	7	1.8V/3.3V	VDDSHV0	あり	LVCMOS	PU/PD
		VOUT0_DATA0	1	O									
		UART6_RXD	2	I	1								
		MCASP2_AXR4	3	IO	0								
		I2C3_SCL	4	IOD	1								
		ECAP0_IN_APWM_OUT	5	IO	0								
		TRC_CLK	6	O									
		GPIO0_15	7	IO	パッド								
L23	GPMC0_AD1 PADCONFIG: PADCONFIG31 0x0408407C	BOOTMODE00	ブートストラ ップ	I		BMD / オフ / オフ	BDM / オフ / オフ	7	1.8V/3.3V	VDDSHV0	あり	LVCMOS	PU/PD
		GPMC0_AD1	0	IO	0								
		VOUT0_DATA1	1	O									
		UART6_TXD	2	O									
		MCASP2_AXR5	3	IO	0								
		I2C3_SDA	4	IOD	1								
		ECAP1_IN_APWM_OUT	5	IO	0								
		TRC_CTL	6	O									
K22	GPMC0_AD2 PADCONFIG: PADCONFIG32 0x04084080	GPIO0_16	7	IO	パッド	BMD / オフ / オフ	BDM / オフ / オフ	7	1.8V/3.3V	VDDSHV0	あり	LVCMOS	PU/PD
		BOOTMODE01	ブートストラ ップ	I									
		GPMC0_AD2	0	IO	0								
		VOUT0_DATA2	1	O									
		UART6_RTSn	2	O									
		MCASP2_AXR6	3	IO	0								
		SPI1_D0	4	IO	0								
		TRC_DATA0	6	O									
J23	GPMC0_AD3 PADCONFIG: PADCONFIG33 0x04084084	GPIO0_17	7	IO	パッド	BMD / オフ / オフ	BDM / オフ / オフ	7	1.8V/3.3V	VDDSHV0	あり	LVCMOS	PU/PD
		BOOTMODE02	ブートストラ ップ	I									
		GPMC0_AD3	0	IO	0								
		VOUT0_DATA3	1	O									
		UART6_CTSn	2	I	1								
		MCASP2_AXR7	3	IO	0								
		SPI1_D1	4	IO	0								
		TRC_DATA1	6	O									
J23	GPMC0_AD3 PADCONFIG: PADCONFIG33 0x04084084	GPIO0_18	7	IO	パッド	BMD / オフ / オフ	BDM / オフ / オフ	7	1.8V/3.3V	VDDSHV0	あり	LVCMOS	PU/PD
		BOOTMODE03	ブートストラ ップ	I									

表 5-1. ピン属性 (ANB パッケージ) (続き)

ボール 番号 [1]	ボール名 [2] PADCONFIG レジスタ [15] PADCONFIG アドレス [16]	信号名 [3]	多重化 モード [4]	タイプ [5]	DSIS [6]	リセット 時の ボール の状態 (RX/TX/PULL) [7]	リセット 後の ボール の状態 (RX/TX/PULL) [8]	リセット 後の 多重化 モード [9]	I/O 動作 電圧 [10]	電源 [11]	HYS [12]	バッファ タイプ [13]	プル アップ / ダウ ン タイプ [14]
K23	GPMC0_AD4 PADCONFIG: PADCONFIG34 0x04084088	GPMC0_AD4	0	IO	0	BMD / オフ / オフ	BDM / オフ / オフ	7	1.8V/3.3V	VDDSHV0	あり	LVCMOS	PU/PD
		VOUT0_DATA4	1	O									
		UART5_RTSn	2	O									
		MCASP2_AXR8	3	IO	0								
		SPI1_CS0	4	IO	1								
		TRC_DATA2	6	O									
		GPIO0_19	7	IO	バンド								
		BOOTMODE04	ブートストラ ップ	I									
H22	GPMC0_AD5 PADCONFIG: PADCONFIG35 0x0408408C	GPMC0_AD5	0	IO	0	BMD / オフ / オフ	BDM / オフ / オフ	7	1.8V/3.3V	VDDSHV0	あり	LVCMOS	PU/PD
		VOUT0_DATA5	1	O									
		UART5_CTSn	2	I	1								
		MCASP2_AXR9	3	IO	0								
		SPI1_CLK	4	IO	0								
		TRC_DATA3	6	O									
		GPIO0_20	7	IO	バンド								
		BOOTMODE05	ブートストラ ップ	I									
H23	GPMC0_AD6 PADCONFIG: PADCONFIG36 0x04084090	GPMC0_AD6	0	IO	0	BMD / オフ / オフ	BDM / オフ / オフ	7	1.8V/3.3V	VDDSHV0	あり	LVCMOS	PU/PD
		VOUT0_DATA6	1	O									
		UART4_RTSn	2	O									
		MCASP2_AXR10	3	IO	0								
		SPI1_CS3	4	IO	1								
		TRC_DATA4	6	O									
		GPIO0_21	7	IO	バンド								
		BOOTMODE06	ブートストラ ップ	I									
J22	GPMC0_AD7 PADCONFIG: PADCONFIG37 0x04084094	GPMC0_AD7	0	IO	0	BMD / オフ / オフ	BDM / オフ / オフ	7	1.8V/3.3V	VDDSHV0	あり	LVCMOS	PU/PD
		VOUT0_DATA7	1	O									
		UART4_CTSn	2	I	1								
		MCASP2_AXR11	3	IO	0								
		SPI1_CS1	4	IO	1								
		MCASP1_AXR5	5	IO	0								
		TRC_DATA5	6	O									
		GPIO0_22	7	IO	バンド								
		BOOTMODE07	ブートストラ ップ	I									

表 5-1. ピン属性 (ANB パッケージ) (続き)

ボール 番号 [1]	ボール名 [2] PADCONFIG レジスタ [15] PADCONFIG アドレス [16]	信号名 [3]	多重化 モード [4]	タイプ [5]	DSIS [6]	リセット 時の ボール の状態 (RX/TX/PULL) [7]	リセット 後の ボール の状態 (RX/TX/PULL) [8]	リセット 後の 多重化 モード [9]	I/O 動作 電圧 [10]	電源 [11]	HYS [12]	バッファ タイプ [13]	プル アップ / ダウ ン タイプ [14]
H19	GPMC0_AD8 PADCONFIG: PADCONFIG38 0x04084098	GPMC0_AD8	0	IO	0	BMD / オフ / オフ	BDM / オフ / オフ	7	1.8V/3.3V	VDDSHV0	あり	LVCMOS	PU/PD
		VOUT0_DATA8	1	O									
		UART2_RXD	2	I	1								
		MCASP2_AXR0	3	IO	0								
		SPI1_CS2	4	IO	1								
		MCASP1_AXR4	5	IO	0								
		GPIO0_23	7	IO	パッド								
		BOOTMODE08	ブートストラ ップ	I									
H20	GPMC0_AD9 PADCONFIG: PADCONFIG39 0x0408409C	GPMC0_AD9	0	IO	0	BMD / オフ / オフ	BDM / オフ / オフ	7	1.8V/3.3V	VDDSHV0	あり	LVCMOS	PU/PD
		VOUT0_DATA9	1	O									
		UART2_TXD	2	O									
		MCASP2_AXR1	3	IO	0								
		TIMER_IO2	4	IO	0								
		ECAP2_IN_APWM_OUT	5	IO	0								
		GPIO0_24	7	IO	パッド								
		BOOTMODE09	ブートストラ ップ	I									
H21	GPMC0_AD10 PADCONFIG: PADCONFIG40 0x040840A0	GPMC0_AD10	0	IO	0	BMD / オフ / オフ	BDM / オフ / オフ	7	1.8V/3.3V	VDDSHV0	あり	LVCMOS	PU/PD
		VOUT0_DATA10	1	O									
		UART3_RXD	2	I	1								
		MCASP2_AXR2	3	IO	0								
		EHRPWM0_SYNCI	4	I	0								
		GPIO0_25	7	IO	パッド								
		OBSClk0	8	O									
		BOOTMODE10	ブートストラ ップ	I									
H18	GPMC0_AD11 PADCONFIG: PADCONFIG41 0x040840A4	GPMC0_AD11	0	IO	0	BMD / オフ / オフ	BDM / オフ / オフ	7	1.8V/3.3V	VDDSHV0	あり	LVCMOS	PU/PD
		VOUT0_DATA11	1	O									
		UART3_TXD	2	O									
		MCASP2_AXR3	3	IO	0								
		EHRPWM0_SYNCO	4	O									
		TRC_DATA23	6	O									
		GPIO0_26	7	IO	パッド								
		BOOTMODE11	ブートストラ ップ	I									

表 5-1. ピン属性 (ANB パッケージ) (続き)

ボール 番号 [1]	ボール名 [2] PADCONFIG レジスタ [15] PADCONFIG アドレス [16]	信号名 [3]	多重化 モード [4]	タイプ [5]	DSIS [6]	リセット 時の ボール の状態 (RX/TX/PULL) [7]	リセット 後の ボール の状態 (RX/TX/PULL) [8]	リセット 後の 多重化 モード [9]	I/O 動作 電圧 [10]	電源 [11]	HYS [12]	バッファ タイプ [13]	プル アップ / ダウ ン タイプ [14]
G23	GPMC0_AD12 PADCONFIG: PADCONFIG42 0x040840A8	GPMC0_AD12	0	IO	0	オン / オフ / オフ	オン / オフ / オフ	7	1.8V/3.3V	VDDSHV0	あり	LVCMOS	PU/PD
		VOUT0_DATA12	1	O									
		UART4_RXD	2	I	1								
		MCASP2_AFSX	3	IO	0								
		EHRPWM_TZn_IN2	4	I	0								
		TRC_DATA22	6	O									
		GPIO0_27	7	IO	バンド								
		BOOTMODE12	ブートストラ ップ	I									
G22	GPMC0_AD13 PADCONFIG: PADCONFIG43 0x040840AC	GPMC0_AD13	0	IO	0	オン / オフ / オフ	オン / オフ / オフ	7	1.8V/3.3V	VDDSHV0	あり	LVCMOS	PU/PD
		VOUT0_DATA13	1	O									
		UART4_TXD	2	O									
		MCASP2_ACLKX	3	IO	0								
		EHRPWM0_A	4	IO	0								
		TRC_DATA21	6	O									
		GPIO0_28	7	IO	バンド								
		BOOTMODE13	ブートストラ ップ	I									
F22	GPMC0_AD14 PADCONFIG: PADCONFIG44 0x040840B0	GPMC0_AD14	0	IO	0	オン / オフ / オフ	オン / オフ / オフ	7	1.8V/3.3V	VDDSHV0	あり	LVCMOS	PU/PD
		VOUT0_DATA14	1	O									
		UART5_RXD	2	I	1								
		MCASP2_AFSR	3	IO	0								
		EHRPWM0_B	4	IO	0								
		TRC_DATA20	6	O									
		GPIO0_29	7	IO	バンド								
		UART2_CTSn	8	I	1								
		BOOTMODE14	ブートストラ ップ	I									
F23	GPMC0_AD15 PADCONFIG: PADCONFIG45 0x040840B4	GPMC0_AD15	0	IO	0	オン / オフ / オフ	オン / オフ / オフ	7	1.8V/3.3V	VDDSHV0	あり	LVCMOS	PU/PD
		VOUT0_DATA15	1	O									
		UART5_TXD	2	O									
		MCASP2_ACLKR	3	IO	0								
		EHRPWM1_A	4	IO	0								
		TRC_DATA19	6	O									
		GPIO0_30	7	IO	バンド								
		UART2_RTSn	8	O									
		BOOTMODE15	ブートストラ ップ	I									

表 5-1. ピン属性 (ANB パッケージ) (続き)

ボール 番号 [1]	ボール名 [2] PADCONFIG レジスタ [15] PADCONFIG アドレス [16]	信号名 [3]	多重化 モード [4]	タイプ [5]	DSIS [6]	リセット 時の ボール の状態 (RX/TX/PULL) [7]	リセット 後の ボール の状態 (RX/TX/PULL) [8]	リセット 後の 多重化 モード [9]	I/O 動作 電圧 [10]	電源 [11]	HYS [12]	バッファ タイプ [13]	プル アップ/ダウ ン タイプ [14]
P23	GPMC0_BE0n_CLE PADCONFIG: PADCONFIG51 0x040840CC	GPMC0_BE0n_CLE	0	O		オフ / オフ / オフ	オフ / オフ / オフ	7	1.8V/3.3V	VDDSHV0	あり	LVCMOS	PU/PD
		VOUT0_DATA20	1	O									
		MCASP1_ACLKX	2	IO	0								
		EQEP0_A	4	I	0								
		SPI3_CS0	5	IO	1								
		TRC_DATA10	6	O									
		GPIO0_35	7	IO	パッド								
P22	GPMC0_BE1n PADCONFIG: PADCONFIG52 0x040840D0	GPMC0_BE1n	0	O		オフ / オフ / オフ	オフ / オフ / オフ	7	1.8V/3.3V	VDDSHV0	あり	LVCMOS	PU/PD
		VOUT0_DATA21	1	O									
		MCASP2_AXR12	3	IO	0								
		EQEP0_B	4	I	0								
		SPI3_CLK	5	IO	0								
		TRC_DATA11	6	O									
		GPIO0_36	7	IO	パッド								
L20	GPMC0_CSn0 PADCONFIG: PADCONFIG57 0x040840E4	GPMC0_CSn0	0	O		オフ / オフ / オフ	オフ / オフ / オフ	7	1.8V/3.3V	VDDSHV0	あり	LVCMOS	PU/PD
		VOUT0_VSYNC	1	O									
		SPI2_D1	2	IO	0								
		MCASP2_AXR14	3	IO	0								
		EQEP1_S	4	IO	0								
		TRC_DATA15	6	O									
		GPIO0_41	7	IO	パッド								
L19	GPMC0_CSn1 PADCONFIG: PADCONFIG58 0x040840E8	GPMC0_CSn1	0	O		オフ / オフ / オフ	オフ / オフ / オフ	7	1.8V/3.3V	VDDSHV0	あり	LVCMOS	PU/PD
		VOUT0_PCLK	1	O									
		SPI2_CS0	2	IO	1								
		MCASP2_AXR15	3	IO	0								
		EQEP1_I	4	IO	0								
		TRC_DATA16	6	O									
		GPIO0_42	7	IO	パッド								

表 5-1. ピン属性 (ANB パッケージ) (続き)

ボール 番号 [1]	ボール名 [2] PADCONFIG レジスタ [15] PADCONFIG アドレス [16]	信号名 [3]	多重化 モード [4]	タイプ [5]	DSIS [6]	リセット 時の ボール の状態 (RX/TX/PULL) [7]	リセット 後の ボール の状態 (RX/TX/PULL) [8]	リセット 後の 多重化 モード [9]	I/O 動作 電圧 [10]	電源 [11]	HYS [12]	バッファ タイプ [13]	プル アップ / ダウ ン タイプ [14]
M23	GPMC0_CSn2 PADCONFIG: PADCONFIG59 0x040840EC	GPMC0_CSn2	0	O		オフ / オフ / オフ	オフ / オフ / オフ	7	1.8V/3.3V	VDDSHV0	あり	LVCMOS	PU/PD
		I2C2_SCL	1	IOD	1								
		MCASP1_AXR4	2	IO	0								
		UART4_RXD	3	I	1								
		ADC_EXT_TRIGGER0	4	I	0								
		VOUT0_EXTCLKIN	5	I	0								
		TRC_DATA17	6	O									
		GPIO0_43	7	IO	バンド								
		MCASP1_AFSR	8	IO	0								
M22	GPMC0_CSn3 PADCONFIG: PADCONFIG60 0x040840F0	GPMC0_CSn3	0	O		オフ / オフ / オフ	オフ / オフ / オフ	7	1.8V/3.3V	VDDSHV0	あり	LVCMOS	PU/PD
		I2C2_SDA	1	IOD	1								
		WKUP_CLKOUT0	2	O									
		UART4_TXD	3	O									
		MCASP1_AXR5	4	IO	0								
		ADC_EXT_TRIGGER1	5	I	0								
		TRC_DATA18	6	O									
		GPIO0_44	7	IO	バンド								
		MCASP1_ACLKR	8	IO	0								
N23	GPMC0_WAIT0 PADCONFIG: PADCONFIG53 0x040840D4	GPMC0_WAIT0	0	I	1	オフ / オフ / オフ	オフ / オフ / オフ	7	1.8V/3.3V	VDDSHV0	あり	LVCMOS	PU/PD
		VOUT0_DATA22	1	O									
		MCASP1_AFSX	2	IO	0								
		EQEP0_S	4	IO	0								
		SPI3_D0	5	IO	0								
		TRC_DATA12	6	O									
		GPIO0_37	7	IO	バンド								
N22	GPMC0_WAIT1 PADCONFIG: PADCONFIG54 0x040840D8	GPMC0_WAIT1	0	I	1	オフ / オフ / オフ	オフ / オフ / オフ	7	1.8V/3.3V	VDDSHV0	あり	LVCMOS	PU/PD
		VOUT0_DATA23	1	O									
		SPI2_CS1	2	IO	1								
		UART6_RXD	3	I	1								
		EQEP0_I	4	IO	0								
		SPI3_D1	5	IO	0								
		GPIO0_38	7	IO	バンド								
		EQEP2_I	8	IO	0								
		MCAN1_RX	9	I	1								

表 5-1. ピン属性 (ANB パッケージ) (続き)

ボール 番号 [1]	ボール名 [2] PADCONFIG レジスタ [15] PADCONFIG アドレス [16]	信号名 [3]	多重化 モード [4]	タイプ [5]	DSIS [6]	リセット 時の ボール の状態 (RX/TX/PULL) [7]	リセット 後の ボール の状態 (RX/TX/PULL) [8]	リセット 後の 多重化 モード [9]	I/O 動作 電圧 [10]	電源 [11]	HYS [12]	バッファ タイプ [13]	プル アップ / ダウ ン タイプ [14]
B7	I2C0_SCL PADCONFIG: PADCONFIG115 0x040841CC	I2C0_SCL	0	IOD	1	オフ / オフ / オフ	オフ / オフ / オフ	7	1.8V/3.3V	VDDSHV1	あり	LVCMOS	PU/PD
		SYNC0_OUT	2	O									
		OBSCCLK1	3	O									
		UART1_DCDn	4	I	1								
		EQEP2_A	5	I	0								
		EHRPWM_SOCa	6	O									
		GPIO0_98	7	IO	バンド								
		ECAP1_IN_APWM_OUT	8	IO	0								
A7	I2C0_SDA PADCONFIG: PADCONFIG116 0x040841D0	SPI2_CS0	9	IO	1	オフ / オフ / オフ	オフ / オフ / オフ	7	1.8V/3.3V	VDDSHV1	あり	LVCMOS	PU/PD
		I2C0_SDA	0	IOD	1								
		SPI2_CS2	2	IO	1								
		TIMER_IO1	3	IO	0								
		UART1_DSRn	4	I	1								
		EQEP2_B	5	I	0								
		EHRPWM_SOCB	6	O									
		GPIO0_99	7	IO	バンド								
D7	I2C1_SCL PADCONFIG: PADCONFIG117 0x040841D4	ECAP2_IN_APWM_OUT	8	IO	0	オフ / オフ / オフ	オフ / オフ / オフ	7	1.8V/3.3V	VDDSHV1	あり	LVCMOS	PU/PD
		I2C1_SCL	0	IOD	1								
		UART1_RXD	1	I	1								
		TIMER_IO0	2	IO	0								
		SPI2_CS1	3	IO	1								
		EHRPWM0_SYNCI	4	I	0								
		GPIO0_100	7	IO	バンド								
		EHRPWM2_A	8	IO	0								
A6	I2C1_SDA PADCONFIG: PADCONFIG118 0x040841D8	MMC2_SDCCD	9	I	0	オフ / オフ / オフ	オフ / オフ / オフ	7	1.8V/3.3V	VDDSHV1	あり	LVCMOS	PU/PD
		I2C1_SDA	0	IOD	1								
		UART1_TXD	1	O									
		TIMER_IO1	2	IO	0								
		SPI2_CLK	3	IO	0								
		EHRPWM0_SYNCO	4	O									
		GPIO0_101	7	IO	バンド								
		EHRPWM2_B	8	IO	0								
B8	I2C2_SCL PADCONFIG: PADCONFIG119 0x040841DC	MMC2_SDWP	9	I	0	オフ / オフ / NA	オフ / オフ / NA	7	1.8V/3.3V	VDDSHV1	あり	I2C OD FS	
		I2C2_SCL	0	IOD	1								
		GPIO0_102	7	IO	バンド								

表 5-1. ピン属性 (ANB パッケージ) (続き)

ボール 番号 [1]	ボール名 [2] PADCONFIG レジスタ [15] PADCONFIG アドレス [16]	信号名 [3]	多重化 モード [4]	タイプ [5]	DSIS [6]	リセット 時の ボール の状態 (RX/TX/PULL) [7]	リセット 後の ボール の状態 (RX/TX/PULL) [8]	リセット 後の 多重化 モード [9]	I/O 動作 電圧 [10]	電源 [11]	HYS [12]	バッファ タイプ [13]	プル アップ / ダウ ン タイプ [14]
D8	PADCONFIG: PADCONFIG120 0x040841E0	I2C2_SDA	0	IOD	1	オフ / オフ / NA	オフ / オフ / NA	7	1.8V/3.3V	VDDSHV1	あり	I2C OD FS	
		GPIO0_103	7	IO	バッド								
AC21	LFOSC0_XI	LFOSC0_XI		I					1.8V	VDD_RTC		LFXOSC	
AC20	LFOSC0_XO	LFOSC0_XO		O					1.8V	VDD_RTC		LFXOSC	
B15	MCAN0_RX PADCONFIG: PADCONFIG114 0x040841C8	MCAN0_RX	0	I	1	オフ / オフ / オフ	オフ / オフ / オフ	7	1.8V/3.3V	VDDSHV1	あり	LVCMOS	PU/PD
		UART5_TXD	1	O									
		TIMER_IO3	2	IO	0								
		SYNC3_OUT	3	O									
		UART1_RIn	4	I	1								
		EQEP2_S	5	IO	0								
		GPIO0_97	7	IO	バッド								
		MCASP2_AXR1	8	IO	0								
B16	MCAN0_TX PADCONFIG: PADCONFIG113 0x040841C4	MCAN0_TX	0	O		オフ / オフ / オフ	オフ / オフ / オフ	7	1.8V/3.3V	VDDSHV1	あり	LVCMOS	PU/PD
		UART5_RXD	1	I	1								
		TIMER_IO2	2	IO	0								
		SYNC2_OUT	3	O									
		UART1_DTRn	4	O									
		EQEP2_I	5	IO	0								
		GPIO0_96	7	IO	バッド								
		MCASP2_AXR0	8	IO	0								
A12	MCASP0_ACLKR PADCONFIG: PADCONFIG103 0x0408419C	MCASP0_ACLKR	0	IO	0	オフ / オフ / オフ	オフ / オフ / オフ	7	1.8V/3.3V	VDDSHV1	あり	LVCMOS	PU/PD
		SPI2_CLK	1	IO	0								
		UART1_TXD	2	O									
		ADC_EXT_TRIGGER1	3	I	0								
		EHRPWM0_B	5	IO	0								
		GPIO0_86	7	IO	バッド								
A11	MCASP0_ACLKX PADCONFIG: PADCONFIG100 0x04084190	EQEP1_I	8	IO	0	オフ / オフ / オフ	オフ / オフ / オフ	7	1.8V/3.3V	VDDSHV1	あり	LVCMOS	PU/PD
		MCASP0_ACLKX	0	IO	0								
		SPI2_CS1	1	IO	1								
		ECAP2_IN_APWM_OUT	2	IO	0								
		GPIO0_83	7	IO	バッド								
		EQEP1_A	8	I	0								

表 5-1. ピン属性 (ANB パッケージ) (続き)

ボール 番号 [1]	ボール名 [2] PADCONFIG レジスタ [15] PADCONFIG アドレス [16]	信号名 [3]	多重化 モード [4]	タイプ [5]	DSIS [6]	リセット 時の ボール の状態 (RX/TX/PULL) [7]	リセット 後の ボール の状態 (RX/TX/PULL) [8]	リセット 後の 多重化 モード [9]	I/O 動作 電圧 [10]	電源 [11]	HYS [12]	バッファ タイプ [13]	プル アップ/ダウ ン タイプ [14]
C11	MCASP0_AFSR PADCONFIG: PADCONFIG102 0x04084198	MCASP0_AFSR	0	IO	0	オフ / オフ / オフ	オフ / オフ / オフ	7	1.8V/3.3V	VDDSHV1	あり	LVCMOS	PU/PD
		SPI2_CS0	1	IO	1								
		UART1_RXD	2	I	1								
		ADC_EXT_TRIGGER0	3	I	0								
		EHRPWM0_A	5	IO	0								
		GPIO0_85	7	IO	パッド								
		EQEP1_S	8	IO	0								
B11	MCASP0_AFSX PADCONFIG: PADCONFIG101 0x04084194	MCASP0_AFSX	0	IO	0	オフ / オフ / オフ	オフ / オフ / オフ	7	1.8V/3.3V	VDDSHV1	あり	LVCMOS	PU/PD
		SPI2_CS3	1	IO	1								
		AUDIO_EXT_REFCLK1	2	IO	0								
		GPIO0_84	7	IO	パッド								
		EQEP1_B	8	I	0								
B9	MCASP0_AXR0 PADCONFIG: PADCONFIG99 0x0408418C	MCASP0_AXR0	0	IO	0	オフ / オフ / オフ	オフ / オフ / オフ	7	1.8V/3.3V	VDDSHV1	あり	LVCMOS	PU/PD
		AUDIO_EXT_REFCLK0	2	IO	0								
		EHRPWM1_B	5	IO	0								
		GPIO0_82	7	IO	パッド								
		EQEP0_I	8	IO	0								
A9	MCASP0_AXR1 PADCONFIG: PADCONFIG98 0x04084188	MCASP0_AXR1	0	IO	0	オフ / オフ / オフ	オフ / オフ / オフ	7	1.8V/3.3V	VDDSHV1	あり	LVCMOS	PU/PD
		SPI2_CS2	1	IO	1								
		ECAP1_IN_APWM_OUT	2	IO	0								
		EHRPWM1_A	5	IO	0								
		GPIO0_81	7	IO	パッド								
		EQEP0_S	8	IO	0								
B10	MCASP0_AXR2 PADCONFIG: PADCONFIG97 0x04084184	MCASP0_AXR2	0	IO	0	オフ / オフ / オフ	オフ / オフ / オフ	7	1.8V/3.3V	VDDSHV1	あり	LVCMOS	PU/PD
		SPI2_D1	1	IO	0								
		UART1_RTSn	2	O									
		UART6_TXD	3	O									
		ECAP2_IN_APWM_OUT	4	IO	0								
		MCAN1_TX	5	O									
		GPIO0_80	7	IO	パッド								
		EQEP0_B	8	I	0								

表 5-1. ピン属性 (ANB パッケージ) (続き)

ボール 番号 [1]	ボール名 [2] PADCONFIG レジスタ [15] PADCONFIG アドレス [16]	信号名 [3]	多重化 モード [4]	タイプ [5]	DSIS [6]	リセット 時の ボール の状態 (RX/TX/PULL) [7]	リセット 後の ボール の状態 (RX/TX/PULL) [8]	リセット 後の 多重化 モード [9]	I/O 動作 電圧 [10]	電源 [11]	HYS [12]	バッファ タイプ [13]	プル アップ / ダウ ン タイプ [14]
A8	MCASP0_AXR3 PADCONFIG: PADCONFIG96 0x04084180	MCASP0_AXR3	0	IO	0	オフ / オフ / オフ	オフ / オフ / オフ	7	1.8V/3.3V	VDDSHV1	あり	LVCMOS	PU/PD
		SPI2_D0	1	IO	0								
		UART1_CTSn	2	I	1								
		UART6_RXD	3	I	1								
		ECAP1_IN_APWM_OUT	4	IO	0								
		MCAN1_RX	5	I	1								
		GPIO0_79	7	IO	バンド								
		EQEP0_A	8	I	0								
AC15	MDIO0_MDC PADCONFIG: PADCONFIG83 0x0408414C	MDIO0_MDC	0	O		オフ / オフ / オフ	オフ / オフ / オフ	7	1.8V	VDDS0	あり	1P8-LVCMOS	PU/PD
		GPIO0_66	7	IO	バンド								
AC13	MDIO0_MDIO PADCONFIG: PADCONFIG82 0x04084148	MDIO0_MDIO	0	IO	0	オフ / オフ / オフ	オフ / オフ / オフ	7	1.8V	VDDS0	あり	1P8-LVCMOS	PU/PD
		GPIO0_65	7	IO	バンド								
B2	MMC0_CLK PADCONFIG: PADCONFIG131 0x0408420C	MMC0_CLK	0	IO	0	オフ / オフ / オフ	オフ / オフ / オフ	7	1.8V/3.3V	VDDSHV2	あり	SDIO	PU/PD
		I2C3_SCL	1	IOD	1								
		EHRPWM2_A	2	IO	0								
		SPI1_CS1	5	IO	1								
		TIMER_IO0	6	IO	0								
		GPIO0_114	7	IO	バンド								
D2	MMC0_CMD PADCONFIG: PADCONFIG133 0x04084214	MMC0_CMD	0	IO	1	オフ / オフ / オフ	オフ / オフ / オフ	7	1.8V/3.3V	VDDSHV2	あり	SDIO	PU/PD
		I2C3_SDA	1	IOD	1								
		EHRPWM2_B	2	IO	0								
		SPI1_CS2	5	IO	1								
		TIMER_IO1	6	IO	0								
		GPIO0_115	7	IO	バンド								
Y2	MMC1_CLK PADCONFIG: PADCONFIG138 0x04084228	MMC1_CLK	0	IO	0	オフ / オフ / オフ	オフ / オフ / オフ	7	1.8V/3.3V	VDDSHV3	あり	SDIO	PU/PD
		TIMER_IO0	2	IO	0								
		UART3_RXD	3	I	1								
		SPI3_CS0	5	IO	1								
		SPI2_CS2	6	IO	1								
		GPIO0_120	7	IO	バンド								

表 5-1. ピン属性 (ANB パッケージ) (続き)

ボール 番号 [1]	ボール名 [2] PADCONFIG レジスタ [15] PADCONFIG アドレス [16]	信号名 [3]	多重化 モード [4]	タイプ [5]	DSIS [6]	リセット 時の ボール の状態 (RX/TX/PULL) [7]	リセット 後の ボール の状態 (RX/TX/PULL) [8]	リセット 後の 多重化 モード [9]	I/O 動作 電圧 [10]	電源 [11]	HYS [12]	バッファ タイプ [13]	プル アップ / ダウ ン タイプ [14]
Y3	MMC1_CMD PADCONFIG: PADCONFIG140 0x04084230	MMC1_CMD	0	IO	1	オフ / オフ / オフ	オフ / オフ / オフ	7	1.8V/3.3V	VDDSHV3	あり	SDIO	PU/PD
		TIMER_IO1	2	IO	0								
		UART3_TXD	3	O									
		SPI3_CLK	5	IO	0								
		SPI2_CS0	6	IO	1								
		GPIO0_121	7	IO	バンド								
B6	MMC1_SDCD PADCONFIG: PADCONFIG141 0x04084234	MMC1_SDCD	0	I	0	オフ / オフ / オフ	オフ / オフ / オフ	7	1.8V/3.3V	VDDSHV1	あり	LVCMOS	PU/PD
		UART6_RXD	1	I	1								
		TIMER_IO2	2	IO	0								
		UART3_RTSn	3	O									
		MCAN2_RX	4	I	1								
		SPI3_CS3	5	IO	1								
		SPI2_CLK	6	IO	0								
		GPIO0_122	7	IO	バンド								
D6	MMC1_SDWP PADCONFIG: PADCONFIG142 0x04084238	MMC1_SDWP	0	I	0	オフ / オフ / オフ	オフ / オフ / オフ	7	1.8V/3.3V	VDDSHV1	あり	LVCMOS	PU/PD
		UART6_TXD	1	O									
		TIMER_IO3	2	IO	0								
		UART3_CTSn	3	I	1								
		MCAN2_TX	4	O									
		SPI3_CS1	5	IO	1								
		GPIO0_123	7	IO	バンド								
R23	MMC2_CLK PADCONFIG: PADCONFIG65 0x04084104	MMC2_CLK	0	IO	0	オフ / オフ / オフ	オフ / オフ / オフ	7	1.8V/3.3V	VDDSHV4	あり	SDIO	PU/PD
		MCASP1_ACLKR	1	IO	0								
		MCASP1_AXR5	2	IO	0								
		UART6_RXD	3	I	1								
		GPIO0_49	7	IO	バンド								
U23	MMC2_CMD PADCONFIG: PADCONFIG67 0x0408410C	MMC2_CMD	0	IO	1	オフ / オフ / オフ	オフ / オフ / オフ	7	1.8V/3.3V	VDDSHV4	あり	SDIO	PU/PD
		MCASP1_AFSR	1	IO	0								
		MCASP1_AXR4	2	IO	0								
		UART6_TXD	3	O									
		GPIO0_50	7	IO	バンド								
T20	MMC2_SDCD PADCONFIG: PADCONFIG68 0x04084110	MMC2_SDCD	0	I	0	オフ / オフ / オフ	オフ / オフ / オフ	7	1.8V/3.3V	VDDSHV4	あり	LVCMOS	PU/PD
		MCASP1_ACLKX	1	IO	0								
		UART4_RXD	3	I	1								
		GPIO0_51	7	IO	バンド								

表 5-1. ピン属性 (ANB パッケージ) (続き)

ボール 番号 [1]	ボール名 [2] PADCONFIG レジスタ [15] PADCONFIG アドレス [16]	信号名 [3]	多重化 モード [4]	タイプ [5]	DSIS [6]	リセット 時の ボール の状態 (RX/TX/PULL) [7]	リセット 後の ボール の状態 (RX/TX/PULL) [8]	リセット 後の 多重化 モード [9]	I/O 動作 電圧 [10]	電源 [11]	HYS [12]	バッファ タイプ [13]	プル アップ/ダウ ン タイプ [14]
T21	MMC2_SDWP PADCONFIG: PADCONFIG69 0x04084114	MMC2_SDWP	0	I	0	オフ / オフ / オフ	オフ / オフ / オフ	7	1.8V/3.3V	VDDSHV4	あり	LVCMOS	PU/PD
		MCASP1_AFSX	1	IO	0								
		UART4_TXD	3	O									
		GPIO0_52	7	IO	バンド								
D3	MMC0_DAT0 PADCONFIG: PADCONFIG130 0x04084208	MMC0_DAT0	0	IO	1	オフ / オフ / オフ	オフ / オフ / オフ	7	1.8V/3.3V	VDDSHV2	あり	SDIO	PU/PD
		UART3_CTSn	1	I	1								
		EHRPWM_TZn_IN1	2	I	0								
		SPI2_CLK	6	IO	0								
D4	MMC0_DAT1 PADCONFIG: PADCONFIG129 0x04084204	GPIO0_113	7	IO	バンド	オフ / オフ / オフ	オフ / オフ / オフ	7	1.8V/3.3V	VDDSHV2	あり	SDIO	PU/PD
		MMC0_DAT1	0	IO	1								
		UART3_RTSn	1	O									
		EHRPWM1_B	2	IO	0								
C1	MMC0_DAT2 PADCONFIG: PADCONFIG128 0x04084200	SPI1_CS3	5	IO	1	オフ / オフ / オフ	オフ / オフ / オフ	7	1.8V/3.3V	VDDSHV2	あり	SDIO	PU/PD
		SPI2_CS0	6	IO	1								
		GPIO0_112	7	IO	バンド								
		MMC0_DAT2	0	IO	1								
C2	MMC0_DAT3 PADCONFIG: PADCONFIG127 0x040841FC	UART3_TXD	1	O		オフ / オフ / オフ	オフ / オフ / オフ	7	1.8V/3.3V	VDDSHV2	あり	SDIO	PU/PD
		EHRPWM1_A	2	IO	0								
		MCAN2_TX	3	O									
		SPI1_CLK	5	IO	0								
C4	MMC0_DAT4 PADCONFIG: PADCONFIG126 0x040841F8	TIMER_IO0	6	IO	0	オフ / オフ / オフ	オフ / オフ / オフ	7	1.8V/3.3V	VDDSHV2	あり	SDIO	PU/PD
		GPIO0_111	7	IO	バンド								
		MMC0_DAT3	0	IO	1								
		UART3_RXD	1	I	1								
C4	MMC0_DAT4 PADCONFIG: PADCONFIG126 0x040841F8	EHRPWM0_B	2	IO	0	オフ / オフ / オフ	オフ / オフ / オフ	7	1.8V/3.3V	VDDSHV2	あり	SDIO	PU/PD
		MCAN2_RX	3	I	1								
		SPI1_CS0	5	IO	1								
		SPI2_CS2	6	IO	1								
C4	MMC0_DAT4 PADCONFIG: PADCONFIG126 0x040841F8	GPIO0_110	7	IO	バンド	オフ / オフ / オフ	オフ / オフ / オフ	7	1.8V/3.3V	VDDSHV2	あり	SDIO	PU/PD
		MMC0_DAT4	0	IO	1								
		UART2_CTSn	1	I	1								
		EHRPWM0_A	2	IO	0								
C4	MMC0_DAT4 PADCONFIG: PADCONFIG126 0x040841F8	SPI1_CLK	5	IO	0	オフ / オフ / オフ	オフ / オフ / オフ	7	1.8V/3.3V	VDDSHV2	あり	SDIO	PU/PD
		SPI2_D1	6	IO	0								
		GPIO0_109	7	IO	バンド								
		MMC0_DAT4	0	IO	1								

表 5-1. ピン属性 (ANB パッケージ) (続き)

ボール 番号 [1]	ボール名 [2] PADCONFIG レジスタ [15] PADCONFIG アドレス [16]	信号名 [3]	多重化 モード [4]	タイプ [5]	DSIS [6]	リセット 時の ボール の状態 (RX/TX/PULL) [7]	リセット 後の ボール の状態 (RX/TX/PULL) [8]	リセット 後の 多重化 モード [9]	I/O 動作 電圧 [10]	電源 [11]	HYS [12]	バッファ タイプ [13]	プル アップ/ダウ ン タイプ [14]
B3	MMC0_DAT5 PADCONFIG: PADCONFIG125 0x040841F4	MMC0_DAT5	0	IO	1	オフ / オフ / オフ	オフ / オフ / オフ	7	1.8V/3.3V	VDDSHV2	あり	SDIO	PU/PD
		UART2_RTSn	1	O									
		EHRPWM_TZn_IN2	2	I	0								
		SPI1_CS0	5	IO	1								
		SPI2_D0	6	IO	0								
		GPIO0_108	7	IO	バンド								
A3	MMC0_DAT6 PADCONFIG: PADCONFIG124 0x040841F0	MMC0_DAT6	0	IO	1	オフ / オフ / オフ	オフ / オフ / オフ	7	1.8V/3.3V	VDDSHV2	あり	SDIO	PU/PD
		UART2_TXD	1	O									
		EHRPWM0_SYNCO	2	O									
		MCAN1_TX	3	O									
		SPI2_CLK	4	IO	0								
		SPI1_D1	5	IO	0								
		SPI2_CS3	6	IO	1								
		GPIO0_107	7	IO	バンド								
B4	MMC0_DAT7 PADCONFIG: PADCONFIG123 0x040841EC	MMC0_DAT7	0	IO	1	オフ / オフ / オフ	オフ / オフ / オフ	7	1.8V/3.3V	VDDSHV2	あり	SDIO	PU/PD
		UART2_RXD	1	I	1								
		EHRPWM0_SYNCI	2	I	0								
		MCAN1_RX	3	I	1								
		SPI1_D0	5	IO	0								
		SPI2_CS1	6	IO	1								
AA1	MMC1_DAT0 PADCONFIG: PADCONFIG137 0x04084224	MMC1_DAT0	0	IO	1	オフ / オフ / オフ	オフ / オフ / オフ	7	1.8V/3.3V	VDDSHV3	あり	SDIO	PU/PD
		CP_GEMAC_CPTS0_HW2TSPUSH	1	I	0								
		TIMER_IO3	2	IO	0								
		UART2_CTSn	3	I	1								
		ECAP2_IN_APWM_OUT	4	IO	0								
		SPI2_D1	6	IO	0								
		GPIO0_119	7	IO	バンド								
Y4	MMC1_DAT1 PADCONFIG: PADCONFIG136 0x04084220	MMC1_DAT1	0	IO	1	オフ / オフ / オフ	オフ / オフ / オフ	7	1.8V/3.3V	VDDSHV3	あり	SDIO	PU/PD
		CP_GEMAC_CPTS0_HW1TSPUSH	1	I	0								
		TIMER_IO2	2	IO	0								
		UART2_RTSn	3	O									
		ECAP1_IN_APWM_OUT	4	IO	0								
		SPI3_CS2	5	IO	1								
		SPI2_D0	6	IO	0								
		GPIO0_118	7	IO	バンド								

表 5-1. ピン属性 (ANB パッケージ) (続き)

ボール 番号 [1]	ボール名 [2] PADCONFIG レジスタ [15] PADCONFIG アドレス [16]	信号名 [3]	多重化 モード [4]	タイプ [5]	DSIS [6]	リセット 時の ボール の状態 (RX/TX/PULL) [7]	リセット 後の ボール の状態 (RX/TX/PULL) [8]	リセット 後の 多重化 モード [9]	I/O 動作 電圧 [10]	電源 [11]	HYS [12]	バッファ タイプ [13]	プル アップ/ダウ ン タイプ [14]
AA2	MMC1_DAT2 PADCONFIG: PADCONFIG135 0x0408421C	MMC1_DAT2	0	IO	1	オフ / オフ / オフ	オフ / オフ / オフ	7	1.8V/3.3V	VDDSHV3	あり	SDIO	PU/PD
		CP_GEMAC_CPTS0_TS_SYNC	1	O									
		TIMER_IO1	2	IO	0								
		UART2_TXD	3	O									
		MCAN1_TX	4	O									
		SPI3_D1	5	IO	0								
		SPI2_CS3	6	IO	1								
		GPIO0_117	7	IO	バンド								
AB2	MMC1_DAT3 PADCONFIG: PADCONFIG134 0x04084218	MMC1_DAT3	0	IO	1	オフ / オフ / オフ	オフ / オフ / オフ	7	1.8V/3.3V	VDDSHV3	あり	SDIO	PU/PD
		CP_GEMAC_CPTS0_TS_COMP	1	O									
		TIMER_IO0	2	IO	0								
		UART2_RXD	3	I	1								
		MCAN1_RX	4	I	1								
		SPI3_D0	5	IO	0								
		SPI2_CS1	6	IO	1								
		GPIO0_116	7	IO	バンド								
U22	MMC2_DAT0 PADCONFIG: PADCONFIG64 0x04084100	MMC2_DAT0	0	IO	1	オフ / オフ / オフ	オフ / オフ / オフ	7	1.8V/3.3V	VDDSHV4	あり	SDIO	PU/PD
		MCASP1_AXR0	1	IO	0								
		GPIO0_48	7	IO	バンド								
T22	MMC2_DAT1 PADCONFIG: PADCONFIG63 0x040840FC	MMC2_DAT1	0	IO	1	オフ / オフ / オフ	オフ / オフ / オフ	7	1.8V/3.3V	VDDSHV4	あり	SDIO	PU/PD
		MCASP1_AXR1	1	IO	0								
		GPIO0_47	7	IO	バンド								
T23	MMC2_DAT2 PADCONFIG: PADCONFIG62 0x040840F8	MMC2_DAT2	0	IO	1	オフ / オフ / オフ	オフ / オフ / オフ	7	1.8V/3.3V	VDDSHV4	あり	SDIO	PU/PD
		MCASP1_AXR2	1	IO	0								
		UART5_TXD	3	O									
		GPIO0_46	7	IO	バンド								
R22	MMC2_DAT3 PADCONFIG: PADCONFIG61 0x040840F4	MMC2_DAT3	0	IO	1	オフ / オフ / オフ	オフ / オフ / オフ	7	1.8V/3.3V	VDDSHV4	あり	SDIO	PU/PD
		MCASP1_AXR3	1	IO	0								
		UART5_RXD	3	I	1								
		GPIO0_45	7	IO	バンド								
D22	OSPI0_CLK PADCONFIG: PADCONFIG15 0x0408403C	OSPI0_CLK	0	O		オフ / オフ / オフ	オフ / オフ / オフ	7	1.8V	VDDS1	あり	1P8-LVCMOS	PU/PD
		GPIO0_0	7	IO	バンド								

表 5-1. ピン属性 (ANB パッケージ) (続き)

ボール番号 [1]	ボール名 [2] PADCONFIG レジスタ [15] PADCONFIG アドレス [16]	信号名 [3]	多重化モード [4]	タイプ [5]	DSIS [6]	リセット時のボールの状態 (RX/TX/PULL) [7]	リセット後のボールの状態 (RX/TX/PULL) [8]	リセット後の多重化モード [9]	I/O 動作電圧 [10]	電源 [11]	HYS [12]	バッファタイプ [13]	プルアップ/ダウンタイプ [14]
E22	OSPI0_DQS PADCONFIG: PADCONFIG17 0x04084044	OSPI0_DQS	0	I	0	オフ / オフ / オフ	オフ / オフ / オフ	7	1.8V	VDDS1	あり	1P8-LVCMOS	PU/PD
		UART5_CTSn	5	I	1								
		GPIO0_2	7	IO	バンド								
E18	OSPI0_LBCLKO PADCONFIG: PADCONFIG16 0x04084040	OSPI0_LBCLKO	0	IO	0	オフ / オフ / オフ	オフ / オフ / オフ	7	1.8V	VDDS1	あり	1P8-LVCMOS	PU/PD
		UART5_RTSn	5	O									
		GPIO0_1	7	IO	バンド								
C20	OSPI0_CSn0 PADCONFIG: PADCONFIG26 0x04084068	OSPI0_CSn0	0	O		オフ / オフ / オフ	オフ / オフ / オフ	7	1.8V	VDDS1	あり	1P8-LVCMOS	PU/PD
		GPIO0_11	7	IO	バンド								
D20	OSPI0_CSn1 PADCONFIG: PADCONFIG27 0x0408406C	OSPI0_CSn1	0	O		オフ / オフ / オフ	オフ / オフ / オフ	7	1.8V	VDDS1	あり	1P8-LVCMOS	PU/PD
		GPIO0_12	7	IO	バンド								
D18	OSPI0_CSn2 PADCONFIG: PADCONFIG28 0x04084070	OSPI0_CSn2	0	O		オフ / オフ / オフ	オフ / オフ / オフ	7	1.8V	VDDS1	あり	1P8-LVCMOS	PU/PD
		SPI1_CS1	1	IO	1								
		OSPI0_RESET_OUT1	2	O									
		MCASP1_AFSR	3	IO	0								
		MCASP1_AXR2	4	IO	0								
		UART5_RXD	5	I	1								
		ADC_EXT_TRIGGER0	6	I	0								
		GPIO0_13	7	IO	バンド								
C23	OSPI0_CSn3 PADCONFIG: PADCONFIG29 0x04084074	OSPI0_CSn3	0	O		オフ / オフ / オフ	オフ / オフ / オフ	7	1.8V	VDDS1	あり	1P8-LVCMOS	PU/PD
		OSPI0_RESET_OUT0	1	O									
		OSPI0_ECC_FAIL	2	I	1								
		MCASP1_ACLKR	3	IO	0								
		MCASP1_AXR3	4	IO	0								
		UART5_TXD	5	O									
		ADC_EXT_TRIGGER1	6	I	0								
		GPIO0_14	7	IO	バンド								
C22	OSPI0_D0 PADCONFIG: PADCONFIG18 0x04084048	OSPI0_D0	0	IO	0	オフ / オフ / オフ	オフ / オフ / オフ	7	1.8V	VDDS1	あり	1P8-LVCMOS	PU/PD
		GPIO0_3	7	IO	バンド								
D21	OSPI0_D1 PADCONFIG: PADCONFIG19 0x0408404C	OSPI0_D1	0	IO	0	オフ / オフ / オフ	オフ / オフ / オフ	7	1.8V	VDDS1	あり	1P8-LVCMOS	PU/PD
		GPIO0_4	7	IO	バンド								

表 5-1. ピン属性 (ANB パッケージ) (続き)

ボール 番号 [1]	ボール名 [2] PADCONFIG レジスタ [15] PADCONFIG アドレス [16]	信号名 [3]	多重化 モード [4]	タイプ [5]	DSIS [6]	リセット 時の ボール の状態 (RX/TX/PULL) [7]	リセット 後の ボール の状態 (RX/TX/PULL) [8]	リセット 後の 多重化 モード [9]	I/O 動作 電圧 [10]	電源 [11]	HYS [12]	バッファ タイプ [13]	プル アップ/ダウ ン タイプ [14]
E23	PADCONFIG: PADCONFIG20 0x04084050	OSPI0_D2	0	IO	0	オフ / オフ / オフ	オフ / オフ / オフ	7	1.8V	VDDS1	あり	1P8-LVCMOS	PU/PD
		GPIO0_5	7	IO	パッド								
D23	PADCONFIG: PADCONFIG21 0x04084054	OSPI0_D3	0	IO	0	オフ / オフ / オフ	オフ / オフ / オフ	7	1.8V	VDDS1	あり	1P8-LVCMOS	PU/PD
		GPIO0_6	7	IO	パッド								
F21	OSPI0_D4 PADCONFIG: PADCONFIG22 0x04084058	OSPI0_D4	0	IO	0	オフ / オフ / オフ	オフ / オフ / オフ	7	1.8V	VDDS1	あり	1P8-LVCMOS	PU/PD
		SPI1_CS0	1	IO	1								
		MCASP1_AXR1	2	IO	0								
		UART6_RXD	3	I	1								
		GPIO0_7	7	IO	パッド								
F19	OSPI0_D5 PADCONFIG: PADCONFIG23 0x0408405C	OSPI0_D5	0	IO	0	オフ / オフ / オフ	オフ / オフ / オフ	7	1.8V	VDDS1	あり	1P8-LVCMOS	PU/PD
		SPI1_CLK	1	IO	0								
		MCASP1_AXR0	2	IO	0								
		UART6_TXD	3	O									
		GPIO0_8	7	IO	パッド								
G20	OSPI0_D6 PADCONFIG: PADCONFIG24 0x04084060	OSPI0_D6	0	IO	0	オフ / オフ / オフ	オフ / オフ / オフ	7	1.8V	VDDS1	あり	1P8-LVCMOS	PU/PD
		SPI1_D0	1	IO	0								
		MCASP1_ACLKX	2	IO	0								
		UART6_RTSn	3	O									
		I2C3_SCL	4	IOD	1								
		UART4_RXD	5	I	1								
		GPIO0_9	7	IO	パッド								
F20	OSPI0_D7 PADCONFIG: PADCONFIG25 0x04084064	OSPI0_D7	0	IO	0	オフ / オフ / オフ	オフ / オフ / オフ	7	1.8V	VDDS1	あり	1P8-LVCMOS	PU/PD
		SPI1_D1	1	IO	0								
		MCASP1_AFSX	2	IO	0								
		UART6_CTSn	3	I	1								
		I2C3_SDA	4	IOD	1								
		UART4_TXD	5	O									
		GPIO0_10	7	IO	パッド								
AA18	PMIC_LPM_EN0	PMIC_LPM_EN0		O		NA / オフ / アップ	NA / SS / オフ		1.8V	VDDS_RTC		RTC - LVCMOS	PU
AB18	PORz PADCONFIG: PADCONFIG7 0x0408401C	PORz	0	I				0	1.8V	VDDS_OSC0	あり	FS RESET	

表 5-1. ピン属性 (ANB パッケージ) (続き)

ボール 番号 [1]	ボール名 [2] PADCONFIG レジスタ [15] PADCONFIG アドレス [16]	信号名 [3]	多重化 モード [4]	タイプ [5]	DSIS [6]	リセット 時の ボール の状態 (RX/TX/PULL) [7]	リセット 後の ボール の状態 (RX/TX/PULL) [8]	リセット 後の 多重化 モード [9]	I/O 動作 電圧 [10]	電源 [11]	HYS [12]	バッファ タイプ [13]	プル アップ/ダウ ン タイプ [14]
C16	RESETSTATz PADCONFIG: PADCONFIG144 0x04084240	RESETSTATz	0	O		オフ / Low / オフ	オフ / SS / オフ	0	1.8V/3.3V	VDDSHV1	あり	LVC MOS	PU/PD
E16	RESETz PADCONFIG: PADCONFIG143 0x0408423C	RESETz	0	I		オン / オフ / アップ	オン / オフ / アップ	0	1.8V/3.3V	VDDSHV1	あり	LVC MOS	PU/PD
Y7	RGMII1_RXC PADCONFIG: PADCONFIG77 0x04084134	RGMII1_RXC	0	I	0	オフ / オフ / オフ	オフ / オフ / オフ	7	1.8V	VDDSD0	あり	1P8-LVC MOS	PU/PD
		RMII1_REF_CLK	1	I	0								
		GPIO0_60	7	IO	バンド								
Y6	RGMII1_RX_CTL PADCONFIG: PADCONFIG76 0x04084130	RGMII1_RX_CTL	0	I	0	オフ / オフ / オフ	オフ / オフ / オフ	7	1.8V	VDDSD0	あり	1P8-LVC MOS	PU/PD
		RMII1_RX_ER	1	I	0								
		GPIO0_59	7	IO	バンド								
W11	RGMII1_TXC PADCONFIG: PADCONFIG71 0x0408411C	RGMII1_TXC	0	O		オフ / オフ / オフ	オフ / オフ / オフ	7	1.8V	VDDSD0	あり	1P8-LVC MOS	PU/PD
		RMII1_CRD_DV	1	I	0								
		GPIO0_54	7	IO	バンド								
AB11	RGMII1_TX_CTL PADCONFIG: PADCONFIG70 0x04084118	RGMII1_TX_CTL	0	O		オフ / オフ / オフ	オフ / オフ / オフ	7	1.8V	VDDSD0	あり	1P8-LVC MOS	PU/PD
		RMII1_TX_EN	1	O									
		GPIO0_53	7	IO	バンド								
AC7	RGMII2_RXC PADCONFIG: PADCONFIG91 0x0408416C	RGMII2_RXC	0	I	0	オフ / オフ / オフ	オフ / オフ / オフ	7	1.8V	VDDSD0	あり	1P8-LVC MOS	PU/PD
		RMII2_REF_CLK	1	I	0								
		MCASP2_AXR1	2	IO	0								
		GPIO0_74	7	IO	バンド								
AC8	RGMII2_RX_CTL PADCONFIG: PADCONFIG90 0x04084168	RGMII2_RX_CTL	0	I	0	オフ / オフ / オフ	オフ / オフ / オフ	7	1.8V	VDDSD0	あり	1P8-LVC MOS	PU/PD
		RMII2_RX_ER	1	I	0								
		MCASP2_AXR3	2	IO	0								
		GPIO0_73	7	IO	バンド								
Y13	RGMII2_TXC PADCONFIG: PADCONFIG85 0x04084154	RGMII2_TXC	0	O		オフ / オフ / オフ	オフ / オフ / オフ	7	1.8V	VDDSD0	あり	1P8-LVC MOS	PU/PD
		RMII2_CRD_DV	1	I	0								
		MCASP2_AXR5	2	IO	0								
		GPIO0_68	7	IO	バンド								
AB12	RGMII2_TX_CTL PADCONFIG: PADCONFIG84 0x04084150	RGMII2_TX_CTL	0	O		オフ / オフ / オフ	オフ / オフ / オフ	7	1.8V	VDDSD0	あり	1P8-LVC MOS	PU/PD
		RMII2_TX_EN	1	O									
		MCASP2_AXR4	2	IO	0								
		GPIO0_67	7	IO	バンド								

表 5-1. ピン属性 (ANB パッケージ) (続き)

ボール番号 [1]	ボール名 [2] PADCONFIG レジスタ [15] PADCONFIG アドレス [16]	信号名 [3]	多重化 モード [4]	タイプ [5]	DSIS [6]	リセット 時の ボール の状態 (RX/TX/PULL) [7]	リセット 後の ボール の状態 (RX/TX/PULL) [8]	リセット 後の 多重化 モード [9]	I/O 動作 電圧 [10]	電源 [11]	HYS [12]	バッファ タイプ [13]	プル アップ/ダウ ン タイプ [14]
Y8	RGMII1_RD0 PADCONFIG: PADCONFIG78 0x04084138	RGMII1_RD0	0	I	0	オフ / オフ / オフ	オフ / オフ / オフ	7	1.8V	VDDS0	あり	1P8-LVCMOS	PU/PD
		RMII1_RXD0	1	I	0								
		GPIO0_61	7	IO	バッド								
AA6	RGMII1_RD1 PADCONFIG: PADCONFIG79 0x0408413C	RGMII1_RD1	0	I	0	オフ / オフ / オフ	オフ / オフ / オフ	7	1.8V	VDDS0	あり	1P8-LVCMOS	PU/PD
		RMII1_RXD1	1	I	0								
		GPIO0_62	7	IO	バッド								
AA8	RGMII1_RD2 PADCONFIG: PADCONFIG80 0x04084140	RGMII1_RD2	0	I	0	オフ / オフ / オフ	オフ / オフ / オフ	7	1.8V	VDDS0	あり	1P8-LVCMOS	PU/PD
		I2C2_SCL	1	IOD	1								
		GPMC0_A5	2	O									
		GPIO0_63	7	IO	バッド								
W8	RGMII1_RD3 PADCONFIG: PADCONFIG81 0x04084144	RGMII1_RD3	0	I	0	オフ / オフ / オフ	オフ / オフ / オフ	7	1.8V	VDDS0	あり	1P8-LVCMOS	PU/PD
		I2C2_SDA	1	IOD	1								
		GPMC0_A6	2	O									
		GPIO0_64	7	IO	バッド								
AC10	RGMII1_TD0 PADCONFIG: PADCONFIG72 0x04084120	RGMII1_TD0	0	O		オフ / オフ / オフ	オフ / オフ / オフ	7	1.8V	VDDS0	あり	1P8-LVCMOS	PU/PD
		RMII1_TXD0	1	O									
		GPIO0_55	7	IO	バッド								
W13	RGMII1_TD1 PADCONFIG: PADCONFIG73 0x04084124	RGMII1_TD1	0	O		オフ / オフ / オフ	オフ / オフ / オフ	7	1.8V	VDDS0	あり	1P8-LVCMOS	PU/PD
		RMII1_TXD1	1	O									
		GPIO0_56	7	IO	バッド								
Y11	RGMII1_TD2 PADCONFIG: PADCONFIG74 0x04084128	RGMII1_TD2	0	O		オフ / オフ / オフ	オフ / オフ / オフ	7	1.8V	VDDS0	あり	1P8-LVCMOS	PU/PD
		GPMC0_A0	1	O									
		GPIO0_57	7	IO	バッド								
AA11	RGMII1_TD3 PADCONFIG: PADCONFIG75 0x0408412C	RGMII1_TD3	0	O		オフ / オフ / オフ	オフ / オフ / オフ	7	1.8V	VDDS0	あり	1P8-LVCMOS	PU/PD
		CLKOUT0	1	O									
		GPIO0_58	7	IO	バッド								
AB9	RGMII2_RD0 PADCONFIG: PADCONFIG92 0x04084170	RGMII2_RD0	0	I	0	オフ / オフ / オフ	オフ / オフ / オフ	7	1.8V	VDDS0	あり	1P8-LVCMOS	PU/PD
		RMII2_RXD0	1	I	0								
		MCASP2_AXR2	2	IO	0								
		GPIO0_75	7	IO	バッド								
AC9	RGMII2_RD1 PADCONFIG: PADCONFIG93 0x04084174	RGMII2_RD1	0	I	0	オフ / オフ / オフ	オフ / オフ / オフ	7	1.8V	VDDS0	あり	1P8-LVCMOS	PU/PD
		RMII2_RXD1	1	I	0								
		MCASP2_AFSR	2	IO	0								
		MCASP2_AXR7	5	IO	0								
		GPIO0_76	7	IO	バッド								

表 5-1. ピン属性 (ANB パッケージ) (続き)

ボール 番号 [1]	ボール名 [2] PADCONFIG レジスタ [15] PADCONFIG アドレス [16]	信号名 [3]	多重化 モード [4]	タイプ [5]	DSIS [6]	リセット 時の ボール の状態 (RX/TX/PULL) [7]	リセット 後の ボール の状態 (RX/TX/PULL) [8]	リセット 後の 多重化 モード [9]	I/O 動作 電圧 [10]	電源 [11]	HYS [12]	バッファ タイプ [13]	プル アップ / ダウ ン タイプ [14]
AB10	RGMII2_RD2 PADCONFIG: PADCONFIG94 0x04084178	RGMII2_RD2	0	I	0	オフ / オフ / オフ	オフ / オフ / オフ	7	1.8V	VDDS0	あり	1P8-LVCMOS	PU/PD
		GPMC0_A3	1	O									
		MCASP2_AXR0	2	IO	0								
		SPI3_CLK	3	IO	0								
		GPIO0_77	7	IO	バンド								
		EQEP2_A	8	I	0								
AB8	RGMII2_RD3 PADCONFIG: PADCONFIG95 0x0408417C	RGMII2_RD3	0	I	0	オフ / オフ / オフ	オフ / オフ / オフ	7	1.8V	VDDS0	あり	1P8-LVCMOS	PU/PD
		GPMC0_A4	1	O									
		AUDIO_EXT_REFCLK0	2	IO	0								
		SPI3_CS0	3	IO	1								
		GPIO0_78	7	IO	バンド								
		EQEP2_B	8	I	0								
AC12	RGMII2_TD0 PADCONFIG: PADCONFIG86 0x04084158	RGMII2_TD0	0	O		オフ / オフ / オフ	オフ / オフ / オフ	7	1.8V	VDDS0	あり	1P8-LVCMOS	PU/PD
		RMII2_TXD0	1	O									
		MCASP2_AXR6	2	IO	0								
		GPIO0_69	7	IO	バンド								
AB13	RGMII2_TD1 PADCONFIG: PADCONFIG87 0x0408415C	RGMII2_TD1	0	O		オフ / オフ / オフ	オフ / オフ / オフ	7	1.8V	VDDS0	あり	1P8-LVCMOS	PU/PD
		RMII2_TXD1	1	O									
		MCASP2_ACLKR	2	IO	0								
		MCASP2_AXR8	5	IO	0								
		GPIO0_70	7	IO	バンド								
AA12	RGMII2_TD2 PADCONFIG: PADCONFIG88 0x04084160	RGMII2_TD2	0	O		オフ / オフ / オフ	オフ / オフ / オフ	7	1.8V	VDDS0	あり	1P8-LVCMOS	PU/PD
		GPMC0_A1	1	O									
		MCASP2_AFSX	2	IO	0								
		SPI3_D0	3	IO	0								
		GPIO0_71	7	IO	バンド								
		EQEP2_I	8	IO	0								
AA13	RGMII2_TD3 PADCONFIG: PADCONFIG89 0x04084164	RGMII2_TD3	0	O		オフ / オフ / オフ	オフ / オフ / オフ	7	1.8V	VDDS0	あり	1P8-LVCMOS	PU/PD
		GPMC0_A2	1	O									
		MCASP2_ACLKX	2	IO	0								
		SPI3_D1	3	IO	0								
		GPIO0_72	7	IO	バンド								
		EQEP2_S	8	IO	0								
AB17	RSVD0	RSVD0		該当なし									
Y18	RTC_PORz	RTC_PORz		I		オン / NA / NA	オン / NA / NA		1.8V	VDDS_RTC	あり	RTC - LVCMOS	

表 5-1. ピン属性 (ANB パッケージ) (続き)

ボール 番号 [1]	ボール名 [2] PADCONFIG レジスタ [15] PADCONFIG アドレス [16]	信号名 [3]	多重化 モード [4]	タイプ [5]	DSIS [6]	リセット 時の ボール の状態 (RX/TX/PULL) [7]	リセット 後の ボール の状態 (RX/TX/PULL) [8]	リセット 後の 多重化 モード [9]	I/O 動作 電圧 [10]	電源 [11]	HYS [12]	バッファ タイプ [13]	プル アップ/ダウ ン タイプ [14]
E13	SPI0_CLK PADCONFIG: PADCONFIG106 0x040841A8	SPI0_CLK	0	IO	0	オフ / オフ / オフ	オフ / オフ / オフ	7	1.8V/3.3V	VDDSHV1	あり	LVCMOS	PU/PD
		CP_GEMAC_CPTS0_TS_SYNC	1	O									
		EHRPWM1_A	2	IO	0								
		GPIO0_89	7	IO	バンド								
E11	SPI0_CS0 PADCONFIG: PADCONFIG104 0x040841A0	SPI0_CS0	0	IO	1	オフ / オフ / オフ	オフ / オフ / オフ	7	1.8V/3.3V	VDDSHV1	あり	LVCMOS	PU/PD
		EHRPWM0_A	2	IO	0								
		GPIO0_87	7	IO	バンド								
D11	SPI0_CS1 PADCONFIG: PADCONFIG105 0x040841A4	SPI0_CS1	0	IO	1	オフ / オフ / オフ	オフ / オフ / オフ	7	1.8V/3.3V	VDDSHV1	あり	LVCMOS	PU/PD
		CP_GEMAC_CPTS0_TS_COMP	1	O									
		EHRPWM0_B	2	IO	0								
		ECAP0_IN_APWM_OUT	3	IO	0								
		AUDIO_EXT_REFCLK1	4	IO	0								
		GPIO0_88	7	IO	バンド								
E12	SPI0_D0 PADCONFIG: PADCONFIG107 0x040841AC	SPI0_D0	0	IO	0	オフ / オフ / オフ	オフ / オフ / オフ	7	1.8V/3.3V	VDDSHV1	あり	LVCMOS	PU/PD
		CP_GEMAC_CPTS0_HW1TSPUSH	1	I	0								
		EHRPWM1_B	2	IO	0								
		GPIO0_90	7	IO	バンド								
B12	SPI0_D1 PADCONFIG: PADCONFIG108 0x040841B0	SPI0_D1	0	IO	0	オフ / オフ / オフ	オフ / オフ / オフ	7	1.8V/3.3V	VDDSHV1	あり	LVCMOS	PU/PD
		CP_GEMAC_CPTS0_HW2TSPUSH	1	I	0								
		EHRPWM_TZn_IN0	2	I	0								
		GPIO0_91	7	IO	バンド								
AB14	TCK PADCONFIG: PADCONFIG8 0x04084020	TCK	0	I		オン / オフ / アップ	オン / オフ / アップ	0	1.8V	VDDSD0	あり	1P8-LVCMOS	PU/PD
AC16	TDI PADCONFIG: PADCONFIG10 0x04084028	TDI	0	I		オン / オフ / アップ	オン / オフ / アップ	0	1.8V	VDDSD0	あり	1P8-LVCMOS	PU/PD
AB15	TDO PADCONFIG: PADCONFIG11 0x0408402C	TDO	0	OZ		オフ / オフ / アップ	オフ / SS / アップ	0	1.8V	VDDSD0	あり	1P8-LVCMOS	PU/PD
Y17	TMS PADCONFIG: PADCONFIG12 0x04084030	TMS	0	I		オン / オフ / アップ	オン / オフ / アップ	0	1.8V	VDDSD0	あり	1P8-LVCMOS	PU/PD

表 5-1. ピン属性 (ANB パッケージ) (続き)

ボール 番号 [1]	ボール名 [2] PADCONFIG レジスタ [15] PADCONFIG アドレス [16]	信号名 [3]	多重化 モード [4]	タイプ [5]	DSIS [6]	リセット 時の ボール の状態 (RX/TX/PULL) [7]	リセット 後の ボール の状態 (RX/TX/PULL) [8]	リセット 後の 多重化 モード [9]	I/O 動作 電圧 [10]	電源 [11]	HYS [12]	バッファ タイプ [13]	プル アップ/ダウ ン タイプ [14]
AB16	TRSTn PADCONFIG: PADCONFIG9 0x04084024	TRSTn	0	I		オン / オフ / ダウン	オン / オフ / ダウン	0	1.8V	VDDS0	あり	1P8-LVCMOS	PU/PD
B14	UART0_CTSn PADCONFIG: PADCONFIG111 0x040841BC	UART0_CTSn	0	I	1	オフ / オフ / オフ	オフ / オフ / オフ	7	1.8V/3.3V	VDDSHV1	あり	LVCMOS	PU/PD
		SPI0_CS2	1	IO	1								
		I2C3_SCL	2	IOD	1								
		UART2_RXD	3	I	1								
		TIMER_IO2	4	IO	0								
		AUDIO_EXT_REFCLK0	5	IO	0								
		MCAN2_RX	6	I	1								
		GPIO0_94	7	IO	バンド								
		MCASP2_AFSX	8	IO	0								
		MMC2_SDCD	9	I	0								
B13	UART0_RTSn PADCONFIG: PADCONFIG112 0x040841C0	UART0_RTSn	0	O		オフ / オフ / オフ	オフ / オフ / オフ	7	1.8V/3.3V	VDDSHV1	あり	LVCMOS	PU/PD
		SPI0_CS3	1	IO	1								
		I2C3_SDA	2	IOD	1								
		UART2_TXD	3	O									
		TIMER_IO3	4	IO	0								
		AUDIO_EXT_REFCLK1	5	IO	0								
		MCAN2_TX	6	O									
		GPIO0_95	7	IO	バンド								
		MCASP2_ACLKX	8	IO	0								
		MMC2_SDWP	9	I	0								
D13	UART0_RXD PADCONFIG: PADCONFIG109 0x040841B4	UART0_RXD	0	I	1	オフ / オフ / オフ	オフ / オフ / オフ	7	1.8V/3.3V	VDDSHV1	あり	LVCMOS	PU/PD
		ECAP1_IN_APWM_OUT	1	IO	0								
		SPI2_D0	2	IO	0								
		EHRPWM2_A	3	IO	0								
		GPIO0_92	7	IO	バンド								
C13	UART0_TXD PADCONFIG: PADCONFIG110 0x040841B8	UART0_TXD	0	O		オフ / オフ / オフ	オフ / オフ / オフ	7	1.8V/3.3V	VDDSHV1	あり	LVCMOS	PU/PD
		ECAP2_IN_APWM_OUT	1	IO	0								
		SPI2_D1	2	IO	0								
		EHRPWM2_B	3	IO	0								
		GPIO0_93	7	IO	バンド								
AC4	USB0_DM	USB0_DM		IO					1.8V/3.3V	VDDA_1P8_USB、 VDDA_3P3_USB		USB2PHY	
AB4	USB0_DP	USB0_DP		IO					1.8V/3.3V	VDDA_1P8_USB、 VDDA_3P3_USB		USB2PHY	

表 5-1. ピン属性 (ANB パッケージ) (続き)

ボール 番号 [1]	ボール名 [2] PADCONFIG レジスタ [15] PADCONFIG アドレス [16]	信号名 [3]	多重化 モード [4]	タイプ [5]	DSIS [6]	リセット 時の ボール の状態 (RX/TX/PULL) [7]	リセット 後の ボール の状態 (RX/TX/PULL) [8]	リセット 後の 多重化 モード [9]	I/O 動作 電圧 [10]	電源 [11]	HYS [12]	バッファ タイプ [13]	プル アップ / ダウ ン タイプ [14]
C6	USB0_DRVVBUS PADCONFIG: PADCONFIG145 0x04084244	USB0_DRVVBUS	0	O		オフ / オフ / ダウン	オフ / オフ / ダウン	7	1.8V/3.3V	VDDSHV1	あり	LVCMOS	PU/PD
		GPIO0_124	7	IO	パッド								
AB3	USB0_RCALIB	USB0_RCALIB		IO					1.8V/3.3V	VDDA_1P8_USB、 VDDA_3P3_USB		USB2PHY	
AC3	USB0_VBUS	USB0_VBUS		A					1.8V/3.3V	VDDA_1P8_USB、 VDDA_3P3_USB		USB2PHY	
AC5	USB1_DM	USB1_DM		IO					1.8V/3.3V	VDDA_1P8_USB、 VDDA_3P3_USB		USB2PHY	
AB5	USB1_DP	USB1_DP		IO					1.8V/3.3V	VDDA_1P8_USB、 VDDA_3P3_USB		USB2PHY	
A5	USB1_DRVVBUS PADCONFIG: PADCONFIG146 0x04084248	USB1_DRVVBUS	0	O		オフ / オフ / ダウン	オフ / オフ / ダウン	7	1.8V/3.3V	VDDSHV1	あり	LVCMOS	PU/PD
		GPIO0_125	7	IO	パッド								
AC6	USB1_RCALIB	USB1_RCALIB		IO					1.8V/3.3V	VDDA_1P8_USB、 VDDA_3P3_USB		USB2PHY	
AB6	USB1_VBUS	USB1_VBUS		A					1.8V/3.3V	VDDA_1P8_USB、 VDDA_3P3_USB		USB2PHY	
G14	VDDA_1P8_DSI	VDDA_1P8_DSI		PWR									
T12	VDDA_1P8_USB	VDDA_1P8_USB		PWR									
U16	VDDA_3P3_SDIO	VDDA_3P3_SDIO		PWR									
U12	VDDA_3P3_USB	VDDA_3P3_USB		PWR									
N17	VDDA_ADC	VDDA_ADC		PWR									
G13	VDDA_CORE_DSI	VDDA_CORE_DSI		PWR									
H12	VDDA_CORE_DSI_CLK	VDDA_CORE_DSI_CLK		PWR									
U11	VDDA_CORE_USB	VDDA_CORE_USB		PWR									
M10	VDDA_DDR_PLL0	VDDA_DDR_PLL0		PWR									
L11	VDDA_PLL0	VDDA_PLL0		PWR									
K12	VDDA_PLL1	VDDA_PLL1		PWR									
T14	VDDS0	VDDS0		PWR									
H16	VDDS1	VDDS1		PWR									
J16、L17	VDDSHV0	VDDSHV0		PWR									
G10、H10	VDDSHV1	VDDSHV1		PWR									
H8	VDDSHV2	VDDSHV2		PWR									
T10	VDDSHV3	VDDSHV3		PWR									
M17	VDDSHV4	VDDSHV4		PWR									
L8、M7、 M8、N8、P8	VDDS_DDR	VDDS_DDR		PWR									

表 5-1. ピン属性 (ANB パッケージ) (続き)

ボール 番号 [1]	ボール名 [2] PADCONFIG レジスタ [15] PADCONFIG アドレス [16]	信号名 [3]	多重化 モード [4]	タイプ [5]	DSIS [6]	リセット 時の ボール の状態 (RX/TX/PULL) [7]	リセット 後の ボール の状態 (RX/TX/PULL) [8]	リセット 後の 多重化 モード [9]	I/O 動作 電圧 [10]	電源 [11]	HYS [12]	バッファ タイプ [13]	プル アップ / ダウ ン タイプ [14]
R16	VDDS_OSC0	VDDS_OSC0		PWR									
T18	VDDS_RTC	VDDS_RTC		PWR									
P16	VDDS_WKUP	VDDS_WKUP		PWR									
J11, J13, J15, J9, K10, K14, L15, M14, N15, P10, P12, P14, R11, R9	VDD_CORE	VDD_CORE		PWR									
T17	VDD_RTC	VDD_RTC		PWR									
N18	VPP	VPP		PWR									

表 5-1. ピン属性 (ANB パッケージ) (続き)

ボール 番号 [1]	ボール名 [2] PADCONFIG レジスタ [15] PADCONFIG アドレス [16]	信号名 [3]	多重化 モード [4]	タイプ [5]	DSIS [6]	リセット 時の ボール の状態 (RX/TX/PULL) [7]	リセット 後の ボール の状態 (RX/TX/PULL) [8]	リセット 後の 多重化 モード [9]	I/O 動作 電圧 [10]	電源 [11]	HYS [12]	バッファ タイプ [13]	プル アップ / ダウ ン タイプ [14]
A1、A10、 A13、A16、 A19、A2、 A22、A23、 A4、 AA20、 AA4、 AB1、 AB21、 AB23、 AB7、 AC1、 AC11、 AC14、 AC19、 AC2、 AC22、 AC23、B1、 B17、B20、 B23、B5、 C12、 C18、D1、 E10、E14、 E15、E2、 E6、E8、 E9、F18、 F5、F6、 G12、 G15、 G16、G17、 G7、G8、 G9、H1、 H14、H17、 H7、K15、 K8、K9、 L13、L16、 L18、L7、 L9、M1、 M12、N11、 N13、N16、 N7、N9、 P15、P9、 R1、R13、 R15、R8、 T19、T2、 T7、T8、 U10、 U13、U14、 U15、U17、 U20、U7、 U8、V18、 V19、V3、 W10、	VSS	VSS		PWR									

表 5-1. ピン属性 (ANB パッケージ) (続き)

ボール 番号 [1]	ボール名 [2] PADCONFIG レジスタ [15] PADCONFIG アドレス [16]	信号名 [3]	多重化 モード [4]	タイプ [5]	DSIS [6]	リセット 時の ボール の状態 (RX/TX/PULL) [7]	リセット 後の ボール の状態 (RX/TX/PULL) [8]	リセット 後の 多重化 モード [9]	I/O 動作 電圧 [10]	電源 [11]	HYS [12]	バッファ タイプ [13]	プル アップ/ダウ ン タイプ [14]
W12、 W14、 W15、 W16、 W18、W9、 Y1、Y20、 Y21													
Y23	WKUP_CLKOUT0 PADCONFIG: PADCONFIG6 0x04084018	WKUP_CLKOUT0	0	O		オフ / オフ / オフ	オフ / SS / オフ	0	1.8V	VDD5_WKUP	あり	1P8-LVCMOS	PU/PD
		WKUP_GPIO0_6	7	IO	バッド								
AB22	WKUP_I2C0_SCL PADCONFIG: PADCONFIG4 0x04084010	WKUP_I2C0_SCL	0	IOD	1	オフ / オフ / オフ	オフ / オフ / オフ	7	1.8V	VDD5_WKUP	あり	1P8-LVCMOS	PU/PD
		WKUP_GPIO0_4	7	IO	バッド								
AA22	WKUP_I2C0_SDA PADCONFIG: PADCONFIG5 0x04084014	WKUP_I2C0_SDA	0	IOD	1	オフ / オフ / オフ	オフ / オフ / オフ	7	1.8V	VDD5_WKUP	あり	1P8-LVCMOS	PU/PD
		WKUP_GPIO0_5	7	IO	バッド								
AC18	WKUP_OSC0_XI	WKUP_OSC0_XI		I					1.8V	VDD5_OSC0		HFOSC	
AC17	WKUP_OSC0_XO	WKUP_OSC0_XO		O					1.8V	VDD5_OSC0		HFOSC	
W23	WKUP_UART0_CTSn PADCONFIG: PADCONFIG2 0x04084008	WKUP_UART0_CTSn	0	I	1	オフ / オフ / オフ	オフ / オフ / オフ	7	1.8V	VDD5_WKUP	あり	1P8-LVCMOS	PU/PD
		WKUP_TIMER_IO0	1	IO	0								
		WKUP_OBSCLK0	2	O									
		WKUP_SYSCLKOUT0	3	O									
W22	WKUP_UART0_RTSn PADCONFIG: PADCONFIG3 0x0408400C	WKUP_GPIO0_2	7	IO	バッド	オフ / オフ / オフ	オフ / オフ / オフ	7	1.8V	VDD5_WKUP	あり	1P8-LVCMOS	PU/PD
		WKUP_UART0_RTSn	0	O									
		WKUP_TIMER_IO1	1	IO	0								
		WKUP_EXT_REFCLK0	2	I	0								
Y22	WKUP_GPIO0_3 PADCONFIG: PADCONFIG0 0x04084000	WKUP_GPIO0_3	7	IO	バッド	オフ / オフ / オフ	オフ / オフ / オフ	7	1.8V	VDD5_WKUP	あり	1P8-LVCMOS	PU/PD
		WKUP_UART0_RXD	0	I	1								
AA23	WKUP_UART0_TXD PADCONFIG: PADCONFIG1 0x04084004	WKUP_UART0_TXD	0	O		オフ / オフ / オフ	オフ / オフ / オフ	7	1.8V	VDD5_WKUP	あり	1P8-LVCMOS	PU/PD
		WKUP_GPIO0_0	7	IO	バッド								

5.3 信号の説明

ピン多重化オプションのソフトウェア構成に応じて、複数のピンで多くの信号が利用可能です。

次に列ヘッダーについて説明します。

1. 信号名: ピンを通過する信号の名前。

注

各「信号の説明」表に記載されている信号名と説明は、ピンに実装され、PADCONFIG レジスタで選択されるピン多重化信号機能を表しています。デバイス サブシステムで信号機能の 2 次多重化が可能な場合がありますが、それらについてはこの表には記載されていません。2 次多重化信号機能の詳細については、デバイスのテクニカル リファレンス マニュアルで該当するペリフェラルの章を参照してください。

2. ピンの種類: 信号の方向と種類:

- I = 入力
- O = 出力
- OD = 出力、オープンドレイン出力機能付き
- IO = 入力、出力、または同時に入力と出力
- IOD = 入力、出力、または同時に入力と出力、オープンドレイン出力機能付き
- IOZ = 入力、出力、または同時に入力と出力、3 ステート出力機能付き
- OZ = 出力、3 ステート出力機能付き
- A = アナログ
- PWR = 電源
- GND = グランド
- CAP = LDO コンデンサ

3. 説明: 信号の説明

4. ボール: 信号に関連付けられているボール番号

IO セル構成の詳細については、デバイスのテクニカル リファレンス マニュアルで「デバイス構成」の章にある「パッド構成 レジスタ」セクションを参照してください。

5.3.1 ADC

5.3.1.1 メイン ドメイン

表 5-2. ADC0 信号の説明

信号名 [1]	ピンの種類 [2]	説明 [3]	ANB ピン[4]
ADC0_AIN0	A	ADC アナログ入力 0	V20
ADC0_AIN1	A	ADC アナログ入力 1	V22
ADC0_AIN2	A	ADC アナログ入力 2	V23
ADC0_AIN3	A	ADC アナログ入力 3	V21
ADC_EXT_TRIGGER0 (1)	I	ADC トリガ入力	C11、D16、D18、M23
ADC_EXT_TRIGGER1 (1)	I	ADC トリガ入力	A12、C23、M22

(1) この ADC 入力信号にはデバウンス機能があります。I/O デバウンスの設定の詳細についてはテクニカル リファレンス マニュアルの「デバイス構成」の章を参照してください。

5.3.2 CPSW3G

5.3.2.1 メイン ドメイン

表 5-3. CPSW3G0 RGMII1 信号の説明

信号名 [1]	ピンの種類 [2]	説明 [3]	ANB ピン[4]
RGMII1_RXC	I	RGMII 受信クロック	Y7
RGMII1_RX_CTL	I	RGMII 受信制御	Y6
RGMII1_TXC	O	RGMII 送信クロック	W11
RGMII1_TX_CTL	O	RGMII 送信制御	AB11
RGMII1_RD0	I	RGMII 受信データ 0	Y8
RGMII1_RD1	I	RGMII 受信データ 1	AA6
RGMII1_RD2	I	RGMII 受信データ 2	AA8
RGMII1_RD3	I	RGMII 受信データ 3	W8
RGMII1_TD0	O	RGMII 送信データ 0	AC10
RGMII1_TD1	O	RGMII 送信データ 1	W13
RGMII1_TD2	O	RGMII 送信データ 2	Y11
RGMII1_TD3	O	RGMII 送信データ 3	AA11

表 5-4. CPSW3G0 RGMII2 信号の説明

信号名 [1]	ピンの種類 [2]	説明 [3]	ANB ピン[4]
RGMII2_RXC	I	RGMII 受信クロック	AC7
RGMII2_RX_CTL	I	RGMII 受信制御	AC8
RGMII2_TXC	O	RGMII 送信クロック	Y13
RGMII2_TX_CTL	O	RGMII 送信制御	AB12
RGMII2_RD0	I	RGMII 受信データ 0	AB9
RGMII2_RD1	I	RGMII 受信データ 1	AC9
RGMII2_RD2	I	RGMII 受信データ 2	AB10
RGMII2_RD3	I	RGMII 受信データ 3	AB8
RGMII2_TD0	O	RGMII 送信データ 0	AC12
RGMII2_TD1	O	RGMII 送信データ 1	AB13
RGMII2_TD2	O	RGMII 送信データ 2	AA12
RGMII2_TD3	O	RGMII 送信データ 3	AA13

表 5-5. CPSW3G0 RMII1 信号の説明

信号名 [1]	ピンの種類 [2]	説明 [3]	ANB ピン[4]
RMII1_CRD_DV	I	RMII キャリア センス / データ有効	W11
RMII1_REF_CLK	I	RMII 基準クロック	Y7
RMII1_RX_ER	I	RMII 受信データ エラー	Y6
RMII1_TX_EN	O	RMII 送信イネーブル	AB11
RMII1_RXD0	I	RMII 受信データ 0	Y8
RMII1_RXD1	I	RMII 受信データ 1	AA6
RMII1_TXD0	O	RMII 送信データ 0	AC10
RMII1_TXD1	O	RMII 送信データ 1	W13

表 5-6. CPSW3G0 RMII2 信号の説明

信号名 [1]	ピンの種類 [2]	説明 [3]	ANB ピン[4]
RMII2_CRS_DV	I	RMII キャリア センス / データ有効	Y13
RMII2_REF_CLK	I	RMII 基準クロック	AC7
RMII2_RX_ER	I	RMII 受信データ エラー	AC8
RMII2_TX_EN	O	RMII 送信イネーブル	AB12
RMII2_RXD0	I	RMII 受信データ 0	AB9
RMII2_RXD1	I	RMII 受信データ 1	AC9
RMII2_TXD0	O	RMII 送信データ 0	AC12
RMII2_TXD1	O	RMII 送信データ 1	AB13

5.3.3 CPTS

5.3.3.1 メイン ドメイン

表 5-7. CPTS 信号の説明

信号名 [1]	ピンの種類 [2]	説明 [3]	ANB ピン[4]
CP_GEMAC_CPTS0_RFT_CLK	I	CPTS 基準クロック入力	D16
CP_GEMAC_CPTS0_TS_COMP	O	CPSW3G0 CPTS からの CPTS タイム スタンプ カウンタ 比較出力	AB2、D11
CP_GEMAC_CPTS0_TS_SYNC	O	CPSW3G0 CPTS からの CPTS タイム スタンプ カウンタ ビット出力	AA2、E13
CP_GEMAC_CPTS0_HW1TSPUSH	I	時間同期ルータへの CPTS ハードウェア タイム スタンプ プッシュ入力	E12、Y4
CP_GEMAC_CPTS0_HW2TSPUSH	I	時間同期ルータへの CPTS ハードウェア タイム スタンプ プッシュ入力	AA1、B12
SYNC0_OUT	O	時間同期ルータからの CPTS タイム スタンプ ジェネレータ ビット 0 出力	B7
SYNC1_OUT	O	時間同期ルータからの CPTS タイム スタンプ ジェネレータ ビット 1 出力	D16
SYNC2_OUT	O	時間同期ルータからの CPTS タイム スタンプ ジェネレータ ビット 2 出力	B16
SYNC3_OUT	O	時間同期ルータからの CPTS タイム スタンプ ジェネレータ ビット 3 出力	B15

5.3.4 DDRSS

5.3.4.1 メイン ドメイン

表 5-8. DDRSS0 信号の説明

信号名 [1]	ピンの種類 [2]	説明 [3]	ANB ピン[4]
DDR0_ACT_n	O	DDRSS アクティブ化コマンド	M2
DDR0_CAS_n	O	DDRSS 列アドレス ストロープ	L1
DDR0_RAS_n	O	DDRSS 行アドレス ストロープ	M5
DDR0_WE_n	O	DDRSS 書き込みイネーブル	L2
DDR0_A0	O	DDRSS アドレス バス	L5
DDR0_A1	O	DDRSS アドレス バス	H6
DDR0_A2	O	DDRSS アドレス バス	L6
DDR0_A3	O	DDRSS アドレス バス	K2
DDR0_A4	O	DDRSS アドレス バス	J1
DDR0_A5	O	DDRSS アドレス バス	H5

表 5-8. DDRSS0 信号の説明 (続き)

信号名 [1]	ピンの種類 [2]	説明 [3]	ANB ピン[4]
DDR0_A6	O	DDRSS アドレス バス	R2
DDR0_A7	O	DDRSS アドレス バス	N6
DDR0_A8	O	DDRSS アドレス バス	T4
DDR0_A9	O	DDRSS アドレス バス	N1
DDR0_A10	O	DDRSS アドレス バス	T5
DDR0_A11	O	DDRSS アドレス バス	T6
DDR0_A12	O	DDRSS アドレス バス	W6
DDR0_A13	O	DDRSS アドレス バス	V6
DDR0_BA0	O	DDRSS バンク アドレス	N3
DDR0_BA1	O	DDRSS バンク アドレス	N2
DDR0_BG0	O	DDRSS バンク グループ	N5
DDR0_BG1	O	DDRSS バンク グループ	N4
DDR0_CAL0 (1)	A	IO パッド較正抵抗	M3
DDR0_CK0	O	DDRSS クロック	P1
DDR0_CK0_n	O	DDRSS 負のクロック	P2
DDR0_CKE0	O	DDRSS クロック イネーブル	K1
DDR0_CS0_n	O	DDRSS チップ セレクト 0	L3
DDR0_DM0	IO	DDRSS データ マスク	F2
DDR0_DM1	IO	DDRSS データ マスク	W2
DDR0_DQ0	IO	DDRSS データ	F4
DDR0_DQ1	IO	DDRSS データ	F3
DDR0_DQ2	IO	DDRSS データ	F1
DDR0_DQ3	IO	DDRSS データ	E1
DDR0_DQ4	IO	DDRSS データ	G4
DDR0_DQ5	IO	DDRSS データ	H4
DDR0_DQ6	IO	DDRSS データ	H2
DDR0_DQ7	IO	DDRSS データ	H3
DDR0_DQ8	IO	DDRSS データ	V4
DDR0_DQ9	IO	DDRSS データ	T3
DDR0_DQ10	IO	DDRSS データ	T1
DDR0_DQ11	IO	DDRSS データ	U1
DDR0_DQ12	IO	DDRSS データ	U4
DDR0_DQ13	IO	DDRSS データ	V5
DDR0_DQ14	IO	DDRSS データ	U2
DDR0_DQ15	IO	DDRSS データ	W1
DDR0_DQS0	IO	DDRSS データ ストロープ	G1
DDR0_DQS0_n	IO	DDRSS 相補データ ストロープ	G2
DDR0_DQS1	IO	DDRSS データ ストロープ	V1
DDR0_DQS1_n	IO	DDRSS 相補データ ストロープ	V2
DDR0_ODT0	O	DDRSS チップ セレクト 0 のオン ダイ終端	L4
DDR0_RESET0_n	O	DDRSS のリセット	J2

(1) このピンと VSS の間に $240\Omega \pm 1\%$ の外付け抵抗を接続する必要があります。このピンに外部電圧を印加しないでください。

5.3.5 DSI

5.3.5.1 メイン ドメイン

表 5-9. DSITX0 信号の説明

信号名 [1]	ピンの種類 [2]	説明 [3]	ANB ピン[4]
DSI0_TXCLKN	IO	DSI 差動送信クロック出力 (負)	A15
DSI0_TXCLKP	IO	DSI 差動送信クロック出力 (正)	A14
DSI0_TXRCALIB ⁽¹⁾	A	オンチップ抵抗較正用に外部抵抗に接続する DSI ピン	D17
DSI0_TXN0	IO	DSI 差動送信出力 (負)	B19
DSI0_TXN1	IO	DSI 差動送信出力 (負)	A18
DSI0_TXN2	IO	DSI 差動送信出力 (負)	A20
DSI0_TXN3	IO	DSI 差動送信出力 (負)	B22
DSI0_TXP0	IO	DSI 差動送信出力 (正)	B18
DSI0_TXP1	IO	DSI 差動送信出力 (正)	A17
DSI0_TXP2	IO	DSI 差動送信出力 (正)	A21
DSI0_TXP3	IO	DSI 差動送信出力 (正)	B21

(1) このピンと VSS の間に $499\Omega \pm 1\%$ の外付け抵抗を接続する必要があり、抵抗の最大消費電力は 7.2mW です。このピンに外部電圧を印加しないでください。

5.3.6 DSS

5.3.6.1 メイン ドメイン

表 5-10. DSS0 信号の説明

信号名 [1]	ピンの種類 [2]	説明 [3]	ANB ピン[4]
VOUT0_DE	O	ビデオ出力データ イネーブル	M21
VOUT0_EXTPCLKIN	I	ビデオ出力の外部ピクセル クロック入力	M23
VOUT0_HSYNC	O	ビデオ出力の水平同期	N21
VOUT0_PCLK	O	ビデオ出力のピクセル クロック出力	L19
VOUT0_VSYNC	O	ビデオ出力の垂直同期	L20
VOUT0_DATA0	O	ビデオ出力データ 0	L22
VOUT0_DATA1	O	ビデオ出力データ 1	L23
VOUT0_DATA2	O	ビデオ出力データ 2	K22
VOUT0_DATA3	O	ビデオ出力データ 3	J23
VOUT0_DATA4	O	ビデオ出力データ 4	K23
VOUT0_DATA5	O	ビデオ出力データ 5	H22
VOUT0_DATA6	O	ビデオ出力データ 6	H23
VOUT0_DATA7	O	ビデオ出力データ 7	J22
VOUT0_DATA8	O	ビデオ出力データ 8	H19
VOUT0_DATA9	O	ビデオ出力データ 9	H20
VOUT0_DATA10	O	ビデオ出力データ 10	H21
VOUT0_DATA11	O	ビデオ出力データ 11	H18
VOUT0_DATA12	O	ビデオ出力データ 12	G23
VOUT0_DATA13	O	ビデオ出力データ 13	G22
VOUT0_DATA14	O	ビデオ出力データ 14	F22
VOUT0_DATA15	O	ビデオ出力データ 15	F23
VOUT0_DATA16	O	ビデオ出力データ 16	L21

表 5-10. DSS0 信号の説明 (続き)

信号名 [1]	ピンの種類 [2]	説明 [3]	ANB ピン[4]
VOUT0_DATA17	O	ビデオ出力データ 17	N19
VOUT0_DATA18	O	ビデオ出力データ 18	N20
VOUT0_DATA19	O	ビデオ出力データ 19	M19
VOUT0_DATA20	O	ビデオ出力データ 20	P23
VOUT0_DATA21	O	ビデオ出力データ 21	P22
VOUT0_DATA22	O	ビデオ出力データ 22	N23
VOUT0_DATA23	O	ビデオ出力データ 23	N22

5.3.7 ECAP

5.3.7.1 メイン ドメイン

表 5-11. ECAP0 信号の説明

信号名 [1]	ピンの種類 [2]	説明 [3]	ANB ピン[4]
ECAP0_IN_APWM_OUT	IO	拡張キャプチャ (ECAP) 入力または補助 PWM (APWM) 出力	D11、D16、L22

表 5-12. ECAP1 信号の説明

信号名 [1]	ピンの種類 [2]	説明 [3]	ANB ピン[4]
ECAP1_IN_APWM_OUT	IO	拡張キャプチャ (ECAP) 入力または補助 PWM (APWM) 出力	A8、A9、B7、 D13、L23、Y4

表 5-13. ECAP2 信号の説明

信号名 [1]	ピンの種類 [2]	説明 [3]	ANB ピン[4]
ECAP2_IN_APWM_OUT	IO	拡張キャプチャ (ECAP) 入力または補助 PWM (APWM) 出力	A11、A7、AA1、 B10、C13、H20

5.3.8 エミュレーションおよびデバッグ

5.3.8.1 メイン ドメイン

表 5-14. トレース信号の説明

信号名 [1]	ピンの種類 [2]	説明 [3]	ANB ピン[4]
TRC_CLK	O	トレース クロック	L22
TRC_CTL	O	トレース制御	L23
TRC_DATA0	O	トレース データ 0	K22
TRC_DATA1	O	トレース データ 1	J23
TRC_DATA2	O	トレース データ 2	K23
TRC_DATA3	O	トレース データ 3	H22
TRC_DATA4	O	トレース データ 4	H23
TRC_DATA5	O	トレース データ 5	J22
TRC_DATA6	O	トレース データ 6	L21
TRC_DATA7	O	トレース データ 7	N19
TRC_DATA8	O	トレース データ 8	N20
TRC_DATA9	O	トレース データ 9	M19
TRC_DATA10	O	トレース データ 10	P23
TRC_DATA11	O	トレース データ 11	P22

表 5-14. トレース信号の説明 (続き)

信号名 [1]	ピンの種類 [2]	説明 [3]	ANB ピン[4]
TRC_DATA12	O	トレース データ 12	N23
TRC_DATA13	O	トレース データ 13	N21
TRC_DATA14	O	トレース データ 14	M21
TRC_DATA15	O	トレース データ 15	L20
TRC_DATA16	O	トレース データ 16	L19
TRC_DATA17	O	トレース データ 17	M23
TRC_DATA18	O	トレース データ 18	M22
TRC_DATA19	O	トレース データ 19	F23
TRC_DATA20	O	トレース データ 20	F22
TRC_DATA21	O	トレース データ 21	G22
TRC_DATA22	O	トレース データ 22	G23
TRC_DATA23	O	トレース データ 23	H18

5.3.8.2 WKUP ドメイン

表 5-15. JTAG 信号の説明

信号名 [1]	ピンの種類 [2]	説明 [3]	ANB ピン[4]
EMU0	IO	エミュレーション制御 0	Y16
EMU1	IO	エミュレーション制御 1	AA16
TCK	I	JTAG テスト クロック入力	AB14
TDI	I	JTAG テスト データ入力	AC16
TDO	OZ	JTAG テスト データ出力	AB15
TMS	I	JTAG テスト モード選択入力	Y17
TRSTn	I	JTAG のリセット	AB16

5.3.9 EPWM

5.3.9.1 メイン ドメイン

表 5-16. EPWM 信号の説明

信号名 [1]	ピンの種類 [2]	説明 [3]	ANB ピン[4]
EHRPWM_SOC_A	O	EHRPWM 変換開始 A	B7
EHRPWM_SOC_B	O	EHRPWM 変換開始 B	A7
EHRPWM_TZn_IN0	I	EHRPWMトリップ ゾーン入力 0 (アクティブ Low)	B12
EHRPWM_TZn_IN1	I	EHRPWMトリップ ゾーン入力 1 (アクティブ Low)	D3、N19
EHRPWM_TZn_IN2	I	EHRPWMトリップ ゾーン入力 2 (アクティブ Low)	B3、G23
EHRPWM_TZn_IN3	I	EHRPWMトリップ ゾーン入力 3 (アクティブ Low)	B16
EHRPWM_TZn_IN4	I	EHRPWMトリップ ゾーン入力 4 (アクティブ Low)	B15
EHRPWM_TZn_IN5	I	EHRPWMトリップ ゾーン入力 5 (アクティブ Low)	D11

表 5-17. EPWM0 信号の説明

信号名 [1]	ピンの種類 [2]	説明 [3]	ANB ピン[4]
EHRPWM0_A	IO	EHRPWM 出力 A	C11、C4、E11、G22
EHRPWM0_B	IO	EHRPWM 出力 B	A12、C2、D11、F22

表 5-17. EPWM0 信号の説明 (続き)

信号名 [1]	ピンの種類 [2]	説明 [3]	ANB ピン[4]
EHRPWM0_SYNCI	I	外部ピンから EHRPWM モジュールへの同期入力	B4、D7、H21
EHRPWM0_SYNCO	O	EHRPWM モジュールから外部ピンへの同期出力	A3、A6、H18

表 5-18. EPWM1 信号の説明

信号名 [1]	ピンの種類 [2]	説明 [3]	ANB ピン[4]
EHRPWM1_A	IO	EHRPWM 出力 A	A9、C1、E13、F23
EHRPWM1_B	IO	EHRPWM 出力 B	B9、D4、E12、L21

表 5-19. EPWM2 信号の説明

信号名 [1]	ピンの種類 [2]	説明 [3]	ANB ピン[4]
EHRPWM2_A	IO	EHRPWM 出力 A	B2、D13、D7、N20
EHRPWM2_B	IO	EHRPWM 出力 B	A6、C13、D2、M19

5.3.10 EQEP

5.3.10.1 メイン ドメイン

表 5-20. EQEP0 信号の説明

信号名 [1]	ピンの種類 [2]	説明 [3]	ANB ピン[4]
EQEP0_A ⁽¹⁾	I	EQEP 直交入力 A	A8、P23
EQEP0_B ⁽¹⁾	I	EQEP 直交入力 B	B10、P22
EQEP0_I ⁽¹⁾	IO	EQEP インデックス	B9、N22
EQEP0_S ⁽¹⁾	IO	EQEP ストロープ	A9、N23

(1) この EQEP 入力信号にはデバウンス機能があります。I/O デバウンスの設定の詳細についてはテクニカル リファレンス マニュアルの「デバイス構成」の章を参照してください。

表 5-21. EQEP1 信号の説明

信号名 [1]	ピンの種類 [2]	説明 [3]	ANB ピン[4]
EQEP1_A ⁽¹⁾	I	EQEP 直交入力 A	A11、N21
EQEP1_B ⁽¹⁾	I	EQEP 直交入力 B	B11、M21
EQEP1_I ⁽¹⁾	IO	EQEP インデックス	A12、L19
EQEP1_S ⁽¹⁾	IO	EQEP ストロープ	C11、L20

(1) この EQEP 入力信号にはデバウンス機能があります。I/O デバウンスの設定の詳細についてはテクニカル リファレンス マニュアルの「デバイス構成」の章を参照してください。

表 5-22. EQEP2 信号の説明

信号名 [1]	ピンの種類 [2]	説明 [3]	ANB ピン[4]
EQEP2_A ⁽¹⁾	I	EQEP 直交入力 A	AB10、B7
EQEP2_B ⁽¹⁾	I	EQEP 直交入力 B	A7、AB8
EQEP2_I ⁽¹⁾	IO	EQEP インデックス	AA12、B16、N22

表 5-22. EQEP2 信号の説明 (続き)

信号名 [1]	ピンの種類 [2]	説明 [3]	ANB ピン[4]
EQEP2_S ⁽¹⁾	IO	EQEP ストロープ	AA13、B15、M21

(1) この EQEP 入力信号にはデバウンス機能があります。I/O デバウンスの設定の詳細についてはテクニカル リファレンス マニュアルの「デバイス構成」の章を参照してください。

5.3.11 GPIO

5.3.11.1 メイン ドメイン

表 5-23. GPIO0 信号の説明

信号名 [1]	ピンの種類 [2]	説明 [3]	ANB ピン[4]
GPIO0_0	IO	汎用入出力	D22
GPIO0_1	IO	汎用入出力	E18
GPIO0_2	IO	汎用入出力	E22
GPIO0_3	IO	汎用入出力	C22
GPIO0_4	IO	汎用入出力	D21
GPIO0_5	IO	汎用入出力	E23
GPIO0_6	IO	汎用入出力	D23
GPIO0_7	IO	汎用入出力	F21
GPIO0_8	IO	汎用入出力	F19
GPIO0_9	IO	汎用入出力	G20
GPIO0_10	IO	汎用入出力	F20
GPIO0_11	IO	汎用入出力	C20
GPIO0_12	IO	汎用入出力	D20
GPIO0_13 ⁽¹⁾	IO	汎用入出力	D18
GPIO0_14 ⁽¹⁾	IO	汎用入出力	C23
GPIO0_15	IO	汎用入出力	L22
GPIO0_16	IO	汎用入出力	L23
GPIO0_17	IO	汎用入出力	K22
GPIO0_18	IO	汎用入出力	J23
GPIO0_19	IO	汎用入出力	K23
GPIO0_100	IO	汎用入出力	D7
GPIO0_101	IO	汎用入出力	A6
GPIO0_102	IO	汎用入出力	B8
GPIO0_103	IO	汎用入出力	D8
GPIO0_104	IO	汎用入出力	D16
GPIO0_105 ⁽¹⁾	IO	汎用入出力	C8
GPIO0_106 ⁽¹⁾	IO	汎用入出力	B4
GPIO0_107 ⁽¹⁾	IO	汎用入出力	A3
GPIO0_108 ⁽¹⁾	IO	汎用入出力	B3
GPIO0_109 ⁽¹⁾	IO	汎用入出力	C4
GPIO0_110 ⁽¹⁾	IO	汎用入出力	C2
GPIO0_111 ⁽¹⁾	IO	汎用入出力	C1
GPIO0_112 ⁽¹⁾	IO	汎用入出力	D4
GPIO0_113 ⁽¹⁾	IO	汎用入出力	D3
GPIO0_114 ⁽¹⁾	IO	汎用入出力	B2
GPIO0_115 ⁽¹⁾	IO	汎用入出力	D2
GPIO0_116 ⁽¹⁾	IO	汎用入出力	AB2

表 5-23. GPIO0 信号の説明 (続き)

信号名 [1]	ピンの種類 [2]	説明 [3]	ANB ピン [4]
GPIO0_117 ⁽¹⁾	IO	汎用入出力	AA2
GPIO0_118 ⁽¹⁾	IO	汎用入出力	Y4
GPIO0_119 ⁽¹⁾	IO	汎用入出力	AA1
GPIO0_120 ⁽¹⁾	IO	汎用入出力	Y2
GPIO0_121 ⁽¹⁾	IO	汎用入出力	Y3
GPIO0_122 ⁽¹⁾	IO	汎用入出力	B6
GPIO0_123 ⁽¹⁾	IO	汎用入出力	D6
GPIO0_124	IO	汎用入出力	C6
GPIO0_125	IO	汎用入出力	A5
GPIO0_20	IO	汎用入出力	H22
GPIO0_21	IO	汎用入出力	H23
GPIO0_22	IO	汎用入出力	J22
GPIO0_23	IO	汎用入出力	H19
GPIO0_24	IO	汎用入出力	H20
GPIO0_25	IO	汎用入出力	H21
GPIO0_26	IO	汎用入出力	H18
GPIO0_27	IO	汎用入出力	G23
GPIO0_28	IO	汎用入出力	G22
GPIO0_29	IO	汎用入出力	F22
GPIO0_30	IO	汎用入出力	F23
GPIO0_31	IO	汎用入出力	L21
GPIO0_32	IO	汎用入出力	N19
GPIO0_33	IO	汎用入出力	N20
GPIO0_34	IO	汎用入出力	M19
GPIO0_35	IO	汎用入出力	P23
GPIO0_36	IO	汎用入出力	P22
GPIO0_37	IO	汎用入出力	N23
GPIO0_38	IO	汎用入出力	N22
GPIO0_39	IO	汎用入出力	N21
GPIO0_40	IO	汎用入出力	M21
GPIO0_41	IO	汎用入出力	L20
GPIO0_42	IO	汎用入出力	L19
GPIO0_43 ⁽¹⁾	IO	汎用入出力	M23
GPIO0_44 ⁽¹⁾	IO	汎用入出力	M22
GPIO0_45 ⁽¹⁾	IO	汎用入出力	R22
GPIO0_46 ⁽¹⁾	IO	汎用入出力	T23
GPIO0_47 ⁽¹⁾	IO	汎用入出力	T22
GPIO0_48 ⁽¹⁾	IO	汎用入出力	U22
GPIO0_49 ⁽¹⁾	IO	汎用入出力	R23
GPIO0_50 ⁽¹⁾	IO	汎用入出力	U23
GPIO0_51 ⁽¹⁾	IO	汎用入出力	T20
GPIO0_52 ⁽¹⁾	IO	汎用入出力	T21
GPIO0_53	IO	汎用入出力	AB11
GPIO0_54	IO	汎用入出力	W11
GPIO0_55	IO	汎用入出力	AC10

表 5-23. GPIO0 信号の説明 (続き)

信号名 [1]	ピンの種類 [2]	説明 [3]	ANB ピン[4]
GPIO0_56	IO	汎用入出力	W13
GPIO0_57	IO	汎用入出力	Y11
GPIO0_58	IO	汎用入出力	AA11
GPIO0_59	IO	汎用入出力	Y6
GPIO0_60	IO	汎用入出力	Y7
GPIO0_61	IO	汎用入出力	Y8
GPIO0_62	IO	汎用入出力	AA6
GPIO0_63	IO	汎用入出力	AA8
GPIO0_64	IO	汎用入出力	W8
GPIO0_65	IO	汎用入出力	AC13
GPIO0_66	IO	汎用入出力	AC15
GPIO0_67	IO	汎用入出力	AB12
GPIO0_68	IO	汎用入出力	Y13
GPIO0_69	IO	汎用入出力	AC12
GPIO0_70	IO	汎用入出力	AB13
GPIO0_71	IO	汎用入出力	AA12
GPIO0_72	IO	汎用入出力	AA13
GPIO0_73	IO	汎用入出力	AC8
GPIO0_74	IO	汎用入出力	AC7
GPIO0_75	IO	汎用入出力	AB9
GPIO0_76	IO	汎用入出力	AC9
GPIO0_77	IO	汎用入出力	AB10
GPIO0_78	IO	汎用入出力	AB8
GPIO0_79	IO	汎用入出力	A8
GPIO0_80	IO	汎用入出力	B10
GPIO0_81	IO	汎用入出力	A9
GPIO0_82	IO	汎用入出力	B9
GPIO0_83	IO	汎用入出力	A11
GPIO0_84	IO	汎用入出力	B11
GPIO0_85	IO	汎用入出力	C11
GPIO0_86	IO	汎用入出力	A12
GPIO0_87	IO	汎用入出力	E11
GPIO0_88 ⁽¹⁾	IO	汎用入出力	D11
GPIO0_89	IO	汎用入出力	E13
GPIO0_90	IO	汎用入出力	E12
GPIO0_91	IO	汎用入出力	B12
GPIO0_92	IO	汎用入出力	D13
GPIO0_93	IO	汎用入出力	C13
GPIO0_94	IO	汎用入出力	B14
GPIO0_95	IO	汎用入出力	B13
GPIO0_96	IO	汎用入出力	B16
GPIO0_97	IO	汎用入出力	B15
GPIO0_98	IO	汎用入出力	B7

表 5-23. GPIO0 信号の説明 (続き)

信号名 [1]	ピンの種類 [2]	説明 [3]	ANB ピン[4]
GPIO0_99	IO	汎用入出力	A7

(1) この GPIO 入力信号にはデバウンス機能があります。I/O デバウンスの設定の詳細についてはテクニカル リファレンス マニュアルの「デバイス構成」の章を参照してください。

5.3.11.2 WKUP ドメイン

表 5-24. WKUP_GPIO0 信号の説明

信号名 [1]	ピンの種類 [2]	説明 [3]	ANB ピン[4]
WKUP_GPIO0_0	IO	汎用入出力	Y22
WKUP_GPIO0_1	IO	汎用入出力	AA23
WKUP_GPIO0_2 (1)	IO	汎用入出力	W23
WKUP_GPIO0_3 (1)	IO	汎用入出力	W22
WKUP_GPIO0_4	IO	汎用入出力	AB22
WKUP_GPIO0_5	IO	汎用入出力	AA22
WKUP_GPIO0_6	IO	汎用入出力	Y23

(1) この GPIO 入力信号にはデバウンス機能があります。I/O デバウンスの設定の詳細についてはテクニカル リファレンス マニュアルの「デバイス構成」の章を参照してください。

5.3.12 GPMC

5.3.12.1 メイン ドメイン

表 5-25. GPMC0 信号の説明

信号名 [1]	ピンの種類 [2]	説明 [3]	ANB ピン[4]
GPMC0_ADVn_ALE	O	GPMC アドレス有効 (アクティブ Low) またはアドレス ラッチ イネーブル	N19
GPMC0_CLK	O	GPMC クロック	L21
GPMC0_DIR	O	GPMC データ バス信号方向制御	M21
GPMC0_FCLK_MUX	O	GPMC 機能クロック出力	L21
GPMC0_OEn_REn	O	GPMC 出力イネーブル (アクティブ Low) または読み出しイネーブル (アクティブ Low)	N20
GPMC0_WEn	O	GPMC 書き込みイネーブル (アクティブ Low)	M19
GPMC0_WPn	O	GPMC フラッシュ書き込み保護 (アクティブ Low)	N21
GPMC0_A0	O	GPMC アドレス 0 出力。8 ビット データ非多重化メモリを効果的にアドレス指定するためにのみ使用されます。	Y11
GPMC0_A1	O	GPMC アドレス 1 (A/D 非多重化モード) およびアドレス 17 (A/D 多重化モード) 出力	AA12
GPMC0_A2	O	GPMC アドレス 2 (A/D 非多重化モード) およびアドレス 18 (A/D 多重化モード) 出力	AA13
GPMC0_A3	O	GPMC アドレス 3 (A/D 非多重化モード) およびアドレス 19 (A/D 多重化モード) 出力	AB10
GPMC0_A4	O	GPMC アドレス 4 (A/D 非多重化モード) およびアドレス 20 (A/D 多重化モード) 出力	AB8
GPMC0_A5	O	GPMC アドレス 5 (A/D 非多重化モード) およびアドレス 21 (A/D 多重化モード) 出力	AA8
GPMC0_A6	O	GPMC アドレス 6 (A/D 非多重化モード) およびアドレス 22 (A/D 多重化モード) 出力	W8
GPMC0_AD0	IO	GPMC データ 0 入出力 (A/D 非多重化モード) および追加アドレス 1 出力 (A/D 多重化モード)	L22

表 5-25. GPMC0 信号の説明 (続き)

信号名 [1]	ピンの種類 [2]	説明 [3]	ANB ピン[4]
GPMC0_AD1	IO	GPMC データ 1 入出力 (A/D 非多重化モード) および追加アドレス 2 出力 (A/D 多重化モード)	L23
GPMC0_AD2	IO	GPMC データ 2 入出力 (A/D 非多重化モード) および追加アドレス 3 出力 (A/D 多重化モード)	K22
GPMC0_AD3	IO	GPMC データ 3 入出力 (A/D 非多重化モード) および追加アドレス 3 出力 (A/D 多重化モード)	J23
GPMC0_AD4	IO	GPMC データ 4 入出力 (A/D 非多重化モード) および追加アドレス 3 出力 (A/D 多重化モード)	K23
GPMC0_AD5	IO	GPMC データ 5 入出力 (A/D 非多重化モード) および追加アドレス 3 出力 (A/D 多重化モード)	H22
GPMC0_AD6	IO	GPMC データ 6 入出力 (A/D 非多重化モード) および追加アドレス 3 出力 (A/D 多重化モード)	H23
GPMC0_AD7	IO	GPMC データ 7 入出力 (A/D 非多重化モード) および追加アドレス 3 出力 (A/D 多重化モード)	J22
GPMC0_AD8	IO	GPMC データ 8 入出力 (A/D 非多重化モード) および追加アドレス 3 出力 (A/D 多重化モード)	H19
GPMC0_AD9	IO	GPMC データ 9 入出力 (A/D 非多重化モード) および追加アドレス 3 出力 (A/D 多重化モード)	H20
GPMC0_AD10	IO	GPMC データ 10 入出力 (A/D 非多重化モード) および追加アドレス 11 出力 (A/D 多重化モード)	H21
GPMC0_AD11	IO	GPMC データ 11 入出力 (A/D 非多重化モード) および追加アドレス 12 出力 (A/D 多重化モード)	H18
GPMC0_AD12	IO	GPMC データ 12 入出力 (A/D 非多重化モード) および追加アドレス 13 出力 (A/D 多重化モード)	G23
GPMC0_AD13	IO	GPMC データ 13 入出力 (A/D 非多重化モード) および追加アドレス 14 出力 (A/D 多重化モード)	G22
GPMC0_AD14	IO	GPMC データ 14 入出力 (A/D 非多重化モード) および追加アドレス 15 出力 (A/D 多重化モード)	F22
GPMC0_AD15	IO	GPMC データ 15 入出力 (A/D 非多重化モード) および追加アドレス 16 出力 (A/D 多重化モード)	F23
GPMC0_BE0n_CLE	O	GPMC 下位バイト イネーブル (アクティブ Low) またはコマンド ラッチ イネーブル	P23
GPMC0_BE1n	O	GPMC 上位バイト イネーブル (アクティブ Low)	P22
GPMC0_CSn0	O	GPMC チップ セレクト 0 (アクティブ Low)	L20
GPMC0_CSn1	O	GPMC チップ セレクト 1 (アクティブ Low)	L19
GPMC0_CSn2	O	GPMC チップ セレクト 2 (アクティブ Low)	M23
GPMC0_CSn3	O	GPMC チップ セレクト 3 (アクティブ Low)	M22
GPMC0_WAIT0	I	GPMC ウェイト外部表示	N23
GPMC0_WAIT1	I	GPMC ウェイト外部表示	N22

5.3.13 I2C

5.3.13.1 メイン ドメイン

表 5-26. I2C0 信号の説明

信号名 [1]	ピンの種類 [2]	説明 [3]	ANB ピン[4]
I2C0_SCL	IOD	I2C クロック	B7
I2C0_SDA	IOD	I2C データ	A7

表 5-27. I2C1 信号の説明

信号名 [1]	ピンの種類 [2]	説明 [3]	ANB ピン[4]
I2C1_SCL	IOD	I2C クロック	D7
I2C1_SDA	IOD	I2C データ	A6

表 5-28. I2C2 信号の説明

信号名 [1]	ピンの種類 [2]	説明 [3]	ANB ピン[4]
I2C2_SCL	IOD	I2C クロック	AA8、B8、M23
I2C2_SDA	IOD	I2C データ	D8、M22、W8

表 5-29. I2C3 信号の説明

信号名 [1]	ピンの種類 [2]	説明 [3]	ANB ピン[4]
I2C3_SCL	IOD	I2C クロック	B14、B2、G20、L22
I2C3_SDA	IOD	I2C データ	B13、D2、F20、L23

5.3.13.2 WKUP ドメイン

表 5-30. WKUP_I2C0 信号の説明

信号名 [1]	ピンの種類 [2]	説明 [3]	ANB ピン[4]
WKUP_I2C0_SCL	IOD	I2C クロック	AB22
WKUP_I2C0_SDA	IOD	I2C データ	AA22

5.3.14 MCAN

5.3.14.1 メイン ドメイン

表 5-31. MCAN0 信号の説明

信号名 [1]	ピンの種類 [2]	説明 [3]	ANB ピン[4]
MCAN0_RX	I	MCAN 受信データ	B15
MCAN0_TX	O	MCAN 送信データ	B16

表 5-32. MCAN1 信号の説明

信号名 [1]	ピンの種類 [2]	説明 [3]	ANB ピン[4]
MCAN1_RX	I	MCAN 受信データ	A8、AB2、B4、N22
MCAN1_TX	O	MCAN 送信データ	A3、AA2、B10、M21

表 5-33. MCAN2 信号の説明

信号名 [1]	ピンの種類 [2]	説明 [3]	ANB ピン[4]
MCAN2_RX	I	MCAN 受信データ	B14、B6、C2
MCAN2_TX	O	MCAN 送信データ	B13、C1、D6

5.3.15 MCASP

5.3.15.1 メイン ドメイン

表 5-34. MCASP0 信号の説明

信号名 [1]	ピンの種類 [2]	説明 [3]	ANB ピン[4]
MCASP0_ACLKR	IO	MCASP 受信ビット クロック	A12
MCASP0_ACLKX	IO	MCASP 送信ビット クロック	A11
MCASP0_AFSR	IO	MCASP 受信フレーム同期	C11
MCASP0_AFSX	IO	MCASP 送信フレーム同期	B11
MCASP0_AXR0	IO	MCASP シリアル データ (入力 / 出力)	B9
MCASP0_AXR1	IO	MCASP シリアル データ (入力 / 出力)	A9
MCASP0_AXR2	IO	MCASP シリアル データ (入力 / 出力)	B10
MCASP0_AXR3	IO	MCASP シリアル データ (入力 / 出力)	A8

表 5-35. MCASP1 信号の説明

信号名 [1]	ピンの種類 [2]	説明 [3]	ANB ピン[4]
MCASP1_ACLKR	IO	MCASP 受信ビット クロック	C23, M22, R23
MCASP1_ACLKX	IO	MCASP 送信ビット クロック	G20, P23, T20
MCASP1_AFSR	IO	MCASP 受信フレーム同期	D18, M23, U23
MCASP1_AFSX	IO	MCASP 送信フレーム同期	F20, N23, T21
MCASP1_AXR0	IO	MCASP シリアル データ (入力 / 出力)	F19, M19, U22
MCASP1_AXR1	IO	MCASP シリアル データ (入力 / 出力)	F21, N20, T22
MCASP1_AXR2	IO	MCASP シリアル データ (入力 / 出力)	D18, N19, T23
MCASP1_AXR3	IO	MCASP シリアル データ (入力 / 出力)	C23, L21, R22
MCASP1_AXR4	IO	MCASP シリアル データ (入力 / 出力)	H19, M23, U23
MCASP1_AXR5	IO	MCASP シリアル データ (入力 / 出力)	J22, M22, R23

表 5-36. MCASP2 信号の説明

信号名 [1]	ピンの種類 [2]	説明 [3]	ANB ピン[4]
MCASP2_ACLKR	IO	MCASP 受信ビット クロック	AB13, F23
MCASP2_ACLKX	IO	MCASP 送信ビット クロック	AA13, B13, G22
MCASP2_AFSR	IO	MCASP 受信フレーム同期	AC9, F22
MCASP2_AFSX	IO	MCASP 送信フレーム同期	AA12, B14, G23
MCASP2_AXR0	IO	MCASP シリアル データ (入力 / 出力)	AB10, B16, H19
MCASP2_AXR1	IO	MCASP シリアル データ (入力 / 出力)	AC7, B15, H20
MCASP2_AXR2	IO	MCASP シリアル データ (入力 / 出力)	AB9, H21
MCASP2_AXR3	IO	MCASP シリアル データ (入力 / 出力)	AC8, H18
MCASP2_AXR4	IO	MCASP シリアル データ (入力 / 出力)	AB12, L22
MCASP2_AXR5	IO	MCASP シリアル データ (入力 / 出力)	L23, Y13
MCASP2_AXR6	IO	MCASP シリアル データ (入力 / 出力)	AC12, K22
MCASP2_AXR7	IO	MCASP シリアル データ (入力 / 出力)	AC9, J23
MCASP2_AXR8	IO	MCASP シリアル データ (入力 / 出力)	AB13, K23
MCASP2_AXR9	IO	MCASP シリアル データ (入力 / 出力)	H22
MCASP2_AXR10	IO	MCASP シリアル データ (入力 / 出力)	H23
MCASP2_AXR11	IO	MCASP シリアル データ (入力 / 出力)	J22

表 5-36. MCASP2 信号の説明 (続き)

信号名 [1]	ピンの種類 [2]	説明 [3]	ANB ピン[4]
MCASP2_AXR12	IO	MCASP シリアル データ (入力 / 出力)	P22
MCASP2_AXR13	IO	MCASP シリアル データ (入力 / 出力)	M21
MCASP2_AXR14	IO	MCASP シリアル データ (入力 / 出力)	L20
MCASP2_AXR15	IO	MCASP シリアル データ (入力 / 出力)	L19

5.3.16 MCSPI

5.3.16.1 メイン ドメイン

表 5-37. MCSPI0 信号の説明

信号名 [1]	ピンの種類 [2]	説明 [3]	ANB ピン[4]
SPI0_CLK	IO	SPI クロック	E13
SPI0_CS0	IO	SPI チップ セレクト 0	E11
SPI0_CS1	IO	SPI チップ セレクト 1	D11
SPI0_CS2	IO	SPI チップ セレクト 2	B14
SPI0_CS3	IO	SPI チップ セレクト 3	B13
SPI0_D0	IO	SPI データ 0	E12
SPI0_D1	IO	SPI データ 1	B12

表 5-38. MCSPI1 信号の説明

信号名 [1]	ピンの種類 [2]	説明 [3]	ANB ピン[4]
SPI1_CLK	IO	SPI クロック	C1、C4、F19、 H22
SPI1_CS0	IO	SPI チップ セレクト 0	B3、C2、F21、 K23
SPI1_CS1	IO	SPI チップ セレクト 1	B2、D18、J22
SPI1_CS2	IO	SPI チップ セレクト 2	D2、H19
SPI1_CS3	IO	SPI チップ セレクト 3	D4、H23
SPI1_D0	IO	SPI データ 0	B4、G20、K22
SPI1_D1	IO	SPI データ 1	A3、F20、J23

表 5-39. MCSPI2 信号の説明

信号名 [1]	ピンの種類 [2]	説明 [3]	ANB ピン[4]
SPI2_CLK	IO	SPI クロック	A12、A3、A6、 B6、D3、N21
SPI2_CS0	IO	SPI チップ セレクト 0	B7、C11、D4、 L19、Y3
SPI2_CS1	IO	SPI チップ セレクト 1	A11、AB2、B4、 D7、N22
SPI2_CS2	IO	SPI チップ セレクト 2	A7、A9、C2、Y2
SPI2_CS3	IO	SPI チップ セレクト 3	A3、AA2、B11、 D16
SPI2_D0	IO	SPI データ 0	A8、B3、D13、 M21、Y4
SPI2_D1	IO	SPI データ 1	AA1、B10、C13、 C4、L20

表 5-40. MCSPI3 信号の説明

信号名 [1]	ピンの種類 [2]	説明 [3]	ANB ピン[4]
SPI3_CLK	IO	SPI クロック	AB10、P22、Y3
SPI3_CS0	IO	SPI チップ セレクト 0	AB8、P23、Y2
SPI3_CS1	IO	SPI チップ セレクト 1	D6、M19
SPI3_CS2	IO	SPI チップ セレクト 2	N20、Y4
SPI3_CS3	IO	SPI チップ セレクト 3	B6、N19
SPI3_D0	IO	SPI データ 0	AA12、AB2、N23
SPI3_D1	IO	SPI データ 1	AA13、AA2、N22

5.3.17 MDIO

5.3.17.1 メイン ドメイン

表 5-41. MDIO0 信号の説明

信号名 [1]	ピンの種類 [2]	説明 [3]	ANB ピン[4]
MDIO0_MDC	O	MDIO クロック	AC15
MDIO0_MDIO	IO	MDIO データ	AC13

5.3.18 MMC

5.3.18.1 メイン ドメイン

表 5-42. MMC0 信号の説明

信号名 [1]	ピンの種類 [2]	説明 [3]	ANB ピン[4]
MMC0_CLK	IO	MMC/SD/SDIO クロック	B2
MMC0_CMD	IO	MMC/SD/SDIO コマンド	D2
MMC0_DAT0	IO	MMC/SD/SDIO データ	D3
MMC0_DAT1	IO	MMC/SD/SDIO データ	D4
MMC0_DAT2	IO	MMC/SD/SDIO データ	C1
MMC0_DAT3	IO	MMC/SD/SDIO データ	C2
MMC0_DAT4	IO	MMC/SD/SDIO データ	C4
MMC0_DAT5	IO	MMC/SD/SDIO データ	B3
MMC0_DAT6	IO	MMC/SD/SDIO データ	A3
MMC0_DAT7	IO	MMC/SD/SDIO データ	B4

表 5-43. MMC1 信号の説明

信号名 [1]	ピンの種類 [2]	説明 [3]	ANB ピン[4]
MMC1_CLK	IO	MMC/SD/SDIO クロック	Y2
MMC1_CMD	IO	MMC/SD/SDIO コマンド	Y3
MMC1_SDCD	I	SD カード検出	B6
MMC1_SDWP	I	SD 書き込み保護	D6
MMC1_DAT0	IO	MMC/SD/SDIO データ	AA1
MMC1_DAT1	IO	MMC/SD/SDIO データ	Y4
MMC1_DAT2	IO	MMC/SD/SDIO データ	AA2
MMC1_DAT3	IO	MMC/SD/SDIO データ	AB2

表 5-44. MMC2 信号の説明

信号名 [1]	ピンの種類 [2]	説明 [3]	ANB ピン[4]
MMC2_CLK ⁽¹⁾	IO	MMC/SD/SDIO クロック	R23
MMC2_CMD	IO	MMC/SD/SDIO コマンド	U23
MMC2_SDCD ⁽²⁾	I	SD カード検出	B14、D7、T20
MMC2_SDWP ⁽²⁾	I	SD 書き込み保護	A6、B13、T21
MMC2_DAT0	IO	MMC/SD/SDIO データ	U22
MMC2_DAT1	IO	MMC/SD/SDIO データ	T22
MMC2_DAT2	IO	MMC/SD/SDIO データ	T23
MMC2_DAT3	IO	MMC/SD/SDIO データ	R22

- (1) MMC2 が適切に動作するには、CTRLMMR_PADCONFIG66 レジスタが RXACTIVE ビットをセット (1) し、TX_DIS ビットをリセット (0) するように構成されている必要があります。
- (2) MMC2 ポートが UHS-I データ転送モードのいずれかに遷移するときに、VDDSHV4 IO 電源レールが動作電圧を 3.3V から 1.8V に変更する必要がある UHS-I SD カードに接続されている場合、これらの MMCSD2 ホストコントローラの入力信号は、VDDSHV4 IO 電源レールではなく、VDDSHV1 IO 電源レールから給電されるピンに多重化される必要があります。

5.3.19 OSPI

5.3.19.1 メイン ドメイン

表 5-45. OSPI0 信号の説明

信号名 [1]	ピンの種類 [2]	説明 [3]	ANB ピン[4]
OSPI0_CLK	O	OSPI クロック	D22
OSPI0_DQS	I	OSPI データ ストロープ (DQS) またはループバック クロック入力	E22
OSPI0_ECC_FAIL	I	OSPI ECC ステータス	C23
OSPI0_LBCLKO	IO	OSPI ループバック クロック出力	E18
OSPI0_CSn0	O	OSPI チップ セレクト 0 (アクティブ Low)	C20
OSPI0_CSn1	O	OSPI チップ セレクト 1 (アクティブ Low)	D20
OSPI0_CSn2	O	OSPI チップ セレクト 2 (アクティブ Low)	D18
OSPI0_CSn3	O	OSPI チップ セレクト 3 (アクティブ Low)	C23
OSPI0_D0	IO	OSPI データ 0	C22
OSPI0_D1	IO	OSPI データ 1	D21
OSPI0_D2	IO	OSPI データ 2	E23
OSPI0_D3	IO	OSPI データ 3	D23
OSPI0_D4	IO	OSPI データ 4	F21
OSPI0_D5	IO	OSPI データ 5	F19
OSPI0_D6	IO	OSPI データ 6	G20
OSPI0_D7	IO	OSPI データ 7	F20
OSPI0_RESET_OUT0	O	OSPI のリセット	C23
OSPI0_RESET_OUT1	O	OSPI のリセット	D18

5.3.20 電源

表 5-46. 電源信号の説明

信号名 [1]	ピンの種類 [2]	説明 [3]	ANB ピン[4]
CAP_VDDSHV_MMC ⁽¹⁾	CAP	SDIO_LDO の外部コンデンサ接続	T16
CAP_VDDS_GENERAL1 ⁽²⁾	CAP	GENERAL1 IO グループの外部コンデンサ接続	G11
CAP_VDDS_GPMC ⁽²⁾	CAP	GPMC IO グループの外部コンデンサ接続	K16

表 5-46. 電源信号の説明 (続き)

信号名 [1]	ピンの種類 [2]	説明 [3]	ANB ピン[4]
CAP_VDDS_MMC0 ⁽²⁾	CAP	MMC0 IO グループの外部コンデンサ接続	J8
CAP_VDDS_MMC1 ⁽²⁾	CAP	MMC1 IO グループの外部コンデンサ接続	U9
CAP_VDDS_MMC2 ⁽²⁾	CAP	MMC2 IO グループの外部コンデンサ接続	M16
VDDA_1P8_DSI	PWR	DSITX0 1.8 V アナログ電源	G14
VDDA_1P8_USB	PWR	USB0 および USB1 1.8 V アナログ電源	T12
VDDA_3P3_SDIO	PWR	SDIO_LDO 3.3V アナログ電源	U16
VDDA_3P3_USB	PWR	USB0 および USB1 3.3 V アナログ電源	U12
VDDA_ADC	PWR	ADC0 アナログ電源	N17
VDDA_CORE_DSI	PWR	DSITX0 コア電源	G13
VDDA_CORE_DSI_CLK	PWR	DSITX0 クロック コア電源	H12
VDDA_CORE_USB	PWR	USB0 および USB1 コア電源	U11
VDDA_DDR_PLL0	PWR	DDR デスキュー PLL 電源	M10
VDDA_PLL0	PWR	WKUP_PLL0、MAIN_PLL0、TEMP0 アナログ電源	L11
VDDA_PLL1	PWR	MAIN_PLL8 および MAIN_PLL17 アナログ電源	K12
VDDS0	PWR	GENERAL0 IO グループの固定電圧電源	T14
VDDS1	PWR	GENERAL0_1 IO グループの固定電圧電源	H16
VDDSHV0	PWR	GPIC IO グループのデュアル電圧 IO 電源	J16、L17
VDDSHV1	PWR	General1 IO グループ のデュアル電圧 IO 電源	G10、H10
VDDSHV2	PWR	MMC0 IO グループ のデュアル電圧 IO 電源	H8
VDDSHV3	PWR	MMC1 IO グループ のデュアル電圧 IO 電源	T10
VDDSHV4	PWR	MMC2 IO グループ のデュアル電圧 IO 電源	M17
VDDS_DDR	PWR	DDR PHY IO 電源	L8、M7、M8、 N8、P8
VDDS_OSC0	PWR	RCOSC、POR、WKUP_OSC0 電源	R16
VDDS_RTC	PWR	LFOSC0 および RTC IO グループの固定電圧電源	T18
VDDS_WKUP	PWR	WKUP IO グループの固定電圧電源	P16
VDD_CORE	PWR	コア電源	J11、J13、J15、 J9、K10、K14、 L15、M14、N15、 P10、P12、P14、 R11、R9
VDD_RTC	PWR	RTC コア電源	T17
VPP	PWR	eFuse ROM プログラミング電源	N18

表 5-46. 電源信号の説明 (続き)

信号名 [1]	ピンの種類 [2]	説明 [3]	ANB ピン[4]
VSS	PWR	グランド	A1、A10、A13、 A16、A19、A2、 A22、A23、A4、 AA20、AA4、 AB1、AB21、 AB23、AB7、 AC1、AC11、 AC14、AC19、 AC2、AC22、 AC23、B1、 B17、B20、B23、 B5、C12、C18、 D1、E10、E14、 E15、E2、E6、 E8、E9、F18、 F5、F6、G12、 G15、G16、 G17、G7、G8、 G9、H1、H14、 H17、H7、K15、 K8、K9、L13、 L16、L18、L7、 L9、M1、M12、 N11、N13、N16、 N7、N9、P15、 P9、R1、R13、 R15、R8、T19、 T2、T7、T8、 U10、U13、 U14、U15、 U17、U20、U7、 U8、V18、V19、 V3、W10、W12、 W14、W15、 W16、W18、W9、 Y1、Y20、Y21

- (1) SDIO_LDO が VDDSHV3 のソースとして使用される場合、このピンは常に 6.3V 以上、3.3μF ±20% のコンデンサを介して VSS に接続されなければなりません。選択したコンデンサは、DC バイアス、動作温度、経年変化の影響に対応するようにディレーティングされた後、定義された範囲内の容量を提供する必要があります。それ以外の場合、VDDA_3P3_SDIO ピンが VSS に直接接続されている場合、このピンを VSS に直接接続することができます。
- (2) 各 VDDSHVx ピンが 3.3V で動作している場合、このピンは必ず 6.3V 以上、0.8μF～1.5μF のコンデンサを介して VSS に接続する必要があります。選択したコンデンサは、DC バイアス、動作温度、経年変化の影響に対応するようにディレーティングされた後、定義された範囲内の容量を提供する必要があります。各 VDDSHVx ピンが 1.8V でのみ動作している場合は、3 つの接続オプションがあります。このピンは、3.3V で動作に必要なものと同じデカップリング コンデンサに接続できます。未接続のままにしておくことも、各 VDDSHVx ピンと同じ 1.8V 電源に接続することもできます。

5.3.21 予約済み

表 5-47. 予約済み信号の説明

信号名 [1]	ピンの種類 [2]	説明 [3]	ANB ピン[4]
RSVD0	該当なし	予約済み、未接続のままにする必要あり	AB17

5.3.22 システム、その他

5.3.22.1 ブート モードの構成

5.3.22.1.1 メイン ドメイン

表 5-48. Sysboot 信号の説明

信号名 [1]	ピンの種類 [2]	説明 [3]	ANB ピン[4]
BOOTMODE00	I	ブートモード ピン 0	L22
BOOTMODE01	I	ブートモード ピン 1	L23
BOOTMODE02	I	ブートモード ピン 2	K22
BOOTMODE03	I	ブートモード ピン 3	J23
BOOTMODE04	I	ブートモード ピン 4	K23
BOOTMODE05	I	ブートモード ピン 5	H22
BOOTMODE06	I	ブートモード ピン 6	H23
BOOTMODE07	I	ブートモード ピン 7	J22
BOOTMODE08	I	ブートモード ピン 8	H19
BOOTMODE09	I	ブートモード ピン 9	H20
BOOTMODE10	I	ブートモード ピン 10	H21
BOOTMODE11	I	ブートモード ピン 11	H18
BOOTMODE12	I	ブートモード ピン 12	G23
BOOTMODE13	I	ブートモード ピン 13	G22
BOOTMODE14	I	ブートモード ピン 14	F22
BOOTMODE15	I	ブートモード ピン 15	F23

5.3.22.2 クロック

5.3.22.2.1 RTC ドメイン

表 5-49. RTC クロック信号の説明

信号名 [1]	ピンの種類 [2]	説明 [3]	ANB ピン[4]
LFOSC0_XI	I	低周波 (32.768 KHz) 発振器入力	AC21
LFOSC0_XO	O	低周波数 (32.768kHz) 発振器出力	AC20

5.3.22.2.2 WKUP ドメイン

表 5-50. WKUP クロック信号の説明

信号名 [1]	ピンの種類 [2]	説明 [3]	ANB ピン[4]
WKUP_OSC0_XI	I	高周波数発振器入力	AC18
WKUP_OSC0_XO	O	高周波数発振器出力	AC17

5.3.22.3 システム

5.3.22.3.1 メイン ドメイン

表 5-51. システム信号の説明

信号名 [1]	ピンの種類 [2]	説明 [3]	ANB ピン[4]
AUDIO_EXT_REFCLK0	IO	McASP への外部クロック入力または McASP からの出力	AB8、B14、B9
AUDIO_EXT_REFCLK1	IO	McASP への外部クロック入力または McASP からの出力	B11、B13、D11、N21

表 5-51. システム信号の説明 (続き)

信号名 [1]	ピンの種類 [2]	説明 [3]	ANB ピン[4]
CLKOUT0	O	RMII クロック出力 (50MHz)。このピンは外部 RMII PHY へのクロック ソース源に使用され、本デバイスを適切に動作させるためには、対応する RMII[x]_REF_CLK ピンにも配線する必要があります。	AA11、D16
EXTINTn	I	外部割り込み	C8
EXT_REFCLK1	I	メイン ドメインへの外部クロック入力	D16
OBSCLK0	O	テストおよびデバッグ専用メイン ドメイン観測クロック出力	H21
OBSCLK1	O	テストおよびデバッグ専用メイン ドメイン観測クロック出力	B7
RESETSTATz	O	メイン ドメインのウォーム リセット ステータス出力	C16
RESETz	I	メイン ドメインのウォーム リセット	E16

5.3.22.3.2 RTC ドメイン

表 5-52. RTC システム信号の説明

信号名 [1]	ピンの種類 [2]	説明 [3]	ANB ピン[4]
EXT_WAKEUP0	I	外部ウェークアップ入力	AB19
EXT_WAKEUP1	I	外部ウェークアップ入力	AB20
PMIC_LPM_EN0	O	デュアル機能 PMIC 制御出力、低消費電力モード (アクティブ Low) または PMIC イネーブル (アクティブ High)	AA18
RTC_PORz	I	RTC パワーオン リセット	Y18

5.3.22.3.3 WKUP ドメイン

表 5-53. WKUP システム信号の説明

信号名 [1]	ピンの種類 [2]	説明 [3]	ANB ピン[4]
PORz	I	WKUP ドメイン コールド リセット	AB18
WKUP_CLKOUT0	O	WKUP ドメインの CLKOUT0 出力	M22、Y23
WKUP_EXT_REFCLK0	I	WKUP ドメインへの外部入力	W22
WKUP_OBSCLK0	O	テストおよびデバッグ専用 WKUP ドメイン 監視クロック出力	W23
WKUP_SYSCCLKOUT0	O	WKUP ドメインの CLKOUT0 出力	W23

5.3.23 TIMER

5.3.23.1 メイン ドメイン

表 5-54. TIMER 信号の説明

信号名 [1]	ピンの種類 [2]	説明 [3]	ANB ピン[4]
TIMER_IO0	IO	タイマ入力および出力 (1 つのタイマ インスタンスに固定されていない)	AB2、B2、C1、D16、D7、Y2
TIMER_IO1	IO	タイマ入力および出力 (1 つのタイマ インスタンスに固定されていない)	A6、A7、AA2、D2、Y3
TIMER_IO2	IO	タイマ入力および出力 (1 つのタイマ インスタンスに固定されていない)	B14、B16、B6、H20、Y4
TIMER_IO3	IO	タイマ入力および出力 (1 つのタイマ インスタンスに固定されていない)	AA1、B13、B15、D6

5.3.23.2 WKUP ドメイン

表 5-55. WKUP_TIMER 信号の説明

信号名 [1]	ピンの種類 [2]	説明 [3]	ANB ピン[4]
WKUP_TIMER_IO0	IO	タイマ入力および出力 (1 つのタイマ インスタンスに固定されていない)	W23
WKUP_TIMER_IO1	IO	タイマ入力および出力 (1 つのタイマ インスタンスに固定されていない)	W22

5.3.24 UART

5.3.24.1 メイン ドメイン

表 5-56. UART0 信号の説明

信号名 [1]	ピンの種類 [2]	説明 [3]	ANB ピン[4]
UART0_CTSn	I	UART CTS (Clear to Send) (アクティブ Low)	B14
UART0_RTSn	O	UART RTS (Request to Send) (アクティブ Low)	B13
UART0_RXD	I	UART 受信データ	D13
UART0_TXD	O	UART 送信データ	C13

表 5-57. UART1 信号の説明

信号名 [1]	ピンの種類 [2]	説明 [3]	ANB ピン[4]
UART1_CTSn	I	UART CTS (Clear to Send) (アクティブ Low)	A8
UART1_DCDn	I	UART DCD (Data Carrier Detect) (アクティブ Low)	B7
UART1_DSRn	I	UART DSR (Data Set Ready) (アクティブ Low)	A7
UART1_DTRn	O	UART DTR (Data Terminal Ready) (アクティブ Low)	B16
UART1_RIn	I	UART リング インジケータ	B15
UART1_RTSn	O	UART RTS (Request to Send) (アクティブ Low)	B10
UART1_RXD	I	UART 受信データ	C11、D7
UART1_TXD	O	UART 送信データ	A12、A6

表 5-58. UART2 信号の説明

信号名 [1]	ピンの種類 [2]	説明 [3]	ANB ピン[4]
UART2_CTSn	I	UART CTS (Clear to Send) (アクティブ Low)	AA1、C4、F22
UART2_RTSn	O	UART RTS (Request to Send) (アクティブ Low)	B3、F23、Y4
UART2_RXD	I	UART 受信データ	AB2、B14、B4、H19
UART2_TXD	O	UART 送信データ	A3、AA2、B13、H20

表 5-59. UART3 信号の説明

信号名 [1]	ピンの種類 [2]	説明 [3]	ANB ピン[4]
UART3_CTSn	I	UART CTS (Clear to Send) (アクティブ Low)	D3、D6
UART3_RTSn	O	UART RTS (Request to Send) (アクティブ Low)	B6、D4
UART3_RXD	I	UART 受信データ	C2、H21、Y2
UART3_TXD	O	UART 送信データ	C1、H18、Y3

表 5-60. UART4 信号の説明

信号名 [1]	ピンの種類 [2]	説明 [3]	ANB ピン[4]
UART4_CTSn	I	UART CTS (Clear to Send) (アクティブ Low)	J22
UART4_RTSn	O	UART RTS (Request to Send) (アクティブ Low)	H23
UART4_RXD	I	UART 受信データ	G20、G23、M23、T20
UART4_TXD	O	UART 送信データ	F20、G22、M22、T21

表 5-61. UART5 信号の説明

信号名 [1]	ピンの種類 [2]	説明 [3]	ANB ピン[4]
UART5_CTSn	I	UART CTS (Clear to Send) (アクティブ Low)	E22、H22
UART5_RTSn	O	UART RTS (Request to Send) (アクティブ Low)	E18、K23
UART5_RXD	I	UART 受信データ	B16、D18、F22、R22
UART5_TXD	O	UART 送信データ	B15、C23、F23、T23

表 5-62. UART6 信号の説明

信号名 [1]	ピンの種類 [2]	説明 [3]	ANB ピン[4]
UART6_CTSn	I	UART CTS (Clear to Send) (アクティブ Low)	F20、J23
UART6_RTSn	O	UART RTS (Request to Send) (アクティブ Low)	G20、K22
UART6_RXD	I	UART 受信データ	A8、B6、F21、L22、N22、R23
UART6_TXD	O	UART 送信データ	B10、D6、F19、L23、N21、U23

5.3.24.2 WKUP ドメイン

表 5-63. WKUP_UART0 信号の説明

信号名 [1]	ピンの種類 [2]	説明 [3]	ANB ピン[4]
WKUP_UART0_CTSn	I	UART CTS (Clear to Send) (アクティブ Low)	W23
WKUP_UART0_RTSn	O	UART RTS (Request to Send) (アクティブ Low)	W22
WKUP_UART0_RXD	I	UART 受信データ	Y22
WKUP_UART0_TXD	O	UART 送信データ	AA23

5.3.25 USB

5.3.25.1 メイン ドメイン

表 5-64. USB0 信号の説明

信号名 [1]	ピンの種類 [2]	説明 [3]	ANB ピン[4]
USB0_DM	IO	USB 2.0 差動データ (負)	AC4
USB0_DP	IO	USB 2.0 差動データ (正)	AB4
USB0_DRVBUS	O	USB VBUS 制御出力 (アクティブ High)	C6
USB0_RCALIB ⁽¹⁾	IO	キャリブレーション抵抗に接続するピン	AB3
USB0_VBUS ⁽²⁾	A	USB レベル シフト VBUS 入力	AC3

(1) このピンと VSS の間に $499\Omega \pm 1\%$ の外付け抵抗を接続する必要があり、抵抗の最大消費電力は 7.2mW です。このピンに外部電圧を印加しないでください。

- (2) このデバイス ピンに印加される電圧を制限するには、外付けの分圧抵抗が必要です。詳細については、[セクション 8.2.3](#)「USB VBUS の設計ガイドライン」を参照してください。

表 5-65. USB1 信号の説明

信号名 [1]	ピンの種類 [2]	説明 [3]	ANB ピン[4]
USB1_DM	IO	USB 2.0 差動データ (負)	AC5
USB1_DP	IO	USB 2.0 差動データ (正)	AB5
USB1_DRVVBUS	O	USB VBUS 制御出力 (アクティブ High)	A5
USB1_RCALIB ⁽¹⁾	IO	キャリブレーション抵抗に接続するピン	AC6
USB1_VBUS ⁽²⁾	A	USB レベル シフト VBUS 入力	AB6

- (1) このピンと VSS の間に $499\Omega \pm 1\%$ の外付け抵抗を接続する必要があり、抵抗の最大消費電力は 7.2mW です。このピンに外部電圧を印加しないでください。
- (2) このデバイス ピンに印加される電圧を制限するには、外付けの分圧抵抗が必要です。詳細については、[セクション 8.2.3](#)「USB VBUS の設計ガイドライン」を参照してください。

5.4 ピン接続要件

このセクションでは、特定の接続要件を持つパッケージ ボールと、未使用のパッケージ ボールの接続要件について説明します。

注

特に記述のない限り、すべての電源ピンには [セクション 6.4](#) の「推奨動作条件」で規定されている電圧を供給する必要があります。

注

「未接続のまま」または「接続なし」(NC) は、これらのデバイスのボール番号にいかなる信号トレースも接続できないことを意味します。

表 5-66. 接続要件

ANB ボール 番号	ボール名	接続要件
AB16	TRSTn	このボールは、PCB の信号配線が接続されていても外部デバイスによって能動的に駆動されていない場合に、有効なロジック Low レベルに保持されるよう、外部プルダウン抵抗を介して VSS に接続する必要があります。ボールに PCB 信号トレースが接続されていない場合、内部プルダウンを使用して有効なロジック Low レベルを保持できます。
Y16 AA16 E16 AB14 AC16 Y17	EMU0 EMU1 RESETz TCK TDI TMS	PCB 信号トレースが接続されており、かつ接続されたデバイスによってアクティブに駆動されていない場合、これらのボールに関連付けられた入力がある有効なロジック High レベルに保持されるように、これらの各ボールを個別の外付けプル抵抗を介して対応する電源 ⁽¹⁾ に接続する必要があります。ボールに PCB 信号トレースが接続されていない場合、内部プルアップを使用して有効なロジック High レベルを保持できます。
AB19 AB20	EXT_WAKEUP0 EXT_WAKEUP1	これらの各ボールは、常時駆動されるプッシュプルウェイクアップ ソースに接続するか、能動的に駆動されていない場合には、対応する電源 ⁽¹⁾ または VSS に外部プル抵抗を介して接続し、RTC ウェイクアップ機能で使用される極性に基づいて、これらのボールに関連する入力がある適切な有効 High または Low のロジックレベルに保持されるようにする必要があります。
L22 L23 K22 J23 K23 H22 H23 J22 H19 H20 H21 H18	GPMC0_AD0 GPMC0_AD1 GPMC0_AD2 GPMC0_AD3 GPMC0_AD4 GPMC0_AD5 GPMC0_AD6 GPMC0_AD7 GPMC0_AD8 GPMC0_AD9 GPMC0_AD10 GPMC0_AD11	GPMC0_AD15 と GPMC0_AD14 を VSS にプルダウンしてフルピンカウント ブート モード オプションを選択した場合、これらのボールに関連する入力が、目的のデバイス ブート モードを選択できるように適切な有効なロジック High または Low レベルに保持されるように、これらのボールのそれぞれを個別の外付けプルレジスタを通じて対応する電源 ⁽¹⁾ または VSS に接続する必要があります。
G23 G22 F22 F23	GPMC0_AD12 GPMC0_AD13 GPMC0_AD14 GPMC0_AD15	目的のデバイスのブート モードを選択するため、これらのボールに関連付けられた入力が適切に有効なロジック High または Low レベルに保持されるように、これらの各ボールを個別の外付けプル抵抗を介して対応する電源 ⁽¹⁾ または VSS に接続する必要があります。
N17 V20 V22 V23 V21	VDDA_ADC ADC0_AIN0 ADC0_AIN1 ADC0_AIN2 ADC0_AIN3	ADC0 全体を使用しない場合、これらの各ボールを VSS に直接接続する必要があります。
V20 V22 V23 V21	ADC0_AIN0 ADC0_AIN1 ADC0_AIN2 ADC0_AIN3	VDDA_ADC が電源に接続されている場合、未使用のすべての ADC0_AIN[3:0] ボールは、抵抗を介して VSS にプルするか、VSS に直接接続する必要があります。

表 5-66. 接続要件 (続き)

ANB ボール 番号	ボール名	接続要件
L8 M7 M8 N8 P8	VDDS_DDR VDDS_DDR VDDS_DDR VDDS_DDR VDDS_DDR	DDRSS を使用しない場合は、各ボールを VSS に直接接続する必要があります。
M2 L1 M5 L2 L5 H6 L6 K2 J1 H5 R2 N6 T4 N1 T5 T6 W6 V6 N3 N2 N5 N4 M3 P1 P2 K1 L3 F2 W2 F4 F3 F1 E1 G4 H4 H2 H3 V4 T3 T1 U1 U4 V5 U2 W1 G1 G2 V1 V2 L4 J2	DDR0_ACT_n DDR0_CAS_n DDR0_RAS_n DDR0_WE_n DDR0_A0 DDR0_A1 DDR0_A2 DDR0_A3 DDR0_A4 DDR0_A5 DDR0_A6 DDR0_A7 DDR0_A8 DDR0_A9 DDR0_A10 DDR0_A11 DDR0_A12 DDR0_A13 DDR0_BA0 DDR0_BA1 DDR0_BG0 DDR0_BG1 DDR0_CAL0 DDR0_CK0 DDR0_CK0_n DDR0_CKE0 DDR0_CS0_n DDR0_DM0 DDR0_DM1 DDR0_DQ0 DDR0_DQ1 DDR0_DQ2 DDR0_DQ3 DDR0_DQ4 DDR0_DQ5 DDR0_DQ6 DDR0_DQ7 DDR0_DQ8 DDR0_DQ9 DDR0_DQ10 DDR0_DQ11 DDR0_DQ12 DDR0_DQ13 DDR0_DQ14 DDR0_DQ15 DDR0_DQS0 DDR0_DQS0_n DDR0_DQS1 DDR0_DQS1_n DDR0_ODT0 DDR0_RESET0_n	<p>DDRSS を使用しない場合は、未接続のままにします。</p> <p>注: このリストの DDR0 ピンは、VDDS_DDR および VDDS_DDR_C が VSS に接続されている場合のみ未接続のままにできます。VDDS_DDR および VDDS_DDR_C を電源に接続する場合、『DDR 基板の設計およびレイアウトのガイドライン』の定義に従って DDR0 ピンを接続する必要があります。</p>
U16 T16	VDDA_3P3_SDIO CAP_VDDSHV_MMC	SDIO_LDO が VDDSHV3 に電力を供給するのに使用されない場合、これらの各ボールを VSS に直接接続する必要があります。

表 5-66. 接続要件 (続き)

ANB ボール 番号	ボール名	接続要件
U11 T12 U12	VDDA_CORE_USB VDDA_1P8_USB VDDA_3P3_USB	USB0 と USB1 はこれらの電源レールを共有するため、USB0 または USB1 を使用するときは、これらの各ボールを有効な電源に接続する必要があります。 USB0 と USB1 を使用しない場合、これらのボールをそれぞれ VSS に直接接続する必要があります。
AC4 AB4 AB3 AC3 AC5 AB5 AC6 AB6	USB0_DM USB0_DP USB0_RCALIB USB0_VBUS USB1_DM USB1_DP USB1_RCALIB USB1_VBUS	USB0 または USB1 を使用しない場合は、それぞれの DM、DP、VBUS ボールを未接続のままにします。 注: USB0_RCALIB および USB1_RCALIB ピンは、VDDA_CORE_USB、VDDA_1P8_USB、VDDA_3P3_USB が VSS に接続されている場合のみ未接続のままにできます。VDDA_CORE_USB、VDDA_1P8_USB、VDDA_3P3_USB を電源に接続する場合、USB0_RCALIB ピンと USB1_RCALIB ピンは、個別の適切な外付け抵抗を介して VSS に接続する必要があります。
G13 H12 G14	VDDA_CORE_DSI VDDA_CORE_DSI_CLK VDDA_1P8_DSI	DSITX0 を使用せず、デバイスのバウンダリ スキャン機能が必要な場合は、これらの各ボールを有効な電源に接続する必要があります。 DSITX0 を使用せず、デバイスのバウンダリ スキャン機能が不要な場合は、これらのボールをそれぞれ VSS に直接接続することもできます。
A15 A14 B19 B18 D17	DSI0_TXCLKN DSI0_TXCLKP DSI0_TXN0 DSI0_TXP0 DSI0_TXRCALIB	DSITX0 を使用しない場合は、未接続のままにします。
A18 A17	DSI0_TXN1 DSI0_TXP1	DSITX0 を使用しない場合、または 1 レーン モードでのみ動作する場合は、未接続のままにします。
A20 A21	DSI0_TXN2 DSI0_TXP2	DSITX0 を使用しない場合、または 1 レーンまたは 2 レーンモードでのみ動作する場合は、未接続のままにします。
B22 B21	DSI0_TXN3 DSI0_TXP3	DSITX0 を使用しない場合、または 1 レーン、2 レーン、3 レーンモードでのみ動作する場合は、未接続のままにします。

(1) IO にどの電源が関連付けられているかを確認するには、「ピン属性」表を参照してください。

注

内部プル抵抗は駆動力が弱い場合、動作条件によっては有効なロジックレベルを維持するのに十分な電流を供給できない場合があります。この状況は、逆のロジックレベルへのリークがある部品に接続されている場合や、内部抵抗によって有効なロジックレベルにプルされているだけのボールに接続された信号トレースに外部ノイズ源が結合した場合に発生することがあります。そのため、外付けプル抵抗を使って、ボールの有効なロジックレベルを保持することを推奨します。

デバイス IO の多くはデフォルトでオフになっているため、ソフトウェアで各 IO が初期化されるまで、接続されているすべてのデバイスの入力を有効なロジック状態に保持するために、外部プル抵抗が必要になる場合があります。構成可能なデバイス IO の状態は、「ピン属性」表の「リセット時のボールの状態 (RX/TX/PULL)」と「リセット後のボールの状態 (RX/TX/PULL)」列に定義されています。入力バッファ (RX) がオフになっている IO は、フローティング状態にしても、本デバイスに損傷を与えません。ただし、入力バッファ (RX) がオンになっている IO は、 V_{ILSS} と V_{IHSS} の間の電位にフローティングさせることはできません。入力をこれらのレベルの間の電位にフローティングさせた場合、入力バッファが大電流状態に入ることがあり、IO セルが損傷する可能性があります。

6 仕様

6.1 絶対最大定格

接合部動作温度範囲内 (特に記述のない限り)⁽¹⁾ ⁽²⁾

パラメータ		最小値	最大値	単位
VDD_CORE	コア電源	-0.3	1.05	V
VDDA_CORE_DSI	DSITX0 コア電源	-0.3	1.05	V
VDDA_CORE_DSI_CLK	DSITX0 クロック コア電源	-0.3	1.05	V
VDDA_CORE_USB	USB0 および USB1 コア電源	-0.3	1.05	V
VDDA_DDR_PLL0	DDR デスキュー PLL 電源	-0.3	1.05	V
VDD_RTC	RTC コア電源	-0.3	1.05	V
VDDS_DDR	DDR PHY IO 電源	-0.3	1.57	V
VDDS_OSC0	RCOSC、POR、WKUP_OSC0 電源	-0.3	1.98	V
VDDS_RTC	LFOSC0 および RTC IO グループの IO 電源	-0.3	1.98	V
VDDA_PLL0	WKUP_PLL0、MAIN_PLL0、TEMP0 アナログ電源	-0.3	1.98	V
VDDA_PLL1	MAIN_PLL8 および MAIN_PLL17 アナログ電源	-0.3	1.98	V
VDDS_WKUP	WKUP IO グループの IO 電源	-0.3	1.98	V
VDDS0	GENERAL0 IO グループ の IO 電源	-0.3	1.98	V
VDDS1	GENERAL0_1 IO グループ の IO 電源	-0.3	1.98	V
VDDA_ADC	ADC アナログ電源	-0.3	1.98	V
VDDA_1P8_DSI	DSITX0 1.8 V アナログ電源	-0.3	1.98	V
VDDA_1P8_USB	USB0 および USB1 1.8 V アナログ電源	-0.3	1.98	V
VPP	eFuse ROM プログラミング電源	-0.3	1.98	V
VDDSHV0	GPMC IO グループの IO 電源	-0.3	3.63	V
VDDSHV1	General1 IO グループ の IO 電源	-0.3	3.63	V
VDDSHV2	MMC0 IO グループ の IO 電源	-0.3	3.63	V
VDDSHV3	MMC1 IO グループ の IO 電源	-0.3	3.63	V
VDDSHV4	MMC2 IO グループ の IO 電源	-0.3	3.63	V
VDDA_3P3_SDIO	SDIO_LDO アナログ電源	-0.3	3.63	V
VDDA_3P3_USB	USB0 および USB1 3.3 V アナログ電源	-0.3	3.63	V
すべてのフェイルセーフ IO ピンの定常状態の最大電圧	PORz	-0.3	3.63	V
	1.8V で動作する場合、 I2C2_SCL、I2C2_SDA、EXTINTn	-0.3	1.98 ⁽³⁾	V
	3.3V で動作する場合、 I2C2_SCL、I2C2_SDA、EXTINTn	-0.3	3.63 ⁽³⁾	
他のすべての IO ピンの定常状態の最大電圧 ⁽⁴⁾	USB0_VBUS、USB1_VBUS ⁽⁵⁾	-0.3	3.6	V
	その他のすべての IO ピン	-0.3	IO 電源電圧 + 0.3	V
IO ピンの過渡オーバーシュートおよびアンダーシュート	信号周期の最大 20% にわたって IO 電源電圧の 20% (図 6-1、「IO 過渡電圧範囲」を参照)		0.2 × VDD ⁽⁶⁾	V
ラッチアップ性能 ⁽⁷⁾	I 試験	-100	100	mA
	過電圧 (OV) 試験		1.5 × VDD ⁽⁶⁾	V
T _{STG}	保存温度	-55	+150	°C

(1) 「絶対最大定格」の範囲外の動作は、デバイスの永続的な損傷の原因となる可能性があります。「絶対最大定格」は、これらの条件において、または「推奨動作条件」に示された値を超える他のいかなる条件でも、本製品が正しく動作することを意味するものではありません。「絶対最大定格」

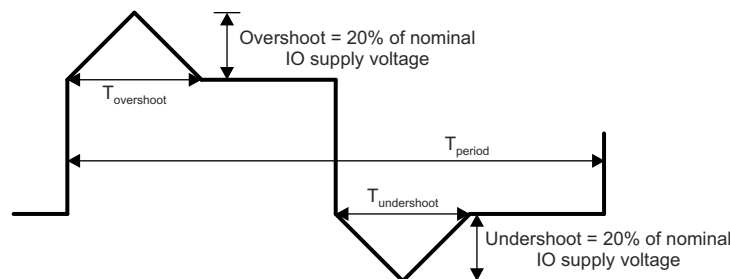
の範囲内であっても [セクション 6.4](#)「推奨動作条件」の範囲外で使用する、デバイスが完全に機能しない可能性があり、デバイスの信頼性、機能、性能に影響を及ぼし、デバイスの寿命を縮める可能性があります。

- (2) すべての電圧値は、特に記述のない限り、VSS 端子を基準とします。
- (3) これらのフェイルセーフピンの絶対最大定格は、それらの IO 電源動作電圧に左右されます。したがって、この値は、「I2C オープンドレインおよびフェイルセーフ (I2C OD FS) の電気的特性」セクションに記載されている最大 V_{IH} 値によっても規定され、この電気的特性表では 1.8V モードと 3.3V モードに別々のパラメータ値があります。
- (4) このパラメータはフェイルセーフでないすべての IO ピンに適用され、IO 電源電圧のすべての値に要件が適用されます。たとえば、特定の IO 電源に印加される電圧が 0V の場合、その電源から供給される IO の有効な入力電圧範囲は -0.3V ~ +0.3V になります。ペリフェラル デバイスに電力を供給する電源がそれぞれの IO 電源に電力を供給する電源と同じでない場合は、特別な注意が必要です。接続されているペリフェラルにおいて、電源のランプアップやランプダウンのシーケンスなど、有効な入力電圧範囲外の電圧を供給しないことが重要になります。
- (5) このデバイス ピンに印加される電圧を制限するには、外付けの分圧抵抗が必要です。詳細については、『USB 設計ガイドライン』[セクション 8.2.3](#)を参照してください。
- (6) VDD は、IO の対応する電源ピンの電圧です。
- (7) 電流パルス注入 (I-Test) の場合:
 - JEDEC JESD78 (Class II) に従ってピンにストレスを加え、規定の I/O ピン注入電流と最大推奨 I/O 電圧の +1.5 倍および -0.5 倍のクランプ電圧に合格しました。

過電圧性能 (過電圧 (OV) 試験) の場合:

- JEDEC JESD78 (Class II) に従って電源にストレスを加え、規定の電圧注入に合格しました。

フェイルセーフ IO 端子は、それぞれの IO 電源電圧に依存しないように設計されています。これにより、該当する IO 電源がオフのときに、これらの IO 端子に外部電圧源を接続できます。I2C0_SCL、I2C2_SCL、I2C2_SDA、EXTINTn および PORz だけがフェイルセーフ IO 端子です。それ以外の IO 端子はいずれもフェイルセーフではなく、それらに印加される電圧は、[セクション 6.1](#) の「すべての IO ピンの定常状態の最大電圧」パラメータで定義されている値に制限する必要があります。



A. $T_{\text{overshoot}} + T_{\text{undershoot}} < T_{\text{period}}$ の 20%

図 6-1. IO 過渡電圧範囲

6.2 ESD 定格

			値	単位
$V_{\text{(ESD)}}$	静電気放電 (ESD)	人体モデル (HBM)、ANSI/ESDA/JEDEC JS-001 準拠 ⁽¹⁾	±1000	V
		デバイス帯電モデル (CDM)、ANSI/ESDA/JEDEC JS-002 準拠 ⁽²⁾	±250	

- (1) JEDEC のドキュメント JEP155 に、500V HBM では標準の ESD 管理プロセスで安全な製造が可能であると規定されています。
- (2) JEDEC のドキュメント JEP157 に、250V CDM では標準の ESD 管理プロセスで安全な製造が可能であると規定されています。

6.3 電源投入時間 (POH)

パワー オン時間 (POH) ^{(1) (2) (3)}		
接合部温度範囲 (T _J)		寿命 (POH)
産業用拡張	-40°C ~ 105°C	100000
125°C 産業用 ⁽⁴⁾	-40°C ~ 105°C	100000
	-40°C ~ 125°C	20000 ⁽⁵⁾

- (1) この情報は、お客様の利便性のみを目的として提供されるものであり、テキサス・インスツルメンツの半導体製品に関する標準的な契約条件に基づいて提供される保証を拡張または変更するものではありません。
- (2) 上記の表に記述されていない限り、すべての電圧ドメインと動作条件は、記載された温度において本デバイスでサポートされています。
- (3) POH は、電圧、温度、時間の関数です。より高い電圧および温度で使用すると POH が低減します。
- (4) -40~105°Cまたは -40~125°Cプロファイルを選択し、アプリケーションの寿命期間全体にわたって適用する必要があります。温度や POH を拡張する目的でこれらのプロファイルを混合させると、信頼性故障リスクが高まる可能性があります。そのため、これを行うことは推奨されません。
- (5) -40~125°Cプロファイルは、以下のように接合部温度に応じて 20000 時間の電源オン時間として定義されます。5%@-40°C、65%@70°C、20%@110°C、10%@125°C。

6.4 推奨動作条件

接合部動作温度範囲内 (特に記述のない限り)

電源名	説明		最小値 ⁽¹⁾	公称値	最大値 ⁽¹⁾	単位
VDD_CORE ⁽²⁾ VDDA_CORE_DSI ⁽²⁾ VDDA_CORE_DSI_CLK ⁽²⁾ VDDA_CORE_USB ⁽²⁾ VDDA_DDR_PLL0 ⁽²⁾	コア電源 DSITX0 コア電源 DSITX0 クロック コア電源 USB0 および USB1 コア電源 DDR デスクュー PLL 電源		0.715	0.75	0.79	V
VDD_RTC	RTC コア電源		0.715	0.75	0.79	V
VDDS_DDR	DDR PHY IO 電源	1.1V 動作	1.06	1.1	1.17	V
		1.2V 動作	1.14	1.2	1.26	V
VDDS_OSC0	RCOSC、POR、WKUP_OSC0 電源		1.71	1.8	1.89	V
VDDS_RTC	LFOSC0 および RTC IO グループの固定電圧電源		1.71	1.8	1.89	V
VDDA_PLL0	WKUP_PLL0、MAIN_PLL0、TEMP0 アナログ電源		1.71	1.8	1.89	V
VDDA_PLL1	MAIN_PLL8 および MAIN_PLL17 アナログ電源		1.71	1.8	1.89	V
VDDS_WKUP	WKUP IO グループの固定電圧電源		1.71	1.8	1.89	V
VDDS0	GENERAL0 IO グループの固定電圧電源		1.71	1.8	1.89	V
VDDS1	GENERAL0_1 IO グループの固定電圧電源		1.71	1.8	1.89	V
VDDA_ADC	ADC アナログ電源		1.71	1.8	1.89	V
VDDA_1P8_DSI	DSITX0 1.8 V アナログ電源		1.71	1.8	1.89	V
VDDA_1P8_USB	USB0 および USB1 1.8 V アナログ電源		1.71	1.8	1.89	V
VPP	eFuse ROM プログラミング電源		(3) を参照	(3) を参照	(3) を参照	V
VDDSHV0	の GPMC IO グループ用デュアル電圧 IO 電源	1.8V 動作	1.71	1.8	1.89	V
		3.3V 動作	3.135	3.3	3.465	V
VDDSHV1	General1 IO グループ のデュアル電圧 IO 電源	1.8V 動作	1.71	1.8	1.89	V
		3.3V 動作	3.135	3.3	3.465	V
VDDSHV2	MMC0 IO グループ のデュアル電圧 IO 電源	1.8V 動作	1.71	1.8	1.89	V
		3.3V 動作	3.135	3.3	3.465	V
VDDSHV3	MMC1 IO グループ のデュアル電圧 IO 電源	1.8V 動作	1.71	1.8	1.89	V
		3.3V 動作	3.135	3.3	3.465	V
VDDSHV4	MMC2 IO グループ のデュアル電圧 IO 電源	1.8V 動作	1.71	1.8	1.89	V
		3.3V 動作	3.135	3.3	3.465	V
VDDA_3P3_SDIO	SDIO_LDO アナログ電源		3.135	3.3	3.465	V
VDDA_3P3_USB	USB0 および USB1 3.3 V アナログ電源		3.135	3.3	3.465	V
USB0_VBUS	USB0 レベルシフト VBUS 入力		0 (4) を参照		3.465	V
USB1_VBUS	USB1 レベルシフト VBUS 入力		0 (4) を参照		3.465	V
T _J	動作ジャンクション温度範囲	125°C 産業用	-40		125	°C
		産業用拡張	-40		105	°C

- (1) デバイス ボールの電圧は、通常のデバイス動作中、常に最小電圧を下回ったり、最大電圧を上回ったりしないようにしてください。
- (2) VDD_CORE、VDDA_CORE_DSI、VDDA_CORE_DSI_CLK、VDDA_CORE_USB、VDDA_DDR_PLL0 は、同じ電源を使用するものとします。VDD_CORE と VDDA_CORE_USB の間の電圧差が $\pm 1\%$ 以内になるよう注意する必要があります。
- (3) eFuse の使用に基づく VPP 電源電圧については、「[OTP eFuse プログラミングの推奨動作条件](#)」表を参照してください。
- (4) このデバイス ピンに印加される電圧を制限するには、外付けの分圧抵抗が必要です。詳細については、『[USB 設計ガイドライン](#)』[セクション 8.2.3](#) を参照してください。

6.5 動作性能ポイント

表 6-1 は各デバイスの速度グレードに対するクロックの最大動作周波数を定義し、表 6-2 はデバイス サブシステムとコアクロックに対して唯一の有効な動作性能ポイント (OPP) を定義します。

表 6-1. デバイス速度グレード

速度 グレード	最大動作周波数 (MHz)				最大 遷移 レート (MT/s) ⁽¹⁾	
	A53SS (Cortex-A53x)	MAIN_SYSCLK0	PER_SYSCLK0	WKUP_SYSCLK0	DDR4	LPDDR4
E	833	500	400	400	1600	1600
O	1250	500	400	400	1600	1600

- (1) 最大 DDR 周波数は、システムで使用されている特定のメモリ タイプ (ベンダ) と PCB 実装に基づいて制限されます。最大 DDR 周波数を実現するための適切な PCB 実装については、『[DDR 基板の設計およびレイアウトのガイドライン](#)』を参照してください。

表 6-2. デバイスの動作性能ポイント

OPP	A53SS ⁽¹⁾	固定動作周波数オプション (MHz)			MT/s ⁽⁴⁾	
		MAIN_SYSCLK0 ⁽²⁾	PER_SYSCLK0 ⁽³⁾	WKUP_SYSCLK0 ⁽²⁾	DDR4	LPDDR4
High	ARM0 PLL バイパス から 速度 グレード 最大値まで	500	400	400	速度 グレード 最大値	250 (DRAM DLL オフ モード) ⁽⁵⁾ から 速度 グレード 最大値まで

- (1) 初期動作周波数。ブート時にソフトウェアにより設定されます。ブート後の動的周波数スケールリングをサポート。
- (2) 初期動作周波数。ブート時にソフトウェアにより設定されます。初期動作周波数と PLL バイパスとの間で周波数を変更するランタイムをサポート。
- (3) 固定動作周波数。ブート時にソフトウェアで設定されます。
- (4) 最大 DDR 周波数は、システムで使用されている特定のメモリ タイプ (ベンダ) と PCB 実装に基づいて制限されます。最大 DDR 周波数を実現するための適切な PCB 実装については、『[DDR 基板の設計およびレイアウトのガイドライン](#)』を参照してください。
- (5) DDR0_CK0 と DDR0_CK0_n のソースとなる DDR PLL 出力は、通常は周波数単位で定義されます。したがって、バイパス モードで動作している場合、「DRAM DLL オフモード」トランザクション レートは DDR PLL 出力周波数の 2 倍になります。

6.6 消費電力の概略

デバイスの消費電力の詳細については、『[AM62Lx 電力推定ツール](#)』アプリケーション ノートを参照してください。

6.7 電気的特性

注

セクション 6.7 で説明されているインターフェイスまたは信号は、多重化モード 0 (プライマリ信号機能) で使用可能なインターフェイスまたは信号に対応しています。

これらの表に記載されているボール上で多重化されたすべてのインターフェイスまたは信号は、多重化に PHY と GPIO の組み合わせが含まれている場合を除き、DC 電気的特性はすべて同じです。PHY と GPIO の組み合わせが含まれている場合、異なる多重化モード (機能) に異なる DC 電気的特性が規定されます。

6.7.1 I2C オープン ドレインおよびフェイルセーフ (I2C OD FS) の電気的特性

推奨動作条件範囲内 (特に記述のない限り)

パラメータ		テスト条件	最小値	標準値	最大値	単位
1.8V モード						
V_{IL}	入力 Low 電圧				$0.3 \times VDD^{(1)}$	V
V_{ILSS}	入力 Low 電圧 (定常状態)				$0.3 \times VDD^{(1)}$	V
V_{IH}	入力 High 電圧		$0.7 \times VDD^{(1)}$		$1.98^{(2)}$	V
V_{IHSS}	入力 High 電圧 (定常状態)		$0.7 \times VDD^{(1)}$			V
V_{HYS}	入力ヒステリシス電圧		$0.1 \times VDD^{(1)}$			mV
$I_{IN}^{(3)}$	入力リーク電流。	$V_I = 1.8V$			10	μA
		$V_I = 0V$			-10	μA
V_{OL}	出力 LOW 電圧				$0.2 \times VDD^{(1)}$	V
$I_{OL}^{(4)}$	LOW レベル出力電流	$V_{OL(MAX)}$	10			mA
$SR_I^{(6)}$	入力スルーレート		$18f^{(5)}$ または $1.8E+6$			V/s
3.3V モード⁽⁷⁾						
V_{IL}	入力 Low 電圧				$0.3 \times VDD^{(1)}$	V
V_{ILSS}	入力 Low 電圧 (定常状態)				$0.25 \times VDD^{(1)}$	V
V_{IH}	入力 High 電圧		$0.7 \times VDD^{(1)}$		$3.63^{(2)}$	V
V_{IHSS}	入力 High 電圧 (定常状態)		$0.7 \times VDD^{(1)}$			V
V_{HYS}	入力ヒステリシス電圧		$0.05 \times VDD^{(1)}$			mV
$I_{IN}^{(3)}$	入力リーク電流。	$V_I = 3.3V$			10	μA
		$V_I = 0V$			-10	μA
V_{OL}	出力 LOW 電圧				0.4	V
$I_{OL}^{(4)}$	LOW レベル出力電流	$V_{OL(MAX)}$	10			mA
$SR_I^{(6)}$	入力スルーレート		$33f^{(5)}$ または $3.3E+6$		$8E+7$	V/s

- (1) VDD は、対応する電源を表します。電源名および対応するボールの詳細については、ピン属性 表の「電源」の欄を参照してください。
- (2) この値は、その IO の絶対最大定格値も定義します。
- (3) このパラメータは、入力、非駆動出力、または入力と非駆動出力の両方として端子が動作している際のリーク電流を規定します。
- (4) I_{OL} パラメータは、指定された V_{OL} 値をデバイスが維持できる最小 Low レベル出力電流を規定します。このパラメータで規定される値は、接続された部品の V_{OL} 仕様値を維持する必要があるシステム実装が利用可能な最大電流と見なす必要があります。
- (5) f = 入力信号のトグル周波数 (Hz)。
- (6) この最小値パラメータは、それぞれの「タイミングおよびスイッチング特性」セクションで規定されていない入力信号機能にのみ適用されます。最大値になる MIN パラメータを選択します。
- (7) IO を 3.3V モードで動作させる場合、I2C ハイスピード モードはサポートされません。

6.7.2 フェイルセーフ リセット (FS RESET) の電気的特性

推奨動作条件範囲内 (特に記述のない限り)

パラメータ		テスト条件	最小値	標準値	最大値	単位
V_{IL}	入力 Low 電圧				$0.3 \times V_{DD5_OSC0}$	V
V_{ILSS}	入力 Low 電圧 (定常状態)				$0.3 \times V_{DD5_OSC0}$	V
V_{IH}	入力 High 電圧		$0.7 \times V_{DD5_OSC0}$			V
V_{IHSS}	入力 High 電圧 (定常状態)		$0.7 \times V_{DD5_OSC0}$			V
V_{HYS}	入力ヒステリシス電圧		200			mV
$I_{IN}^{(1)}$	入力リーク電流。	$V_I = 1.8\text{ V}$			10	μA
		$V_I = 0\text{ V}$			-10	μA
$SR_I^{(3)}$	入力スルーレート		$18f^{(2)}$ または $1.8E+6$			V/s

(1) このパラメータは、端子が入力として動作しているときのリーク電流を定義します。

(2) f = 入力信号のトグル周波数 (Hz)。

(3) この最小値パラメータは、それぞれの「タイミングおよびスイッチング特性」セクションで規定されていない入力信号機能にのみ適用されます。最大値になる MIN パラメータを選択します。

6.7.3 高周波発振器 (HFOSC) の電気的特性

推奨動作条件範囲内 (特に記述のない限り)

パラメータ		テスト条件	最小値	標準値	最大値	単位
V_{IL}	入力 Low 電圧				$0.35 \times V_{DD5_OSC0}$	V
V_{IH}	入力 High 電圧		$0.65 \times V_{DD5_OSC0}$			V
V_{HYS}	入力ヒステリシス電圧			49		mV
$I_{IN}^{(1)}$	入力リーク電流。	$V_I = 1.8\text{ V}$			10	μA
		$V_I = 0\text{ V}$			-10	μA

(1) このパラメータは、端子が入力として動作しているときのリーク電流を定義します。

6.7.4 低周波数発振器 (LFXOSC) の電気的特性

推奨動作条件範囲内 (特に記述のない限り)

パラメータ		テスト条件	最小値	標準値	最大値	単位
V_{IL}	入力 Low 電圧				$0.30 \times V_{DD5_OSC0}$	V
V_{IH}	入力 High 電圧		$0.70 \times V_{DD5_OSC0}$			V
V_{HYS}	入力ヒステリシス電圧	アクティブ モード		85		mV
		バイパス モード		324		mV
$I_{IN}^{(1)}$	入力リーク電流。	$V_I = 1.8\text{ V}$			10	μA
		$V_I = 0\text{ V}$			-10	μA

(1) このパラメータは、端子が入力として動作しているときのリーク電流を定義します。

6.7.5 SDIO の電気的特性

推奨動作条件範囲内 (特に記述のない限り)

パラメータ		テスト条件	最小値	標準値	最大値	単位
1.8V モード						
V _{IL}	入力 Low 電圧				0.58	V
V _{ILSS}	入力 Low 電圧 (定常状態)				0.58	V
V _{IH}	入力 High 電圧		1.27			V
V _{IHSS}	入力 High 電圧 (定常状態)		1.7			V
V _{HYS}	入力ヒステリシス電圧		150			mV
I _{IN} ⁽¹⁾	入力リーク電流。	V _I = 1.8V			10	μA
		V _I = 0V			-10	μA
R _{PU}	プルアップ抵抗		40	50	60	kΩ
R _{PD}	プルダウン抵抗		40	50	60	kΩ
V _{OL}	出力 LOW 電圧				0.45	V
V _{OH}	出力 HIGH 電圧		VDD ⁽²⁾ - 0.45			V
I _{OL} ⁽³⁾	LOW レベル出力電流	V _{OL} (MAX)	4			mA
I _{OH} ⁽³⁾	High レベル出力電流	V _{OH} (MIN)	4			mA
SR _I ⁽⁵⁾	入力スルーレート		18f ⁽⁴⁾ または 1.8E+6			V/s
3.3V モード						
V _{IL}	入力 Low 電圧				0.25 × VDD ⁽²⁾	V
V _{ILSS}	入力 Low 電圧 (定常状態)				0.15 × VDD ⁽²⁾	V
V _{IH}	入力 High 電圧		0.625 × VDD ⁽²⁾			V
V _{IHSS}	入力 High 電圧 (定常状態)		0.625 × VDD ⁽²⁾			V
V _{HYS}	入力ヒステリシス電圧		150			mV
I _{IN} ⁽¹⁾	入力リーク電流。	V _I = 3.3V			10	μA
		V _I = 0V			-10	μA
R _{PU}	プルアップ抵抗		40	50	60	kΩ
R _{PD}	プルダウン抵抗		40	50	60	kΩ
V _{OL}	出力 LOW 電圧				0.125 × VDD ⁽²⁾	V
V _{OH}	出力 HIGH 電圧		0.75 × VDD ⁽²⁾			V
I _{OL} ⁽³⁾	LOW レベル出力電流	V _{OL} (MAX)	6			mA
I _{OH} ⁽³⁾	High レベル出力電流	V _{OH} (MIN)	10			mA
SR _I ⁽⁵⁾	入力スルーレート		33f ⁽⁴⁾ または 3.3E+6			V/s

- (1) このパラメータは、端子が入力、非駆動出力、または入力と非駆動出力の両方として動作していて、内部プルがイネーブルされていないときのリーク電流を定義します。
- (2) VDD は、対応する電源を表します。電源名および対応するボールの詳細については、「ピン属性」表の「電源」列を参照してください。
- (3) I_{OL} および I_{OH} パラメータは、デバイスが指定された V_{OL} および V_{OH} の値を維持できる最小 Low レベル出力電流と High レベル出力電流を規定します。これらのパラメータで規定される値は、接続部品について指定された V_{OL} および V_{OH} の値を維持する必要があるシステム実装で利用可能な最大電流を考慮する必要があります。
- (4) f = 入力信号のトグル周波数 (Hz)。
- (5) この最小値パラメータは、それぞれの「タイミングおよびスイッチング特性」セクションで規定されていない入力信号機能にのみ適用されます。最大値になる MIN パラメータを選択します。

6.7.6 LVCMOS の電氣的特性

推奨動作条件範囲内 (特に記述のない限り)

パラメータ		テスト条件	最小値	標準値	最大値	単位
1.8V モード						
V_{IL}	入力 Low 電圧				$0.35 \times V_{DD}^{(1)}$	V
V_{ILSS}	入力 Low 電圧 (定常状態)				$0.3 \times V_{DD}^{(1)}$	V
V_{IH}	入力 High 電圧		$0.65 \times V_{DD}^{(1)}$			V
V_{IHSS}	入力 High 電圧 (定常状態)		$0.85 \times V_{DD}^{(1)}$			V
V_{HYS}	入力ヒステリシス電圧		150			mV
$I_{IN}^{(2)}$	入力リーク電流。	$V_I = 1.8\text{ V}$			10	μA
		$V_I = 0\text{ V}$			-10	μA
R_{PU}	プルアップ抵抗		15	22	30	k Ω
R_{PD}	プルダウン抵抗		15	22	30	k Ω
V_{OL}	出力 LOW 電圧				0.45	V
V_{OH}	出力 HIGH 電圧		$V_{DD}^{(1)} - 0.45$			V
$I_{OL}^{(3)}$	LOW レベル出力電流	$V_{OL(MAX)}$	3			mA
$I_{OH}^{(3)}$	High レベル出力電流	$V_{OH(MIN)}$	3			mA
$SR_I^{(5)}$	入力スルーレート		$18f^{(4)}$ または $1.8E+6$			V/s
3.3V モード						
V_{IL}	入力 Low 電圧				0.8	V
V_{ILSS}	入力 Low 電圧 (定常状態)				0.6	V
V_{IH}	入力 High 電圧		2.0			V
V_{IHSS}	入力 High 電圧 (定常状態)		2.0			V
V_{HYS}	入力ヒステリシス電圧		150			mV
$I_{IN}^{(2)}$	入力リーク電流。	$V_I = 3.3\text{ V}$			10	μA
		$V_I = 0\text{ V}$			-10	μA
R_{PU}	プルアップ抵抗		15	22	30	k Ω
R_{PD}	プルダウン抵抗		15	22	30	k Ω
V_{OL}	出力 LOW 電圧				0.4	V
V_{OH}	出力 HIGH 電圧		2.4			V
$I_{OL}^{(3)}$	LOW レベル出力電流	$V_{OL(MAX)}$	5			mA
$I_{OH}^{(3)}$	High レベル出力電流	$V_{OH(MIN)}$	9			mA
$SR_I^{(5)}$	入力スルーレート		$33f^{(4)}$ または $3.3E+6$			V/s

- (1) V_{DD} は、対応する電源を表します。電源名および対応するボールの詳細については、「ピン属性」表の「電源」列を参照してください。
- (2) このパラメータは、端子が入力、非駆動出力、または入力と非駆動出力の両方として動作していて、内部プルがイネーブルされていないときのリーク電流を定義します。
- (3) I_{OL} および I_{OH} パラメータは、デバイスが指定された V_{OL} および V_{OH} の値を維持できる最小 Low レベル出力電流と High レベル出力電流を規定します。これらのパラメータで規定される値は、接続部品について指定された V_{OL} および V_{OH} の値を維持する必要があるシステム実装で利用可能な最大電流を考慮する必要があります。
- (4) f = 入力信号のトグル周波数 (Hz)。
- (5) この最小値パラメータは、それぞれの「タイミングおよびスイッチング特性」セクションで規定されていない入力信号機能にのみ適用されます。最大値になる MIN パラメータを選択します。

6.7.7 1P8-LVCMOS の電気的特性

推奨動作条件範囲内 (特に記述のない限り)

パラメータ		テスト条件	最小値	標準値	最大値	単位
V_{IL}	入力 Low 電圧				$0.35 \times VDD^{(1)}$	V
V_{ILSS}	入力 Low 電圧 (定常状態)				$0.35 \times VDD^{(1)}$	V
V_{IH}	入力 High 電圧		$0.65 \times VDD^{(1)}$			V
V_{IHSS}	入力 High 電圧 (定常状態)		$0.65 \times VDD^{(1)}$			V
V_{HYS}	入力ヒステリシス電圧		150			mV
$I_{IN}^{(2)}$	入力リーク電流。	$V_I = 1.8V$ または $V_I = 0.0V$			± 10	μA
R_{PU}	プルアップ抵抗		10	20	30	k Ω
R_{PD}	プルダウン抵抗		10	20	30	k Ω
V_{OL}	出力 LOW 電圧				0.45	V
V_{OH}	出力 HIGH 電圧		$VDD^{(1)} - 0.45$			V
$I_{OL}^{(3)}$	LOW レベル出力電流	$V_{OL(MAX)}$	8			mA
$I_{OH}^{(3)}$	High レベル出力電流	$V_{OH(MIN)}$	8			mA
$SR_I^{(5)}$	入力スルーレート		$9f^{(4)}$ または $1.08E+5$			V/s

- (1) VDD は、対応する電源を表します。電源名および対応するボールの詳細については、「ピン属性」表の「電源」列を参照してください。
- (2) このパラメータは、端子が入力、非駆動出力、または入力と非駆動出力の両方として動作していて、内部プルがイネーブルされていないときのリーク電流を定義します。
- (3) I_{OL} および I_{OH} パラメータは、デバイスが指定された V_{OL} および V_{OH} の値を維持できる最小 Low レベル出力電流と High レベル出力電流を規定します。これらのパラメータで規定される値は、接続部品について指定された V_{OL} および V_{OH} の値を維持する必要があるシステム実装で利用可能な最大電流を考慮する必要があります。
- (4) f = 入力信号のトグル周波数 (Hz)。
- (5) この最小値パラメータは、それぞれの「タイミングおよびスイッチング特性」セクションで規定されていない入力信号機能にのみ適用されます。最大値になる MIN パラメータを選択します。

6.7.8 RTC-LVCMOS の電氣的特性

推奨動作条件範囲内 (特に記述のない限り)

パラメータ		テスト条件	最小値	標準値	最大値	単位
V_{IL}	入力 Low 電圧				$0.35 \times VDD^{(1)}$	V
V_{ILSS}	入力 Low 電圧 (定常状態)				$0.35 \times VDD^{(1)}$	V
V_{IH}	入力 High 電圧		$0.65 \times VDD^{(1)}$			V
V_{IHSS}	入力 High 電圧 (定常状態)		$0.65 \times VDD^{(1)}$			V
V_{HYS}	入力ヒステリシス電圧		200			mV
$I_{IN}^{(2)}$	入力リーク電流。	$V_I = 1.8V$ または $V_I = 0.0V$			± 50	nA
$R_{PU}^{(3)}$	プルアップ抵抗		21.5		30.0	k Ω
V_{OL}	出力 LOW 電圧				0.45	V
V_{OH}	出力 HIGH 電圧		$VDD^{(1)} - 0.45$			V
$I_{OL}^{(4)}$	LOW レベル出力電流	$V_{OL(MAX)}$	2			mA
$I_{OH}^{(4)}$	High レベル出力電流	$V_{OH(MIN)}$	2			mA
$SR_I^{(5)}$	入力スルーレート		1.8E6			V/s

- (1) VDD は、対応する電源を表します。電源名および対応するボールの詳細については、「ピン属性」表の「電源」列を参照してください。
- (2) このパラメータは、EXT_WAKEUP0、EXT_WAKEUP1、RTC_PORz ピンにのみ適用されます。
- (3) このパラメータは、PMIC_LPM_EN0 ピンにのみ適用されます。
- (4) I_{OL} および I_{OH} パラメータは、デバイスが指定された V_{OL} および V_{OH} の値を維持できる最小 Low レベル出力電流と High レベル出力電流を規定します。これらのパラメータで規定される値は、接続部品について指定された V_{OL} および V_{OH} の値を維持する必要があるシステム実装で利用可能な最大電流を考慮する必要があります。
- (5) この最小値パラメータは、それぞれの「タイミングおよびスイッチング特性」セクションで規定されていない入力信号機能にのみ適用されます。

6.7.9 ADC の電気的特性

推奨動作条件範囲内 (特に記述のない限り)

パラメータ		テスト条件	最小値	標準値	最大値	単位
分解能	実際のビット数			12		ビット
ENOB	有効ビット数			≅ 10		ビット
$V_{ADC0_VREFP}^{(1)}$	正のリファレンス電圧			$VDDA_ADC0^{(2)}$		V
$V_{ADC0_VREFN}^{(1)}$	負のリファレンス電圧			VSS		V
$V_{ADC_AIN[3:0]}$	アナログ入力電圧、 ADC_AIN[3:0]、フルスケール		VSS	$VDDA_ADC0^{(2)}$		V
DNL	微分非直線性		> -1		+4	LSB
INL	積分非直線性		-4		+4	LSB
LSB _{GAIN-ERROR}	ゲイン誤差			±10		LSB
LSB _{OFFSET-ERROR}	オフセット誤差			±5		LSB
SINAD	信号 - 雑音と歪み比	入力信号: -0.5dB フルスケールで 200kHz の正弦波		60		dB
$Z_{ADC_AIN[0:7]}$	アナログ入力インピーダンス、 ADC0_AIN[7:0]			(3)		Ω
I_{IN}	入力リークage			±10		μA
C_{SMPL}	サンプリング容量			5.5		pF
サンプリング動特性						
F_{SMPL_CLK}	ADC0 SMPL_CLK 周波数			30		MHz
t_C	変換時間			13		ADC0 SMPL_CLK サイクル
t_{ACQ}	アキュイジション時間		2		257	ADC0 SMPL_CLK サイクル
T_R	サンプリング レート	ADC0 SMPL_CLK = 30MHz			2	MSPS

- (1) ADC0_REFP と ADC0_REFN は、SoC 内の VDDA_ADC0 と VSS に直接接続されています。この表の ADC0_REFP と ADC0_REFN への参照は、VDDA_ADC0 または VSS と見なす必要があります。
- (2) VDDA_ADC0 の有効電圧範囲は、[セクション 6.4](#) で定義されます
- (3) アキュイジション時間とアキュイジション周波数をユーザーが設定できるように、ADC0_AIN ピンは内部サンプリング コンデンサに接続されています。ADC0_AIN ピンの入力インピーダンスはサンプリング容量の関数で、アキュイジション時間とアキュイジション周波数はユーザーが構成可能です。設計者は、各 ADC0_AIN ピンのソース インピーダンスが内部サンプリング コンデンサを充電するのに必要とする時間を理解する必要があります。アキュイジション時間は、内部サンプリング コンデンサが 14 ビットを超える精度でセトリングするのに十分な長さに設定する必要があります。

6.7.10 DSI (D-PHY) の電気的特性

注

DSITX0 は、該当する ECN とエラッタを含め、2014 年 8 月 1 日付けの MIPI DPHY v1.2 に準拠しています。

6.7.11 USB2PHY の電气的特性

注

USB0 および USB1 のインターフェイスは、2000 年 4 月 27 日付けの Universal Serial Bus Revision 2.0 仕様 (該当する ECN およびエラッタを含む) に準拠しています。

6.7.12 DDR の電气的特性

注

DDR インターフェイスは、**JESD79-4B** 規格準拠の DDR4 デバイスや、**JESD209-4B** 規格準拠の LPDDR4 デバイスと互換性があります

6.8 ワンタイム プログラマブル (OTP) eFuse の VPP 仕様

このセクションは、OTP eFuse のプログラミングに必要な動作条件を規定します。

6.8.1 OTP eFuse プログラミングの推奨動作条件

接合部動作温度範囲内 (特に記述のない限り)

パラメータ	説明	最小値	公称値	最大値	単位
VDD_CORE	OTP 動作時のコア ドメイン電源電圧範囲	セクション 6.4 を参照			V
VPP	通常動作時の eFuse ROM ドメインの電源電圧範囲 (eFuse ROM をプログラミングするためのハードウェア サポートなし)	NC ⁽¹⁾			V
	通常動作時の eFuse ROM ドメインの電源電圧範囲 (eFuse ROM をプログラミングするためのハードウェア サポートあり)	0			V
	OTP プログラミング時の eFuse ROM ドメインの電源電圧範囲 ⁽²⁾	1.71	1.8	1.89	V
I _(VPP)	VPP 電流	400			mA
SR _(VPP)	VPP パワーアップ スルーレート	6E + 4			V/s
T _j	eFuse ROM プログラミング時の動作時接合部温度範囲	0	25	85	°C

(1) NC は接続なしを示します。

(2) 電源電圧範囲には、DC 誤差およびピーク ツー ピーク ノイズが含まれます。

6.8.2 ハードウェア要件

OTP eFuse にキーをプログラムする場合、以下のハードウェア要件を満たす必要があります。

- OTP レジスタをプログラムしないときは、VPP 電源をディセーブルにする必要があります。
- VPP 電源は、適切なデバイス電源オン シーケンスの後にランプアップする必要があります (詳細については、[セクション 6.11.2.2「電源シーケンス」](#)を参照してください)。

6.8.3 プログラミング シーケンス

OTP eFuse のプログラミング シーケンス:

- パワーアップ シーケンシングに従ってボードに電源を投入します。パワーアップ時および通常動作中は、VPP 端子に電圧を印加しないでください。
- eFuse のプログラミングに必要な OTP 書き込みソフトウェアをロードします (OTP ソフトウェア パッケージについては、お近くの TI 代理店にお問い合わせください)。
- [セクション 6.8.1](#) に示す仕様に従って、VPP 端子に電圧を印加します。
- OTP レジスタをプログラムするソフトウェアを実行します。
- OTP レジスタの内容を検証した後、VPP 端子から電圧を取り除きます。

6.8.4 ハードウェア保証への影響

お客様は、セキュリティ キーにより TI ツのデバイスに eFusing を使用することは、デバイスを永続的に変更する、ということに同意するものとします。お客様は、プログラム シーケンスが正しくないか中止された場合や、シーケンス ステップを省略した場合などに、eFuse が失敗する可能性があることを認めます。さらに、プロダクション キーのエラー コード訂正チェックが失敗した場合、またはイメージが署名されておらず、オプションとして現在アクティブなプロダクション キーで暗号化されていない場合、TI のデバイスはセキュア ブートに失敗する可能性があります。このような障害が発生すると、TI のデバイスが動作不能になることがあり、TI ツは eFuse を試行する前に、TI のデバイスがそのデバイス仕様に準拠していることを確認できなくなります。このため、お客様によって eFuse が誤って実行された TI のデバイスについて、TI は一切の責任 (保証またはその他の責任) を負いません。

6.9 熱抵抗特性

このセクションでは、このデバイスで使用する熱抵抗特性について説明します。

信頼性と動作性の懸念から、デバイスの最大接合部温度は、[セクション 6.4](#)「推奨動作条件」に示されている T_J 値以下にする必要があります。

注

熱パラメータは、JEDEC 規格の JESD51x に従って生成されており、設計パラメータではありません。より正確な熱表現が必要な場合は、プロセッサの熱モデルをダウンロードし、PCB デザインを熱シミュレーション環境にインポートします。熱実装ガイドラインの詳細については、「[熱ソリューションガイダンス](#)」セクションを参照してください。

6.9.1 ANB パッケージの熱抵抗特性

システム レベルの熱シミュレーションは、ワーストケースのデバイス消費電力を考慮して実行することを推奨します。

番号	パラメータ	説明	AMC パッケージ °C/W ^{(1) (2)}	空気 流 (m/s) ⁽³⁾
T1	$R\theta_{JC}$	接合部とケースとの間	5.2	該当なし
T2	$R\theta_{JB}$	接合部と基板との間	9.4	該当なし
T3	$R\theta_{JA}$	接合部と自由空気との間	22.2	0
T4		接合部と空気流との間	17.4	1
T5			16.3	2
T6			15.6	3
T7	Ψ_{JT}	接合部とパッケージ上面との間	0.09	0
T8			0.18	1
T9			0.24	2
T10			0.28	3
T11	Ψ_{JB}	接合部と基板との間	9.3	0
T12			8.8	1
T13			8.6	2
T14			8.5	3

(1) °C/W = 摂氏温度 / ワット。

(2) これらの値は、JEDEC により定義された 2S2P システム (JEDEC 定義の 1S0P システムによる θ_{JC} [$R\theta_{JC}$] 値を除く) に基づいており、周囲環境とアプリケーションによって変化します。詳細については、以下の EIA/JEDEC 規格を参照してください。

- JESD51-2、『IC の熱テスト手法の環境条件 - 自然対流 (静止空気)』
- JESD51-3、『リード付き表面実装パッケージ用の有効熱伝導率の低いテスト基板』
- JESD51-6、『IC の熱テスト手法の環境条件 - 自然対流 (空気流)』
- JESD51-7、『リード付き表面実装パッケージ用の有効熱伝導率の高いテスト基板』
- JESD51-9、『エリア アレイ表面実装パッケージの熱測定用テスト基板』

(3) m/s = メートル/秒。

6.10 温度センサの特性

このセクションでは、ダイ温度センサの特性に関する電圧および温度モジュール (VTM) について概要を説明します。

動作および信頼性上の懸念から、本デバイスの最大接合部温度は、「推奨動作条件」に示された T_J 値以下にする必要があります。

表 6-3. VTM ダイ温度センサの特性

パラメータ		テスト 条件	最小値	標準値	最大値	単位
T_{acc}	VTM 温度センサ精度	$-40^{\circ}\text{C} \sim 125^{\circ}\text{C}$	-5		5	$^{\circ}\text{C}$

6.11 タイミングおよびスイッチング特性

注

シリコンの特性評価結果に応じて、タイミング要件およびスイッチング特性の値は変化する場合があります。

注

特に指示がない限り、タイミングを確保するため、各パッド構成レジスタのデフォルトのスルーレート設定を使用する必要があります。

6.11.1 タイミングパラメータおよび情報

セクション 6.11 「タイミングおよびスイッチング特性」で使用されるタイミング パラメータの記号は、JEDEC 規格 100 に従って作成されています。記号を短縮するために、ピン名およびその他の関連用語の一部を **表 6-4** に示すように短縮しました。

表 6-4. タイミング パラメータの添え字

記号	パラメータ
c	サイクル時間 (周期)
d	遅延時間
dis	ディセーブル時間
en	イネーブル時間
h	ホールド時間
su	セットアップ時間
START	スタートビット
t	遷移時間
v	有効時間
w	パルス幅
X	未知の、変化している、ドント ケアのレベル
F	立ち下がり時間
H	高
L	低
R	立ち上がり時間
V	有効
IV	無効
AE	アクティブ エッジ
FE	最初のエッジ
LE	最後のエッジ
Z	高インピーダンス

6.11.2 電源要件

このセクションでは、デバイスが適切に動作するために必要な電源要件について説明します。

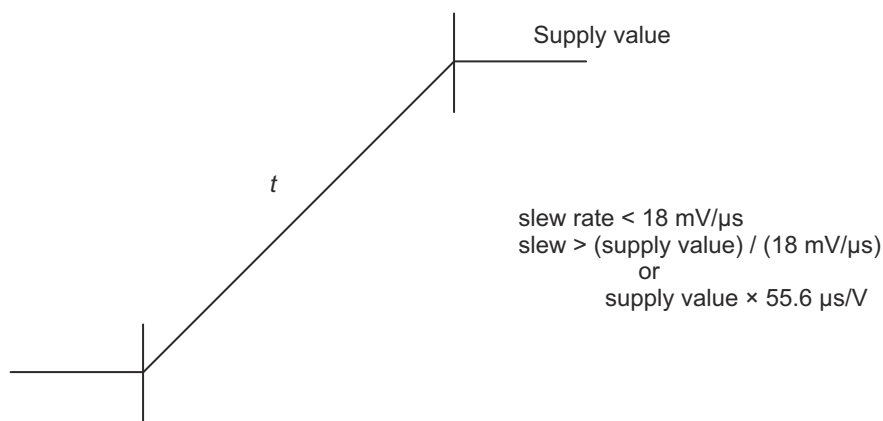
注

「信号説明」と「ピン接続要件」に特に記述のない限り、すべての電源ボールは、「推奨動作条件」に規定された電圧で供給する必要があります。

6.11.2.1 電源スルーレートの要件

内部 ESD 保護デバイスの安全な動作範囲を維持するため、電源の最大スルーレートを $18 \text{ mV}/\mu\text{s}$ 未満に制限することを推奨します。たとえば、図 6-2 に示すように、 1.8V 電源については、ランプ スルーが $100\mu\text{s}$ を超えるものを使用することを推奨します。

図 6-2 に、デバイスの電源スルー レートの要件を示します。



SPRT740_ELCH_06

図 6-2. 電源のスルーおよびスルーレート

6.11.2.2 電源シーケンス

このセクションでは、電源シーケンスの図と関連する注を使用して、電源シーケンス要件について説明します。各電源シーケンスの図は、デバイスの各電源レールに必要な順序を表しており、それをデバイスの各電源レールを 1 つまたは複数の波形に割り当てることによって示しています。デュアル電圧電源レールは複数の波形に関連付けられている場合があり、どの波形が該当するかは関連する注に記載されています。各波形は、関連する電源レールの遷移領域を定義し、他の電源レールの遷移領域との順序関係を示しています。電源シーケンスの図に関連する注に、これらの要件の詳細が記載されています。パワーアップ要件の詳細については「パワーアップ シーケンス」セクション、パワーダウン要件の詳細については「パワーダウン シーケンス」セクションを参照してください。

電源シーケンスの図を簡素化するため、2 種類の電源遷移領域が使用されています。図 6-3 および図 6-4 の凡例と説明に、各遷移領域が何を表しているかが明記されています。

図 6-3 は、複数の電源または 1 つの電源から給電される複数の電源レールの遷移領域を定義しています。遷移領域内に示されている遷移は、この波形に関連する電源レールに給電するために複数の電源が使用されている使用事例を表しています。これらの電源には相対的なシーケンス要件はないため、領域内で異なる時間に立ち上げることが可能です。

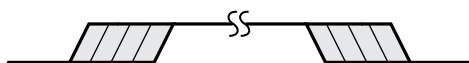


図 6-3. 複数の電源遷移の凡例

図 6-4 は、1 つの共通電源から給電する必要がある 1 つ以上の電源レールの遷移領域を定義しています。遷移領域内で 1 つの立ち上がりを表すため、領域内に遷移は示されていません。

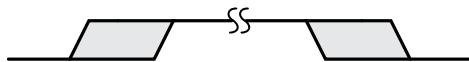


図 6-4. 1 つの共通電源遷移の凡例

6.11.2.2.1 低消費電力モードのシーケンスなし

表 6-5、図 6-5、図 6-6 では、RTC のみ低消費電力モードまたは RTC+IO + DDR 低消費電力モードを使用する計画がない場合のデバイスの電源シーケンス要件を定義しています。

表 6-5. 低消費電力モードのシーケンス - 電源 / 信号の割り当て

次をご覧ください。図 6-5 および 図 6-6

波形	電源 / 信号名
A	システム電力
B	VDDSHV0 ⁽¹⁾ 、VDDSHV1 ⁽¹⁾ 、VDDA_3P3_USB
C	VDDSHV0 ⁽²⁾ 、VDDSHV1 ⁽²⁾ 、VDDS_OSC0、VDDS_RTC、VDDA_PLL0、VDDA_PLL1、VDDS_WKUP、VDDS0、VDDS1、VDDA_ADC、VDDA_1P8_DSI、VDDA_1P8_USB
D	VDDA_3P3_SDIO ^{(3) (4)} 、VDDSHV2 ⁽³⁾ 、VDDSHV3 ⁽³⁾ 、VDDSHV4 ⁽³⁾
E	VDDS_DDR ⁽⁵⁾
F	VDD_CORE、VDDA_CORE_DSI ⁽⁶⁾ 、VDDA_CORE_DSI_CLK ⁽⁶⁾ 、VDDA_CORE_USB ⁽⁶⁾ 、VDDA_DDR_PLL0 ⁽⁶⁾ 、VDD_RTC
G	WKUP_OSC0_XI、WKUP_OSC0_XO
H	PORz

- (1) VDDSHV0 と VDDSHV1 は、アプリケーションの要件に応じて 1.8V または 3.3V で動作させることができるデュアル電圧 IO 電源です。VDDSHVx [x = 0~1] IO 電源のいずれかが 3.3V で動作している場合、この波形で定義された 3.3V ランプ期間中、その他の 3.3V 電源を使って電圧を上昇させます。
- (2) VDDSHV0 と VDDSHV1 は、アプリケーションの要件に応じて 1.8V または 3.3V で動作させることができるデュアル電圧 IO 電源です。VDDSHVx [x = 0~1] IO 電源のいずれかが 1.8V で動作している場合、この波形で定義された 1.8V ランプ期間中、その他の 1.8V 電源を使って電圧を上昇させます。
- (3) VDDA_3P3_SDIO は、その他の電源レールに依存せずに、パワーアップ、パワーダウンをサポートするように設計されています。VDDSHV2、VDDSHV3、VDDSHV4 は、その他の電源レールに依存せずに、パワーアップ、パワーダウン、または動的電圧変化をサポートするように設計されています。この機能は、UHS-I SD カードをサポートするために必要です。
- (4) VDDA_3P3_SDIO は、内部 SDIO_LDO の 3.3V 電源レールです。この電源レールには、MMC1 に接続された UHS-I SD カードに電力を供給する同じ 3.3V 電源から電力を供給する必要があります。これにより、SD カードの電源がオフになって SD カードをリセットするときに、MMC1 IO と SD カード IO は同時にパワーアップとパワーダウンを行うことができます。このユース ケースでは、SDIO_LDO 出力 (CAP_VDDSHV_MMC) を使用して VDDSHV3 IO 電源レールに電力を供給し、VDDA_3P3_SDIO 電源レールと同様にランプアップおよびランプダウンします。
- (5) VDDS_DDR には特定の電源シーケンス要件はありませんが、DDR デバイスの JEDEC 規格では、パワーアップおよびパワーダウン シーケンス中は、V_{DD1} 電源レールの電位が常に V_{DD2} 電源レールの電位より大きいことが必要です。
- (6) VDDA_CORE_DSI、VDDA_CORE_DSI_CLK、VDDA_CORE_USB、VDDA_DDR_PLL0、VDD_RTC は、VDD_CORE と同じ電源を使用するものとします。VDD_CORE と VDDA_CORE_USB の間の電圧差が ± 1% 以内になるよう注意する必要があります。

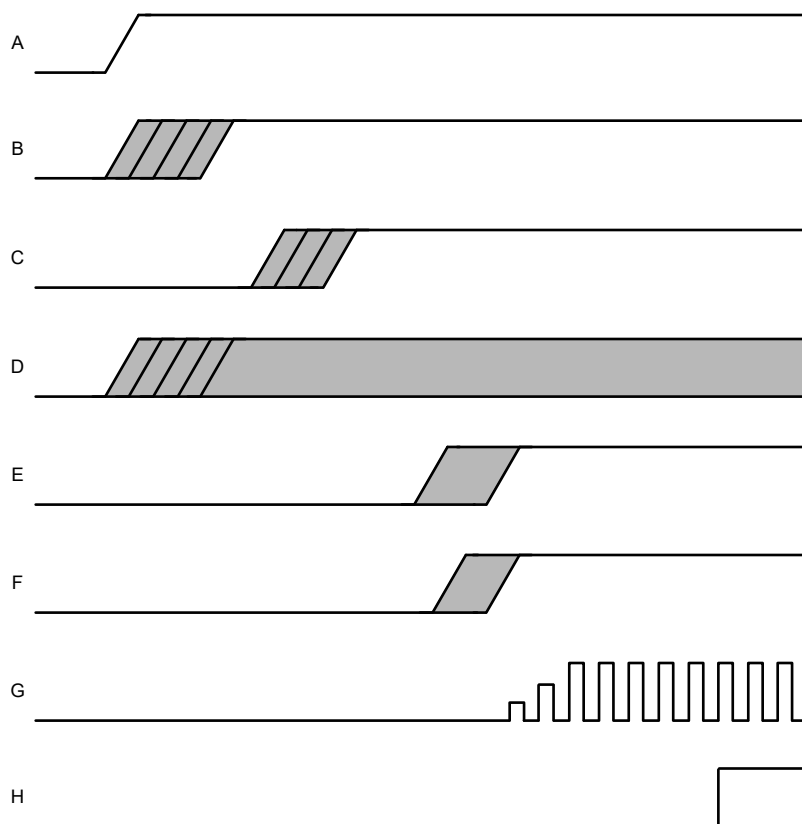


図 6-5. 低消費電力モードのパワーアップシーケンスなし

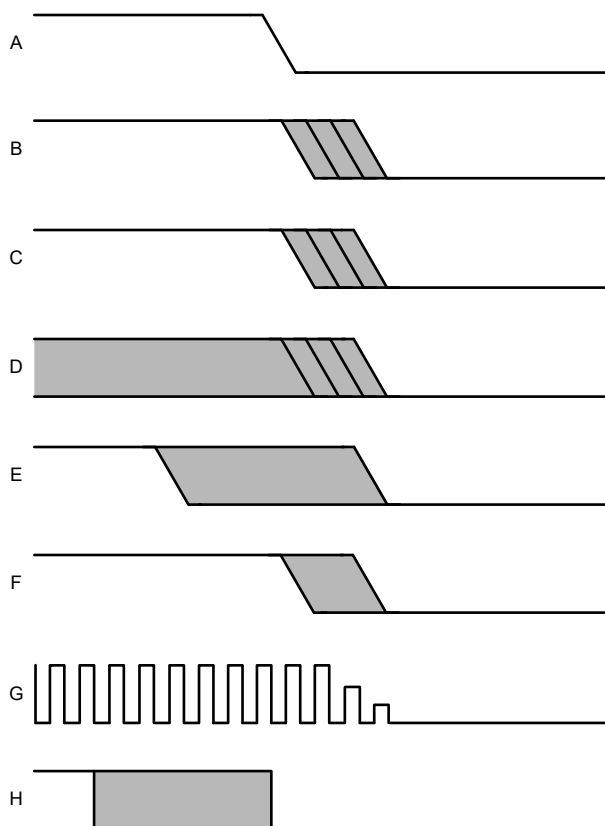


図 6-6. 低消費電力モードのパワーダウンシーケンスなし

6.11.2.2.2 RTC のみの低消費電力モードシーケンス

表 6-6, 図 6-7, 図 6-8, 図 6-9 により、RTC のみの低消費電力モードを使用する場合のデバイス電力要件を定義します。

表 6-6. RTC のみの低消費電力モードシーケンス-電源/信号の割り当て

次をご覧ください。図 6-7、図 6-8、図 6-9

波形	電源 / 信号名
A	システム電力
B	VDDDS_RTC ⁽¹⁾
C	VDD_RTC ⁽²⁾
D	PMIC_LPM_EN0 ⁽³⁾
E	RTC_PORz ⁽⁴⁾
F	VDDSHV0 ⁽⁵⁾ 、VDDSHV1 ⁽⁵⁾ 、VDDA_3P3_USB
G	VDDSHV0 ⁽⁶⁾ 、VDDSHV1 ⁽⁶⁾ 、VDDDS_OSC0、VDDA_PLL0、VDDA_PLL1、VDDDS_WKUP、VDDDS0、VDDDS1、VDDA_ADC、VDDA_1P8_DSI、VDDA_1P8_USB
H	VDDA_3P3_SDIO ^{(7) (8)} 、VDDSHV2 ⁽⁷⁾ 、VDDSHV3 ⁽⁷⁾ 、VDDSHV4 ⁽⁷⁾
I	VDDDS_DDR ⁽⁹⁾
J	VDD_CORE ⁽¹⁰⁾ 、VDDA_CORE_CSI_DSI ⁽¹¹⁾ 、VDDA_CORE_DSI_CLK ⁽¹¹⁾ 、VDDA_CORE_USB ⁽¹¹⁾ 、VDDA_DDR_PLL0 ⁽¹¹⁾
K	WKUP_OSC0_XI、WKUP_OSC0_XO
L	PORz

- (1) RTC のみの低消費電力モードを使用する場合、VDDDS_RTC は常時オンの電源に接続しなければなりません。
- (2) RTC のみの低消費電力モードを使用する場合、VDD_RTC は常時オンの電源に接続しなければなりません。
- (3) RTC_PORz がアサートされている間、PMIC_LPM_EN0 は、弱い内部プルアップによって High にプルアップされます。弱い内部プルアップはオフになり、RTC_PORz の立ち上がり時に PMIC_LPM_EN0 が High に駆動されます。RTC モジュールは、PMIC_LPM_EN0 を Low に駆動して RTC のみ低消費電力モードに移行させ、PMIC_LPM_EN0 を High に駆動して RTC のみの低消費電力モードを終了するように設定でき、その結果、PMIC_LPM_EN0 を使用して、RTC 以外のすべての電源レールに対して電源のオン/オフを繰り返すことができます。
- (4) VDDDS_RTC および VDD_RTC 電源レールが有効になると、RTC_PORz を解放することができます。
- (5) VDDSHV0 と VDDSHV1 は、アプリケーションの要件に応じて 1.8V または 3.3V で動作させることができるデュアル電圧 IO 電源です。VDDSHVx [x = 0 ~ 1] IO 電源のいずれかが 3.3V で動作している場合、この波形で定義された 3.3V ランプ期間中、その他の 3.3V 電源によって電圧を低下させます。
- (6) VDDSHV0 と VDDSHV1 は、アプリケーションの要件に応じて 1.8V または 3.3V で動作させることができるデュアル電圧 IO 電源です。VDDSHVx [x = 0 ~ 1] IO 電源のいずれかが 1.8V で動作している場合、この波形で定義された 1.8V ランプ期間中、その他の 1.8V 電源によって電圧を低下させます。
- (7) VDDA_3P3_SDIO は、その他の電源レールに依存せずに、パワーアップ、パワーダウンをサポートするように設計されています。VDDSHV2、VDDSHV3、VDDSHV4 は、その他の電源レールに依存せずに、パワーアップ、パワーダウン、または動的電圧変化をサポートするように設計されています。この機能は、UHS-I SD カードをサポートするために必要です。
- (8) VDDA_3P3_SDIO は、内部 SDIO_LDO の 3.3V 電源レールです。この電源レールには、MMC1 に接続された UHS-I SD カードに電力を供給する同じ 3.3V 電源から電力を供給する必要があります。これにより、SD カードの電源がオフになって SD カードをリセットするときに、MMC1 IO と SD カード IO は同時にパワーアップとパワーダウンを行うことができます。この使用事例では、SDIO_LDO 出力 (CAP_VDDSHV_MMC) を使用して VDDSHV3 IO 電源レールに電力を供給します。VDDA_3P3_SDIO 電源レールとともにランプアップとランプダウンを行います。
- (9) VDDDS_DDR には特定の電源シーケンス要件はありませんが、DDR デバイスの JEDEC 規格では、パワーアップおよびパワーダウンシーケンス中は、V_{DD1} 電源レールの電位が常に V_{DD2} 電源レールの電位より大きいことが必要です。
- (10) パワーアップ時またはパワーダウン時に、VDDDR_CORE に印加される電位が VDD_RTC に印加される電位に 0.18V を加えた電位を超えないようにしなければなりません。これにより、VDD_RTC の電圧を VDD_CORE より先に上昇させ、VDD_CORE よりも後に下降させる必要があります。
- (11) VDDA_CORE_DSI、VDDA_CORE_DSI_CLK、VDDA_CORE_USB、VDDA_DDR_PLL0 は、同じ電源を使用するものとします。VDD_CORE と VDDA_CORE_USB の間の電圧差が ±1% 以内になるよう注意する必要があります。

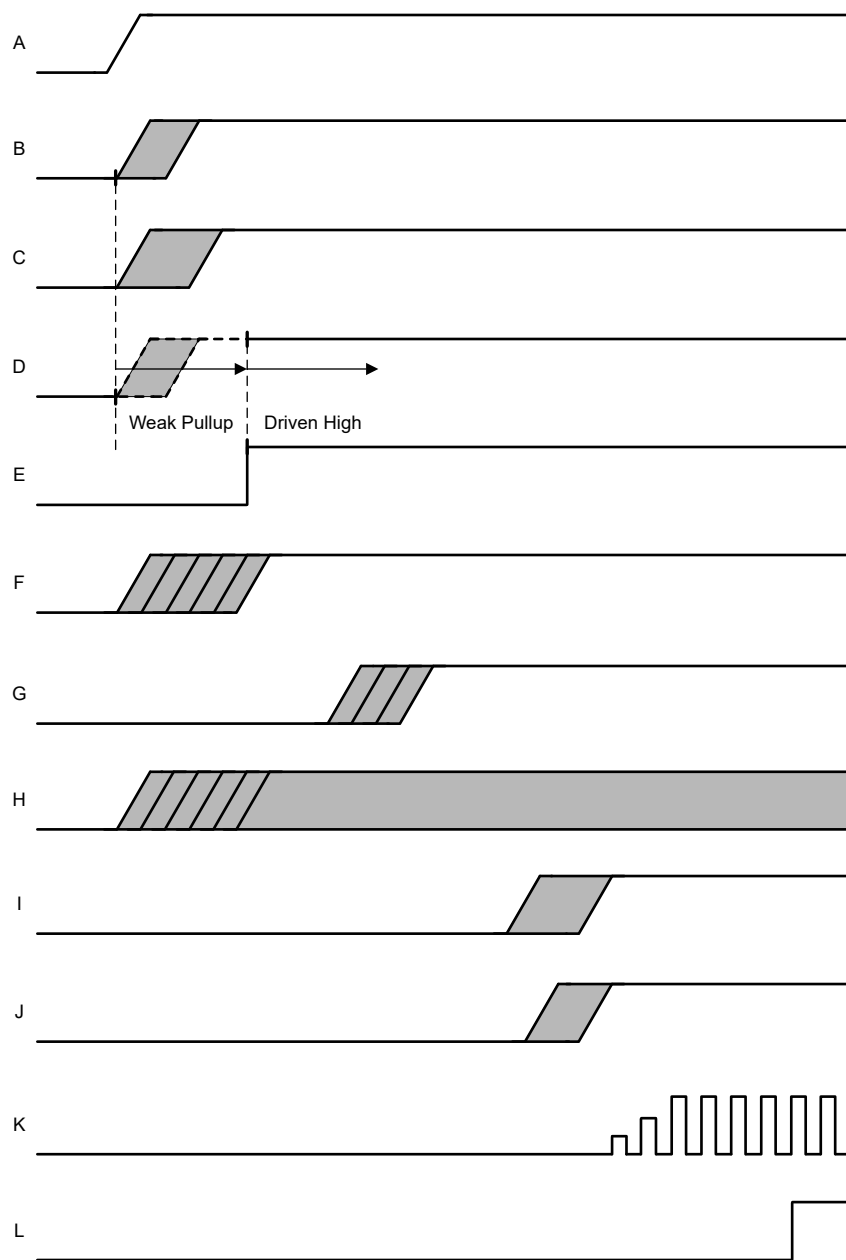


図 6-7. RTC のみの低消費電力モードのパワーアップシーケンス

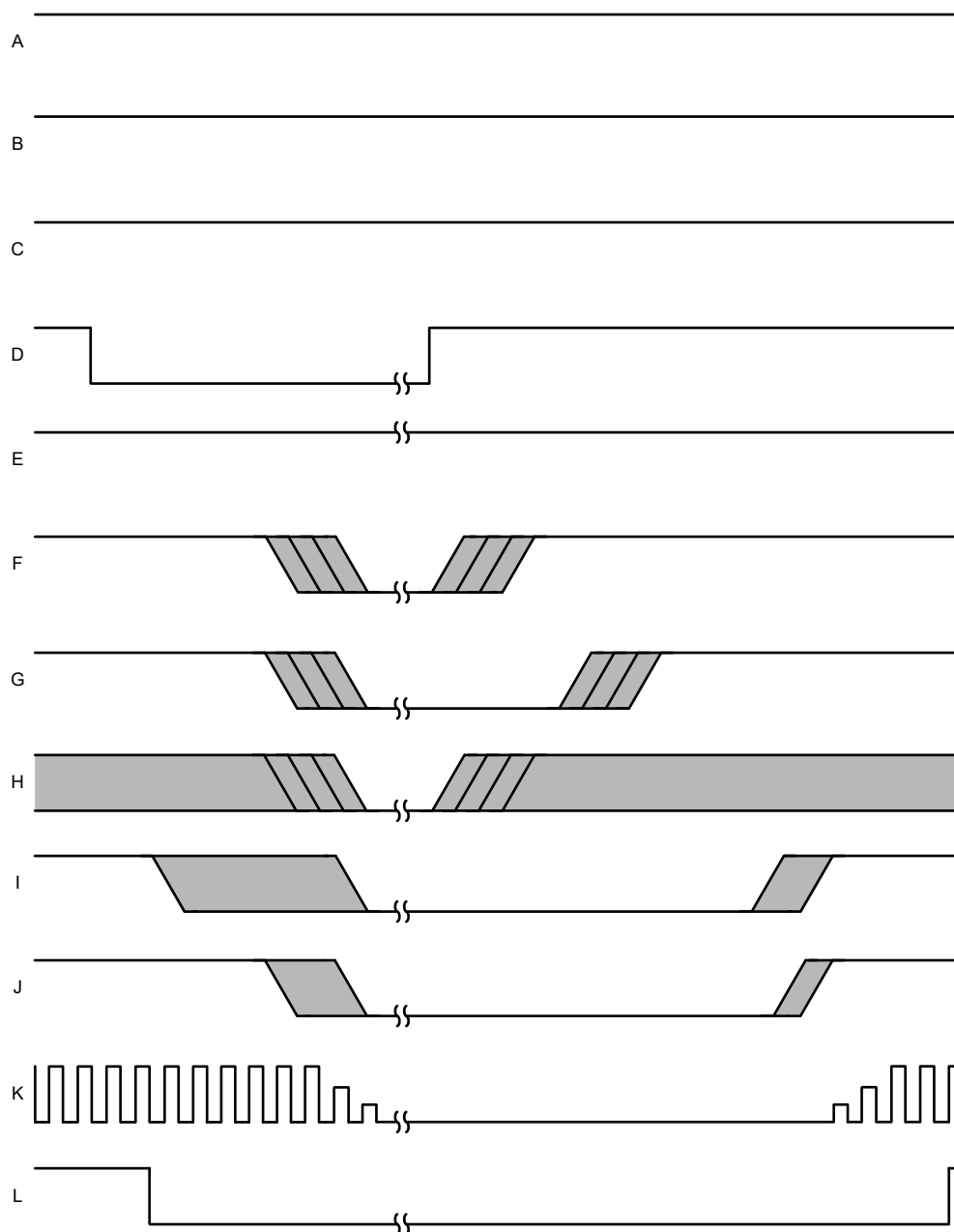


図 6-8. RTC のみの低消費電力モード開始/終了シーケンス

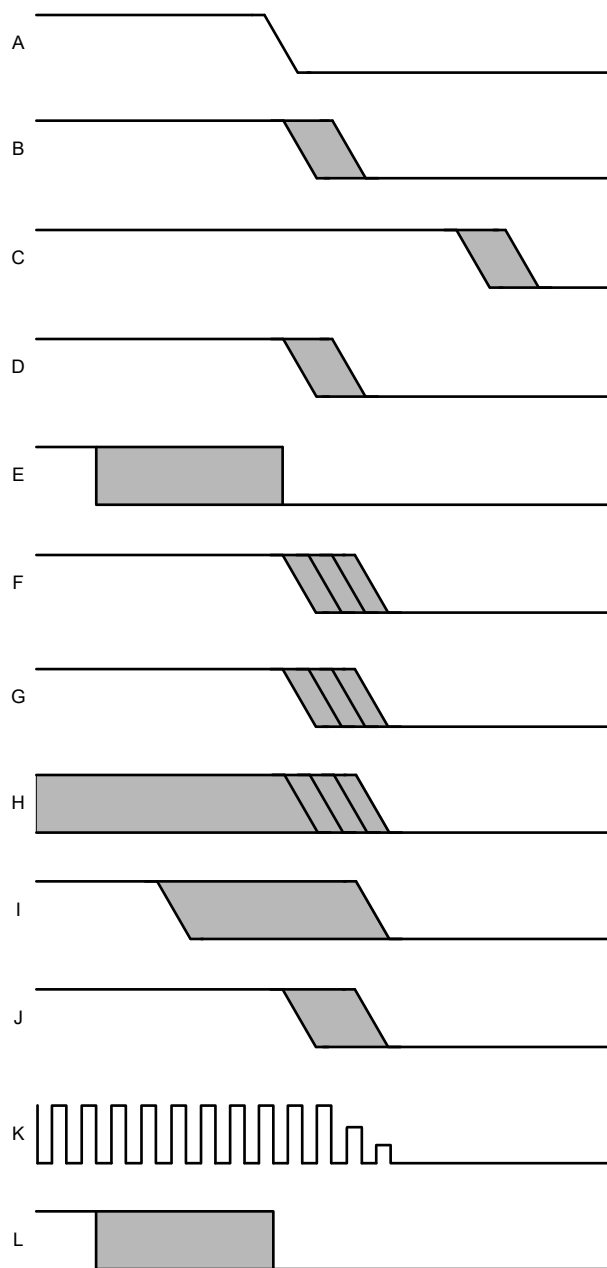


図 6-9. RTC のみの低消費電力モードのパワーダウンシーケンス

6.11.2.2.3 RTC + IO + DDR 低消費電力モードのシーケンス

RTC+IO + DDR 低消費電力モードを使用する場合のデバイスの電力要件を表 6-7、図 6-10、図 6-11、図 6-12 で定義します。

表 6-7. RTC+IO + DDR 低消費電力モードのシーケンス-電源/信号の割り当て

次をご覧ください。図 6-10、図 6-11、図 6-12

波形	電源 / 信号名
A	システム電力
B	VDDSHV0 ⁽¹⁾ 、VDDSHV1 ⁽¹⁾ 、VDDA_3P3_USB
C	VDDSHV0 ⁽²⁾ 、VDDSHV1 ⁽²⁾ 、VDDS_OSC0 ⁽³⁾ 、VDDA_PLL0、 ⁽³⁾ VDDA_PLL1 ⁽³⁾ 、VDDS_WKUP、VDDS0、VDDS1、VDDA_ADC ⁽³⁾ 、VDDA_1P8_DSI ⁽³⁾ 、VDDA_1P8_USB ⁽⁴⁾ 、VDDS_RTC ⁽³⁾
D	VDDA_3P3_SDIO ⁽⁵⁾ ⁽⁶⁾ 、VDDSHV2 ⁽⁵⁾ 、VDDSHV3 ⁽⁵⁾ 、VDDSHV4 ⁽⁵⁾
E	VDD_RTC ⁽⁷⁾
F	RTC_PORz ⁽⁸⁾
G	VDDS_DDR ⁽⁹⁾
H	VDD_CORE ⁽¹⁰⁾ 、VDDA_CORE_CSI_DSI ⁽¹¹⁾ 、VDDA_CORE_DSI_CLK ⁽¹¹⁾ 、VDDA_CORE_USB ⁽¹¹⁾ 、VDDA_DDR_PLL0 ⁽¹¹⁾
I	WKUP_OSC0_XI、WKUP_OSC0_XO
J	PORz
K	PMIC_LPM_EN0 ⁽¹²⁾

- (1) VDDSHV0 と VDDSHV1 は、アプリケーションの要件に応じて 1.8V または 3.3V で動作させることができるデュアル電圧 IO 電源です。VDDSHVx [x = 0 ~ 1] IO 電源のいずれかが 3.3V で動作している場合、この波形で定義された 3.3V ランプ期間中、その他の 3.3V 電源によって電圧を低下させます。
- (2) VDDSHV0 と VDDSHV1 は、アプリケーションの要件に応じて 1.8V または 3.3V で動作させることができるデュアル電圧 IO 電源です。VDDSHVx [x = 0 ~ 1] IO 電源のいずれかが 1.8V で動作している場合、この波形で定義された 1.8V ランプ期間中、その他の 1.8V 電源によって電圧を低下させます。
- (3) VDDS_OSC0、VDDA_PLL0、VDDA_PLL1、VDDA_ADC、VDDA_1P8_DSI、および VDDA_1P8_USB は、RTC+ IO + DDR 低消費電力モードに移行すると、電力を節約するために電源がオフになることがあります。
- (4) RTC + IO + DDR 低消費電力モードを使用する場合、VDDS_RTC は常時オンの電源に接続しなければなりません。
- (5) VDDA_3P3_SDIO は、その他の電源レールに依存せずに、パワーアップ、パワーダウンをサポートするように設計されています。VDDSHV2、VDDSHV3、VDDSHV4 は、その他の電源レールに依存せずに、パワーアップ、パワーダウン、または動的電圧変化をサポートするように設計されています。この機能は、UHS-I SD カードをサポートするために必要です。
- (6) VDDA_3P3_SDIO は、内部 SDIO_LDO の 3.3V 電源レールです。この電源レールには、MMC1 に接続された UHS-I SD カードに電力を供給する同じ 3.3V 電源から電力を供給する必要があります。これにより、SD カードの電源がオフになって SD カードをリセットするときに、MMC1 IO と SD カード IO は同時にパワーアップとパワーダウンを行うことができます。この使用事例では、SDIO_LDO 出力 (CAP_VDDSHV_MMC) を使用して VDDSHV3 IO 電源レールに電力を供給します。VDDA_3P3_SDIO 電源レールとともにランプアップとランプダウンを行います。
- (7) RTC + IO + DDR 低消費電力モードを使用する場合、VDD_RTC は常時オンの電源に接続しなければなりません。
- (8) VDDS_RTC および VDD_RTC 電源レールが有効になると、RTC_PORz を解放することができます。
- (9) VDDS_DDR には特定の電源シーケンス要件はありませんが、DDR デバイスの JEDEC 規格では、パワーアップおよびパワーダウンシーケンス中は、V_{DD1} 電源レールの電位が常に V_{DD2} 電源レールの電位より大きいことが必要です。
- (10) パワーアップ時またはパワーダウン時に、VDDR_CORE に印加される電位が VDD_RTC に印加される電位に 0.18V を加えた電位を超えないようにしなければなりません。これにより、VDD_RTC の電圧を VDD_CORE より先に上昇させ、VDD_CORE よりも後に下降させる必要があります。
- (11) VDDA_CORE_DSI、VDDA_CORE_DSI_CLK、VDDA_CORE_USB、VDDA_DDR_PLL0 は、同じ電源を使用するものとします。VDD_CORE と VDDA_CORE_USB の間の電圧差が ±1% 以内になるよう注意する必要があります。
- (12) RTC_PORz がアサートされている間、PMIC_LPM_EN0 は、弱い内部プルアップによって High にプルアップされます。弱い内部プルアップはオフになり、RTC_PORz の立ち上がり時に PMIC_LPM_EN0 が High に駆動されます。RTC モジュールは、PMIC_LPM_EN0 を Low に駆動して RTC+ IO + DDR 低消費電力モードに移行し、PMIC_LPM_en0 を High に駆動して RTC+ IO + DDR 低消費電力モードを終了するように S 設定できますその結果、PMIC_LPM_EN0 を使用して、VDD_CORE とすべての 1.8V アナログ電源レールへの電源オン/オフを繰り返すことができます。

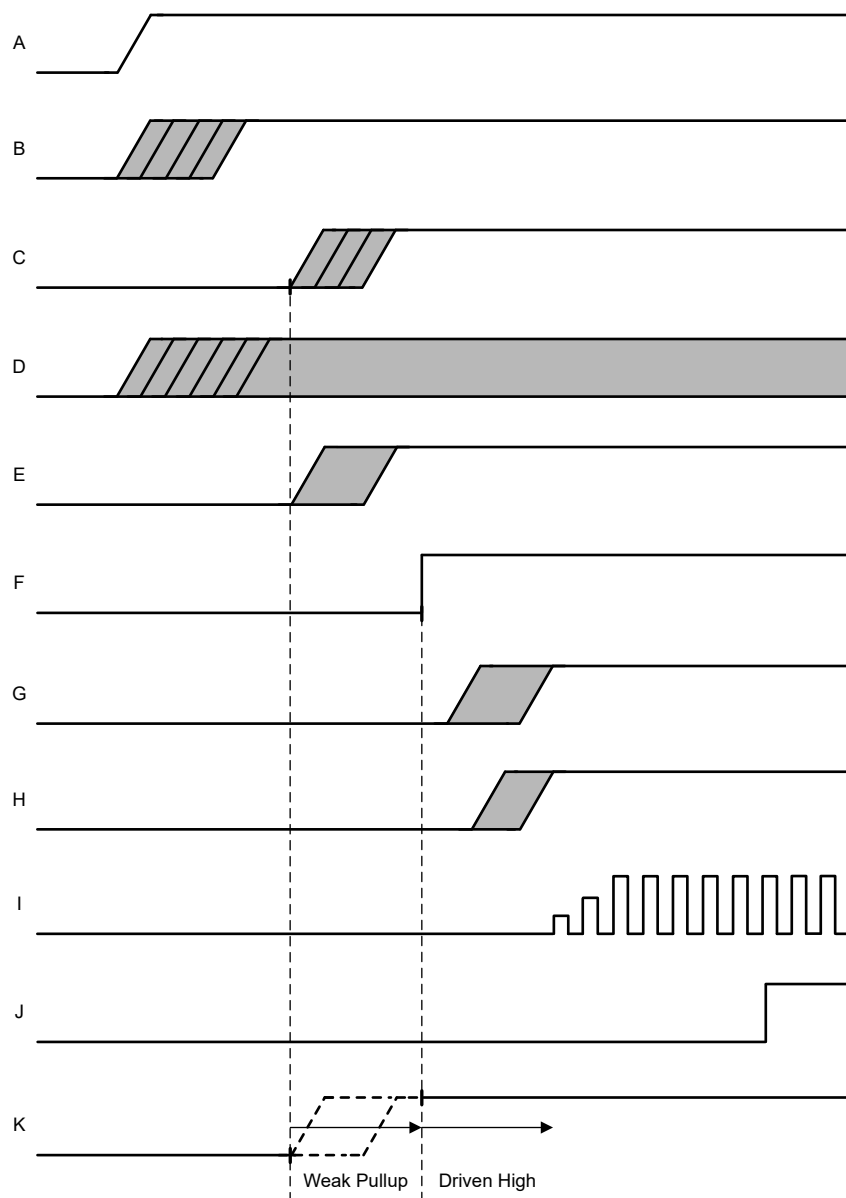


図 6-10. RTC + IO + DDR 低消費電力モードのパワーアップシーケンス

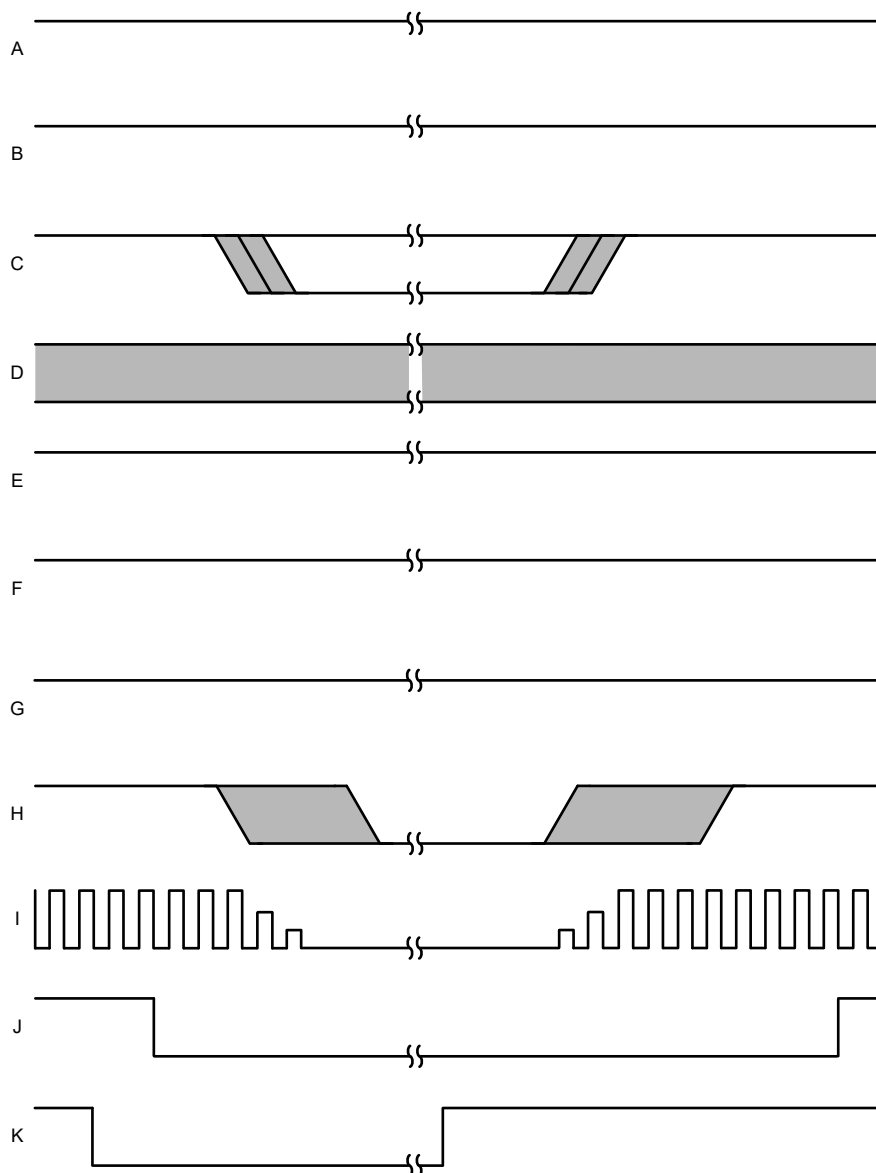


図 6-11. RTC + IO + DDR 低消費電力モードの開始/終了シーケンス

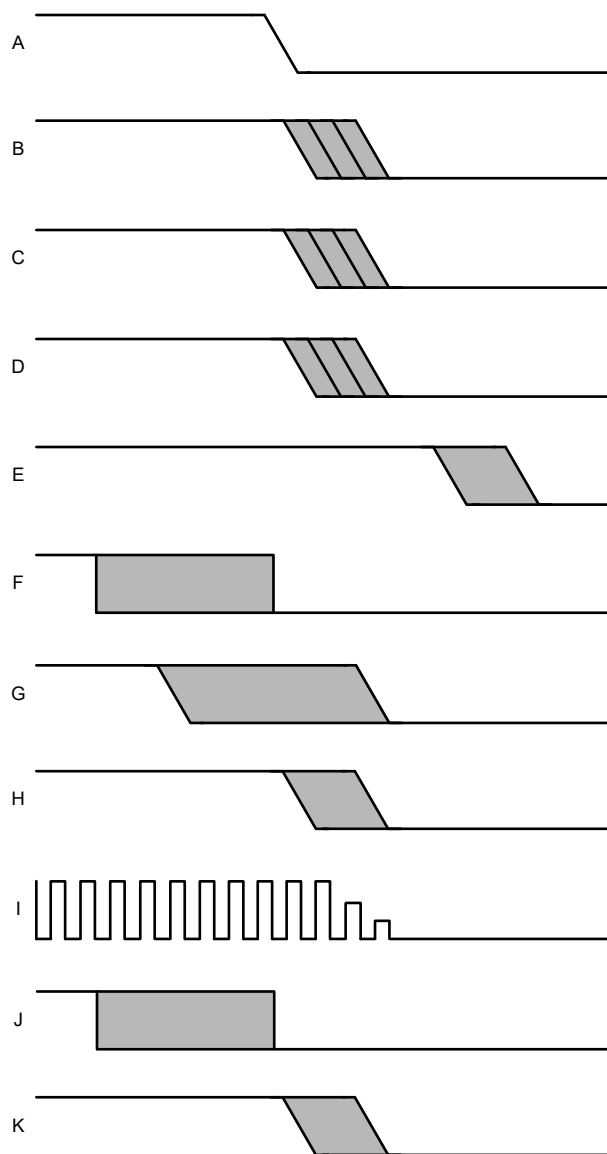


図 6-12. RTC + IO + DDR 低消費電力モードのパワーダウンシーケンス

6.11.3 システムのタイミング

サブシステム多重化信号の機能および追加の説明情報については、「信号の説明」、「詳細説明」の対応するセクションを参照してください。

6.11.3.1 リセット タイミング

このセクションの表と図では、リセット関連信号のタイミング条件、タイミング要件、スイッチング特性を定義します。

表 6-8. リセットのタイミング条件

パラメータ			最小値	最大値	単位
入力条件					
SR _I	入力スルーレート	VDD ⁽¹⁾ = 1.8V	0.0018		V/ns
		VDD ⁽¹⁾ = 3.3V	0.0033		V/ns
出力条件					
C _L	出力負荷容量			30	pF

(1) VDD は、対応する電源を表します。電源名および対応するボールの詳細については、「ピン属性」表の「電源」列を参照してください。

表 6-9. PORz のタイミング要件

図 6-13 参照

番号	パラメータ		最小値	最大値	単位
RST1	t _h (SUPPLIES_VALID - PORz)	ホールド時間、電源投入後の PORz アクティブ (低) (外部水晶振動子回路を使用)	9500000		ns
RST2		ホールド時間、電源を投入し外部クロックが安定した後 に電源投入時に PORz がアクティブ (低) になります (外部 LVCMOS クロックソースを使用)	1200		ns
RST3	t _w (PORzL)	パルス幅、電源投入後に PORz が Low の時間 (電源 またはシステム基準クロック WKUP_OSC0_XI/XO 除 去していない場合)	1200		ns

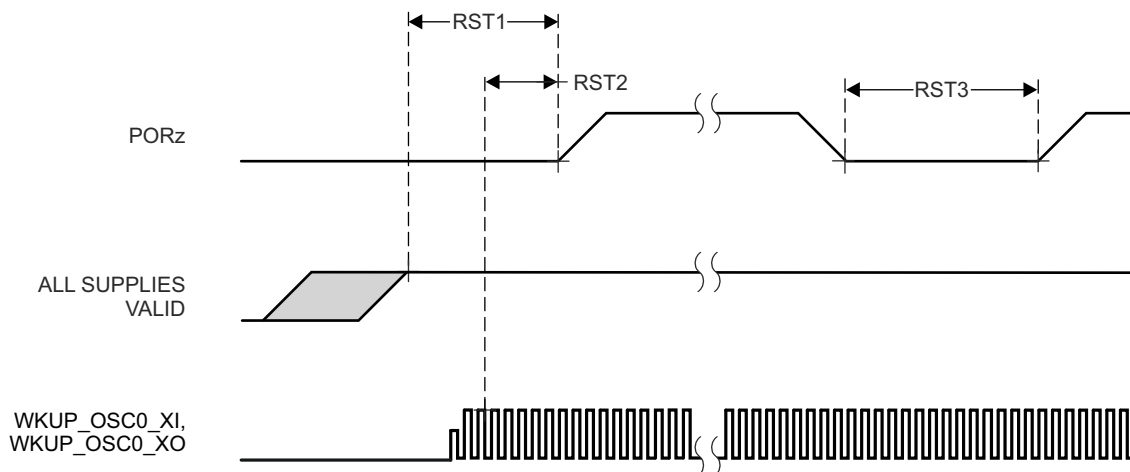


図 6-13. PORz のタイミング要件

表 6-10. RESETSTATz のスイッチング特性

図 6-14 参照

番号	パラメータ	最小値	最大値	単位
RST6	$t_d(\text{PORzL-RESETSTATzL})$ 遅延時間、PORz アクティブ (low) から RESETSTATz アクティブ (low) まで	0		ns
RST7	$t_d(\text{PORzH-RESETSTATzH})$ 遅延時間、PORz 非アクティブ (high) から RESETSTATz 非アクティブ (high) まで	$9195 \cdot S^{(1)}$		ns
RST9	$t_w(\text{RESETSTATzL})$ パルス幅、RESETSTATz low (SW_WARMRST)	$4040 \cdot S^{(1)}$		ns

(1) $S = \text{WKUP_OSC0_XI/XO}$ クロック周期 (ns)。

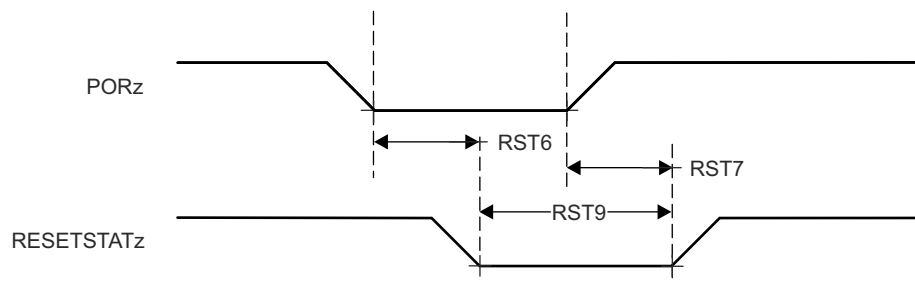


図 6-14. RESETSTATz のスイッチング特性

表 6-11. RESETz のタイミング要件

図 6-15 参照

番号	パラメータ	最小値	最大値	単位
RST10	$t_w(\text{RESETzL})^{(1)}$	パルス幅、RESETz アクティブ (low)	1200	ns

(1) このタイミング パラメータは、すべての電源が有効になり、PORz が指定された時間アサートされた後にのみ有効です。

表 6-12. RESETSTATz のスイッチング特性

図 6-15 参照

番号	パラメータ	最小値	最大値	単位
RST13	$t_d(\text{RESETzL-RESETSTATzL})$	遅延時間、RESETz アクティブ (low) から RESETSTATz アクティブ (low) まで	960	ns
RST14	$t_d(\text{RESETzH-RESETSTATzH})$	遅延時間、RESETz 非アクティブ (high) から RESETSTATz 非アクティブ (high) まで	$4040 \cdot S^{(1)}$	ns

(1) S = WKUP_OSC0_XI/XO クロック周期 (ns)。

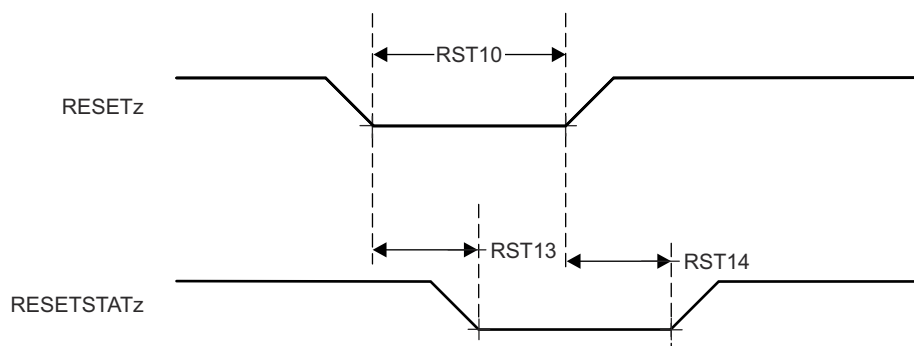


図 6-15. RESETz と RESETSTATz のタイミング要件とスイッチング特性

表 6-13. EMUx のタイミング要件

図 6-16 参照

番号	パラメータ	最小値	最大値	単位
RST18	$t_{su}(\text{EMUx-PORz})$	セットアップ時間、PORz 非アクティブ (high) までの EMU[1:0]	$3 \cdot S^{(1)}$	ns
RST19	$t_h(\text{PORz - EMUx})$	ホールド時間、PORz 非アクティブ (high) 以後の EMU[1:0]	10	ns

(1) S = WKUP_OSC0_XI/XO クロック周期 (ns)。

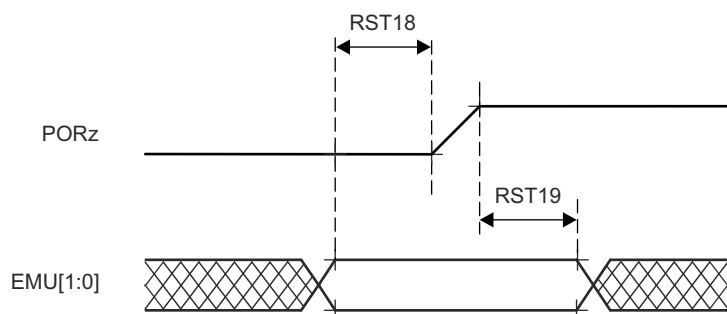


図 6-16. EMUx のタイミング要件

表 6-14. BOOTMODE のタイミング要件

図 6-17 参照

番号	パラメータ	最小値	最大値	単位
RST23	$t_{su}(\text{BOOTMODE-PORz})$ セットアップ時間、PORz high までの有効な BOOTMODE[15:00]	$3 \cdot S^{(1)}$		ns
RST24	$t_h(\text{PORz_BOOTMODE})$ ホールド時間、PORz high 以後の有効な BOOTMODE[15:00]	0		ns

(1) $S = \text{WKUP_OSC0_XI/XO}$ クロック周期 (ns)。

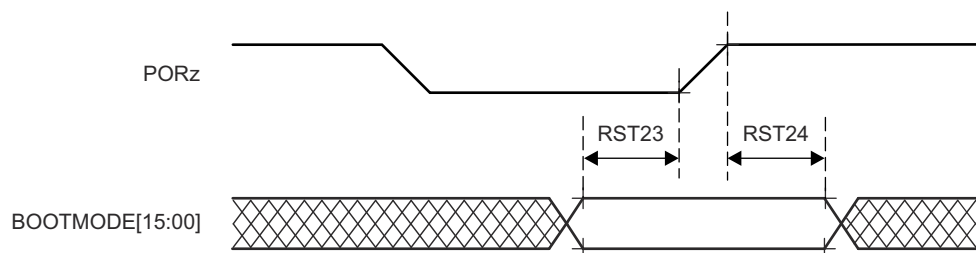


図 6-17. BOOTMODE のタイミング要件

6.11.3.2 クロックのタイミング

このセクションの表と図では、クロック信号のタイミング条件、タイミング要件、スイッチング特性を定義します。

表 6-15. クロックのタイミング条件

パラメータ		最小値	最大値	単位
入力条件				
SR _I	入力スルーレート	0.5		V/ns
出力条件				
C _L	出力負荷容量	5ns ≤ t _c < 8ns	5	pF
		8ns ≤ t _c < 20ns	10	pF
		20ns ≤ t _c	30	pF

表 6-16. クロックのタイミング要件

図 6-18 参照

番号			最小値	最大値	単位
CLK1	t _c (EXT_REFCLK1)	最小サイクル時間、EXT_REFCLK1	10		ns
CLK2	t _w (EXT_REFCLK1H)	パルス幅、EXT_REFCLK1 High	E*0.45 ⁽¹⁾	E*0.55 ⁽¹⁾	ns
CLK3	t _w (EXT_REFCLK1L)	パルス幅、EXT_REFCLK1 Low	E*0.45 ⁽¹⁾	E*0.55 ⁽¹⁾	ns
CLK1	t _c (WKUP_EXT_REFCLK0)	最小サイクル時間、WKUP_EXT_REFCLK0	10		ns
CLK2	t _w (WKUP_EXT_REFCLK0H)	パルス幅、WKUP_EXT_REFCLK0 High	F*0.45 ⁽²⁾	F*0.55 ⁽²⁾	ns
CLK3	t _w (WKUP_EXT_REFCLK0L)	パルス幅、WKUP_EXT_REFCLK0 Low	F*0.45 ⁽²⁾	F*0.55 ⁽²⁾	ns
CLK1	t _c (AUDIO_EXT_REFCLK0)	最小サイクル時間、AUDIO_EXT_REFCLK0	20		ns
CLK2	t _w (AUDIO_EXT_REFCLK0H)	パルス幅、AUDIO_EXT_REFCLK0 High	G*0.45 ⁽³⁾	G*0.55 ⁽³⁾	ns
CLK3	t _w (AUDIO_EXT_REFCLK0L)	パルス幅、AUDIO_EXT_REFCLK0 Low	G*0.45 ⁽³⁾	G*0.55 ⁽³⁾	ns
CLK1	t _c (AUDIO_EXT_REFCLK1)	最小サイクル時間、AUDIO_EXT_REFCLK1	20		ns
CLK2	t _w (AUDIO_EXT_REFCLK1H)	パルス幅、AUDIO_EXT_REFCLK1 High	H*0.45 ⁽⁴⁾	H*0.55 ⁽⁴⁾	ns
CLK3	t _w (AUDIO_EXT_REFCLK1L)	パルス幅、AUDIO_EXT_REFCLK1 Low	H*0.45 ⁽⁴⁾	H*0.55 ⁽⁴⁾	ns

(1) E = EXT_REFCLK1 サイクル時間 (ns)。

(2) F = WKUP_EXT_REFCLK0 サイクル時間 (ns)。

(3) G = AUDIO_EXT_REFCLK0 サイクル時間 (ns)。

(4) H = AUDIO_EXT_REFCLK1 サイクル時間 (ns)。

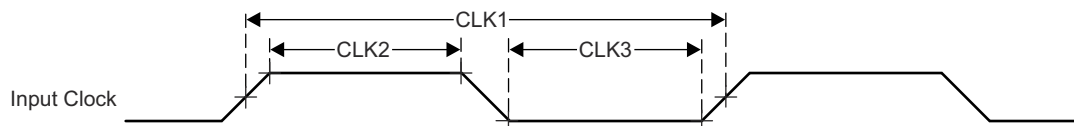


図 6-18. クロックのタイミング要件

表 6-17. クロックのスイッチング特性

図 6-19 参照

番号	パラメータ	最小値	最大値	単位
CLK4	$t_{c(OBSCLK0)}$	5		ns
CLK5	$t_{w(OBSCLK0H)}$	$B \cdot 0.45^{(1)}$	$B \cdot 0.55^{(1)}$	ns
CLK6	$t_{w(OBSCLK0L)}$	$B \cdot 0.45^{(1)}$	$B \cdot 0.55^{(1)}$	ns
CLK4	$t_{c(OBSCLK1)}$	5		ns
CLK5	$t_{w(OBSCLK1H)}$	$F \cdot 0.45^{(2)}$	$F \cdot 0.55^{(2)}$	ns
CLK6	$t_{w(OBSCLK1L)}$	$F \cdot 0.45^{(2)}$	$F \cdot 0.55^{(2)}$	ns
CLK4	$t_{c(CLKOUT0)}$	20		ns
CLK5	$t_{w(CLKOUT0H)}$	$C \cdot 0.4^{(3)}$	$C \cdot 0.6^{(3)}$	ns
CLK6	$t_{w(CLKOUT0L)}$	$C \cdot 0.4^{(3)}$	$C \cdot 0.6^{(3)}$	ns
CLK4	$t_{c(WKUP_SYSCLKOUT0)}$	10		ns
CLK5	$t_{w(WKUP_SYSCLKOUT0H)}$	$E \cdot 0.4^{(4)}$	$E \cdot 0.6^{(4)}$	ns
CLK6	$t_{w(WKUP_SYSCLKOUT0L)}$	$E \cdot 0.4^{(4)}$	$E \cdot 0.6^{(4)}$	ns
CLK4	$t_{c(WKUP_OBSCLK0)}$	5		ns
CLK5	$t_{w(WKUP_OBSCLK0H)}$	$D \cdot 0.45^{(5)}$	$D \cdot 0.55^{(5)}$	ns
CLK6	$t_{w(WKUP_OBSCLK0L)}$	$D \cdot 0.45^{(5)}$	$D \cdot 0.55^{(5)}$	ns
CLK4	$t_{c(WKUP_CLKOUT0)}$	5		ns
CLK5	$t_{w(WKUP_CLKOUT0H)}$	$W \cdot 0.4^{(6)}$	$W \cdot 0.6^{(6)}$	ns
CLK6	$t_{w(WKUP_CLKOUT0L)}$	$W \cdot 0.4^{(6)}$	$W \cdot 0.6^{(6)}$	ns
CLK4	$t_{c(AUDIO_EXT_REFCLK0)}$	20		ns
		10		ns
CLK5	$t_{w(AUDIO_EXT_REFCLK0H)}$	$G \cdot 0.4^{(7)}$	$G \cdot 0.6^{(7)}$	ns
CLK6	$t_{w(AUDIO_EXT_REFCLK0L)}$	$G \cdot 0.4^{(7)}$	$G \cdot 0.6^{(7)}$	ns
CLK4	$t_{c(AUDIO_EXT_REFCLK1)}$	20		ns
		10		ns
CLK5	$t_{w(AUDIO_EXT_REFCLK1H)}$	$J \cdot 0.4^{(8)}$	$J \cdot 0.6^{(8)}$	ns
CLK6	$t_{w(AUDIO_EXT_REFCLK1L)}$	$J \cdot 0.4^{(8)}$	$J \cdot 0.6^{(8)}$	ns

- (1) B = OBSCLK0 サイクル時間 (ns)。
(2) F = OBSCLK1 サイクル時間 (ns)。
(3) C = CLKOUT0 サイクル時間 (ns)。
(4) E = WKUP_SYSCLKOUT0 サイクル時間 (ns)。
(5) D = WKUP_OBSCLK0 サイクル時間 (ns)。
(6) W = WKUP_CLKOUT0 サイクル時間 (ns)。
(7) G = AUDIO_EXT_REFCLK0 サイクル時間 (ns)。
(8) J = AUDIO_EXT_REFCLK1 サイクル時間 (ns)。

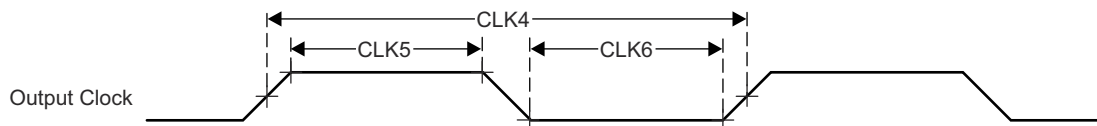


図 6-19. クロックのスイッチング特性

6.11.4 クロック仕様

6.11.4.1 入力クロック / 発振器

本デバイスを駆動するには、各種の外部クロック入力 / 出力が必要です。これらの入力クロック信号の概要は、以下のとおりです。

- WKUP_OSC0_XO/WKUP_OSC0_XI — 内部基準クロック HFOSC0_CLKOUT のデフォルト クロック ソースである 内部高周波発振器 (WKUP_HFOSC0) に接続された外部メイン水晶振動子インターフェイス ピン。
- LFOSC0_XO/LFOSC0_XI — オプションの 32768Hz 基準クロックを供給する内部低周波数発振器 (LFOSC0) に接続された外部水晶振動子インターフェイス ピン。
- 汎用クロック入力
 - WKUP_EXT_REFCLK0 — オプションの外部システム クロック。
 - EXT_REFCLK1 — オプションの外部システム クロック。
- 外部 CPTS 基準クロック入力
 - CP_GEMAC_CPTS0_RFT_CLK — CPTS_RFT_CLK のオプションの基準クロック入力。
- 外部オーディオ基準クロック入出力
 - AUDIO_EXT_REFCLK[1:0] — 入力として動作するように構成されている場合、オプションの McASP 高周波入力クロック。

入力クロック インターフェイスの詳細については、デバイス テクニカル リファレンス マニュアルの「デバイス構成」の章にある「クロック処理」のセクションを参照してください。

6.11.4.1.1 WKUP_OSC0 内部発振器クロック ソース

図 6-20 に、水晶発振器の推奨回路を示します。振動子の回路の実装に使用されるすべてのディスクリート部品は、WKUP_OSC0_XI および WKUP_OSC0_XO ピンのできるだけ近くに配置する必要があります。

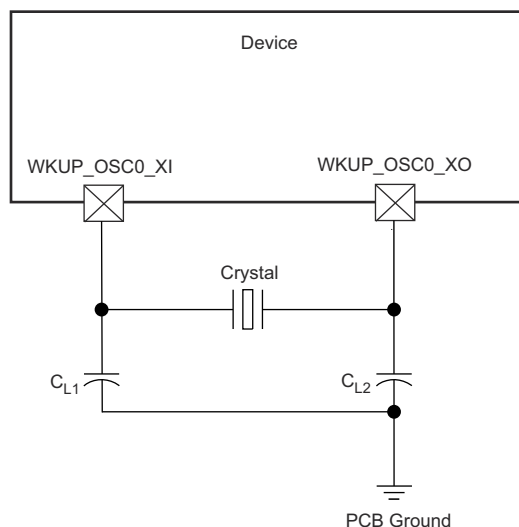


図 6-20. WKUP_OSC0 水晶振動子の実装

水晶振動子は、基本動作モード、並列共振である必要があります。表 6-18 に、必要な電氣的制約事項を示します。

表 6-18. WKUP_OSC0 水晶振動子回路の要件

パラメータ				最小値	標準値	最大値	単位
F_{xtal}	水晶振動子の並列共振周波数			25			MHz
F_{xtal}	水晶振動子の周波数安定性および許容誤差					±100	ppm
	イーサネット RGMII および RMII は未使用 派生クロックを使用するイーサネット RGMII と RMII					±50	
$C_{L1+PCBXI}$	$C_{L1} + C_{PCBXI}$ の容量			12		24	pF
$C_{L2+PCBXO}$	$C_{L2} + C_{PCBXO}$ の容量			12		24	pF
C_L	水晶振動子の負荷容量			6		12	pF
C_{shunt}	水晶発振回路のシャント容量	$ESR_{xtal} = 30\Omega$	25MHz			7	pF
		$ESR_{xtal} = 40\Omega$	25MHz			5	pF
		$ESR_{xtal} = 50\Omega$	25MHz			5	pF
ESR_{xtal}	水晶振動子の等価直列抵抗					(1)	Ω

(1) 水晶振動子の最大 ESR は、水晶振動子の周波数とシャント容量の関数です。 C_{shunt} パラメータを参照してください。

システムの設計で水晶振動子を選択するときは、ワーストケースの環境やシステムの予測寿命に基づいて、水晶振動子の温度特性および経年変化特性を考慮する必要があります。

表 6-19 に、発振器のスイッチング特性の詳細を示します。

表 6-19. WKUP_OSC0 のスイッチング特性 – 水晶振動子モード

パラメータ		最小値	標準値	最大値	単位
C_{XI}	XI 容量			0.812	pF
C_{XO}	XO 容量			0.848	pF
C_{XIXO}	XI から XO への相互容量			0.01	pF

表 6-19. WKUP_OSC0 のスイッチング特性 – 水晶振動子モード (続き)

パラメータ		最小値	標準値	最大値	単位
t_s	起動時間		4		ms

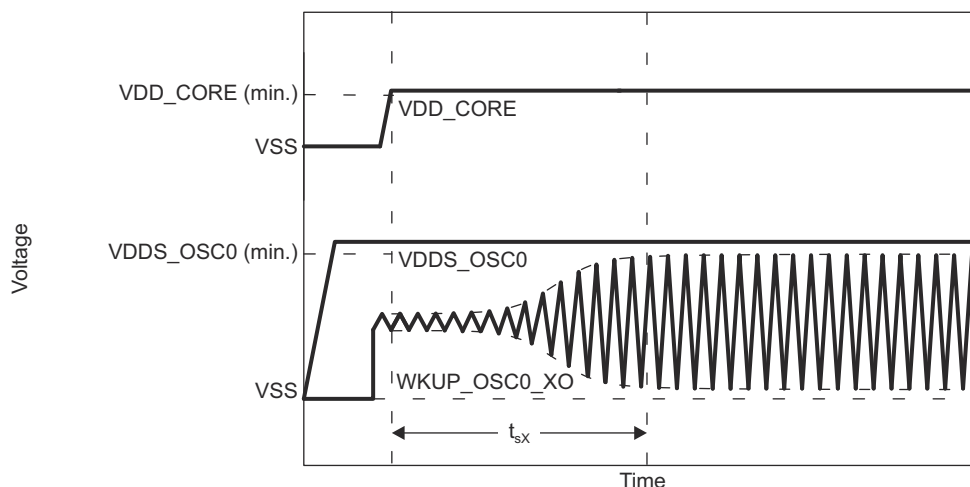


図 6-21. WKUP_OSC0 スタートアップ時間

6.11.4.1.1.1 負荷容量

水晶振動子回路は、水晶振動子メーカーの定義に従って、水晶振動子に適切な容量性負荷がかかるように設計する必要があります。この回路の容量性負荷 C_L は、ディスクリート コンデンサ C_{L1} 、 C_{L2} 、およびいくつかの寄生成分から構成されています。水晶振動子回路の部品を WKUP_OSC0_XI および WKUP_OSC0_XO に接続する PCB 信号パターンには、グラウンド への寄生容量 C_{PCBXI} および C_{PCBXO} があり、PCB 設計者は各信号パターンの寄生容量を把握する必要があります。WKUP_OSC0 回路およびデバイス パッケージには、グラウンドへの寄生容量 C_{PCBXI} および C_{PCBXO} があります。ここで、これらの寄生容量の値は、表 6-19 で定義されています。

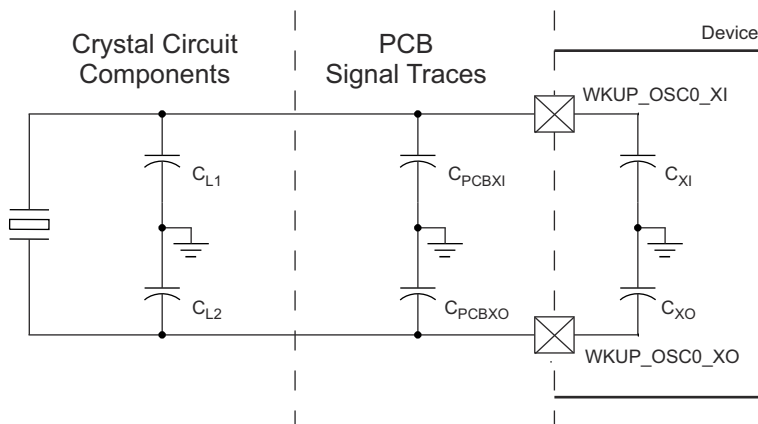


図 6-22. 負荷容量

図 6-20 の負荷コンデンサ C_{L1} および C_{L2} は、次の式が満足されるように選択する必要があります。この式の C_L は、水晶振動子のメーカーによって指定された負荷です。

$$C_L = [(C_{L1} + C_{PCBXI} + C_{XI}) \times (C_{L2} + C_{PCBXO} + C_{XO})] / [(C_{L1} + C_{PCBXI} + C_{XI}) + (C_{L2} + C_{PCBXO} + C_{XO})]$$

C_{L1} と C_{L2} の値を決定するには、まず、容量性負荷の値 C_L に 2 を乗算します。この結果に対して、 $C_{PCBXI} + C_{XI}$ の合成値を減算すれば C_{L1} の値が得られます。また、 $C_{PCBXO} + C_{XO}$ の合成値を減算すれば、 C_{L2} の値が得られます。たと

例えば、 $C_L = 10\text{pF}$ 、 $C_{PCBXI} = 2.9\text{pF}$ 、 $C_{XI} = 0.5\text{pF}$ 、 $C_{PCBXO} = 3.7\text{pF}$ 、 $C_{XO} = 0.5\text{pF}$ の場合、 $C_{L1} = [(2C_L) - (C_{PCBXI} + C_{XI})] = [(2 \times 10\text{pF}) - 2.9\text{pF} - 0.5\text{pF}] = 16.6\text{pF}$ および $C_{L2} = [(2C_L) - (C_{PCBXO} + C_{XO})] = [(2 \times 10\text{pF}) - 3.7\text{pF} - 0.5\text{pF}] = 15.8\text{pF}$ となります。

6.11.4.1.1.2 シャント容量

また、水晶振動子回路は、表 6-18 に定義された WKUP_OSC0 動作条件の最大シャント容量を超えないように設計する必要があります。水晶振動子回路のシャント容量 C_{shunt} は、水晶振動子のシャント容量と寄生成分の組み合わせです。水晶振動子回路の部品を WKUP_OSC0 に接続する PCB 信号パターンには、相互寄生容量 WKUP_OSC0 があります。PCB 設計者は、これらの信号パターン間の相互寄生容量を導出できる必要があります。デバイス パッケージには、相互寄生容量 C_{XIXO} もあります。ここで、この相互寄生容量の値は表 6-19 で定義されています。

PCB 配線は、XI 信号パターンと XO 信号パターンの間の相互容量を最小限に抑えるよう設計する必要があります。これは通常、信号パターンを短くし、近接した場所に配線しないことで行われます。レイアウトで信号を互いに近接して配線する必要がある場合は、これらの信号の間にグランドパターンを配置することで、相互容量を最小化することもできます。水晶振動子を選択する際に、可能な限り大きなマージンを確保するために、PCB 上の相互容量を最小化することが重要です。

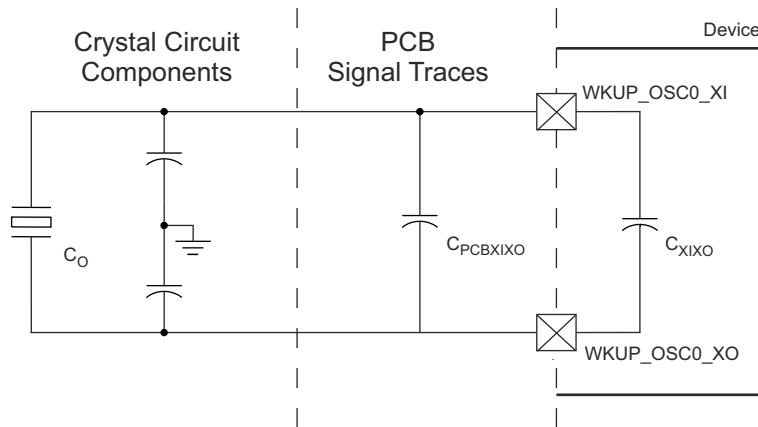


図 6-23. シャント容量

水晶振動子は、次の式が満たされるように選択する必要があります。この式の C_0 は、水晶振動子のメーカーによって指定された最大シャント容量です。

$$C_{\text{shunt}} \geq C_0 + C_{\text{PCBXIXO}} + C_{\text{XIXO}}$$

たとえば、使用する水晶振動子が $\text{ESR} = 30\Omega$ 、 $C_{\text{PCBXIXO}} = 0.04\text{pF}$ 、 $C_{\text{XIXO}} = 0.01\text{pF}$ の 25MHz であり、水晶振動子のシャント容量が 6.95pF 以下の場合、この式が満たされます。

6.11.4.1.2 WKUP_OSC0 LVCMOS デジタル クロック ソース

図 6-24 に、WKUP_OSC0_XI を 1.8V LVCMOS 方形波デジタル クロック ソースに接続する場合に推奨される発振器接続を示します。

注

1. 発振器が電源オンのとき、WKUP_OSC0_XI を DC 定常状態にすることは許容されません。WKUP_OSC0_XI は内部でコンパレータに AC 結合されており、入力に DC が印加されると未知の状態になる可能性があるため、これは許容されません。したがって、WKUP_OSC0_XI がロジック状態間をトグルしていない場合は、アプリケーション ソフトウェアで WKUP_OSC0 の電源をオフにする必要があります。
2. WKUP_OSC0_XI 入力に供給される LVCMOS クロック信号は、単調に遷移する必要があります。このクロック源は、近くに配置された直列終端抵抗を介して、ポイントツー ポイント接続で WKUP_OSC0_XI に接続する必要があります。直列終端抵抗の値は、伝送ラインのインピーダンスからクロック源の出力インピーダンスを引いた値と一致している必要があります。たとえば、クロック源の出力インピーダンスが 30Ω 、PCB 信号パターンの特性インピーダンスが 50Ω の場合、直列終端抵抗の値を 20Ω とする必要があります。こうすることで、終端されていない伝送線路の遠端から戻ってくる反射を完全に吸収し、信号に非単調イベントがまったく発生しないようにできます。
3. LVCMOS クロック源を WKUP_OSC0_XI に接続する PCB パターンの長さはできるだけ短くする必要があります。これにより、容量性負荷を小さくし、外部ノイズ源がクロック信号に結合する可能性を低めることができます。容量性負荷が小さいと、クロック信号の立ち上がり / 立ち下がり時間が短くなり、システムにジッタが発生する可能性が低下します。

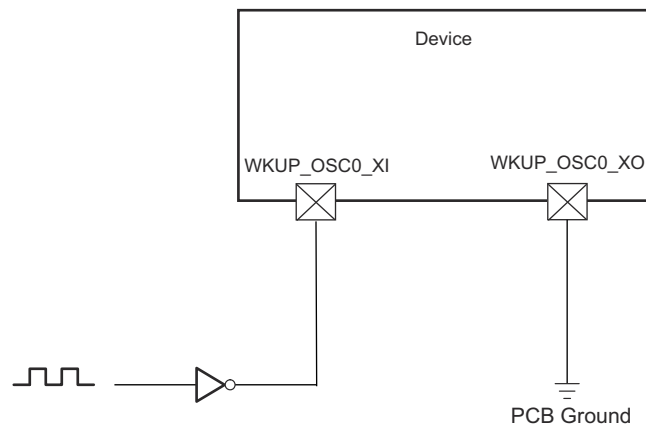


図 6-24. 1.8V LVCMOS 互換クロック入力

表 6-20. WKUP_OSC0 LVCMOS デジタル クロック ソース要件

パラメータ			最小値	標準値	最大値	単位
F _{xtal}	周波数		25			MHz
	周波数安定性および許容誤差	イーサネット RGMII および RMII は未使用	±100			ppm
		派生クロックを使用するイーサネット RGMII と RMII	±50			
DC	デューティ サイクル		45		55	%
t _{R/F}	立ち上がり / 立ち下がり時間 (10% - 90% 立ち上がり、90% - 10% 立ち下がり)				4 ⁽¹⁾	ns
J _{Period(RMS)}	周期ジッタ、RMS (100k サンプル)				20	ps
J _{Period(PK-PK)}	周期ジッタ、ピーク ツー ピーク (100k サンプル)				300	ps
J _{Phase(RMS)}	位相ジッタ、RMS (BW 100Hz~1MHz)				10 ⁽²⁾	ps

- (1) ほとんどの LVCMOS 発振器のデータシートには、PCB パターン容量と WKUP_OSC0_XI 入力容量の和に相当する実際の負荷よりもはるかに大きい容量性負荷を接続した場合の、出力の立ち上がり / 立ち下がり時間の最大値が規定されています。この要件を満たす LVCMOS 発振器を見つけるのは難しくありません。ただし、システム設計者は、選択した LVCMOS 発振器が適切な立ち上がり / 立ち下がり時間で WKUP_OSC0_XI 入力を駆動できることを確認する必要があります。
- (2) ほとんどの LVCMOS 発振器のデータシートには、このデバイスで必要とされる帯域幅積分範囲よりも大きい帯域幅積分範囲を使用した RMS 位相ジッタの最大値が規定されています。より適切な値を得るには、LVCMOS 発振器のメーカーに連絡し、このパラメータのために規定された帯域幅積分範囲と同じ帯域幅積分範囲を使った RMS 位相ジッタの最大値を提供するように依頼することも場合によっては必要です。

6.11.4.1.3 LFOSC0 内部発振器クロック ソース

図 6-25 に、水晶発振器の推奨回路を示します。量産開始前のプリント基板 (PCB) 設計には、2 つのオプション抵抗 R_{bias} および R_d を含めることを推奨します。これは、量産用の水晶振動子回路部品と組み合わせたとき、発振器が正常に動作するために抵抗が必要とされる場合に備えるものです。ほとんどの場合、 R_{bias} は 不要であり、 R_d は 0Ω 抵抗です。量産前の PCB に量産用の水晶振動子回路部品を実装して、発振器の性能を評価した後、これらの抵抗を量産 PCB の設計から取り除くこともできます。

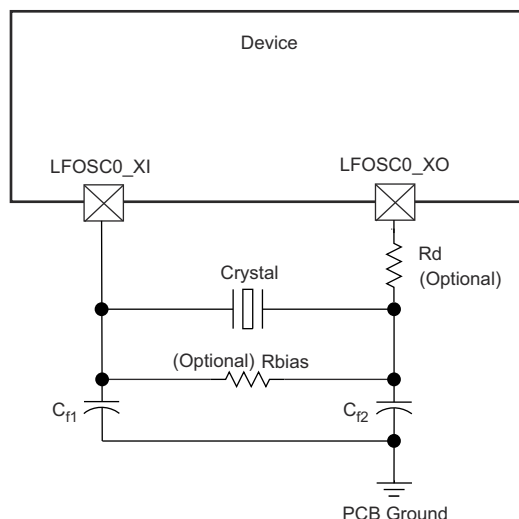


図 6-25. LFOSC0 水晶振動子の実装

表 6-21 に、LFXOSC の動作モードを示します。

表 6-21. LFXOSC 動作モード

モード	BP_C	PD_C	XI	XO	CLK_OUT	説明
アクティブ	0	0	XTAL	XTAL	CLK_OUT	アクティブ発振器モードで 32kHz を供給
パワーダウン	0	1	X	PD	Low	出力は Low にプルダウンされます。PAD はトライステート。アクティブ モードはディセーブル。
バイパス	1	0	CLK	PD	CLK	XI は外部クロック ソースによって駆動されます。XO は Low にプルダウンされます。電源に対して ESD ダイオードがあるため、発振器電源が存在しない場合は、XI を駆動しないでください。

注

ユーザーは、 $6\text{pF} \sim 9.5\text{pF}$ の範囲の CL に対して、 $\text{RTC_RTC_LFXOSC_TRIM}[18:16] \text{ i_mult} = 3\text{b}'001$ を設定する必要があります。 $8.5\text{pF} \sim 12\text{pF}$ の範囲の CL は、 $\text{RTC_RTC_LFXOSC_TRIM}[18:16] \text{ i_mult} = 3\text{b}'010$ とします。デフォルト設定は $3\text{b}'010$ です。

注

図 6-26 の負荷コンデンサ C_{f1} および C_{f2} は、次の式が満足されるように選択する必要があります。この式の C_L は、水晶振動子のメーカーによって指定された負荷です。発振器回路の実装に使用されるすべてのディスクリット部品は、関連する発振器 LFOSC0_XI、LFOSC0_XO、VSS ピンのできるだけ近くに配置する必要があります。

$$C_L = \frac{C_{f1} C_{f2}}{(C_{f1} + C_{f2})}$$

JTES_CL_00701_03

図 6-26. 負荷容量の式

水晶振動子は、基本動作モード、並列共振である必要があります。表 6-22 に、必要な電気的制約事項を示します。

表 6-22. LFOSC0 水晶振動子の電気的特性

名称	説明	最小値	標準値	最大値	単位
f _p	並列共振水晶振動子周波数	32768			Hz
	水晶振動子の周波数安定性および許容誤差	±100			PPM
C _{f1}	C _{f1} = C _{f2} の場合の水晶振動子並列共振の C _{f1} 負荷容量	12		24	pF
C _{f2}	C _{f1} = C _{f2} の場合の水晶振動子並列共振の C _{f2} 負荷容量	12		24	pF
C _{shunt}	シャント容量	ESRx _{tal} – 40kΩ		4	pF
		ESRx _{tal} – 60kΩ		3	pF
		ESRx _{tal} – 80kΩ		2	pF
		ESRx _{tal} – 100kΩ		1	pF
ESR	水晶振動子の等価直列抵抗	(1)			Ω

(1) 水晶振動子の最大 ESR は、水晶振動子の周波数とシャント容量の関数です。C_{shunt} パラメータを参照してください。

水晶振動子を選択するとき、システム設計では、ワーストケースの環境とシステムの予測寿命に基づいて、温度と経年変化特性を考慮する必要があります。

表 6-23 に、発振器のスイッチング特性と入力クロックの要件を示します。

表 6-23. LFOSC0 のスイッチング特性 – 水晶振動子モード

名称	説明	最小値	標準値	最大値	単位
f _{xtal}	発振周波数	32768			Hz
t _{sX}	スタートアップ時間	96.5			ms

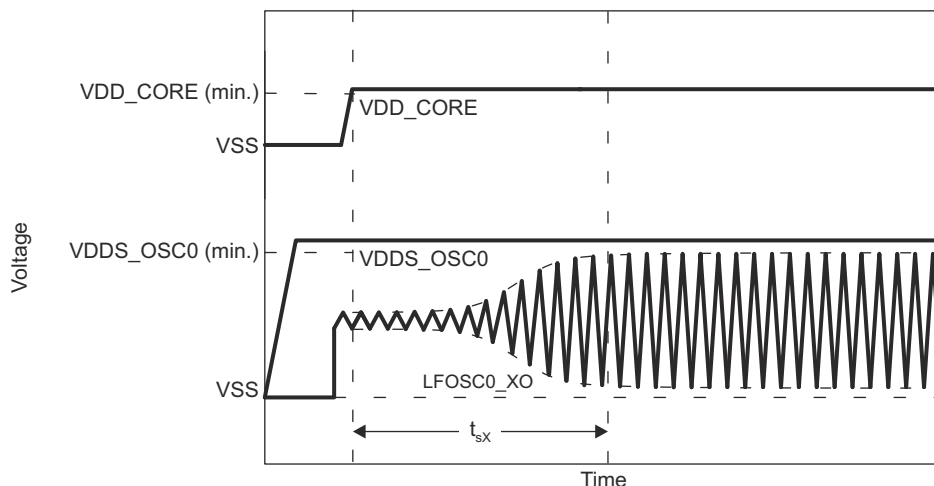


図 6-27. LFOSC0 スタートアップ時間

6.11.4.1.4 LFOSC0 LVC MOS デジタル クロック ソース

図 6-28 に、LFOSC0_XI を 1.8V LVC MOS 方形波デジタル クロック ソースに接続する場合に推奨される発振器接続を示します。

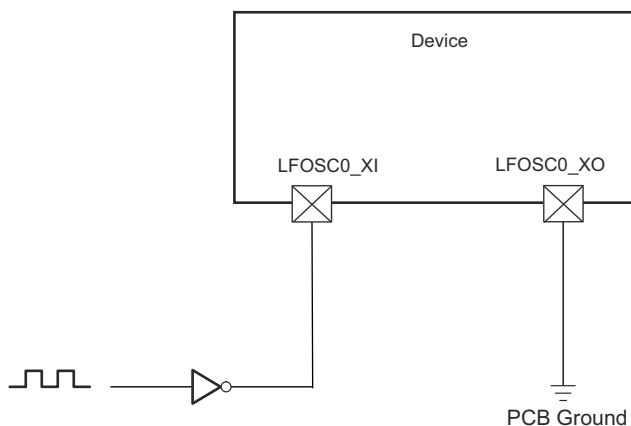


図 6-28. 1.8V LVC MOS 互換クロック入力

6.11.4.1.5 LFOSC0 を使用しない場合

図 6-29 に、LFOSC0 を使用しない場合に推奨される発振器接続を示します。

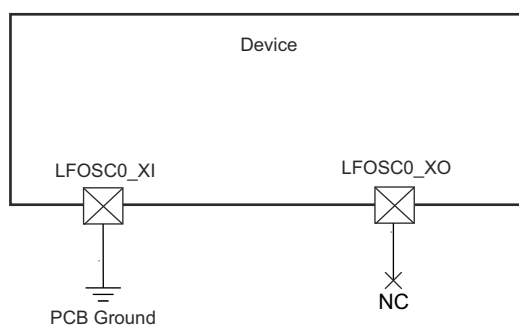


図 6-29. LFOSC0 を使用しない場合

6.11.4.2 出力クロック

このデバイスには、複数のシステム クロック出力があります。これらの出力クロックの概要は、以下のとおりです。

- **WKUP_SYSCCLKOUT0**
 - WKUP_PLL0_HSDIV0_CLKOUT (PER_SYSCCLK0) が 4 分周され、WKUP_SYSCCLKOUT0 としてデバイスから出力されます。このクロック出力は、テストとデバッグのみを目的としています。
- **WKUP_OBSCCLK0**
 - この出力は、WKUP_OBSCCLK_OUTMUX を使用して WKUP_HFOSC0 からの直接出力を選択すれば、機能クロックソースとしてのみ使用できます。
 - この出力は、他のクロックソースを選択すれば、テストおよびデバッグの目的でのみ使用できます。
- **WKUP_CLKOUT0**
 - この出力は、WKUP_CLKOUTMUX を使用して LFOSC0_CLKOUT、DEVICE_CLKOUT_32K、または WKUP_HFOSC0 からの直接出力を選択すれば、機能クロックソースとしてのみ使用できます。
 - この出力は、他のクロックソースを選択すれば、テストおよびデバッグの目的でのみ使用できます。
- **CLKOUT0**
 - CLKOUT0 は、5 分周または 10 分周されたイーサネット サブシステム クロック (MAIN_PLL0_HSDIV6_CLKOUT) です。このクロック出力は、外部 PHY へのオプションのソースとして供給されます。RMII クロック ソース (50MHz) として動作するよう構成する場合、デバイスが適切に動作するように信号をそれぞれの RMII[x]_REF_CLK ピンに配線する必要があります。
- **OBSCCLK[1:0]**
 - これらの出力は、OBSCCLK0_CTRL を使用して WKUP_HFOSC0 からの直接出力を選択すれば、機能クロックソースとしてのみ使用できます。
 - これらの出力は、他のクロックソースを選択すれば、テストおよびデバッグの目的でのみ使用できます。
- **AUDIO_EXT_REFCLK[1:0]**
 - 出力として動作するよう構成されている場合、6 つの McASP 高周波オーディオ基準クロック、MAIN_PLL0_HSDIV8_CLKOUT、または WKUP_PLL0_HSDIV1_CLKOUT のいずれかに供給可能です。

6.11.4.3 PLL

フェーズ ロック ループ回路 (PLL) の電力は、オフチップ電源から電力を得る内部レギュレータによって供給されます。

WKUP ドメインには 1 つの PLL があります。

- WKUP_PLL0 (WKUP PLL)

MAIN ドメインには 3 つの PLL があります。

- MAIN_PLL0 (MAIN PLL)
- MAIN_PLL8 (ARM0 PLL)
- MAIN_PLL17 (DSS PLL0)

いずれかの PLL 出力をクロック ソースとして構成および使用するには、基準クロック ソースのスタートアップ時間と PLL ロック要件を考慮する必要があります。デバイスの基準クロック入力要件は、[セクション 6.11.4.1](#)「入力クロック / 発振器」で定義されています。PLL 構成の詳細については、デバイスのテクニカル リファレンス マニュアルを参照してください。

PLL の詳細については、デバイスのテクニカル リファレンス マニュアルで「デバイス構成」セクションの「クロッキング」サブセクションにある「PLL」サブセクションを参照してください。

6.11.4.4 クロックおよび制御信号の遷移に関する推奨システム上の注意事項

すべてのクロック信号とストローブ信号は、 V_{IH} と V_{IL} (または V_{IL} と V_{IH}) の間で単調に遷移する必要があります。

高速な信号遷移では、単調な遷移が発生する可能性が高くなります。遷移が低速な信号に対しては、ノイズにより容易に非単調なイベントが発生します。そのため、すべてのクロック信号と制御信号で低速な信号遷移は避けてください。これは、デバイス内でグリッチが発生する可能性が高いためです。

6.11.5 ペリフェラル

6.11.5.1 CPSW3G

本デバイスのギガビット イーサネット MAC の機能の詳細と追加の説明情報については、「信号の説明」および「詳細説明」セクションの対応するサブセクションを参照してください。

6.11.5.1.1 CPSW3G MDIO のタイミング

表 6-24、表 6-25、表 6-26、図 6-30 に、CPSW3G MDIO のタイミング条件、タイミング要件、スイッチング特性を示します。

表 6-24. CPSW3G MDIO のタイミング条件

パラメータ		最小値	最大値	単位
入力条件				
SR _I	入力スルーレート	0.9	3.6	V/ns
出力条件				
C _L	出力負荷容量	10	470	pF
PCB 接続要件				
t _d (Trace Delay)	各パターンの伝搬遅延	0	5	ns
t _d (Trace Mismatch Delay)	すべてのパターンにわたる伝搬遅延の不整合		1	ns

表 6-25. CPSW3G MDIO のタイミング要件

図 6-30 参照

番号	パラメータ	最小値	最大値	単位
MDIO1	t _{su} (MDIO_MDC)	45		ns
MDIO2	t _h (MDC_MDIO)	0		ns

表 6-26. CPSW3G MDIO のスイッチング特性

図 6-30 参照

番号	パラメータ	最小値	最大値	単位
MDIO3	t _c (MDC)	400		ns
MDIO4	t _w (MDCH)	160		ns
MDIO5	t _w (MDCL)	160		ns
MDIO7	t _d (MDC_MDIO)	-10	10	ns

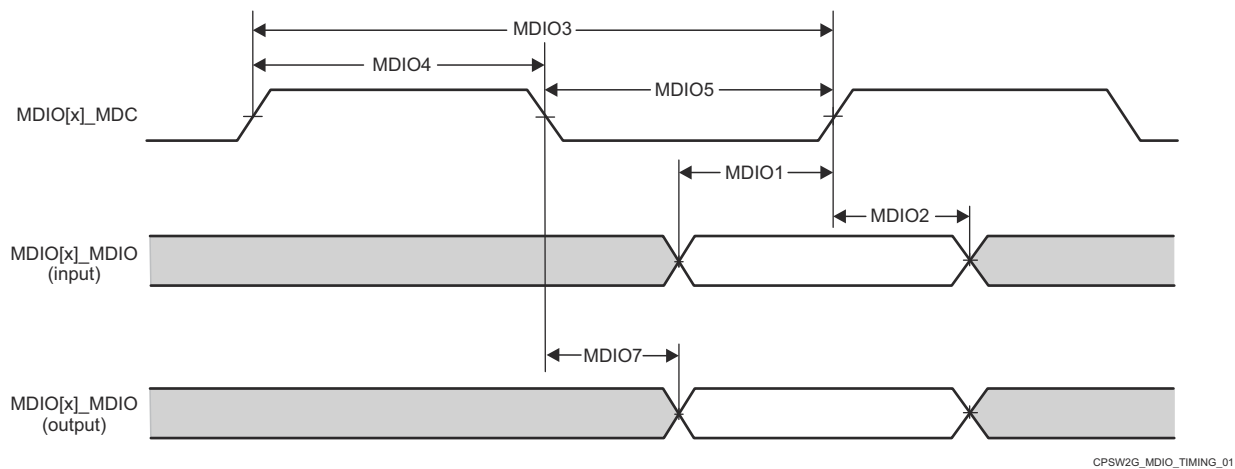


図 6-30. CPSW3G MDIO のタイミング要件およびスイッチング特性

6.11.5.1.2 CPSW3G RMII のタイミング

表 6-27、表 6-28、図 6-31、表 6-29、図 6-32、表 6-30、図 6-33 に、CPSW3G RMII のタイミング条件、タイミング要件、スイッチング特性を示します。

表 6-27. CPSW3G RMII のタイミング条件

パラメータ		最小値	最大値	単位
入力条件				
SR _I	入力スレーレート	0.18	5	V/ns
出力条件				
C _L	出力負荷容量	3	25	pF

表 6-28. RMII[x]_REF_CLK のタイミング要件 - RMII モード

図 6-31 参照

番号	パラメータ	説明	最小値	最大値	単位
RMII1	t _c (REF_CLK)	サイクル時間、RMII[x]_REF_CLK	19.999	20.001	ns
RMII2	t _w (REF_CLKH)	パルス幅、RMII[x]_REF_CLK High	7	13	ns
RMII3	t _w (REF_CLKL)	パルス幅、RMII[x]_REF_CLK Low	7	13	ns

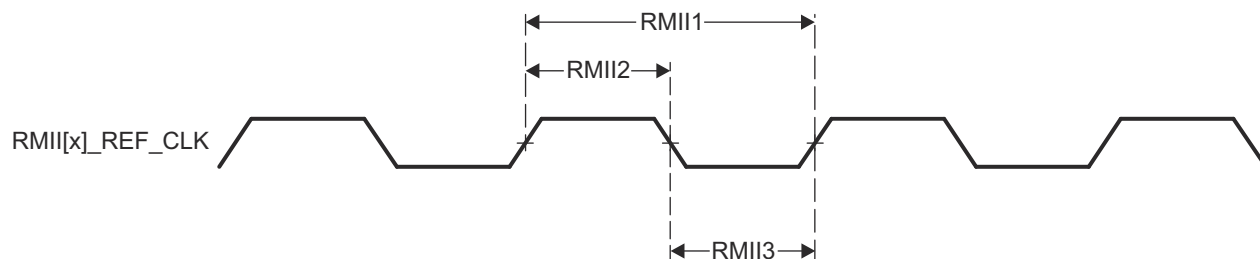


図 6-31. CPSW3G RMII[x]_REF_CLK のタイミング要件 – RMII モード

表 6-29. RMII[x]_RXD[1:0]、RMII[x]_CRS_DV、RMII[x]_RX_ER のタイミング要件 – RMII モード

図 6-32 参照

番号	パラメータ	説明	最小値	最大値	単位
RMII4	t _{su} (RXD-REF_CLK)	セットアップ時間、RMII[x]_RXD[1:0] 有効から RMII[x]_REF_CLK まで	4		ns
	t _{su} (CRS_DV-REF_CLK)	セットアップ時間、RMII[x]_CRS_DV 有効から RMII[x]_REF_CLK まで	4		ns
	t _{su} (RX_ER-REF_CLK)	セットアップ時間、RMII[x]_RX_ER 有効から RMII[x]_REF_CLK まで	4		ns
RMII5	t _h (REF_CLK-RXD)	ホールド時間、RMII[x]_REF_CLK から RMII[x]_RXD[1:0] 有効の間	2		ns
	t _h (REF_CLK-CRS_DV)	ホールド時間、RMII[x]_REF_CLK から RMII[x]_CRS_DV 有効の間	2		ns
	t _h (REF_CLK-RX_ER)	ホールド時間、RMII[x]_REF_CLK から RMII[x]_RX_ER 有効の間	2		ns

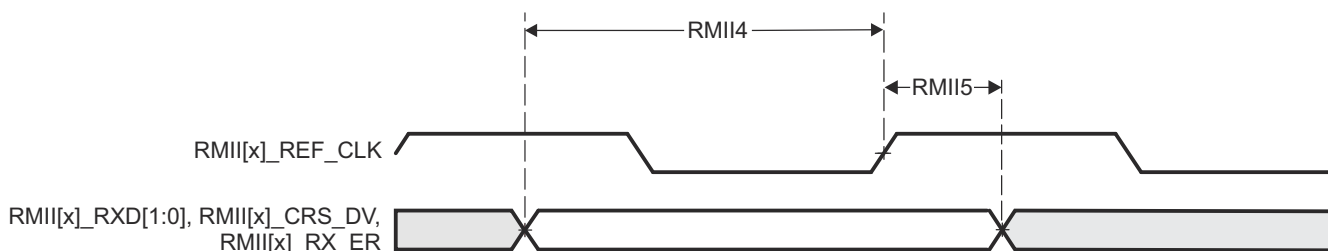


図 6-32. CPSW3G RMII[x]_RXD[1:0]、RMII[x]_CRS_DV、RMII[x]_RX_ER のタイミング要件 – RMII モード

表 6-30. RMII[x]_TXD[1:0]、RMII[x]_TX_EN のスイッチング特性 – RMII モード

図 6-33 参照

番号	パラメータ	説明	最小値	最大値	単位
RMII6	$t_{d(REF_CLK-TXD)}$	遅延時間、RMII[x]_REF_CLK High から RMII[x]_TXD[1:0] 有効まで	2	10	ns
	$t_{d(REF_CLK-TX_EN)}$	遅延時間、RMII[x]_REF_CLK から RMII[x]_TX_EN 有効まで	2	10	ns

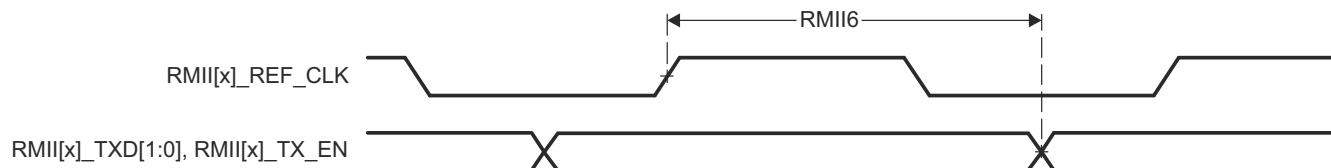


図 6-33. RMII[x]_TXD[1:0]、RMII[x]_TX_EN のスイッチング特性 – RMII モード

6.11.5.1.3 CPSW3G RGMII のタイミング

表 6-31、表 6-32、表 6-33、図 6-34、表 6-34、表 6-35、図 6-35 に、CPSW3G RGMII のタイミング条件、タイミング要件、スイッチング特性を示します。

表 6-31. CPSW3G RGMII のタイミング条件

パラメータ			最小値	最大値	単位
入力条件					
SR _I	入力スルーレート		1.44	5	V/ns
出力条件					
C _L	出力負荷容量		2	20	pF
PCB 接続要件					
t _d (Trace Mismatch Delay)	すべてのパターンにわたる伝搬遅延の不整合	RGMII[x]_RXC、 RGMII[x]_RD[3:0] 、 RGMII[x]_RX_CTL		50	ps
		RGMII[x]_TXC、 RGMII[x]_TD[3:0] 、 RGMII[x]_TX_CTL		50	ps

表 6-32. RGMII[x]_RXC のタイミング要件 – RGMII モード

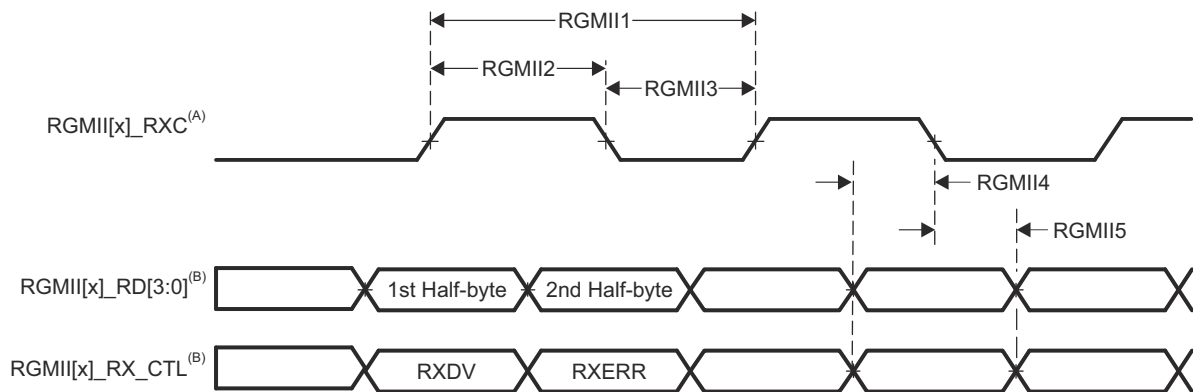
図 6-34 参照

番号	パラメータ	説明	モード	最小値	最大値	単位
RGMII1	$t_c(RXC)$	サイクル時間、RGMII[x]_RXC	10Mbps	360	440	ns
			100Mbps	36	44	ns
			1000Mbps	7.2	8.8	ns
RGMII2	$t_w(RXCH)$	パルス幅、RGMII[x]_RXC high	10Mbps	160	240	ns
			100Mbps	16	24	ns
			1000Mbps	3.6	4.4	ns
RGMII3	$t_w(RXCL)$	パルス幅、RGMII[x]_RXC low	10Mbps	160	240	ns
			100Mbps	16	24	ns
			1000Mbps	3.6	4.4	ns

表 6-33. RGMII[x]_RD[3:0] と RGMII[x]_RX_CTL のタイミング要件 – RGMII モード

図 6-34 参照

番号	パラメータ	説明	モード	最小値	最大値	単位
RGMII4	$t_{su}(RD-RXC)$	セットアップ時間、RGMII[x]_RD[3:0] 有効から RGMII[x]_RXC High/Low まで	10Mbps	1		ns
			100Mbps	1		ns
			1000Mbps	1		ns
	$t_{su}(RX_CTL-RXC)$	セットアップ時間、RGMII[x]_RX_CTL 有効から RGMII[x]_RXC High/Low まで	10Mbps	1		ns
			100Mbps	1		ns
			1000Mbps	1		ns
RGMII5	$t_h(RXC-RD)$	ホールド時間、RGMII[x]_RXC High/Low から RGMII[x]_RD[3:0] 有効の間	10Mbps	1		ns
			100Mbps	1		ns
			1000Mbps	1		ns
	$t_h(RXC-RX_CTL)$	ホールド時間、RGMII[x]_RXC High/Low から RGMII[x]_RX_CTL 有効の間	10Mbps	1		ns
			100Mbps	1		ns
			1000Mbps	1		ns



- A. RGMII[x]_RXC は、データピンと制御ピンに対して、外部的に遅延させる必要があります。
- B. データおよび制御情報は、クロックの両方のエッジを使用して受信されます。RGMII[x]_RD[3:0] は、RGMII[x]_RXC の立ち上がりエッジでデータビット 3～0 を、RGMII[x]_RXC の立ち下がりエッジでデータビット 7～4 を伝送します。同様に、RGMII[x]_RX_CTL は、RGMII[x]_RXC の立ち上がりエッジで RXDV を、RGMII[x]_RXC の立ち下がりエッジで RXERR を伝送します。

図 6-34. CPSW3G RGMII[x]_RXC、RGMII[x]_RD[3:0]、RGMII[x]_RX_CTL のタイミング要件 - RGMII モード

表 6-34. RGMII[x]_TXC のスイッチング特性 – RGMII モード

図 6-35 参照

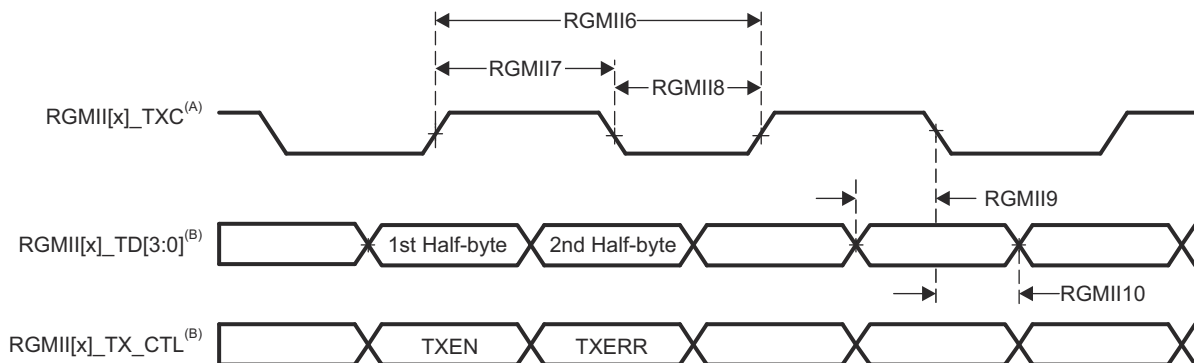
番号	パラメータ	説明	モード	最小値	最大値	単位
RGMII6	$t_c(\text{TxC})$	サイクル時間、RGMII[x]_TxC	10Mbps	360	440	ns
			100Mbps	36	44	ns
			1000Mbps	7.2	8.8	ns
RGMII7	$t_w(\text{TXCH})$	パルス幅、RGMII[x]_TxC high	10Mbps	160	240	ns
			100Mbps	16	24	ns
			1000Mbps	3.6	4.4	ns
RGMII8	$t_w(\text{TXCL})$	パルス幅、RGMII[x]_TxC low	10Mbps	160	240	ns
			100Mbps	16	24	ns
			1000Mbps	3.6	4.4	ns

表 6-35. RGMII[x]_TD[3:0]、RGMII[x]_TX_CTL のスイッチング特性 – RGMII モード

図 6-35 参照

番号	パラメータ	説明	モード	最小値	最大値	単位
RGMII9	$t_{\text{osu}}(\text{TD-TXC})$	出力セットアップ時間 ⁽¹⁾ 、RGMII[x]_TD[3:0] 有効から RGMII[x]_TxC High/Low まで	10Mbps	1.2		ns
			100Mbps	1.2		ns
			1000Mbps	1.2		ns
	$t_{\text{osu}}(\text{TX_CTL-TXC})$	出力セットアップ時間 ⁽¹⁾ 、RGMII[x]_TX_CTL 有効から RGMII[x]_TxC High/Low まで	10Mbps	1.2		ns
			100Mbps	1.2		ns
			1000Mbps	1.2		ns
RGMII10	$t_{\text{oh}}(\text{TxC-TD})$	出力ホールド時間 ⁽¹⁾ 、RGMII[x]_TxC High/Low から RGMII[x]_TD[3:0] 有効の間	10Mbps	1.2		ns
			100Mbps	1.2		ns
			1000Mbps	1.2		ns
	$t_{\text{oh}}(\text{TxC-TX_CTL})$	出力ホールド時間 ⁽¹⁾ 、RGMII[x]_TxC High/Low から RGMII[x]_TX_CTL 有効の間	10Mbps	1.2		ns
			100Mbps	1.2		ns
			1000Mbps	1.2		ns

- (1) 出力のセットアップ / ホールド時間は、送信クロック出力に対する送信データと制御出力の遅延関係を定義しますが、この出力の関係は、接続されたレシーバに供給される最小セットアップ / ホールド時間として示されています。このアプローチは、RGMII 仕様での出力タイミング関係の定義方法と一致しています。



- A. TxC は内部で遅延されてから、RGMII[x]_TxC ピンを駆動します。この内部遅延は常にインネーブルになっています。
- B. データおよび制御情報は、クロックの両方のエッジを使用して受信されます。RGMII[x]_TD[3:0] は、RGMII[x]_TxC の立ち上がりエッジでデータビット 3~0 を、RGMII[x]_TxC の立ち下がりエッジでデータビット 7~4 を伝送します。同様に、RGMII[x]_TX_CTL は RGMII[x]_TxC の立ち上がりエッジで TXEN を、RGMII[x]_TxC の立ち下がりエッジで TXERR を伝送します。

図 6-35. CPSW3G RGMII[x]_TxC、RGMII[x]_TD[3:0]、RGMII[x]_TX_CTL のスイッチング特性 – RGMII モード

6.11.5.2 CPTS

表 6-36、表 6-37、図 6-36、表 6-38、図 6-37 に、CPTS のタイミング条件、タイミング要件、スイッチング特性を示します。

表 6-36. CPTS のタイミング条件

パラメータ		最小値	最大値	単位
入力条件				
SR _I	入力スルーレート	0.5	5	V/ns
出力条件				
C _L	出力負荷容量	2	10	pF

表 6-37. CPTS のタイミング要件

図 6-36 参照

番号	パラメータ	説明	最小値	最大値	単位
T1	t _w (HWTSPUSHH)	パルス幅、HWnTSPUSH High	12P ⁽¹⁾ + 2		ns
T2	t _w (HWTSPUSHL)	パルス幅、HWnTSPUSH Low	12P ⁽¹⁾ + 2		ns
T3	t _c (RFT_CLK)	サイクル時間、RFT_CLK	5	8	ns
T4	t _w (RFT_CLKH)	パルス幅、RFT_CLK high	0.45T ⁽²⁾		ns
T5	t _w (RFT_CLKL)	パルス幅、RFT_CLK low	0.45T ⁽²⁾		ns

(1) P = 機能クロック周期 (ns 単位)。

(2) T = RFT_CLK サイクル時間 (ns 単位)。

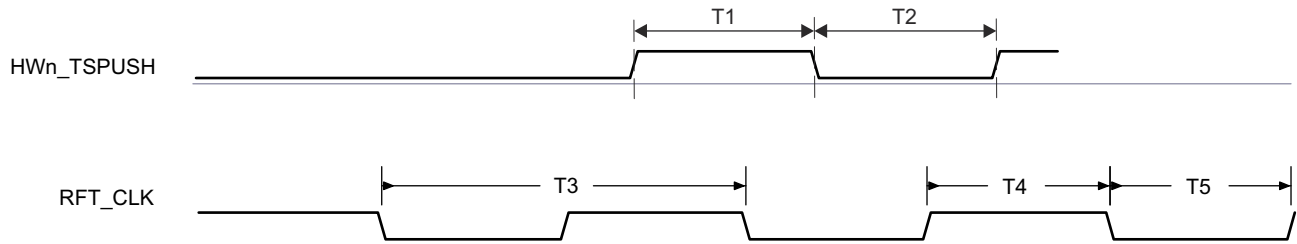


図 6-36. CPTS のタイミング要件

表 6-38. CPTS スイッチング特性

図 6-37 参照

番号	パラメータ	説明	ソース	最小値	最大値	単位
T6	$t_w(\text{TS_COMPH})$	パルス幅、TS_COMP high		$36P^{(1)} - 2$		ns
T7	$t_w(\text{TS_COMPL})$	パルス幅、TS_COMP low		$36P^{(1)} - 2$		ns
T8	$t_w(\text{TS_SYNCH})$	パルス幅、TS_SYNC high		$36P^{(1)} - 2$		ns
T9	$t_w(\text{TS_SYNCL})$	パルス幅、TS_SYNC low		$36P^{(1)} - 2$		ns
T10	$t_w(\text{SYNCn_OUTH})$	パルス幅、SYNCn_OUT High	TS_SYNC	$36P^{(1)} - 2$		ns
			GENF	$5P^{(1)} - 2$		ns
T11	$t_w(\text{SYNCn_OUTL})$	パルス幅、SYNCn_OUT Low	TS_SYNC	$36P^{(1)} - 2$		ns
			GENF	$5P^{(1)} - 2$		ns

(1) P = 機能クロック周期 (ns 単位)。

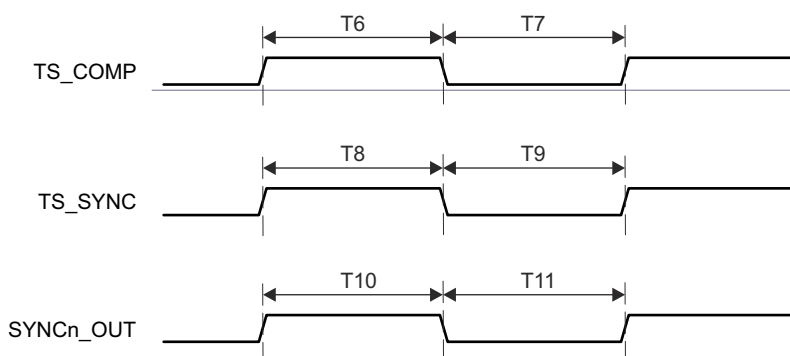


図 6-37. CPTS スイッチング特性

詳細については、デバイスのテクニカル リファレンス マニュアルで「共通プラットフォーム時間同期 (CPTS)」の章を参照してください。

6.11.5.3 DDRSS

本デバイスの (LP)DDR4 メモリ インターフェイスの機能の詳細と追加の説明情報については、「信号の説明」および「詳細説明」セクションの対応するサブセクションを参照してください。

表 6-39 および 図 6-38 に、DDRSS のスイッチング特性を示します。

表 6-39. DDRSS スイッチング特性

図 6-38 参照

番号	パラメータ	DDR タイプ	最小値	最大値	単位
1	$t_{c(DDR_CKP/DDR_CKN)}$ サイクル時間、DDR_CKP および DDR_CKN	LPDDR4	1.25 ⁽¹⁾	20	ns
		DDR4	1.25 ⁽¹⁾	1.6	ns

(1) 最小 DDR クロック サイクル時間は、システムで使用されている特定のメモリ タイプ (ベンダ) と PCB 実装に基づいて制限されます。最大 DDR 周波数を実現するための適切な PCB 実装については、『DDR 基板の設計およびレイアウトのガイドライン』を参照してください。

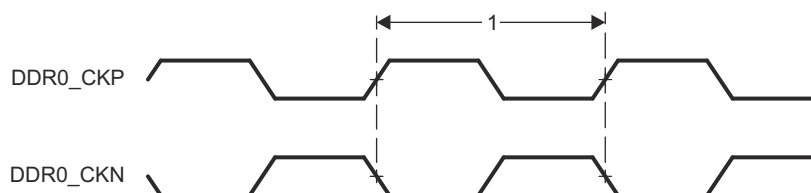


図 6-38. DDRSS スイッチング特性

詳細については、デバイスのテクニカル リファレンス マニュアルで「メモリ コントローラ」の章にある「DDR サブシステム (DDRSS)」セクションを参照してください。

6.11.5.4 DSI

注

詳細については、デバイスのテクニカル リファレンス マニュアルの「MIPI ディスプレイ シリアル インターフェイス (DSI) コントローラ」セクションを参照してください。DSI トランスミッタ コントローラは、DSITXn というデバイス ポート インスタンスに接続します (「n」はインスタンス番号)。

DSI トランスミッタ コントローラと関連する D-PHY は、MIPI D-PHY 仕様 v1.2 および MIPI DSI 仕様 v1.3 に準拠した DSI ポート (DSITX0) を実装しており、同期ダブル データ レート モードで動作する 4 つの差動データ レーンと 1 つの差動クロック レーンを備えています。DSI タイミングの詳細については、上記の各 MIPI 仕様を参照してください。

- 各レーンで最大 2.5Gbps の 1、2、3、4 レーン データ転送モードを最大 4.8Gbps までサポート

6.11.5.5 DSS

表 6-40、表 6-41、図 6-39、表 6-42 および 図 6-40 に、DSS のタイミング条件、タイミング要件、スイッチング特性を示します。

表 6-40. DSS のタイミング条件

パラメータ		最小値	最大値	単位
入力条件				
SR _I	入力スループレート	1.44	26.4	V/ns
出力条件				
C _L	出力負荷容量	1.5	5	pF
PCB 接続要件				
t _d (Trace Mismatch Delay)	すべてのパターンにわたる伝搬遅延の不整合		100	ps

表 6-41. DSS 外部ピクセル クロックのタイミング要件

図 6-39 参照

番号			最小値	最大値	単位
D6	t _c (extpclkin)	サイクル時間、VOUT(x)_EXTPCLKIN ⁽²⁾	6.06		ns
D7	t _w (extpclkinL)	パルス幅、VOUT(x)_EXTPCLKIN ⁽²⁾ low	0.475P ⁽¹⁾		ns
D8	t _w (extpclkinH)	パルス幅、VOUT(x)_EXTPCLKIN ⁽²⁾ high	0.475P ⁽¹⁾		ns

(1) P = VOUT(x)_EXTPCLKIN サイクル時間 (ns)

(2) VOUT(x) = 0 の x

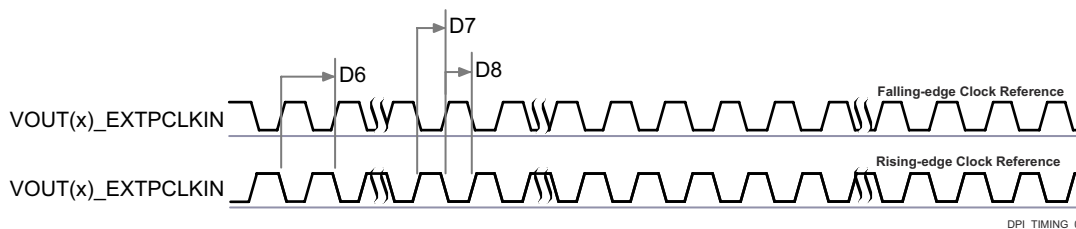


図 6-39. DSS 外部ピクセル クロックのタイミング要件

表 6-42. DSS スイッチング特性

図 6-40 参照

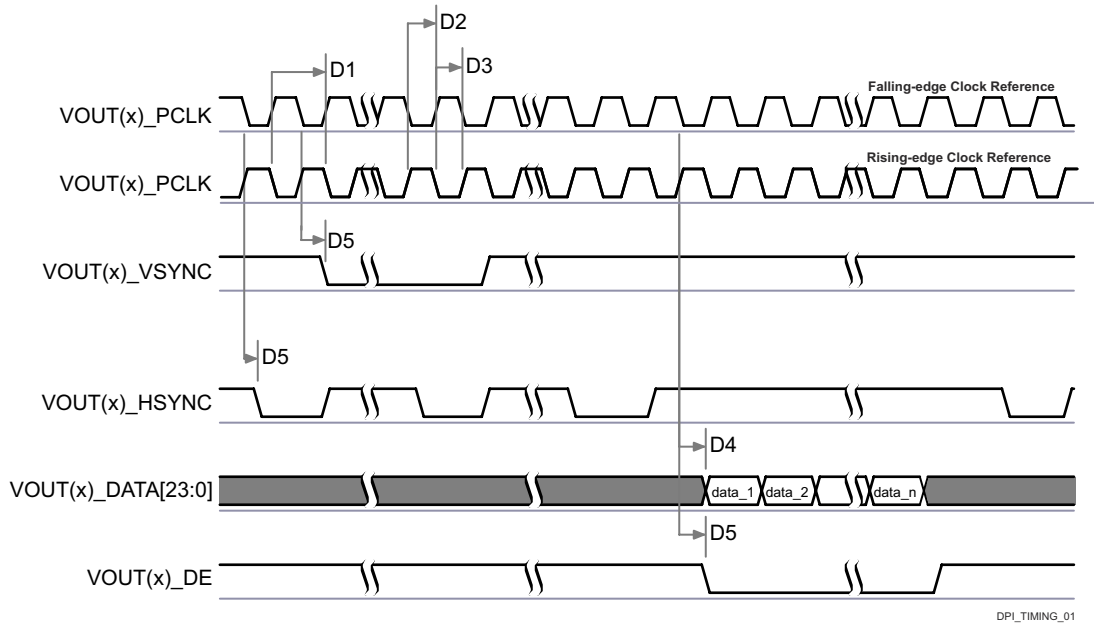
番号	パラメータ		モード	最小値	最大値	単位
D1	$t_{c(pclk)}$	サイクル時間、VOUT(x)_PCLK ⁽²⁾		6.06		ns
D2	$t_{w(pclkL)}$	パルス幅、VOUT(x)_PCLK ⁽²⁾ low	内蔵 PLL	$0.475P^{(1)} - 0.3$		ns
			EXTPCLKIN	$Y^{(3)} - 0.45$		ns
D3	$t_{w(pclkH)}$	パルス幅、VOUT(x)_PCLK ⁽²⁾ high	内蔵 PLL	$0.475P^{(1)} - 0.3$		ns
			EXTPCLKIN	$Z^{(4)} - 0.45$		ns
D4	$t_{d(pclkV-dataV)}$	遅延時間、VOUT(x)_PCLK ⁽²⁾ 遷移から VOUT(x)_DATA[23:0] (2) 遷移まで	内蔵 PLL	-0.68	1.78	ns
			EXTPCLKIN	-0.68	1.78	ns
D5	$t_{d(pclkV-ctrl)}$	遅延時間、VOUT(x)_PCLK ⁽²⁾ 遷移から制御信号 VOUT(x)_VSYNC ⁽²⁾ 、VOUT(x)_HSYNC ⁽²⁾ 、VOUT(x)_DE ⁽²⁾ 立ち下がりエッジまで	内蔵 PLL	-0.68	1.78	ns
			EXTPCLKIN	-0.68	1.78	ns

(1) $P = VOUT(x)_PCLK$ サイクル時間 (ns)

(2) $VOUT(x) = 0$ の x

(3) $Y = t_{w(extpclkL)}$ 、表 6-41 のパラメータ D7、DSS 外部ピクセル クロックのタイミング要件

(4) $Z = t_{w(extpclkH)}$ 、表 6-41 のパラメータ D8、DSS 外部ピクセル クロックのタイミング要件



- データのアサートは、ピクセル クロックの立ち下がりエッジまたは立ち上がりエッジで発生するようにプログラムできます。デバイスのテクニカル リファレンス マニュアルで「ペリフェラル」の章にある「ディスプレイ サブシステム (DSS)」セクションを参照してください。
- VOUT(x)_HSYNC および VOUT(x)_VSYNC の極性とパルス幅はプログラム可能です。デバイスのテクニカル リファレンス マニュアルで「ペリフェラル」の章にある「ディスプレイ サブシステム (DSS)」セクションを参照してください。
- VOUT(x)_PCLK 周波数は設定できます。デバイスのテクニカル リファレンス マニュアルで「ペリフェラル」の章にある「ディスプレイ サブシステム」セクションを参照してください。

図 6-40. DSS スイッチング特性

デバイスのテクニカル リファレンス マニュアルで「ペリフェラル」の章にある「ディスプレイ サブシステム (DSS) およびペリフェラル」セクションを参照してください。

6.11.5.6 ECAP

表 6-43、表 6-44、図 6-41、表 6-45、図 6-42 に、ECAP のタイミング条件、タイミング要件、スイッチング特性を示します。

表 6-43. ECAP のタイミング条件

パラメータ		最小値	最大値	単位
入力条件				
SR _I	入力スローレート	1	4	V/ns
出力条件				
C _L	出力負荷容量	2	7	pF

表 6-44. ECAP のタイミング要件

図 6-41 参照

番号	パラメータ	説明	最小値	最大値	単位
CAP1	t _w (CAP)	パルス幅、CAP (非同期)	2P ⁽¹⁾ + 2		ns

(1) P = MAIN_PLL0_HSDIV6 周期 (ns 単位)。

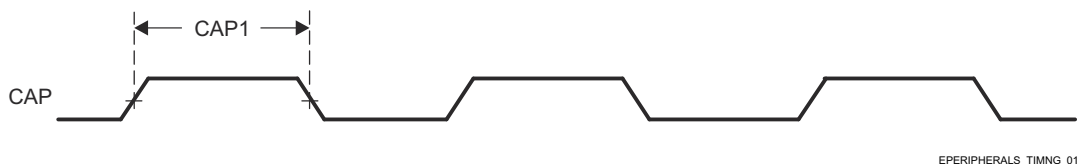


図 6-41. ECAP のタイミング要件

表 6-45. ECAP スwitching特性

図 6-42 参照

番号	パラメータ	説明	最小値	最大値	単位
CAP2	t _w (APWM)	パルス幅、APWMx High/Low	2P ⁽¹⁾ - 2		ns

(1) P = MAIN_PLL0_HSDIV6 周期 (ns 単位)。

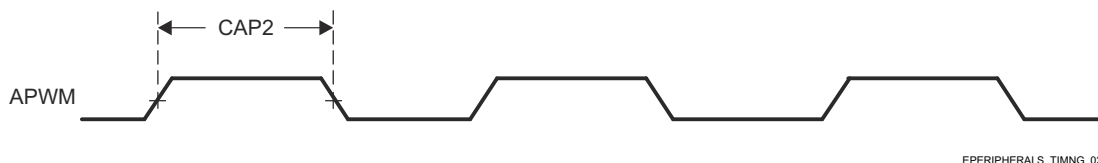


図 6-42. ECAP スwitching特性

詳細については、デバイス TRM のテクニカル リファレンス マニュアルで「ペリフェラル」の章にある「拡張キャプチャ (ECAP) モジュール」セクションを参照してください。

6.11.5.7 エミュレーションおよびデバッグ

本デバイスのトレースおよび JTAG インターフェイスの機能および追加の説明情報については、「信号の説明」および「詳細説明」セクションの対応するサブセクションを参照してください。

6.11.5.7.1 トレース

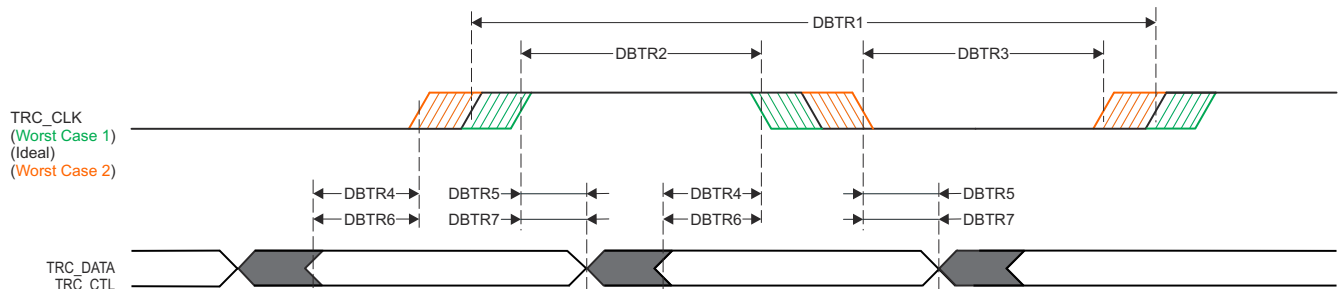
表 6-46. トレースのタイミング条件

パラメータ		最小値	最大値	単位
出力条件				
C_L	出力負荷容量	2	5	pF
PCB 接続要件				
t_d (Trace Mismatch)	すべてのパターンにわたる伝搬遅延の不整合		150	ps

表 6-47. トレースのスイッチング特性

図 6-43 参照

番号	パラメータ		最小値	最大値	単位
1.8V モード					
DBTR1	$t_{\text{c}}(\text{TRC_CLK})$	サイクル時間、TRC_CLK	6.83		ns
DBTR2	$t_{\text{w}}(\text{TRC_CLKH})$	パルス幅、TRC_CLK High	2.66		ns
DBTR3	$t_{\text{w}}(\text{TRC_CLKL})$	パルス幅、TRC_CLK Low	2.66		ns
DBTR4	$t_{\text{osu}}(\text{TRC_DATAV-TRC_CLK})$	出力セットアップ時間、TRC_DATA 有効から TRC_CLK エッジまで	0.85		ns
DBTR5	$t_{\text{oh}}(\text{TRC_CLK-TRC_DATAI})$	出力ホールド時間、TRC_CLK エッジから TRC_DATA 無効まで	0.85		ns
DBTR6	$t_{\text{osu}}(\text{TRC_CTLV-TRC_CLK})$	出力セットアップ時間、TRC_CTL 有効から TRC_CLK エッジまで	0.85		ns
DBTR7	$t_{\text{oh}}(\text{TRC_CLK-TRC_CTLI})$	出力ホールド時間、TRC_CLK エッジから TRC_CTL 無効まで	0.85		ns
3.3V モード					
DBTR1	$t_{\text{c}}(\text{TRC_CLK})$	サイクル時間、TRC_CLK	8.78		ns
DBTR2	$t_{\text{w}}(\text{TRC_CLKH})$	パルス幅、TRC_CLK High	3.64		ns
DBTR3	$t_{\text{w}}(\text{TRC_CLKL})$	パルス幅、TRC_CLK Low	3.64		ns
DBTR4	$t_{\text{osu}}(\text{TRC_DATAV-TRC_CLK})$	出力セットアップ時間、TRC_DATA 有効から TRC_CLK エッジまで	1.10		ns
DBTR5	$t_{\text{oh}}(\text{TRC_CLK-TRC_DATAI})$	出力ホールド時間、TRC_CLK エッジから TRC_DATA 無効まで	1.10		ns
DBTR6	$t_{\text{osu}}(\text{TRC_CTLV-TRC_CLK})$	出力セットアップ時間、TRC_CTL 有効から TRC_CLK エッジまで	1.10		ns
DBTR7	$t_{\text{oh}}(\text{TRC_CLK-TRC_CTLI})$	出力ホールド時間、TRC_CLK エッジから TRC_CTL 無効まで	1.10		ns



SPRS008_Debug_01

図 6-43. トレースのスイッチング特性

6.11.5.7.2 JTAG

表 6-48. JTAG のタイミング条件

パラメータ		最小値	最大値	単位
入力条件				
SR _I	入力スルーレート	0.5	2.0	V/ns
出力条件				
C _L	出力負荷容量	5	15	pF
PCB 接続要件				
t _d (Trace Delay)	各パターンの伝搬遅延	83.5	1000 ⁽¹⁾	ps
t _d (Trace Mismatch Delay)	すべてのパターンにわたる伝搬遅延の不整合		100	ps

- (1) JTAG 信号トレースに関連する最大伝搬遅延は、最大 TCK 動作周波数に大きな影響を及ぼします。トレース遅延をこの値より大きくすることも可能ですが、追加のトレース遅延を考慮して TCK の動作周波数を下げる必要があります。

表 6-49. JTAG のタイミング要件

図 6-44 参照

番号			最小値	最大値	単位
J1	t _c (TCK)	最小サイクル時間、TCK	40 ⁽¹⁾		ns
J2	t _w (TCKH)	最小パルス幅、TCK High	0.4P ⁽²⁾		ns
J3	t _w (TCKL)	最小パルス幅、TCK Low	0.4P ⁽²⁾		ns
J4	t _{su} (TDI-TCK)	最小入力セットアップ時間、TDI 有効から TCK High まで	2		ns
	t _{su} (TMS-TCK)	最小入力セットアップ時間、TMS 有効から TCK High まで	2		ns
J5	t _h (TCK-TDI)	最小入力ホールド時間、TCK High から TDI 有効の間	2		ns
	t _h (TCK-TMS)	最小入力ホールド時間、TCK High から TMS 有効の間	2		ns

- (1) 最大 TCK 動作周波数は、接続されているデバッガについて、以下のタイミング要件とスイッチング特性を想定しています。デバッガがこれらの前提のいずれかを上回る場合、適切なタイミング マージンを確保するために、TCK の動作周波数を下げる必要があります。

- 最小 TDO セットアップ時間は、TCK の立ち上がりエッジに対して 2ns
- TCK の立ち下がりエッジに対して -13.9ns~13.9ns の範囲の TDI および TMS 出力遅延

- (2) P = TCK サイクル時間 (ns 単位)

表 6-50. JTAG スイッチング特性

図 6-44 参照

番号		パラメータ	最小値	最大値	単位
J6	t _d (TCKL-TDOI)	最小遅延時間、TCK Low から TDO 無効まで	0		ns
J7	t _d (TCKL-TDOV)	最大遅延時間、TCK Low から TDO 有効まで		8	ns

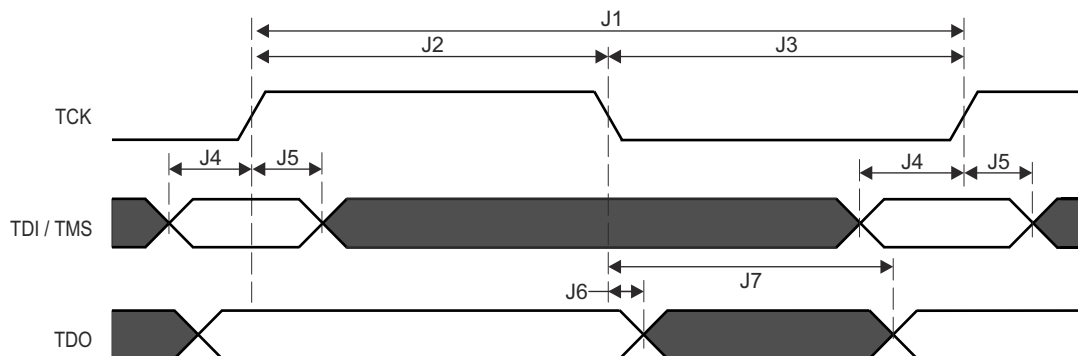


図 6-44. JTAG のタイミング要件およびスイッチング特性

6.11.5.8 EPWM

表 6-51、表 6-52、図 6-45、表 6-53、図 6-46、図 6-47、図 6-48 に、EPWM のタイミング条件、タイミング要件、スイッチング特性を示します。

表 6-51. EPWM のタイミング条件

パラメータ		最小値	最大値	単位
入力条件				
SR _I	入力スルーレート	1	4	V/ns
出力条件				
C _L	出力負荷容量	2	7	pF

表 6-52. EPWM のタイミング要件

図 6-45 参照

番号	パラメータ	説明	最小値	最大値	単位
PWM6	t _w (SYNCl)	パルス幅、EHRPWM_SYNCl	2P ⁽¹⁾ + 2		ns
PWM7	t _w (TZ)	パルス幅、EHRPWM_TZn_IN low	3P ⁽¹⁾ + 2		ns

(1) P = MAIN_PLL0_HSDIV6 周期 (ns 単位)。

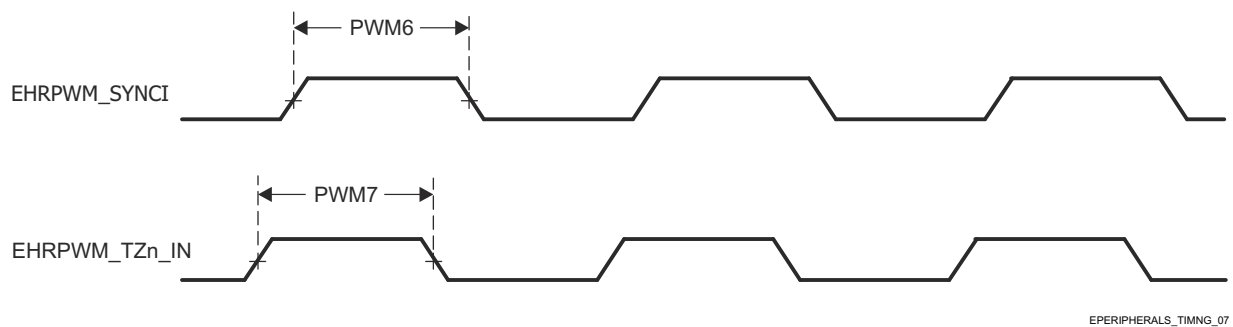


図 6-45. EPWM のタイミング要件

表 6-53. EPWM スイッチング特性

図 6-46、図 6-47、図 6-48 を参照

番号	パラメータ	説明	最小値	最大値	単位
PWM1	$t_w(\text{PWM})$	パルス幅、EHRPWM_A/B High または Low	$P^{(1)} - 3$		ns
PWM2	$t_w(\text{SYNCO})$	パルス幅、EHRPWM_SYNCO	$P^{(1)} - 3$		ns
PWM3	$t_d(\text{TZ-PWM})$	遅延時間、EHRPWM_TZn_IN アクティブから EHRPWM_A/B が強制的に High/Low になるまで		11	ns
PWM4	$t_d(\text{TZ-PWMZ})$	遅延時間、EHRPWM_TZn_IN アクティブから EHRPWM_A/B Hi-Z まで		11	ns
PWM5	$t_w(\text{SOC})$	パルス幅、EHRPWM_SOC/A/B 出力	$P^{(1)} - 3$		ns

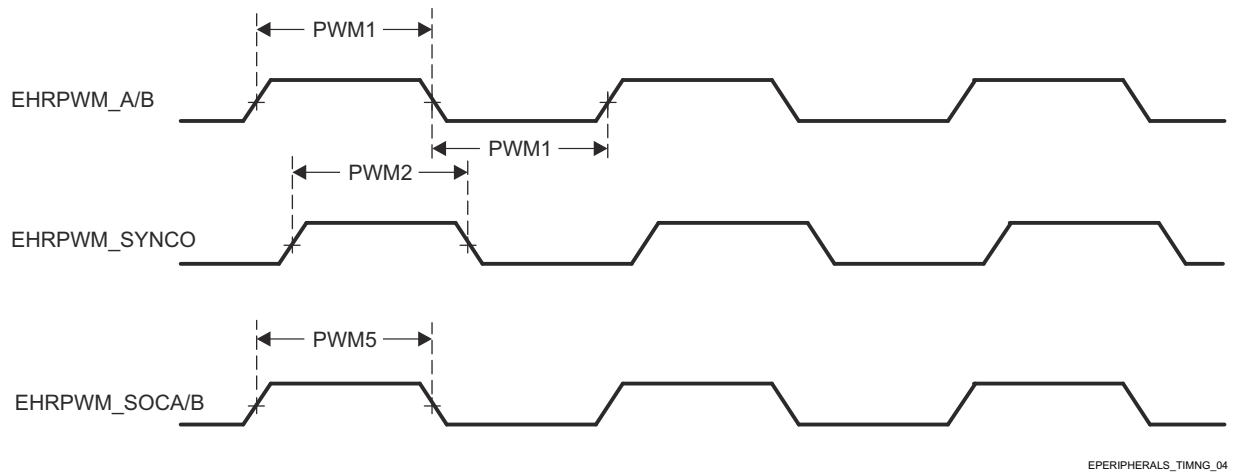
(1) $P = \text{MAIN_PLL0_HSDIV6 周期 (ns 単位)}$ 。

図 6-46. EHRPWM スイッチング特性

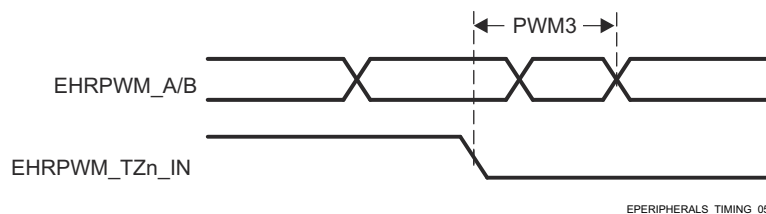


図 6-47. EHRPWM_TZn_IN から EHRPWM_A/B 強制へのスイッチング特性

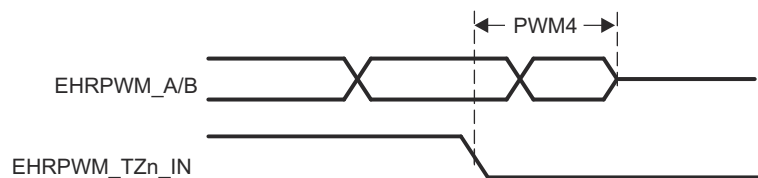


図 6-48. EHRPWM_TZn_IN から EHRPWM_A/B Hi-Z へのスイッチング特性

詳細については、デバイスのテクニカル リファレンス マニュアルで「ペリフェラル」の章にある「拡張パルス幅変調 (EPWM) モジュール」セクションを参照してください。

6.11.5.9 EQEP

表 6-54、表 6-55、図 6-49、表 6-56 に、EQEP のタイミング条件、タイミング要件、スイッチング特性を示します。

表 6-54. EQEP のタイミング条件

パラメータ		最小値	最大値	単位
入力条件				
SR _I	入力スルーレート	1	4	V/ns
出力条件				
C _L	出力負荷容量	2	7	pF

表 6-55. EQEP のタイミング要件

図 6-49 参照

番号	パラメータ	説明	最小値	最大値	単位
QEP1	t _w (QEP)	パルス幅、QEP_A/B	2P ⁽¹⁾ + 2		ns
QEP2	t _w (QEP _I H)	パルス幅、QEP_I high	2P ⁽¹⁾ + 2		ns
QEP3	t _w (QEP _I L)	パルス幅、QEP_I low	2P ⁽¹⁾ + 2		ns
QEP4	t _w (QEP _S H)	パルス幅、QEP_S high	2P ⁽¹⁾ + 2		ns
QEP5	t _w (QEP _S L)	パルス幅、QEP_S low	2P ⁽¹⁾ + 2		ns

(1) P = MAIN_PLL0_HSDIV6 周期 (ns 単位)。

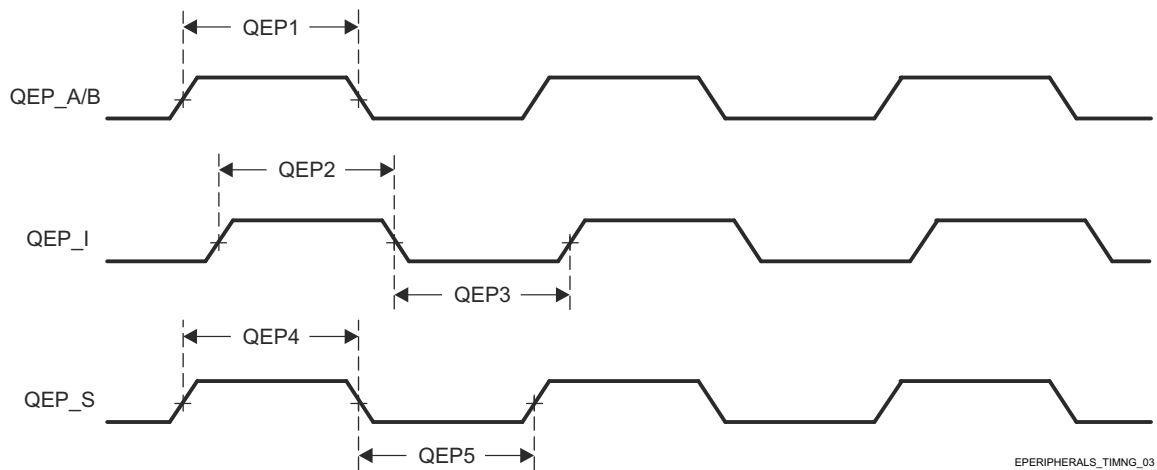


図 6-49. EQEP のタイミング要件

表 6-56. EQEP スwitching 特性

番号	パラメータ	説明	最小値	最大値	単位
QEP6	t _d (QEP-CNTR)	遅延時間、外部クロックからカウンタ インクリメントまで		24	ns

詳細については、デバイスのテクニカル リファレンス マニュアルで「ペリフェラル」の章にある「拡張直交エンコーダ パルス (eQEP) モジュール」セクションを参照してください。

6.11.5.10 GPIO

表 6-57、表 6-58、表 6-59 に、GPIO のタイミング条件、タイミング要件、スイッチング特性を示します。

このデバイスには、2 つの GPIO モジュール インスタンスがあります。

- GPIO0
- WKUP_GPIO0

注

GPIO_n_x は、GPIO 信号を記述するために使用される一般的な名前です。ここで、n は特定の GPIO モジュールを表し、x はモジュールに関連付けられた入出力信号の 1 つを表します。

本デバイスの GPIO の追加の説明情報については、「信号の説明」および「詳細説明」セクションの対応するサブセクションを参照してください。

表 6-57. GPIO のタイミング条件

パラメータ		バッファのタイプ	最小値	最大値	単位
入力条件					
SR _I	入力スルーレート	LVC MOS (VDD ⁽¹⁾ = 1.8V)	0.0018	6.6	V/ns
		LVC MOS (VDD ⁽¹⁾ = 3.3V)	0.0033	6.6	V/ns
		I2C OD FS (VDD ⁽¹⁾ = 1.8V)	0.0018	6.6	V/ns
		I2C OD FS (VDD ⁽¹⁾ = 3.3V)	0.0033	0.08	V/ns
出力条件					
C _L	出力負荷容量	LVC MOS	3	10	pF
		I2C OD FS	3	100	pF

(1) VDD は、対応する電源を表します。電源名および対応するボールの詳細については、「ピン属性」表の「電源」列を参照してください。

表 6-58. GPIO のタイミング要件

番号	パラメータ	説明	最小値	最大値	単位
GPIO1	t _w (GPIO_IN)	パルス幅、GPIO _n _x	2P ⁽¹⁾ + 30		ns

(1) P = 機能クロック周期 (ns 単位)。

表 6-59. GPIO スイッチング特性

番号	パラメータ	説明	バッファのタイプ	最小値	最大値	単位
GPIO2	t _w (GPIO_OUT)	パルス幅、GPIO _n _x	LVC MOS	0.975P ⁽¹⁾ - 3.6		ns
			I2C OD FS	160		ns

(1) P = 機能クロック周期 (ns 単位)。

詳細については、デバイスのテクニカル リファレンス マニュアルで「ペリフェラル」の章にある「汎用インターフェイス (GPIO)」セクションを参照してください。

6.11.5.11 GPMC

本デバイスの汎用メモリ コントローラの機能の詳細と追加の説明情報については、「信号の説明」および「詳細説明」セクションの対応するサブセクションを参照してください。

表 6-60 に、GPMC のタイミング条件を示します。

表 6-60. GPMC のタイミング条件

パラメータ			最小値	最大値	単位
入力条件					
SR _i	入力スルーレート		1.65	4	V/ns
出力条件					
C _L	出力負荷容量		2	20	pF
PCB 接続要件					
t _d (Trace Delay)	各パターンの伝搬遅延	133MHz 同期モード	140	360	ps
		その他のすべてのモード	140	720	ps
t _d (Trace Mismatch Delay)	すべてのパターンにわたる伝搬遅延の不整合			200	ps

詳細については、デバイスのテクニカル リファレンス マニュアルで「ペリフェラル」の章にある「汎用メモリ コントローラ (GPMC)」セクションを参照してください。

6.11.5.11.1 GPMC および NOR フラッシュ — 同期モード

表 6-61 および 表 6-62 に、GPMC および NOR フラッシュ (同期モード) のタイミング要件とスイッチング特性を示します。

表 6-61. GPMC および NOR フラッシュのタイミング要件 — 同期モード

図 6-50、図 6-51、図 6-54 を参照

番号	パラメータ	説明	最小値	最大値	単位
F12	t _{su} (dV-clkH)	セットアップ時間、GPMC_CLK High の前に GPMC_AD[15:0] 有効	0.92		ns
F13	t _h (clkH-dV)	ホールド時間、GPMC_CLK High の後 GPMC_AD[15:0] 有効	2.09		ns
F21	t _{su} (waitV-clkH)	セットアップ時間、GPMC_CLK が High になる前に GPMC_WAIT[j] ^{(1) (2)} が有効	0.92		ns
F22	t _h (clkH-waitV)	ホールド時間、 ^{(1) (2)} GPMC_CLK が High になった後に GPMC_WAIT[j] が有効	2.09		ns

(1) GPMC_WAIT[j] で、j は 0 または 1 です。

(2) 待機モニタリングのサポートは、WaitMonitoringTime の値 > 0 に制限されます。待機監視機能の詳細な説明については、デバイスのテクニカル リファレンス マニュアルで「汎用メモリ コントローラ (GPMC)」セクションを参照してください。

表 6-62. GPMC および NOR フラッシュのスイッチング特性 - 同期モード

図 6-50、図 6-51、図 6-52、図 6-53、図 6-54 を参照

番号	パラメータ	説明	最小値	最大値	単位
F0	t _c (clk)	サイクル時間、GPMC_CLK ⁽¹⁶⁾	7.52		ns
F1	t _w (clkH)	標準パルス期間、GPMC_CLK high	0.475P ⁽¹³⁾ - 0.3		ns
F1	t _w (clkL)	標準パルス期間、GPMC_CLK low	0.475P ⁽¹³⁾ - 0.3		ns
F2	t _d (clkH-csnV)	遅延時間、GPMC_CLK 立ち上がりエッジから GPMC_CSn[i] 遷移まで ⁽¹²⁾	F ⁽⁵⁾ - 2.2	F ⁽⁵⁾ + 3.75	ns

表 6-62. GPMC および NOR フラッシュのスイッチング特性 - 同期モード (続き)

図 6-50、図 6-51、図 6-52、図 6-53、図 6-54 を参照

番号	パラメータ	説明	最小値	最大値	単位
F3	$t_{d(\text{clkH-CSn}[i]V)}$	遅延時間、GPMC_CLK 立ち上がりエッジから GPMC_CS <i>n</i> [<i>i</i>] 無効まで ⁽¹²⁾	D ⁽⁴⁾ - 2.2	D ⁽⁴⁾ + 4.5	ns
F4	$t_{d(aV\text{-clk})}$	遅延時間、GPMC_A[27:1] が有効になってから GPMC_CLK 最初のエッジまで	B ⁽²⁾ - 2.3	B ⁽²⁾ + 4.5	ns
F5	$t_{d(\text{clkH-aIV})}$	遅延時間、GPMC_CLK 立ち上がりエッジから GPMC_A[27:1] 無効まで	-2.3	4.5	ns
F6	$t_{d(\text{be}[x]nV\text{-clk})}$	遅延時間、GPMC_BE0 <i>n</i> _CLE、GPMC_BE1 <i>n</i> から GPMC_CLK の最初のエッジまで有効	B ⁽²⁾ - 2.3	B ⁽²⁾ + 1.9	ns
F7	$t_{d(\text{clkH-be}[x]nIV})}$	遅延時間、GPMC_CLK 立ち上がりエッジから GPMC_BE0 <i>n</i> _CLE、GPMC_BE1 <i>n</i> 無効まで	D ⁽⁴⁾ - 2.3	D ⁽⁴⁾ + 1.9	ns
F8	$t_{d(\text{clkH-advn})}$	遅延時間、GPMC_CLK 立ち上がりエッジから GPMC_ADV <i>n</i> _ALE 遷移まで	G ⁽⁶⁾ - 2.3	G ⁽⁶⁾ + 4.5	ns
F9	$t_{d(\text{clkH-advnIV})}$	遅延時間、GPMC_CLK 立ち上がりエッジから GPMC_ADV <i>n</i> _ALE 無効まで	D ⁽⁴⁾ - 2.3	D ⁽⁴⁾ + 4.5	ns
F10	$t_{d(\text{clkH-oen})}$	遅延時間、GPMC_CLK 立ち上がりエッジから GPMC_OE <i>n</i> _RE <i>n</i> 遷移まで	H ⁽⁷⁾ - 2.3	H ⁽⁷⁾ + 3.5	ns
F11	$t_{d(\text{clkH-oenIV})}$	遅延時間、GPMC_CLK 立ち上がりエッジから GPMC_OE <i>n</i> _RE <i>n</i> 無効まで	D ⁽⁴⁾ - 2.3	D ⁽⁴⁾ + 3.5	ns
F14	$t_{d(\text{clkH-wen})}$	遅延時間、GPMC_CLK 立ち上がりエッジから GPMC_WE <i>n</i> 遷移まで	I ⁽⁸⁾ - 2.3	I ⁽⁸⁾ + 4.5	ns
F15	$t_{d(\text{clkH-do})}$	遅延時間、GPMC_CLK 立ち上がりエッジから GPMC_AD[15:0] 遷移まで ⁽⁹⁾	- 2.3	2.7	ns
F15	$t_{d(\text{clkL-do})}$	遅延時間、GPMC_CLK 立ち下がりエッジから GPMC_AD[15:0] データ バス遷移まで ⁽¹⁰⁾	- 2.3	2.7	ns
F15	$t_{d(\text{clkL-do})}$	遅延時間、GPMC_CLK 立ち下がりエッジから GPMC_AD[15:0] データ バス遷移まで ⁽¹¹⁾	- 2.3	2.7	ns
F17	$t_{d(\text{clkH-be}[x]n)}$	遅延時間、GPMC_CLK 立ち上がりエッジから GPMC_BE0 <i>n</i> _CLE、GPMC_BE1 <i>n</i> 遷移まで ⁽⁹⁾	- 2.3	1.9	ns
F17	$t_{d(\text{clkL-be}[x]n)}$	遅延時間、GPMC_CLK 立ち下がりエッジから GPMC_BE0 <i>n</i> _CLE、GPMC_BE1 <i>n</i> 遷移まで ⁽¹⁰⁾	- 2.3	1.9	ns
F17	$t_{d(\text{clkL-be}[x]n)}$	遅延時間、GPMC_CLK 立ち下がりエッジから GPMC_BE0 <i>n</i> _CLE、GPMC_BE1 <i>n</i> 遷移まで ⁽¹¹⁾	- 2.3	1.9	ns
F18	$t_{w(\text{csnV})}$	パルス幅、GPMC_CS <i>n</i> [<i>i</i>] ⁽¹²⁾ low	A ⁽¹⁾		ns
F19	$t_{w(\text{be}[x]nV})}$	パルス幅、GPMC_BE0 <i>n</i> _CLE、GPMC_BE1 <i>n</i> Low	C ⁽³⁾		ns
F20	$t_{w(\text{advnV})}$	パルス幅、GPMC_ADV <i>n</i> _ALE low	K ⁽¹⁴⁾		ns

- (1) 単一読み取りの場合: $A = (\text{CSRdOffTime} - \text{CSOnTime}) \times (\text{TimeParaGranularity} + 1) \times \text{GPMC_FCLK}^{(15)}$
 単一書き込みの場合: $A = (\text{CSWrOffTime} - \text{CSOnTime}) \times (\text{TimeParaGranularity} + 1) \times \text{GPMC_FCLK}^{(15)}$
 パースト読み取りの場合: $A = (\text{CSRdOffTime} - \text{CSOnTime} + (n - 1) \times \text{PageBurstAccessTime}) \times (\text{TimeParaGranularity} + 1) \times \text{GPMC_FCLK}^{(15)}$
 パースト書き込みの場合: $A = (\text{CSWrOffTime} - \text{CSOnTime} + (n - 1) \times \text{PageBurstAccessTime}) \times (\text{TimeParaGranularity} + 1) \times \text{GPMC_FCLK}^{(15)}$
n はページ パースト アクセス数。
- (2) アドレス バス/バイト イネーブルはサイクル開始時に有効となり、GPMC_CLK のアクティブ化タイミングはサイクル開始後に遅延する場合があります
 $B = \text{ClkActivationTime} \times \text{GPMC_FCLK}^{(15)}$
- (3) 単一読み取りの場合: $C = \text{RdCycleTime} \times (\text{TimeParaGranularity} + 1) \times \text{GPMC_FCLK}^{(15)}$
 単一書き込みの場合: $C = \text{WrCycleTime} \times (\text{TimeParaGranularity} + 1) \times \text{GPMC_FCLK}^{(15)}$
 パースト読み取りの場合: $C = (\text{RdCycleTime} + (n - 1) \times \text{PageBurstAccessTime}) \times (\text{TimeParaGranularity} + 1) \times \text{GPMC_FCLK}^{(15)}$
 パースト書き込みの場合: $C = (\text{WrCycleTime} + (n - 1) \times \text{PageBurstAccessTime}) \times (\text{TimeParaGranularity} + 1) \times \text{GPMC_FCLK}^{(15)}$
n はページ パースト アクセス数。
- (4) 単一読み取りの場合: $D = (\text{RdCycleTime} - \text{RdAccessTime}) \times (\text{TimeParaGranularity} + 1) \times \text{GPMC_FCLK}^{(15)}$
 単一書き込みの場合: $D = (\text{WrCycleTime} - \text{WrAccessTime}) \times (\text{TimeParaGranularity} + 1) \times \text{GPMC_FCLK}^{(15)}$

バースト読み取りの場合: $D = (RdCycleTime - RdAccessTime + (n - 1) \times PageBurstAccessTime) \times (TimeParaGranularity + 1) \times GPMC_FCLK^{(15)}$

バースト書き込みの場合: $D = (WrCycleTime - WrAccessTime + (n - 1) \times PageBurstAccessTime) \times (TimeParaGranularity + 1) \times GPMC_FCLK^{(15)}$

n はページ バースト アクセス数。

(5) CSn 立ち下がりエッジ時 (CS 起動時):

- Case GPMCFCLKDIVIDER = 0:
 - $F = 0.5 \times CSEExtraDelay \times GPMC_FCLK^{(15)}$
- Case GPMCFCLKDIVIDER = 1:
 - $F = 0.5 \times CSEExtraDelay \times GPMC_FCLK^{(15)}$ if (ClkActivationTime および CSOnTime が奇数) or (ClkActivationTime および CSOnTime が偶数)
 - $F = (1 + 0.5 \times CSEExtraDelay) \times GPMC_FCLK^{(15)}$ otherwise
- Case GPMCFCLKDIVIDER = 2:
 - $f = 0.5 \times CSEExtraDelay \times GPMC_FCLK^{(15)}$ if ((CSOnTime - ClkActivationTime) が 3 の倍数)
 - $F = (1 + 0.5 \times CSEExtraDelay) \times GPMC_FCLK^{(15)}$ if ((CSOnTime - ClkActivationTime - 1) が 3 の倍数)
 - $F = (2 + 0.5 \times CSEExtraDelay) \times GPMC_FCLK^{(15)}$ if ((CSOnTime - ClkActivationTime - 2) が 3 の倍数)

CSn 立ち上がりエッジ時 CS 非アクティブ時、読み取りモード:

- Case GPMCFCLKDIVIDER = 0:
 - $F = 0.5 \times CSEExtraDelay \times GPMC_FCLK^{(15)}$
- Case GPMCFCLKDIVIDER = 1:
 - $F = 0.5 \times CSEExtraDelay \times GPMC_FCLK^{(15)}$ (ClkActivationTime と CSRdOffTime が奇数) または (ClkActivationTime と CSRdOffTime が偶数) の場合
 - $F = (1 + 0.5 \times CSEExtraDelay) \times GPMC_FCLK^{(15)}$ otherwise
- Case GPMCFCLKDIVIDER = 2:
 - $F = 0.5 \times CSEExtraDelay \times GPMC_FCLK^{(15)}$ ((CSRdOffTime - ClkActivationTime) が 3 の倍数の場合)
 - $F = (1 + 0.5 \times CSEExtraDelay) \times GPMC_FCLK^{(15)}$ ((CSRdOffTime - ClkActivationTime - 1) が 3 の倍数の場合)
 - $F = (2 + 0.5 \times CSEExtraDelay) \times GPMC_FCLK^{(15)}$ ((CSRdOffTime - ClkActivationTime - 2) が 3 の倍数の場合)

書き込みモードでの CSn 立ち上がりエッジ (CS が非アクティブ) の場合:

- Case GPMCFCLKDIVIDER = 0:
 - $F = 0.5 \times CSEExtraDelay \times GPMC_FCLK^{(15)}$
- Case GPMCFCLKDIVIDER = 1:
 - $F = 0.5 \times CSEExtraDelay \times GPMC_FCLK^{(15)}$ (ClkActivationTime と CSWrOffTime が奇数) または (ClkActivationTime と CSWrOffTime が偶数) の場合
 - $F = (1 + 0.5 \times CSEExtraDelay) \times GPMC_FCLK^{(15)}$ otherwise
- Case GPMCFCLKDIVIDER = 2:
 - $F = 0.5 \times CSEExtraDelay \times GPMC_FCLK^{(15)}$ ((CSWrOffTime - ClkActivationTime) が 3 の倍数の場合)
 - $F = (1 + 0.5 \times CSEExtraDelay) \times GPMC_FCLK^{(15)}$ ((CSWrOffTime - ClkActivationTime - 1) が 3 の倍数の場合)
 - $F = (2 + 0.5 \times CSEExtraDelay) \times GPMC_FCLK^{(15)}$ ((CSWrOffTime - ClkActivationTime - 2) が 3 の倍数の場合)

(6) ADV 立ち下がりエッジ (ADV がアクティブ) の場合:

- Case GPMCFCLKDIVIDER = 0:
 - $G = 0.5 \times ADVExtraDelay \times GPMC_FCLK^{(15)}$
- Case GPMCFCLKDIVIDER = 1:
 - $G = 0.5 \times ADVExtraDelay \times GPMC_FCLK^{(15)}$ if (ClkActivationTime および ADVOnTime が奇数) or (ClkActivationTime および ADVOnTime が偶数)
 - $G = (1 + 0.5 \times ADVExtraDelay) \times GPMC_FCLK^{(15)}$ otherwise
- Case GPMCFCLKDIVIDER = 2:
 - $G = 0.5 \times ADVExtraDelay \times GPMC_FCLK^{(15)}$ if ((ADVOnTime - ClkActivationTime) が 3 の倍数)
 - $G = (1 + 0.5 \times ADVExtraDelay) \times GPMC_FCLK^{(15)}$ if ((ADVOnTime - ClkActivationTime - 1) が 3 の倍数)
 - $G = (2 + 0.5 \times ADVExtraDelay) \times GPMC_FCLK^{(15)}$ if ((ADVOnTime - ClkActivationTime - 2) が 3 の倍数)

読み取りモードでの ADV 立ち上がりエッジ (ADV が非アクティブ) の場合:

- Case GPMCFCLKDIVIDER = 0:

- $G = 0.5 \times \text{ADVExtraDelay} \times \text{GPMC_FCLK}^{(15)}$
- Case GPMCFCLKDIVIDER = 1:
 - $G = 0.5 \times \text{ADVExtraDelay} \times \text{GPMC_FCLK}^{(15)}$ if (ClkActivationTime および ADVRdOffTime が奇数) or (ClkActivationTime および ADVRdOffTime が偶数)
 - $G = (1 + 0.5 \times \text{ADVExtraDelay}) \times \text{GPMC_FCLK}^{(15)}$ otherwise
- Case GPMCFCLKDIVIDER = 2:
 - $G = 0.5 \times \text{ADVExtraDelay} \times \text{GPMC_FCLK}^{(15)}$ if ((ADVRdOffTime - ClkActivationTime) が 3 の倍数)
 - $G = (1 + 0.5 \times \text{ADVExtraDelay}) \times \text{GPMC_FCLK}^{(15)}$ if ((ADVRdOffTime - ClkActivationTime - 1) が 3 の倍数)
 - $G = (2 + 0.5 \times \text{ADVExtraDelay}) \times \text{GPMC_FCLK}^{(15)}$ if ((ADVRdOffTime - ClkActivationTime - 2) が 3 の倍数)

書き込みモードでの ADV 立ち上がりエッジ (ADV が非アクティブ) の場合:

- Case GPMCFCLKDIVIDER = 0:
 - $G = 0.5 \times \text{ADVExtraDelay} \times \text{GPMC_FCLK}^{(15)}$
- Case GPMCFCLKDIVIDER = 1:
 - $G = 0.5 \times \text{ADVExtraDelay} \times \text{GPMC_FCLK}^{(15)}$ if (ClkActivationTime および ADVWrOffTime が奇数) または (ClkActivationTime および ADVWrOffTime が偶数)
 - $G = (1 + 0.5 \times \text{ADVExtraDelay}) \times \text{GPMC_FCLK}^{(15)}$ otherwise
- Case GPMCFCLKDIVIDER = 2:
 - $G = 0.5 \times \text{ADVExtraDelay} \times \text{GPMC_FCLK}^{(15)}$ if ((ADVWrOffTime - ClkActivationTime) が 3 の倍数)
 - $G = (1 + 0.5 \times \text{ADVExtraDelay}) \times \text{GPMC_FCLK}^{(15)}$ if ((ADVWrOffTime - ClkActivationTime - 1) が 3 の倍数)
 - $G = (2 + 0.5 \times \text{ADVExtraDelay}) \times \text{GPMC_FCLK}^{(15)}$ if ((ADVWrOffTime - ClkActivationTime - 2) が 3 の倍数)

(7) OE の立ち下がりエッジ (OE がアクティブ) および IO DIR の立ち上がりエッジ (データバスが入力方向) の場合:

- Case GPMCFCLKDIVIDER = 0:
 - $H = 0.5 \times \text{OEExtraDelay} \times \text{GPMC_FCLK}^{(15)}$
- Case GPMCFCLKDIVIDER = 1:
 - $H = 0.5 \times \text{OEExtraDelay} \times \text{GPMC_FCLK}^{(15)}$ if (ClkActivationTime および OEOnTime が奇数) または (ClkActivationTime および OEOnTime が偶数)
 - $H = (1 + 0.5 \times \text{OEExtraDelay}) \times \text{GPMC_FCLK}^{(15)}$ otherwise
- Case GPMCFCLKDIVIDER = 2:
 - $H = 0.5 \times \text{OEExtraDelay} \times \text{GPMC_FCLK}^{(15)}$ if ((OEOnTime - ClkActivationTime) が 3 の倍数)
 - $H = (1 + 0.5 \times \text{OEExtraDelay}) \times \text{GPMC_FCLK}^{(15)}$ if ((OEOnTime - ClkActivationTime - 1) が 3 の倍数)
 - $H = (2 + 0.5 \times \text{OEExtraDelay}) \times \text{GPMC_FCLK}^{(15)}$ if ((OEOnTime - ClkActivationTime - 2) が 3 の倍数)

OE 立ち上がりエッジ (OE が非アクティブ) の場合:

- Case GPMCFCLKDIVIDER = 0:
 - $H = 0.5 \times \text{OEExtraDelay} \times \text{GPMC_FCLK}^{(15)}$
- Case GPMCFCLKDIVIDER = 1:
 - $H = 0.5 \times \text{OEExtraDelay} \times \text{GPMC_FCLK}^{(15)}$ if (ClkActivationTime および OEOffTime が奇数) または (ClkActivationTime および OEOffTime が偶数)
 - $H = (1 + 0.5 \times \text{OEExtraDelay}) \times \text{GPMC_FCLK}^{(15)}$ otherwise
- Case GPMCFCLKDIVIDER = 2:
 - $H = 0.5 \times \text{OEExtraDelay} \times \text{GPMC_FCLK}^{(15)}$ if ((OEOffTime - ClkActivationTime) が 3 の倍数)
 - $H = (1 + 0.5 \times \text{OEExtraDelay}) \times \text{GPMC_FCLK}^{(15)}$ if ((OEOffTime - ClkActivationTime - 1) が 3 の倍数)
 - $H = (2 + 0.5 \times \text{OEExtraDelay}) \times \text{GPMC_FCLK}^{(15)}$ if ((OEOffTime - ClkActivationTime - 2) が 3 の倍数)

(8) WE 立ち下がりエッジ (WE がアクティブ) の場合:

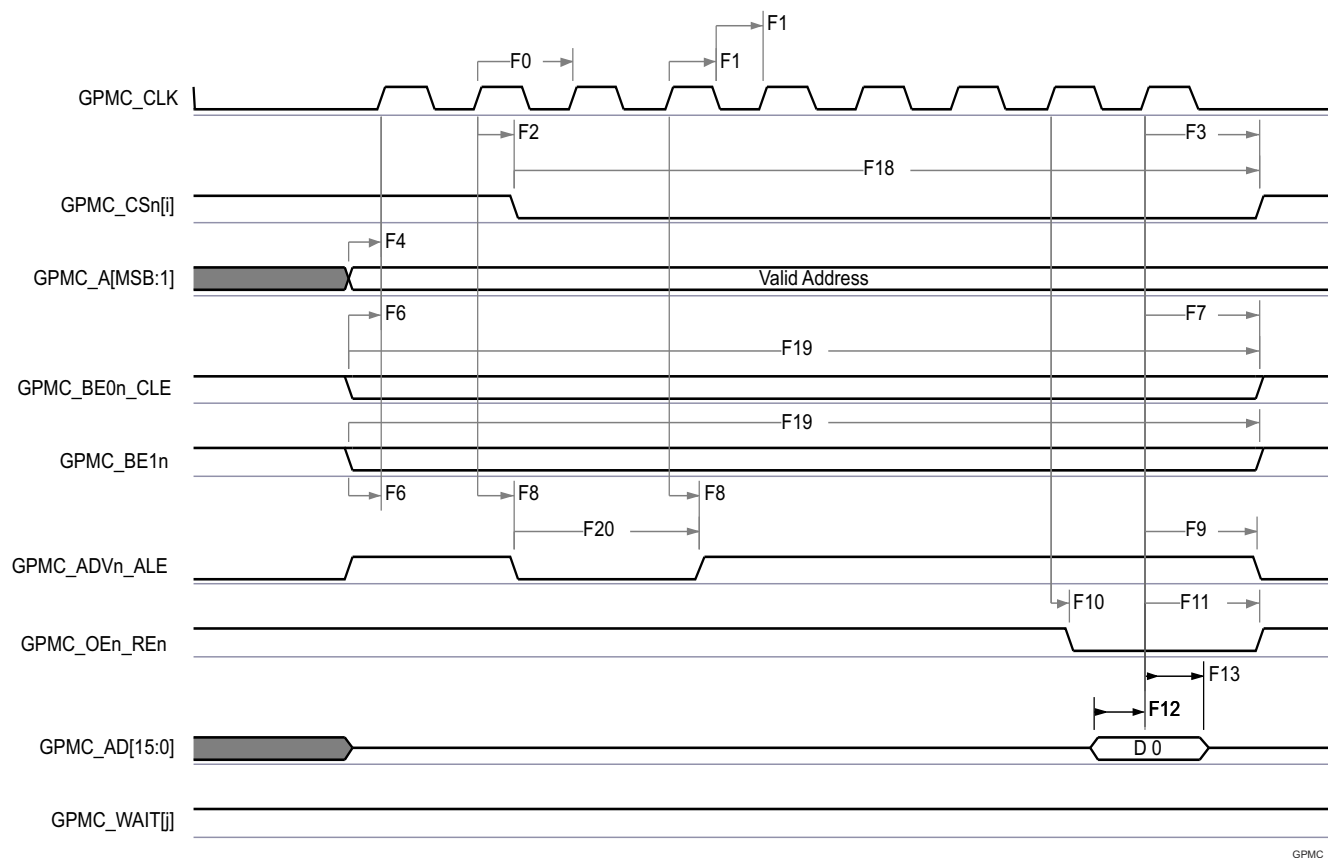
- Case GPMCFCLKDIVIDER = 0:
 - $I = 0.5 \times \text{WEExtraDelay} \times \text{GPMC_FCLK}^{(15)}$
- Case GPMCFCLKDIVIDER = 1:
 - $I = 0.5 \times \text{WEExtraDelay} \times \text{GPMC_FCLK}^{(15)}$ if (ClkActivationTime および WEOnTime が奇数) or (ClkActivationTime および WEOnTime が偶数)
 - $I = (1 + 0.5 \times \text{WEExtraDelay}) \times \text{GPMC_FCLK}^{(15)}$ otherwise
- Case GPMCFCLKDIVIDER = 2:

- $I = 0.5 \times \text{WEEExtraDelay} \times \text{GPMC_FCLK}^{(15)}$ if $((\text{WEOnTime} - \text{ClkActivationTime})$ が 3 の倍数)
- $I = (1 + 0.5 \times \text{WEEExtraDelay}) \times \text{GPMC_FCLK}^{(15)}$ if $((\text{WEOnTime} - \text{ClkActivationTime} - 1)$ が 3 の倍数)
- $I = (2 + 0.5 \times \text{WEEExtraDelay}) \times \text{GPMC_FCLK}^{(15)}$ if $((\text{WEOnTime} - \text{ClkActivationTime} - 2)$ が 3 の倍数)

WE 立ち上がりエッジ (WE が非アクティブ) の場合:

- Case GPMCFCLKDIVIDER = 0:
 - $I = 0.5 \times \text{WEEExtraDelay} \times \text{GPMC_FCLK}^{(13)}$
- Case GPMCFCLKDIVIDER = 1:
 - $I = 0.5 \times \text{WEEExtraDelay} \times \text{GPMC_FCLK}^{(15)}$ if $((\text{ClkActivationTime}$ および WEOffTime が奇数) or $((\text{ClkActivationTime}$ および WEOffTime が偶数)
 - $I = (1 + 0.5 \times \text{WEEExtraDelay}) \times \text{GPMC_FCLK}^{(15)}$ otherwise
- Case GPMCFCLKDIVIDER = 2:
 - $I = 0.5 \times \text{WEEExtraDelay} \times \text{GPMC_FCLK}^{(15)}$ if $((\text{WEOffTime} - \text{ClkActivationTime})$ が 3 の倍数)
 - $I = (1 + 0.5 \times \text{WEEExtraDelay}) \times \text{GPMC_FCLK}^{(15)}$ if $((\text{WEOffTime} - \text{ClkActivationTime} - 1)$ が 3 の倍数)
 - $I = (2 + 0.5 \times \text{WEEExtraDelay}) \times \text{GPMC_FCLK}^{(15)}$ if $((\text{WEOffTime} - \text{ClkActivationTime} - 2)$ が 3 の倍数)

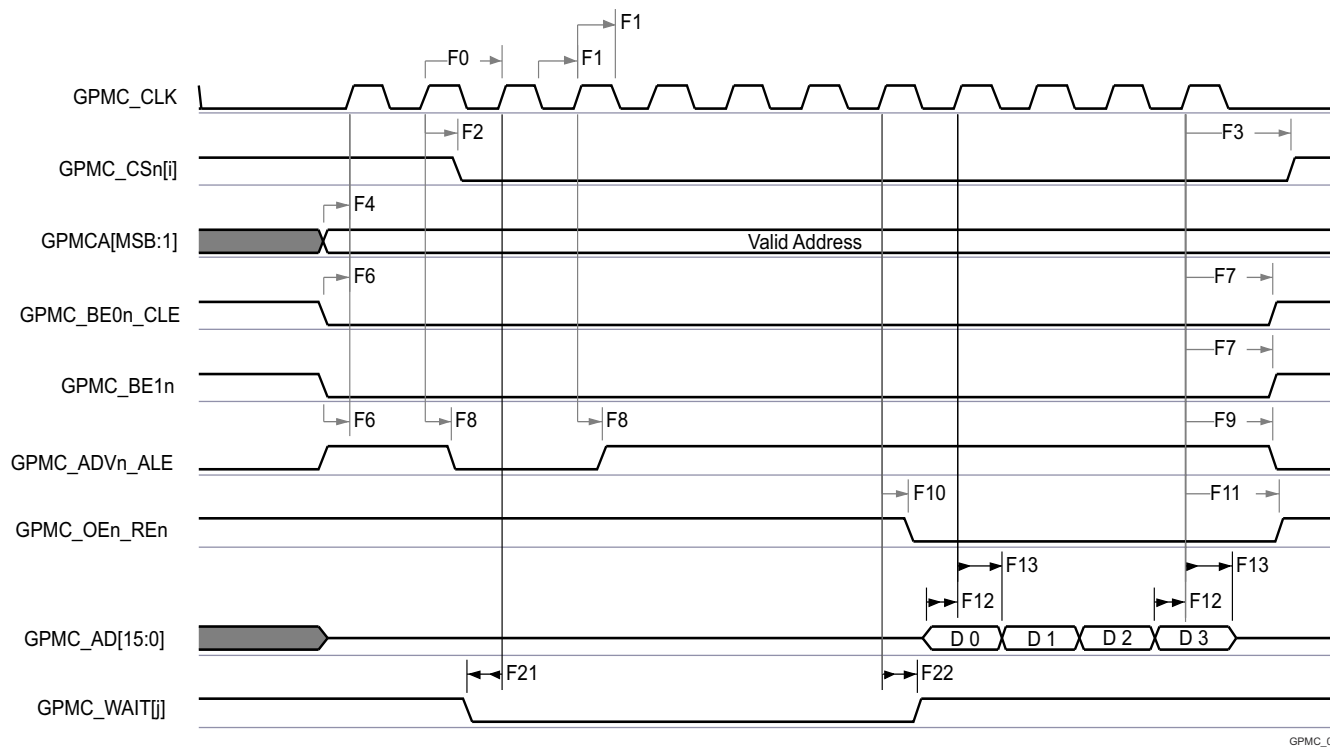
- (9) ケース CLK DIV 1 モード、最初の転送のみの場合: データおよびバイト イネーブルは GPMC_CLK の立ち上がりエッジで遷移します
 - 非多重化モード: サイクル開始時のデータ遷移
 - 多重化モード: $\text{WRDATAONADMUXBUS} \times (\text{TimeParaGranularity} + 1) \times \text{GPMC_FCLK}$ でのデータ遷移⁽¹⁵⁾
- (10) ケース: CLK DIV 1 モード、初回転送以降のすべてのデータおよびバイト イネーブル: データおよびバイト イネーブルは GPMC_CLK の立ち下がりエッジで遷移します (GPMC_CLK の半周期)
- (11) CLK DIV 1 モード以外のケースモード (GPMC_CLK を GPMC_FCLK から分周): すべてのデータおよびバイトにより、GPMC_CLK の立ち下がりエッジ (GPMC_CLK の半周期) で遷移がイネーブルされます。ClkActivationTime、GPMCFCLKDIVIDER、RDACCESSTIME/WRACCESSTIME、および PAGEBURSTACCESSTIME の設定は、データおよびバイト イネーブルが GPMC_CLK の立ち下がりエッジで遷移し (GPMC_CLK の立ち上がりエッジでラッチされるように)、強制されるように構成する必要があります
- (12) GPMC_CSn[i] で、i は 0、1、2、または 3 です。
- (13) $P = \text{GPMC_CLK}$ 周期 (ns 単位)
- (14) 読み出しの場合: $K = (\text{ADVrOffTime} - \text{ADVOnTime}) \times (\text{TimeParaGranularity} + 1) \times \text{GPMC_FCLK}^{(15)}$
書き込みの場合: $K = (\text{ADVWrOffTime} - \text{ADVOnTime}) \times (\text{TimeParaGranularity} + 1) \times \text{GPMC_FCLK}^{(15)}$
- (15) GPMC_FCLK は、汎用メモリコントローラの内部機能クロック周期で、ns 単位です。
- (16) GPMC モジュールで、GPMC_CONFIG1_i 構成レジスタのビットフィールド GPMCFCLKDIVIDER の設定によりプログラム可能な、GPMC_CLK 出力クロックの最高および最低周波数に関連します。



GPMC_01

- A. GPMC_CS[n][i] で、i は 0、1、2、または 3 です。
 B. GPMC_WAIT[j] で、j は 0 または 1 です。

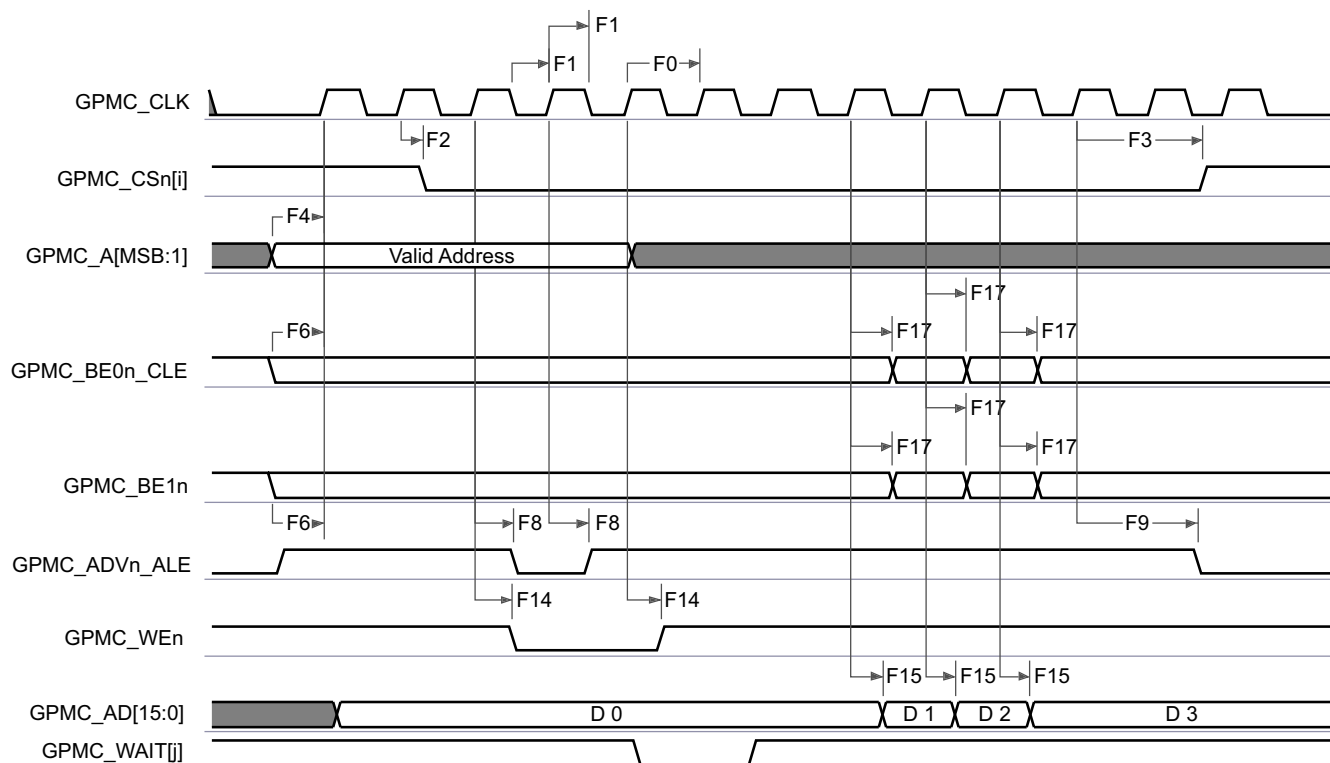
図 6-50. GPMC および NOR フラッシュ — 同期単一読み出し (GPMCFCLKDIVIDER = 0)



GPMC_02

- A. GPMC_CS[n][i] で、i は 0、1、2、または 3 です。
B. GPMC_WAIT[j] で、j は 0 または 1 です。

図 6-51. GPMC および NOR フラッシュ — 同期バースト読み出し — 4x16 ビット (GPMCFCLKDIVIDER = 0)

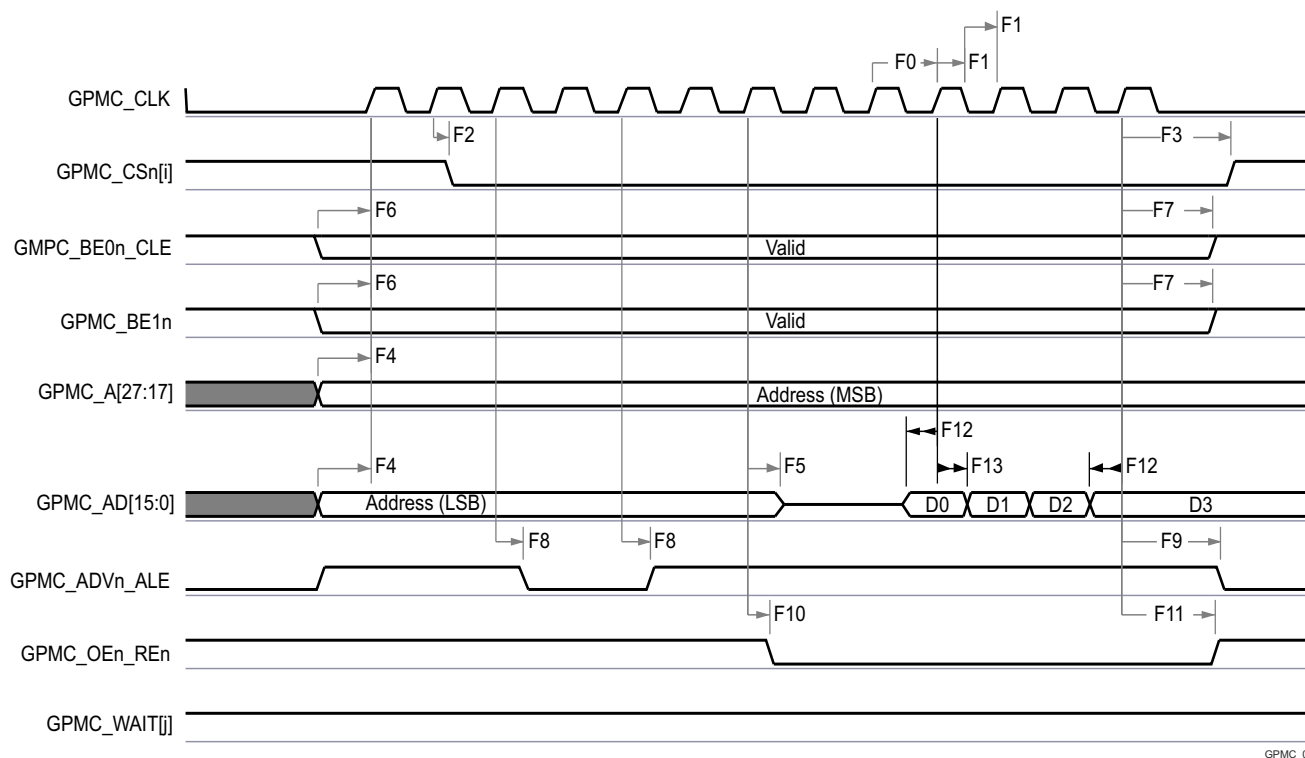


GPMC_03

- A. GPMC_CS[n][i] で、i は 0、1、2、または 3 です。

B. GPMC_WAIT[j] で、j は 0 または 1 です。

図 6-52. GPMC および NOR フラッシュ — 同期バースト書き込み (GPMCFCLKDIVIDER = 0)

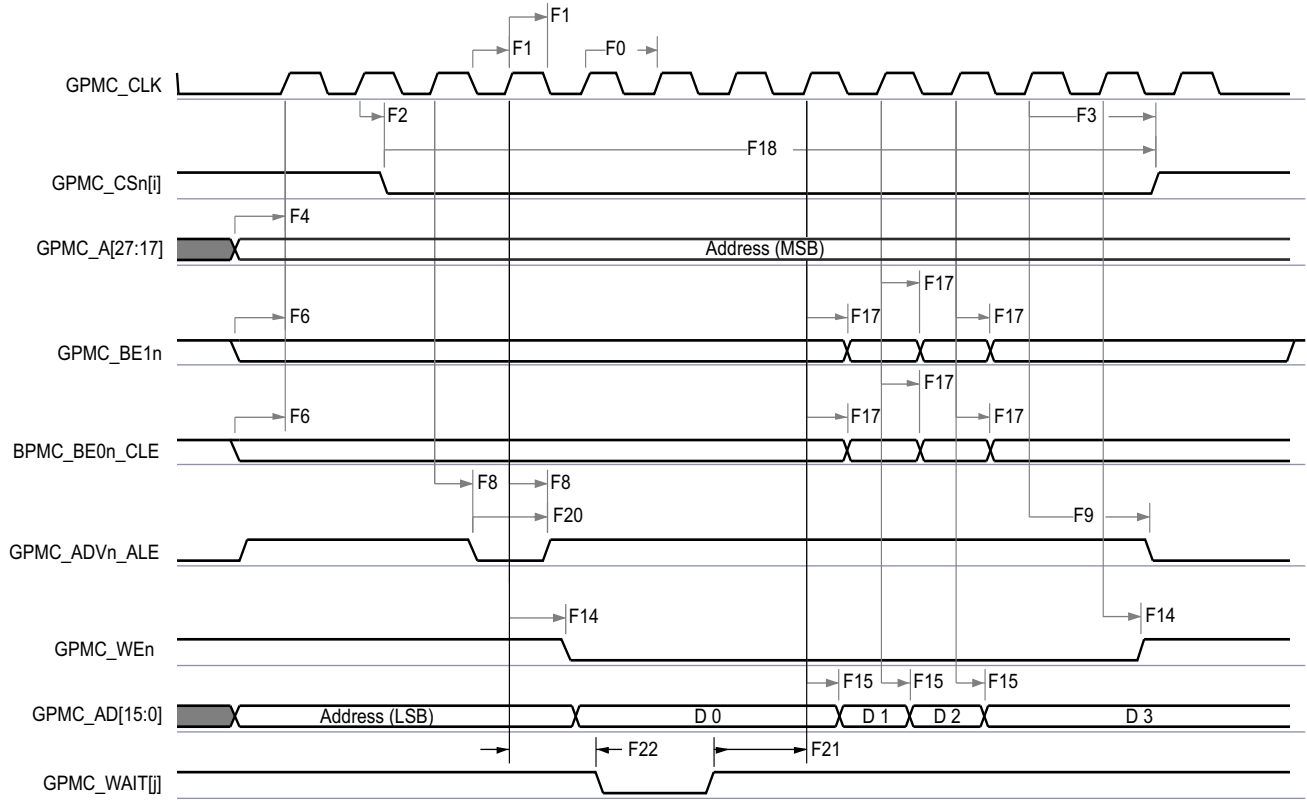


GPMC_04

A. GPMC_CS[n] で、i は 0、1、2、または 3 です。

B. GPMC_WAIT[j] で、j は 0 または 1 です。

図 6-53. GPMC および多重化 NOR フラッシュ — 同期バースト読み出し



GPMC_05

- A. GPMC_CSn[i] で、i は 0、1、2、または 3 です。
B. GPMC_WAIT[j] で、j は 0 または 1 です。

図 6-54. GPMC および多重化 NOR フラッシュ — 同期バースト書き込み

6.11.5.11.2 GPMC および NOR フラッシュ – 非同期モード

表 6-63 および 表 6-64 に、GPMC および NOR フラッシュ - 非同期モードのタイミング要件とスイッチング特性を示します。

表 6-63. GPMC および NOR フラッシュのタイミング要件 – 非同期モード

図 6-55、図 6-56、図 6-57、図 6-59 を参照

番号	パラメータ	説明	最小値	最大値	単位
FA5 ⁽¹⁾	$t_{acc(d)}$	データ アクセス時間		H ⁽⁵⁾	ns
FA20 ⁽²⁾	$t_{acc1-pgmode(d)}$	ページ モードの連続データ アクセス時間		P ⁽⁴⁾	ns
FA21 ⁽³⁾	$t_{acc2-pgmode(d)}$	ページ モードの最初のデータ アクセス時間		H ⁽⁵⁾	ns

- (1) FA5 パラメータは、入力データを内部的にサンプリングするために必要な時間を示します。これは、GPMC 機能クロック サイクル数で表されます。読み取りサイクルの開始から FA5 機能クロック サイクル経過後、入力データはアクティブな機能クロック エッジによって内部的にサンプリングされます。FA5 の値は、AccessTime レジスタ ビット フィールドに保存する必要があります。
- (2) FA20 パラメータは、連続する入力ページ データを内部でサンプリングするために必要な時間を示します。これは、GPMC 機能クロック サイクル数で表されます。入力ページ データへの各アクセスの後、FA20 機能クロック サイクル経過後、次の入力ページ データはアクティブな機能クロック エッジによって内部的にサンプリングされます。FA20 の値は、PageBurstAccessTime レジスタのビット フィールドに保存する必要があります。
- (3) FA21 パラメータは、最初の入力ページ データを内部でサンプリングするために必要な時間を示します。これは、GPMC 機能クロック サイクル数で表されます。読み取りサイクルの開始から FA21 機能クロック サイクル経過後、最初の入力ページ データが、アクティブな機能クロック エッジによって内部的にサンプリングされます。FA21 の値は、AccessTime レジスタ ビット フィールドに保存する必要があります。
- (4) $P = \text{PageBurstAccessTime} \times (\text{TimeParaGranularity} + 1) \times \text{GPMC_FCLK}^{(6)}$
- (5) $H = \text{AccessTime} \times (\text{TimeParaGranularity} + 1) \times \text{GPMC_FCLK}^{(6)}$
- (6) GPMC_FCLK は、汎用メモリ コントローラの内部機能クロック周期で、ns 単位です。

表 6-64. GPMC および NOR フラッシュのスイッチング特性 – 非同期モード

図 6-55、図 6-56、図 6-57、図 6-58、図 6-59、図 6-60 参照

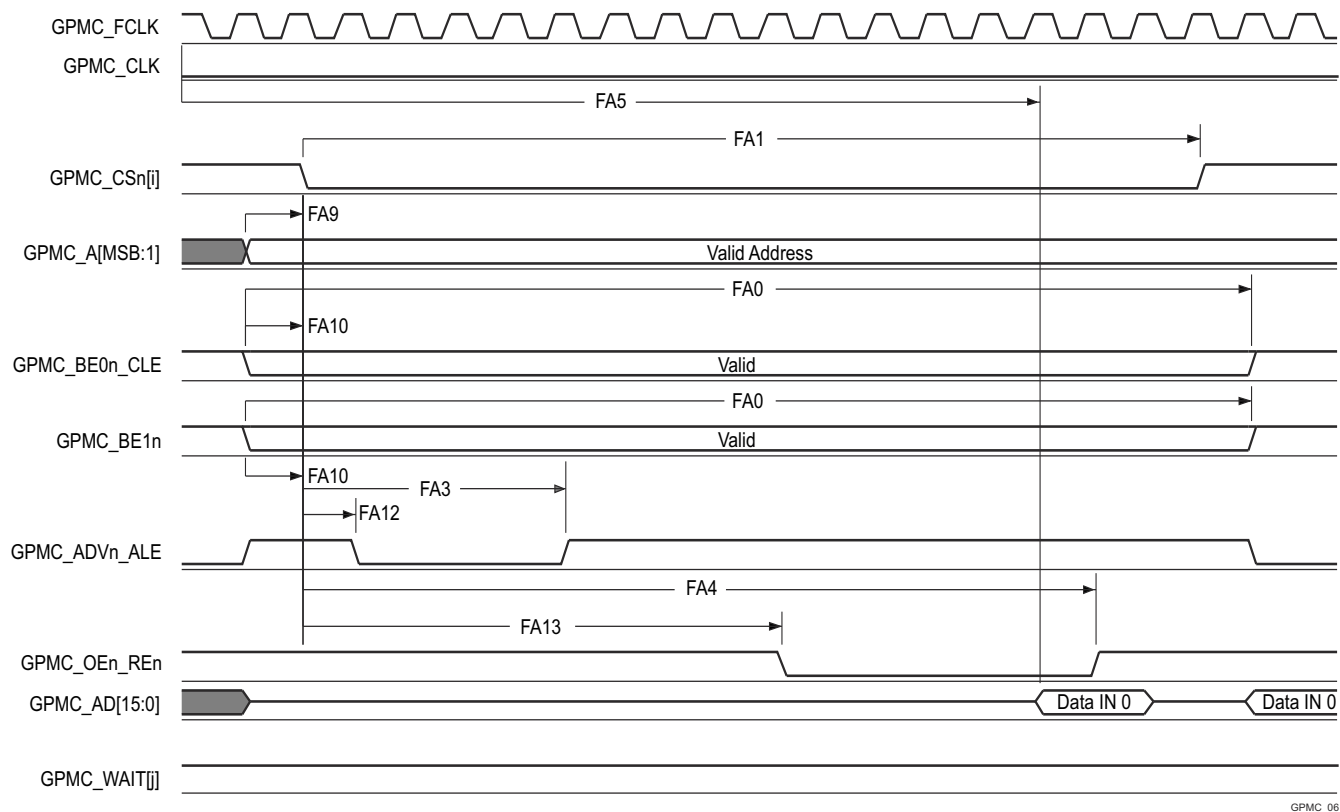
番号	パラメータ	説明	最小値	最大値	単位
FA0	$t_{w(be[x]nV)}$	パルス幅、出力下位バイト イネーブルおよびコマンド ラッチ イネーブル GPMC_BE0n_CLE、出力上位バイト イネーブル GPMC_BE1n 有効時間		N ⁽¹²⁾	ns
FA1	$t_{w(csnV)}$	パルス幅、出力チップ セレクト GPMC_CS <i>n</i> [<i>i</i>] ⁽¹³⁾ low		A ⁽¹⁾	ns
FA3	$t_{d(csnV-advnV)}$	遅延時間、出力チップ セレクト GPMC_CS <i>n</i> [<i>i</i>] ⁽¹³⁾ 有効から出力アドレス 有効およびアドレス ラッチ イネーブル GPMC_AD <i>Vn</i> _ALE 無効まで	B ⁽²⁾ - 2	B ⁽²⁾ + 2	ns
FA4	$t_{d(csnV-oenV)}$	遅延時間、出力チップセレクト GPMC_CS <i>n</i> [<i>i</i>] ⁽¹³⁾ 有効から 出力イネーブル GPMC_OEn_REn 無効まで (単一読み取り)	C ⁽³⁾ - 2	C ⁽³⁾ + 2	ns
FA9	$t_{d(aV-csnV)}$	遅延時間、出力アドレス GPMC_A[27:1] 有効から出力チップ セレクト GPMC_CS <i>n</i> [<i>i</i>] ⁽¹³⁾ 有効まで	J ⁽⁹⁾ - 2	J ⁽⁹⁾ + 2	ns
FA10	$t_{d(be[x]nV-csnV)}$	遅延時間、出力下位バイト イネーブルおよびコマンド ラッチ イネーブル GPMC_BE0n_CLE、出力上位バイト イネーブル GPMC_BE1n 有効から出力チップ セレクト GPMC_CS <i>n</i> [<i>i</i>] ⁽¹³⁾ まで	J ⁽⁹⁾ - 2	J ⁽⁹⁾ + 2	ns
FA12	$t_{d(csnV-advnV)}$	遅延時間、出力チップ セレクト GPMC_CS <i>n</i> [<i>i</i>] ⁽¹³⁾ 有効から出力アドレス 有効、アドレス ラッチ イネーブル GPMC_AD <i>Vn</i> _ALE 有効まで	K ⁽¹⁰⁾ - 2	K ⁽¹⁰⁾ + 2	ns
FA13	$t_{d(csnV-oenV)}$	遅延時間、出力チップ セレクト GPMC_CS <i>n</i> [<i>i</i>] ⁽¹³⁾ 有効から出力イネーブル GPMC_OEn_REn 有効まで	L ⁽¹¹⁾ - 2	L ⁽¹¹⁾ + 2	ns
FA16	$t_{w(aV)}$	2 つの連続する読み取りおよび書き込みアクセスの間で、出力アドレス GPMC_A[26:1] が無効になるパルス幅		G ⁽⁷⁾	ns
FA18	$t_{d(csnV-oenV)}$	遅延時間、出力チップ セレクト GPMC_CS <i>n</i> [<i>i</i>] ⁽¹³⁾ 有効から 出力イネーブル GPMC_OEn_REn 無効まで (バースト読み取り)	I ⁽⁸⁾ - 2	I ⁽⁸⁾ + 2	ns
FA20	$t_{w(aV)}$	パルス幅、出力アドレス GPMC_A[27:1] 有効 - 2 回目、3 回目、4 回目のアクセス		D ⁽⁴⁾	ns
FA25	$t_{d(csnV-wenV)}$	遅延時間、出力チップ セレクト GPMC_CS <i>n</i> [<i>i</i>] ⁽¹³⁾ 有効から出力書き込みイネーブル GPMC_WEn 有効まで	E ⁽⁵⁾ - 2	E ⁽⁵⁾ + 2	ns
FA27	$t_{d(csnV-wenV)}$	遅延時間、出力チップ セレクト GPMC_CS <i>n</i> [<i>i</i>] ⁽¹³⁾ 有効から出力書き込みイネーブル GPMC_WEn 無効まで	F ⁽⁶⁾ - 2	F ⁽⁶⁾ + 2	ns

表 6-64. GPMC および NOR フラッシュのスイッチング特性 – 非同期モード (続き)

図 6-55、図 6-56、図 6-57、図 6-58、図 6-59、図 6-60 参照

番号	パラメータ	説明	最小値	最大値	単位
FA28	$t_{d(wenV-dV)}$	遅延時間、出力書き込みイネーブル GPMC_WEn 有効から出力データ GPMC_AD[15:0] 有効まで		2	ns
FA29	$t_{d(dV-csnV)}$	遅延時間、出力データ GPMC_AD[15:0] 有効から出力チップ セレクト GPMC_CSn[i] ⁽¹³⁾ 有効まで	$J^{(9)} - 2$	$J^{(9)} + 2$	ns
FA37	$t_{d(oenV-aIV)}$	遅延時間、出力イネーブル GPMC_OEn_REn 有効から出力アドレス GPMC_AD[15:0] フェーズ終了まで		2	ns

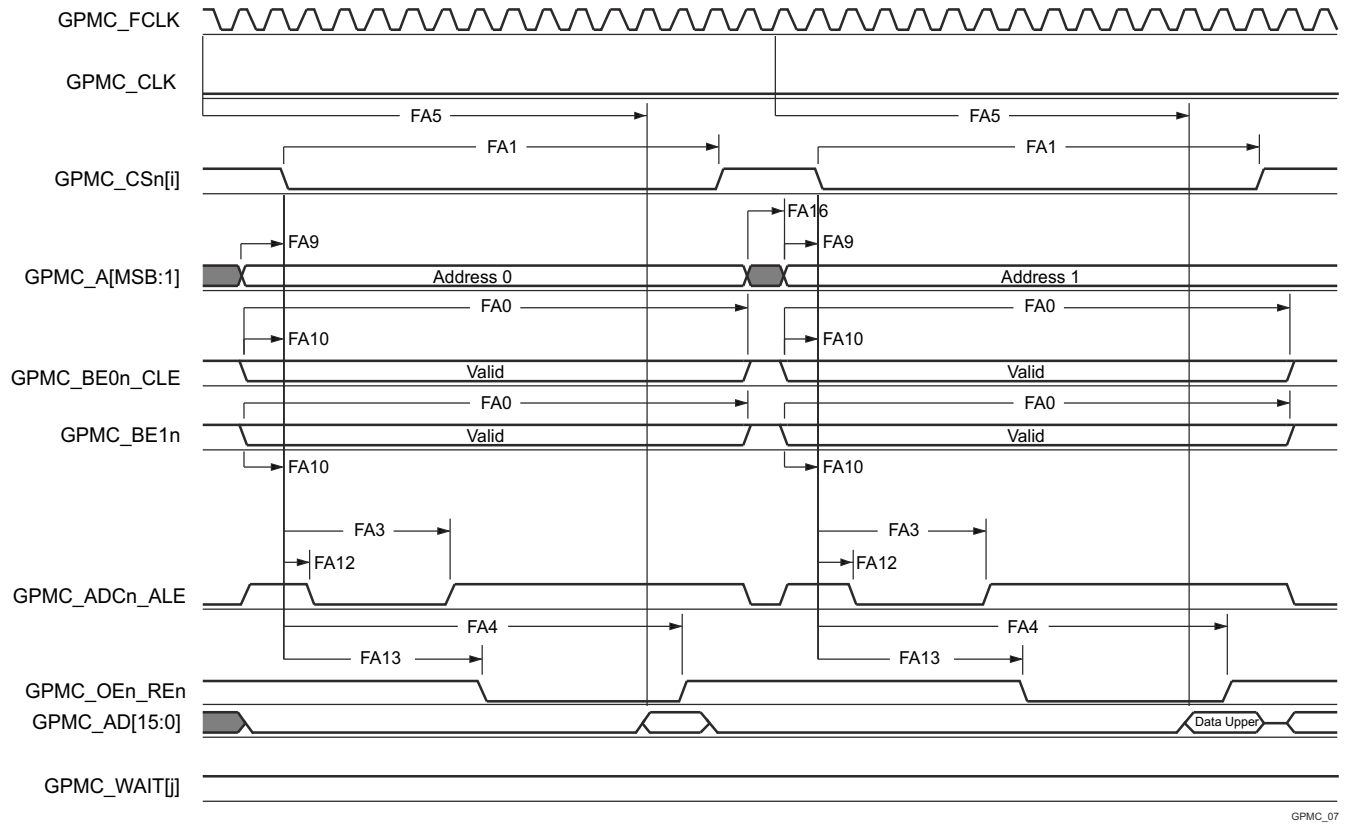
- (1) 単一読み取りの場合: $A = (CSRdOffTime - CSOnTime) \times (TimeParaGranularity + 1) \times GPMC_FCLK^{(14)}$
 単一書き込みの場合: $A = (CSWrOffTime - CSOnTime) \times (TimeParaGranularity + 1) \times GPMC_FCLK^{(14)}$
 バースト読み取りの場合: $A = (CSRdOffTime - CSOnTime + (n - 1) \times PageBurstAccessTime) \times (TimeParaGranularity + 1) \times GPMC_FCLK^{(14)}$
 バースト書き込みの場合: $A = (CSWrOffTime - CSOnTime + (n - 1) \times PageBurstAccessTime) \times (TimeParaGranularity + 1) \times GPMC_FCLK^{(14)}$
 n はページ バースト アクセス数
- (2) 読み取りの場合: $B = ((ADVrOffTime - CSOnTime) \times (TimeParaGranularity + 1) + 0.5 \times (ADVExtraDelay - CSEExtraDelay)) \times GPMC_FCLK^{(14)}$
 書き込みの場合: $B = ((ADVWrOffTime - CSOnTime) \times (TimeParaGranularity + 1) + 0.5 \times (ADVExtraDelay - CSEExtraDelay)) \times GPMC_FCLK^{(14)}$
- (3) $C = ((OEOffTime - CSOnTime) \times (TimeParaGranularity + 1) + 0.5 \times (OEExtraDelay - CSEExtraDelay)) \times GPMC_FCLK^{(14)}$
 (4) $D = PageBurstAccessTime \times (TimeParaGranularity + 1) \times GPMC_FCLK^{(14)}$
 (5) $E = ((WEOnTime - CSOnTime) \times (TimeParaGranularity + 1) + 0.5 \times (WEEExtraDelay - CSEExtraDelay)) \times GPMC_FCLK^{(14)}$
 (6) $F = ((WEOffTime - CSOnTime) \times (TimeParaGranularity + 1) + 0.5 \times (WEEExtraDelay - CSEExtraDelay)) \times GPMC_FCLK^{(14)}$
 (7) $G = Cycle2CycleDelay \times GPMC_FCLK^{(14)}$
 (8) $I = ((OEOffTime + (n - 1) \times PageBurstAccessTime - CSOnTime) \times (TimeParaGranularity + 1) + 0.5 \times (OEExtraDelay - CSEExtraDelay)) \times GPMC_FCLK^{(14)}$
 (9) $J = (CSOnTime \times (TimeParaGranularity + 1) + 0.5 \times CSEExtraDelay) \times GPMC_FCLK^{(14)}$
 (10) $K = ((ADVOnTime - CSOnTime) \times (TimeParaGranularity + 1) + 0.5 \times (ADVExtraDelay - CSEExtraDelay)) \times GPMC_FCLK^{(14)}$
 (11) $L = ((OEOnTime - CSOnTime) \times (TimeParaGranularity + 1) + 0.5 \times (OEExtraDelay - CSEExtraDelay)) \times GPMC_FCLK^{(14)}$
 (12) 単一読み取りの場合: $N = RdCycleTime \times (TimeParaGranularity + 1) \times GPMC_FCLK^{(14)}$
 単一書き込みの場合: $N = WrCycleTime \times (TimeParaGranularity + 1) \times GPMC_FCLK^{(14)}$
 バースト読み取りの場合: $N = (RdCycleTime + (n - 1) \times PageBurstAccessTime) \times (TimeParaGranularity + 1) \times GPMC_FCLK^{(14)}$
 バースト書き込みの場合: $N = (WrCycleTime + (n - 1) \times PageBurstAccessTime) \times (TimeParaGranularity + 1) \times GPMC_FCLK^{(14)}$
- (13) GPMC_CSn[i] で、i は 0、1、2、または 3 です。
 (14) GPMC_FCLK は、汎用メモリ コントローラの内部機能クロック周期で、ns 単位です。



GPMC_06

- A. GPMC_CS[n][i] で、i は 0、1、2、または 3 です。GPMC_WAIT[j] で、jis は 0 または 1 です。
- B. FA5 パラメータは、入力データを内部でサンプリングするために必要な時間を示しています。これは、GPMC 機能クロック サイクル数で表されます。読み取りサイクルの開始から FA5 機能クロック サイクル経過後、入力データはアクティブな機能クロック エッジによって内部的にサンプリングされます。FA5 の値は、AccessTime レジスタ ビット フィールド内に格納する必要があります。
- C. GPMC_FCLK は、外部に供給されない内部クロック (GPMC 機能クロック) です。

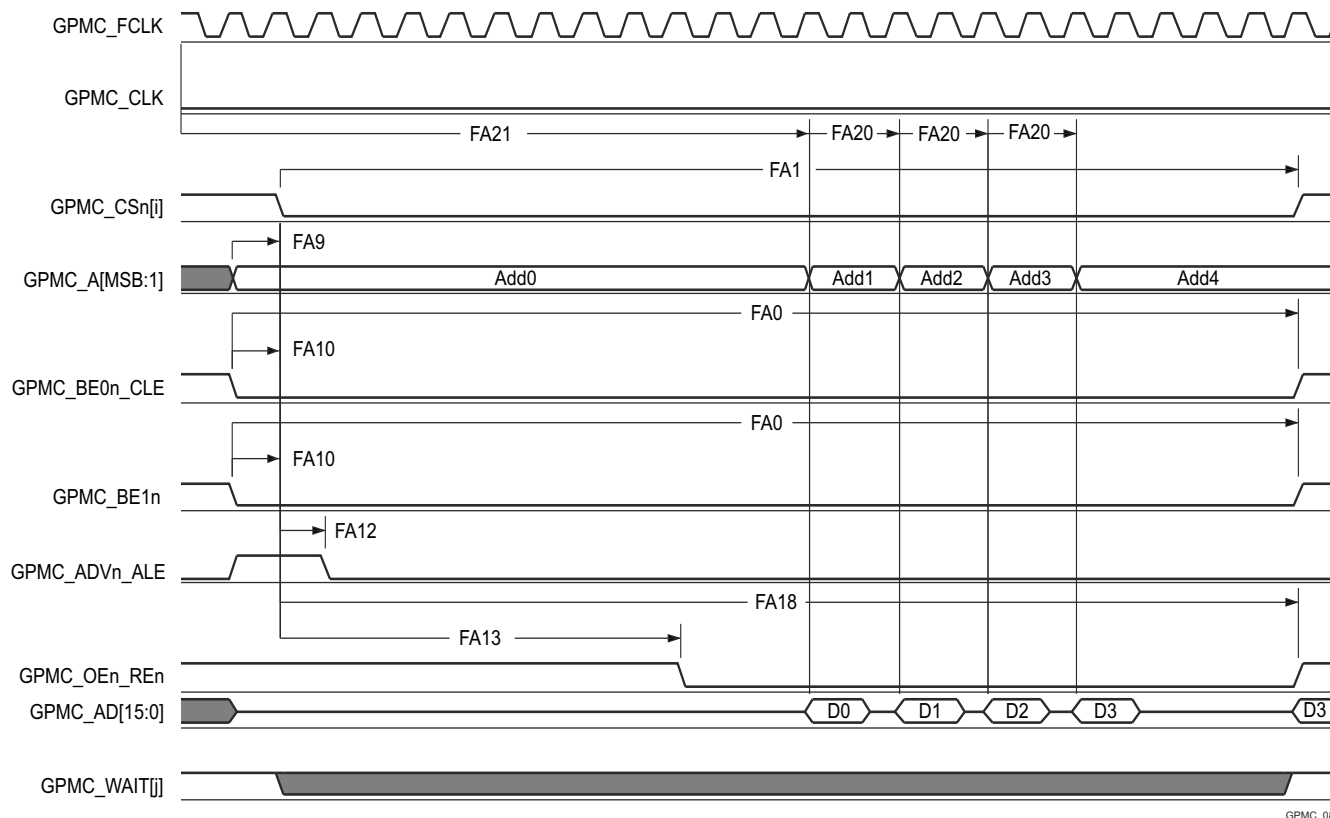
図 6-55. GPMC および NOR フラッシュ — 非同期読み取り — シングルワード



GPMC_07

- GPMC_CS[n][i] で、i は 0、1、2、または 3 です。GPMC_WAIT[j] で、j は 0 または 1 です。
- FA5 パラメータは、入力データを内部でサンプリングするために必要な時間を示しています。これは、GPMC 機能クロック サイクル数で表されます。読み取りサイクルの開始から FA5 機能クロック サイクル経過後、入力データはアクティブな機能クロック エッジによって内部的にサンプリングされます。FA5 の値は、AccessTime レジスタ ビット フィールド内に格納する必要があります。
- GPMC_FCLK は、外部に供給されない内部クロック (GPMC 機能クロック) です。

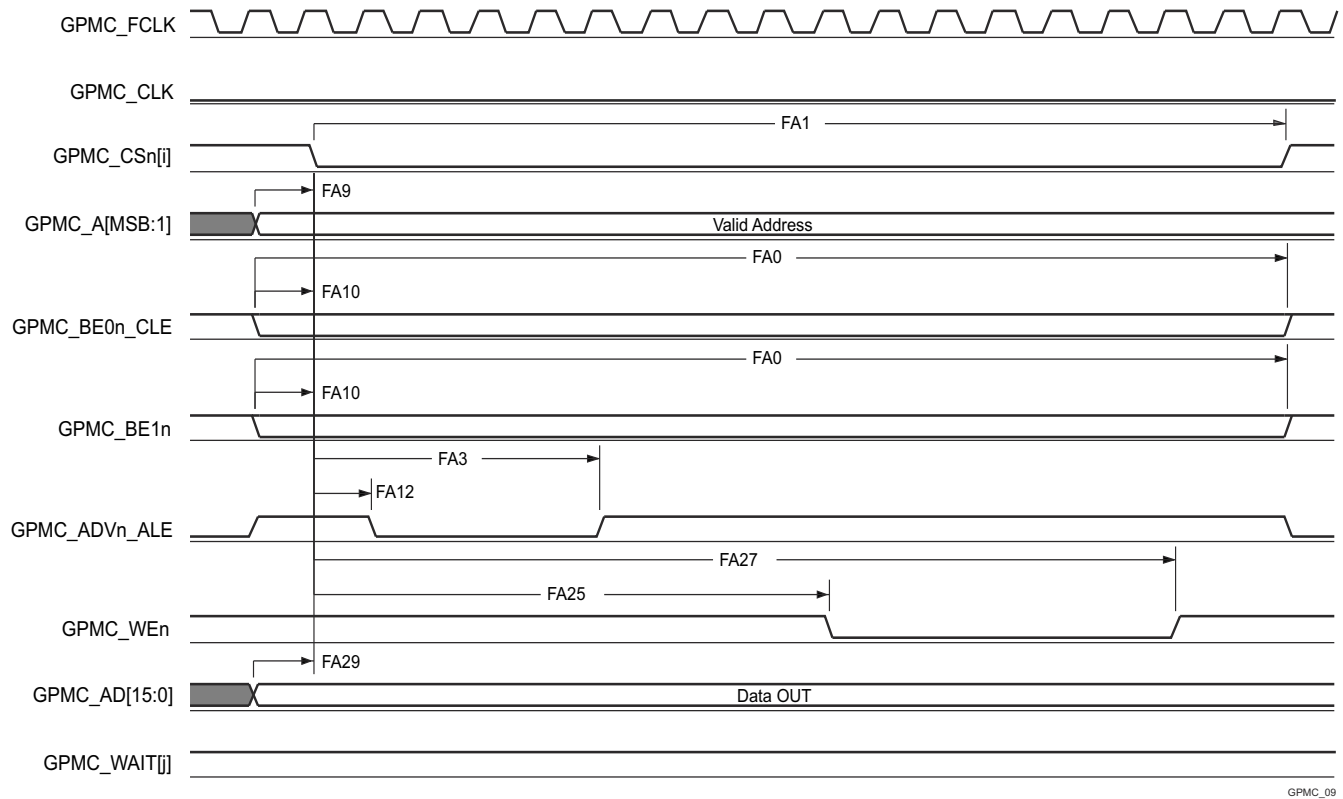
図 6-56. GPMC および NOR フラッシュ — 非同期読み取り — 32 ビット



GPMC_08

- A. GPMC_CS[n][i] で、i は 0、1、2、または 3 です。GPMC_WAIT[j] で、j は 0 または 1 です。
- B. FA21 パラメータは、最初の入力ページ データを内部でサンプリングするために必要な時間を示します。これは、GPMC 機能クロック サイクル数で表されます。読み取りサイクルの開始から FA21 機能クロック サイクル経過後、最初の入力ページのデータが、アクティブな機能クロック エッジによって内部的にサンプリングされます。FA21 の計算値は、accessTime レジスタ ビット フィールド内に保存する必要があります。
- C. FA20 パラメータは、連続する入力ページ データを内部でサンプリングするために必要な時間を示します。これは、GPMC 機能クロック サイクル数で表されます。入力ページ データへの各アクセスの後、FA20 機能クロック サイクル経過後、次の入力ページ データはアクティブな機能クロック エッジによって内部的にサンプリングされます。FA20 は、連続する入力ページ データ (最初の入力ページ データを除く) のアドレス フェーズ期間でもあります。FA20 の値は、PageBurstAccessTime レジスタ ビット フィールドに保存する必要があります。
- D. GPMC_FCLK は、外部に供給されない内部クロック (GPMC 機能クロック) です。

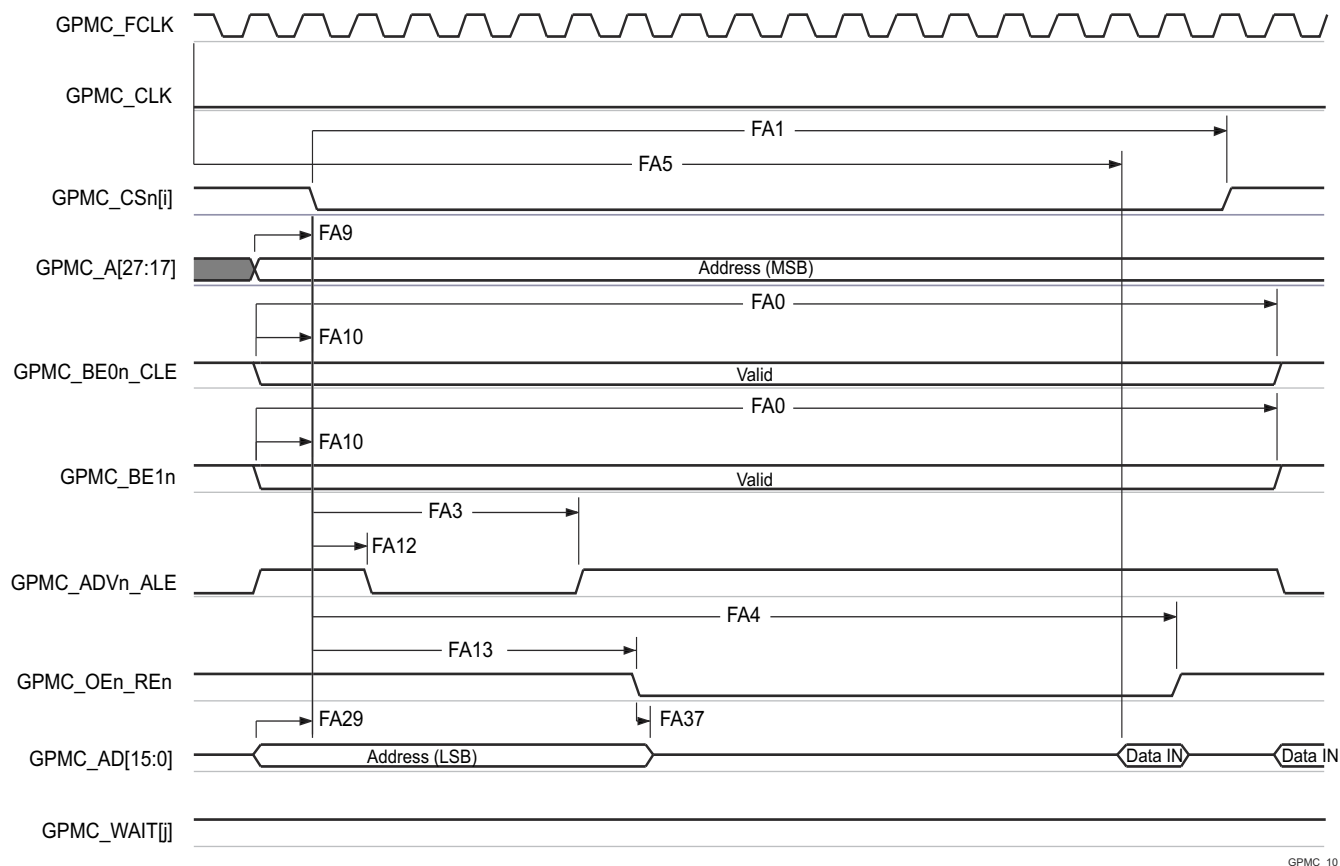
図 6-57. GPMC および NOR フラッシュ — 非同期読み取り — ページモード 4x16 ビット



GPMC_09

A. GPMC_CSn[i] で、i は 0、1、2、または 3 です。GPMC_WAIT[j] で、j は 0 または 1 です。

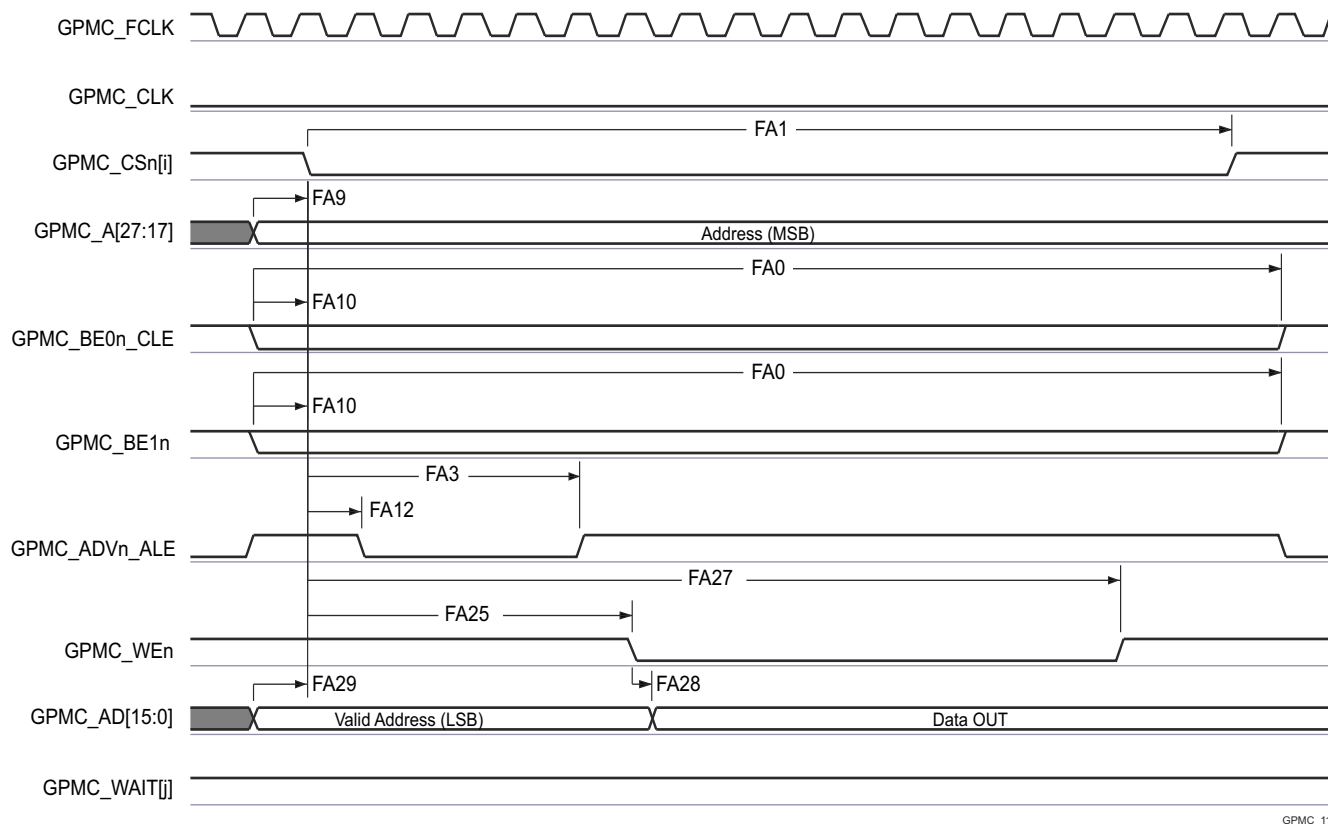
図 6-58. GPMC および NOR フラッシュ — 非同期書き込み — シングルワード



GPMC_10

- A. GPMC_CS[n][i] で、i は 0、1、2、または 3 です。GPMC_WAIT[j] で、j は 0 または 1 です。
- B. FA5 パラメータは、入力データを内部でサンプリングするために必要な時間を示しています。これは、GPMC 機能クロック サイクル数で表されます。読み取りサイクルの開始から FA5 機能クロック サイクル経過後、入力データはアクティブな機能クロック エッジによって内部的にサンプリングされます。FA5 の値は、AccessTime レジスタ ビット フィールド内に格納する必要があります。
- C. GPMC_FCLK は、外部に供給されない内部クロック (GPMC 機能クロック) です。

図 6-59. GPMC および多重化 NOR フラッシュ — 非同期読み取り — シングル ワード



GPMC_11

A. GPMC_CS[n] で、i は 0、1、2、または 3 です。GPMC_WAIT[j] で、j は 0 または 1 です。

図 6-60. GPMC および多重化 NOR フラッシュ — 非同期書き込み — シングル ワード

6.11.5.11.3 GPMC および NAND フラッシュ – 非同期モード

表 6-65 および 表 6-66 に、GPMC および NAND フラッシュ - 非同期モードのタイミング要件とスイッチング特性を示します。

表 6-65. GPMC および NAND フラッシュのタイミング要件 – 非同期モード

図 6-63 参照

番号	パラメータ	説明	最小値	最大値	単位
GNF12 ⁽¹⁾	$t_{acc(d)}$	アクセス時間、入力データ GPMC_AD[15:0]		J ⁽²⁾	ns

(1) GNF12 パラメータは、入力データを内部的にサンプリングするために必要な時間を示します。これは、GPMC 機能クロック サイクル数で表されます。読み取りサイクルの開始から GNF12 機能クロック サイクル経過後、入力データはアクティブな機能クロック エッジによって内部的にサンプリングされます。GNF12 の値は、AccessTime レジスタ ビット フィールドに保存する必要があります。

(2) $J = \text{AccessTime} \times (\text{TimeParaGranularity} + 1) \times \text{GPMC_FCLK}^{(3)}$

(3) GPMC_FCLK は、汎用メモリ コントローラの内部機能クロック周期で、ns 単位です。

表 6-66. GPMC および NAND フラッシュのスイッチング特性 – 非同期モード

図 6-61、図 6-62、図 6-63、図 6-64 を参照

番号	パラメータ	説明	最小値	最大値	単位
GNF0	$t_{w(wenV)}$	パルス幅、出力書き込みイネーブル GPMC_WEn 有効	A ⁽¹⁾		ns
GNF1	$t_{d(csnV-wenV)}$	遅延時間、出力チップ セレクト GPMC_CS <i>n</i> [<i>j</i>] ⁽¹³⁾ 有効から出力書き込みイネーブル GPMC_WEn 有効まで	B ⁽²⁾ - 2	B ⁽²⁾ + 2	ns
GNF2	$t_{w(cleH-wenV)}$	遅延時間、出力下位バイト イネーブルおよびコマンド ラッチ イネーブル GPMC_BE0 <i>n</i> _CLE high から出力書き込みイネーブル GPMC_WEn 有効まで	C ⁽³⁾ - 2	C ⁽³⁾ + 2	ns
GNF3	$t_{w(wenV-dV)}$	遅延時間、出力データ GPMC_AD[15:0] 有効から出力書き込みイネーブル GPMC_WEn 有効まで	D ⁽⁴⁾ - 2	D ⁽⁴⁾ + 2	ns
GNF4	$t_{w(wenV-dIV)}$	遅延時間、出力書き込みイネーブル GPMC_WEn 無効から出力データ GPMC_AD[15:0] 無効まで	E ⁽⁵⁾ - 2	E ⁽⁵⁾ + 2	ns
GNF5	$t_{w(wenV-cleIV)}$	遅延時間、出力書き込みイネーブル GPMC_WEn 無効から下位バイト イネーブルおよびコマンド ラッチ イネーブル GPMC_BE0 <i>n</i> _CLE 無効まで	F ⁽⁶⁾ - 2	F ⁽⁶⁾ + 2	ns
GNF6	$t_{w(wenV-CSn[j]V)}$	遅延時間、出力書き込みイネーブル GPMC_WEn 無効から出力チップ セレクト GPMC_CS <i>n</i> [<i>j</i>] ⁽¹³⁾ 無効まで	G ⁽⁷⁾ - 2	G ⁽⁷⁾ + 2	ns
GNF7	$t_{w(aleH-wenV)}$	遅延時間、出力アドレス有効およびアドレス ラッチ イネーブル GPMC_ADV <i>n</i> _ALE high から出力書き込み イネーブル GPMC_WEn 有効まで	C ⁽³⁾ - 2	C ⁽³⁾ + 2	ns
GNF8	$t_{w(wenV-aleIV)}$	遅延時間、出力書き込みイネーブル GPMC_WEn 無効から出力アドレス有効およびアドレス ラッチ イネーブル GPMC_ADV <i>n</i> _ALE 無効まで	F ⁽⁶⁾ - 2	F ⁽⁶⁾ + 2	ns
GNF9	$t_{c(wen)}$	サイクル時間、書き込み		H ⁽⁸⁾	ns
GNF10	$t_{d(csnV-oenV)}$	遅延時間、出力チップ セレクト GPMC_CS <i>n</i> [<i>j</i>] ⁽¹³⁾ 有効から出力イネーブル GPMC_OEn_RE <i>n</i> 有効まで	I ⁽⁹⁾ - 2	I ⁽⁹⁾ + 2	ns
GNF13	$t_{w(oenV)}$	パルス幅、出力イネーブル GPMC_OEn_RE <i>n</i> 有効		K ⁽¹⁰⁾	ns
GNF14	$t_{c(oen)}$	サイクル時間、読み取り	L ⁽¹¹⁾		ns
GNF15	$t_{w(oenV-CSn[j]V)}$	遅延時間、出力イネーブル GPMC_OEn_RE <i>n</i> 無効から出力チップ セレクト GPMC_CS <i>n</i> [<i>j</i>] ⁽¹³⁾ 無効まで	M ⁽¹²⁾ - 2	M ⁽¹²⁾ + 2	ns

(1) $A = (\text{WEOffTime} - \text{WEOnTime}) \times (\text{TimeParaGranularity} + 1) \times \text{GPMC_FCLK}^{(14)}$

(2) $B = ((\text{WEOnTime} - \text{CSOnTime}) \times (\text{TimeParaGranularity} + 1) + 0.5 \times (\text{WEEExtraDelay} - \text{CSEExtraDelay})) \times \text{GPMC_FCLK}^{(14)}$

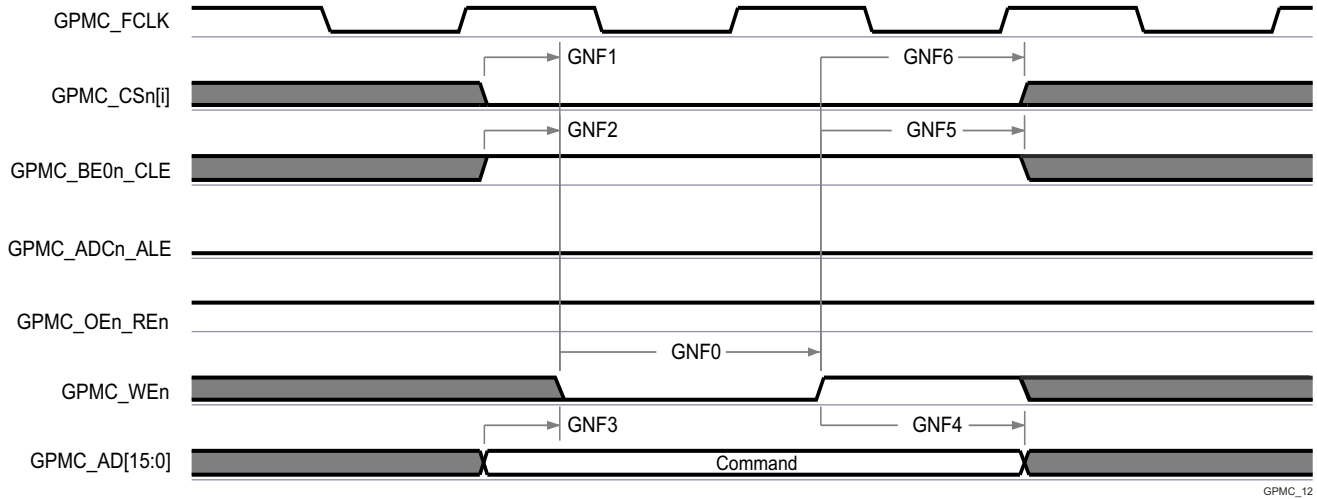
(3) $C = ((\text{WEOnTime} - \text{ADVOnTime}) \times (\text{TimeParaGranularity} + 1) + 0.5 \times (\text{WEEExtraDelay} - \text{ADVExtraDelay})) \times \text{GPMC_FCLK}^{(14)}$ 注: DeviceType の場合: NAND

- コマンド ラッチ サイクル中: CLE 信号は、ADVOnTime および ADVWrOffTime のタイミング パラメータによって制御されます
- アドレス ラッチ サイクル中: ALE 信号は、ADVOnTime および ADVWrOffTime のタイミング パラメータで制御されます。

(4) $D = (\text{WEOnTime} \times (\text{TimeParaGranularity} + 1) + 0.5 \times \text{WEEExtraDelay}) \times \text{GPMC_FCLK}^{(14)}$

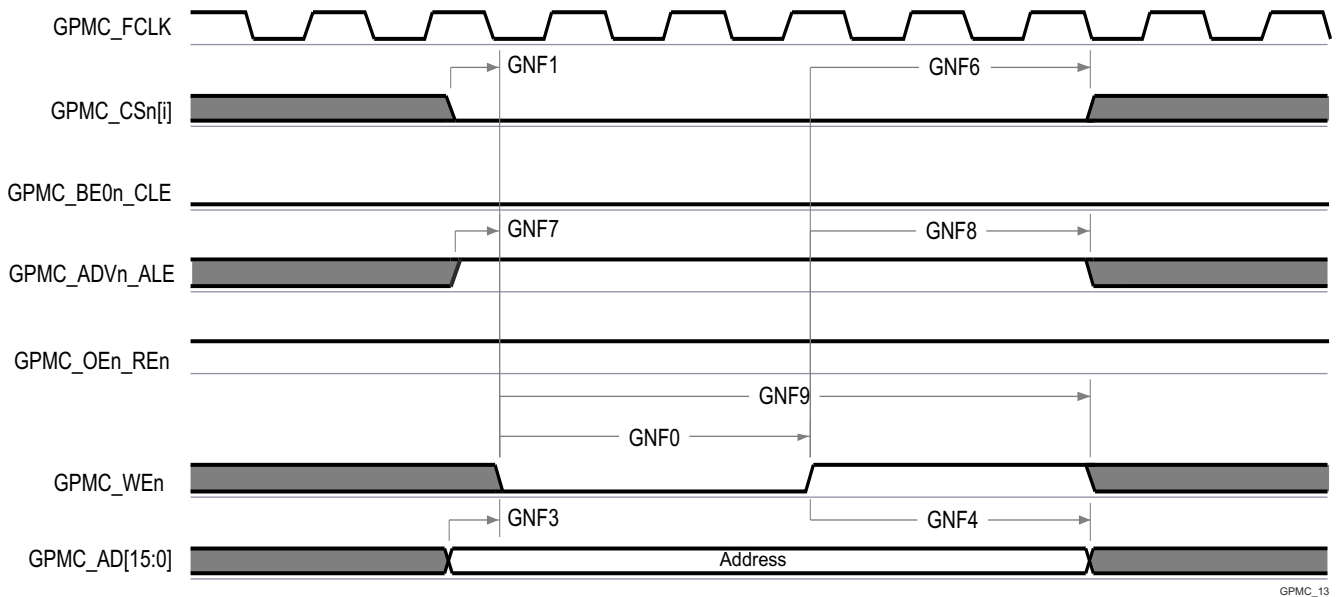
(5) $E = ((\text{WrCycleTime} - \text{WEOffTime}) \times (\text{TimeParaGranularity} + 1) - 0.5 \times \text{WEEExtraDelay}) \times \text{GPMC_FCLK}^{(14)}$

- (6) $F = ((ADVWrOffTime - WEOffTime) \times (TimeParaGranularity + 1) + 0.5 \times (ADVExtraDelay - WEEExtraDelay)) \times GPMC_FCLK^{(14)}$ 注:
DeviceType の場合: NAND
- コマンド ラッチ サイクル中: CLE 信号は、ADVOnTime および ADVWrOffTime のタイミング パラメータによって制御されます
 - アドレス ラッチ サイクル中: ALE 信号は、ADVOnTime および ADVWrOffTime のタイミング パラメータで制御されます。
- (7) $G = ((CSWrOffTime - WEOffTime) \times (TimeParaGranularity + 1) + 0.5 \times (CSEExtraDelay - WEEExtraDelay)) \times GPMC_FCLK^{(14)}$
- (8) $H = WrCycleTime \times (1 + TimeParaGranularity) \times GPMC_FCLK^{(14)}$
- (9) $I = ((OEOnTime - CSOnTime) \times (TimeParaGranularity + 1) + 0.5 \times (OEEExtraDelay - CSEExtraDelay)) \times GPMC_FCLK^{(14)}$
- (10) $K = (OEOffTime - OEOnTime) \times (1 + TimeParaGranularity) \times GPMC_FCLK^{(14)}$
- (11) $L = RdCycleTime \times (1 + TimeParaGranularity) \times GPMC_FCLK^{(14)}$
- (12) $M = ((CSRdOffTime - OEOffTime) \times (TimeParaGranularity + 1) + 0.5 \times (CSEExtraDelay - OEEExtraDelay)) \times GPMC_FCLK^{(14)}$
- (13) GPMC_CS*n*[*i*] で、*i* は 0、1、2、または 3 です。
- (14) GPMC_FCLK は、汎用メモリコントローラの内部機能クロック周期で、ns 単位です。



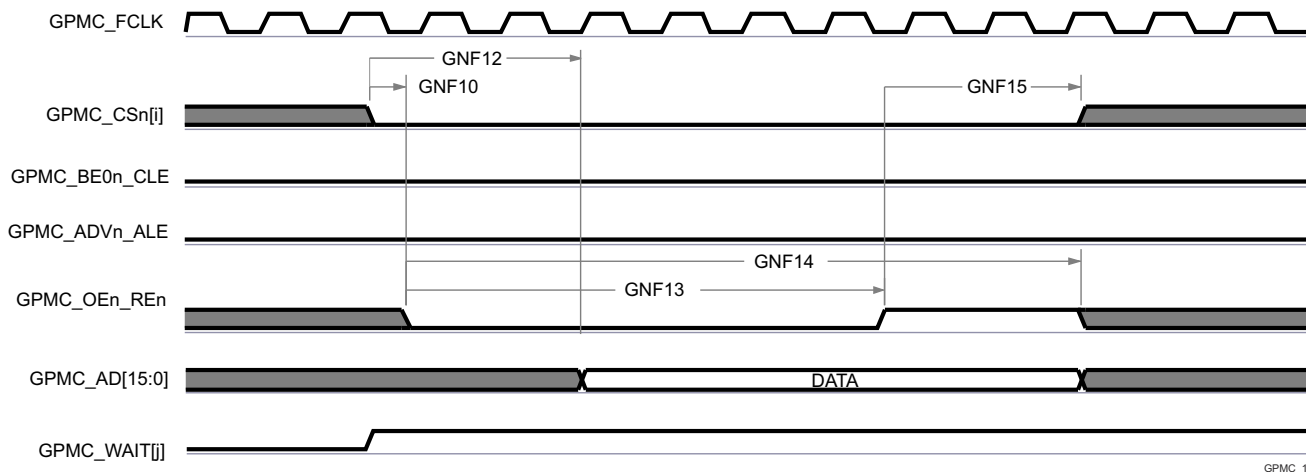
A. GPMC_CS*n*[*i*] で、*i* は 0、1、2、または 3 です。

図 6-61. GPMC および NAND フラッシュ — コマンド ラッチ サイクル



A. GPMC_CS*n*[*i*] で、*i* は 0、1、2、または 3 です。

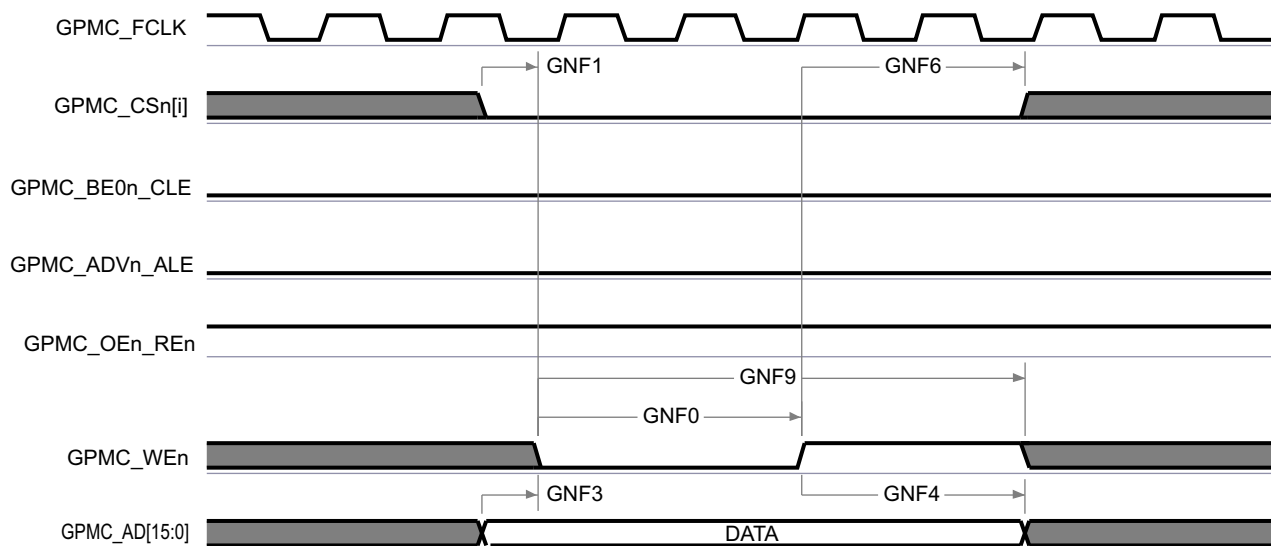
図 6-62. GPMC および NAND フラッシュ — アドレス ラッチ サイクル



GPMC_14

- A. GNF12 パラメータは、入力データを内部でサンプリングするために必要な時間を示しています。これは、GPMC 機能クロック サイクル数で表されます。読み取りサイクルの開始から GNF12 機能クロック サイクル経過後、入力データはアクティブな機能クロック エッジによって内部的にサンプリングされます。GNF12 の値は、AccessTime レジスタ ビット フィールド内に格納する必要があります。
- B. GPMC_FCLK は、外部に供給されない内部クロック (GPMC 機能クロック) です。
- C. GPMC_CS[n][i] で、i は 0、1、2、または 3 です。GPMC_WAIT[j] で、j は 0 または 1 です。

図 6-63. GPMC および NAND フラッシュ — データ読み取りサイクル



GPMC_15

- A. In GPMC_CS[n][i] で、i は 0、1、2、または 3 です。

図 6-64. GPMC および NAND フラッシュ — データ書き込みサイクル

6.11.5.12 I2C

このデバイスには、5 つの マルチコントローラ I2C (Inter-Integrated Circuit) コントローラが搭載されています。各 I2C コントローラは、I²C-bus 仕様バージョン 2.1 に準拠するように設計されています。ただし、本デバイスの IO は、I2C の電氣的仕様に完全には準拠していません。サポートされる速度および例外については、IO バッファタイプごとに説明します。特定の I2C インスタンスにどの IO バッファタイプが関連付けられているかを確認するには、「ピン属性」表のバッファタイプ列を参照してください。

- **LVC MOS、1P8-LVC MOS、または SDIO**

- 速度:
 - スタンダード モード (最大 100kbit/s)
 - 1.8V
 - 3.3V (1P8-LVC MOS バッファタイプはサポートされていません)
 - ファースト モード (最大 400kbit/s)
 - 1.8V
 - 3.3V (1P8-LVC MOS バッファタイプはサポートされていません)
- 例外:
 - これらのポートに関連付けられている IO は、I2C 仕様で定義されている立ち下がり時間要件に準拠していません。これらの I/O には、I2C 互換の IO では実装できなかった他の信号機能をサポートするように設計された、より高性能の LVC MOS プッシュプル IO が実装されているからです。これらのポートで使用されている LVC MOS IO は、オープンドレイン出力をエミュレートするように接続されます。このエミュレーションは、強制的に常に Low を出力し、出力バッファを無効にして、Hi-Z 状態にすることにより実行されます。
 - I2C 仕様では、最大入力電圧 V_{IH} が $(V_{DD_{max}} + 0.5V)$ と定義されています。これは、デバイスの IO の絶対最大定格を超えています。I2C 信号が、このデータシートの「絶対最大定格」セクションに定義された制限を超えないようにシステムを設計する必要があります。

- **I2C OD FS**

- 速度:
 - スタンダード モード (最大 100kbit/s)
 - 1.8V
 - 3.3V
 - ファースト モード (最大 400kbit/s)
 - 1.8V
 - 3.3V
 - Hs モード (最大 3.4Mbits/s)
 - 1.8V
- 例外:
 - これらのポートに関連付けられている IO は、3.3V で動作しているときに Hs モードをサポートするには設計されていません。したがって、Hs モードは 1.8V 動作に限定されます。
 - これらのポートに接続された I2C 信号の立ち上がりおよび立ち下がり時間は、スルーレート 0.08V/ns (すなわち 8E+7 V/s) を超えないようにする必要があります。この制限は、I2C 仕様で定義されている最小立ち下がり時間の制限よりも厳しいものです。したがって、立ち上がりおよび立ち下がり時間が 0.08V/ns のスルーレートを上回らないように、I2C 信号に容量を追加する必要がある場合があります。
 - I2C 仕様では、最大入力電圧 V_{IH} が $(V_{DD_{max}} + 0.5V)$ と定義されています。これは、デバイスの IO の絶対最大定格を超えています。I2C 信号が、このデータシートの「絶対最大定格」セクションに定義された制限を超えないようにシステムを設計する必要があります。

注

I2C2 および I2C3 には、複数のピンに多重化可能な信号が 1 つ以上あります。タイミングは、IOSET と呼ばれる特定のピンの組み合わせに対してのみ有効です。このインターフェイスに有効なピンの組み合わせ (IOSET) は、[SysConfig-PinMux ツール](#)で定義されます。

タイミングの詳細については、Philips I2C-bus 仕様バージョン 2.1 を参照してください。

本デバイスの I2C (Inter-Integrated Circuit) の機能の詳細と追加の説明情報については、「信号の説明」および「詳細説明」セクションの対応するサブセクションを参照してください。

6.11.5.13 MCAN

注

MCAN1 および MCAN2 には、複数のピンに多重化可能な信号が 1 つ以上あります。このセクションで定義されているタイミング要件とスイッチング特性は、IOSET と呼ばれる特定のピンの組み合わせにのみ有効です。このインターフェイスに有効なピンの組み合わせ (IOSET) は、[SysConfig-PinMux ツール](#) で定義されます。

表 6-67 および表 6-68 に、MCAN のタイミング条件、要件、スイッチング特性を示します。

本デバイスのコントローラ エリア ネットワーク インターフェイスの機能の詳細と追加の説明情報については、「信号の説明」および「詳細説明」セクションの対応するサブセクションを参照してください。

注

このデバイスは、複数の MCAN モジュールを備えています。MCANn は、MCAN 信号名に適用される全般的な接頭辞です。ここで、n は特定の MCAN モジュールを表します。

表 6-67. MCAN のタイミング条件

パラメータ		最小値	最大値	単位
入力条件				
SR _i	入力スルーレート	2	15	V/ns
出力条件				
C _L	出力負荷容量	5	20	pF

表 6-68. MCAN スイッチング特性

番号	パラメータ	説明	最小値	最大値	単位
MCAN1	t _d (MCAN_TX)	遅延時間、送信シフトレジスタから MCANn_TX まで		10	ns
MCAN2	t _d (MCAN_RX)	遅延時間、MCANn_RX から受信シフトレジスタまで		10	ns

詳細については、デバイスのテクニカル リファレンス マニュアルで「ペリフェラル」の章にある「モジュラー コントローラ エリア ネットワーク (MCAN)」セクションを参照してください。

6.11.5.14 MCASP

注

MCASP1 および MCASP2 には、複数のピンに多重化可能な信号が 1 つ以上あります。このセクションで定義されているタイミング要件とスイッチング特性は、IOSET と呼ばれる特定のピンの組み合わせにのみ有効です。このインターフェイスに有効なピンの組み合わせ (IOSET) は、**SysConfig-PinMux ツール** で定義されます。

表 6-69、表 6-70、図 6-65、表 6-71、図 6-66 に、MCASP のタイミング条件、タイミング要件、スイッチング特性を示します。

表 6-69. MCASP のタイミング条件

パラメータ		最小値	最大値	単位
入力条件				
SR _I	入力スルーレート	0.7	5	V/ns
出力条件				
C _L	出力負荷容量	1	10	pF
PCB 接続要件				
t _d (Trace Delay)	各パターンの伝搬遅延	100	1100	ps
t _d (Trace Mismatch Delay)	すべてのパターンにわたる伝搬遅延の不整合		100	ps

表 6-70. MCASP のタイミング要件

図 6-65 参照

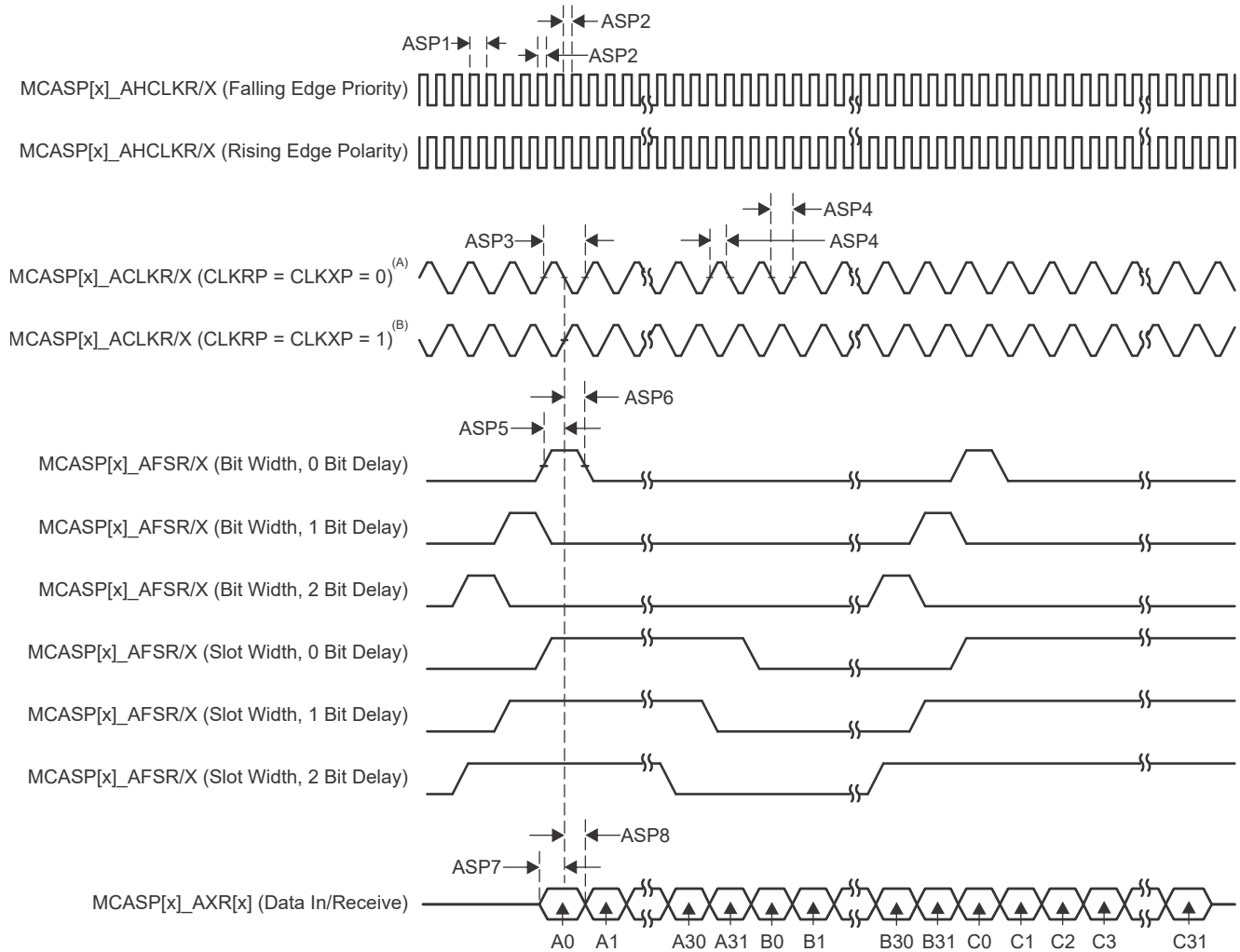
番号			モード ⁽¹⁾	最小値	最大値	単位
ASP1	t _c (AHCLKRX)	サイクル時間、MCASP[x]_AHCLKR/X ⁽⁴⁾		20		ns
ASP2	t _w (AHCLKRX)	パルス幅、MCASP[x]_AHCLKR/X ⁽⁴⁾ high または low		0.5P ⁽²⁾ - 1.53		ns
ASP3	t _c (ACLKRX)	サイクル時間、MCASP[x]_ACLKR/X ⁽⁴⁾		20		ns
ASP4	t _w (ACLKRX)	パルス幅、MCASP[x]_ACLKR/X ⁽⁴⁾ high または low		0.5R ⁽³⁾ - 1.53		ns
ASP5	t _{su} (AFSRX-ACLKRX)	セットアップ時間、MCASP[x]_AFSR/X ⁽⁴⁾ 入力有効から MCASP[x]_ACLKR/X ⁽⁴⁾ まで	ACLKR/X 内部	9.29		ns
			ACLKR/X 外部入力 / 出力	4		
ASP6	t _h (ACLKRX-AFSRX)	ホールド時間、MCASP[x]_ACLKR/X ⁽⁴⁾ から MCASP[x]_AFSR/X ⁽⁴⁾ 入力有効まで	ACLKR/X 内部	-1		ns
			ACLKR/X 外部入力 / 出力	1.6		
ASP7	t _{su} (AXR-ACLKRX)	セットアップ時間、MCASP[x]_AXR ⁽⁴⁾ 入力有効から MCASP[x]_ACLKR/X ⁽⁴⁾ まで	ACLKR/X 内部	9.29		ns
			ACLKR/X 外部入力 / 出力	4		
ASP8	t _h (ACLKRX-AXR)	ホールド時間、MCASP[x]_ACLKR/X ⁽⁴⁾ から MCASP[x]_AXR ⁽⁴⁾ 入力有効まで	ACLKR/X 内部	-1		ns
			ACLKR/X 外部入力 / 出力	1.6		

- (1) ACLKR 内部: ACLKRCTL.CLKRM = 1, PDIR.ACLKR = 1
 ACLKR 外部入力: ACLKRCTL.CLKRM = 0, PDIR.ACLKR = 0
 ACLKR 外部出力: ACLKRCTL.CLKRM = 0, PDIR.ACLKR = 1
 ACLKX 内部: ACLKXCTL.CLKXM = 1, PDIR.ACLKX = 1
 ACLKX 外部入力: ACLKXCTL.CLKXM = 0, PDIR.ACLKX = 0
 ACLKX 外部出力: ACLKXCTL.CLKXM = 0, PDIR.ACLKX = 1

- (2) P = AHCLKR/X 周期 (ns 単位)。AHCLKR/X クロック ソース オプションの詳細については、テクニカル リファレンス マニュアルにある「モジュール統合」の章の「マルチチャネル オーディオ シリアル ポート (MCASP)」セクションの「McASP クロック」表を参照してください。

- (3) R = ACLKR/X 周期 (ns 単位)。

- (4) MCASP[x]_* の x は 0、1、または 2



- A. CLKRP = CLKXP = 0 の場合、MCASP トランスミッタは立ち上がりエッジ (シフト データ アウト) に構成され、MCASP レシーバは立ち下がりエッジ (シフト データ イン) に構成されます。
- B. CLKRP = CLKXP = 1 の場合、MCASP トランスミッタは立ち下がりエッジ (シフト データ アウト) に構成され、MCASP レシーバは立ち上がりエッジ (シフト データ イン) に構成されます。

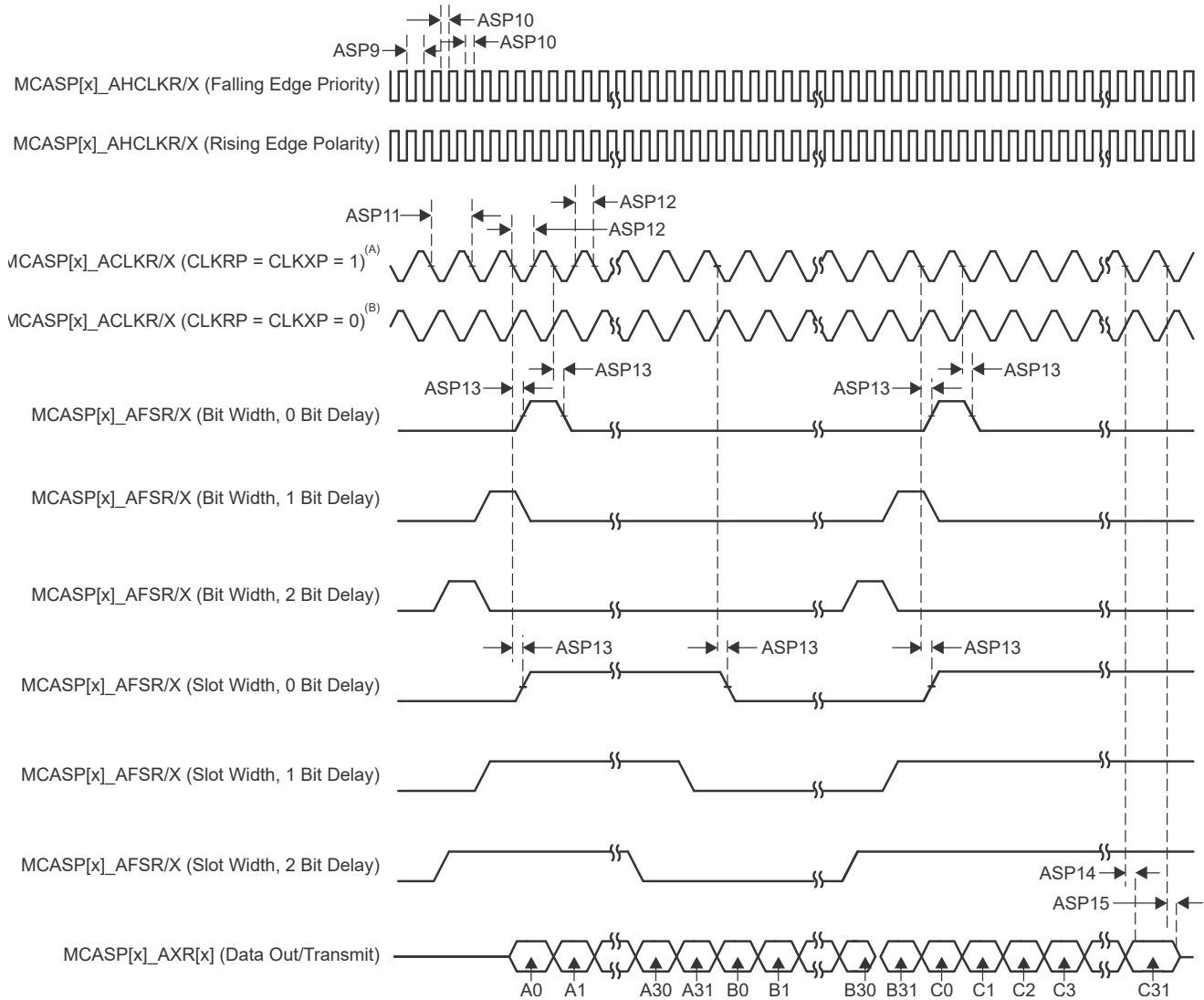
図 6-65. MCASP のタイミング要件

表 6-71. MCASP スイッチング特性

図 6-66 参照

番号	パラメータ	説明	モード ⁽¹⁾	最小値	最大値	単位
ASP9	$t_c(\text{AHCLKRX})$	サイクル時間、MCASP[x]_AHCLKR/X ⁽⁴⁾		20		ns
ASP10	$t_w(\text{AHCLKRX})$	パルス幅、MCASP[x]_AHCLKR/X ⁽⁴⁾ high または low		0.5P ⁽²⁾ - 2		ns
ASP11	$t_c(\text{ACLKRX})$	サイクル時間、MCASP[x]_ACLKR/X ⁽⁴⁾		20		ns
ASP12	$t_w(\text{ACLKR})$	パルス幅、MCASP[x]_ACLKR/X ⁽⁴⁾ high または low		0.5R ⁽³⁾ - 2		ns
ASP13	$t_d(\text{ACLKR}-\text{AFSRX})$	遅延時間、MCASP[x]_ACLKR/X ⁽⁴⁾ 送信エッジから MCASP[x]_AFSR/X ⁽⁴⁾ 出力有効まで	ACLKR/X 内部	-1	7.25	ns
			ACLKR/X 外部入力 / 出力	-15.29	12.84	
ASP14	$t_d(\text{ACLKX}-\text{AXR})$	遅延時間、MCASP[x]_ACLKX ⁽⁴⁾ 送信エッジから MCASP[x]_AXR ⁽⁴⁾ 出力有効まで	ACLKR/X 内部	-1	7.25	ns
			ACLKR/X 外部入力 / 出力	-15.29	12.84	
ASP15	$t_{\text{dis}}(\text{ACLKX}-\text{AXR})$	ディセーブル時間、MCASP[x]_ACLKX ⁽⁴⁾ 送信エッジから MCASP[x]_AXR ⁽⁴⁾ 出力ハイインピーダンスまで	ACLKR/X 内部	-1	7.25	ns
			ACLKR/X 外部入力 / 出力	-14.9	14	

- (1) ACLKR 内部: ACLKRCTL.CLKRM = 1、PDIR.ACLKR = 1
 ACLKR 外部入力: ACLKRCTL.CLKRM = 0、PDIR.ACLKR = 0
 ACLKR 外部出力: ACLKRCTL.CLKRM = 0、PDIR.ACLKR = 1
 ACLKX 内部: ACLKXCTL.CLKXM = 1、PDIR.ACLKX = 1
 ACLKX 外部入力: ACLKXCTL.CLKXM = 0、PDIR.ACLKX = 0
 ACLKX 外部出力: ACLKXCTL.CLKXM = 0、PDIR.ACLKX = 1
- (2) P = AHCLKR/X 周期 (ns 単位)。AHCLKR/X クロック ソース オプションの詳細については、テクニカル リファレンス マニュアルにある「モジュール統合」の章の「マルチチャネル オーディオ シリアル ポート (MCASP)」セクションの「McASP クロック」表を参照してください。
- (3) R = ACLKR/X 周期 (ns 単位)。
- (4) MCASP[x]_* の x は 0、1、または 2



- A. CLKRP = CLKXP = 1 の場合、MCASP トランスミッタは立ち下がりエッジ (シフト データ アウト) に構成され、MCASP レシーバは立ち上がりエッジ (シフト データ イン) に構成されます。
- B. CLKRP = CLKXP = 0 の場合、MCASP トランスミッタは立ち上がりエッジ (シフト データ アウト) に構成され、MCASP レシーバは立ち下がりエッジ (シフト データ イン) に構成されます。

図 6-66. MCASP スイッチング特性

詳細については、デバイスのテクニカル リファレンス マニュアルで「ペリフェラル」の章にある「マルチチャネル オーディオ シリアル ポート (MCASP)」セクションを参照してください。

6.11.5.15 MCSPI

注

MCSP11、MCSP12、MCSP13 は、複数のピンに多重化できる 1 つ以上の信号を持っています。このセクションで定義されているタイミング要件とスイッチング特性は、IOSET と呼ばれる特定のピンの組み合わせにのみ有効です。このインターフェイスに有効なピンの組み合わせ (IOSET) は、[SysConfig-PinMux ツール](#) で定義されます。

本デバイスのシリアル ポート インターフェイスの機能の詳細と追加の説明情報については、「信号の説明」および「詳細説明」の対応するサブセクションを参照してください。

表 6-72 に、MCSPI のタイミング条件を示します。

表 6-72. MCSPI のタイミング条件

パラメータ		最小値	最大値	単位
入力条件				
SR _i	入力スルーレート	2	8.5	V/ns
出力条件				
C _L	出力負荷容量	6	12	pF

詳細については、デバイス TRM のテクニカル リファレンス マニュアルで「ペリフェラル」の章にある「マルチチャネル シリアル ペリフェラル インターフェイス (MCSPI)」セクションを参照してください。

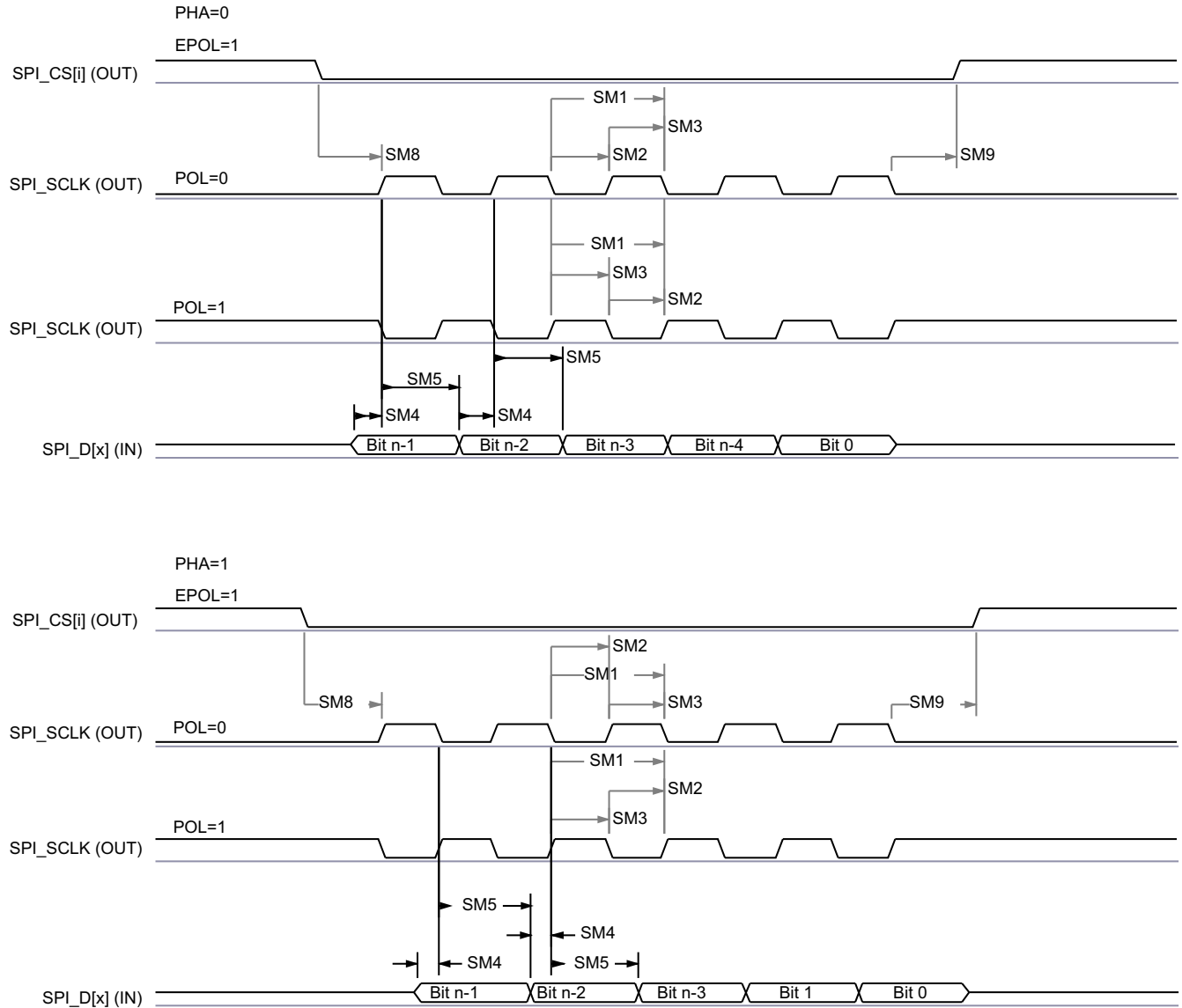
6.11.5.15.1 MCSPI — コントローラ モード

表 6-73、図 6-67、表 6-74、図 6-68 に、SPI コントローラ モードのタイミング要件とスイッチング特性を示します。

表 6-73. MCSPI のタイミング要件 - コントローラ モード

図 6-67 参照

番号	パラメータ	説明	最小値	最大値	単位
SM4	$t_{su}(POCI-SPICLK)$	セットアップ時間、SPIn_D[x] 有効から SPIn_CLK アクティブ エッジまで	2.8		ns
SM5	$t_h(SPICLK-POCI)$	ホールド時間、SPIn_CLK のアクティブ エッジ後に SPIn_D[x] を有効に保持すべき時間	3		ns



SPRSP08_TIMING_McSPI_02

図 6-67. SPI コントローラ モードの受信タイミング

表 6-74. MCSPI のスイッチング特性 - コントローラ モード

図 6-68 参照

番号	パラメータ		最小値	最大値	単位
SM1	$t_c(\text{SPICLK})$	サイクル時間、SPIn_CLK	20		ns
SM2	$t_w(\text{SPICLK})$	パルス幅、SPIn_CLK Low	$0.5P - 1^{(1)}$		ns
SM3	$t_w(\text{SPICLK})$	パルス幅、SPIn_CLK High	$0.5P - 1^{(1)}$		ns
SM6	$t_d(\text{SPICLK-PICO})$	遅延時間、SPIn_CLK アクティブ エッジから SPIn_D[x] まで	-3	2.5	ns
SM7	$t_d(\text{CS-PICO})$	遅延時間、SPIn_CSi アクティブ エッジから SPIn_D[x] まで	5		ns
SM8	$t_d(\text{CS-SPICLK})$	遅延時間、SPIn_CSi アクティブから SPIn_CLK の最初のエッジまで	PHA = 0	B - 4 ⁽²⁾	ns
			PHA = 1	A - 4 ⁽³⁾	ns
SM9	$t_d(\text{SPICLK-CS})$	遅延時間、SPIn_CLK の最後のエッジから SPIn_CSi 非アクティブまで	PHA = 0	A - 4 ⁽⁴⁾	ns
			PHA = 1	B - 4 ⁽⁵⁾	ns

(1) $P = \text{SPIn_CLK}$ 周期 (ns 単位)。(2) T_{ref} は、McSPI 機能クロックの周期です (ns 単位)。Fratio は、McSPI 機能クロックの周波数と SPIn_CLK クロックの周波数との分周比で、MCSPI_CH(i)CONF レジスタの CLKD および CLKG ビットフィールド、および MCSPI_CH(i)CTRL レジスタの EXTCLK ビットフィールドによって制御されます。TCS(i) は、MCSPI_CH(i)CONF レジスタのチップ セレクト時間制御ビット フィールドにプログラムされる値です。

- Fratio = 1 のとき、 $B = (\text{TCS}(i) + 0.5) * T_{\text{ref}}$ 。
- $\text{Fratio} \geq 2$ かつ偶数のとき、 $B = (\text{TCS}(i) + 0.5) * \text{Fratio} * T_{\text{ref}}$ 。
- $\text{Fratio} \geq 3$ かつ奇数のとき、 $B = ((\text{TCS}(i) * \text{Fratio}) + ((\text{Fratio} + 1) / 2)) * T_{\text{ref}}$ 。

(3) T_{ref} は、McSPI 機能クロックの周期です。Fratio は、McSPI 機能クロックの周波数と SPIn_CLK クロックの周波数との分周比で、MCSPI_CH(i)CONF レジスタの CLKD および CLKG ビットフィールド、および MCSPI_CH(i)CTRL レジスタの EXTCLK ビットフィールドによって制御されます。TCS(i) は、MCSPI_CH(i)CONF レジスタのチップ セレクト時間制御ビット フィールドにプログラムされる値です。

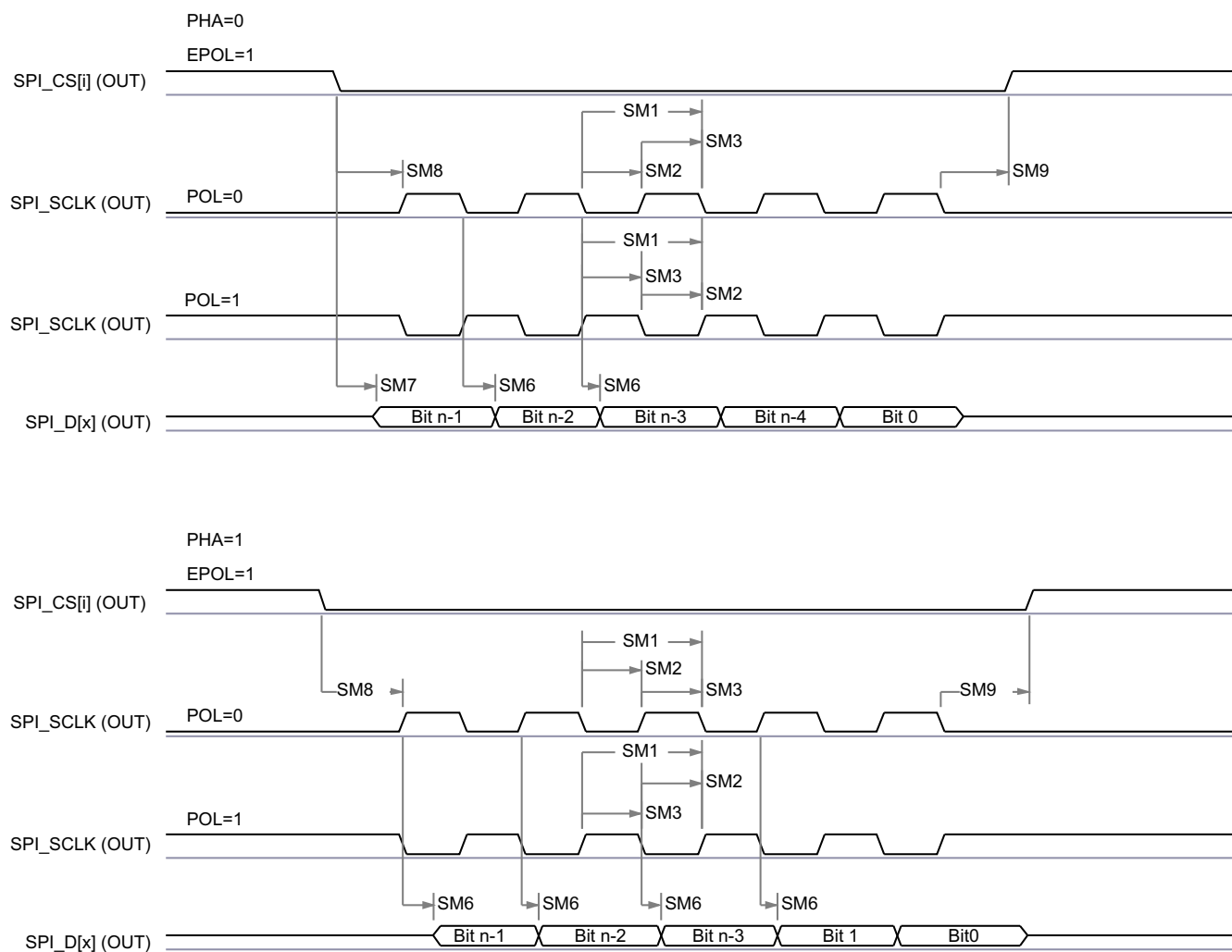
- Fratio = 1 のとき、 $A = (\text{TCS}(i) + 1) * T_{\text{ref}}$ 。
- $\text{Fratio} \geq 2$ かつ偶数のとき、 $A = (\text{TCS}(i) + 0.5) * \text{Fratio} * T_{\text{ref}}$ 。
- $\text{Fratio} \geq 3$ かつ奇数のとき、 $A = ((\text{TCS}(i) * \text{Fratio}) + ((\text{Fratio} - 1) / 2)) * T_{\text{ref}}$ 。

(4) T_{ref} は、McSPI 機能クロックの周期です。Fratio は、McSPI 機能クロックの周波数と SPIn_CLK クロックの周波数との分周比で、MCSPI_CH(i)CONF レジスタの CLKD および CLKG ビットフィールド、および MCSPI_CH(i)CTRL レジスタの EXTCLK ビットフィールドによって制御されます。TCS(i) は、MCSPI_CH(i)CONF レジスタのチップ セレクト時間制御ビット フィールドにプログラムされる値です。

- Fratio = 1 のとき、 $A = (\text{TCS}(i) + 1) * T_{\text{ref}}$ 。
- $\text{Fratio} \geq 2$ かつ偶数のとき、 $A = (\text{TCS}(i) + 0.5) * \text{Fratio} * T_{\text{ref}}$ 。
- $\text{Fratio} \geq 3$ かつ奇数のとき、 $A = ((\text{TCS}(i) * \text{Fratio}) + ((\text{Fratio} + 1) / 2)) * T_{\text{ref}}$ 。

(5) T_{ref} は、McSPI 機能クロックの周期です。Fratio は、McSPI 機能クロックの周波数と SPIn_CLK クロックの周波数との分周比で、MCSPI_CH(i)CONF レジスタの CLKD および CLKG ビットフィールド、および MCSPI_CH(i)CTRL レジスタの EXTCLK ビットフィールドによって制御されます。TCS(i) は、MCSPI_CH(i)CONF レジスタのチップ セレクト時間制御ビット フィールドにプログラムされる値です。

- Fratio = 1 のとき、 $B = (\text{TCS}(i) + 0.5) * T_{\text{ref}}$ 。
- $\text{Fratio} \geq 2$ かつ偶数のとき、 $B = (\text{TCS}(i) + 0.5) * \text{Fratio} * T_{\text{ref}}$ 。
- $\text{Fratio} \geq 3$ かつ奇数のとき、 $B = ((\text{TCS}(i) * \text{Fratio}) + ((\text{Fratio} - 1) / 2)) * T_{\text{ref}}$ 。



SPRSP08_TIMING_McSPI_01

図 6-68. SPI コントローラ モードの送信タイミング

6.11.5.15.2 MCSPI — ペリフェラル モード

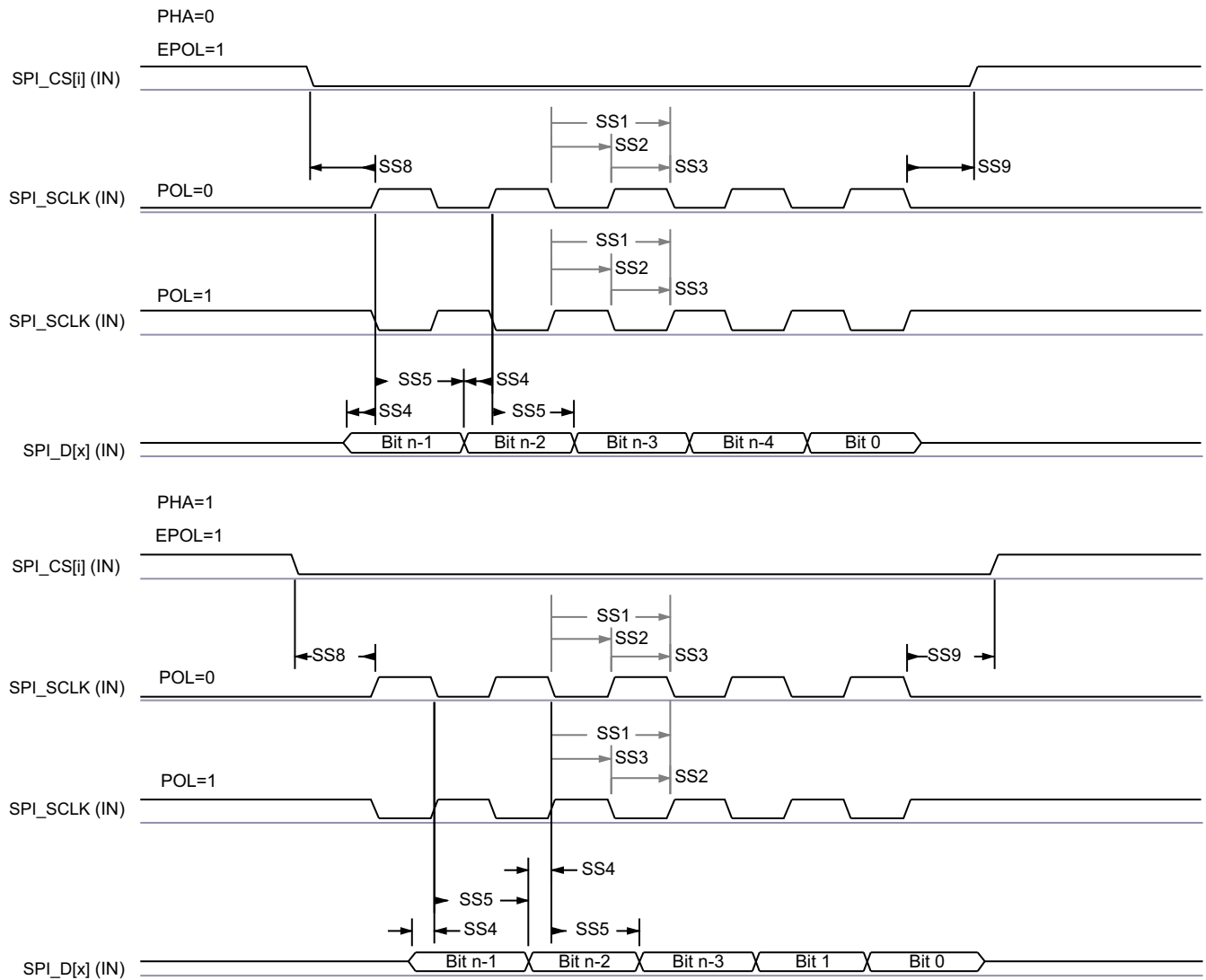
表 6-75、図 6-69、表 6-76、図 6-70 に、SPI —ペリフェラル モードのタイミング要件とスイッチング特性を示します。

表 6-75. MCSPI のタイミング要件 - ペリフェラル モード

図 6-69 参照

番号	パラメータ	説明	最小値	最大値	単位
SS1	$t_{c}(\text{SPICLK})$	サイクル時間、SPIn_CLK	20		ns
SS2	$t_{w}(\text{SPICLK}_L)$	パルス幅、SPIn_CLK Low	0.45P ⁽¹⁾		ns
SS3	$t_{w}(\text{SPICLK}_H)$	パルス幅、SPIn_CLK High	0.45P ⁽¹⁾		ns
SS4	$t_{su}(\text{PICO-SPICLK})$	セットアップ時間、SPIn_D[x] 有効から SPIn_CLK アクティブ エッジまで	5		ns
SS5	$t_{h}(\text{SPICLK-PICO})$	ホールド時間、SPIn_CLK のアクティブ エッジ後に SPIn_D[x] を有効に保持すべき時間	5		ns
SS8	$t_{su}(\text{CS-SPICLK})$	セットアップ時間、SPIn_CSi 有効から SPIn_CLK の最初のエッジまで	5		ns
SS9	$t_{h}(\text{SPICLK-CS})$	ホールド時間、SPIn_CLK の最後のエッジ後に SPIn_CSi 有効の時間	5		ns

(1) P = SPIn_CLK 周期 (ns 単位)。



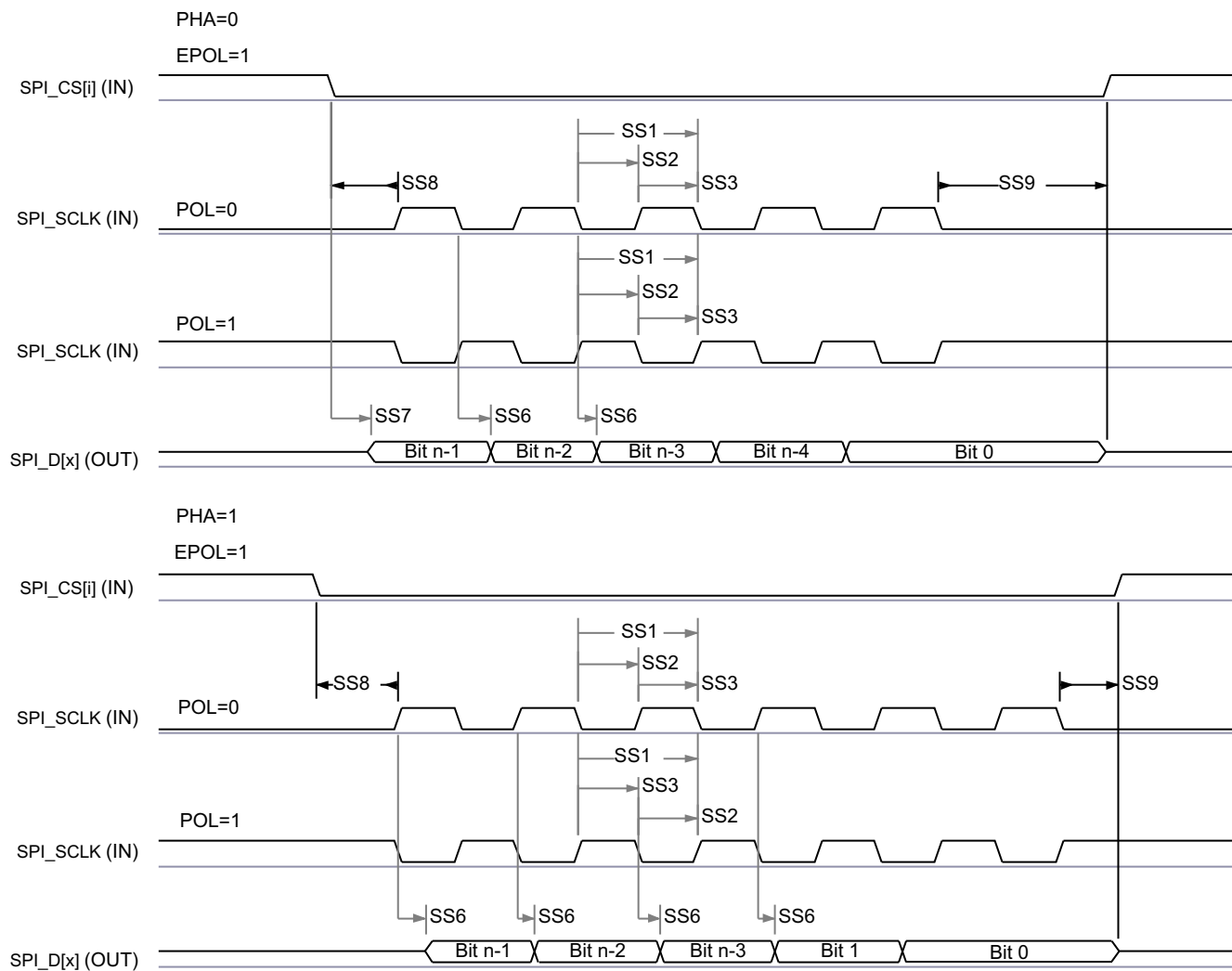
SPRSP08_TIMING_McSPI_04

図 6-69. SPI ペリフェラル モードの受信タイミング

表 6-76. MCSPI のスイッチング特性 - ペリフェラル モード

図 6-70 参照

番号	パラメータ	説明	最小値	最大値	単位
SS6	$t_d(\text{SPICLK-POCI})$	遅延時間、SPIn_CLK アクティブ エッジから SPIn_D[x] まで	2	17.12	ns
SS7	$t_{sk}(\text{CS-POCI})$	遅延時間、SPIn_CSi アクティブ エッジから SPIn_D[x] まで	20.95		ns



SPRSP08_TIMING_MCSPI_03

図 6-70. SPI ペリフェラル モードの送信タイミング

6.11.5.16 MMCSD

MMCSD ホスト コントローラは、組込みマルチメディア カード (MMC)、セキュア デジタル (SD)、セキュア デジタル IO (SDIO) デバイスへのインターフェイスとして機能します。MMCSD ホスト コントローラは、送信レベルでの MMC/SD/SDIO プロトコル、データ パッキング、巡回冗長検査 (CRC) の追加、開始 / 終了ビットの挿入、構文の正確性チェックを処理します。

MMCSD インターフェイスの詳細については、「信号説明」および「詳細説明」セクションの対応する MMC0、MMC1、MMC2 サブセクションを参照してください。

注

一部の動作モードでは、表 6-77 および 表 6-98 に示すように、MMC DLL 遅延設定のソフトウェア設定が必要です。

表 6-77 と表 6-98 で、ITAPDLYSEL 列に「チューニング」の値が表示されているモードでは、入力タイミングを最適化するためにチューニング アルゴリズムを使用する必要があります。入力タイミングを最適化するために必要なチューニング アルゴリズムと入力遅延の構成の詳細については、デバイス TRM の「MMCSD プログラミング ガイド」を参照してください。

詳細については、デバイスのテクニカル リファレンス マニュアルで「ペリフェラル」の章にある「マルチメディアカード / セキュア デジタル (MMCSD) インターフェイス」セクションを参照してください。

6.11.5.16.1 MMC0 - eMMC/SD/ SDIO インターフェイス

MMC0 インターフェイスは、JEDEC eMMC 電気規格 v5.1 (JESD84-B51) に準拠しており、以下に示す eMMC アプリケーションをサポートしています。

- レガシー SDR
- ハイスピード SDR
- ハイスピード DDR
- HS200

MMC0 インターフェイスは、SD ホスト コントローラ標準仕様 4.10、SD 物理層仕様 v3.01、SDIO 仕様 v3.00 にも準拠しています。次のデータ転送モードは、組み込み SDIO デバイスへの接続にのみ使用できます。

- デフォルト速度
- 高速
- UHS-I SDR12
- UHS-I SDR25

表 6-77 に、MMC0 タイミング モードに必要な DLL ソフトウェア構成設定を示します。

表 6-77. すべてのタイミング モードに対する MMC0 DLL 遅延マッピング

レジスタ名		MMCS0_MMC_SSCFG_PHY_CTRL_4_REG			
ビットフィールド		[20]	[16:12]	[8]	[4:0]
ビットフィールド名		OTAPDLYENA	OTAPDLYSEL	ITAPDLYENA	ITAPDLYSEL
モード	説明	出力 遅延 イネーブル	出力 遅延 値	入力 遅延 イネーブル	入力 遅延 値
レガシー SDR	8 ビット PHY 動作 1.8V、25MHz	NA ⁽¹⁾	NA ⁽¹⁾	0x0	NA ⁽²⁾
	8 ビット PHY 動作 3.3V、25MHz	NA ⁽¹⁾	NA ⁽¹⁾	0x0	NA ⁽²⁾
高速 SDR	8 ビット PHY 動作 1.8V、50MHz	NA ⁽¹⁾	NA ⁽¹⁾	0x0	NA ⁽²⁾
	8 ビット PHY 動作 3.3V、50MHz	NA ⁽¹⁾	NA ⁽¹⁾	0x0	NA ⁽²⁾
高速 DDR	8 ビット PHY 動作 1.8V、40MHz	0x1	0x15	0x1	0x2
	8 ビット PHY 動作 3.3V、40MHz	0x1	0x15	0x1	0x2
HS200	8 ビット PHY 動作 1.8V、200MHz	0x1	0x6	0x1	チューニング ⁽³⁾
デフォルト 速度	4 ビット PHY 動作 3.3V、25MHz	NA ⁽¹⁾	NA ⁽¹⁾	0x1	0x0
高速	4 ビット PHY 動作 3.3V、50MHz	NA ⁽¹⁾	NA ⁽¹⁾	0x1	0x0
UHS-I SDR12	4 ビット PHY 動作 1.8V、25MHz	0x1	0xF	0x1	0x0
UHS-I SDR25	4 ビット PHY 動作 1.8V、50MHz	0x1	0xF	0x1	0x0

(1) NA は、このモードに必要なハーフサイクル タイミングで動作する場合、このレジスタフィールドが機能しないことを意味します。

(2) NA は、ITAPDLYENA が 0x0 に設定されている場合、このレジスタフィールドが機能しないことを意味します。

(3) チューニングとは、このモードで最適な入力タイミングを決定するためにチューニング アルゴリズムを使用する必要があることを意味します。

表 6-78 に、MMC0 のタイミング条件を示します。

表 6-78. MMC0 のタイミング条件

パラメータ			最小値	最大値	単位
入力条件					
SR _i	入力スルーレート	レガシー SDR 3.3V 時 高速 SDR 3.3V 時 デフォルト速度 高速	0.69	2.06	V/ns
		レガシー SDR 1.8 V 時 UHS-I SDR12	0.14	1.44	V/ns
		高速 SDR 1.8V 時 UHS-I SDR25	0.3	1.34	V/ns
		高速 DDR UHS-I DDR50	1	2	V/ns
出力条件					
C _L	出力負荷容量	HS200 UHS-I SDR104	1	10	pF
		その他のすべてのモード	1	12	pF
PCB 接続要件					
t _d (Trace Delay)	各パターンの伝搬遅延	レガシー SDR 高速 SDR 高速 DDR HS200	126	756	ps
		デフォルト速度 高速 UHS-I SDR12 UHS-I SDR25 UHS-I SDR50 UHS-I SDR104	126	1386	ps
		UHS-I DDR50	239	1134	ps
t _d (Trace Mismatch Delay)	すべてのパターンにわたる伝搬遅延の不整合	高速 SDR HS200 高速 UHS-I SDR104		8	ps
		高速 DDR UHS-I DDR50		20	ps
		その他のすべてのモード		100	ps

6.11.5.16.1 レガシー SDR モード

表 6-79、図 6-71、表 6-80、図 6-72 に、レガシー SDR モードでの MMC0 のタイミング要件とスイッチング特性を示します。

表 6-79. MMC0 のタイミング要件 – レガシー SDR モード

図 6-71 参照

番号			IO 動作 電圧	最小値	最大値	単位
LSDR1	$t_{su(cmdV-clkH)}$	セットアップ時間、MMC0_CMD 有効から MMC0_CLK 立ち上がりエッジまで	1.8 V	4.2		ns
			3.3 V	2.15		ns
LSDR2	$t_{h(clkH-cmdV)}$	ホールド時間、MMC0_CLK 立ち上がりエッジから MMC0_CMD 有効の間	1.8 V	0.87		ns
			3.3 V	1.67		ns
LSDR3	$t_{su(dV-clkH)}$	セットアップ時間、MMC0_DAT[7:0] 有効から MMC0_CLK 立ち上がりエッジまで	1.8 V	4.2		ns
			3.3 V	2.15		ns
LSDR4	$t_{h(clkH-dV)}$	ホールド時間、MMC0_CLK 立ち上がりエッジから MMC0_DAT[7:0] 有効の間	1.8 V	0.87		ns
			3.3 V	1.67		ns

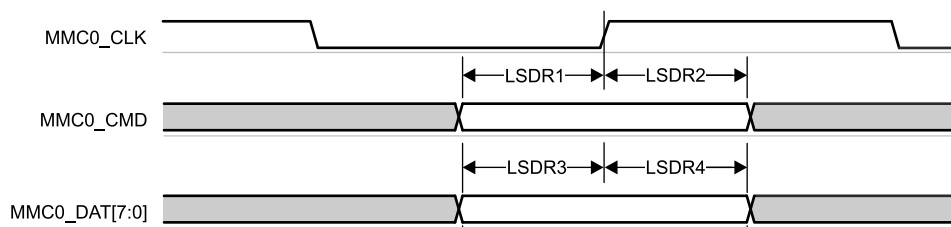


図 6-71. MMC0 – レガシー SDR – 受信モード

表 6-80. MMC0 のスイッチング特性 – レガシー SDR モード

図 6-72 参照

番号	パラメータ		IO 動作 電圧	最小値	最大値	単位
	f _{op(clk)}	動作周波数、MMC0_CLK		25		MHz
LSDR5	t _{c(clk)}	サイクル時間、MMC0_CLK		40		ns
LSDR6	t _{w(clkH)}	パルス幅、MMC0_CLK high		18.7		ns
LSDR7	t _{w(clkL)}	パルス幅、MMC0_CLK low		18.7		ns
LSDR8	t _{d(clkL-cmdV)}	遅延時間、MMC0_CLK 立ち下がりエッジから MMC0_CMD 遷移まで	1.8 V	-2.1	2.1	ns
			3.3 V	-1.8	2.2	ns
LSDR9	t _{d(clkL-dV)}	遅延時間、MMC0_CLK 立ち下がりエッジから MMC0_DAT[7:0] 遷移 まで	1.8 V	-2.1	2.1	ns
			3.3 V	-1.8	2.2	ns

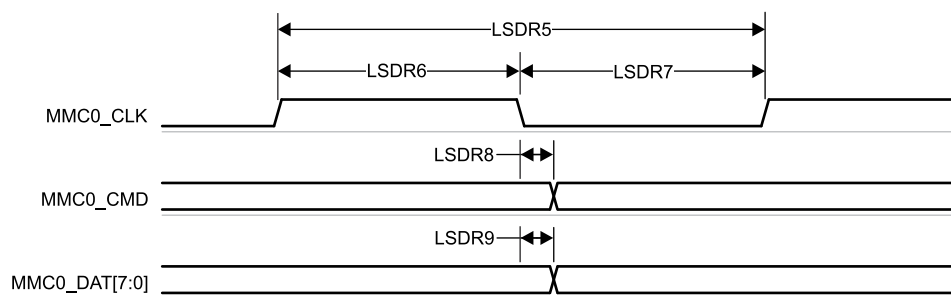


図 6-72. MMC0 – レガシー SDR – 送信モード

6.11.5.16.1.2 高速 SDR モード

表 6-81、図 6-73、表 6-82、および 図 6-74 に、高速 SDR モードでの MMC0 のタイミング要件とスイッチング特性を示します。

表 6-81. MMC0 のタイミング要件 – 高速 SDR モード

図 6-73 参照

番号			IO 動作 電圧	最小値	最大値	単位
HSSDR1	$t_{su(cmdV-clkH)}$	セットアップ時間、MMC0_CMD 有効から MMC0_CLK 立ち上がりエッジまで	1.8 V	2.15		ns
			3.3 V	2.24		ns
HSSDR2	$t_h(clkH-cmdV)$	ホールド時間、MMC0_CLK 立ち上がりエッジから MMC0_CMD 有効の間	1.8 V	1.27		ns
			3.3 V	1.66		ns
HSSDR3	$t_{su(dV-clkH)}$	セットアップ時間、MMC0_DAT[7:0] 有効から MMC0_CLK 立ち上がりエッジまで	1.8 V	2.15		ns
			3.3 V	2.24		ns
HSSDR4	$t_h(clkH-dV)$	ホールド時間、MMC0_CLK 立ち上がりエッジから MMC0_DAT[7:0] 有効の間	1.8 V	1.27		ns
			3.3 V	1.66		ns

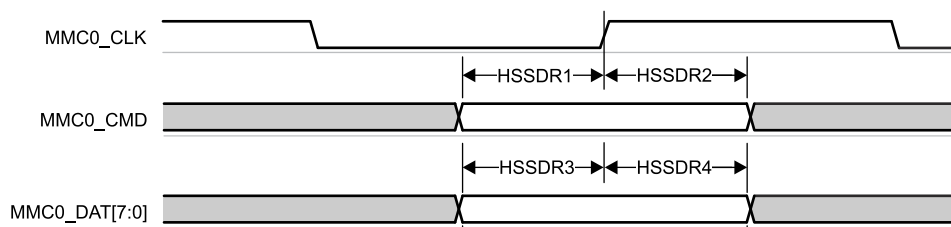


図 6-73. MMC0 – 高速 SDR モード – 受信モード

表 6-82. MMC0 のスイッチング特性 – 高速 SDR モード

図 6-74 参照

番号	パラメータ		IO 動作 電圧	最小値	最大値	単位
	f _{op(clk)}	動作周波数、MMC0_CLK		50		MHz
HSSDR5	t _{c(clk)}	サイクル時間、MMC0_CLK		20		ns
HSSDR6	t _{w(clkH)}	パルス幅、MMC0_CLK high		9.2		ns
HSSDR7	t _{w(clkL)}	パルス幅、MMC0_CLK low		9.2		ns
HSSDR8	t _{d(clkL-cmdV)}	遅延時間、MMC0_CLK 立ち下がりエッジから MMC0_CMD 遷移まで	1.8 V	-1.55	3.05	ns
			3.3 V	-1.8	2.2	ns
HSSDR9	t _{d(clkL-dV)}	遅延時間、MMC0_CLK 立ち下がりエッジから MMC0_DAT[7:0] 遷移 まで	1.8 V	-1.55	3.05	ns
			3.3 V	-1.8	2.2	ns

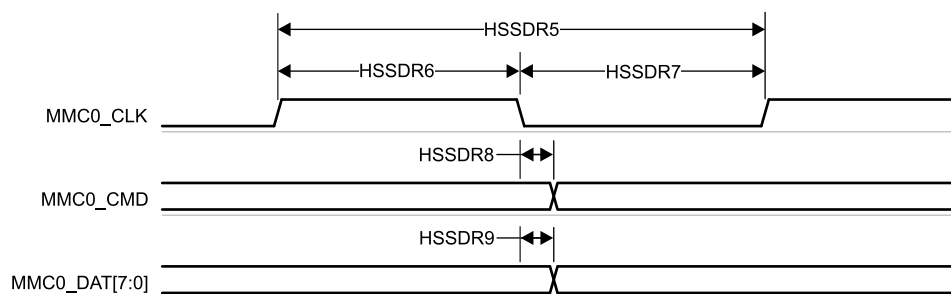


図 6-74. MMC0 – 高速 SDR モード – 送信モード

6.11.5.16.1.3 高速 DDR モード

表 6-83、図 6-75、表 6-84、および 図 6-76 に、高速 DDR モードでの MMC0 のタイミング要件とスイッチング特性を示します。

表 6-83. MMC0 のタイミング要件 – 高速 DDR モード

図 6-75 参照

番号			IO 動作 電圧	最小値	最大値	単位
HSDDR1	$t_{su(cmdV-clk)}$	セットアップ時間、MMC0_CMD 有効から MMC0_CLK 立ち上がりエッジまで	1.8 V	0.02		ns
			3.3 V	1.5		ns
HSDDR2	$t_h(clk-cmdV)$	ホールド時間、MMC0_CLK 立ち上がりエッジから MMC0_CMD 有効の間	1.8 V	1.99		ns
			3.3 V	1.75		ns
HSDDR3	$t_{su(dV-clk)}$	セットアップ時間、MMC0_DAT[7:0] 有効から MMC0_CLK 遷移まで	1.8 V	0.02		ns
			3.3 V	1.5		ns
HSDDR4	$t_h(clk-dV)$	ホールド時間、MMC0_CLK 遷移から MMC0_DAT[7:0] 有効の間	1.8 V	1.99		ns
			3.3 V	1.75		ns

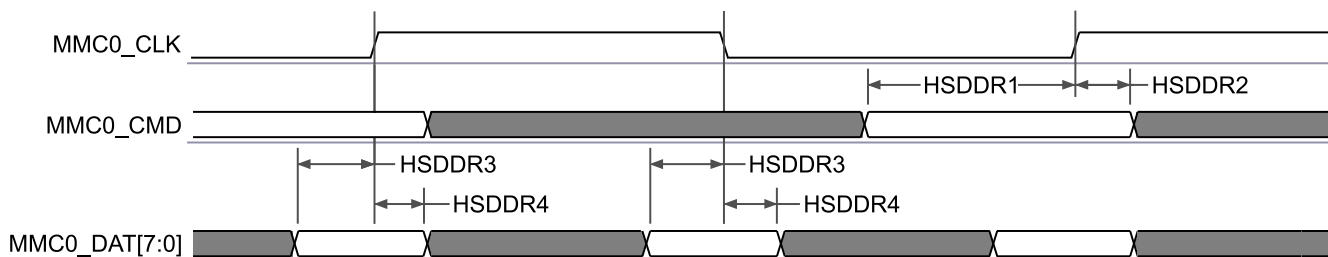


図 6-75. MMC0 – 高速 DDR モード – 受信モード

表 6-84. MMC0 のスイッチング特性 – 高速 DDR モード

図 6-76 参照

番号	パラメータ		IO 動作 電圧	最小値	最大値	単位
	$f_{op(clk)}$	動作周波数、MMC0_CLK		40		MHz
HSDDR5	$t_{c(clk)}$	サイクル時間、MMC0_CLK		25		ns
HSDDR6	$t_w(clkH)$	パルス幅、MMC0_CLK high		11.58		ns
HSDDR7	$t_w(clkL)$	パルス幅、MMC0_CLK low		11.58		ns
HSDDR8	$t_d(clk-cmdV)$	遅延時間、MMC0_CLK 立ち上がりエッジから MMC0_CMD 遷移まで	1.8 V	1.2	5.6	ns
			3.3 V	3.32	9.3	ns
HSDDR9	$t_d(clk-dV)$	遅延時間、MMC0_CLK 遷移から MMC0_DAT[7:0] 遷移まで	1.8 V	1.2	4.8	ns
			3.3 V	3.2	8.9	ns

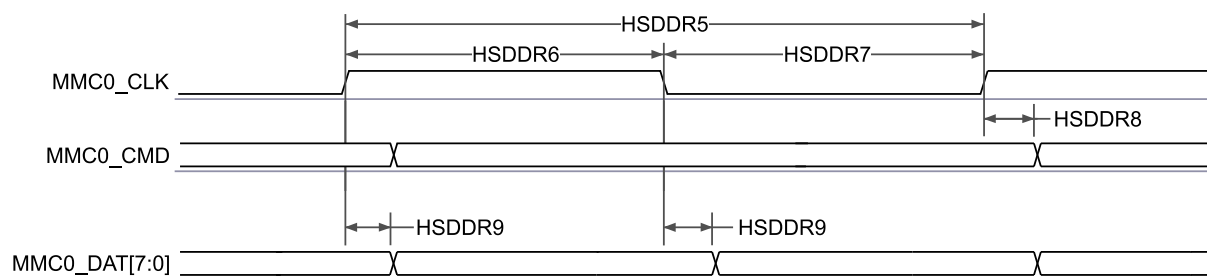


図 6-76. MMC0 – 高速 DDR モード – 送信モード

6.11.5.16.1.4 HS200 モード

表 6-85、図 6-77、表 6-86、図 6-78 に、MMC0 – HS200 モードでのタイミング要件とスイッチング特性の両方を示します。

表 6-85. MMC0 のタイミング要件 – HS200 モード

図 6-77 参照

番号	パラメータ	説明	最小値	最大値	単位
HS2004	t_{DWW}	入力データ有効ウィンドウ、MMC0_CMD および MMC0_DAT[7:0]	2.0 ⁽¹⁾		ns

- (1) このパラメータは、ホストが必要とする最小データ有効ウィンドウを定義します。このとき、ホストに提示されるデータ有効ウィンドウがこの値を超える場合、ホストが有効なデータをキャプチャできることが保証されます。このパラメータで定義される値は、HS200 モードで動作する eMMC デバイスに定義されている可能な最小データ有効ウィンドウよりも小さくなります。

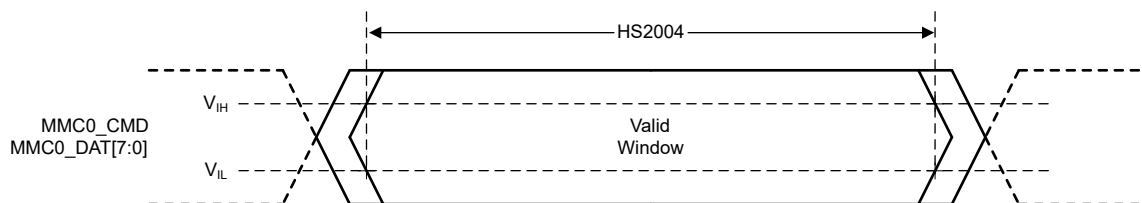


図 6-77. MMC0 – HS200 – 受信モード

表 6-86. MMC0 のスイッチング特性 – HS200 モード

図 6-78 参照

番号	パラメータ	説明	最小値	最大値	単位
	$f_{op}(clk)$	動作周波数、MMC0_CLK		200	MHz
HS2005	$t_c(clk)$	サイクル時間、MMC0_CLK	5		ns
HS2006	$t_w(clkH)$	パルス幅、MMC0_CLK high	2.12		ns
HS2007	$t_w(clkL)$	パルス幅、MMC0_CLK low	2.12		ns
HS2008	$t_d(clkL-cmdV)$	遅延時間、MMC0_CLK 立ち上がりエッジから MMC0_CMD 遷移まで	1.07	3.21	ns
HS2009	$t_d(clkL-dV)$	遅延時間、MMC0_CLK 立ち上がりエッジから MMC0_DAT[7:0] 遷移まで	1.07	3.21	ns

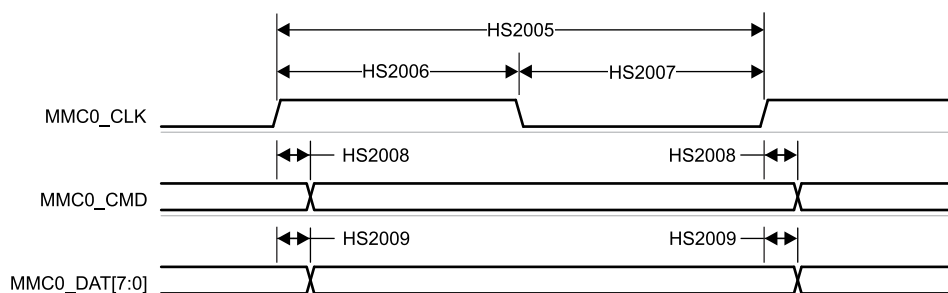


図 6-78. MMC0 – HS200 モード – 送信モード

6.11.5.16.1.5 デフォルト速度モード

表 6-87、図 6-79、表 6-88、図 6-80 に、デフォルト速度モードでの MMC0 のタイミング要件とスイッチング特性を示します。

表 6-87. MMC0 のタイミング要件 – デフォルト速度モード

図 6-79 参照

番号			最小値	最大値	単位
DS1	$t_{su}(cmdV-clkH)$	セットアップ時間、MMC0_CMD 有効から MMC0_CLK 立ち上がりエッジまで	2.15		ns
DS2	$t_h(clkH-cmdV)$	ホールド時間、MMC0_CLK 立ち上がりエッジから MMC0_CMD 有効の間	1.67		ns
DS3	$t_{su}(dV-clkH)$	セットアップ時間、MMC0_DAT[3:0] 有効から MMC0_CLK 立ち上がりエッジまで	2.15		ns
DS4	$t_h(clkH-dV)$	ホールド時間、MMC0_CLK 立ち上がりエッジから MMC0_DAT[3:0] 有効の間	1.67		ns

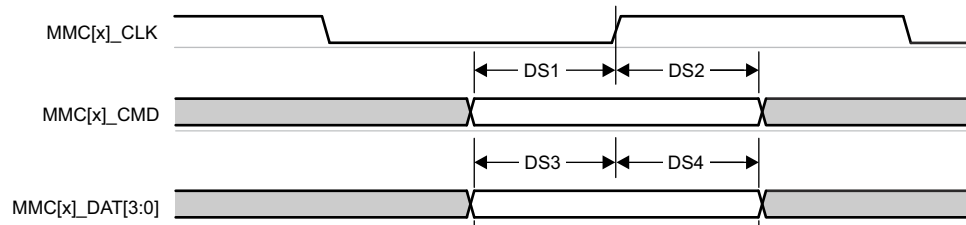


図 6-79. MMC0 – デフォルト速度 – 受信モード

表 6-88. MMC0 のスイッチング特性 – デフォルト速度モード

図 6-80 参照

番号	パラメータ	最小値	最大値	単位
	$f_{op}(clk)$		25	MHz
DS5	$t_c(clk)$	40		ns
DS6	$t_w(clkH)$	18.7		ns
DS7	$t_w(clkL)$	18.7		ns
DS8	$t_d(clkL-cmdV)$	- 1.8	2.2	ns
DS9	$t_d(clkL-dV)$	- 1.8	2.2	ns

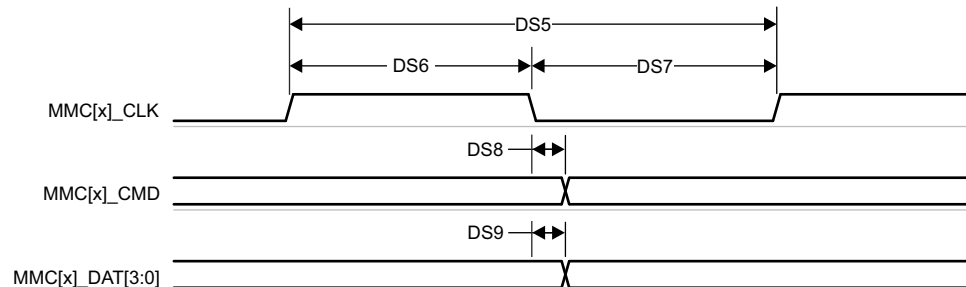


図 6-80. MMC0 – デフォルト速度 – 送信モード

6.11.5.16.1.6 高速モード

表 6-89、図 6-81、表 6-90、図 6-82 に、高速モードでの MMC0 のタイミング要件とスイッチング特性を示します。

表 6-89. MMC0 のタイミング要件 – 高速モード

図 6-81 参照

番号			最小値	最大値	単位
HS1	$t_{su(cmdV-clkH)}$	セットアップ時間、MMC0_CMD 有効から MMC0_CLK 立ち上がりエッジまで	2.24		ns
HS2	$t_h(clkH-cmdV)$	ホールド時間、MMC0_CLK 立ち上がりエッジから MMC0_CMD 有効の間	1.66		ns
HS3	$t_{su(dV-clkH)}$	セットアップ時間、MMC0_DAT[3:0] 有効から MMC0_CLK 立ち上がりエッジまで	2.24		ns
HS4	$t_h(clkH-dV)$	ホールド時間、MMC0_CLK 立ち上がりエッジから MMC0_DAT[3:0] 有効の間	1.66		ns

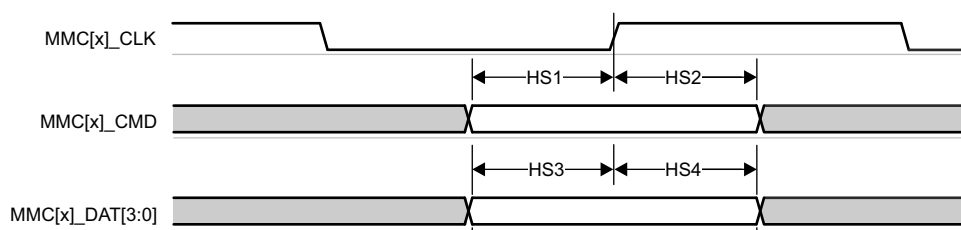


図 6-81. MMC0 – 高速 – 受信モード

表 6-90. MMC0 のスイッチング特性 – 高速モード

図 6-82 参照

番号	パラメータ		最小値	最大値	単位
	$f_{op(clk)}$	動作周波数、MMC0_CLK		50	MHz
HS5	$t_c(clk)$	サイクル時間、MMC0_CLK	20		ns
HS6	$t_w(clkH)$	パルス幅、MMC0_CLK high	9.2		ns
HS7	$t_w(clkL)$	パルス幅、MMC0_CLK low	9.2		ns
HS8	$t_d(clkL-cmdV)$	遅延時間、MMC0_CLK 立ち下がりエッジから MMC0_CMD 遷移まで	-1.8	2.2	ns
HS9	$t_d(clkL-dV)$	遅延時間、MMC0_CLK 立ち下がりエッジから MMC0_DAT[3:0] 遷移まで	-1.8	2.2	ns

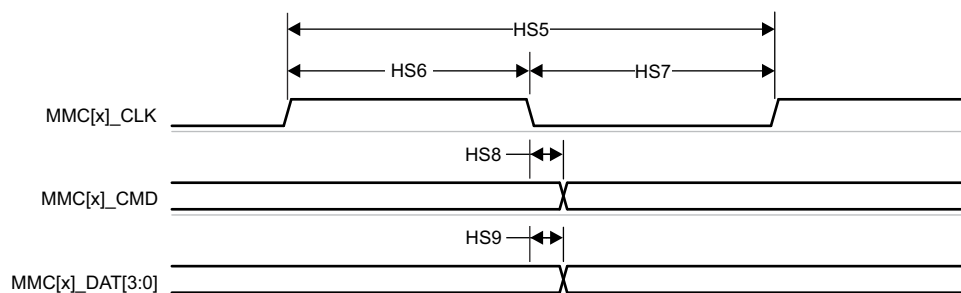


図 6-82. MMC0 – 高速 – 送信モード

6.11.5.16.1.7 UHS-I SDR12 モード

表 6-91、図 6-83、表 6-92、図 6-84 に、「MMC0 のタイミング要件とスイッチング特性 – UHS-I SDR12 モード」を示します。

表 6-91. MMC0 – UHS-I SDR12 モードのタイミング要件

図 6-83 参照

番号			最小値	最大値	単位
SDR121	$t_{su(cmdV-clkH)}$	セットアップ時間、MMC0_CMD 有効から MMC0_CLK 立ち上がりエッジまで	4.2		ns
SDR122	$t_h(clkH-cmdV)$	ホールド時間、MMC0_CLK 立ち上がりエッジから MMC0_CMD 有効の間	0.87		ns
SDR123	$t_{su(dV-clkH)}$	セットアップ時間、MMC0_DAT[3:0] 有効から MMC0_CLK 立ち上がりエッジまで	4.2		ns
SDR124	$t_h(clkH-dV)$	ホールド時間、MMC0_CLK 立ち上がりエッジから MMC0_DAT[3:0] 有効の間	0.87		ns

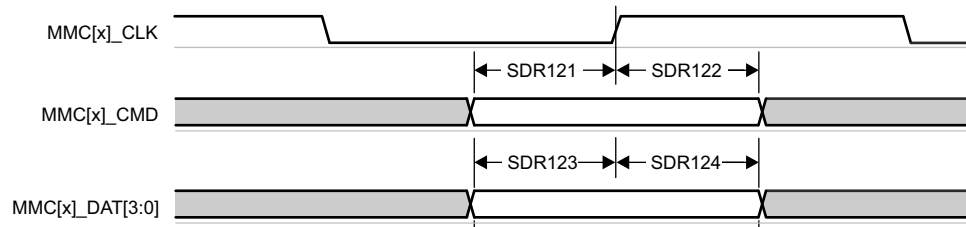


図 6-83. MMC0 – UHS-I SDR12 – 受信モード

表 6-92. MMC0 のスイッチング特性 – UHS-I SDR12 モード

図 6-84 参照

番号	パラメータ	最小値	最大値	単位
	$f_{op(clk)}$		25	MHz
SDR125	$t_c(clk)$	40		ns
SDR126	$t_w(clkH)$	18.7		ns
SDR127	$t_w(clkL)$	18.7		ns
SDR128	$t_d(clkL-cmdV)$	1.5	8.6	ns
SDR129	$t_d(clkL-dV)$	1.5	8.6	ns

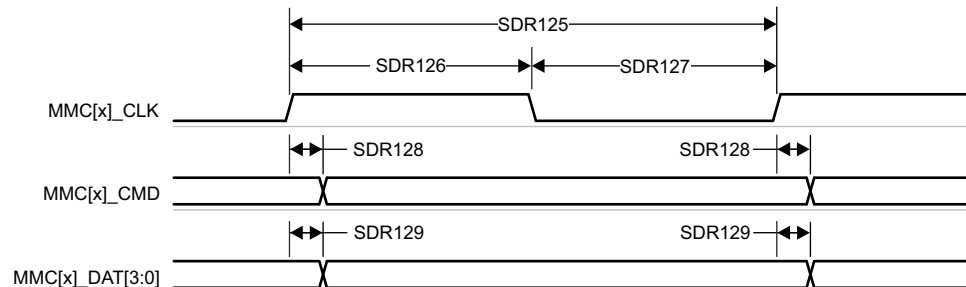


図 6-84. MMC0 – UHS-I SDR12 – 送信モード

6.11.5.16.1.8 UHS-I SDR25 モード

表 6-93、図 6-85、表 6-94、図 6-86 に、UHS-I SDR25 モードでの MMC0 のタイミング要件とスイッチング特性を示します。

表 6-93. MMC0 のタイミング要件 – UHS-I SDR25 モード

図 6-85 参照

番号			最小値	最大値	単位
SDR251	$t_{su(cmdV-clkH)}$	セットアップ時間、MMC0_CMD 有効から MMC0_CLK 立ち上がりエッジまで	2.15		ns
SDR252	$t_h(clkH-cmdV)$	ホールド時間、MMC0_CLK 立ち上がりエッジから MMC0_CMD 有効の間	1.27		ns
SDR253	$t_{su(dV-clkH)}$	セットアップ時間、MMC0_DAT[3:0] 有効から MMC0_CLK 立ち上がりエッジまで	2.15		ns
SDR254	$t_h(clkH-dV)$	ホールド時間、MMC0_CLK 立ち上がりエッジから MMC0_DAT[3:0] 有効の間	1.27		ns

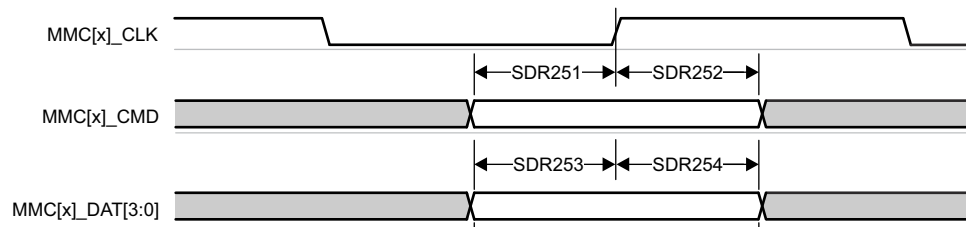


図 6-85. MMC0 – UHS-I SDR25 – 受信モード

表 6-94. MMC0 のスイッチング特性 – UHS-I SDR25 モード

図 6-86 参照

番号	パラメータ	最小値	最大値	単位
	$f_{op(clk)}$		50	MHz
SDR255	$t_c(clk)$	20		ns
SDR256	$t_w(clkH)$	9.2		ns
SDR257	$t_w(clkL)$	9.2		ns
SDR258	$t_d(clkL-cmdV)$	2.4	8.1	ns
SDR259	$t_d(clkL-dV)$	2.4	8.1	ns

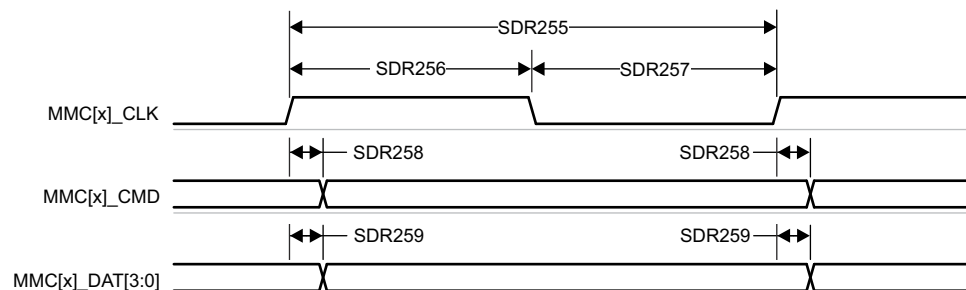


図 6-86. MMC0 – UHS-I SDR25 – 送信モード

6.11.5.16.1.9 UHS-I SDR50 モード

表 6-95 および 図 6-87 に、MMC0 – UHS-I SDR50 モードのスイッチング特性を示します。

表 6-95. MMC0 のスイッチング特性 – UHS-I SDR50 モード

図 6-87 参照

番号	パラメータ		最小値	最大値	単位
	$f_{op}(clk)$	動作周波数、MMC0_CLK		100	MHz
SDR505	$t_{c}(clk)$	サイクル時間、MMC0_CLK	10		ns
SDR506	$t_{w}(clkH)$	パルス幅、MMC0_CLK high	4.45		ns
SDR507	$t_{w}(clkL)$	パルス幅、MMC0_CLK low	4.45		ns
SDR508	$t_{d}(clkL-cmdV)$	遅延時間、MMC0_CLK 立ち上がりエッジから MMC0_CMD 遷移まで	1.2	6.35	ns
SDR509	$t_{d}(clkL-dV)$	遅延時間、MMC0_CLK 立ち上がりエッジから MMC0_DAT[3:0] 遷移まで	1.2	6.35	ns

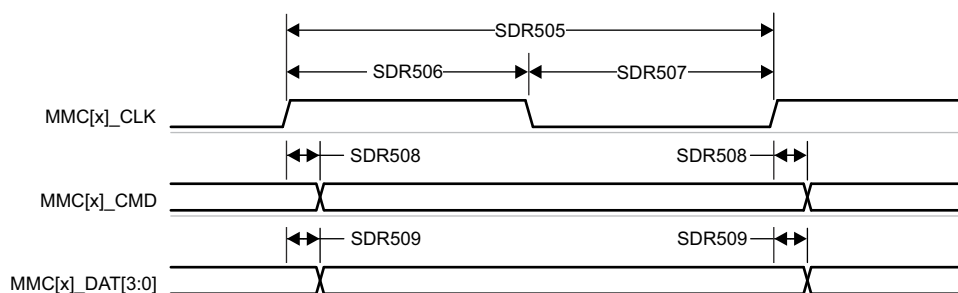


図 6-87. MMC0 – UHS-I SDR50 – 送信モード

6.11.5.16.1.10 UHS-I DDR50 モード

表 6-96 および 図 6-88 に、MMC0 – UHS-I DDR50 モードのスイッチング特性を示します。

表 6-96. MMC0 のスイッチング特性 – UHS-I DDR50 モード

図 6-88 参照

番号	パラメータ	最小値	最大値	単位
	$f_{op}(clk)$	動作周波数、MMC0_CLK		50
DDR505	$t_c(clk)$	サイクル時間、MMC0_CLK		20
DDR506	$t_w(clkH)$	パルス幅、MMC0_CLK high		9.2
DDR507	$t_w(clkL)$	パルス幅、MMC0_CLK low		9.2
DDR508	$t_d(clk-cmdV)$	遅延時間、MMC0_CLK 立ち上がりエッジから MMC0_CMD 遷移まで		1.12 6.43
DDR509	$t_d(clk-dV)$	遅延時間、MMC0_CLK 遷移から MMC0_DAT[3:0] 遷移まで		1.12 6.43

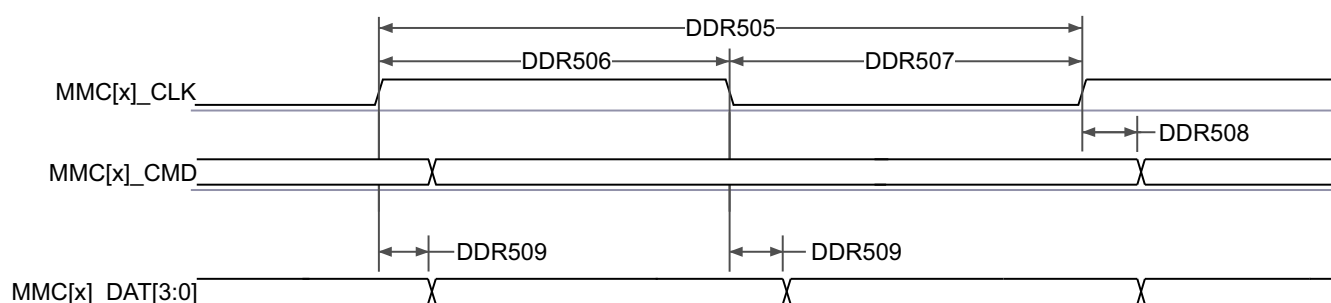


図 6-88. MMC0 – UHS-I DDR50 – 送信モード

6.11.5.16.1.11 UHS-I SDR104 モード

表 6-97 および 図 6-89 に、MMC0 – UHS-I SDR104 モードのスイッチング特性を示します。

表 6-97. MMC0 のスイッチング特性 – UHS-I SDR104 モード

図 6-89 参照

番号	パラメータ		最小値	最大値	単位
	$f_{op}(clk)$	動作周波数、MMC0_CLK		200	MHz
SDR1045	$t_{c}(clk)$	サイクル時間、MMC0_CLK	5		ns
SDR1046	$t_{w}(clkH)$	パルス幅、MMC0_CLK high	2.12		ns
SDR1047	$t_{w}(clkL)$	パルス幅、MMC0_CLK low	2.12		ns
SDR1048	$t_{d}(clkL-cmdV)$	遅延時間、MMC0_CLK 立ち上がりエッジから MMC0_CMD 遷移まで	1.07	3.21	ns
SDR1049	$t_{d}(clkL-dV)$	遅延時間、MMC0_CLK 立ち上がりエッジから MMC0_DAT[3:0] 遷移まで	1.07	3.21	ns



図 6-89. MMC0 – UHS-I SDR104 – 送信モード

6.11.5.16.2 MMC1/MMC2 - SD/SDIO インターフェイス

MMC1/MMC2 インターフェイスは、SD ホスト コントローラ標準仕様 4.10、SD 物理層仕様 v3.01、SDIO 仕様 v3.00 に準拠しており、以下の SD カード アプリケーションをサポートしています。

- デフォルト速度
- 高速
- UHS-I SDR12
- UHS-I SDR25
- UHS-I SDR50
- UHS-I DDR50
- UHS-I SDR104

表 6-98 に、MMC1/2 タイミング モードに必要な DLL ソフトウェア構成設定を示します。

表 6-98. すべてのタイミング モードに対する MMC1/MMC2 DLL 遅延マッピング

レジスタ名		MMCSD1_MMC_SSCFG_PHY_CTRL_4_REG MMCSD2_MMC_SSCFG_PHY_CTRL_4_REG			
ビットフィールド		[20]	[15:12]	[8]	[4:0]
ビットフィールド名		OTAPDLYENA	OTAPDLYSEL	ITAPDLYENA	ITAPDLYSEL
モード	説明	遅延 イネーブル	遅延 値	入力 遅延 イネーブル	入力 遅延 値
デフォルト 速度	4 ビット PHY 動作 3.3V、25MHz	NA ⁽¹⁾	NA ⁽¹⁾	0x1	0x0
高 速	4 ビット PHY 動作 3.3V、50MHz	NA ⁽¹⁾	NA ⁽¹⁾	0x1	0x0
UHS-I SDR12	4 ビット PHY 動作 1.8V、25MHz	0x1	0xF	0x1	0x0
UHS-I SDR25	4 ビット PHY 動作 1.8V、50MHz	0x1	0xF	0x1	0x0
UHS-I SDR50	4 ビット PHY 動作 1.8V、100MHz	0x1	0xC	0x1	チューニング ⁽²⁾
UHS-I DDR50	4 ビット PHY 動作 1.8V、50MHz	0x1	0x9	0x1	チューニング ⁽²⁾
UHS-I SDR104	4 ビット PHY 動作 1.8V、200MHz	0x1	0x6	0x1	チューニング ⁽²⁾

(1) NA は、このモードに必要なハーフサイクル タイミングで動作する場合、このレジスタ フィールドが機能しないことを意味します。

(2) チューニングとは、このモードで最適な入力タイミングを決定するためにチューニング アルゴリズムを使用する必要があることを意味します。

表 6-99 に、MMC1 のタイミング条件を示します。

表 6-99. MMC1/MMC2 のタイミング条件

パラメータ			最小値	最大値	単位
入力条件					
SR _i	入力スルーレート	デフォルト速度 高速	0.69	2.06	V/ns
		UHS-I SDR12 UHS-I SDR25	0.34	1.34	V/ns
		UHS-I DDR50	1	2	V/ns
出力条件					
C _L	出力負荷容量	すべてのモード	1	10	pF
PCB 接続要件					
t _d (Trace Delay)	各パターンの伝搬遅延	UHS-I DDR50	239	1134	ps
		その他のすべてのモード	126	1386	ps
t _d (Trace Mismatch Delay)	すべてのパターンにわたる伝搬遅延の不整合	高速 UHS-I SDR104		8	ps
		UHS-I DDR50		20	ps
		その他のすべてのモード		100	ps

6.11.5.16.2.1 デフォルト速度モード

表 6-100、図 6-90、表 6-101、図 6-91 に、MMC1/MMC2 – デフォルト速度モードのタイミング要件とスイッチング特性を示します。

表 6-100. MMC1/MMC2 のタイミング要件 – デフォルト速度モード

図 6-90 参照

番号			最小値	最大値	単位
DS1	$t_{su}(cmdV-clkH)$	セットアップ時間、MMCx_CMD 有効から MMCx_CLK 立ち上がりエッジまで	2.15		ns
DS2	$t_h(clkH-cmdV)$	ホールド時間、MMCx_CLK 立ち上がりエッジの後 MMCx_CMD 有効の間	1.67		ns
DS3	$t_{su}(dV-clkH)$	セットアップ時間、MMCx_DAT[3:0] 有効から MMCx_CLK 立ち上がりエッジまで	2.15		ns
DS4	$t_h(clkH-dV)$	ホールド時間、MMCx_CLK 立ち上がりエッジの後 MMCx_DAT[3:0] 有効の間	1.67		ns



図 6-90. MMC1/MMC2 – デフォルト速度 – 受信モード

表 6-101. MMC1/MMC2 のスイッチング特性 - デフォルト速度モード

図 6-91 参照

番号	パラメータ	最小値	最大値	単位
	$f_{op}(clk)$		25	MHz
DS5	$t_c(clk)$	40		ns
DS6	$t_w(clkH)$	18.7		ns
DS7	$t_w(clkL)$	18.7		ns
DS8	$t_d(clkL-cmdV)$	- 1.8	2.2	ns
DS9	$t_d(clkL-dV)$	- 1.8	2.2	ns

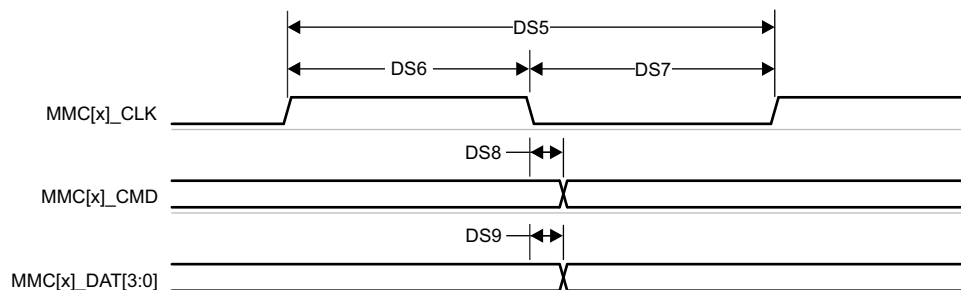


図 6-91. MMC1/MMC2 – デフォルト速度 – 送信モード

6.11.5.16.2.2 高速モード

表 6-102、図 6-92、表 6-103、図 6-93 に、高速モードでの MMC1/MMC2 のタイミング要件とスイッチング特性を示します。

表 6-102. MMC1/MMC2 のタイミング要件 – 高速モード

図 6-92 参照

番号			最小値	最大値	単位
HS1	$t_{su}(cmdV-clkH)$	セットアップ時間、MMCx_CMD 有効から MMCx_CLK 立ち上がりエッジまで	2.24		ns
HS2	$t_h(clkH-cmdV)$	ホールド時間、MMCx_CLK 立ち上がりエッジから MMCx_CMD 有効の間	1.66		ns
HS3	$t_{su}(dV-clkH)$	セットアップ時間、MMCx_DAT[3:0] 有効から MMCx_CLK 立ち下がりエッジまで	2.24		ns
HS4	$t_h(clkH-dV)$	ホールド時間、MMCx_CLK 立ち上がりエッジから MMCx_DAT[3:0] 有効の間	1.66		ns

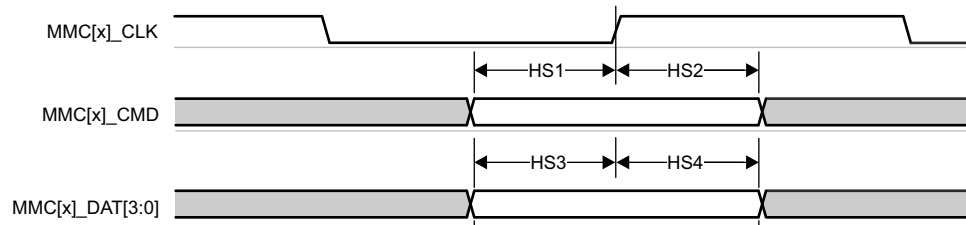


図 6-92. MMC1/MMC2 – 高速 – 受信モード

表 6-103. MMC1/MMC2 のスイッチング特性 – 高速モード

図 6-93 参照

番号	パラメータ		最小値	最大値	単位
	$f_{op}(clk)$	動作周波数、MMCx_CLK		50	MHz
HS5	$t_c(clk)$	サイクル時間、MMCx_CLK	20		ns
HS6	$t_w(clkH)$	パルス幅、MMCx_CLK High	9.2		ns
HS7	$t_w(clkL)$	パルス幅、MMCx_CLK Low	9.2		ns
HS8	$t_d(clkL-cmdV)$	遅延時間、MMCx_CLK 立ち下がりエッジから MMCx_CMD 遷移まで	- 1.8	2.2	ns
HS9	$t_d(clkL-dV)$	遅延時間、MMCx_CLK 立ち下がりエッジから MMCx_DAT[3:0] 遷移まで	- 1.8	2.2	ns

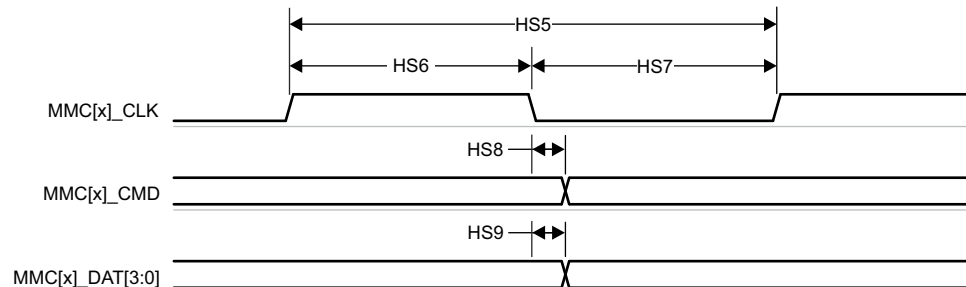


図 6-93. MMC1/MMC2 – 高速 – 送信モード

6.11.5.16.2.3 UHS-I SDR12 モード

表 6-104、図 6-94、表 6-105、および 図 6-95 に、MMC1/MMC2 – UHS-I SDR12 モードのタイミング要件とスイッチング特性を示します。

表 6-104. MMC1/MMC2 – UHS-I SDR12 モードのタイミング要件

図 6-94 参照

番号			最小値	最大値	単位
SDR121	$t_{su(cmdV-clkH)}$	セットアップ時間、MMCx_CMD 有効から MMCx_CLK 立ち上がりエッジまで	4.2		ns
SDR122	$t_h(clkH-cmdV)$	ホールド時間、MMCx_CLK 立ち上がりエッジの後 MMCx_CMD 有効の間	0.87		ns
SDR123	$t_{su(dV-clkH)}$	セットアップ時間、MMCx_DAT[3:0] 有効から MMCx_CLK 立ち上がりエッジまで	4.2		ns
SDR124	$t_h(clkH-dV)$	ホールド時間、MMCx_CLK 立ち上がりエッジの後 MMCx_DAT[3:0] 有効の間	0.87		ns

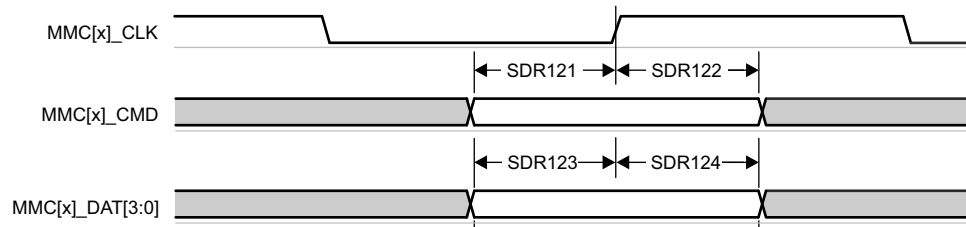


図 6-94. MMC1/MMC2 – UHS-I SDR12 – 受信モード

表 6-105. MMC1/MMC2 のスイッチング特性 – UHS-I SDR12 モード

図 6-95 参照

番号	パラメータ		最小値	最大値	単位
	$f_{op(clk)}$	動作周波数、MMCx_CLK		25	MHz
SDR125	$t_c(clk)$	サイクル時間、MMCx_CLK	40		ns
SDR126	$t_w(clkH)$	パルス幅、MMCx_CLK high	18.7		ns
SDR127	$t_w(clkL)$	パルス幅、MMCx_CLK low	18.7		ns
SDR128	$t_d(clkL-cmdV)$	遅延時間、MMCx_CLK 立ち上がりエッジから MMCx_CMD 遷移まで	1.5	8.6	ns
SDR129	$t_d(clkL-dV)$	遅延時間、MMCx_CLK 立ち上がりエッジから MMCx_DAT[3:0] 遷移まで	1.5	8.6	ns

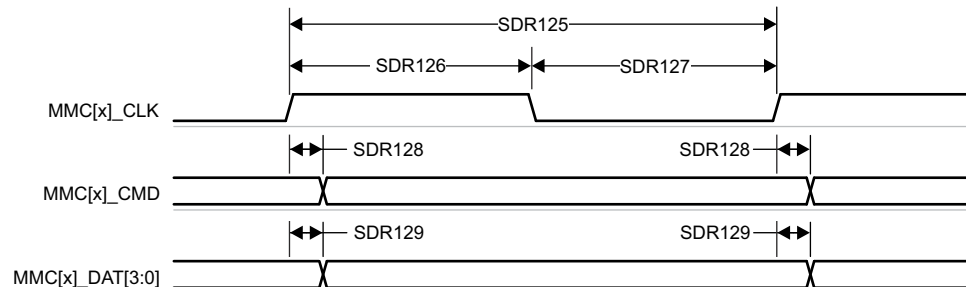


図 6-95. MMC1/MMC2 – UHS-I SDR12 – 送信モード

6.11.5.16.2.4 UHS-I SDR25 モード

表 6-106、図 6-96、表 6-107、図 6-97 に、UHS-I SDR25 モードでの MMC1/MMC2 のタイミング要件とスイッチング特性を示します。

表 6-106. MMC1/MMC2 のタイミング要件 – UHS-I SDR25 モード

図 6-96 参照

番号			最小値	最大値	単位
SDR251	$t_{su(cmdV-clkH)}$	セットアップ時間、MMCx_CMD 有効から MMCx_CLK 立ち上がりエッジまで	2.15		ns
SDR252	$t_h(clkH-cmdV)$	ホールド時間、MMCx_CLK 立ち上がりエッジから MMCx_CMD 有効の間	1.27		ns
SDR253	$t_{su(dV-clkH)}$	セットアップ時間、MMCx_DAT[3:0] 有効から MMCx_CLK 立ち上がりエッジまで	2.15		ns
SDR254	$t_h(clkH-dV)$	ホールド時間、MMCx_CLK 立ち上がりエッジから MMC0_DAT[3:0] 有効の間	1.27		ns

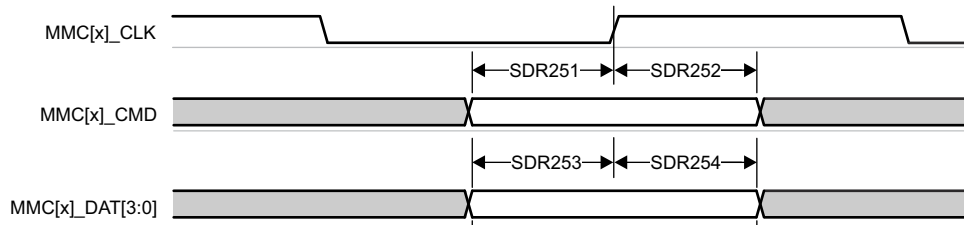


図 6-96. MMC1/MMC2 – UHS-I SDR25 – 受信モード

表 6-107. MMC1/MMC2 のスイッチング特性 – UHS-I SDR25 モード

図 6-97 参照

番号	パラメータ	最小値	最大値	単位
	$f_{op(clk)}$		50	MHz
SDR255	$t_c(clk)$	20		ns
SDR256	$t_w(clkH)$	9.2		ns
SDR257	$t_w(clkL)$	9.2		ns
SDR258	$t_d(clkL-cmdV)$	2.4	8.1	ns
SDR259	$t_d(clkL-dV)$	2.4	8.1	ns

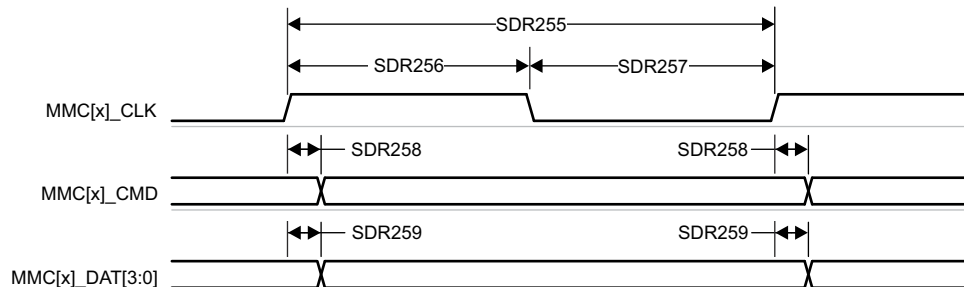


図 6-97. MMC1/MMC2 – UHS-I SDR25 – 送信モード

6.11.5.16.2.5 UHS-I SDR50 モード

表 6-108 および 図 6-98 に、UHS-I SDR50 モードでの MMC1/MMC2 のスイッチング特性を示します。

表 6-108. MMC1/MMC2 のスイッチング特性 – UHS-I SDR50 モード

図 6-98 参照

番号	パラメータ	最小値	最大値	単位
	$f_{op}(clk)$		100	MHz
SDR505	$t_{c}(clk)$	10		ns
SDR506	$t_{w}(clkH)$	4.45		ns
SDR507	$t_{w}(clkL)$	4.45		ns
SDR508	$t_{d}(clkL-cmdV)$	1.2	6.35	ns
SDR509	$t_{d}(clkL-dV)$	1.2	6.35	ns

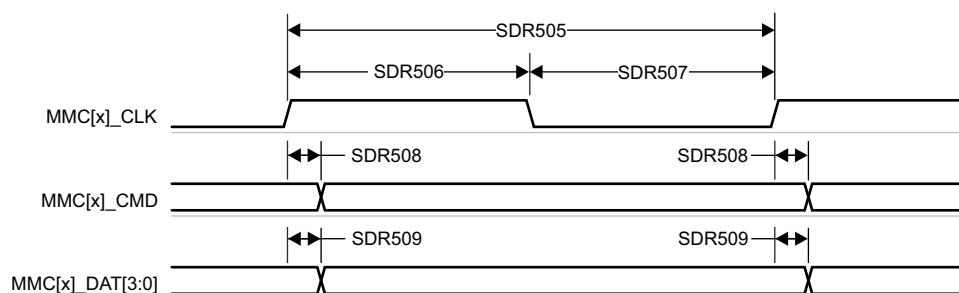


図 6-98. MMC1/MMC2 – UHS-I SDR50 – 送信モード

6.11.5.16.2.6 UHS-I DDR50 モード

表 6-109 および 図 6-99 に、MMC1/MMC2 – UHS-I DDR50 モードのスイッチング特性を示します。

表 6-109. MMC1/MMC2 – UHS-I DDR50 モードのスイッチング特性

図 6-99 参照

番号	パラメータ	最小値	最大値	単位
	$f_{op}(clk)$	動作周波数、MMCx_CLK		50 MHz
DDR505	$t_c(clk)$	サイクル時間、MMCx_CLK		20 ns
DDR506	$t_w(clkH)$	パルス幅、MMCx_CLK High		9.2 ns
DDR507	$t_w(clkL)$	パルス幅、MMCx_CLK Low		9.2 ns
DDR508	$t_d(clk-cmdV)$	遅延時間、MMCx_CLK 立ち上がりエッジから MMCx_CMD 遷移まで		1.12 6.43 ns
DDR509	$t_d(clk-dV)$	遅延時間、MMCx_CLK 遷移から MMCx_DAT[3:0] 遷移まで		1.12 6.43 ns

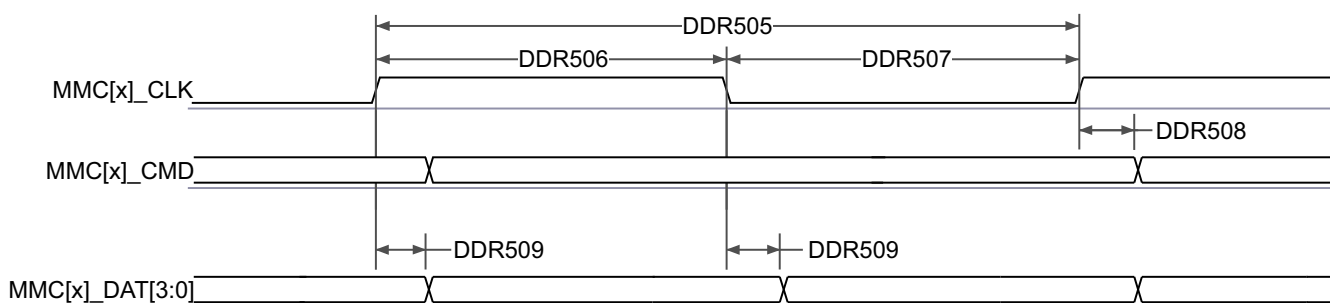


図 6-99. MMC1/MMC2 – UHS-I DDR50 – 送信モード

6.11.5.16.2.7 UHS-I SDR104 モード

表 6-110 および 図 6-100 に、MMC1/MMC2 – UHS-I SDR104 モードのスイッチング特性を示します。

表 6-110. MMC1/MMC2 – UHS-I SDR104 モードのスイッチング特性

図 6-100 参照

番号	パラメータ	最小値	最大値	単位
	$f_{op}(clk)$	動作周波数、MMCx_CLK		200
SDR1045	$t_{c}(clk)$	サイクル時間、MMCx_CLK		5
SDR1046	$t_{w}(clkH)$	パルス幅、MMCx_CLK High		2.12
SDR1047	$t_{w}(clkL)$	パルス幅、MMCx_CLK Low		2.12
SDR1048	$t_{d}(clkL-cmdV)$	遅延時間、MMCx_CLK 立ち上がりエッジから MMCx_CMD 遷移まで		1.07 3.21
SDR1049	$t_{d}(clkL-dV)$	遅延時間、MMCx_CLK 立ち上がりエッジから MMCx_DAT[3:0] 遷移まで		1.07 3.21

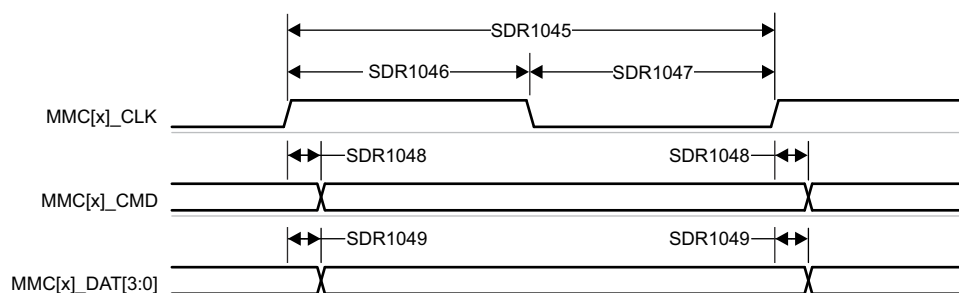


図 6-100. MMC1/MMC2 – UHS-I SDR104 – 送信モード

6.11.5.17 OSPI

OSPI0 には、PHY モードと Tap モードの 2 つのデータ キャプチャ モードがあります。

PHY モードでは、内部基準クロックを使用して DLL ベースの PHY 経由でデータを送受信します。各基準クロック サイクルはシングル データ レート (SDR) 転送の場合は OSPI0_CLK の 1 サイクル、ダブル データ レート (DDR) 転送の場合は OSPI0_CLK の半サイクルを生成します。PHY モードは、受信データ キャプチャ クロックについて 4 つのクロック トポロジをサポートしています。内部 PHY ループバック - 内部基準クロックを PHY 受信データ キャプチャ クロックとして使用します。内部パッド ループバック - OSPI0_LBCLKO ピンから PHY にループバックされた OSPI0_LBCLKO を PHY 受信データ キャプチャ クロックとして使用します。外部ボード ループバック - OSPI0_DQS ピンから PHY にループバックされた OSPI0_LBCLKO を PHY 受信データ キャプチャ クロックとして使用します。DQS - 接続されたデバイスからの DQS 出力を PHY 受信データ キャプチャ クロックとして使用します。内部パッド ループバックおよび DQS クロッキング トポロジを使用する場合、SDR 転送はサポートされません。内部 PHY ループバックまたは内部パッド ループバック クロッキング トポロジを使用する場合、DDR 転送はサポートされません。

タップ モードは、選択可能なタップと共に内部基準クロックを使用して、OSPI0_CLK に対してデータの送受信キャプチャ 遅延を調整します。OSPI0_CLK は、SDR 転送では内部基準クロックの 4 分周、DDR 転送では内部基準クロックの 8 分周です。タップ モードは、受信データ キャプチャ クロックに対して 1 つのクロック トポロジのみをサポートします。ループバックなし - 内部基準クロックをタップ受信データ キャプチャ クロックとして使用します。このクロック トポロジは、最大 400MHz の内部リファレンス クロック レートをサポートし、SDR モードでは 100MHz、DDR モードでは 50MHz までの OSPI0_CLK レートを生成します。

詳細については、デバイスのテクニカル リファレンス マニュアルで「ペリフェラル」の章にある「オクタル シリアル ペリフェラル インターフェイス (OSPI)」セクションを参照してください。

オクタル シリアル ペリフェラル インターフェイスの機能の詳細および追加の説明情報については、「信号の説明」および「詳細説明」セクションの対応するサブセクションを参照してください。

セクション 6.11.5.17.1 は PHY モードに関連する、セクション 6.11.5.17.2 はタップ モードに関連するタイミング要件とスイッチング特性を定義します。

表 6-111 に、OSPI0 のタイミング条件を示します。

表 6-111. OSPI0 のタイミング条件

パラメータ		モード	最小値	最大値	単位
入力条件					
SR _I	入力スルーレート		1	6	V/ns
出力条件					
C _L	出力負荷容量		3	10	pF
PCB 接続要件					
t _d (Trace Delay)	OSPI0_CLK パターンの伝搬遅延	ループバックなし 内部 PHY ループバック 内部パッド ループバック		450	ps
	OSPI0_LBCLKO パターンの伝搬遅延	外部ボードのループバック	2L ⁽¹⁾ - 30	2L ⁽¹⁾ + 30	ps
	OSPI0_DQS パターンの伝搬遅延	DQS	L ⁽¹⁾ - 30	L ⁽¹⁾ + 30	ps
t _d (Trace Mismatch Delay)	OSPI0_CLK に対する OSPI0_D[7:0] と OSPI0_CS _n [3:0] の伝搬遅延ミスマッチ	すべてのモード		60	ps

(1) L = OSPI0_CLK パターンの伝搬遅延

6.11.5.17.1 OSPI0 PHY モード

6.11.5.17.1.1 PHY データ トレーニング付き OSPI0

読み出し/書き込みデータ有効ウィンドウは、プロセス、電圧、温度、動作周波数の変動によって変化します。最適な読み出し/書き込みタイミングを動的に構成するために、データトレーニング手法を実装することもできます。データトレーニングを実装すると、特定のプロセス、電圧、周波数の動作条件において、温度範囲全体にわたって適切な動作を実現すると同時に、より高い動作周波数を実現できます。

データの送受信タイミングパラメータは、動作条件に基づいて動的に調整されるため、データトレーニングの使用事例では定義されていません。

表 6-112 は、データトレーニング付きの OSPI0 に必要な DLL 遅延を定義しています。表 6-113、図 6-101、図 6-102、表 6-114、図 6-103、図 6-104 に、データトレーニング付き OSPI0 のタイミング要件とスイッチング特性を示します。

表 6-112. PHY データ トレーニング用の OSPI0 DLL 遅延マッピング

モード	レジスタビットフィールド	遅延値
OSPI_PHY_CONFIGURATION_REG		
送信		
すべてのモード	PHY_CONFIG_TX_DLL_DELAY_FLD	(1)
受信		
すべてのモード	PHY_CONFIG_RX_DLL_DELAY_FLD	(2)
PHY_MASTER_CONTROL_REG		
すべてのモード	PHY_MASTER_PHASE_DETECT_SELECTOR_FLD	0x1

(1) トレーニングソフトウェアによって決定される送信 DLL 遅延の値

(2) トレーニングソフトウェアによって決定される受信 DLL 遅延の値

表 6-113. OSPI0 のタイミング要件 – PHY データ トレーニング

図 6-101 および図 6-102 を参照

番号			モード	最小値	最大値	単位
O15	$t_{su}(D-LBCLK)$	セットアップ時間、OSPI0_D[7:0] 有効から OSPI0_DQS のエッジまで	DQS 付き DDR	(1)		ns
O16	$t_h(LBCLK-D)$	ホールド時間、OSPI0_DQS のアクティブ エッジ後に OSPI0_D[7:0] を有効に保持すべき時間	DQS 付き DDR	(1)		ns
O21	$t_{su}(D-LBCLK)$	セットアップ時間、OSPI0_D[7:0] 有効から OSPI0_DQS のエッジまで	外部ボード ループバック付き SDR	(1)		ns
O22	$t_h(LBCLK-D)$	ホールド時間、OSPI0_DQS のアクティブ エッジ後に OSPI0_D[7:0] を有効に保持すべき時間	外部ボード ループバック付き SDR	(1)		ns
	t_{DWW}	データ有効ウィンドウ (O15 + O16)	DQS 付き DDR	1.6		ns
		データ有効ウィンドウ (O21 + O22)	外部ボード ループバック付き SDR	2.3		ns

- (1) データトレーニングを使用して最適なデータ有効ウィンドウを見つける場合、OSPI0_D[7:0] 入力の最小セットアップ時間およびホールド時間の要件は定義されません。 t_{DWW} パラメータは、必要な最小データ無効ウィンドウを定義します。このパラメータは、最小セットアップ時間や最小ホールド時間の代わりに提供され、接続されているデバイスから提供されるデータ有効ウィンドウとの互換性を確認するために使用する必要があります。

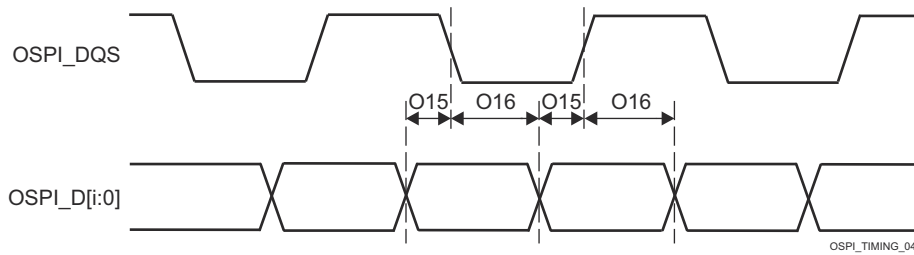


図 6-101. OSPI0 のタイミング要件 – PHY データ トレーニング、DQS 付き DDR

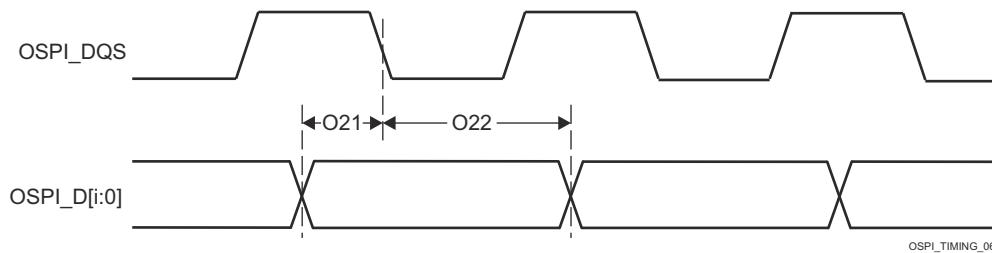


図 6-102. OSPI0 のタイミング要件 – PHY データ トレーニング、外部ボード ループバック付き SDR

表 6-114. OSPI のスイッチング特性 – PHY データ トレーニング

図 6-103 および 図 6-104 を参照

番号	パラメータ	モード	最小値	最大値	単位
O1	$t_{\text{c}}(\text{CLK})$	DDR	6.0	10	ns
O7		SDR	6.0	10	ns
O2	$t_{\text{w}}(\text{CLKL})$	DDR	$((0.475P^{(1)}) - 0.3)$		ns
O8		SDR			
O3	$t_{\text{w}}(\text{CLKH})$	DDR	$((0.475P^{(1)}) - 0.3)$		ns
O9		SDR			
O4	$t_{\text{d}}(\text{CSn-CLK})$	DDR	$((0.475P^{(1)}) + (0.975M^{(2)}R^{(4)}) + (0.04TD^{(5)} - 1))$	$((0.525P^{(1)}) + (1.025M^{(2)}R^{(4)}) + (0.11TD^{(5)} + 1))$	ns
O10		SDR			
O5	$t_{\text{d}}(\text{CLK-CSn})$	DDR	$((0.475P^{(1)}) + (0.975N^{(3)}R^{(4)}) - (0.11TD^{(5)} - 1))$	$((0.525P^{(1)}) + (1.025N^{(3)}R^{(4)}) - (0.04TD^{(5)} + 1))$	ns
O11		SDR			
O6	$t_{\text{d}}(\text{CLK-D})$	DDR	(6)	(6)	ns
O12		SDR			
	t_{DIVW}	DDR		1.6	ns
		SDR			

(1) P = SCLK サイクル時間 (ns) = OSPI0_CLK 周期 (ns)(2) M = OSPI_DEV_DELAY_REG[D_INIT_FLD](3) N = OSPI_DEV_DELAY_REG[D_AFTER_FLD](4) R = リファレンス クロック サイクル時間 (ns 単位)(5) TD = PHY_CONFIG_TX_DLL_DELAY_FLD

(6) データトレーニングを使用して最適なデータ有効ウィンドウを見つける場合、OSPI0_D[7:0] 出力の最小および最大遅延時間は定義されません。 t_{DIVW} パラメータは、最大データ無効ウィンドウを定義します。このパラメータは、最小および最大遅延時間の代わりに提供され、接続されているデバイスのデータ有効ウィンドウ要件との互換性を確認するために使用する必要があります。

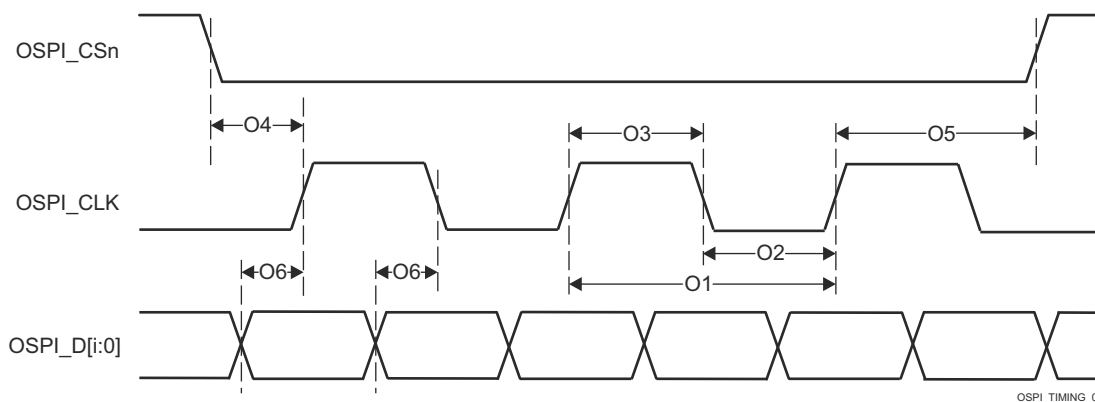


図 6-103. OSPI0 のスイッチング特性 - PHY DDR データ トレーニング

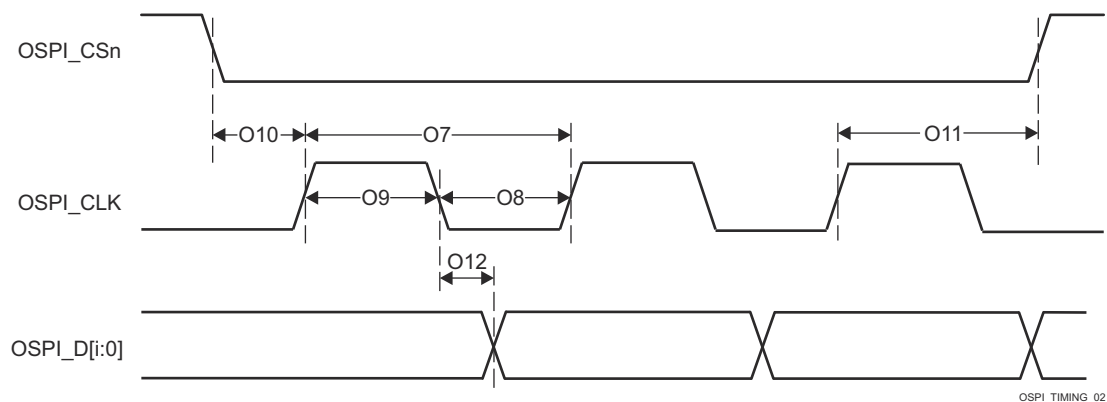


図 6-104. OSPI0 のスイッチング特性 - PHY SDR データ トレーニング

6.11.5.17.1.2 データ トレーニングなし OSPI0

注

このセクションで定義されるタイミング パラメータは、データ トレーニングが実装されておらず、表 6-115 に示すように DLL 遅延が設定されている場合にのみ適用されます。

6.11.5.17.1.2.1 OSPI0 PHY SDR のタイミング

表 6-115 に、OSPI0 PHY SDR モードに必要な DLL 遅延を定義します。表 6-116、図 6-105、図 6-106、表 6-117、図 6-107 に、OSPI0 PHY SDR モードのタイミング要件とスイッチング特性を示します。

表 6-115. OSPI0 の DLL 遅延マッピング – PHY SDR タイミング モード

モード	レジスタ ビット フィールド	遅延値
OSPI_PHY_CONFIGURATION_REG		
送信		
すべてのモード	PHY_CONFIG_TX_DLL_DELAY_FLD	0x3
受信		
SDR 内部 PHY ループバック	PHY_CONFIG_RX_DLL_DELAY_FLD	0x0
SDR 外部ボード ループバック	PHY_CONFIG_RX_DLL_DELAY_FLD	0x4
PHY_MASTER_CONTROL_REG		
すべてのモード	PHY_MASTER_PHASE_DETECT_SELECTOR_FLD	0x1

表 6-116. OSPI0 のタイミング要件 – PHY SDR モード

図 6-105 および 図 6-106 を参照

番号		モード	最小値	最大値	単位
O19	$t_{su}(D-CLK)$	セットアップ時間、OSPI0_D[7:0] 有効から OSPI0_CLK のエッジまで	内部 PHY ループバック付き SDR	4.8	ns
O20	$t_h(CLK-D)$	ホールド時間、OSPI0_CLK のアクティブ エッジ後に OSPI0_D[7:0] を有効に保持すべき時間	内部 PHY ループバック付き SDR	-0.5	ns
O21	$t_{su}(D-LBCLK)$	セットアップ時間、OSPI0_D[7:0] 有効から OSPI0_DQS のエッジまで	外部ボード ループバック付き SDR	0.6	ns
O22	$t_h(LBCLK-D)$	ホールド時間、OSPI0_DQS のアクティブ エッジ後に OSPI0_D[7:0] を有効に保持すべき時間	外部ボード ループバック付き SDR	1.7	ns

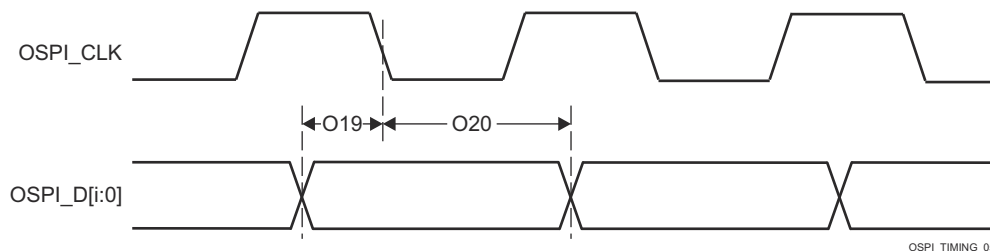


図 6-105. OSPI0 のタイミング要件 – PHY ループバック内蔵 PHY SDR

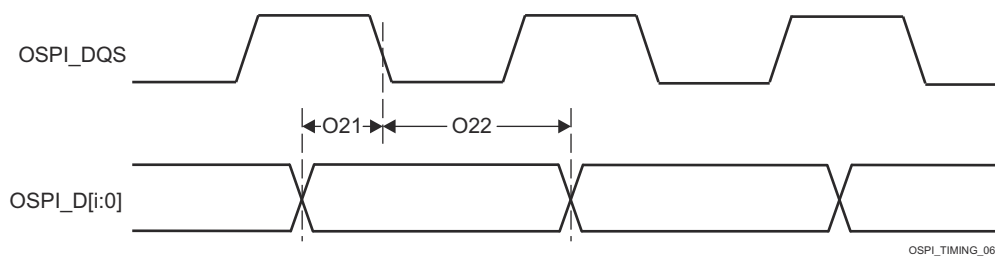


図 6-106. OSPI0 のタイミング要件 – 外部ボード ループバック付き PHY SDR

表 6-117. OSPI0 のスイッチング特性 – PHY SDR モード

図 6-107 参照

番号	パラメータ	最小値	最大値	単位
O7	$t_{c}(\text{CLK})$	サイクル時間、OSPI0_CLK	7	ns
O8	$t_{w}(\text{CLKL})$	パルス幅、OSPI0_CLK low	$((0.475P^{(1)}) - 0.3)$	ns
O9	$t_{w}(\text{CLKH})$	パルス幅、OSPI0_CLK high	$((0.475P^{(1)}) - 0.3)$	ns
O10	$t_{d}(\text{CSn-CLK})$	遅延時間、OSPI0_CS[n:3:0] アクティブ エッジから OSPI0_CLK 立ち上がりエッジまで	$((0.475P^{(1)}) + (0.975M^{(2)}R^{(4)}) + (0.04TD^{(5)}) - 1)$	ns
O11	$t_{d}(\text{CLK-CSn})$	遅延時間、OSPI0_CLK 立ち上がりエッジから OSPI0_CS[n:3:0] 非アクティブ エッジまで	$((0.475P^{(1)}) + (0.975N^{(3)}R^{(4)}) - (0.11TD^{(5)}) - 1)$	ns
O12	$t_{d}(\text{CLK-D})$	遅延時間、OSPI0_CLK アクティブ エッジから OSPI0_D[7:0] 遷移まで	-1.16 1.25	ns

(1) P = SCLK サイクル時間 (ns) = OSPI0_CLK 周期 (ns)

(2) M = OSPI_DEV_DELAY_REG[D_INIT_FLD]

(3) N = OSPI_DEV_DELAY_REG[D_AFTER_FLD]

(4) R = リファレンス クロック サイクル時間 (ns 単位)

(5) TD = PHY_CONFIG_TX_DLL_DELAY_FLD

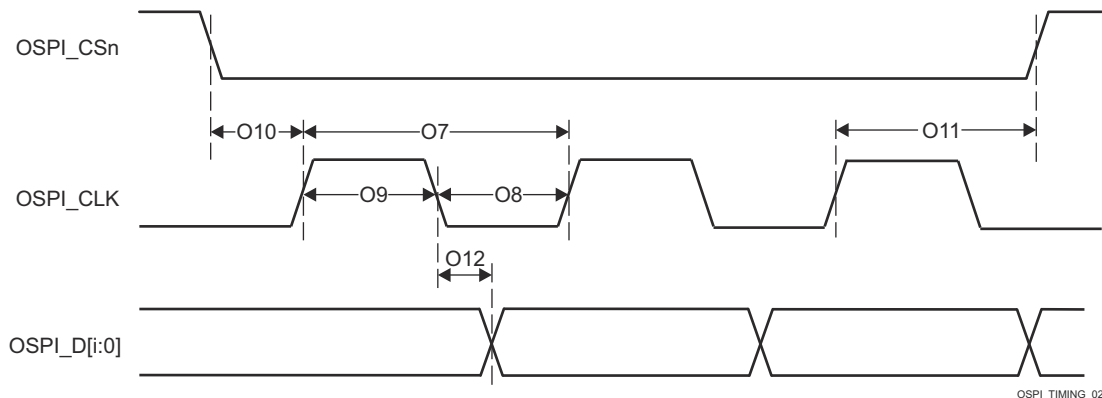


図 6-107. OSPI0 のスイッチング特性 – PHY SDR モード

6.11.5.17.2 OSPI0 タップモード

6.11.5.17.2.1 OSPI0 タップ SDR のタイミング

表 6-118、図 6-108、表 6-119、図 6-109 に、OSPI0 タップ SDR モードのタイミング要件とスイッチング特性を示します。

表 6-118. OSPI0 のタイミング要件 – タップ SDR モード

図 6-108 参照

番号		モード	最小値	最大値	単位
O19	$t_{su}(D-CLK)$	セットアップ時間、OSPI0_D[7:0] 有効から OSPI0_CLK のエッジまで	ループバックなし $(7.7 - (0.975T^{(1)}R^{(2)}))$		ns
O20	$t_h(CLK-D)$	ホールド時間、OSPI0_CLK のアクティブ エッジ後に OSPI0_D[7:0] を有効に保持すべき時間	ループバックなし $(-2.15 + (0.975T^{(1)}R^{(2)}))$		ns

(1) T = OSPI_RD_DATA_CAPTURE_REG[DELAY_FLD]

(2) R = リファレンス クロック サイクル時間 (ns 単位)

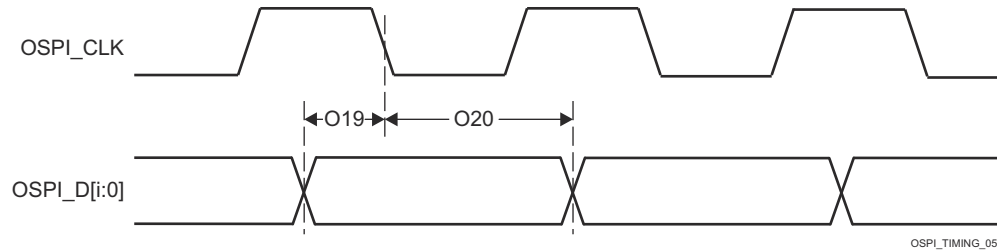


図 6-108. OSPI0 のタイミング要件 – タップ SDR、ループバックなし

表 6-119. OSPI0 のスイッチング特性 – タップ SDR モード

図 6-109 参照

番号	パラメータ		最小値	最大値	単位
O7	t _c (CLK)	サイクル時間、OSPI0_CLK	10		ns
O8	t _w (CLKL)	パルス幅、OSPI0_CLK low	((0.475P ⁽¹⁾) - 0.3)		ns
O9	t _w (CLKH)	パルス幅、OSPI0_CLK high	((0.475P ⁽¹⁾) - 0.3)		ns
O10	t _d (CSn-CLK)	遅延時間、OSPI0_CS[n:3:0] アクティブ エッジから OSPI0_CLK 立ち上がりエッジまで	((0.475P ⁽¹⁾) + (0.975M ⁽²⁾ R ⁽⁴⁾) - 1)	((0.525P ⁽¹⁾) + (1.025M ⁽²⁾ R ⁽⁴⁾) + 1)	ns
O11	t _d (CLK-CSn)	遅延時間、OSPI0_CLK 立ち上がりエッジから OSPI0_CS[n:3:0] 非アクティブ エッジまで	((0.475P ⁽¹⁾) + (0.975N ⁽³⁾ R ⁽⁴⁾) - 1)	((0.525P ⁽¹⁾) + (1.025N ⁽³⁾ R ⁽⁴⁾) + 1)	ns
O12	t _d (CLK-D)	遅延時間、OSPI0_CLK アクティブ エッジから OSPI0_D[7:0] 遷移まで	- 2.0	1.5	ns

(1) P = SCLK サイクル時間 (ns) = OSPI0_CLK 周期 (ns)

(2) M = OSPI_DEV_DELAY_REG[D_INIT_FLD]

(3) N = OSPI_DEV_DELAY_REG[D_AFTER_FLD]

(4) R = リファレンス クロック サイクル時間 (ns 単位)

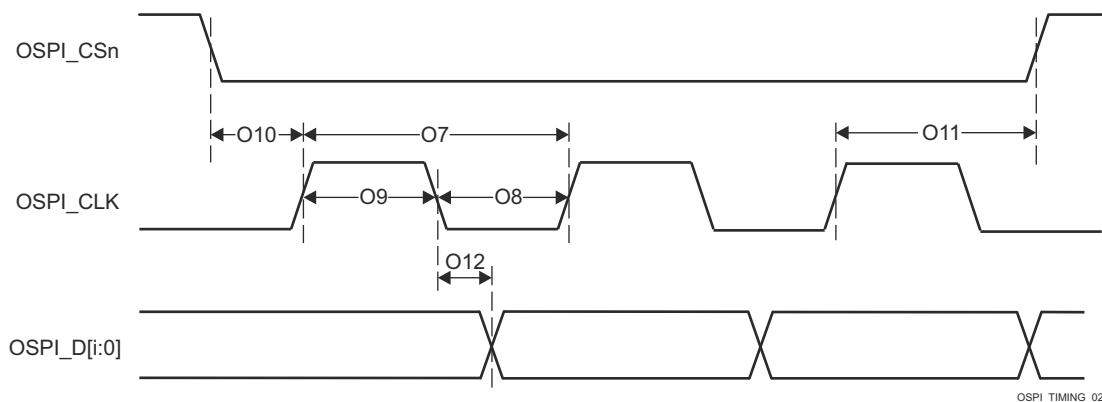


図 6-109. OSPI0 のスイッチング特性 – タップ SDR、ループバックなし

6.11.5.17.2.2 OSPI0 タップDDR のタイミング

表 6-120、図 6-110、表 6-121、図 6-111 に、OSPI0 タップ DDR モードのタイミング要件とスイッチング特性を示します。

表 6-120. OSPI0 のタイミング要件 – タップ DDR モード

図 6-110 参照

番号		モード	最小値	最大値	単位
O13	$t_{su}(D-CLK)$	セットアップ時間、OSPI0_D[7:0] 有効から OSPI0_CLK のエッジまで	ループバックなし	(8.0 - $(0.975T^{(1)}R^{(2)})$)	ns
O14	$t_h(CLK-D)$	ホールド時間、OSPI0_CLK のアクティブ エッジ後に OSPI0_D[7:0] を有効に保持すべき時間	ループバックなし	(- 2.0 + $(0.975T^{(1)}R^{(2)})$)	ns

(1) T = OSPI_RD_DATA_CAPTURE_REG[DELAY_FLD]

(2) R = リファレンス クロック サイクル時間 (ns 単位)

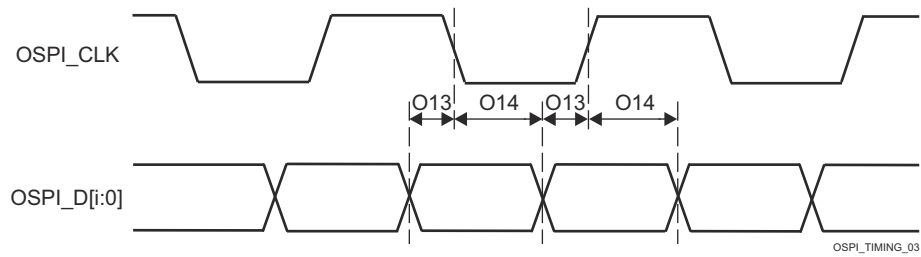


図 6-110. OSPI0 のタイミング要件 – タップ DDR、ループバックなし

表 6-121. OSPI0 のスイッチング特性 – タップ DDR モード

図 6-111 参照

番号	パラメータ	最小値	最大値	単位
O1	$t_{c}(\text{CLK})$	サイクル時間、OSPI0_CLK	20	ns
O2	$t_{w}(\text{CLKL})$	パルス幅、OSPI0_CLK low	$((0.475P^{(1)}) - 0.3)$	ns
O3	$t_{w}(\text{CLKH})$	パルス幅、OSPI0_CLK high	$((0.475P^{(1)}) - 0.3)$	ns
O4	$t_{d}(\text{CSn-CLK})$	遅延時間、OSPI0_CS _n [3:0] アクティブ エッジから OSPI0_CLK 立ち上がりエッジまで	$((0.475P^{(1)}) + ((0.975M^{(2)}R^{(5)}) - 1))$	ns
O5	$t_{d}(\text{CLK-CSn})$	遅延時間、OSPI0_CLK 立ち上がりエッジから OSPI0_CS _n [3:0] 非アクティブ エッジまで	$((0.525P^{(1)}) + (1.025M^{(2)}R^{(5)} + 1))$	ns
O6	$t_{d}(\text{CLK-D})$	遅延時間、OSPI0_CLK アクティブ エッジから OSPI0_D[7:0] 遷移まで	$((0.475P^{(1)}) + (0.975N^{(3)}R^{(5)} - 1))$	ns
		$(-1.0 + (0.975(T^{(4)} + 1)R^{(5)} - (0.525P^{(1)})))$	$((0.525P^{(1)}) + (1.025N^{(3)}R^{(5)} + 1))$	ns

(1) P = SCLK サイクル時間 (ns) = OSPI0_CLK 周期 (ns)

(2) M = OSPI_DEV_DELAY_REG[D_INIT_FLD]

(3) N = OSPI_DEV_DELAY_REG[D_AFTER_FLD]

(4) T = OSPI_RD_DATA_CAPTURE_REG[DDR_READ_DELAY_FLD]

(5) R = リファレンス クロック サイクル時間 (ns 単位)

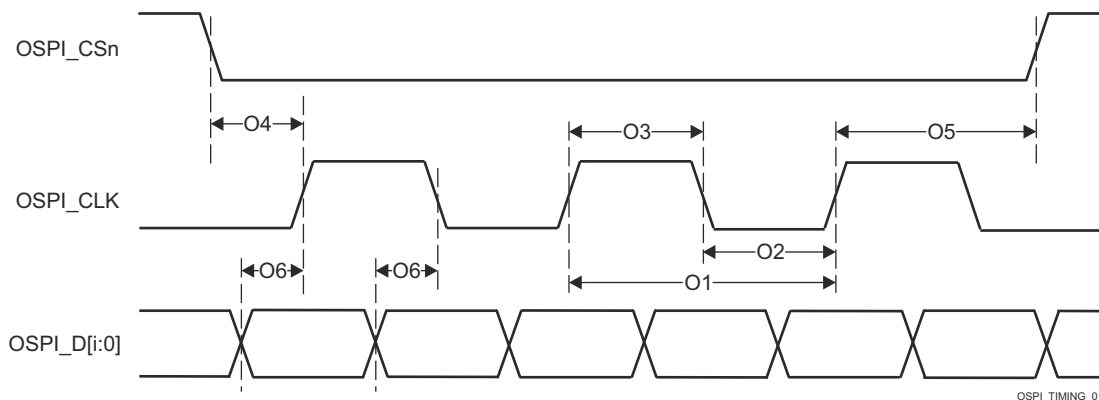


図 6-111. OSPI0 のスイッチング特性 – タップ DDR、ループバックなし

6.11.5.18 タイマ

タイマ デバイスの機能および追加の説明情報については、「信号の説明」、「詳細説明」セクションの対応するサブセクションを参照してください。

表 6-122. タイマのタイミング条件

パラメータ		最小値	最大値	単位
入力条件				
SR _i	入力スルーレート	0.5	5	V/ns
出力条件				
C _L	出力負荷容量	2	10	pF

表 6-123. タイマ入力のタイミング要件

図 6-112 参照

番号	パラメータ	説明	モード	最小値	最大値	単位
T1	t _w (TINPH)	パルス幅、High	キャプチャ	4P ⁽¹⁾ + 2.5		ns
T2	t _w (TINPL)	パルス幅、Low	キャプチャ	4P ⁽¹⁾ + 2.5		ns

(1) P = 機能クロック周期 (ns 単位)。

表 6-124. タイマ出力のスイッチング特性

図 6-112 参照

番号	パラメータ	説明	モード	最小値	最大値	単位
T3	t _w (TOUTH)	パルス幅、High	PWM	4P ⁽¹⁾ - 2.5		ns
T4	t _w (TOU TL)	パルス幅、Low	PWM	4P ⁽¹⁾ - 2.5		ns

(1) P = 機能クロック周期 (ns 単位)。

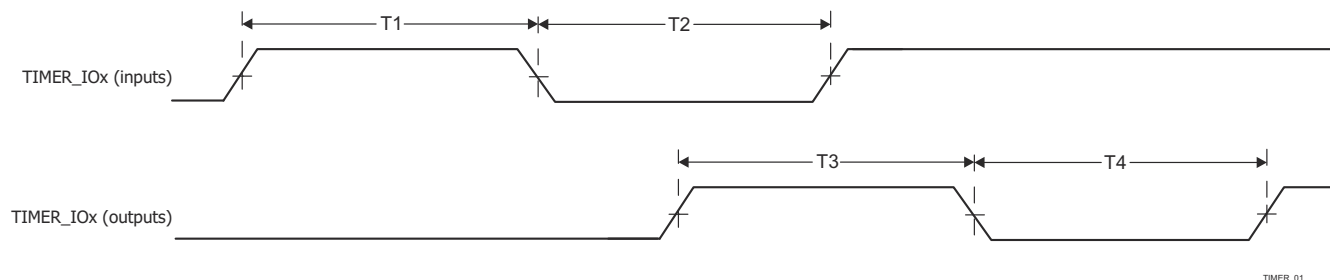


図 6-112. タイマのタイミング要件およびスイッチング特性

詳細については、デバイスのテクニカル リファレンス マニュアルで「ペリフェラル」の章にある「タイマ」セクションを参照してください。

6.11.5.19 UART

ユニバーサル非同期レシーバ / トランスミッタ デバイスの機能の詳細および追加説明情報については、「信号の説明」および「詳細説明」の対応するサブセクションを参照してください。

表 6-125. UART のタイミング条件

パラメータ		最小値	最大値	単位
入力条件				
SR _I	入力スルーレート	0.5	5	V/ns
出力条件				
C _L	出力負荷容量	1	30 ⁽¹⁾	pF

- (1) この値は、絶対最大負荷容量を表します。UART のボーレートが上昇するにつれて、接続されているデバイスに十分なタイミング マージンを確保するために、負荷容量をこの最大制限より小さい値に減らす必要がある場合があります。容量性負荷の増加に伴い、出力の立ち上がり / 立ち下がり時間が長くなり、接続されているデバイスのレシーバに対してデータが有効である時間が短くなります。したがって、接続されたデバイスが動作ボーレートで必要とする最小データ有効時間を理解することが重要です。次に、デバイス IBIS モデルを使用して、UART 信号上の実際の負荷容量によって、接続されているデバイスの最小データ有効時間に違反するほど立ち上がり / 立ち下がり時間が増加しないことを確認します。

表 6-126. UART のタイミング要件

図 6-113 参照

番号	パラメータ	説明	最小値	最大値	単位
1	t _{w(RXD)}	パルス幅、受信データ ビット High または Low	0.95U ⁽¹⁾ (2)	1.05U ⁽¹⁾ (2)	ns
2	t _{w(RXDS)}	パルス幅、受信スタート ビット Low	0.95U ⁽¹⁾ (2)		ns

- (1) U = UART のボー時間 (ns) = 1 / プログラムされたボーレート。
 (2) この値はデータ有効時間を規定します。ここで、入力電圧は V_{IH} を上回る、または V_{IL} を下回る必要があります。

表 6-127. UART スイッチング特性

図 6-113 参照

番号	パラメータ	説明	最小値	最大値	単位
	f _(baud)	プログラム可能なボーレート		7.38	Mbps
3	t _{w(TXD)}	パルス幅、送信データ ビット High または Low	U ⁽¹⁾ - 2	U ⁽¹⁾ + 2	ns
4	t _{w(TXDS)}	パルス幅、送信スタート ビット Low	U ⁽¹⁾ - 2		ns

- (1) U = UART ボー時間 (ns) = 1 / 実際のボーレート。ここで、実際のボーレートはデバイスのテクニカル リファレンス マニュアルの UART ボーレート 設定表で規定されています。

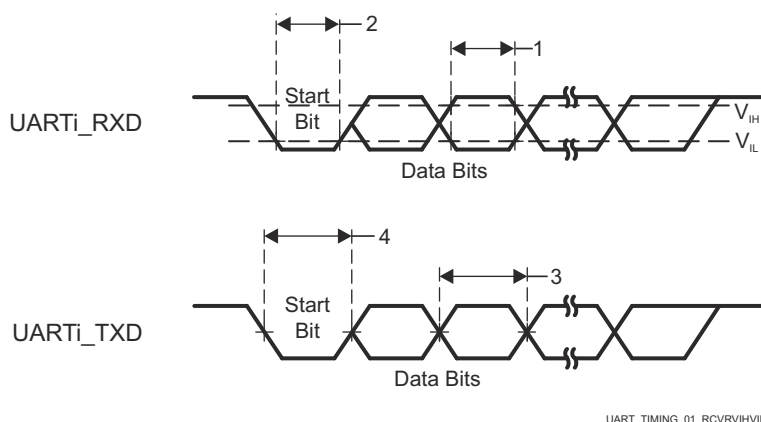


図 6-113. UART のタイミング要件およびスイッチング特性

詳細については、デバイスのテクニカル リファレンス マニュアルで「ペリフェラル」の章にある「ユニバーサル非同期レシーバ/トランスミッタ (UART)」セクションを参照してください。

6.11.5.20 USB

USB 2.0 サブシステムは、ユニバーサル シリアル バス (USB) 仕様、リビジョン 2.0 に準拠しています。タイミングの詳細については、仕様を参照してください。

デバイス、ユニバーサル シリアル バス サブシステム (USB) の機能および追加の説明情報については、「信号の説明」および「詳細説明」の対応するサブ セクションを参照してください。

7 詳細説明

7.1 概要

低コストでパフォーマンスを最適化した AM62L ファミリのアプリケーション プロセッサ は、Linux® アプリケーション開発向けに構築されています。スケーラブルな Arm® Cortex®-A53 コア性能と、以下のような組込み機能を搭載: マルチメディア DSI/DPI サポート、内蔵 ADC オンチップ、高度な低消費電力管理モード、および IP 保護とセキュア ブート用の広範なセキュリティ オプション。

AM62Lx には、広範な産業用アプリケーションに適した広範なペリフェラル セットが含まれており、インテリジェントな機能や最適化された電源アーキテクチャも提供します。さらに、AM62Lx に搭載されている広範なペリフェラル セットにより、以下のようなシステム レベルの接続性を実現できます。USB、MMC/SD、OSPI、CAN-FD、ADC。

7.2 プロセッサ サブシステム

7.2.1 Arm Cortex-A53 サブシステム (A53SS)

SoC は、デュアル コア Arm® Cortex®-A53 MPCore™ の 1 クラスタを実装しており、各コアに 32KB の L1 命令キャッシュと 32KB の L1 データキャッシュ、さらに 256KB または の共有 L2 キャッシュを備えています。

Cortex®-A53 コアは、お客様のアプリケーションを実行するために使用できる汎用プロセッサです。

A53SS は、Arm が提供しテキサス・インスツルメンツが構成した Cortex®-A53 MPCore™ (Arm®-A53 クラスタ) を中心に構築されています。対称型マルチプロセッサ (SMP) アーキテクチャをベースとしているため、高性能と最適な電力管理、デバッグおよびエミュレーション機能を実現します。

A53 プロセッサはマルチイシュー アウトオブオーダー スーパースカラ実行エンジンであり、L1 命令キャッシュとデータ キャッシュを内蔵し、Arm®v8-A アーキテクチャと互換性があります。従来製品に比べ、電力効率が高く、性能が大幅に向上しています。

Arm®v8-A アーキテクチャは、多くの新機能を備えています。たとえば、64 ビット データ処理、拡張仮想アドレッシング、64 ビット 汎用レジスタがあります。A53 プロセッサは、電力効率の優れた 64 ビット処理の実現を目的とした、Arm 初の Arm®v8-A プロセッサです。8 段デュアル発行のインオーダー パイプラインと改良された整数型 Arm® Neon™、浮動小数点ユニット (FPU) とメモリの性能を特徴としています。

A53 CPU は、次の 2 つの実行状態をサポートしています。(AArch32、AArch64) で構成されています。AArch64 ステートにより、A53 CPU は 64 ビット アプリケーションを実行でき、AArch32 ステートによりプロセッサは既存の Arm®v7-A アプリケーションを実行できます。

A53SS は、Arm®v8 暗号化拡張、GICv3 アーキテクチャ、キャッシュに対する ECC およびパリティ保護、コアごとの専用ウォッチドッグ タイマ、高スループット 128 ビット VBUSM インターフェイス、さらに内蔵自己テストと信頼性向上のための BISTOR を備えた PBIST コントローラなどの高度な機能を統合しています。

詳細については、デバイスのテクニカル リファレンス マニュアルの「プロセッサとアクセラレータ」の章にある「Arm Cortex-A53 サブシステム」セクションを参照してください。

7.3 その他のサブシステム

7.3.1 データ移動サブシステム (DMSS : Data Movement Subsystem)

DMSS モジュールは、データ転送 (DMA) を提供するとともに、デバイス上のクロスバー モジュール CBASS スイッチド インターコネクトとパケット ストリーミング ファブリック (オン チップ ネットワーク) の間をブリッジします。

データ移動サブシステム (DMSS) は、DMA / キュー管理コンポーネントとペリフェラルで構成されています。

- パケット DMA (PKTDMA)
- ブロック コピー DMA (BCDMA)
- リング アクセラレータ
- パケット ストリーミング インターフェイス (PSILSS)
- CBASS などのインフラストラクチャ コンポーネント

詳細については、デバイスのテクニカル リファレンス マニュアルの ペリフェラルの章にあるデータ転送アーキテクチャの概要セクションを参照してください。

7.3.2 ペリフェラル DMA コントローラ (PDMA)

ペリフェラル DMA は、特にペリフェラルのデータ転送ニーズを満たすように設計されたシンプルな DMA です。ペリフェラル DMA は、コヒーレントではない標準のバス ファブリック経由でアクセスされる、メモリ マップされたレジスタ (MMR) を使用してデータ転送を実行します。PDMA モジュールは、データ移動用に外部 DMA を必要とする 1 つまたは複数のペリフェラルの近くに配置されており、

PDMA は、ペリフェラル自体とデータをやり取りするデータ移動トランザクションの実行のみを担当します。指定されたペリフェラルから読み取られたデータは、PDMA ソース チャンネルによって PSI-L データ ストリームにパックされます。その後、リモート ピア DMSS デスティネーション チャンネルに送信され、メモリへのデータ移動が実行されます。同様に、リモート DMSS ソース チャンネルはメモリからデータをフェッチし、PSI-L 経由でピア PDMA デスティネーション チャンネルに転送し、次にペリフェラルへの書き込みを実行します。

PDMA アーキテクチャは意図的に異種混合 (DMSS + PDMA) を採用しており、システム内の各ポイントでデータ転送の複雑度を適切なサイズに設定して、送受信するデータのさまざまな要件に適合できます。ペリフェラルは通常 FIFO ベースであり、FIFO の次元の要件を超える多次元転送を必要としないため、PDMA 転送エンジンは、わずかな大きさ (通常はサンプル サイズと FIFO の深さによる)、ハードコードされたアドレス マップ、シンプルなトリガ機能だけという簡潔さが保たれています。

PDMA には複数のソースおよびデスティネーション チャンネルが用意されており、複数の同時転送動作を実行できます。DMA コントローラは、基盤となる DMA ハードウェアを共有するために、各チャンネルの状態情報を維持し、チャンネル間のラウンド ロビン スケジューリングを採用しています。

PDMA をサポートする各ペリフェラルには、それぞれ専用のステート マシンがあり、各ペリフェラルのデータ送受信を追跡します。

詳細については、デバイスのテクニカル リファレンス マニュアルの ペリフェラルの章にあるデータ転送アーキテクチャの概要セクションを参照してください。

7.4 ペリフェラル

7.4.1 ADC

A/D コンバータ (ADC) モジュールは、内蔵の 4 入力アナログ マルチプレクサで選択された 4 つのアナログ入力のうち 1 つから、単一チャネルの汎用 A/D 変換機能を提供します。このモジュールに実装されているアナログ フロントエンド (AFE) は、10 ビットの有効分解能で 12 ビットの変換を実行します。

詳細については、デバイスのテクニカル リファレンス マニュアルで「ペリフェラル」の章にある「A/D コンバータ (ADC)」セクションを参照してください。

7.4.2 ギガビット イーサネット スイッチ (CPSW3G)

3 ポートのギガビット イーサネット スイッチ (CPSW3G) サブシステムは、デバイスへのイーサネット パケット通信をデバイスに提供し、イーサネット スイッチとして構成できます。選択可能な RGMII および RMII インターフェイスを備えた 2 つの外部 10/100/1000Mbps イーサネット ポートと、1 つの内部通信ポート プログラミング インターフェイス (CPPI) ポートをサポートします。

詳細については、デバイスのテクニカル リファレンス マニュアルで「ペリフェラル」の章にある「ギガビット イーサネット スイッチ」セクションを参照してください。

7.4.3 DDR サブシステム (DDRSS)

DDRSS0 は、16 ビットバスおよびインライン ECC 付きで最大 1600MT/s の LPDDR4 および DDR4 メモリタイプをサポートし、最大 2GB (LPDDR4) および 4GB (DDR4) に対応しています。128 ビットのシステムインターフェイス、高度なスケジューリングとリフレッシュ制御、包括的なコマンドコヒーレンシ、および JEDEC 準拠の低消費電力モードを備えており、拡張温度範囲にわたって効率的かつ信頼性の高い動作を実現します。

詳細については、デバイスのテクニカル リファレンス マニュアルで「ペリフェラル」の章にある「DDR サブシステム」セクションを参照してください。

7.4.4 ディスプレイ サブシステム (DSS)

ディスプレイ サブシステム (DSS) は、最大 1920x1080@60fps の高解像度ディスプレイ出力をサポートする柔軟なシングルパイプライン サブシステムです。DSS には、ビデオフレームのフリップ/ミラーをサポートする DMA エンジンが搭載されており、フレーム バッファ (デバイスのシステム メモリ) への直接アクセスが可能です。入力パイプラインは、色空間変換、ガンマ補正、輝度/コントラスト色相/彩度制御などの機能をサポートしており、ビデオ出力品質を向上させます。DSS 出力はどちらもデバイスピンに直接接続し、150MHz ピクセルクロックによるパラレル 24 ビット DPI ビデオ出力インターフェイスを実現するほか、MIPI DSI コントローラに接続します。このコントローラは、1 レーンあたり最大 2.5 Gbps のデータレートで 4 レーンの MIPI D-PHY トランスミッタを経由してビデオインターフェイスを提供します。

詳細については、デバイスのテクニカル リファレンス マニュアルで「ペリフェラル」の章にある「ディスプレイ サブシステム」セクションを参照してください。

7.4.5 拡張キャプチャ (ECAP)

拡張キャプチャ (ECAP) モジュールは、周期、周波数、デューティ サイクル、パルス幅といった外部信号の特性を正確にキャプチャし、測定するために設計されたタイミング周辺機能です。ECAP は 32 ビットのタイム スタンプ カウンタと最大 4 つの 32 ビット キャプチャレジスタを使用して動作します。キャプチャされた値を使用して、タイミング間隔の計算、割り込みの生成、他のペリフェラルのトリガを行うことができます。

このモジュールは、任意のキャプチャ イベントで割り込みを生成でき、絶対時間キャプチャとデルタ タイム スタンプ キャプチャの両方のモードをサポートします。また、各キャプチャ イベントごとにエッジ極性をプログラム可能であり、キャプチャとして使用していない場合には補助 PWM (APWM) モードで PWM 出力を生成することもできます。ECAP は最大 4 つのタイム スタンプ イベントを取得できるワンショット キャプチャ モードと、4 段のサーキュラ バッファにタイム スタンプを連続的に格納する連続キャプチャ モードもサポートしています。

これらの機能により、ECAP モジュールは速度測定、位置検出、精密な入力信号監視制御アプリケーションに有用です。

詳細については、デバイスのテクニカル リファレンス マニュアルで「ペリフェラル」の章にある「拡張キャプチャ (ECAP) モジュール」セクションを参照してください。

7.4.6 エラー特定モジュール (ELM)

エラー特定モジュール (ELM) は、汎用メモリコントローラ (GPMC) と組み合わせて動作し、NAND フラッシュメモリのエラー検出および訂正をサポートします。Bose–Chaudhuri–Hocquenghem (BCH) アルゴリズムを使用して、NAND ページの読み取り中に生成されたシンドローム多項式を処理し、データブロック内のエラー位置を特定します。ELM は、512 バイトブロックごとに 4、8、16 ビットのエラー訂正をサポートしており、完了時に割り込みを生成し、エラー数と位置データへのレジスタベースのアクセスが可能です。

詳細については、デバイスのテクニカル リファレンス マニュアルで「ペリフェラル」の章にある「エラー特定モジュール (ELM)」セクションを参照してください。

7.4.7 拡張パルス幅変調 (EPWM)

拡張パルス幅変調 (EPWM) モジュールは、高度に柔軟なタイマベースの周辺機能であり、モータ制御、デジタル電源、および汎用タイミング用途向けに精密なパルス幅変調波形を生成するために使用されます。

EPWM モジュールは、周期、デューティ サイクル、位相のプログラム制御を提供し、立ち上がりエッジと立ち下がりエッジを独立して遅延制御できるデッドバンド生成、故障処理用のトリップ ゾーン入力、他の EPWM モジュールとの同期のためのタイムベース同期入出力信号、さらに CPU 割り込みや ADC 変換をトリガするイベント生成機能を備えており、制御ループと波形生成の間で精密な同期を実現します。

追加機能として、高周波キャリア信号による PWM チョッピングによって EMI を低減し信号品質を向上させる機能や、PWM イベントがアクションをトリガする頻度を細かく制御できるプログラム可能なイベント プリスケール機能があります。

詳細については、デバイスのテクニカル リファレンス マニュアルで「ペリフェラル」の章にある「拡張パルス幅変調 (EPWM) モジュール」セクションを参照してください。

7.4.8 拡張直交エンコーダパルス (eQEP)

拡張直交エンコーダパルス (EQEP) 周辺機能は、回転エンコーダやリニア エンコーダからの 2 相エンコード信号とインターフェイスするために使用され、高性能なモーション制御や位置制御システムで一般的に用いられ、正確な位置、方向、速度の情報を提供します。

EQEP モジュールは、A 相と B 相の信号のデコードと、絶対位置リファレンス用のインデックス信号 (QEPI) をサポートしています。

32 ビット EQEP モジュールは、プログラム可能なリセット機能付きの位置測定用ポジション カウンタと制御ユニット、低速測定用のクアドラチャ エッジ キャプチャ ユニット、リアルタイム速度測定用のユニット タイム ベース、さらにエンコーダの動作喪失を検出するウォッチドッグ タイマを備えています。EQEP は、コンペア、オーバーフロー/アンダーフロー、インデックス イベントで割り込みを生成し、柔軟なモーション制御アルゴリズムをサポートします。

詳細については、デバイスのテクニカル リファレンス マニュアルで「ペリフェラル」の章にある「拡張直交エンコーダパルス (EQEP)」セクションを参照してください。

7.4.9 汎用インターフェイス (GPIO)

汎用入出力 (GPIO) ペリフェラルは、入力または出力として構成可能な専用の汎用ピンを備えています。出力として構成すると、内部レジスタに書き込むことにより、出力ピンの状態を制御できます。入力として構成すると、内部レジスタの状態を読み取ることにより、入力の状態を取得できます。

GPIO モジュールは最大 144 の専用信号をサポートしており、9 バンクに分割され、それぞれのバンクは最大 16 の GPIO 信号で構成されています。

割り込み生成は、16 本の GPIO 信号ごとの各バンク単位で個別に有効化できます。割り込みは、割り込み対応 GPIO 信号ごとに指定でき、立ち上がりエッジおよび/または立ち下がりエッジでトリガされます。

さらに、GPIO ペリフェラルは、さまざまなイベント生成モードで DMA 同期イベントを生成することができます。GPIO 信号のセット / クリア機能も利用できます。

詳細については、デバイスのテクニカル リファレンス マニュアルで「ペリフェラル」の章にある「汎用インターフェイス」セクションを参照してください。

7.4.10 汎用メモリ コントローラ (GPMC)

汎用メモリ コントローラは、以下に示すような外部メモリ デバイスとのインターフェイス専用の統合メモリ コントローラです。

- 非同期 SRAM などのメモリおよび ASIC (特定用途向け集積回路) デバイス
- 非同期、同期、ページ モード (非多重化モードでのみ使用可能) バースト NOR フラッシュ デバイス
- NAND フラッシュ
- 疑似 SRAM デバイス

詳細については、デバイスのテクニカル リファレンス マニュアルの「ペリフェラル」の章にある「汎用メモリ コントローラ」セクションを参照してください。

7.4.11 グローバル時間ベース カウンタ (GTC)

GTC モジュールは Arm@v8 システム カウンタ要件に準拠した 64 ビットのフリーランニング アップカウンタであり、64 ビット カウンタ全体を使用する場合はデバイスのライフタイムにわたってロールオーバーが発生せず、さらにプッシュ イベントとして選択可能なカウンタ ビット出力をサポートします。

GTC は、すべてのコアおよびペリフェラル間で一貫したタイムスタンプおよび同期を実現するための統一された時間基準を提供します。

詳細については、デバイスのテクニカル リファレンス マニュアルで「ペリフェラル」の章にある「グローバル時間ベース カウンタ」セクションを参照してください。

7.4.12 I2C (Inter-Integrated Circuit)

Inter-Integrated Circuit (I2C) コントローラは Arm などのローカル ホスト (LH) と、I²C シリアル バスで接続される任意の I²C バス互換デバイスとの間のインターフェイスを提供します。I²C バスに接続された外部コンポーネントは、2 線式の I²C インターフェイスを介して、LH デバイスとの間で最大 8 ビットのデータをシリアル送受信できます。

各マルチコントローラ I²C モジュールは、ターゲットまたはコントローラの I²C 互換デバイスとして動作するように構成できます。

I²C インスタンスは、専用の I²C 準拠オープンドレイン I/O バッファ、または標準プッシュプル I/O バッファを使用して実装できます。I²C オープン ドレイン I/O バッファに関連付けられた I²C インスタンスは、HS モードをサポートしており、1.8V 動作時には最大 3.4Mbps、3.3V 動作時には 400kbps に制限されます。

標準プッシュプル I/O バッファに関連付けられた I²C インスタンスは、ファースト モード (最大 400kbps) をサポートできます。これらのポートで使用されているプッシュプル I/O バッファは、オープンドレイン出力をエミュレートするように接続されます。このエミュレーションは、強制的に常に Low を出力し、出力バッファを無効にして、Hi-Z 状態にすることにより実行されます。

詳細については、デバイスのテクニカル リファレンス マニュアルで「ペリフェラル」の章にある「Inter-Integrated Circuit」セクションを参照してください。

7.4.13 モジュラー・コントローラ・エリア・ネットワーク (MCAN)

コントローラ エリア ネットワーク (CAN) は、高い安全性で分散リアルタイム制御を効率的にサポートするシリアル通信プロトコルです。CAN は電氣的干渉に対する高い耐性を持ち、自己診断およびデータ エラー修正機能を備えています。CAN ネットワークでは、多くの短いメッセージがネットワーク全体にブロードキャストされるため、システムのすべてのノードでデータの整合性が確保されます。

MCAN モジュールは、従来型 CAN および CAN FD (フレキシブル なデータ レートの CAN) の両方のプロトコルをサポートしています。CAN FD 機能により、データ フレームあたりのスループットが向上し、ペイロードが増加します。従来型 CAN デバイスと CAN FD デバイスは、競合することなく、同じネットワーク上に共存できます。

CAN および CAN FD デバイスは、外部トランシーバ (デバイス外付け) を介して CAN ネットワークの物理層に接続されます。各 MCAN モジュールは 1Mbps を超える柔軟なビット レートをサポートし、ISO 11898-1:2015 に準拠しています。

詳細については、デバイスのテクニカル リファレンス マニュアルで「ペリフェラル」の章にある「モジュラー コントローラ エリア ネットワーク (MCAN)」セクションを参照してください。

7.4.14 マルチチャネル オーディオ シリアル ポート (MCASP)

MCASP は汎用オーディオ シリアル ポートとして機能し、各種オーディオ アプリケーションの要件に合わせて最適化されています。MCASP モジュールは、送信モードおよび受信モードで動作できます。MCASP は、時分割多重型 (TDM) ストリーム、I2S (Inter-IC Sound、IC 間サウンド) プロトコル、および DIT (コンポーネント間デジタル オーディオ インターフェイス送信) で役立ちます。MCASP には、Sony/Philips デジタルインターフェイス (S/PDIF) の送信物理層コンポーネントに直接接続できるという柔軟性があります。

コンポーネント間デジタル オーディオ インターフェイス受信 (DIR) モード (S/PDIF ストリーム受信) は、MCASP モジュールでネイティブにはサポートされていませんが、MCASP レシーバ用に特定の TDM モードを実装することで、外部 DIR コンポーネントに対して簡単に接続できます (たとえば、S/PDIF から I2S フォーマット コンバータ)。

詳細については、デバイスのテクニカル リファレンス マニュアルで「ペリフェラル」の章にある「マルチチャネル オーディオ シリアル ポート」セクションを参照してください。

7.4.15 マルチチャネル シリアル ペリフェラル インターフェイス (MCSPI)

MCSPI は、マルチチャネル送信 / 受信通信をサポートする拡張 SPI モジュールであり、コントローラ モードとペリフェラル モードの両方で動作できます。コントローラ モードでは、モジュールは最大 4 つのチャネルと接続でき、ペリフェラル モードでは 1 つのチャネルをサポートします。

各チャネルは、効率的なデータ転送のために読み取り用と書き込み用の 2 つの独立した DMA リクエストと 1 つの割り込みをサポートし、マルチチャネル通信で適切なフレーミングと同期を確保するためのプログラム可能なスタート ビット (LOSSI) モード、データスループットおよびワード アクセス効率のための内蔵 FIFO、さらに周波数、極性、位相をプログラム可能なシリアル クロックを備えています。

MCSPI モジュールは、4 ~ 32 ビットの範囲で構成可能な SPI ワード長をサポートしています。さらに、チップ セレクトと外部クロック生成との間のプログラマブルなシフト動作およびタイミング制御が可能です。

詳細については、デバイスのテクニカル リファレンス マニュアルで「ペリフェラル」の章にある「マルチチャネル シリアル ペリフェラル インターフェイス」セクションを参照してください。

7.4.16 マルチメディア カード セキュア デジタル (MMCSD)

MMCSD ホスト コントローラは、組込みマルチメディア カード (MMC)、セキュア デジタル (SD)、セキュア デジタル IO (SDIO) デバイスへのインターフェイスとして機能します。MMC/SD コントローラは、伝送レベルで MMC/SD/SDIO プロトコルを処理し、データのパッキング、CRC の追加、スタート/ エンド ビットの付加、構文的な正しさの確認を行います。

MMCSD ホスト コントローラは、4 ビット サブシステムと 8 ビット サブシステムとして実装されています。この 4 ビット サブシステムは、SD 動的レイヤ仕様 v3.01 に準拠したリムーバブル SD カードと、SDIO 仕様 v3.00 に準拠した組込み SDIO デバイスをサポートします。この 8 ビット サブシステムは、JEDEC eMMC 電気標準 v5.1 (JESD84-B51) に準拠した eMMC デバイスと、SDIO 仕様 v3.00 に準拠した組込み SDIO デバイスをサポートします。

詳細については、デバイスのテクニカル リファレンス マニュアルの ペリフェラル の章にある マルチメディアカード セキュア デジタル (MMCSD) インターフェイスセクションを参照してください。

7.4.17 オクタル シリアル ペリフェラル インターフェイス (OSPI)

オクタル シリアル ペリフェラル インターフェース (OSPI) モジュールは、シリアル ペリフェラル インターフェース (SPI) モジュールであり、外部フラッシュ デバイスに対して、シングル、デュアル、クアッド、オクタルでの読み取り/書き込みのアクセスを、デュアル (DDR) またはシングル (SDR) データレートで行うことを可能にします。このモジュールは、メモリ マップレジスタ インターフェイスを備えており、外部フラッシュ デバイスからデータにアクセスするためのダイレクト メモリ インターフェイスとして機能するので、ソフトウェア要件が簡素化されます。

このモジュールは、DDR および DTR プロトコル (DQS 付きのオクタル DDR を含む)、XIP (連続モード)、プログラム可能なデバイスサイズと遅延、書き込み保護領域をサポートしています。その他の機能として、双方向 CRC、ECC エラー処理、プログラム可能な割り込み生成、連続アドレッシングおよびデバイス境界検出用のプログラマブル データ デコーダがあります。

詳細については、デバイスのテクニカル リファレンス マニュアルで「ペリフェラル」の章にある「オクタル シリアル ペリフェラル インターフェイス (OSPI)」セクションを参照してください。

7.4.18 タイマ

汎用タイマ (タイマ) は 32 ビットモジュールで、周期的イベント生成用のタイマモード、外部イベントの高精度タイムスタンプを行うためのキャプチャモード、一致ベースの割り込み用の比較モードをサポートしています。タイマモジュールは、2 つの 32 ビットタイマのカスケード接続をサポートしており、64 ビットカウンタを形成できます。

タイマには、オーバーフロー時に自動リロード機能を備えたフリーランニング上位カウンタが含まれており、カウント中もその場で読み書きできます。タイマは、オーバーフロー、比較、キャプチャの各イベントによって発生する割り込みをサポートしています。すべての内部タイマ割り込みソースは、1 つのモジュール割り込みライン、1 つのウェイクアップラインに統合され、各内部割り込みソースは、個別にイネーブルまたはディセーブルにできます。

タイマモジュールは、32768Hz の機能クロックで 1ms のティックを生成できます。

詳細については、デバイスのテクニカル リファレンス マニュアルで「ペリフェラル」の章にある「タイマ」セクションを参照してください。

7.4.19 リアルタイム クロック (RTC)

リアルタイム クロック (RTC) タイマ モジュールは、カレンダー時刻と日付を保持し、パワーダウン状態からデバイスをウェイクアップさせ、さらにデジタル著作権管理 (DRM) をサポートします。

RTC モジュールには、48 ビットの秒カウンタ、15 ビットの 32,768 Hz サブ秒カウンタ、512 ビットのスクラッチ パッド ストレージが含まれています。RTC は、システム スケジューリング、低消費電力の時間管理、デバイス リセット全体にわたって高精度のタイム スタンプの維持に使用できます。

詳細については、デバイスのテクニカル リファレンス マニュアルで「ペリフェラル」の章にある「リアルタイム クロック (RTC)」セクションを参照してください。

7.4.20 UART (ユニバーサル非同期レシーバ/ トランスミッタ)

UART は、ホスト CPU を介したデータ転送または割り込みポーリングに DMA を利用するペリフェラルです。すべての UART モジュールは、48MHz 機能クロックを使用する場合、IrDA および CIR モードをサポートします。各 UART は、多数の外部ペリフェラル デバイスの構成およびデータ交換、またはデバイス相互のプロセッサ間通信に使用できます。

UART モジュールは、送受信それぞれに 64 バイトの FIFO バッファを備え、最大 3.6Mbps の高速通信をサポートし、自動フロー制御、設定可能なデータ フォーマット、スリープ モード、拡張モデム制御信号といった高度な機能も含んでいます。また、プログラマブルな割り込みレベル、自動ボー検出、テスト用の内部ループバック機能も備えています。

詳細については、デバイスのテクニカル リファレンス マニュアルで「ペリフェラル」の章にある「ユニバーサル同期 / 非同期レシーバ/トランスミッタ」セクションを参照してください。

7.4.21 ユニバーサル シリアル バス サブシステム (USBSS)

ユニバーサル シリアル バス サブシステム (USBSS) は、USB デバイス間のデータ転送メカニズムを実装することで、多くの消費者向けポータブル機器にコネクティビティ ソリューションを提供します。

USBSS はデュアルロールデバイス (DRD) 機能を搭載しており、ホストモードで高速 (480Mbps)、フルスピード (12Mbps)、低速 (1.5Mbps) での動作を実現し、高速 (480Mbps) またはフルスピード (12Mbps) でのペリフェラルモードでの動作を可能にし、柔軟な動作と内蔵の VBUS 検出機能を実現します。このサブシステムは、ホストコントローラインターフェイスの互換性を考慮して xHCI 1.1 仕様に準拠しています。

詳細については、デバイスのテクニカル リファレンス マニュアルで「ペリフェラル」の章にある「ユニバーサル シリアル バス サブシステム (USBSS)」を参照してください。

8 アプリケーション、実装、およびレイアウト

注

以下のアプリケーション情報は、TI の製品仕様に含まれるものではなく、TI ではその正確性または完全性を保証いたしません。個々の目的に対する製品の適合性については、お客様の責任で判断していただくことになります。お客様は自身の設計実装を検証しテストすることで、システムの機能を確認する必要があります。

8.1 デバイスの接続およびレイアウトの基礎

8.1.1 電源

8.1.1.1 電源の設計

[AM62Lx 電源の実装](#)アプリケーション ノートでは、AM62Lx プロセッサおよび主要なペリフェラルに推奨されるパワー マネージメントソリューションを紹介しています。

8.1.1.2 電源供給回路の実装ガイド

『[Sitara プロセッサ電源供給回路: 実装と分析](#)』は、電源供給回路を正しく実装するためのガイダンスを提供します。これには、PCB スタックアップ ガイダンスと、デカップリング コンデンサの選択および配置を最適化するためのガイダンスが含まれます。テキサス・インスツルメンツは、このアプリケーション レポートに記載されているボード設計ガイドラインに従った設計のみをサポートしています。

8.1.2 外部発振器

外部発振器の詳細については、「[クロック仕様](#)」セクションを参照してください。

8.1.3 JTAG、EMU、およびトレース

テキサス・インスツルメンツは、JTAG のサポートだけでなく、さまざまなデバッグ機能を備えた各種の拡張開発システム (XDS™) JTAG コントローラをサポートしています。この情報の概要については、『[XDS ターゲット接続ガイド](#)』を参照してください。

JTAG、EMU、およびトレース配線の推奨事項については、『[エミュレーションおよびトレース ヘッダー テクニカル リファレンス マニュアル](#)』を参照してください。

8.1.4 未使用のピン

未使用ピンの詳細については、[セクション 5.4](#)、[ピン接続要件](#)をご覧ください。

8.2 ペリフェラルおよびインターフェイス固有の設計情報

8.2.1 DDR 基板の設計およびレイアウトのガイドライン

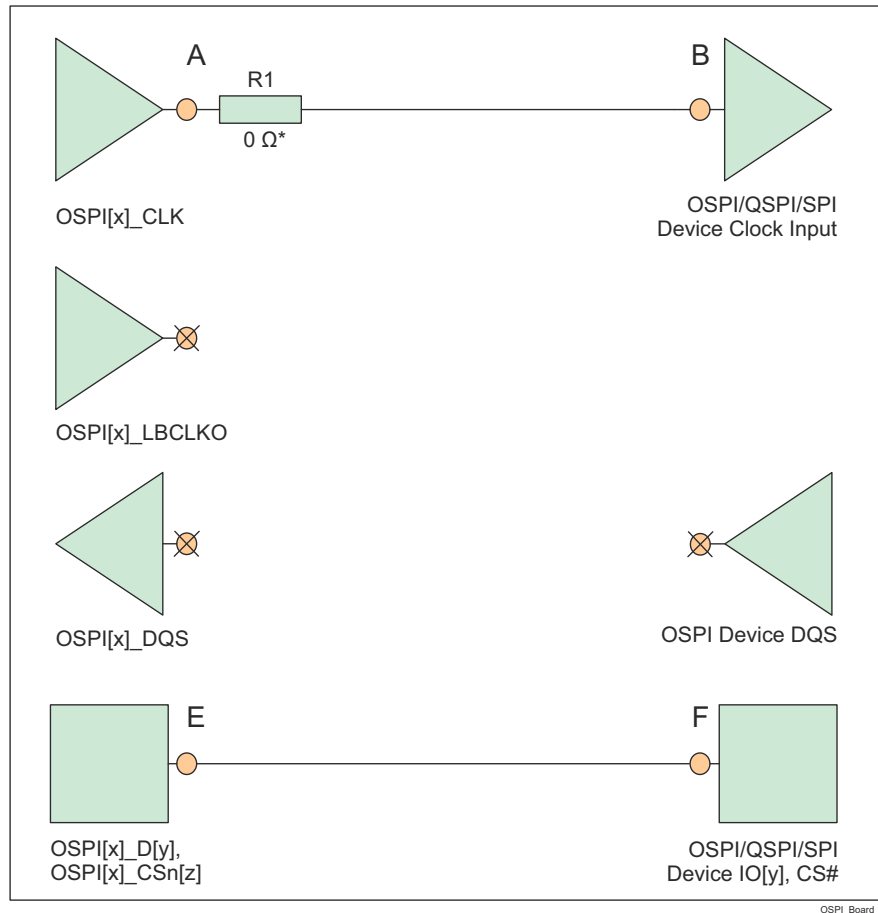
[AM62x, AM62Lx DDR 基板の設計およびレイアウトのガイドライン](#)の目標は、すべての設計者に対して DDR システムの実装を明快にすることです。要件を一連のレイアウトおよび配線ルールに絞り込んで、設計者が、テキサス・インスツルメンツのサポートするトポロジに対応した堅牢な設計を正しく実装できるようにしています。テキサス・インスツルメンツは、DDR4 または LPDDR4 メモリを使用したボード設計において、このドキュメントのガイドラインに従ったものだけをサポートしています。

8.2.2 OSPI/QSPI/SPI 基板の設計およびレイアウトのガイドライン

以下のセクションでは、OSPI、QSPI および SPI デバイスの接続にあたって従うべき PCB の配線ガイドラインについて詳しく説明します。

8.2.2.1 ループバックなし、内部 PHY ループバックおよび内部パッド ループバック

- OSPI[x]_CLK 出力ピンは、接続されている OSPI/QSPI/SPI デバイスの CLK 入力ピンに接続する必要があります。
- OSPI[x]_CLK ピンから接続されている OSPI/QSPI/SPI デバイスの CLK ピン (A から B) までの信号伝搬遅延は 450ps 未満 (ストリップラインの場合は約 7cm、マイクロストリップの場合は約 8cm) とする必要があります。
- 各 OSPI[x]_D[y] および OSPI[x]_CSn[z] ピンから、対応する接続された OSPI/QSPI/SPI デバイス データおよび制御ピン (E から F、または F から E) までの信号伝搬遅延は、OSPI[x]_CLK ピンから接続された OSPI/QSPI/SPI デバイス CLK ピン (A から B) までの信号伝搬遅延にほぼ等しくなる必要があります
- 図 8-1 に示すように、50Ω の PCB 配線および直列終端を推奨します
- 伝搬遅延とマッチング：
 - (A から B) $\leq 450\text{ps}$
 - (E から F、または F から E) = ((A から B) $\pm 60\text{ps}$)



* 0Ω 抵抗 (R1) は、OSPI[x]_CLK ピンのできるだけ近くに配置して、必要に応じて微調整するためのプレースホルダです。

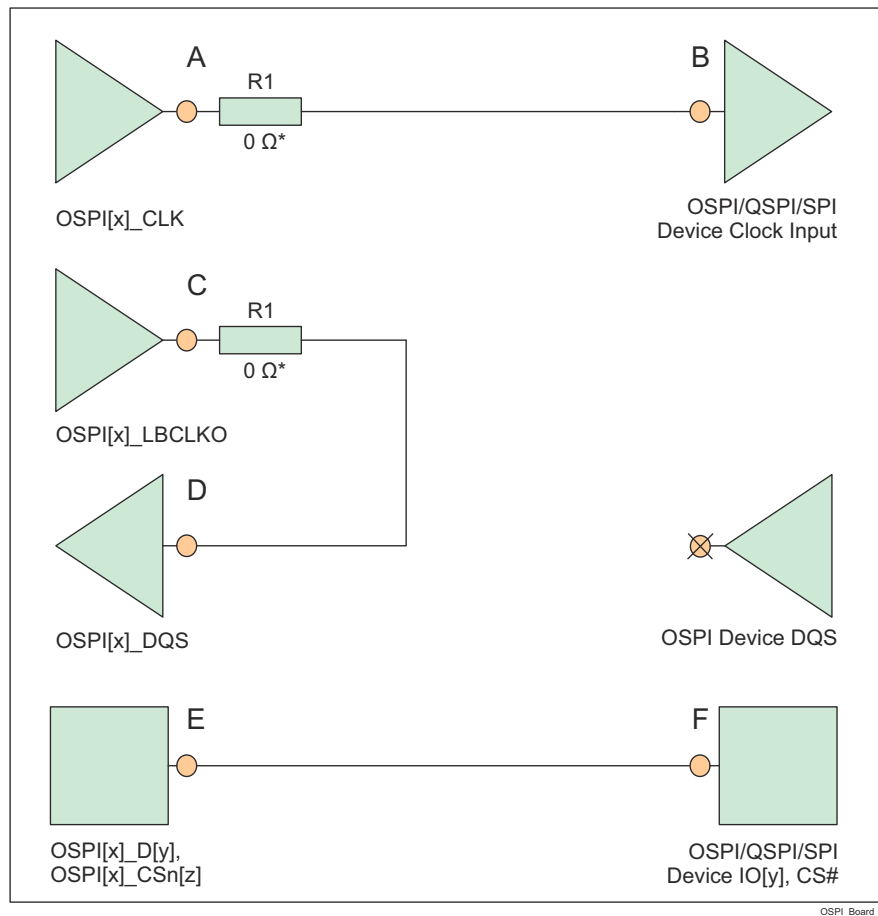
図 8-1. ループバックなし、内部 PHY ループバック、内部パッド ループバックの OSPI 接続回路図

8.2.2.2 外部ボードのループバック

- OSPI[x]_CLK 出力ピンは、接続されている OSPI/QSPI/SPI デバイスの CLK 入力ピンに接続する必要があります。
- OSPI[x]_LBCLKO 出力ピンは、OSPI[x]_DQS 入力ピンにループバックする必要があります。
- OSPI[x]_LBCLKO ピンから OSPI[x]_DQS ピン (C から D) までの信号伝搬遅延は、OSPI[x]_CLK ピンから、接続された OSPI/QSPI/SPI デバイスの CLK ピン (A から B) までの伝搬遅延の約 2 倍である必要があります。
- 各 OSPI[x]_D[y] および OSPI[x]_CSn[z] ピンから、対応する接続された OSPI/QSPI/SPI デバイス データおよび制御ピン (E から F、または F から E) までの信号伝搬遅延は、OSPI[x]_CLK ピンから接続された OSPI/QSPI/SPI デバイス CLK ピン (A から B) までの信号伝搬遅延にほぼ等しくなる必要があります
- 図 8-2 に示すように、50Ω の PCB 配線および直列終端を推奨します
- 伝搬遅延とマッチング：
 - (C から D) = $2 \times ((A \text{ から } B) \pm 30\text{ps})$ 、下の例外の注を参照してください。
 - (E から F、または F から E) = $((A \text{ から } B) \pm 60\text{ps})$

注

外部ボード ループバック ホールド時間要件 (「OSPI0 のタイミング要件 - PHY DDR モード」セクションのパラメータ番号 O16 で規定) は、標準的な OSPI/QSPI/SPI デバイスで提供されるホールド時間よりも長い場合があります。この場合、ホールド時間を増やすため、OSPI[x]_LBCLKO ピンから OSPI[x]_DQS ピン (C から D) までの伝搬遅延を短くすることができます。

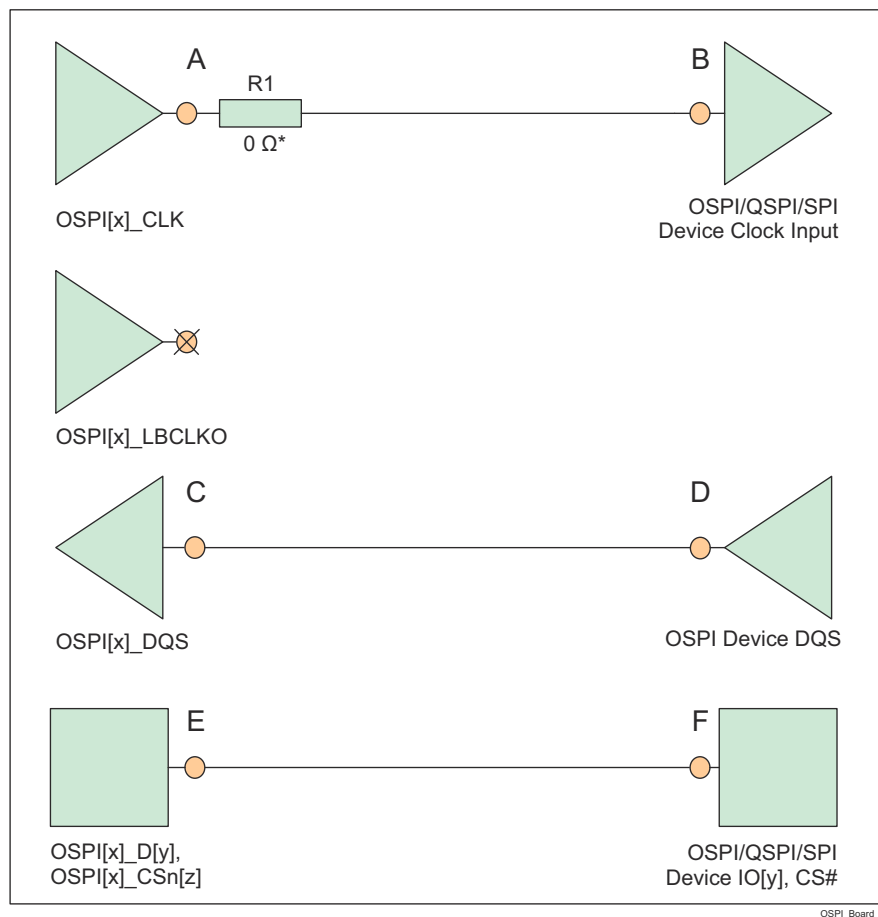


* OSPI[x]_CLK ピンおよび OSPI[x]_LBCLKO ピンのできるだけ近くに配置された 0Ω 抵抗 (R1) は、必要に応じて微調整するためのブレースホルダです。

図 8-2. 外部ボード ループバックの OSPI 接続回路図

8.2.2.3 DQS (オクタル SPI デバイスでのみ使用可能)

- OSPI[x]_CLK 出力ピンは、接続されている OSPI/QSPI/SPI デバイスの CLK 入力ピンに接続する必要があります。
- 接続されている OSPI/QSPI/SPI デバイスの DQS ピンは、OSPI[x]_DQS ピンに接続する必要があります
- 接続された OSPI/QSPI/SPI デバイスの DQS ピンから OSPI[x]_DQS ピン (D から C) までの信号伝搬遅延は、OSPI[x]_CLK ピンから接続された OSPI/QSPI/SPI デバイスの CLK ピン (A から B) までの信号伝搬遅延にほぼ等しくする必要があります
- 各 OSPI[x]_D[y] および OSPI[x]_CSn[z] ピンから、対応する接続された OSPI/QSPI/SPI デバイス データおよび制御ピン (E から F、または F から E) までの信号伝搬遅延は、OSPI[x]_CLK ピンから接続された OSPI/QSPI/SPI デバイス CLK ピン (A から B) までの信号伝搬遅延にほぼ等しくする必要があります
- 図 8-3 に示すように、50Ω の PCB 配線および直列終端を推奨します
- 伝搬遅延とマッチング：
 - (D から C) = ((A から B) ± 30ps)
 - (E から F、または F から E) = ((A から B) ± 60ps)



* 0Ω 抵抗 (R1) は、OSPI[x]_CLK ピンのできるだけ近くに配置して、必要に応じて微調整するためのプレースホルダです。

図 8-3. DQS の OSPI 接続回路図

8.2.3 USB VBUS 設計ガイドライン

USB 3.1 仕様では、VBUS 電圧は通常動作で最大 5.5V であり、「パワー デリバリー」追補がサポートされている場合は最大 20V になることが許容されています。一部の車載アプリケーションは、最大電圧を 30V にする必要があります。

このデバイスでは、外付けの分圧抵抗を使用して VBUS 信号電圧を下げる必要があります (図 8-4 を参照)。これにより、実際のデバイス ピン (USB0_VBUS) に印加される電圧が制限されます。これらの外部抵抗の許容誤差は 1% 以下、ツェナー ダイオードの 5V でのリーク電流は 100nA 未満の必要があります。

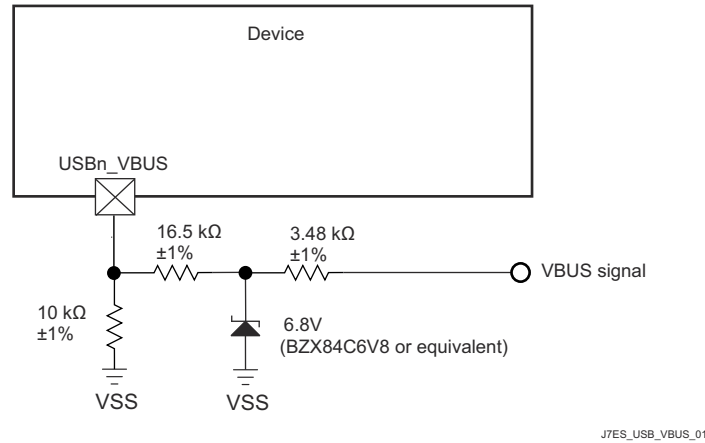


図 8-4. USB VBUS 検出分圧器 / クランプ回路

デバイスの電源がオフのときに VBUS が印加された場合、図 8-4 に示す外部回路によって実際のデバイス ピンへの入力電流が制限されるため、USB0_VBUS ピンはフェイルセーフであると考えられます。

8.2.4 高速差動信号のルーティングガイド

『高速インターフェースのレイアウト ガイドライン』には、高速差動信号を正しく配線するためのガイダンスが示されています。これには、PCB スタックアップと材料のガイダンス、配線スキュー、長さ、間隔の制限が含まれます。テキサス・インスツルメンツは、このアプリケーション ノートに記載されているボード設計ガイドラインに従った設計のみをサポートしています。

8.2.5 熱ソリューション ガイダンス

『DSP および ARM アプリケーション プロセッサ用の熱設計ガイド』は、このデバイスを搭載したシステム設計の熱ソリューションを正しく実装するための指針を提供しています。この資料は、熱ソリューションに関連する一般的な用語と方法に関する背景情報を記載しています。テキサス・インスツルメンツは、このアプリケーション ノートに記載されているシステム設計ガイドラインに従った設計のみをサポートしています。

8.3 クロック配線のガイドライン

8.3.1 発振器の配線

プリント基板を設計する際、以下のことに留意してください。

- 水晶振動子回路の部品はすべて、各デバイス ピンのできるだけ近くに配置します。
- 水晶振動子回路のパターンは **PCB** の外層に配線します。そして、寄生容量を減らし、その他の信号からのクロストークを最小化するため、パターン長を最小限に抑えます。
- すべての水晶振動子回路部品と水晶振動子回路パターンの下になるように、隣接する **PCB** 層に連続的なグラウンドプレーンを配置します。
- 水晶振動子回路部品の周囲にグラウンド ガードを配置し、水晶振動子回路パターンと同じ層に配線された隣接信号から、これらの部品をシールドします。グラウンド ガードが未終端のスタブを持たないように、複数のビアを挿入して、グラウンド ガードをグラウンドに接続します。
- **WKUP_OSC0_XI** 信号と **WKUP_OSC0_XO** 信号の間にグラウンド ガードを配置し、**WKUP_OSC0_XI** 信号を **WKUP_OSC0_XO** 信号からシールドします。グラウンド ガードが未終端のスタブを持たないように、複数のビアを挿入して、グラウンド ガードをグラウンドに接続します。
- 水晶振動子回路のすべてのグラウンド接続とグラウンド ガード接続は、隣接する層のグラウンド プレーンに直接接続します (**PCB** の異なる層に個別に実装されている場合、デバイス **VSS** グラウンド プレーンに接続します)。

注

WKUP_OSC0_XI 信号と **WKUP_OSC0_XO** 信号の間にグラウンド ガードを実装することは、2 つの信号間のシャント容量を最小化するために重要です。これらの 2 つの信号の間にグラウンド ガードを配置しないで、これらの 2 つの信号を隣接して配線すると、発振器アンプのゲインが実質的に低下し、発振開始能力が低下します。

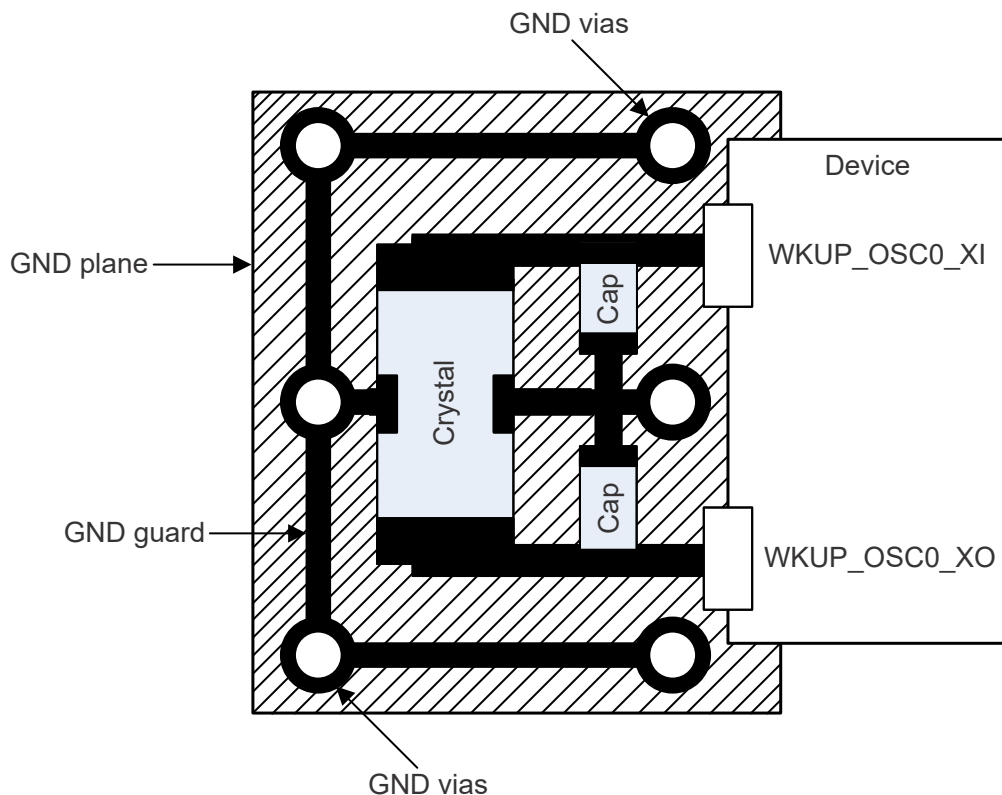


図 8-5. WKUP_OSC0 の PCB の要件

9 デバイスおよびドキュメントのサポート

9.1 デバイスの命名規則

製品開発サイクルの段階を示すために、TI ではマイクロプロセッサ (MPU) とサポート ツールのすべての型番に接頭辞が割り当てられています。各デバイスには次の 3 つのいずれかの接頭辞があります: **X**、**P**、空白 (接頭辞なし) (例: **XAM62L32AOGHAANB**)。テキサス・インスツルメンツでは、サポート ツールについては、使用可能な 3 つの接頭辞のうち **TMDX** および **TMDS** の 2 つを推奨しています。これらの接頭辞は、製品開発の進展段階を表します。段階には、エンジニアリング プロトタイプ(**TMDX**)から、完全認定済みの量産デバイス/ツール(**TMDS**)まであります。

デバイスの開発進展フロー:

- X** 実験的デバイス。最終デバイスの電気的特性を必ずしも表さず、量産アセンブリ フローを使用しない可能性があります。
- P** プロトタイプ デバイス。最終的なシリコン ダイとは限らず、最終的な電気的特性を満たさない可能性があります。
- 空白 認定済みのシリコン ダイの量産バージョン。

サポート ツールの開発進展フロー:

- TMDX** 開発サポート製品。テキサス・インスツルメンツの社内認定試験はまだ完了していません。
- TMDS** 完全に認定済みの開発サポート製品です。

X および **P** デバイスと **TMDX** 開発サポート ツールは、以下の免責事項の下で出荷されます。

「開発中の製品は、社内での評価用です。」

量産デバイスおよび **TMDS** 開発サポート ツールの特性は完全に明確化されており、デバイスの品質と信頼性が十分に示されています。テキサス・インスツルメンツの標準保証が適用されます。

プロトタイプ デバイス(**X** または **P**)の方が標準的な量産デバイスに比べて故障率が大きいと予測されます。これらのデバイスは予測される最終使用時の故障率が未定義であるため、テキサス・インスツルメンツではそれらのデバイスを量産システムで使用しないよう推奨しています。認定済みの量産デバイスのみを使用する必要があります。

ANB パッケージ タイプの **AM62Lx** デバイスの注文可能な型番については、このドキュメントにある「パッケージ オプションの付録」やテキサス・インスツルメンツの Web サイト (ti.com) を参照するか、テキサス・インスツルメンツの販売代理店にお問い合わせください。

9.1.1 標準パッケージの記号化

注

一部のデバイスには、パッケージの上面に装飾的な円形のマーキングがあります。これは、量産テストプロセスの結果として添付されます。さらに、一部のデバイスでは、パッケージのサブストレートの製造元によって、パッケージのサブストレートに色のばらつきが見られる場合があります。このばらつきは外見上だけのものであって、信頼性には影響しません。

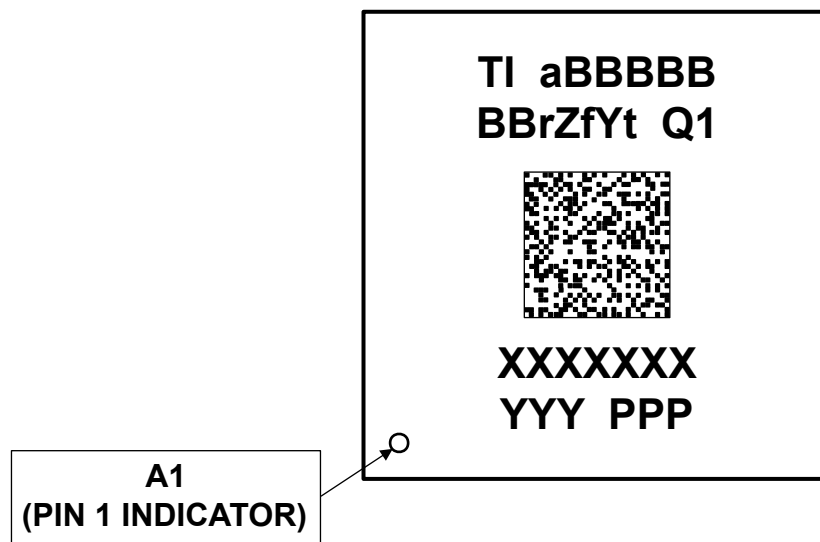


図 9-1. 印刷されたデバイス参照

9.1.2 デバイスの命名規則

表 9-1. 項目名の説明

フィールド パラメータ	フィールドの説明	値	説明
TI	デバイス製造者	TI	テキサス・インスツルメンツ
a	デバイスの開発段階 ⁽¹⁾	X	プロトタイプ
		P	量産前(量産テスト フロー、信頼性データなし)
		空白 (null)	量産出荷中
BBBBBBB	基本量産型番	AM62L32	デバイスの比較 参照
		AM62L31	
r	デバイス リビジョン	A	SR1.0
		B	SR1.1
Z	デバイス速度グレード	E	デバイス速度グレード表を参照
		O	
f	機能 (デバイスの比較 を参照)	G	基数
Y	セキュリティ/ 機能安全	1～9	ダミー キーによるセキュリティ / 機能安全なし
		H から R へ	プロダクション キーによるセキュリティ / 機能安全なし
		S から Z へ	プロダクション キーによるセキュリティ / 機能安全なし
t	温度 ⁽²⁾	A	–40°C～105°C へ-拡張産業用(推奨動作条件を参照)
		I	–40°C～125°C - 125°C 産業用(推奨動作条件を参照)
Q1	車載識別記号	Q1	車載認定済み (AEC - Q100)
		空白	標準
	2D バーコード	条件によって変化	オプションの 2D バーコードは、追加のデバイス情報を提供します
		空白	
XXXXXXX	ロットのトレース コード(LTC)		
YYY	量産コード、TI でのみ使用		
PPP	パッケージ記号	ANB	FCCSP BGA (373)
●	ピン 1 の指定子		

- (1) 製品開発サイクルの段階を示すために、TI では型番に接頭辞を割り当てます。これらの接頭辞は、製品開発の進展段階を表します。段階には、エンジニアリング プロトタイプから、完全認定済みの量産デバイスまであります。
プロトタイプ デバイスは、次の免責事項付きで出荷されます。
「この製品はまだ開発中であり、社内での評価を目的としています」。
テキサス・インスツルメンツはこれらのデバイスについて、これに反するような条項が存在していても、明示的、暗黙的、法定にかかわらず、商用性や特定目的への適合性への暗黙的な保証も含め、一切の責任を負いません。
- (2) デバイスの接合部の最大温度に適用されます。

注

記号または型番の空白は省略されるため、前後の文字は連続して表記されます。

9.2 ツールとソフトウェア

以下の開発ツールは、テキサス・インスツルメンツの組み込みプロセッシング プラットフォームの開発をサポートしています。

開発ツール

Code Composer Studio™ 統合開発環境 Code Composer Studio (CCS) 統合開発環境 (IDE) は、テキサス・インスツルメンツのマイクロコントローラと組み込みプロセッサのポートフォリオをサポートする開発環境です。Code Composer Studio は、組み込みアプリケーションの開発およびデバッグに必要な一連のツールで構成されています。最適化 C/C++ コンパイラ、ソースコードエディタ、プロジェクトビルド環境、デバッガ、プロファイラなど、多数の機能が含まれています。IDE は直感的で、アプリケーションの開発フローの各段階を、すべて同一のユーザーインターフェイスで実行できます。使い慣れたツールとインターフェイスにより、ユーザーは従来より迅速に作業を開始できます。Code Composer Studio は、Eclipse® ソフトウェアフレームワークの利点と、テキサス・インスツルメンツの先進的な組み込みデバッグ機能の利点を組み合わせて、組み込み製品の開発者向けの魅力的で機能豊富な開発環境を実現します。

SysConfig ツール システム構成ツールは、デバイスの構成を簡素化するグラフィカルユーザーインターフェイス (GUI) を提供します。ツールは、ハードウェアとソフトウェアの構成に関する課題の簡素化と、ソフトウェア開発の迅速化に役立つ設計を採用した構成ツールです。SysConfig は、Code Composer Studio™ 統合開発環境 (IDE) の一部、またはスタンドアロン アプリケーションという形式で利用できます。さらに、**TI デベロッパー ゾーン** にアクセスすると、SysConfig をクラウド環境で実行できます。

SysConfig を使用すると、ピン、ペリフェラル、その他のコンポーネントを構成し、競合の自動的な検出、表示、解決を行い、ソフトウェア開発を加速できます。さらにクロックツリー ツールを使用すると、デバイスクロック コネクティビティを視覚的に実装できます。

SysConfig ツールは C ヘッダ / コード ファイルを出力で生成し、これらのファイルをソフトウェア開発キット (SDK) にインポートします。これにより、顧客は特定のハードウェア要件に合わせてソフトウェアを構成することが可能になります。

プロセッサ プラットフォーム用の開発サポート ツールすべての一覧については、テキサス・インスツルメンツの Web サイト (ti.com) を参照してください。価格と在庫状況については、お近くのフィールド セールス オフィスまたは認可代理店にお問い合わせください。

9.3 ドキュメントのサポート

ドキュメントの更新についての通知を受け取るには、www.tij.co.jp のデバイス製品フォルダを開いてください。[通知] をクリックして登録すると、変更されたすべての製品情報に関するダイジェストを毎週受け取ることができます。変更の詳細については、修正されたドキュメントに含まれている改訂履歴をご覧ください。

以下のドキュメントは、AM62Lx デバイスについて記載しています。

テクニカル リファレンス マニュアル

『**AM62Lx Sitara™ プロセッサ テクニカル リファレンス マニュアル**』: AM62Lx デバイス ファミリーに含まれる各ペリフェラルおよびサブシステムについて、統合、環境、機能説明、プログラミング モデルの詳細が記載されています。

エラッタ

AM62Lx Sitara™ プロセッサ シリコン エラッタ、シリコン リビジョン 1.0: このデバイスの機能仕様に関する既知の例外が記載されています。

9.4 サポート・リソース

テキサス・インスツルメンツ E2E™ サポート・フォーラム は、エンジニアが検証済みの回答と設計に関するヒントをエキスパートから迅速かつ直接得ることができる場所です。既存の回答を検索したり、独自の質問をしたりすることで、設計に必要な支援を迅速に得ることができます。

リンクされているコンテンツは、各寄稿者により「現状のまま」提供されるものです。これらはテキサス・インスツルメンツの仕様を構成するものではなく、必ずしもテキサス・インスツルメンツの見解を反映したものではありません。テキサス・インスツルメンツの[使用条件](#)を参照してください。

9.5 商標

Sitara™, XDS™, Code Composer Studio™, and テキサス・インスツルメンツ E2E™ are trademarks of Texas Instruments.

MPCore™ and Neon™ are trademarks of Arm Limited (or its subsidiaries) in the US and/or elsewhere.

Arm®, Cortex®, and TrustZone® are registered trademarks of Arm Limited (or its subsidiaries) in the US and/or elsewhere.

MIPI® is a registered trademark of MIPI Alliance, Inc.

セキュア デジタル® and SD® are registered trademarks of SD Card Association.

Linux® is a registered trademark of Linus Torvalds.

EtherCAT® is a registered trademark of Beckhoff Automation GmbH.

PCIe® is a registered trademark of PCI-SIG.

Eclipse® is a registered trademark of Eclipse Foundation AISBL.

すべての商標は、それぞれの所有者に帰属します。

9.6 静電気放電に関する注意事項



この IC は、ESD によって破損する可能性があります。テキサス・インスツルメンツは、IC を取り扱う際には常に適切な注意を払うことを推奨します。正しい取り扱いおよび設置手順に従わない場合、デバイスを破損するおそれがあります。

ESD による破損は、わずかな性能低下からデバイスの完全な故障まで多岐にわたります。精密な IC の場合、パラメータがわずかに変化するだけで公表されている仕様から外れる可能性があるため、破損が発生しやすくなっています。

9.7 用語集

テキサス・インスツルメンツ用語集

この用語集には、用語や略語の一覧および定義が記載されています。

改訂履歴

Changes from SEPTEMBER 30, 2025 to NOVEMBER 30, 2025 (from Revision A (SEPTEMBER 2025) to Revision B (NOVEMBER 2025))

Page

- **グローバル:** GPMC タイミング更新は適用され、このデータシートのリビジョン A がリリースされたときに一部のみ完了しました。したがって、このデータシートのリビジョン A の関連する改訂履歴のエントリは、GPMC タイミングの変更を正しく記述していませんでした。GPMC タイミングの更新が完了し、最初のデータシートリリースに対する GPMC タイミングの変更を正しく反映するように改訂履歴エントリを更新しました..... **1**
- **(機能リスト — 暗号化アクセラレーション):** SM3 および SM4 暗号化コアはこのデバイスに含まれていないため削除。また、PKE (公開鍵エンジン) を PKA (公開鍵アクセラレータ) に変更..... **1**
- **(ECAP – タイミング要件およびスイッチング特性):** 表の注 1 のクロックソースを更新..... **128**
- **(EPWM – タイミング要件およびスイッチング特性):** 表の注 1 のクロックソースを更新..... **131**
- **(EQEP – タイミング要件):** 表の注 1 のクロックソースを更新..... **133**
- **(GPMC および NOR フラッシュのタイミング要件 — 同期モード):** GPMC_FCLK=100MHz の列に対応するタイミング値および、GPMC_FCLK=133MHz における not_div_by_1_mode の関連タイミング値を削除しました。また、複数のパラメータ記述を簡略化しました。さらに、GPMC_FCLK の選択に関するレジスタ設定を説明した注記と、div_by_1_mode のレジスタ設定を説明した注記の 2 つの表注も削除しました..... **135**
- **(GPMC および NOR フラッシュのスイッチング特性 - 同期モード):** GPMC_FCLK=100MHz の列に対応するタイミング値および、GPMC_FCLK=133MHz における not_div_by_1_mode の関連タイミング値を削除しました。また、複数のパラメータ記述を簡略化しました。パラメータ F3 および F11 内のタイミング変数を「D」に変更しました。F15 および F17 パラメータから「J」タイミング変数を削除しました。テーブル注記を更新しました..... **135**
- **(GPMC および NOR フラッシュのタイミング要件 – 非同期モード):** div_by_1_mode のレジスタ構成を説明していた MODE 列と表の注を削除。パラメータ FA21 の正しい表の注を追加..... **144**
- **(GPMC および NOR フラッシュのスイッチング特性 – 非同期モード):** MODE の列と冗長行を削除。div_by_1_mode のレジスタ構成について説明した表の注も削除..... **144**
- **(GPMC および NAND フラッシュのタイミング要件 – 非同期モード):** div_by_1_mode のレジスタ構成を説明していた MODE 列と表の注を削除..... **152**
- **(GPMC および NAND フラッシュのスイッチング特性 – 非同期モード):** div_by_1_mode のレジスタ構成を説明していた MODE 列と表の注を削除。タイミング変数 B、C、D、E、F、G、H、I、K、L、M に表の注と関連する参照リンクを追加..... **152**
- **(詳細説明 – DMSS):** セキュア プロキシおよび割り込みアグリゲータ機能を削除..... **211**

10 メカニカル、パッケージ、および注文情報

10.1 パッケージ情報

以降のページには、メカニカル、パッケージ、および注文に関する情報が記載されています。この情報は指定のデバイスに使用できる最新のデータです。このデータは、予告なく、このドキュメントを改訂せずに変更される場合があります。本データシートのブラウザ版を使用されている場合は、画面左側の説明をご覧ください。

PACKAGING INFORMATION

Orderable part number	Status (1)	Material type (2)	Package Pins	Package qty Carrier	RoHS (3)	Lead finish/ Ball material (4)	MSL rating/ Peak reflow (5)	Op temp (°C)	Part marking (6)
AM62L31BEGHAANBR	Active	Production	FCCSP (ANB) 373	1000 LARGE T&R	Yes	Call TI	Level-3-260C-168 HR	-40 to 105	31BEGHA 412
AM62L31BOGHAANBR	Active	Production	FCCSP (ANB) 373	1000 LARGE T&R	Yes	Call TI	Level-3-260C-168 HR	-40 to 105	31BOGHA 412
AM62L32BEGHAANBR	Active	Production	FCCSP (ANB) 373	1000 LARGE T&R	Yes	Call TI	Level-3-260C-168 HR	-40 to 105	32BEGHA 412
AM62L32BOGHAANBR	Active	Production	FCCSP (ANB) 373	1000 LARGE T&R	Yes	Call TI	Level-3-260C-168 HR	-40 to 105	32BOGHA 412
AM62L32BOGHIANBR	Active	Production	FCCSP (ANB) 373	1000 LARGE T&R	Yes	Call TI	Level-3-260C-168 HR	-40 to 105	32BOGHI 412

⁽¹⁾ **Status:** For more details on status, see our [product life cycle](#).

⁽²⁾ **Material type:** When designated, preproduction parts are prototypes/experimental devices, and are not yet approved or released for full production. Testing and final process, including without limitation quality assurance, reliability performance testing, and/or process qualification, may not yet be complete, and this item is subject to further changes or possible discontinuation. If available for ordering, purchases will be subject to an additional waiver at checkout, and are intended for early internal evaluation purposes only. These items are sold without warranties of any kind.

⁽³⁾ **RoHS values:** Yes, No, RoHS Exempt. See the [TI RoHS Statement](#) for additional information and value definition.

⁽⁴⁾ **Lead finish/Ball material:** Parts may have multiple material finish options. Finish options are separated by a vertical ruled line. Lead finish/Ball material values may wrap to two lines if the finish value exceeds the maximum column width.

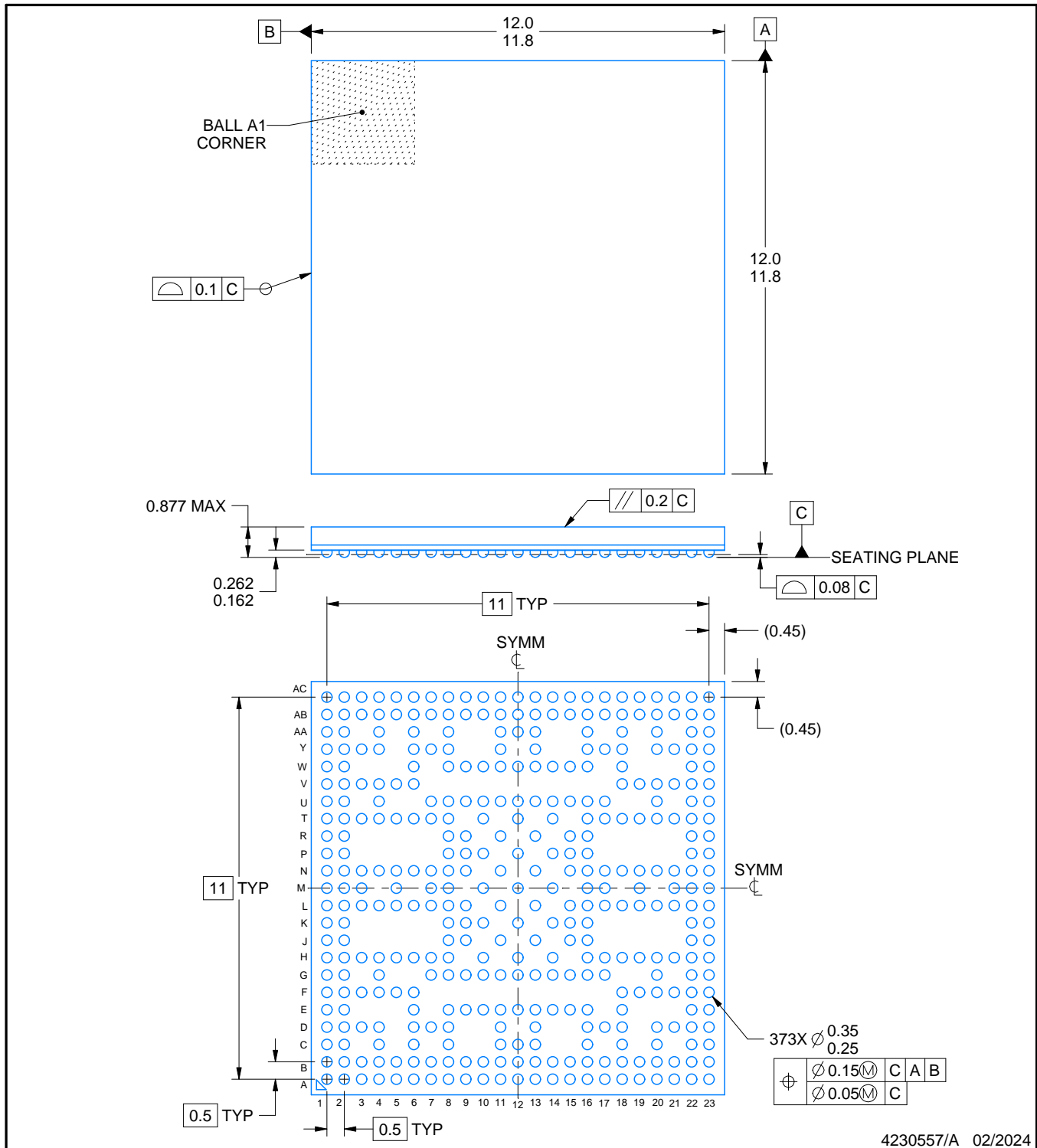
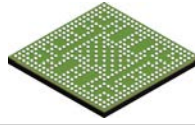
⁽⁵⁾ **MSL rating/Peak reflow:** The moisture sensitivity level ratings and peak solder (reflow) temperatures. In the event that a part has multiple moisture sensitivity ratings, only the lowest level per JEDEC standards is shown. Refer to the shipping label for the actual reflow temperature that will be used to mount the part to the printed circuit board.

⁽⁶⁾ **Part marking:** There may be an additional marking, which relates to the logo, the lot trace code information, or the environmental category of the part.

Multiple part markings will be inside parentheses. Only one part marking contained in parentheses and separated by a "~" will appear on a part. If a line is indented then it is a continuation of the previous line and the two combined represent the entire part marking for that device.

Important Information and Disclaimer: The information provided on this page represents TI's knowledge and belief as of the date that it is provided. TI bases its knowledge and belief on information provided by third parties, and makes no representation or warranty as to the accuracy of such information. Efforts are underway to better integrate information from third parties. TI has taken and continues to take reasonable steps to provide representative and accurate information but may not have conducted destructive testing or chemical analysis on incoming materials and chemicals. TI and TI suppliers consider certain information to be proprietary, and thus CAS numbers and other limited information may not be available for release.

In no event shall TI's liability arising out of such information exceed the total purchase price of the TI part(s) at issue in this document sold by TI to Customer on an annual basis.



4230557/A 02/2024

NOTES:

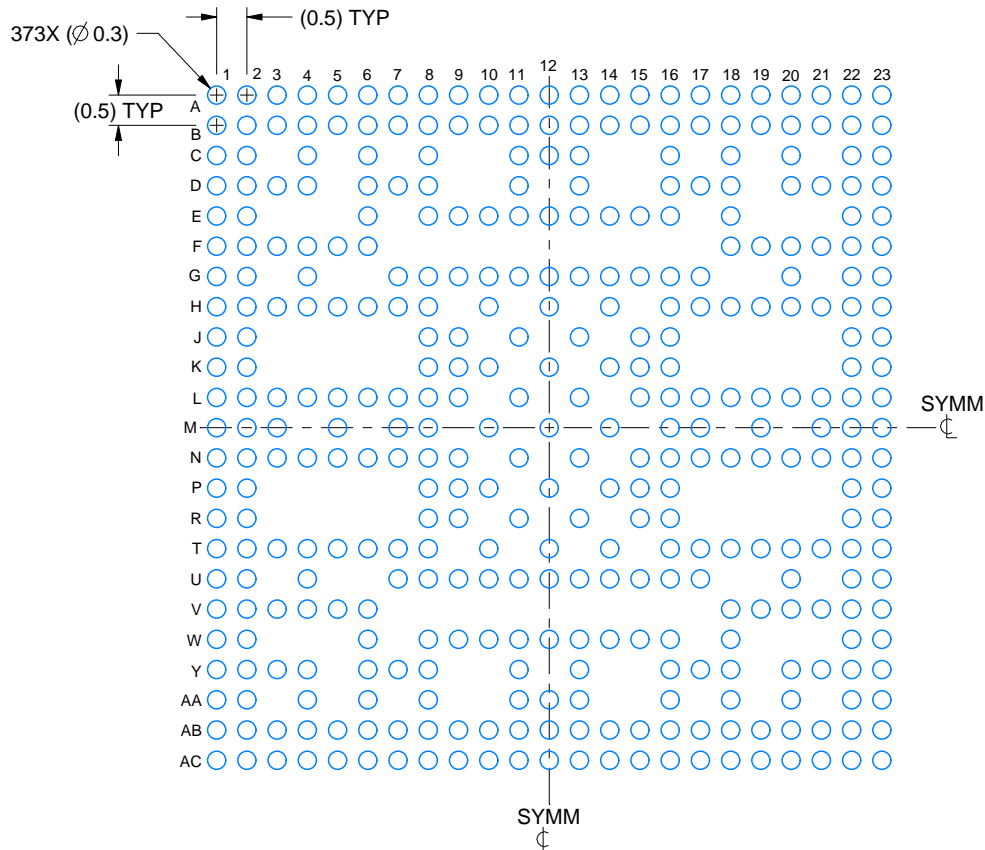
1. All linear dimensions are in millimeters. Any dimensions in parenthesis are for reference only. Dimensioning and tolerancing per ASME Y14.5M.
2. This drawing is subject to change without notice.

EXAMPLE BOARD LAYOUT

ANB0373A

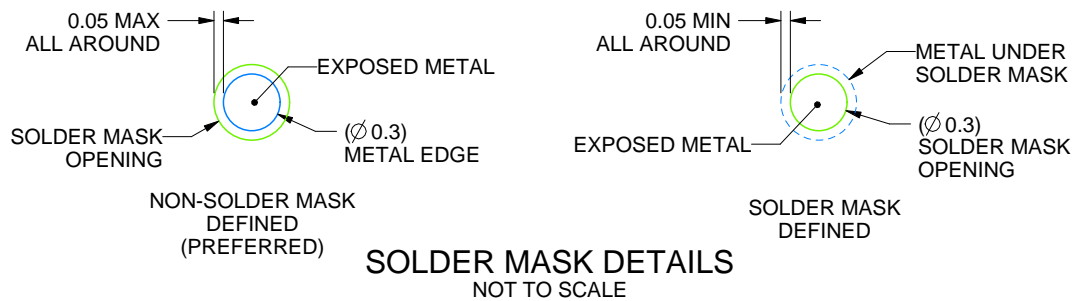
FCCSP - 0.877 mm max height

PLASTIC BALL GRID ARRAY



LAND PATTERN EXAMPLE

EXPOSED METAL SHOWN
SCALE: 8X



4230557/A 02/2024

NOTES: (continued)

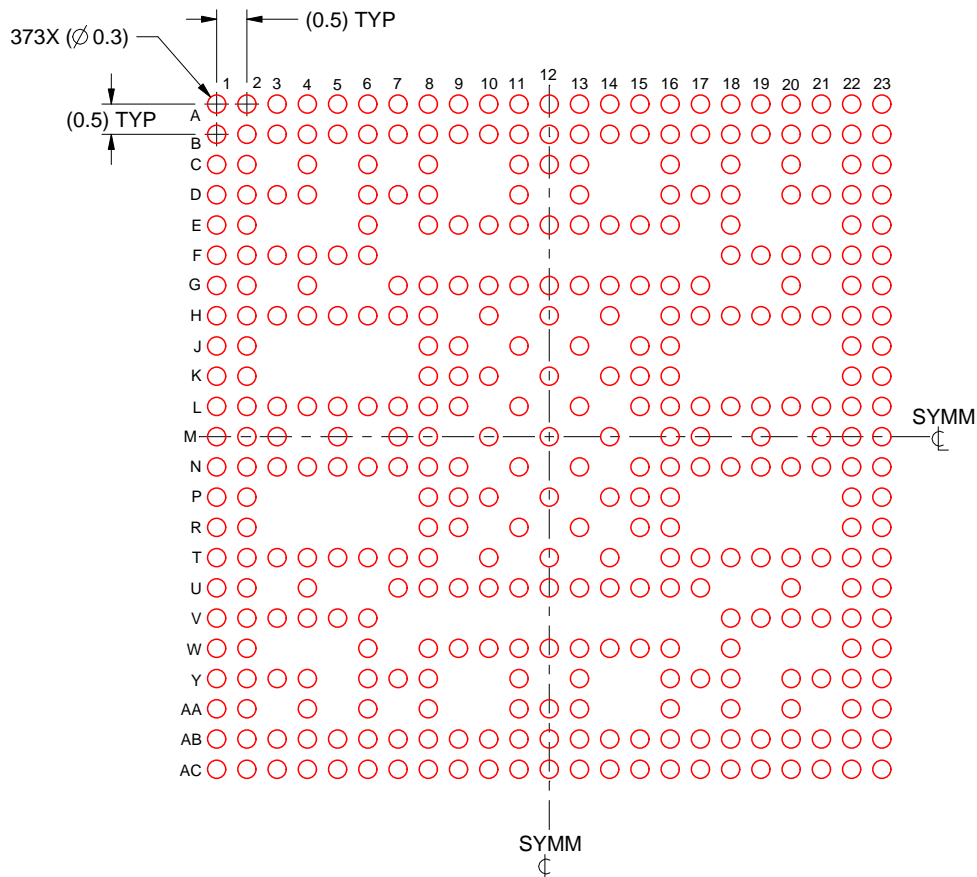
- Final dimensions may vary due to manufacturing tolerance considerations and also routing constraints.
For information, see Texas Instruments literature number SPRAA99 (www.ti.com/lit/spraa99).

EXAMPLE STENCIL DESIGN

ANB0373A

FCCSP - 0.877 mm max height

PLASTIC BALL GRID ARRAY



4230557/A 02/2024

NOTES: (continued)

4. Laser cutting apertures with trapezoidal walls and rounded corners may offer better paste release.

重要なお知らせと免責事項

TI は、技術データと信頼性データ (データシートを含みます)、設計リソース (リファレンス デザインを含みます)、アプリケーションや設計に関する各種アドバイス、Web ツール、安全性情報、その他のリソースを、欠陥が存在する可能性のある「現状のまま」提供しており、商品性および特定目的に対する適合性の黙示保証、第三者の知的財産権の非侵害保証を含むいかなる保証も、明示的または黙示的にかかわらず拒否します。

これらのリソースは、TI 製品を使用する設計の経験を積んだ開発者への提供を意図したものです。(1) お客様のアプリケーションに適した TI 製品の選定、(2) お客様のアプリケーションの設計、検証、試験、(3) お客様のアプリケーションに該当する各種規格や、その他のあらゆる安全性、セキュリティ、規制、または他の要件への確実な適合に関する責任を、お客様のみが単独で負うものとし、TI は一切の責任を拒否します。

上記の各種リソースは、予告なく変更される可能性があります。これらのリソースは、リソースで説明されている TI 製品を使用するアプリケーションの開発の目的でのみ、TI はその使用をお客様に許諾します。これらのリソースに関して、他の目的で複製することや掲載することは禁止されています。TI や第三者の知的財産権のライセンスが付与されている訳ではありません。お客様は、これらのリソースを自身で使用した結果発生するあらゆる申し立て、損害、費用、損失、責任について、TI およびその代理人を完全に補償するものとし、TI は一切の責任を拒否します。

TI の製品は、[TI の販売条件](#)、[TI の総合的な品質ガイドライン](#)、[ti.com](#) または TI 製品などに関連して提供される他の適用条件に従い提供されます。TI がこれらのリソースを提供することは、適用される TI の保証または他の保証の放棄の拡大や変更を意味するものではありません。TI がカスタム、またはカスタマー仕様として明示的に指定していない限り、TI の製品は標準的なカタログに掲載される汎用機器です。

お客様がいかなる追加条項または代替条項を提案する場合も、TI はそれらに異議を唱え、拒否します。

Copyright © 2025, Texas Instruments Incorporated

最終更新日：2025 年 10 月