AM62Dx Sitara™ プロセッサ

1 特長

プロセッサ コア:

- 最高 1.4GHz、クワッドまでの Arm® Cortex®-A53 マイクロプロセッサ サブシステム
  - SECDED ECC 付き 512KB L2 共有キャッシュを搭載したクワッド コア Cortex-A53 クラスタ
  - 各 A53 コアには、SECDED ECC を備えた 32KB L1 D キャッシュおよびパリティ保護を備えた 32KB L1 I キャッシュを搭載
- MCU チャネルの一部として統合され、最大 800MHz で動作するシングル コア Arm® Cortex®-R5F、FFI 付き
  - 32KB の I キャッシュと 32KB の L1 D キャッシュ、64KB TCM (全メモリに SECDED ECC 付き)
  - 512KB の SRAM (SECDED ECC 付き)
- デバイス管理をサポートするために集積化された、最大 800MHz、シングル コア Arm® Cortex®-R5F
  - 32KB の I キャッシュと 32KB の L1 D キャッシュ、64KB TCM (全メモリに SECDED ECC 付き)
- シングルコア C7x ベースのマトリクス乗算アクセラレータ内蔵 DSP
  - C7x 浮動小数点、1.0GHz、最大 40GFLOPS、256 ビット ベクタ DSP
  - マトリクス乗算アクセラレータ (MMA)、1.0GHz で最大 2TOPS (8b)
  - SECDED ECC を備えた 64KB L1 D キャッシュ、およびパリティ保護を備えた 32KB L1 I キャッシュを搭載
  - 1.25MB の L2 SRAM (SECDED ECC 付き)

メモリ サブシステム:

- 最大 2.29MB のオンチップ RAM
  - SECDED ECC 付きの 64KB のオンチップ RAM (OCRAM) は、最大 2 つの独立したメモリ バンクについて、32KB 単位でより小さなバンクに分割可能
  - SMS サブシステムに SECDED ECC を搭載した 256KB のオンチップ RAM
  - テキサス・インスツルメンツのセキュリティ ファームウェア用の SMS サブシステムに SECDED ECC を搭載した 176KB のオンチップ RAM
  - Cortex-R5F MCU サブシステムに SECDED ECC を搭載した 512KB のオンチップ RAM
  - デバイス / パワー マネージャ サブシステムに SECDED ECC を搭載した 64KB のオンチップ RAM
  - C7x 内の SECDED ECC 付き 1.25MB L2 SRAM
  - マトリクス乗算アクセラレータ内蔵 DSP
- DDR サブシステム (DDRSS)
  - LPDDR4 対応
  - インライン ECC 付きの 32 ビット データ バス
  - 最大 3733MT/s の速度をサポート
  - 8GBytes の最大アドレス可能範囲

機能安全:

- 機能安全規格準拠を対象とする [車載用]
  - 機能安全アプリケーション向けに開発
  - ISO 26262 機能安全システム設計を支援するドキュメントを準備中
  - ASIL D までの決定論的対応能力を対象とする
  - ASIL B までを対象とするハードウェア インテグリティ
- 安全関連の認証
  - TÜV SÜD による ISO 26262 認証を計画中 (まで)
- AEC - Q100 認定済み [車載用]

セキュリティ:

- セキュア ブート対応
  - ハードウェアで強化された RoT (Root-of-Trust:信頼の基点)
  - バックアップ キーによる RoT の切り替えをサポート
  - テイクオーバー保護、IP 保護、ロールバック禁止保護のサポート
- 信頼できる実行環境 (TEE) に対応
  - Arm TrustZone® をベースとする TEE
  - 分離用の広範なファイアウォール サポート
  - セキュアなウォッチドッグ / タイマ / IPC
  - セキュアなストレージのサポート
  - リプレイ保護メモリ ブロック (RPMB) のサポート
- ユーザー プログラマブルな HSM コアと専用セキュリティ DMA および IPC サブシステムの搭載により絶縁処理を実現した専用セキュリティ コントローラ
- 暗号化アクセラレーションに対応
  - 受信データ ストリームに基づいてキーマテリアルを自動的に切り替えできるセッション認識暗号化エンジン
    - 暗号化コアをサポート
  - AES - 128/192/256 ビットのキー サイズ
  - SHA2 - 224/256/384/512 ビットのキー サイズ
  - DRBG と真性乱数発生器
  - セキュア ブート対応のため PKA (公開鍵アクセラレータ) により RSA/ECC 処理を支援
- デバッグのセキュリティ
  - ソフトウェア制御によるセキュアなデバッグ アクセス
  - セキュリティ対応のデバッグ

このリソースの元の言語は英語です。翻訳は概要を便宜的に提供するもので、自動化ツール (機械翻訳) を使用していることがあり、TI では翻訳の正確性および妥当性につきましては一切保証いたしません。実際の設計などの前には、ti.com で必ず最新の英語版をご参照くださいますようお願いいたします。

高速インターフェイス:

- 次の機能をサポートするイーサネット スイッチを内蔵 (合計 2 つの外部ポート)
  - RMII (10/100) または RGMII (10/100/1000)
  - IEEE1588 (Annex D、Annex E、Annex F と 802.1AS PTP)
  - Clause 45 MDIO PHY 管理
  - ALE エンジン (512 の分類子) に基づくパケット分類器
  - プライオリティ ベースのフロー制御
  - タイム センシティブ ネットワーキング (TSN) のサポート
  - 4 個の CPU ハードウェア割り込みペーシング
  - ハードウェアの IP/UDP/TCP チェックサム オフロード
- 2 つの USB2.0 ポート
  - USB ホスト、USB ペリフェラル、USB デュアルロール デバイス (DRD モード) として構成可能なポート
  - USB VBUS 検出機能を内蔵
- 1 つの CSI-2 (カメラ シリアル インターフェイス) レシーバ、4 レーン D-PHY 付き
  - CSI-2 と MIPI D-PHY を介した高速外部プロセッサ データ受信インターフェイス

一般的な接続機能:

- 9 個のユニバーサル非同期レシーバ トランスミッタ (UART)
- 5 個のシリアル ペリフェラル インターフェイス (SPI) コントローラ
- 6 個の内部集積回路 (I^2C) ポート
- 3 個のマルチチャネル オーディオ シリアル ポート (McASP)
  - 最高 50MHz の送信および受信クロック
  - 3 個の McASP で最大 4/6/16 本のシリアル データ ピンを使用でき、TX と RX の各クロックは独立しています
  - 時分割多重化 (TDM)、IC 間サウンド (I2S)、および類似のフォーマットをサポート
  - デジタル オーディオ インターフェイス送信 (SPDIF、IEC60958-1、AES-3 フォーマット) をサポート
  - 送受信用 FIFO バッファ (256 バイト)
  - オーディオ リファレンス出力クロックのサポート
- 3 つの拡張 PWM モジュール (ePWM)
- 3 個の拡張直交エンコーダ パルス モジュール (EQEP)
- 3 個の拡張キャプチャ モジュール (ECAP)
- 汎用 I/O (GPIO) では、すべての LVCMOS I/O を GPIO として構成可能
- 3 個のコントローラ エリア ネットワーク (CAN) モジュール、CAN-FD をサポート
  - CAN プロトコル 2.0A、B、ISO 11898-1 に準拠
  - 完全な CAN FD のサポート (最大 64 データ バイト)
  - メッセージ RAM のパリティ / ECC チェック
  - 最大速度:8Mbps

メディアおよびデータ ストレージ:

- 3 つのマルチメディア カード / セキュア デジタル® (MMC/SD®/SDIO) インターフェイス
  - 1 個の 8 ビット eMMC インターフェイス、最大速度 HS200
  - 2 個の 4 ビット SD/SDIO インターフェイス、最大 UHS-I
  - eMMC 5.1、SD 3.0、SDIO バージョン 3.0 に準拠
- 最大 133MHz の 1 つの汎用メモリ コントローラ (GPMC)
  - 柔軟な 8 および 16 ビットの非同期メモリ インターフェイスと、最大 4 つのチップ (22 ビット アドレス) セレクト (NAND、NOR、Muxed-NOR、SRAM)
  - BCH コードを使用して 4、8、または 16 ビット ECC をサポート
  - ハミング コードを使用して 1 ビット ECC をサポート
  - エラー特定モジュール (ELM)
    - GPMC と組み合わせて使用して、BCH アルゴリズムにより生成されたシンドローム多項式からデータ エラーのアドレスを特定
    - BCH アルゴリズムに基づいて、512 バイトのブロックごとに 4、8、16 ビットのエラーを特定可能
- DDR/SDR をサポートする OSPI/QSPI
  - シリアル NAND およびシリアル NOR フラッシュ デバイスをサポート
  - 4GBytes のメモリ アドレスをサポート
  - オプションのオンザフライ暗号化を備えた XIP モード

パワー マネージメント:

- デバイス / パワー マネージャでサポートされている低消費電力モード
  - CAN/GPIO/UART ウェイクアップに対する部分的 IO サポート

ブート オプション:

- UART
- I^2C EEPROM
- OSPI/QSPI フラッシュ
- GPMC NOR/NAND フラッシュ
- シリアル NAND フラッシュ

Copyright © 2025 Texas Instruments Incorporated

- SD カード
- eMMC
- USB (ホスト) マス ストレージ デバイス
- 外部ホストからの USB (スレーブ) ブート (DFU モード)
- イーサネット

テクノロジ / パッケージ:

- 16nm FinFET テクノロジ
- 18mm × 18mm、0.8mm ピッチ フルアレイ、484 ピン FCCSP (ANF)

2 アプリケーション

- 車載用 / プレミアム オーディオ アンプ
- 産業用 / プロフェッショナル オーディオ
- 航空宇宙および防衛 / レーダーおよび無線
- 船舶用機器 / ソナー
- 医療およびヘルスケア / 超音波スキャナ
- 試験および測定 / 計測

3 概要

AM62D プロセッサは、Sitara™ マイクロコントローラ ファミリに属し、高性能のデジタル信号処理が必要なアプリケーションを対象としています。アプリケーションの一部を以下に示します。

- **オーディオ**:車載プレミアム アンプと業務用オーディオ
- **レーダーおよび無線**:航空宇宙 / 防衛
- **ソナー**:海洋機器
- **超音波**:医療用機器
- **計測**:電流、電圧、その他の信号:試験 / 測定機器

デバイスの主要なコアには、ARM® Cortex®-A53 およびテキサス・インスツルメンツの C7000™ (「C7x」) スカラーおよびベクトル DSP コア、専用行列乗算アクセラレータ (MMA)、および分離された MCU アイランドが含まれています。これらはすべて、産業および車載グレードの安全性とセキュリティ ハードウェア アクセラレータにより保護されています。

DSP コアの概要:C7x ファミリの C7504 コアは、最大 40GFLOPS の DSP コンピューティングを実現します。前世代の C66x DSP コアに比べて、4～8 倍以上の性能を達成しています。主な特長には以下のものがあります。

- 256 ビットの固定小数点と浮動小数点 DSP ベクタ コア
- シングル サイクルのレイテンシでストリーミング エンジンを介して L2 メモリにアクセス
- 制御コード効率を向上
- 64 ビット メモリ アドレッシングとシングル サイクルの 64 ビット ベースの算術演算を備えた真の 64 ビット マシン

統合の概要:C7x DSP コアとの組み合わせにより、AM62D SoC は最大で Quad Arm®Cortex®-A53 を統合し、追加の 16.8KDMIPS の計算能力と、Linux またはリアルタイム オペレーティング システム (RTOS) の HLOS のフレキシビリティを実現します。最大 2 つの Arm® Cortex®-R5F サブシステムが低レベルのタイム クリティカルなタスクを処理し、Arm® Cortex®-A53 および DSP のコアに負荷がかからないようにしてアプリケーションの実行に備えます。内蔵セキュリティ機能が現代の攻撃からデータを保護する一方で、内蔵の診断および安全性機能は SIL-2 および ASIL-B レベルまでの動作をサポートしています。また、AM62D デバイスには、時間に制約のあるネットワーク機能 (TSN) を備えた 3 ポートのギガビット イーサネット スイッチも搭載されており、イーサネット オーディオ ビデオ ブリッジ (eAVB) や DANTE などのオーディオ ネットワーク機能を実現できるのと同時に、McASP などのペリフェラルによりマルチチャネル I2S および TDM オーディオ入出力が可能です。

パッケージ情報

部品番号	パッケージ (1)	パッケージ サイズ(2)
AM62Dx	ANF (FCCSP、484)	18 mm × 18mm

(1) 詳細については、「メカニカル、パッケージ、および注文情報」を参照してください。
(2) パッケージ サイズ (長さ × 幅) は公称値で、該当する場合はピンも含まれます。

3.1 機能ブロック図

図 3-1 は、このデバイスの機能ブロック図です。

注

テキサス・インスツルメンツのソフトウェア開発キット (SDK) で現在サポートされているデバイス機能を理解するには、**Processor-SDK-AM62D** の「ダウンロード」タブ オプションにある「AM62Dx ソフトウェア ビルド シート」を検索してください。

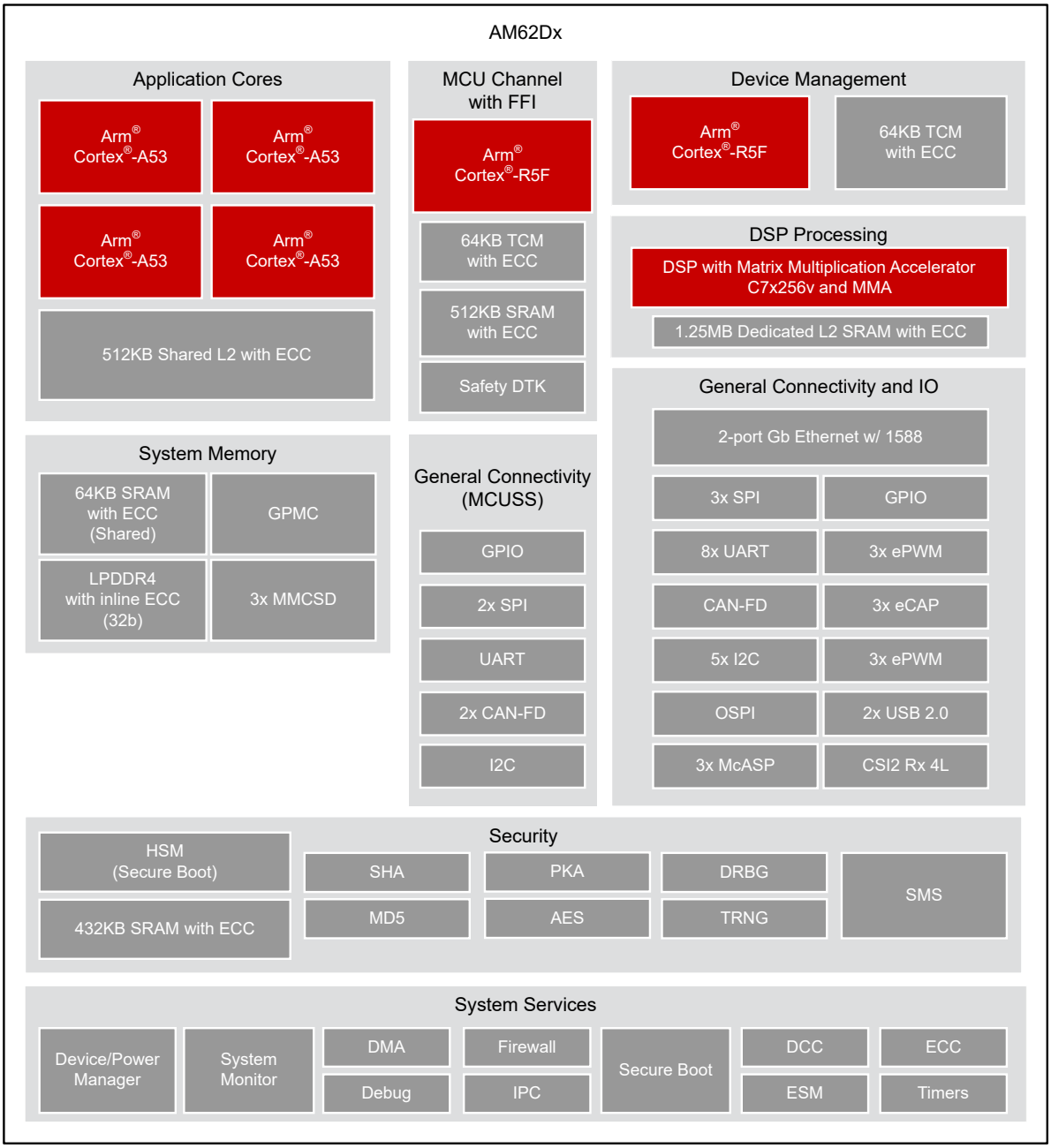


図 3-1. 機能ブロック図

Copyright © 2025 Texas Instruments Incorporated

目次

1 特長..... 1
2 アプリケーション..... 3
3 概要..... 3
3.1 機能ブロック図..... 4
4 デバイスの比較..... 6
4.1 関連製品..... 7
5 端子構成および機能..... 9
5.1 ピン配置図..... 9
5.2 ピン属性..... 10
5.3 信号の説明..... 45
5.4 ピン接続要件..... 72
6 仕様..... 77
6.1 絶対最大定格..... 77
6.2 AEC-Q100 未認定デバイスの ESD 定格..... 79
6.3 AEC-Q100 認定デバイスの ESD 定格..... 79
6.4 電源投入時間 (POH)..... 79
6.5 推奨動作条件..... 80
6.6 動作性能ポイント..... 82
6.7 消費電力の概略..... 82
6.8 電気的特性..... 83
6.9 ワンタイム プログラマブル (OTP) eFuse の VPP 仕様..... 88
6.10 熱抵抗特性..... 89
6.11 温度センサの特性..... 89
6.12 タイミングおよびスイッチング特性..... 90
7 詳細説明..... 211
7.1 概要..... 211
7.2 プロセッサ サブシステム..... 212
7.3 アクセラレータとコプロセッサ..... 213
7.4 その他のサブシステム..... 214
7.5 ペリフェラル..... 216
8 アプリケーション、実装、およびレイアウト..... 220
8.1 デバイスの接続およびレイアウトの基礎..... 220
8.2 ペリフェラルおよびインターフェイス固有の設計情報..... 221
8.3 クロック配線のガイドライン..... 228
9 デバイスおよびドキュメントのサポート..... 229
9.1 デバイスの命名規則..... 229
9.2 ツールとソフトウェア..... 232
9.3 ドキュメントのサポート..... 232
9.4 サポート・リソース..... 232
9.5 商標..... 232
9.6 静電気放電に関する注意事項..... 233
9.7 用語集..... 233
10 改訂履歴..... 234
11 メカニカル、パッケージ、および注文情報..... 235
11.1 パッケージ情報..... 235

4 デバイスの比較

表 4-1 に、デバイス間の比較を相違点を強調して示します。

注

多くの機能に関連付けられている IO 信号は限られた数のピンに多重化されるため、この表に記載されている機能が利用できるかどうかは、共有 IO ピンの使用状況によります。信号機能をピンに割り当てるには、SysConfig ツールを使用する必要があります。これにより、ピン多重化に関連する制限をよりよく理解できます。

注

テキサス・インスツルメンツのソフトウェア開発キット (SDK) で現在サポートされているデバイス機能を理解するには、**Processor-SDK-AM62D** の「ダウンロード」タブ オプションにある「AM62Dx ソフトウェア ビルド シート」を検索してください。

表 4-1. デバイスの比較

特長	参照名	AM62D-Q1	
		AM62D24	AM62D22
WKUP_CTRL_MMR_CFG0_JTAG_USER_ID[31:13] [(1)] デバイスの「特長」コードごとのレジスタ ビット値 (デバイスの特長の詳細については、「項目表記の説明」表を参照)			
G:		0x41167	0x41127
プロセッサおよびアクセラレータ			
速度グレード		表 6-1「デバイス速度グレード」を参照	
Arm Cortex-A53 マイクロプロセッサ サブシステム	Arm A53	クワッド コア	デュアル コア
行列乗算アクセラレータ搭載 C7x256V DSP	C7x MMA	最高 1GHz	
MCU ドメインの ARM Cortex-R5F	MCU_R5F	シングル コア 機能安全はオプション[(3)]	
デバイス管理サブシステム	WKUP_R5F	シングル コア	
ハードウェア セキュリティ モジュール	HSM	あり	
暗号化アクセラレータ	セキュリティ	あり	
プログラムおよびデータ ストレージ			
MAIN ドメインのオンチップ共有メモリ (RAM)	OCSRAM	64KB	
MCU ドメインのオンチップ共有メモリ (RAM)	MCU_MSRAM	512KB	
LPDDR4 DDR サブシステム	DDRSS	インライン ECC 付きで最高 8GB の 32 ビット データ	
汎用メモリ コントローラ	GPMC	最大 128MB、ECC 付き	
ペリフェラル			
モジュラー コントローラ エリア ネットワーク インターフェイス	MCAN	3	
CAN-FD をフルサポート	CAN-FD	あり	
汎用 I/O	GPIO	最大 168	
集積回路間インターフェイス	I2C	6	
マルチチャネル オーディオ シリアル ポート	MCASP	3	
マルチチャネル シリアル ペリフェラル インターフェイス	MCSPI	5	
マルチメディア カード / セキュア デジタル インターフェイス	MM/CSD	1 個の eMMC (8 ビット)	
		2 個の SD/SDIO (4 ビット)	
OSPI/QSPI/SPI[(2)] フラッシュ サブシステム	OSPI	あり	
ギガビット イーサネット インターフェイス	CPSW3G	あり	
汎用タイマー	TIMER	12 (MCU チャネル内に 4 個)	
拡張パルス幅変調器モジュール	EPWM	3	
拡張キャプチャ モジュール	ECAP	3	
拡張直交エンコーダ パルス モジュール	EQEP	3	
汎用非同期レシーバ / トランスミッタ	UART	9	
CSI2-RX コントローラ (DPHY 付き)	CSI-RX	1	

Copyright © 2025 Texas Instruments Incorporated

表 4-1. デバイスの比較 (続き)

特長	参照名	AM62D-Q1	
		AM62D24	AM62D22
USB2.0 コントローラ (PHY 付き)	USB 2.0	2	

(1) CTRLMMR_WKUP_JTAG_DEVICE_ID レジスタおよび DEVICE_ID ビット フィールドの詳細については、デバイスのテクニカル リファレンス マニュアルを参照してください。
(2) OSPI/QSPI/SPI デバイスで動作するように構成された OSPI フラッシュ ホストの 1 つのインスタンス。
(3) 機能安全は、機能安全コード S から Z を含む注文用型番を選択した場合に使用できます。機能コードの定義については、「デバイスの命名規則」を参照してください。

4.1 関連製品

Sitara™ プロセッサ Arm® Cortex®-A コアをベースとするスケーラブルなプロセッサで構成された幅広いファミリは、柔軟なアクセラレータやペリフェラル、接続性にくわえ、統合ソフトウェアのサポートにより、センサからサーバーまでさまざまな用途に最適です。Sitara プロセッサには、産業用や車載用でのアプリケーションに必要な信頼性と機能安全のサポートがあります。

Sitara™ microcontrollers、クラス最高の Arm® ベース 32 ビット マイコン (MCU) は、高性能で電力効率の高いデバイスで構成されたスケーラブルな製品ラインアップを提供し、開発中システムのニーズを満たす手助けとなります。開発中の設計で、機能安全、電力効率、リアルタイム制御、高度なネットワーク、アナリティクス、セキュリティなどの機能を実現できます。

AM64x Sitara™ プロセッサは、ファクトリオートメーション / 制御 (FAC) やモーター制御などの産業用アプリケーションをターゲットとし、Linux アプリケーション プロセッシング コア (Cortex®-A53)、リアルタイム プロセッシング コア (Cortex®-R5F)、産業用通信サブシステム (PRU_ICSSG) を使用して、EtherCAT、Profinet、EtherNet/IP などのプロトコルをサポートします。AM64x は、1 つの CPSW3G と 2 つの PRU_ICSSG を実装しており、最大 5 つのギガビット イーサネット ポートをサポートします。また、シングル レーンの PCIe Gen2 または USB SuperSpeed Gen1、機能安全オプション、セキュア ブート、ランタイム セキュリティなど包括的なペリフェラル セットもサポートしています。

AM623 Sitara™ プロセッサ、Arm® Cortex®-A53 ベースの物体認識機能とジェスチャ認識機能を搭載した、IoT (モノのインターネット) とゲートウェイ向け SoC。低コストの AM623 Sitara™ MPU アプリケーション プロセッサ ファミリは、Linux® アプリケーション開発向けに構築されています。スケーラブルな Arm® Cortex®-A53 の性能と、デュアル ディスプレイ サポートなどの組込み機能に加えて、広範なペリフェラル セットを搭載する AM623 デバイスは広範な産業用および車載用アプリケーションに最適です。

AM625 Sitara™ プロセッサ、Arm® Cortex®-A53 とフル HD デュアル ディスプレイを搭載した、人間と機械の対話型操作向け SoC。低コストの AM625 Sitara™ MPU アプリケーション プロセッサ ファミリは、Linux® アプリケーション開発向けに構築されています。スケーラブルな Arm® Cortex®-A53 の性能と、デュアル ディスプレイ サポートや 3D グラフィックス アクセラレーションなどの組込み機能に加えて、広範なペリフェラル セットを搭載する AM625 デバイスは広範な産業用および車載用アプリケーションに最適です。

AM62A3、**AM62A3-Q1**、**AM62A7**、**AM62A7-Q1** の各 Sitara™ プロセッサは、1～4 個の Cortex A-53 Arm コアと、1 または 2 TOPS のアナリティクス ハードウェア アクセラレータを活用する組込みビジョン SoC です。このスケーラブルで高性能な AM62Ax Sitara MPU アプリケーション プロセッサ ファミリは、Linux アプリケーション開発向けに構築されています。AM62Ax は h.264/h.265 エンコード / デコード、セキュアブート、画像信号処理、ディープ ラーニング アクセラレータなどの組込み機能を搭載し、産業用と車載用の幅広いアプリケーションに最適です。

設計を完成させるための製品:

- イーサネット PHY
- パワー マネージメント / PMIC
- クロック / タイミング
- パワー スイッチ
- CAN トランシーバ
- ESD 保護

これらのデバイスをシステム設計で実装する方法の詳細と、推奨される特定の部品番号の部品表 (BOM) については、AUDIO-AM62D-EVM EVM の回路図を参照してください。

Copyright © 2025 Texas Instruments Incorporated

5 端子構成および機能

5.1 ピン配置図

注

「ボール」、「ピン」、「端子」という用語は、ドキュメント全体で同じ意味で使用されています。物理的なパッケージに言及する場合にのみ「ボール」が使用されています。

図 5-1 に、484 ボール フリップ チップ ボール グリッド アレイ (FCCSP BGA) パッケージのボールの位置を示します。ここで、HTML バージョンでは、ボールの上にカーソルを置くと追加情報が表示されます。この図は、表 5-1～表 5-70 (「ピン属性」表、「ピン接続要件」表を含むすべての「信号説明」表) とともに使用します。

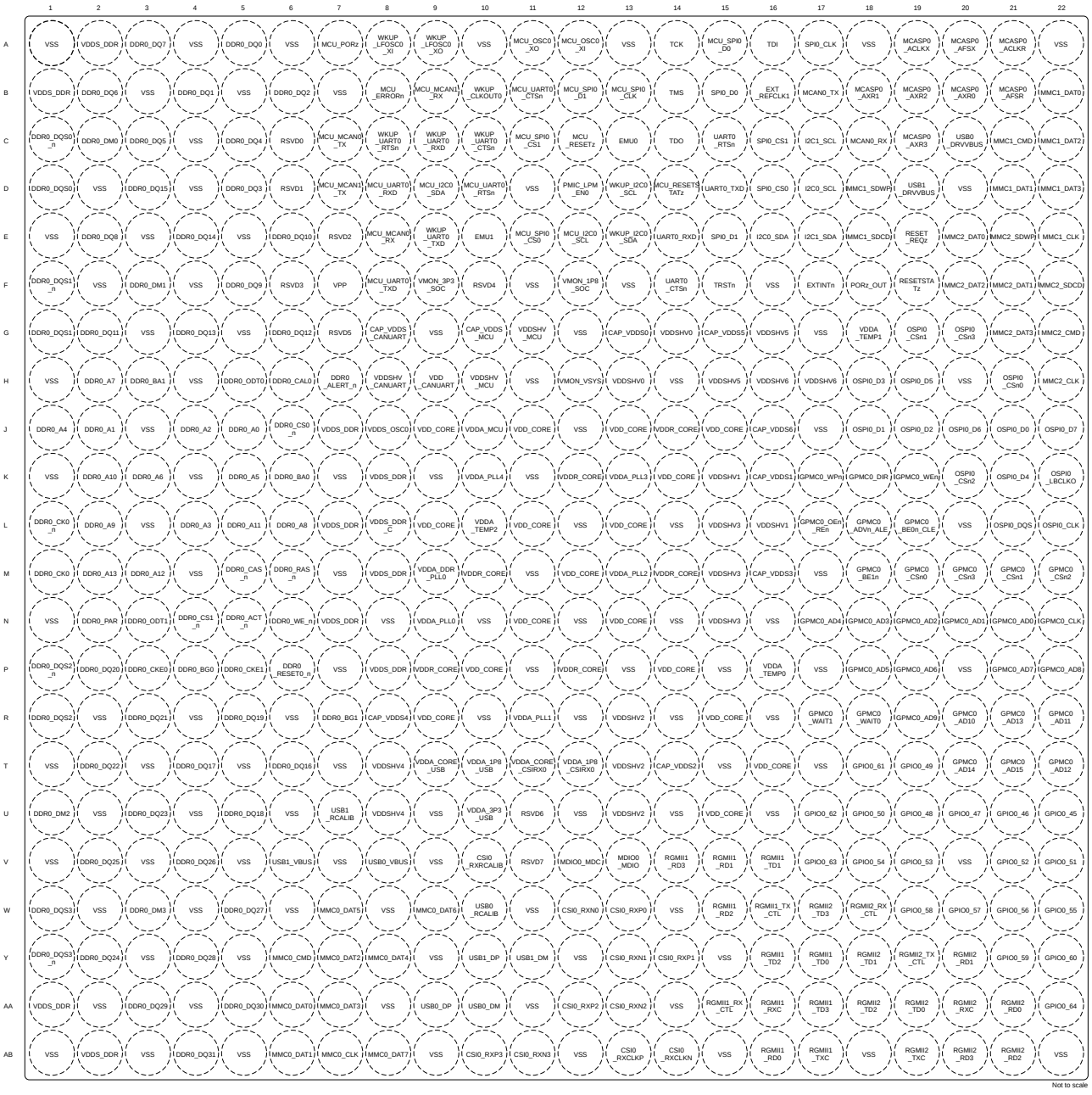


図 5-1. ANF FCCSP BGA ピン配置図 (上面図)

5.2 ピン属性

次のリストに、表 5-1「ピン属性 (ANF パッケージ)」の各列の内容を示します。

1. **ボール番号:**ボール グリッド アレイ パッケージの各端子に割り当てられたボール番号。
2. **ボール名:**ボール グリッド アレイ パッケージの各端子に割り当てられたボール名 (通常はプライマリ MUXMODE 0 信号機能からつけた名前)。
3. **信号名:**ボールに関連付けられているすべての専用およびピン多重化信号機能の信号名。

注

多くのデバイス ピンは複数の信号機能をサポートしています。一部の信号機能は、ピンに関連付けられた単一層のマルチプレクサで選択されます。他の信号機能は 2 層以上のマルチプレクサで選択され、ある層はピンに関連付けられ、他の層はペリフェラル ロジック機能に関連付けられます。

表 5-1「ピン属性 (ANF パッケージ)」では、ピンでの信号多重化のみが定義されています。ピンでの信号多重化の詳細については、デバイスのテクニカル リファレンス マニュアルで「デバイス構成」の章にある「パッド構成レジスタ」セクションを参照してください。ペリフェラル信号の多重化に関する情報については、デバイスのテクニカル リファレンス マニュアルで該当するペリフェラルの章を参照してください。

---

4. **多重化モード:**各ピンの多重化信号機能に関連付けられた MUXMODE 値:
   a. MUXMODE 0 は、プライマリ ピンの多重化信号機能です。ただし、プライマリ ピンの多重化信号機能は、必ずしもデフォルトのピン多重化信号機能とは限りません。

注

「リセット後の MUX モード」列の値は、MCU_PORz がアサート解除されたときに選択されるデフォルトのピン多重化信号機能を定義します。

---

   a. ピン多重化信号機能には、MUXMODE の値 1～15 を使用できます。ただし、すべての MUXMODE 値が実装されているわけではありません。有効な MUXMODE 値は、「ピン属性」表でピン多重化信号機能として定義された値のみです。MUXMODE の有効な値のみを使用する必要があります。
   b. ブートストラップは SOC 構成ピンを定義します。各ピンに適用されるロジック状態は、PORz_OUT の立ち上がりエッジでラッチされます。これらの入力信号機能はそれぞれのピンに固定で、MUXMODE を使用してプログラムすることはできません。
   c. 空欄は該当しないことを意味します。

注

デバイスを適切に動作させるには、以下の MUXMODE の構成を避ける必要があります。

- 複数のピンを同じピン多重化信号機能への入力として動作するように構成すると、予期しない結果が生じる可能性があるため、この構成はサポートされていません。
- ピンを未定義のピン多重化モードに設定すると、ピンの動作が未定義になります。

Copyright © 2025 Texas Instruments Incorporated

5. **タイプ**:信号の種類と方向:
   - I = 入力
   - O = 出力
   - OD = 出力、オープンドレイン出力機能付き
   - IO = 入力、出力、または同時に入力と出力
   - IOD = 入力、出力、または同時に入力と出力、オープンドレイン出力機能付き
   - IOZ = 入力、出力、または同時に入力と出力、3 ステート出力機能付き
   - OZ = 出力、3 ステート出力機能付き
   - A = アナログ
   - PWR = 電源
   - GND = グランド
   - CAP = LDO コンデンサ。
6. **DSIS**:選択解除入力状態 (DSIS) は、MUXMODE によってピン多重化信号機能が選択されていないとき、サブシステム入力 (ロジック「0」、ロジック「1」、または「パッド」レベル) に駆動される状態を示します。
   - 0:ロジック 0 がサブシステム入力に駆動されます。
   - 1:ロジック 1 がサブシステム入力に駆動されます。
   - パッド:パッドのロジック状態がサブシステム入力に駆動されます。
   - 空欄は該当しないことを意味します。
7. **リセット時のボールの状態 (RX/TX/PULL)**:MCU_PORz がアサートされているときの端子の状態。ここで、RX は入力バッファの状態、TX は出力バッファの状態、PULL は内部プル抵抗の状態を定義します。
   - RX (入力バッファ)
     - オフ:入力バッファは無効です。
     - オン:入力バッファは有効です。
   - TX (出力バッファ)
     - オフ:出力バッファは無効です。
     - Low:出力バッファは有効であり、V_{OL} を駆動します。
   - PULL (内部プル抵抗)
     - オフ:内部プル抵抗はターンオフされています。
     - アップ:内部プルアップ抵抗はターンオンされています。
     - ダウン:内部プルダウン抵抗はターンオンされています。
     - NA:該当なし。
   - 空欄は該当しないことを意味します。
8. **リセット後のボールの状態 (RX/TX/PULL)**:MCU_PORz がアサート解除された後の端子の状態。ここで、RX は入力バッファの状態、TX は出力バッファの状態、PULL は内部プル抵抗の状態を定義します。
   - RX (入力バッファ)
     - オフ:入力バッファは無効です。
     - オン:入力バッファは有効です。
   - TX (出力バッファ)
     - オフ:出力バッファは無効です。
     - SS:MUXMODE で選択されたサブシステムによって、出力バッファの状態が決まります。
   - PULL (内部プル抵抗)
     - オフ:内部プル抵抗はターンオフされています。
     - アップ:内部プルアップ抵抗はターンオンされています。
     - ダウン:内部プルダウン抵抗はターンオンされています。
     - NA:該当なし。
   - 空欄は該当しないことを意味します。

9. **リセット後の多重化モード:**この列の値は、MCU_PORz がデアサートされた後のデフォルトのピン多重化信号機能を定義します。

   空欄は該当しないことを意味します。

10. **I/O 動作電圧**:この列は、それぞれの電源の I/O 動作電圧オプションについて説明します (該当する場合)。

    空欄は該当しないことを意味します。

    詳細については、セクション 6.5「推奨動作条件」で各電源に定義されている有効な動作電圧範囲を参照してください。

11. **電源:**関連付けられている I/O の電源 (該当する場合)。

    空欄は該当しないことを意味します。

12. **HYS:**この I/O に関連付けられている入力バッファにヒステリシスがあるかどうかを示します。
    - あり:ヒステリシス付き
    - なし:ヒステリシスなし
    - 空欄は該当しないことを意味します。

    詳細については、セクション 6.8「電気的特性」のヒステリシスの値を参照してください。

13. **バッファのタイプ:**この列は、端末に関連付けられたバッファのタイプを定義します。この情報を使用して、適用可能な電気的特性の表を決定できます。

    空欄は該当しないことを意味します。

    電気的特性については、セクション 6.8「電気的特性」の適切なバッファ タイプの表を参照してください。

14. **プルアップ / ダウン タイプ:**内部プルアップまたはプルダウン抵抗が存在することを示します。プルアップおよびプルダウン抵抗は、ソフトウェアによって有効化または無効化できます。
    - PU:内部プルアップ
    - PD:内部プルダウン
    - PU/PD:内部プルアップおよびプルダウン
    - 空欄は内部プル抵抗がないことを意味します。

15. **PADCONFIG レジスタ:**ボールに関連付けられた IO パッド構成レジスタの名前。

16. **PADCONFIG アドレス:**ボールに関連付けられた IO パッド構成レジスタの物理アドレス。

Copyright © 2025 Texas Instruments Incorporated

表 5-1. ピン属性 (ANF パッケージ)

ボール番号 [1]	ボール名 [2] PADCONFIG レジスタ [15] PADCONFIG アドレス [16]	信号名 [3]	多重化モード [4]	タイプ [5]	DSIS [6]	リセット時のボールの状態 (RX/TX/PULL) [7]	リセット後のボールの状態 (RX/TX/PULL) [8]	リセット後の多重化モード [9]	I/O 動作電圧 [10]	電源 [11]	HYS [12]	バッファタイプ [13]	プルアップ / ダウンタイプ [14]
G13	CAP_VDDS0	CAP_VDDS0		CAP									
K16	CAP_VDDS1	CAP_VDDS1		CAP									
T14	CAP_VDDS2	CAP_VDDS2		CAP									
M16	CAP_VDDS3	CAP_VDDS3		CAP									
R8	CAP_VDDS4	CAP_VDDS4		CAP									
G15	CAP_VDDS5	CAP_VDDS5		CAP									
J16	CAP_VDDS6	CAP_VDDS6		CAP									
G8	CAP_VDDS_CANUART	CAP_VDDS_CANUART		CAP									
G10	CAP_VDDS_MCU	CAP_VDDS_MCU		CAP									
AB14	CSI0_RXCLKN	CSI0_RXCLKN		I					1.8 V	VDDA_1P8_CSIRX		D-PHY	
AB13	CSI0_RXCLKP	CSI0_RXCLKP		I					1.8 V	VDDA_1P8_CSIRX		D-PHY	
V10	CSI0_RXRCALIB	CSI0_RXRCALIB		A					1.8 V	VDDA_1P8_CSIRX		D-PHY	
W12	CSI0_RXN0	CSI0_RXN0		I					1.8 V	VDDA_1P8_CSIRX		D-PHY	
Y13	CSI0_RXN1	CSI0_RXN1		I					1.8 V	VDDA_1P8_CSIRX		D-PHY	
AA13	CSI0_RXN2	CSI0_RXN2		I					1.8 V	VDDA_1P8_CSIRX		D-PHY	
AB11	CSI0_RXN3	CSI0_RXN3		I					1.8 V	VDDA_1P8_CSIRX		D-PHY	
W13	CSI0_RXP0	CSI0_RXP0		I					1.8 V	VDDA_1P8_CSIRX		D-PHY	
Y14	CSI0_RXP1	CSI0_RXP1		I					1.8 V	VDDA_1P8_CSIRX		D-PHY	
AA12	CSI0_RXP2	CSI0_RXP2		I					1.8 V	VDDA_1P8_CSIRX		D-PHY	
AB10	CSI0_RXP3	CSI0_RXP3		I					1.8 V	VDDA_1P8_CSIRX		D-PHY	
N5	DDR0_ACT_n	DDR0_ACT_n		O					1.1 V	VDDS_DDR、VDDS_DDR_C		DDR	
H7	DDR0_ALERT_n	DDR0_ALERT_n		IO					1.1 V	VDDS_DDR、VDDS_DDR_C		DDR	
M5	DDR0_CAS_n	DDR0_CAS_n		O					1.1 V	VDDS_DDR、VDDS_DDR_C		DDR	
N2	DDR0_PAR	DDR0_PAR		O					1.1 V	VDDS_DDR、VDDS_DDR_C		DDR	
M6	DDR0_RAS_n	DDR0_RAS_n		O					1.1 V	VDDS_DDR、VDDS_DDR_C		DDR	
N6	DDR0_WE_n	DDR0_WE_n		O					1.1 V	VDDS_DDR、VDDS_DDR_C		DDR	
J5	DDR0_A0	DDR0_A0		O					1.1 V	VDDS_DDR、VDDS_DDR_C		DDR	
J2	DDR0_A1	DDR0_A1		O					1.1 V	VDDS_DDR、VDDS_DDR_C		DDR	
J4	DDR0_A2	DDR0_A2		O					1.1 V	VDDS_DDR、VDDS_DDR_C		DDR	

Copyright © 2025 Texas Instruments Incorporated

表 5-1. ピン属性 (ANF パッケージ) (続き)

ボール番号 [1]	ボール名 [2] PADCONFIG レジスタ [15] PADCONFIG アドレス [16]	信号名 [3]	多重化モード [4]	タイプ [5]	DSIS [6]	リセット時のボールの状態 (RX/TX/PULL) [7]	リセット後のボールの状態 (RX/TX/PULL) [8]	リセット後の多重化モード [9]	I/O 動作電圧 [10]	電源 [11]	HYS [12]	バッファタイプ [13]	プルアップ / ダウンタイプ [14]
L4	DDR0_A3	DDR0_A3		O					1.1 V	VDDS_DDR、VDDS_DDR_C		DDR	
J1	DDR0_A4	DDR0_A4		O					1.1 V	VDDS_DDR、VDDS_DDR_C		DDR	
K5	DDR0_A5	DDR0_A5		O					1.1 V	VDDS_DDR、VDDS_DDR_C		DDR	
K3	DDR0_A6	DDR0_A6		O					1.1 V	VDDS_DDR、VDDS_DDR_C		DDR	
H2	DDR0_A7	DDR0_A7		O					1.1 V	VDDS_DDR、VDDS_DDR_C		DDR	
L6	DDR0_A8	DDR0_A8		O					1.1 V	VDDS_DDR、VDDS_DDR_C		DDR	
L2	DDR0_A9	DDR0_A9		O					1.1 V	VDDS_DDR、VDDS_DDR_C		DDR	
K2	DDR0_A10	DDR0_A10		O					1.1 V	VDDS_DDR、VDDS_DDR_C		DDR	
L5	DDR0_A11	DDR0_A11		O					1.1 V	VDDS_DDR、VDDS_DDR_C		DDR	
M3	DDR0_A12	DDR0_A12		O					1.1 V	VDDS_DDR、VDDS_DDR_C		DDR	
M2	DDR0_A13	DDR0_A13		O					1.1 V	VDDS_DDR、VDDS_DDR_C		DDR	
K6	DDR0_BA0	DDR0_BA0		O					1.1 V	VDDS_DDR、VDDS_DDR_C		DDR	
H3	DDR0_BA1	DDR0_BA1		O					1.1 V	VDDS_DDR、VDDS_DDR_C		DDR	
P4	DDR0_BG0	DDR0_BG0		O					1.1 V	VDDS_DDR、VDDS_DDR_C		DDR	
R7	DDR0_BG1	DDR0_BG1		O					1.1 V	VDDS_DDR、VDDS_DDR_C		DDR	
H6	DDR0_CAL0	DDR0_CAL0		A					1.1 V	VDDS_DDR、VDDS_DDR_C		DDR	
M1	DDR0_CK0	DDR0_CK0		O					1.1 V	VDDS_DDR、VDDS_DDR_C		DDR	
L1	DDR0_CK0_n	DDR0_CK0_n		O					1.1 V	VDDS_DDR、VDDS_DDR_C		DDR	
P3	DDR0_CKE0	DDR0_CKE0		O					1.1 V	VDDS_DDR、VDDS_DDR_C		DDR	
P5	DDR0_CKE1	DDR0_CKE1		O					1.1 V	VDDS_DDR、VDDS_DDR_C		DDR	
J6	DDR0_CS0_n	DDR0_CS0_n		O					1.1 V	VDDS_DDR、VDDS_DDR_C		DDR	

Copyright © 2025 Texas Instruments Incorporated

表 5-1. ピン属性 (ANF パッケージ) (続き)

ボール番号 [1]	ボール名 [2] PADCONFIG レジスタ [15] PADCONFIG アドレス [16]	信号名 [3]	多重化モード [4]	タイプ [5]	DSIS [6]	リセット時のボールの状態 (RX/TX/PULL) [7]	リセット後のボールの状態 (RX/TX/PULL) [8]	リセット後の多重化モード [9]	I/O 動作電圧 [10]	電源 [11]	HYS [12]	バッファタイプ [13]	プルアップ / ダウンタイプ [14]
N4	DDR0_CS1_n	DDR0_CS1_n		O					1.1 V	VDDS_DDR、VDDS_DDR_C		DDR	
C2	DDR0_DM0	DDR0_DM0		IO					1.1 V	VDDS_DDR、VDDS_DDR_C		DDR	
F3	DDR0_DM1	DDR0_DM1		IO					1.1 V	VDDS_DDR、VDDS_DDR_C		DDR	
U1	DDR0_DM2	DDR0_DM2		IO					1.1 V	VDDS_DDR、VDDS_DDR_C		DDR	
W3	DDR0_DM3	DDR0_DM3		IO					1.1 V	VDDS_DDR、VDDS_DDR_C		DDR	
A5	DDR0_DQ0	DDR0_DQ0		IO					1.1 V	VDDS_DDR、VDDS_DDR_C		DDR	
B4	DDR0_DQ1	DDR0_DQ1		IO					1.1 V	VDDS_DDR、VDDS_DDR_C		DDR	
B6	DDR0_DQ2	DDR0_DQ2		IO					1.1 V	VDDS_DDR、VDDS_DDR_C		DDR	
D5	DDR0_DQ3	DDR0_DQ3		IO					1.1 V	VDDS_DDR、VDDS_DDR_C		DDR	
C5	DDR0_DQ4	DDR0_DQ4		IO					1.1 V	VDDS_DDR、VDDS_DDR_C		DDR	
C3	DDR0_DQ5	DDR0_DQ5		IO					1.1 V	VDDS_DDR、VDDS_DDR_C		DDR	
B2	DDR0_DQ6	DDR0_DQ6		IO					1.1 V	VDDS_DDR、VDDS_DDR_C		DDR	
A3	DDR0_DQ7	DDR0_DQ7		IO					1.1 V	VDDS_DDR、VDDS_DDR_C		DDR	
E2	DDR0_DQ8	DDR0_DQ8		IO					1.1 V	VDDS_DDR、VDDS_DDR_C		DDR	
F5	DDR0_DQ9	DDR0_DQ9		IO					1.1 V	VDDS_DDR、VDDS_DDR_C		DDR	
E6	DDR0_DQ10	DDR0_DQ10		IO					1.1 V	VDDS_DDR、VDDS_DDR_C		DDR	
G2	DDR0_DQ11	DDR0_DQ11		IO					1.1 V	VDDS_DDR、VDDS_DDR_C		DDR	
G6	DDR0_DQ12	DDR0_DQ12		IO					1.1 V	VDDS_DDR、VDDS_DDR_C		DDR	
G4	DDR0_DQ13	DDR0_DQ13		IO					1.1 V	VDDS_DDR、VDDS_DDR_C		DDR	
E4	DDR0_DQ14	DDR0_DQ14		IO					1.1 V	VDDS_DDR、VDDS_DDR_C		DDR	
D3	DDR0_DQ15	DDR0_DQ15		IO					1.1 V	VDDS_DDR、VDDS_DDR_C		DDR	

Copyright © 2025 Texas Instruments Incorporated

表 5-1. ピン属性 (ANF パッケージ) (続き)

ボール番号 [1]	ボール名 [2] PADCONFIG レジスタ [15] PADCONFIG アドレス [16]	信号名 [3]	多重化モード [4]	タイプ [5]	DSIS [6]	リセット時のボールの状態 (RX/TX/PULL) [7]	リセット後のボールの状態 (RX/TX/PULL) [8]	リセット後の多重化モード [9]	I/O 動作電圧 [10]	電源 [11]	HYS [12]	バッファタイプ [13]	プルアップ / ダウンタイプ [14]
T6	DDR0_DQ16	DDR0_DQ16		IO					1.1 V	VDDS_DDR、VDDS_DDR_C		DDR	
T4	DDR0_DQ17	DDR0_DQ17		IO					1.1 V	VDDS_DDR、VDDS_DDR_C		DDR	
U5	DDR0_DQ18	DDR0_DQ18		IO					1.1 V	VDDS_DDR、VDDS_DDR_C		DDR	
R5	DDR0_DQ19	DDR0_DQ19		IO					1.1 V	VDDS_DDR、VDDS_DDR_C		DDR	
P2	DDR0_DQ20	DDR0_DQ20		IO					1.1 V	VDDS_DDR、VDDS_DDR_C		DDR	
R3	DDR0_DQ21	DDR0_DQ21		IO					1.1 V	VDDS_DDR、VDDS_DDR_C		DDR	
T2	DDR0_DQ22	DDR0_DQ22		IO					1.1 V	VDDS_DDR、VDDS_DDR_C		DDR	
U3	DDR0_DQ23	DDR0_DQ23		IO					1.1 V	VDDS_DDR、VDDS_DDR_C		DDR	
Y2	DDR0_DQ24	DDR0_DQ24		IO					1.1 V	VDDS_DDR、VDDS_DDR_C		DDR	
V2	DDR0_DQ25	DDR0_DQ25		IO					1.1 V	VDDS_DDR、VDDS_DDR_C		DDR	
V4	DDR0_DQ26	DDR0_DQ26		IO					1.1 V	VDDS_DDR、VDDS_DDR_C		DDR	
W5	DDR0_DQ27	DDR0_DQ27		IO					1.1 V	VDDS_DDR、VDDS_DDR_C		DDR	
Y4	DDR0_DQ28	DDR0_DQ28		IO					1.1 V	VDDS_DDR、VDDS_DDR_C		DDR	
AA3	DDR0_DQ29	DDR0_DQ29		IO					1.1 V	VDDS_DDR、VDDS_DDR_C		DDR	
AA5	DDR0_DQ30	DDR0_DQ30		IO					1.1 V	VDDS_DDR、VDDS_DDR_C		DDR	
AB4	DDR0_DQ31	DDR0_DQ31		IO					1.1 V	VDDS_DDR、VDDS_DDR_C		DDR	
D1	DDR0_DQS0	DDR0_DQS0		IO					1.1 V	VDDS_DDR、VDDS_DDR_C		DDR	
C1	DDR0_DQS0_n	DDR0_DQS0_n		IO					1.1 V	VDDS_DDR、VDDS_DDR_C		DDR	
G1	DDR0_DQS1	DDR0_DQS1		IO					1.1 V	VDDS_DDR、VDDS_DDR_C		DDR	
F1	DDR0_DQS1_n	DDR0_DQS1_n		IO					1.1 V	VDDS_DDR、VDDS_DDR_C		DDR	
R1	DDR0_DQS2	DDR0_DQS2		IO					1.1 V	VDDS_DDR、VDDS_DDR_C		DDR	

Copyright © 2025 Texas Instruments Incorporated

表 5-1. ピン属性 (ANF パッケージ) (続き)

ボール番号 [1]	ボール名 [2] PADCONFIG レジスタ [15] PADCONFIG アドレス [16]	信号名 [3]	多重化モード [4]	タイプ [5]	DSIS [6]	リセット時のボールの状態 (RX/TX/PULL) [7]	リセット後のボールの状態 (RX/TX/PULL) [8]	リセット後の多重化モード [9]	I/O 動作電圧 [10]	電源 [11]	HYS [12]	バッファタイプ [13]	プルアップ / ダウンタイプ [14]
P1	DDR0_DQS2_n	DDR0_DQS2_n		IO					1.1 V	VDDS_DDR、VDDS_DDR_C		DDR	
W1	DDR0_DQS3	DDR0_DQS3		IO					1.1 V	VDDS_DDR、VDDS_DDR_C		DDR	
Y1	DDR0_DQS3_n	DDR0_DQS3_n		IO					1.1 V	VDDS_DDR、VDDS_DDR_C		DDR	
H5	DDR0_ODT0	DDR0_ODT0		O					1.1 V	VDDS_DDR、VDDS_DDR_C		DDR	
N3	DDR0_ODT1	DDR0_ODT1		O					1.1 V	VDDS_DDR、VDDS_DDR_C		DDR	
P6	DDR0_RESET0_n	DDR0_RESET0_n		O					1.1 V	VDDS_DDR、VDDS_DDR_C		DDR	
C13	EMU0 PADCONFIG: MCU_PADCONFIG30 0x04084078	EMU0	0	IO	0	オン / オフ / アップ	オン / オフ / アップ	0	1.8V/3.3V	VDDSHV_MCU	あり	LVCMOS	PU/PD
E10	EMU1 PADCONFIG: MCU_PADCONFIG31 0x0408407C	EMU1	0	IO	0	オン / オフ / アップ	オン / オフ / アップ	0	1.8V/3.3V	VDDSHV_MCU	あり	LVCMOS	PU/PD
F17	EXTINTn PADCONFIG: PADCONFIG125 0x000F41F4	EXTINTn	0	I	1	オフ / オフ / NA	オフ / オフ / NA	7	1.8V/3.3V	VDDSHV0	あり	I2C OD FS	
		GPIO1_31	7	IO	パッド								
B16	EXT_REFCLK1 PADCONFIG: PADCONFIG124 0x000F41F0	EXT_REFCLK1	0	I	0	オフ / オフ / オフ	オフ / オフ / オフ	7	1.8V/3.3V	VDDSHV0	あり	LVCMOS	PU/PD
		SYNC1_OUT	1	O									
		SPI2_CS3	2	IO	1								
		SYSCLKOUT0	3	O									
		TIMER_IO4	4	IO	0								
		CLKOUT0	5	O									
		CP_GEMAC_CPTS0_RFT_CLK	6	I	0								
		GPIO1_30	7	IO	パッド								
		ECAP0_IN_APWM_OUT	8	IO	0								
U22	GPIO0_45 PADCONFIG: PADCONFIG46 0x000F40B8	GPMC0_A0	1	OZ		オフ / オフ / オフ	オフ / オフ / オフ	7	1.8V/3.3V	VDDSHV3	あり	LVCMOS	PU/PD
		UART2_RXD	4	I	1								
		GPIO0_45	7	IO	パッド								
U21	GPIO0_46 PADCONFIG: PADCONFIG47 0x000F40BC	GPMC0_A1	1	OZ		オフ / オフ / オフ	オフ / オフ / オフ	7	1.8V/3.3V	VDDSHV3	あり	LVCMOS	PU/PD
		UART2_TXD	4	O									
		GPIO0_46	7	IO	パッド								

表 5-1. ピン属性 (ANF パッケージ) (続き)

ボール番号 [1]	ボール名 [2] PADCONFIG レジスタ [15] PADCONFIG アドレス [16]	信号名 [3]	多重化モード [4]	タイプ [5]	DSIS [6]	リセット時のボールの状態 (RX/TX/PULL) [7]	リセット後のボールの状態 (RX/TX/PULL) [8]	リセット後の多重化モード [9]	I/O 動作電圧 [10]	電源 [11]	HYS [12]	バッファタイプ [13]	プルアップ / ダウンタイプ [14]
U20	GPIO0_47 PADCONFIG: PADCONFIG48 0x000F40C0	GPMC0_A2	1	OZ		オフ / オフ / オフ	オフ / オフ / オフ	7	1.8V/3.3V	VDDSHV3	あり	LVCMOS	PU/PD
		UART3_RXD	4	I	1								
		GPIO0_47	7	IO	パッド								
U19	GPIO0_48 PADCONFIG: PADCONFIG49 0x000F40C4	GPMC0_A3	1	OZ		オフ / オフ / オフ	オフ / オフ / オフ	7	1.8V/3.3V	VDDSHV3	あり	LVCMOS	PU/PD
		UART3_TXD	4	O									
		GPIO0_48	7	IO	パッド								
T19	GPIO0_49 PADCONFIG: PADCONFIG50 0x000F40C8	GPMC0_A4	1	OZ		オフ / オフ / オフ	オフ / オフ / オフ	7	1.8V/3.3V	VDDSHV3	あり	LVCMOS	PU/PD
		UART4_RXD	4	I	1								
		GPIO0_49	7	IO	パッド								
U18	GPIO0_50 PADCONFIG: PADCONFIG51 0x000F40CC	GPMC0_A5	1	OZ		オフ / オフ / オフ	オフ / オフ / オフ	7	1.8V/3.3V	VDDSHV3	あり	LVCMOS	PU/PD
		UART4_TXD	4	O									
		GPIO0_50	7	IO	パッド								
V22	GPIO0_51 PADCONFIG: PADCONFIG52 0x000F40D0	GPMC0_A6	1	OZ		オフ / オフ / オフ	オフ / オフ / オフ	7	1.8V/3.3V	VDDSHV3	あり	LVCMOS	PU/PD
		UART5_RXD	4	I	1								
		GPIO0_51	7	IO	パッド								
V21	GPIO0_52 PADCONFIG: PADCONFIG53 0x000F40D4	GPMC0_A7	1	OZ		オフ / オフ / オフ	オフ / オフ / オフ	7	1.8V/3.3V	VDDSHV3	あり	LVCMOS	PU/PD
		UART5_TXD	4	O									
		GPIO0_52	7	IO	パッド								
V19	GPIO0_53 PADCONFIG: PADCONFIG54 0x000F40D8	GPMC0_A8	1	OZ		オフ / オフ / オフ	オフ / オフ / オフ	7	1.8V/3.3V	VDDSHV3	あり	LVCMOS	PU/PD
		UART6_RXD	4	I	1								
		GPIO0_53	7	IO	パッド								
V18	GPIO0_54 PADCONFIG: PADCONFIG55 0x000F40DC	GPMC0_A9	1	OZ		オフ / オフ / オフ	オフ / オフ / オフ	7	1.8V/3.3V	VDDSHV3	あり	LVCMOS	PU/PD
		UART6_TXD	4	O									
		GPIO0_54	7	IO	パッド								
W22	GPIO0_55 PADCONFIG: PADCONFIG56 0x000F40E0	GPMC0_A10	1	OZ		オフ / オフ / オフ	オフ / オフ / オフ	7	1.8V/3.3V	VDDSHV3	あり	LVCMOS	PU/PD
		UART6_RTSn	4	O									
		GPIO0_55	7	IO	パッド								
W21	GPIO0_56 PADCONFIG: PADCONFIG57 0x000F40E4	GPMC0_A11	1	OZ		オフ / オフ / オフ	オフ / オフ / オフ	7	1.8V/3.3V	VDDSHV3	あり	LVCMOS	PU/PD
		UART6_CTSn	4	I	1								
		GPIO0_56	7	IO	パッド								
W20	GPIO0_57 PADCONFIG: PADCONFIG58 0x000F40E8	GPMC0_A12	1	OZ		オフ / オフ / オフ	オフ / オフ / オフ	7	1.8V/3.3V	VDDSHV3	あり	LVCMOS	PU/PD
		UART5_RTSn	4	O									
		GPIO0_57	7	IO	パッド								

Copyright © 2025 Texas Instruments Incorporated

表 5-1. ピン属性 (ANF パッケージ) (続き)

ボール番号 [1]	ボール名 [2] PADCONFIG レジスタ [15] PADCONFIG アドレス [16]	信号名 [3]	多重化モード [4]	タイプ [5]	DSIS [6]	リセット時のボールの状態 (RX/TX/PULL) [7]	リセット後のボールの状態 (RX/TX/PULL) [8]	リセット後の多重化モード [9]	I/O 動作電圧 [10]	電源 [11]	HYS [12]	バッファタイプ [13]	プルアップ / ダウンタイプ [14]
W19	GPIO0_58 PADCONFIG: PADCONFIG59 0x000F40EC	GPMC0_A13	1	OZ		オフ / オフ / オフ	オフ / オフ / オフ	7	1.8V/3.3V	VDDSHV3	あり	LVCMOS	PU/PD
		UART5_CTSn	4	I	1								
		GPIO0_58	7	IO	パッド								
Y21	GPIO0_59 PADCONFIG: PADCONFIG60 0x000F40F0	GPMC0_A14	1	OZ		オフ / オフ / オフ	オフ / オフ / オフ	7	1.8V/3.3V	VDDSHV3	あり	LVCMOS	PU/PD
		UART4_RTSn	4	O									
		GPIO0_59	7	IO	パッド								
Y22	GPIO0_60 PADCONFIG: PADCONFIG61 0x000F40F4	GPMC0_A15	1	OZ		オフ / オフ / オフ	オフ / オフ / オフ	7	1.8V/3.3V	VDDSHV3	あり	LVCMOS	PU/PD
		UART4_CTSn	4	I	1								
		GPIO0_60	7	IO	パッド								
T18	GPIO0_61 PADCONFIG: PADCONFIG62 0x000F40F8	GPMC0_A16	1	OZ		オフ / オフ / オフ	オフ / オフ / オフ	7	1.8V/3.3V	VDDSHV3	あり	LVCMOS	PU/PD
		UART3_RTSn	4	O									
		GPIO0_61	7	IO	パッド								
U17	GPIO0_62 PADCONFIG: PADCONFIG63 0x000F40FC	GPMC0_A17	1	OZ		オフ / オフ / オフ	オフ / オフ / オフ	7	1.8V/3.3V	VDDSHV3	あり	LVCMOS	PU/PD
		UART3_CTSn	4	I	1								
		GPIO0_62	7	IO	パッド								
V17	GPIO0_63 PADCONFIG: PADCONFIG64 0x000F4100	GPMC0_A18	1	OZ		オフ / オフ / オフ	オフ / オフ / オフ	7	1.8V/3.3V	VDDSHV3	あり	LVCMOS	PU/PD
		UART2_RTSn	4	O									
		GPIO0_63	7	IO	パッド								
AA22	GPIO0_64 PADCONFIG: PADCONFIG65 0x000F4104	GPMC0_A19	1	OZ		オフ / オフ / オフ	オフ / オフ / オフ	7	1.8V/3.3V	VDDSHV3	あり	LVCMOS	PU/PD
		UART2_CTSn	4	I	1								
		GPIO0_64	7	IO	パッド								
L18	GPMC0_ADVn_ALE PADCONFIG: PADCONFIG33 0x000F4084	GPMC0_ADVn_ALE	0	O		オフ / オフ / オフ	オフ / オフ / オフ	7	1.8V/3.3V	VDDSHV3	あり	LVCMOS	PU/PD
		MCASP1_AXR2	2	IO	0								
		TRC_DATA7	6	O									
		GPIO0_32	7	IO	パッド								
N22	GPMC0_CLK PADCONFIG: PADCONFIG31 0x000F407C	GPMC0_CLK	0	O		オフ / オフ / オフ	オフ / オフ / オフ	7	1.8V/3.3V	VDDSHV3	あり	LVCMOS	PU/PD
		MCASP1_AXR3	2	IO	0								
		GPMC0_FCLK_MUX	3	O									
		TRC_DATA6	6	O									
		GPIO0_31	7	IO	パッド								
K18	GPMC0_DIR PADCONFIG: PADCONFIG41 0x000F40A4	GPMC0_DIR	0	O		オフ / オフ / オフ	オフ / オフ / オフ	7	1.8V/3.3V	VDDSHV3	あり	LVCMOS	PU/PD
		MCASP2_AXR13	3	IO	0								
		TRC_DATA14	6	O									
		GPIO0_40	7	IO	パッド								
		EQEP2_S	8	IO	0								

表 5-1. ピン属性 (ANF パッケージ) (続き)

ボール番号 [1]	ボール名 [2] PADCONFIG レジスタ [15] PADCONFIG アドレス [16]	信号名 [3]	多重化モード [4]	タイプ [5]	DSIS [6]	リセット時のボールの状態 (RX/TX/PULL) [7]	リセット後のボールの状態 (RX/TX/PULL) [8]	リセット後の多重化モード [9]	I/O 動作電圧 [10]	電源 [11]	HYS [12]	バッファタイプ [13]	プルアップ / ダウンタイプ [14]
L17	GPMC0_OEn_REn PADCONFIG: PADCONFIG34 0x000F4088	GPMC0_OEn_REn	0	O		オフ / オフ / オフ	オフ / オフ / オフ	7	1.8V/3.3V	VDDSHV3	あり	LVCMOS	PU/PD
		MCASP1_AXR1	2	IO	0								
		TRC_DATA8	6	O									
		GPIO0_33	7	IO	パッド								
K19	GPMC0_WEn PADCONFIG: PADCONFIG35 0x000F408C	GPMC0_WEn	0	O		オフ / オフ / オフ	オフ / オフ / オフ	7	1.8V/3.3V	VDDSHV3	あり	LVCMOS	PU/PD
		MCASP1_AXR0	2	IO	0								
		TRC_DATA9	6	O									
		GPIO0_34	7	IO	パッド								
K17	GPMC0_WPn PADCONFIG: PADCONFIG40 0x000F40A0	GPMC0_WPn	0	O		オフ / オフ / オフ	オフ / オフ / オフ	7	1.8V/3.3V	VDDSHV3	あり	LVCMOS	PU/PD
		AUDIO_EXT_REFCLK1	1	IO	0								
		GPMC0_A22	2	OZ									
		UART6_TXD	3	O									
		TRC_DATA13	6	O									
		GPIO0_39	7	IO	パッド								
N21	GPMC0_AD0 PADCONFIG: PADCONFIG15 0x000F403C	GPMC0_AD0	0	IO	0	オン / オフ / オフ	オン / オフ / オフ	7	1.8V/3.3V	VDDSHV3	あり	LVCMOS	PU/PD
		MCASP2_AXR4	3	IO	0								
		TRC_CLK	6	O									
		GPIO0_15	7	IO	パッド								
		BOOTMODE00	ブートストラップ	I									
N20	GPMC0_AD1 PADCONFIG: PADCONFIG16 0x000F4040	GPMC0_AD1	0	IO	0	オン / オフ / オフ	オン / オフ / オフ	7	1.8V/3.3V	VDDSHV3	あり	LVCMOS	PU/PD
		MCASP2_AXR5	3	IO	0								
		TRC_CTL	6	O									
		GPIO0_16	7	IO	パッド								
		BOOTMODE01	ブートストラップ	I									
N19	GPMC0_AD2 PADCONFIG: PADCONFIG17 0x000F4044	GPMC0_AD2	0	IO	0	オン / オフ / オフ	オン / オフ / オフ	7	1.8V/3.3V	VDDSHV3	あり	LVCMOS	PU/PD
		MCASP2_AXR6	3	IO	0								
		TRC_DATA0	6	O									
		GPIO0_17	7	IO	パッド								
		BOOTMODE02	ブートストラップ	I									
N18	GPMC0_AD3 PADCONFIG: PADCONFIG18 0x000F4048	GPMC0_AD3	0	IO	0	オン / オフ / オフ	オン / オフ / オフ	7	1.8V/3.3V	VDDSHV3	あり	LVCMOS	PU/PD
		MCASP2_AXR7	3	IO	0								
		TRC_DATA1	6	O									
		GPIO0_18	7	IO	パッド								
		BOOTMODE03	ブートストラップ	I									

Copyright © 2025 Texas Instruments Incorporated

表 5-1. ピン属性 (ANF パッケージ) (続き)

ボール番号 [1]	ボール名 [2] PADCONFIG レジスタ [15] PADCONFIG アドレス [16]	信号名 [3]	多重化モード [4]	タイプ [5]	DSIS [6]	リセット時のボールの状態 (RX/TX/PULL) [7]	リセット後のボールの状態 (RX/TX/PULL) [8]	リセット後の多重化モード [9]	I/O 動作電圧 [10]	電源 [11]	HYS [12]	バッファタイプ [13]	プルアップ / ダウンタイプ [14]
N17	GPMC0_AD4 PADCONFIG: PADCONFIG19 0x000F404C	GPMC0_AD4	0	IO	0	オン / オフ / オフ	オン / オフ / オフ	7	1.8V/3.3V	VDDSHV3	あり	LVCMOS	PU/PD
		MCASP2_AXR8	3	IO	0								
		TRC_DATA2	6	O									
		GPIO0_19	7	IO	パッド								
		BOOTMODE04	ブートストラップ	I									
P18	GPMC0_AD5 PADCONFIG: PADCONFIG20 0x000F4050	GPMC0_AD5	0	IO	0	オン / オフ / オフ	オン / オフ / オフ	7	1.8V/3.3V	VDDSHV3	あり	LVCMOS	PU/PD
		MCASP2_AXR9	3	IO	0								
		TRC_DATA3	6	O									
		GPIO0_20	7	IO	パッド								
		BOOTMODE05	ブートストラップ	I									
P19	GPMC0_AD6 PADCONFIG: PADCONFIG21 0x000F4054	GPMC0_AD6	0	IO	0	オン / オフ / オフ	オン / オフ / オフ	7	1.8V/3.3V	VDDSHV3	あり	LVCMOS	PU/PD
		MCASP2_AXR10	3	IO	0								
		TRC_DATA4	6	O									
		GPIO0_21	7	IO	パッド								
		BOOTMODE06	ブートストラップ	I									
P21	GPMC0_AD7 PADCONFIG: PADCONFIG22 0x000F4058	GPMC0_AD7	0	IO	0	オン / オフ / オフ	オン / オフ / オフ	7	1.8V/3.3V	VDDSHV3	あり	LVCMOS	PU/PD
		MCASP2_AXR11	3	IO	0								
		TRC_DATA5	6	O									
		GPIO0_22	7	IO	パッド								
		BOOTMODE07	ブートストラップ	I									
P22	GPMC0_AD8 PADCONFIG: PADCONFIG23 0x000F405C	GPMC0_AD8	0	IO	0	オン / オフ / オフ	オン / オフ / オフ	7	1.8V/3.3V	VDDSHV3	あり	LVCMOS	PU/PD
		UART2_RXD	2	I	1								
		MCASP2_AXR0	3	IO	0								
		GPIO0_23	7	IO	パッド								
		BOOTMODE08	ブートストラップ	I									
R19	GPMC0_AD9 PADCONFIG: PADCONFIG24 0x000F4060	GPMC0_AD9	0	IO	0	オン / オフ / オフ	オン / オフ / オフ	7	1.8V/3.3V	VDDSHV3	あり	LVCMOS	PU/PD
		UART2_TXD	2	O									
		MCASP2_AXR1	3	IO	0								
		GPIO0_24	7	IO	パッド								
		BOOTMODE09	ブートストラップ	I									

表 5-1. ピン属性 (ANF パッケージ) (続き)

ボール番号 [1]	ボール名 [2] PADCONFIG レジスタ [15] PADCONFIG アドレス [16]	信号名 [3]	多重化モード [4]	タイプ [5]	DSIS [6]	リセット時のボールの状態 (RX/TX/PULL) [7]	リセット後のボールの状態 (RX/TX/PULL) [8]	リセット後の多重化モード [9]	I/O 動作電圧 [10]	電源 [11]	HYS [12]	バッファタイプ [13]	プルアップ / ダウンタイプ [14]
R20	GPMC0_AD10 PADCONFIG: PADCONFIG25 0x000F4064	GPMC0_AD10	0	IO	0	オン / オフ / オフ	オン / オフ / オフ	7	1.8V/3.3V	VDDSHV3	あり	LVCMOS	PU/PD
		UART3_RXD	2	I	1								
		MCASP2_AXR2	3	IO	0								
		GPIO0_25	7	IO	パッド								
		OBSCLK0	8	O									
		BOOTMODE10	ブートストラップ	I									
R22	GPMC0_AD11 PADCONFIG: PADCONFIG26 0x000F4068	GPMC0_AD11	0	IO	0	オン / オフ / オフ	オン / オフ / オフ	7	1.8V/3.3V	VDDSHV3	あり	LVCMOS	PU/PD
		UART3_TXD	2	O									
		MCASP2_AXR3	3	IO	0								
		TRC_DATA23	6	O									
		GPIO0_26	7	IO	パッド								
		BOOTMODE11	ブートストラップ	I									
T22	GPMC0_AD12 PADCONFIG: PADCONFIG27 0x000F406C	GPMC0_AD12	0	IO	0	オン / オフ / オフ	オン / オフ / オフ	7	1.8V/3.3V	VDDSHV3	あり	LVCMOS	PU/PD
		UART4_RXD	2	I	1								
		MCASP2_AFSX	3	IO	0								
		TRC_DATA22	6	O									
		GPIO0_27	7	IO	パッド								
		BOOTMODE12	ブートストラップ	I									
R21	GPMC0_AD13 PADCONFIG: PADCONFIG28 0x000F4070	GPMC0_AD13	0	IO	0	オン / オフ / オフ	オン / オフ / オフ	7	1.8V/3.3V	VDDSHV3	あり	LVCMOS	PU/PD
		UART4_TXD	2	O									
		MCASP2_ACLKX	3	IO	0								
		TRC_DATA21	6	O									
		GPIO0_28	7	IO	パッド								
		BOOTMODE13	ブートストラップ	I									
T20	GPMC0_AD14 PADCONFIG: PADCONFIG29 0x000F4074	GPMC0_AD14	0	IO	0	オン / オフ / オフ	オン / オフ / オフ	7	1.8V/3.3V	VDDSHV3	あり	LVCMOS	PU/PD
		UART5_RXD	2	I	1								
		MCASP2_AFSR	3	IO	0								
		TRC_DATA20	6	O									
		GPIO0_29	7	IO	パッド								
		UART2_CTSn	8	I	1								
		BOOTMODE14	ブートストラップ	I									

Copyright © 2025 Texas Instruments Incorporated

表 5-1. ピン属性 (ANF パッケージ) (続き)

ボール番号 [1]	ボール名 [2] PADCONFIG レジスタ [15] PADCONFIG アドレス [16]	信号名 [3]	多重化モード [4]	タイプ [5]	DSIS [6]	リセット時のボールの状態 (RX/TX/PULL) [7]	リセット後のボールの状態 (RX/TX/PULL) [8]	リセット後の多重化モード [9]	I/O 動作電圧 [10]	電源 [11]	HYS [12]	バッファタイプ [13]	プルアップ / ダウンタイプ [14]
T21	GPMC0_AD15 PADCONFIG: PADCONFIG30 0x000F4078	GPMC0_AD15	0	IO	0	オン / オフ / オフ	オン / オフ / オフ	7	1.8V/3.3V	VDDSHV3	あり	LVCMOS	PU/PD
		UART5_TXD	2	O									
		MCASP2_ACLKR	3	IO	0								
		TRC_DATA19	6	O									
		GPIO0_30	7	IO	パッド								
		UART2_RTSn	8	O									
		BOOTMODE15	ブートストラップ	I									
L19	GPMC0_BE0n_CLE PADCONFIG: PADCONFIG36 0x000F4090	GPMC0_BE0n_CLE	0	O		オフ / オフ / オフ	オフ / オフ / オフ	7	1.8V/3.3V	VDDSHV3	あり	LVCMOS	PU/PD
		MCASP1_ACLKX	2	IO	0								
		TRC_DATA10	6	O									
		GPIO0_35	7	IO	パッド								
M18	GPMC0_BE1n PADCONFIG: PADCONFIG37 0x000F4094	GPMC0_BE1n	0	O		オフ / オフ / オフ	オフ / オフ / オフ	7	1.8V/3.3V	VDDSHV3	あり	LVCMOS	PU/PD
		MCASP2_AXR12	3	IO	0								
		TRC_DATA11	6	O									
		GPIO0_36	7	IO	パッド								
M19	GPMC0_CSn0 PADCONFIG: PADCONFIG42 0x000F40A8	GPMC0_CSn0	0	O		オフ / オフ / オフ	オフ / オフ / オフ	7	1.8V/3.3V	VDDSHV3	あり	LVCMOS	PU/PD
		MCASP2_AXR14	3	IO	0								
		TRC_DATA15	6	O									
		GPIO0_41	7	IO	パッド								
M21	GPMC0_CSn1 PADCONFIG: PADCONFIG43 0x000F40AC	GPMC0_CSn1	0	O		オフ / オフ / オフ	オフ / オフ / オフ	7	1.8V/3.3V	VDDSHV3	あり	LVCMOS	PU/PD
		MCASP2_AXR15	3	IO	0								
		TRC_DATA16	6	O									
		GPIO0_42	7	IO	パッド								
M22	GPMC0_CSn2 PADCONFIG: PADCONFIG44 0x000F40B0	GPMC0_CSn2	0	O		オフ / オフ / オフ	オフ / オフ / オフ	7	1.8V/3.3V	VDDSHV3	あり	LVCMOS	PU/PD
		I2C2_SCL	1	IOD	1								
		MCASP1_AXR4	2	IO	0								
		UART4_RXD	3	I	1								
		TRC_DATA17	6	O									
		GPIO0_43	7	IO	パッド								
		MCASP1_AFSR	8	IO	0								

表 5-1. ピン属性 (ANF パッケージ) (続き)

ボール番号 [1]	ボール名 [2] PADCONFIG レジスタ [15] PADCONFIG アドレス [16]	信号名 [3]	多重化モード [4]	タイプ [5]	DSIS [6]	リセット時のボールの状態 (RX/TX/PULL) [7]	リセット後のボールの状態 (RX/TX/PULL) [8]	リセット後の多重化モード [9]	I/O 動作電圧 [10]	電源 [11]	HYS [12]	バッファタイプ [13]	プルアップ / ダウンタイプ [14]
M20	GPMC0_CSn3 PADCONFIG: PADCONFIG45 0x000F40B4	GPMC0_CSn3	0	O		オフ / オフ / オフ	オフ / オフ / オフ	7	1.8V/3.3V	VDDSHV3	あり	LVCMOS	PU/PD
		I2C2_SDA	1	IOD	1								
		GPMC0_A20	2	OZ									
		UART4_TXD	3	O									
		MCASP1_AXR5	4	IO	0								
		TRC_DATA18	6	O									
		GPIO0_44	7	IO	パッド								
		MCASP1_ACLKR	8	IO	0								
R18	GPMC0_WAIT0 PADCONFIG: PADCONFIG38 0x000F4098	GPMC0_WAIT0	0	I	1	オフ / オフ / オフ	オフ / オフ / オフ	7	1.8V/3.3V	VDDSHV3	あり	LVCMOS	PU/PD
		MCASP1_AFSX	2	IO	0								
		TRC_DATA12	6	O									
		GPIO0_37	7	IO	パッド								
R17	GPMC0_WAIT1 PADCONFIG: PADCONFIG39 0x000F409C	GPMC0_WAIT1	0	I	1	オフ / オフ / オフ	オフ / オフ / オフ	7	1.8V/3.3V	VDDSHV3	あり	LVCMOS	PU/PD
		GPMC0_A21	2	OZ									
		UART6_RXD	3	I	1								
		GPIO0_38	7	IO	パッド								
		EQEP2_I	8	IO	0								
D17	I2C0_SCL PADCONFIG: PADCONFIG120 0x000F41E0	I2C0_SCL	0	IOD	1	オフ / オフ / オフ	オフ / オフ / オフ	7	1.8V/3.3V	VDDSHV0	あり	LVCMOS	PU/PD
		SYNC0_OUT	2	O									
		OBSCLK1	3	O									
		UART1_DCDn	4	I	1								
		EQEP2_A	5	I	0								
		EHRPWM_SOCA	6	O									
		GPIO1_26	7	IO	パッド								
		ECAP1_IN_APWM_OUT	8	IO	0								
		SPI2_CS0	9	IO	1								
E16	I2C0_SDA PADCONFIG: PADCONFIG121 0x000F41E4	I2C0_SDA	0	IOD	1	オフ / オフ / オフ	オフ / オフ / オフ	7	1.8V/3.3V	VDDSHV0	あり	LVCMOS	PU/PD
		SPI2_CS2	2	IO	1								
		TIMER_IO5	3	IO	0								
		UART1_DSRn	4	I	1								
		EQEP2_B	5	I	0								
		EHRPWM_SOCB	6	O									
		GPIO1_27	7	IO	パッド								
		ECAP2_IN_APWM_OUT	8	IO	0								

Copyright © 2025 Texas Instruments Incorporated

表 5-1. ピン属性 (ANF パッケージ) (続き)

ボール番号 [1]	ボール名 [2] PADCONFIG レジスタ [15] PADCONFIG アドレス [16]	信号名 [3]	多重化モード [4]	タイプ [5]	DSIS [6]	リセット時のボールの状態 (RX/TX/PULL) [7]	リセット後のボールの状態 (RX/TX/PULL) [8]	リセット後の多重化モード [9]	I/O 動作電圧 [10]	電源 [11]	HYS [12]	バッファタイプ [13]	プルアップ / ダウンタイプ [14]
C17	I2C1_SCL PADCONFIG: PADCONFIG122 0x000F41E8	I2C1_SCL	0	IOD	1	オフ / オフ / オフ	オフ / オフ / オフ	7	1.8V/3.3V	VDDSHV0	あり	LVCMOS	PU/PD
		UART1_RXD	1	I	1								
		TIMER_IO0	2	IO	0								
		SPI2_CS1	3	IO	1								
		EHRPWM0_SYNCI	4	I	0								
		GPIO1_28	7	IO	パッド								
		EHRPWM2_A	8	IO	0								
		MMC2_SDCD	9	I	0								
E17	I2C1_SDA PADCONFIG: PADCONFIG123 0x000F41EC	I2C1_SDA	0	IOD	1	オフ / オフ / オフ	オフ / オフ / オフ	7	1.8V/3.3V	VDDSHV0	あり	LVCMOS	PU/PD
		UART1_TXD	1	O									
		TIMER_IO1	2	IO	0								
		SPI2_CLK	3	IO	0								
		EHRPWM0_SYNCO	4	O									
		GPIO1_29	7	IO	パッド								
		EHRPWM2_B	8	IO	0								
		MMC2_SDWP	9	I	0								
C18	MCAN0_RX PADCONFIG: PADCONFIG119 0x000F41DC	MCAN0_RX	0	I	1	オフ / オフ / オフ	オフ / オフ / オフ	7	1.8V/3.3V	VDDSHV0	あり	LVCMOS	PU/PD
		UART5_TXD	1	O									
		TIMER_IO3	2	IO	0								
		SYNC3_OUT	3	O									
		UART1_RIn	4	I	1								
		EQEP2_S	5	IO	0								
		GPIO1_25	7	IO	パッド								
		MCASP2_AXR1	8	IO	0								
		EHRPWM_TZn_IN4	9	I	0								
B17	MCAN0_TX PADCONFIG: PADCONFIG118 0x000F41D8	MCAN0_TX	0	O		オフ / オフ / オフ	オフ / オフ / オフ	7	1.8V/3.3V	VDDSHV0	あり	LVCMOS	PU/PD
		UART5_RXD	1	I	1								
		TIMER_IO2	2	IO	0								
		SYNC2_OUT	3	O									
		UART1_DTRn	4	O									
		EQEP2_I	5	IO	0								
		GPIO1_24	7	IO	パッド								
		MCASP2_AXR0	8	IO	0								
		EHRPWM_TZn_IN3	9	I	0								

表 5-1. ピン属性 (ANF パッケージ) (続き)

ボール番号 [1]	ボール名 [2] PADCONFIG レジスタ [15] PADCONFIG アドレス [16]	信号名 [3]	多重化モード [4]	タイプ [5]	DSIS [6]	リセット時のボールの状態 (RX/TX/PULL) [7]	リセット後のボールの状態 (RX/TX/PULL) [8]	リセット後の多重化モード [9]	I/O 動作電圧 [10]	電源 [11]	HYS [12]	バッファタイプ [13]	プルアップ / ダウンタイプ [14]
A21	MCASP0_ACLKR PADCONFIG: PADCONFIG108 0x000F41B0	MCASP0_ACLKR	0	IO	0	オフ / オフ / オフ	オフ / オフ / オフ	7	1.8V/3.3V	VDDSHV0	あり	LVCMOS	PU/PD
		SPI2_CLK	1	IO	0								
		UART1_TXD	2	O									
		EHRPWM0_B	6	IO	0								
		GPIO1_14	7	IO	パッド								
		EQEP1_I	8	IO	0								
A19	MCASP0_ACLKX PADCONFIG: PADCONFIG105 0x000F41A4	MCASP0_ACLKX	0	IO	0	オフ / オフ / オフ	オフ / オフ / オフ	7	1.8V/3.3V	VDDSHV0	あり	LVCMOS	PU/PD
		SPI2_CS1	1	IO	1								
		ECAP2_IN_APWM_OUT	2	IO	0								
		GPIO1_11	7	IO	パッド								
		EQEP1_A	8	I	0								
B21	MCASP0_AFSR PADCONFIG: PADCONFIG107 0x000F41AC	MCASP0_AFSR	0	IO	0	オフ / オフ / オフ	オフ / オフ / オフ	7	1.8V/3.3V	VDDSHV0	あり	LVCMOS	PU/PD
		SPI2_CS0	1	IO	1								
		UART1_RXD	2	I	1								
		EHRPWM0_A	6	IO	0								
		GPIO1_13	7	IO	パッド								
		EQEP1_S	8	IO	0								
A20	MCASP0_AFSX PADCONFIG: PADCONFIG106 0x000F41A8	MCASP0_AFSX	0	IO	0	オフ / オフ / オフ	オフ / オフ / オフ	7	1.8V/3.3V	VDDSHV0	あり	LVCMOS	PU/PD
		SPI2_CS3	1	IO	1								
		AUDIO_EXT_REFCLK1	2	IO	0								
		GPIO1_12	7	IO	パッド								
		EQEP1_B	8	I	0								
B20	MCASP0_AXR0 PADCONFIG: PADCONFIG104 0x000F41A0	MCASP0_AXR0	0	IO	0	オフ / オフ / オフ	オフ / オフ / オフ	7	1.8V/3.3V	VDDSHV0	あり	LVCMOS	PU/PD
		AUDIO_EXT_REFCLK0	2	IO	0								
		EHRPWM1_B	6	IO	0								
		GPIO1_10	7	IO	パッド								
		EQEP0_I	8	IO	0								
B18	MCASP0_AXR1 PADCONFIG: PADCONFIG103 0x000F419C	MCASP0_AXR1	0	IO	0	オフ / オフ / オフ	オフ / オフ / オフ	7	1.8V/3.3V	VDDSHV0	あり	LVCMOS	PU/PD
		SPI2_CS2	1	IO	1								
		ECAP1_IN_APWM_OUT	2	IO	0								
		EHRPWM1_A	6	IO	0								
		GPIO1_9	7	IO	パッド								
		EQEP0_S	8	IO	0								

Copyright © 2025 Texas Instruments Incorporated

表 5-1. ピン属性 (ANF パッケージ) (続き)

ボール番号 [1]	ボール名 [2] PADCONFIG レジスタ [15] PADCONFIG アドレス [16]	信号名 [3]	多重化モード [4]	タイプ [5]	DSIS [6]	リセット時のボールの状態 (RX/TX/PULL) [7]	リセット後のボールの状態 (RX/TX/PULL) [8]	リセット後の多重化モード [9]	I/O 動作電圧 [10]	電源 [11]	HYS [12]	バッファタイプ [13]	プルアップ / ダウンタイプ [14]
B19	MCASP0_AXR2 PADCONFIG: PADCONFIG102 0x000F4198	MCASP0_AXR2	0	IO	0	オフ / オフ / オフ	オフ / オフ / オフ	7	1.8V/3.3V	VDDSHV0	あり	LVCMOS	PU/PD
		SPI2_D1	1	IO	0								
		UART1_RTSn	2	O									
		UART6_TXD	3	O									
		ECAP2_IN_APWM_OUT	5	IO	0								
		GPIO1_8	7	IO	パッド								
		EQEP0_B	8	I	0								
C19	MCASP0_AXR3 PADCONFIG: PADCONFIG101 0x000F4194	MCASP0_AXR3	0	IO	0	オフ / オフ / オフ	オフ / オフ / オフ	7	1.8V/3.3V	VDDSHV0	あり	LVCMOS	PU/PD
		SPI2_D0	1	IO	0								
		UART1_CTSn	2	I	1								
		UART6_RXD	3	I	1								
		ECAP1_IN_APWM_OUT	5	IO	0								
		GPIO1_7	7	IO	パッド								
		EQEP0_A	8	I	0								
B8	MCU_ERRORn PADCONFIG: MCU_PADCONFIG24 0x04084060	MCU_ERRORn	0	IO		オフ / オフ / ダウン	オン / SS / ダウン	0	1.8 V	VDDS_OSC0	あり	LVCMOS	PU/PD
E12	MCU_I2C0_SCL PADCONFIG: MCU_PADCONFIG17 0x04084044	MCU_I2C0_SCL	0	IOD	1	オフ / オフ / NA	オン / SS / NA	7	1.8V/3.3V	VDDSHV_MCU	あり	I2C OD FS	
		MCU_GPIO0_17	7	IO	パッド								
D9	MCU_I2C0_SDA PADCONFIG: MCU_PADCONFIG18 0x04084048	MCU_I2C0_SDA	0	IOD	1	オフ / オフ / NA	オン / SS / NA	7	1.8V/3.3V	VDDSHV_MCU	あり	I2C OD FS	
		MCU_GPIO0_18	7	IO	パッド								
E8	MCU_MCAN0_RX PADCONFIG: MCU_PADCONFIG14 0x04084038	MCU_MCAN0_RX	0	I	1	オフ / オフ / オフ	オフ / オフ / オフ	7	1.8V/3.3V	VDDSHV_CANUART	あり	LVCMOS	PU/PD
		MCU_TIMER_IO0	1	IO	0								
		MCU_SPI1_CS3	2	IO	1								
		MCU_GPIO0_14	7	IO	パッド								
C7	MCU_MCAN0_TX PADCONFIG: MCU_PADCONFIG13 0x04084034	MCU_MCAN0_TX	0	O		オフ / オフ / オフ	オフ / オフ / オフ	7	1.8V/3.3V	VDDSHV_CANUART	あり	LVCMOS	PU/PD
		WKUP_TIMER_IO0	1	IO	0								
		MCU_SPI0_CS3	2	IO	1								
		MCU_GPIO0_13	7	IO	パッド								

表 5-1. ピン属性 (ANF パッケージ) (続き)

ボール番号 [1]	ボール名 [2] PADCONFIG レジスタ [15] PADCONFIG アドレス [16]	信号名 [3]	多重化モード [4]	タイプ [5]	DSIS [6]	リセット時のボールの状態 (RX/TX/PULL) [7]	リセット後のボールの状態 (RX/TX/PULL) [8]	リセット後の多重化モード [9]	I/O 動作電圧 [10]	電源 [11]	HYS [12]	バッファタイプ [13]	プルアップ / ダウンタイプ [14]
B9	MCU_MCAN1_RX PADCONFIG: MCU_PADCONFIG16 0x04084040	MCU_MCAN1_RX	0	I	1	オフ / オフ / オフ	オフ / オフ / オフ	7	1.8V/3.3V	VDDSHV_CANUART	あり	LVCMOS	PU/PD
		MCU_TIMER_IO3	1	IO	0								
		MCU_SPI0_CS2	2	IO	1								
		MCU_SPI1_CS2	3	IO	1								
		MCU_SPI1_CLK	4	IO	0								
		MCU_GPIO0_16	7	IO	パッド								
D7	MCU_MCAN1_TX PADCONFIG: MCU_PADCONFIG15 0x0408403C	MCU_MCAN1_TX	0	O		オフ / オフ / オフ	オフ / オフ / オフ	7	1.8V/3.3V	VDDSHV_CANUART	あり	LVCMOS	PU/PD
		MCU_TIMER_IO2	1	IO	0								
		MCU_SPI1_CS1	3	IO	1								
		MCU_EXT_REFCLK0	4	I	0								
		MCU_GPIO0_15	7	IO	パッド								
A12	MCU_OSC0_XI	MCU_OSC0_XI		I					1.8 V	VDDS_OSC0		HFOSC	
A11	MCU_OSC0_XO	MCU_OSC0_XO		O					1.8 V	VDDS_OSC0		HFOSC	
A7	MCU_PORz PADCONFIG: MCU_PADCONFIG22 0x04084058	MCU_PORz	0	I				0	1.8 V	VDDS_OSC0	あり	FS RESET	
D14	MCU_RESETSTATz PADCONFIG: MCU_PADCONFIG23 0x0408405C	MCU_RESETSTATz	0	O		オフ / Low / オフ	オフ / SS / オフ	0	1.8V/3.3V	VDDSHV_MCU	あり	LVCMOS	PU/PD
		MCU_GPIO0_21	7	IO	パッド								
C12	MCU_RESETz PADCONFIG: MCU_PADCONFIG21 0x04084054	MCU_RESETz	0	I		オン / オフ / アップ	オン / オフ / アップ	0	1.8V/3.3V	VDDSHV_MCU	あり	LVCMOS	PU/PD
B13	MCU_SPI0_CLK PADCONFIG: MCU_PADCONFIG2 0x04084008	MCU_SPI0_CLK	0	IO	0	オフ / オフ / オフ	オフ / オフ / オフ	7	1.8V/3.3V	VDDSHV_MCU	あり	LVCMOS	PU/PD
		MCU_GPIO0_2	7	IO	パッド								
E11	MCU_SPI0_CS0 PADCONFIG: MCU_PADCONFIG0 0x04084000	MCU_SPI0_CS0	0	IO	1	オフ / オフ / オフ	オフ / オフ / オフ	7	1.8V/3.3V	VDDSHV_MCU	あり	LVCMOS	PU/PD
		WKUP_TIMER_IO1	4	IO	0								
		MCU_GPIO0_0	7	IO	パッド								
C11	MCU_SPI0_CS1 PADCONFIG: MCU_PADCONFIG1 0x04084004	MCU_SPI0_CS1	0	IO	1	オフ / オフ / オフ	オフ / オフ / オフ	7	1.8V/3.3V	VDDSHV_MCU	あり	LVCMOS	PU/PD
		MCU_OBSCLK0	1	O									
		MCU_SYSCLKOUT0	2	O									
		MCU_EXT_REFCLK0	3	I	0								
		MCU_TIMER_IO1	4	IO	0								
		MCU_GPIO0_1	7	IO	パッド								

Copyright © 2025 Texas Instruments Incorporated

表 5-1. ピン属性 (ANF パッケージ) (続き)

ボール番号 [1]	ボール名 [2] PADCONFIG レジスタ [15] PADCONFIG アドレス [16]	信号名 [3]	多重化モード [4]	タイプ [5]	DSIS [6]	リセット時のボールの状態 (RX/TX/PULL) [7]	リセット後のボールの状態 (RX/TX/PULL) [8]	リセット後の多重化モード [9]	I/O 動作電圧 [10]	電源 [11]	HYS [12]	バッファタイプ [13]	プルアップ / ダウンタイプ [14]
A15	MCU_SPI0_D0 PADCONFIG: MCU_PADCONFIG3 0x0408400C	MCU_SPI0_D0	0	IO	0	オフ / オフ / オフ	オフ / オフ / オフ	7	1.8V/3.3V	VDDSHV_MCU	あり	LVCMOS	PU/PD
		MCU_GPIO0_3	7	IO	パッド								
B12	MCU_SPI0_D1 PADCONFIG: MCU_PADCONFIG4 0x04084010	MCU_SPI0_D1	0	IO	0	オフ / オフ / オフ	オフ / オフ / オフ	7	1.8V/3.3V	VDDSHV_MCU	あり	LVCMOS	PU/PD
		MCU_GPIO0_4	7	IO	パッド								
B11	MCU_UART0_CTSn PADCONFIG: MCU_PADCONFIG7 0x0408401C	MCU_UART0_CTSn	0	I	1	オフ / オフ / オフ	オフ / オフ / オフ	7	1.8V/3.3V	VDDSHV_CANUART	あり	LVCMOS	PU/PD
		MCU_TIMER_IO0	1	IO	0								
		MCU_SPI1_D0	3	IO	0								
		MCU_GPIO0_7	7	IO	パッド								
D10	MCU_UART0_RTSn PADCONFIG: MCU_PADCONFIG8 0x04084020	MCU_UART0_RTSn	0	O		オフ / オフ / オフ	オフ / オフ / オフ	7	1.8V/3.3V	VDDSHV_CANUART	あり	LVCMOS	PU/PD
		MCU_TIMER_IO1	1	IO	0								
		MCU_SPI1_D1	3	IO	0								
		MCU_GPIO0_8	7	IO	パッド								
D8	MCU_UART0_RXD PADCONFIG: MCU_PADCONFIG5 0x04084014	MCU_UART0_RXD	0	I	1	オフ / オフ / オフ	オフ / オフ / オフ	7	1.8V/3.3V	VDDSHV_CANUART	あり	LVCMOS	PU/PD
		MCU_GPIO0_5	7	IO	パッド								
F8	MCU_UART0_TXD PADCONFIG: MCU_PADCONFIG6 0x04084018	MCU_UART0_TXD	0	O		オフ / オフ / オフ	オフ / オフ / オフ	7	1.8V/3.3V	VDDSHV_CANUART	あり	LVCMOS	PU/PD
		MCU_GPIO0_6	7	IO	パッド								
V12	MDIO0_MDC PADCONFIG: PADCONFIG88 0x000F4160	MDIO0_MDC	0	O		オフ / オフ / オフ	オフ / オフ / オフ	7	1.8V/3.3V	VDDSHV2	あり	LVCMOS	PU/PD
		GPIO0_86	7	IO	パッド								
V13	MDIO0_MDIO PADCONFIG: PADCONFIG87 0x000F415C	MDIO0_MDIO	0	IO	0	オフ / オフ / オフ	オフ / オフ / オフ	7	1.8V/3.3V	VDDSHV2	あり	LVCMOS	PU/PD
		GPIO0_85	7	IO	パッド								
AB7	MMC0_CLK PADCONFIG: PADCONFIG134 0x000F4218	MMC0_CLK	0	IO	0	オフ / オフ / オフ	オフ / オフ / オフ	7	1.8V/3.3V	VDDSHV4	あり	SDIO	PU/PD
		I2C3_SCL	1	IOD	1								
		EHRPWM2_A	2	IO	0								
		SPI1_CS1	5	IO	1								
		TIMER_IO4	6	IO	0								
		GPIO1_40	7	IO	パッド								

表 5-1. ピン属性 (ANF パッケージ) (続き)

ボール番号 [1]	ボール名 [2] PADCONFIG レジスタ [15] PADCONFIG アドレス [16]	信号名 [3]	多重化モード [4]	タイプ [5]	DSIS [6]	リセット時のボールの状態 (RX/TX/PULL) [7]	リセット後のボールの状態 (RX/TX/PULL) [8]	リセット後の多重化モード [9]	I/O 動作電圧 [10]	電源 [11]	HYS [12]	バッファタイプ [13]	プルアップ / ダウンタイプ [14]
Y6	MMC0_CMD PADCONFIG: PADCONFIG136 0x000F4220	MMC0_CMD	0	IO	1	オフ / オフ / オフ	オフ / オフ / オフ	7	1.8V/3.3V	VDDSHV4	あり	SDIO	PU/PD
		I2C3_SDA	1	IOD	1								
		EHRPWM2_B	2	IO	0								
		SPI1_CS2	5	IO	1								
		TIMER_IO5	6	IO	0								
		GPIO1_41	7	IO	パッド								
E22	MMC1_CLK PADCONFIG: PADCONFIG141 0x000F4234	MMC1_CLK	0	IO	0	オフ / オフ / オフ	オフ / オフ / オフ	7	1.8V/3.3V	VDDSHV5	あり	SDIO	PU/PD
		TIMER_IO4	2	IO	0								
		UART3_RXD	3	I	1								
		GPIO1_46	7	IO	パッド								
C21	MMC1_CMD PADCONFIG: PADCONFIG143 0x000F423C	MMC1_CMD	0	IO	1	オフ / オフ / オフ	オフ / オフ / オフ	7	1.8V/3.3V	VDDSHV5	あり	SDIO	PU/PD
		TIMER_IO5	2	IO	0								
		UART3_TXD	3	O									
		GPIO1_47	7	IO	パッド								
E18	MMC1_SDCD PADCONFIG: PADCONFIG144 0x000F4240	MMC1_SDCD	0	I	0	オフ / オフ / オフ	オフ / オフ / オフ	7	1.8V/3.3V	VDDSHV0	あり	LVCMOS	PU/PD
		UART6_RXD	1	I	1								
		TIMER_IO6	2	IO	0								
		UART3_RTSn	3	O									
		GPIO1_48	7	IO	パッド								
D18	MMC1_SDWP PADCONFIG: PADCONFIG145 0x000F4244	MMC1_SDWP	0	I	0	オフ / オフ / オフ	オフ / オフ / オフ	7	1.8V/3.3V	VDDSHV0	あり	LVCMOS	PU/PD
		UART6_TXD	1	O									
		TIMER_IO7	2	IO	0								
		UART3_CTSn	3	I	1								
		GPIO1_49	7	IO	パッド								
H22	MMC2_CLK PADCONFIG: PADCONFIG70 0x000F4118	MMC2_CLK	0	IO	0	オフ / オフ / オフ	オフ / オフ / オフ	7	1.8V/3.3V	VDDSHV6	あり	SDIO	PU/PD
		MCASP1_ACLKR	1	IO	0								
		MCASP1_AXR5	2	IO	0								
		UART6_RXD	3	I	1								
		GPIO0_69	7	IO	パッド								
G22	MMC2_CMD PADCONFIG: PADCONFIG72 0x000F4120	MMC2_CMD	0	IO	1	オフ / オフ / オフ	オフ / オフ / オフ	7	1.8V/3.3V	VDDSHV6	あり	SDIO	PU/PD
		MCASP1_AFSR	1	IO	0								
		MCASP1_AXR4	2	IO	0								
		UART6_TXD	3	O									
		GPIO0_70	7	IO	パッド								

Copyright © 2025 Texas Instruments Incorporated

表 5-1. ピン属性 (ANF パッケージ) (続き)

ボール番号 [1]	ボール名 [2] PADCONFIG レジスタ [15] PADCONFIG アドレス [16]	信号名 [3]	多重化モード [4]	タイプ [5]	DSIS [6]	リセット時のボールの状態 (RX/TX/PULL) [7]	リセット後のボールの状態 (RX/TX/PULL) [8]	リセット後の多重化モード [9]	I/O 動作電圧 [10]	電源 [11]	HYS [12]	バッファタイプ [13]	プルアップ / ダウンタイプ [14]
F22	MMC2_SDCD PADCONFIG: PADCONFIG73 0x000F4124	MMC2_SDCD	0	I	0	オフ / オフ / オフ	オフ / オフ / オフ	7	1.8V/3.3V	VDDSHV6	あり	LVCMOS	PU/PD
		MCASP1_ACLKX	1	IO	0								
		UART4_RXD	3	I	1								
		GPIO0_71	7	IO	パッド								
E21	MMC2_SDWP PADCONFIG: PADCONFIG74 0x000F4128	MMC2_SDWP	0	I	0	オフ / オフ / オフ	オフ / オフ / オフ	7	1.8V/3.3V	VDDSHV6	あり	LVCMOS	PU/PD
		MCASP1_AFSX	1	IO	0								
		UART4_TXD	3	O									
		GPIO0_72	7	IO	パッド								
AA6	MMC0_DAT0 PADCONFIG: PADCONFIG133 0x000F4214	MMC0_DAT0	0	IO	1	オフ / オフ / オフ	オフ / オフ / オフ	7	1.8V/3.3V	VDDSHV4	あり	SDIO	PU/PD
		UART3_CTSn	1	I	1								
		EHRPWM_TZn_IN1	2	I	0								
		SPI2_CLK	6	IO	0								
		GPIO1_39	7	IO	パッド								
AB6	MMC0_DAT1 PADCONFIG: PADCONFIG132 0x000F4210	MMC0_DAT1	0	IO	1	オフ / オフ / オフ	オフ / オフ / オフ	7	1.8V/3.3V	VDDSHV4	あり	SDIO	PU/PD
		UART3_RTSn	1	O									
		EHRPWM1_B	2	IO	0								
		SPI1_CS3	5	IO	1								
		SPI2_CS0	6	IO	1								
		GPIO1_38	7	IO	パッド								
Y7	MMC0_DAT2 PADCONFIG: PADCONFIG131 0x000F420C	MMC0_DAT2	0	IO	1	オフ / オフ / オフ	オフ / オフ / オフ	7	1.8V/3.3V	VDDSHV4	あり	SDIO	PU/PD
		UART3_TXD	1	O									
		EHRPWM1_A	2	IO	0								
		SPI1_CLK	5	IO	0								
		TIMER_IO0	6	IO	0								
		GPIO1_37	7	IO	パッド								
AA7	MMC0_DAT3 PADCONFIG: PADCONFIG130 0x000F4208	MMC0_DAT3	0	IO	1	オフ / オフ / オフ	オフ / オフ / オフ	7	1.8V/3.3V	VDDSHV4	あり	SDIO	PU/PD
		UART3_RXD	1	I	1								
		EHRPWM0_B	2	IO	0								
		SPI1_CS0	5	IO	1								
		SPI2_CS2	6	IO	1								
		GPIO1_36	7	IO	パッド								
Y8	MMC0_DAT4 PADCONFIG: PADCONFIG129 0x000F4204	MMC0_DAT4	0	IO	1	オフ / オフ / オフ	オフ / オフ / オフ	7	1.8V/3.3V	VDDSHV4	あり	SDIO	PU/PD
		UART2_CTSn	1	I	1								
		EHRPWM0_A	2	IO	0								
		SPI2_D1	6	IO	0								
		GPIO1_35	7	IO	パッド								

表 5-1. ピン属性 (ANF パッケージ) (続き)

ボール番号 [1]	ボール名 [2] PADCONFIG レジスタ [15] PADCONFIG アドレス [16]	信号名 [3]	多重化モード [4]	タイプ [5]	DSIS [6]	リセット時のボールの状態 (RX/TX/PULL) [7]	リセット後のボールの状態 (RX/TX/PULL) [8]	リセット後の多重化モード [9]	I/O 動作電圧 [10]	電源 [11]	HYS [12]	バッファタイプ [13]	プルアップ / ダウンタイプ [14]
W7	MMC0_DAT5 PADCONFIG: PADCONFIG128 0x000F4200	MMC0_DAT5	0	IO	1	オフ / オフ / オフ	オフ / オフ / オフ	7	1.8V/3.3V	VDDSHV4	あり	SDIO	PU/PD
		UART2_RTSn	1	O									
		EHRPWM_TZn_IN2	2	I	0								
		SPI2_D0	6	IO	0								
		GPIO1_34	7	IO	パッド								
W9	MMC0_DAT6 PADCONFIG: PADCONFIG127 0x000F41FC	MMC0_DAT6	0	IO	1	オフ / オフ / オフ	オフ / オフ / オフ	7	1.8V/3.3V	VDDSHV4	あり	SDIO	PU/PD
		UART2_TXD	1	O									
		EHRPWM0_SYNCO	2	O									
		SPI1_D1	5	IO	0								
		SPI2_CS3	6	IO	1								
		GPIO1_33	7	IO	パッド								
AB8	MMC0_DAT7 PADCONFIG: PADCONFIG126 0x000F41F8	MMC0_DAT7	0	IO	1	オフ / オフ / オフ	オフ / オフ / オフ	7	1.8V/3.3V	VDDSHV4	あり	SDIO	PU/PD
		UART2_RXD	1	I	1								
		EHRPWM0_SYNCI	2	I	0								
		SPI1_D0	5	IO	0								
		SPI2_CS1	6	IO	1								
		GPIO1_32	7	IO	パッド								
B22	MMC1_DAT0 PADCONFIG: PADCONFIG140 0x000F4230	MMC1_DAT0	0	IO	1	オフ / オフ / オフ	オフ / オフ / オフ	7	1.8V/3.3V	VDDSHV5	あり	SDIO	PU/PD
		CP_GEMAC_CPTS0_HW2TSPUSH	1	I	0								
		TIMER_IO3	2	IO	0								
		UART2_CTSn	3	I	1								
		ECAP2_IN_APWM_OUT	4	IO	0								
		GPIO1_45	7	IO	パッド								
D21	MMC1_DAT1 PADCONFIG: PADCONFIG139 0x000F422C	MMC1_DAT1	0	IO	1	オフ / オフ / オフ	オフ / オフ / オフ	7	1.8V/3.3V	VDDSHV5	あり	SDIO	PU/PD
		CP_GEMAC_CPTS0_HW1TSPUSH	1	I	0								
		TIMER_IO2	2	IO	0								
		UART2_RTSn	3	O									
		ECAP1_IN_APWM_OUT	4	IO	0								
		GPIO1_44	7	IO	パッド								
C22	MMC1_DAT2 PADCONFIG: PADCONFIG138 0x000F4228	MMC1_DAT2	0	IO	1	オフ / オフ / オフ	オフ / オフ / オフ	7	1.8V/3.3V	VDDSHV5	あり	SDIO	PU/PD
		CP_GEMAC_CPTS0_TS_SYNC	1	O									
		TIMER_IO1	2	IO	0								
		UART2_TXD	3	O									
		GPIO1_43	7	IO	パッド								

Copyright © 2025 Texas Instruments Incorporated

表 5-1. ピン属性 (ANF パッケージ) (続き)

ボール番号 [1]	ボール名 [2] PADCONFIG レジスタ [15] PADCONFIG アドレス [16]	信号名 [3]	多重化モード [4]	タイプ [5]	DSIS [6]	リセット時のボールの状態 (RX/TX/PULL) [7]	リセット後のボールの状態 (RX/TX/PULL) [8]	リセット後の多重化モード [9]	I/O 動作電圧 [10]	電源 [11]	HYS [12]	バッファタイプ [13]	プルアップ / ダウンタイプ [14]
D22	MMC1_DAT3 PADCONFIG: PADCONFIG137 0x000F4224	MMC1_DAT3	0	IO	1	オフ / オフ / オフ	オフ / オフ / オフ	7	1.8V/3.3V	VDDSHV5	あり	SDIO	PU/PD
		CP_GEMAC_CPTS0_TS_COMP	1	O									
		TIMER_IO0	2	IO	0								
		UART2_RXD	3	I	1								
		GPIO1_42	7	IO	パッド								
E20	MMC2_DAT0 PADCONFIG: PADCONFIG69 0x000F4114	MMC2_DAT0	0	IO	1	オフ / オフ / オフ	オフ / オフ / オフ	7	1.8V/3.3V	VDDSHV6	あり	SDIO	PU/PD
		MCASP1_AXR0	1	IO	0								
		GPIO0_68	7	IO	パッド								
F21	MMC2_DAT1 PADCONFIG: PADCONFIG68 0x000F4110	MMC2_DAT1	0	IO	1	オフ / オフ / オフ	オフ / オフ / オフ	7	1.8V/3.3V	VDDSHV6	あり	SDIO	PU/PD
		MCASP1_AXR1	1	IO	0								
		GPIO0_67	7	IO	パッド								
F20	MMC2_DAT2 PADCONFIG: PADCONFIG67 0x000F410C	MMC2_DAT2	0	IO	1	オフ / オフ / オフ	オフ / オフ / オフ	7	1.8V/3.3V	VDDSHV6	あり	SDIO	PU/PD
		MCASP1_AXR2	1	IO	0								
		UART5_TXD	3	O									
		GPIO0_66	7	IO	パッド								
G21	MMC2_DAT3 PADCONFIG: PADCONFIG66 0x000F4108	MMC2_DAT3	0	IO	1	オフ / オフ / オフ	オフ / オフ / オフ	7	1.8V/3.3V	VDDSHV6	あり	SDIO	PU/PD
		MCASP1_AXR3	1	IO	0								
		UART5_RXD	3	I	1								
		GPIO0_65	7	IO	パッド								
L22	OSPI0_CLK PADCONFIG: PADCONFIG0 0x000F4000	OSPI0_CLK	0	O		オフ / オフ / オフ	オフ / オフ / オフ	7	1.8V/3.3V	VDDSHV1	あり	LVCMOS	PU/PD
		GPIO0_0	7	IO	パッド								
L21	OSPI0_DQS PADCONFIG: PADCONFIG2 0x000F4008	OSPI0_DQS	0	I	0	オフ / オフ / オフ	オフ / オフ / オフ	7	1.8V/3.3V	VDDSHV1	あり	LVCMOS	PU/PD
		UART5_CTSn	5	I	1								
		GPIO0_2	7	IO	パッド								
K22	OSPI0_LBCLKO PADCONFIG: PADCONFIG1 0x000F4004	OSPI0_LBCLKO	0	IO	0	オフ / オフ / オフ	オフ / オフ / オフ	7	1.8V/3.3V	VDDSHV1	あり	LVCMOS	PU/PD
		UART5_RTSn	5	O									
		GPIO0_1	7	IO	パッド								
H21	OSPI0_CSn0 PADCONFIG: PADCONFIG11 0x000F402C	OSPI0_CSn0	0	O		オフ / オフ / オフ	オフ / オフ / オフ	7	1.8V/3.3V	VDDSHV1	あり	LVCMOS	PU/PD
		GPIO0_11	7	IO	パッド								
G19	OSPI0_CSn1 PADCONFIG: PADCONFIG12 0x000F4030	OSPI0_CSn1	0	O		オフ / オフ / オフ	オフ / オフ / オフ	7	1.8V/3.3V	VDDSHV1	あり	LVCMOS	PU/PD
		GPIO0_12	7	IO	パッド								

表 5-1. ピン属性 (ANF パッケージ) (続き)

ボール番号 [1]	ボール名 [2] PADCONFIG レジスタ [15] PADCONFIG アドレス [16]	信号名 [3]	多重化モード [4]	タイプ [5]	DSIS [6]	リセット時のボールの状態 (RX/TX/PULL) [7]	リセット後のボールの状態 (RX/TX/PULL) [8]	リセット後の多重化モード [9]	I/O 動作電圧 [10]	電源 [11]	HYS [12]	バッファタイプ [13]	プルアップ / ダウンタイプ [14]
K20	OSPI0_CSn2 PADCONFIG: PADCONFIG13 0x000F4034	OSPI0_CSn2	0	O		オフ / オフ / オフ	オフ / オフ / オフ	7	1.8V/3.3V	VDDSHV1	あり	LVCMOS	PU/PD
		SPI1_CS1	1	IO	1								
		OSPI0_RESET_OUT1	2	O									
		MCASP1_AFSR	3	IO	0								
		MCASP1_AXR2	4	IO	0								
		UART5_RXD	5	I	1								
		GPIO0_13	7	IO	パッド								
G20	OSPI0_CSn3 PADCONFIG: PADCONFIG14 0x000F4038	OSPI0_CSn3	0	O		オフ / オフ / オフ	オフ / オフ / オフ	7	1.8V/3.3V	VDDSHV1	あり	LVCMOS	PU/PD
		OSPI0_RESET_OUT0	1	O									
		OSPI0_ECC_FAIL	2	I	1								
		MCASP1_ACLKR	3	IO	0								
		MCASP1_AXR3	4	IO	0								
		UART5_TXD	5	O									
		GPIO0_14	7	IO	パッド								
J21	OSPI0_D0 PADCONFIG: PADCONFIG3 0x000F400C	OSPI0_D0	0	IO	0	オフ / オフ / オフ	オフ / オフ / オフ	7	1.8V/3.3V	VDDSHV1	あり	LVCMOS	PU/PD
		GPIO0_3	7	IO	パッド								
J18	OSPI0_D1 PADCONFIG: PADCONFIG4 0x000F4010	OSPI0_D1	0	IO	0	オフ / オフ / オフ	オフ / オフ / オフ	7	1.8V/3.3V	VDDSHV1	あり	LVCMOS	PU/PD
		GPIO0_4	7	IO	パッド								
J19	OSPI0_D2 PADCONFIG: PADCONFIG5 0x000F4014	OSPI0_D2	0	IO	0	オフ / オフ / オフ	オフ / オフ / オフ	7	1.8V/3.3V	VDDSHV1	あり	LVCMOS	PU/PD
		GPIO0_5	7	IO	パッド								
H18	OSPI0_D3 PADCONFIG: PADCONFIG6 0x000F4018	OSPI0_D3	0	IO	0	オフ / オフ / オフ	オフ / オフ / オフ	7	1.8V/3.3V	VDDSHV1	あり	LVCMOS	PU/PD
		GPIO0_6	7	IO	パッド								
K21	OSPI0_D4 PADCONFIG: PADCONFIG7 0x000F401C	OSPI0_D4	0	IO	0	オフ / オフ / オフ	オフ / オフ / オフ	7	1.8V/3.3V	VDDSHV1	あり	LVCMOS	PU/PD
		SPI1_CS0	1	IO	1								
		MCASP1_AXR1	2	IO	0								
		UART6_RXD	3	I	1								
		GPIO0_7	7	IO	パッド								

Copyright © 2025 Texas Instruments Incorporated

表 5-1. ピン属性 (ANF パッケージ) (続き)

ボール番号 [1]	ボール名 [2] PADCONFIG レジスタ [15] PADCONFIG アドレス [16]	信号名 [3]	多重化モード [4]	タイプ [5]	DSIS [6]	リセット時のボールの状態 (RX/TX/PULL) [7]	リセット後のボールの状態 (RX/TX/PULL) [8]	リセット後の多重化モード [9]	I/O 動作電圧 [10]	電源 [11]	HYS [12]	バッファタイプ [13]	プルアップ / ダウンタイプ [14]
H19	OSPI0_D5 PADCONFIG: PADCONFIG8 0x000F4020	OSPI0_D5	0	IO	0	オフ / オフ / オフ	オフ / オフ / オフ	7	1.8V/3.3V	VDDSHV1	あり	LVCMOS	PU/PD
		SPI1_CLK	1	IO	0								
		MCASP1_AXR0	2	IO	0								
		UART6_TXD	3	O									
		GPIO0_8	7	IO	パッド								
J20	OSPI0_D6 PADCONFIG: PADCONFIG9 0x000F4024	OSPI0_D6	0	IO	0	オフ / オフ / オフ	オフ / オフ / オフ	7	1.8V/3.3V	VDDSHV1	あり	LVCMOS	PU/PD
		SPI1_D0	1	IO	0								
		MCASP1_ACLKX	2	IO	0								
		UART6_RTSn	3	O									
		GPIO0_9	7	IO	パッド								
J22	OSPI0_D7 PADCONFIG: PADCONFIG10 0x000F4028	OSPI0_D7	0	IO	0	オフ / オフ / オフ	オフ / オフ / オフ	7	1.8V/3.3V	VDDSHV1	あり	LVCMOS	PU/PD
		SPI1_D1	1	IO	0								
		MCASP1_AFSX	2	IO	0								
		UART6_CTSn	3	I	1								
		GPIO0_10	7	IO	パッド								
D12	PMIC_LPM_EN0 PADCONFIG: MCU_PADCONFIG32 0x04084080	PMIC_LPM_EN0	0	O		オフ / オフ / オフ	オフ / SS / オフ	0	1.8V/3.3V	VDDSHV_CANUART	あり	LVCMOS	PU/PD
		MCU_GPIO0_22	7	IO	パッド								
F18	PORz_OUT PADCONFIG: PADCONFIG148 0x000F4250	PORz_OUT	0	O		オフ / Low / オフ	オフ / SS / オフ	0	1.8V/3.3V	VDDSHV0	あり	LVCMOS	PU/PD
F19	RESETSTATz PADCONFIG: PADCONFIG147 0x000F424C	RESETSTATz	0	O		オフ / Low / オフ	オフ / SS / オフ	0	1.8V/3.3V	VDDSHV0	あり	LVCMOS	PU/PD
E19	RESET_REQz PADCONFIG: PADCONFIG146 0x000F4248	RESET_REQz	0	I		オン / オフ / アップ	オン / オフ / アップ	0	1.8V/3.3V	VDDSHV0	あり	LVCMOS	PU/PD
AA16	RGMII1_RXC PADCONFIG: PADCONFIG82 0x000F4148	RGMII1_RXC	0	I	0	オフ / オフ / オフ	オフ / オフ / オフ	7	1.8V/3.3V	VDDSHV2	あり	LVCMOS	PU/PD
		RMII1_REF_CLK	1	I	0								
		GPIO0_80	7	IO	パッド								
AA15	RGMII1_RX_CTL PADCONFIG: PADCONFIG81 0x000F4144	RGMII1_RX_CTL	0	I	0	オフ / オフ / オフ	オフ / オフ / オフ	7	1.8V/3.3V	VDDSHV2	あり	LVCMOS	PU/PD
		RMII1_RX_ER	1	I	0								
		GPIO0_79	7	IO	パッド								

表 5-1. ピン属性 (ANF パッケージ) (続き)

ボール番号 [1]	ボール名 [2] PADCONFIG レジスタ [15] PADCONFIG アドレス [16]	信号名 [3]	多重化モード [4]	タイプ [5]	DSIS [6]	リセット時のボールの状態 (RX/TX/PULL) [7]	リセット後のボールの状態 (RX/TX/PULL) [8]	リセット後の多重化モード [9]	I/O 動作電圧 [10]	電源 [11]	HYS [12]	バッファタイプ [13]	プルアップ / ダウンタイプ [14]
AB17	RGMII1_TXC PADCONFIG: PADCONFIG76 0x000F4130	RGMII1_TXC	0	IO	0	オフ / オフ / オフ	オフ / オフ / オフ	7	1.8V/3.3V	VDDSHV2	あり	LVCMOS	PU/PD
		RMII1_CRS_DV	1	I	0								
		GPIO0_74	7	IO	パッド								
W16	RGMII1_TX_CTL PADCONFIG: PADCONFIG75 0x000F412C	RGMII1_TX_CTL	0	O		オフ / オフ / オフ	オフ / オフ / オフ	7	1.8V/3.3V	VDDSHV2	あり	LVCMOS	PU/PD
		RMII1_TX_EN	1	O									
		GPIO0_73	7	IO	パッド								
AA20	RGMII2_RXC PADCONFIG: PADCONFIG96 0x000F4180	RGMII2_RXC	0	I	0	オフ / オフ / オフ	オフ / オフ / オフ	7	1.8V/3.3V	VDDSHV2	あり	LVCMOS	PU/PD
		RMII2_REF_CLK	1	I	0								
		MCASP2_AXR1	2	IO	0								
		GPIO1_2	7	IO	パッド								
W18	RGMII2_RX_CTL PADCONFIG: PADCONFIG95 0x000F417C	RGMII2_RX_CTL	0	I	0	オフ / オフ / オフ	オフ / オフ / オフ	7	1.8V/3.3V	VDDSHV2	あり	LVCMOS	PU/PD
		RMII2_RX_ER	1	I	0								
		MCASP2_AXR3	2	IO	0								
		GPIO1_1	7	IO	パッド								
AB19	RGMII2_TXC PADCONFIG: PADCONFIG90 0x000F4168	RGMII2_TXC	0	IO	0	オフ / オフ / オフ	オフ / オフ / オフ	7	1.8V/3.3V	VDDSHV2	あり	LVCMOS	PU/PD
		RMII2_CRS_DV	1	I	0								
		MCASP2_AXR5	2	IO	0								
		GPIO0_88	7	IO	パッド								
Y19	RGMII2_TX_CTL PADCONFIG: PADCONFIG89 0x000F4164	RGMII2_TX_CTL	0	O		オフ / オフ / オフ	オフ / オフ / オフ	7	1.8V/3.3V	VDDSHV2	あり	LVCMOS	PU/PD
		RMII2_TX_EN	1	O									
		MCASP2_AXR4	2	IO	0								
		GPIO0_87	7	IO	パッド								
AB16	RGMII1_RD0 PADCONFIG: PADCONFIG83 0x000F414C	RGMII1_RD0	0	I	0	オフ / オフ / オフ	オフ / オフ / オフ	7	1.8V/3.3V	VDDSHV2	あり	LVCMOS	PU/PD
		RMII1_RXD0	1	I	0								
		GPIO0_81	7	IO	パッド								
V15	RGMII1_RD1 PADCONFIG: PADCONFIG84 0x000F4150	RGMII1_RD1	0	I	0	オフ / オフ / オフ	オフ / オフ / オフ	7	1.8V/3.3V	VDDSHV2	あり	LVCMOS	PU/PD
		RMII1_RXD1	1	I	0								
		GPIO0_82	7	IO	パッド								
W15	RGMII1_RD2 PADCONFIG: PADCONFIG85 0x000F4154	RGMII1_RD2	0	I	0	オフ / オフ / オフ	オフ / オフ / オフ	7	1.8V/3.3V	VDDSHV2	あり	LVCMOS	PU/PD
		GPIO0_83	7	IO	パッド								
V14	RGMII1_RD3 PADCONFIG: PADCONFIG86 0x000F4158	RGMII1_RD3	0	I	0	オフ / オフ / オフ	オフ / オフ / オフ	7	1.8V/3.3V	VDDSHV2	あり	LVCMOS	PU/PD
		GPIO0_84	7	IO	パッド								

Copyright © 2025 Texas Instruments Incorporated

表 5-1. ピン属性 (ANF パッケージ) (続き)

ボール番号 [1]	ボール名 [2] PADCONFIG レジスタ [15] PADCONFIG アドレス [16]	信号名 [3]	多重化モード [4]	タイプ [5]	DSIS [6]	リセット時のボールの状態 (RX/TX/PULL) [7]	リセット後のボールの状態 (RX/TX/PULL) [8]	リセット後の多重化モード [9]	I/O 動作電圧 [10]	電源 [11]	HYS [12]	バッファタイプ [13]	プルアップ / ダウンタイプ [14]
Y17	RGMII1_TD0 PADCONFIG: PADCONFIG77 0x000F4134	RGMII1_TD0	0	O		オフ / オフ / オフ	オフ / オフ / オフ	7	1.8V/3.3V	VDDSHV2	あり	LVCMOS	PU/PD
		RMII1_TXD0	1	O									
		GPIO0_75	7	IO	パッド								
V16	RGMII1_TD1 PADCONFIG: PADCONFIG78 0x000F4138	RGMII1_TD1	0	O		オフ / オフ / オフ	オフ / オフ / オフ	7	1.8V/3.3V	VDDSHV2	あり	LVCMOS	PU/PD
		RMII1_TXD1	1	O									
		GPIO0_76	7	IO	パッド								
Y16	RGMII1_TD2 PADCONFIG: PADCONFIG79 0x000F413C	RGMII1_TD2	0	O		オフ / オフ / オフ	オフ / オフ / オフ	7	1.8V/3.3V	VDDSHV2	あり	LVCMOS	PU/PD
		GPIO0_77	7	IO	パッド								
AA17	RGMII1_TD3 PADCONFIG: PADCONFIG80 0x000F4140	RGMII1_TD3	0	O		オフ / オフ / オフ	オフ / オフ / オフ	7	1.8V/3.3V	VDDSHV2	あり	LVCMOS	PU/PD
		CLKOUT0	1	O									
		GPIO0_78	7	IO	パッド								
AA21	RGMII2_RD0 PADCONFIG: PADCONFIG97 0x000F4184	RGMII2_RD0	0	I	0	オフ / オフ / オフ	オフ / オフ / オフ	7	1.8V/3.3V	VDDSHV2	あり	LVCMOS	PU/PD
		RMII2_RXD0	1	I	0								
		MCASP2_AXR2	2	IO	0								
		GPIO1_3	7	IO	パッド								
Y20	RGMII2_RD1 PADCONFIG: PADCONFIG98 0x000F4188	RGMII2_RD1	0	I	0	オフ / オフ / オフ	オフ / オフ / オフ	7	1.8V/3.3V	VDDSHV2	あり	LVCMOS	PU/PD
		RMII2_RXD1	1	I	0								
		MCASP2_AFSR	2	IO	0								
		MCASP2_AXR7	5	IO	0								
		GPIO1_4	7	IO	パッド								
AB21	RGMII2_RD2 PADCONFIG: PADCONFIG99 0x000F418C	RGMII2_RD2	0	I	0	オフ / オフ / オフ	オフ / オフ / オフ	7	1.8V/3.3V	VDDSHV2	あり	LVCMOS	PU/PD
		MCASP2_AXR0	2	IO	0								
		GPIO1_5	7	IO	パッド								
		EQEP2_A	8	I	0								
AB20	RGMII2_RD3 PADCONFIG: PADCONFIG100 0x000F4190	RGMII2_RD3	0	I	0	オフ / オフ / オフ	オフ / オフ / オフ	7	1.8V/3.3V	VDDSHV2	あり	LVCMOS	PU/PD
		AUDIO_EXT_REFCLK0	2	IO	0								
		GPIO1_6	7	IO	パッド								
		EQEP2_B	8	I	0								
AA19	RGMII2_TD0 PADCONFIG: PADCONFIG91 0x000F416C	RGMII2_TD0	0	O		オフ / オフ / オフ	オフ / オフ / オフ	7	1.8V/3.3V	VDDSHV2	あり	LVCMOS	PU/PD
		RMII2_TXD0	1	O									
		MCASP2_AXR6	2	IO	0								
		GPIO0_89	7	IO	パッド								

表 5-1. ピン属性 (ANF パッケージ) (続き)

ボール番号 [1]	ボール名 [2] PADCONFIG レジスタ [15] PADCONFIG アドレス [16]	信号名 [3]	多重化モード [4]	タイプ [5]	DSIS [6]	リセット時のボールの状態 (RX/TX/PULL) [7]	リセット後のボールの状態 (RX/TX/PULL) [8]	リセット後の多重化モード [9]	I/O 動作電圧 [10]	電源 [11]	HYS [12]	バッファタイプ [13]	プルアップ / ダウンタイプ [14]
Y18	RGMII2_TD1 PADCONFIG: PADCONFIG92 0x000F4170	RGMII2_TD1	0	O		オフ / オフ / オフ	オフ / オフ / オフ	7	1.8V/3.3V	VDDSHV2	あり	LVCMOS	PU/PD
		RMII2_TXD1	1	O									
		MCASP2_ACLKR	2	IO	0								
		MCASP2_AXR8	5	IO	0								
		GPIO0_90	7	IO	パッド								
AA18	RGMII2_TD2 PADCONFIG: PADCONFIG93 0x000F4174	RGMII2_TD2	0	O		オフ / オフ / オフ	オフ / オフ / オフ	7	1.8V/3.3V	VDDSHV2	あり	LVCMOS	PU/PD
		MCASP2_AFSX	2	IO	0								
		GPIO0_91	7	IO	パッド								
		EQEP2_I	8	IO	0								
W17	RGMII2_TD3 PADCONFIG: PADCONFIG94 0x000F4178	RGMII2_TD3	0	O		オフ / オフ / オフ	オフ / オフ / オフ	7	1.8V/3.3V	VDDSHV2	あり	LVCMOS	PU/PD
		CLKOUT0	1	O									
		MCASP2_ACLKX	2	IO	0								
		GPIO1_0	7	IO	パッド								
		EQEP2_S	8	IO	0								
C6	RSVD0	RSVD0		該当なし									
D6	RSVD1	RSVD1		該当なし									
E7	RSVD2	RSVD2		該当なし									
F6	RSVD3	RSVD3		該当なし									
F10	RSVD4	RSVD4		該当なし									
G7	RSVD5	RSVD5		該当なし									
U11	RSVD6	RSVD6		該当なし									
V11	RSVD7	RSVD7		該当なし									
A17	SPI0_CLK PADCONFIG: PADCONFIG111 0x000F41BC	SPI0_CLK	0	IO	0	オフ / オフ / オフ	オフ / オフ / オフ	7	1.8V/3.3V	VDDSHV0	あり	LVCMOS	PU/PD
		CP_GEMAC_CPTS0_TS_SYNC	1	O									
		EHRPWM1_A	2	IO	0								
		GPIO1_17	7	IO	パッド								
D16	SPI0_CS0 PADCONFIG: PADCONFIG109 0x000F41B4	SPI0_CS0	0	IO	1	オフ / オフ / オフ	オフ / オフ / オフ	7	1.8V/3.3V	VDDSHV0	あり	LVCMOS	PU/PD
		EHRPWM0_A	2	IO	0								
		GPIO1_15	7	IO	パッド								
C16	SPI0_CS1 PADCONFIG: PADCONFIG110 0x000F41B8	SPI0_CS1	0	IO	1	オフ / オフ / オフ	オフ / オフ / オフ	7	1.8V/3.3V	VDDSHV0	あり	LVCMOS	PU/PD
		CP_GEMAC_CPTS0_TS_COMP	1	O									
		EHRPWM0_B	2	IO	0								
		ECAP0_IN_APWM_OUT	3	IO	0								
		GPIO1_16	7	IO	パッド								
		EHRPWM_TZn_IN5	9	I	0								

Copyright © 2025 Texas Instruments Incorporated

表 5-1. ピン属性 (ANF パッケージ) (続き)

ボール番号 [1]	ボール名 [2] PADCONFIG レジスタ [15] PADCONFIG アドレス [16]	信号名 [3]	多重化モード [4]	タイプ [5]	DSIS [6]	リセット時のボールの状態 (RX/TX/PULL) [7]	リセット後のボールの状態 (RX/TX/PULL) [8]	リセット後の多重化モード [9]	I/O 動作電圧 [10]	電源 [11]	HYS [12]	バッファタイプ [13]	プルアップ / ダウンタイプ [14]
B15	SPI0_D0 PADCONFIG: PADCONFIG112 0x000F41C0	SPI0_D0	0	IO	0	オフ / オフ / オフ	オフ / オフ / オフ	7	1.8V/3.3V	VDDSHV0	あり	LVCMOS	PU/PD
		CP_GEMAC_CPTS0_HW1TSPUSH	1	I	0								
		EHRPWM1_B	2	IO	0								
		GPIO1_18	7	IO	パッド								
E15	SPI0_D1 PADCONFIG: PADCONFIG113 0x000F41C4	SPI0_D1	0	IO	0	オフ / オフ / オフ	オフ / オフ / オフ	7	1.8V/3.3V	VDDSHV0	あり	LVCMOS	PU/PD
		CP_GEMAC_CPTS0_HW2TSPUSH	1	I	0								
		EHRPWM_TZn_IN0	2	I	0								
		GPIO1_19	7	IO	パッド								
A14	TCK PADCONFIG: MCU_PADCONFIG25 0x04084064	TCK	0	I		オン / NA / アップ	オン / オフ / アップ	0	1.8V/3.3V	VDDSHV_MCU	あり	LVCMOS	PU/PD
A16	TDI PADCONFIG: MCU_PADCONFIG27 0x0408406C	TDI	0	I		オン / オフ / アップ	オン / オフ / アップ	0	1.8V/3.3V	VDDSHV_MCU	あり	LVCMOS	PU/PD
C14	TDO PADCONFIG: MCU_PADCONFIG28 0x04084070	TDO	0	OZ		オフ / オフ / アップ	オフ / SS / アップ	0	1.8V/3.3V	VDDSHV_MCU	あり	LVCMOS	PU/PD
B14	TMS PADCONFIG: MCU_PADCONFIG29 0x04084074	TMS	0	I		オン / オフ / アップ	オン / オフ / アップ	0	1.8V/3.3V	VDDSHV_MCU	あり	LVCMOS	PU/PD
F15	TRSTn PADCONFIG: MCU_PADCONFIG26 0x04084068	TRSTn	0	I		オン / NA / ダウン	オン / オフ / ダウン	0	1.8V/3.3V	VDDSHV_MCU	あり	LVCMOS	PU/PD
F14	UART0_CTSn PADCONFIG: PADCONFIG116 0x000F41D0	UART0_CTSn	0	I	1	オフ / オフ / オフ	オフ / オフ / オフ	7	1.8V/3.3V	VDDSHV0	あり	LVCMOS	PU/PD
		SPI0_CS2	1	IO	1								
		I2C3_SCL	2	IOD	1								
		UART2_RXD	3	I	1								
		TIMER_IO6	4	IO	0								
		AUDIO_EXT_REFCLK0	5	IO	0								
		GPIO1_22	7	IO	パッド								
		MCASP2_AFSX	8	IO	0								
		MMC2_SDCD	9	I	0								

表 5-1. ピン属性 (ANF パッケージ) (続き)

ボール番号 [1]	ボール名 [2] PADCONFIG レジスタ [15] PADCONFIG アドレス [16]	信号名 [3]	多重化モード [4]	タイプ [5]	DSIS [6]	リセット時のボールの状態 (RX/TX/PULL) [7]	リセット後のボールの状態 (RX/TX/PULL) [8]	リセット後の多重化モード [9]	I/O 動作電圧 [10]	電源 [11]	HYS [12]	バッファタイプ [13]	プルアップ / ダウンタイプ [14]
C15	UART0_RTSn PADCONFIG: PADCONFIG117 0x000F41D4	UART0_RTSn	0	O		オフ / オフ / オフ	オフ / オフ / オフ	7	1.8V/3.3V	VDDSHV0	あり	LVCMOS	PU/PD
		SPI0_CS3	1	IO	1								
		I2C3_SDA	2	IOD	1								
		UART2_TXD	3	O									
		TIMER_IO7	4	IO	0								
		AUDIO_EXT_REFCLK1	5	IO	0								
		GPIO1_23	7	IO	パッド								
		MCASP2_ACLKX	8	IO	0								
		MMC2_SDWP	9	I	0								
E14	UART0_RXD PADCONFIG: PADCONFIG114 0x000F41C8	UART0_RXD	0	I	1	オフ / オフ / オフ	オフ / オフ / オフ	7	1.8V/3.3V	VDDSHV0	あり	LVCMOS	PU/PD
		ECAP1_IN_APWM_OUT	1	IO	0								
		SPI2_D0	2	IO	0								
		EHRPWM2_A	3	IO	0								
		GPIO1_20	7	IO	パッド								
D15	UART0_TXD PADCONFIG: PADCONFIG115 0x000F41CC	UART0_TXD	0	O		オフ / オフ / オフ	オフ / オフ / オフ	7	1.8V/3.3V	VDDSHV0	あり	LVCMOS	PU/PD
		ECAP2_IN_APWM_OUT	1	IO	0								
		SPI2_D1	2	IO	0								
		EHRPWM2_B	3	IO	0								
		GPIO1_21	7	IO	パッド								
AA10	USB0_DM	USB0_DM		IO					1.8V/3.3V	VDDA_1P8_USB、VDDA_3P3_USB		USB2PHY	
AA9	USB0_DP	USB0_DP		IO					1.8V/3.3V	VDDA_1P8_USB、VDDA_3P3_USB		USB2PHY	
C20	USB0_DRVVBUS PADCONFIG: PADCONFIG149 0x000F4268	USB0_DRVVBUS	0	O		オフ / オフ / ダウン	オフ / オフ / ダウン	7	1.8V/3.3V	VDDSHV0	あり	LVCMOS	PU/PD
		GPIO1_50	7	IO	パッド								
W10	USB0_RCALIB	USB0_RCALIB		IO					1.8V/3.3V	VDDA_1P8_USB、VDDA_3P3_USB		USB2PHY	
V8	USB0_VBUS	USB0_VBUS		A					1.8V/3.3V	VDDA_1P8_USB、VDDA_3P3_USB		USB2PHY	
Y11	USB1_DM	USB1_DM		IO					1.8V/3.3V	VDDA_1P8_USB、VDDA_3P3_USB		USB2PHY	
Y10	USB1_DP	USB1_DP		IO					1.8V/3.3V	VDDA_1P8_USB、VDDA_3P3_USB		USB2PHY	
D19	USB1_DRVVBUS PADCONFIG: PADCONFIG150 0x000F4280	USB1_DRVVBUS	0	O		オフ / オフ / ダウン	オフ / オフ / ダウン	7	1.8V/3.3V	VDDSHV0	あり	LVCMOS	PU/PD
		GPIO1_51	7	IO	パッド								

Copyright © 2025 Texas Instruments Incorporated

表 5-1. ピン属性 (ANF パッケージ) (続き)

ボール番号 [1]	ボール名 [2] PADCONFIG レジスタ [15] PADCONFIG アドレス [16]	信号名 [3]	多重化モード [4]	タイプ [5]	DSIS [6]	リセット時のボールの状態 (RX/TX/PULL) [7]	リセット後のボールの状態 (RX/TX/PULL) [8]	リセット後の多重化モード [9]	I/O 動作電圧 [10]	電源 [11]	HYS [12]	バッファタイプ [13]	プルアップ / ダウンタイプ [14]
U7	USB1_RCALIB	USB1_RCALIB		IO					1.8V/3.3V	VDDA_1P8_USB、VDDA_3P3_USB		USB2PHY	
V6	USB1_VBUS	USB1_VBUS		A					1.8V/3.3V	VDDA_1P8_USB、VDDA_3P3_USB		USB2PHY	
T10	VDDA_1P8_USB	VDDA_1P8_USB		PWR									
T12	VDDA_1P8_CSIRX0	VDDA_1P8_CSIRX0		PWR									
U10	VDDA_3P3_USB	VDDA_3P3_USB		PWR									
T11	VDDA_CORE_CSIRX0	VDDA_CORE_CSIRX0		PWR									
T9	VDDA_CORE_USB	VDDA_CORE_USB		PWR									
M9	VDDA_DDR_PLL0	VDDA_DDR_PLL0		PWR									
J10	VDDA_MCU	VDDA_MCU		PWR									
N9	VDDA_PLL0	VDDA_PLL0		PWR									
R11	VDDA_PLL1	VDDA_PLL1		PWR									
M13	VDDA_PLL2	VDDA_PLL2		PWR									
K13	VDDA_PLL3	VDDA_PLL3		PWR									
K10	VDDA_PLL4	VDDA_PLL4		PWR									
P16	VDDA_TEMP0	VDDA_TEMP0		PWR									
G18	VDDA_TEMP1	VDDA_TEMP1		PWR									
L10	VDDA_TEMP2	VDDA_TEMP2		PWR									
J14、K12、M10、M14、P12、P9	VDDR_CORE	VDDR_CORE		PWR									
G14、H13	VDDSHV0	VDDSHV0		PWR									
K15、L16	VDDSHV1	VDDSHV1		PWR									
R13、T13、U13	VDDSHV2	VDDSHV2		PWR									
L15、M15、N15	VDDSHV3	VDDSHV3		PWR									
T8、U8	VDDSHV4	VDDSHV4		PWR									
G16、H15	VDDSHV5	VDDSHV5		PWR									
H16、H17	VDDSHV6	VDDSHV6		PWR									
H8	VDDSHV_CANUART	VDDSHV_CANUART		PWR									
G11、H10	VDDSHV_MCU	VDDSHV_MCU		PWR									
A2、AA1、AB2、B1、J7、K8、L7、M8、N7、P8	VDDS_DDR	VDDS_DDR		PWR									
L8	VDDS_DDR_C	VDDS_DDR_C		PWR									
J8	VDDS_OSC0	VDDS_OSC0		PWR									

表 5-1. ピン属性 (ANF パッケージ) (続き)

ボール番号 [1]	ボール名 [2] PADCONFIG レジスタ [15] PADCONFIG アドレス [16]	信号名 [3]	多重化モード [4]	タイプ [5]	DSIS [6]	リセット時のボールの状態 (RX/TX/PULL) [7]	リセット後のボールの状態 (RX/TX/PULL) [8]	リセット後の多重化モード [9]	I/O 動作電圧 [10]	電源 [11]	HYS [12]	バッファタイプ [13]	プルアップ / ダウンタイプ [14]
H9	VDD_CANUART	VDD_CANUART		PWR									
J11、J13、J15、J9、K14、L11、L13、L9、M12、N11、N13、P10、P14、R15、R9、T16、U15	VDD_CORE	VDD_CORE		PWR									
F12	VMON_1P8_SOC	VMON_1P8_SOC		A									
F9	VMON_3P3_SOC	VMON_3P3_SOC		A									
H12	VMON_VSYS	VMON_VSYS		A									
F7	VPP	VPP		PWR									

Copyright © 2025 Texas Instruments Incorporated

表 5-1. ピン属性 (ANF パッケージ) (続き)

ボール番号 [1]	ボール名 [2] PADCONFIG レジスタ [15] PADCONFIG アドレス [16]	信号名 [3]	多重化モード [4]	タイプ [5]	DSIS [6]	リセット時のボールの状態 (RX/TX/PULL) [7]	リセット後のボールの状態 (RX/TX/PULL) [8]	リセット後の多重化モード [9]	I/O 動作電圧 [10]	電源 [11]	HYS [12]	バッファタイプ [13]	プルアップ / ダウンタイプ [14]
A1, A10, A13, A18, A22, A4, A6, AA11, AA14, AA2, AA4, AA8, AB1, AB12, AB15, AB18, AB22, AB3, AB5, AB9, B3, B5, B7, C4, D11, D2, D20, D4, E1, E3, E5, F11, F13, F16, F2, F4, G12, G17, G3, G5, G9, H1, H11, H14, H20, H4, J12, J17, J3, K1, K11, K4, K7, K9, L12, L14, L20, L3, M11, M17, M4, M7, N1, N10, N12, N14, N16, N8, P11, P13, P15, P17, P20, P7, R10, R12, R14, R16, R2, R4, R6, T1, T15, T17, T3, T5, T7, U12, U14, U16, U2, U4, U6, U9, V1, V20, V3, V5, V7, V9, W11, W14, W2, W4, W6, W8, Y12, Y15, Y3, Y5, Y9	VSS	VSS		PWR									
B10	WKUP_CLKOUT0 PADCONFIG: MCU_PADCONFIG33 0x04084084	WKUP_CLKOUT0	0	O		オフ / オフ / オフ	オフ / SS / オフ	0	1.8V/3.3V	VDDSHV_MCU	あり	LVCMOS	PU/PD
		MCU_GPIO0_23	7	IO	パッド								
D13	WKUP_I2C0_SCL PADCONFIG: MCU_PADCONFIG19 0x0408404C	WKUP_I2C0_SCL	0	IOD	1	オフ / オフ / NA	オン / SS / NA	7	1.8V/3.3V	VDDSHV_MCU	あり	I2C OD FS	
		MCU_GPIO0_19	7	IO	パッド								

表 5-1. ピン属性 (ANF パッケージ) (続き)

ボール番号 [1]	ボール名 [2] PADCONFIG レジスタ [15] PADCONFIG アドレス [16]	信号名 [3]	多重化モード [4]	タイプ [5]	DSIS [6]	リセット時のボールの状態 (RX/TX/PULL) [7]	リセット後のボールの状態 (RX/TX/PULL) [8]	リセット後の多重化モード [9]	I/O 動作電圧 [10]	電源 [11]	HYS [12]	バッファタイプ [13]	プルアップ / ダウンタイプ [14]
E13	WKUP_I2C0_SDA PADCONFIG: MCU_PADCONFIG20 0x04084050	WKUP_I2C0_SDA	0	IOD	1	オフ / オフ / NA	オン / SS / NA	7	1.8V/3.3V	VDDSHV_MCU	あり	I2C OD FS	
		MCU_GPIO0_20	7	IO	パッド								
A8	WKUP_LFOSC0_XI	WKUP_LFOSC0_XI		I					1.8 V	VDDS_OSC0		LFXOSC	
A9	WKUP_LFOSC0_XO	WKUP_LFOSC0_XO		O					1.8 V	VDDS_OSC0		LFXOSC	
C10	WKUP_UART0_CTSn PADCONFIG: MCU_PADCONFIG11 0x0408402C	WKUP_UART0_CTSn	0	I	1	オフ / オフ / オフ	オフ / オフ / オフ	7	1.8V/3.3V	VDDSHV_CANUART	あり	LVCMOS	PU/PD
		WKUP_TIMER_IO0	1	IO	0								
		MCU_SPI1_CS0	3	IO	1								
		MCU_GPIO0_11	7	IO	パッド								
C8	WKUP_UART0_RTSn PADCONFIG: MCU_PADCONFIG12 0x04084030	WKUP_UART0_RTSn	0	O		オフ / オフ / オフ	オフ / オフ / オフ	7	1.8V/3.3V	VDDSHV_CANUART	あり	LVCMOS	PU/PD
		WKUP_TIMER_IO1	1	IO	0								
		MCU_SPI1_CLK	3	IO	0								
		MCU_GPIO0_12	7	IO	パッド								
C9	WKUP_UART0_RXD PADCONFIG: MCU_PADCONFIG9 0x04084024	WKUP_UART0_RXD	0	I	1	オフ / オフ / オフ	オフ / オフ / オフ	7	1.8V/3.3V	VDDSHV_CANUART	あり	LVCMOS	PU/PD
		MCU_SPI0_CS2	2	IO	1								
		MCU_GPIO0_9	7	IO	パッド								
E9	WKUP_UART0_TXD PADCONFIG: MCU_PADCONFIG10 0x04084028	WKUP_UART0_TXD	0	O		オフ / オフ / オフ	オフ / オフ / オフ	7	1.8V/3.3V	VDDSHV_CANUART	あり	LVCMOS	PU/PD
		MCU_SPI1_CS2	2	IO	1								
		MCU_GPIO0_10	7	IO	パッド								

Copyright © 2025 Texas Instruments Incorporated

5.3 信号の説明

ピン多重化オプションのソフトウェア構成に応じて、複数のピンで多くの信号が利用可能です。

次に列ヘッダーについて説明します。

1. **信号名:**ピンを通過する信号の名前。

注

各「信号の説明」表に記載されている信号名と説明は、ピンに実装され、PADCONFIG レジスタで選択されるピン多重化信号機能を表しています。デバイス サブシステムで信号機能の 2 次多重化が可能な場合がありますが、それらについてはこの表には記載されていません。2 次多重化信号機能の詳細については、デバイスのテクニカル リファレンス マニュアルで該当するペリフェラルの章を参照してください。

---

2. **ピンの種類:**信号の方向と種類:
   - I = 入力
   - O = 出力
   - OD = 出力、オープン ドレイン出力機能付き
   - IO = 入力、出力、または同時に入力と出力
   - IOD = 入力、出力、または同時に入力と出力、オープン ドレイン出力機能付き
   - IOZ = 入力、出力、または同時に入力と出力、3 ステート出力機能付き
   - OZ = 出力、3 ステート出力機能付き
   - A = アナログ
   - PWR = 電源
   - GND = グランド
   - CAP = LDO コンデンサ
3. **説明:**信号の説明
4. **ボール:**信号に関連付けられているボール番号

IO セル構成の詳細については、デバイスのテクニカル リファレンス マニュアルで「デバイス構成」の章にある「パッド構成レジスタ」セクションを参照してください。

5.3.1 CPSW3G

5.3.1.1 メイン ドメイン

表 5-2. CPSW3G0 RGMII1 信号の説明

信号名 [1]	ピンの種類 [2]	説明 [3]	ANF ピン [4]
RGMII1_RXC	I	RGMII 受信クロック	AA16
RGMII1_RX_CTL	I	RGMII 受信制御	AA15
RGMII1_TXC	IO	RGMII 送信クロック	AB17
RGMII1_TX_CTL	O	RGMII 送信制御	W16
RGMII1_RD0	I	RGMII 受信データ 0	AB16
RGMII1_RD1	I	RGMII 受信データ 1	V15
RGMII1_RD2	I	RGMII 受信データ 2	W15
RGMII1_RD3	I	RGMII 受信データ 3	V14
RGMII1_TD0	O	RGMII 送信データ 0	Y17
RGMII1_TD1	O	RGMII 送信データ 1	V16
RGMII1_TD2	O	RGMII 送信データ 2	Y16
RGMII1_TD3	O	RGMII 送信データ 3	AA17

表 5-3. CPSW3G0 RGMII2 信号の説明

信号名 [1]	ピンの種類 [2]	説明 [3]	ANF ピン [4]
RGMII2_RXC	I	RGMII 受信クロック	AA20
RGMII2_RX_CTL	I	RGMII 受信制御	W18
RGMII2_TXC	IO	RGMII 送信クロック	AB19
RGMII2_TX_CTL	O	RGMII 送信制御	Y19
RGMII2_RD0	I	RGMII 受信データ 0	AA21
RGMII2_RD1	I	RGMII 受信データ 1	Y20
RGMII2_RD2	I	RGMII 受信データ 2	AB21
RGMII2_RD3	I	RGMII 受信データ 3	AB20
RGMII2_TD0	O	RGMII 送信データ 0	AA19
RGMII2_TD1	O	RGMII 送信データ 1	Y18
RGMII2_TD2	O	RGMII 送信データ 2	AA18
RGMII2_TD3	O	RGMII 送信データ 3	W17

表 5-4. CPSW3G0 RMII1 信号の説明

信号名 [1]	ピンの種類 [2]	説明 [3]	ANF ピン [4]
RMII1_CRS_DV	I	RMII キャリア センス / データ有効	AB17
RMII1_REF_CLK	I	RMII 基準クロック	AA16
RMII1_RX_ER	I	RMII 受信データ エラー	AA15
RMII1_TX_EN	O	RMII 送信イネーブル	W16
RMII1_RXD0	I	RMII 受信データ 0	AB16
RMII1_RXD1	I	RMII 受信データ 1	V15
RMII1_TXD0	O	RMII 送信データ 0	Y17
RMII1_TXD1	O	RMII 送信データ 1	V16

表 5-5. CPSW3G0 RMII2 信号の説明

信号名 [1]	ピンの種類 [2]	説明 [3]	ANF ピン [4]
RMII2_CRS_DV	I	RMII キャリア センス / データ有効	AB19
RMII2_REF_CLK	I	RMII 基準クロック	AA20
RMII2_RX_ER	I	RMII 受信データ エラー	W18
RMII2_TX_EN	O	RMII 送信イネーブル	Y19
RMII2_RXD0	I	RMII 受信データ 0	AA21
RMII2_RXD1	I	RMII 受信データ 1	Y20
RMII2_TXD0	O	RMII 送信データ 0	AA19
RMII2_TXD1	O	RMII 送信データ 1	Y18

5.3.2 CPTS

5.3.2.1 メイン ドメイン

表 5-6. CPTS 信号の説明

信号名 [1]	ピンの種類 [2]	説明 [3]	ANF ピン [4]
CP_GEMAC_CPTS0_RFT_CLK	I	CPTS 基準クロック入力	B16
CP_GEMAC_CPTS0_TS_COMP	O	CPSW3G0 CPTS からの CPT タイム スタンプ カウンタ比較出力	C16、D22

Copyright © 2025 Texas Instruments Incorporated

表 5-6. CPTS 信号の説明 (続き)

信号名 [1]	ピンの種類 [2]	説明 [3]	ANF ピン [4]
CP_GEMAC_CPTS0_TS_SYNC	O	CPSW3G0 CPTS からの CPTS タイム スタンプ カウンタ ビット出力	A17、C22
CP_GEMAC_CPTS0_HW1TSPUSH	I	時間同期ルータへの CPTS ハードウェア タイム スタンプ プッシュ入力	B15、D21
CP_GEMAC_CPTS0_HW2TSPUSH	I	時間同期ルータへの CPTS ハードウェア タイム スタンプ プッシュ入力	B22、E15
SYNC0_OUT	O	時間同期ルータからの CPTS タイム スタンプ ジェネレータ ビット 0 出力	D17
SYNC1_OUT	O	時間同期ルータからの CPTS タイム スタンプ ジェネレータ ビット 1 出力	B16
SYNC2_OUT	O	時間同期ルータからの CPTS タイム スタンプ ジェネレータ ビット 2 出力	B17
SYNC3_OUT	O	時間同期ルータからの CPTS タイム スタンプ ジェネレータ ビット 3 出力	C18

5.3.3 CSI-2

5.3.3.1 メイン ドメイン

表 5-7. CSIRX0 信号の説明

信号名 [1]	ピンの種類 [2]	説明 [3]	ANF ピン [4]
CSI0_RXCLKN	I	CSI 差動受信クロック入力 (負)	AB14
CSI0_RXCLKP	I	CSI 差動受信クロック入力 (正)	AB13
CSI0_RXRCALIB (1)	A	オンチップ抵抗較正用に外部抵抗に接続する CSI ピン	V10
CSI0_RXN0	I	CSI 差動受信入力 (負)	W12
CSI0_RXN1	I	CSI 差動受信入力 (負)	Y13
CSI0_RXN2	I	CSI 差動受信入力 (負)	AA13
CSI0_RXN3	I	CSI 差動受信入力 (負)	AB11
CSI0_RXP0	I	CSI 差動受信入力 (正)	W13
CSI0_RXP1	I	CSI 差動受信入力 (正)	Y14
CSI0_RXP2	I	CSI 差動受信入力 (正)	AA12
CSI0_RXP3	I	CSI 差動受信入力 (正)	AB10

(1) このピンと VSS の間に 499Ω ±1% の外付け抵抗を接続する必要があり、抵抗の最大消費電力は 7.2mW です。このピンに外部電圧を印加しないでください。

5.3.4 DDRSS

5.3.4.1 メイン ドメイン

表 5-8. DDRSS0 信号の説明

信号名 [1]	ピンの種類 [2]	説明 [3]	ANF ピン [4]
DDR0_ACT_n	O	DDRSS アクティブ化コマンド	N5
DDR0_ALERT_n	IO	DDRSS アラート	H7
DDR0_CAS_n (1)	O	DDR4 コラム アドレス ストローブ / LPDDR4 チップセレクト 1B	M5
DDR0_PAR	O	DDRSS コマンドおよびアドレス パリティ	N2
DDR0_RAS_n (1)	O	DDR4 ロー アドレス ストローブ / LPDDR4 チップセレクト 0B	M6
DDR0_WE_n	O	DDRSS 書き込みイネーブル	N6
DDR0_A0	O	DDRSS アドレス バス	J5

表 5-8. DDRSS0 信号の説明 (続き)

信号名 [1]	ピンの種類 [2]	説明 [3]	ANF ピン [4]
DDR0_A1	O	DDRSS アドレス バス	J2
DDR0_A2	O	DDRSS アドレス バス	J4
DDR0_A3	O	DDRSS アドレス バス	L4
DDR0_A4	O	DDRSS アドレス バス	J1
DDR0_A5	O	DDRSS アドレス バス	K5
DDR0_A6	O	DDRSS アドレス バス	K3
DDR0_A7	O	DDRSS アドレス バス	H2
DDR0_A8	O	DDRSS アドレス バス	L6
DDR0_A9	O	DDRSS アドレス バス	L2
DDR0_A10	O	DDRSS アドレス バス	K2
DDR0_A11	O	DDRSS アドレス バス	L5
DDR0_A12	O	DDRSS アドレス バス	M3
DDR0_A13	O	DDRSS アドレス バス	M2
DDR0_BA0	O	DDRSS バンク アドレス	K6
DDR0_BA1	O	DDRSS バンク アドレス	H3
DDR0_BG0	O	DDRSS バンク グループ	P4
DDR0_BG1	O	DDRSS バンク グループ	R7
DDR0_CAL0 (2)	A	IO パッド較正抵抗	H6
DDR0_CK0	O	DDRSS クロック	M1
DDR0_CK0_n	O	DDRSS 負のクロック	L1
DDR0_CKE0	O	DDRSS クロック イネーブル	P3
DDR0_CKE1	O	DDRSS クロック イネーブル	P5
DDR0_CS0_n (1)	O	DDR4 チップセレクト 0/LPDDR4 チップセレクト 0A	J6
DDR0_CS1_n (1)	O	DDR4 チップセレクト 1/LPDDR4 チップセレクト 1A	N4
DDR0_DM0	IO	DDRSS データ マスク	C2
DDR0_DM1	IO	DDRSS データ マスク	F3
DDR0_DM2	IO	DDRSS データ マスク	U1
DDR0_DM3	IO	DDRSS データ マスク	W3
DDR0_DQ0	IO	DDRSS データ	A5
DDR0_DQ1	IO	DDRSS データ	B4
DDR0_DQ2	IO	DDRSS データ	B6
DDR0_DQ3	IO	DDRSS データ	D5
DDR0_DQ4	IO	DDRSS データ	C5
DDR0_DQ5	IO	DDRSS データ	C3
DDR0_DQ6	IO	DDRSS データ	B2
DDR0_DQ7	IO	DDRSS データ	A3
DDR0_DQ8	IO	DDRSS データ	E2
DDR0_DQ9	IO	DDRSS データ	F5
DDR0_DQ10	IO	DDRSS データ	E6
DDR0_DQ11	IO	DDRSS データ	G2
DDR0_DQ12	IO	DDRSS データ	G6
DDR0_DQ13	IO	DDRSS データ	G4

Copyright © 2025 Texas Instruments Incorporated

表 5-8. DDRSS0 信号の説明 (続き)

信号名 [1]	ピンの種類 [2]	説明 [3]	ANF ピン [4]
DDR0_DQ14	IO	DDRSS データ	E4
DDR0_DQ15	IO	DDRSS データ	D3
DDR0_DQ16	IO	DDRSS データ	T6
DDR0_DQ17	IO	DDRSS データ	T4
DDR0_DQ18	IO	DDRSS データ	U5
DDR0_DQ19	IO	DDRSS データ	R5
DDR0_DQ20	IO	DDRSS データ	P2
DDR0_DQ21	IO	DDRSS データ	R3
DDR0_DQ22	IO	DDRSS データ	T2
DDR0_DQ23	IO	DDRSS データ	U3
DDR0_DQ24	IO	DDRSS データ	Y2
DDR0_DQ25	IO	DDRSS データ	V2
DDR0_DQ26	IO	DDRSS データ	V4
DDR0_DQ27	IO	DDRSS データ	W5
DDR0_DQ28	IO	DDRSS データ	Y4
DDR0_DQ29	IO	DDRSS データ	AA3
DDR0_DQ30	IO	DDRSS データ	AA5
DDR0_DQ31	IO	DDRSS データ	AB4
DDR0_DQS0	IO	DDRSS データ ストローブ	D1
DDR0_DQS0_n	IO	DDRSS 相補データ ストローブ	C1
DDR0_DQS1	IO	DDRSS データ ストローブ	G1
DDR0_DQS1_n	IO	DDRSS 相補データ ストローブ	F1
DDR0_DQS2	IO	DDRSS データ ストローブ	R1
DDR0_DQS2_n	IO	DDRSS 相補データ ストローブ	P1
DDR0_DQS3	IO	DDRSS データ ストローブ	W1
DDR0_DQS3_n	IO	DDRSS 相補データ ストローブ	Y1
DDR0_ODT0	O	DDRSS チップ セレクト 0 のオン ダイ終端	H5
DDR0_ODT1	O	DDRSS チップ セレクト 1 のオン ダイ終端	N3
DDR0_RESET0_n	O	DDRSS のリセット	P6

(1) DDRSS は、接続されているメモリ デバイスの種類に基づいて、これらの信号に異なる信号機能を実装しています。DDRSS が DDR4 メモリ デバイスで動作するよう構成されている場合、これらの信号はコラム アドレス ストローブ、ロー アドレス ストローブ、チップ セレクト 0、チップ セレクト 1 として機能します。DDRSS が LPDDR4 メモリデバイスで動作するように構成されている場合、これらの信号はそれぞれチップセレクト 1B、チップセレクト 0B、チップセレクト 0A、チップセレクト 1A として機能します。詳細についてはセクション 8.2.1、『DDR 基板の設計およびレイアウトのガイドライン』を参照してください。

(2) このピンと VSS の間に 240Ω ±1% の外付け抵抗を接続する必要があります。このピンに外部電圧を印加しないでください。

5.3.5 ECAP

5.3.5.1 メイン ドメイン

表 5-9. ECAP0 信号の説明

信号名 [1]	ピンの種類 [2]	説明 [3]	ANF ピン [4]
ECAP0_IN_APWM_OUT	IO	拡張キャプチャ (ECAP) 入力または補助 PWM (APWM) 出力	B16、C16

表 5-10. ECAP1 信号の説明

信号名 [1]	ピンの種類 [2]	説明 [3]	ANF ピン [4]
ECAP1_IN_APWM_OUT	IO	拡張キャプチャ (ECAP) 入力または補助 PWM (APWM) 出力	B18、C19、D17、D21、E14

表 5-11. ECAP2 信号の説明

信号名 [1]	ピンの種類 [2]	説明 [3]	ANF ピン [4]
ECAP2_IN_APWM_OUT	IO	拡張キャプチャ (ECAP) 入力または補助 PWM (APWM) 出力	A19、B19、B22、D15、E16

5.3.6 エミュレーションおよびデバッグ

5.3.6.1 メイン ドメイン

表 5-12. トレース信号の説明

信号名 [1]	ピンの種類 [2]	説明 [3]	ANF ピン [4]
TRC_CLK	O	トレース クロック	N21
TRC_CTL	O	トレース制御	N20
TRC_DATA0	O	トレース データ 0	N19
TRC_DATA1	O	トレース データ 1	N18
TRC_DATA2	O	トレース データ 2	N17
TRC_DATA3	O	トレース データ 3	P18
TRC_DATA4	O	トレース データ 4	P19
TRC_DATA5	O	トレース データ 5	P21
TRC_DATA6	O	トレース データ 6	N22
TRC_DATA7	O	トレース データ 7	L18
TRC_DATA8	O	トレース データ 8	L17
TRC_DATA9	O	トレース データ 9	K19
TRC_DATA10	O	トレース データ 10	L19
TRC_DATA11	O	トレース データ 11	M18
TRC_DATA12	O	トレース データ 12	R18
TRC_DATA13	O	トレース データ 13	K17
TRC_DATA14	O	トレース データ 14	K18
TRC_DATA15	O	トレース データ 15	M19
TRC_DATA16	O	トレース データ 16	M21
TRC_DATA17	O	トレース データ 17	M22
TRC_DATA18	O	トレース データ 18	M20
TRC_DATA19	O	トレース データ 19	T21
TRC_DATA20	O	トレース データ 20	T20
TRC_DATA21	O	トレース データ 21	R21
TRC_DATA22	O	トレース データ 22	T22
TRC_DATA23	O	トレース データ 23	R22

5.3.6.2 MCU ドメイン

表 5-13. JTAG 信号の説明

信号名 [1]	ピンの種類 [2]	説明 [3]	ANF ピン [4]
EMU0	IO	エミュレーション制御 0	C13

Copyright © 2025 Texas Instruments Incorporated

表 5-13. JTAG 信号の説明 (続き)

信号名 [1]	ピンの種類 [2]	説明 [3]	ANF ピン [4]
EMU1	IO	エミュレーション制御 1	E10
TCK	I	JTAG テスト クロック入力	A14
TDI	I	JTAG テスト データ入力	A16
TDO	OZ	JTAG テスト データ出力	C14
TMS	I	JTAG テスト モード選択入力	B14
TRSTn	I	JTAG のリセット	F15

5.3.7 EPWM

5.3.7.1 メイン ドメイン

表 5-14. EPWM 信号の説明

信号名 [1]	ピンの種類 [2]	説明 [3]	ANF ピン [4]
EHRPWM_SOCA	O	EHRPWM 変換開始 A	D17
EHRPWM_SOCB	O	EHRPWM 変換開始 B	E16
EHRPWM_TZn_IN0	I	EHRPWM トリップ ゾーン入力 0 (アクティブ Low)	E15
EHRPWM_TZn_IN1	I	EHRPWM トリップ ゾーン入力 1 (アクティブ Low)	AA6
EHRPWM_TZn_IN2	I	EHRPWM トリップ ゾーン入力 2 (アクティブ Low)	W7
EHRPWM_TZn_IN3	I	EHRPWM トリップ ゾーン入力 3 (アクティブ Low)	B17
EHRPWM_TZn_IN4	I	EHRPWM トリップ ゾーン入力 4 (アクティブ Low)	C18
EHRPWM_TZn_IN5	I	EHRPWM トリップ ゾーン入力 5 (アクティブ Low)	C16

表 5-15. EPWM0 信号の説明

信号名 [1]	ピンの種類 [2]	説明 [3]	ANF ピン [4]
EHRPWM0_A	IO	EHRPWM 出力 A	B21、D16、Y8
EHRPWM0_B	IO	EHRPWM 出力 B	A21、AA7、C16
EHRPWM0_SYNCI	I	外部ピンから EHRPWM モジュールへの同期入力	AB8、C17
EHRPWM0_SYNCO	O	EHRPWM モジュールから外部ピンへの同期出力	E17、W9

表 5-16. EPWM1 信号の説明

信号名 [1]	ピンの種類 [2]	説明 [3]	ANF ピン [4]
EHRPWM1_A	IO	EHRPWM 出力 A	A17、B18、Y7
EHRPWM1_B	IO	EHRPWM 出力 B	AB6、B15、B20

表 5-17. EPWM2 信号の説明

信号名 [1]	ピンの種類 [2]	説明 [3]	ANF ピン [4]
EHRPWM2_A	IO	EHRPWM 出力 A	AB7、C17、E14
EHRPWM2_B	IO	EHRPWM 出力 B	D15、E17、Y6

5.3.8 EQEP

5.3.8.1 メイン ドメイン

表 5-18. EQEP0 信号の説明

信号名 [1]	ピンの種類 [2]	説明 [3]	ANF ピン [4]
EQEP0_A (1)	I	EQEP 直交入力 A	C19

表 5-18. EQEP0 信号の説明 (続き)

信号名 [1]	ピンの種類 [2]	説明 [3]	ANF ピン [4]
EQEP0_B (1)	I	EQEP 直交入力 B	B19
EQEP0_I (1)	IO	EQEP インデックス	B20
EQEP0_S (1)	IO	EQEP ストローブ	B18

(1) この EQEP 入力信号にはデバウンス機能があります。I/O デバウンスの設定の詳細についてはテクニカル リファレンス マニュアルの「デバイス構成」の章を参照してください。

表 5-19. EQEP1 信号の説明

信号名 [1]	ピンの種類 [2]	説明 [3]	ANF ピン [4]
EQEP1_A (1)	I	EQEP 直交入力 A	A19
EQEP1_B (1)	I	EQEP 直交入力 B	A20
EQEP1_I (1)	IO	EQEP インデックス	A21
EQEP1_S (1)	IO	EQEP ストローブ	B21

(1) この EQEP 入力信号にはデバウンス機能があります。I/O デバウンスの設定の詳細についてはテクニカル リファレンス マニュアルの「デバイス構成」の章を参照してください。

表 5-20. EQEP2 信号の説明

信号名 [1]	ピンの種類 [2]	説明 [3]	ANF ピン [4]
EQEP2_A (1)	I	EQEP 直交入力 A	AB21、D17
EQEP2_B (1)	I	EQEP 直交入力 B	AB20、E16
EQEP2_I (1)	IO	EQEP インデックス	AA18、B17、R17
EQEP2_S (1)	IO	EQEP ストローブ	C18、K18、W17

(1) この EQEP 入力信号にはデバウンス機能があります。I/O デバウンスの設定の詳細についてはテクニカル リファレンス マニュアルの「デバイス構成」の章を参照してください。

5.3.9 GPIO

5.3.9.1 メイン ドメイン

表 5-21. GPIO0 信号の説明

信号名 [1]	ピンの種類 [2]	説明 [3]	ANF ピン [4]
GPIO0_0	IO	汎用入出力	L22
GPIO0_1	IO	汎用入出力	K22
GPIO0_2	IO	汎用入出力	L21
GPIO0_3	IO	汎用入出力	J21
GPIO0_4	IO	汎用入出力	J18
GPIO0_5	IO	汎用入出力	J19
GPIO0_6	IO	汎用入出力	H18
GPIO0_7	IO	汎用入出力	K21
GPIO0_8	IO	汎用入出力	H19
GPIO0_9	IO	汎用入出力	J20
GPIO0_10	IO	汎用入出力	J22
GPIO0_11	IO	汎用入出力	H21
GPIO0_12	IO	汎用入出力	G19
GPIO0_13 (1)	IO	汎用入出力	K20
GPIO0_14 (1)	IO	汎用入出力	G20
GPIO0_15	IO	汎用入出力	N21

Copyright © 2025 Texas Instruments Incorporated

表 5-21. GPIO0 信号の説明 (続き)

信号名 [1]	ピンの種類 [2]	説明 [3]	ANF ピン [4]
GPIO0_16	IO	汎用入出力	N20
GPIO0_17	IO	汎用入出力	N19
GPIO0_18	IO	汎用入出力	N18
GPIO0_19	IO	汎用入出力	N17
GPIO0_20	IO	汎用入出力	P18
GPIO0_21	IO	汎用入出力	P19
GPIO0_22	IO	汎用入出力	P21
GPIO0_23	IO	汎用入出力	P22
GPIO0_24	IO	汎用入出力	R19
GPIO0_25	IO	汎用入出力	R20
GPIO0_26	IO	汎用入出力	R22
GPIO0_27	IO	汎用入出力	T22
GPIO0_28	IO	汎用入出力	R21
GPIO0_29	IO	汎用入出力	T20
GPIO0_30	IO	汎用入出力	T21
GPIO0_31	IO	汎用入出力	N22
GPIO0_32	IO	汎用入出力	L18
GPIO0_33	IO	汎用入出力	L17
GPIO0_34	IO	汎用入出力	K19
GPIO0_35	IO	汎用入出力	L19
GPIO0_36	IO	汎用入出力	M18
GPIO0_37	IO	汎用入出力	R18
GPIO0_38	IO	汎用入出力	R17
GPIO0_39	IO	汎用入出力	K17
GPIO0_40	IO	汎用入出力	K18
GPIO0_41	IO	汎用入出力	M19
GPIO0_42	IO	汎用入出力	M21
GPIO0_43 (1)	IO	汎用入出力	M22
GPIO0_44 (1)	IO	汎用入出力	M20
GPIO0_45	IO	汎用入出力	U22
GPIO0_46	IO	汎用入出力	U21
GPIO0_47	IO	汎用入出力	U20
GPIO0_48	IO	汎用入出力	U19
GPIO0_49	IO	汎用入出力	T19
GPIO0_50	IO	汎用入出力	U18
GPIO0_51	IO	汎用入出力	V22
GPIO0_52	IO	汎用入出力	V21
GPIO0_53	IO	汎用入出力	V19
GPIO0_54	IO	汎用入出力	V18
GPIO0_55	IO	汎用入出力	W22
GPIO0_56	IO	汎用入出力	W21
GPIO0_57	IO	汎用入出力	W20
GPIO0_58	IO	汎用入出力	W19
GPIO0_59	IO	汎用入出力	Y21
GPIO0_60	IO	汎用入出力	Y22

表 5-21. GPIO0 信号の説明 (続き)

信号名 [1]	ピンの種類 [2]	説明 [3]	ANF ピン [4]
GPIO0_61	IO	汎用入出力	T18
GPIO0_62	IO	汎用入出力	U17
GPIO0_63	IO	汎用入出力	V17
GPIO0_64	IO	汎用入出力	AA22
GPIO0_65 (1)	IO	汎用入出力	G21
GPIO0_66 (1)	IO	汎用入出力	F20
GPIO0_67 (1)	IO	汎用入出力	F21
GPIO0_68 (1)	IO	汎用入出力	E20
GPIO0_69 (1)	IO	汎用入出力	H22
GPIO0_70 (1)	IO	汎用入出力	G22
GPIO0_71 (1)	IO	汎用入出力	F22
GPIO0_72 (1)	IO	汎用入出力	E21
GPIO0_73	IO	汎用入出力	W16
GPIO0_74	IO	汎用入出力	AB17
GPIO0_75	IO	汎用入出力	Y17
GPIO0_76	IO	汎用入出力	V16
GPIO0_77	IO	汎用入出力	Y16
GPIO0_78	IO	汎用入出力	AA17
GPIO0_79	IO	汎用入出力	AA15
GPIO0_80	IO	汎用入出力	AA16
GPIO0_81	IO	汎用入出力	AB16
GPIO0_82	IO	汎用入出力	V15
GPIO0_83	IO	汎用入出力	W15
GPIO0_84	IO	汎用入出力	V14
GPIO0_85	IO	汎用入出力	V13
GPIO0_86	IO	汎用入出力	V12
GPIO0_87	IO	汎用入出力	Y19
GPIO0_88	IO	汎用入出力	AB19
GPIO0_89	IO	汎用入出力	AA19
GPIO0_90	IO	汎用入出力	Y18
GPIO0_91	IO	汎用入出力	AA18

(1) この GPIO 入力信号にはデバウンス機能があります。I/O デバウンスの設定の詳細についてはテクニカル リファレンス マニュアルの「デバイス構成」の章を参照してください。

表 5-22. GPIO1 信号の説明

信号名 [1]	ピンの種類 [2]	説明 [3]	ANF ピン [4]
GPIO1_0	IO	汎用入出力	W17
GPIO1_1	IO	汎用入出力	W18
GPIO1_2	IO	汎用入出力	AA20
GPIO1_3	IO	汎用入出力	AA21
GPIO1_4	IO	汎用入出力	Y20
GPIO1_5	IO	汎用入出力	AB21
GPIO1_6	IO	汎用入出力	AB20
GPIO1_7	IO	汎用入出力	C19
GPIO1_8	IO	汎用入出力	B19

Copyright © 2025 Texas Instruments Incorporated

表 5-22. GPIO1 信号の説明 (続き)

信号名 [1]	ピンの種類 [2]	説明 [3]	ANF ピン [4]
GPIO1_9	IO	汎用入出力	B18
GPIO1_10	IO	汎用入出力	B20
GPIO1_11	IO	汎用入出力	A19
GPIO1_12	IO	汎用入出力	A20
GPIO1_13	IO	汎用入出力	B21
GPIO1_14	IO	汎用入出力	A21
GPIO1_15	IO	汎用入出力	D16
GPIO1_16 (1)	IO	汎用入出力	C16
GPIO1_17	IO	汎用入出力	A17
GPIO1_18	IO	汎用入出力	B15
GPIO1_19	IO	汎用入出力	E15
GPIO1_20	IO	汎用入出力	E14
GPIO1_21	IO	汎用入出力	D15
GPIO1_22	IO	汎用入出力	F14
GPIO1_23	IO	汎用入出力	C15
GPIO1_24	IO	汎用入出力	B17
GPIO1_25	IO	汎用入出力	C18
GPIO1_26	IO	汎用入出力	D17
GPIO1_27	IO	汎用入出力	E16
GPIO1_28	IO	汎用入出力	C17
GPIO1_29	IO	汎用入出力	E17
GPIO1_30	IO	汎用入出力	B16
GPIO1_31 (1)	IO	汎用入出力	F17
GPIO1_32 (1)	IO	汎用入出力	AB8
GPIO1_33 (1)	IO	汎用入出力	W9
GPIO1_34 (1)	IO	汎用入出力	W7
GPIO1_35 (1)	IO	汎用入出力	Y8
GPIO1_36 (1)	IO	汎用入出力	AA7
GPIO1_37 (1)	IO	汎用入出力	Y7
GPIO1_38 (1)	IO	汎用入出力	AB6
GPIO1_39 (1)	IO	汎用入出力	AA6
GPIO1_40 (1)	IO	汎用入出力	AB7
GPIO1_41 (1)	IO	汎用入出力	Y6
GPIO1_42 (1)	IO	汎用入出力	D22
GPIO1_43 (1)	IO	汎用入出力	C22
GPIO1_44 (1)	IO	汎用入出力	D21
GPIO1_45 (1)	IO	汎用入出力	B22
GPIO1_46 (1)	IO	汎用入出力	E22
GPIO1_47 (1)	IO	汎用入出力	C21
GPIO1_48 (1)	IO	汎用入出力	E18
GPIO1_49 (1)	IO	汎用入出力	D18
GPIO1_50	IO	汎用入出力	C20

表 5-22. GPIO1 信号の説明 (続き)

信号名 [1]	ピンの種類 [2]	説明 [3]	ANF ピン [4]
GPIO1_51	IO	汎用入出力	D19

(1) この GPIO 入力信号にはデバウンス機能があります。I/O デバウンスの設定の詳細についてはテクニカル リファレンス マニュアルの「デバイス構成」の章を参照してください。

5.3.9.2 MCU ドメイン

表 5-23. MCU_GPIO0 信号の説明

信号名 [1]	ピンの種類 [2]	説明 [3]	ANF ピン [4]
MCU_GPIO0_0 (1)	IO	汎用入出力	E11
MCU_GPIO0_1 (1)	IO	汎用入出力	C11
MCU_GPIO0_2	IO	汎用入出力	B13
MCU_GPIO0_3	IO	汎用入出力	A15
MCU_GPIO0_4	IO	汎用入出力	B12
MCU_GPIO0_5	IO	汎用入出力	D8
MCU_GPIO0_6	IO	汎用入出力	F8
MCU_GPIO0_7 (1)	IO	汎用入出力	B11
MCU_GPIO0_8 (1)	IO	汎用入出力	D10
MCU_GPIO0_9	IO	汎用入出力	C9
MCU_GPIO0_10	IO	汎用入出力	E9
MCU_GPIO0_11 (1)	IO	汎用入出力	C10
MCU_GPIO0_12 (1)	IO	汎用入出力	C8
MCU_GPIO0_13	IO	汎用入出力	C7
MCU_GPIO0_14	IO	汎用入出力	E8
MCU_GPIO0_15 (1)	IO	汎用入出力	D7
MCU_GPIO0_16 (1)	IO	汎用入出力	B9
MCU_GPIO0_17	IO	汎用入出力	E12
MCU_GPIO0_18	IO	汎用入出力	D9
MCU_GPIO0_19	IO	汎用入出力	D13
MCU_GPIO0_20	IO	汎用入出力	E13
MCU_GPIO0_21	IO	汎用入出力	D14
MCU_GPIO0_22	IO	汎用入出力	D12
MCU_GPIO0_23	IO	汎用入出力	B10

(1) この GPIO 入力信号にはデバウンス機能があります。I/O デバウンスの設定の詳細についてはテクニカル リファレンス マニュアルの「デバイス構成」の章を参照してください。

5.3.10 GPMC

5.3.10.1 メイン ドメイン

表 5-24. GPMC0 信号の説明

信号名 [1]	ピンの種類 [2]	説明 [3]	ANF ピン [4]
GPMC0_ADVn_ALE	O	GPMC アドレス有効 (アクティブ Low) またはアドレス ラッチ イネーブル	L18
GPMC0_CLK	O	GPMC クロック	N22
GPMC0_DIR	O	GPMC データ バス信号方向制御	K18
GPMC0_FCLK_MUX	O	GPMC 機能クロック出力	N22
GPMC0_OEn_REn	O	GPMC 出力イネーブル (アクティブ Low) または読み出しイネーブル (アクティブ Low)	L17

Copyright © 2025 Texas Instruments Incorporated

表 5-24. GPMC0 信号の説明 (続き)

信号名 [1]	ピンの種類 [2]	説明 [3]	ANF ピン [4]
GPMC0_WEn	O	GPMC 書き込みイネーブル (アクティブ Low)	K19
GPMC0_WPn	O	GPMC フラッシュ書き込み保護 (アクティブ Low)	K17
GPMC0_A0	OZ	GPMC アドレス 0 出力。8 ビット データ非多重化メモリを効果的にアドレス指定するためにのみ使用されます。	U22
GPMC0_A1	OZ	GPMC アドレス 1 (A/D 非多重化モード) およびアドレス 17 (A/D 多重化モード) 出力	U21
GPMC0_A2	OZ	GPMC アドレス 2 (A/D 非多重化モード) およびアドレス 18 (A/D 多重化モード) 出力	U20
GPMC0_A3	OZ	GPMC アドレス 3 (A/D 非多重化モード) およびアドレス 19 (A/D 多重化モード) 出力	U19
GPMC0_A4	OZ	GPMC アドレス 4 (A/D 非多重化モード) およびアドレス 20 (A/D 多重化モード) 出力	T19
GPMC0_A5	OZ	GPMC アドレス 5 (A/D 非多重化モード) およびアドレス 21 (A/D 多重化モード) 出力	U18
GPMC0_A6	OZ	GPMC アドレス 6 (A/D 非多重化モード) およびアドレス 22 (A/D 多重化モード) 出力	V22
GPMC0_A7	OZ	GPMC アドレス 7 (A/D 非多重化モード) およびアドレス 23 (A/D 多重化モード) 出力	V21
GPMC0_A8	OZ	GPMC アドレス 8 (A/D 非多重化モード) およびアドレス 24 (A/D 多重化モード) 出力	V19
GPMC0_A9	OZ	GPMC アドレス 9 (A/D 非多重化モード) およびアドレス 25 (A/D 多重化モード) 出力	V18
GPMC0_A10	OZ	GPMC アドレス 10 (A/D 非多重化モード) およびアドレス 26 (A/D 多重化モード) 出力	W22
GPMC0_A11	OZ	GPMC アドレス 11 出力 (A/D 非多重化モード) (A/D 多重化モードでは未使用)	W21
GPMC0_A12	OZ	GPMC アドレス 12 出力 (A/D 非多重化モード) (A/D 多重化モードでは未使用)	W20
GPMC0_A13	OZ	GPMC アドレス 13 出力 (A/D 非多重化モード) (A/D 多重化モードでは未使用)	W19
GPMC0_A14	OZ	GPMC アドレス 14 出力 (A/D 非多重化モード) (A/D 多重化モードでは未使用)	Y21
GPMC0_A15	OZ	GPMC アドレス 15 出力 (A/D 非多重化モード) (A/D 多重化モードでは未使用)	Y22
GPMC0_A16	OZ	GPMC アドレス 16 出力 (A/D 非多重化モード) (A/D 多重化モードでは未使用)	T18
GPMC0_A17	OZ	GPMC アドレス 17 出力 (A/D 非多重化モード) (A/D 多重化モードでは未使用)	U17
GPMC0_A18	OZ	GPMC アドレス 18 出力 (A/D 非多重化モード) (A/D 多重化モードでは未使用)	V17
GPMC0_A19	OZ	GPMC アドレス 19 出力 (A/D 非多重化モード) (A/D 多重化モードでは未使用)	AA22
GPMC0_A20	OZ	GPMC アドレス 20 出力 (A/D 非多重化モード) (A/D 多重化モードでは未使用)	M20
GPMC0_A21	OZ	GPMC アドレス 21 出力 (A/D 非多重化モード) (A/D 多重化モードでは未使用)	R17
GPMC0_A22	OZ	GPMC アドレス 22 出力 (A/D 非多重化モード) (A/D 多重化モードでは未使用)	K17

表 5-24. GPMC0 信号の説明 (続き)

信号名 [1]	ピンの種類 [2]	説明 [3]	ANF ピン [4]
GPMC0_AD0	IO	GPMC データ 0 入出力 (A/D 非多重化モード) および追加アドレス 1 出力 (A/D 多重化モード)	N21
GPMC0_AD1	IO	GPMC データ 1 入出力 (A/D 非多重化モード) および追加アドレス 2 出力 (A/D 多重化モード)	N20
GPMC0_AD2	IO	GPMC データ 2 入出力 (A/D 非多重化モード) および追加アドレス 3 出力 (A/D 多重化モード)	N19
GPMC0_AD3	IO	GPMC データ 3 入出力 (A/D 非多重化モード) および追加アドレス 3 出力 (A/D 多重化モード)	N18
GPMC0_AD4	IO	GPMC データ 4 入出力 (A/D 非多重化モード) および追加アドレス 3 出力 (A/D 多重化モード)	N17
GPMC0_AD5	IO	GPMC データ 5 入出力 (A/D 非多重化モード) および追加アドレス 3 出力 (A/D 多重化モード)	P18
GPMC0_AD6	IO	GPMC データ 6 入出力 (A/D 非多重化モード) および追加アドレス 3 出力 (A/D 多重化モード)	P19
GPMC0_AD7	IO	GPMC データ 7 入出力 (A/D 非多重化モード) および追加アドレス 3 出力 (A/D 多重化モード)	P21
GPMC0_AD8	IO	GPMC データ 8 入出力 (A/D 非多重化モード) および追加アドレス 3 出力 (A/D 多重化モード)	P22
GPMC0_AD9	IO	GPMC データ 9 入出力 (A/D 非多重化モード) および追加アドレス 3 出力 (A/D 多重化モード)	R19
GPMC0_AD10	IO	GPMC データ 10 入出力 (A/D 非多重化モード) および追加アドレス 11 出力 (A/D 多重化モード)	R20
GPMC0_AD11	IO	GPMC データ 11 入出力 (A/D 非多重化モード) および追加アドレス 12 出力 (A/D 多重化モード)	R22
GPMC0_AD12	IO	GPMC データ 12 入出力 (A/D 非多重化モード) および追加アドレス 13 出力 (A/D 多重化モード)	T22
GPMC0_AD13	IO	GPMC データ 13 入出力 (A/D 非多重化モード) および追加アドレス 14 出力 (A/D 多重化モード)	R21
GPMC0_AD14	IO	GPMC データ 14 入出力 (A/D 非多重化モード) および追加アドレス 15 出力 (A/D 多重化モード)	T20
GPMC0_AD15	IO	GPMC データ 15 入出力 (A/D 非多重化モード) および追加アドレス 16 出力 (A/D 多重化モード)	T21
GPMC0_BE0n_CLE	O	GPMC 下位バイト イネーブル (アクティブ Low) またはコマンド ラッチ イネーブル	L19
GPMC0_BE1n	O	GPMC 上位バイト イネーブル (アクティブ Low)	M18
GPMC0_CSn0	O	GPMC チップ セレクト 0 (アクティブ Low)	M19
GPMC0_CSn1	O	GPMC チップ セレクト 1 (アクティブ Low)	M21
GPMC0_CSn2	O	GPMC チップ セレクト 2 (アクティブ Low)	M22
GPMC0_CSn3	O	GPMC チップ セレクト 3 (アクティブ Low)	M20
GPMC0_WAIT0	I	GPMC ウェイト外部表示	R18
GPMC0_WAIT1	I	GPMC ウェイト外部表示	R17

5.3.11 I2C

5.3.11.1 メイン ドメイン

表 5-25. I2C0 信号の説明

信号名 [1]	ピンの種類 [2]	説明 [3]	ANF ピン [4]
I2C0_SCL	IOD	I2C クロック	D17

Copyright © 2025 Texas Instruments Incorporated

表 5-25. I2C0 信号の説明 (続き)

信号名 [1]	ピンの種類 [2]	説明 [3]	ANF ピン [4]
I2C0_SDA	IOD	I2C データ	E16

表 5-26. I2C1 信号の説明

信号名 [1]	ピンの種類 [2]	説明 [3]	ANF ピン [4]
I2C1_SCL	IOD	I2C クロック	C17
I2C1_SDA	IOD	I2C データ	E17

表 5-27. I2C2 信号の説明

信号名 [1]	ピンの種類 [2]	説明 [3]	ANF ピン [4]
I2C2_SCL	IOD	I2C クロック	M22
I2C2_SDA	IOD	I2C データ	M20

表 5-28. I2C3 信号の説明

信号名 [1]	ピンの種類 [2]	説明 [3]	ANF ピン [4]
I2C3_SCL	IOD	I2C クロック	AB7、F14
I2C3_SDA	IOD	I2C データ	C15、Y6

5.3.11.2 MCU ドメイン

表 5-29. MCU_I2C0 信号の説明

信号名 [1]	ピンの種類 [2]	説明 [3]	ANF ピン [4]
MCU_I2C0_SCL	IOD	I2C クロック	E12
MCU_I2C0_SDA	IOD	I2C データ	D9

5.3.11.3 WKUP ドメイン

表 5-30. WKUP_I2C0 信号の説明

信号名 [1]	ピンの種類 [2]	説明 [3]	ANF ピン [4]
WKUP_I2C0_SCL	IOD	I2C クロック	D13
WKUP_I2C0_SDA	IOD	I2C データ	E13

5.3.12 MCAN

5.3.12.1 メイン ドメイン

表 5-31. MCAN0 信号の説明

信号名 [1]	ピンの種類 [2]	説明 [3]	ANF ピン [4]
MCAN0_RX	I	MCAN 受信データ	C18
MCAN0_TX	O	MCAN 送信データ	B17

5.3.12.2 MCU ドメイン

表 5-32. MCU_MCAN0 信号の説明

信号名 [1]	ピンの種類 [2]	説明 [3]	ANF ピン [4]
MCU_MCAN0_RX	I	MCAN 受信データ	E8
MCU_MCAN0_TX	O	MCAN 送信データ	C7

表 5-33. MCU_MCAN1 信号の説明

信号名 [1]	ピンの種類 [2]	説明 [3]	ANF ピン [4]
MCU_MCAN1_RX	I	MCAN 受信データ	B9
MCU_MCAN1_TX	O	MCAN 送信データ	D7

5.3.13 MCASP

5.3.13.1 メイン ドメイン

表 5-34. MCASP0 信号の説明

信号名 [1]	ピンの種類 [2]	説明 [3]	ANF ピン [4]
MCASP0_ACLKR	IO	MCASP 受信ビット クロック	A21
MCASP0_ACLKX	IO	MCASP 送信ビット クロック	A19
MCASP0_AFSR	IO	MCASP 受信フレーム同期	B21
MCASP0_AFSX	IO	MCASP 送信フレーム同期	A20
MCASP0_AXR0	IO	MCASP シリアル データ (入力 / 出力)	B20
MCASP0_AXR1	IO	MCASP シリアル データ (入力 / 出力)	B18
MCASP0_AXR2	IO	MCASP シリアル データ (入力 / 出力)	B19
MCASP0_AXR3	IO	MCASP シリアル データ (入力 / 出力)	C19

表 5-35. MCASP1 信号の説明

信号名 [1]	ピンの種類 [2]	説明 [3]	ANF ピン [4]
MCASP1_ACLKR	IO	MCASP 受信ビット クロック	G20、H22、M20
MCASP1_ACLKX	IO	MCASP 送信ビット クロック	F22、J20、L19
MCASP1_AFSR	IO	MCASP 受信フレーム同期	G22、K20、M22
MCASP1_AFSX	IO	MCASP 送信フレーム同期	E21、J22、R18
MCASP1_AXR0	IO	MCASP シリアル データ (入力 / 出力)	E20、H19、K19
MCASP1_AXR1	IO	MCASP シリアル データ (入力 / 出力)	F21、K21、L17
MCASP1_AXR2	IO	MCASP シリアル データ (入力 / 出力)	F20、K20、L18
MCASP1_AXR3	IO	MCASP シリアル データ (入力 / 出力)	G20、G21、N22
MCASP1_AXR4	IO	MCASP シリアル データ (入力 / 出力)	G22、M22
MCASP1_AXR5	IO	MCASP シリアル データ (入力 / 出力)	H22、M20

表 5-36. MCASP2 信号の説明

信号名 [1]	ピンの種類 [2]	説明 [3]	ANF ピン [4]
MCASP2_ACLKR	IO	MCASP 受信ビット クロック	T21、Y18
MCASP2_ACLKX	IO	MCASP 送信ビット クロック	C15、R21、W17
MCASP2_AFSR	IO	MCASP 受信フレーム同期	T20、Y20
MCASP2_AFSX	IO	MCASP 送信フレーム同期	AA18、F14、T22
MCASP2_AXR0	IO	MCASP シリアル データ (入力 / 出力)	AB21、B17、P22
MCASP2_AXR1	IO	MCASP シリアル データ (入力 / 出力)	AA20、C18、R19
MCASP2_AXR2	IO	MCASP シリアル データ (入力 / 出力)	AA21、R20
MCASP2_AXR3	IO	MCASP シリアル データ (入力 / 出力)	R22、W18
MCASP2_AXR4	IO	MCASP シリアル データ (入力 / 出力)	N21、Y19
MCASP2_AXR5	IO	MCASP シリアル データ (入力 / 出力)	AB19、N20
MCASP2_AXR6	IO	MCASP シリアル データ (入力 / 出力)	AA19、N19

Copyright © 2025 Texas Instruments Incorporated

表 5-36. MCASP2 信号の説明 (続き)

信号名 [1]	ピンの種類 [2]	説明 [3]	ANF ピン [4]
MCASP2_AXR7	IO	MCASP シリアル データ (入力 / 出力)	N18、Y20
MCASP2_AXR8	IO	MCASP シリアル データ (入力 / 出力)	N17、Y18
MCASP2_AXR9	IO	MCASP シリアル データ (入力 / 出力)	P18
MCASP2_AXR10	IO	MCASP シリアル データ (入力 / 出力)	P19
MCASP2_AXR11	IO	MCASP シリアル データ (入力 / 出力)	P21
MCASP2_AXR12	IO	MCASP シリアル データ (入力 / 出力)	M18
MCASP2_AXR13	IO	MCASP シリアル データ (入力 / 出力)	K18
MCASP2_AXR14	IO	MCASP シリアル データ (入力 / 出力)	M19
MCASP2_AXR15	IO	MCASP シリアル データ (入力 / 出力)	M21

5.3.14 MCSPI

5.3.14.1 メイン ドメイン

表 5-37. MCSPI0 信号の説明

信号名 [1]	ピンの種類 [2]	説明 [3]	ANF ピン [4]
SPI0_CLK	IO	SPI クロック	A17
SPI0_CS0	IO	SPI チップ セレクト 0	D16
SPI0_CS1	IO	SPI チップ セレクト 1	C16
SPI0_CS2	IO	SPI チップ セレクト 2	F14
SPI0_CS3	IO	SPI チップ セレクト 3	C15
SPI0_D0	IO	SPI データ 0	B15
SPI0_D1	IO	SPI データ 1	E15

表 5-38. MCSPI1 信号の説明

信号名 [1]	ピンの種類 [2]	説明 [3]	ANF ピン [4]
SPI1_CLK	IO	SPI クロック	H19、Y7
SPI1_CS0	IO	SPI チップ セレクト 0	AA7、K21
SPI1_CS1	IO	SPI チップ セレクト 1	AB7、K20
SPI1_CS2	IO	SPI チップ セレクト 2	Y6
SPI1_CS3	IO	SPI チップ セレクト 3	AB6
SPI1_D0	IO	SPI データ 0	AB8、J20
SPI1_D1	IO	SPI データ 1	J22、W9

表 5-39. MCSPI2 信号の説明

信号名 [1]	ピンの種類 [2]	説明 [3]	ANF ピン [4]
SPI2_CLK	IO	SPI クロック	A21、AA6、E17
SPI2_CS0	IO	SPI チップ セレクト 0	AB6、B21、D17
SPI2_CS1	IO	SPI チップ セレクト 1	A19、AB8、C17
SPI2_CS2	IO	SPI チップ セレクト 2	AA7、B18、E16
SPI2_CS3	IO	SPI チップ セレクト 3	A20、B16、W9
SPI2_D0	IO	SPI データ 0	C19、E14、W7
SPI2_D1	IO	SPI データ 1	B19、D15、Y8

5.3.14.2 MCU ドメイン

表 5-40. MCU_MCSPI0 信号の説明

信号名 [1]	ピンの種類 [2]	説明 [3]	ANF ピン [4]
MCU_SPI0_CLK	IO	SPI クロック	B13
MCU_SPI0_CS0	IO	SPI チップ セレクト 0	E11
MCU_SPI0_CS1	IO	SPI チップ セレクト 1	C11
MCU_SPI0_CS2	IO	SPI チップ セレクト 2	B9、C9
MCU_SPI0_CS3	IO	SPI チップ セレクト 3	C7
MCU_SPI0_D0	IO	SPI データ 0	A15
MCU_SPI0_D1	IO	SPI データ 1	B12

表 5-41. MCU_MCSPI1 信号の説明

信号名 [1]	ピンの種類 [2]	説明 [3]	ANF ピン [4]
MCU_SPI1_CLK	IO	SPI クロック	B9、C8
MCU_SPI1_CS0	IO	SPI チップ セレクト 0	C10
MCU_SPI1_CS1	IO	SPI チップ セレクト 2	D7
MCU_SPI1_CS2	IO	SPI チップ セレクト 2	B9、E9
MCU_SPI1_CS3	IO	SPI チップ セレクト 3	E8
MCU_SPI1_D0	IO	SPI データ 0	B11
MCU_SPI1_D1	IO	SPI データ 1	D10

5.3.15 MDIO

5.3.15.1 メイン ドメイン

表 5-42. MDIO0 信号の説明

信号名 [1]	ピンの種類 [2]	説明 [3]	ANF ピン [4]
MDIO0_MDC	O	MDIO クロック	V12
MDIO0_MDIO	IO	MDIO データ	V13

5.3.16 MMC

5.3.16.1 メイン ドメイン

表 5-43. MMC0 信号の説明

信号名 [1]	ピンの種類 [2]	説明 [3]	ANF ピン [4]
MMC0_CLK	IO	MMC/SD/SDIO クロック	AB7
MMC0_CMD	IO	MMC/SD/SDIO コマンド	Y6
MMC0_DAT0	IO	MMC/SD/SDIO データ	AA6
MMC0_DAT1	IO	MMC/SD/SDIO データ	AB6
MMC0_DAT2	IO	MMC/SD/SDIO データ	Y7
MMC0_DAT3	IO	MMC/SD/SDIO データ	AA7
MMC0_DAT4	IO	MMC/SD/SDIO データ	Y8
MMC0_DAT5	IO	MMC/SD/SDIO データ	W7
MMC0_DAT6	IO	MMC/SD/SDIO データ	W9
MMC0_DAT7	IO	MMC/SD/SDIO データ	AB8

Copyright © 2025 Texas Instruments Incorporated

表 5-44. MMC1 信号の説明

信号名 [1]	ピンの種類 [2]	説明 [3]	ANF ピン [4]
MMC1_CLK	IO	MMC/SD/SDIO クロック	E22
MMC1_CMD	IO	MMC/SD/SDIO コマンド	C21
MMC1_SDCD	I	SD カード検出	E18
MMC1_SDWP	I	SD 書き込み保護	D18
MMC1_DAT0	IO	MMC/SD/SDIO データ	B22
MMC1_DAT1	IO	MMC/SD/SDIO データ	D21
MMC1_DAT2	IO	MMC/SD/SDIO データ	C22
MMC1_DAT3	IO	MMC/SD/SDIO データ	D22

表 5-45. MMC2 信号の説明

信号名 [1]	ピンの種類 [2]	説明 [3]	ANF ピン [4]
MMC2_CLK (1)	IO	MMC/SD/SDIO クロック	H22
MMC2_CMD	IO	MMC/SD/SDIO コマンド	G22
MMC2_SDCD	I	SD カード検出	C17、F14、F22
MMC2_SDWP	I	SD 書き込み保護	C15、E17、E21
MMC2_DAT0	IO	MMC/SD/SDIO データ	E20
MMC2_DAT1	IO	MMC/SD/SDIO データ	F21
MMC2_DAT2	IO	MMC/SD/SDIO データ	F20
MMC2_DAT3	IO	MMC/SD/SDIO データ	G21

(1) MMC2 が適切に動作するには、CTRLMMR_PADCONFIG71 レジスタが RXACTIVE ビットをセット (1) し、TX_DIS ビットをリセット (0) するように構成されている必要があります。

5.3.17 OSPI

5.3.17.1 メイン ドメイン

表 5-46. OSPI0 信号の説明

信号名 [1]	ピンの種類 [2]	説明 [3]	ANF ピン [4]
OSPI0_CLK	O	OSPI クロック	L22
OSPI0_DQS	I	OSPI データ ストローブ (DQS) またはループバック クロック入力	L21
OSPI0_ECC_FAIL	I	OSPI ECC ステータス	G20
OSPI0_LBCLKO	IO	OSPI ループバック クロック出力	K22
OSPI0_CSn0	O	OSPI チップ セレクト 0 (アクティブ Low)	H21
OSPI0_CSn1	O	OSPI チップ セレクト 1 (アクティブ Low)	G19
OSPI0_CSn2	O	OSPI チップ セレクト 2 (アクティブ Low)	K20
OSPI0_CSn3	O	OSPI チップ セレクト 3 (アクティブ Low)	G20
OSPI0_D0	IO	OSPI データ 0	J21
OSPI0_D1	IO	OSPI データ 1	J18
OSPI0_D2	IO	OSPI データ 2	J19
OSPI0_D3	IO	OSPI データ 3	H18
OSPI0_D4	IO	OSPI データ 4	K21
OSPI0_D5	IO	OSPI データ 5	H19
OSPI0_D6	IO	OSPI データ 6	J20
OSPI0_D7	IO	OSPI データ 7	J22

表 5-46. OSPI0 信号の説明 (続き)

信号名 [1]	ピンの種類 [2]	説明 [3]	ANF ピン [4]
OSPI0_RESET_OUT0	O	OSPI のリセット	G20
OSPI0_RESET_OUT1	O	OSPI のリセット	K20

5.3.18 電源

表 5-47. 電源信号の説明

信号名 [1]	ピンの種類 [2]	説明 [3]	ANF ピン [4]
CAP_VDDS0 (1)	CAP	IO グループ 0 の外部コンデンサ接続	G13
CAP_VDDS1 (1)	CAP	IO グループ 1 の外部コンデンサ接続	K16
CAP_VDDS2 (1)	CAP	IO グループ 2 の外部コンデンサ接続	T14
CAP_VDDS3 (1)	CAP	IO グループ 3 の外部コンデンサ接続	M16
CAP_VDDS4 (1)	CAP	IO グループ 4 の外部コンデンサ接続	R8
CAP_VDDS5 (1)	CAP	IO グループ 5 の外部コンデンサ接続	G15
CAP_VDDS6 (1)	CAP	IO グループ 6 の外部コンデンサ接続	J16
CAP_VDDS_CANUART (1)	CAP	IO CANUART の外部コンデンサ接続	G8
CAP_VDDS_MCU (1)	CAP	IO MCU の外部コンデンサ接続	G10
VDDA_1P8_USB	PWR	USB0 および USB1 1.8 V アナログ電源	T10
VDDA_1P8_CSIRX0	PWR	CSIRX0 1.8 V アナログ電源	T12
VDDA_3P3_USB	PWR	USB0 および USB1 3.3 V アナログ電源	U10
VDDA_CORE_CSIRX0	PWR	CSIRX0 コア電源	T11
VDDA_CORE_USB	PWR	USB0 および USB1 コア電源	T9
VDDA_DDR_PLL0	PWR	DDR デスキュー PLL 電源	M9
VDDA_MCU	PWR	RCOSC、POR、POK、MCU_PLL0 アナログ電源	J10
VDDA_PLL0	PWR	MAIN_PLL0 および MAIN_PLL5 アナログ電源	N9
VDDA_PLL1	PWR	MAIN_PLL1 および MAIN_PLL2 アナログ電源	R11
VDDA_PLL2	PWR	MAIN_PLL7 および MAIN_PLL17 アナログ電源	M13
VDDA_PLL3	PWR	MAIN_PLL8 および MAIN_PLL15 アナログ電源	K13
VDDA_PLL4	PWR	MAIN_PLL12 アナログ電源	K10
VDDA_TEMP0	PWR	TEMP0 アナログ電源	P16
VDDA_TEMP1	PWR	TEMP1 アナログ電源	G18
VDDA_TEMP2	PWR	TEMP2 アナログ電源	L10
VDDR_CORE	PWR	RAM 電源	J14、K12、M10、M14、P12、P9
VDDSHV0	PWR	IO グループ 0 の IO 電源	G14、H13
VDDSHV1	PWR	IO グループ 1 の IO 電源	K15、L16
VDDSHV2	PWR	IO グループ 2 の IO 電源	R13、T13、U13
VDDSHV3	PWR	IO グループ 3 の IO 電源	L15、M15、N15
VDDSHV4	PWR	IO グループ 4 の IO 電源	T8、U8
VDDSHV5	PWR	IO グループ 5 の IO 電源	G16、H15
VDDSHV6	PWR	IO グループ 6 の IO 電源	H16、H17
VDDSHV_CANUART	PWR	IO CANUART の IO 電源	H8
VDDSHV_MCU	PWR	IO MCU の IO 電源	G11、H10

Copyright © 2025 Texas Instruments Incorporated

表 5-47. 電源信号の説明 (続き)

信号名 [1]	ピンの種類 [2]	説明 [3]	ANF ピン [4]
VDDS_DDR	PWR	DDR PHY IO 電源	A2、AA1、AB2、B1、J7、K8、L7、M8、N7、P8
VDDS_DDR_C	PWR	DDR クロック IO 電源	L8
VDDS_OSC0	PWR	MCU_OSC0 電源	J8
VDD_CANUART	PWR	CANUART コア電源	H9
VDD_CORE	PWR	コア電源	J11、J13、J15、J9、K14、L11、L13、L9、M12、N11、N13、P10、P14、R15、R9、T16、U15
VPP	PWR	eFuse ROM プログラミング電源	F7
VSS	PWR	グランド	A1, A10, A13, A18, A22, A4, A6, AA11, AA14, AA2, AA4, AA8, AB1, AB12, AB15, AB18, AB22, AB3, AB5, AB9, B3, B5, B7, C4, D11, D2, D20, D4, E1, E3, E5, F11, F13, F16, F2, F4, G12, G17, G3, G5, G9, H1, H11, H14, H20, H4, J12, J17, J3, K1, K11, K4, K7, K9, L12, L14, L20, L3, M11, M17, M4, M7, N1, N10, N12, N14, N16, N8, P11, P13, P15, P17, P20, P7, R10, R12, R14, R16, R2, R4, R6, T1, T15, T17, T3, T5, T7, U12, U14, U16, U2, U4, U6, U9, V1, V20, V3, V5, V7, V9, W11, W14, W2, W4, W6, W8, Y12, Y15, Y3, Y5, Y9

(1) 各 VDDSHVx ピンが常に 3.3V で動作している場合、このピンは必ず 6.3V 以上、0.8uF～1.5μF のコンデンサを介して VSS に接続する必要があります。選択したコンデンサは、DC バイアス、動作温度、経年変化の影響に対応するようにディレーティングされた後、定義された範囲内の容量を提供する必要があります。各 VDDSHVx ピンが 1.8V でのみ動作している場合は、3 つの接続オプションがあります。このピンは、3.3V での動作に必要なものと同じデカップリング コンデンサに接続することも、未接続のままにしておくことも、あるいは、各 VDDSHVx ピンと同じ 1.8V 電源に接続することもできます。

5.3.19 予約済み

表 5-48. 予約済み信号の説明

信号名 [1]	ピンの種類 [2]	説明 [3]	ANF ピン [4]
RSVD0	該当なし	予約済み、未接続のままにする必要あり	C6

表 5-48. 予約済み信号の説明 (続き)

信号名 [1]	ピンの種類 [2]	説明 [3]	ANF ピン [4]
RSVD1	該当なし	予約済み、未接続のままにする必要あり	D6
RSVD2	該当なし	予約済み、未接続のままにする必要あり	E7
RSVD3	該当なし	予約済み、未接続のままにする必要あり	F6
RSVD4	該当なし	予約済み、未接続のままにする必要あり	F10
RSVD5	該当なし	予約済み、未接続のままにする必要あり	G7
RSVD6	該当なし	予約済み、未接続のままにする必要あり	U11
RSVD7	該当なし	予約済み、未接続のままにする必要あり	V11

5.3.20 システム、その他

5.3.20.1 ブート モードの構成

5.3.20.1.1 メイン ドメイン

表 5-49. Sysboot 信号の説明

信号名 [1]	ピンの種類 [2]	説明 [3]	ANF ピン [4]
BOOTMODE00	I	ブートモード ピン 0	N21
BOOTMODE01	I	ブートモード ピン 1	N20
BOOTMODE02	I	ブートモード ピン 2	N19
BOOTMODE03	I	ブートモード ピン 3	N18
BOOTMODE04	I	ブートモード ピン 4	N17
BOOTMODE05	I	ブートモード ピン 5	P18
BOOTMODE06	I	ブートモード ピン 6	P19
BOOTMODE07	I	ブートモード ピン 7	P21
BOOTMODE08	I	ブートモード ピン 8	P22
BOOTMODE09	I	ブートモード ピン 9	R19
BOOTMODE10	I	ブートモード ピン 10	R20
BOOTMODE11	I	ブートモード ピン 11	R22
BOOTMODE12	I	ブートモード ピン 12	T22
BOOTMODE13	I	ブートモード ピン 13	R21
BOOTMODE14	I	ブートモード ピン 14	T20
BOOTMODE15	I	ブートモード ピン 15	T21

5.3.20.2 クロック

5.3.20.2.1 MCU ドメイン

表 5-50. MCU クロック信号の説明

信号名 [1]	ピンの種類 [2]	説明 [3]	ANF ピン [4]
MCU_OSC0_XI	I	高周波数発振器入力	A12
MCU_OSC0_XO	O	高周波数発振器出力	A11

5.3.20.2.2 WKUP ドメイン

表 5-51. WKUP クロック信号の説明

信号名 [1]	ピンの種類 [2]	説明 [3]	ANF ピン [4]
WKUP_LFOSC0_XI	I	低周波 (32.768 kHz) 発振器入力	A8
WKUP_LFOSC0_XO	O	低周波数 (32.768kHz) 発振器出力	A9

Copyright © 2025 Texas Instruments Incorporated

5.3.20.3 システム

5.3.20.3.1 メイン ドメイン

表 5-52. システム信号の説明

信号名 [1]	ピンの種類 [2]	説明 [3]	ANF ピン [4]
AUDIO_EXT_REFCLK0	IO	McASP への外部クロック入力または McASP からの出力	AB20、B20、F14
AUDIO_EXT_REFCLK1	IO	McASP への外部クロック入力または McASP からの出力	A20、C15、K17
CLKOUT0	O	RMII クロック出力 (50MHz)。このピンは外部 RMII PHY へのクロック ソース源に使用され、本デバイスを適切に動作させるためには、対応する RMII[x]_REF_CLK ピンにも配線する必要があります。	AA17、B16、W17
EXTINTn	I	外部割り込み	F17
EXT_REFCLK1	I	メイン ドメインへの外部クロック入力	B16
OBSCLK0	O	テストおよびデバッグ専用メイン ドメイン観測クロック出力	R20
OBSCLK1	O	テストおよびデバッグ専用メイン ドメイン観測クロック出力	D17
PORz_OUT	O	メイン ドメインの POR ステータス出力	F18
RESETSTATz	O	メイン ドメインのウォーム リセット ステータス出力	F19
RESET_REQz	I	メイン ドメインの外部ウォーム リセット要求入力	E19
SYSCLKOUT0	O	テストおよびデバッグ専用メイン ドメインのシステム クロック出力 (4 分周)	B16

5.3.20.3.2 MCU ドメイン

表 5-53. MCU システム信号の説明

信号名 [1]	ピンの種類 [2]	説明 [3]	ANF ピン [4]
MCU_ERRORn	IO	MCU ドメイン ESM からのエラー信号出力	B8
MCU_EXT_REFCLK0	I	MCU ドメインへの外部入力	C11、D7
MCU_OBSCLK0	O	テストおよびデバッグ専用 MCU ドメイン監視クロック出力	C11
MCU_PORz	I	MCU と MAIN ドメインのコールド リセット	A7
MCU_RESETSTATz	O	MCU ドメイン ウォーム リセット ステータス出力	D14
MCU_RESETz	I	MCU と MAIN ドメインのウォーム リセット	C12
MCU_SYSCLKOUT0	O	テストおよびデバッグ専用 MCU ドメインのシステム クロック出力 (4 分周)	C11

5.3.20.3.3 WKUP ドメイン

表 5-54. WKUP システム信号の説明

信号名 [1]	ピンの種類 [2]	説明 [3]	ANF ピン [4]
PMIC_LPM_EN0	O	デュアル機能 PMIC 制御出力、低消費電力モード (アクティブ Low) または PMIC イネーブル (アクティブ High)	D12
WKUP_CLKOUT0	O	WKUP ドメインの CLKOUT0 出力	B10

5.3.20.4 VMON

表 5-55. VMON 信号の説明

信号名 [1]	ピンの種類 [2]	説明 [3]	ANF ピン [4]
VMON_1P8_SOC	A	1.8V SoC 電源用電圧モニタ入力	F12
VMON_3P3_SOC	A	3.3V SoC 電源用電圧モニタ入力	F9

表 5-55. VMON 信号の説明 (続き)

信号名 [1]	ピンの種類 [2]	説明 [3]	ANF ピン [4]
VMON_VSYS	A	電圧モニタ入力、固定 0.45V (±3%) スレッショルド。PMIC 入力電源などのより高い電圧レールを監視するには、外付けの高精度分圧器と組み合わせて使用します。	H12

5.3.21 TIMER

5.3.21.1 メイン ドメイン

表 5-56. TIMER 信号の説明

信号名 [1]	ピンの種類 [2]	説明 [3]	ANF ピン [4]
TIMER_IO0	IO	タイマ入力および出力 (1 つのタイマ インスタンスに固定されていない)	C17、D22、Y7
TIMER_IO1	IO	タイマ入力および出力 (1 つのタイマ インスタンスに固定されていない)	C22、E17
TIMER_IO2	IO	タイマ入力および出力 (1 つのタイマ インスタンスに固定されていない)	B17、D21
TIMER_IO3	IO	タイマ入力および出力 (1 つのタイマ インスタンスに固定されていない)	B22、C18
TIMER_IO4	IO	タイマ入力および出力 (1 つのタイマ インスタンスに固定されていない)	AB7、B16、E22
TIMER_IO5	IO	タイマ入力および出力 (1 つのタイマ インスタンスに固定されていない)	C21、E16、Y6
TIMER_IO6	IO	タイマ入力および出力 (1 つのタイマ インスタンスに固定されていない)	E18、F14
TIMER_IO7	IO	タイマ入力および出力 (1 つのタイマ インスタンスに固定されていない)	C15、D18

5.3.21.2 MCU ドメイン

表 5-57. MCU_TIMER 信号の説明

信号名 [1]	ピンの種類 [2]	説明 [3]	ANF ピン [4]
MCU_TIMER_IO0	IO	タイマ入力および出力 (1 つのタイマ インスタンスに固定されていない)	B11、E8
MCU_TIMER_IO1	IO	タイマ入力および出力 (1 つのタイマ インスタンスに固定されていない)	C11、D10
MCU_TIMER_IO2	IO	タイマ入力および出力 (1 つのタイマ インスタンスに固定されていない)	D7
MCU_TIMER_IO3	IO	タイマ入力および出力 (1 つのタイマ インスタンスに固定されていない)	B9

5.3.21.3 WKUP ドメイン

表 5-58. WKUP_TIMER 信号の説明

信号名 [1]	ピンの種類 [2]	説明 [3]	ANF ピン [4]
WKUP_TIMER_IO0	IO	タイマ入力および出力 (1 つのタイマ インスタンスに固定されていない)	C10、C7
WKUP_TIMER_IO1	IO	タイマ入力および出力 (1 つのタイマ インスタンスに固定されていない)	C8、E11

Copyright © 2025 Texas Instruments Incorporated

5.3.22 UART

5.3.22.1 メイン ドメイン

表 5-59. UART0 信号の説明

信号名 [1]	ピンの種類 [2]	説明 [3]	ANF ピン [4]
UART0_CTSn	I	UART CTS (Clear to Send) (アクティブ Low)	F14
UART0_RTSn	O	UART RTS (Request to Send) (アクティブ Low)	C15
UART0_RXD	I	UART 受信データ	E14
UART0_TXD	O	UART 送信データ	D15

表 5-60. UART1 信号の説明

信号名 [1]	ピンの種類 [2]	説明 [3]	ANF ピン [4]
UART1_CTSn	I	UART CTS (Clear to Send) (アクティブ Low)	C19
UART1_DCDn	I	UART CTS (Clear to Send) (アクティブ Low)	D17
UART1_DSRn	I	UART DSR (Data Set Ready) (アクティブ Low)	E16
UART1_DTRn	O	UART DTR (Data Terminal Ready) (アクティブ Low)	B17
UART1_RIn	I	UART リング インジケータ	C18
UART1_RTSn	O	UART RTS (Request to Send) (アクティブ Low)	B19
UART1_RXD	I	UART 受信データ	B21、C17
UART1_TXD	O	UART 送信データ	A21、E17

表 5-61. UART2 信号の説明

信号名 [1]	ピンの種類 [2]	説明 [3]	ANF ピン [4]
UART2_CTSn	I	UART CTS (Clear to Send) (アクティブ Low)	AA22、B22、T20、Y8
UART2_RTSn	O	UART RTS (Request to Send) (アクティブ Low)	D21、T21、V17、W7
UART2_RXD	I	UART 受信データ	AB8、D22、F14、P22、U22
UART2_TXD	O	UART 送信データ	C15、C22、R19、U21、W9

表 5-62. UART3 信号の説明

信号名 [1]	ピンの種類 [2]	説明 [3]	ANF ピン [4]
UART3_CTSn	I	UART CTS (Clear to Send) (アクティブ Low)	AA6、D18、U17
UART3_RTSn	O	UART RTS (Request to Send) (アクティブ Low)	AB6、E18、T18
UART3_RXD	I	UART 受信データ	AA7、E22、R20、U20
UART3_TXD	O	UART 送信データ	C21、R22、U19、Y7

表 5-63. UART4 信号の説明

信号名 [1]	ピンの種類 [2]	説明 [3]	ANF ピン [4]
UART4_CTSn	I	UART CTS (Clear to Send) (アクティブ Low)	Y22
UART4_RTSn	O	UART RTS (Request to Send) (アクティブ Low)	Y21
UART4_RXD	I	UART 受信データ	F22、M22、T19、T22

表 5-63. UART4 信号の説明 (続き)

信号名 [1]	ピンの種類 [2]	説明 [3]	ANF ピン [4]
UART4_TXD	O	UART 送信データ	E21、M20、R21、U18

表 5-64. UART5 信号の説明

信号名 [1]	ピンの種類 [2]	説明 [3]	ANF ピン [4]
UART5_CTSn	I	UART CTS (Clear to Send) (アクティブ Low)	L21、W19
UART5_RTSn	O	UART RTS (Request to Send) (アクティブ Low)	K22、W20
UART5_RXD	I	UART 受信データ	B17、G21、K20、T20、V22
UART5_TXD	O	UART 送信データ	C18、F20、G20、T21、V21

表 5-65. UART6 信号の説明

信号名 [1]	ピンの種類 [2]	説明 [3]	ANF ピン [4]
UART6_CTSn	I	UART CTS (Clear to Send) (アクティブ Low)	J22、W21
UART6_RTSn	O	UART RTS (Request to Send) (アクティブ Low)	J20、W22
UART6_RXD	I	UART 受信データ	C19、E18、H22、K21、R17、V19
UART6_TXD	O	UART 送信データ	B19、D18、G22、H19、K17、V18

5.3.22.2 MCU ドメイン

表 5-66. MCU_UART0 信号の説明

信号名 [1]	ピンの種類 [2]	説明 [3]	ANF ピン [4]
MCU_UART0_CTSn	I	UART CTS (Clear to Send) (アクティブ Low)	B11
MCU_UART0_RTSn	O	UART RTS (Request to Send) (アクティブ Low)	D10
MCU_UART0_RXD	I	UART 受信データ	D8
MCU_UART0_TXD	O	UART 送信データ	F8

5.3.22.3 WKUP ドメイン

表 5-67. WKUP_UART0 信号の説明

信号名 [1]	ピンの種類 [2]	説明 [3]	ANF ピン [4]
WKUP_UART0_CTSn	I	UART CTS (Clear to Send) (アクティブ Low)	C10
WKUP_UART0_RTSn	O	UART RTS (Request to Send) (アクティブ Low)	C8
WKUP_UART0_RXD	I	UART 受信データ	C9
WKUP_UART0_TXD	O	UART 送信データ	E9

5.3.23 USB

5.3.23.1 メイン ドメイン

表 5-68. USB0 信号の説明

信号名 [1]	ピンの種類 [2]	説明 [3]	ANF ピン [4]
USB0_DM	IO	USB 2.0 差動データ (負)	AA10
USB0_DP	IO	USB 2.0 差動データ (正)	AA9
USB0_DRVVBUS	O	USB VBUS 制御出力 (アクティブ High)	C20

Copyright © 2025 Texas Instruments Incorporated

表 5-68. USB0 信号の説明 (続き)

信号名 [1]	ピンの種類 [2]	説明 [3]	ANF ピン [4]
USB0_RCALIB (1)	IO	キャリブレーション抵抗に接続するピン	W10
USB0_VBUS (2)	A	USB レベル シフト VBUS 入力	V8

(1) このピンと VSS の間に 499Ω ±1% の外付け抵抗を接続する必要があり、抵抗の最大消費電力は 7.2mW です。このピンに外部電圧を印加しないでください。
(2) このデバイス ピンに印加される電圧を制限するには、外付けの分圧抵抗が必要です。詳細については、セクション 8.2.3「USB VBUS の設計ガイドライン」を参照してください。

表 5-69. USB1 信号の説明

信号名 [1]	ピンの種類 [2]	説明 [3]	ANF ピン [4]
USB1_DM	IO	USB 2.0 差動データ (負)	Y11
USB1_DP	IO	USB 2.0 差動データ (正)	Y10
USB1_DRVVBUS	O	USB VBUS 制御出力 (アクティブ High)	D19
USB1_RCALIB (1)	IO	キャリブレーション抵抗に接続するピン	U7
USB1_VBUS (2)	A	USB レベル シフト VBUS 入力	V6

(1) このピンと VSS の間に 499Ω ±1% の外付け抵抗を接続する必要があり、抵抗の最大消費電力は 7.2mW です。このピンに外部電圧を印加しないでください。
(2) このデバイス ピンに印加される電圧を制限するには、外付けの分圧抵抗が必要です。詳細については、セクション 8.2.3「USB VBUS の設計ガイドライン」を参照してください。

5.4 ピン接続要件

このセクションでは、特定の接続要件を持つパッケージ ボールと、未使用のパッケージ ボールの接続要件について説明します。

注

特に記述のない限り、すべての電源ピンには セクション 6.5 の「*推奨動作条件*」で規定されている電圧を供給する必要があります。

注

「未接続のまま」または「接続なし」(NC) は、これらのデバイスのボール番号にいかなる信号トレースも接続**できない**ことを意味します。

表 5-70. 接続要件

ANF ボール番号	ボール名	接続要件
B8 F15	MCU_ERRORn TRSTn	PCB 信号トレースが接続されていて、接続されたデバイスでアクティブに駆動されていない場合、これらのボールに関連付けられている入力が有効なロジック Low レベルに保持されるように、各ボールを個別の外付けプル抵抗を介して VSS に接続する必要があります。ボールに PCB 信号トレースが接続されていない場合、内部プルダウンを使用して有効なロジック Low レベルを保持できます。
C13 E10 C12 E19 A14 A16 B14	EMU0 EMU1 MCU_RESETz RESET_REQz TCK TDI TMS	PCB 信号トレースが接続されており、かつ接続されたデバイスによってアクティブに駆動されていない場合、これらのボールに関連付けられた入力が有効なロジック High レベルに保持されるように、これらの各ボールを個別の外付けプル抵抗を介して対応する電源[(1)] に接続する必要があります。ボールに PCB 信号トレースが接続されていない場合、内部プルアップを使用して有効なロジック High レベルを保持できます。
E12 D9 D13 E13	MCU_I2C0_SCL MCU_I2C0_SDA WKUP_I2C0_SCL WKUP_I2C0_SDA	これらのボールに関連付けられた入力が、選択した信号機能に適した有効なロジック High または Low レベルに保持されるように、これらの各ボールを個別の外付けプル抵抗を介して対応する電源 [(1)] または VSS に接続する必要があります。
N21 N20 N19 N18 N17 P18 P19 P21 P22 R19 R20 R22 T22 R21 T20 T21	GPMC0_AD0 GPMC0_AD1 GPMC0_AD2 GPMC0_AD3 GPMC0_AD4 GPMC0_AD5 GPMC0_AD6 GPMC0_AD7 GPMC0_AD8 GPMC0_AD9 GPMC0_AD10 GPMC0_AD11 GPMC0_AD12 GPMC0_AD13 GPMC0_AD14 GPMC0_AD15	目的のデバイスのブート モードを選択するため、これらのボールに関連付けられた入力が適切に有効なロジック High または Low レベルに保持されるように、これらの各ボールを個別の外付けプル抵抗を介して対応する電源 [(1)] または VSS に接続する必要があります。

Copyright © 2025 Texas Instruments Incorporated

表 5-70. 接続要件 (続き)

ANF ボール番号	ボール名	接続要件
A2 AA1 AB2 B1 J7 K8 L7 M8 N7 P8 L8	VDDS_DDR VDDS_DDR VDDS_DDR VDDS_DDR VDDS_DDR VDDS_DDR VDDS_DDR VDDS_DDR VDDS_DDR VDDS_DDR VDDS_DDR_C	DDRSS を使用しない場合は、各ボールを VSS に直接接続する必要があります。

表 5-70. 接続要件 (続き)

ANF ボール番号	ボール名	接続要件
N5	DDR0_ACT_n	
H7	DDR0_ALERT_n	
M5	DDR0_CAS_n	
N2	DDR0_PAR	
M6	DDR0_RAS_n	
N6	DDR0_WE_n	
J5	DDR0_A0	
J2	DDR0_A1	
J4	DDR0_A2	
L4	DDR0_A3	
J1	DDR0_A4	
K5	DDR0_A5	
K3	DDR0_A6	
H2	DDR0_A7	
L6	DDR0_A8	
L2	DDR0_A9	
K2	DDR0_A10	
L5	DDR0_A11	
M3	DDR0_A12	
M2	DDR0_A13	
K6	DDR0_BA0	
H3	DDR0_BA1	
P4	DDR0_BG0	
R7	DDR0_BG1	
H6	DDR0_CAL0	
M1	DDR0_CK0	
L1	DDR0_CK0_n	
P3	DDR0_CKE0	
P5	DDR0_CKE1	DDRSS を使用しない場合は、未接続のままにします。 注:このリストの DDR0 ピンは、VDDS_DDR および VDDS_DDR_C が VSS に接続されている場合のみ未接続のままにできます。VDDS_DDR および VDDS_DDR_C を電源に接続する場合、『DDR 基板の設計およびレイアウトのガイドライン』の定義に従って DDR0 ピンを接続する必要があります。
J6	DDR0_CS0_n	
N4	DDR0_CS1_n	
C2	DDR0_DM0	
F3	DDR0_DM1	
U1	DDR0_DM2	
W3	DDR0_DM3	
A5	DDR0_DQ0	
B4	DDR0_DQ1	
B6	DDR0_DQ2	
D5	DDR0_DQ3	
C5	DDR0_DQ4	
C3	DDR0_DQ5	
B2	DDR0_DQ6	
A3	DDR0_DQ7	
E2	DDR0_DQ8	
F5	DDR0_DQ9	
E6	DDR0_DQ10	
G2	DDR0_DQ11	
G6	DDR0_DQ12	
G4	DDR0_DQ13	
E4	DDR0_DQ14	
D3	DDR0_DQ15	
T6	DDR0_DQ16	
T4	DDR0_DQ17	
U5	DDR0_DQ18	
R5	DDR0_DQ19	
P2	DDR0_DQ20	
R3	DDR0_DQ21	
T2	DDR0_DQ22	
U3	DDR0_DQ23	
Y2	DDR0_DQ24	
V2	DDR0_DQ25	
V4	DDR0_DQ26	
W5	DDR0_DQ27	

Copyright © 2025 Texas Instruments Incorporated

表 5-70. 接続要件 (続き)

ANF ボール番号	ボール名	接続要件
Y4 AA3 AA5 AB4 D1 C1 G1 F1 R1 P1 W1 Y1 H5 N3 P6	DDR0_DQ28 DDR0_DQ29 DDR0_DQ30 DDR0_DQ31 DDR0_DQS0 DDR0_DQS0_n DDR0_DQS1 DDR0_DQS1_n DDR0_DQS2 DDR0_DQS2_n DDR0_DQS2 DDR0_DQS2_n DDR0_ODT0 DDR0_ODT1 DDR0_RESET0_n	
T9 T10 U10	VDDA_CORE_USB VDDA_1P8_USB VDDA_3P3_USB	USB0 と USB1 はこれらの電源レールを共有するため、USB0 または USB1 を使用するときは、これらの各ボールを有効な電源に接続する必要があります。 USB0 と USB1 を使用しない場合、これらのボールをそれぞれ VSS に直接接続する必要があります。
AA10 AA9 W10 V8 Y11 Y10 U7 V6	USB0_DM USB0_DP USB0_RCALIB USB0_VBUS USB1_DM USB1_DP USB1_RCALIB USB1_VBUS	USB0 または USB1 を使用しない場合は、それぞれの DM、DP、VBUS ボールを未接続のままにします。 注:USB0_RCALIB および USB1_RCALIB ピンは、VDDA_CORE_USB、VDDA_1P8_USB、VDDA_3P3_USB が VSS に接続されている場合のみ未接続のままにできます。VDDA_CORE_USB、VDDA_1P8_USB、VDDA_3P3_USB を電源に接続する場合、USB0_RCALIB ピンと USB1_RCALIB ピンは、個別の適切な外付け抵抗を介して VSS に接続する必要があります。
T11 T12	VDDA_CORE_CSIRX0 VDDA_1P8_CSIRX0	CSIRX0 を使用せず、デバイスのバウンダリ スキャン機能が必要な場合は、これらの各ボールを有効な電源に接続する必要があります。 CSIRX0 を使用せず、デバイスのバウンダリ スキャン機能が不要な場合は、これらのボールをそれぞれ VSS に直接接続することもできます。
AB14 AB13 W12 W13 Y13 Y14 AA13 AA12 AB11 AB10 V10	CSI0_RXCLKN CSI0_RXCLKP CSI0_RXN0 CSI0_RXP0 CSI0_RXN1 CSI0_RXP1 CSI0_RXN2 CSI0_RXP2 CSI0_RXN3 CSI0_RXP3 CSI0_RXRCALIB	CSIRX0 を使用しない場合は、未接続のままにします。
H12	VMON_VSYS	VMON_VSYS を使用しない場合、このボールを VSS に直接接続する必要があります。
F12	VMON_1P8_SOC	VMON_1P8_SOC を使用して SOC 電源レールの監視を行わない場合、このボールは 1.8V 電源レールに接続したままにする必要があります。
F9	VMON_3P3_SOC	VMON_3P3_SOC を使用して SOC 電源レールを監視しない場合、このボールは 3.3V 電源レールまたは VSS に直接接続したままにする必要があります。

(1) IO にどの電源が関連付けられているかを確認するには、*「ピン属性」* 表を参照してください。

注

内部プル抵抗は駆動力が弱いため、動作条件によっては有効なロジック レベルを維持するのに十分な電流を供給できない場合があります。この状況は、逆のロジック レベルへのリークがある部品に接続されている場合や、内部抵抗によって有効なロジック レベルにプルされているだけのボールに接続された信号トレースに外部ノイズ源が結合した場合に発生することがあります。そのため、外付けプル抵抗を使って、ボールの有効なロジック レベルを保持することを推奨します。

デバイス IO の多くはデフォルトでオフになっているため、ソフトウェアで各 IO が初期化されるまで、接続されているすべてのデバイスの入力を有効なロジック状態に保持するために、外部プル抵抗が必要になる場合があります。構成可能なデバイス IO の状態は、*「ピン属性」* 表の「リセット時のボールの状態 (RX/TX/PULL)」と「リセット後のボールの状態 (RX/TX/PULL)」列に定義されています。入力バッファ (RX) がオフになっている IO は、フローティング状態にしても、本デバイスに損傷を与えません。ただし、入力バッファ (RX) がオンになっている IO は、V_{ILSS} と V_{IHSS} の間の電位にフローティングさせることはできません。入力をこれらのレベルの間の電位にフローティングさせた場合、入力バッファが大電流状態に入ることがあり、IO セルが損傷する可能性があります。

Copyright © 2025 Texas Instruments Incorporated

6 仕様

6.1 絶対最大定格

接合部動作温度範囲内 (特に記述のない限り)[(1) (2)]

パラメータ		最小値	最大値	単位
VDD_CORE	コア電源	-0.3	1.05	V
VDDR_CORE	RAM 電源	-0.3	1.05	V
VDD_CANUART	CANUART コア電源	-0.3	1.05	V
VDDA_CORE_CSIRX0	CSIRX0 コア電源	-0.3	1.05	V
VDDA_CORE_USB	USB0 および USB1 コア電源	-0.3	1.05	V
VDDA_DDR_PLL0	DDR デスキュー PLL 電源	-0.3	1.05	V
VDDS_DDR	DDR PHY IO 電源	-0.3	1.57	V
VDDS_DDR_C	DDR クロック IO 電源	-0.3	1.57	V
VDDS_OSC0	MCU_OSC0 電源	-0.3	1.98	V
VDDA_MCU	RCOSC、POR、POK、MCU_PLL0 アナログ電源	-0.3	1.98	V
VDDA_PLL0	MAIN_PLL0 および MAIN_PLL5 アナログ電源	-0.3	1.98	V
VDDA_PLL1	MAIN_PLL1 および MAIN_PLL2 アナログ電源	-0.3	1.98	V
VDDA_PLL2	MAIN_PLL7 および MAIN_PLL17 アナログ電源	-0.3	2.2	V
VDDA_PLL3	MAIN_PLL8 および MAIN_PLL15 アナログ電源	-0.3	1.98	V
VDDA_PLL4	MAIN_PLL12 アナログ電源	-0.3	1.98	V
VDDA_1P8_CSIRX0	CSIRX0 1.8 V アナログ電源	-0.3	1.98	V
VDDA_1P8_USB	USB0 および USB1 1.8 V アナログ電源	-0.3	1.98	V
VDDA_TEMP0	TEMP0 アナログ電源	-0.3	1.98	V
VDDA_TEMP1	TEMP1 アナログ電源	-0.3	2.2	V
VDDA_TEMP2	TEMP2 アナログ電源	-0.3	1.98	V
VPP	eFuse ROM プログラミング電源	-0.3	1.98	V
VDDSHV_MCU	IO MCU の IO 電源	-0.3	3.63	V
VDDSHV_CANUART	IO CANUART の IO 電源	-0.3	3.63	V
VDDSHV0	IO グループ 0 の IO 電源	-0.3	3.63	V
VDDSHV1	IO グループ 1 の IO 電源	-0.3	3.63	V
VDDSHV2	IO グループ 2 の IO 電源	-0.3	3.63	V
VDDSHV3	IO グループ 3 の IO 電源	-0.3	3.63	V
VDDSHV4	IO グループ 4 の IO 電源	-0.3	3.63	V
VDDSHV5	IO グループ 5 の IO 電源	-0.3	3.63	V
VDDSHV6	IO グループ 6 の IO 電源	-0.3	3.63	V
VDDA_3P3_USB	USB0 および USB1 3.3 V アナログ電源	-0.3	3.63	V

接合部動作温度範囲内 (特に記述のない限り)[(1) (2)]

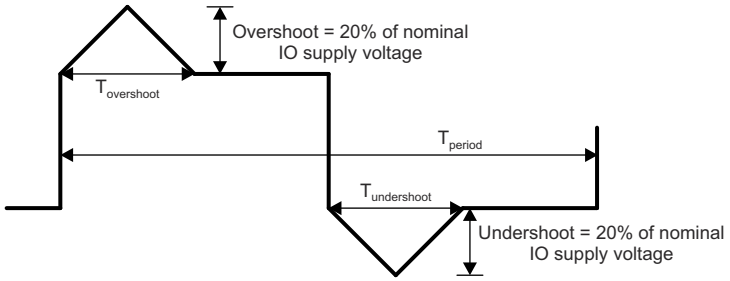
パラメータ		最小値	最大値	単位
すべてのフェイルセーフ IO ピンの定常状態の最大電圧	MCU_PORz	-0.3	3.63	V
	1.8V で動作する場合、MCU_I2C0_SCL、MCU_I2C0_SDA、WKUP_I2C0_SCL、WKUP_I2C0_SDA、EXTINTn	-0.3	1.98[(3)]	V
	3.3V で動作する場合、MCU_I2C0_SCL、MCU_I2C0_SDA、WKUP_I2C0_SCL、WKUP_I2C0_SDA、EXTINTn	-0.3	3.63[(3)]	
	VMON_1P8_SOC	-0.3	1.98	V
	VMON_3P3_SOC	-0.3	3.63	V
	VMON_VSYS[(4)]	-0.3	1.98	V
他のすべての IO ピンの定常状態の最大電圧[(5)]	USB0_VBUS、USB1_VBUS[(6)]	-0.3	3.6	V
	その他のすべての IO ピン	-0.3	IO 電源電圧 + 0.3	V
IO ピンの過渡オーバーシュートおよびアンダーシュート	信号周期の最大 20% にわたって IO 電源電圧の 20% (図 6-1、「IO 過渡電圧範囲」を参照)		0.2 × VDD[(7)]	V
ラッチアップ性能[(8)]	I 試験	-100	100	mA
	過電圧 (OV) 試験		1.5 x VDD[(7)]	V
T_{STG}	保存温度	-55	+150	℃

(1) 「絶対最大定格」の範囲外の動作は、デバイスの永続的な損傷の原因となる可能性があります。「絶対最大定格」は、これらの条件において、または「推奨動作条件」に示された値を超える他のいかなる条件でも、本製品が正しく動作することを意味するものではありません。「絶対最大定格」の範囲内であっても セクション 6.5「推奨動作条件」の範囲外で使用すると、デバイスが完全に機能しない可能性があり、デバイスの信頼性、機能、性能に影響を及ぼし、デバイスの寿命を縮める可能性があります。
(2) すべての電圧値は、特に記述のない限り、VSS 端子を基準とします。
(3) これらのフェイルセーフ ピンの絶対最大定格は、それらの IO 電源動作電圧に左右されます。したがって、この値は、「I2C オープン ドレインおよびフェイルセーフ (I2C OD FS) の電気的特性」セクションに記載されている最大 V_{IH} 値によっても規定され、この電気的特性表では 1.8V モードと 3.3V モードに別々のパラメータ値があります。
(4) VMON_VSYS ピンは、システム電源を監視する手段を提供します。詳細については、『システム電源監視設計ガイドライン』セクション 8.2.4 を参照してください。
(5) このパラメータはフェイルセーフでないすべての IO ピンに適用され、IO 電源電圧のすべての値に要件が適用されます。たとえば、特定の IO 電源に印加される電圧が 0V の場合、その電源から供給される IO の有効な入力電圧範囲は -0.3V～+0.3V になります。ペリフェラル デバイスに電力を供給する電源がそれぞれの IO 電源に電力を供給する電源と同じでない場合は、特別な注意が必要です。接続されているペリフェラルにおいて、電源のランプアップやランプダウンのシーケンスなど、有効な入力電圧範囲外の電圧を供給しないことが重要になります。
(6) このデバイス ピンに印加される電圧を制限するには、外付けの分圧抵抗が必要です。詳細については、『USB 設計ガイドライン』セクション 8.2.3 を参照してください。
(7) VDD は、IO の対応する電源ピンの電圧です。
(8) 電流パルス注入 (I-Test) の場合:
- JEDEC JESD78 (Class II) に従ってピンにストレスを加え、規定の I/O ピン注入電流と最大推奨 I/O 電圧の +1.5 倍および -0.5 倍のクランプ電圧に合格しました。

過電圧性能 (過電圧 (OV) 試験) の場合:
- JEDEC JESD78 (Class II) に従って電源にストレスを加え、規定の電圧注入に合格しました。

フェイルセーフ IO 端子は、それぞれの IO 電源電圧に依存しないように設計されています。これにより、該当する IO 電源がオフのときに、これらの IO 端子に外部電圧源を接続できます。MCU_I2C0_SCL、MCU_I2C0_SDA、WKUP_I2C0_SCL、WKUP_I2C0_SDA、EXTINTn、VMON_1P8_SOC、VMON_3P3_SOC、および MCU_PORz だけがフェイルセーフ IO 端子です。それ以外の IO 端子はいずれもフェイルセーフではなく、それらに印加される電圧は、セクション 6.1 の「すべての IO ピンの定常状態の最大電圧」パラメータで定義されている値に制限する必要があります。

Copyright © 2025 Texas Instruments Incorporated



A. $T_{overshoot} + T_{undershoot} < T_{period}$ の 20%

図 6-1. IO 過渡電圧範囲

6.2 AEC-Q100 未認定デバイスの ESD 定格

			値	単位
$V_{(ESD)}$	静電気放電 (ESD)	人体モデル (HBM)、ANSI/ESDA/JEDEC JS-001 準拠(1)	±1000	V
		デバイス帯電モデル (CDM)、ANSI/ESDA/JEDEC JS-002 準拠 (2)	±250	

(1) JEDEC のドキュメント JEP155 に、500V HBM では標準の ESD 管理プロセスで安全な製造が可能であると規定されています。
(2) JEDEC のドキュメント JEP157 に、250V CDM では標準の ESD 管理プロセスで安全な製造が可能であると規定されています。

6.3 AEC-Q100 認定デバイスの ESD 定格

				値	単位
$V_{(ESD)}$	静電放電	人体モデル (HBM)、AEC - Q100-002 準拠(1)		±1000	V
		デバイス帯電モデル (CDM)、AEC - Q100-011 準拠	コーナー ピン (A1、A22、AB1、AB22)	±750	
			その他のすべてのピン	±250	

(1) AEC - Q100-002 は、HBM ストレス試験を ANSI / ESDA / JEDEC JS-001 仕様に従って実施しなければならないと規定しています。

6.4 電源投入時間 (POH)

パワー オン時間 (POH)(1) (2) (3)		
接合部温度範囲 (T_J)		寿命 (POH)
拡張	-40℃ ～ 105℃	100000
車載用	-40℃～125℃	20000(4)

(1) この情報は、お客様の利便性のみを目的として提供されるものであり、テキサス・インスツルメンツの半導体製品に関する標準的な契約条件に基づいて提供される保証を拡張または変更するものではありません。
(2) 上記の表に記述されていない限り、すべての電圧ドメインと動作条件は、記載された温度において本デバイスでサポートされています。
(3) POH は、電圧、温度、時間の関数です。より高い電圧および温度で使用すると POH が低減します。
(4) 車載プロファイルは、以下のように接合部温度に応じて 20000 時間の電源オン時間として定義されます。5%@-40°C、65%@70°C、20%@110°C、10%@125°C。

6.5 推奨動作条件

接合部動作温度範囲内 (特に記述のない限り)

電源名	説明		最小値[1]	公称値	最大値[1]	単位
VDD_CORE[2] VDDA_CORE_CSIRX0[2] VDDA_CORE_USB[2] VDDA_DDR_PLL0[2]	コア電源 CSIRX0 コア電源 USB0 および USB1 コア電源 DDR デスキュー PLL 電源	0.75V 動作	0.715	0.75	0.79	V
		0.85V 動作	0.81	0.85	0.895	V
VDD_CANUART[3]	CANUART コア電源	0.75V 動作	0.715	0.75	0.79	V
		0.85V 動作	0.81	0.85	0.895	V
VDDR_CORE	RAM 電源		0.81	0.85	0.895	V
VDDS_DDR[4] VDDS_DDR_C[4]	DDR PHY IO 電源 DDR クロック IO 電源	1.1V 動作	1.06	1.1	1.17	V
VDDS_OSC0	MCU_OSC0 電源		1.71	1.8	1.89	V
VDDA_MCU	RCOSC、POR、POK、MCU_PLL0 アナログ電源		1.71	1.8	1.89	V
VDDA_PLL0	MAIN_PLL0 および MAIN_PLL5 アナログ電源		1.71	1.8	1.89	V
VDDA_PLL1	MAIN_PLL1 および MAIN_PLL2 アナログ電源		1.71	1.8	1.89	V
VDDA_PLL2	MAIN_PLL7 および MAIN_PLL17 アナログ電源		1.71	1.8	1.89	V
VDDA_PLL3	MAIN_PLL8 および MAIN_PLL15 アナログ電源		1.71	1.8	1.89	V
VDDA_PLL4	MAIN_PLL12 アナログ電源		1.71	1.8	1.89	V
VDDA_1P8_CSIRX0	CSIRX0 1.8 V アナログ電源		1.71	1.8	1.89	V
VDDA_1P8_USB	USB0 および USB1 1.8 V アナログ電源		1.71	1.8	1.89	V
VDDA_TEMP0	TEMP0 アナログ電源		1.71	1.8	1.89	V
VDDA_TEMP1	TEMP1 アナログ電源		1.71	1.8	1.89	V
VDDA_TEMP2	TEMP2 アナログ電源		1.71	1.8	1.89	V
VPP	eFuse ROM プログラミング電源		[5] を参照	[5] を参照	[5] を参照	V
VMON_1P8_SOC	1.8V SoC 電源用電圧モニタ		1.71	1.8	1.89	V
VDDA_3P3_USB	USB0 および USB1 3.3 V アナログ電源		3.135	3.3	3.465	V
VMON_3P3_SOC	3.3V SoC 電源用電圧モニタ		3.135	3.3	3.465	V
VMON_VSYS	電圧モニタ ピン		0	[6] を参照	1	V
USB0_VBUS	USB0 レベルシフト VBUS 入力		0	[7] を参照	3.465	V
USB1_VBUS	USB1 レベルシフト VBUS 入力		0	[7] を参照	3.465	V
VDDSHV_CANUART[8]	デュアル電圧 IO 電源	1.8V 動作	1.71	1.8	1.89	V
		3.3V 動作	3.135	3.3	3.465	V
VDDSHV_MCU	デュアル電圧 IO 電源	1.8V 動作	1.71	1.8	1.89	V
		3.3V 動作	3.135	3.3	3.465	V
VDDSHV0	デュアル電圧 IO 電源	1.8V 動作	1.71	1.8	1.89	V
		3.3V 動作	3.135	3.3	3.465	V
VDDSHV1	デュアル電圧 IO 電源	1.8V 動作	1.71	1.8	1.89	V
		3.3V 動作	3.135	3.3	3.465	V
VDDSHV2	デュアル電圧 IO 電源	1.8V 動作	1.71	1.8	1.89	V
		3.3V 動作	3.135	3.3	3.465	V
VDDSHV3	デュアル電圧 IO 電源	1.8V 動作	1.71	1.8	1.89	V
		3.3V 動作	3.135	3.3	3.465	V

Copyright © 2025 Texas Instruments Incorporated

接合部動作温度範囲内 (特に記述のない限り)

電源名	説明		最小値(1)	公称値	最大値(1)	単位
VDDSHV4	デュアル電圧 IO 電源	1.8V 動作	1.71	1.8	1.89	V
		3.3V 動作	3.135	3.3	3.465	V
VDDSHV5	デュアル電圧 IO 電源	1.8V 動作	1.71	1.8	1.89	V
		3.3V 動作	3.135	3.3	3.465	V
VDDSHV6	デュアル電圧 IO 電源	1.8V 動作	1.71	1.8	1.89	V
		3.3V 動作	3.135	3.3	3.465	V
T_J	動作ジャンクション温度範囲	車載用	-40		125	℃
		産業用拡張	-40		105	℃

(1) デバイス ボールの電圧は、通常のデバイス動作中、常に最小電圧を下回ったり、最大電圧を上回ったりしないようにしてください。
(2) VDD_CORE、VDDA_CORE_CSIRX0、VDDA_CORE_USB、VDDA_DDR_PLL0 は、同じ電源を使用するものとします。VDD_CORE と VDDA_CORE_USB の間の電圧差が ± 1% 以内になるよう注意する必要があります。
(3) 部分 IO 低消費電力モードを使用する場合、VDD_CANUART は常時オンの電源に接続するものとします。部分 IO 低消費電力モードを使用しない場合、VDD_CANUART は VDD_CORE、VDDA_CORE_CSI_DSI、VDDA_CORE_USB、VDDA_DDR_PLL0 と同じ電源に接続する必要があります。
(4) VDDS_DDR と VDDS_DDR_C は、同じ電源から給電するものとします。
(5) eFuse の使用に基づく VPP 電源電圧については、「OTP eFuse プログラミングの推奨動作条件」表を参照してください。
(6) VMON_VSYS ピンは、システム電源を監視する手段を提供します。詳細については、『システム電源監視設計ガイドライン』セクション 8.2.4 を参照してください。
(7) このデバイス ピンに印加される電圧を制限するには、外付けの分圧抵抗が必要です。詳細については、『USB 設計ガイドライン』セクション 8.2.3 を参照してください。
(8) 部分 IO 低消費電力モードを使用する場合、VDDSHV_CANUART は常時オンの電源に接続するものとします。部分 IO 低消費電力モードを使用しない場合、VDDSHV_CANUART は任意の有効な IO 電源に接続するものとします。

6.6 動作性能ポイント

表 6-1 は各デバイスの速度グレードに対するクロックの最大動作周波数を定義し、表 6-2 はデバイス サブシステムとコアクロックに対して唯一の有効な動作性能ポイント (OPP) を定義します。

表 6-1. デバイス速度グレード

速度グレード	VDD_CORE (V)[1]	最大動作周波数 (MHz)						最大遷移レート (MT/s)[2]
		A53SS (Cortex-A53x)	C7x	メイン SYSCLK	MCU R5F / SYSCLK	デバイス マネージャ R5F / CLK	HSM	LPDDR4
P	0.75/0.85	1000	500	500	800 / 400	800 / 400	400	3733
R	0.75	1000	850	500	800 / 400	800 / 400	400	3733
	0.85		1000					
V	0.75	1250	850	500	800 / 400	800 / 400	400	3733
	0.85	1400	1000					

(1) 公称動作電圧 (「推奨動作条件」を参照)。
(2) 最大 DDR 周波数は、システムで使用されている特定のメモリ タイプ (ベンダ) と PCB 実装に基づいて制限されます。最大 DDR 周波数を実現するための適切な PCB 実装については、『DDR 基板の設計およびレイアウトのガイドライン』を参照してください。

表 6-2. デバイスの動作性能ポイント

OPP	A53SS[1]	C7x	固定動作周波数オプション (MHz)[2]				MT/s[3]
			メイン SYSCLK	MCU R5F / SYSCLK	デバイス マネージャ R5F / CLK	HSM	LPDDR4
High	ARM0 PLL バイパスから速度グレード最大値まで	C7x PLL バイパスから速度グレード最大値まで	500	800 / 400	800 / 400	400	DDR PLL バイパス[4] から速度グレード最大値まで
Low			250	400 / 200	400 / 133	133	

(1) デフォルトの動作周波数。ブート時にソフトウェアで設定されます。ブート後の動的周波数スケーリングがサポートされます。
(2) 固定動作周波数。ブート時にソフトウェアで設定されます。
(3) 最大 DDR 周波数は、システムで使用されている特定のメモリ タイプ (ベンダ) と PCB 実装に基づいて制限されます。最大 DDR 周波数を実現するための適切な PCB 実装については、『DDR 基板の設計およびレイアウトのガイドライン』を参照してください。
(4) DDR0_CK0 と DDR0_CK0_n のソースとなる DDR PLL 出力は、通常は周波数単位で定義されます。したがって、バイパス モードで動作している場合、「DDR PLL バイパス」トランザクション レートは DDR PLL 出力周波数の 2 倍になります。

6.7 消費電力の概略

デバイスの消費電力の情報については、テキサス・インスツルメンツの販売代理店にお問い合わせください。

Copyright © 2025 Texas Instruments Incorporated

6.8 電気的特性

注

セクション 6.8 で説明されているインターフェイスまたは信号は、多重化モード 0 (プライマリ信号機能) で使用可能なインターフェイスまたは信号に対応しています。

これらの表に記載されているボール上で多重化されたすべてのインターフェイスまたは信号は、多重化に PHY と GPIO の組み合わせが含まれている場合を除き、DC 電気的特性はすべて同じです。PHY と GPIO の組み合わせが含まれている場合、異なる多重化モード (機能) に異なる DC 電気的特性が規定されます。

6.8.1 I2C オープン ドレインおよびフェイルセーフ (I2C OD FS) の電気的特性

推奨動作条件範囲内 (特に記述のない限り)

パラメータ		テスト条件	最小値	標準値	最大値	単位
1.8V モード						
V_{IL}	入力 Low 電圧				0.3 × VDD (1)	V
V_{ILSS}	入力 Low 電圧 (定常状態)				0.3 × VDD (1)	V
V_{IH}	入力 High 電圧		0.7 × VDD (1)		1.98(2)	V
V_{IHSS}	入力 High 電圧 (定常状態)		0.7 × VDD (1)			V
V_{HYS}	入力ヒステリシス電圧		0.1 × VDD (1)			mV
I_{IN} (3)	入力リーク電流。	V_I = 1.8 V			10	µA
		V_I = 0 V			-10	µA
V_{OL}	出力 LOW 電圧				0.2 × VDD (1)	V
I_{OL} (4)	LOW レベル出力電流	$V_{OL(MAX)}$	10			mA
SR_I (6)	入力スルーレート		18f(5) または 1.8E+6			V/s
3.3V モード (7)						
V_{IL}	入力 Low 電圧				0.3 × VDD (1)	V
V_{ILSS}	入力 Low 電圧 (定常状態)				0.25 × VDD (1)	V
V_{IH}	入力 High 電圧		0.7 × VDD (1)		3.63(2)	V
V_{IHSS}	入力 High 電圧 (定常状態)		0.7 × VDD (1)			V
V_{HYS}	入力ヒステリシス電圧		0.05 × VDD (1)			mV
I_{IN} (3)	入力リーク電流。	V_I = 3.3 V			10	µA
		V_I = 0 V			-10	µA
V_{OL}	出力 LOW 電圧				0.4	V
I_{OL} (4)	LOW レベル出力電流	$V_{OL(MAX)}$	10			mA
SR_I (6)	入力スルーレート		33f(5) または 3.3E+6		8E+7	V/s

(1) VDD は、対応する電源を表します。電源名および対応するボールの詳細については、ピン属性 表の「電源」の欄を参照してください。
(2) この値は、その IO の絶対最大定格値も定義します。
(3) このパラメータは、入力、非駆動出力、または入力と非駆動出力の両方として端子が動作している際のリーク電流を規定します。
(4) I_{OL} パラメータは、指定された V_{OL} 値をデバイスが維持できる最小 Low レベル出力電流を規定します。このパラメータで規定される値は、接続された部品の V_{OL} 仕様値を維持する必要があるシステム実装が利用可能な最大電流と見なす必要があります。
(5) f = 入力信号のトグル周波数 (Hz)。
(6) この最小値パラメータは、それぞれの「タイミングおよびスイッチング特性」セクションで規定されていない入力信号機能にのみ適用されます。最大値になる MIN パラメータを選択します。
(7) IO を 3.3V モードで動作させる場合、I2C ハイスピード モードはサポートされません。

6.8.2 フェイルセーフ リセット (FS RESET) の電気的特性

推奨動作条件範囲内 (特に記述のない限り)

パラメータ		テスト条件	最小値	標準値	最大値	単位
V_{IL}	入力 Low 電圧				0.3 × VDDS_OSC0	V
V_{ILSS}	入力 Low 電圧 (定常状態)				0.3 × VDDS_OSC0	V
V_{IH}	入力 High 電圧		0.7 × VDDS_OSC0			V
V_{IHSS}	入力 High 電圧 (定常状態)		0.7 × VDDS_OSC0			V
V_{HYS}	入力ヒステリシス電圧		200			mV
I_{IN} (1)	入力リーク電流。	V_I = 1.8 V			10	µA
		V_I = 0 V			-10	µA
SR_I (3)	入力スルーレート		18f(2) または 1.8E+6			V/s

(1) このパラメータは、端子が入力として動作しているときのリーク電流を定義します。
(2) f = 入力信号のトグル周波数 (Hz)。
(3) この最小値パラメータは、それぞれの「タイミングおよびスイッチング特性」セクションで規定されていない入力信号機能にのみ適用されます。最大値になる MIN パラメータを選択します。

6.8.3 高周波発振器 (HFOSC) の電気的特性

推奨動作条件範囲内 (特に記述のない限り)

パラメータ		テスト条件	最小値	標準値	最大値	単位
V_{IL}	入力 Low 電圧				0.35 × VDDS_OSC0	V
V_{IH}	入力 High 電圧		0.65 × VDDS_OSC0			V
V_{HYS}	入力ヒステリシス電圧			49		mV
I_{IN} (1)	入力リーク電流。	V_I = 1.8 V			10	µA
		V_I = 0 V			-10	µA

(1) このパラメータは、端子が入力として動作しているときのリーク電流を定義します。

6.8.4 低周波数発振器 (LFXOSC) の電気的特性

推奨動作条件範囲内 (特に記述のない限り)

パラメータ		テスト条件	最小値	標準値	最大値	単位
V_{IL}	入力 Low 電圧				0.30 × VDDS_OSC0	V
V_{IH}	入力 High 電圧		0.70 × VDDS_OSC0			V
V_{HYS}	入力ヒステリシス電圧	アクティブ モード		85		mV
		バイパス モード		324		mV
I_{IN} (1)	入力リーク電流。	V_I = 1.8 V			10	µA
		V_I = 0 V			-10	µA

(1) このパラメータは、端子が入力として動作しているときのリーク電流を定義します。

Copyright © 2025 Texas Instruments Incorporated

6.8.5 SDIO の電気的特性

推奨動作条件範囲内 (特に記述のない限り)

パラメータ		テスト条件	最小値	標準値	最大値	単位
1.8V モード						
V_{IL}	入力 Low 電圧				0.58	V
V_{ILSS}	入力 Low 電圧 (定常状態)				0.58	V
V_{IH}	入力 High 電圧		1.27			V
V_{IHSS}	入力 High 電圧 (定常状態)		1.7			V
V_{HYS}	入力ヒステリシス電圧		150			mV
I_{IN} (1)	入力リーク電流。	V_I = 1.8 V			10	µA
		V_I = 0 V			-10	µA
R_{PU}	プルアップ抵抗		40	50	60	kΩ
R_{PD}	プルダウン抵抗		40	50	60	kΩ
V_{OL}	出力 LOW 電圧				0.45	V
V_{OH}	出力 HIGH 電圧		VDD(2) - 0.45			V
I_{OL} (3)	LOW レベル出力電流	$V_{OL(MAX)}$	4			mA
I_{OH} (3)	High レベル出力電流	$V_{OH(MIN)}$	4			mA
SR_I (5)	入力スルーレート		18f(4) または 1.8E+6			V/s
3.3V モード						
V_{IL}	入力 Low 電圧				0.25 × VDD(2)	V
V_{ILSS}	入力 Low 電圧 (定常状態)				0.15 × VDD(2)	V
V_{IH}	入力 High 電圧		0.625 × VDD(2)			V
V_{IHSS}	入力 High 電圧 (定常状態)		0.625 × VDD(2)			V
V_{HYS}	入力ヒステリシス電圧		150			mV
I_{IN} (1)	入力リーク電流。	V_I = 3.3 V			10	µA
		V_I = 0 V			-10	µA
R_{PU}	プルアップ抵抗		40	50	60	kΩ
R_{PD}	プルダウン抵抗		40	50	60	kΩ
V_{OL}	出力 LOW 電圧				0.125 × VDD(2)	V
V_{OH}	出力 HIGH 電圧		0.75 × VDD(2)			V
I_{OL} (3)	LOW レベル出力電流	$V_{OL(MAX)}$	6			mA
I_{OH} (3)	High レベル出力電流	$V_{OH(MIN)}$	10			mA
SR_I (5)	入力スルーレート		33f(4) または 3.3E+6			V/s

(1) このパラメータは、端子が入力、非駆動出力、または入力と非駆動出力の両方として動作していて内部プルがイネーブルされていないときの、リーク電流を定義します。
(2) VDD は、対応する電源を表します。電源名および対応するボールの詳細については、「ピン属性」表の「電源」列を参照してください。
(3) I_{OL} および I_{OH} パラメータは、デバイスが指定された V_{OL} および V_{OH} の値を維持できる最小 Low レベル出力電流と High レベル出力電流を規定します。これらのパラメータで規定される値は、接続部品について指定された V_{OL} および V_{OH} の値を維持する必要があるシステム実装で利用可能な最大電流を考慮する必要があります。
(4) f = 入力信号のトグル周波数 (Hz)。
(5) この最小値パラメータは、それぞれの「タイミングおよびスイッチング特性」セクションで規定されていない入力信号機能にのみ適用されます。最大値になる MIN パラメータを選択します。

6.8.6 LVCMOS の電気的特性

推奨動作条件範囲内 (特に記述のない限り)

パラメータ		テスト条件	最小値	標準値	最大値	単位
1.8V モード						
V_{IL}	入力 Low 電圧				0.35 × VDD[1]	V
V_{ILSS}	入力 Low 電圧 (定常状態)				0.3 × VDD[1]	V
V_{IH}	入力 High 電圧		0.65 × VDD[1]			V
V_{IHSS}	入力 High 電圧 (定常状態)		0.85 × VDD[1]			V
V_{HYS}	入力ヒステリシス電圧		150			mV
I_{IN} [2]	入力リーク電流。	V_I = 1.8 V			10	µA
		V_I = 0 V			-10	µA
R_{PU}	プルアップ抵抗		15	22	30	kΩ
R_{PD}	プルダウン抵抗		15	22	30	kΩ
V_{OL}	出力 LOW 電圧				0.45	V
V_{OH}	出力 HIGH 電圧		VDD[1] - 0.45			V
I_{OL} [3]	LOW レベル出力電流	$V_{OL(MAX)}$	3			mA
I_{OH} [3]	High レベル出力電流	$V_{OH(MIN)}$	3			mA
SR_I [5]	入力スルーレート		18f[4] または 1.8E+6			V/s
3.3V モード						
V_{IL}	入力 Low 電圧				0.8	V
V_{ILSS}	入力 Low 電圧 (定常状態)				0.6	V
V_{IH}	入力 High 電圧		2.0			V
V_{IHSS}	入力 High 電圧 (定常状態)		2.0			V
V_{HYS}	入力ヒステリシス電圧		150			mV
I_{IN} [2]	入力リーク電流。	V_I = 3.3 V			10	µA
		V_I = 0 V			-10	µA
R_{PU}	プルアップ抵抗		15	22	30	kΩ
R_{PD}	プルダウン抵抗		15	22	30	kΩ
V_{OL}	出力 LOW 電圧				0.4	V
V_{OH}	出力 HIGH 電圧		2.4			V
I_{OL} [3]	LOW レベル出力電流	$V_{OL(MAX)}$	5			mA
I_{OH} [3]	High レベル出力電流	$V_{OH(MIN)}$	9			mA
SR_I [5]	入力スルーレート		33f[4] または 3.3E+6			V/s

(1) VDD は、対応する電源を表します。電源名および対応するボールの詳細については、「ピン属性」表の「電源」列を参照してください。
(2) このパラメータは、端子が入力、非駆動出力、または入力と非駆動出力の両方として動作していて、内部プルがイネーブルされていないときのリーク電流を定義します。
(3) I_{OL} および I_{OH} パラメータは、デバイスが指定された V_{OL} および V_{OH} の値を維持できる最小 Low レベル出力電流と High レベル出力電流を規定します。これらのパラメータで規定される値は、接続部品について指定された V_{OL} および V_{OH} の値を維持する必要があるシステム実装で利用可能な最大電流を考慮する必要があります。
(4) f = 入力信号のトグル周波数 (Hz)。
(5) この最小値パラメータは、それぞれの「タイミングおよびスイッチング特性」セクションで規定されていない入力信号機能にのみ適用されます。最大値になる MIN パラメータを選択します。

Copyright © 2025 Texas Instruments Incorporated

6.8.7 CSI-2 (D-PHY) の電気的特性

注

CSIRX0 は、該当する ECN とエラッタを含め、2014 年 8 月 1 日付けの MIPI DPHY v1.2 に準拠しています。

6.8.8 USB2PHY の電気的特性

注

USB0 および USB1 のインターフェイスは、2000 年 4 月 27 日付けの Universal Serial Bus Revision 2.0 仕様 (該当する ECN およびエラッタを含む) に準拠しています。

6.8.9 DDR の電気的特性

注

本 DDR インターフェイスは、**JESD209-4B** 規格に準拠した LPDDR4 デバイスと互換性があります。

6.9 ワンタイム プログラマブル (OTP) eFuse の VPP 仕様

このセクションは、OTP eFuse のプログラミングに必要な動作条件を規定します。

6.9.1 OTP eFuse プログラミングの推奨動作条件

接合部動作温度範囲内 (特に記述のない限り)

パラメータ	説明	最小値	公称値	最大値	単位
VDD_CORE	OTP 動作中のコア ドメインの電源電圧範囲、OPP NOM (BOOT)	セクション 6.5 を参照			V
VPP	通常動作時の eFuse ROM ドメインの電源電圧範囲 (eFuse ROM をプログラミングするためのハードウェア サポートなし)		NC (1)		V
	通常動作時の eFuse ROM ドメインの電源電圧範囲 (eFuse ROM をプログラミングするためのハードウェア サポートあり)		0		V
	OTP プログラミング時の eFuse ROM ドメインの電源電圧範囲 (2)	1.71	1.8	1.89	V
$I_{(VPP)}$	VPP 電流			400	mA
$SR_{(VPP)}$	VPP パワーアップ スルーレート			6E + 4	V/s
Tj	eFuse ROM プログラミング時の動作時接合部温度範囲	0	25	85	℃

(1) NC は接続なしを示します。
(2) 電源電圧範囲には、DC 誤差およびピーク ツー ピーク ノイズが含まれます。

6.9.2 ハードウェア要件

OTP eFuse にキーをプログラムする場合、以下のハードウェア要件を満たす必要があります。

- OTP レジスタをプログラムしないときは、VPP 電源をディセーブルにする必要があります。
- VPP 電源は、適切なデバイス電源オン シーケンスの後にランプアップする必要があります (詳細については、セクション 6.12.2.2「電源シーケンス」を参照してください)。

6.9.3 プログラミング シーケンス

OTP eFuse のプログラミング シーケンス:

- パワーアップ シーケンシングに従ってボードに電源を投入します。パワーアップ時および通常動作中は、VPP 端子に電圧を印加しないでください。
- eFuse のプログラミングに必要な OTP 書き込みソフトウェアをロードします (OTP ソフトウェア パッケージについては、お近くの TI 代理店にお問い合わせください)。
- セクション 6.9.1 に示す仕様に従って、VPP 端子に電圧を印加します。
- OTP レジスタをプログラムするソフトウェアを実行します。
- OTP レジスタの内容を検証した後、VPP 端子から電圧を取り除きます。

6.9.4 ハードウェア保証への影響

お客様は、セキュリティ キーによりテキサス・インスツルメンツのデバイスに e-Fuse を使用することは、デバイスを永続的に変更する、ということに同意するものとします。お客様は、プログラム シーケンスが正しくないか中止された場合や、シーケンス ステップを省略した場合などに、e-Fuse が失敗する可能性があることを認めます。さらに、プロダクション キーのエラー コード訂正チェックが失敗した場合、またはイメージが署名されておらず、オプションとして現在アクティブなプロダクション キーで暗号化されていない場合、テキサス・インスツルメンツのデバイスはセキュア ブートに失敗する可能性があります。このような障害が発生すると、テキサス・インスツルメンツのデバイスが動作不能になることがあり、テキサス・インスツルメンツは eFuse を試行する前に、テキサス・インスツルメンツのデバイスがそのデバイス仕様に準拠していることを確認できなくなります。そのため、セキュリティ キーで eFuse が実行されたテキサス・インスツルメンツのデバイスについて、テキサス・インスツルメンツは一切の責任 (保証またはその他の責任) を負いません。

Copyright © 2025 Texas Instruments Incorporated

6.10 熱抵抗特性

このセクションでは、このデバイスで使用される熱抵抗特性について説明します。

信頼性と動作性の懸念から、デバイスの最大接合部温度は、セクション 6.5「推奨動作条件」に示されている T_J 値以下にする必要があります。

6.10.1 ANF パッケージの熱抵抗特性

システム レベルの熱シミュレーションは、ワーストケースのデバイス消費電力を考慮して実行することを推奨します。

番号	パラメータ	説明	ANF パッケージ	
			°C/W(1) (3)	空気流 (m/s)(2)
T1	$R\Theta_{JC}$	接合部とケースとの間	0.77	該当なし
T2	$R\Theta_{JB}$	接合部と基板との間	3.3	該当なし
T3	$R\Theta_{JA}$	接合部と自由空気との間	12.5	0
T4		接合部と空気流との間	8.6	1
T5			7.6	2
T6			7.0	3
T7	Ψ_{JT}	接合部とパッケージ上面との間	0.39	0
T8			0.41	1
T9			0.42	2
T10			0.43	3
T11	Ψ_{JB}	接合部と基板との間	3.1	0
T12			2.8	1
T13			2.7	2
T14			2.6	3

(1) これらの値は、JEDEC により定義された 2S2P システム (JEDEC 定義の 1S0P システムによる θ JC [RΘJC] 値を除く) に基づいており、周囲環境とアプリケーションによって変化します。詳細については、以下の EIA/JEDEC 規格を参照してください。
- JESD51-2、『IC の熱テスト手法の環境条件 - 自然対流 (静止空気)』
- JESD51-3、『リード付き表面実装パッケージ用の有効熱伝導率の低いテスト基板』
- JESD51-6、『IC の熱テスト手法の環境条件 - 自然対流 (空気流)』
- JESD51-7、『リード付き表面実装パッケージ用の有効熱伝導率の高いテスト基板』
- JESD51-9、『エリア アレイ表面実装パッケージの熱測定用テスト基板』

(2) m/s = メートル/秒。
(3) °C/W = 摂氏温度 / ワット。

6.11 温度センサの特性

このセクションでは、ダイ温度センサの特性に関する電圧および温度モジュール (VTM) について概要を説明します。

動作および信頼性上の懸念から、本デバイスの最大接合部温度は、「推奨動作条件」に示された T_J 値以下にする必要があります。

表 6-3. VTM ダイ温度センサの特性

パラメータ		テスト条件	最小値	標準値	最大値	単位
T_{acc}	VTM 温度センサ精度	-40℃～125℃	-5		5	℃

6.12 タイミングおよびスイッチング特性

注

シリコンの特性評価結果に応じて、タイミング要件およびスイッチング特性の値は変化する場合があります。

注

特に指示がない限り、タイミングを確保するため、各パッド構成レジスタのデフォルトのスルーレート設定を使用する必要があります。

6.12.1 タイミング パラメータおよび情報

セクション 6.12「タイミングおよびスイッチング特性」で使用されるタイミング パラメータの記号は、JEDEC 規格 100 に従って作成されています。記号を短縮するために、ピン名およびその他の関連用語の一部を 表 6-4 に示すように短縮しました。

表 6-4. タイミング パラメータの添え字

記号	パラメータ
c	サイクル時間 (周期)
d	遅延時間
dis	ディセーブル時間
en	イネーブル時間
h	ホールド時間
su	セットアップ時間
START	スタート ビット
t	遷移時間
v	有効時間
w	パルス幅
X	未知の、変化している、ドント ケアのレベル
F	立ち下がり時間
H	High
L	Low
R	立ち上がり時間
V	有効
IV	無効
AE	アクティブ エッジ
FE	最初のエッジ
LE	最後のエッジ
Z	高インピーダンス

Copyright © 2025 Texas Instruments Incorporated

6.12.2 電源要件

このセクションでは、デバイスが適切に動作するために必要な電源要件について説明します。

注

「信号説明」と「ピン接続要件」に特に記述のない限り、すべての電源ボールは、「推奨動作条件」に規定された電圧で供給する必要があります。

6.12.2.1 電源スルーレートの要件

内部 ESD 保護デバイスの安全な動作範囲を維持するため、電源の最大スルーレートを 18 mV/µs 未満に制限することを推奨します。たとえば、図 6-2 に示すように、1.8V 電源については、ランプ スルーが 100µs を超えるものを使用することを推奨します。

図 6-2 に、デバイスの電源スルー レートの要件を示します。

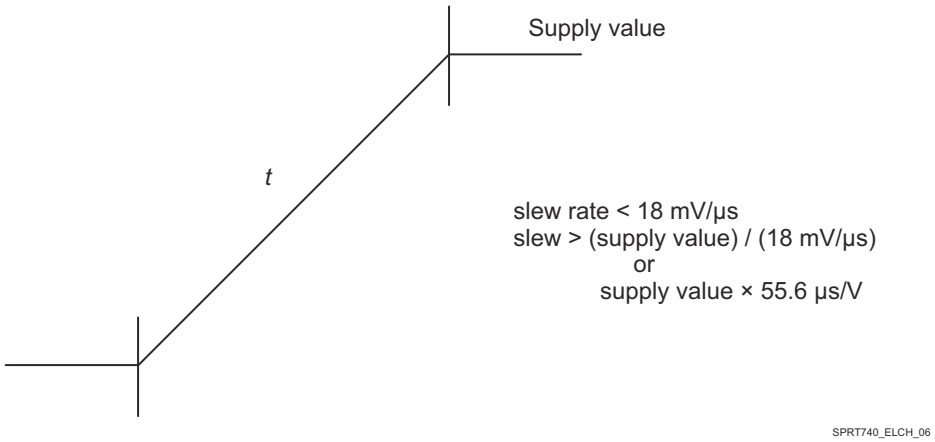


図 6-2. 電源のスルーおよびスルーレート

6.12.2.2 電源シーケンス

このセクションでは、電源シーケンスの図と関連する注を使用して、電源シーケンス要件について説明します。各電源シーケンスの図は、デバイスの各電源レールに必要な順序を表しており、それをデバイスの各電源レールを 1 つまたは複数の波形に割り当てることによって示しています。デュアル電圧電源レールは複数の波形に関連付けられている場合があり、どの波形が該当するかは関連する注に記載されています。各波形は、関連する電源レールの遷移領域を定義し、他の電源レールの遷移領域との順序関係を示しています。電源シーケンスの図に関連する注に、これらの要件の詳細が記載されています。パワーアップ要件の詳細については「パワーアップ シーケンス」セクション、パワーダウン要件の詳細については「パワーダウン シーケンス」セクションを参照してください。

電源シーケンスの図を簡素化するため、2 種類の電源遷移領域が使用されています。図 6-3 および図 6-4 の凡例と説明に、各遷移領域が何を表しているかが明記されています。

図 6-3 は、複数の電源または 1 つの電源から給電される複数の電源レールの遷移領域を定義しています。遷移領域内に示されている遷移は、この波形に関連する電源レールに給電するために複数の電源が使用されている使用事例を表しています。これらの電源には相対的なシーケンス要件はないため、領域内で異なる時間に立ち上げることが可能です。

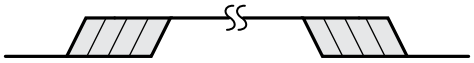


図 6-3. 複数の電源遷移の凡例

図 6-4 は、1 つの共通電源から給電する必要がある 1 つ以上の電源レールの遷移領域を定義しています。遷移領域内で 1 つの立ち上がりを表すため、領域内に遷移は示されていません。

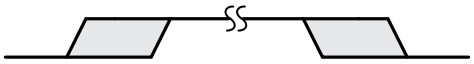


図 6-4. 1 つの共通電源遷移の凡例

Copyright © 2025 Texas Instruments Incorporated

6.12.2.2.1 パワーアップ シーケンシング

表 6-5 および図 6-5 に、本デバイスのパワーダウン シーケンスを示します。

注

このセクションで定義する電源シーケンス要件には、低消費電力モードの開始または終了は含まれません。低消費電力モードの開始時または終了時における電源シーケンス要件の詳細については、セクション 6.12.2.2.3「部分 IO 電源シーケンス」を参照してください。

注

「推奨動作条件」に定義された最小値を電源レールが下回ったときは必ず、新たにパワーアップ シーケンスを開始する前に、すべての電源レールをオフにし、300mV を下回るまで減衰させる必要があります。唯一の例外は、VDDSHV_CANUART および VDD_CANUART が常時オンの電源から電力を供給される、部分 IO 低消費電力モードの開始 / 終了時です。この使用事例では、VDDSHV_CANUART および VDD_CANUART 電源レールをオンのままにしておくことができます。

表 6-5. パワーアップ シーケンス - 電源 / 信号の割り当て

図 6-5 を参照

波形	電源 / 信号名
A	VSYS(1)、VMON_VSYS(2)
B	VDDSHV_CANUART(3)、VDDSHV_MCU(3)、VDDSHV0(3)、VDDSHV1(3)、VDDSHV2(3)、VDDSHV3(3)、VDDA_3P3_USB、VMON_3P3_SOC(4)
C	VDDSHV_CANUART(5)、VDDSHV_MCU(5)、VDDSHV0(5)、VDDSHV1(5)、VDDSHV2(5)、VDDSHV3(5)、VDDA_MCU、VDDS_OSC0、VDDA_PLL0、VDDA_PLL1、VDDA_PLL2、VDDA_PLL3、VDDA_PLL4、VDDA_1P8_CSIRX0、VDDA_1P8_USB、VDDA_TEMP0、VDDA_TEMP1、VDDA_TEMP2、VMON_1P8_SOC(6)
D	VDDSHV4(7)、VDDSHV5(7)、VDDSHV6(7)
E	VDDS_DDR(8)、VDDS_DDR_C(8)
F	VDD_CANUART(9)
G	VDD_CANUART(10)、VDD_CORE(10) (12)、VDDA_CORE_CSIRX0(10)、VDDA_CORE_USB0(10)、VDDA_DDR_PLL0(10)
H	VDD_CANUART(11)、VDD_CORE(11) (12)、VDDA_CORE_CSIRX0(11)、VDDA_CORE_USB0(11)、VDDA_DDR_PLL0(11)、VDDR_CORE(12)
I	VPP(13)
J	MCU_PORz
K	MCU_OSC0_XI、MCU_OSC0_XO

(1) VSYS は、システム全体に電力を供給する電源の名前を表します。この電源は、その他のすべての電源に電力を供給するパワー マネージメント デバイスに給電するレギュレーション済みの電源である必要があります。

(2) VMON_VSYS 入力は、外付け抵抗分圧回路を使って VSYS を監視するために使用されます。詳細については、『システム電源監視設計ガイドライン』を参照してください。

(3) VDDSHV_CANUART、VDDSHV_MCU、VDDSHVx [x = 0～3] はデュアル電圧 IO 電源で、アプリケーションの要件に応じて 1.8V または 3.3V で動作できます。

VDDSHV_CANUART は、部分 IO 低消費電力モードを使用する場合は常時オンの電源に接続し、部分 IO 低消費電力モードを使用しない場合は有効な任意の IO 電源に接続する必要があります。VDDSHV_CANUART が常時オンの電源に接続されておらず、3.3V で動作している場合は、この波形で定義される 3.3V のランプ期間中に、他の 3.3V 電源を使用して電圧を上昇させます。

VDDSHV_MCU と VDDSHVx [x = 0～3] IO 電源のいずれかが 3.3V で動作している場合、この波形で定義される 3.3V のランプ期間中に、他の 3.3V 電源を使用して電圧を上昇させます。

(4) VMON_3P3_SOC 入力は電源電圧の監視に使用し、それぞれの 3.3V 電源に接続します。

(5) VDDSHV_CANUART、VDDSHV_MCU、VDDSHVx [x = 0～3] はデュアル電圧 IO 電源で、アプリケーションの要件に応じて 1.8V または 3.3V で動作できます。

VDDSHV_CANUART は、部分 IO 低消費電力モードを使用する場合は常時オンの電源に接続し、部分 IO 低消費電力モードを使用しない場合は有効な任意の IO 電源に接続する必要があります。VDDSHV_CANUART が常時オンの電源に接続されておらず、1.8V で動作している場合は、この波形で定義される 1.8V のランプ期間中に、他の 1.8V 電源を使用して電圧を上昇させます。

VDDSHV_MCU と VDDSHVx [x = 0～3] IO 電源のいずれかが 1.8V で動作している場合、この波形で定義される 1.8V のランプ期間中に、他の 1.8V 電源を使用して電圧を上昇させます。

(6) VMON_1P8_SOC 入力は電源電圧の監視に使用し、それぞれの 1.8V 電源に接続します。

(7) VDDSHV4、VDDSHV5、VDDSHV6 は、その他の電源レールに依存せずに、パワーアップ、パワーダウン、または動的電圧変化をサポートするように設計されています。この機能は、UHS-I SD カードをサポートするために必要です。

(8) VDDS_DDR と VDDS_DDR_C は、電圧が一緒に上昇するように、同じ電源から給電する必要があります。

(9) 部分 IO 低消費電力モードを使用する場合は、VDD_CANUART を常時オンの電源に接続します。

VDD_CANUART が常時オンの電源に接続されている場合、パワーアップ時またはパワーダウン時に、VDD_CORE に印加される電位が VDD_CANUART に印加される電位に 0.18V を加えた電位を超えないようにしてください。これには、VDD_CANUART の電圧を VDD_CORE より先に上昇させ、VDD_CORE よりも後に下降させる必要があります。VDD_CANUART には、VDD_CORE に定義されたランプ要件以外のランプ要件はありません。

(10) 部分 IO 低消費電力モードを使用しない場合は、VDD_CANUART を VDD_CORE、VDDA_CORE_CSIRX0、VDDA_CORE_USB、VDDA_DDR_PLL0 と同じ電源に接続する必要があります。

VDD_CANUART、VDD_CORE、VDDA_CORE_CSIRX0、VDDA_CORE_USB、VDDA_DDR_PLL0 は 0.75V または 0.85V で動作可能です。これらの電源が 0.75V で動作している場合、この波形で定義されるように、VDDR_CORE よりも先に電圧を上昇させる必要があります。

(11) 部分 IO 低消費電力モードを使用しない場合は、VDD_CANUART を VDD_CORE、VDDA_CORE_CSIRX0、VDDA_CORE_USB、VDDA_DDR_PLL0 と同じ電源に接続する必要があります。

VDD_CANUART、VDD_CORE、VDDA_CORE_CSIRX0、VDDA_CORE_USB、VDDA_DDR_PLL0 は 0.75V または 0.85V で動作可能です。これらの電源が 0.85V で動作している場合、VDDR_CORE と同じ電源から電力を供給し、この波形で定義される 0.85V のランプ期間中に電圧を上昇させる必要があります。

(12) パワーアップ時またはパワーダウン時に、VDDR_CORE に印加される電位が VDD_CORE に印加される電位に 0.18V を加えた電位を超えないようにしてください。これを満たすには、VDD_CORE が 0.75V で動作している場合、VDD_CORE の電圧を VDDR_CORE よりも先に上昇させ、VDDR_CORE よりも後に下降させる必要があります。VDD_CORE には、VDDR_CORE に定義されたランプ要件以外のランプ要件はありません。

VDD_CORE が 0.85V で動作している場合、VDD_CORE と VDDR_CORE は、電圧が一緒に上昇するように、同じ電源から給電する必要があります。

(13) VPP は 1.8V eFuse プログラミング電源であり、パワーアップ / ダウン シーケンス中および通常のデバイス動作中は、フローティング (HiZ) のままにするか、グランドに接続する必要があります。この電源には、eFuse のプログラミング中にのみ電力を供給します。

Copyright © 2025 Texas Instruments Incorporated

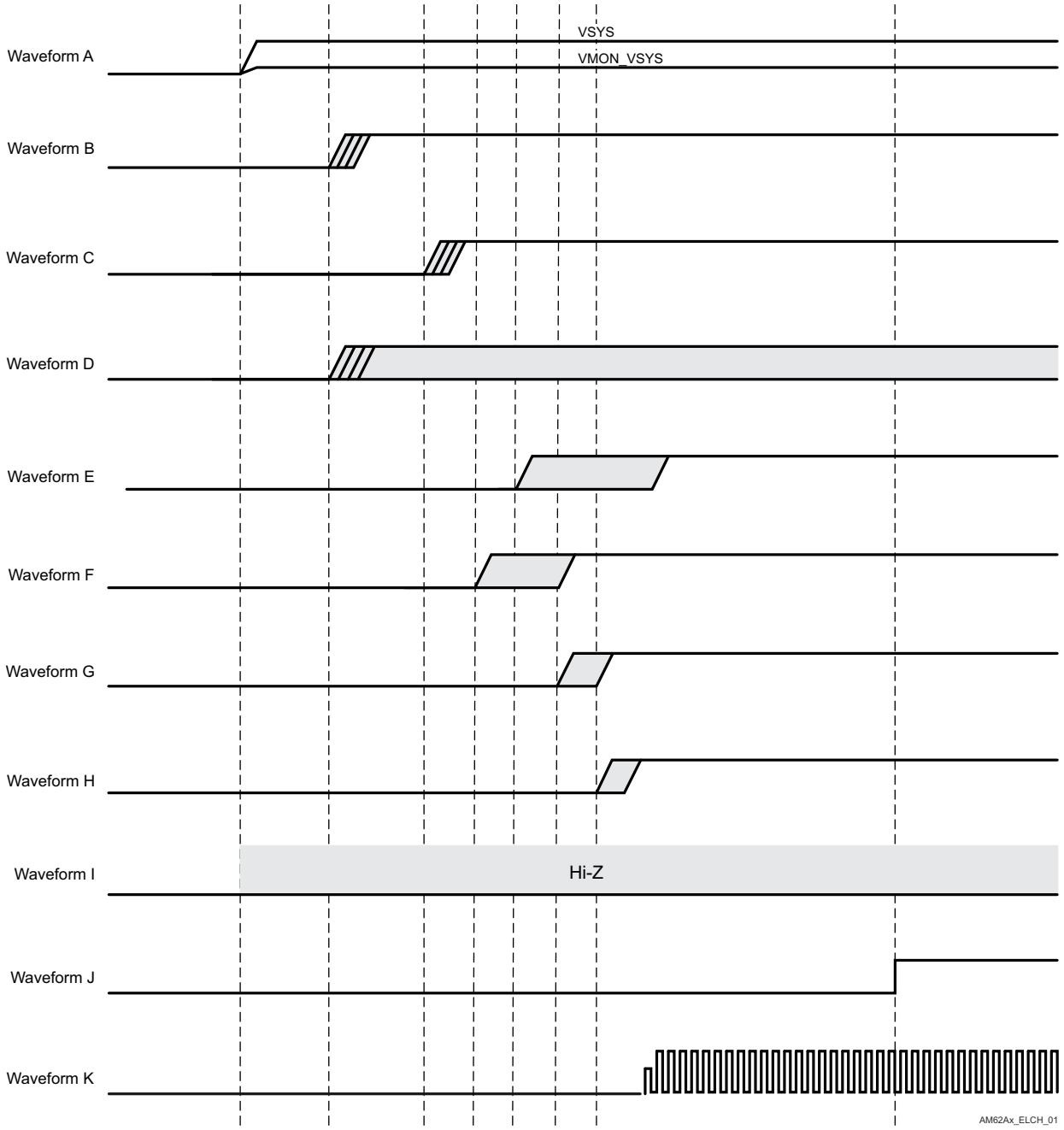


図 6-5. パワーアップ シーケンシング

6.12.2.2.2 パワーダウン シーケンス

表 6-6 および図 6-6 に、このデバイスのパワーダウン シーケンスを示します。

注

このセクションで定義する電源シーケンス要件には、低消費電力モードの開始または終了は含まれません。低消費電力モードの開始時または終了時における電源シーケンス要件の詳細については、セクション 6.12.2.2.3「部分 IO 電源シーケンス」を参照してください。

注

「推奨動作条件」に定義された最小値を電源レールが下回ったときは必ず、新たにパワーアップ シーケンスを開始する前に、すべての電源レールをオフにし、300mV を下回るまで減衰させる必要があります。唯一の例外は、VDDSHV_CANUART および VDD_CANUART が常時オンの電源から電力を供給される、部分 IO 低消費電力モードの開始 / 終了時です。この使用事例では、VDDSHV_CANUART および VDD_CANUART 電源レールをオンのままにしておくことができます。

表 6-6. パワーダウン シーケンス - 電源 / 信号の割り当て

図 6-6 を参照

波形	電源 / 信号名
A	VSYS、VMON_VSYS
B	VDDSHV_CANUART(1)、VDDSHV_MCU(1)、VDDSHV0(1)、VDDSHV1(1)、VDDSHV2(1)、VDDSHV3(1)、VDDA_3P3_USB, VMON_3P3_SOC
C	VDDSHV_CANUART(2)、VDDSHV_MCU(2)、VDDSHV0(2)、VDDSHV1(2)、VDDSHV2(2)、VDDSHV3(2)、VDDA_MCU、VDDS_OSC0、VDDA_PLL0、VDDA_PLL1、VDDA_PLL2、VDDA_PLL3、VDDA_PLL4、VDDA_1P8_CSIRX0、VDDA_1P8_USB、VDDA_TEMP0、VDDA_TEMP1、VDDA_TEMP2、VMON_1P8_SOC
D	VDDSHV4(3)、VDDSHV5(3)、VDDSHV6(3)
E	VDDS_DDR、VDDS_DDR_C
F	VDD_CANUART(4)
G	VDD_CANUART(5)、VDD_CORE(5)、VDDA_CORE_CSIRX0(5)、VDDA_CORE_USB0(5)、VDDA_DDR_PLL0(5)
H	VDD_CANUART(6)、VDD_CORE(6)、VDDA_CORE_CSIRX0(6)、VDDA_CORE_USB0(6)、VDDA_DDR_PLL0(6)、VDDR_CORE
I	VPP
J	MCU_PORz
K	MCU_OSC0_XI、MCU_OSC0_XO

(1) VDDSHV_CANUART、VDDSHV_MCU、および VDDSHVx [x=0～3] (3.3V 動作時)。
(2) VDDSHV_CANUART、VDDSHV_MCU、および VDDSHVx [x=0～3] (1.8V 動作時)。
(3) VDDSHV4、VDDSHV5、VDDSHV6 は、その他の電源レールに依存せずに、パワーアップ、パワーダウン、または動的電圧変化をサポートするように設計されています。この機能は、UHS-I SD カードをサポートするために必要です。
(4) 部分 IO 低消費電力モードで VDD_CANUART が常時オンの電源に接続されている場合。
(5) VDD_CANUART、VDD_CORE、VDDA_CORE_CSIRX0、VDDA_CORE_USB0、VDDA_DDR_PLL0 が 0.75V で動作している場合
(6) VDD_CANUART、VDD_CORE、VDDA_CORE_CSIRX0、VDDA_CORE_USB0、VDDA_DDR_PLL0 が 0.85V で動作している場合

Copyright © 2025 Texas Instruments Incorporated

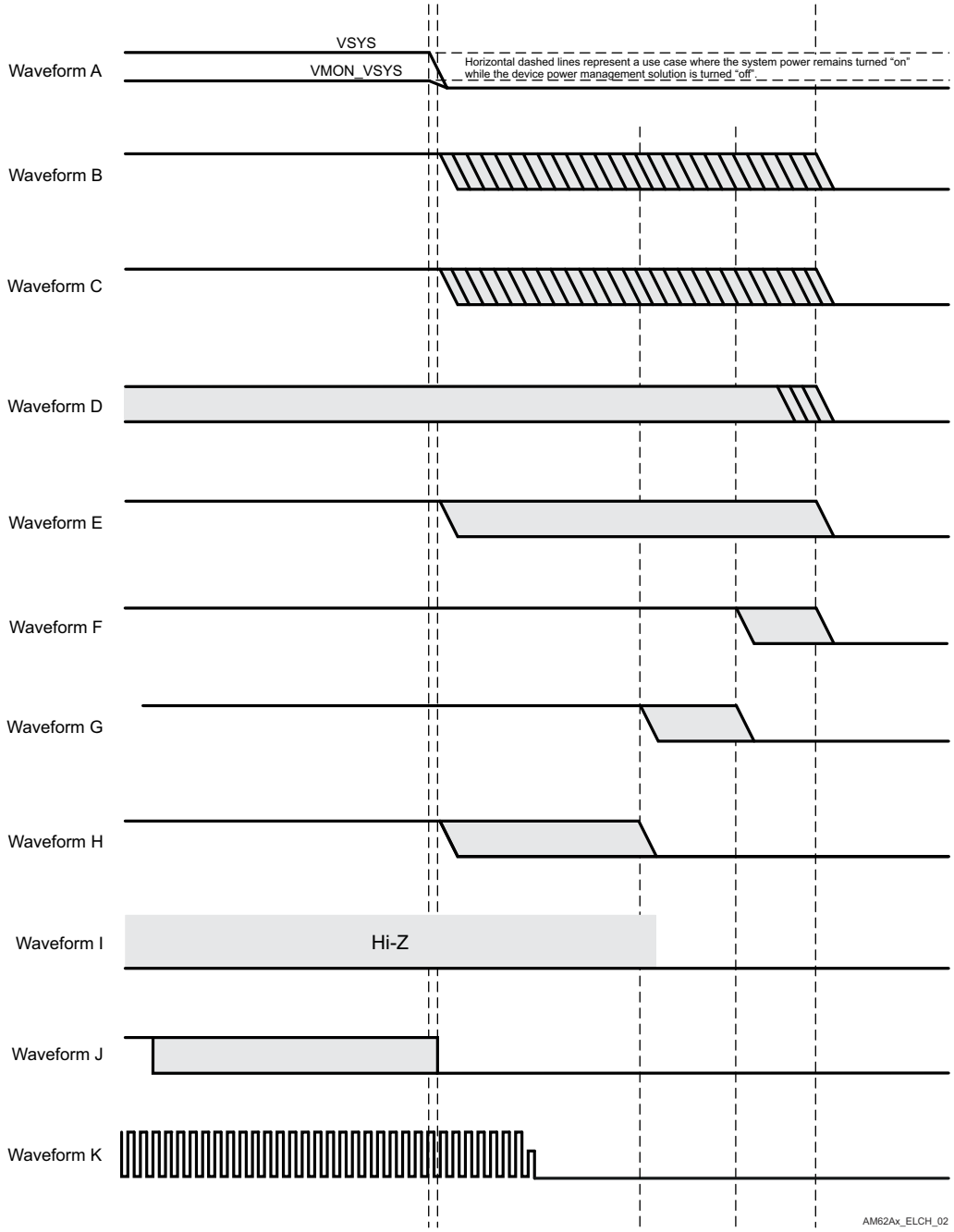


図 6-6. パワーダウン シーケンス

6.12.2.2.3 部分 IO 電源シーケンス

このセクションでは、低消費電力モードを開始または終了するときの電源シーケンス要件について説明します。

このデバイスでサポートされている低消費電力モード、および各低消費電力モードに割り当てられている名前の詳細については、テクニカル リファレンス マニュアルの「デバイス構成」の章にある「電力モード」セクションを参照してください。

部分 IO は、デバイスの電源レールの電源を変更する必要がある唯一の低消費電力モードです。部分 IO モードで動作しているときは、VDD_CANUART および VDDSHV_CANUART を除くすべての電源レールがオフになります。部分 IO への移行に必要な電源シーケンスは、VDD_CANUART および VDDSHV_CANUART に電源が供給されたままであること以外は、セクション 6.12.2.2.2 の「パワーダウン シーケンス」で定義されているシーケンスと同じです。部分 IO を終了するために必要な電源シーケンスは、VDD_CANUART および VDDSHV_CANUART にすでに電源が供給されている以外は、セクション 6.12.2.2.1 「パワーアップ シーケンス」で定義されているシーケンスと同じです。

Copyright © 2025 Texas Instruments Incorporated

6.12.3 システムのタイミング

サブシステム多重化信号の機能の詳細と追加の説明情報については、「信号の説明」および「詳細説明」セクションの対応するサブセクションを参照してください。

6.12.3.1 リセット タイミング

このセクションの表と図では、リセット関連信号のタイミング条件、タイミング要件、スイッチング特性を定義します。

表 6-7. リセットのタイミング条件

パラメータ			最小値	最大値	単位
入力条件					
SR_I	入力スルーレート	VDD (1) = 1.8V	0.0018		V/ns
		VDD (1) = 3.3V	0.0033		V/ns
出力条件					
C_L	出力負荷容量			30	pF

(1) VDD は、対応する電源を表します。電源名および対応するボールの詳細については、「ピン属性」表の「電源」列を参照してください。

表 6-8. MCU_PORz のタイミング要件

図 6-7 を参照

番号	パラメータ		最小値	最大値	単位
RST1	$t_{h(SUPPLIES_VALID - MCU_PORz)}$	ホールド時間、パワーアップ時に電源が有効になった後、MCU_PORz アクティブ (Low) の間 (外付け水晶振動子回路使用の場合)	9500000		ns
RST2		ホールド時間、パワーアップ時に電源が有効になり、かつ外部クロックが安定した後、MCU_PORz アクティブ (Low) の間 (外部 LVCMOS クロック源使用の場合)	1200		ns
RST3	$t_{w(MCU_PORzL)}$	パルス幅、電源投入後に MCU_PORz が Low の時間 (電源またはシステム基準クロック MCU_OSC0_XI/XO が維持されている場合)	1200		ns

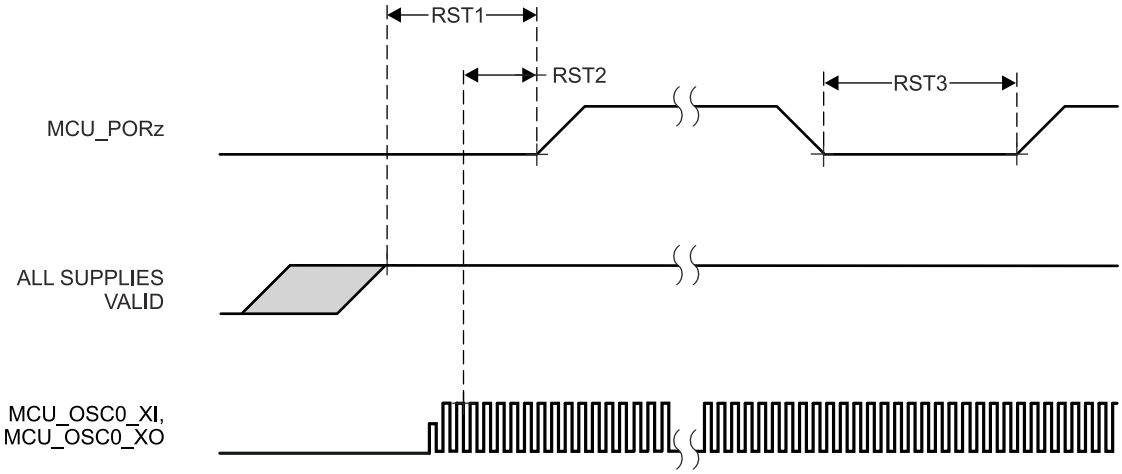


図 6-7. MCU_PORz のタイミング要件

表 6-9. MCU_RESETSTATz と RESETSTATz のスイッチング特性

図 6-8 を参照

番号	パラメータ		最小値	最大値	単位
RST4	$t_{d(MCU_PORzL-MCU_RESETSTATzL)}$	遅延時間、MCU_PORz アクティブ (low) から MCU_RESETSTATz アクティブ (low) まで	0		ns
RST5	$t_{d(MCU_PORzH-MCU_RESETSTATzH)}$	遅延時間、MCU_PORz 非アクティブ (high) から MCU_RESETSTATz 非アクティブ (high) まで	6120*S (1)		ns
RST6	$t_{d(MCU_PORzL-RESETSTATzL)}$	遅延時間、MCU_PORz アクティブ (low) から RESETSTATz アクティブ (low) まで	0		ns
RST7	$t_{d(MCU_PORzH-RESETSTATzH)}$	遅延時間、MCU_PORz 非アクティブ (high) から RESETSTATz 非アクティブ (high) まで	9195*S (1)		ns
RST8	$t_{w(MCU_RESETSTATzL)}$	パルス幅、MCU_RESETSTATz Low (SW_MCU_WARMRST)	966*S (1)		ns
RST9	$t_{w(RESETSTATzL)}$	パルス幅、RESETSTATz Low (SW_MCU_WARMRST、SW_MAIN_PORz、SW_MAIN_WARMRST)	4040*S		ns

(1) S = MCU_OSC0_XI/XO クロック周期 (ns)。

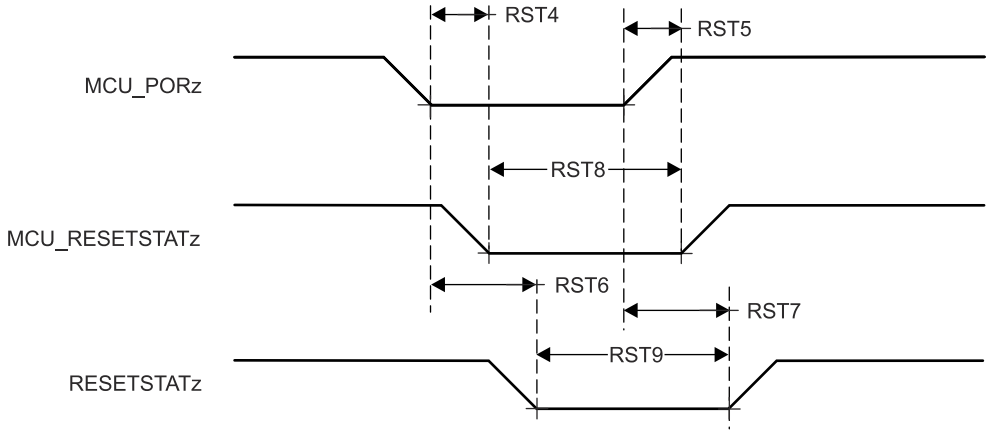


図 6-8. MCU_RESETSTATz と RESETSTATz のスイッチング特性

Copyright © 2025 Texas Instruments Incorporated

表 6-10. MCU_RESETz のタイミング要件

図 6-9 を参照

番号	パラメータ		最小値	最大値	単位
RST10	$t_{w(MCU_RESETzL)}$ (1)	パルス幅、MCU_RESETz アクティブ (Low)	1200		ns

(1) このタイミング パラメータは、すべての電源が有効になり、MCU_PORz が指定された時間アサートされた後にのみ有効です。

表 6-11. MCU_RESETSTATz と RESETSTATz のスイッチング特性

図 6-9 を参照

番号	パラメータ		最小値	最大値	単位
RST11	$t_{d(MCU_RESETzL-MCU_RESETSTATzL)}$	遅延時間、MCU_RESETz アクティブ (low) から MCU_RESETSTATz アクティブ (low) まで	0		ns
RST12	$t_{d(MCU_RESETzH-MCU_RESETSTATzH)}$	遅延時間、MCU_RESETz 非アクティブ (high) から MCU_RESETSTATz 非アクティブ (high) まで	966*S (1)		ns
RST13	$t_{d(MCU_RESETzL-RESETSTATzL)}$	遅延時間、MCU_RESETz アクティブ (low) から RESETSTATz アクティブ (low) まで	960		ns
RST14	$t_{d(MCU_RESETzH-RESETSTATzH)}$	遅延時間、MCU_RESETz 非アクティブ (high) から RESETSTATz 非アクティブ (high) まで	4040*S (1)		ns

(1) S = MCU_OSC0_XI/XO クロック周期 (ns)。

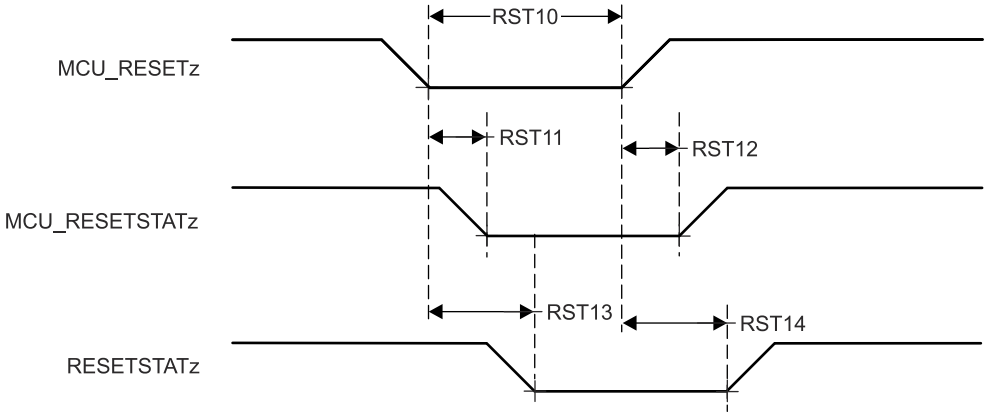


図 6-9. MCU_RESETz、MCU_RESETSTATz、RESETSTATz のタイミング要件とスイッチング特性

表 6-12. RESET_REQz のタイミング要件

図 6-10 を参照

番号	パラメータ		最小値	最大値	単位
RST15	$t_{w(RESET_REQzL)}$ (1)	パルス幅、RESET_REQz アクティブ (Low)	1200		ns

(1) このタイミング パラメータは、すべての電源が有効になり、MCU_PORz が指定された時間アサートされた後にのみ有効です。

表 6-13. RESETSTATz のスイッチング特性

図 6-10 を参照

番号	パラメータ		最小値	最大値	単位
RST16	$t_{d(RESET_REQzL-RESETSTATzL)}$	遅延時間、RESET_REQz アクティブ (low) から RESETSTATz アクティブ (low) まで	900*T (1)		ns
RST17	$t_{d(RESET_REQzH-RESETSTATzH)}$	遅延時間、RESET_REQz 非アクティブ (high) から RESETSTATz 非アクティブ (high) まで	4040*S (2)		ns

(1) T = リセット分離時間 (ソフトウェアに依存)
(2) S = MCU_OSC0_XI/XO クロック周期 (ns)。

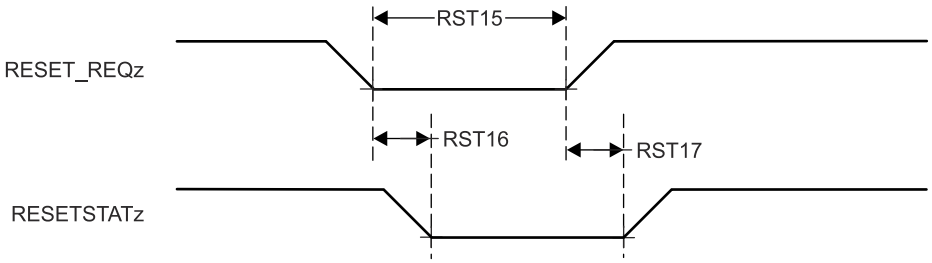


図 6-10. RESET_REQz と RESETSTATz のタイミング要件とスイッチング特性

表 6-14. EMUx のタイミング要件

図 6-11 を参照

番号	パラメータ		最小値	最大値	単位
RST18	$t_{su(EMUx-MCU_PORz)}$	セットアップ時間、EMU[1:0] から MCU_PORz 非アクティブ (high) まで	3*S (1)		ns
RST19	$t_{h(MCU_PORz - EMUx)}$	ホールド時間、MCU_PORz 非アクティブ (high) から EMU[1:0] 有効の間	10		ns

(1) S = MCU_OSC0_XI/XO クロック周期 (ns)。

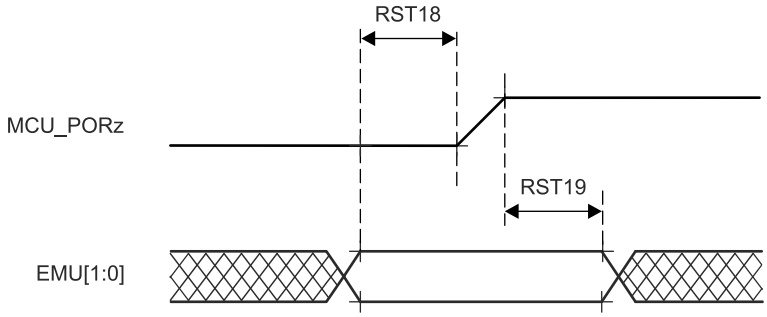


図 6-11. EMUx のタイミング要件

Copyright © 2025 Texas Instruments Incorporated

表 6-15. BOOTMODE のタイミング要件

図 6-12 を参照

番号	パラメータ		最小値	最大値	単位
RST23	$t_{su(BOOTMODE-PORz_OUT)}$	セットアップ時間、BOOTMODE[15:00] 有効から PORz_OUT High (外部 MCU Porz イベントまたはソフトウェア SW_MAIN_PORz) まで	3*S (1)		ns
RST24	$t_{h(PORz_OUT - BOOTMODE)}$	ホールド時間、PORz_OUT High (外部 MCU PORz イベントまたはソフトウェア SW_MAIN_PORz) から BOOTMODE[15:00] 有効の間	0		ns

(1) S = MCU_OSC0_XI/XO クロック周期 (ns)。

表 6-16. PORz_OUT のスイッチング特性

図 6-12 を参照

番号	パラメータ		最小値	最大値	単位
RST25	$t_{d(MCU_PORzL-PORz_OUT)}$	遅延時間、MCU_PORz アクティブ (low) から PORz_OUT アクティブ (low) まで	0		ns
RST26	$t_{d(MCU_PORzH-PORz_OUT)}$	遅延時間、MCU_PORz 非アクティブ (high) から PORz_OUT 非アクティブ (high) まで	1840		ns
RST27	$t_{w(PORz_OUTL)}$	パルス幅、PORz_OUT Low (MCU_PORz または SW_MAIN_PORz)	1200		ns

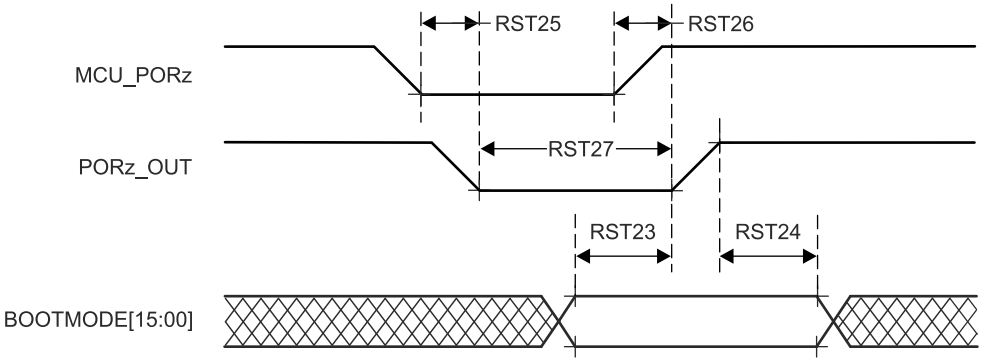


図 6-12. BOOTMODE のタイミング要件と PORz_OUT のスイッチング特性

6.12.3.2 エラー信号タイミング

このセクションの表と図では、MCU_ERRORn のタイミング条件とスイッチング特性を定義します。

表 6-17. エラー信号のタイミング条件

パラメータ		最小値	最大値	単位
出力条件				
C_L	出力負荷容量		30	pF

表 6-18. MCU_ERRORn のスイッチング特性

図 6-13 参照

番号	パラメータ		最小値	最大値	単位
ERR1	$t_{c(MCU_ERRORn)}$	最小サイクル時間、MCU_ERRORn (PWM モード イネーブル)	(P*H)+(P*L)(1) (3) (4)		ns
ERR2	$t_{w(MCU_ERRORn)}$	最小パルス幅、MCU_ERRORn アクティブ (PWM モード ディスエーブル)(5)	P*R(1) (2)		ns
ERR3	$t_{d\ (ERROR_CONDITION-MCU_ERRORnL)}$	遅延時間、エラー状態から MCU_ERRORn アクティブまで(5)	50*P(1)		ns

(1) P = ESM 機能クロック周期 (ns 単位)。
(2) R = エラー ピン カウンタ プリロード レジスタ カウント値。
(3) H = エラー ピン PWM High プリロード レジスタ カウント値。
(4) L = エラー ピン PWM Low プリロード レジスタ カウント値。
(5) PWM モードが有効化されている場合、ERR3 後、MCU_ERRORn はトグルを停止し、エラーがクリアされるまでその値 (High と Low のどちらか) を維持します。PWM モードがディスエーブルの場合、MCU_ERRORn はアクティブ Low です。

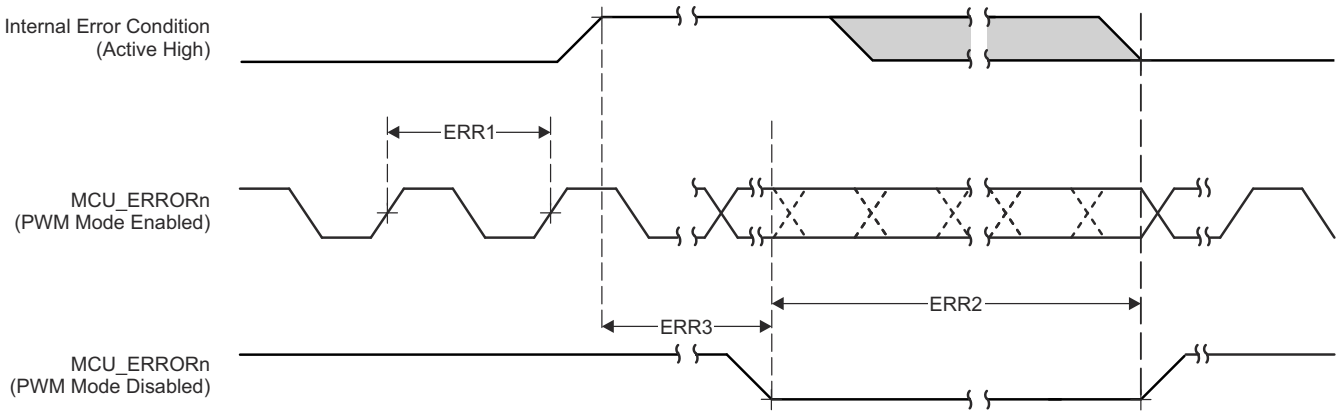


図 6-13. MCU_ERRORn のタイミング要件およびスイッチング特性

Copyright © 2025 Texas Instruments Incorporated

6.12.3.3 クロックのタイミング

このセクションの表と図では、クロック信号のタイミング条件、タイミング要件、スイッチング特性を定義します。

表 6-19. クロックのタイミング条件

パラメータ			最小値	最大値	単位
入力条件					
SR_I	入力スルーレート		0.5		V/ns
出力条件					
C_L	出力負荷容量	5ns ≦ t_c < 8ns		5	pF
		8ns ≦ t_c < 20ns		10	pF
		20ns ≦ t_c		30	pF

表 6-20. クロックのタイミング要件

図 6-14 参照

番号			最小値	最大値	単位
CLK1	$t_{c(EXT_REFCLK1)}$	最小サイクル時間、EXT_REFCLK1	10		ns
CLK2	$t_{w(EXT_REFCLK1H)}$	パルス幅、EXT_REFCLK1 High	E*0.45(1)	E*0.55(1)	ns
CLK3	$t_{w(EXT_REFCLK1L)}$	パルス幅、EXT_REFCLK1 Low	E*0.45(1)	E*0.55(1)	ns
CLK1	$t_{c(MCU_EXT_REFCLK0)}$	最小サイクル時間、MCU_EXT_REFCLK0	10		ns
CLK2	$t_{w(MCU_EXT_REFCLK0H)}$	パルス幅、MCU_EXT_REFCLK0 High	F*0.45(2)	F*0.55(2)	ns
CLK3	$t_{w(MCU_EXT_REFCLK0L)}$	パルス幅、MCU_EXT_REFCLK0 Low	F*0.45(2)	F*0.55(2)	ns
CLK1	$t_{c(AUDIO_EXT_REFCLK0)}$	最小サイクル時間、AUDIO_EXT_REFCLK0	20		ns
CLK2	$t_{w(AUDIO_EXT_REFCLK0H)}$	パルス幅、AUDIO_EXT_REFCLK0 High	G*0.45(3)	G*0.55(3)	ns
CLK3	$t_{w(AUDIO_EXT_REFCLK0L)}$	パルス幅、AUDIO_EXT_REFCLK0 Low	G*0.45(3)	G*0.55(3)	ns
CLK1	$t_{c(AUDIO_EXT_REFCLK1)}$	最小サイクル時間、AUDIO_EXT_REFCLK1	20		ns
CLK2	$t_{w(AUDIO_EXT_REFCLK1H)}$	パルス幅、AUDIO_EXT_REFCLK1 High	H*0.45(4)	H*0.55(4)	ns
CLK3	$t_{w(AUDIO_EXT_REFCLK1L)}$	パルス幅、AUDIO_EXT_REFCLK1 Low	H*0.45(4)	H*0.55(4)	ns

(1) E = EXT_REFCLK1 サイクル時間 (ns)。
(2) F = MCU_EXT_REFCLK0 サイクル時間 (ns)。
(3) G = AUDIO_EXT_REFCLK0 サイクル時間 (ns)。
(4) H = AUDIO_EXT_REFCLK1 サイクル時間 (ns)。

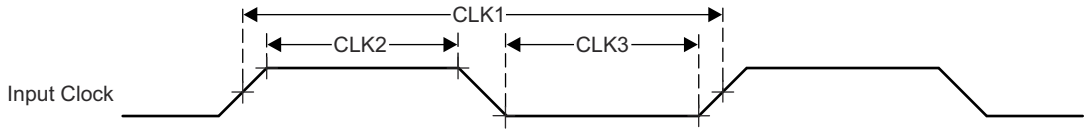


図 6-14. クロックのタイミング要件

表 6-21. クロックのスイッチング特性

図 6-15 参照

番号	パラメータ		最小値	最大値	単位
CLK4	$t_{c(SYSCLKOUT0)}$	最小サイクル時間、SYSCLKOUT0	8		ns
CLK5	$t_{w(SYSCLKOUT0H)}$	パルス幅、SYSCLKOUT0 High	A*0.4(1)	A*0.6(1)	ns
CLK6	$t_{w(SYSCLKOUT0L)}$	パルス幅、SYSCLKOUT0 Low	A*0.4(1)	A*0.6(1)	ns
CLK4	$t_{c(OBSCLK0)}$	最小サイクル時間、OBSCLK0	5		ns
CLK5	$t_{w(OBSCLK0H)}$	パルス幅、OBSCLK0 High	B*0.45(2)	B*0.55(2)	ns
CLK6	$t_{w(OBSCLK0L)}$	パルス幅、OBSCLK0 Low	B*0.45(2)	B*0.55(2)	ns
CLK4	$t_{c(OBSCLK1)}$	最小サイクル時間、OBSCLK1	5		ns
CLK5	$t_{w(OBSCLK1H)}$	パルス幅、OBSCLK1 High	F*0.45(3)	F*0.55(3)	ns
CLK6	$t_{w(OBSCLK1L)}$	パルス幅、OBSCLK1 Low	F*0.45(3)	F*0.55(3)	ns
CLK4	$t_{c(CLKOUT0)}$	最小サイクル時間、CLKOUT0	20		ns
CLK5	$t_{w(CLKOUT0H)}$	パルス幅、CLKOUT0 High	C*0.4(4)	C*0.6(4)	ns
CLK6	$t_{w(CLKOUT0L)}$	パルス幅、CLKOUT0 Low	C*0.4(4)	C*0.6(4)	ns
CLK4	$t_{c(MCU_SYSCLKOUT0)}$	最小サイクル時間、MCU_SYSCLKOUT0	10		ns
CLK5	$t_{w(MCU_SYSCLKOUT0H)}$	パルス幅、MCU_SYSCLKOUT0 High	E*0.4(5)	E*0.6(5)	ns
CLK6	$t_{w(MCU_SYSCLKOUT0L)}$	パルス幅、MCU_SYSCLKOUT0 Low	E*0.4(5)	E*0.6(5)	ns
CLK4	$t_{c(MCU_OBSCLK0)}$	最小サイクル時間、MCU_OBSCLK0	5		ns
CLK5	$t_{w(MCU_OBSCLK0H)}$	パルス幅、MCU_OBSCLK0 High	D*0.45(6)	D*0.55(6)	ns
CLK6	$t_{w(MCU_OBSCLK0L)}$	パルス幅、MCU_OBSCLK0 Low	D*0.45(6)	D*0.55(6)	ns
CLK4	$t_{c(WKUP_CLKOUT0)}$	最小サイクル時間、WKUP_CLKOUT0	5		ns
CLK5	$t_{w(WKUP_CLKOUT0H)}$	パルス幅、WKUP_CLKOUT0 High	W*0.4(7)	W*0.6(7)	ns
CLK6	$t_{w(WKUP_CLKOUT0L)}$	パルス幅、WKUP_CLKOUT0 Low	W*0.4(7)	W*0.6(7)	ns
CLK4	$t_{c(AUDIO_EXT_REFCLK0)}$	最小サイクル時間、AUDIO_EXT_REFCLK0 (McASP クロック ソース)	20		ns
		最小サイクル時間、AUDIO_EXT_REFCLK0 (PLL クロック ソース)	10		ns
CLK5	$t_{w(AUDIO_EXT_REFCLK0\ H)}$	パルス幅、AUDIO_EXT_REFCLK0 High	G*0.4(8)	G*0.6(8)	ns
CLK6	$t_{w(AUDIO_EXT_REFCLK0\ L)}$	パルス幅、AUDIO_EXT_REFCLK0 Low	G*0.4(8)	G*0.6(8)	ns
CLK4	$t_{c(AUDIO_EXT_REFCLK1)}$	最小サイクル時間、AUDIO_EXT_REFCLK1 (McASP クロック ソース)	20		ns
		最小サイクル時間、AUDIO_EXT_REFCLK1 (PLL クロック ソース)	10		ns
CLK5	$t_{w(AUDIO_EXT_REFCLK1\ H)}$	パルス幅、AUDIO_EXT_REFCLK1 High	J*0.4(9)	J*0.6(9)	ns
CLK6	$t_{w(AUDIO_EXT_REFCLK1\ L)}$	パルス幅、AUDIO_EXT_REFCLK1 Low	J*0.4(9)	J*0.6(9)	ns

(1) A = SYSCLKOUT0 サイクル時間 (ns)。
(2) B = OBSCLK0 サイクル時間 (ns)。
(3) F = OBSCLK1 サイクル時間 (ns)。
(4) C = CLKOUT0 サイクル時間 (ns)。
(5) E = MCU_SYSCLKOUT0 サイクル時間 (ns)。
(6) D = MCU_OBSCLK0 サイクル時間 (ns)。
(7) W = WKUP_CLKOUT0 サイクル時間 (ns)。
(8) G = AUDIO_EXT_REFCLK0 サイクル時間 (ns)。
(9) J = AUDIO_EXT_REFCLK1 サイクル時間 (ns)。

Copyright © 2025 Texas Instruments Incorporated

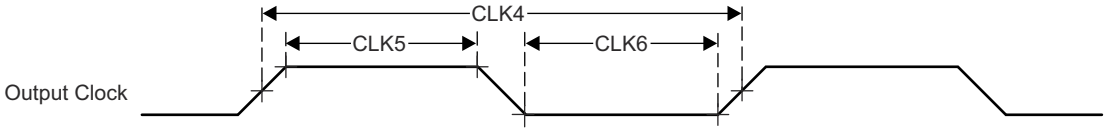


図 6-15. クロックのスイッチング特性

6.12.4 クロック仕様

6.12.4.1 入力クロック / 発振器

本デバイスを駆動するには、各種の外部クロック入力 / 出力が必要です。これらの入力クロック信号の概要は、以下のとおりです。

- MCU_OSC0_XO/MCU_OSC0_XI — 内部基準クロック HFOSC0_CLKOUT のデフォルト クロック ソースである内部高周波発振器 (MCU_HFOSC0) に接続された外部メイン水晶振動子インターフェイス ピン。
- WKUP_LFOSC0_XO/WKUP_LFOSC0_XI — オプションの 32768Hz 基準クロックを供給する内部低周波数発振器 (WKUP_LFOSC0) に接続された外部水晶振動子インターフェイス ピン。
- 汎用クロック入力
  - MCU_EXT_REFCLK0 — オプションの外部システム クロック。
  - EXT_REFCLK1 — オプションの外部システム クロック。
- 外部 CPTS 基準クロック入力
  - CP_GEMAC_CPTS0_RFT_CLK — CPTS_RFT_CLK のオプションの基準クロック入力。
- 外部オーディオ基準クロック入出力
  - AUDIO_EXT_REFCLK[1:0] — 入力として動作するように構成されている場合、オプションの McASP 高周波入力クロック。

入力クロック インターフェイスの詳細については、デバイス テクニカル リファレンス マニュアルの「デバイス構成」の章にある「クロック処理」のセクションを参照してください 。

6.12.4.1.1 MCU_OSC0 内部発振器クロック ソース

図 6-16 に、水晶発振器の推奨回路を示します。振動子の回路の実装に使用されるすべてのディスクリート部品は、MCU_OSC0_XI および MCU_OSC0_XO ピンのできるだけ近くに配置する必要があります。

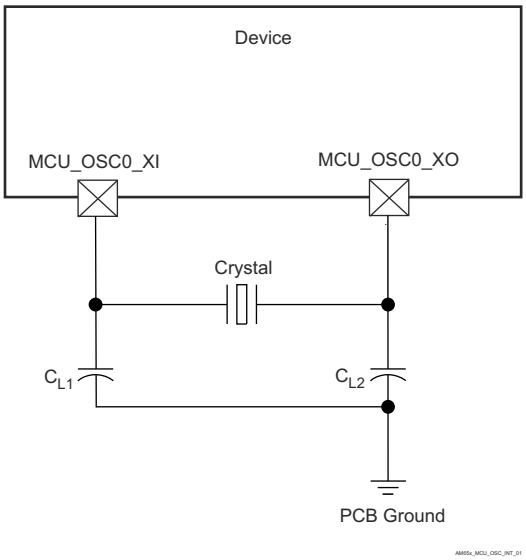


図 6-16. MCU_OSC0 水晶振動子の実装

水晶振動子は、基本動作モード、並列共振である必要があります。表 6-22 に、必要な電気的制約事項を示します。

表 6-22. MCU_OSC0 水晶振動子回路の要件

パラメータ				最小値	標準値	最大値	単位
F_{xtal}	水晶振動子の並列共振周波数				25		MHz
F_{xtal}	水晶振動子の周波数安定性および許容誤差		イーサネット RGMII および RMII は未使用			±100	ppm
			派生クロックを使用するイーサネット RGMII と RMII			±50	
$C_{L1+PCBXI}$	C_{L1} + C_{PCBXI} の容量			12		24	pF
$C_{L2+PCBXO}$	C_{L2} + C_{PCBXO} の容量			12		24	pF
C_L	水晶振動子の負荷容量			6		12	pF
C_{shunt}	水晶発振回路のシャント容量	ESR_{xtal} = 30Ω	25 MHz			7	pF
		ESR_{xtal} = 40Ω	25 MHz			5	pF
		ESR_{xtal} = 50Ω	25 MHz			5	pF
ESR_{xtal}	水晶振動子の等価直列抵抗					(1)	Ω

(1) 水晶振動子の最大 ESR は、水晶振動子の周波数とシャント容量の関数です。C_{shunt} パラメータを参照してください。

システムの設計で水晶振動子を選択するときは、ワーストケースの環境やシステムの予測寿命に基づいて、水晶振動子の温度特性および経年変化特性を考慮する必要があります。

表 6-23 に、発振器のスイッチング特性の詳細を示します。

表 6-23. MCU_OSC0 のスイッチング特性 – 水晶振動子モード

パラメータ		最小値	標準値	最大値	単位
C_{XI}	XI 容量			1.40	pF
C_{XO}	XO 容量			1.36	pF
C_{XIXO}	XI から XO への相互容量			0.01	pF

Copyright © 2025 Texas Instruments Incorporated

表 6-23. MCU_OSC0 のスイッチング特性 – 水晶振動子モード (続き)

パラメータ		最小値	標準値	最大値	単位
t_s	起動時間		4		ms

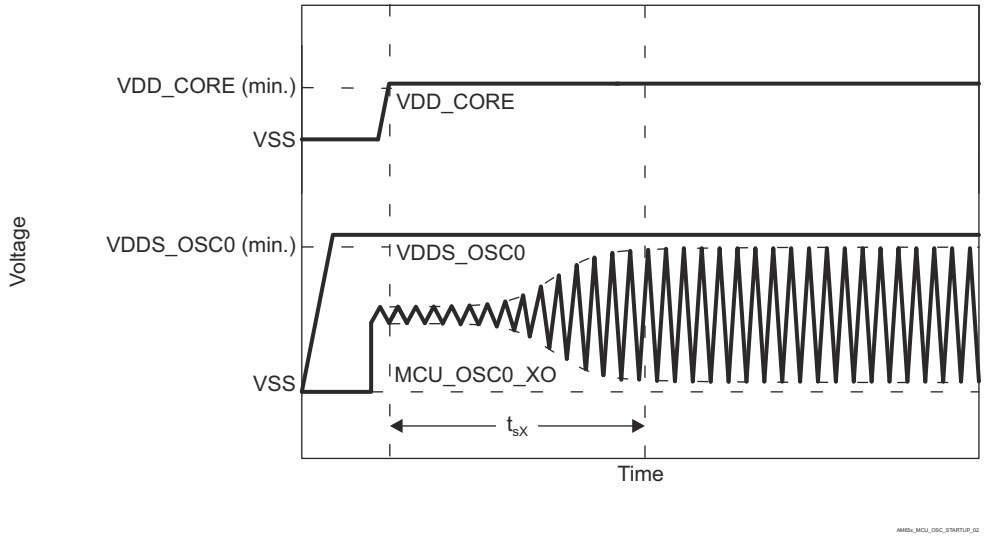


図 6-17. MCU_OSC0 スタートアップ時間

6.12.4.1.2 MCU_OSC0 LVCMOS デジタル クロック ソース

図 6-18 に、MCU_OSC0_XI を 1.8V LVCMOS 方形波デジタル クロック ソースに接続する場合に推奨される発振器接続を示します。

注

1. 発振器が電源オンのとき、MCU_OSC0_XI を DC 定常状態にすることは許容されません。MCU_OSC0_XI は内部でコンパレータに AC 結合されており、入力に DC が印加されると未知の状態になる可能性があるため、これは許容されません。したがって、MCU_OSC0_XI がロジック状態間をトグルしていない場合は、アプリケーション ソフトウェアで MCU_OSC0 の電源をオフにする必要があります。

2. MCU_OSC0_XI 入力に供給される LVCMOS クロック信号は、単調に遷移する必要があります。このクロック源は、近くに配置された直列終端抵抗を介して、ポイント ツー ポイント接続で MCU_OSC0_XI に接続する必要があります。直列終端抵抗の値は、伝送ラインのインピーダンスからクロック源の出力インピーダンスを引いた値と一致している必要があります。たとえば、クロック源の出力インピーダンスが 30Ω、PCB 信号パターンの特性インピーダンスが 50Ω の場合、直列終端抵抗の値を 20Ω とする必要があります。こうすることで、終端されていない伝送線路の遠端から戻ってくる反射を完全に吸収し、信号に非単調イベントがまったく発生しないようにできます。

3. LVCMOS クロック源を MCU_OSC0_XI に接続する PCB パターンの長さはできるだけ短くする必要があります。これにより、容量性負荷を小さくし、外部ノイズ源がクロック信号に結合する可能性を低めることができます。容量性負荷が小さいと、クロック信号の立ち上がり / 立ち下がり時間が短くなり、システムにジッタが発生する可能性が低下します。

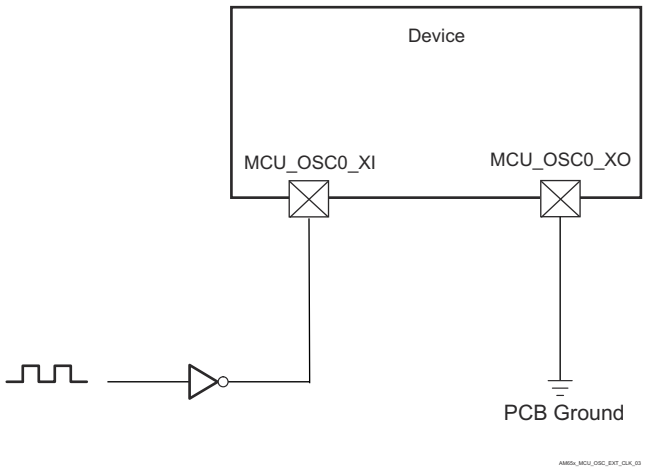


図 6-18. 1.8V LVCMOS 互換クロック入力

Copyright © 2025 Texas Instruments Incorporated

表 6-24. MCU_OSC0 LVCMOS デジタル クロック ソース要件

パラメータ			最小値	標準値	最大値	単位
F_{xtal}	周波数			25		MHz
	周波数安定性および許容誤差	イーサネット RGMII および RMII は未使用			±100	ppm
		派生クロックを使用するイーサネット RGMII と RMII			±50	
DC	デューティ サイクル		45		55	%
$t_{R/F}$	立ち上がり / 立ち下がり時間 (10% - 90% 立ち上がり、90% - 10% 立ち下がり)				4[(1)]	ns
$J_{Period(RMS)}$	周期ジッタ、RMS (100k サンプル)				20	ps
$J_{Period(PK-PK)}$	周期ジッタ、ピーク ツー ピーク (100k サンプル)				300	ps
$J_{Phase(RMS)}$	位相ジッタ、RMS (BW 100Hz～1MHz)				10[(2)]	ps

(1) ほとんどの LVCMOS 発振器のデータシートには、PCB パターン容量と MCU_OSC0_XI 入力容量の和に相当する実際の負荷よりもはるかに大きい容量性負荷を接続した場合の、出力の立ち上がり / 立ち下がり時間の最大値が規定されています。この要件を満たす LVCMOS 発振器を見つけるのは難しくないはずです。ただし、システム設計者は、選択した LVCMOS 発振器が適切な立ち上がり / 立ち下がり時間で MCU_OSC0_XI 入力を駆動できることを確認する必要があります。

(2) ほとんどの LVCMOS 発振器のデータシートには、このデバイスで必要とされる帯域幅積分範囲よりも大きい帯域幅積分範囲を使用した RMS 位相ジッタの最大値が規定されています。より適切な値を得るには、LVCMOS 発振器のメーカーに連絡し、このパラメータのために規定された帯域幅積分範囲と同じ帯域幅積分範囲を使った RMS 位相ジッタの最大値を提供するように依頼することも場合によっては必要です。

6.12.4.1.3 WKUP_LFOSC0 内部発振器クロック ソース

図 6-19 に、水晶発振器の推奨回路を示します。量産開始前のプリント基板 (PCB) 設計には、2 つのオプション抵抗 R_{bias} および R_d を含めることを推奨します。これは、量産用の水晶振動子回路部品と組み合わせたとき、発振器が正常に動作するために抵抗が必要とされる場合に備えるものです。ほとんどの場合、R_{bias} は 不要であり、R_d は 0Ω 抵抗です。量産前の PCB に量産用の水晶振動子回路部品を実装して、発振器の性能を評価した後、これらの抵抗を量産 PCB の設計から取り除くこともできます。

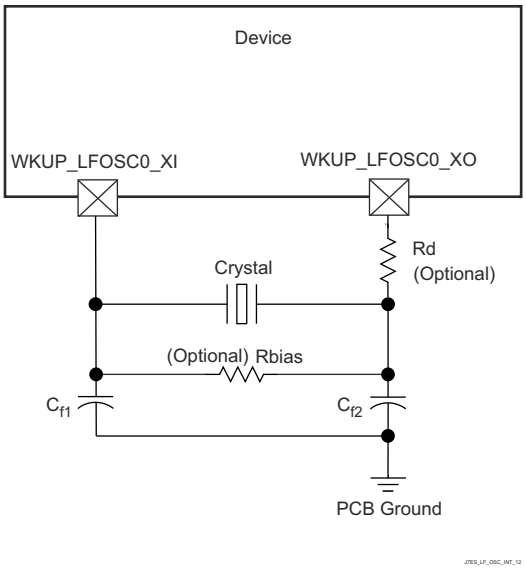


図 6-19. WKUP_LFOSC0 水晶振動子の実装

表 6-25 に、LFXOSC の動作モードを示します。

表 6-25. LFXOSC 動作モード

モード	BP_C	PD_C	XI	XO	CLK_OUT	説明
アクティブ	0	0	XTAL	XTAL	CLK_OUT	アクティブ発振器モードで 32kHz を供給
パワーダウン	0	1	X	PD	Low	出力は Low にプルダウンされます。PAD はトライステート。アクティブ モードはディセーブル。
バイパス	1	0	CLK	PD	CLK	XI は外部クロック ソースによって駆動されます。XO は Low にプルダウンされます。電源に対して ESD ダイオードがあるため、発振器電源が存在しない場合は、XI を駆動しないでください。

注

ユーザーは、6pF～9.5pF の範囲の CL に対して、CTRLMMR_WKUP_LFXOSC_TRIM[18:16] i_mult = 3b ' 001 を設定する必要があります。8.5pF ～ 12pF の範囲の CL に対しては、CTRLMMR_WKUP_LFXOSC_TRIM [18:16] i_mult = 3b'010 とします。デフォルト設定は 3b'010 です。

注

図 6-20 の負荷コンデンサ C_{f1} および C_{f2} は、次の式が満足されるように選択する必要があります。この式の C_L は、水晶振動子のメーカーによって指定された負荷です。発振器回路の実装に使用されるすべてのディスクリート部品は、関連する発振器 WKUP_LFOSC0_XI、WKUP_LFOSC0_XO、VSS ピンのできるだけ近くに配置する必要があります。

Copyright © 2025 Texas Instruments Incorporated

$$C_L = \frac{C_{f1} C_{f2}}{(C_{f1} + C_{f2})}$$

JTES_CL_MATH_03

図 6-20. 負荷容量の式

水晶振動子は、基本動作モード、並列共振である必要があります。表 6-26 に、必要な電気的制約事項を示します。

表 6-26. WKUP_LFOSC0 水晶振動子の電気的特性

名称	説明		最小値	標準値	最大値	単位
f_p	並列共振水晶振動子周波数			32768		Hz
	水晶振動子の周波数安定性および許容誤差				±100	PPM
C_{f1}	C_{f1} = C_{f2} の場合の水晶振動子並列共振の C_{f1} 負荷容量		12		24	pF
C_{f2}	C_{f1} = C_{f2} の場合の水晶振動子並列共振の C_{f2} 負荷容量		12		24	pF
C_{shunt}	シャント容量	ESRxtal – 40kΩ			4	pF
		ESRxtal – 60kΩ			3	pF
		ESRxtal – 80kΩ			2	pF
		ESRxtal – 100kΩ			1	pF
ESR	水晶振動子の等価直列抵抗				(1)	Ω

(1) 水晶振動子の最大 ESR は、水晶振動子の周波数とシャント容量の関数です。C_{shunt} パラメータを参照してください。

水晶振動子を選択するとき、システム設計では、ワーストケースの環境とシステムの予測寿命に基づいて、温度と経年変化特性を考慮する必要があります。

表 6-27 に、発振器のスイッチング特性と入力クロックの要件を示します。

表 6-27. WKUP_LFOSC0 のスイッチング特性 – 水晶振動子モード

名称	説明	最小値	標準値	最大値	単位
f_{xtal}	発振周波数		32768		Hz
t_{sX}	スタートアップ時間			96.5	ms

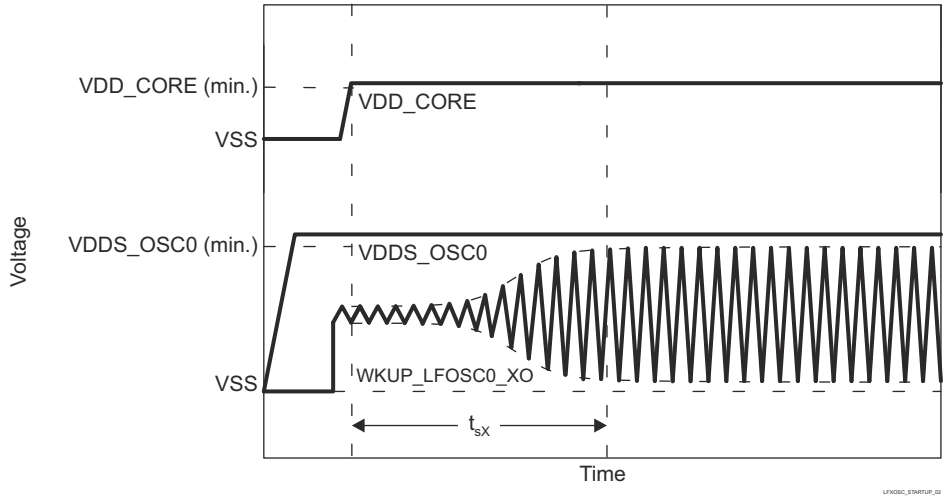


図 6-21. WKUP_LFOSC0 スタートアップ時間

6.12.4.1.4 WKUP_LFOSC0 LVCMOS デジタル クロック ソース

図 6-22 に、WKUP_LFOSC0_XI を 1.8V LVCMOS 方形波デジタル クロック ソースに接続する場合に推奨される発振器接続を示します。

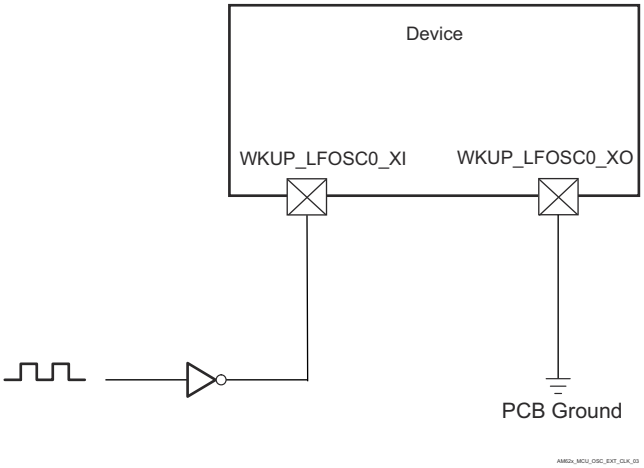


図 6-22. 1.8V LVCMOS 互換クロック入力

6.12.4.1.5 WKUP_LFOSC0 を使用しない場合

図 6-23 に、WKUP_LFOSC0 を使用しない場合に推奨される発振器接続を示します。

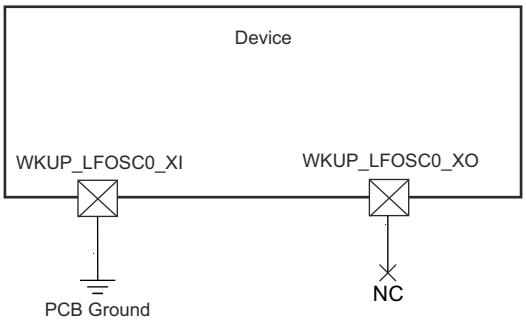


図 6-23. WKUP_LFOSC0 を使用しない場合

Copyright © 2025 Texas Instruments Incorporated

6.12.4.2 出力クロック

このデバイスには、複数のシステム クロック出力があります。これらの出力クロックの概要は、以下のとおりです。

- **MCU_SYSCLKOUT0**
  - MCU_PLL0_HSDIV0_CLKOUT (MCU_SYSCLKOUT0) が 4 分周され、MCU_SYSCLKOUT0 としてデバイスから出力されます。このクロック出力は、テストとデバッグのみを目的としています。
- **MCU_OBSCLK0**
  - 監視クロック出力は、テストとデバッグのみを目的としています。
- **WKUP_CLKOUT0**
  - WKUP ドメインの CLKOUT0 出力。
- **SYSCLKOUT0**
  - MAIN_PLL0_HSDIV0_CLKOUT (SYSCLKOUT0) は 4 分周され、SYSCLKOUT0 としてデバイスから出力されます。このクロック出力は、テストとデバッグのみを目的としています。
- **CLKOUT0**
  - CLKOUT0 は、5 分周または 10 分周されたイーサネット サブシステム クロック (MAIN_PLL2_HSDIV1_CLKOUT) です。このクロック出力は、外部 PHY へのオプションのソースとして供給されます。RMII クロック ソース (50MHz) として動作するよう構成する場合、デバイスが適切に動作するように信号をそれぞれの RMII[x]_REF_CLK ピンに配線する必要があります。
- **OBSCLK[1:0]**
  - 監視クロック出力は、テストとデバッグのみを目的としています。
- **AUDIO_EXT_REFCLK[1:0]**
  - 出力として動作するよう構成されている場合、6 つの McASP 高周波オーディオ基準クロック、MAIN_PLL1_HSDIV6_CLKOUT、または MAIN_PLL2_HSDIV8_CLKOUT のいずれかに供給可能です。

6.12.4.3 PLL

フェーズ ロック ループ回路 (PLL) の電力は、オフチップ電源から電力を得る内部レギュレータによって供給されます。

MCU ドメインには 1 つの PLL があります。
- MCU_PLL0 (MCU PLL)

MAIN ドメインには 9 つの PLL があります。
- MAIN_PLL0 (MAIN PLL)
- MAIN_PLL1 (PER0 PLL)
- MAIN_PLL2 (PER1 PLL)
- MAIN_PLL5
- MAIN_PLL7 (C7x PLL)
- MAIN_PLL8 (ARM0 PLL)
- MAIN_PLL12 (DDR PLL)
- MAIN_PLL15 (SMS PLL)
- MAIN_PLL17

いずれかの PLL 出力をクロック ソースとして構成および使用するには、基準クロック ソースのスタートアップ時間と PLL ロック要件を考慮する必要があります。デバイスの基準クロック入力要件は、セクション 6.12.4.1「入力クロック / 発振器」で定義されています。PLL 構成の詳細については、デバイスのテクニカル リファレンス マニュアルを参照してください。

PLL の詳細については、デバイスのテクニカル リファレンス マニュアルで「デバイス構成」セクションの「クロッキング」サブセクションにある「PLL」サブセクションを参照してください。

6.12.4.4 クロックおよび制御信号の遷移に関する推奨システム上の注意事項

すべてのクロック信号とストローブ信号は、V_{IH} と V_{IL} (または V_{IL} と V_{IH})の間で単調に遷移する必要があります。

高速な信号遷移では、単調な遷移が発生する可能性が高くなります。遷移が低速な信号に対しては、ノイズにより容易に非単調なイベントが発生します。そのため、すべてのクロック信号と制御信号で低速な信号遷移は避けてください。これは、デバイス内でグリッチが発生する可能性が高いためです。

Copyright © 2025 Texas Instruments Incorporated

6.12.5 ペリフェラル

6.12.5.1 CPSW3G

本デバイスのギガビット イーサネット MAC の機能の詳細と追加の説明情報については、「信号の説明」および「詳細説明」セクションの対応するサブセクションを参照してください。

6.12.5.1.1 CPSW3G MDIO のタイミング

表 6-28、表 6-29、表 6-30、図 6-24 に、CPSW3G MDIO のタイミング条件、タイミング要件、スイッチング特性を示します。

表 6-28. CPSW3G MDIO のタイミング条件

パラメータ		最小値	最大値	単位
入力条件				
SR_I	入力スルーレート	0.9	3.6	V/ns
出力条件				
C_L	出力負荷容量	10	470	pF
PCB 接続要件				
$t_{d(Trace\ Delay)}$	各パターンの伝搬遅延	0	5	ns
$t_{d(Trace\ Mismatch\ Delay)}$	すべてのパターンにわたる伝搬遅延の不整合		1	ns

表 6-29. CPSW3G MDIO のタイミング要件

図 6-24 参照

番号	パラメータ		最小値	最大値	単位
MDIO1	$t_{su(MDIO_MDC)}$	セットアップ時間、MDIO[x]_MDIO 有効から MDIO[x]_MDC high まで	45		ns
MDIO2	$t_{h(MDC_MDIO)}$	ホールド時間、MDIO[x]_MDC high から MDIO[x]_MDIO 有効の間	0		ns

表 6-30. CPSW3G MDIO のスイッチング特性

図 6-24 参照

番号	パラメータ		最小値	最大値	単位
MDIO3	$t_{c(MDC)}$	サイクル時間、MDIO[x]_MDC	400		ns
MDIO4	$t_{w(MDCH)}$	パルス幅、MDIO[x]_MDC high	160		ns
MDIO5	$t_{w(MDCL)}$	パルス幅、MDIO[x]_MDC low	160		ns
MDIO7	$t_{d(MDC_MDIO)}$	遅延時間、MDIO[x]_MDC Low から MDIO[x]_MDIO 有効まで	-10	10	ns

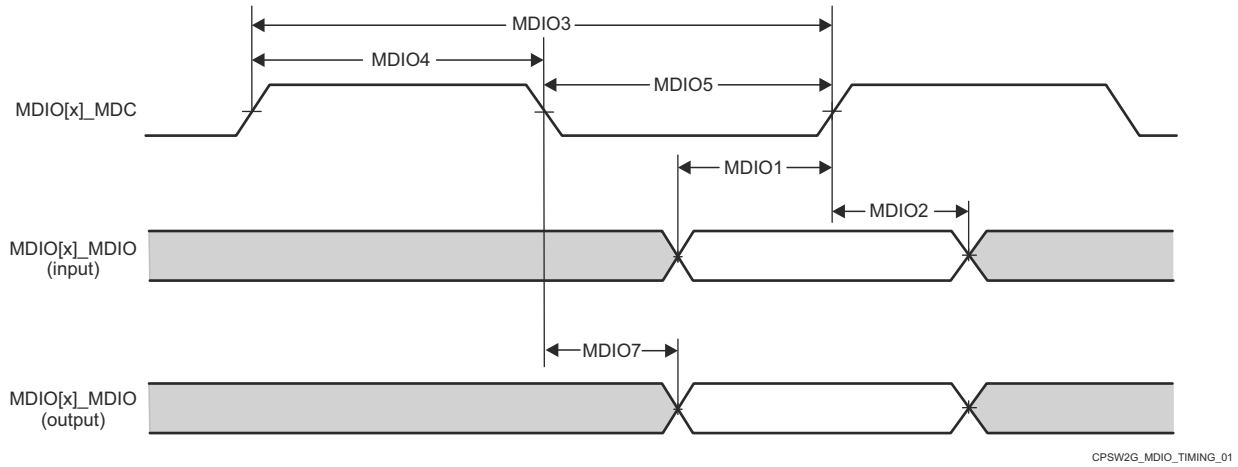


図 6-24. CPSW3G MDIO のタイミング要件およびスイッチング特性

6.12.5.1.2 CPSW3G RMII のタイミング

表 6-31、表 6-32、図 6-25、表 6-33、図 6-26、表 6-34、図 6-27 に、CPSW3G RMII のタイミング条件、タイミング要件、スイッチング特性を示します。

表 6-31. CPSW3G RMII のタイミング条件

パラメータ			最小値	最大値	単位
入力条件					
SR_I	入力スルーレート	VDD[(1)] = 1.8V	0.18	5	V/ns
		VDD[(1)] = 3.3V	0.4	5	V/ns
出力条件					
C_L	出力負荷容量		3	25	pF

(1) VDD は、対応する電源を表します。電源名および対応するボールの詳細については、「ピン属性」表の「電源」列を参照してください。

表 6-32. RMII[x]_REF_CLK のタイミング要件 - RMII モード

図 6-25 参照

番号	パラメータ	説明	最小値	最大値	単位
RMII1	$t_{c(REF_CLK)}$	サイクル時間、RMII[x]_REF_CLK	19.999	20.001	ns
RMII2	$t_{w(REF_CLKH)}$	パルス幅、RMII[x]_REF_CLK High	7	13	ns
RMII3	$t_{w(REF_CLKL)}$	パルス幅、RMII[x]_REF_CLK Low	7	13	ns

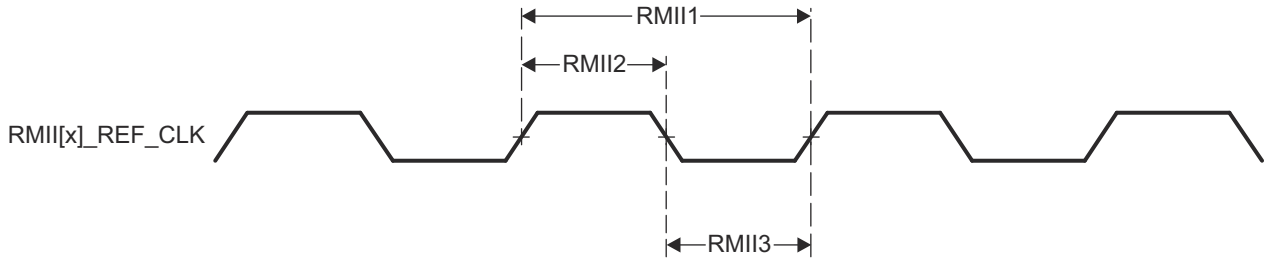


図 6-25. CPSW3G RMII[x]_REF_CLK のタイミング要件 – RMII モード

表 6-33. RMII[x]_RXD[1:0]、RMII[x]_CRS_DV、RMII[x]_RX_ER のタイミング要件 – RMII モード

図 6-26 参照

番号	パラメータ	説明	最小値	最大値	単位
RMII4	$t_{su(RXD\text{-}REF_CLK)}$	セットアップ時間、RMII[x]_RXD[1:0] 有効から RMII[x]_REF_CLK まで	4		ns
	$t_{su(CRS_DV\text{-}REF_CLK)}$	セットアップ時間、RMII[x]_CRS_DV 有効から RMII[x]_REF_CLK まで	4		ns
	$t_{su(RX_ER\text{-}REF_CLK)}$	セットアップ時間、RMII[x]_RX_ER 有効から RMII[x]_REF_CLK まで	4		ns
RMII5	$t_{h(REF_CLK\text{-}RXD)}$	ホールド時間、RMII[x]_REF_CLK から RMII[x]_RXD[1:0] 有効の間	2		ns
	$t_{h(REF_CLK\text{-}CRS_DV)}$	ホールド時間、RMII[x]_REF_CLK から RMII[x]_CRS_DV 有効の間	2		ns
	$t_{h(REF_CLK\text{-}RX_ER)}$	ホールド時間、RMII[x]_REF_CLK から RMII[x]_RX_ER 有効の間	2		ns

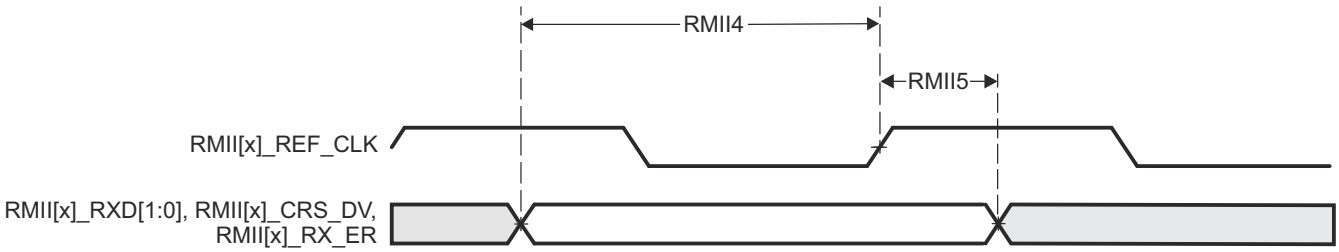


図 6-26. CPSW3G RMII[x]_RXD[1:0]、RMII[x]_CRS_DV、RMII[x]_RX_ER のタイミング要件 – RMII モード

Copyright © 2025 Texas Instruments Incorporated

表 6-34. RMII[x]_TXD[1:0]、RMII[x]_TX_EN のスイッチング特性 – RMII モード

図 6-27 参照

番号	パラメータ	説明	最小値	最大値	単位
RMII6	$t_{d(REF_CLK-TXD)}$	遅延時間、RMII[x]_REF_CLK High から RMII[x]_TXD[1:0] 有効まで	2	10	ns
	$t_{d(REF_CLK-TX_EN)}$	遅延時間、RMII[x]_REF_CLK から RMII[x]_TX_EN 有効まで	2	10	ns

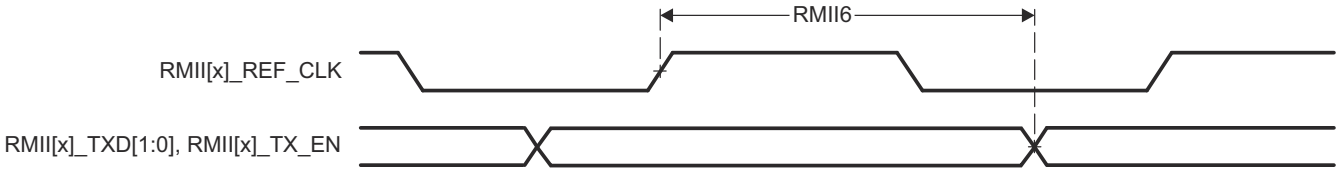


図 6-27. RMII[x]_TXD[1:0]、RMII[x]_TX_EN のスイッチング特性 – RMII モード

6.12.5.1.3 CPSW3G RGMII のタイミング

表 6-35、表 6-36、表 6-37、図 6-28、表 6-38、表 6-39、図 6-29 に、CPSW3G RGMII のタイミング条件、タイミング要件、スイッチング特性を示します。

表 6-35. CPSW3G RGMII のタイミング条件

パラメータ			最小値	最大値	単位
入力条件					
SR_I	入力スルーレート	VDD[(1)] = 1.8V	1.44	5	V/ns
		VDD[(1)] = 3.3V	2.64	5	
出力条件					
C_L	出力負荷容量		2	20	pF
PCB 接続要件					
$t_{d(Trace\ Mismatch\ Delay)}$	すべてのパターンにわたる伝搬遅延の不整合	RGMII[x]_RXC、RGMII[x]_RD[3:0]、RGMII[x]_RX_CTL		50	ps
		RGMII[x]_TXC、RGMII[x]_TD[3:0]、RGMII[x]_TX_CTL		50	ps

(1) VDD は、対応する電源を表します。電源名および対応するボールの詳細については、「ピン属性」表の「電源」列を参照してください。

Copyright © 2025 Texas Instruments Incorporated

表 6-36. RGMII[x]_RXC のタイミング要件 – RGMII モード

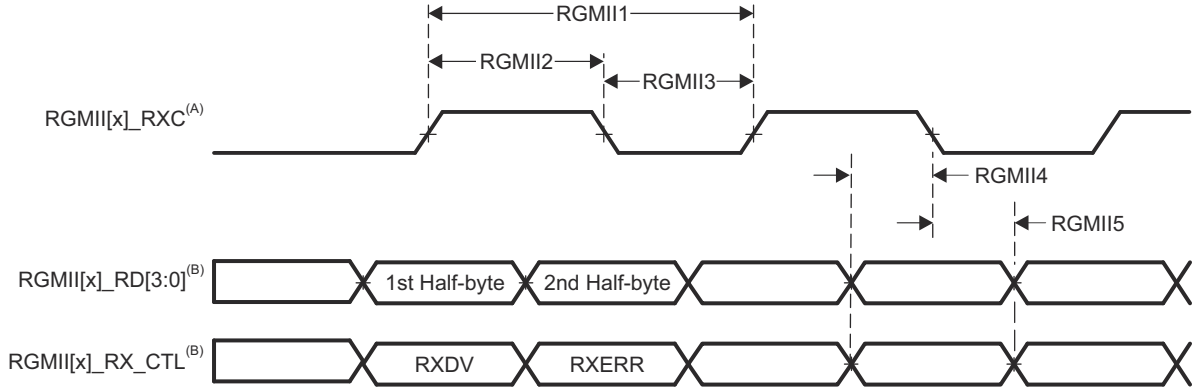
図 6-28 参照

番号	パラメータ	説明	モード	最小値	最大値	単位
RGMII1	$t_{c(RXC)}$	サイクル時間、RGMII[x]_RXC	10Mbps	360	440	ns
			100Mbps	36	44	ns
			1000Mbps	7.2	8.8	ns
RGMII2	$t_{w(RXCH)}$	パルス幅、RGMII[x]_RXC high	10Mbps	160	240	ns
			100Mbps	16	24	ns
			1000Mbps	3.6	4.4	ns
RGMII3	$t_{w(RXCL)}$	パルス幅、RGMII[x]_RXC low	10Mbps	160	240	ns
			100Mbps	16	24	ns
			1000Mbps	3.6	4.4	ns

表 6-37. RGMII[x]_RD[3:0] と RGMII[x]_RX_CTL のタイミング要件 – RGMII モード

図 6-28 参照

番号	パラメータ	説明	モード	最小値	最大値	単位
RGMII4	$t_{su(RD-RXC)}$	セットアップ時間、RGMII[x]_RD[3:0] 有効から RGMII[x]_RXC High/Low まで	10Mbps	1		ns
			100Mbps	1		ns
			1000Mbps	1		ns
	$t_{su(RX_CTL-RXC)}$	セットアップ時間、RGMII[x]_RX_CTL 有効から RGMII[x]_RXC High/Low まで	10Mbps	1		ns
			100Mbps	1		ns
			1000Mbps	1		ns
RGMII5	$t_{h(RXC-RD)}$	ホールド時間、RGMII[x]_RXC High/Low から RGMII[x]_RD[3:0] 有効の間	10Mbps	1		ns
			100Mbps	1		ns
			1000Mbps	1		ns
	$t_{h(RXC-RX_CTL)}$	ホールド時間、RGMII[x]_RXC High/Low から RGMII[x]_RX_CTL 有効の間	10Mbps	1		ns
			100Mbps	1		ns
			1000Mbps	1		ns



A. RGMII[x]_RXC は、データ ピンと制御ピンに対して、外部的に遅延させる必要があります。

B. データおよび制御情報は、クロックの両方のエッジを使用して受信されます。RGMII[x]_RD[3:0] は、RGMII[x]_RXC の立ち上がりエッジでデータ ビット 3～0 を、RGMII[x]_RXC の立ち下がりエッジでデータ ビット 7～4 を伝送します。同様に、RGMII[x]_RX_CTL は、RGMII[x]_RXC の立ち上がりエッジで RXDV を、RGMII[x]_RXC の立ち下がりエッジで RXERR を伝送します。

図 6-28. CPSW3G RGMII[x]_RXC、RGMII[x]_RD[3:0]、RGMII[x]_RX_CTL のタイミング要件 - RGMII モード

表 6-38. RGMII[x]_TXC のスイッチング特性 – RGMII モード

図 6-29 参照

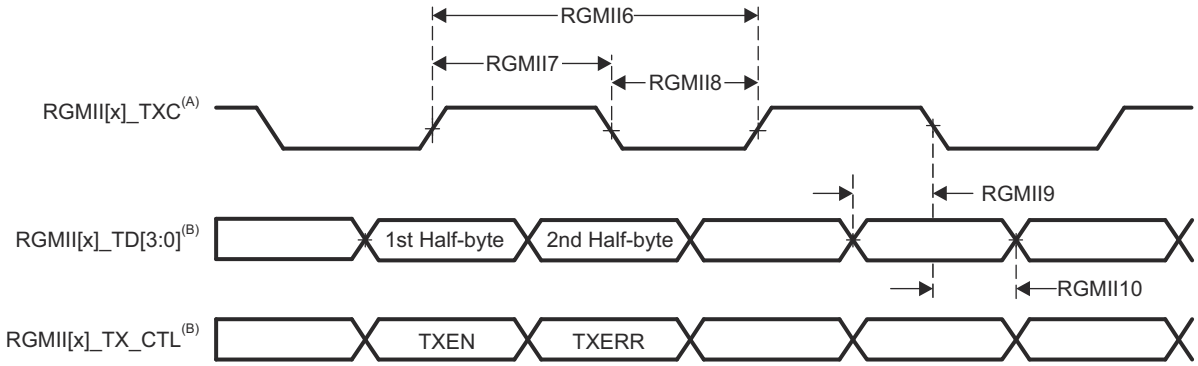
番号	パラメータ	説明	モード	最小値	最大値	単位
RGMII6	$t_{c(TXC)}$	サイクル時間、RGMII[x]_TXC	10Mbps	360	440	ns
			100Mbps	36	44	ns
			1000Mbps	7.2	8.8	ns
RGMII7	$t_{w(TXCH)}$	パルス幅、RGMII[x]_TXC high	10Mbps	160	240	ns
			100Mbps	16	24	ns
			1000Mbps	3.6	4.4	ns
RGMII8	$t_{w(TXCL)}$	パルス幅、RGMII[x]_TXC low	10Mbps	160	240	ns
			100Mbps	16	24	ns
			1000Mbps	3.6	4.4	ns

表 6-39. RGMII[x]_TD[3:0]、RGMII[x]_TX_CTL のスイッチング特性 – RGMII モード

図 6-29 参照

番号	パラメータ	説明	モード	最小値	最大値	単位
RGMII9	$t_{osu(TD-TXC)}$	出力セットアップ時間(1)、RGMII[x]_TD[3:0] 有効から RGMII[x]_TXC High/Low まで	10Mbps	1.2		ns
			100Mbps	1.2		ns
			1000Mbps	1.2		ns
	$t_{osu(TX_CTL-TXC)}$	出力セットアップ時間(1)、RGMII[x]_TX_CTL 有効から RGMII[x]_TXC High/Low まで	10Mbps	1.2		ns
			100Mbps	1.2		ns
			1000Mbps	1.2		ns
RGMII10	$t_{oh(TXC-TD)}$	出力ホールド時間(1)、RGMII[x]_TXC High/Low から RGMII[x]_TD[3:0] 有効の間	10Mbps	1.2		ns
			100Mbps	1.2		ns
			1000Mbps	1.2		ns
	$t_{oh(TXC-TX_CTL)}$	出力ホールド時間(1)、RGMII[x]_TXC High/Low から RGMII[x]_TX_CTL 有効の間	10Mbps	1.2		ns
			100Mbps	1.2		ns
			1000Mbps	1.2		ns

(1) 出力のセットアップ / ホールド時間は、送信クロック出力に対する送信データと制御出力の遅延関係を定義しますが、この出力の関係は、接続されたレシーバに供給される最小セットアップ / ホールド時間として示されています。このアプローチは、RGMII 仕様での出力タイミング関係の定義方法と一致しています。



A. TXC は内部で遅延されてから、RGMII[x]_TXC ピンを駆動します。この内部遅延は常にイネーブルになっています。

B. データおよび制御情報は、クロックの両方のエッジを使用して受信されます。RGMII[x]_TD[3:0] は、RGMII[x]_TXC の立ち上がりエッジでデータビット 3～0 を、RGMII[x]_TXC の立ち下がりエッジでデータ ビット 7～4 を伝送します。同様に、RGMII[x]_TX_CTL は RGMII[x]_TXC の立ち上がりエッジで TXEN を、RGMII[x]_TXC の立ち下がりエッジで TXERR を伝送します。

図 6-29. CPSW3G RGMII[x]_TXC、RGMII[x]_TD[3:0]、RGMII[x]_TX_CTL のスイッチング特性 – RGMII モード

Copyright © 2025 Texas Instruments Incorporated

6.12.5.2 CPTS

表 6-40、表 6-41、図 6-30、表 6-42、図 6-31 に、CPTS のタイミング条件、タイミング要件、スイッチング特性を示します。

表 6-40. CPTS のタイミング条件

パラメータ		最小値	最大値	単位
入力条件				
SR_I	入力スルーレート	0.5	5	V/ns
出力条件				
C_L	出力負荷容量	2	10	pF

表 6-41. CPTS のタイミング要件

図 6-30 参照

番号	パラメータ	説明	最小値	最大値	単位
T1	$t_{w(HWTSPUSHH)}$	パルス幅、HWnTSPUSH High	12P(1) + 2		ns
T2	$t_{w(HWTSPUSHL)}$	パルス幅、HWnTSPUSH Low	12P(1) + 2		ns
T3	$t_{c(RFT_CLK)}$	サイクル時間、RFT_CLK	5	8	ns
T4	$t_{w(RFT_CLKH)}$	パルス幅、RFT_CLK high	0.45T(2)		ns
T5	$t_{w(RFT_CLKL)}$	パルス幅、RFT_CLK low	0.45T(2)		ns

(1) P = 機能クロック周期 (ns 単位)。
(2) T = RFT_CLK サイクル時間 (ns 単位)。

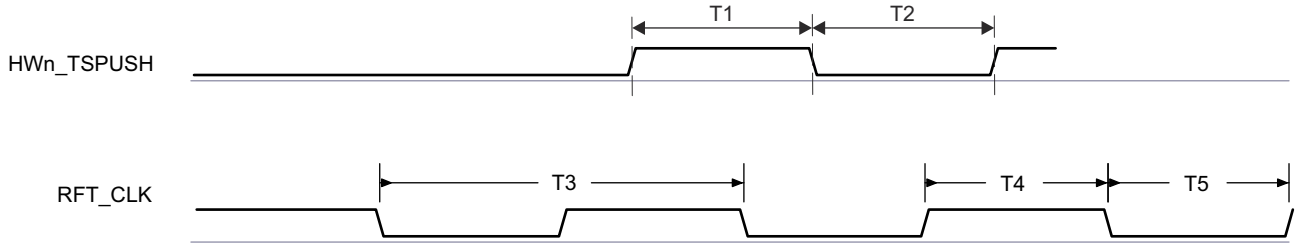


図 6-30. CPTS のタイミング要件

表 6-42. CPTS スイッチング特性

図 6-31 参照

番号	パラメータ	説明	ソース	最小値	最大値	単位
T6	$t_{w(TS_COMPH)}$	パルス幅、TS_COMP high		36P(1) - 2		ns
T7	$t_{w(TS_COMPL)}$	パルス幅、TS_COMP low		36P(1) - 2		ns
T8	$t_{w(TS_SYNCH)}$	パルス幅、TS_SYNC high		36P(1) - 2		ns
T9	$t_{w(TS_SYNCL)}$	パルス幅、TS_SYNC low		36P(1) - 2		ns
T10	$t_{w(SYNC_OUTH)}$	パルス幅、SYNCn_OUT High	TS_SYNC	36P(1) - 2		ns
			GENF	5P(1) - 2		ns
T11	$t_{w(SYNC_OUTL)}$	パルス幅、SYNCn_OUT Low	TS_SYNC	36P(1) - 2		ns
			GENF	5P(1) - 2		ns

(1) P = 機能クロック周期 (ns 単位)。

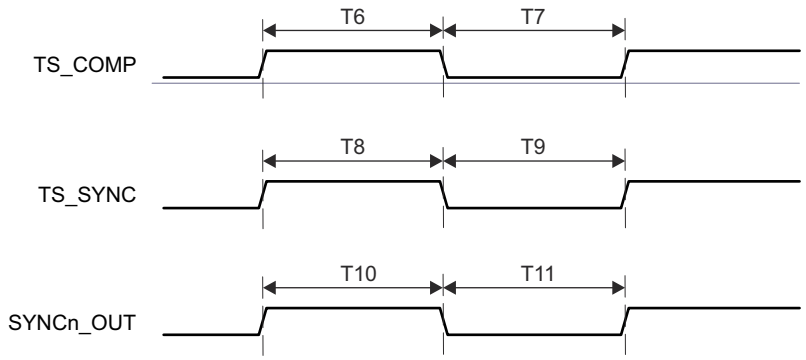


図 6-31. CPTS スイッチング特性

詳細については、デバイスのテクニカル リファレンス マニュアルの「データ移動アーキテクチャ (DMA)」の章を参照してください。

6.12.5.3 CSI-2

注

詳細については、デバイス テクニカル リファレンス マニュアルの「カメラ シリアル インターフェース レシーバ (CSI_RX_IF)」のセクションを参照してください。CSI_RX_IF は、CSIRXn というデバイス ポート インスタンスに接続します (「n」はインスタンス番号)。

CSI_RX_IF と関連する D-PHY は、MIPI D-PHY 仕様 v1.2 および MIPI CSI-2 仕様 v1.3 に準拠した CSI-2 ポート (CSIRX0) を実装しており、同期ダブル データ レート モードで動作する 4 つの差動データ レーンと 1 つの差動クロック レーンを備えています。CSI-2 のタイミングの詳細については、上記の各 MIPI 仕様を参照してください。

- 最大 1.5Gbps の 1、2、3、4 レーン データ転送モードをサポート

Copyright © 2025 Texas Instruments Incorporated

6.12.5.4 DDRSS

本デバイスの LPDDR4 メモリ インターフェイスの機能の詳細と追加の説明情報については、「信号の説明」および「詳細説明」セクションの対応するサブセクションを参照してください。

表 6-43 および 図 6-32 に、DDRSS のスイッチング特性を示します。

表 6-43. DDRSS スイッチング特性

図 6-32 参照

番号	パラメータ		DDR タイプ	最小値	最大値	単位
1	$t_{c(DDR_CKP/DDR_CKN)}$	サイクル時間、DDR_CKP および DDR_CKN	LPDDR4	0.5358[(1)]	20	ns

(1) 最小 DDR クロック サイクル時間は、システムで使用されている特定のメモリ タイプ (ベンダ) と PCB 実装に基づいて制限されます。最大 DDR 周波数を実現するための適切な PCB 実装については、『DDR 基板の設計およびレイアウトのガイドライン』を参照してください。

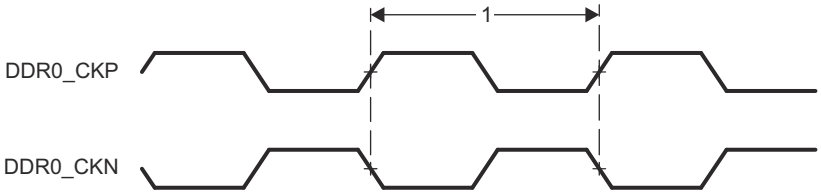


図 6-32. DDRSS スイッチング特性

詳細については、デバイスのテクニカル リファレンス マニュアルで「メモリ コントローラ」の章にある「DDR サブシステム (DDRSS)」セクションを参照してください。

6.12.5.5 ECAP

表 6-44、表 6-45、図 6-33、表 6-46、図 6-34 に、ECAP のタイミング条件、タイミング要件、スイッチング特性を示します。

表 6-44. ECAP のタイミング条件

パラメータ		最小値	最大値	単位
入力条件				
SR_I	入力スルーレート	1	4	V/ns
出力条件				
C_L	出力負荷容量	2	7	pF

表 6-45. ECAP のタイミング要件

図 6-33 参照

番号	パラメータ	説明	最小値	最大値	単位
CAP1	$t_{w(CAP)}$	パルス幅、CAP (非同期)	2P[(1)] + 2		ns

(1) P = sysclk 周期 (ns)。

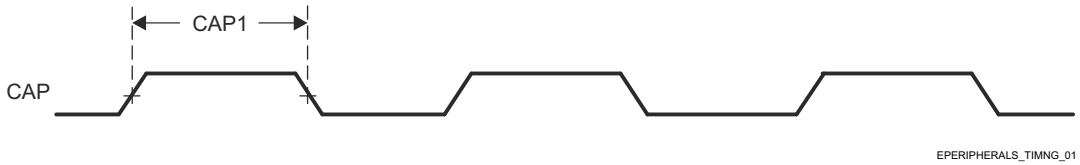


図 6-33. ECAP のタイミング要件

表 6-46. ECAP スイッチング特性

図 6-34 参照

番号	パラメータ	説明	最小値	最大値	単位
CAP2	$t_{w(APWM)}$	パルス幅、APWMx High/Low	2P[(1)] - 2		ns

(1) P = sysclk 周期 (ns)。

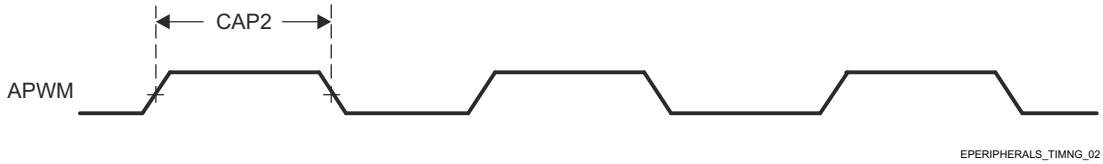


図 6-34. ECAP スイッチング特性

詳細については、デバイスのテクニカル リファレンス マニュアルで「ペリフェラル」の章にある「拡張キャプチャ (ECAP) モジュール」セクションを参照してください。

Copyright © 2025 Texas Instruments Incorporated

6.12.5.6 エミュレーションおよびデバッグ

本デバイスのトレースおよび JTAG インターフェイスの機能および追加の説明情報については、「信号の説明」および「詳細説明」セクションの対応するサブセクションを参照してください。

6.12.5.6.1 トレース

表 6-47. トレースのタイミング条件

パラメータ		最小値	最大値	単位
出力条件				
C_L	出力負荷容量	2	5	pF
PCB 接続要件				
$t_{d(Trace\ Mismatch)}$	すべてのパターンにわたる伝搬遅延の不整合		200	ps

表 6-48. トレースのスイッチング特性

番号	パラメータ		最小値	最大値	単位
1.8V モード					
DBTR1	$t_{c(TRC_CLK)}$	サイクル時間、TRC_CLK	6.83		ns
DBTR2	$t_{w(TRC_CLKH)}$	パルス幅、TRC_CLK high	2.66		ns
DBTR3	$t_{w(TRC_CLKL)}$	パルス幅、TRC_CLK low	2.66		ns
DBTR4	$t_{osu(TRC_DATAV-TRC_CLK)}$	出力セットアップ時間、TRC_DATA 有効から TRC_CLK エッジまで	0.85		ns
DBTR5	$t_{oh(TRC_CLK-TRC_DATAI)}$	出力ホールド時間、TRC_CLK エッジから TRC_DATA 無効まで	0.85		ns
DBTR6	$t_{osu(TRC_CTLV-TRC_CLK)}$	出力セットアップ時間、TRC_CTL 有効から TRC_CLK エッジまで	0.85		ns
DBTR7	$t_{oh(TRC_CLK-TRC_CTLI)}$	出力ホールド時間、TRC_CLK エッジから TRC_CTL 無効まで	0.85		ns
3.3V モード					
DBTR1	$t_{c(TRC_CLK)}$	サイクル時間、TRC_CLK	8.78		ns
DBTR2	$t_{w(TRC_CLKH)}$	パルス幅、TRC_CLK high	3.64		ns
DBTR3	$t_{w(TRC_CLKL)}$	パルス幅、TRC_CLK low	3.64		ns
DBTR4	$t_{osu(TRC_DATAV-TRC_CLK)}$	出力セットアップ時間、TRC_DATA 有効から TRC_CLK エッジまで	1.10		ns
DBTR5	$t_{oh(TRC_CLK-TRC_DATAI)}$	出力ホールド時間、TRC_CLK エッジから TRC_DATA 無効まで	1.10		ns
DBTR6	$t_{osu(TRC_CTLV-TRC_CLK)}$	出力セットアップ時間、TRC_CTL 有効から TRC_CLK エッジまで	1.10		ns
DBTR7	$t_{oh(TRC_CLK-TRC_CTLI)}$	出力ホールド時間、TRC_CLK エッジから TRC_CTL 無効まで	1.10		ns

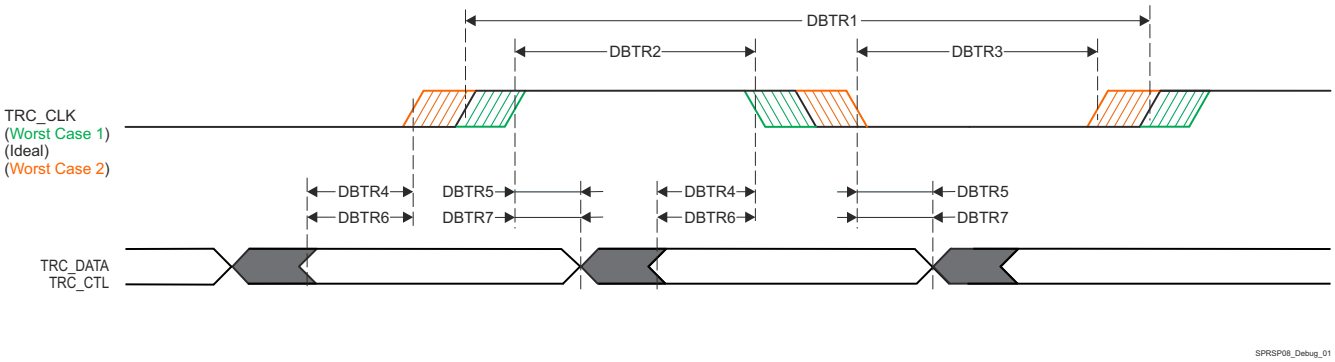


図 6-35. トレースのスイッチング特性

6.12.5.6.2 JTAG

表 6-49. JTAG のタイミング条件

パラメータ		最小値	最大値	単位
入力条件				
SR_I	入力スルーレート	0.5	2.0	V/ns
出力条件				
C_L	出力負荷容量	5	15	pF
PCB 接続要件				
$t_{d(Trace\ Delay)}$	各パターンの伝搬遅延	83.5	1000(1)	ps
$t_{d(Trace\ Mismatch\ Delay)}$	すべてのパターンにわたる伝搬遅延の不整合		100	ps

(1) JTAG 信号トレースに関連する最大伝搬遅延は、最大 TCK 動作周波数に大きな影響を及ぼします。トレース遅延をこの値より大きくすることも可能ですが、追加のトレース遅延を考慮して TCK の動作周波数を下げる必要があります。

表 6-50. JTAG のタイミング要件

図 6-36 参照

番号			最小値	最大値	単位
J1	$t_{c(TCK)}$	最小サイクル時間、TCK	40(1)		ns
J2	$t_{w(TCKH)}$	最小パルス幅、TCK High	0.4P(2)		ns
J3	$t_{w(TCKL)}$	最小パルス幅、TCK Low	0.4P(2)		ns
J4	$t_{su(TDI-TCK)}$	最小入力セットアップ時間、TDI 有効から TCK High まで	2		ns
	$t_{su(TMS-TCK)}$	最小入力セットアップ時間、TMS 有効から TCK High まで	2		ns
J5	$t_{h(TCK-TDI)}$	最小入力ホールド時間、TCK High から TDI 有効の間	3		ns
	$t_{h(TCK-TMS)}$	最小入力ホールド時間、TCK High から TMS 有効の間	3		ns

(1) 最大 TCK 動作周波数は、接続されているデバッガについて、以下のタイミング要件とスイッチング特性を想定しています。デバッガがこれらの前提のいずれかを上回る場合、適切なタイミング マージンを確保するために、TCK の動作周波数を下げる必要があります。
- 最小 TDO セットアップ時間は、TCK の立ち上がりエッジに対して 2ns
- TCK の立ち下がりエッジに対して -12.9ns～13.9ns の範囲の TDI および TMS 出力遅延

(2) P = TCK サイクル時間 (ns 単位)

表 6-51. JTAG スイッチング特性

図 6-36 参照

番号	パラメータ		最小値	最大値	単位
J6	$t_{d(TCKL-TDOI)}$	最小遅延時間、TCK Low から TDO 無効まで	0		ns
J7	$t_{d(TCKL-TDOV)}$	最大遅延時間、TCK Low から TDO 有効まで		12	ns

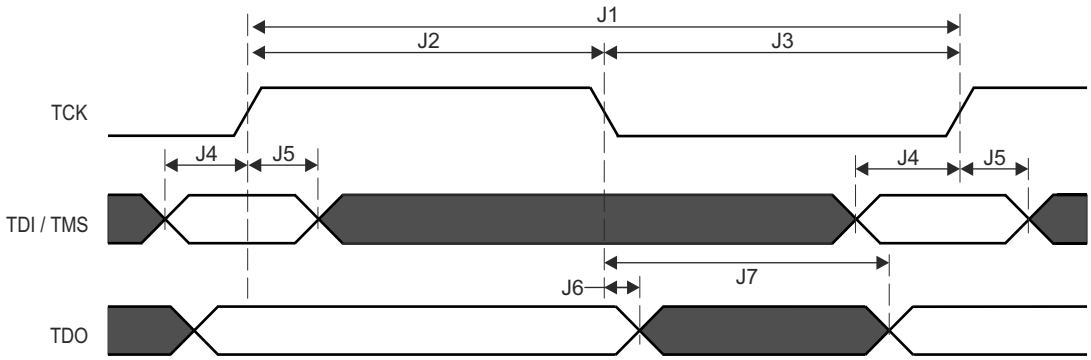


図 6-36. JTAG のタイミング要件およびスイッチング特性

Copyright © 2025 Texas Instruments Incorporated

6.12.5.7 EPWM

表 6-52、表 6-53、図 6-37、表 6-54、図 6-38、図 6-39、図 6-40 に、EPWM のタイミング条件、タイミング要件、スイッチング特性を示します。

表 6-52. EPWM のタイミング条件

パラメータ		最小値	最大値	単位
入力条件				
SR_I	入力スルーレート	1	4	V/ns
出力条件				
C_L	出力負荷容量	2	7	pF

表 6-53. EPWM のタイミング要件

図 6-37 参照

番号	パラメータ	説明	最小値	最大値	単位
PWM6	$t_{w(SYNCIN)}$	パルス幅、EHRPWM_SYNCI	2P[(1)] + 2		ns
PWM7	$t_{w(TZ)}$	パルス幅、EHRPWM_TZn_IN low	3P[(1)] + 2		ns

(1) P = sysclk 周期 (ns)。

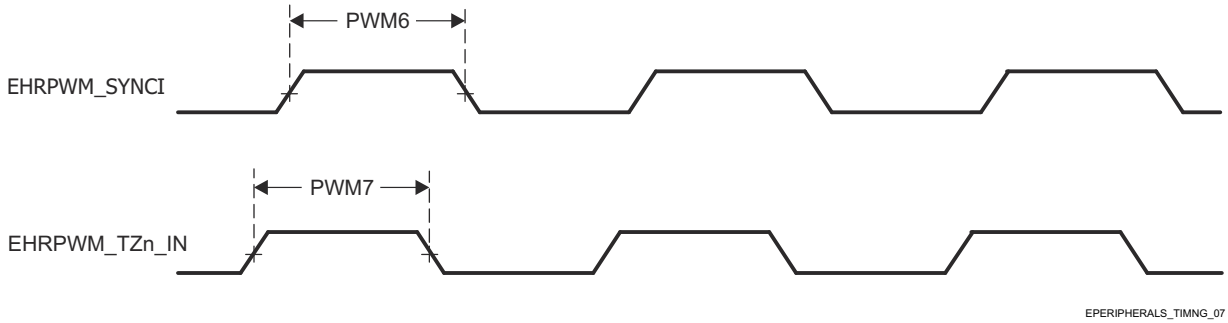


図 6-37. EPWM のタイミング要件

表 6-54. EPWM スイッチング特性

図 6-38、図 6-39、図 6-40 を参照

番号	パラメータ	説明	最小値	最大値	単位
PWM1	$t_{w(PWM)}$	パルス幅、EHRPWM_A/B High または Low	P[(1)] - 3		ns
PWM2	$t_{w(SYNCOUT)}$	パルス幅、EHRPWM_SYNCO	P[(1)] - 3		ns
PWM3	$t_{d(TZ-PWM)}$	遅延時間、EHRPWM_TZn_IN アクティブから EHRPWM_A/B が強制的に High/Low になるまで		11	ns
PWM4	$t_{d(TZ-PWMZ)}$	遅延時間、EHRPWM_TZn_IN アクティブから EHRPWM_A/B Hi-Z まで		11	ns
PWM5	$t_{w(SOC)}$	パルス幅、EHRPWM_SOCA/B 出力	P[(1)] - 3		ns

(1) P = sysclk 周期 (ns)。

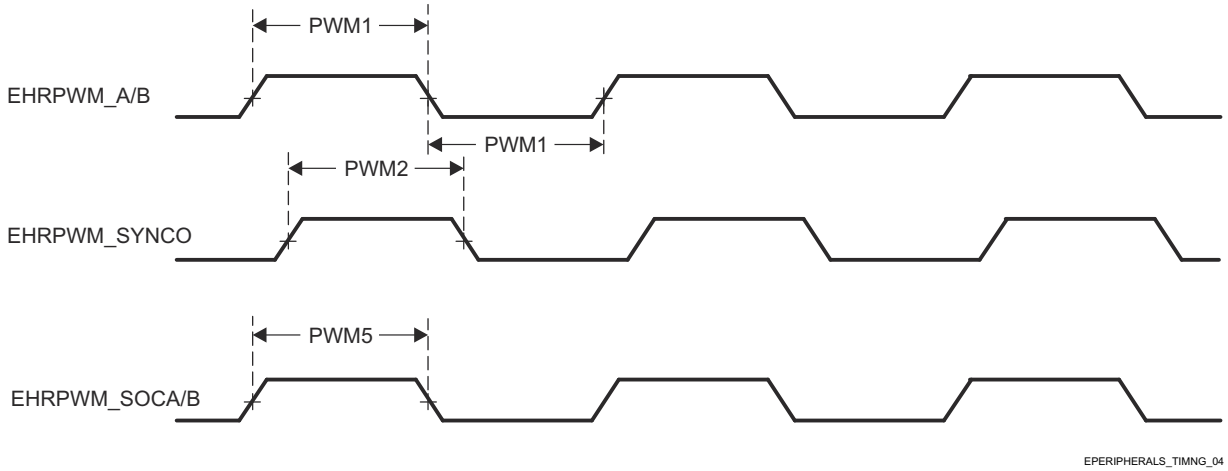


図 6-38. EHRPWM スイッチング特性

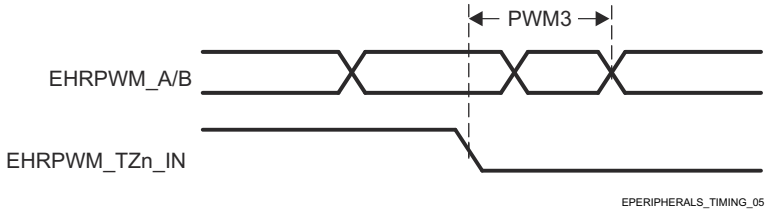


図 6-39. EHRPWM_TZn_IN から EHRPWM_A/B 強制へのスイッチング特性

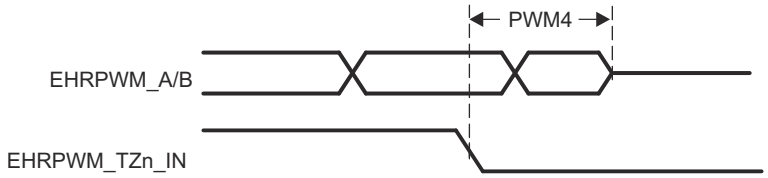


図 6-40. EHRPWM_TZn_IN から EHRPWM_A/B Hi-Z へのスイッチング特性

詳細については、デバイスのテクニカル リファレンス マニュアルで「ペリフェラル」の章にある「拡張パルス幅変調 (EPWM) モジュール」セクションを参照してください。

Copyright © 2025 Texas Instruments Incorporated

6.12.5.8 EQEP

表 6-55、表 6-56、図 6-41、表 6-57 に、EQEP のタイミング条件、タイミング要件、スイッチング特性を示します。

表 6-55. EQEP のタイミング条件

パラメータ		最小値	最大値	単位
入力条件				
SR_I	入力スルーレート	1	4	V/ns
出力条件				
C_L	出力負荷容量	2	7	pF

表 6-56. EQEP のタイミング要件

図 6-41 参照

番号	パラメータ	説明	最小値	最大値	単位
QEP1	$t_{w(QEP)}$	パルス幅、QEP_A/B	2P(1) + 2		ns
QEP2	$t_{w(QEPIH)}$	パルス幅、QEP_I high	2P(1) + 2		ns
QEP3	$t_{w(QEPIL)}$	パルス幅、QEP_I low	2P(1) + 2		ns
QEP4	$t_{w(QEPSH)}$	パルス幅、QEP_S high	2P(1) + 2		ns
QEP5	$t_{w(QEPSL)}$	パルス幅、QEP_S low	2P(1) + 2		ns

(1) P = sysclk 周期 (ns 単位)

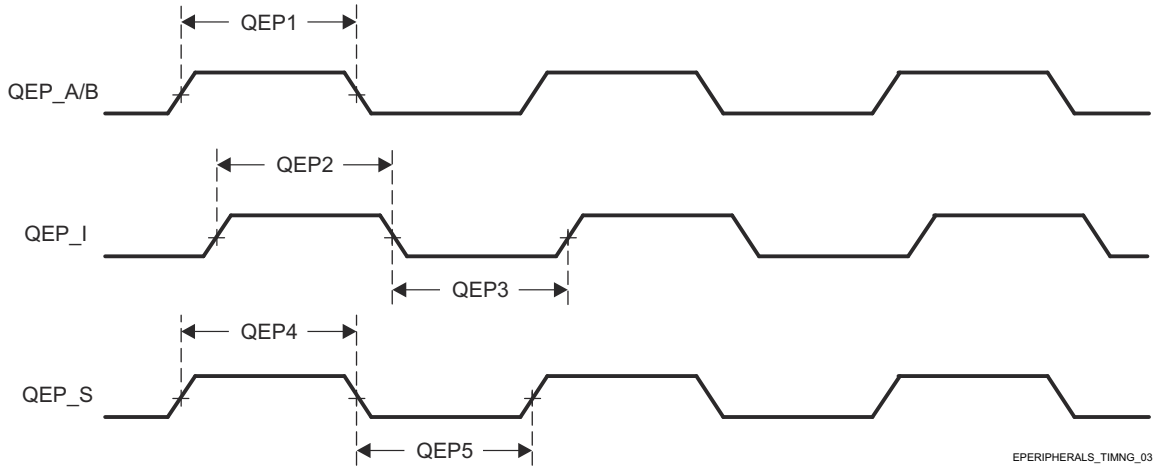


図 6-41. EQEP のタイミング要件

表 6-57. EQEP スイッチング特性

番号	パラメータ	説明	最小値	最大値	単位
QEP6	$t_{d(QEP-CNTR)}$	遅延時間、外部クロックからカウンタ インクリメントまで		24	ns

詳細については、デバイスのテクニカル リファレンス マニュアルで「ペリフェラル」の章にある「拡張直交エンコーダ パルス (eQEP) モジュール」セクションを参照してください。

6.12.5.9 GPIO

表 6-58、表 6-59、表 6-60 に、GPIO のタイミング条件、タイミング要件、スイッチング特性を示します。

このデバイスには、3 個の GPIO モジュール インスタンスがあります。

- MCU_GPIO0
- GPIO0
- GPIO1

注

GPIOn_x は、GPIO 信号を記述するために使用される一般的な名前です。ここで、n は特定の GPIO モジュールを表し、x はモジュールに関連付けられた入出力信号の 1 つを表します。

本デバイスの GPIO の追加の説明情報については、「信号の説明」および「詳細説明」セクションの対応するサブセクションを参照してください。

表 6-58. GPIO のタイミング条件

パラメータ		バッファのタイプ	最小値	最大値	単位
入力条件					
SR_I	入力スルーレート	LVCMOS (VDD[1] = 1.8V)	0.0018	6.6	V/ns
		LVCMOS (VDD[1] = 3.3V)	0.0033	6.6	V/ns
		I2C OD FS (VDD[1] = 1.8V)	0.0018	6.6	V/ns
		I2C OD FS (VDD[1] = 3.3V)	0.0033	0.08	V/ns
出力条件					
C_L	出力負荷容量	LVCMOS	3	10	pF
		I2C OD FS	3	100	pF

(1) VDD は、対応する電源を表します。電源名および対応するボールの詳細については、「ピン属性」表の「電源」列を参照してください。

表 6-59. GPIO のタイミング要件

番号	パラメータ	説明	最小値	最大値	単位
GPIO1	$t_{w(GPIO_IN)}$	パルス幅、GPIOn_x	2P[1] + 30		ns

(1) P = 機能クロック周期 (ns 単位)。

表 6-60. GPIO スイッチング特性

番号	パラメータ	説明	バッファのタイプ	最小値	最大値	単位
GPIO2	$t_{w(GPIO_OUT)}$	パルス幅、GPIOn_x	LVCMOS	0.975P[1] - 3.6		ns
			I2C OD FS	160		ns

(1) P = 機能クロック周期 (ns 単位)。

詳細については、デバイスのテクニカル リファレンス マニュアルで「ペリフェラル」の章にある「汎用インターフェイス (GPIO)」セクションを参照してください。

Copyright © 2025 Texas Instruments Incorporated

6.12.5.10 GPMC

本デバイスの汎用メモリ コントローラの機能の詳細と追加の説明情報については、「信号の説明」および「詳細説明」セクションの対応するサブセクションを参照してください。

表 6-61 に、GPMC のタイミング条件を示します。

表 6-61. GPMC のタイミング条件

パラメータ			最小値	最大値	単位
入力条件					
SR_I	入力スルーレート		1.65	4	V/ns
出力条件					
C_L	出力負荷容量		2	20	pF
PCB 接続要件					
$t_{d(Trace\ Delay)}$	各パターンの伝搬遅延	133MHz 同期モード	140	360	ps
		その他のすべてのモード	140	720	ps
$t_{d(Trace\ Mismatch\ Delay)}$	すべてのパターンにわたる伝搬遅延の不整合			200	ps

詳細については、デバイスのテクニカル リファレンス マニュアルで「ペリフェラル」の章にある「汎用メモリ コントローラ (GPMC)」セクションを参照してください。

6.12.5.10.1 GPMC および NOR フラッシュ — 同期モード

表 6-62 および 表 6-63 に、GPMC および NOR フラッシュ (同期モード) のタイミング要件とスイッチング特性を示します。

表 6-62. GPMC および NOR フラッシュのタイミング要件 — 同期モード

図 6-42、図 6-43、図 6-46 を参照

番号	パラメータ	説明	モード[4]	最小値 最大値 GPMC_FCLK = 100 MHz[1]	最小値 最大値 GPMC_FCLK = 133 MHz[1]	単位
F12	$t_{su(dV-clkH)}$	セットアップ時間、入力データ GPMC_AD[15:0] 有効から出力クロック GPMC_CLK high まで	div_by_1_mode、GPMC_FCLK_MUX、TIMEPARAGRANULARITY_X1	1.61	0.92	ns
			not_div_by_1_mode、GPMC_FCLK_MUX、TIMEPARAGRANULARITY_X1	0.86	3.41	ns
F13	$t_{h(clkH-dV)}$	ホールド時間、出力クロック GPMC_CLK high から入力データ GPMC_AD[15:0] 有効の間	div_by_1_mode、GPMC_FCLK_MUX、TIMEPARAGRANULARITY_X1	2.09	2.09	ns
			not_div_by_1_mode、GPMC_FCLK_MUX、TIMEPARAGRANULARITY_X1	2.09	2.09	ns
F21	$t_{su(waitV-clkH)}$	セットアップ時間、入力待機 GPMC_WAIT[j][2] [3] 有効から出力クロック GPMC_CLK High まで	div_by_1_mode、GPMC_FCLK_MUX、TIMEPARAGRANULARITY_X1	1.61	0.92	ns
			not_div_by_1_mode、GPMC_FCLK_MUX、TIMEPARAGRANULARITY_X1	0.86	3.41	ns

表 6-62. GPMC および NOR フラッシュのタイミング要件 — 同期モード (続き)

図 6-42、図 6-43、図 6-46 を参照

番号	パラメータ	説明	モード[4]	最小値 最大値 GPMC_FCLK = 100 MHz[1]	最小値 最大値 GPMC_FCLK = 133 MHz[1]	単位
F22	$t_{h(clkH-waitV)}$	ホールド時間、出力クロック GPMC_CLK high から入力待機 GPMC_WAIT[j][2] [3] 有効の間	div_by_1_mode、GPMC_FCLK_MUX、TIMEPARAGRANULARITY_X1	2.09	2.09	ns
			not_div_by_1_mode、GPMC_FCLK_MUX、TIMEPARAGRANULARITY_X1	2.09	2.09	ns

(1) GPMC_FCLK 選択
- gpmc_fclk_sel[1:0] = 2b01 で 100MHz GPMC_FCLK を選択
- gpmc_fclk_sel[1:0] = 2b00 で 133MHz GPMC_FCLK を選択

(2) GPMC_WAIT[j] で、j は 0 または 1 です。

(3) 待機モニタリングのサポートは、WaitMonitoringTime の値 > 0 に制限されます。待機監視機能の詳細な説明については、デバイスのテクニカル リファレンス マニュアルで「汎用メモリ コントローラ (GPMC)」セクションを参照してください。

(4) div_by_1_mode の場合:
- GPMC_CONFIG1_i レジスタ:GPMCFCLKDIVIDER = 0h:
  - GPMC_CLK 周波数 = GPMC_FCLK 周波数

not_div_by_1_mode の場合:
- GPMC_CONFIG1_i レジスタ:GPMCFCLKDIVIDER = 1h～3h:
  - GPMC_CLK 周波数 = GPMC_FCLK 周波数 / (2～4)

GPMC_FCLK_MUX の場合:
- CTRLMMR_GPMC_CLKSEL[1-0] CLK_SEL = 01 = PER1_PLL_CLKOUT / 3 = 300 / 3 = 100MHz

TIMEPARAGRANULARITY_X1 に対し:
- GPMC_CONFIG1_i レジスタ:TIMEPARAGRANULARITY = 0h = x1 レイテンシ (RD/WRCYCLETIME、RD/WRACCESSTIME、PAGEBURSTACCESSTIME、CSONTIME、CSRD/WROFFTIME、ADVONTIME、ADVRD/WROFFTIME、OEONTIME、OEOFFTIME、WEONTIME、WEOFFTIME、CYCLE2CYCLEDELAY、BUSTURNAROUND、TIMEOUTSTARTVALUE、WRDATAONADMUXBUS に影響)

表 6-63. GPMC および NOR フラッシュのスイッチング特性 - 同期モード

図 6-42、図 6-43、図 6-44、図 6-45、図 6-46 を参照

番号[2]	パラメータ	説明	モード[16]	最小値 最大値 100 MHz	最小値 最大値 133 MHz	単位
F0	1 / tc(clk)	周期、出力クロック GPMC_CLK[15]	div_by_1_mode、GPMC_FCLK_MUX、TIMEPARAGRANULARITY_X1	10.00	7.52	ns
F1	$t_{w(clkH)}$	標準パルス幅、出力クロック GPMC_CLK High	div_by_1_mode、GPMC_FCLK_MUX、TIMEPARAGRANULARITY_X1	0.475P - 0.3[14]	0.475P - 0.3[14]	ns
F1	$t_{w(clkL)}$	標準パルス幅、出力クロック GPMC_CLK Low	div_by_1_mode、GPMC_FCLK_MUX、TIMEPARAGRANULARITY_X1	0.475P - 0.3[14]	0.475P - 0.3[14]	ns
F2	$t_{d(clkH-csnV)}$	遅延時間、出力クロック GPMC_CLK 立ち上がりエッジから出力チップ セレクト GPMC_CSn[i] 遷移まで[13]	div_by_1_mode; GPMC_FCLK_MUX; TIMEPARAGRANULARITY_X1; extra_delay なし	F - 2.2 [5] F + 3.75	F - 2.2 [5] F + 3.75	ns
F3	$t_{d(clkH-CSn[i]V)}$	遅延時間、出力クロック GPMC_CLK 立ち上がりエッジから出力チップ セレクト GPMC_CSn[i] 無効まで[13]	div_by_1_mode; GPMC_FCLK_MUX; TIMEPARAGRANULARITY_X1; extra_delay なし	E - 2.2 [4] E + 3.18	E - 2.2 [4] E + 4.5	ns

Copyright © 2025 Texas Instruments Incorporated

表 6-63. GPMC および NOR フラッシュのスイッチング特性 - 同期モード (続き)

図 6-42、図 6-43、図 6-44、図 6-45、図 6-46 を参照

番号 (2)	パラメータ	説明	モード(16)	最小値 最大値 100 MHz	最小値 最大値 133 MHz	単位
F4	$t_{d(aV-clk)}$	遅延時間、出力アドレス GPMC_A[27:1] 有効から出力クロック GPMC_CLK の最初のエッジまで	div_by_1_mode、GPMC_FCLK_MUX、TIMEPARAGRANULARITY_X1	B - 2.3 B + 4.5 (2)	B - 2.3 B + 4.5 (2)	ns
F5	$t_{d(clkH-aIV)}$	遅延時間、出力クロック GPMC_CLK 立ち上がりエッジから出力アドレス GPMC_A[27:1] 無効まで	div_by_1_mode、GPMC_FCLK_MUX、TIMEPARAGRANULARITY_X1	-2.3 4.5	-2.3 4.5	ns
F6	$t_{d(be[x]nV-clk)}$	遅延時間、出力下位バイト イネーブルおよびコマンド ラッチ イネーブル GPMC_BE0n_CLE、出力上位バイト イネーブル GPMC_BE1n 有効から出力クロック GPMC_CLK の最初のエッジまで	div_by_1_mode、GPMC_FCLK_MUX、TIMEPARAGRANULARITY_X1	B - 2.3 B + 1.9 (2)	B - 2.3 B + 1.9 (2)	ns
F7	$t_{d(clkH-be[x]nIV)}$	遅延時間、出力クロック GPMC_CLK 立ち上がりエッジから出力下位バイトのイネーブルおよびコマンド ラッチのイネーブル GPMC_BE0n_CLE、出力上位バイトのイネーブル GPMC_BE1n 無効まで (10)	div_by_1_mode、GPMC_FCLK_MUX、TIMEPARAGRANULARITY_X1	D - 2.3 D + 1.9 (3)	D - 2.3 D + 1.9 (3)	ns
F7	$t_{d(clkL-be[x]nIV)}$	遅延時間、GPMC_CLK 立下りエッジから GPMC_BE0n_CLE、GPMC_BE1n 無効まで(11)	div_by_1_mode、GPMC_FCLK_MUX、TIMEPARAGRANULARITY_X1	D - 2.3 D + 1.9 (3)	D - 2.3 D + 1.9 (3)	ns
F7	$t_{d(clkL-be[x]nIV)}$.	遅延時間、GPMC_CLK 立下りエッジから GPMC_BE0n_CLE、GPMC_BE1n 無効まで(12)	div_by_1_mode、GPMC_FCLK_MUX、TIMEPARAGRANULARITY_X1	D - 2.3 D + 1.9 (3)	D - 2.3 D + 1.9 (3)	ns
F8	$t_{d(clkH-advn)}$	遅延時間、出力クロック GPMC_CLK 立ち上がりエッジから出力アドレス有効およびアドレス ラッチ イネーブル GPMC_ADVn_ALE 遷移まで	div_by_1_mode、GPMC_FCLK_MUX、TIMEPARAGRANULARITY_X1、extra_delay なし	G - 2.3(6) G + 4.5	G - 2.3 G + 4.5 (6)	ns
F9	$t_{d(clkH-advnIV)}$	遅延時間、出力クロック GPMC_CLK 立ち上がりエッジから出力アドレス有効およびアドレス ラッチ イネーブル GPMC_ADVn_ALE 無効まで	div_by_1_mode、GPMC_FCLK_MUX、TIMEPARAGRANULARITY_X1、extra_delay なし	D - 2.3 D + 4.5 (3)	D - 2.3 D + 4.5 (3)	ns
F10	$t_{d(clkH-oen)}$	遅延時間、出力クロック GPMC_CLK 立ち上がりエッジから出力イネーブル GPMC_OEn_REn 遷移まで	div_by_1_mode、GPMC_FCLK_MUX、TIMEPARAGRANULARITY_X1、extra_delay なし	H - 2.3 H + 3.5 (7)	H - 2.3 H + 3.5 (7)	ns
F11	$t_{d(clkH-oenIV)}$	遅延時間、出力クロック GPMC_CLK 立ち上がりエッジから出力イネーブル GPMC_OEn_REn 無効まで	div_by_1_mode、GPMC_FCLK_MUX、TIMEPARAGRANULARITY_X1、extra_delay なし	H - 2.3 H + 3.5 (7)	H - 2.3 H + 3.5 (7)	ns
F14	$t_{d(clkH-wen)}$	遅延時間、出力クロック GPMC_CLK 立ち上がりエッジから出力書き込みイネーブル GPMC_WEn 遷移まで	div_by_1_mode、GPMC_FCLK_MUX、TIMEPARAGRANULARITY_X1、extra_delay なし	I - 2.3 I + 4.5 (8)	I - 2.3 I + 4.5 (8)	ns
F15	$t_{d(clkH-do)}$	遅延時間、出力クロック GPMC_CLK 立ち上がりエッジから出力データ GPMC_AD[15:0] 遷移まで(10)	div_by_1_mode、GPMC_FCLK_MUX、TIMEPARAGRANULARITY_X1	J - 2.3 J + 2.7 (9)	J - 2.3 J + 2.7 (9)	ns
F15	$t_{d(clkL-do)}$	遅延時間、GPMC_CLK 立ち下がりエッジから GPMC_AD[15:0] データ バス遷移まで(11)	div_by_1_mode、GPMC_FCLK_MUX、TIMEPARAGRANULARITY_X1	J - 2.3 J + 2.7 (9)	J - 2.3 J + 2.7 (9)	ns
F15	$t_{d(clkL-do)}$.	遅延時間、GPMC_CLK 立ち下がりエッジから GPMC_AD[15:0] データ バス遷移まで(12)	div_by_1_mode、GPMC_FCLK_MUX、TIMEPARAGRANULARITY_X1	J - 2.3 J + 2.7 (9)	J - 2.3 J + 2.7 (9)	ns

表 6-63. GPMC および NOR フラッシュのスイッチング特性 - 同期モード (続き)

図 6-42、図 6-43、図 6-44、図 6-45、図 6-46 を参照

番号 (2)	パラメータ	説明	モード(16)	最小値 最大値 100 MHz	最小値 最大値 133 MHz	単位
F17	$t_{d(clkH-be[x]n)}$	遅延時間、出力クロック GPMC_CLK 立ち上がりエッジから出力下位バイト イネーブルおよびコマンド ラッチ イネーブル GPMC_BE0n_CLE 遷移まで(10)	div_by_1_mode、GPMC_FCLK_MUX、TIMEPARAGRANULARITY_X1	J - 2.3 J + 1.9 (9)	J - 2.3 J + 1.9 (9)	ns
F17	$t_{d(clkL-be[x]n)}$	遅延時間、GPMC_CLK 立ち下がりエッジから GPMC_BE0n_CLE、GPMC_BE1n 遷移まで(11)	div_by_1_mode、GPMC_FCLK_MUX、TIMEPARAGRANULARITY_X1	J - 2.3 J + 1.9 (9)	J - 2.3 J + 1.9 (9)	ns
F17	$t_{d(clkL-be[x]n)}$.	遅延時間、GPMC_CLK 立ち下がりエッジから GPMC_BE0n_CLE、GPMC_BE1n 遷移まで(12)	div_by_1_mode、GPMC_FCLK_MUX、TIMEPARAGRANULARITY_X1	J - 2.3 J + 1.9 (9)	J - 2.3 J + 1.9 (9)	ns
F18	$t_{w(csnV)}$	パルス幅、出力チップ セレクト GPMC_CSn[i](13) low	読み出し	A	A	ns
			書き込み	A	A	ns
F19	$t_{w(be[x]nV)}$	パルス幅、出力下位バイト イネーブルおよびコマンド ラッチ イネーブル GPMC_BE0n_CLE、出力上位バイト イネーブル GPMC_BE1n Low	読み出し	C	C	ns
			書き込み	C	C	ns
F20	$t_{w(advnV)}$	パルス幅、出力アドレス有効およびアドレス ラッチ イネーブル GPMC_ADVn_ALE Low	読み出し	K	K	ns
			書き込み	K	K	ns

(1) 単一読み取りの場合:A = (CSRdOffTime - CSOnTime) × (TimeParaGranularity + 1) × GPMC_FCLK(14)
バースト読み取りの場合:A = (CSRdOffTime - CSOnTime + (n - 1) × PageBurstAccessTime) × (TimeParaGranularity + 1) × GPMC_FCLK(14)
バースト書き込みの場合:A = (CSWrOffTime - CSOnTime + (n - 1) × PageBurstAccessTime) × (TimeParaGranularity + 1) × GPMC_FCLK(14)
n はページ バースト アクセス数。

(2) B = ClkActivationTime × GPMC_FCLK(14)

(3) 単一読み取りの場合:D = (RdCycleTime - AccessTime) × (TimeParaGranularity + 1) × GPMC_FCLK(14)
バースト読み取りの場合:D = (RdCycleTime - AccessTime) × (TimeParaGranularity + 1) × GPMC_FCLK(14)
バースト書き込みの場合:D = (WrCycleTime - AccessTime) × (TimeParaGranularity + 1) × GPMC_FCLK(14)

(4) 単一読み取りの場合:E = (CSRdOffTime - AccessTime) × (TimeParaGranularity + 1) × GPMC_FCLK(14)
バースト読み取りの場合:E = (CSRdOffTime - AccessTime) × (TimeParaGranularity + 1) × GPMC_FCLK(14)
バースト書き込みの場合:E = (CSWrOffTime - AccessTime) × (TimeParaGranularity + 1) × GPMC_FCLK(14)

(5) csn 立ち下がりエッジ (CS がアクティブ) の場合:
- Case GPMCFCLKDIVIDER = 0:
  - F = 0.5 × CSExtraDelay × GPMC_FCLK(14)
- Case GPMCFCLKDIVIDER = 1:
  - F = 0.5 × CSExtraDelay × GPMC_FCLK(14) if (ClkActivationTime および CSOnTime が奇数) or (ClkActivationTime および CSOnTime が偶数)
  - F = (1 + 0.5 × CSExtraDelay) × GPMC_FCLK(14) otherwise
- Case GPMCFCLKDIVIDER = 2:
  - f = 0.5 × CSExtraDelay × GPMC_FCLK(14) if ((CSOnTime - ClkActivationTime) が 3 の倍数)
  - F = (1 + 0.5 × CSExtraDelay) × GPMC_FCLK(14) if ((CSOnTime - ClkActivationTime - 1) が 3 の倍数)
  - F = (2 + 0.5 × CSExtraDelay) × GPMC_FCLK(14) if ((CSOnTime - ClkActivationTime - 2) が 3 の倍数)

(6) ADV 立ち下がりエッジ (ADV がアクティブ) の場合:
- Case GPMCFCLKDIVIDER = 0:
  - G = 0.5 × ADVExtraDelay × GPMC_FCLK(14)
- Case GPMCFCLKDIVIDER = 1:
  - G = 0.5 × ADVExtraDelay × GPMC_FCLK(14) if (ClkActivationTime および ADVOnTime が奇数) or (ClkActivationTime および ADVOnTime が偶数)
  - G = (1 + 0.5 × ADVExtraDelay) × GPMC_FCLK(14) otherwise

Copyright © 2025 Texas Instruments Incorporated

- Case GPMCFCLKDIVIDER = 2:
  - G = 0.5 × ADVExtraDelay × GPMC_FCLK(14) if ((ADVOnTime - ClkActivationTime) が 3 の倍数)
  - G = (1 + 0.5 × ADVExtraDelay) × GPMC_FCLK(14) if ((ADVOnTime - ClkActivationTime - 1) が 3 の倍数)
  - G = (2 + 0.5 × ADVExtraDelay) × GPMC_FCLK(14) if ((ADVOnTime - ClkActivationTime - 2) が 3 の倍数)

読み取りモードでの ADV 立ち上がりエッジ (ADV が非アクティブ) の場合:

- Case GPMCFCLKDIVIDER = 0:
  - G = 0.5 × ADVExtraDelay × GPMC_FCLK(14)
- Case GPMCFCLKDIVIDER = 1:
  - G = 0.5 × ADVExtraDelay × GPMC_FCLK(14) f (ClkActivationTime および ADVRdOffTime が奇数) or (ClkActivationTime および ADVRdOffTime が偶数)
  - G = (1 + 0.5 × ADVExtraDelay) × GPMC_FCLK(14) otherwise
- Case GPMCFCLKDIVIDER = 2:
  - G = 0.5 × ADVExtraDelay × GPMC_FCLK(14) if ((ADVRdOffTime - ClkActivationTime) が 3 の倍数)
  - G = (1 + 0.5 × ADVExtraDelay) × GPMC_FCLK(14) if ((ADVRdOffTime - ClkActivationTime - 1) が 3 の倍数)
  - G = (2 + 0.5 × ADVExtraDelay) × GPMC_FCLK(14) if ((ADVRdOffTime - ClkActivationTime - 2) が 3 の倍数)

書き込みモードでの ADV 立ち上がりエッジ (ADV が非アクティブ) の場合:

- Case GPMCFCLKDIVIDER = 0:
  - G = 0.5 × ADVExtraDelay × GPMC_FCLK(14)
- Case GPMCFCLKDIVIDER = 1:
  - G = 0.5 × ADVExtraDelay × GPMC_FCLK(14) if (ClkActivationTime および ADVWrOffTime が奇数) または (ClkActivationTime および ADVWrOffTime が偶数)
  - G = (1 + 0.5 × ADVExtraDelay) × GPMC_FCLK(14) otherwise
- Case GPMCFCLKDIVIDER = 2:
  - G = 0.5 × ADVExtraDelay × GPMC_FCLK(14) if ((ADVWrOffTime - ClkActivationTime) が 3 の倍数)
  - G = (1 + 0.5 × ADVExtraDelay) × GPMC_FCLK(14) if ((ADVWrOffTime - ClkActivationTime - 1) が 3 の倍数)
  - G = (2 + 0.5 × ADVExtraDelay) × GPMC_FCLK(14) if ((ADVWrOffTime - ClkActivationTime - 2) が 3 の倍数)

(7) OE の立ち下がりエッジ (OE がアクティブ) および IO DIR の立ち上がりエッジ (データ バスが入力方向) の場合:

- Case GPMCFCLKDIVIDER = 0:
  - H = 0.5 × OEExtraDelay × GPMC_FCLK(14)
- Case GPMCFCLKDIVIDER = 1:
  - H = 0.5 × OEExtraDelay × GPMC_FCLK(14) if (ClkActivationTime および OEOnTime が奇数) または (ClkActivationTime および OEOnTime が偶数)
  - H = (1 + 0.5 × OEExtraDelay) × GPMC_FCLK(14) otherwise
- Case GPMCFCLKDIVIDER = 2:
  - H = 0.5 × OEExtraDelay × GPMC_FCLK(14) if ((OEOnTime - ClkActivationTime) が 3 の倍数)
  - H = (1 + 0.5 × OEExtraDelay) × GPMC_FCLK(14) if ((OEOnTime - ClkActivationTime - 1) が 3 の倍数)
  - H = (2 + 0.5 × OEExtraDelay) × GPMC_FCLK(14) if ((OEOnTime - ClkActivationTime - 2) が 3 の倍数)

OE 立ち上がりエッジ (OE が非アクティブ) の場合:

- Case GPMCFCLKDIVIDER = 0:
  - H = 0.5 × OEExtraDelay × GPMC_FCLK(14)
- Case GPMCFCLKDIVIDER = 1:
  - H = 0.5 × OEExtraDelay × GPMC_FCLK(14) if (ClkActivationTime および OEOffTime が奇数) または (ClkActivationTime および OEOffTime が偶数)
  - H = (1 + 0.5 × OEExtraDelay) × GPMC_FCLK(14) otherwise
- Case GPMCFCLKDIVIDER = 2:
  - H = 0.5 × OEExtraDelay × GPMC_FCLK(14) if ((OEOffTime - ClkActivationTime) が 3 の倍数)
  - H = (1 + 0.5 × OEExtraDelay) × GPMC_FCLK(14) if ((OEOffTime - ClkActivationTime - 1) が 3 の倍数)
  - H = (2 + 0.5 × OEExtraDelay) × GPMC_FCLK(14) if ((OEOffTime - ClkActivationTime - 2) が 3 の倍数)

(8) WE 立ち下がりエッジ (WE がアクティブ) の場合:

- Case GPMCFCLKDIVIDER = 0:

  - I = 0.5 × WEExtraDelay × GPMC_FCLK[14]
- Case GPMCFCLKDIVIDER = 1:
  - I = 0.5 × WEExtraDelay × GPMC_FCLK[14] if (ClkActivationTime および WEOnTime が奇数) or (ClkActivationTime および WEOnTime が偶数)
  - I = (1 + 0.5 × WEExtraDelay) × GPMC_FCLK[14] otherwise
- Case GPMCFCLKDIVIDER = 2:
  - I = 0.5 × WEExtraDelay × GPMC_FCLK[14] if ((WEOnTime - ClkActivationTime) が 3 の倍数)
  - I = (1 + 0.5 × WEExtraDelay) × GPMC_FCLK[14] if ((WEOnTime - ClkActivationTime - 1) が 3 の倍数)
  - I = (2 + 0.5 × WEExtraDelay) × GPMC_FCLK[14] if ((WEOnTime - ClkActivationTime - 2) が 3 の倍数)

WE 立ち上がりエッジ (WE が非アクティブ) の場合:

- Case GPMCFCLKDIVIDER = 0:
  - I = 0.5 × WEExtraDelay × GPMC_FCLK [14]
- Case GPMCFCLKDIVIDER = 1:
  - I = 0.5 × WEExtraDelay × GPMC_FCLK[14] if (ClkActivationTime および WEOffTime が奇数) or (ClkActivationTime および WEOffTime が偶数)
  - I = (1 + 0.5 × WEExtraDelay) × GPMC_FCLK[14] otherwise
- Case GPMCFCLKDIVIDER = 2:
  - I = 0.5 × WEExtraDelay × GPMC_FCLK[14] if ((WEOffTime - ClkActivationTime) が 3 の倍数)
  - I = (1 + 0.5 × WEExtraDelay) × GPMC_FCLK[14] if ((WEOffTime - ClkActivationTime - 1) が 3 の倍数)
  - I = (2 + 0.5 × WEExtraDelay) × GPMC_FCLK[14] if ((WEOffTime - ClkActivationTime - 2) が 3 の倍数)

(9) J = GPMC_FCLK[14]
(10) 最初の転送は、CLK DIV 1 モードのみです。
(11) CLK DIV 1 モードでの初期転送の後、すべてのデータは半サイクルです。
(12) CLK DIV 1 モード以外のモードでは、すべてのデータは GPMC_CLKOUT の半サイクルです。GPMC_FCLK から GPMC_CLKOUT を分周します。
(13) GPMC_CSn[i] で、i は 0、1、2、または 3 です。GPMC_WAIT[j] で、j は 0 または 1 です。
(14) P = GPMC_CLK 周期 (ns 単位)
(15) GPMC モジュールで、GPMC_CONFIG1_i 構成レジスタのビット フィールド GPMCFCLKDIVIDER の設定によりプログラム可能な、GPMC_CLK 出力クロックの最高および最低周波数に関連します。
(16) div_by_1_mode の場合:

- GPMC_CONFIG1_i レジスタ:GPMCFCLKDIVIDER = 0h:
  - GPMC_CLK 周波数 = GPMC_FCLK 周波数

GPMC_FCLK_MUX の場合:

- CTRLMMR_GPMC_CLKSEL[1-0] CLK_SEL = 01 = PER1_PLL_CLKOUT / 3 = 300 / 3 = 100MHz

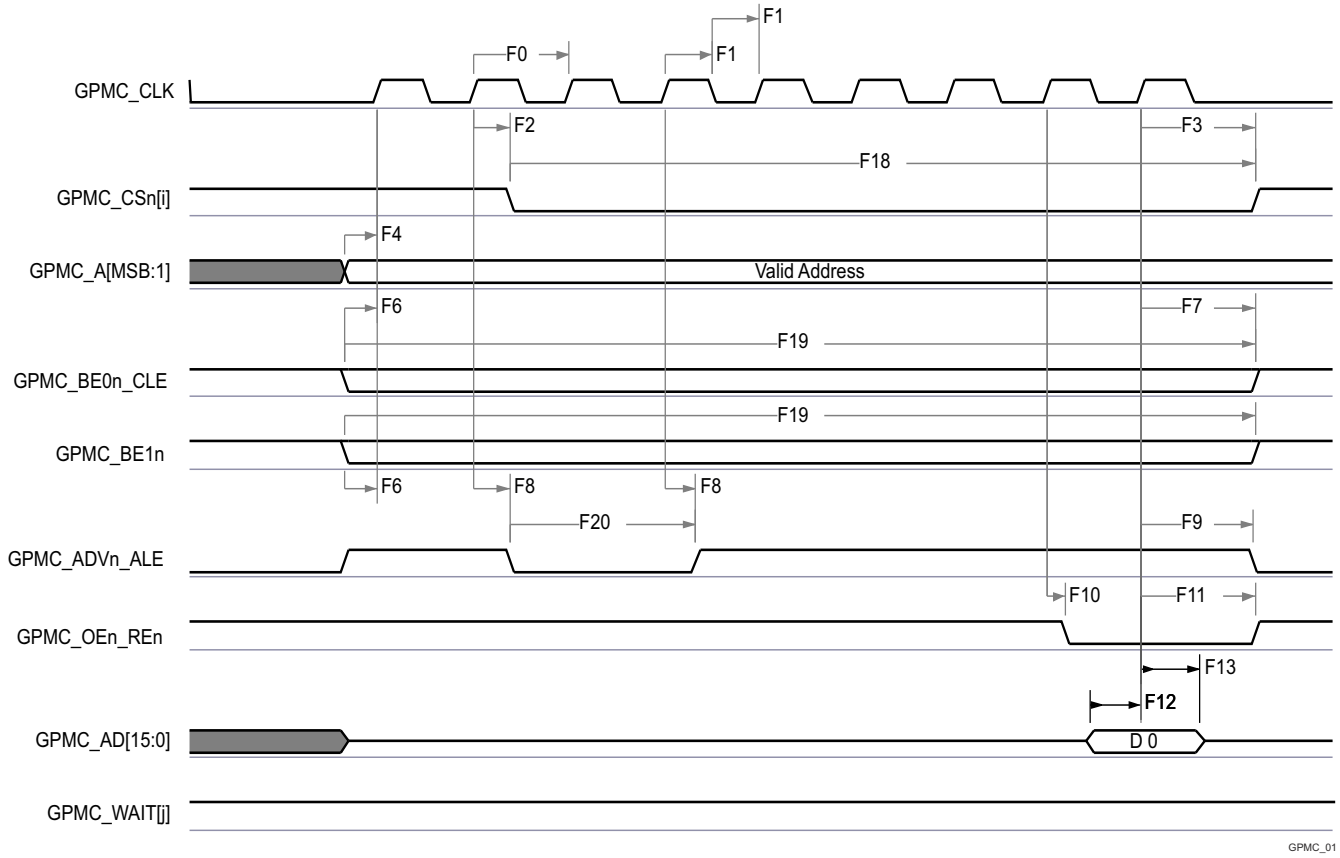
TIMEPARAGRANULARITY_X1 に対し:

- GPMC_CONFIG1_i レジスタ:TIMEPARAGRANULARITY = 0h = x1 レイテンシ (RD/WRCYCLETIME、RD/WRACCESSTIME、PAGEBURSTACCESSTIME、CSONTIME、CSRD/WROFFTIME、ADVONTIME、ADVRD/WROFFTIME、OEONTIME、OEOFFTIME、WEONTIME、WEOFFTIME、CYCLE2CYCLEDELAY、BUSTURNAROUND、TIMEOUTSTARTVALUE、WRDATAONADMUXBUS に影響)

extra_delay なしの場合:

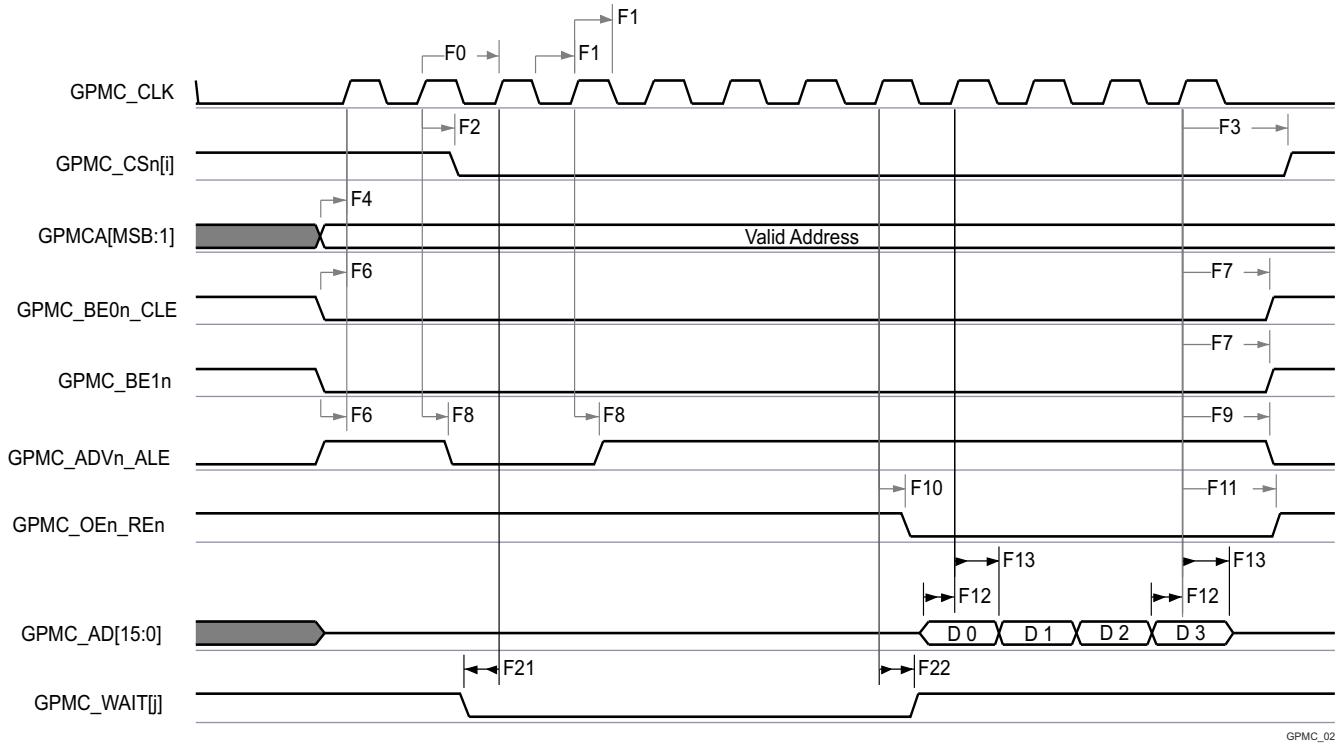
- GPMC_CONFIG2_i レジスタ:CSEXTRADELAY = 0h = CSn タイミング制御信号は遅延しない
- GPMC_CONFIG4_i レジスタ:WEEXTRADELAY = 0h= nWE タイミング制御信号は遅延しない
- GPMC_CONFIG4_i レジスタ:OEEXTRADELAY = 0h = nOE タイミング制御信号は遅延しない
- GPMC_CONFIG3_i レジスタ:ADVEXTRADELAY = 0h = nADV タイミング制御信号は遅延しない

Copyright © 2025 Texas Instruments Incorporated



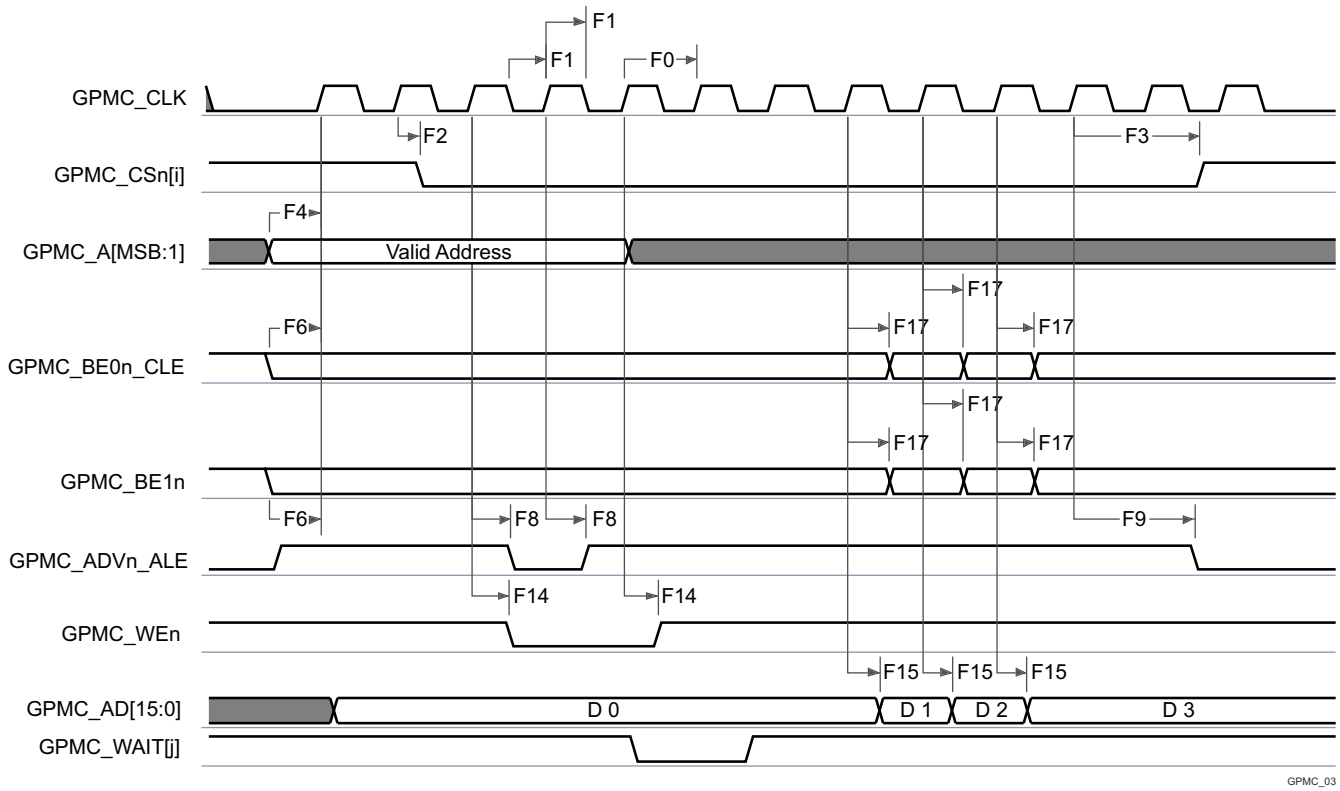
A. GPMC_CSn[i] で、i は 0、1、2、または 3 です。
B. GPMC_WAIT[j] で、j は 0 または 1 です。

図 6-42. GPMC および NOR フラッシュ — 同期単一読み出し (GPMCFCLKDIVIDER = 0)



A. GPMC_CSn[i] で、i は 0、1、2、または 3 です。
B. GPMC_WAIT[j] で、j は 0 または 1 です。

図 6-43. GPMC および NOR フラッシュ — 同期バースト読み出し — 4x16 ビット (GPMCFCLKDIVIDER = 0)

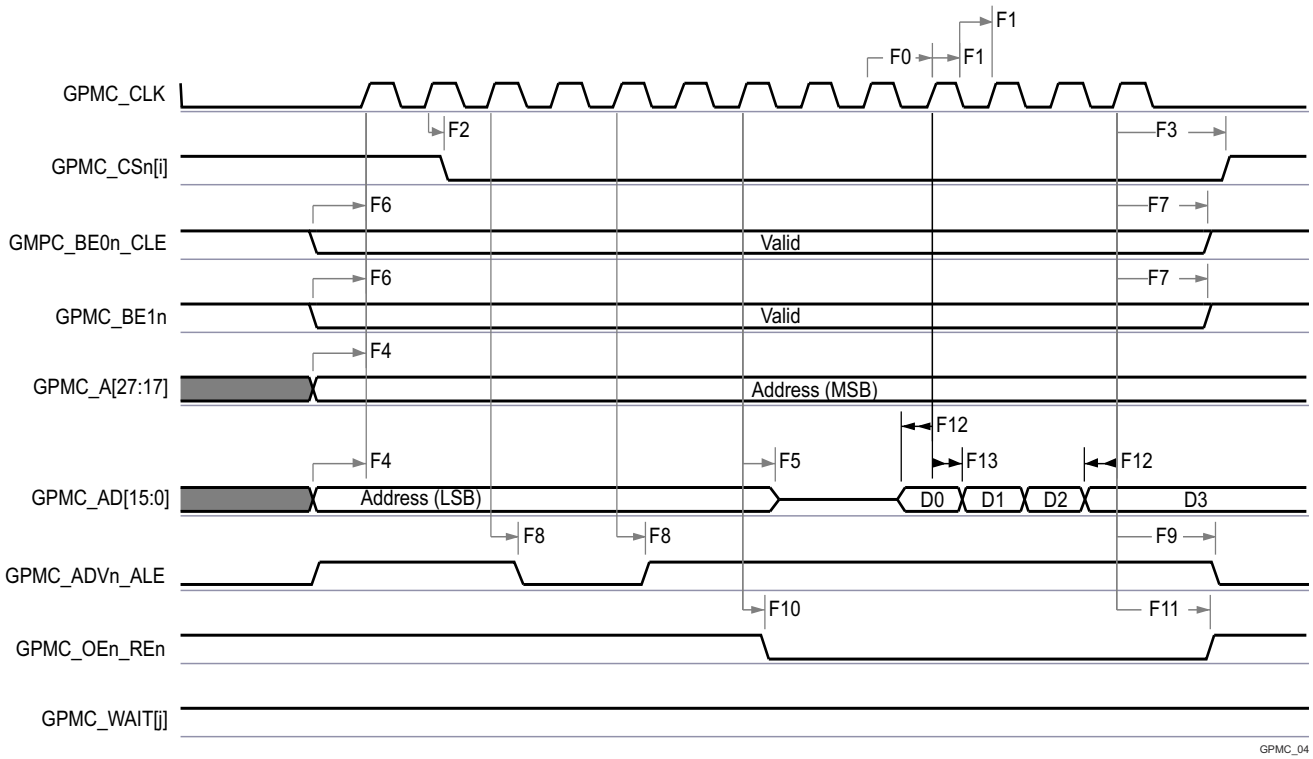


A. GPMC_CSn[i] で、i は 0、1、2、または 3 です。

Copyright © 2025 Texas Instruments Incorporated

B. GPMC_WAIT[j] で、j は 0 または 1 です。

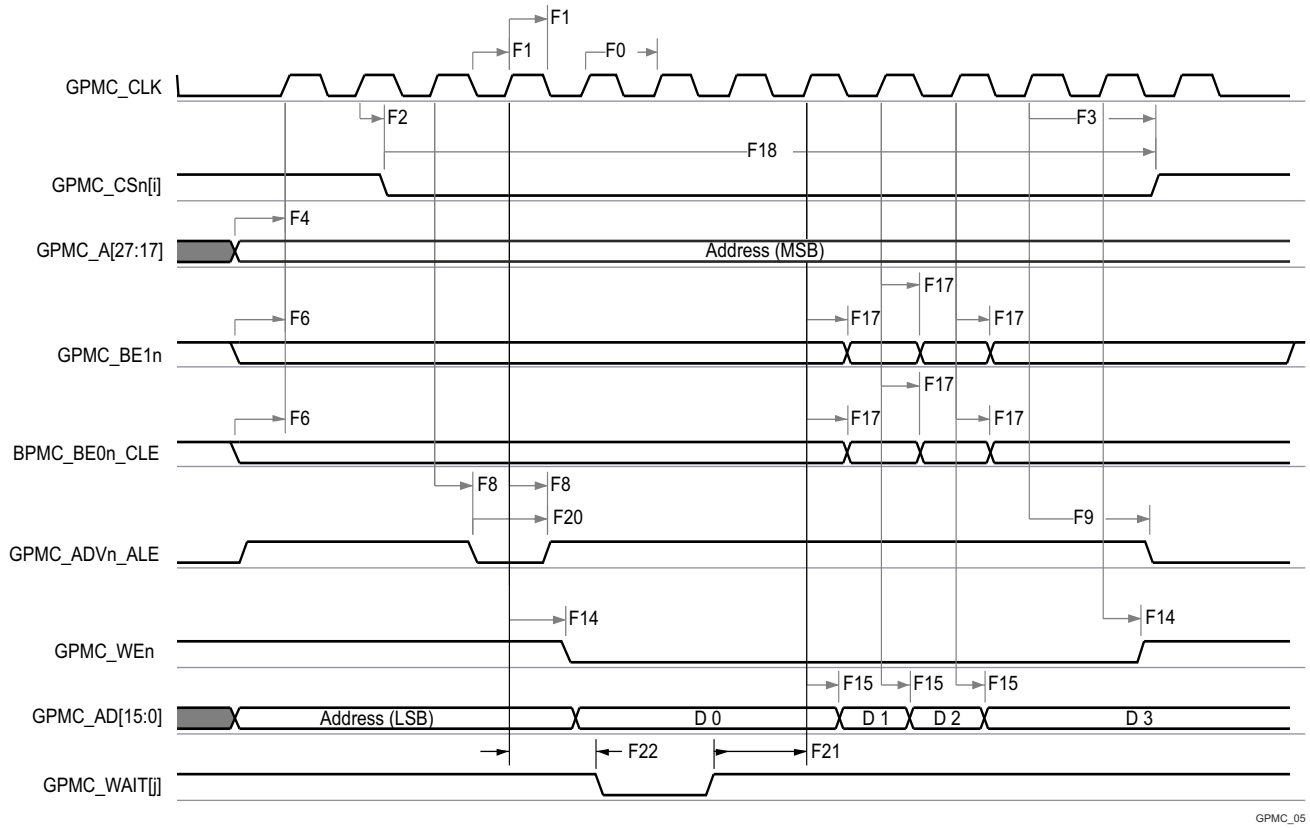
図 6-44. GPMC および NOR フラッシュ — 同期バースト書き込み (GPMCFCLKDIVIDER = 0)



A. GPMC_CSn[i] で、i は 0、1、2、または 3 です。

B. GPMC_WAIT[j] で、j は 0 または 1 です。

図 6-45. GPMC および多重化 NOR フラッシュ — 同期バースト読み出し



A. GPMC_CSn[i] で、i は 0、1、2、または 3 です。
B. GPMC_WAIT[j] で、j は 0 または 1 です。

図 6-46. GPMC および多重化 NOR フラッシュ — 同期バースト書き込み

Copyright © 2025 Texas Instruments Incorporated

6.12.5.10.2 GPMC および NOR フラッシュ — 非同期モード

表 6-64 および 表 6-65 に、GPMC および NOR フラッシュ - 非同期モードのタイミング要件とスイッチング特性を示します。

表 6-64. GPMC および NOR フラッシュのタイミング要件 – 非同期モード

図 6-47、図 6-48、図 6-49、図 6-51 を参照

番号	パラメータ	説明	モード	最小値	最大値	単位
FA5 (1)	$t_{acc(d)}$	データ アクセス時間	div_by_1_mode、GPMC_FCLK_MUX、TIMEPARAGRANULARITY_X1		H (4)	ns
FA20 (2)	$t_{acc1\text{-}pgmode(d)}$	ページ モードの連続データ アクセス時間	div_by_1_mode、GPMC_FCLK_MUX、TIMEPARAGRANULARITY_X1		P (3)	ns
FA21 (1)	$t_{acc2\text{-}pgmode(d)}$	ページ モードの最初のデータ アクセス時間	div_by_1_mode、GPMC_FCLK_MUX、TIMEPARAGRANULARITY_X1		H (4)	ns

(1) FA5 パラメータは、入力データを内部的にサンプリングするために必要な時間を示します。これは、GPMC 機能クロック サイクル数で表されます。読み取りサイクルの開始から FA5 機能クロック サイクル経過後、入力データはアクティブな機能クロック エッジによって内部的にサンプリングされます。FA5 の値は、AccessTime レジスタ ビット フィールドに保存する必要があります。
(2) FA20 パラメータは、連続する入力ページ データを内部でサンプリングするために必要な時間を示します。これは、GPMC 機能クロック サイクル数で表されます。入力ページ データへの各アクセスの後、FA20 機能クロック サイクル経過後、次の入力ページ データはアクティブな機能クロック エッジによって内部的にサンプリングされます。FA20 の値は、PageBurstAccessTime レジスタのビット フィールドに保存する必要があります。
(3) P = PageBurstAccessTime × (TimeParaGranularity + 1) × GPMC_FCLK(5)
(4) H = AccessTime × (TimeParaGranularity + 1) × GPMC_FCLK(5)
(5) GPMC_FCLK は、汎用メモリ コントローラの内部機能クロック周期で、ns 単位です。

表 6-65. GPMC および NOR フラッシュのスイッチング特性 – 非同期モード

図 6-47、図 6-48、図 6-49、図 6-50、図 6-51、図 6-52 参照

番号	パラメータ	説明	MODE (15)	最小値	最大値	単位
				133 MHz		
FA0	$t_{w(be[x]nV)}$	パルス幅、出力下位バイト イネーブルおよびコマンド ラッチ イネーブル GPMC_BE0n_CLE、出力上位バイト イネーブル GPMC_BE1n 有効時間	読み出し		N (12)	ns
			書き込み		N (12)	
FA1	$t_{w(csnV)}$	パルス幅、出力チップ セレクト GPMC_CSn[i](13) low	読み出し		A (1)	ns
			書き込み		A (1)	
FA3	$t_{d(csnV\text{-}advnlV)}$	遅延時間、出力チップ セレクト GPMC_CSn[i](13) 有効から出力アドレス有効およびアドレス ラッチ イネーブル GPMC_ADVn_ALE 無効まで	読み出し	B - 2 (2)	B + 2(2)	ns
			書き込み	B - 2(2)	B + 2(2)	
FA4	$t_{d(csnV\text{-}oenlV)}$	遅延時間、出力チップセレクト GPMC_CSn[i](13) 有効から 出力イネーブル GPMC_OEn_REn 無効まで (単一読み取り)	div_by_1_mode、GPMC_FCLK_MUX、TIMEPARAGRANULARITY_X1	C - 2(3)	C + 2(3)	ns
FA9	$t_{d(aV\text{-}csnV)}$	遅延時間、出力アドレス GPMC_A[27:1] 有効から出力チップ セレクト GPMC_CSn[i](13) 有効まで	div_by_1_mode、GPMC_FCLK_MUX、TIMEPARAGRANULARITY_X1	J - 2(9)	J + 2(9)	ns
FA10	$t_{d(be[x]nV\text{-}csnV)}$	遅延時間、出力下位バイト イネーブルおよびコマンド ラッチ イネーブル GPMC_BE0n_CLE、出力上位バイト イネーブル GPMC_BE1n 有効から出力チップ セレクト GPMC_CSn[i](13) まで	div_by_1_mode、GPMC_FCLK_MUX、TIMEPARAGRANULARITY_X1	J - 2(9)	J + 2(9)	ns
FA12	$t_{d(csnV\text{-}advnV)}$	遅延時間、出力チップ セレクト GPMC_CSn[i](13) 有効から出力アドレス有効、アドレス ラッチ イネーブル GPMC_ADVn_ALE 有効まで	div_by_1_mode、GPMC_FCLK_MUX、TIMEPARAGRANULARITY_X1	K - 2(10)	K + 2(10)	ns
FA13	$t_{d(csnV\text{-}oenV)}$	遅延時間、出力チップ セレクト GPMC_CSn[i](13) 有効から出力イネーブル GPMC_OEn_REn 有効まで	div_by_1_mode、GPMC_FCLK_MUX、TIMEPARAGRANULARITY_X1	L - 2(11)	L + 2(11)	ns

表 6-65. GPMC および NOR フラッシュのスイッチング特性 – 非同期モード (続き)

図 6-47、図 6-48、図 6-49、図 6-50、図 6-51、図 6-52 参照

番号	パラメータ	説明	MODE [15]	最小値	最大値	単位
				133 MHz		
FA16	$t_{w(aIV)}$	2 つの連続する読み取りおよび書き込みアクセスの間で、出力アドレス GPMC_A[26:1] が無効になるパルス幅	div_by_1_mode、GPMC_FCLK_MUX、TIMEPARAGRANULARITY_X1	G [7]		ns
FA18	$t_{d(csnV-oenIV)}$	遅延時間、出力チップ セレクト GPMC_CSn[i][13] 有効から 出力イネーブル GPMC_OEn_REn 無効まで (バースト読み取り)	div_by_1_mode、GPMC_FCLK_MUX、TIMEPARAGRANULARITY_X1	I - 2[8]	I + 2[8]	ns
FA20	$t_{w(aV)}$	パルス幅、出力アドレス GPMC_A[27:1] 有効 - 2 回目、3 回目、4 回目のアクセス	div_by_1_mode、GPMC_FCLK_MUX、TIMEPARAGRANULARITY_X1	D [4]		ns
FA25	$t_{d(csnV-wenV)}$	遅延時間、出力チップ セレクト GPMC_CSn[i][13] 有効から出力書き込みイネーブル GPMC_WEn 有効まで	div_by_1_mode、GPMC_FCLK_MUX、TIMEPARAGRANULARITY_X1	E - 2[5]	E + 2[5]	ns
FA27	$t_{d(csnV-wenIV)}$	遅延時間、出力チップ セレクト GPMC_CSn[i][13] 有効から出力書き込みイネーブル GPMC_WEn 無効まで	div_by_1_mode、GPMC_FCLK_MUX、TIMEPARAGRANULARITY_X1	F - 2[6]	F + 2[6]	ns
FA28	$t_{d(wenV-dV)}$	遅延時間、出力書き込みイネーブル GPMC_WEn 有効から出力データ GPMC_AD[15:0] 有効まで	div_by_1_mode、GPMC_FCLK_MUX、TIMEPARAGRANULARITY_X1		2	ns
FA29	$t_{d(dV-csnV)}$	遅延時間、出力データ GPMC_AD[15:0] 有効から出力チップ セレクト GPMC_CSn[i][13] 有効まで	div_by_1_mode、GPMC_FCLK_MUX、TIMEPARAGRANULARITY_X1	J - 2[9]	J + 2[9]	ns
FA37	$t_{d(oenV-aIV)}$	遅延時間、出力イネーブル GPMC_OEn_REn 有効から出力アドレス GPMC_AD[15:0] フェーズ終了まで	div_by_1_mode、GPMC_FCLK_MUX、TIMEPARAGRANULARITY_X1		2	ns

(1) 単一読み取りの場合:A = (CSRdOffTime - CSOnTime) × (TimeParaGranularity + 1) × GPMC_FCLK[14]
単一書き込みの場合:A = (CSWrOffTime - CSOnTime) × (TimeParaGranularity + 1) × GPMC_FCLK[14]
バースト読み取りの場合:A = (CSRdOffTime - CSOnTime + (n - 1) × PageBurstAccessTime) × (TimeParaGranularity + 1) × GPMC_FCLK[14]
バースト書き込みの場合:A = (CSWrOffTime - CSOnTime + (n - 1) × PageBurstAccessTime) × (TimeParaGranularity + 1) × GPMC_FCLK[14]
n はページ バースト アクセス数
(2) 読み取りの場合:B = ((ADVRdOffTime - CSOnTime) × (TimeParaGranularity + 1) + 0.5 × (ADVExtraDelay - CSExtraDelay)) × GPMC_FCLK[14]
書き込みの場合:B = ((ADVWrOffTime - CSOnTime) × (TimeParaGranularity + 1) + 0.5 × (ADVExtraDelay - CSExtraDelay)) × GPMC_FCLK[14]
(3) C = ((OEOffTime - CSOnTime) × (TimeParaGranularity + 1) + 0.5 × (OEExtraDelay - CSExtraDelay)) × GPMC_FCLK[14]
(4) D = PageBurstAccessTime × (TimeParaGranularity + 1) × GPMC_FCLK[14]
(5) E = ((WEOnTime - CSOnTime) × (TimeParaGranularity + 1) + 0.5 × (WEExtraDelay - CSExtraDelay)) × GPMC_FCLK[14]
(6) F = ((WEOffTime - CSOnTime) × (TimeParaGranularity + 1) + 0.5 × (WEExtraDelay - CSExtraDelay)) × GPMC_FCLK[14]
(7) G = Cycle2CycleDelay × GPMC_FCLK[14]
(8) I = ((OEOffTime + (n - 1) × PageBurstAccessTime - CSOnTime) × (TimeParaGranularity + 1) + 0.5 × (OEExtraDelay - CSExtraDelay)) × GPMC_FCLK[14]
(9) J = (CSOnTime × (TimeParaGranularity + 1) + 0.5 × CSExtraDelay) × GPMC_FCLK[14]
(10) K = ((ADVOnTime - CSOnTime) × (TimeParaGranularity + 1) + 0.5 × (ADVExtraDelay - CSExtraDelay)) × GPMC_FCLK[14]
(11) L = ((OEOnTime - CSOnTime) × (TimeParaGranularity + 1) + 0.5 × (OEExtraDelay - CSExtraDelay)) × GPMC_FCLK[14]
(12) 単一読み取りの場合:N = RdCycleTime × (TimeParaGranularity + 1) × GPMC_FCLK[14]
単一書き込みの場合:N = WrCycleTime × (TimeParaGranularity + 1) × GPMC_FCLK[14]
バースト読み取りの場合:N = (RdCycleTime + (n - 1) × PageBurstAccessTime) × (TimeParaGranularity + 1) × GPMC_FCLK[14]
バースト書き込みの場合:N = (WrCycleTime + (n - 1) × PageBurstAccessTime) × (TimeParaGranularity + 1) × GPMC_FCLK[14]
(13) GPMC_CSn[i] で、i は 0、1、2、または 3 です。
(14) GPMC_FCLK は、汎用メモリ コントローラの内部機能クロック周期で、ns 単位です。
(15) div_by_1_mode の場合:
- GPMC_CONFIG1_i レジスタ:GPMCFCLKDIVIDER = 0h:
  - GPMC_CLK 周波数 = GPMC_FCLK 周波数

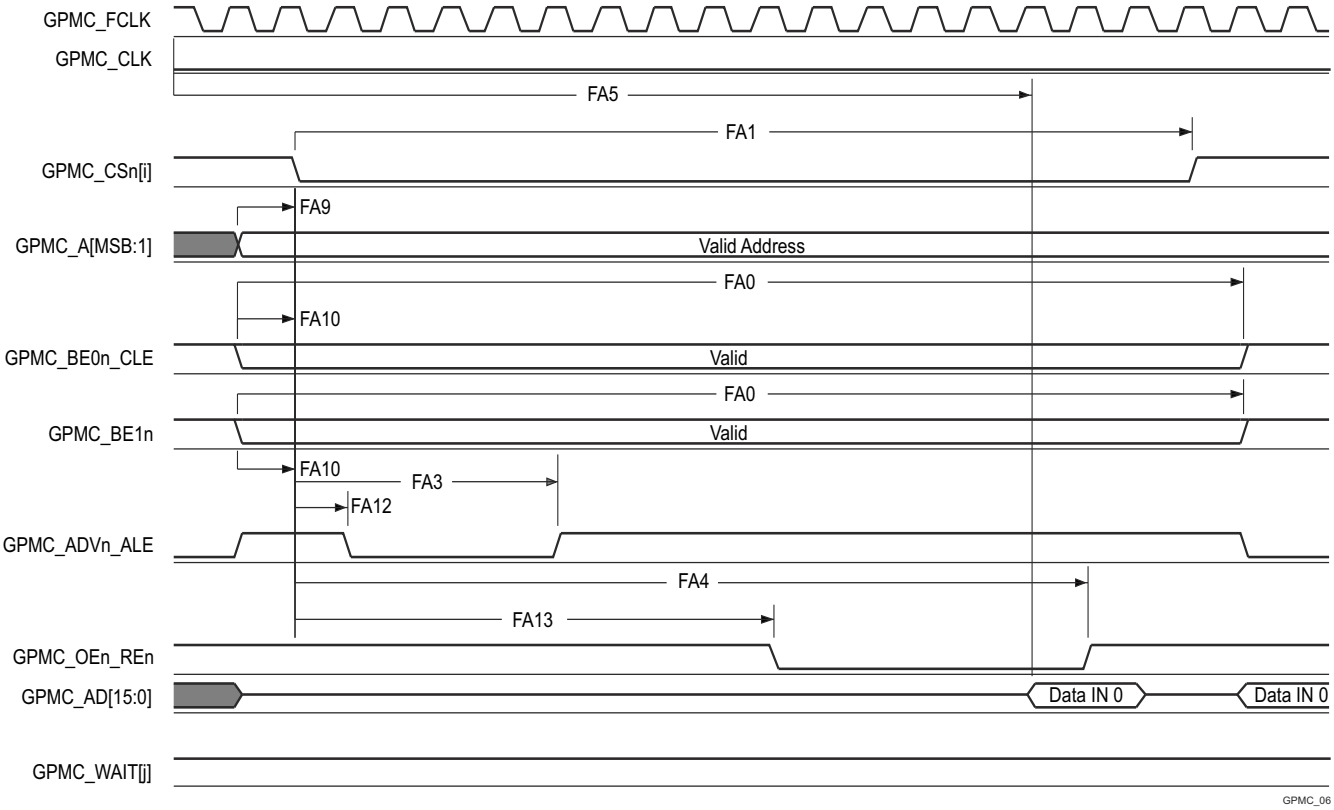
Copyright © 2025 Texas Instruments Incorporated

GPMC_FCLK_MUX の場合:

- CTRLMMR_GPMC_CLKSEL[1-0] CLK_SEL = 00 = CPSWHSDIV_CLKOUT3 = 2000/15 = 133.33MHz

TIMEPARAGRANULARITY_X1 に対し:

- GPMC_CONFIG1_i レジスタ:TIMEPARAGRANULARITY = 0h = x1 レイテンシ (RD/WRCYCLETIME、RD/WRACCESSTIME、PAGEBURSTACCESSTIME、CSONTIME、CSRD/WROFFTIME、ADVONTIME、ADVRD/WROFFTIME、OEONTIME、OEOFFTIME、WEONTIME、WEOFFTIME、CYCLE2CYCLEDELAY、BUSTURNAROUND、TIMEOUTSTARTVALUE、WRDATAONADMUXBUS に影響)

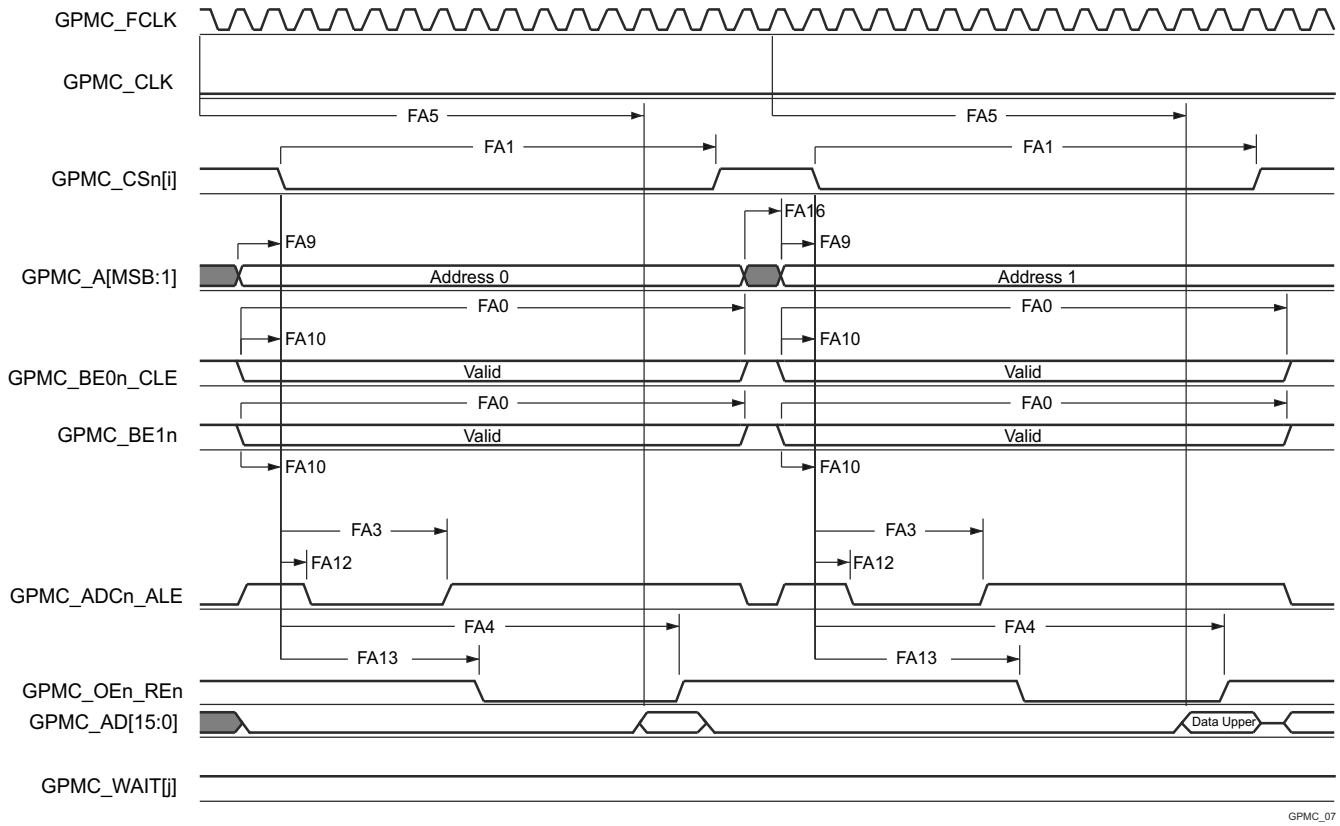


A. GPMC_CSn[i] で、i は 0、1、2、または 3 です。GPMC_WAIT[j] で、jis は 0 または 1 です。

B. FA5 パラメータは、入力データを内部でサンプリングするために必要な時間を示しています。これは、GPMC 機能クロック サイクル数で表されます。読み取りサイクルの開始から FA5 機能クロック サイクル経過後、入力データはアクティブな機能クロック エッジによって内部的にサンプリングされます。FA5 の値は、AccessTime レジスタ ビット フィールド内に格納する必要があります。

C. GPMC_FCLK は、外部に供給されない内部クロック (GPMC 機能クロック) です。

図 6-47. GPMC および NOR フラッシュ — 非同期読み取り — シングル ワード



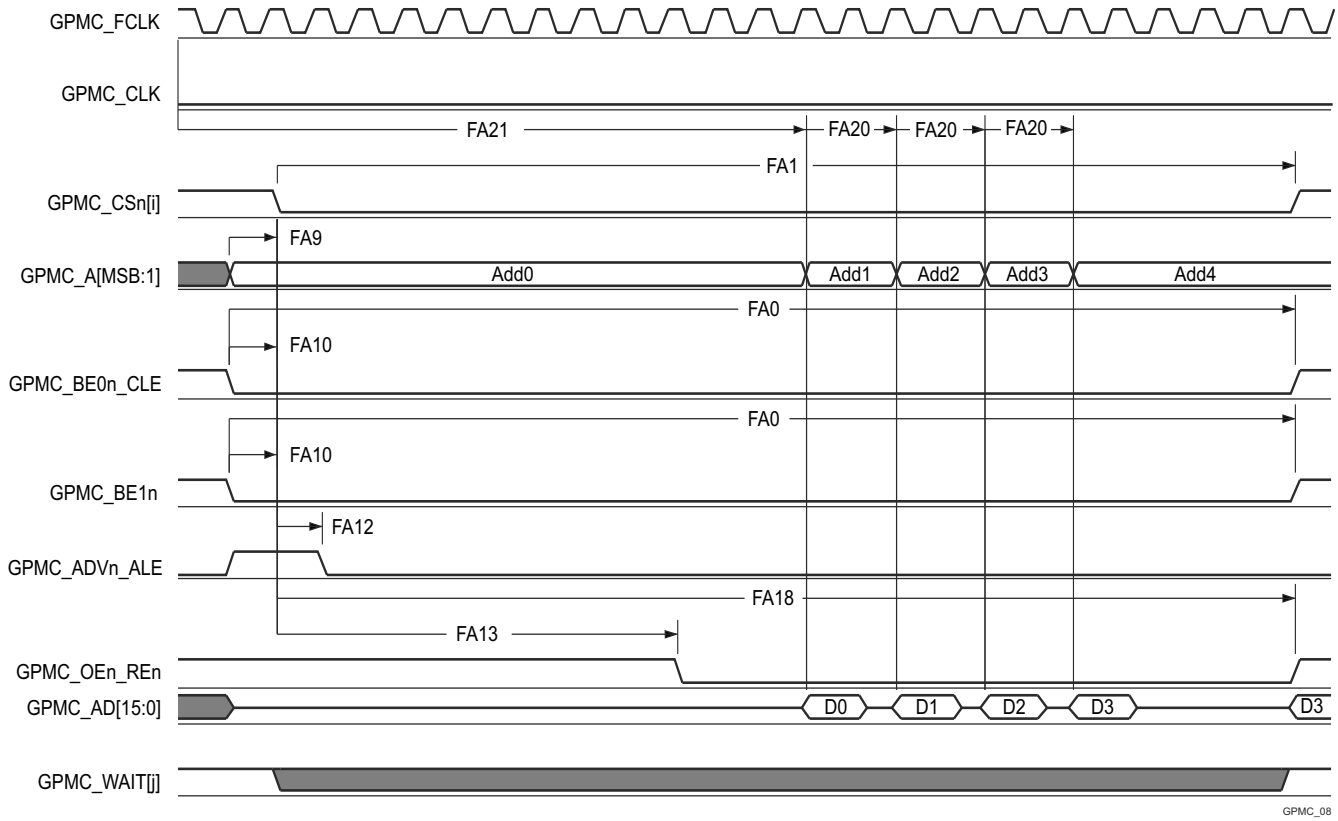
A. GPMC_CSn[i] で、i は 0、1、2、または 3 です。GPMC_WAIT[j] で、j は 0 または 1 です。

B. FA5 パラメータは、入力データを内部でサンプリングするために必要な時間を示しています。これは、GPMC 機能クロック サイクル数で表されます。読み取りサイクルの開始から FA5 機能クロック サイクル経過後、入力データはアクティブな機能クロック エッジによって内部的にサンプリングされます。FA5 の値は、AccessTime レジスタ ビット フィールド内に格納する必要があります。

C. GPMC_FCLK は、外部に供給されない内部クロック (GPMC 機能クロック) です。

図 6-48. GPMC および NOR フラッシュ — 非同期読み取り — 32 ビット

Copyright © 2025 Texas Instruments Incorporated



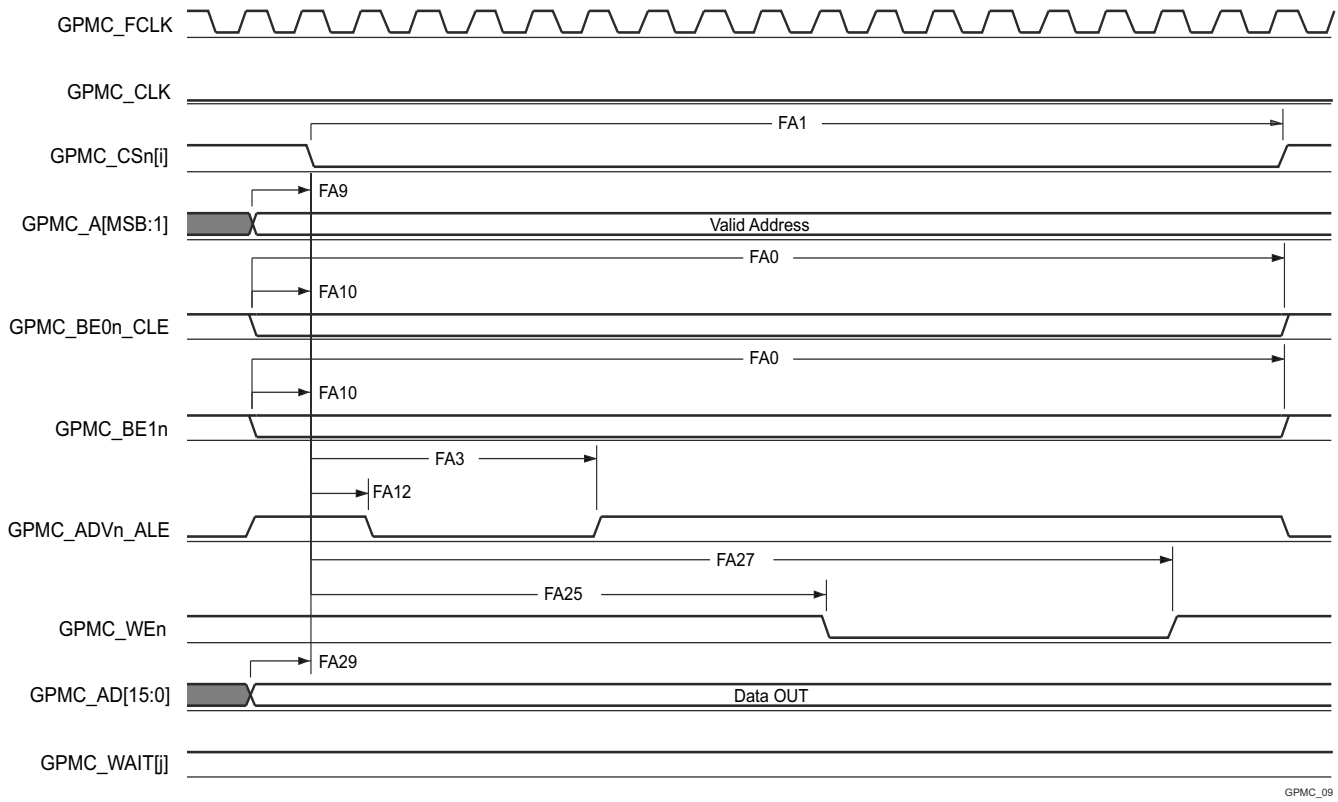
A. GPMC_CSn[i] で、i は 0、1、2、または 3 です。GPMC_WAIT[j] で、j は 0 または 1 です。

B. FA21 パラメータは、最初の入力ページ データを内部でサンプリングするために必要な時間を示します。これは、GPMC 機能クロック サイクル数で表されます。読み取りサイクルの開始から FA21 機能クロック サイクル経過後、最初の入力ページのデータが、アクティブな機能クロック エッジによって内部的にサンプリングされます。FA21 の計算値は、accessTime レジスタ ビット フィールド内に保存する必要があります。

C. FA20 パラメータは、連続する入力ページ データを内部でサンプリングするために必要な時間を示します。これは、GPMC 機能クロック サイクル数で表されます。入力ページ データへの各アクセスの後、FA20 機能クロック サイクル経過後、次の入力ページ データはアクティブな機能クロック エッジによって内部的にサンプリングされます。FA20 は、連続する入力ページ データ (最初の入力ページ データを除く) のアドレス フェーズ期間でもあります。FA20 の値は、PageBurstAccessTime レジスタ ビット フィールドに保存する必要があります。

D. GPMC_FCLK は、外部に供給されない内部クロック (GPMC 機能クロック) です。

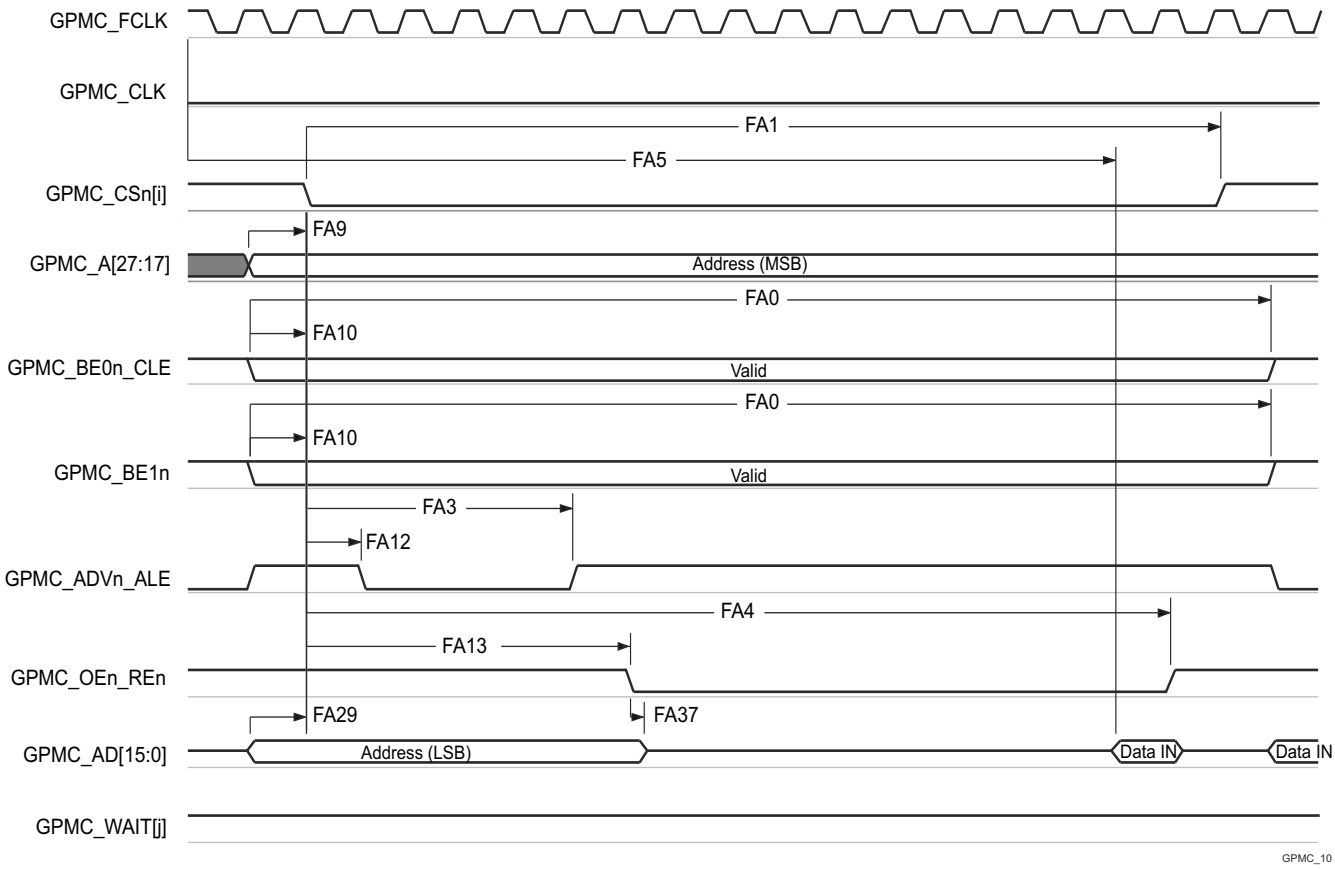
図 6-49. GPMC および NOR フラッシュ — 非同期読み取り — ページ モード 4x16 ビット



A. GPMC_CSn[i] で、i は 0、1、2、または 3 です。GPMC_WAIT[j] で、j は 0 または 1 です。

図 6-50. GPMC および NOR フラッシュ — 非同期書き込み — シングル ワード

Copyright © 2025 Texas Instruments Incorporated

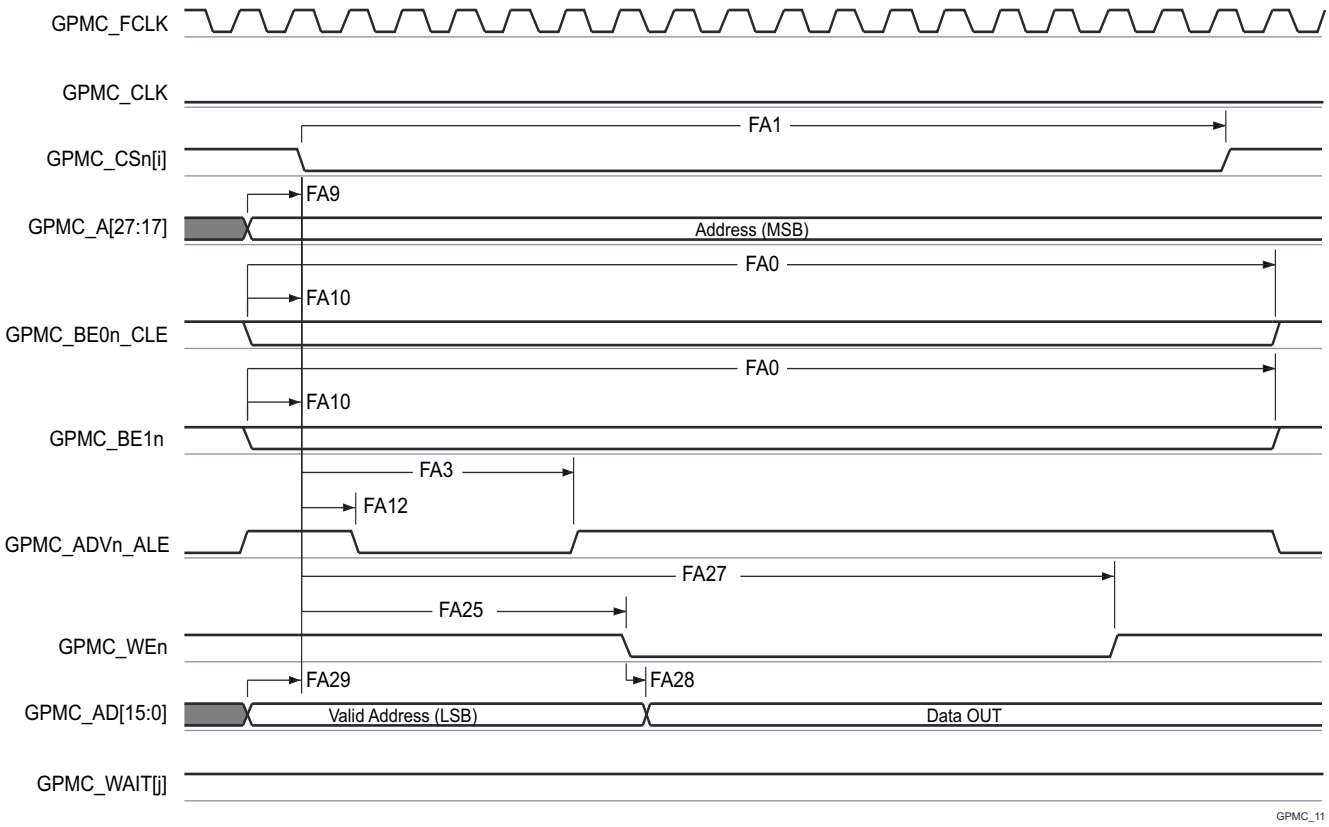


A. GPMC_CSn[i] で、i は 0、1、2、または 3 です。GPMC_WAIT[j] で、j は 0 または 1 です。

B. FA5 パラメータは、入力データを内部でサンプリングするために必要な時間を示しています。これは、GPMC 機能クロック サイクル数で表されます。読み取りサイクルの開始から FA5 機能クロック サイクル経過後、入力データはアクティブな機能クロック エッジによって内部的にサンプリングされます。FA5 の値は、AccessTime レジスタ ビット フィールド内に格納する必要があります。

C. GPMC_FCLK は、外部に供給されない内部クロック (GPMC 機能クロック) です。

図 6-51. GPMC および多重化 NOR フラッシュ — 非同期読み取り — シングル ワード



A. GPMC_CSn[i] で、i は 0、1、2、または 3 です。GPMC_WAIT[j] で、j は 0 または 1 です。

図 6-52. GPMC および多重化 NOR フラッシュ — 非同期書き込み — シングル ワード

Copyright © 2025 Texas Instruments Incorporated

6.12.5.10.3 GPMC および NAND フラッシュ — 非同期モード

表 6-66 および 表 6-67 に、GPMC および NAND フラッシュ - 非同期モードのタイミング要件とスイッチング特性を示します。

表 6-66. GPMC および NAND フラッシュのタイミング要件 – 非同期モード

図 6-55 参照

番号	パラメータ	説明	MODE [4]	最小値 最大値 133 MHz	単位
GNF12 [1]	$t_{acc(d)}$	アクセス時間、入力データ GPMC_AD[15:0] [3]	div_by_1_mode、GPMC_FCLK_MUX、TIMEPARAGRANULARITY_X1	J [2]	ns

(1) GNF12 パラメータは、入力データを内部的にサンプリングするために必要な時間を示します。これは、GPMC 機能クロック サイクル数で表されます。読み取りサイクルの開始から GNF12 機能クロック サイクル経過後、入力データはアクティブな機能クロック エッジによって内部的にサンプリングされます。GNF12 の値は、AccessTime レジスタ ビット フィールドに保存する必要があります。
(2) J = AccessTime × (TimeParaGranularity + 1) × GPMC_FCLK[3]
(3) GPMC_FCLK は、汎用メモリ コントローラの内部機能クロック周期で、ns 単位です。
(4) div_by_1_mode の場合:
- GPMC_CONFIG1_i レジスタ:GPMCFCLKDIVIDER = 0h:
  - GPMC_CLK 周波数 = GPMC_FCLK 周波数

GPMC_FCLK_MUX の場合:
- CTRLMMR_GPMC_CLKSEL[1-0] CLK_SEL = 00 = CPSWHSDIV_CLKOUT3 = 2000/15 = 133.33MHz

TIMEPARAGRANULARITY_X1 に対し:
- GPMC_CONFIG1_i レジスタ:TIMEPARAGRANULARITY = 0h = x1 レイテンシ (RD/WRCYCLETIME、RD/WRACCESSTIME、PAGEBURSTACCESSTIME、CSONTIME、CSRD/WROFFTIME、ADVONTIME、ADVRD/WROFFTIME、OEONTIME、OEOFFTIME、WEONTIME、WEOFFTIME、CYCLE2CYCLEDELAY、BUSTURNAROUND、TIMEOUTSTARTVALUE、WRDATAONADMUXBUS に影響)

表 6-67. GPMC および NAND フラッシュのスイッチング特性 – 非同期モード

図 6-53、図 6-54、図 6-55、図 6-56 を参照

番号	パラメータ		MODE [4]	最小値	最大値	単位
GNF0	$t_{w(wenV)}$	パルス幅、出力書き込みイネーブル GPMC_WEn 有効	div_by_1_mode、GPMC_FCLK_MUX、TIMEPARAGRANULARITY_X1	A		ns
GNF1	$t_{d(csnV-wenV)}$	遅延時間、出力チップ セレクト GPMC_CSn[i][2] 有効から出力書き込みイネーブル GPMC_WEn 有効まで	div_by_1_mode、GPMC_FCLK_MUX、TIMEPARAGRANULARITY_X1	B - 2	B + 2	ns
GNF2	$t_{w(cleH-wenV)}$	遅延時間、出力下位バイト イネーブルおよびコマンド ラッチ イネーブル GPMC_BE0n_CLE high から出力書き込みイネーブル GPMC_WEn 有効まで	div_by_1_mode、GPMC_FCLK_MUX、TIMEPARAGRANULARITY_X1	C - 2	C + 2	ns
GNF3	$t_{w(wenV-dV)}$	遅延時間、出力データ GPMC_AD[15:0] 有効から出力書き込みイネーブル GPMC_WEn 有効まで	div_by_1_mode、GPMC_FCLK_MUX、TIMEPARAGRANULARITY_X1	D - 2	D + 2	ns
GNF4	$t_{w(wenIV-dIV)}$	遅延時間、出力書き込みイネーブル GPMC_WEn 無効から出力データ GPMC_AD[15:0] 無効まで	div_by_1_mode、GPMC_FCLK_MUX、TIMEPARAGRANULARITY_X1	E - 2	E + 2	ns
GNF5	$t_{w(wenIV-cleIV)}$	遅延時間、出力書き込みイネーブル GPMC_WEn 無効から下位バイト イネーブルおよびコマンド ラッチ イネーブル GPMC_BE0n_CLE 無効まで	div_by_1_mode、GPMC_FCLK_MUX、TIMEPARAGRANULARITY_X1	F - 2	F + 2	ns
GNF6	$t_{w(wenIV-CSn[i]V)}$	遅延時間、出力書き込みイネーブル GPMC_WEn 無効から出力チップ セレクト GPMC_CSn[i][2] 無効まで	div_by_1_mode、GPMC_FCLK_MUX、TIMEPARAGRANULARITY_X1	G - 2	G + 2	ns

表 6-67. GPMC および NAND フラッシュのスイッチング特性 – 非同期モード (続き)

図 6-53、図 6-54、図 6-55、図 6-56 を参照

番号	パラメータ		MODE [4]	最小値	最大値	単位
GNF7	$t_{w(aleH-wenV)}$	遅延時間、出力アドレス有効およびアドレス ラッチ イネーブル GPMC_ADVn_ALE high から出力書き込み イネーブル GPMC_WEn 有効まで	div_by_1_mode、GPMC_FCLK_MUX、TIMEPARAGRANULARITY_X1	C - 2	C + 2	ns
GNF8	$t_{w(wenIV-aleIV)}$	遅延時間、出力書き込みイネーブル GPMC_WEn 無効から出力アドレス有効およびアドレス ラッチ イネーブル GPMC_ADVn_ALE 無効まで	div_by_1_mode、GPMC_FCLK_MUX、TIMEPARAGRANULARITY_X1	F - 2	F + 2	ns
GNF9	$t_{c(wen)}$	サイクル時間、書き込み	div_by_1_mode、GPMC_FCLK_MUX、TIMEPARAGRANULARITY_X1		H	ns
GNF10	$t_{d(csnV-oenV)}$	遅延時間、出力チップ セレクト GPMC_CSn[i][2] 有効から出力イネーブル GPMC_OEn_REn 有効まで	div_by_1_mode、GPMC_FCLK_MUX、TIMEPARAGRANULARITY_X1	I - 2	I + 2	ns
GNF13	$t_{w(oenV)}$	パルス幅、出力イネーブル GPMC_OEn_REn 有効	div_by_1_mode、GPMC_FCLK_MUX、TIMEPARAGRANULARITY_X1		K	ns
GNF14	$t_{c(oen)}$	サイクル時間、読み取り	div_by_1_mode、GPMC_FCLK_MUX、TIMEPARAGRANULARITY_X1	L		ns
GNF15	$t_{w(oenIV-CSn[i]V)}$	遅延時間、出力イネーブル GPMC_OEn_REn 無効から出力チップ セレクト GPMC_CSn[i][2] 無効まで	div_by_1_mode、GPMC_FCLK_MUX、TIMEPARAGRANULARITY_X1	M - 2	M + 2	ns

(1) A = (WEOffTime - WEOnTime) × (TimeParaGranularity + 1) × GPMC_FCLK[3]
(2) GPMC_CSn[i] で、i は 0、1、2、または 3 です。
(3) GPMC_FCLK は、汎用メモリ コントローラの内部機能クロック周期で、ns 単位です。
(4) div_by_1_mode の場合:

- GPMC_CONFIG1_i レジスタ:GPMCFCLKDIVIDER = 0h:
  - GPMC_CLK 周波数 = GPMC_FCLK 周波数

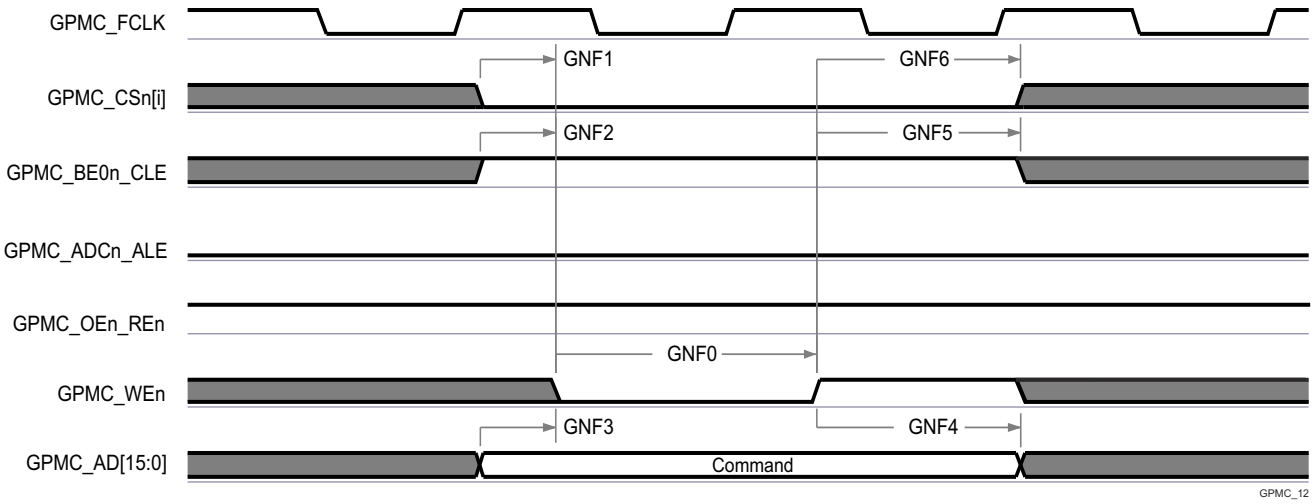
GPMC_FCLK_MUX の場合:

- CTRLMMR_GPMC_CLKSEL[1-0] CLK_SEL = 00 = CPSWHSDIV_CLKOUT3 = 2000/15 = 133.33MHz

TIMEPARAGRANULARITY_X1 に対し:

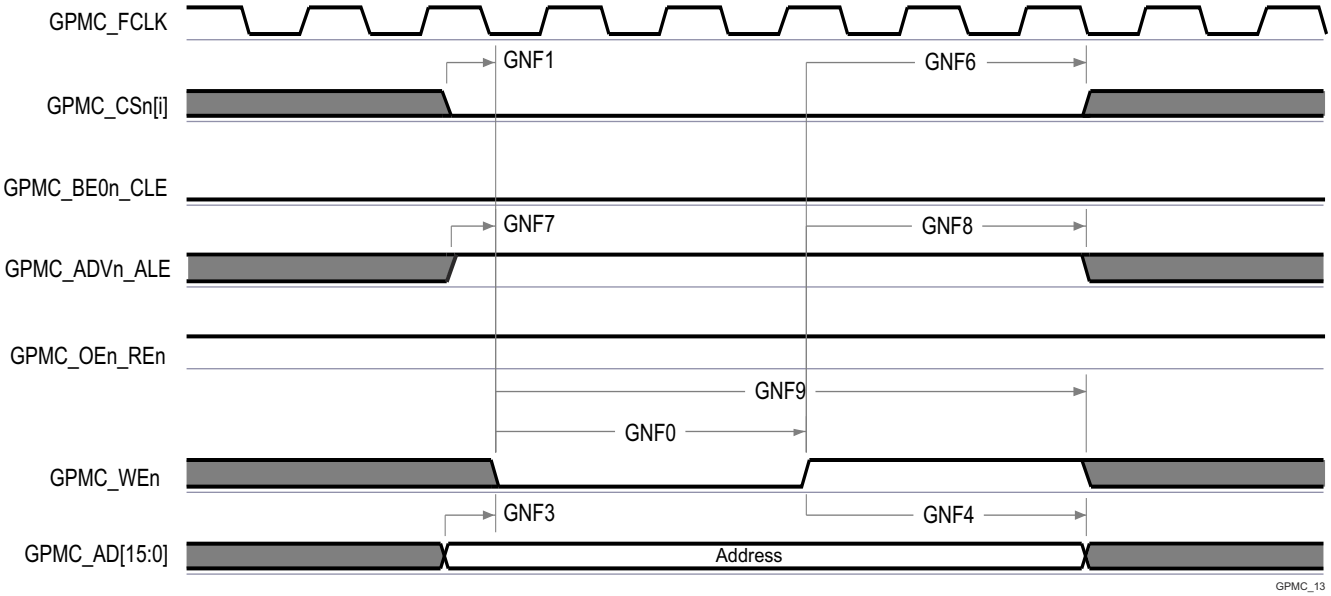
- GPMC_CONFIG1_i レジスタ:TIMEPARAGRANULARITY = 0h = x1 レイテンシ (RD/WRCYCLETIME、RD/WRACCESSTIME、PAGEBURSTACCESSTIME、CSONTIME、CSRD/WROFFTIME、ADVONTIME、ADVRD/WROFFTIME、OEONTIME、OEOFFTIME、WEONTIME、WEOFFTIME、CYCLE2CYCLEDELAY、BUSTURNAROUND、TIMEOUTSTARTVALUE、WRDATAONADMUXBUS に影響)

Copyright © 2025 Texas Instruments Incorporated



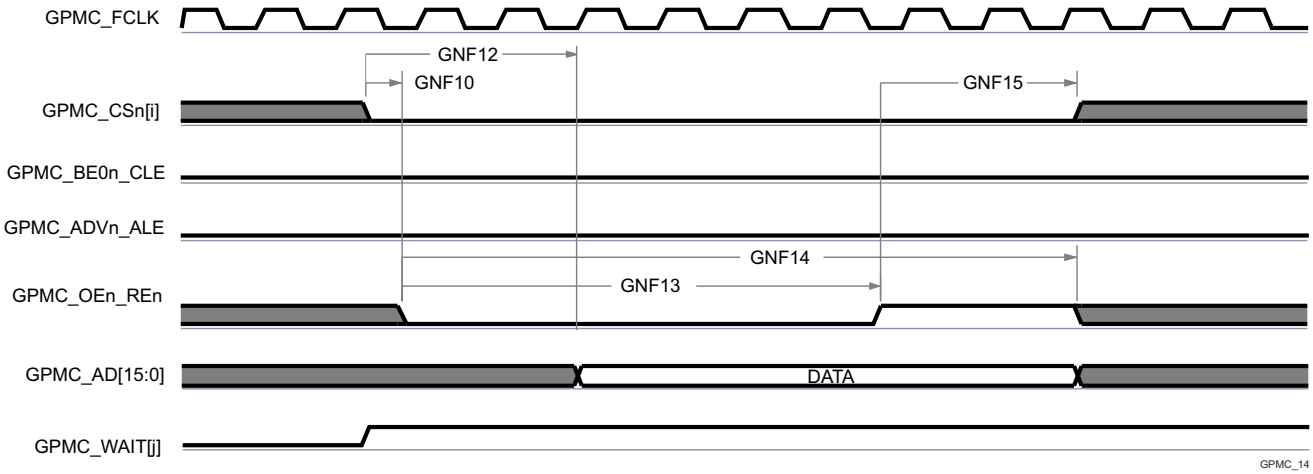
A. GPMC_CSn[i] で、i は 0、1、2、または 3 です。

図 6-53. GPMC および NAND フラッシュ — コマンド ラッチ サイクル



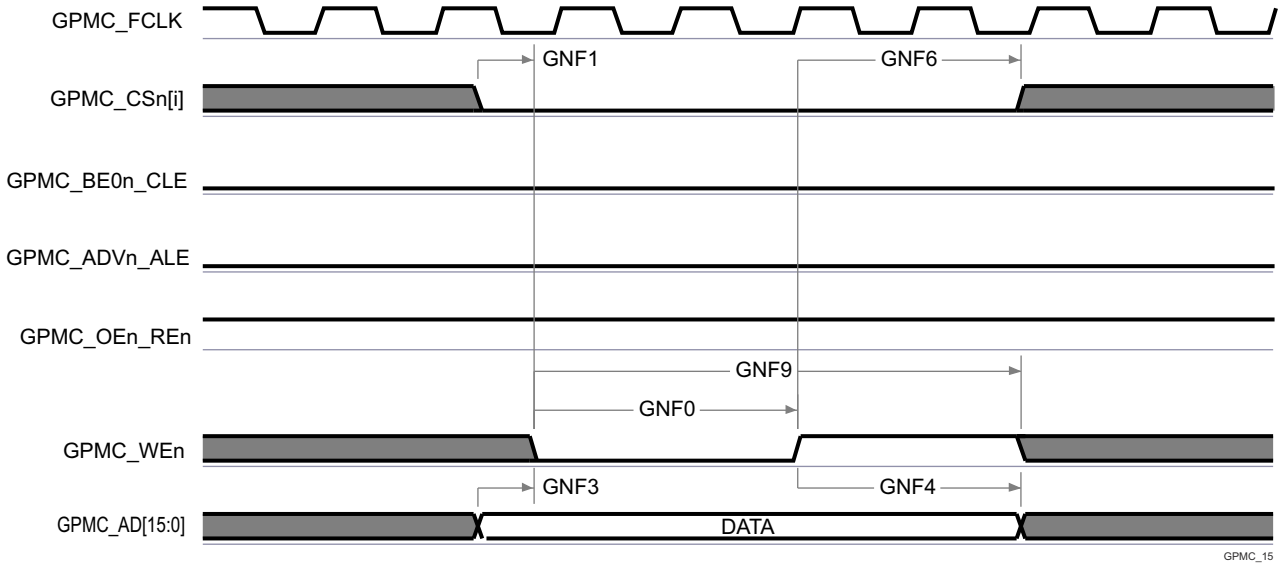
A. GPMC_CSn[i] で、i は 0、1、2、または 3 です。

図 6-54. GPMC および NAND フラッシュ — アドレス ラッチ サイクル



A. GNF12 パラメータは、入力データを内部でサンプリングするために必要な時間を示しています。これは、GPMC 機能クロック サイクル数で表されます。読み取りサイクルの開始から GNF12 機能クロック サイクル経過後、入力データはアクティブな機能クロック エッジによって内部的にサンプリングされます。GNF12 の値は、AccessTime レジスタ ビット フィールド内に格納する必要があります。
B. GPMC_FCLK は、外部に供給されない内部クロック (GPMC 機能クロック) です。
C. GPMC_CSn[i] で、i は 0、1、2、または 3 です。GPMC_WAIT[j] で、j は 0 または 1 です。

図 6-55. GPMC および NAND フラッシュ — データ読み取りサイクル



A. In GPMC_CSn[i] で、i は 0、1、2、または 3 です。

図 6-56. GPMC および NAND フラッシュ — データ書き込みサイクル

Copyright © 2025 Texas Instruments Incorporated

6.12.5.11 I2C

このデバイスには、6 つの マルチコントローラ I2C (Inter-Integrated Circuit) コントローラが搭載されています。各 I2C コントローラは、Philips I²C-bus™ 仕様バージョン 2.1 に準拠するように設計されています。ただし、本デバイスの IO は、I2C の電気的仕様に完全には準拠していません。サポートされる速度と例外について、以下にポートごとに説明します。

- I2C0、I2C1、I2C2、I2C3
  - 速度:
    - スタンダード モード (最大 100kbit/s)
      - 1.8 V
      - 3.3 V
    - ファースト モード (最大 400kbit/s)
      - 1.8 V
      - 3.3 V
  - 例外:
    - これらのポートに関連付けられている IO は、I2C 仕様で定義されている立ち下がり時間要件に準拠していません。これらの I/O には、I2C 互換の IO では実装できなかった他の信号機能をサポートするように設計された、より高性能の LVCMOS プッシュプル IO が実装されているからです。これらのポートで使用されている LVCMOS IO は、オープン ドレイン出力をエミュレートするように接続されます。このエミュレーションは、強制的に常に Low を出力し、出力バッファを無効にして、Hi-Z 状態にすることにより実行されます。
    - I2C 仕様では、最大入力電圧 V_{IH} が ($V_{DD_{max}}$ + 0.5V) と定義されています。これは、デバイスの IO の絶対最大定格を超えています。I2C 信号が、このデータシートの「絶対最大定格」セクションに定義された制限を超えないようにシステムを設計する必要があります。
- MCU_I2C0、WKUP_I2C0
  - 速度:
    - スタンダード モード (最大 100kbit/s)
      - 1.8 V
      - 3.3 V
    - ファースト モード (最大 400kbit/s)
      - 1.8 V
      - 3.3 V
    - Hs モード (最大 3.4Mbit/s)
      - 1.8 V
  - 例外:
    - これらのポートに関連付けられている IO は、3.3V で動作しているときに Hs モードをサポートするようには設計されていません。したがって、Hs モードは 1.8V 動作に限定されます。
    - これらのポートに接続された I2C 信号の立ち上がりおよび立ち下がり時間は、スルーレート 0.8V/ns (すなわち 8E+7V/s) を超えないようにする必要があります。この制限は、I2C 仕様で定義されている最小立ち下がり時間の制限よりも厳しいものです。したがって、立ち上がりおよび立ち下がり時間が 0.08V/ns のスルーレートを上回らないように、I2C 信号に容量を追加する必要がある場合があります。
    - I2C 仕様では、最大入力電圧 V_{IH} が ($V_{DD_{max}}$ + 0.5V) と定義されています。これは、デバイスの IO の絶対最大定格を超えています。I2C 信号が、このデータシートの「絶対最大定格」セクションに定義された制限を超えないようにシステムを設計する必要があります。

注

I2C3 には、複数のピンに多重化可能な信号が 1 つ以上あります。タイミングは、IOSET と呼ばれる特定のピンの組み合わせに対してのみ有効です。このインターフェイスに有効なピンの組み合わせ (IOSET) は、**SysConfig-PinMux ツール**で定義されます。

タイミングの詳細については、Philips I2C-bus 仕様バージョン 2.1 を参照してください。

本デバイスの I2C (Inter-Integrated Circuit) の機能の詳細と追加の説明情報については、「信号の説明」および「詳細説明」セクションの対応するサブセクションを参照してください。

Copyright © 2025 Texas Instruments Incorporated

6.12.5.12 MCAN

表 6-68 および表 6-69 に、MCAN のタイミング条件、要件、スイッチング特性を示します。

本デバイスのコントローラ エリア ネットワーク インターフェイスの機能の詳細と追加の説明情報については、「信号の説明」および「詳細説明」セクションの対応するサブセクションを参照してください。

注

このデバイスは、複数の MCAN モジュールを備えています。MCANn は、MCAN 信号名に適用される全般的な接頭辞です。ここで、n は特定の MCAN モジュールを表します。

表 6-68. MCAN のタイミング条件

パラメータ		最小値	最大値	単位
入力条件				
SR_I	入力スルーレート	2	15	V/ns
出力条件				
C_L	出力負荷容量	5	20	pF

表 6-69. MCAN のスイッチング特性

番号	パラメータ	説明	最小値	最大値	単位
MCAN1	$t_{d(MCAN_TX)}$	遅延時間、送信シフト レジスタから MCANn_TX まで		10	ns
MCAN2	$t_{d(MCAN_RX)}$	遅延時間、MCANn_RX から受信シフト レジスタまで		10	ns

詳細については、デバイスのテクニカル リファレンス マニュアルで「ペリフェラル」の章にある「コントローラ エリア ネットワーク (MCAN)」セクションを参照してください。

6.12.5.13 MCASP

注

McASP には 1 つ以上の信号があり、複数のピンに多重化できます。このセクションで定義されているタイミング要件とスイッチング特性は、IOSET と呼ばれる特定のピンの組み合わせにのみ有効です。このインターフェイスに有効なピンの組み合わせ (IOSET) は、**SysConfig-PinMux ツール**で定義されます。

表 6-70、表 6-71、図 6-57、表 6-72、図 6-58 に、MCASP のタイミング条件、タイミング要件、スイッチング特性を示します。

表 6-70. MCASP のタイミング条件

パラメータ		最小値	最大値	単位
入力条件				
SR_I	入力スルーレート	0.7	5	V/ns
出力条件				
C_L	出力負荷容量	1	10	pF
PCB 接続要件				
$t_{d(Trace\ Delay)}$	各パターンの伝搬遅延	100	1100	ps
$t_{d(Trace\ Mismatch\ Delay)}$	すべてのパターンにわたる伝搬遅延の不整合		100	ps

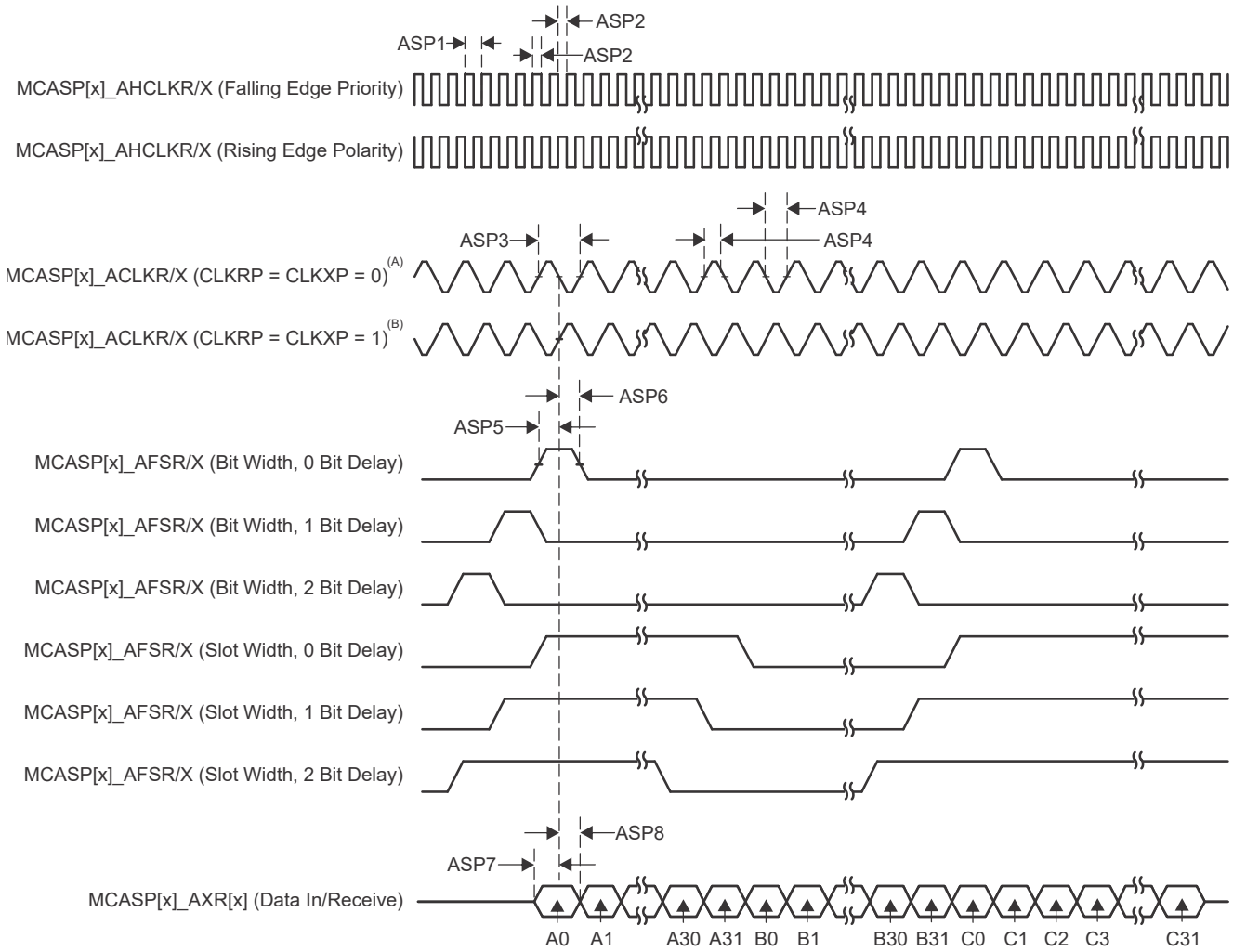
表 6-71. MCASP のタイミング要件

図 6-57 参照

番号			モード(1)	最小値	最大値	単位
ASP1	$t_{c(AHCLKRX)}$	サイクル時間、MCASP[x]_AHCLKR/X(4)		20		ns
ASP2	$t_{w(AHCLKRX)}$	パルス幅、MCASP[x]_AHCLKR/X(4) high または low		0.5P(2) - 1.53		ns
ASP3	$t_{c(ACLKRX)}$	サイクル時間、MCASP[x]_ACLKR/X(4)		20		ns
ASP4	$t_{w(ACLKRX)}$	パルス幅、MCASP[x]_ACLKR/X(4) high または low		0.5R(3) - 1.53		ns
ASP5	$t_{su(AFSRX-ACLKRX)}$	セットアップ時間、MCASP[x]_AFSR/X(4) 入力有効から MCASP[x]_ACLKR/X(4) まで	ACLKR/X 内部	9.29		ns
			ACLKR/X 外部入力 / 出力	4		
ASP6	$t_{h(ACLKRX-AFSRX)}$	ホールド時間、MCASP[x]_ACLKR/X(4) から MCASP[x]_AFSR/X(4) 入力有効まで	ACLKR/X 内部	-1		ns
			ACLKR/X 外部入力 / 出力	1.6		
ASP7	$t_{su(AXR-ACLKRX)}$	セットアップ時間、MCASP[x]_AXR(4) 入力有効から MCASP[x]_ACLKR/X(4) まで	ACLKR/X 内部	9.29		ns
			ACLKR/X 外部入力 / 出力	4		
ASP8	$t_{h(ACLKRX-AXR)}$	ホールド時間、MCASP[x]_ACLKR/X(4) から MCASP[x]_AXR(4) 入力有効まで	ACLKR/X 内部	-1		ns
			ACLKR/X 外部入力 / 出力	1.6		

(1) ACLKR 内部:ACLKRCTL.CLKRM = 1、PDIR.ACLKR = 1
ACLKR 外部入力:ACLKRCTL.CLKRM = 0、PDIR.ACLKR = 0
ACLKR 外部出力:ACLKRCTL.CLKRM = 0、PDIR.ACLKR = 1
ACLKX 内部:ACLKXCTL.CLKXM = 1、PDIR.ACLKX = 1
ACLKX 外部入力:ACLKXCTL.CLKXM = 0、PDIR.ACLKX = 0
ACLKX 外部出力:ACLKXCTL.CLKXM = 0、PDIR.ACLKX = 1
(2) P = AHCLKR/X 周期 (ns 単位)。AHCLKR/X クロック ソース オプションの詳細については、テクニカル リファレンス マニュアルにある「モジュール統合」の章の「マルチチャネル オーディオ シリアル ポート (MCASP)」セクションの「McASP クロック」表を参照してください。
(3) R = ACLKR/X 周期 (ns 単位)。
(4) MCASP[x]_* の x は 0、1、または 2

Copyright © 2025 Texas Instruments Incorporated



A. CLKRP = CLKXP = 0 の場合、MCASP トランスミッタは立ち上がりエッジ (シフト データ アウト) に構成され、MCASP レシーバは立ち下がりエッジ (シフト データ イン) に構成されます。

B. CLKRP = CLKXP = 1 の場合、MCASP トランスミッタは立ち下がりエッジ (シフト データ アウト) に構成され、MCASP レシーバは立ち上がりエッジ (シフト データ イン) に構成されます。

図 6-57. MCASP のタイミング要件

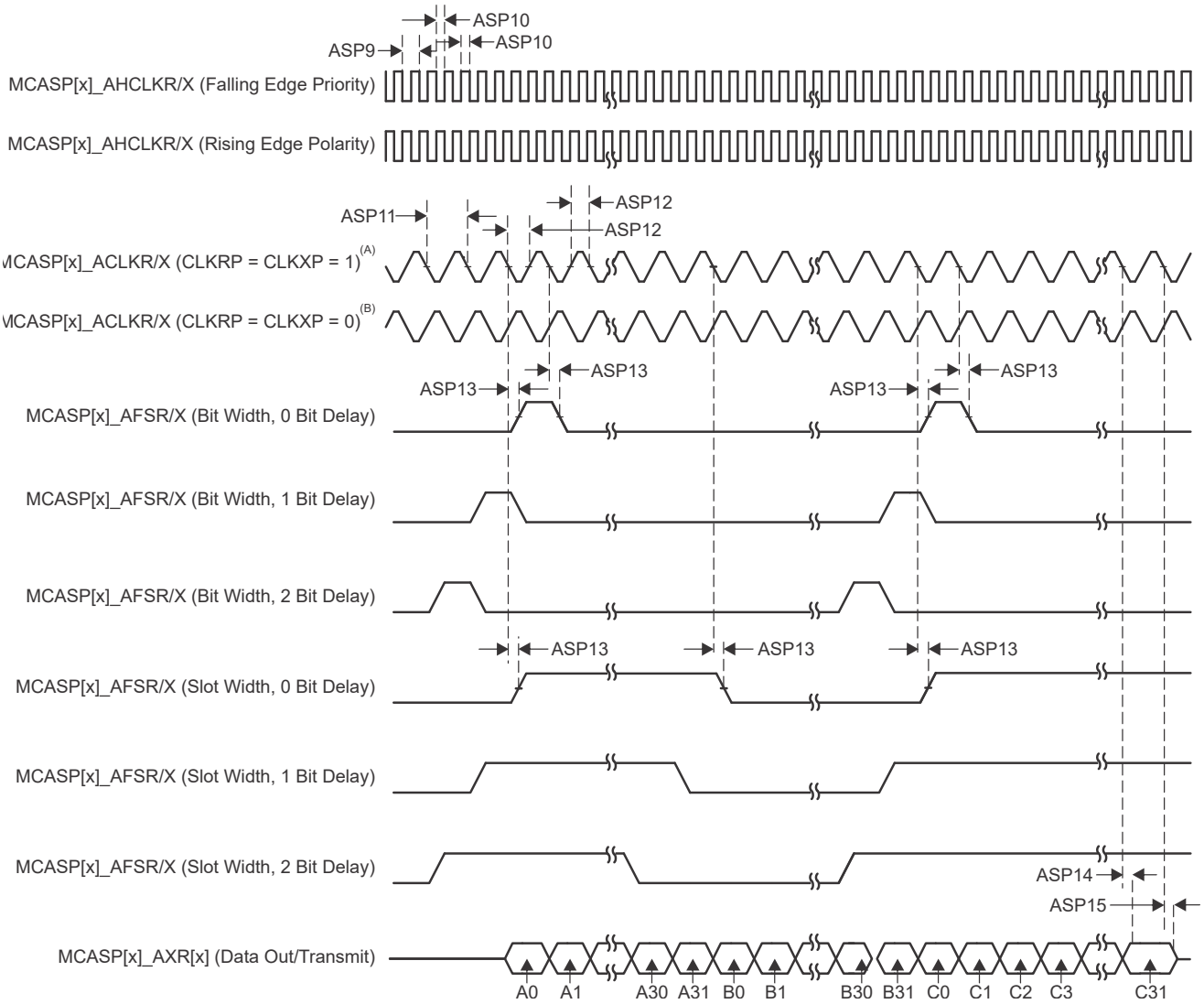
表 6-72. MCASP スイッチング特性

図 6-58 参照

番号	パラメータ	説明	モード[1]	最小値	最大値	単位
ASP9	$t_{c(AHCLKRX)}$	サイクル時間、MCASP[x]_AHCLKR/X[4]		20		ns
ASP10	$t_{w(AHCLKRX)}$	パルス幅、MCASP[x]_AHCLKR/X[4] high または low		0.5P[2] - 2		ns
ASP11	$t_{c(ACLKRX)}$	サイクル時間、MCASP[x]_ACLKR/X[4]		20		ns
ASP12	$t_{w(ACLKRX)}$	パルス幅、MCASP[x]_ACLKR/X[4] high または low		0.5R[3] - 2		ns
ASP13	$t_{d(ACLKRX-AFSRX)}$	遅延時間、MCASP[x]_ACLKR/X[4] 送信エッジから MCASP[x]_AFSR/X[4] 出力有効まで	ACLKR/X 内部	-1	7.25	ns
			ACLKR/X 外部入力 / 出力	-15.29	12.84	
ASP14	$t_{d(ACLKX-AXR)}$	遅延時間、MCASP[x]_ACLKX[4] 送信エッジから MCASP[x]_AXR[4] 出力有効まで	ACLKR/X 内部	-1	7.25	ns
			ACLKR/X 外部入力 / 出力	-15.29	12.84	
ASP15	$t_{dis(ACLKX-AXR)}$	ディスエーブル時間、MCASP[x]_ACLKX[4] 送信エッジから MCASP[x]_AXR[4] 出力ハイ インピーダンスまで	ACLKR/X 内部	-1	7.25	ns
			ACLKR/X 外部入力 / 出力	-14.9	14	

(1) ACLKR 内部:ACLKRCTL.CLKRM = 1、PDIR.ACLKR = 1
ACLKR 外部入力:ACLKRCTL.CLKRM = 0、PDIR.ACLKR = 0
ACLKR 外部出力:ACLKRCTL.CLKRM = 0、PDIR.ACLKR = 1
ACLKX 内部:ACLKXCTL.CLKXM = 1、PDIR.ACLKX = 1
ACLKX 外部入力:ACLKXCTL.CLKXM = 0、PDIR.ACLKX = 0
ACLKX 外部出力:ACLKXCTL.CLKXM = 0、PDIR.ACLKX = 1
(2) P = AHCLKR/X 周期 (ns 単位)。AHCLKR/X クロック ソース オプションの詳細については、テクニカル リファレンス マニュアルにある「モジュール統合」の章の「マルチチャネル オーディオ シリアル ポート (MCASP)」セクションの「McASP クロック」表を参照してください。
(3) R = ACLKR/X 周期 (ns 単位)。
(4) MCASP[x]_* の x は 0、1、または 2

Copyright © 2025 Texas Instruments Incorporated



A. CLKRP = CLKXP = 1 の場合、MCASP トランスミッタは立ち下がりエッジ (シフト データ アウト) に構成され、MCASP レシーバは立ち上がりエッジ (シフト データ イン) に構成されます。

B. CLKRP = CLKXP = 0 の場合、MCASP トランスミッタは立ち上がりエッジ (シフト データ アウト) に構成され、MCASP レシーバは立ち下がりエッジ (シフト データ イン) に構成されます。

図 6-58. MCASP スイッチング特性

詳細については、デバイスのテクニカル リファレンス マニュアルで「ペリフェラル」の章にある「マルチチャネル オーディオ シリアル ポート (MCASP)」セクションを参照してください。

6.12.5.14 MCSPI

注

McSPI には、複数のピンに多重化可能な信号が 1 つ以上あります。このセクションで定義されているタイミング要件とスイッチング特性は、IOSET と呼ばれる特定のピンの組み合わせにのみ有効です。このインターフェイスに有効なピンの組み合わせ (IOSET) は、**SysConfig-PinMux ツール**で定義されます。

本デバイスのシリアル ポート インターフェイスの機能の詳細と追加の説明情報については、「信号の説明」および「詳細説明」の対応するサブセクションを参照してください。

表 6-73 に、MCSPI のタイミング条件を示します。

表 6-73. MCSPI のタイミング条件

パラメータ		最小値	最大値	単位
入力条件				
SR_I	入力スルーレート	2	8.5	V/ns
出力条件				
C_L	出力負荷容量	6	12	pF

詳細については、デバイスのテクニカル リファレンス マニュアルで「ペリフェラル」の章にある「マルチチャネル シリアル ペリフェラル インターフェイス (MCSPI)」セクションを参照してください。

Copyright © 2025 Texas Instruments Incorporated

6.12.5.14.1 MCSPI — コントローラ モード

表 6-74、図 6-59、表 6-75、図 6-60 に、SPI –コントローラ モードのタイミング要件とスイッチング特性を示します。

表 6-74. MCSPI のタイミング要件 - コントローラ モード

図 6-59 参照

番号	パラメータ	説明	最小値	最大値	単位
SM4	$t_{su(POCI-SPICLK)}$	セットアップ時間、SPIn_D[x] 有効から SPIn_CLK アクティブ エッジまで	2.8		ns
SM5	$t_{h(SPICLK-POCI)}$	ホールド時間、SPIn_CLK のアクティブ エッジ後に SPIn_D[x] を有効に保持すべき時間	3		ns

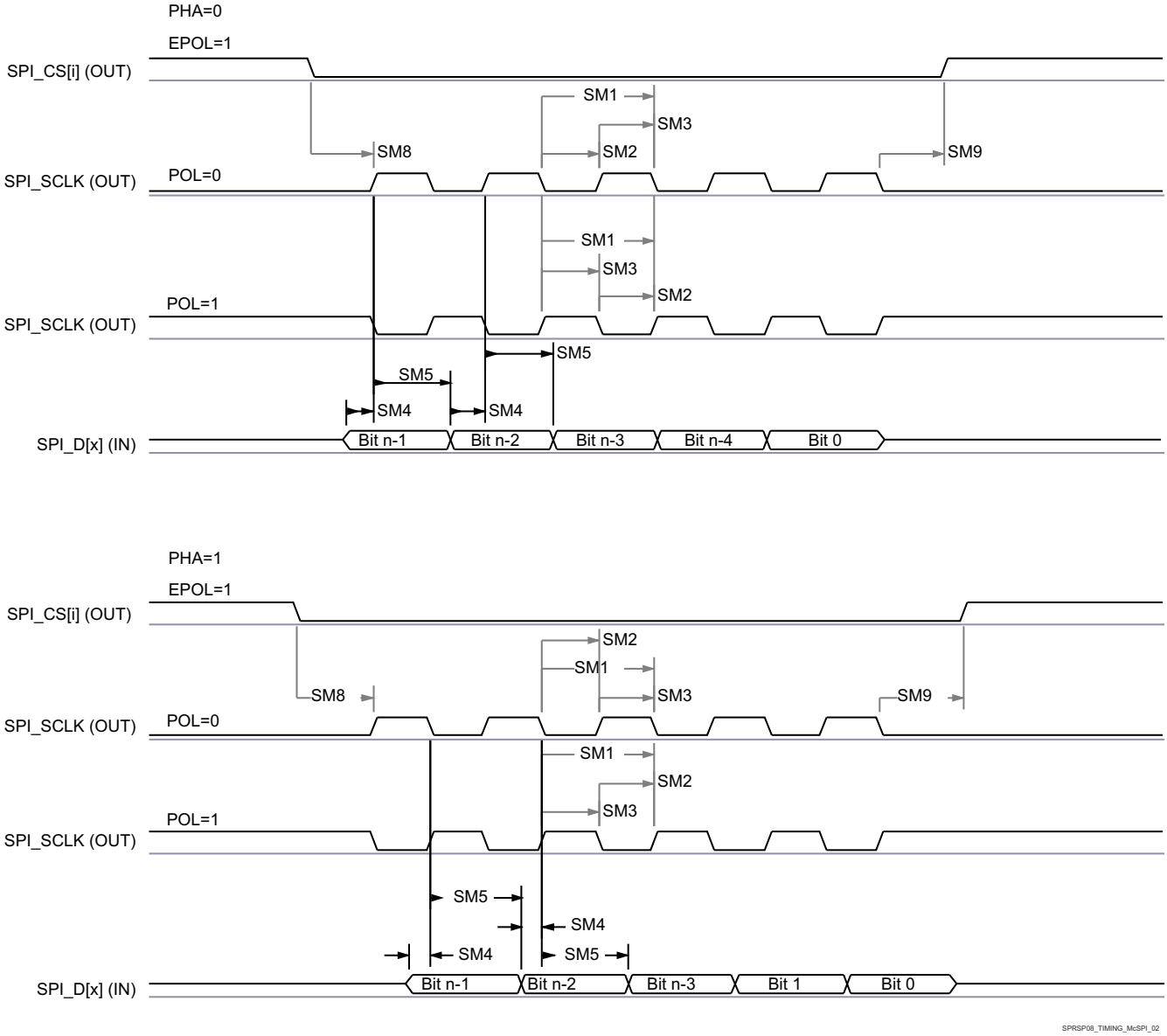


図 6-59. SPI コントローラ モードの受信タイミング

表 6-75. MCSPI のスイッチング特性 - コントローラ モード

図 6-60 参照

番号	パラメータ			最小値	最大値	単位
SM1	$t_{c(SPICLK)}$	サイクル時間、SPIn_CLK		20		ns
SM2	$t_{w(SPICLKL)}$	パルス幅、SPIn_CLK Low		0.5P - 1 (1)		ns
SM3	$t_{w(SPICLKH)}$	パルス幅、SPIn_CLK High		0.5P - 1 (1)		ns
SM6	$t_{d(SPICLK-PICO)}$	遅延時間、SPIn_CLK アクティブ エッジから SPIn_D[x] まで		-3	2.5	ns
SM7	$t_{d(CS-PICO)}$	遅延時間、SPIn_CSi アクティブ エッジから SPIn_D[x] まで		5		ns
SM8	$t_{d(CS-SPICLK)}$	遅延時間、SPIn_CSi アクティブから SPIn_CLK の最初のエッジまで	PHA = 0	B - 4 (2)		ns
			PHA = 1	A - 4 (3)		ns
SM9	$t_{d(SPICLK-CS)}$	遅延時間、SPIn_CLK の最後のエッジから SPIn_CSi 非アクティブまで	PHA = 0	A - 4 (4)		ns
			PHA = 1	B - 4 (5)		ns

(1) P = SPIn_CLK 周期 (ns 単位)。

(2) T_ref は、McSPI 機能クロックの周期です (ns 単位)。Fratio は、McSPI 機能クロックの周波数と SPIn_CLK クロックの周波数との分周比で、MCSPI_CH(i)CONF レジスタの CLKD および CLKG ビット フィールド、および MCSPI_CH(i)CTRL レジスタの EXTCLK ビット フィールドによって制御されます。TCS(i) は、MCSPI_CH(i)CONF レジスタのチップ セレクト時間制御ビット フィールドにプログラムされる値です。

- Fratio = 1 のとき、B = (TCS(i) + 0.5) * T_ref。
- Fratio ≧ 2 かつ偶数のとき、B = (TCS(i) + 0.5) * Fratio * T_ref。
- Fratio ≧ 3 かつ奇数のとき、B = ((TCS(i) * Fratio) + ((Fratio + 1) / 2)) * T_ref。

(3) T_ref は、McSPI 機能クロックの周期です。Fratio は、McSPI 機能クロックの周波数と SPIn_CLK クロックの周波数との分周比で、MCSPI_CH(i)CONF レジスタの CLKD および CLKG ビット フィールド、および MCSPI_CH(i)CTRL レジスタの EXTCLK ビット フィールドによって制御されます。TCS(i) は、MCSPI_CH(i)CONF レジスタのチップ セレクト時間制御ビット フィールドにプログラムされる値です。

- Fratio = 1 のとき、A = (TCS(i) + 1) * T_ref。
- Fratio ≧ 2 かつ偶数のとき、A = (TCS(i) + 0.5) * Fratio * T_ref。
- Fratio ≧ 3 かつ奇数のとき、A = ((TCS(i) * Fratio) + ((Fratio - 1) / 2)) * T_ref。

(4) T_ref は、McSPI 機能クロックの周期です。Fratio は、McSPI 機能クロックの周波数と SPIn_CLK クロックの周波数との分周比で、MCSPI_CH(i)CONF レジスタの CLKD および CLKG ビット フィールド、および MCSPI_CH(i)CTRL レジスタの EXTCLK ビット フィールドによって制御されます。TCS(i) は、MCSPI_CH(i)CONF レジスタのチップ セレクト時間制御ビット フィールドにプログラムされる値です。

- Fratio = 1 のとき、A = (TCS(i) + 1) * T_ref。
- Fratio ≧ 2 かつ偶数のとき、A = (TCS(i) + 0.5) * Fratio * T_ref。
- Fratio ≧ 3 かつ奇数のとき、A = ((TCS(i) * Fratio) + ((Fratio + 1) / 2)) * T_ref。

(5) T_ref は、McSPI 機能クロックの周期です。Fratio は、McSPI 機能クロックの周波数と SPIn_CLK クロックの周波数との分周比で、MCSPI_CH(i)CONF レジスタの CLKD および CLKG ビット フィールド、および MCSPI_CH(i)CTRL レジスタの EXTCLK ビット フィールドによって制御されます。TCS(i) は、MCSPI_CH(i)CONF レジスタのチップ セレクト時間制御ビット フィールドにプログラムされる値です。

- Fratio = 1 のとき、B = (TCS(i) + 0.5) * T_ref。
- Fratio ≧ 2 かつ偶数のとき、B = (TCS(i) + 0.5) * Fratio * T_ref。
- Fratio ≧ 3 かつ奇数のとき、B = ((TCS(i) * Fratio) + ((Fratio - 1) / 2)) * T_ref。

Copyright © 2025 Texas Instruments Incorporated

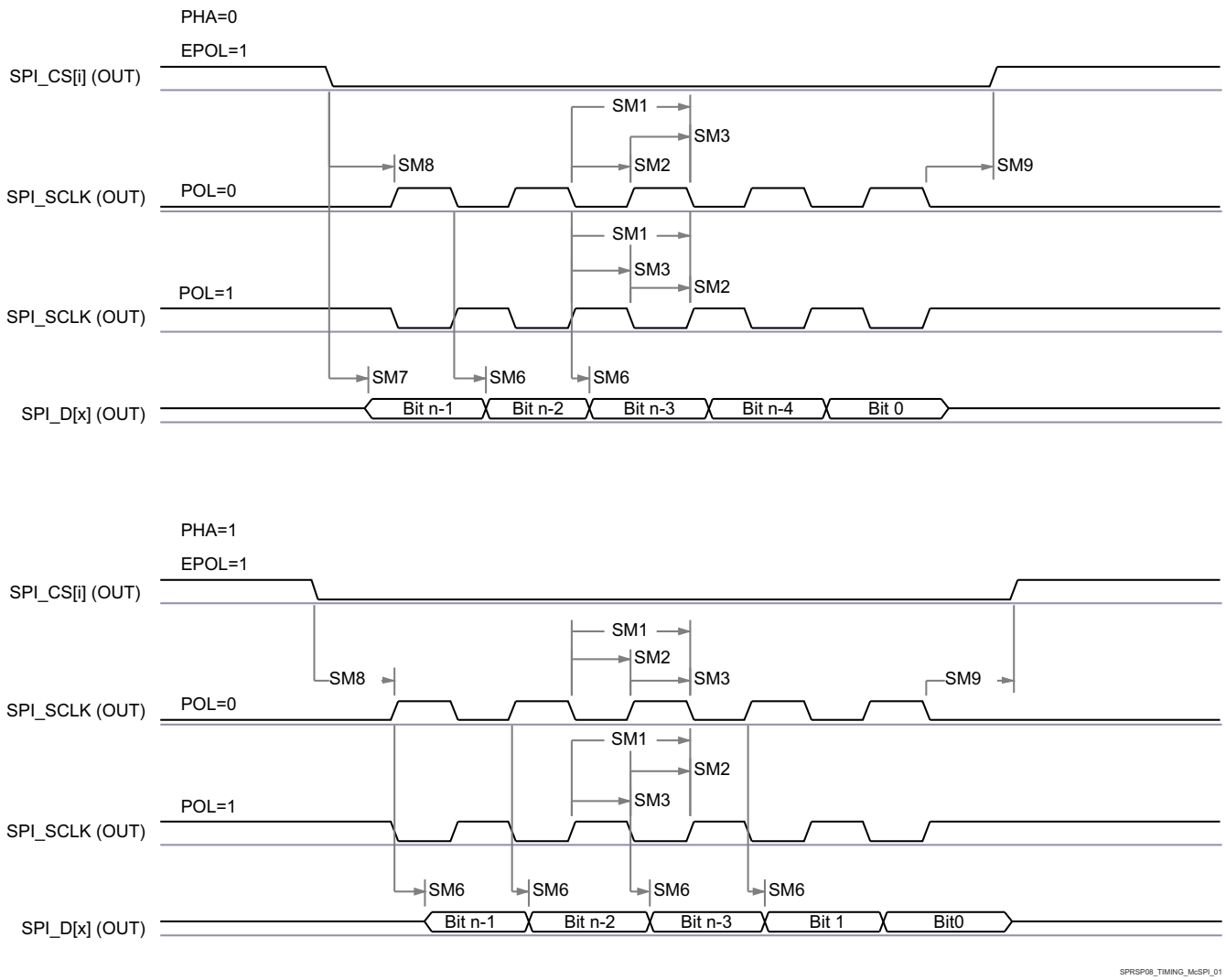


図 6-60. SPI コントローラ モードの送信タイミング

6.12.5.14.2 MCSPI — ペリフェラル モード

表 6-76、図 6-61、表 6-77、図 6-62 に、SPI –ペリフェラル モードのタイミング要件とスイッチング特性を示します。

表 6-76. MCSPI のタイミング要件 - ペリフェラル モード

図 6-61 参照

番号	パラメータ	説明	最小値	最大値	単位
SS1	$t_{c(SPICLK)}$	サイクル時間、SPIn_CLK	20		ns
SS2	$t_{w(SPICLKL)}$	パルス幅、SPIn_CLK Low	0.45P (1)		ns
SS3	$t_{w(SPICLKH)}$	パルス幅、SPIn_CLK High	0.45P (1)		ns
SS4	$t_{su(PICO-SPICLK)}$	セットアップ時間、SPIn_D[x] 有効から SPIn_CLK アクティブ エッジまで	5		ns
SS5	$t_{h(SPICLK-PICO)}$	ホールド時間、SPIn_CLK のアクティブ エッジ後に SPIn_D[x] を有効に保持すべき時間	5		ns
SS8	$t_{su(CS-SPICLK)}$	セットアップ時間、SPIn_CSi 有効から SPIn_CLK の最初のエッジまで	5		ns
SS9	$t_{h(SPICLK-CS)}$	ホールド時間、SPIn_CLK の最後のエッジ後に SPIn_CSi 有効の時間	5		ns

(1) P = SPIn_CLK 周期 (ns 単位)。

Copyright © 2025 Texas Instruments Incorporated

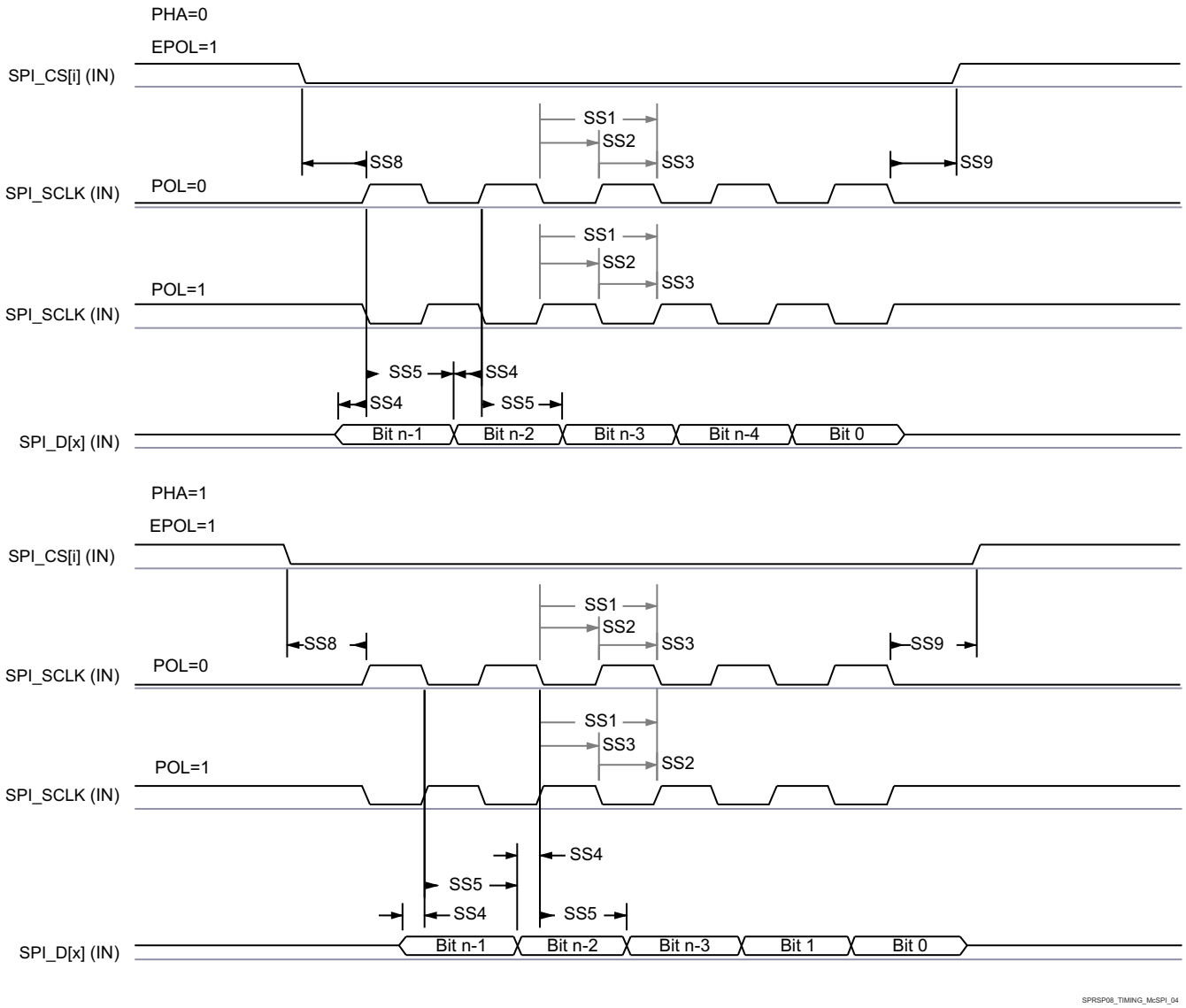


図 6-61. SPI ペリフェラル モードの受信タイミング

表 6-77. MCSPI のスイッチング特性 - ペリフェラル モード

図 6-62 参照

番号	パラメータ	説明	最小値	最大値	単位
SS6	$t_{d(SPICLK-POCI)}$	遅延時間、SPIn_CLK アクティブ エッジから SPIn_D[x] まで	2	17.12	ns
SS7	$t_{sk(CS-POCI)}$	遅延時間、SPIn_CSi アクティブ エッジから SPIn_D[x] まで	20.95		ns

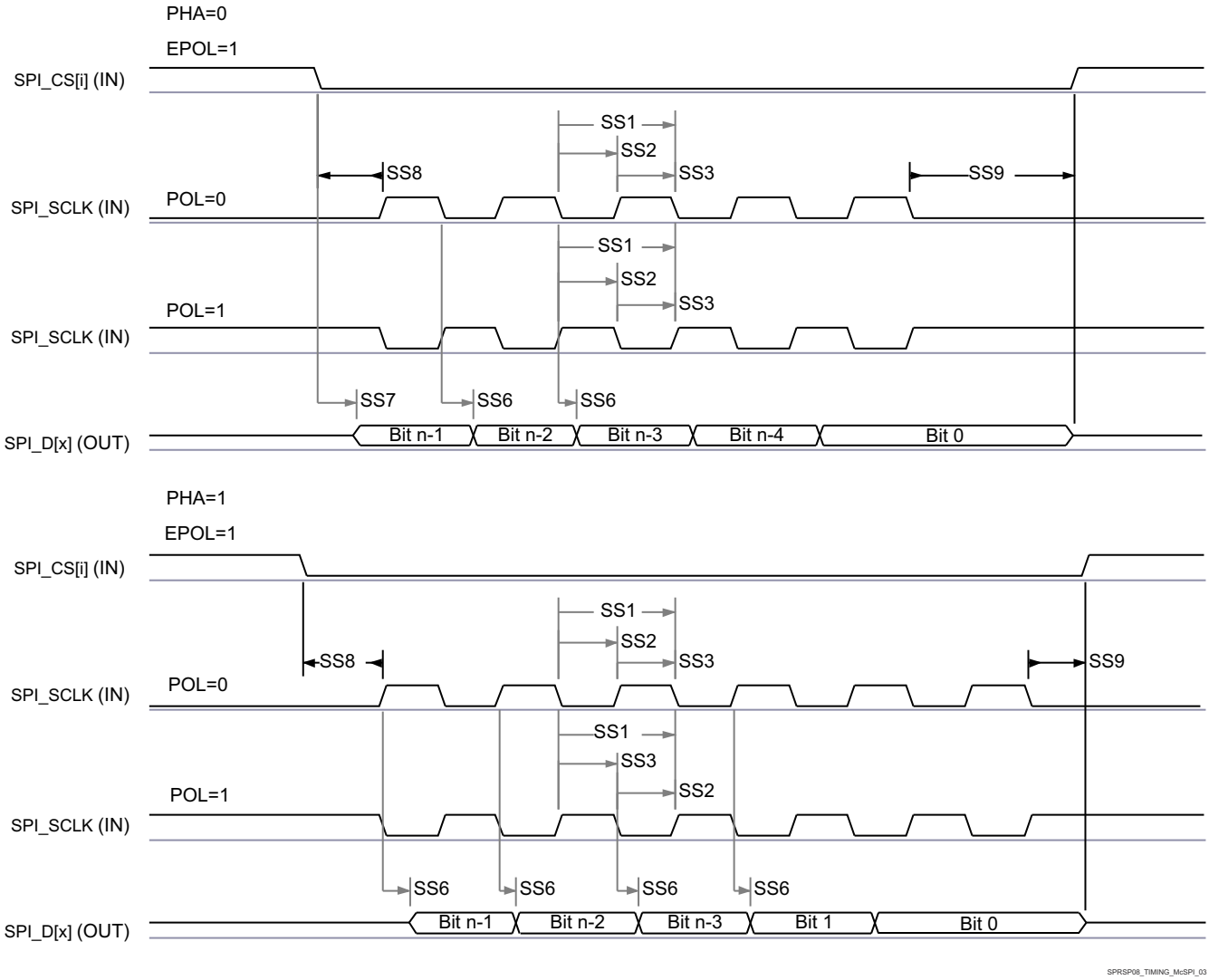


図 6-62. SPI ペリフェラル モードの送信タイミング

Copyright © 2025 Texas Instruments Incorporated

6.12.5.15 MMCSD

MMCSD ホスト コントローラは、組込みマルチメディア カード (MMC)、セキュア デジタル (SD)、セキュア デジタル IO (SDIO) デバイスへのインターフェイスとして機能します。MMCSD ホスト コントローラは、送信レベルでの MMC/SD/SDIO プロトコル、データ パッキング、巡回冗長検査 (CRC) の追加、開始 / 終了ビットの挿入、構文の正確性チェックを処理します。

MMCSD インターフェイスの詳細については、「信号説明」および「詳細説明」セクションの対応する MMC0、MMC1、MMC2 サブセクションを参照してください。

注

一部の動作モードでは、表 6-78 および 表 6-98 に示すように、MMC DLL 遅延設定のソフトウェア設定が必要です 。

表 6-78 と表 6-98 で、ITAPDLYSEL 列に「チューニング」の値が表示されているモードでは、入力タイミングを最適化するためにチューニング アルゴリズムを使用する必要があります。入力タイミングを最適化するために必要なチューニング アルゴリズムと入力遅延の構成の詳細については、デバイス TRM の「MMCSD プログラミング ガイド」を参照してください。

詳細については、デバイスのテクニカル リファレンス マニュアルで「ペリフェラル」の章にある「マルチメディアカード / セキュア デジタル (MMCSD) インターフェイス」セクションを参照してください。

6.12.5.15.1 MMC0 - eMMC/SD/ SDIO インターフェイス

MMC0 インターフェイスは、JEDEC eMMC 電気規格 v5.1 (JESD84-B51) に準拠しており、以下に示す eMMC アプリケーションをサポートしています。

- レガシー SDR
- ハイスピード SDR
- ハイスピード DDR
- HS200

MMC0 インターフェイスは、SD ホスト コントローラ標準仕様 4.10、SD 物理層仕様 v3.01、SDIO 仕様 v3.00 にも準拠しています。次のデータ転送モードは、組み込み SDIO デバイスへの接続にのみ使用できます。

- デフォルト速度
- 高速
- UHS–I SDR12
- UHS–I SDR25

表 6-78 に、MMC0 タイミング モードに必要な DLL ソフトウェア構成設定を示します。

表 6-78. すべてのタイミング モードに対する MMC0 DLL 遅延マッピング

レジスタ名		MMCSD0_MMC_SSCFG_PHY_CTRL_x_REG				
		x = 4				x = 5
ビット フィールド		[20]	[16:12]	[8]	[4:0]	[2:0]
ビット フィールド名		OTAPDLYENA	OTAPDLYSEL	ITAPDLYENA	ITAPDLYSEL	CLKBUFSEL
モード	説明	出力 遅延 イネーブル	出力 遅延 値	入力 遅延 イネーブル	入力 遅延 値	遅延 バッファ 時間
レガシー SDR	8 ビット PHY 動作 1.8V、25MHz	NA(1)	NA(1)	0x0	NA(2)	0x7
	8 ビット PHY 動作 3.3V、25MHz	NA(1)	NA(1)	0x0	NA(2)	0x7
高速 SDR	8 ビット PHY 動作 1.8V、50MHz	NA(1)	NA(1)	0x0	NA(2)	0x7
	8 ビット PHY 動作 3.3V、50MHz	NA(1)	NA(1)	0x0	NA(2)	0x7
高速 DDR	8 ビット PHY 動作 1.8V、40MHz	0x1	0x15	0x1	0x2	0x7
	8 ビット PHY 動作 3.3V、40MHz	0x1	0x15	0x1	0x2	0x7
HS200	8 ビット PHY 動作 1.8V、200MHz	0x1	0x6	0x1	チューニング(3)	0x7
デフォルト速度	4 ビット PHY 動作 3.3V、25MHz	NA(1)	NA(1)	0x1	0x0	0x7
高速	4 ビット PHY 動作 3.3V、50MHz	NA(1)	NA(1)	0x1	0x0	0x7
UHS-I SDR12	4 ビット PHY 動作 1.8V、25MHz	0x1	0xF	0x1	0x0	0x7
UHS-I SDR25	4 ビット PHY 動作 1.8V、50MHz	0x1	0xF	0x1	0x0	0x7

(1) NA は、このモードに必要なハーフサイクル タイミングで動作する場合、このレジスタ フィールドが機能しないことを意味します。
(2) NA は、ITAPDLYENA が 0x0 に設定されている場合、このレジスタフィールドが機能しないことを意味します。
(3) チューニングとは、このモードで最適な入力タイミングを決定するためにチューニング アルゴリズムを使用する必要があることを意味します。

Copyright © 2025 Texas Instruments Incorporated

表 6-79 に、MMC0 のタイミング条件を示します。

表 6-79. MMC0 のタイミング条件

パラメータ			最小値	最大値	単位
入力条件					
SR_I	入力スルーレート	レガシー SDR 3.3V 時 高速 SDR 3.3V 時 デフォルト速度 高速	0.69	2.06	V/ns
		レガシー SDR 1.8 V 時 UHS-I SDR12	0.14	1.44	V/ns
		高速 SDR 1.8V 時 UHS-I SDR25	0.3	1.34	V/ns
		高速 DDR UHS-I DDR50	1	2	V/ns
出力条件					
C_L	出力負荷容量	HS200 UHS-I SDR104	1	10	pF
		その他のすべてのモード	1	12	pF
PCB 接続要件					
$t_{d(Trace\ Delay)}$	各パターンの伝搬遅延	レガシー SDR 高速 SDR 高速 DDR HS200	126	756	ps
		デフォルト速度 高速 UHS-I SDR12 UHS-I SDR25 UHS-I SDR50 UHS-I SDR104	126	1386	ps
		UHS-I DDR50	239	1134	ps
$t_{d(Trace\ Mismatch\ Delay)}$	すべてのパターンにわたる伝搬遅延の不整合	高速 SDR HS200 高速 UHS-I SDR104		8	ps
		高速 DDR UHS-I DDR50		20	ps
		その他のすべてのモード		100	ps

6.12.5.15.1.1 レガシー SDR モード

表 6-80、図 6-63、表 6-81、図 6-64 に、レガシー SDR モードでの MMC0 のタイミング要件とスイッチング特性を示します。

表 6-80. MMC0 のタイミング要件 – レガシー SDR モード

図 6-63 参照

番号			IO 動作電圧	最小値	最大値	単位
LSDR1	$t_{su(cmdV-clkH)}$	セットアップ時間、MC0_CMD 有効から MMC0_CLK 立ち上がりエッジまで	1.8 V	4.2		ns
			3.3 V	2.15		ns
LSDR2	$t_{h(clkH-cmdV)}$	ホールド時間、MMC0_CLK 立ち上がりエッジから MMC0_CMD 有効の間	1.8 V	0.87		ns
			3.3 V	1.67		ns
LSDR3	$t_{su(dV-clkH)}$	セットアップ時間、MMC0_DAT[7:0] 有効から MMC0_CLK 立ち上がりエッジまで	1.8 V	4.2		ns
			3.3 V	2.15		ns
LSDR4	$t_{h(clkH-dV)}$	ホールド時間、MMC0_CLK 立ち上がりエッジから MMC0_DAT[7:0] 有効の間	1.8 V	0.87		ns
			3.3 V	1.67		ns

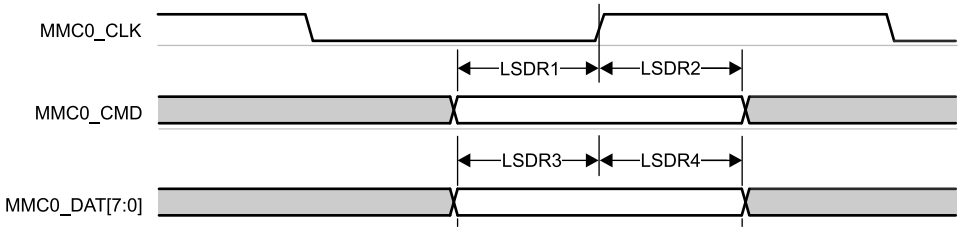


図 6-63. MMC0 – レガシー SDR – 受信モード

表 6-81. MMC0 のスイッチング特性 – レガシー SDR モード

図 6-64 参照

番号	パラメータ		IO 動作電圧	最小値	最大値	単位
	$f_{op(clk)}$	動作周波数、MMC0_CLK			25	MHz
LSDR5	$t_{c(clk)}$	サイクル時間、MMC0_CLK		40		ns
LSDR6	$t_{w(clkH)}$	パルス幅、MMC0_CLK high		18.7		ns
LSDR7	$t_{w(clkL)}$	パルス幅、MMC0_CLK low		18.7		ns
LSDR8	$t_{d(clkL-cmdV)}$	遅延時間、MMC0_CLK 立ち下がりエッジから MMC0_CMD 遷移まで	1.8 V	-2.1	2.1	ns
			3.3 V	-1.8	2.2	ns
LSDR9	$t_{d(clkL-dV)}$	遅延時間、MMC0_CLK 立ち下がりエッジから MMC0_DAT[7:0] 遷移まで	1.8 V	-2.1	2.1	ns
			3.3 V	-1.8	2.2	ns

Copyright © 2025 Texas Instruments Incorporated

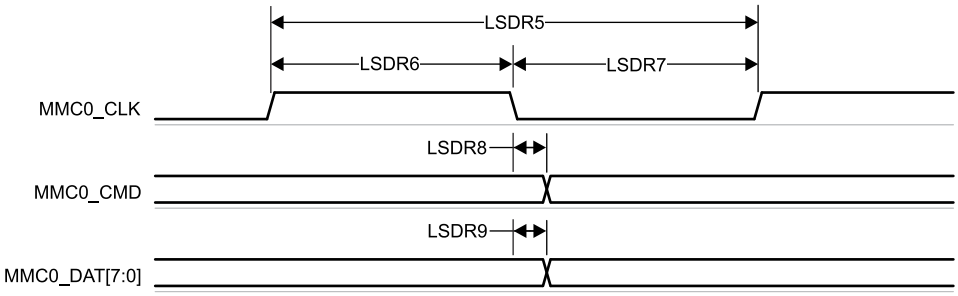


図 6-64. MMC0 – レガシー SDR – 送信モード

6.12.5.15.1.2 高速 SDR モード

表 6-82、図 6-65、表 6-83、および 図 6-66 に、高速 SDR モードでの MMC0 のタイミング要件とスイッチング特性を示します。

表 6-82. MMC0 のタイミング要件 – 高速 SDR モード

図 6-65 参照

番号			IO 動作電圧	最小値	最大値	単位
HSSDR1	$t_{su(cmdV-clkH)}$	セットアップ時間、MC0_CMD 有効から MMC0_CLK 立ち上がりエッジまで	1.8 V	2.15		ns
			3.3 V	2.24		ns
HSSDR2	$t_{h(clkH-cmdV)}$	ホールド時間、MMC0_CLK 立ち上がりエッジから MMC0_CMD 有効の間	1.8 V	1.27		ns
			3.3 V	1.66		ns
HSSDR3	$t_{su(dV-clkH)}$	セットアップ時間、MMC0_DAT[7:0] 有効から MMC0_CLK 立ち上がりエッジまで	1.8 V	2.15		ns
			3.3 V	2.24		ns
HSSDR4	$t_{h(clkH-dV)}$	ホールド時間、MMC0_CLK 立ち上がりエッジから MMC0_DAT[7:0] 有効の間	1.8 V	1.27		ns
			3.3 V	1.66		ns

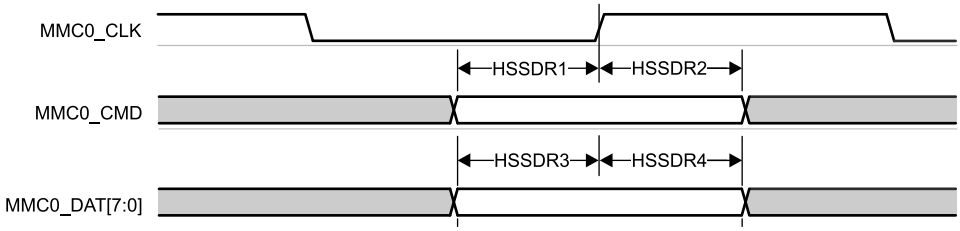


図 6-65. MMC0 – 高速 SDR モード – 受信モード

表 6-83. MMC0 のスイッチング特性 – 高速 SDR モード

図 6-66 参照

番号	パラメータ		IO 動作電圧	最小値	最大値	単位
	$f_{op(clk)}$	動作周波数、MMC0_CLK			50	MHz
HSSDR5	$t_{c(clk)}$	サイクル時間、MMC0_CLK		20		ns
HSSDR6	$t_{w(clkH)}$	パルス幅、MMC0_CLK high		9.2		ns
HSSDR7	$t_{w(clkL)}$	パルス幅、MMC0_CLK low		9.2		ns
HSSDR8	$t_{d(clkL-cmdV)}$	遅延時間、MMC0_CLK 立ち下がりエッジから MMC0_CMD 遷移まで	1.8 V	-1.55	3.05	ns
			3.3 V	-1.8	2.2	ns
HSSDR9	$t_{d(clkL-dV)}$	遅延時間、MMC0_CLK 立ち下がりエッジから MMC0_DAT[7:0] 遷移まで	1.8 V	-1.55	3.05	ns
			3.3 V	-1.8	2.2	ns

Copyright © 2025 Texas Instruments Incorporated

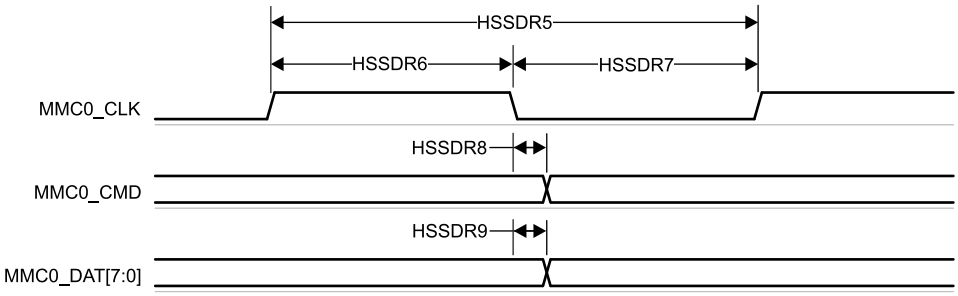


図 6-66. MMC0 – 高速 SDR モード – 送信モード

6.12.5.15.1.3 高速 DDR モード

表 6-84、図 6-67、表 6-85、および 図 6-68 に、高速 DDR モードでの MMC0 のタイミング要件とスイッチング特性を示します。

表 6-84. MMC0 のタイミング要件 – 高速 DDR モード

図 6-67 参照

番号			IO 動作電圧	最小値	最大値	単位
HSDDR1	$t_{su(cmdV-clk)}$	セットアップ時間、MC0_CMD 有効から MMC0_CLK 立ち上がりエッジまで	1.8 V	0.02		ns
			3.3 V	1.5		ns
HSDDR2	$t_{h(clk-cmdV)}$	ホールド時間、MMC0_CLK 立ち上がりエッジから MMC0_CMD 有効の間	1.8 V	1.99		ns
			3.3 V	1.75		ns
HSDDR3	$t_{su(dV-clk)}$	セットアップ時間、MMC0_DAT[7:0] 有効から MMC0_CLK 遷移まで	1.8 V	0.02		ns
			3.3 V	1.5		ns
HSDDR4	$t_{h(clk-dV)}$	ホールド時間、MMC0_CLK 遷移から MMC0_DAT[7:0] 有効の間	1.8 V	1.99		ns
			3.3 V	1.75		ns

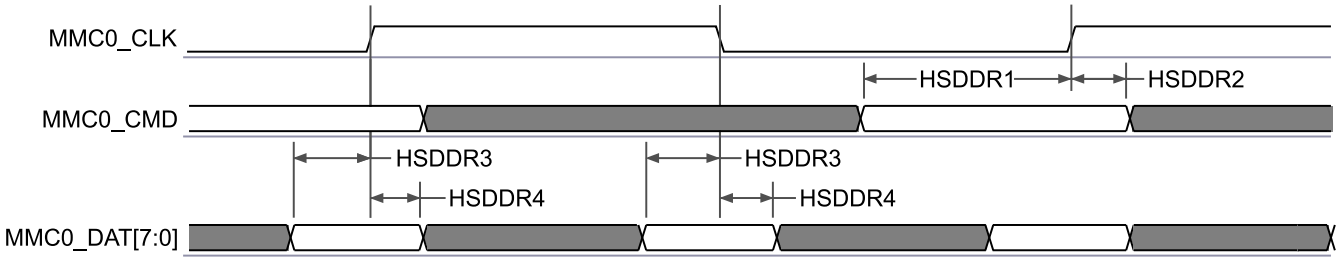


図 6-67. MMC0 – 高速 DDR モード – 受信モード

表 6-85. MMC0 のスイッチング特性 – 高速 DDR モード

図 6-68 参照

番号	パラメータ		IO 動作電圧	最小値	最大値	単位
	$f_{op(clk)}$	動作周波数、MMC0_CLK			40	MHz
HSDDR5	$t_{c(clk)}$	サイクル時間、MMC0_CLK		25		ns
HSDDR6	$t_{w(clkH)}$	パルス幅、MMC0_CLK high		11.58		ns
HSDDR7	$t_{w(clkL)}$	パルス幅、MMC0_CLK low		11.58		ns
HSDDR8	$t_{d(clk-cmdV)}$	遅延時間、MMC0_CLK 立ち上がりエッジから MMC0_CMD 遷移まで	1.8 V	1.2	5.6	ns
			3.3 V	3.32	9.3	ns
HSDDR9	$t_{d(clk-dV)}$	遅延時間、MMC0_CLK 遷移から MMC0_DAT[7:0] 遷移まで	1.8 V	1.2	4.8	ns
			3.3 V	3.2	8.9	ns

Copyright © 2025 Texas Instruments Incorporated

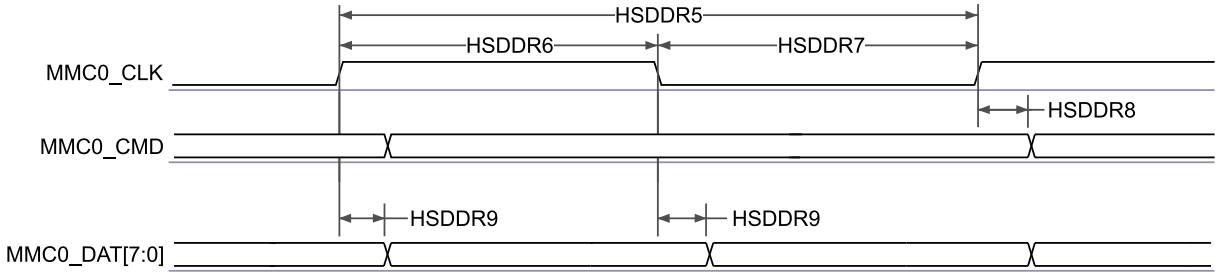


図 6-68. MMC0 – 高速 DDR モード – 送信モード

6.12.5.15.1.4 HS200 モード

表 6-86 および図 6-69 に、HS200 モードでの MMC0 のスイッチング特性を示します。

表 6-86. MMC0 のスイッチング特性 – HS200 モード

図 6-69 参照

番号	パラメータ		最小値	最大値	単位
	$f_{op(clk)}$	動作周波数、MMC0_CLK		200	MHz
HS2005	$t_{c(clk)}$	サイクル時間、MMC0_CLK	5		ns
HS2006	$t_{w(clkH)}$	パルス幅、MMC0_CLK high	2.12		ns
HS2007	$t_{w(clkL)}$	パルス幅、MMC0_CLK low	2.12		ns
HS2008	$t_{d(clkL-cmdV)}$	遅延時間、MMC0_CLK 立ち上がりエッジから MMC0_CMD 遷移まで	1.07	3.21	ns
HS2009	$t_{d(clkL-dV)}$	遅延時間、MMC0_CLK 立ち上がりエッジから MMC0_DAT[7:0] 遷移まで	1.07	3.21	ns

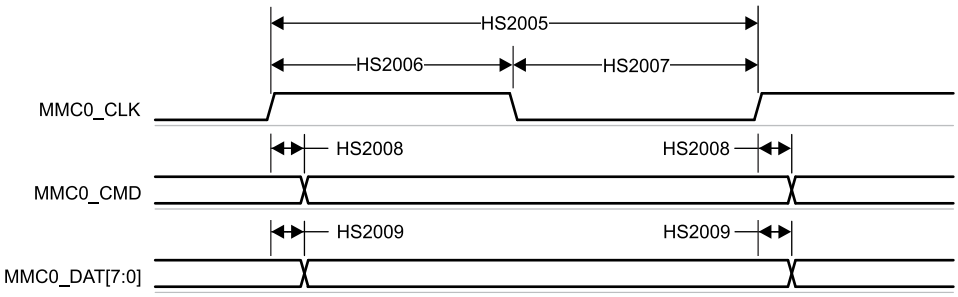


図 6-69. MMC0 – HS200 モード – 送信モード

Copyright © 2025 Texas Instruments Incorporated

6.12.5.15.1.5 デフォルト速度モード

表 6-87、図 6-70、表 6-88、図 6-71 に、デフォルト速度モードでの MMC0 のタイミング要件とスイッチング特性を示します。

表 6-87. MMC0 のタイミング要件 – デフォルト速度モード

図 6-70 参照

番号			最小値	最大値	単位
DS1	$t_{su(cmdV-clkH)}$	セットアップ時間、MC0_CMD 有効から MMC0_CLK 立ち上がりエッジまで	2.15		ns
DS2	$t_{h(clkH-cmdV)}$	ホールド時間、MMC0_CLK 立ち上がりエッジから MMC0_CMD 有効の間	1.67		ns
DS3	$t_{su(dV-clkH)}$	セットアップ時間、MMC0_DAT[3:0] 有効から MMC0_CLK 立ち上がりエッジまで	2.15		ns
DS4	$t_{h(clkH-dV)}$	ホールド時間、MMC0_CLK 立ち上がりエッジから MMC0_DAT[3:0] 有効の間	1.67		ns

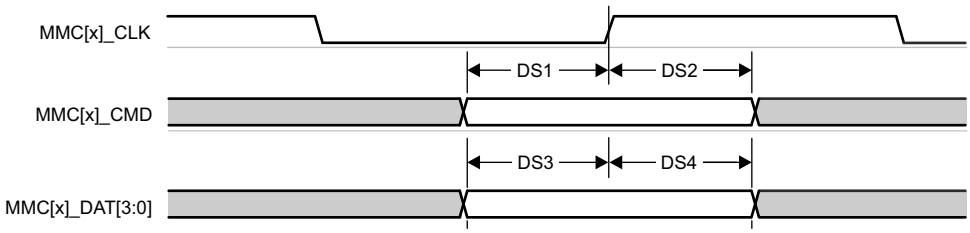


図 6-70. MMC0 – デフォルト速度 – 受信モード

表 6-88. MMC0 のスイッチング特性 – デフォルト速度モード

図 6-71 参照

番号	パラメータ		最小値	最大値	単位
	$f_{op(clk)}$	動作周波数、MMC0_CLK		25	MHz
DS5	$t_{c(clk)}$	サイクル時間、MMC0_CLK	40		ns
DS6	$t_{w(clkH)}$	パルス幅、MMC0_CLK high	18.7		ns
DS7	$t_{w(clkL)}$	パルス幅、MMC0_CLK low	18.7		ns
DS8	$t_{d(clkL-cmdV)}$	遅延時間、MMC0_CLK 立ち下がりエッジから MMC0_CMD 遷移まで	- 1.8	2.2	ns
DS9	$t_{d(clkL-dV)}$	遅延時間、MMC0_CLK 立ち下がりエッジから MMC0_DAT[3:0] 遷移まで	- 1.8	2.2	ns

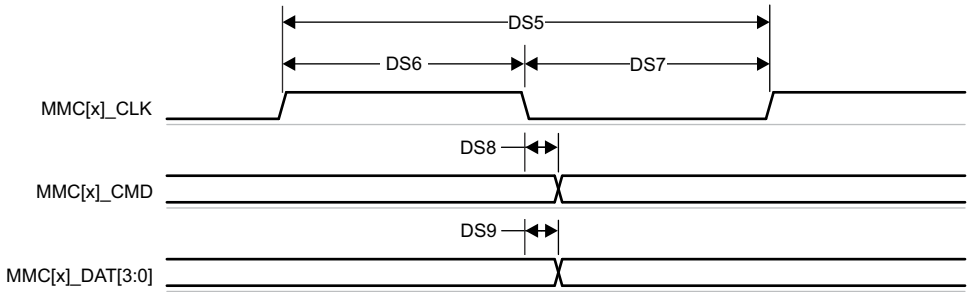


図 6-71. MMC0 – デフォルト速度 – 送信モード

6.12.5.15.1.6 高速モード

表 6-89、図 6-72、表 6-90、図 6-73 に、高速モードでの MMC0 のタイミング要件とスイッチング特性を示します。

表 6-89. MMC0 のタイミング要件 – 高速モード

図 6-72 参照

番号			最小値	最大値	単位
HS1	$t_{su(cmdV-clkH)}$	セットアップ時間、MC0_CMD 有効から MMC0_CLK 立ち上がりエッジまで	2.24		ns
HS2	$t_{h(clkH-cmdV)}$	ホールド時間、MMC0_CLK 立ち上がりエッジから MMC0_CMD 有効の間	1.66		ns
HS3	$t_{su(dV-clkH)}$	セットアップ時間、MMC0_DAT[3:0] 有効から MMC0_CLK 立ち上がりエッジまで	2.24		ns
HS4	$t_{h(clkH-dV)}$	ホールド時間、MMC0_CLK 立ち上がりエッジから MMC0_DAT[3:0] 有効の間	1.66		ns

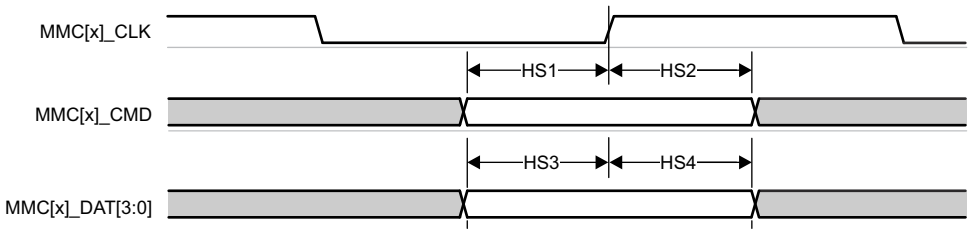


図 6-72. MMC0 – 高速 – 受信モード

表 6-90. MMC0 のスイッチング特性 – 高速モード

図 6-73 参照

番号	パラメータ		最小値	最大値	単位
	$f_{op(clk)}$	動作周波数、MMC0_CLK		50	MHz
HS5	$t_{c(clk)}$	サイクル時間、MMC0_CLK	20		ns
HS6	$t_{w(clkH)}$	パルス幅、MMC0_CLK high	9.2		ns
HS7	$t_{w(clkL)}$	パルス幅、MMC0_CLK low	9.2		ns
HS8	$t_{d(clkL-cmdV)}$	遅延時間、MMC0_CLK 立ち下がりエッジから MMC0_CMD 遷移まで	-1.8	2.2	ns
HS9	$t_{d(clkL-dV)}$	遅延時間、MMC0_CLK 立ち下がりエッジから MMC0_DAT[3:0] 遷移まで	-1.8	2.2	ns

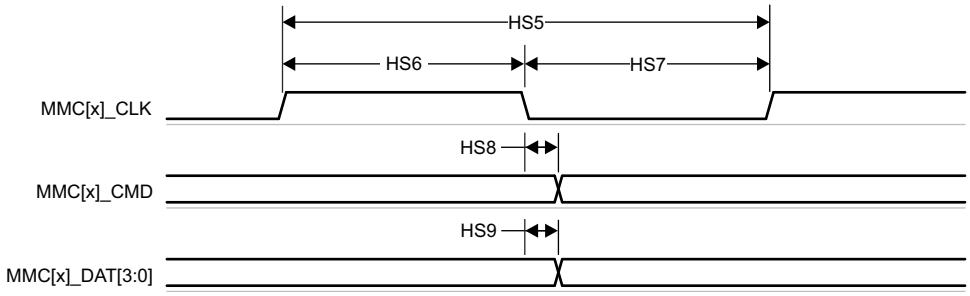


図 6-73. MMC0 – 高速 – 送信モード

Copyright © 2025 Texas Instruments Incorporated

6.12.5.15.1.7 UHS–I SDR12 モード

表 6-91、図 6-74、表 6-92、図 6-75 に、「MMC0 のタイミング要件とスイッチング特性 – UHS-I SDR12 モード」を示します。

表 6-91. MMC0 – UHS-I SDR12 モードのタイミング要件

図 6-74 参照

番号			最小値	最大値	単位
SDR121	$t_{su(cmdV-clkH)}$	セットアップ時間、MC0_CMD 有効から MMC0_CLK 立ち上がりエッジまで	4.2		ns
SDR122	$t_{h(clkH-cmdV)}$	ホールド時間、MMC0_CLK 立ち上がりエッジから MMC0_CMD 有効の間	0.87		ns
SDR123	$t_{su(dV-clkH)}$	セットアップ時間、MMC0_DAT[3:0] 有効から MMC0_CLK 立ち上がりエッジまで	4.2		ns
SDR124	$t_{h(clkH-dV)}$	ホールド時間、MMC0_CLK 立ち上がりエッジから MMC0_DAT[3:0] 有効の間	0.87		ns

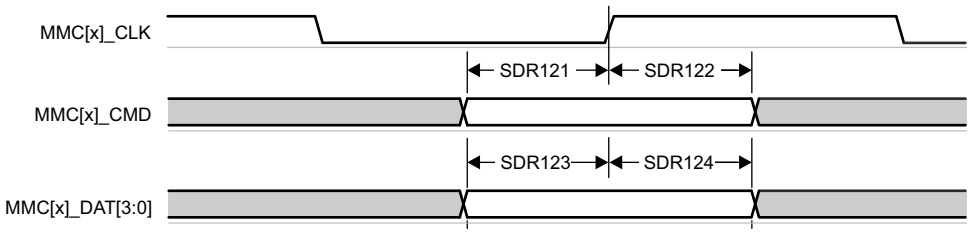


図 6-74. MMC0 – UHS-I SDR12 – 受信モード

表 6-92. MMC0 のスイッチング特性 – UHS-I SDR12 モード

図 6-75 参照

番号	パラメータ		最小値	最大値	単位
	$f_{op(clk)}$	動作周波数、MMC0_CLK		25	MHz
SDR125	$t_{c(clk)}$	サイクル時間、MMC0_CLK	40		ns
SDR126	$t_{w(clkH)}$	パルス幅、MMC0_CLK high	18.7		ns
SDR127	$t_{w(clkL)}$	パルス幅、MMC0_CLK low	18.7		ns
SDR128	$t_{d(clkL-cmdV)}$	遅延時間、MMC0_CLK 立ち上がりエッジから MMC0_CMD 遷移まで	1.5	8.6	ns
SDR129	$t_{d(clkL-dV)}$	遅延時間、MMC0_CLK 立ち上がりエッジから MMC0_DAT[3:0] 遷移まで	1.5	8.6	ns

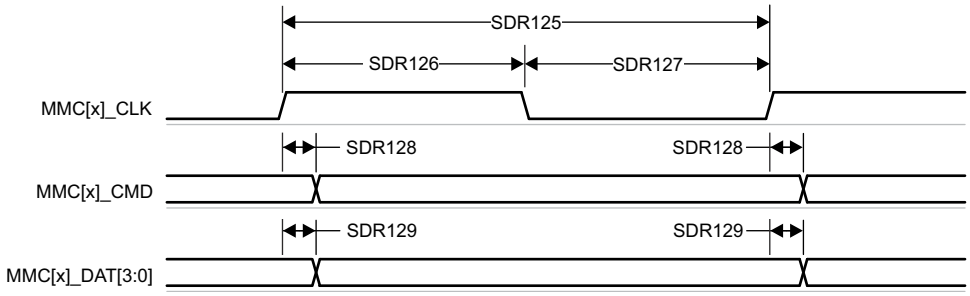


図 6-75. MMC0 – UHS-I SDR12 – 送信モード

6.12.5.15.1.8 UHS–I SDR25 モード

表 6-93、図 6-76、表 6-94、図 6-77 に、UHS-I SDR25 モードでの MMC0 のタイミング要件とスイッチング特性を示します。

表 6-93. MMC0 のタイミング要件 – UHS-I SDR25 モード

図 6-76 参照

番号			最小値	最大値	単位
SDR251	$t_{su(cmdV-clkH)}$	セットアップ時間、MC0_CMD 有効から MMC0_CLK 立ち上がりエッジまで	2.15		ns
SDR252	$t_{h(clkH-cmdV)}$	ホールド時間、MMC0_CLK 立ち上がりエッジから MMC0_CMD 有効の間	1.27		ns
SDR253	$t_{su(dV-clkH)}$	セットアップ時間、MMC0_DAT[3:0] 有効から MMC0_CLK 立ち上がりエッジまで	2.15		ns
SDR254	$t_{h(clkH-dV)}$	ホールド時間、MMC0_CLK 立ち上がりエッジから MMC0_DAT[3:0] 有効の間	1.27		ns

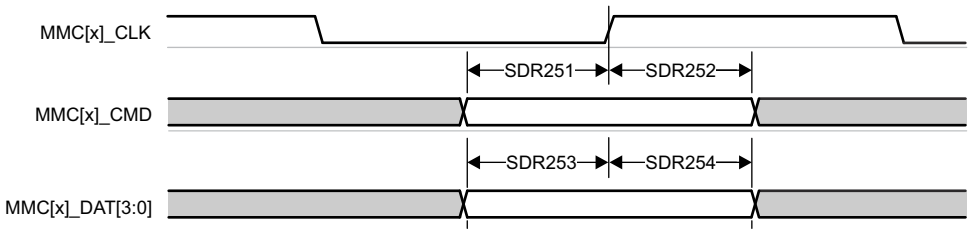


図 6-76. MMC0 – UHS-I SDR25 – 受信モード

表 6-94. MMC0 のスイッチング特性 – UHS-I SDR25 モード

図 6-77 参照

番号	パラメータ		最小値	最大値	単位
	$f_{op(clk)}$	動作周波数、MMC0_CLK		50	MHz
SDR255	$t_{c(clk)}$	サイクル時間、MMC0_CLK	20		ns
SDR256	$t_{w(clkH)}$	パルス幅、MMC0_CLK high	9.2		ns
SDR257	$t_{w(clkL)}$	パルス幅、MMC0_CLK low	9.2		ns
SDR258	$t_{d(clkL-cmdV)}$	遅延時間、MMC0_CLK 立ち上がりエッジから MMC0_CMD 遷移まで	2.4	8.1	ns
SDR259	$t_{d(clkL-dV)}$	遅延時間、MMC0_CLK 立ち上がりエッジから MMC0_DAT[3:0] 遷移まで	2.4	8.1	ns

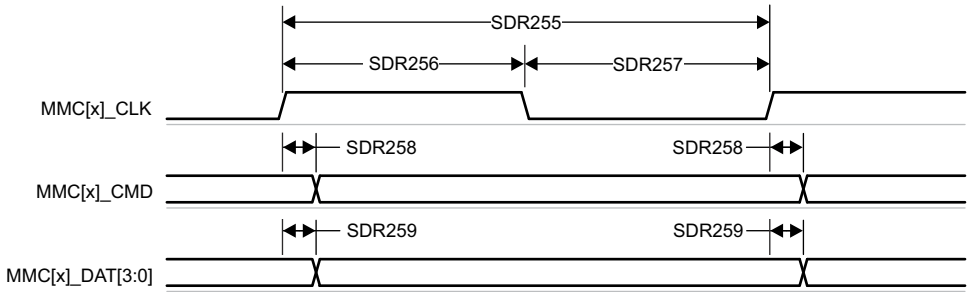


図 6-77. MMC0 – UHS-I SDR25 – 送信モード

Copyright © 2025 Texas Instruments Incorporated

6.12.5.15.1.9 UHS–I SDR50 モード

表 6-95 および 図 6-78 に、MMC0 – UHS-I SDR50 モードのスイッチング特性を示します。

表 6-95. MMC0 のスイッチング特性 – UHS-I SDR50 モード

図 6-78 参照

番号	パラメータ		最小値	最大値	単位
	$f_{op(clk)}$	動作周波数、MMC0_CLK		100	MHz
SDR505	$t_{c(clk)}$	サイクル時間、MMC0_CLK	10		ns
SDR506	$t_{w(clkH)}$	パルス幅、MMC0_CLK high	4.45		ns
SDR507	$t_{w(clkL)}$	パルス幅、MMC0_CLK low	4.45		ns
SDR508	$t_{d(clkL-cmdV)}$	遅延時間、MMC0_CLK 立ち上がりエッジから MMC0_CMD 遷移まで	1.2	6.35	ns
SDR509	$t_{d(clkL-dV)}$	遅延時間、MMC0_CLK 立ち上がりエッジから MMC0_DAT[3:0] 遷移まで	1.2	6.35	ns

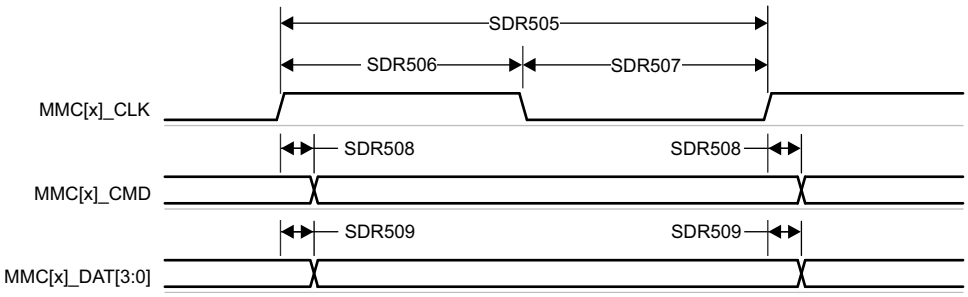


図 6-78. MMC0 – UHS-I SDR50 – 送信モード

6.12.5.15.1.10 UHS–I DDR50 モード

表 6-96 および 図 6-79 に、MMC0 – UHS-I DDR50 モードのスイッチング特性を示します。

表 6-96. MMC0 のスイッチング特性 – UHS-I DDR50 モード

図 6-79 参照

番号	パラメータ		最小値	最大値	単位
	$f_{op(clk)}$	動作周波数、MMC0_CLK		50	MHz
DDR505	$t_{c(clk)}$	サイクル時間、MMC0_CLK	20		ns
DDR506	$t_{w(clkH)}$	パルス幅、MMC0_CLK high	9.2		ns
DDR507	$t_{w(clkL)}$	パルス幅、MMC0_CLK low	9.2		ns
DDR508	$t_{d(clk-cmdV)}$	遅延時間、MMC0_CLK 立ち上がりエッジから MMC0_CMD 遷移まで	1.12	6.43	ns
DDR509	$t_{d(clk-dV)}$	遅延時間、MMC0_CLK 遷移から MMC0_DAT[3:0] 遷移まで	1.12	6.43	ns

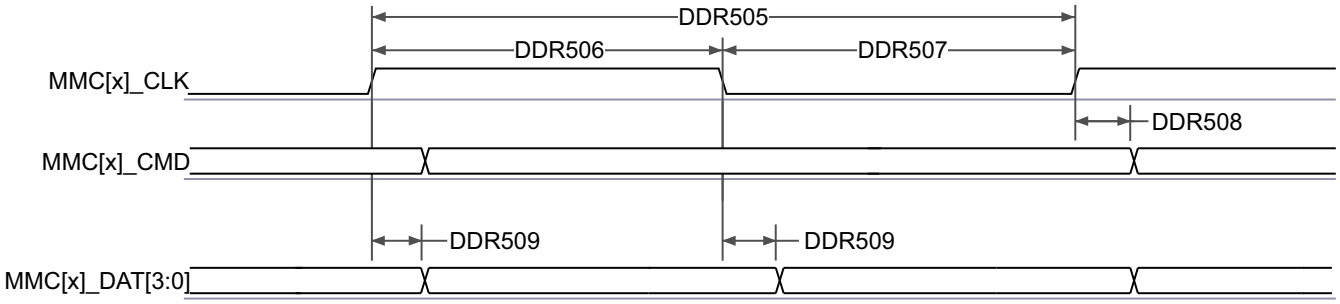


図 6-79. MMC0 – UHS-I DDR50 – 送信モード

Copyright © 2025 Texas Instruments Incorporated

6.12.5.15.1.11 UHS–I SDR104 モード

表 6-97 および 図 6-80 に、MMC0 – UHS-I SDR104 モードのスイッチング特性を示します。

表 6-97. MMC0 のスイッチング特性 – UHS-I SDR104 モード

図 6-80 参照

番号	パラメータ		最小値	最大値	単位
	$f_{op(clk)}$	動作周波数、MMC0_CLK		200	MHz
SDR1045	$t_{c(clk)}$	サイクル時間、MMC0_CLK	5		ns
SDR1046	$t_{w(clkH)}$	パルス幅、MMC0_CLK high	2.12		ns
SDR1047	$t_{w(clkL)}$	パルス幅、MMC0_CLK low	2.12		ns
SDR1048	$t_{d(clkL-cmdV)}$	遅延時間、MMC0_CLK 立ち上がりエッジから MMC0_CMD 遷移まで	1.07	3.21	ns
SDR1049	$t_{d(clkL-dV)}$	遅延時間、MMC0_CLK 立ち上がりエッジから MMC0_DAT[3:0] 遷移まで	1.07	3.21	ns

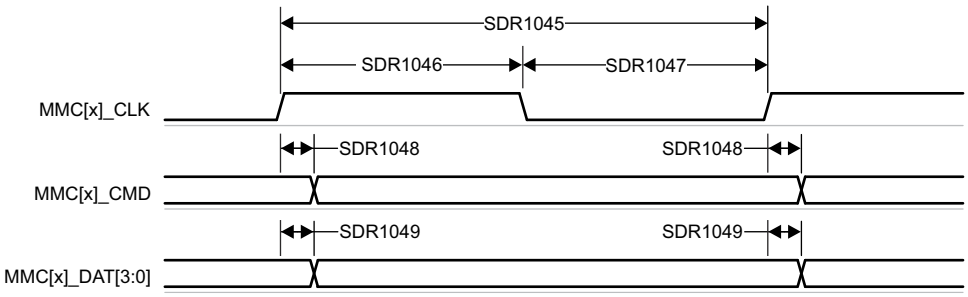


図 6-80. MMC0 – UHS-I SDR104 – 送信モード

6.12.5.15.2 MMC1/MMC2 - SD/SDIO インターフェイス

MMC1/MMC2 インターフェイスは、SD ホスト コントローラ標準仕様 4.10、SD 物理層仕様 v3.01、SDIO 仕様 v3.00 に準拠しており、以下の SD カード アプリケーションをサポートしています。

- デフォルト速度
- 高速
- UHS–I SDR12
- UHS–I SDR25
- UHS–I SDR50
- UHS–I DDR50
- UHS–I SDR104

表 6-98 に、MMC1/2 タイミング モードに必要な DLL ソフトウェア構成設定を示します。

表 6-98. すべてのタイミング モードに対する MMC1/MMC2 DLL 遅延マッピング

レジスタ名		MMCSD1_MMC_SSCFG_PHY_CTRL_x_REG/ MMCSD2_MMC_SSCFG_PHY_CTRL_x_REG				
		X = 4				X = 5
ビット フィールド		[20]	[15:12]	[8]	[4:0]	[2:0]
ビット フィールド名		OTAPDLYENA	OTAPDLYSEL	ITAPDLYENA	ITAPDLYSEL	CLKBUFSEL
モード	説明	遅延 イネーブル	遅延 値	入力 遅延 イネーブル	入力 遅延 値	遅延 バッファ 時間
デフォルト速度	4 ビット PHY 動作 3.3V、25MHz	NA(1)	NA(1)	0x1	0x0	0x7
高速	4 ビット PHY 動作 3.3V、50MHz	NA(1)	NA(1)	0x1	0x0	0x7
UHS-I SDR12	4 ビット PHY 動作 1.8V、25MHz	0x1	0xF	0x1	0x0	0x7
UHS-I SDR25	4 ビット PHY 動作 1.8V、50MHz	0x1	0xF	0x1	0x0	0x7
UHS-I SDR50	4 ビット PHY 動作 1.8V、100MHz	0x1	0xC	0x1	チューニング(2)	0x7
UHS-I DDR50	4 ビット PHY 動作 1.8V、50MHz	0x1	0x9	0x1	チューニング(2)	0x7
UHS-I SDR104	4 ビット PHY 動作 1.8V、200MHz	0x1	0x6	0x1	チューニング(2)	0x7

(1) NA は、このモードに必要なハーフサイクル タイミングで動作する場合、このレジスタ フィールドが機能しないことを意味します。
(2) チューニングとは、このモードで最適な入力タイミングを決定するためにチューニング アルゴリズムを使用する必要があることを意味します。

Copyright © 2025 Texas Instruments Incorporated

表 6-99 に、MMC1 のタイミング条件を示します。

表 6-99. MMC1/MMC2 のタイミング条件

パラメータ			最小値	最大値	単位
入力条件					
SR_I	入力スルーレート	デフォルト速度 高速	0.69	2.06	V/ns
		UHS–I SDR12 UHS–I SDR25	0.34	1.34	V/ns
		UHS–I DDR50	1	2	V/ns
出力条件					
C_L	出力負荷容量	すべてのモード	1	10	pF
PCB 接続要件					
$t_{d(Trace\ Delay)}$	各パターンの伝搬遅延	UHS–I DDR50	239	1134	ps
		その他のすべてのモード	126	1386	ps
$t_{d(Trace\ Mismatch\ Delay)}$	すべてのパターンにわたる伝搬遅延の不整合	高速 UHS–I SDR104		8	ps
		UHS–I DDR50		20	ps
		その他のすべてのモード		100	ps

6.12.5.15.2.1 デフォルト速度モード

表 6-100、図 6-81、表 6-101、図 6-82 に、MMC1/MMC2 – デフォルト速度モードのタイミング要件とスイッチング特性を示します。

表 6-100. MMC1/MMC2 のタイミング要件 – デフォルト速度モード

図 6-81 参照

番号			最小値	最大値	単位
DS1	$t_{su(cmdV-clkH)}$	セットアップ時間、MMCx_CMD 有効から MMCx_CLK 立ち上がりエッジまで	2.15		ns
DS2	$t_{h(clkH-cmdV)}$	ホールド時間、MMCx_CLK 立ち上がりエッジの後 MMCx_CMD 有効の間	1.67		ns
DS3	$t_{su(dV-clkH)}$	セットアップ時間、MMCx_DAT[3:0] 有効から MMCx_CLK 立ち上がりエッジまで	2.15		ns
DS4	$t_{h(clkH-dV)}$	ホールド時間、MMCx_CLK 立ち上がりエッジの後 MMCx_DAT[3:0] 有効の間	1.67		ns

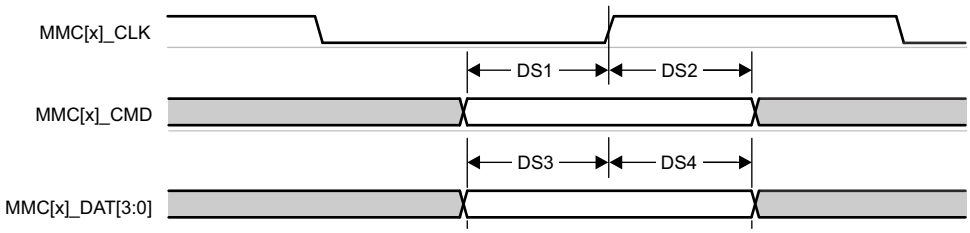


図 6-81. MMC1/MMC2 – デフォルト速度 – 受信モード

表 6-101. MMC1/MMC2 のスイッチング特性 - デフォルト速度モード

図 6-82 参照

番号	パラメータ		最小値	最大値	単位
	$f_{op(clk)}$	動作周波数、MMCx_CLK		25	MHz
DS5	$t_{c(clk)}$	サイクル時間、MMCx_CLK	40		ns
DS6	$t_{w(clkH)}$	パルス幅、MMCx_CLK high	18.7		ns
DS7	$t_{w(clkL)}$	パルス幅、MMCx_CLK low	18.7		ns
DS8	$t_{d(clkL-cmdV)}$	遅延時間、MMCx_CLK 立ち下がりエッジから MMCx_CMD 遷移まで	- 1.8	2.2	ns
DS9	$t_{d(clkL-dV)}$	遅延時間、MMCx_CLK 立ち下がりエッジから MMCx_DAT[3:0] 遷移まで	- 1.8	2.2	ns

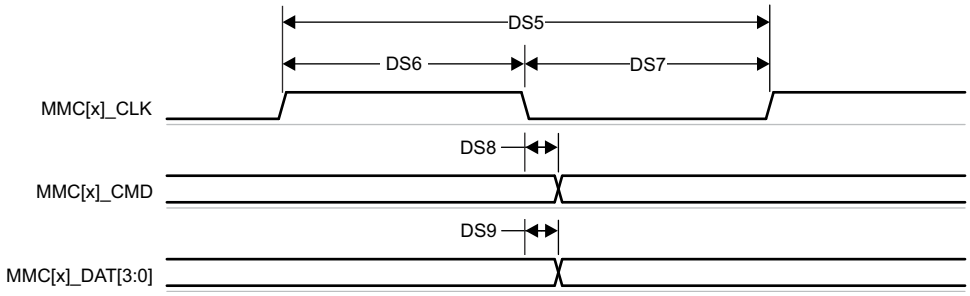


図 6-82. MMC1/MMC2 – デフォルト速度 – 送信モード

Copyright © 2025 Texas Instruments Incorporated

6.12.5.15.2.2 高速モード

表 6-102、図 6-83、表 6-103、図 6-84 に、高速モードでの MMC1/MMC2 のタイミング要件とスイッチング特性を示します。

表 6-102. MMC1/MMC2 のタイミング要件 – 高速モード

図 6-83 参照

番号			最小値	最大値	単位
HS1	$t_{su(cmdV-clkH)}$	セットアップ時間、MMCx_CMD 有効から MMCx_CLK 立ち上がりエッジまで	2.24		ns
HS2	$t_{h(clkH-cmdV)}$	ホールド時間、MMCx_CLK 立ち上がりエッジから MMCx_CMD 有効の間	1.66		ns
HS3	$t_{su(dV-clkH)}$	セットアップ時間、MMCx_DAT[3:0] 有効から MMCx_CLK 立ち下がりエッジまで	2.24		ns
HS4	$t_{h(clkH-dV)}$	ホールド時間、MMCx_CLK 立ち上がりエッジから MMCx_DAT[3:0] 有効の間	1.66		ns

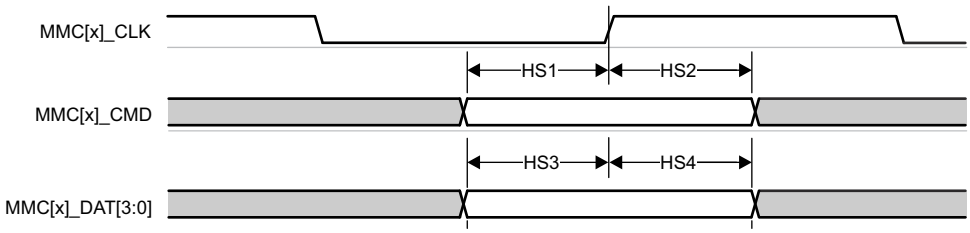


図 6-83. MMC1/MMC2 – 高速 – 受信モード

表 6-103. MMC1/MMC2 のスイッチング特性 – 高速モード

図 6-84 参照

番号	パラメータ		最小値	最大値	単位
	$f_{op(clk)}$	動作周波数、MMCx_CLK		50	MHz
HS5	$t_{c(clk)}$	サイクル時間、MMCx_CLK	20		ns
HS6	$t_{w(clkH)}$	パルス幅、MMCx_CLK High	9.2		ns
HS7	$t_{w(clkL)}$	パルス幅、MMCx_CLK Low	9.2		ns
HS8	$t_{d(clkL-cmdV)}$	遅延時間、MMCx_CLK 立ち下がりエッジから MMCx_CMD 遷移まで	- 1.8	2.2	ns
HS9	$t_{d(clkL-dV)}$	遅延時間、MMCx_CLK 立ち下がりエッジから MMCx_DAT[3:0] 遷移まで	- 1.8	2.2	ns

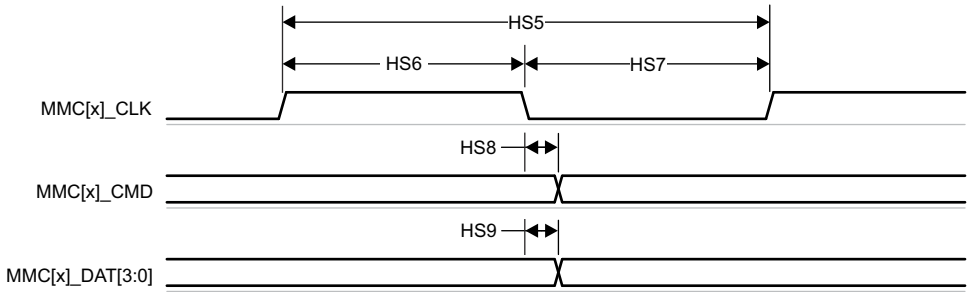


図 6-84. MMC1/MMC2 – 高速 – 送信モード

6.12.5.15.2.3 UHS–I SDR12 モード

表 6-104、図 6-85、表 6-105、および 図 6-86 に、MMC1/MMC2 – UHS-I SDR12 モードのタイミング要件とスイッチング特性を示します。

表 6-104. MMC1/MMC2 – UHS-I SDR12 モードのタイミング要件

図 6-85 参照

番号			最小値	最大値	単位
SDR121	$t_{su(cmdV-clkH)}$	セットアップ時間、MMCx_CMD 有効から MMCx_CLK 立ち上がりエッジまで	4.2		ns
SDR122	$t_{h(clkH-cmdV)}$	ホールド時間、MMCx_CLK 立ち上がりエッジの後 MMCx_CMD 有効の間	0.87		ns
SDR123	$t_{su(dV-clkH)}$	セットアップ時間、MMCx_DAT[3:0] 有効から MMCx_CLK 立ち上がりエッジまで	4.2		ns
SDR124	$t_{h(clkH-dV)}$	ホールド時間、MMCx_CLK 立ち上がりエッジの後 MMCx_DAT[3:0] 有効の間	0.87		ns

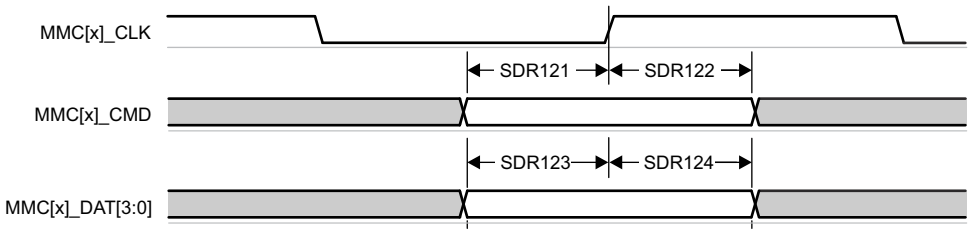


図 6-85. MMC1/MMC2 – UHS-I SDR12 – 受信モード

表 6-105. MMC1/MMC2 のスイッチング特性 – UHS-I SDR12 モード

図 6-86 参照

番号	パラメータ		最小値	最大値	単位
	$f_{op(clk)}$	動作周波数、MMCx_CLK		25	MHz
SDR125	$t_{c(clk)}$	サイクル時間、MMCx_CLK	40		ns
SDR126	$t_{w(clkH)}$	パルス幅、MMCx_CLK high	18.7		ns
SDR127	$t_{w(clkL)}$	パルス幅、MMCx_CLK low	18.7		ns
SDR128	$t_{d(clkL-cmdV)}$	遅延時間、MMCx_CLK 立ち上がりエッジから MMCx_CMD 遷移まで	1.5	8.6	ns
SDR129	$t_{d(clkL-dV)}$	遅延時間、MMCx_CLK 立ち上がりエッジから MMCx_DAT[3:0] 遷移まで	1.5	8.6	ns

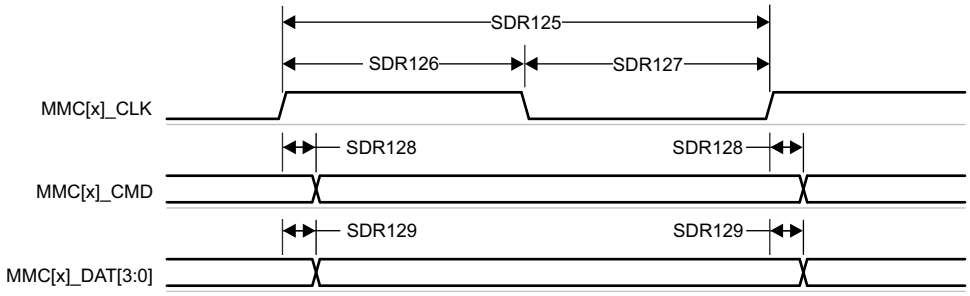


図 6-86. MMC1/MMC2 – UHS-I SDR12 – 送信モード

Copyright © 2025 Texas Instruments Incorporated

6.12.5.15.2.4 UHS–I SDR25 モード

表 6-106、図 6-87、表 6-107、図 6-88 に、UHS-I SDR25 モードでの MMC1/MMC2 のタイミング要件とスイッチング特性を示します。

表 6-106. MMC1/MMC2 のタイミング要件 – UHS-I SDR25 モード

図 6-87 参照

番号			最小値	最大値	単位
SDR251	$t_{su(cmdV-clkH)}$	セットアップ時間、MMCx_CMD 有効から MMCx_CLK 立ち上がりエッジまで	2.15		ns
SDR252	$t_{h(clkH-cmdV)}$	ホールド時間、MMCx_CLK 立ち上がりエッジから MMCx_CMD 有効の間	1.27		ns
SDR253	$t_{su(dV-clkH)}$	セットアップ時間、MMCx_DAT[3:0] 有効から MMCx_CLK 立ち上がりエッジまで	2.15		ns
SDR254	$t_{h(clkH-dV)}$	ホールド時間、MMCx_CLK 立ち上がりエッジから MMC0_DAT[3:0] 有効の間	1.27		ns

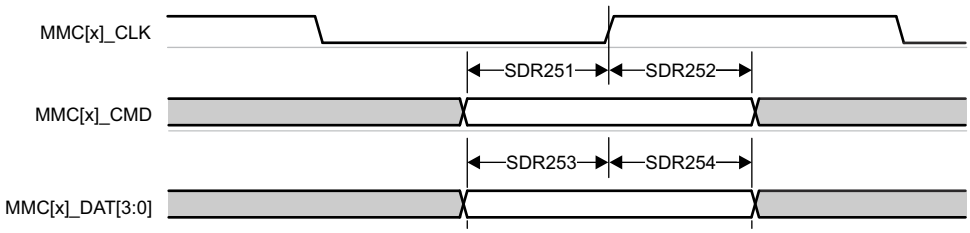


図 6-87. MMC1/MMC2 – UHS-I SDR25 – 受信モード

表 6-107. MMC1/MMC2 のスイッチング特性 – UHS-I SDR25 モード

図 6-88 参照

番号	パラメータ		最小値	最大値	単位
	$f_{op(clk)}$	動作周波数、MMCx_CLK		50	MHz
SDR255	$t_{c(clk)}$	サイクル時間、MMCx_CLK	20		ns
SDR256	$t_{w(clkH)}$	パルス幅、MMCx_CLK High	9.2		ns
SDR257	$t_{w(clkL)}$	パルス幅、MMCx_CLK Low	9.2		ns
SDR258	$t_{d(clkL-cmdV)}$	遅延時間、MMCx_CLK 立ち上がりエッジから MMCx_CMD 遷移まで	2.4	8.1	ns
SDR259	$t_{d(clkL-dV)}$	遅延時間、MMCx_CLK 立ち上がりエッジから MMCx_DAT[3:0] 遷移まで	2.4	8.1	ns

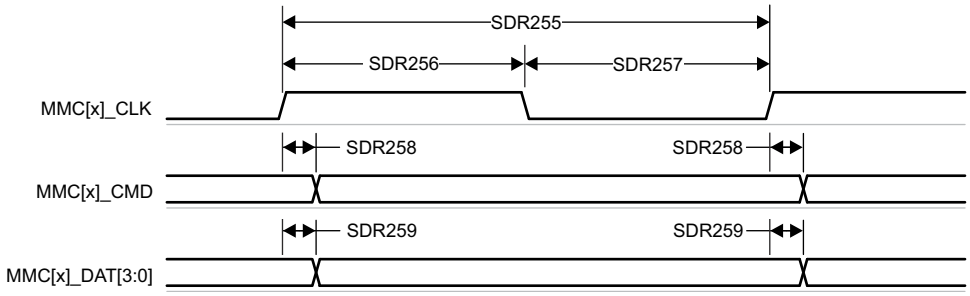


図 6-88. MMC1/MMC2 – UHS-I SDR25 – 送信モード

6.12.5.15.2.5 UHS–I SDR50 モード

表 6-108 および 図 6-89 に、UHS-I SDR50 モードでの MMC1/MMC2 のスイッチング特性を示します。

表 6-108. MMC1/MMC2 のスイッチング特性 – UHS-I SDR50 モード

図 6-89 参照

番号	パラメータ		最小値	最大値	単位
	$f_{op(clk)}$	動作周波数、MMCx_CLK		100	MHz
SDR505	$t_{c(clk)}$	サイクル時間、MMCx_CLK	10		ns
SDR506	$t_{w(clkH)}$	パルス幅、MMCx_CLK High	4.45		ns
SDR507	$t_{w(clkL)}$	パルス幅、MMCx_CLK Low	4.45		ns
SDR508	$t_{d(clkL-cmdV)}$	遅延時間、MMCx_CLK 立ち上がりエッジから MMCx_CMD 遷移まで	1.2	6.35	ns
SDR509	$t_{d(clkL-dV)}$	遅延時間、MMCx_CLK 立ち上がりエッジから MMCx_DAT[3:0] 遷移まで	1.2	6.35	ns

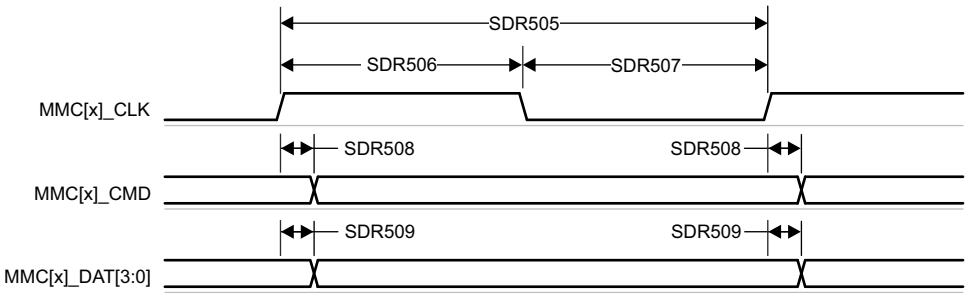


図 6-89. MMC1/MMC2 – UHS-I SDR50 – 送信モード

Copyright © 2025 Texas Instruments Incorporated

6.12.5.15.2.6 UHS–I DDR50 モード

表 6-109 および 図 6-90 に、MMC1/MMC2 – UHS-I DDR50 モードのスイッチング特性を示します。

表 6-109. MMC1/MMC2 – UHS-I DDR50 モードのスイッチング特性

図 6-90 参照

番号	パラメータ		最小値	最大値	単位
	$f_{op(clk)}$	動作周波数、MMCx_CLK		50	MHz
DDR505	$t_{c(clk)}$	サイクル時間、MMCx_CLK	20		ns
DDR506	$t_{w(clkH)}$	パルス幅、MMCx_CLK High	9.2		ns
DDR507	$t_{w(clkL)}$	パルス幅、MMCx_CLK Low	9.2		ns
DDR508	$t_{d(clk-cmdV)}$	遅延時間、MMCx_CLK 立ち上がりエッジから MMCx_CMD 遷移まで	1.12	6.43	ns
DDR509	$t_{d(clk-dV)}$	遅延時間、MMCx_CLK 遷移から MMCx_DAT[3:0] 遷移まで	1.12	6.43	ns

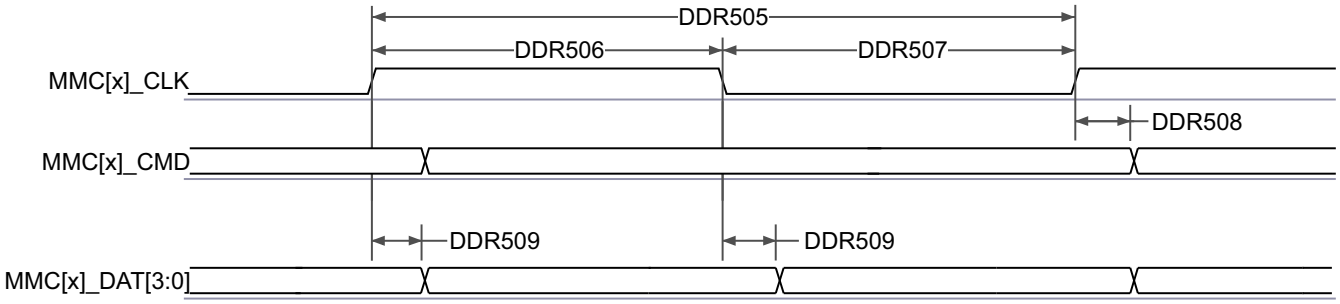


図 6-90. MMC1/MMC2 – UHS-I DDR50 – 送信モード

6.12.5.15.2.7 UHS–I SDR104 モード

表 6-110 および 図 6-91 に、MMC1/MMC2 – UHS-I SDR104 モードのスイッチング特性を示します。

表 6-110. MMC1/MMC2 – UHS-I SDR104 モードのスイッチング特性

図 6-91 参照

番号	パラメータ		最小値	最大値	単位
	$f_{op(clk)}$	動作周波数、MMCx_CLK		200	MHz
SDR1045	$t_{c(clk)}$	サイクル時間、MMCx_CLK	5		ns
SDR1046	$t_{w(clkH)}$	パルス幅、MMCx_CLK High	2.12		ns
SDR1047	$t_{w(clkL)}$	パルス幅、MMCx_CLK Low	2.12		ns
SDR1048	$t_{d(clkL-cmdV)}$	遅延時間、MMCx_CLK 立ち上がりエッジから MMCx_CMD 遷移まで	1.07	3.21	ns
SDR1049	$t_{d(clkL-dV)}$	遅延時間、MMCx_CLK 立ち上がりエッジから MMCx_DAT[3:0] 遷移まで	1.07	3.21	ns

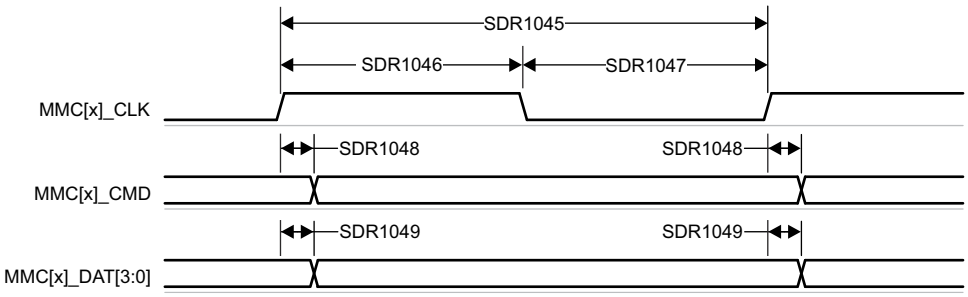


図 6-91. MMC1/MMC2 – UHS-I SDR104 – 送信モード

Copyright © 2025 Texas Instruments Incorporated

6.12.5.16 OSPI

OSPI0 には、PHY モードと Tap モードの 2 つのデータ キャプチャ モードがあります。

PHY モードでは、内部基準クロックを使用して DLL ベースの PHY 経由でデータを送受信します。各基準クロック サイクルはシングル データ レート (SDR) 転送の場合は OSPI0_CLK の 1 サイクル、ダブル データ レート (DDR) 転送の場合は OSPI0_CLK の半サイクルを生成します。PHY モードは、受信データ キャプチャ クロックについて 4 つのクロック トポロジをサポートしています。内部 PHY ループバック - 内部基準クロックを PHY 受信データ キャプチャ クロックとして使用します。内部パッド ループバック - OSPI0_LBCLKO ピンから PHY にループバックされた OSPI0_LBCLKO を PHY 受信データ キャプチャ クロックとして使用します。外部ボード ループバック - OSPI0_DQS ピンから PHY にループバックされた OSPI0_LBCLKO を PHY 受信データ キャプチャ クロックとして使用します。DQS - 接続されたデバイスからの DQS 出力を PHY 受信データ キャプチャ クロックとして使用します。内部パッド ループバックおよび DQS クロッキング トポロジを使用する場合、SDR 転送はサポートされません。内部 PHY ループバックまたは内部パッド ループバック クロッキング トポロジを使用する場合、DDR 転送はサポートされません。

タップ モードは、選択可能なタップと共に内部基準クロックを使用して、OSPI0_CLK に対してデータの送受信キャプチャ遅延を調整します。OSPI0_CLK は、SDR 転送では内部基準クロックの 4 分周、DDR 転送では内部基準クロックの 8 分周です。タップ モードは、受信データ キャプチャ クロックに対して 1 つのクロック トポロジのみをサポートします。ループバックなし - 内部基準クロックをタップ受信データ キャプチャ クロックとして使用します。このクロック トポロジは、最大 200MHz の内部リファレンス クロック レートをサポートし、SDR モードでは 50MHz、DDR モードでは 25MHz までの OSPI0_CLK レートを生成します。

詳細については、デバイスのテクニカル リファレンス マニュアルで「ペリフェラル」の章にある「オクタル シリアル ペリフェラル インターフェイス (OSPI)」セクションを参照してください。

オクタル シリアル ペリフェラル インターフェイスの機能の詳細および追加の説明情報については、「信号の説明」および「詳細説明」セクションの対応するサブセクションを参照してください。

セクション 6.12.5.16.1 は PHY モードに関連する、セクション 6.12.5.16.2 はタップ モードに関連するタイミング要件とスイッチング特性を定義します。

表 6-111 に、OSPI0 のタイミング条件を示します。

表 6-111. OSPI0 のタイミング条件

パラメータ		モード	最小値	最大値	単位
入力条件					
SR_I	入力スルーレート		1	6	V/ns
出力条件					
C_L	出力負荷容量		3	10	pF
PCB 接続要件					
$t_{d(Trace\ Delay)}$	OSPI0_CLK パターンの伝搬遅延	ループバックなし 内部 PHY ループバック 内部パッド ループバック		450	ps
	OSPI0_LBCLKO パターンの伝搬遅延	外部ボードのループバック	2L(1) - 30	2L(1) + 30	ps
	OSPI0_DQS パターンの伝搬遅延	DQS	L(1) - 30	L(1) + 30	ps
$t_{d(Trace\ Mismatch\ Delay)}$	OSPI0_CLK に対する OSPI0_D[7:0] と OSPI0_CSn[3:0] の伝搬遅延ミスマッチ	すべてのモード		60	ps

(1) L = OSPI0_CLK パターンの伝搬遅延

6.12.5.16.1 OSPI0 PHY モード

6.12.5.16.1.1 PHY データ トレーニング付き OSPI0

読み出し/ 書き込みデータ有効ウィンドウは、プロセス、電圧、温度、動作周波数の変動によって変化します。最適な読み出し / 書き込みタイミングを動的に構成するために、データ トレーニング手法を実装することもできます。データ トレーニングを実装すると、特定のプロセス、電圧、周波数の動作条件において、温度範囲全体にわたって適切な動作を実現すると同時に、より高い動作周波数を実現できます。

データの送受信タイミング パラメータは、動作条件に基づいて動的に調整されるため、データ トレーニングの使用事例では定義されていません。

表 6-112 は、データ トレーニング付きの OSPI0 に必要な DLL 遅延を定義しています。表 6-113、図 6-92 図 6-93、表 6-114、図 6-94、図 6-95 に、データ トレーニング付き OSPI0 のタイミング要件とスイッチング特性を示します。

表 6-112. PHY データ トレーニング用の OSPI0 DLL 遅延マッピング

モード	OSPI_PHY_CONFIGURATION_REG ビット フィールド	遅延値
送信		
すべてのモード	PHY_CONFIG_TX_DLL_DELAY_FLD	(1)
受信		
すべてのモード	PHY_CONFIG_RX_DLL_DELAY_FLD	(2)

(1) トレーニング ソフトウェアによって決定される送信 DLL 遅延の値
(2) トレーニング ソフトウェアによって決定される受信 DLL 遅延の値

表 6-113. OSPI0 のタイミング要件 – PHY データ トレーニング

図 6-92、図 6-93 を参照

番号			モード	最小値	最大値	単位
O15	$t_{su(D-LBCLK)}$	セットアップ時間、OSPI0_D[7:0] 有効から OSPI0_DQS のエッジまで	DQS 付き DDR	(1)		ns
O16	$t_{h(LBCLK-D)}$	ホールド時間、OSPI0_DQS のアクティブ エッジ後に OSPI0_D[7:0] を有効に保持すべき時間	DQS 付き DDR	(1)		ns
O21	$t_{su(D-LBCLK)}$	セットアップ時間、OSPI0_D[7:0] 有効から OSPI0_DQS のエッジまで	外部ボード ループバック付き SDR	(1)		ns
O22	$t_{h(LBCLK-D)}$	ホールド時間、OSPI0_DQS のアクティブ エッジ後に OSPI0_D[7:0] を有効に保持すべき時間	外部ボード ループバック付き SDR	(1)		ns
	t_{DVW}	データ有効ウィンドウ (O15 + O16)	1.8V、DQS 付き DDR	1.6		ns
			3.3V、DQS 付き DDR	2.2		ns
		データ有効ウィンドウ (O21 + O22)	1.8V、外部ボード ループバック付き SDR	2.3		ns
			3.3V、外部ボード ループバック付き SDR	2.9		ns

(1) データ トレーニングを使用して最適なデータ有効ウィンドウを見つける場合、OSPI0_D[7:0] 入力の最小セットアップ時間およびホールド時間の要件は定義されません。t_{DVW} パラメータは、必要な最小データ無効ウィンドウを定義します。このパラメータは、最小セットアップ時間や最小ホールド時間の代わりに提供され、接続されているデバイスから提供されるデータ有効ウィンドウとの互換性を確認するために使用する必要があります。

Copyright © 2025 Texas Instruments Incorporated

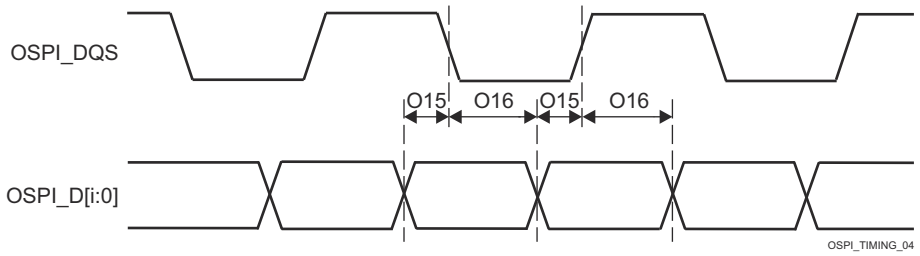


図 6-92. OSPI0 のタイミング要件 – PHY データ トレーニング、DQS 付き DDR

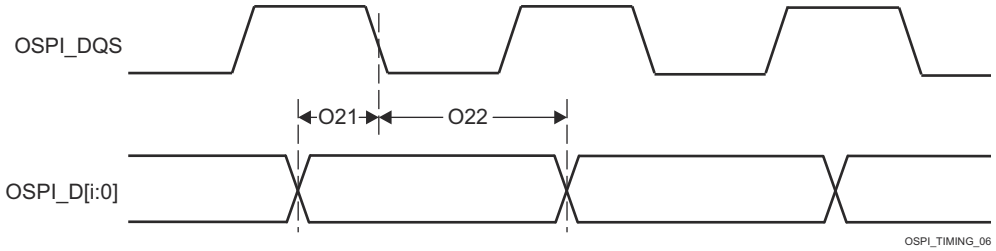


図 6-93. OSPI0 のタイミング要件 – PHY データ トレーニング、外部ボード ループバック付き SDR

表 6-114. OSPI のスイッチング特性 – PHY データ トレーニング

図 6-94 および 図 6-95 を参照

番号	パラメータ		モード	最小値	最大値	単位
O1	$t_{c(CLK)}$	サイクル時間、OSPI0_CLK	1.8V、DDR	6.0	10	ns
			3.3V、DDR	7.5	10	ns
O7			1.8V、SDR	6.0	10	ns
			3.3V、SDR	7.5	10	ns
O2	$t_{w(CLKL)}$	パルス幅、OSPI0_CLK low	DDR	((0.475P[1]) - 0.3)		ns
O8			SDR			
O3	$t_{w(CLKH)}$	パルス幅、OSPI0_CLK high	DDR	((0.475P[1]) - 0.3)		ns
O9			SDR			
O4	$t_{d(CSn-CLK)}$	遅延時間、OSPI0_CSn[3:0] アクティブ エッジから OSPI0_CLK 立ち上がりエッジまで	DDR	((0.475P[1]) + (0.975M[2]R[4]) + (0.04TD[5]) - 1)	((0.525P[1]) + (1.025M[2]R[4]) + (0.11TD[5]) + 1)	ns
O10			SDR			
O5	$t_{d(CLK-CSn)}$	遅延時間、OSPI0_CLK 立ち上がりエッジから OSPI0_CSn[3:0] 非アクティブ エッジまで	DDR	((0.475P[1]) + (0.975N[3]R[4]) - (0.11TD[5]) - 1)	((0.525P[1]) + (1.025N[3]R[4]) - (0.04TD[5]) + 1)	ns
O11			SDR			
O6	$t_{d(CLK-D)}$	遅延時間、OSPI0_CLK アクティブ エッジから OSPI0_D[7:0] 遷移まで	DDR	[6]	[6]	ns
O12			SDR			
	t_{DIVW}	データ無効ウィンドウ (O6 最大 - 最小)	DDR		1.6	ns
		データ無効ウィンドウ (O12 最大 - 最小)	SDR			

(1) P = SCLK サイクル時間 (ns) = OSPI0_CLK 周期 (ns)
(2) M = OSPI_DEV_DELAY_REG[D_INIT_FLD]
(3) N = OSPI_DEV_DELAY_REG[D_AFTER_FLD]
(4) R = リファレンス クロック サイクル時間 (ns 単位)
(5) TD = PHY_CONFIG_TX_DLL_DELAY_FLD
(6) データ トレーニングを使用して最適なデータ有効ウィンドウを見つける場合、OSPI0_D[7:0] 出力の最小および最大遅延時間は定義されません。t_{DIVW} パラメータは、最大データ無効ウィンドウを定義します。このパラメータは、最小および最大遅延時間の代わりに提供され、接続されているデバイスのデータ有効ウィンドウ要件との互換性を確認するために使用する必要があります。

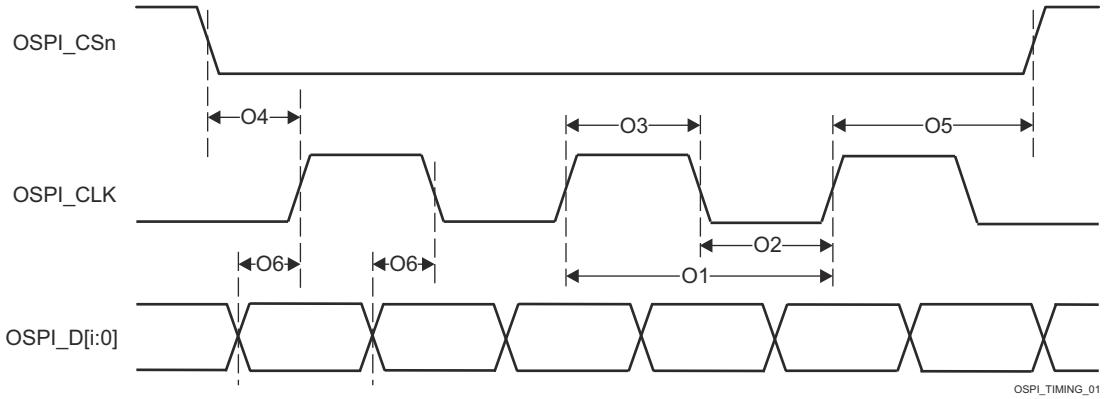


図 6-94. OSPI0 のスイッチング特性 - PHY DDR データ トレーニング

Copyright © 2025 Texas Instruments Incorporated

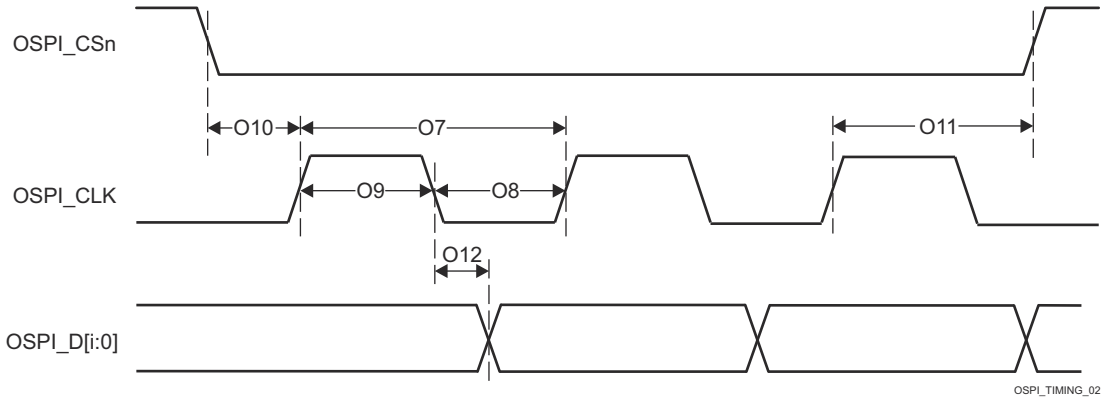


図 6-95. OSPI0 のスイッチング特性 - PHY SDR データ トレーニング

6.12.5.16.1.2 データ トレーニングなし OSPI0

注

このセクションで定義されるタイミング パラメータは、データ トレーニングが実装されておらず、DLL 遅延が表 6-115 および表 6-118 で説明されているように構成されている場合にのみ適用されます。

6.12.5.16.1.2.1 OSPI0 PHY SDR のタイミング

表 6-115 に、OSPI0 PHY SDR モードに必要な DLL 遅延を定義します。表 6-116、図 6-96、図 6-97、表 6-117、図 6-98 に、OSPI0 PHY SDR モードのタイミング要件とスイッチング特性を示します。

表 6-115. OSPI0 の DLL 遅延マッピング – PHY SDR タイミング モード

モード	OSPI_PHY_CONFIGURATION_REG ビット フィールド	遅延値
送信		
すべてのモード	PHY_CONFIG_TX_DLL_DELAY_FLD	0x0
受信		
すべてのモード	PHY_CONFIG_RX_DLL_DELAY_FLD	0x0

表 6-116. OSPI0 のタイミング要件 – PHY SDR モード

図 6-96 および 図 6-97 を参照

番号			モード	最小値	最大値	単位
O19	$t_{su(D-CLK)}$	セットアップ時間、OSPI0_D[7:0] 有効から OSPI0_CLK のエッジまで	1.8V、PHY ループバック内蔵 SDR	4.8		ns
			3.3V、PHY ループバック内蔵 SDR	5.19		ns
O20	$t_{h(CLK-D)}$	ホールド時間、OSPI0_CLK のアクティブ エッジ後に OSPI0_D[7:0] を有効に保持すべき時間	1.8V、PHY ループバック内蔵 SDR	-0.5		ns
			3.3V、PHY ループバック内蔵 SDR	-0.5		ns
O21	$t_{su(D-LBCLK)}$	セットアップ時間、OSPI0_D[7:0] 有効から OSPI0_DQS のエッジまで	1.8V、外部ボード ループバック付き SDR	0.6		ns
			3.3V、外部ボード ループバック付き SDR	0.9		ns
O22	$t_{h(LBCLK-D)}$	ホールド時間、OSPI0_DQS のアクティブ エッジ後に OSPI0_D[7:0] を有効に保持すべき時間	1.8V、外部ボード ループバック付き SDR	1.7		ns
			3.3V、外部ボード ループバック付き SDR	2.0		ns

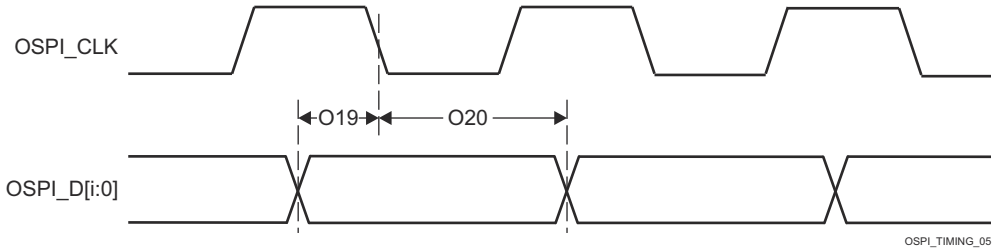


図 6-96. OSPI0 のタイミング要件 – PHY ループバック内蔵 PHY SDR

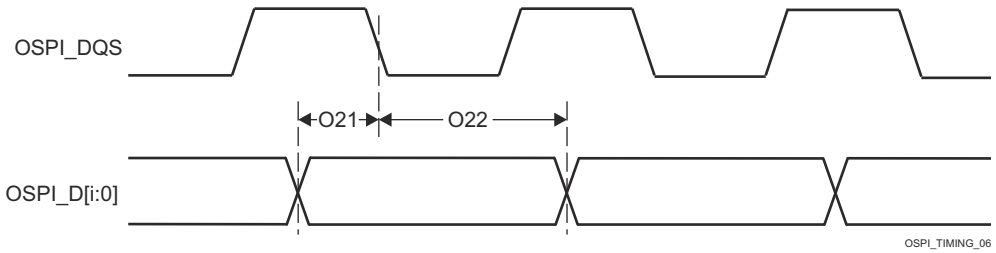


図 6-97. OSPI0 のタイミング要件 – 外部ボード ループバック付き PHY SDR

Copyright © 2025 Texas Instruments Incorporated

表 6-117. OSPI0 のスイッチング特性 – PHY SDR モード

図 6-98 参照

番号	パラメータ		モード	最小値	最大値	単位
O7	$t_{c(CLK)}$	サイクル時間、OSPI0_CLK	1.8 V	7		ns
			3.3 V	6.03		ns
O8	$t_{w(CLKL)}$	パルス幅、OSPI0_CLK low		((0.475P(1)) - 0.3)		ns
O9	$t_{w(CLKH)}$	パルス幅、OSPI0_CLK high		((0.475P(1)) - 0.3)		ns
O10	$t_{d(CSn-CLK)}$	遅延時間、OSPI0_CSn[3:0] アクティブ エッジから OSPI0_CLK 立ち上がりエッジまで		((0.475P(1)) + (0.975M(2)R(4)) + (0.04TD(5)) - 1)	((0.525P(1)) + (1.025M(2)R(4)) + (0.11TD(5)) + 1)	ns
O11	$t_{d(CLK-CSn)}$	遅延時間、OSPI0_CLK 立ち上がりエッジから OSPI0_CSn[3:0] 非アクティブ エッジまで		((0.475P(1)) + (0.975N(3)R(4)) - (0.11TD(5)) - 1)	((0.525P(1)) + (1.025N(3)R(4)) - (0.04TD(5)) + 1)	ns
O12	$t_{d(CLK-D)}$	遅延時間、OSPI0_CLK アクティブ エッジから OSPI0_D[7:0] 遷移まで	1.8 V	-1.16	1.25	ns
			3.3 V	-1.33	1.51	ns

(1) P = SCLK サイクル時間 (ns 単位) = OSPI0_CLK サイクル時間 (ns 単位)
(2) M = OSPI_DEV_DELAY_REG[D_INIT_FLD]
(3) N = OSPI_DEV_DELAY_REG[D_AFTER_FLD]
(4) R = リファレンス クロック サイクル時間 (ns 単位)
(5) TD = PHY_CONFIG_TX_DLL_DELAY_FLD

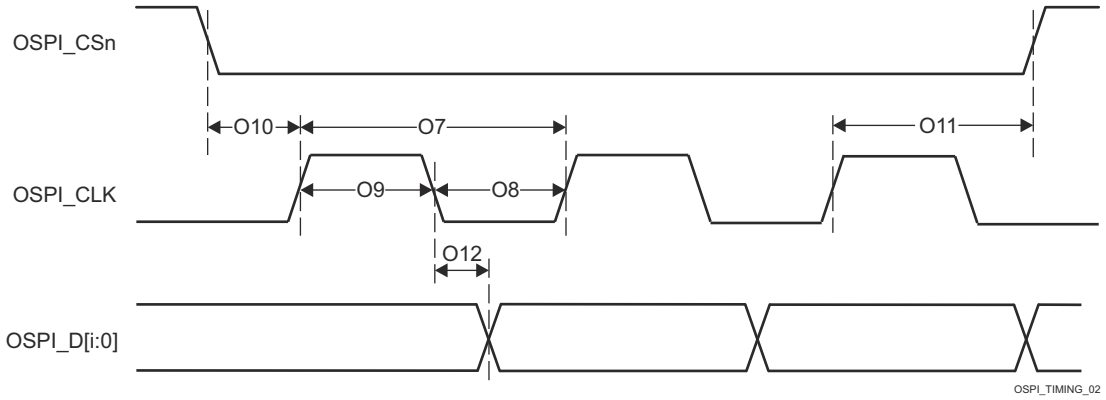


図 6-98. OSPI0 のスイッチング特性 – PHY SDR モード

6.12.5.16.1.2.2 OSPI0 PHY DDR のタイミング

表 6-118 に、OSPI0 PHY DDR モードに必要な DLL 遅延を定義します。表 6-119、図 6-99、表 6-120、図 6-100 に、OSPI0 PHY DDR モードのタイミング要件とスイッチング特性を示します。

表 6-118. OSPI0 の DLL 遅延マッピング – PHY DDR タイミング モード

モード	OSPI_PHY_CONFIGURATION_REG ビット フィールド	遅延値
送信		
1.8 V	PHY_CONFIG_TX_DLL_DELAY_FLD	0x46
3.3 V	PHY_CONFIG_TX_DLL_DELAY_FLD	0x43
受信		
1.8V、DQS	PHY_CONFIG_RX_DLL_DELAY_FLD	0x15
3.3V、DQS	PHY_CONFIG_RX_DLL_DELAY_FLD	0x3A
その他のすべてのモード	PHY_CONFIG_RX_DLL_DELAY_FLD	0x0

表 6-119. OSPI0 のタイミング要件 – PHY DDR モード

図 6-99 参照

番号			モード	最小値	最大値	単位
O15	$t_{su(D-LBCLK)}$	セットアップ時間、OSPI0_D[7:0] 有効から OSPI0_DQS のエッジまで	1.8V、外部ボード ループバック付き DDR	0.53		ns
			1.8V、DQS 付き DDR	-0.46		ns
			3.3V、外部ボード ループバック付き DDR	1.23		ns
			3.3V、DQS 付き DDR	-0.66		ns
O16	$t_{h(LBCLK-D)}$	ホールド時間、OSPI0_DQS のアクティブ エッジ後に OSPI0_D[7:0] を有効に保持すべき時間	1.8V、外部ボード ループバック付き DDR	1.24[(1)]		ns
			1.8V、DQS 付き DDR	3.59		ns
			3.3V、外部ボード ループバック付き DDR	1.44[(1)]		ns
			3.3V、DQS 付き DDR	7.92		ns

(1) このホールド時間の要件は、一般的な OSPI/QSPI/SPI デバイスのホールド時間よりも長いです。したがって、SoC と、接続された OSPI/QSPI/SPI デバイスとの間のパターン長は、SoC でのホールド時間を確実に満たすのに十分な長さにする必要があります。補償のため、SoC の外部ループバック クロック (OSPI0_LBCLKO から OSPI0_DQS まで) の長さを短くする必要がある場合があります。

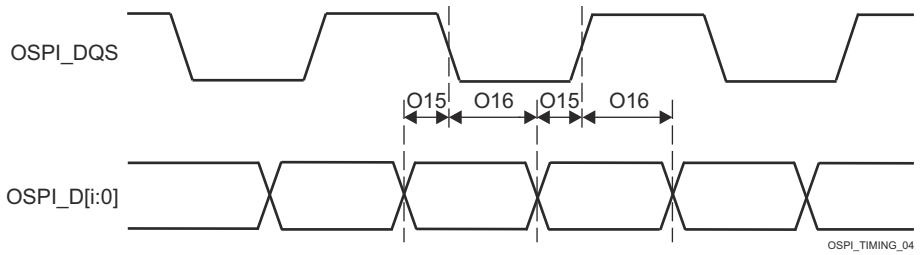


図 6-99. OSPI0 のタイミング要件 – 外部ボード ループバックまたは DQS 付き PHY DDR

Copyright © 2025 Texas Instruments Incorporated

表 6-120. OSPI0 のスイッチング特性 – PHY DDR モード

図 6-100 参照

番号	パラメータ		モード	最小値	最大値	単位
O1	$t_{c(CLK)}$	サイクル時間、OSPI0_CLK		19		ns
O2	$t_{w(CLKL)}$	パルス幅、OSPI0_CLK low		((0.475P(1)) - 0.3)		ns
O3	$t_{w(CLKH)}$	パルス幅、OSPI0_CLK high		((0.475P(1)) - 0.3)		ns
O4	$t_{d(CSn-CLK)}$	遅延時間、OSPI0_CSn[3:0] アクティブ エッジから OSPI0_CLK 立ち上がりエッジまで		((0.475P(1)) + (0.975M(2)R(4)) + (0.04TD(5)) - 1)	((0.525P(1)) + (1.025M(2)R(4)) + (0.11TD(5)) + 1)	ns
O5	$t_{d(CLK-CSn)}$	遅延時間、OSPI0_CLK 立ち上がりエッジから OSPI0_CSn[3:0] 非アクティブ エッジまで		((0.475P(1)) + (0.975N(3)R(4)) - (0.11TD(5)) - 1)	((0.525P(1)) + (1.025N(3)R(4)) - (0.04TD(5)) + 1)	ns
O6	$t_{d(CLK-D)}$	遅延時間、OSPI0_CLK アクティブ エッジから OSPI0_D[7:0] 遷移まで	1.8 V	-7.71	-1.56	ns
			3.3 V	-7.71	-1.56	ns

(1) P = SCLK サイクル時間 (ns 単位) = OSPI0_CLK サイクル時間 (ns 単位)
(2) M = OSPI_DEV_DELAY_REG[D_INIT_FLD]
(3) N = OSPI_DEV_DELAY_REG[D_AFTER_FLD]
(4) R = リファレンス クロック サイクル時間 (ns 単位)
(5) TD = PHY_CONFIG_TX_DLL_DELAY_FLD

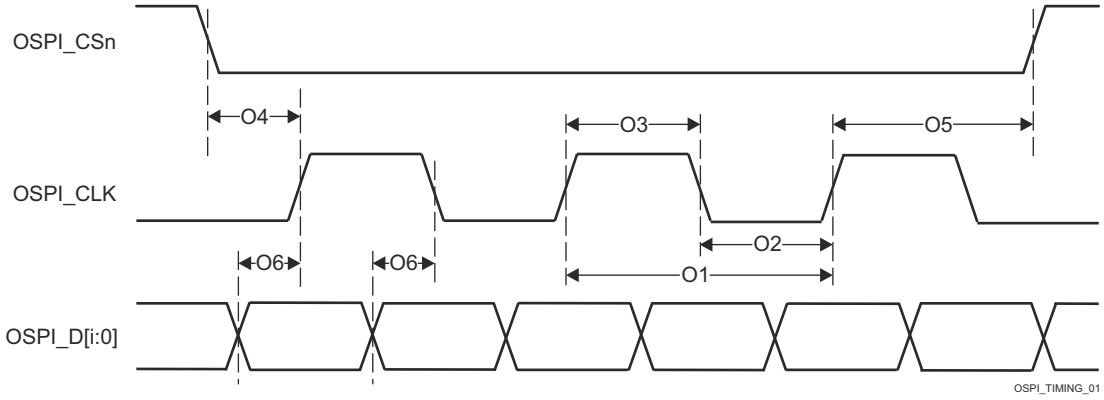


図 6-100. OSPI0 のスイッチング特性 – PHY DDR モード

6.12.5.16.2 OSPI0 タップ モード

6.12.5.16.2.1 OSPI0 タップ SDR のタイミング

表 6-121、図 6-101、表 6-122、図 6-102 に、OSPI0 タップ SDR モードのタイミング要件とスイッチング特性を示します。

表 6-121. OSPI0 のタイミング要件 – タップ SDR モード

図 6-101 参照

番号			モード	最小値	最大値	単位
O19	$t_{su(D-CLK)}$	セットアップ時間、OSPI0_D[7:0] 有効から OSPI0_CLK のエッジまで	ループバックなし	(15.4 - (0.975T(1)R(2)))		ns
O20	$t_{h(CLK-D)}$	ホールド時間、OSPI0_CLK のアクティブ エッジ後に OSPI0_D[7:0] を有効に保持すべき時間	ループバックなし	(- 4.3 + (0.975T(1)R(2)))		ns

(1) T = OSPI_RD_DATA_CAPTURE_REG[DELAY_FLD]
(2) R = 基準クロック サイクル時間 (ns)

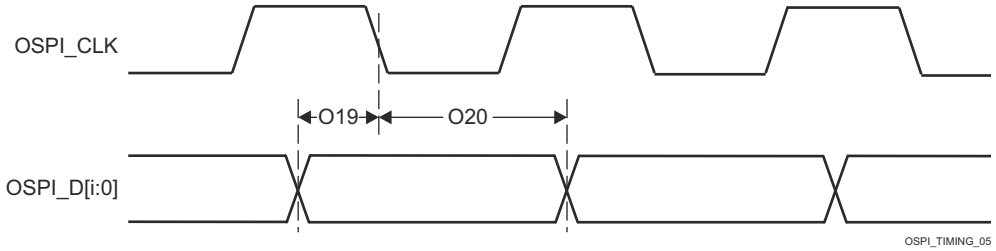


図 6-101. OSPI0 のタイミング要件 – タップ SDR、ループバックなし

Copyright © 2025 Texas Instruments Incorporated

表 6-122. OSPI0 のスイッチング特性 – タップ SDR モード

図 6-102 参照

番号	パラメータ		モード	最小値	最大値	単位
O7	$t_{c(CLK)}$	サイクル時間、OSPI0_CLK		20		ns
O8	$t_{w(CLKL)}$	パルス幅、OSPI0_CLK low		((0.475P[1]) - 0.3)		ns
O9	$t_{w(CLKH)}$	パルス幅、OSPI0_CLK high		((0.475P[1]) - 0.3)		ns
O10	$t_{d(CSn-CLK)}$	遅延時間、OSPI0_CSn[3:0] アクティブ エッジから OSPI0_CLK 立ち上がりエッジまで		((0.475P[1]) + (0.975M[2]R[4]) - 1)	((0.525P[1]) + (1.025M[2]R[4]) + 1)	ns
O11	$t_{d(CLK-CSn)}$	遅延時間、OSPI0_CLK 立ち上がりエッジから OSPI0_CSn[3:0] 非アクティブ エッジまで		((0.475P[1]) + (0.975N[3]R[4]) - 1)	((0.525P[1]) + (1.025N[3]R[4]) + 1)	ns
O12	$t_{d(CLK-D)}$	遅延時間、OSPI0_CLK アクティブ エッジから OSPI0_D[7:0] 遷移まで		- 4.25	7.25	ns

(1) P = SCLK サイクル時間 (ns) = OSPI0_CLK 周期 (ns)
(2) M = OSPI_DEV_DELAY_REG[D_INIT_FLD]
(3) N = OSPI_DEV_DELAY_REG[D_AFTER_FLD]
(4) R = 基準クロック サイクル時間 (ns)

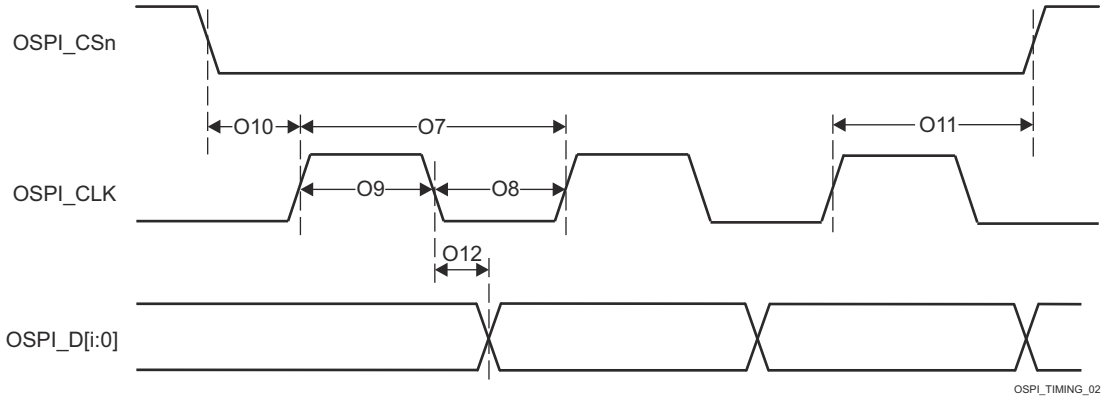


図 6-102. OSPI0 のスイッチング特性 – タップ SDR、ループバックなし

6.12.5.16.2.2 OSPI0 タップ DDR のタイミング

表 6-123、図 6-103、表 6-124、図 6-104 に、OSPI0 タップ DDR モードのタイミング要件とスイッチング特性を示します。

表 6-123. OSPI0 のタイミング要件 – タップ DDR モード

図 6-103 参照

番号			モード	最小値	最大値	単位
O13	$t_{su(D-CLK)}$	セットアップ時間、OSPI0_D[7:0] 有効から OSPI0_CLK のエッジまで	ループバックなし	(17.04 - (0.975T(1)R(2)))		ns
O14	$t_{h(CLK-D)}$	ホールド時間、OSPI0_CLK のアクティブ エッジ後に OSPI0_D[7:0] を有効に保持すべき時間	ループバックなし	(- 3.16 + (0.975T(1)R(2)))		ns

(1) T = OSPI_RD_DATA_CAPTURE_REG[DELAY_FLD]
(2) R = 基準クロック サイクル時間 (ns)

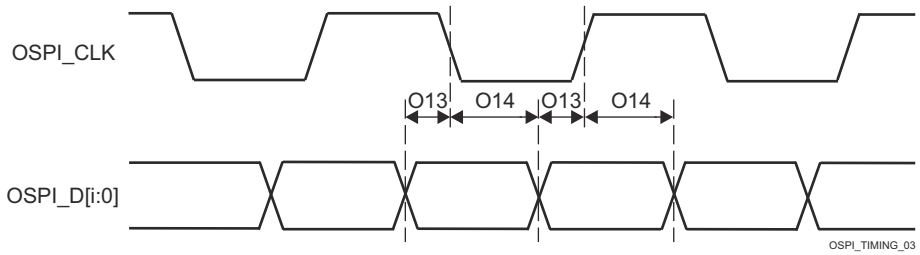


図 6-103. OSPI0 のタイミング要件 – タップ DDR、ループバックなし

Copyright © 2025 Texas Instruments Incorporated

表 6-124. OSPI0 のスイッチング特性 – タップ DDR モード

図 6-104 参照

番号	パラメータ		モード	最小値	最大値	単位
O1	$t_{c(CLK)}$	サイクル時間、OSPI0_CLK		40		ns
O2	$t_{w(CLKL)}$	パルス幅、OSPI0_CLK low		((0.475P(1)) - 0.3)		ns
O3	$t_{w(CLKH)}$	パルス幅、OSPI0_CLK high		((0.475P(1)) - 0.3)		ns
O4	$t_{d(CSn-CLK)}$	遅延時間、OSPI0_CSn[3:0] アクティブ エッジから OSPI0_CLK 立ち上がりエッジまで		((0.475P(1)) + ((0.975M(2)R(5)) - 1)	((0.525P(1)) + (1.025M(2)R(5)) + 1)	ns
O5	$t_{d(CLK-CSn)}$	遅延時間、OSPI0_CLK 立ち上がりエッジから OSPI0_CSn[3:0] 非アクティブ エッジまで		((0.475P(1)) + (0.975N(3)R(5)) - 1)	((0.525P(1)) + (1.025N(3)R(5)) + 1)	ns
O6	$t_{d(CLK-D)}$	遅延時間、OSPI0_CLK アクティブ エッジから OSPI0_D[7:0] 遷移まで		(- 5.04 + (0.975(T(4) + 1)R(5)) - (0.525P(1)))	(3.64 + (1.025(T(4) + 1)R(5)) - (0.475P(1)))	ns

(1) P = SCLK サイクル時間 (ns 単位) = OSPI0_CLK サイクル時間 (ns 単位)
(2) M = OSPI_DEV_DELAY_REG[D_INIT_FLD]
(3) N = OSPI_DEV_DELAY_REG[D_AFTER_FLD]
(4) T = OSPI_RD_DATA_CAPTURE_REG[DDR_READ_DELAY_FLD]
(5) R = 基準クロック サイクル時間 (ns)

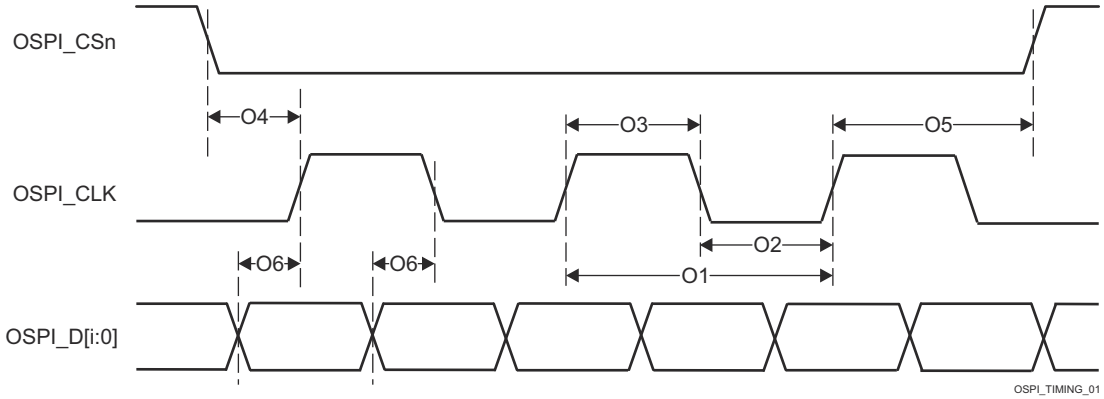


図 6-104. OSPI0 のスイッチング特性 – タップ DDR、ループバックなし

6.12.5.17 タイマ

タイマ デバイスの機能および追加の説明情報については、「信号の説明」、「詳細説明」セクションの対応するサブセクションを参照してください。

表 6-125. タイマのタイミング条件

パラメータ		最小値	最大値	単位
入力条件				
SR_I	入力スルーレート	0.5	5	V/ns
出力条件				
C_L	出力負荷容量	2	10	pF

表 6-126. タイマ入力のタイミング要件

図 6-105 参照

番号	パラメータ	説明	モード	最小値	最大値	単位
T1	$t_{w(TINPH)}$	パルス幅、High	キャプチャ	4P(1)+ 2.5		ns
T2	$t_{w(TINPL)}$	パルス幅、Low	キャプチャ	4P(1)+ 2.5		ns

(1) P = 機能クロック周期 (ns 単位)。

表 6-127. タイマ出力のスイッチング特性

図 6-105 参照

番号	パラメータ	説明	モード	最小値	最大値	単位
T3	$t_{w(TOUTH)}$	パルス幅、High	PWM	4P(1) - 2.5		ns
T4	$t_{w(TOUTL)}$	パルス幅、Low	PWM	4P(1) - 2.5		ns

(1) P = 機能クロック周期 (ns 単位)。

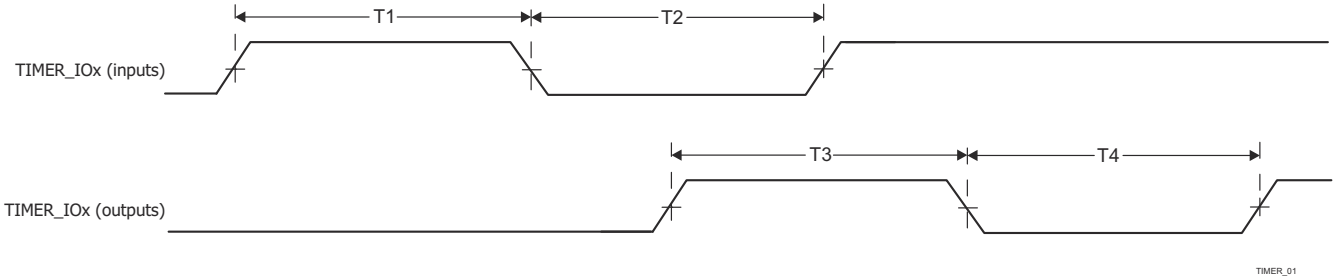


図 6-105. タイマのタイミング要件およびスイッチング特性

詳細については、デバイスのテクニカル リファレンス マニュアルで「ペリフェラル」の章にある「タイマ」セクションを参照してください。

Copyright © 2025 Texas Instruments Incorporated

6.12.5.18 UART

ユニバーサル非同期レシーバ / トランスミッタ デバイスの機能の詳細および追加説明情報については、「信号の説明」および「詳細説明」の対応するサブセクションを参照してください。

表 6-128. UART のタイミング条件

パラメータ		最小値	最大値	単位
入力条件				
SR_I	入力スルーレート	0.5	5	V/ns
出力条件				
C_L	出力負荷容量	1	30(1)	pF

(1) この値は、絶対最大負荷容量を表します。UART のボーレートが上昇するにつれて、接続されているデバイスに十分なタイミング マージンを確保するために、負荷容量をこの最大制限より小さい値に減らす必要がある場合があります。容量性負荷の増加に伴い、出力の立ち上がり / 立ち下がり時間が長くなり、接続されているデバイスのレシーバに対してデータが有効である時間が短くなります。したがって、接続されたデバイスが動作ボーレートで必要とする最小データ有効時間を理解することが重要です。次に、デバイス IBIS モデルを使用して、UART 信号上の実際の負荷容量によって、接続されているデバイスの最小データ有効時間を超えて立ち上がり / 立ち下がり時間が増加しないことを確認します。

表 6-129. UART のタイミング要件

図 6-106 参照

番号	パラメータ	説明	最小値	最大値	単位
1	$t_{w(RXD)}$	パルス幅、受信データ ビット High または Low	0.95U(1)(2)	1.05U(1)(2)	ns
2	$t_{w(RXDS)}$	パルス幅、受信スタート ビット Low	0.95U(1)(2)		ns

(1) U = UART のボー時間 (ns) = 1/ プログラムされたボーレート。
(2) この値はデータ有効時間を規定します。ここで、入力電圧は V_{IH} を上回る、または V_{IL} を下回る必要があります。

表 6-130. UART スイッチング特性

図 6-106 参照

番号	パラメータ	説明	最小値	最大値	単位
	$f_{(baud)}$	メイン ドメイン UART のプログラム可能なボーレート		12	Mbps
		MCU および WKUP ドメイン UART 用のプログラム可能なボーレート		3.7	Mbps
3	$t_{w(TXD)}$	パルス幅、送信データ ビット High または Low	U(1) - 2	U(1) + 2	ns
4	$t_{w(TXDS)}$	パルス幅、送信スタート ビット Low	U(1) - 2		ns

(1) U = UART ボー時間 (ns) = 1/ 実際のボーレート。ここで、実際のボーレートはデバイス TRM の UART ボーレート設定表で規定されています。

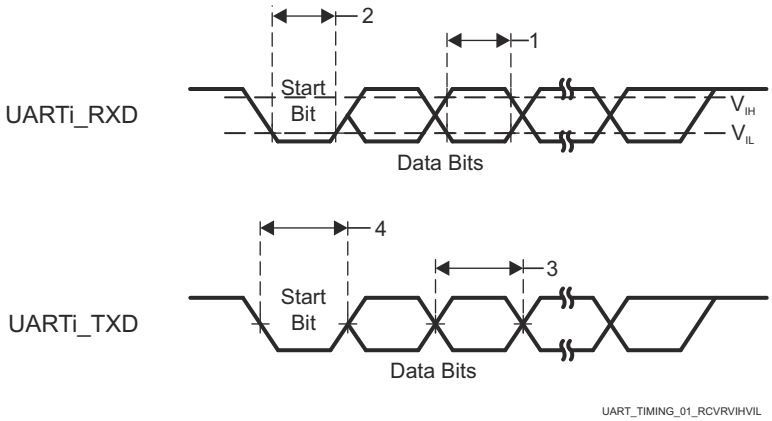


図 6-106. UART のタイミング要件およびスイッチング特性

詳細については、デバイスのテクニカル リファレンス マニュアルで「ペリフェラル」の章にある「ユニバーサル非同期レシーバ / トランスミッタ (UART)」セクションを参照してください。

6.12.5.19 USB

USB 2.0 サブシステムは、ユニバーサル シリアル バス (USB) 仕様、リビジョン 2.0 に準拠しています。タイミングの詳細については、仕様を参照してください。

デバイス、ユニバーサル シリアル バス サブシステム (USB) の機能および追加の説明情報については、「信号の説明」および「詳細説明」の対応するサブ セクションを参照してください。

Copyright © 2025 Texas Instruments Incorporated

7 詳細説明

7.1 概要

AM62D プロセッサは、Sitara™ マイクロコントローラ ファミリに属し、高性能のデジタル信号処理が必要なアプリケーションを対象としています。アプリケーションの一部を以下に示します。

- **オーディオ**:車載プレミアム アンプと業務用オーディオ
- **レーダーおよび無線**:航空宇宙 / 防衛
- **ソナー**:海洋機器
- **超音波**:医療用機器
- **計測**:電流、電圧、その他の信号:試験 / 測定機器

デバイスの主要なコアには、ARM® Cortex®-A53 およびテキサス・インスツルメンツの C7000™ (「C7x」) スカラーおよびベクトル DSP コア、専用行列乗算アクセラレータ (MMA)、および分離された MCU アイランドが含まれています。これらはすべて、産業および車載グレードの安全性とセキュリティ ハードウェア アクセラレータにより保護されています。

DSP コアの概要:C7x ファミリの C7504 コアは、最大 40GFLOPS の DSP コンピューティングを実現します。前世代の C66x DSP コアに比べて、4～8 倍以上の性能を達成しています。主な特長には以下のものがあります。

- 256 ビットの固定小数点と浮動小数点 DSP ベクタ コア
- シングル サイクルのレイテンシでストリーミング エンジンを介して L2 メモリにアクセス
- 制御コード効率を向上
- 64 ビット メモリ アドレッシングとシングル サイクルの 64 ビット ベースの算術演算を備えた真の 64 ビット マシン

統合の概要:C7x DSP コアとの組み合わせにより、AM62D SoC は最大で クアッド コアの Arm®Cortex®-A53 を統合して、16.8KDMIPS の計算能力を追加し、Linux またはリアルタイム オペレーティング システム (RTOS) の HLOS のフレキシビリティを実現します。最大 2 つの Arm® Cortex®-R5F サブシステムが低レベルのタイム クリティカルなタスクを処理し、Arm® Cortex®-A53 および DSP のコアに負荷がかからないようにしてアプリケーションの実行に備えます。内蔵セキュリティ機能が現代の攻撃からデータを保護する一方で、内蔵の診断および安全機能は SIL-2 および ASIL-B レベルまでの動作をサポートしてます。また、AM62D デバイスには、時間に制約のあるネットワーク機能 (TSN) を備えた 3 ポートのギガビット イーサネット スイッチも搭載されており、イーサネット オーディオ ビデオ ブリッジ (eAVB) や DANTE などのオーディオ ネットワーク機能を実現できるのと同時に、McASP などのペリフェラルによりマルチチャネル I2S および TDM オーディオ入出力が可能です。

注

スーパーセット デバイスのシステム オン チップ (SoC) の機能、サブシステム、アーキテクチャの詳細については、デバイスのテクニカル リファレンス マニュアル を参照してください。

7.2 プロセッサ サブシステム

7.2.1 Arm Cortex-A53 サブシステム

SoC は、クワッド コア Arm® Cortex®-A53 MPCore™ の 1 つのクラスタを実装しており、コアごとに 32KB L1 命令、32KB L1 データ、および 512KB L2 共有キャッシュを備えています。

Cortex®-A53 コアは、お客様のアプリケーションを実行するために使用できる汎用プロセッサです。

A53SS は、Arm が提供しテキサス・インスツルメンツが構成した Cortex®-A53 MPCore™ (Arm®-A53 クラスタ) を中心に構築されています。対称型マルチプロセッサ (SMP) アーキテクチャをベースとしているため、高性能と最適な電力管理、デバッグおよびエミュレーション機能を実現します。

A53 プロセッサはマルチイシュー アウトオブオーダー スーパースカラ実行エンジンであり、L1 命令キャッシュとデータ キャッシュを内蔵し、Arm®v8-A アーキテクチャと互換性があります。従来製品に比べ、電力効率が高く、性能が大幅に向上しています。

Arm®v8-A アーキテクチャは、多くの新機能を備えています。たとえば、64 ビット データ処理、拡張仮想アドレッシング、64 ビット 汎用レジスタがあります。A53 プロセッサは、電力効率の優れた 64 ビット処理の実現を目的とした、Arm 初の Arm®v8-A プロセッサです。8 段デュアル発行のインオーダー パイプラインと改良された整数型 Arm® Neon™、浮動小数点ユニット (FPU) とメモリの性能を特徴としています。

A53 CPU は、次の 2 つの実行状態をサポートしています。それは AArch32 と AArch64 です。AArch64 ステートにより、A53 CPU は 64 ビット アプリケーションを実行でき、AArch32 ステートによりプロセッサは既存の Arm®v7-A アプリケーションを実行できます。

詳細については、デバイスのテクニカル リファレンス マニュアルの「プロセッサとアクセラレータ」の章にある「Arm Cortex-A53 サブシステム」セクションを参照してください。

7.2.2 デバイス / パワー マネージャ

WKUP_R5FSS は、Arm® Cortex®-R5F プロセッサのシングル コア実装で、デバイス マネージャとしてブート、リソース管理、電源管理機能を実行します。また、付属のメモリ (L1 キャッシュおよび密結合メモリ)、標準的な Arm® CoreSight™ デバッグおよびトレース アーキテクチャ、統合型のベクタ割り込みマネージャ (VIM)、ECC アグリゲータ、SoC への統合を容易にするプロトコル変換およびアドレス変換用の各種モジュールも搭載しています。

詳細については、デバイスのテクニカル リファレンス マニュアルで「プロセッサとアクセラレータ」の章にある「デバイス マネージャ Cortex R5F サブシステム」セクションを参照してください。

7.2.3 MCU Arm Cortex-R5F サブシステム

MCU_R5FSS は、安全処理を実行することも、汎用 MCU として使用することもできる Arm® Cortex®-R5F を使ったサブシステムです。本プロセッサは、32KB の命令キャッシュ、32KB のデータ キャッシュ、64KB の密結合メモリを内蔵しています。

詳細については、デバイスのテクニカル リファレンス マニュアルの「プロセッサとアクセラレータ」の章にある「Cortex-R5F サブシステム」セクションを参照してください。

Copyright © 2025 Texas Instruments Incorporated

7.3 アクセラレータとコプロセッサ

7.3.1 行列乗算アクセラレータ搭載 C7x256V DSP

C7x DSP コアは、固定および浮動小数点 DSP プラットフォームの一部としてテキサス・インスツルメンツが開発した高性能デジタル信号プロセッサ (DSP) です。本コアは、DSP 技術の最先端を象徴するものであり、複雑な数学演算と大規模なデータ処理タスクを効率的かつ高速に処理できるように設計されています。本コアは、豊富なベクトル命令と複数の機能ユニットによって高度な算術処理性能を実現する VLIW (Very-Long-Instruction-Word、超長命令ワード) アーキテクチャを採用しています。ベクトル (SIMD) 命令と完全パイプライン型計算命令により、C7x DSP コアは 1 サイクルで多数の計算を実行できるため、リアルタイム処理を必要とするアプリケーションに最適です。

- **64 ビット アーキテクチャ:**C7x コアは、64 ビット メモリー アドレッシング機能とシングルサイクル 64 ビット基本算術演算を実行する機能を備えた真の 64 ビット マシンです。
- **固定小数点および浮動小数点演算:**本コアは、固定小数点ベクトル命令と浮動小数点ベクトル命令の両方をサポートしています。本コアは、完全にパイプライン化された 13 の機能ユニットを備えており、各クロック サイクルに最大 13 の命令の実行を開始できます。
- **完全パイプライン型機能ユニット:**独立した命令を各クロック サイクルに開始できるため、計算スループットを大幅に向上させることができます。
- **シングルサイクル L2 メモリ アクセス:**C7x のストリーミング エンジンを使うと、キャッシュをバイパスして、最大 6 次元のデータ パターンに対するシングル サイクル L2 メモリ アクセスが可能です。
- **性能向上:**前世代の C66x DSP コアに比べて、C7x コアは、DSP 処理能力に関して 4～8 倍、またはそれ以上の向上を達成しています。

AM62D デバイスは、256 ビット幅ベクタ コアを特長とする C7504 (C7x コアの一種) を内蔵しています。この堅牢なコアは、各種の演算を高効率で処理できるように設計されています。

- **1 サイクルあたりの演算回数:**1 サイクルあたり最大 40 回の浮動小数点演算を実行できます。浮動小数点演算には以下が含まれます。
  - 256 ビット幅の算術 / 論理演算 (乗算命令を除く):**2**
  - 256 ビット幅の乗算演算:**2**
  - 256 ビット幅の相関演算または標準算術演算:**1**
  - ベクトル述語操作演算:**1**
  - 非整列 256 ビット ロードまたはストア演算:**1**
- **1 サイクルあたりの MAC 回数:**C7x-256bV DSP コアは、優れた 1 サイクルあたり MAC (積和演算) 回数を達成します。
  - **Int16**:1 サイクルあたり最大 64 回の MAC
  - **Int32**:1 サイクルあたり最大 16 回の MAC
  - **Float**:1 サイクルあたり最大 16 回の MAC
- **マトリクス乗算アクセラレータ (MMA):**MMA コプロセッサは、C7x アーキテクチャのスカラーおよびベクトル機能を強化します。AM62D デバイスでは、MMA は C7x コアと強固に統合されています。MMA は、ストリーミング エンジン (SE) を使って、多数の MAC 演算、マトリクス (行列) 用に最適化されたストレージ、データ移動の機能を提供します。これらの機能は、ビジョン (CNN、SfM、フィルタリングなど)、スピーチ (xNN)、オーディオ (畳み込み)、レーダー (FFT)、制御 (強化学習、状態更新) などのアプリケーションで広く使われる複雑な線形代数演算に特に有益です。
- **シングルサイクル L2 メモリ サイズ:**1.25MB。

7.4 その他のサブシステム

7.4.1 デュアル クロック コンパレータ (DCC)

デュアル クロック コンパレータ (DCC) は、アプリケーションの実行中にクロック信号の精度を判定するために使用されます。特に、DCC は、期待されるクロック周波数からのドリフトを検出するように設計されています。必要な精度は、各アプリケーションの計算に基づいてプログラムできます。DCC は、別の入力クロックを基準として、選択可能なクロック ソースの周波数を測定します。

詳細については、デバイスのテクニカル リファレンス マニュアルで「ペリフェラル」の章にある「デュアル クロック コンパレータ」セクションを参照してください。

7.4.2 データ移動サブシステム (DMSS：Data Movement Subsystem)

DMSS モジュールは、デバイス上の CBA スイッチド インターコネクトとパケット ストリーミング ファブリック (ネットワーク オン チップ) 間のデータ移動 (DMA) およびブリッジを提供します。

データ移動サブシステム (DMSS) は、DMA / キュー管理コンポーネントとペリフェラルで構成されています。

- パケット DMA
- ブロック コピー DMA
- リング アクセラレータ
- パケット ストリーミング インターフェイス (PSILSS)
- CBASS、セキュア プロキシ、割り込みアグリゲータなどのインフラストラクチャコンポーネント

7.4.3 メモリの巡回冗長性検査(MCRC)

VBUSM CRC コントローラは、CRC (巡回冗長検査) を実行してメモリ システムの整合性を検証するために使用されるモジュールです。メモリの内容が MCRC コントローラに読み込まれるとき、メモリの内容を表すシグネチャを取得します。MCRC コントローラの役割は、一連のデータに対するシグネチャを計算して、その計算されたシグネチャ値と、あらかじめ設定された正しいシグネチャ値を比較することです。MCRC コントローラには 4 つのチャネルがあり、複数のメモリに対して並行して CRC 計算を実行します。これは、あらゆるメモリ システムで使用できます。

詳細については、デバイスのテクニカル リファレンス マニュアルで「ペリフェラル」の章にある「メモリの巡回冗長性検査」セクションを参照してください。

7.4.4 ペリフェラル DMA コントローラ (PDMA)

ペリフェラル DMA は、特にペリフェラルのデータ転送ニーズを満たすように設計されたシンプルな DMA です。ペリフェラル DMA は、コヒーレントではない標準のバス ファブリック経由でアクセスされる、メモリ マップされたレジスタ (MMR) を使用してデータ転送を実行します。PDMA モジュールは、データ移動用に外部 DMA を必要とする 1 つまたは複数のペリフェラルの近くに配置されており、VBUSP インターフェイスを使用してコストを削減し、静的に構成された転送要求 (TR) 動作のみをサポートするように設計されています。

PDMA は、ペリフェラル自体とデータをやり取りするデータ移動トランザクションの実行のみを担当します。指定されたペリフェラルから読み取られたデータは、PDMA ソース チャネルによって PSI-L データ ストリームにパックされます。その後、リモート ピア DMSS デスティネーション チャネルに送信され、メモリへのデータ移動が実行されます。同様に、リモート DMSS ソース チャネルはメモリからデータをフェッチし、PSI-L 経由でピア PDMA デスティネーション チャネルに転送し、次にペリフェラルへの書き込みを実行します。

PDMA アーキテクチャは意図的に異種混合 (DMSS + PDMA) を採用しており、システム内の各ポイントでデータ転送の複雑度を適切なサイズに設定して、送受信するデータのさまざまな要件に適合できます。ペリフェラルは通常 FIFO ベースであり、FIFO の次元の要件を超える多次元転送を必要としないため、PDMA 転送エンジンは、わずかな大きさ (通常はサンプル サイズと FIFO の深さによる)、ハードコードされたアドレス マップ、シンプルなトリガ機能だけという簡潔さが保たれています。

Copyright © 2025 Texas Instruments Incorporated

PDMA には複数のソースおよびデスティネーション チャネルが用意されており、複数の同時転送動作を実行できます。DMA コントローラは、基盤となる DMA ハードウェアを共有するために、各チャネルの状態情報を維持し、チャネル間のラウンド ロビン スケジューリングを採用しています。

7.4.5 リアルタイム クロック (RTC)

RTC の基本的な目的は、時刻を維持することです。RTC のもう 1 つの同様に重要な目的は、デジタル著作権管理です。RTC の停止、リセット、または破損が気が付かないうちに発生することが無いようにするには、ある程度の改ざん防止が必要で、そのようなことが起こった場合、アプリケーションが信頼できるソースから時刻を再取得することができるようになっています。

詳細については、デバイスのテクニカル リファレンス マニュアルで「ペリフェラル」の章にある「リアルタイム クロック」セクションを参照してください。

7.5 ペリフェラル

7.5.1 ギガビット イーサネット スイッチ (CPSW3G)

3 ポートのギガビット イーサネット スイッチ (CPSW0) サブシステムは、デバイスへのイーサネット パケット通信をデバイスに提供し、イーサネット スイッチとして構成できます。

詳細については、デバイスのテクニカル リファレンス マニュアルで「ペリフェラル」の章にある「ギガビット イーサネット スイッチ」セクションを参照してください。

7.5.2 カメラ シリアル インターフェイス レシーバ (CSI_RX_IF)

このデバイスは、CSI_RX_IF モジュールを内蔵しているので、複数のカメラから内部メモリにビデオ入力をストリーミングできます。

詳細については、デバイスのテクニカル リファレンス マニュアルで「ペリフェラル」の章にある「カメラ シリアル インターフェイス レシーバ」セクションを参照してください。

7.5.3 拡張キャプチャ (ECAP)

ECAP モジュールは、イベントの正確なタイミングを提供します。イベント キャプチャに使用しない場合、そのリソースを使用して非対称 PWM 波形のシングル チャネルを生成できます。

拡張キャプチャ (ECAP) モジュールは、以下の用途に使用できます。

- オーディオ入力のサンプル レート測定
- 回転機械の速度測定 (たとえば、歯付きスプロケットをホール センサで検知)
- 位置センサ パルス間の経過時間測定
- パルス列信号の周期およびデューティ サイクル測定
- デューティ サイクル符号化電流 / 電圧センサから得られた電流または電圧振幅の復号

詳細については、デバイスのテクニカル リファレンス マニュアルで「ペリフェラル」の章にある「拡張キャプチャ」セクションを参照してください。

7.5.4 エラー特定モジュール (ELM)

ELM は、生成されたシンドローム多項式からエラー アドレスを抽出します。

ELM は GPMC とともに使用されます。NAND フラッシュ ページを読み出すときにオンザフライで生成され、GPMC レジスタに保存されたシンドローム多項式が ELM に渡されます。ホスト プロセッサは、ELM エラー特定出力が示すビットを反転することで、データ ブロックを修正できます。

NAND フラッシュ メモリから読み出す場合、ある程度の誤り訂正が必要です。訂正機能を搭載していない NAND モジュール (ベア NAND とも呼ばれる) の場合、訂正処理はメモリ コントローラによって行われます。ELM は、パラレル NOR フラッシュまたは NAND フラッシュをサポートするためにも使用できます。

詳細については、デバイスのテクニカル リファレンス マニュアルで「ペリフェラル」の章にある「エラー特定モジュール」セクションを参照してください。

7.5.5 拡張パルス幅変調 (EPWM)

効果的な PWM ペリフェラルは、最小限の CPU オーバーヘッドまたは介入で、複雑なパルス幅波形を生成できる必要があります。高度にプログラマブルで、フレキシビリティが高く、しかも理解しやすく、使いやすいことが求められます。ここで説明する EPWM ユニットは、必要なすべてのタイミングおよび制御リソースを PWM チャネルごとに割り当てることで、これらの要件に対応しています。リソースの交換も共有も行われていません。その代わりに本 EPWM は、必要に応じて連携して動作できる、独立したリソースを備えた複数の小さなシングル チャネル モジュールで構成されています。このモジュール式手法により直交アーキテクチャが可能となり、ペリフェラルの構造をより透過的に観察できるようになるため、ユーザーはその動作をすぐに理解できます。

Copyright © 2025 Texas Instruments Incorporated

詳細については、デバイスのテクニカル リファレンス マニュアルで「ペリフェラル」の章にある「拡張パルス幅変調モジュール」セクションを参照してください。

7.5.6 エラー通知モジュール(ESM)

エラー通知モジュール (ESM) は、デバイス全体のイベントやエラーを 1 つの場所に集約します。イベントに対処するために、優先度の低い割り込みおよび高い割り込みをプロセッサに通知したり、I/O エラー ピンを操作して、エラーが発生したことを外部ハードウェアに通知したりすることができます。このため、外部コントローラでデバイスをリセットしたり、システムを安全な既知の状態に維持したりできます。

詳細については、デバイスのテクニカル リファレンス マニュアルで「ペリフェラル」の章にある「エラー通知モジュール」セクションを参照してください。

7.5.7 拡張直交エンコーダ パルス (eQEP)

拡張直交エンコーダ パルス (eQEP) ペリフェラルを、リニアまたはロータリー インクリメンタル エンコーダとの直接インターフェイスとして使用することにより、高性能な動作および位置制御システムで利用される位置、方向、速度の情報を、回転する機械から取得できます。インクリメンタル エンコーダのディスクは、シングル トラックのスロットパターンでパターン化されています。これらのスロットは、暗いラインと明るいラインの交互パターンを生成します。ディスクでの計数は、1 回転あたりに発生する暗いラインと明るいラインのペアの数 (1 回転あたりのライン数) で決まります。一般的に、2 番目のトラックを追加して、1 回転に 1 回発生する信号を生成します (インデックス信号：QEPI)。これは、絶対位置を示すために使用できます。エンコーダのメーカーは、このインデックスパルスに対して、インデックス、マーカー、ホーム位置、ゼロ基準などのさまざまな用語を使用しています。

詳細については、デバイスのテクニカル リファレンス マニュアルで「ペリフェラル」の章にある「拡張直交エンコーダ パルス」セクションを参照してください。

7.5.8 汎用インターフェイス (GPIO)

汎用入出力 (GPIO) ペリフェラルは、入力または出力として構成可能な専用の汎用ピンを備えています。出力として構成すると、内部レジスタに書き込むことにより、出力ピンの状態を制御できます。入力として構成すると、内部レジスタの状態を読み取ることにより、入力の状態を取得できます。

さらに、GPIO ペリフェラルは、さまざまな割り込み/イベント生成モードで、ホスト CPU 割り込みおよび DMA 同期イベントを生成できます。

詳細については、デバイスのテクニカル リファレンス マニュアルで「ペリフェラル」の章にある「汎用インターフェイス」セクションを参照してください。

7.5.9 汎用メモリ コントローラ (GPMC)

汎用メモリ コントローラは、以下に示すような外部メモリ デバイスとのインターフェイス専用の統合メモリ コントローラです。

- 非同期 SRAM などのメモリおよび ASIC (特定用途向け集積回路) デバイス
- 非同期、同期、ページ モード (非多重化モードでのみ使用可能) バースト NOR フラッシュ デバイス
- NAND フラッシュ
- 疑似 SRAM デバイス

詳細については、デバイスのテクニカル リファレンス マニュアルの「ペリフェラル」の章にある「汎用メモリ コントローラ」セクションを参照してください。

7.5.10 グローバル時間ベース カウンタ (GTC)

GTC モジュールは、時間同期およびデバッグ トレースのタイムスタンプ処理に使用できる連続実行カウンタを備えています。

詳細については、デバイスのテクニカル リファレンス マニュアルで「ペリフェラル」の章にある「グローバル時間ベース カウンタ」セクションを参照してください。

7.5.11 I2C (Inter-Integrated Circuit)

このデバイスにはマルチ コントローラの Inter-Integrated Circuit (I2C) コントローラが内蔵されており、それぞれが Arm などのローカル ホスト (LH) と、I²C シリアル バスで接続される任意の I²C バス互換デバイスとの間のインターフェイスを提供します。I²C バスに接続された外部コンポーネントは、2 線式の I²C インターフェイスを介して、LH デバイスとの間で最大 8 ビットのデータをシリアル送受信できます。

各マルチコントローラ I²C モジュールは、ターゲットまたはコントローラの I²C 互換デバイスとして動作するように構成できます。

I²C インスタンスは、専用の I²C 準拠オープン ドレイン I/O バッファ、または標準 LVCMOS I/O バッファを使用して実装できます。オープン ドレイン I/O バッファに関連付けられた I²C インスタンスは、Hs モードをサポートできます (I/O バッファが 1.8V で動作している場合は最大 3.4Mbps。しかし I/O バッファが 3.3V で動作している場合は 400kbps に制限)。

標準 LVCMOS I/O バッファに関連付けられた I²C インスタンスは、ファースト モード (最大 400kbps) をサポートできます。これらのポートで使用されている LVCMOS I/O バッファは、オープン ドレイン出力をエミュレートするように接続されます。このエミュレーションは、強制的に常に Low を出力し、出力バッファを無効にして、Hi-Z 状態にすることにより実行されます。

詳細については、デバイスのテクニカル リファレンス マニュアルで「ペリフェラル」の章にある「Inter-Integrated Circuit」セクションを参照してください。

7.5.12 モジュラー・コントローラ・エリア・ネットワーク (MCAN)

コントローラ エリア ネットワーク (CAN) は、高い安全性で分散リアルタイム制御を効率的にサポートするシリアル通信プロトコルです。CAN は電気的干渉に対する高い耐性を持ち、自己診断およびデータ エラー修正機能を備えています。CAN ネットワークでは、多くの短いメッセージがネットワーク全体にブロードキャストされるため、システムのすべてのノードでデータの整合性が確保されます。

MCAN モジュールは、従来型 CAN および CAN FD (フレキシブル なデータ レートの CAN) の両方のプロトコルをサポートしています。CAN FD 機能により、データ フレームあたりのスループットが向上し、ペイロードが増加します。従来型 CAN デバイスと CAN FD デバイスは、競合することなく、同じネットワーク上に共存できます。

詳細については、デバイスのテクニカル リファレンス マニュアルで「ペリフェラル」の章にある「モジュラー コントローラ エリア ネットワーク」セクションを参照してください。

7.5.13 マルチチャネル オーディオ シリアル ポート (MCASP)

このセクションでは、マルチチャネル オーディオ シリアル ポート (MCASP) モジュールについて紹介し、主な機能と本デバイスでの接続について説明します。

MCASP は汎用オーディオ シリアル ポートとして機能し、各種オーディオ アプリケーションの要件に合わせて最適化されています。MCASP モジュールは、送信モードおよび受信モードで動作できます。MCASP は、時分割多重型 (TDM) ストリーム、I2S (Inter-IC Sound、IC 間サウンド) プロトコル、および DIT (コンポーネント間デジタル オーディオ インターフェイス送信) で役立ちます。MCASP には、Sony/Philips デジタルインターフェイス (S/PDIF) の送信物理層コンポーネントに直接接続できるという柔軟性があります。

コンポーネント間デジタル オーディオ インターフェイス受信 (DIR) モード (S/PDIF ストリーム受信) は、MCASP モジュールでネイティブにはサポートされていませんが、MCASP レシーバ用に特定の TDM モードを実装することで、外部 DIR コンポーネントに対して簡単に接続できます (たとえば、S/PDIF から I2S フォーマット コンバータ)。

詳細については、デバイスのテクニカル リファレンス マニュアルで「ペリフェラル」の章にある「マルチチャネル オーディオ シリアル ポート」セクションを参照してください。

7.5.14 マルチチャネル シリアル ペリフェラル インターフェイス (MCSPI)

MCSPI モジュールは、マルチチャネル送信 / 受信、コントローラ / ペリフェラル同期シリアル バスです。

Copyright © 2025 Texas Instruments Incorporated

詳細については、デバイスのテクニカル リファレンス マニュアルで「ペリフェラル」の章にある「マルチチャネル シリアル ペリフェラル インターフェイス」セクションを参照してください。

7.5.15 マルチメディア カード セキュア デジタル (MMCSD)

MMCSD ホスト コントローラは、eMMC 5.1 (組み込みマルチメディア カード)、SD 4.10 (セキュア デジタル)、および SDIO 4.0 (セキュア デジタル IO) デバイスへのインターフェイスとして機能します。MMCSD ホスト コントローラは、送信レベルでの MMC/SD/SDIO プロトコル、データ パッキング、巡回冗長検査 (CRC) の追加、開始 / 終了ビットの挿入、構文の正確性チェックを処理します。

詳細については、デバイスのテクニカル リファレンス マニュアルで「ペリフェラル」の章にある「マルチメディアカード / セキュア デジタル」セクションを参照してください。

7.5.16 オクタル シリアル ペリフェラル インターフェイス (OSPI)

オクタル シリアル ペリフェラル インターフェイス (OSPI) モジュールは、シリアル ペリフェラル インターフェイス (SPI) モジュールで、外部フラッシュ デバイスへのシングル、デュアル、クワッド、またはオクタルの読み取りおよび書き込みアクセスを可能にします。このモジュールは、メモリ マップ レジスタ インターフェイスを備えており、外部フラッシュ デバイスからデータにアクセスするためのダイレクト メモリ インターフェイスとして機能するので、ソフトウェア要件が簡素化されます。

OSPI モジュールは、メモリ マップ直接モード (たとえば、プロセッサが外部フラッシュ メモリからコードを直接実行しようとする場合) または間接モード (要求された動作をサイレントに実行し、割り込みやステータス レジスタによって動作が完了したことを通知するようにモジュールが設定されている状態) でデータを転送するために使用します。間接動作の場合、データは内部 SRAM を経由してシステム メモリと外部フラッシュ メモリの間で転送されます。この SRAM は書き込みのためにロードされ、読み出しのためにアンロードされます。読み出しはデバイス コントローラによって低レイテンシのシステム速度で行われます。この SRAM にアクセスする具体的な時期は、割り込みまたはステータス レジスタを使用して識別します。この設定は、ユーザー プログラマブルな構成レジスタによって行います。

詳細については、デバイスのテクニカル リファレンス マニュアルで「ペリフェラル」の章にある「オクタル シリアル ペリフェラル インターフェイス (OSPI)」セクションを参照してください。

7.5.17 タイマ

すべてのタイマには、オペレーティング システムへの正確なティック割り込みを生成するための特定の機能が含まれています。

詳細については、デバイスのテクニカル リファレンス マニュアルで「ペリフェラル」の章にある「タイマ」セクションを参照してください。

7.5.18 UART (ユニバーサル非同期レシーバ / トランスミッタ)

UART は、ホスト CPU を介したデータ転送または割り込みポーリングに DMA を利用するペリフェラルです。すべての UART モジュールは、48MHz 機能クロックを使用する場合、IrDA および CIR モードをサポートします。各 UART は、多数の外部ペリフェラル デバイスの構成およびデータ交換、またはデバイス相互のプロセッサ間通信に使用できます。

詳細については、デバイスのテクニカル リファレンス マニュアルで「ペリフェラル」の章にある「ユニバーサル同期 / 非同期レシーバ / トランスミッタ」セクションを参照してください。

7.5.19 ユニバーサル シリアル バス サブシステム (USBSS)

USB (ユニバーサル シリアル バス) は、USB デバイス間のデータ転送メカニズムを実装することで、多くの消費者向けポータブル機器に低コストのコネクティビティ ソリューションを提供します。

このデバイスは、最高で USB2.0 の速度 (480Mb/s) で動作するサード パーティー USB サブシステム (USB2SS) の 2 つの独立したインスタンスを生成します。これらのインスタンスはどちらも、USB ホストまたは USB デバイスとして動作するように個別に構成できます。

詳細については、「ペリフェラル」の章にある「ユニバーサル シリアル バス サブシステム」を参照してください。

8 アプリケーション、実装、およびレイアウト

注

以下のアプリケーション情報は、TI の製品仕様に含まれるものではなく、TI ではその正確性または完全性を保証いたしません。個々の目的に対する製品の適合性については、お客様の責任で判断していただくことになります。お客様は自身の設計実装を検証しテストすることで、システムの機能を確認する必要があります。

8.1 デバイスの接続およびレイアウトの基礎

8.1.1 電源

8.1.1.1 電源供給回路の実装ガイド

『Sitara プロセッサ電源供給回路：実装と分析』は、電源供給回路を正しく実装するためのガイダンスを提供します。これには、PCB スタックアップ ガイダンスと、デカップリング コンデンサの選択および配置を最適化するためのガイダンスが含まれます。テキサス・インスツルメンツは、このアプリケーション レポートに記載されているボード設計ガイドラインに従った設計のみをサポートしています。

8.1.2 外部発振器

外部発振器の詳細については、*「クロック仕様」*セクションを参照してください。

8.1.3 JTAG、EMU、およびトレース

テキサス・インスツルメンツは、JTAG のサポートだけでなく、さまざまなデバッグ機能を備えた各種の拡張開発システム (XDS) JTAG コントローラをサポートしています。この情報の概要については、『XDS ターゲット接続ガイド』を参照してください。

JTAG、EMU、およびトレース配線の推奨事項については、『エミュレーションおよびトレース ヘッダー テクニカル リファレンス マニュアル』を参照してください。

8.1.4 未使用のピン

未使用ピンの詳細については、セクション 5.4「ピン接続要件」を参照してください。

Copyright © 2025 Texas Instruments Incorporated

8.2 ペリフェラルおよびインターフェイス固有の設計情報

8.2.1 DDR 基板の設計およびレイアウトのガイドライン

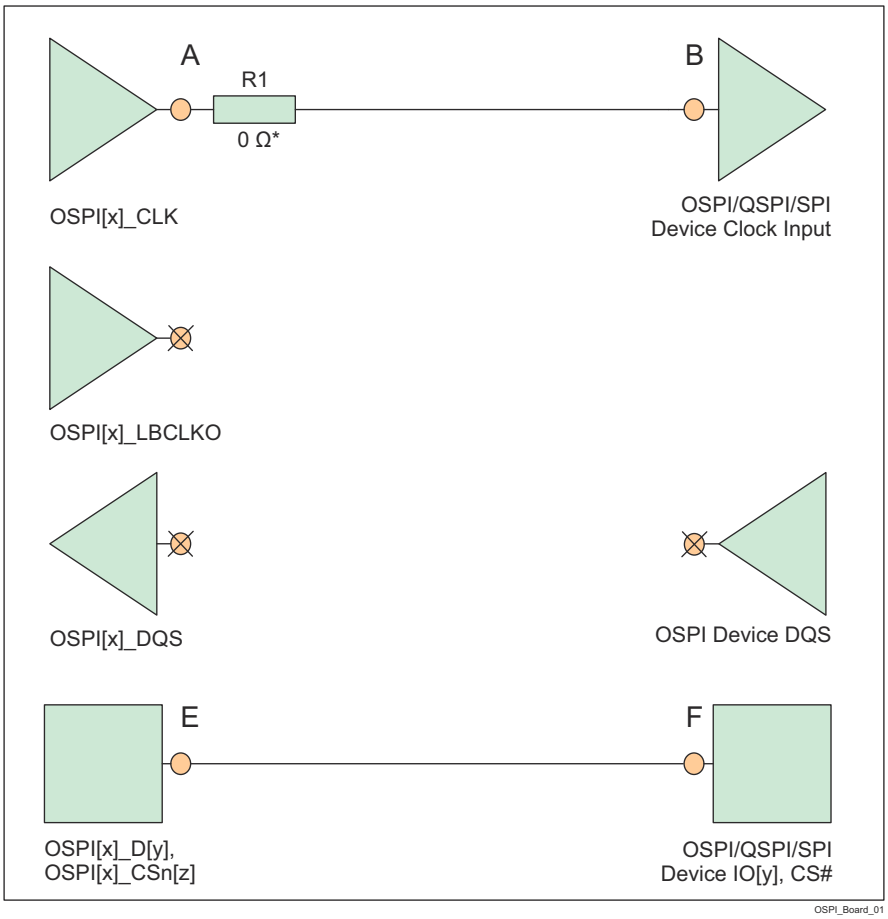
『AM62Ax/AM62Dx/AM62Px LPDDR4 基板の設計およびレイアウトのガイドライン』の目標は、すべての設計者に対して DDR システムの実装を明快にすることです。要件を一連のレイアウトおよび配線ルールに絞り込んで、設計者が、テキサス・インスツルメンツのサポートするトポロジに対応した堅牢な設計を正しく実装できるようにしています。テキサス・インスツルメンツは、LPDDR4 メモリを使用したボード設計において、このドキュメントのガイドラインに従ったものだけをサポートしています。

8.2.2 OSPI/QSPI/SPI 基板の設計およびレイアウトのガイドライン

以下のセクションでは、OSPI、QSPI および SPI デバイスの接続にあたって従うべき PCB の配線ガイドラインについて詳しく説明します。

8.2.2.1 ループバックなし、内部 PHY ループバックおよび内部パッド ループバック

- OSPI[x]_CLK 出力ピンは、接続されている OSPI/QSPI/SPI デバイスの CLK 入力ピンに接続する必要があります。
- OSPI[x]_CLK ピンから接続されている OSPI/QSPI/SPI デバイスの CLK ピン (A から B) までの信号伝搬遅延は 450ps 未満 (ストリップラインの場合は約 7cm、マイクロストリップの場合は約 8cm) とする必要があります。
- 各 OSPI[x]_D[y] および OSPI[x]_CSn[z] ピンから、対応する接続された OSPI/QSPI/SPI デバイス データおよび制御ピン (E から F、または F から E) までの信号伝搬遅延は、OSPI[x]_CLK ピンから接続された OSPI/QSPI/SPI デバイス CLK ピン (A から B) までの信号伝搬遅延にほぼ等しくなる必要があります
- 図 8-1 に示すように、50Ω の PCB 配線および直列終端を推奨します
- 伝搬遅延とマッチング：
  - (A から B) ≦ 450ps
  - (E から F、または F から E) = ((A から B) ± 60ps)



* 0Ω 抵抗 (R1) は、OSPI[x]_CLK ピンのできるだけ近くに配置して、必要に応じて微調整するためのプレースホルダです。

図 8-1. ループバックなし、内部 PHY ループバック、内部パッド ループバックの OSPI 接続回路図

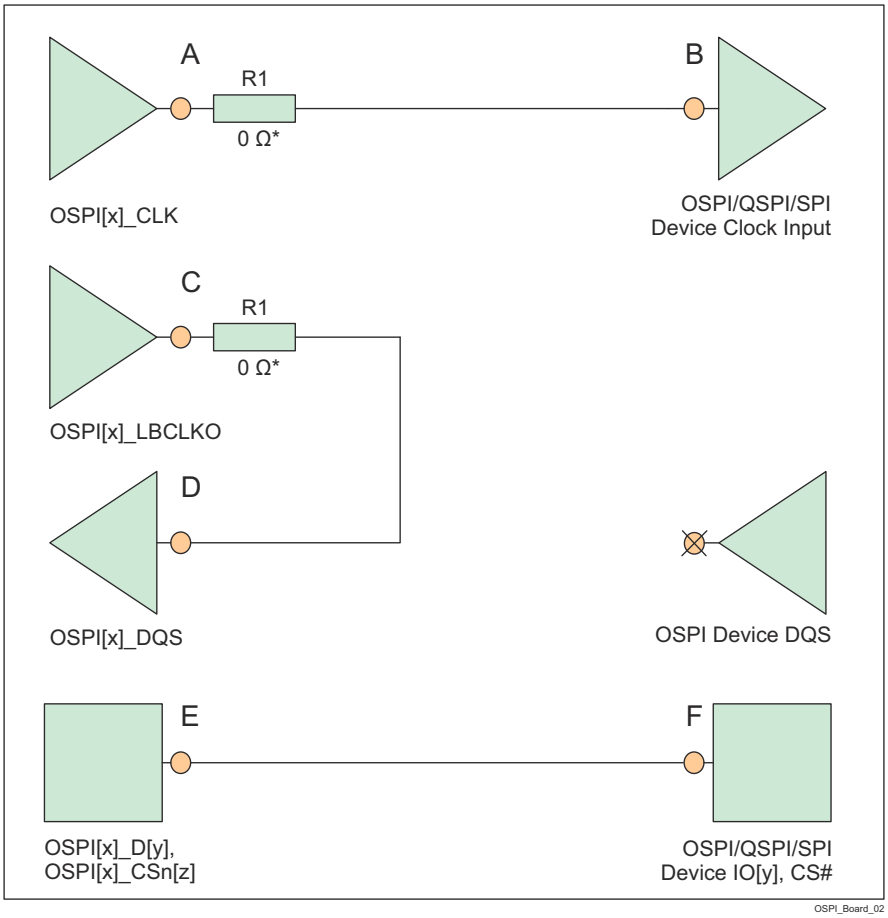
Copyright © 2025 Texas Instruments Incorporated

8.2.2.2 外部ボードのループバック

- OSPI[x]_CLK 出力ピンは、接続されている OSPI/QSPI/SPI デバイスの CLK 入力ピンに接続する必要があります。
- OSPI[x]_LBCLKO 出力ピンは、OSPI[x]_DQS 入力ピンにループバックする必要があります。
- OSPI[x]_LBCLKO ピンから OSPI[x]_DQS ピン (C から D) までの信号伝搬遅延は、OSPI[x]_CLK ピンから、接続された OSPI/QSPI/SPI デバイスの CLK ピン (A から B) までの伝搬遅延の約 2 倍である必要があります。
- 各 OSPI[x]_D[y] および OSPI[x]_CSn[z] ピンから、対応する接続された OSPI/QSPI/SPI デバイス データおよび制御ピン (E から F、または F から E) までの信号伝搬遅延は、OSPI[x]_CLK ピンから接続された OSPI/QSPI/SPI デバイス CLK ピン (A から B) までの信号伝搬遅延にほぼ等しくなる必要があります
- 図 8-2 に示すように、50Ω の PCB 配線および直列終端を推奨します
- 伝搬遅延とマッチング:
  - (C から D) = 2 x ((A から B) ± 30ps)、下の例外の注を参照してください。
  - (E から F、または F から E) = ((A から B) ± 60ps)

注

外部ボード ループバック ホールド時間要件 (「OSPI0 のタイミング要件 - PHY DDR モード」セクションのパラメータ番号 O16 で規定) は、標準的な OSPI/QSPI/SPI デバイスで提供されるホールド時間よりも長い場合があります。この場合、ホールド時間を増やすため、OPSI[x]_LBCLKO ピンから OSPI[x]_DQS ピン (C から D) までの伝搬遅延を短くすることができます。

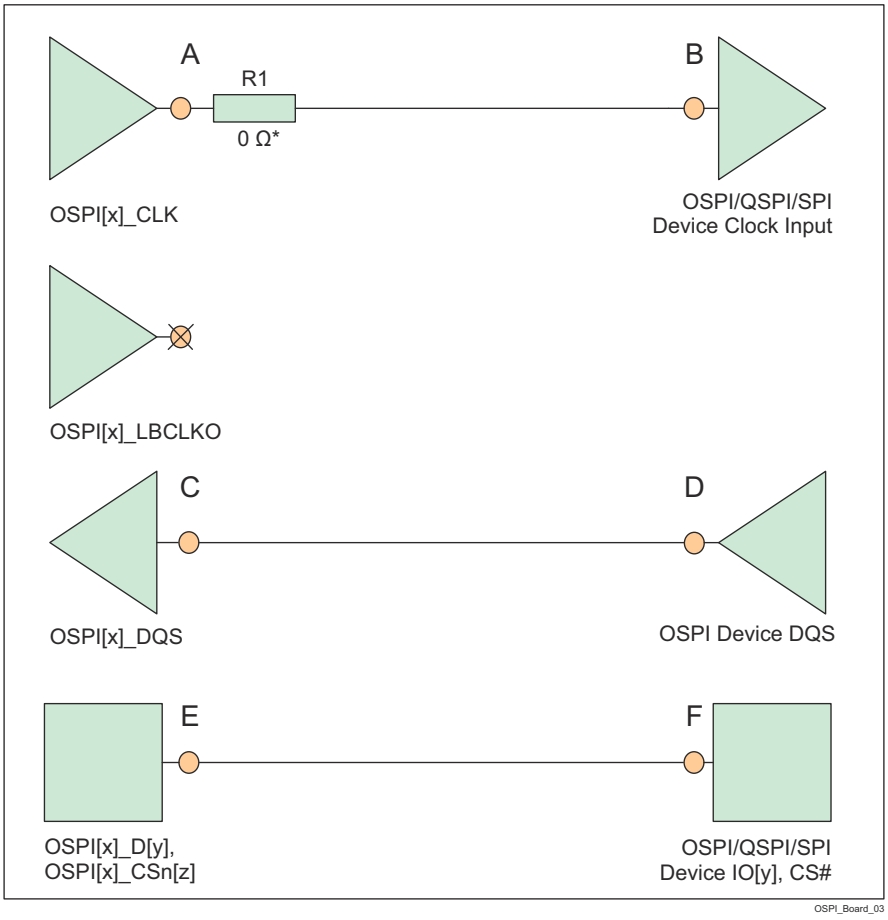


* OSPI[x]_CLK ピンおよび OSPI[x]_LBCLKO ピンのできるだけ近くに配置された 0Ω 抵抗 (R1) は、必要に応じて微調整するためのプレースホルダです。

図 8-2. 外部ボード ループバックの OSPI 接続回路図

8.2.2.3 DQS (オクタル SPI デバイスでのみ使用可能)

- OSPI[x]_CLK 出力ピンは、接続されている OSPI/QSPI/SPI デバイスの CLK 入力ピンに接続する必要があります。
- 接続されている OSPI/QSPI/SPI デバイスの DQS ピンは、OSPI[x]_DQS ピンに接続する必要があります
- 接続された OSPI/QSPI/SPI デバイスの DQS ピンから OSPI[x]_DQS ピン (D から C) までの信号伝搬遅延は、OSPI[x]_CLK ピンから接続された OSPI/QSPI/SPI デバイスの CLK ピン (A から B) までの信号伝搬遅延にほぼ等しくなる必要があります
- 各 OSPI[x]_D[y] および OSPI[x]_CSn[z] ピンから、対応する接続された OSPI/QSPI/SPI デバイス データおよび制御ピン (E から F、または F から E) までの信号伝搬遅延は、OSPI[x]_CLK ピンから接続された OSPI/QSPI/SPI デバイス CLK ピン (A から B) までの信号伝搬遅延にほぼ等しくなる必要があります
- 図 8-3 に示すように、50Ω の PCB 配線および直列終端を推奨します
- 伝搬遅延とマッチング：
  - (D から C) = ((A から B) ± 30ps)
  - (E から F、または F から E) = ((A から B) ± 60ps)



* 0Ω 抵抗 (R1) は、OSPI[x]_CLK ピンのできるだけ近くに配置して、必要に応じて微調整するためのプレースホルダです。

図 8-3. DQS の OSPI 接続回路図

Copyright © 2025 Texas Instruments Incorporated

8.2.3 USB VBUS 設計ガイドライン

USB 3.1 仕様では、VBUS 電圧は通常動作で最大 5.5V であり、「パワー デリバリー」追補がサポートされている場合は最大 20V になることが許容されています。一部の車載アプリケーションは、最大電圧を 30V にする必要があります。

このデバイスでは、外付けの分圧抵抗を使用して VBUS 信号電圧を下げる必要があります (図 8-4 を参照)。これにより、実際のデバイス ピン (USB0_VBUS) に印加される電圧が制限されます。これらの外部抵抗の許容誤差は 1% 以下、ツェナー ダイオードの 5V でのリーク電流は 100nA 未満の必要があります。

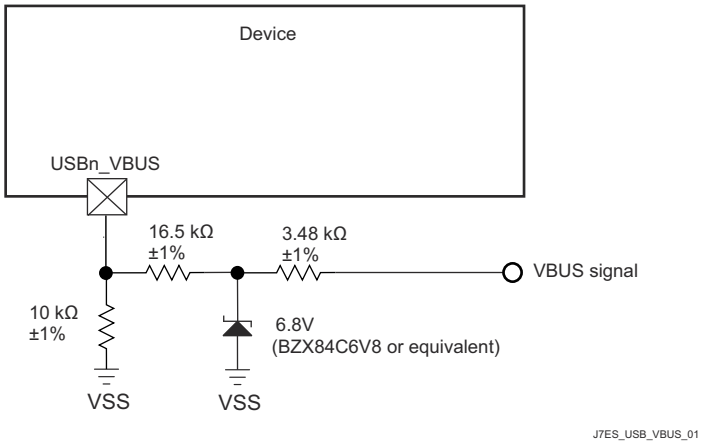


図 8-4. USB VBUS 検出分圧器 / クランプ回路

デバイスの電源がオフのときに VBUS が印加された場合、図 8-4 に示す外部回路によって実際のデバイス ピンへの入力電流が制限されるため、USB0_VBUS ピンはフェイルセーフであると考えることができます。

8.2.4 システム電源監視設計ガイドライン

VMON_VSYS ピンは、システム電源を監視する手段を提供します。このシステム電源は通常、システム全体に供給される事前に安定化された 1 つの電源であり、外付け分圧抵抗回路を介して VMON_VSYS ピンに接続できます。このシステム電源は、外部分圧器の出力電圧を内部基準電圧と比較することによって監視されます。VMON_VSYS に印加された電圧が内部基準電圧を下回ると、パワー フェイル イベントがトリガされます。実際のシステム電源電圧トリップ ポイントは、外付け抵抗による分圧回路の実装に使用する部品の値を選択するときに、システム設計者が決定します。

分圧抵抗回路を設計する際は、システム電源監視のトリップ ポイントの変動に寄与するさまざまな要因を理解する必要があります。最初に考慮するのは、VMON_VSYS 入力スレッショルドの初期精度です。このスレッショルドの公称値は 0.45V で、変動は ±3% です。分圧抵抗回路の実装には、同程度の熱係数で高精度の 1% 抵抗を推奨します。これにより、抵抗値の誤差に起因する変動を最小限に抑えることができます。VMON_VSYS に関連する入力リーク電流も考慮する必要があります。これは、ピンに流入する電流によって分圧器出力に負荷誤差が生じるためです。VMON_VSYS 入力のリーク電流は、0.45V 印加時に 10nA～2.5μA の範囲となる場合があります。

注

抵抗分圧器は、通常動作条件において、その出力電圧が「推奨動作条件」に定義された最大値を超えないように設計する必要があります。

システム電源が公称 5V で、最大トリガ スレッショルドが 5V - 10%、すなわち 4.5V の場合の例を 図 8-5 に示します。

この例では、抵抗値を選択する際に、どの変数が最大トリガ スレッショルドに影響を与えるかを理解する必要があります。システム電源が 10% 低下するまでトリップしない分圧器を設計するには、VMON_VSYS 入力スレッショルドが 0.45V + 3% であるデバイスを検討する必要があります。抵抗の許容誤差と入力リーク電流の影響も考慮する必要がありますが、最大トリガ ポイントに対する寄与は明らかではありません。最大トリガ電圧を生成する部品値を選択するときは、VMON_VSYS ピンの入力リーク電流が 2.5μA であるという条件と、R1 の値が 1% 低く、R2 の値が 1% 高いという条件

を考慮する必要があります。R1 = 4.81kΩ および R2 = 40.2kΩ の抵抗分圧器を実装すると、結果として最大トリガ スレッショルドは 4.517V になります。

上記のように最大トリガ電圧を満たすように部品の値を選択すると、R1 の値が 1% 高く、R2 の値が 1% 低い場合、および入力リーク電流が 10nA またはゼロの場合、システム設計者は、出力電圧が 0.45V - 3% になる印加電圧を計算することにより、最小トリガ電圧を決定できます。上記の抵抗値とゼロの入力リーク電流を組み合わせた結果、最小トリガ スレッショルドは 4.013 V となります。

この例は、4.013V から 4.517V まで変動するシステム電源電圧トリップ ポイントを示しています。この範囲のうち約 250mV は VMON_VSYS の入力スレッショルド精度 ±3% によって発生し、約 150mV は抵抗の誤差 ±1% によって発生し、約 100mV は VMON_VSYS の入力リーク電流が 2.5μA である場合の負荷誤差により発生しています。

この例で選択した抵抗値を使うと、システム電源が 4.5V の場合、約 100μA のバイアス電流が抵抗分圧器を流れます。先に述べた 100mV の負荷誤差は、抵抗分圧器を流れるバイアス電流を約 1mA に増やすことで、約 10mV に低減できます。したがって、抵抗分圧器のバイアス電流と負荷誤差の関係は、部品の値を選択するときにシステム設計者が考慮する必要がある事項です。

VMON_VSYS は、最小のヒステリシスで、過渡に対する高帯域応答を備えているため、システム設計者は分圧器出力にノイズ フィルタを実装することも考慮する必要があります。これは、図 8-5 に示すように、R1 の両端にコンデンサを取り付けることで実現できます。ただし、システム設計者は、システムの電源ノイズと、過渡現象に対して予測される応答に基づいて、このフィルタの応答時間を決定する必要があります。

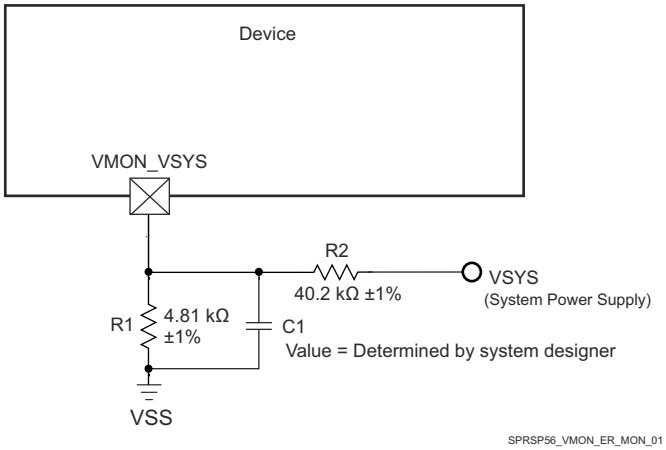


図 8-5. システム電源監視分圧回路

VMON_1P8_SOC ピンは、外部 1.8V 電源を監視する手段を提供します。このピンは、それぞれの電源に直接接続する必要があります。この SoC には、これらの各ピン用にソフトウェア制御の内部分圧抵抗が実装されています。ソフトウェアにより内部分圧抵抗回路をプログラミングすることで、適切な低電圧および過電圧の割り込みを生成できます。

VMON_3P3_SOC ピンは、外部 3.3V 電源を監視する手段を提供します。このピンは、それぞれの電源に直接接続する必要があります。この SoC には、これらの各ピン用にソフトウェア制御の内部分圧抵抗が実装されています。ソフトウェアにより内部分圧抵抗回路をプログラミングすることで、適切な低電圧および過電圧の割り込みを生成できます。

8.2.5 高速差動信号のルーティング ガイド

『高速インターフェイスのレイアウト ガイドライン』には、高速差動信号を正しく配線するためのガイダンスが示されています。これには、PCB スタックアップと材料のガイダンス、配線スキュー、長さ、間隔の制限が含まれます。テキサス・インスツルメンツは、このアプリケーション ノートに記載されているボード設計ガイドラインに従った設計のみをサポートしています。

8.2.6 熱ソリューション ガイダンス

『DSP および ARM アプリケーション プロセッサ用の熱設計ガイド』は、このデバイスを搭載したシステム設計の熱ソリューションを正しく実装するための指針を提供しています。この資料は、熱ソリューションに関連する一般的な用語と方法に関

Copyright © 2025 Texas Instruments Incorporated

する背景情報を記載しています。テキサス・インスツルメンツは、このアプリケーション ノートに記載されているシステム設計ガイドラインに従った設計のみをサポートしています。

8.3 クロック配線のガイドライン

8.3.1 発振器の配線

プリント基板を設計する際、以下のことに留意してください。

- 水晶振動子回路の部品はすべて、各デバイス ピンのできるだけ近くに配置します。
- 水晶振動子回路のパターンは PCB の外層に配線します。そして、寄生容量を減らし、その他の信号からのクロストークを最小化するため、パターン長を最小限に抑えます。
- すべての水晶振動子回路部品と水晶振動子回路パターンの下になるように、隣接する PCB 層に連続的なグランド プレーンを配置します。
- 水晶振動子回路部品の周囲にグランド ガードを配置し、水晶振動子回路パターンと同じ層に配線された隣接信号から、これらの部品をシールドします。グランド ガードが未終端のスタブを持たないように、複数のビアを挿入して、グランド ガードをグランド プレーンに接続します。
- MCU_OSC0_XI 信号と MCU_OSC0_XO 信号の間にグランド ガードを配置し、MCU_OSC0_XI 信号を MCU_OSC0_X0 信号からシールドします。グランド ガードが未終端のスタブを持たないように、複数のビアを挿入して、グランド ガードをグランドに接続します。
- 水晶振動子回路のすべてのグランド接続とグランド ガード接続は、隣接する層のグランド プレーンに直接接続します (PCB の異なる層に個別に実装されている場合、デバイス VSS グランド プレーンに接続します)。

注

MCU_OSC0_XI 信号と MCU_OSC0_XO 信号の間にグランド ガードを実装することは、2 つの信号間のシャント容量を最小化するために重要です。これらの 2 つの信号の間にグランド ガードを配置しないで、これらの 2 つの信号を隣接して配線すると、発振器アンプのゲインが実質的に低下し、発振開始能力が低下します。

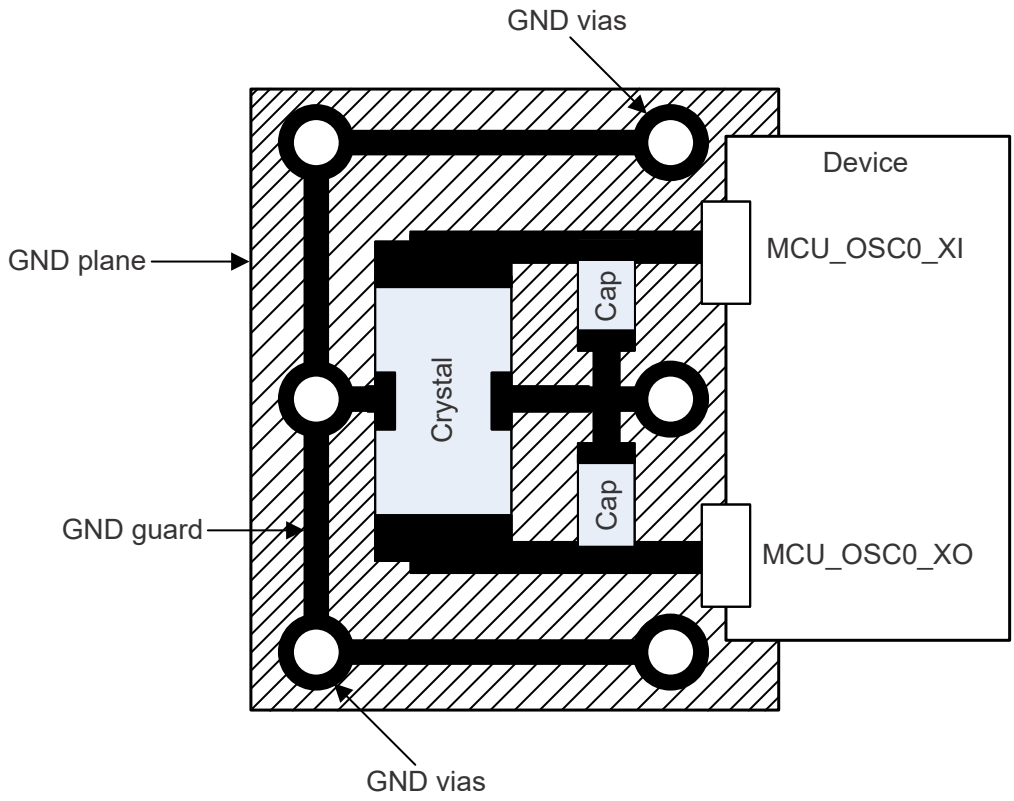


図 8-6. MCU_OSC0 の PCB の要件

Copyright © 2025 Texas Instruments Incorporated

9 デバイスおよびドキュメントのサポート

9.1 デバイスの命名規則

製品開発サイクルの段階を示すために、テキサス・インスツルメンツではマイクロプロセッサ (MPU) とサポート ツールのすべての型番に接頭辞が割り当てられています。各デバイスには次の 3 つのいずれかの接頭辞があります:X、P、空白 (接頭辞なし) (例:AM62D24AVGHIANFRQ1)。テキサス・インスツルメンツでは、サポート ツールについては、使用可能な 3 つの接頭辞のうち TMDX および TMDS の 2 つを推奨しています。これらの接頭辞は、製品開発の進展段階を表します。段階には、エンジニアリング プロトタイプ(TMDX)から、完全認定済みの量産デバイス/ツール(TMDS)までであります。

デバイスの開発進展フロー:

X 実験的デバイス。最終デバイスの電気的特性を必ずしも表さず、量産アセンブリ フローを使用しない可能性があります。

P プロトタイプ デバイス。最終的なシリコン ダイとは限らず、最終的な電気的特性を満たさない可能性があります。

空白 認定済みのシリコン ダイの量産バージョン。

サポート ツールの開発進展フロー:

TMDX 開発サポート製品。テキサス・インスツルメンツの社内認定試験はまだ完了していません。

TMDS 完全に認定済みの開発サポート製品です。

X および P デバイスと TMDX 開発サポート ツールは、以下の免責事項の下で出荷されます。

「開発中の製品は、社内での評価用です。」

量産デバイスおよび TMDS 開発サポート ツールの特性は完全に明確化されており、デバイスの品質と信頼性が十分に示されています。テキサス・インスツルメンツの標準保証が適用されます。

プロトタイプ デバイス(X または P)の方が標準的な量産デバイスに比べて故障率が大きいと予測されます。これらのデバイスは予測される最終使用時の故障率が未定義であるため、テキサス・インスツルメンツではそれらのデバイスを量産システムで使用しないよう推奨しています。認定済みの量産デバイスのみを使用する必要があります。

ANF パッケージ タイプの AM62Dx デバイスの注文可能な型番については、このドキュメントにあるパッケージ オプションの付録やテキサス・インスツルメンツの Web サイト (ti.com) を参照するか、テキサス・インスツルメンツの販売代理店にお問い合わせください。

9.1.1 標準パッケージの記号化

注

一部のデバイスには、パッケージの上面に装飾的な円形のマーキングがあります。これは、量産テスト プロセスの結果として添付されます。さらに、一部のデバイスでは、パッケージのサブストレートの製造元によって、パッケージのサブストレートに色のばらつきが見られる場合があります。このばらつきは外見上だけのものであって、信頼性には影響しません。

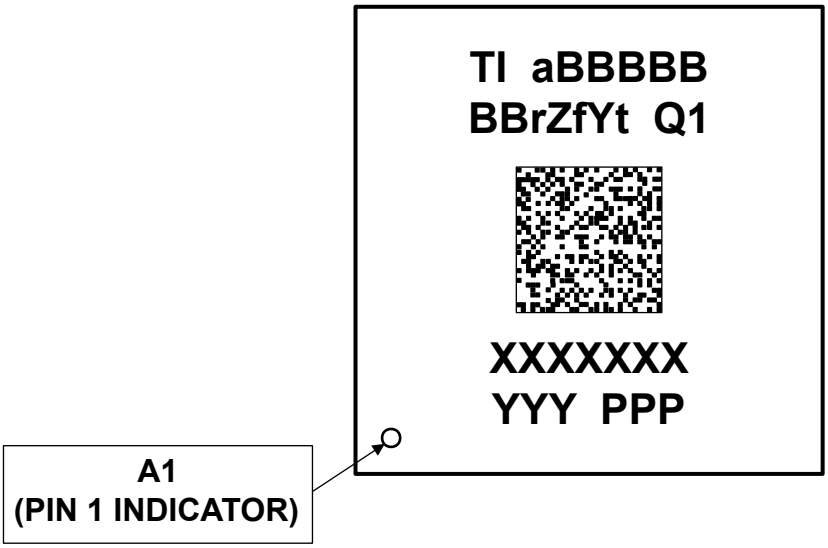


図 9-1. 印刷されたデバイス参照

Copyright © 2025 Texas Instruments Incorporated

9.1.2 デバイスの命名規則

表 9-1. 項目名の説明

フィールド パラメータ	フィールドの説明	値	説明
TI	デバイスの製造元	TI	テキサス・インスツルメンツ
a	デバイスの開発段階	X	プロトタイプ
		P	量産前(量産テスト フロー、信頼性データなし)
		空白 (1)	量産出荷中
BBBBBBB	基本量産型番	AM62D24	デバイスの比較を参照してください
		AM62D22	
r	デバイス リビジョン	A	SR1.0
Z	デバイス速度グレード	P	デバイス速度グレードを参照してください
		R	
		V	
f	特長(「デバイスの比較」を参照)	G	基数
Y	セキュリティ / 機能安全	1～9	ダミー キーによるセキュリティ / 機能安全なし
		H から R へ	プロダクション キーによるセキュリティ / 機能安全なし
		S から Z へ	プロダクション キーによるセキュリティ / 機能安全なし
t	温度(2)	A	–40°C～105°C - 拡張産業用 (「推奨動作条件」を参照)
		I	–40°C～125°C - 車載用 (「推奨動作条件」を参照)
Q1	車載識別記号	Q1	車載認定済み (AEC - Q100)
		空白 (1)	標準
	2D バーコード	条件によって変化	オプションの 2D バーコードは、追加のデバイス情報を提供します
		空白 (1)	
XXXXXXX	ロットのトレース コード(LTC)		
YYY	量産コード、TI でのみ使用		
PPP	パッケージ指定子	ANF	FCCSP BGA (484 ピン)
●	ピン 1 の指定子		

(1) 記号または型番の空白は省略されるため、前後の文字は連続して表記されます。
(2) デバイスの接合部の最大温度に適用されます。

9.2 ツールとソフトウェア

以下の開発ツールは、テキサス・インスツルメンツの組込みプロセッシング プラットフォームの開発をサポートしています。

開発ツール

Code Composer Studio™ 統合開発環境 Code Composer Studio (CCS) 統合開発環境 (IDE) は、テキサス・インスツルメンツのマイクロコントローラと組込みプロセッサのポートフォリオをサポートする開発環境です。Code Composer Studio は、組み込みアプリケーションの開発およびデバッグに必要な一連のツールで構成されています。最適化 C/C++ コンパイラ、ソース コード エディタ、プロジェクト ビルド環境、デバッガ、プロファイラなど、多数の機能が含まれています。IDE は直感的で、アプリケーションの開発フローの各段階を、すべて同一のユーザー インターフェイスで実行できます。使い慣れたツールとインターフェイスにより、ユーザーは従来より迅速に作業を開始できます。Code Composer Studio は、Eclipse ソフトウェア フレームワークの利点と、テキサス・インスツルメンツの先進的な組み込みデバッグ機能の利点を組み合わせて、組み込み製品の開発者向けの魅力的で機能豊富な開発環境を実現します。

SysConfig-PinMux ツール SysConfig-PinMux ツールは、テキサス・インスツルメンツの組み込みプロセッサ デバイスのピン多重化設定を構成し、競合を解決し、I/O セルの特性を指定するためのグラフィカル ユーザー インターフェイスを提供するソフトウェア ツールです。このツールを使用すると、入力したシステム要件を満たすために最適なピン マルチプレクサ構成を自動的に計算できます。このツールは C ヘッダ / コード ファイルを出力し、これらのファイルをソフトウェア開発キット (SDK) にインポートしたり、カスタム ハードウェア要件を満たすためにカスタム ソフトウェアを構成したりするために使用できます。**クラウド ベースの SysConfig-PinMux ツール**も利用できます。

プロセッサ プラットフォーム用の開発サポート ツールすべての一覧については、テキサス・インスツルメンツの Web サイト (ti.com) を参照してください。価格と在庫状況については、お近くのフィールド セールス オフィスまたは認可代理店にお問い合わせください。

9.3 ドキュメントのサポート

ドキュメントの更新についての通知を受け取るには、www.tij.co.jp のデバイス製品フォルダを開いてください。[通知] をクリックして登録すると、変更されたすべての製品情報に関するダイジェストを毎週受け取ることができます。変更の詳細については、修正されたドキュメントに含まれている改訂履歴をご覧ください。

以下のドキュメントは、AM62Dx デバイスについて記載しています。

テクニカル リファレンス マニュアル

AM62Dx Sitara プロセッサ テクニカル リファレンス マニュアル:AM62Dx デバイス ファミリに含まれる各ペリフェラルおよびサブシステムについて、統合、環境、機能説明、プログラミング モデルの詳細が記載されています。

エラッタ

AM62Dx Sitara プロセッサ シリコン エラッタ:このデバイスの機能仕様に関する既知の例外が記載されています。

9.4 サポート・リソース

テキサス・インスツルメンツ E2E™ サポート・フォーラムは、エンジニアが検証済みの回答と設計に関するヒントをエキスパートから迅速かつ直接得ることができる場所です。既存の回答を検索したり、独自の質問をしたりすることで、設計で必要な支援を迅速に得ることができます。

リンクされているコンテンツは、各寄稿者により「現状のまま」提供されるものです。これらはテキサス・インスツルメンツの仕様を構成するものではなく、必ずしもテキサス・インスツルメンツの見解を反映したものではありません。テキサス・インスツルメンツの使用条件を参照してください。

9.5 商標

Sitara™, C7000™, Code Composer Studio™, and テキサス・インスツルメンツ E2E™ are trademarks of Texas Instruments.
MPCore™, Neon™, and CoreSight™ are trademarks of Arm Limited (or its subsidiaries) in the US and/or elsewhere.

Copyright © 2025 Texas Instruments Incorporated

Arm®, Cortex®, and TrustZone® are registered trademarks of Arm Limited (or its subsidiaries) in the US and/or elsewhere.
セキュア デジタル® and SD® are registered trademarks of SD Card Association.
すべての商標は、それぞれの所有者に帰属します。

9.6 静電気放電に関する注意事項

この IC は、ESD によって破損する可能性があります。テキサス・インスツルメンツは、IC を取り扱う際には常に適切な注意を払うことを推奨します。正しい取り扱いおよび設置手順に従わない場合、デバイスを破損するおそれがあります。

ESD による破損は、わずかな性能低下からデバイスの完全な故障まで多岐にわたります。精密な IC の場合、パラメータがわずかに変化するだけで公表されている仕様から外れる可能性があるため、破損が発生しやすくなっています。

9.7 用語集

テキサス・インスツルメンツ用語集　　この用語集には、用語や略語の一覧および定義が記載されています。

10 改訂履歴

Changes from DECEMBER 10, 2024 to MAY 7, 2025 (from Revision * (DECEMBER 2024) to Revision A (MAY 2025)) **Page**

- **グローバル**:ドキュメントのステータスを「事前情報」から「量産データ」に変更 1
- (特長):C7x DSP の L1 D キャッシュと L1 I キャッシュ メモリ サイズを更新 1
- (特長):「機能安全準拠製品向け」[車載用]の箇条書き項目を更新 1
- (デバイスの比較):MCAN インスタンスの数を 2 から 3 に更新 6
- (ピン接続要件):MCU_I2C0 および WKUP_I2C0 ボールの接続要件を更新し、GPIO 信号機能を選択する際に外部プルダウン抵抗を接続できることを明記 72
- (MCSPI のスイッチング特性 - コントローラ モード):表の注 2、3、4、5 で、MSPI のすべてのインスタンスを MCSPI に変更 163
- (MMC0 - eMMC/SD/ SDIO インターフェイス):デフォルトの速度、高速、UHS-I SDR12、UHS-I SDR25 モードは組み込み SDIO デバイスへの接続にのみ使用可能であることを明確化し、UHS-I SDR50、UHS-I DDR50、UHS-I SDR104 モードを削除 169
- (すべてのタイミング モードに対する MMC0 DLL 遅延マッピング):レジスタ名を変更。また、レガシー SDR、高速 SDR、デフォルト速度、および高速モードの OTAPDLYENA および OTAPDLYSEL の値を変更 169
- (すべてのタイミング モードに対する MMC1/MMC2 DLL 遅延マッピング):レジスタ名を変更し、デフォルトの速度および高速モードで OTAPDLYENA および OTAPDLYSEL の値を変更 186

Copyright © 2025 Texas Instruments Incorporated

11 メカニカル、パッケージ、および注文情報

11.1 パッケージ情報

以降のページには、メカニカル、パッケージ、および注文に関する情報が記載されています。この情報は指定のデバイスに使用できる最新のデータです。このデータは、予告なく、このドキュメントを改訂せずに変更される場合があります。本データシートのブラウザ版を使用されている場合は、画面左側の説明をご覧ください。

重要なお知らせと免責事項

テキサス・インスツルメンツは、技術データと信頼性データ (データシートを含みます)、設計リソース (リファレンス デザインを含みます)、アプリケーションや設計に関する各種アドバイス、Web ツール、安全性情報、その他のリソースを、欠陥が存在する可能性のある「現状のまま」提供しており、商品性および特定目的に対する適合性の黙示保証、第三者の知的財産権の非侵害保証を含むいかなる保証も、明示的または黙示的にかかわらず拒否します。

これらのリソースは、テキサス・インスツルメンツ製品を使用する設計の経験を積んだ開発者への提供を意図したものです。(1) お客様のアプリケーションに適した テキサス・インスツルメンツ製品の選定、(2) お客様のアプリケーションの設計、検証、試験、(3) お客様のアプリケーションに該当する各種規格や、その他のあらゆる安全性、セキュリティ、規制、または他の要件への確実な適合に関する責任を、お客様のみが単独で負うものとします。

上記の各種リソースは、予告なく変更される可能性があります。これらのリソースは、リソースで説明されている テキサス・インスツルメンツ製品を使用するアプリケーションの開発の目的でのみ、テキサス・インスツルメンツはその使用をお客様に許諾します。これらのリソースに関して、他の目的で複製することや掲載することは禁止されています。テキサス・インスツルメンツや第三者の知的財産権のライセンスが付与されている訳ではありません。お客様は、これらのリソースを自身で使用した結果発生するあらゆる申し立て、損害、費用、損失、責任について、テキサス・インスツルメンツおよびその代理人を完全に補償するものとし、テキサス・インスツルメンツは一切の責任を拒否します。

テキサス・インスツルメンツの製品は、テキサス・インスツルメンツの販売条件、または ti.com やかかる テキサス・インスツルメンツ製品の関連資料などのいずれかを通じて提供する適用可能な条項の下で提供されています。テキサス・インスツルメンツがこれらのリソースを提供することは、適用される テキサス・インスツルメンツの保証または他の保証の放棄の拡大や変更を意味するものではありません。

お客様がいかなる追加条項または代替条項を提案した場合でも、テキサス・インスツルメンツはそれらに異議を唱え、拒否します。

郵送先住所：Texas Instruments, Post Office Box 655303, Dallas, Texas 75265
Copyright © 2025, Texas Instruments Incorporated

PACKAGING INFORMATION

Orderable part number	Status (1)	Material type (2)	Package | Pins	Package qty | Carrier	RoHS (3)	Lead finish/ Ball material (4)	MSL rating/ Peak reflow (5)	Op temp (°C)	Part marking (6)
AM62D22ARGHIANFRQ1	Active	Production	FCCSP (ANF) | 484	500 | LARGE T&R	Yes	Call TI	Level-3-250C-168 HR	-40 to 125	TI AM62D 22ARGHI Q1
AM62D24AVGHIANFRQ1	Active	Production	FCCSP (ANF) | 484	500 | LARGE T&R	Yes	Call TI	Level-3-250C-168 HR	-40 to 125	TI AM62D 24AVGHI Q1

(1) **Status:** For more details on status, see our product life cycle.

(2) **Material type:** When designated, preproduction parts are prototypes/experimental devices, and are not yet approved or released for full production. Testing and final process, including without limitation quality assurance, reliability performance testing, and/or process qualification, may not yet be complete, and this item is subject to further changes or possible discontinuation. If available for ordering, purchases will be subject to an additional waiver at checkout, and are intended for early internal evaluation purposes only. These items are sold without warranties of any kind.

(3) **RoHS values:** Yes, No, RoHS Exempt. See the TI RoHS Statement for additional information and value definition.

(4) **Lead finish/Ball material:** Parts may have multiple material finish options. Finish options are separated by a vertical ruled line. Lead finish/Ball material values may wrap to two lines if the finish value exceeds the maximum column width.

(5) **MSL rating/Peak reflow:** The moisture sensitivity level ratings and peak solder (reflow) temperatures. In the event that a part has multiple moisture sensitivity ratings, only the lowest level per JEDEC standards is shown. Refer to the shipping label for the actual reflow temperature that will be used to mount the part to the printed circuit board.

(6) **Part marking:** There may be an additional marking, which relates to the logo, the lot trace code information, or the environmental category of the part.

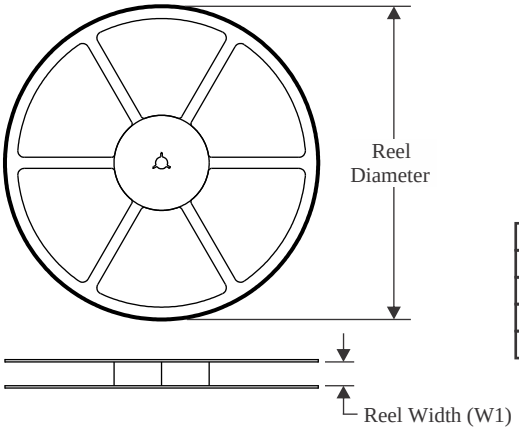
Multiple part markings will be inside parentheses. Only one part marking contained in parentheses and separated by a "~" will appear on a part. If a line is indented then it is a continuation of the previous line and the two combined represent the entire part marking for that device.

Important Information and Disclaimer: The information provided on this page represents TI's knowledge and belief as of the date that it is provided. TI bases its knowledge and belief on information provided by third parties, and makes no representation or warranty as to the accuracy of such information. Efforts are underway to better integrate information from third parties. TI has taken and continues to take reasonable steps to provide representative and accurate information but may not have conducted destructive testing or chemical analysis on incoming materials and chemicals. TI and TI suppliers consider certain information to be proprietary, and thus CAS numbers and other limited information may not be available for release.

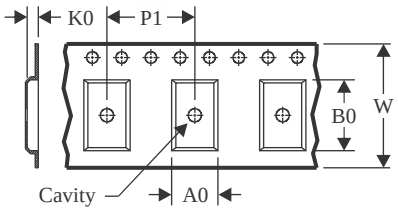
In no event shall TI's liability arising out of such information exceed the total purchase price of the TI part(s) at issue in this document sold by TI to Customer on an annual basis.

TAPE AND REEL INFORMATION

REEL DIMENSIONS

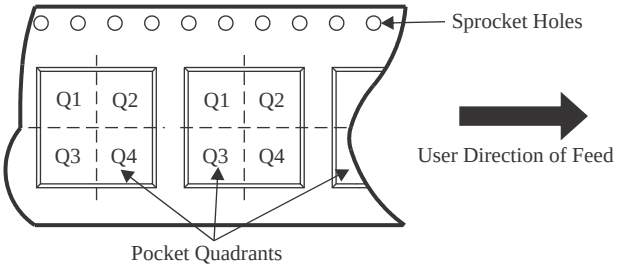


TAPE DIMENSIONS



A0	Dimension designed to accommodate the component width
B0	Dimension designed to accommodate the component length
K0	Dimension designed to accommodate the component thickness
W	Overall width of the carrier tape
P1	Pitch between successive cavity centers

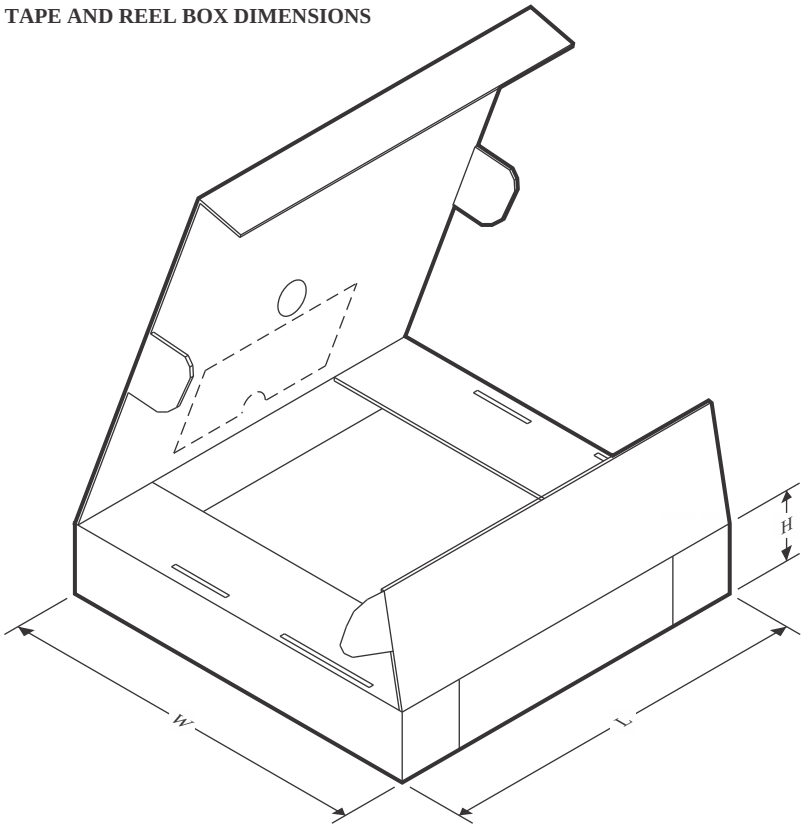
QUADRANT ASSIGNMENTS FOR PIN 1 ORIENTATION IN TAPE



*All dimensions are nominal

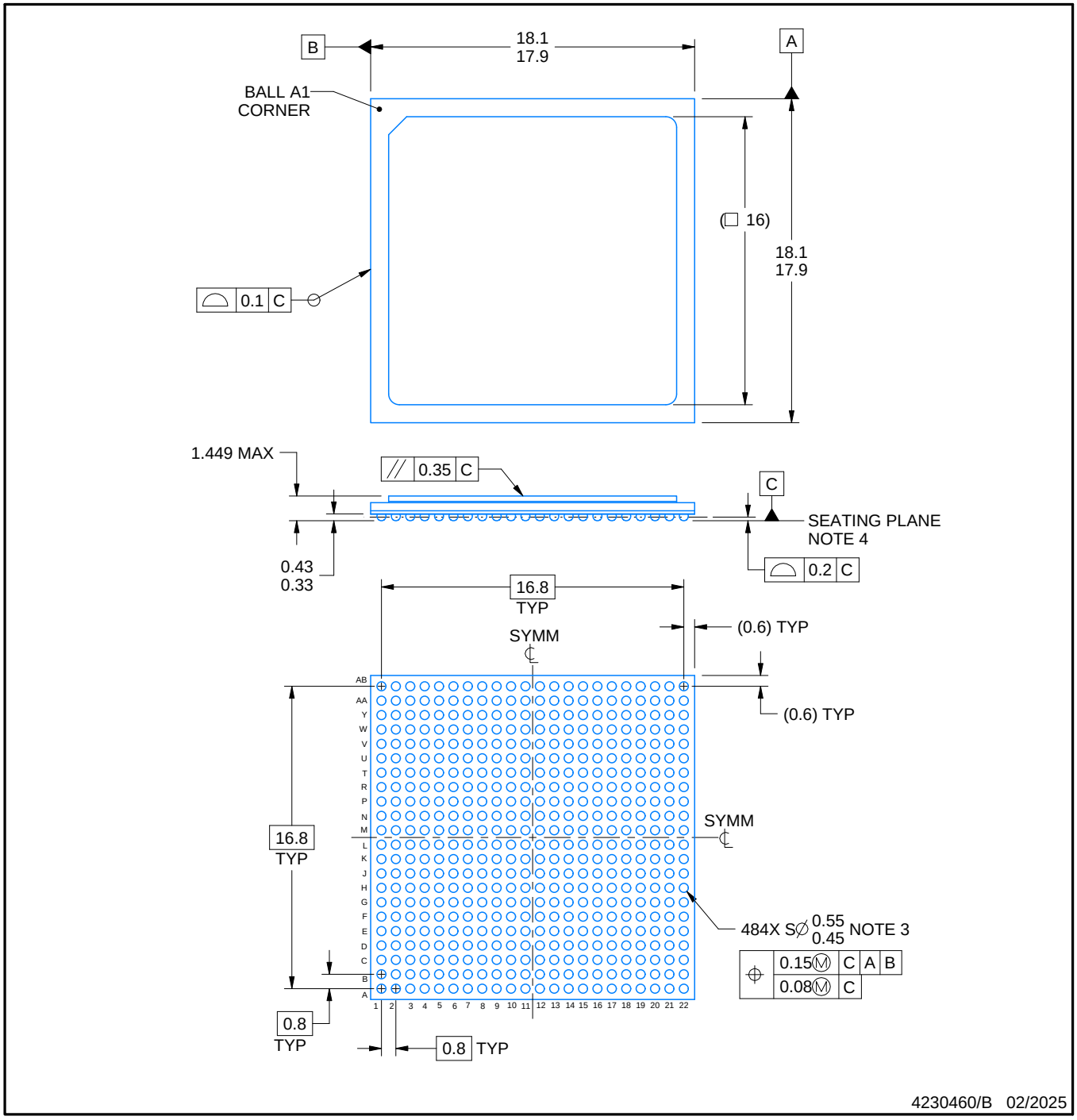
Device	Package Type	Package Drawing	Pins	SPQ	Reel Diameter (mm)	Reel Width W1 (mm)	A0 (mm)	B0 (mm)	K0 (mm)	P1 (mm)	W (mm)	Pin1 Quadrant
AM62D22ARGHIANFRQ1	FCCSP	ANF	484	500	330.0	32.4	18.35	18.35	3.3	24.0	32.0	Q1
AM62D24AVGHIANFRQ1	FCCSP	ANF	484	500	330.0	32.4	18.35	18.35	3.3	24.0	32.0	Q1

TAPE AND REEL BOX DIMENSIONS



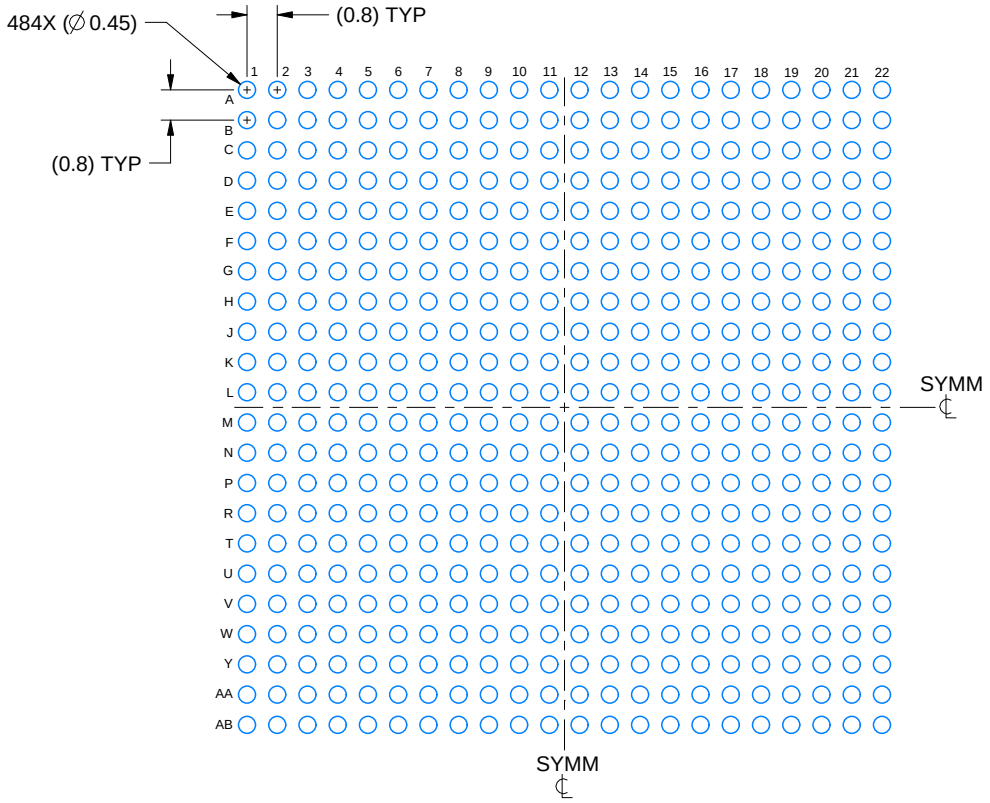
*All dimensions are nominal

Device	Package Type	Package Drawing	Pins	SPQ	Length (mm)	Width (mm)	Height (mm)
AM62D22ARGHIANFRQ1	FCCSP	ANF	484	500	336.6	336.6	41.3
AM62D24AVGHIANFRQ1	FCCSP	ANF	484	500	336.6	336.6	41.3

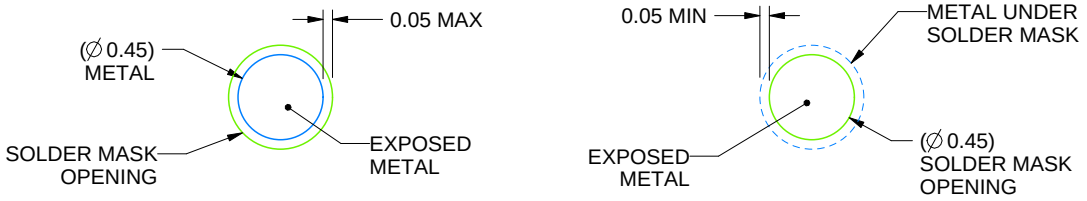


NOTES:

1. All linear dimensions are in millimeters. Any dimensions in parenthesis are for reference only. Dimensioning and tolerancing per ASME Y14.5M.
2. This drawing is subject to change without notice.
3. Dimension is measured at the maximum solder ball diameter, post reflow, parallel to primary datum C.
4. Primary datum C and seating plane are defined by the spherical crowns of the solder balls.



LAND PATTERN EXAMPLE
EXPOSED METAL SHOWN
SCALE: 5X



NON-SOLDER MASK
DEFINED
(PREFERRED)

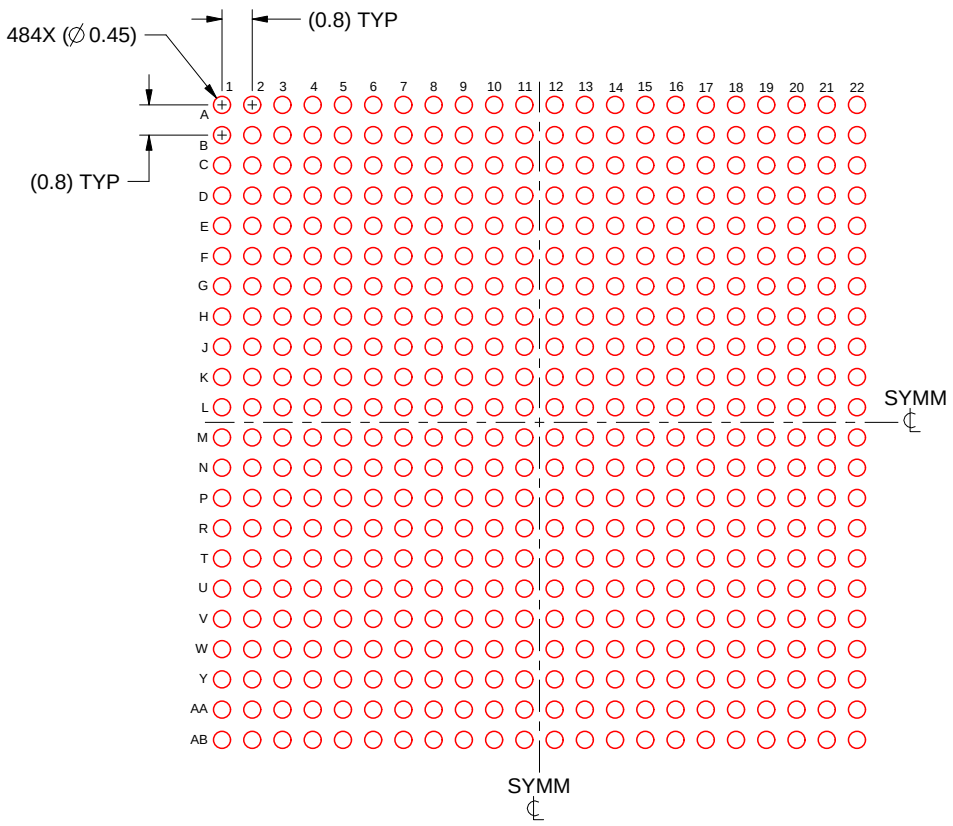
SOLDER MASK
DEFINED

SOLDER MASK DETAILS
NOT TO SCALE

4230460/B 02/2025

NOTES: (continued)

5. Final dimensions may vary due to manufacturing tolerance considerations and also routing constraints.
   See Texas Instruments Literature No. SPRU811 (www.ti.com/lit/spru811).



SOLDER PASTE EXAMPLE
BASED ON 0.15 mm THICK STENCIL
SCALE: 5X

4230460/B 02/2025

NOTES: (continued)

6. Laser cutting apertures with trapezoidal walls and rounded corners may offer better paste release.

重要なお知らせと免責事項

テキサス· インスツルメンツは、技術データと信頼性データ (データシートを含みます)、設計リソース (リファレンス デザインを含みます)、アプリケーションや設計に関する各種アドバイス、Web ツール、安全性情報、その他のリソースを、欠陥が存在する可能性のある「現状のまま」提供しており、商品性および特定目的に対する適合性の黙示保証、第三者の知的財産権の非侵害保証を含むいかなる保証も、明示的または黙示的にかかわらず拒否します。

これらのリソースは、 テキサス· インスツルメンツ製品を使用する設計の経験を積んだ開発者への提供を意図したものです。(1) お客様のアプリケーションに適した テキサス· インスツルメンツ製品の選定、(2) お客様のアプリケーションの設計、検証、試験、(3) お客様のアプリケーションに該当する各種規格や、その他のあらゆる安全性、セキュリティ、規制、または他の要件への確実な適合に関する責任を、お客様のみが単独で負うものとします。

上記の各種リソースは、予告なく変更される可能性があります。これらのリソースは、リソースで説明されている テキサス· インスツルメンツ製品を使用するアプリケーションの開発の目的でのみ、 テキサス· インスツルメンツはその使用をお客様に許諾します。これらのリソースに関して、他の目的で複製することや掲載することは禁止されています。 テキサス· インスツルメンツや第三者の知的財産権のライセンスが付与されている訳ではありません。お客様は、これらのリソースを自身で使用した結果発生するあらゆる申し立て、損害、費用、損失、責任について、 テキサス· インスツルメンツおよびその代理人を完全に補償するものとし、 テキサス· インスツルメンツは一切の責任を拒否します。

テキサス· インスツルメンツの製品は、 テキサス· インスツルメンツの販売条件、または ti.com やかかる テキサス· インスツルメンツ製品の関連資料などのいずれかを通じて提供する適用可能な条項の下で提供されています。 テキサス· インスツルメンツがこれらのリソースを提供することは、適用される テキサス· インスツルメンツの保証または他の保証の放棄の拡大や変更を意味するものではありません。

お客様がいかなる追加条項または代替条項を提案した場合でも、 テキサス· インスツルメンツはそれらに異議を唱え、拒否します。

郵送先住所：Texas Instruments, Post Office Box 655303, Dallas, Texas 75265
Copyright © 2025, Texas Instruments Incorporated