

AM275x 信号処理マイクロコントローラ

1 特長

プロセッサ コア:

- デュアルまたはクワッド コアの Arm® Cortex® R5F CPU、各コアは最大 1GHz で動作
 - 32KB I キャッシュ、64 ビット ECC サポート (各 CPU コア)
 - 4x8KB のアソシエーション
 - シングル エラー訂正、ダブル エラー検出 ECC 保護 (64 ビットごと)
 - 32KB D キャッシュ、64 ビット ECC サポート (各 CPU コア)
 - 4x8KB のアソシエーション
 - シングル エラー訂正、ダブル エラー検出 ECC 保護 (64 ビットごと)
 - 各コアに 64KB 密結合メモリ (TCM)、32 ビット ECC 搭載
 - シングル エラー訂正、ダブル エラー検出 ECC 保護 (64 ビットごと)
 - 2 つのバンク、A と B、それぞれ 32KB
 - バンク B は B0 と B1 に分割、それぞれ 16KB
 - ロックステップ モードの CPU0 用の 128KB TCM
 - 最大 128KB のリモート L2 キャッシュ
 - 32B キャッシュライン
 - 最大 128KB の L2 キャッシュ、最大 16MB の キャッシュ可能領域をカバー
 - 読み取り専用、8 ウェイ キャッシュ
 - 高速ローカル コピー (FLC) のサポート
 - 各クラスターで、ロックステップ動作または独立したデュアル コア動作をサポート
- シングルまたはデュアル C7x DSP コア、各コアは最大 1GHz で動作
 - L1 メモリ アーキテクチャ
 - コアごとに 32KB の I キャッシュ
 - コアごとに 64KB の D キャッシュ
 - L2 メモリ アーキテクチャ
 - 2.25MB、L2 SRAM に ECC 保護付き
 - 2MB の「メイン」セグメント
 - 256KB の「補助」セグメント
 - DSP0 上の行列乗算アクセラレータ バージョン 2f (MMA2F)
- 2 個の非同期オーディオ サンプル レート コンバータ (ASRC)
 - 信号対雑音比 (SNR) 140dB

- ASRC ごとに最大 8 組の入力および出力ストリーム (最大合計 16 チャンネル)
- 入力および出力サンプル レート: 8KHz~216KHz
- 16、18、20、24 ビットのデータ入力 / 出力

メモリ サブシステム:

- 最大 6MB のオンチップ共有 SRAM
- リモート低レイテンシ L2 キャッシュ (RL2)、ソフトウェア プログラマブル、SRAM から割り当て
- SMS サブシステムに 432KB のオンチップ SRAM
 - SMS サブシステムに SECDED ECC を搭載した 256KB のオンチップ RAM
 - テキサス・インスツルメンツのセキュリティ ファームウェア用の SMS サブシステムに SECDED ECC を搭載した 176KB のオンチップ RAM

フラッシュおよび メモリ インターフェイス:

- 2 個のフラッシュ サブ システム (FSS)、オクタル シリアル ペリフェラル インターフェイス (OSPI) を 1.8V および 3.3V 時に最大 166MHz SDR と 166MHz DDR でサポート、次に使用可能なフル XIP (eXecute In Place)
 - 1 個の FSS、OSPI OptiFlash メモリ テクノロジー、ファームウェアのワイヤレス アップグレード (FOTA)、動作中の Advanced Encryption Standard (OTFA) をサポート
 - 1 個の FSS、OSPI または HyperRAM をサポート
 - RAM 拡張
- 1 個の 8 ビット マルチ メディア カード / セキュア デジタル (eMMC/SD) インターフェイス

一般的な接続機能:

- 5 個のマルチチャネル オーディオ シリアル ポート (McASP)
 - 最高 50MHz の送信および受信クロック
 - 5 個の McASP で最大 26 本のシリアル データピン、TX と RX に独立したクロック
 - 時分割多重化 (TDM)、IC 間サウンド (I2S)、および類似のフォーマットをサポート
 - デジタル オーディオ インターフェイス送信 (SPDIF、IEC60958-1、AES-3 フォーマット) をサポート
 - 送受信用 FIFO バッファ (256 バイト)
 - オーディオ リファレンス出力クロックのサポート
- 8 個の UART (Universal Asynchronous RX-TX) モジュール
- 5 個のシリアル ペリフェラル インターフェイス (SPI) コントローラ
- 8 個の I2C (Inter-Integrated Circuit) ポート



- 5 個のモジュラー コントローラ エリア ネットワーク (MCAN) モジュール、CAN-FD 対応
- 3 個の拡張パルス幅変調器 (ePWM) モジュール
- 6 個の拡張キャプチャ (ECAP) モジュール
- 1 個の 12 ビット A/D コンバータ (ADC)、最大サンプリングレート 4MSPS
- 最大 167 本の汎用 I/O (GPIO)

高速インターフェイス

- 次の機能をサポートするイーサネット スイッチを内蔵 (合計 2 つの外部ポート)
 - RMII (10/100) または RGMII (10/100/1000)
 - IEEE 1588 (Annex D, Annex E, Annex F と 802.1AS PTP)
 - 802.1Qav (eAVB) をサポート
 - Clause 45 MDIO PHY 管理
 - ALE エンジン (512 の分類子) に基づくパケット分類器
 - プライオリティ フロー制御
 - 4 つの CPU ハードウェア割り込みペース設定
 - ハードウェアの IP/UDP/TCP チェックサム オフロード
- USB 2.0
 - USB ホスト、USB デバイス、USB デュアルロール デバイスとして構成可能なポート
 - USB VBUS 検出機能を内蔵

セキュリティ:

- ハードウェア セキュリティ モジュール (HSM)
 - 専用インターコネクトによりセキュリティを確保した専用デュアルコア Arm Cortex-M4F セキュリティ コプロセッサ
 - 絶縁型処理専用のセキュリティ DMA および IPC サブシステム
- セキュア ブート対応
 - ハードウェアで強化された RoT (Root-of-Trust: 信頼の基点)
 - バックアップ キーによる RoT の切り替えをサポート
 - テイクオーバー保護、IP 保護、ロールバック禁止保護のサポート
- 暗号化アクセラレーションに対応
 - 受信データ ストリームに基づいてキーマテリアルを自動的に切り替えできるセッション認識暗号化エンジン
 - 暗号化コアをサポート
 - AES - 128/192/256 ビットのキー サイズ
 - SHA2 - 224/256/384/512 ビットのサポート
 - DRBG と真性乱数発生器
 - PKA (公開鍵アクセラレータ) により RSA/ECC 処理を支援: RSA-4096 ビット、ECDSA、SM2DSA、Curve25519/448

- 中国語の暗号化アルゴリズムをサポート: SM3、SM4
 - DMA のサポート
- デバッグのセキュリティ
 - ソフトウェア制御によるセキュアなデバッグ アクセス
 - セキュリティ対応のデバッグ
- 信頼できる実行環境 (TEE) に対応
 - Arm TrustZone® をベースとする TEE
 - 分離用の広範なファイアウォール サポート
 - セキュアなウォッチドッグ / タイマ / IPC
- セキュアなストレージのサポート
- オンザフライ暗号化の使用と XIP モードでの OSPI インターフェイスのサポート

機能安全:

- 機能安全規格準拠を対象とする [車載用]
 - 機能安全アプリケーション向けに開発
 - ISO 26262 機能安全システム設計を支援するドキュメントを準備中
 - ASIL-D までの決定論的対応能力に対応予定
 - ASIL-B までを対象としたハードウェア インテグリティ
 - 安全関連の認証
 - ISO 26262 予定

パワー マネージメント:

- デバイス マネージャでサポートされているパワー モード:
 - アクティブ
 - スタンバイ
 - IO 保持

ブート オプション:

- UART
- I2C EEPROM
- OSPI NOR/NAND フラッシュ
- SD カード
- eMMC
- USB (ホスト) マス ストレージ
- 外部ホストからの USB (デバイス) ブート (DFU モード)
- イーサネット

テクノロジー / パッケージ:

- 車載アプリケーション向けに AEC-Q100 認証済み
- 16nm FinFET テクノロジー
- 15.8mm x 15.8mm、0.8mm ピッチ、361 ピン FCCSP

2 アプリケーション

- 車載:
 - プレミアム オーディオ
 - オーディオ アンプ

- オーディオ ゲートウェイ
- AVAS - 車両接近通報装置
- アクティブ/ロード ノイズ キャンセル
- デジタル コックピット

3 説明

AM275x ファミリのマイクロコントローラは、Arm® Cortex R5F および C7x 浮動小数点 DSP コアをベースとする高度に統合された高性能マイクロコントローラです。このマイクロコントローラにより、OEM (Original Equipment Manufacturers) と ODM (Original Design Manufacturers) は、堅牢なソフトウェア サポート、多機能なユーザー インターフェイスを持つデバイスを迅速に市場に投入できます。このデバイスは、最大の柔軟性を備えた完全に統合された混在プロセッサ設計を実現します。

主な機能と特長:

- 5 個の McASP ペリフェラルとの広範なオーディオ インターフェイス
- 2 ポートのギガビット イーサネット、USB、OSPI/QSPI、CAN-FD、UART、SPI、GPIO など、システム レベルの接続性をサポートするペリフェラル。
- 内蔵のハードウェア セキュリティ モジュール (HSM) により、最新のサイバーセキュリティ要件をサポートします。
- クラスタごとに 128KB の TCM (コアごとに 64KB) を備えた 1 つまたは 2 つのデュアルコア R5F クラスタと、C7x DSP ごとに 2.25MB の L2 SRAM を備えた最大 2 つの C7x DSP コアにより、外部メモリの必要性が大幅に低下します。

パッケージ情報

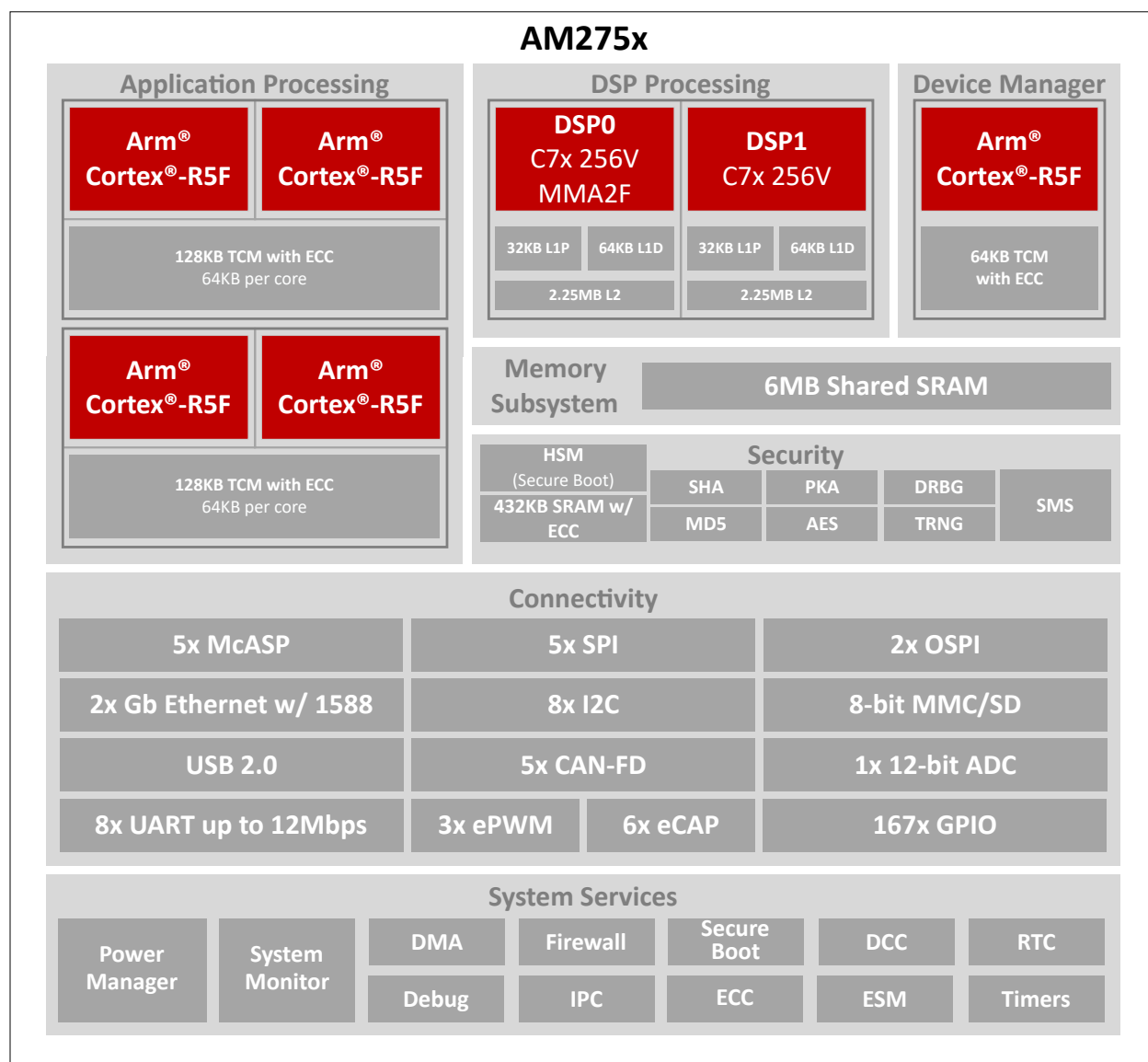
部品番号	パッケージ (1)	本体サイズとピッチ (2)
AM275xxxxxxxxxx	ANJ (FCCSP, 361)	15.8mm × 15.8mm, 0.8mm ピッチ、ボール数 361
AM275xxxxxxxxxxQ1	ANJ (FCCSP, 361)	15.8mm × 15.8mm, 0.8mm ピッチ、ボール数 361

- (1) 詳細については、[メカニカル](#)、[パッケージ](#)、および[注文情報](#)を参照してください。
 (2) パッケージ サイズ (長さ × 幅) は公称値であり、該当する場合はピンを含みます。

3.1 機能ブロック図

図 3-1 に、AM275x の機能ブロック図を示します。

図 3-1. 機能ブロック図



目次

1 特長	1	6.11 熱抵抗特性.....	75
2 アプリケーション	3	6.12 タイミングおよびスイッチング特性.....	76
3 説明	3	7 詳細説明	155
3.1 機能ブロック図.....	4	7.1 概要.....	155
4 デバイスの比較	6	7.2 機能ブロック図.....	156
4.1 関連製品.....	7	7.3 プロセッサ サブシステム.....	157
5 端子構成および機能	8	8 アプリケーション、実装、およびレイアウト	158
5.1 ピン ダイアグラム.....	8	8.1 デバイスの接続およびレイアウトの基礎.....	158
5.2 ピン属性.....	9	8.2 ペリフェラルおよびインターフェイス固有の設計情報.....	159
5.3 信号の説明.....	42	8.3 クロック配線のガイドライン.....	165
5.4 ピン接続要件.....	62	9 デバイスおよびドキュメントのサポート	166
6 仕様	63	9.1 デバイスの命名規則.....	166
6.1 絶対最大定格.....	63	9.2 ツールとソフトウェア.....	169
6.2 AEC-Q100 デバイスの静電気放電 (ESD).....	64	9.3 ドキュメントのサポート.....	169
6.3 AEC-Q100 認定されていないデバイスの静電気放電 (ESD).....	64	9.4 サポートリソース.....	169
6.4 電源投入時間 (POH) の概要.....	64	9.5 商標.....	169
6.5 車載用温度プロファイル.....	65	9.6 静電放電に関する注意事項.....	170
6.6 推奨動作条件.....	65	9.7 用語集.....	170
6.7 動作性能ポイント.....	66	10 改訂履歴	170
6.8 消費電力の概略.....	67	11 メカニカル、パッケージ、および注文情報	171
6.9 電気的特性.....	68	11.1 パッケージ情報.....	171
6.10 ワンタイム プログラマブル (OTP) eFuse の VPP 仕様.....	74		

4 デバイスの比較

表 4-1 に、デバイス間の比較を相違点を強調して示します。

注

多くの機能に関連付けられている IO 信号は限られた数のピンに多重化されるため、この表に記載されている機能が利用できるかどうかは、共有 IO ピンの使用状況によります。信号機能をピンに割り当てるには、SysConfig ツールを使用する必要があります。これにより、ピン多重化に関連する制限をよりよく理解できます。

表 4-1. デバイスの比較

特長	参照名	AM27542	AM27522	AM27521
WKUP_CTRL_MMR_CFG0_JTAG_USER_ID[31:13] デバイスの「特長」コードごとのレジスタビット値 (デバイスの特長の詳細については、 デバイスの命名規則 を参照)				
プロセッサおよびアクセラレータ				
速度グレード		以下を参照 動作性能ポイント		
MAIN ドメインの ARM Cortex-R5F	R5FSS	クワッド コア	デュアル コア	
デバイス管理サブシステム	WKUP_R5F	シングル コア		
ハードウェア セキュリティ モジュール	HSM	あり		
暗号化アクセラレータ	セキュリティ	あり		
C7x 浮動小数点、ベクタ DSP	C7x256V DSP	デュアル コア		シングル コア
非同期オーディオ サンプル レート コンバータ	ASRC	2		1
安全およびセキュリティ				
AEC-Q100 認定済み	Q1	あり ⁽¹⁾		
プログラムおよびデータ ストレージ				
オンチップ共有メモリ (RAM)	OCSRAM	最大 6MB ⁽²⁾ デバイスの命名規則 を参照		
R5F 密結合メモリ (TCM)	TCM	256KB		
ペリフェラル				
モジュール式コントローラ エリア ネットワーク インターフェイス、CAN-FD フル サポート	MCAN	5		
汎用 I/O	GPIO	最大 177 (最大 21 の IO 保持対応)		
集積回路間インターフェイス	I2C	8 ⁽³⁾		
マルチチャネル オーディオ シリアル ポート	MCASP	5		
マルチチャネル シリアル ペリフェラル インターフェイス	MCSPi	5		
マルチメディア カード / セキュア デジタル インターフェイス	MMC/SD	1 個の eMMC (8 ビット) または 1 個の SD/SDIO (4 ビット)		
フラッシュ サブシステム (FSS) ⁽⁴⁾	OSPI/QSPI	FSS0 は、追加で OptiFlash、FOTA、および FLC をサポートしています。		
		FSS1 は、追加で HyperRAM をサポートしています。		
ギガビット イーサネット インターフェイス	CPSW3G	2 ポート (RGMII/RMII)		
汎用タイマー	TIMER	22 (メインで 16、WKUP で 2、セキュリティで 4)		
拡張パルス幅変調器モジュール	EPWM	3		
拡張キャプチャ モジュール	ECAP	6		
汎用非同期レシーバ / トランスミッタ	UART	8 ⁽⁵⁾		
USB2.0 コントローラ (PHY 付き)	USB 2.0	1		
A/D コンバータ	ADC	1		
メディア ローカル バス (MOST50)	MLB	1		

- (1) AEC-Q100 認定は、[デバイスの命名規則](#) の車載識別記号 (Q1) 識別子で示されている型番バリエーションを選択する場合にのみ適用されます。
- (2) オンチップ SRAM の正確な量は、[デバイスの命名規則](#) の SRAM メモリ (f) 識別子で示されているように、型番バリエーションによって異なります。
- (3) 7 個の I2C インスタンスは MAIN ドメインにあります。1 個の I2C インスタンスは WKUP ドメインにあります。
- (4) 2 個のフラッシュ インターフェイス、個別に OSPI または QSPI として構成可能です。FSS0 は OptiFlash、FOTA、および FLC をサポートし、FSS1 は HyperRAM をサポートし、FSS0 と FSS1 は両方とも XIP をサポートします。

(5) 7 個の UART インスタンスは MAIN ドメインにあります。1 個の UART インスタンスは WKUP ドメインにあります。

4.1 関連製品

信号プロセッサ マイクロコントローラ Arm® Cortex®-R コアをベースとするスケーラブルなプロセッサの広範なファミリで、DSP コア、柔軟なアクセラレータ、ペリフェラル、コネクティビティを搭載しており、ソフトウェアのサポートが統一されているため、ハイエンドのオーディオ アプリケーションむけに設計されています。

設計を完成させるための製品:

- オーディオ アンプ
- オーディオ コンバータ
- イーサネット PHY
- パワー マネージメント / PMIC
- クロック / タイミング
- パワー スイッチ
- CAN トランシーバ
- ESD 保護

これらのデバイスをシステム設計で実装する方法の詳細と、推奨される特定の部品番号の部品表 (BOM) については、AM275 EVM の回路図を参照してください。

5 端子構成および機能

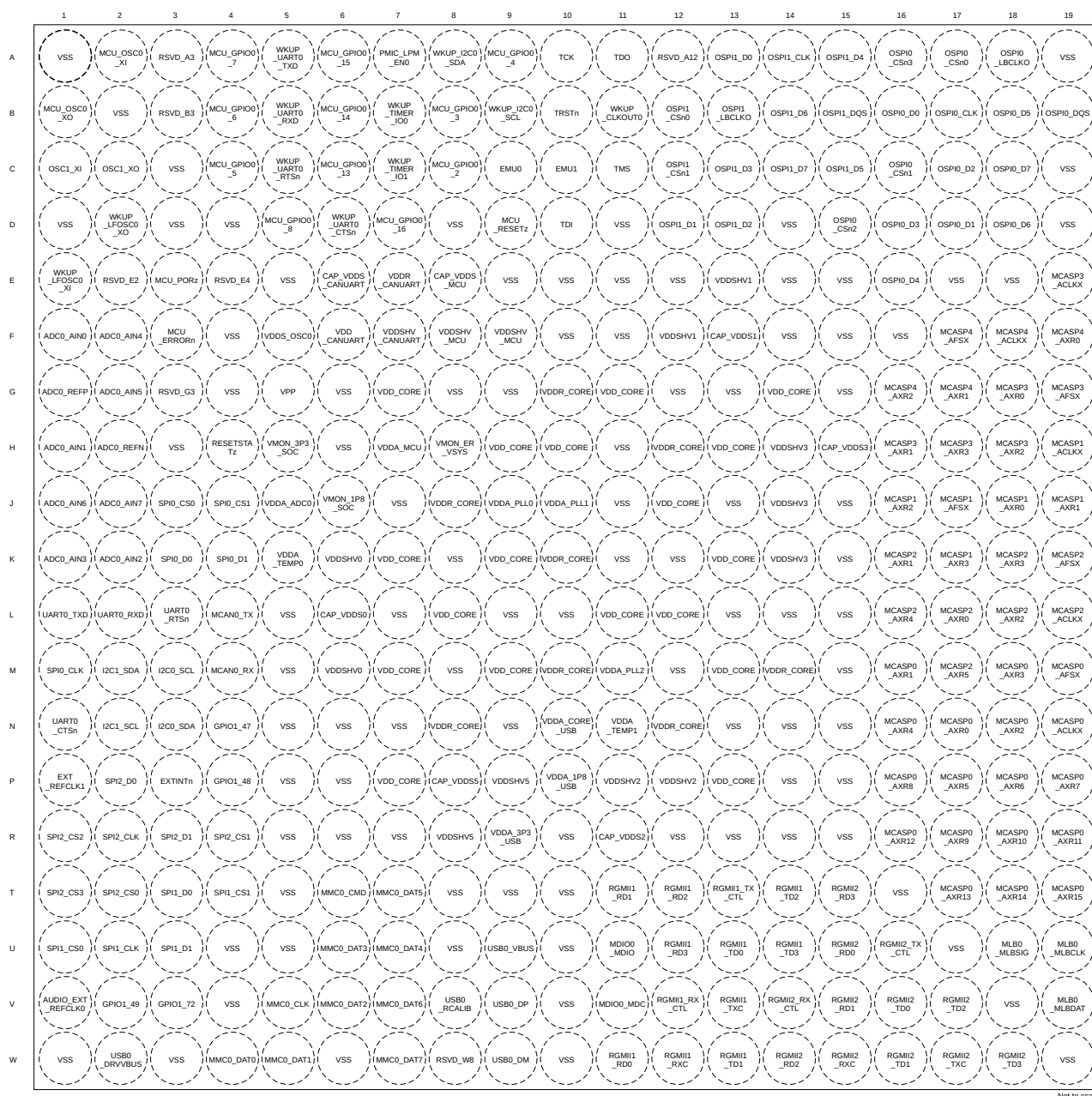
5.1 ピン ダイアグラム

注

「ボール」、「ピン」、「端子」という用語は、ドキュメント全体で同じ意味で使用されています。物理的なパッケージに言及する場合にのみ「ボール」が使用されています。

このセクションの図を、その他の「端子構成および機能」表と組み合わせて使用することで、信号名とボール グリッド番号を特定できます。

5.1.1 ANJ ピン配置図



Not to scale

5.2 ピン属性

次のリストは、「ピン属性」表の各列の内容についての説明です。

1. **ボール番号:**ボール グリッド アレイ パッケージの各端子に割り当てられたボール番号。
2. **ボール名:**ボール グリッド アレイ パッケージの各端子に割り当てられたボール名 (通常はプライマリ MUXMODE 0 信号機能から付けられた名前)。
3. **信号名:**ボールに関連するすべての専用およびピン多重化信号機能の信号名。

注

「ピン属性」表は、ピンに実装される SoC ピン多重化信号機能を定義しており、デバイス サブシステムに実装される信号機能の 2 次多重化は定義していません。信号機能の 2 次多重化については、この表では説明しません。2 次多重化信号機能の詳細については、デバイスのテクニカル リファレンス マニュアルで該当するペリフェラルの章を参照してください。

4. **MUX モード:**各ピンの多重化信号機能に関連付けられた MUXMODE 値:

- MUXMODE 0 は、プライマリ ピンの多重化信号機能です。ただし、プライマリ ピンの多重化信号機能は、必ずしもデフォルトのピン多重化信号機能とは限りません。
- ピン多重化信号機能には、MUXMODE の値 1~15 を使用できます。ただし、すべての MUXMODE 値が実装されているわけではありません。有効な MUXMODE 値は、「ピン属性」表でピン多重化された信号機能として定義された値のみです。MUXMODE に定義された有効な値のみを使用できます。
- ブートストラップは SOC 構成ピンを定義します。各ピンに適用されるロジック状態は、PORz の立ち上がりエッジでラッチされます。これらの入力信号機能はそれぞれのピンに固定で、MUXMODE を使用してプログラムすることはできません。
- 空欄または「-」は、該当しないことを意味します。

注

- 「リセット後の MUX モード」列の値は、PORz がデアサートされたときに選択されるデフォルトのピン多重化信号機能を定義します。
- 同じピン多重化信号機能に 2 つのピンを構成すると、予期しない結果が生じる可能性があるため、この構成はサポートされていません。これは、正しいソフトウェア構成によって防止できます。
- パッドを未定義の多重化モードに構成すると、未定義の動作が生じるため、このような構成は避ける必要があります。

5. **種類:**信号の種類と方向:

- I = 入力
- O = 出力
- ID = 入力、オープンドレイン出力機能付き
- OD = 出力、オープンドレイン出力機能付き
- IO = 入力、出力、または同時に入力と出力
- IOD = 入力、出力、または同時に入力と出力、オープンドレイン出力機能付き
- IOZ = 入力、出力、または同時に入力と出力、3 ステート出力機能付き
- OZ = 出力、3 ステート出力機能付き
- A = アナログ
- CAP = LDO コンデンサ
- PWR = 電源
- GND = グランド

6. **リセット時のボール状態 (RX/TX/PULL):**PORz がアサートされているときの端子の状態。ここで、RX は入力バッファの状態、TX は出力バッファの状態、PULL は内部プル抵抗の状態を定義します。

- RX (入力バッファ)

- オフ:入力バッファは無効です。
 - オン:入力バッファは有効です。
 - TX (出力バッファ)
 - オフ:出力バッファは無効です。
 - Low:出力バッファは有効であり、 V_{OL} を駆動します。
 - PULL (内部プル抵抗)
 - オフ:内部プル抵抗はオフになっています。
 - アップ:内部プルアップ抵抗がオンになっています。
 - ダウン:内部プルダウン抵抗がオンになっています。
 - NA:内部プル抵抗なし。
 - 空欄、または「-」は該当しないことを意味します。
7. リセット後のボール状態 (RX/TX/PULL):PORz がデアサートされた後の端子の状態。ここで、RX は入力バッファの状態、TX は出力バッファの状態、PULL は内部プル抵抗の状態を定義します。
- RX (入力バッファ)
 - オフ:入力バッファは無効です。
 - オン:入力バッファは有効です。
 - TX (出力バッファ)
 - オフ:出力バッファは無効です。
 - SS:MUXMODE で選択されたサブシステムによって、出力バッファの状態が決まります。
 - PULL (内部プル抵抗)
 - オフ:内部プル抵抗はオフになっています。
 - アップ:内部プルアップ抵抗がオンになっています。
 - ダウン:内部プルダウン抵抗がオンになっています。
 - NA:内部プル抵抗なし。
 - 空欄、NA、「-」は該当しないことを意味します。
8. リセット後の MUX モード:この列の値は、PORz がデアサートされた後のデフォルトのピン多重化信号機能を定義します。
- 空欄、NA、「-」は該当しないことを意味します。
9. I/O 電圧:この列は、該当する場合、それぞれの電源の I/O 動作電圧オプションを示します。
- 空欄、NA、「-」は該当しないことを意味します。
- 詳細については、「推奨動作条件」で、各電源に定義されている有効な動作電圧範囲を参照してください。
10. 電源:関連付けられている I/O の電源 (該当する場合)。
- 空欄、NA、「-」は該当しないことを意味します。
11. Hys:この I/O に関連付けられている入力バッファにヒステリシスがあるかどうかを示します。
- あり:ヒステリシスのサポート
 - なし:ヒステリシスのサポートなし
 - 空欄、NA、「-」は該当しないことを意味します。
- 詳細については、「電気的特性」のヒステリシスの値を参照してください。
12. プル タイプ:内部プルアップまたはプルダウン抵抗が存在することを示します。内部抵抗は、ソフトウェアによって有効化または無効化できます。
- PU:内部プルアップのみ
 - PD:内部プルダウンのみ
 - PU/PD:内部プルアップおよびプルダウン
 - 空欄、NA、「-」は、内部プルが存在しないことを意味します。

注

同じピン多重化信号機能に 2 つのピンを構成すると、予期しない結果が生じる可能性があるため、この構成はサポートされていません。この問題は、正しいソフトウェア構成を使用すると簡単に防止できます。

ピン多重化で定義されない多重化モードにパッドが設定されたとき、そのパッドの挙動は未定義になります。これは避ける必要があります。

13. **バッファのタイプ:** この列は、端末に関連付けられたバッファのタイプを定義します。この情報を使用して、該当する「電気的特性」表を決定できます。

- 空欄、NA、「-」は該当しないことを意味します。

電気的特性については、「電気的特性」の適切なバッファ タイプの表を参照してください。

14. **パッド構成レジスタ名:** デバイスのパッド / ピン構成レジスタの名前です。

15. **パッド構成レジスタのアドレス:** デバイスのパッド / ピン構成レジスタのメモリ アドレスです。

16. **パッド構成レジスタのデフォルト値:** PORz がデアサートされた後の、レジスタ デバイスのパッド / ピン構成レジスタのデフォルト値です。

表 5-1. ピン属性 (ANJ パッケージ)

ボール番号 [1]	ボール名 [2]/ IOMUX レジスタ [14]/ アドレス [15]/ デフォルト値 [16]	信号名 [3]	多重化 モード [4]	タイプ [5]	リセット 時の ボール の状態 RX/TX/PULL [6]	リセット 後の ボール の状態 RX/TX/PULL [7]	リセット 後の 多重化 モード [8]	IO 電圧 [9]	電源 [10]	HYS [11]	バッファタイプ [12]	プルアップ /プルダウン タイプ [13]
H2	ADC0_REFN	ADC0_REFN	0	A			0	1.8V	VDDA_ADC0		アナログ	
G1	ADC0_REFP	ADC0_REFP	0	A			0	1.8V	VDDA_ADC0		アナログ	
F1	ADC0_AIN0 PADCONFIG172 000F 42B0h 0000 0000h	ADC0_AIN0	0	A			0	1.8V	VDDA_ADC0		アナログ	
		GPIO1_74	7	I								
H1	ADC0_AIN1 PADCONFIG173 000F 42B4h 0000 0000h	ADC0_AIN1	0	A			0	1.8V	VDDA_ADC0		アナログ	
		GPIO1_75	7	I								
K2	ADC0_AIN2 PADCONFIG174 000F 42B8h 0000 0000h	ADC0_AIN2	0	A			0	1.8V	VDDA_ADC0		アナログ	
		GPIO1_76	7	I								
K1	ADC0_AIN3 PADCONFIG175 000F 42BCh 0000 0000h	ADC0_AIN3	0	A			0	1.8V	VDDA_ADC0		アナログ	
		GPIO1_77	7	I								
F2	ADC0_AIN4 PADCONFIG176 000F 42C0h 0000 0000h	ADC0_AIN4	0	A			0	1.8V	VDDA_ADC0		アナログ	
		GPIO1_78	7	I								
G2	ADC0_AIN5 PADCONFIG177 000F 42C4h 0000 0000h	ADC0_AIN5	0	A			0	1.8V	VDDA_ADC0		アナログ	
		GPIO1_79	7	I								
J1	ADC0_AIN6 PADCONFIG178 000F 42C8h 0000 0000h	ADC0_AIN6	0	A			0	1.8V	VDDA_ADC0		アナログ	
		GPIO1_80	7	I								
J2	ADC0_AIN7 PADCONFIG179 000F 42CCh 0000 0000h	ADC0_AIN7	0	A			0	1.8V	VDDA_ADC0		アナログ	
		GPIO1_81	7	I								
V1	AUDIO_EXT_REFCLK0 PADCONFIG104 000F 41A0h 0821 4007h	AUDIO_EXT_REFCLK0	0	IO	オフ / オフ / オフ	オフ / オフ / オフ	7	1.8V/3.3V	VDDSHV0	あり	LVCMOS	PU/PD
		AUDIO_EXT_REFCLK0	2	IO								
		EPWM1_B	6	IO								
		GPIO1_10	7	IO								
L6	CAP_VDDS0	CAP_VDDS0		PWR				1.8V/3.3V				
F13	CAP_VDDS1	CAP_VDDS1		PWR				1.8V/3.3V				
R11	CAP_VDDS2	CAP_VDDS2		PWR				1.8V/3.3V				
H15	CAP_VDDS3	CAP_VDDS3		PWR				1.8V/3.3V				
P8	CAP_VDDS5	CAP_VDDS5		PWR				1.8V/3.3V				

表 5-1. ピン属性 (ANJ パッケージ) (続き)

ボール 番号 [1]	ボール名 [2]/ IOMUX レジスタ [14]/ アドレス [15]/ デフォルト値 [16]	信号名 [3]	多重化 モード [4]	タイプ [5]	リセット 時の ボール の状態 RX/TX/PULL [6]	リセット 後の ボール の状態 RX/TX/PULL [7]	リセット 後の 多重化 モード [8]	IO 電圧 [9]	電源 [10]	HYS [11]	バッファタイプ [12]	プルアップ /プルダウン タイプ [13]
E6	CAP_VDDS_CANUART	CAP_VDDS_CANUART		PWR				1.8V/3.3V				
E8	CAP_VDDS_MCU	CAP_VDDS_MCU		PWR				1.8V/3.3V				
C9	EMU0 MCU_PADCONFIG30 0408 4078h 1026 4000h	EMU0	0	IO	オン / オフ / アップ	オン / オフ / アップ	0	1.8V/3.3V	VDDSHV_MCU	あり	LVCMOS	PU/PD
		MCU_GPIO0_24	7	IO								
		MCU_GPIO0_112	10	IO								
C10	EMU1 MCU_PADCONFIG31 0408 407Ch 1026 4000h	EMU1	0	IO	オン / オフ / アップ	オン / オフ / アップ	0	1.8V/3.3V	VDDSHV_MCU	あり	LVCMOS	PU/PD
		MCU_GPIO0_25	7	IO								
		MCU_GPIO0_113	10	IO								
P3	EXTINTn PADCONFIG125 000F 41F4h 0821 4007h	EXTINTn	0	I	オフ / オフ / オフ	オフ / オフ / オフ	7	1.8V/3.3V	VDDSHV0	あり	I2C オープンドレイン	
		GPIO1_31	7	IOD								
P1	EXT_REFCLK1 PADCONFIG124 000F 41F0h 0821 4007h	EXT_REFCLK1	0	I	オフ / オフ / オフ	オフ / オフ / オフ	7	1.8V/3.3V	VDDSHV0	あり	LVCMOS	PU/PD
		SYNC1_OUT	1	O								
		SPI2_CS3	2	IO								
		SYSCLKOUT0	3	O								
		TIMER_IO4	4	IO								
		CLKOUT0	5	O								
		CP_GEMAC_CPTS0_RFT_CLK	6	I								
		GPIO1_30	7	IO								
		ECAP0_IN_APWM_OUT	8	IO								
N4	GPIO1_47 PADCONFIG143 000F 423Ch 0821 4007h	GPIO1_47	0	IO	オフ / オフ / オフ	オフ / オフ / オフ	7	1.8V/3.3V	VDDSHV0	あり	LVCMOS	PU/PD
		TIMER_IO5	2	IO								
		UART3_TXD	3	O								
		ADC_EXT_TRIGGER0	4	I								
		MCAN3_TX	5	O								
		GPIO1_47	7	IO								
		SPI1_CS2	8	IO								
P4	GPIO1_48 PADCONFIG144 000F 4240h 0821 4007h	GPIO1_48	0	IO	オフ / オフ / オフ	オフ / オフ / オフ	7	1.8V/3.3V	VDDSHV0	あり	LVCMOS	PU/PD
		UART6_RXD	1	I								
		TIMER_IO6	2	IO								
		UART3_RTSn	3	O								
		I2C4_SCL	5	IOD								
		ECAP3_IN_APWM_OUT	6	IO								
		GPIO1_48	7	IO								

表 5-1. ピン属性 (ANJ パッケージ) (続き)

ボール 番号 [1]	ボール名 [2]/ IOMUX レジスタ [14]/ アドレス [15]/ デフォルト値 [16]	信号名 [3]	多重化 モード [4]	タイプ [5]	リセット 時の ボール の状態 RX/TX/PULL [6]	リセット 後の ボール の状態 RX/TX/PULL [7]	リセット 後の 多重化 モード [8]	IO 電圧 [9]	電源 [10]	HYS [11]	バッファタイプ [12]	プルアップ /プルダウン タイプ [13]
V2	GPIO1_49 PADCONFIG145 000F 4244h 0821 4007h	GPIO1_49	0	IO	オフ / オフ / オフ	オフ / オフ / オフ	7	1.8V/3.3V	VDDSHV0	あり	LVCMOS	PU/PD
		UART6_TXD	1	O								
		TIMER_IO7	2	IO								
		UART3_CTSn	3	I								
		ADC_EXT_TRIGGER0	4	I								
		I2C4_SDA	5	IOD								
		GPIO1_49	7	IO								
V3	GPIO1_72 PADCONFIG171 000F 42ACh 0821 4007h	GPIO1_72	0	IO	オフ / オフ / オフ	オフ / オフ / オフ	7	1.8V/3.3V	VDDSHV0	あり	LVCMOS	PU/PD
		AUDIO_EXT_REFCLK2	1	IO								
		ECAP4_IN_APWM_OUT	3	IO								
		MCAN3_RX	5	I								
		GPIO1_72	7	IO								
		SPI1_CS3	8	IO								
M3	I2C0_SCL PADCONFIG120 000F 41E0h 0821 4007h	I2C0_SCL	0	IOD	オフ / オフ / オフ	オフ / オフ / オフ	7	1.8V/3.3V	VDDSHV0	あり	LVCMOS	PU/PD
		SYNCO_OUT	2	O								
		OBSCCLK1	3	O								
		UART1_DCDn	4	I								
		EPWM_SOCa	6	O								
		GPIO1_26	7	IO								
		ECAP1_IN_APWM_OUT	8	IO								
		SPI2_CS0	9	IO								
N3	I2C0_SDA PADCONFIG121 000F 41E4h 0821 4007h	I2C0_SDA	0	IOD	オフ / オフ / オフ	オフ / オフ / オフ	7	1.8V/3.3V	VDDSHV0	あり	LVCMOS	PU/PD
		SPI2_CS2	2	IO								
		TIMER_IO5	3	IO								
		UART1_DSRRn	4	I								
		EPWM_SOCb	6	O								
		GPIO1_27	7	IO								
		ECAP2_IN_APWM_OUT	8	IO								
N2	I2C1_SCL PADCONFIG122 000F 41E8h 0821 4007h	I2C1_SCL	0	IOD	オフ / オフ / オフ	オフ / オフ / オフ	7	1.8V/3.3V	VDDSHV0	あり	LVCMOS	PU/PD
		UART1_RXD	1	I								
		TIMER_IO0	2	IO								
		SPI2_CS1	3	IO								
		EPWM0_SYNCI	4	I								
		ECAP4_IN_APWM_OUT	5	IO								
		GPIO1_28	7	IO								
		MMC0_SDCD	9	I								

表 5-1. ピン属性 (ANJ パッケージ) (続き)

ボール 番号 [1]	ボール名 [2]/ IOMUX レジスタ [14]/ アドレス [15]/ デフォルト値 [16]	信号名 [3]	多重化 モード [4]	タイプ [5]	リセット 時の ボール の状態 RX/TX/PULL [6]	リセット 後の ボール の状態 RX/TX/PULL [7]	リセット 後の 多重化 モード [8]	IO 電圧 [9]	電源 [10]	HYS [11]	バッファタイプ [12]	プルアップ/ プルダウン タイプ [13]
M2	I2C1_SDA PADCONFIG123 000F 41ECh 0821 4007h	I2C1_SDA	0	IOD	オフ / オフ / オフ	オフ / オフ / オフ	7	1.8V/3.3V	VDDSHV0	あり	LVCMOS	PU/PD
		UART1_TXD	1	O								
		TIMER_IO1	2	IO								
		SPI2_CLK	3	IO								
		EPWM0_SYNCO	4	O								
		ECAP3_IN_APWM_OUT	5	IO								
		GPIO1_29	7	IO								
		MMC0_SDWP	9	I								
M4	MCAN0_RX PADCONFIG119 000F 41DCh 0821 4007h	MCAN0_RX	0	I	オフ / オフ / オフ	オフ / オフ / オフ	7	1.8V/3.3V	VDDSHV0	あり	LVCMOS	PU/PD
		UART5_TXD	1	O								
		TIMER_IO3	2	IO								
		SYNC3_OUT	3	O								
		UART1_RIn	4	I								
		I2C5_SDA	5	IOD								
		GPIO1_25	7	IO								
		EPWM_TZn_IN4	9	I								
L4	MCAN0_TX PADCONFIG118 000F 41D8h 0821 4007h	MCAN0_TX	0	O	オフ / オフ / オフ	オフ / オフ / オフ	7	1.8V/3.3V	VDDSHV0	あり	LVCMOS	PU/PD
		UART5_RXD	1	I								
		TIMER_IO2	2	IO								
		SYNC2_OUT	3	O								
		UART1_DTRn	4	O								
		I2C5_SCL	5	IOD								
		GPIO1_24	7	IO								
		EPWM_TZn_IN3	9	I								
N19	MCASP0_ACLKX PADCONFIG15 000F 403Ch 0825 4007h	MCASP0_ACLKX	0	IO	オン / オフ / オフ	オン / オフ / オフ	7	1.8V/3.3V	VDDSHV3	あり	LVCMOS	PU/PD
		TRC_CLK	6	O								
		GPIO0_15	7	IO								
		GPIO1_112	10	IO								
		BOOTMODE00		IO								
M19	MCASP0_AFSX PADCONFIG16 000F 4040h 0825 4007h	MCASP0_AFSX	0	IO	オン / オフ / オフ	オン / オフ / オフ	7	1.8V/3.3V	VDDSHV3	あり	LVCMOS	PU/PD
		TRC_CTL	6	O								
		GPIO0_16	7	IO								
		GPIO1_113	10	IO								
		BOOTMODE01		IO								

表 5-1. ピン属性 (ANJ パッケージ) (続き)

ボール 番号 [1]	ボール名 [2]/ IOMUX レジスタ [14]/ アドレス [15]/ デフォルト値 [16]	信号名 [3]	多重化 モード [4]	タイプ [5]	リセット 時の ボール の状態 RX/TX/PULL [6]	リセット 後の ボール の状態 RX/TX/PULL [7]	リセット 後の 多重化 モード [8]	IO 電圧 [9]	電源 [10]	HYS [11]	バッファタイプ [12]	プルアップ /プルダウン タイプ [13]
H19	MCASP1_ACLKX PADCONFIG34 000F 4088h 0821 4007h	MCASP1_ACLKX	0	IO	オフ / オフ / オフ	オフ / オフ / オフ	7	1.8V/3.3V	VDDSHV3	あり	LVCMOS	PU/PD
		TRC_DATA8	6	O								
		GPIO0_33	7	IO								
J17	MCASP1_AFSX PADCONFIG35 000F 408Ch 0821 4007h	MCASP1_AFSX	0	IO	オフ / オフ / オフ	オフ / オフ / オフ	7	1.8V/3.3V	VDDSHV3	あり	LVCMOS	PU/PD
		TRC_DATA9	6	O								
		GPIO0_34	7	IO								
L19	MCASP2_ACLKX PADCONFIG40 000F 40A0h 0821 4007h	MCASP2_ACLKX	0	IO	オフ / オフ / オフ	オフ / オフ / オフ	7	1.8V/3.3V	VDDSHV3	あり	LVCMOS	PU/PD
		UART6_TXD	3	O								
		TRC_DATA13	6	O								
		GPIO0_39	7	IO								
K19	MCASP2_AFSX PADCONFIG41 000F 40A4h 0821 4007h	MCASP2_AFSX	0	IO	オフ / オフ / オフ	オフ / オフ / オフ	7	1.8V/3.3V	VDDSHV3	あり	LVCMOS	PU/PD
		MAIN_ERRORn	5	IO								
		TRC_DATA14	6	O								
		GPIO0_40	7	IO								
E19	MCASP3_ACLKX PADCONFIG48 000F 40C0h 0821 4007h	MCASP3_ACLKX	0	IO	オフ / オフ / オフ	オフ / オフ / オフ	7	1.8V/3.3V	VDDSHV3	あり	LVCMOS	PU/PD
		UART3_RXD	6	I								
		GPIO0_47	7	IO								
G19	MCASP3_AFSX PADCONFIG49 000F 40C4h 0821 4007h	MCASP3_AFSX	0	IO	オフ / オフ / オフ	オフ / オフ / オフ	7	1.8V/3.3V	VDDSHV3	あり	LVCMOS	PU/PD
		UART3_TXD	6	O								
		GPIO0_48	7	IO								
F18	MCASP4_ACLKX PADCONFIG56 000F 40E0h 0821 4007h	MCASP4_ACLKX	0	IO	オフ / オフ / オフ	オフ / オフ / オフ	7	1.8V/3.3V	VDDSHV3	あり	LVCMOS	PU/PD
		UART1_TXD	2	O								
		UART0_CTSn	3	I								
		MCASP3_ACLKR	4	IO								
		UART6_RTSn	6	O								
		GPIO0_55	7	IO								
F17	MCASP4_AFSX PADCONFIG57 000F 40E4h 0821 4007h	MCASP4_AFSX	0	IO	オフ / オフ / オフ	オフ / オフ / オフ	7	1.8V/3.3V	VDDSHV3	あり	LVCMOS	PU/PD
		UART1_RXD	2	I								
		UART0_RTSn	3	O								
		MCASP3_AFSR	4	IO								
		UART6_CTSn	6	I								
		GPIO0_56	7	IO								

表 5-1. ピン属性 (ANJ パッケージ) (続き)

ボール 番号 [1]	ボール名 [2]/ IOMUX レジスタ [14]/ アドレス [15]/ デフォルト値 [16]	信号名 [3]	多重化 モード [4]	タイプ [5]	リセット 時の ボール の状態 RX/TX/PULL [6]	リセット 後の ボール の状態 RX/TX/PULL [7]	リセット 後の 多重化 モード [8]	IO 電圧 [9]	電源 [10]	HYS [11]	バッファタイプ [12]	プルアップ/ プルダウン タイプ [13]
N17	MCASP0_AXR0 PADCONFIG17 000F 4044h 0825 4007h	MCASP0_AXR0	0	IO	オン / オフ / オフ	オン / オフ / オフ	7	1.8V/3.3V	VDDSHV3	あり	LVCMOS	PU/PD
		TRC_DATA0	6	O								
		GPIO0_17	7	IO								
		GPIO1_114	10	IO								
		BOOTMODE02	ブートストラップ	IO								
M16	MCASP0_AXR1 PADCONFIG18 000F 4048h 0825 4007h	MCASP0_AXR1	0	IO	オン / オフ / オフ	オン / オフ / オフ	7	1.8V/3.3V	VDDSHV3	あり	LVCMOS	PU/PD
		TRC_DATA1	6	O								
		GPIO0_18	7	IO								
		GPIO1_115	10	IO								
		BOOTMODE03	ブートストラップ	IO								
N18	MCASP0_AXR2 PADCONFIG19 000F 404Ch 0825 4007h	MCASP0_AXR2	0	IO	オン / オフ / オフ	オン / オフ / オフ	7	1.8V/3.3V	VDDSHV3	あり	LVCMOS	PU/PD
		TRC_DATA2	6	O								
		GPIO0_19	7	IO								
		GPIO1_116	10	IO								
		BOOTMODE04	ブートストラップ	IO								
M18	MCASP0_AXR3 PADCONFIG20 000F 4050h 0825 4007h	MCASP0_AXR3	0	IO	オン / オフ / オフ	オン / オフ / オフ	7	1.8V/3.3V	VDDSHV3	あり	LVCMOS	PU/PD
		TRC_DATA3	6	O								
		GPIO0_20	7	IO								
		GPIO1_117	10	IO								
		BOOTMODE05	ブートストラップ	IO								
N16	MCASP0_AXR4 PADCONFIG21 000F 4054h 0825 4007h	MCASP0_AXR4	0	IO	オン / オフ / オフ	オン / オフ / オフ	7	1.8V/3.3V	VDDSHV3	あり	LVCMOS	PU/PD
		TRC_DATA4	6	O								
		GPIO0_21	7	IO								
		GPIO1_118	10	IO								
		BOOTMODE06	ブートストラップ	IO								
P17	MCASP0_AXR5 PADCONFIG22 000F 4058h 0825 4007h	MCASP0_AXR5	0	IO	オン / オフ / オフ	オン / オフ / オフ	7	1.8V/3.3V	VDDSHV3	あり	LVCMOS	PU/PD
		TRC_DATA5	6	O								
		GPIO0_22	7	IO								
		GPIO1_119	10	IO								
		BOOTMODE07	ブートストラップ	IO								

表 5-1. ピン属性 (ANJ パッケージ) (続き)

ボール 番号 [1]	ボール名 [2]/ IOMUX レジスタ [14]/ アドレス [15]/ デフォルト値 [16]	信号名 [3]	多重化 モード [4]	タイプ [5]	リセット 時の ボール の状態 RX/TX/PULL [6]	リセット 後の ボール の状態 RX/TX/PULL [7]	リセット 後の 多重化 モード [8]	IO 電圧 [9]	電源 [10]	HYS [11]	バッファタイプ [12]	プルアップ / ダウン タイプ [13]
P18	MCASP0_AXR6 PADCONFIG23 000F 405Ch 0825 4007h	MCASP0_AXR6	0	IO	オン / オフ / オフ	オン / オフ / オフ	7	1.8V/3.3V	VDDSHV3	あり	LVCMOS	PU/PD
		UART2_RXD	2	I								
		GPIO0_23	7	IO								
		GPIO1_120	10	IO								
		BOOTMODE08	ブートストラップ	IO								
P19	MCASP0_AXR7 PADCONFIG24 000F 4060h 0825 4007h	MCASP0_AXR7	0	IO	オン / オフ / オフ	オン / オフ / オフ	7	1.8V/3.3V	VDDSHV3	あり	LVCMOS	PU/PD
		UART2_TXD	2	O								
		GPIO0_24	7	IO								
		GPIO1_121	10	IO								
		BOOTMODE09	ブートストラップ	IO								
P16	MCASP0_AXR8 PADCONFIG25 000F 4064h 0825 4007h	MCASP0_AXR8	0	IO	オン / オフ / オフ	オン / オフ / オフ	7	1.8V/3.3V	VDDSHV3	あり	LVCMOS	PU/PD
		UART3_RXD	2	I								
		GPIO0_25	7	IO								
		OBSCCLK0	8	O								
		GPIO1_122	10	IO								
R17	MCASP0_AXR9 PADCONFIG26 000F 4068h 0825 4007h	MCASP0_AXR9	0	IO	オン / オフ / オフ	オン / オフ / オフ	7	1.8V/3.3V	VDDSHV3	あり	LVCMOS	PU/PD
		UART3_TXD	2	O								
		TRC_DATA23	6	O								
		GPIO0_26	7	IO								
		BOOTMODE11	ブートストラップ	IO								
R18	MCASP0_AXR10 PADCONFIG27 000F 406Ch 0825 4007h	MCASP0_AXR10	0	IO	オン / オフ / オフ	オン / オフ / オフ	7	1.8V/3.3V	VDDSHV3	あり	LVCMOS	PU/PD
		UART4_RXD	2	I								
		MCASP1_AXR9	3	IO								
		MCASP4_ACLKR	4	IO								
		TRC_DATA22	6	O								
		GPIO0_27	7	IO								
		GPIO1_123	10	IO								
		BOOTMODE12	ブートストラップ	IO								

表 5-1. ピン属性 (ANJ パッケージ) (続き)

ボール 番号 [1]	ボール名 [2]/ IOMUX レジスタ [14]/ アドレス [15]/ デフォルト値 [16]	信号名 [3]	多重化 モード [4]	タイプ [5]	リセット 時の ボール の状態 RX/TX/PULL [6]	リセット 後の ボール の状態 RX/TX/PULL [7]	リセット 後の 多重化 モード [8]	IO 電圧 [9]	電源 [10]	HYS [11]	バッファタイプ [12]	プルアップ/ プルダウン タイプ [13]
R19	MCASP0_AXR11 PADCONFIG28 000F 4070h 0825 4007h	MCASP0_AXR11	0	IO	オン / オフ / オフ	オン / オフ / オフ	7	1.8V/3.3V	VDDSHV3	あり	LVCMOS	PU/PD
		UART4_TXD	2	O								
		MCASP1_AXR8	3	IO								
		MCASP4_AFSR	4	IO								
		TRC_DATA21	6	O								
		GPIO0_28	7	IO								
		GPIO1_124	10	IO								
		BOOTMODE13	ブートストラップ	IO								
R16	MCASP0_AXR12 PADCONFIG29 000F 4074h 0825 4007h	MCASP0_AXR12	0	IO	オン / オフ / オフ	オン / オフ / オフ	7	1.8V/3.3V	VDDSHV3	あり	LVCMOS	PU/PD
		UART5_RXD	2	I								
		MCASP1_AXR7	3	IO								
		MCASP0_ACLKR	4	IO								
		TRC_DATA20	6	O								
		GPIO0_29	7	IO								
		UART2_CTSn	8	I								
		GPIO1_125	10	IO								
T17	MCASP0_AXR13 PADCONFIG30 000F 4078h 0825 4007h	MCASP0_AXR13	0	IO	オン / オフ / オフ	オン / オフ / オフ	7	1.8V/3.3V	VDDSHV3	あり	LVCMOS	PU/PD
		UART5_TXD	2	O								
		MCASP1_AXR6	3	IO								
		MCASP0_AFSR	4	IO								
		TRC_DATA19	6	O								
		GPIO0_30	7	IO								
		UART2_RTSn	8	O								
		GPIO1_126	10	IO								
T18	MCASP0_AXR14 PADCONFIG31 000F 407Ch 0821 4007h	MCASP0_AXR14	0	IO	オフ / オフ / オフ	オフ / オフ / オフ	7	1.8V/3.3V	VDDSHV3	あり	LVCMOS	PU/PD
		MCASP1_AXR5	3	IO								
		MCASP1_ACLKR	4	IO								
		MCASP3_AXR4	5	IO								
		TRC_DATA6	6	O								
		GPIO0_31	7	IO								
		GPIO1_127	10	IO								

表 5-1. ピン属性 (ANJ パッケージ) (続き)

ボール 番号 [1]	ボール名 [2]/ IOMUX レジスタ [14]/ アドレス [15]/ デフォルト値 [16]	信号名 [3]	多重化 モード [4]	タイプ [5]	リセット 時の ボール の状態 RX/TX/PULL [6]	リセット 後の ボール の状態 RX/TX/PULL [7]	リセット 後の 多重化 モード [8]	IO 電圧 [9]	電源 [10]	HYS [11]	バッファタイプ [12]	プルアップ /プルダウン タイプ [13]
T19	MCASP0_AXR15 PADCONFIG33 000F 4084h 0821 4007h	MCASP0_AXR15	0	IO	オフ / オフ / オフ	オフ / オフ / オフ	7	1.8V/3.3V	VDDSHV3	あり	LVCMOS	PU/PD
		AUDIO_EXT_REFCLK2	2	IO								
		MCASP1_AXR4	3	IO								
		MCASP1_AFSR	4	IO								
		MCASP3_AXR5	5	IO								
		TRC_DATA7	6	O								
		GPIO0_32	7	IO								
J18	MCASP1_AXR0 PADCONFIG36 000F 4090h 0821 4007h	MCASP1_AXR0	0	IO	オフ / オフ / オフ	オフ / オフ / オフ	7	1.8V/3.3V	VDDSHV3	あり	LVCMOS	PU/PD
		TRC_DATA10	6	O								
		GPIO0_35	7	IO								
J19	MCASP1_AXR1 PADCONFIG37 000F 4094h 0821 4007h	MCASP1_AXR1	0	IO	オフ / オフ / オフ	オフ / オフ / オフ	7	1.8V/3.3V	VDDSHV3	あり	LVCMOS	PU/PD
		TRC_DATA11	6	O								
		GPIO0_36	7	IO								
J16	MCASP1_AXR2 PADCONFIG38 000F 4098h 0821 4007h	MCASP1_AXR2	0	IO	オフ / オフ / オフ	オフ / オフ / オフ	7	1.8V/3.3V	VDDSHV3	あり	LVCMOS	PU/PD
		TRC_DATA12	6	O								
		GPIO0_37	7	IO								
K17	MCASP1_AXR3 PADCONFIG39 000F 409Ch 0821 4007h	MCASP1_AXR3	0	IO	オフ / オフ / オフ	オフ / オフ / オフ	7	1.8V/3.3V	VDDSHV3	あり	LVCMOS	PU/PD
		UART6_RXD	3	I								
		GPIO0_38	7	IO								
L17	MCASP2_AXR0 PADCONFIG42 000F 40A8h 0821 4007h	MCASP2_AXR0	0	IO	オフ / オフ / オフ	オフ / オフ / オフ	7	1.8V/3.3V	VDDSHV3	あり	LVCMOS	PU/PD
		TRC_DATA15	6	O								
		GPIO0_41	7	IO								
K16	MCASP2_AXR1 PADCONFIG43 000F 40ACh 0821 4007h	MCASP2_AXR1	0	IO	オフ / オフ / オフ	オフ / オフ / オフ	7	1.8V/3.3V	VDDSHV3	あり	LVCMOS	PU/PD
		TRC_DATA16	6	O								
		GPIO0_42	7	IO								
L18	MCASP2_AXR2 PADCONFIG44 000F 40B0h 0821 4007h	MCASP2_AXR2	0	IO	オフ / オフ / オフ	オフ / オフ / オフ	7	1.8V/3.3V	VDDSHV3	あり	LVCMOS	PU/PD
		I2C2_SCL	1	IOD								
		UART4_RXD	3	I								
		MCAN1_TX	5	O								
		TRC_DATA17	6	O								
		GPIO0_43	7	IO								

表 5-1. ピン属性 (ANJ パッケージ) (続き)

ボール 番号 [1]	ボール名 [2]/ IOMUX レジスタ [14]/ アドレス [15]/ デフォルト値 [16]	信号名 [3]	多重化 モード [4]	タイプ [5]	リセット 時の ボール の状態 RX/TX/PULL [6]	リセット 後の ボール の状態 RX/TX/PULL [7]	リセット 後の 多重化 モード [8]	IO 電圧 [9]	電源 [10]	HYS [11]	バッファタイプ [12]	プルアップ /プルダウン タイプ [13]
K18	MCASP2_AXR3 PADCONFIG45 000F 40B4h 0821 4007h	MCASP2_AXR3	0	IO	オフ / オフ / オフ	オフ / オフ / オフ	7	1.8V/3.3V	VDDSHV3	あり	LVCMOS	PU/PD
		I2C2_SDA	1	IOD								
		UART4_TXD	3	O								
		MCAN1_RX	5	I								
		TRC_DATA18	6	O								
		GPIO0_44	7	IO								
L16	MCASP2_AXR4 PADCONFIG46 000F 40B8h 0821 4007h	MCASP2_AXR4	0	IO	オフ / オフ / オフ	オフ / オフ / オフ	7	1.8V/3.3V	VDDSHV3	あり	LVCMOS	PU/PD
		UART4_RTSn	3	O								
		UART2_RXD	6	I								
		GPIO0_45	7	IO								
M17	MCASP2_AXR5 PADCONFIG47 000F 40BCh 0821 4007h	MCASP2_AXR5	0	IO	オフ / オフ / オフ	オフ / オフ / オフ	7	1.8V/3.3V	VDDSHV3	あり	LVCMOS	PU/PD
		AUDIO_EXT_REFCLK1	2	IO								
		UART4_CTSn	3	I								
		UART2_TXD	6	O								
		GPIO0_46	7	IO								
G18	MCASP3_AXR0 PADCONFIG50 000F 40C8h 0821 4007h	MCASP3_AXR0	0	IO	オフ / オフ / オフ	オフ / オフ / オフ	7	1.8V/3.3V	VDDSHV3	あり	LVCMOS	PU/PD
		UART4_RXD	6	I								
		GPIO0_49	7	IO								
H16	MCASP3_AXR1 PADCONFIG51 000F 40CCh 0821 4007h	MCASP3_AXR1	0	IO	オフ / オフ / オフ	オフ / オフ / オフ	7	1.8V/3.3V	VDDSHV3	あり	LVCMOS	PU/PD
		UART4_TXD	6	O								
		GPIO0_50	7	IO								
H18	MCASP3_AXR2 PADCONFIG52 000F 40D0h 0821 4007h	MCASP3_AXR2	0	IO	オフ / オフ / オフ	オフ / オフ / オフ	7	1.8V/3.3V	VDDSHV3	あり	LVCMOS	PU/PD
		UART5_RXD	6	I								
		GPIO0_51	7	IO								
H17	MCASP3_AXR3 PADCONFIG53 000F 40D4h 0821 4007h	MCASP3_AXR3	0	IO	オフ / オフ / オフ	オフ / オフ / オフ	7	1.8V/3.3V	VDDSHV3	あり	LVCMOS	PU/PD
		UART5_TXD	6	O								
		GPIO0_52	7	IO								
F19	MCASP4_AXR0 PADCONFIG58 000F 40E8h 0821 4007h	MCASP4_AXR0	0	IO	オフ / オフ / オフ	オフ / オフ / オフ	7	1.8V/3.3V	VDDSHV3	あり	LVCMOS	PU/PD
		UART6_RXD	2	I								
		UART0_RXD	3	I								
		UART5_RTSn	6	O								
		GPIO0_57	7	IO								

表 5-1. ピン属性 (ANJ パッケージ) (続き)

ボール 番号 [1]	ボール名 [2]/ IOMUX レジスタ [14]/ アドレス [15]/ デフォルト値 [16]	信号名 [3]	多重化 モード [4]	タイプ [5]	リセット 時の ボール の状態 RX/TX/PULL [6]	リセット 後の ボール の状態 RX/TX/PULL [7]	リセット 後の 多重化 モード [8]	IO 電圧 [9]	電源 [10]	HYS [11]	バッファタイプ [12]	プルアップ /プルダウン タイプ [13]
G17	MCASP4_AXR1 PADCONFIG59 000F 40ECh 0821 4007h	MCASP4_AXR1	0	IO	オフ / オフ / オフ	オフ / オフ / オフ	7	1.8V/3.3V	VDDSHV3	あり	LVCMOS	PU/PD
		I2C6_SCL	2	IOD								
		MCASP2_ACLKR	4	IO								
		UART5_CTSn	6	I								
		GPIO0_58	7	IO								
G16	MCASP4_AXR2 PADCONFIG60 000F 40F0h 0821 4007h	MCASP4_AXR2	0	IO	オフ / オフ / オフ	オフ / オフ / オフ	7	1.8V/3.3V	VDDSHV3	あり	LVCMOS	PU/PD
		I2C6_SDA	2	IOD								
		MCASP1_AXR10	3	IO								
		MCASP2_AFSR	4	IO								
		UART3_RTSn	6	O								
	MCU_GPIO0_2 MCU_PADCONFIG2 0408 4008h 0821 4007h	MCU_GPIO0_2	0	IO	オフ / オフ / オフ	オフ / オフ / オフ	7	1.8V/3.3V	VDDSHV_MCU	あり	LVCMOS	PU/PD
		MCU_GPIO0_2	7	IO								
		MCU_GPIO0_3	0	IO								
		MCU_GPIO0_3	7	IO								
		MCU_GPIO0_4	0	IO								
	MCU_GPIO0_4 MCU_PADCONFIG4 0408 4010h 0821 4007h	MCU_GPIO0_4	7	IO	オフ / オフ / オフ	オフ / オフ / オフ	7	1.8V/3.3V	VDDSHV_MCU	あり	LVCMOS	PU/PD
		MCU_GPIO0_5	0	IO								
		MCAN0_TX	2	O								
		MCU_GPIO0_5	7	IO								
		MCU_GPIO0_6	0	IO								
	MCU_GPIO0_6 MCU_PADCONFIG6 0408 4018h 0821 4007h	MCU_GPIO0_6	2	I	オフ / オフ / オフ	オフ / オフ / オフ	7	1.8V/3.3V	VDDSHV_CANUART	あり	LVCMOS	PU/PD
		MCAN0_RX	7	IO								
		MCU_GPIO0_7	0	IO								
		MCAN1_TX	2	O								
		MCU_GPIO0_7	7	IO								
	MCU_GPIO0_8 MCU_PADCONFIG8 0408 4020h 0821 4007h	MCU_GPIO0_8	0	IO	オフ / オフ / オフ	オフ / オフ / オフ	7	1.8V/3.3V	VDDSHV_CANUART	あり	LVCMOS	PU/PD
		MCAN1_RX	2	I								
		MCU_GPIO0_8	7	IO								

表 5-1. ピン属性 (ANJ パッケージ) (続き)

ボール 番号 [1]	ボール名 [2]/ IOMUX レジスタ [14]/ アドレス [15]/ デフォルト値 [16]	信号名 [3]	多重化 モード [4]	タイプ [5]	リセット 時の ボール の状態 RX/TX/PULL [6]	リセット 後の ボール の状態 RX/TX/PULL [7]	リセット 後の 多重化 モード [8]	IO 電圧 [9]	電源 [10]	HYS [11]	バッファタイプ [12]	プルアップ /プルダウン タイプ [13]
C6	MCU_GPIO0_13 MCU_PADCONFIG13 0408 4034h 0821 4007h	MCU_GPIO0_13	0	IO	オフ / オフ / オフ	オフ / オフ / オフ	7	1.8V/3.3V	VDDSHV_CANUART	あり	LVCMOS	PU/PD
		WKUP_TIMER_IO0	1	IO								
		MCAN4_TX	2	O								
		UART3_RXD	3	I								
		MCU_GPIO0_13	7	IO								
B6	MCU_GPIO0_14 MCU_PADCONFIG14 0408 4038h 0821 4007h	MCU_GPIO0_14	0	IO	オフ / オフ / オフ	オフ / オフ / オフ	7	1.8V/3.3V	VDDSHV_CANUART	あり	LVCMOS	PU/PD
		MCAN4_RX	2	I								
		UART3_TXD	3	O								
		MCU_GPIO0_14	7	IO								
A6	MCU_GPIO0_15 MCU_PADCONFIG15 0408 403Ch 0821 4007h	MCU_GPIO0_15	0	IO	オフ / オフ / オフ	オフ / オフ / オフ	7	1.8V/3.3V	VDDSHV_CANUART	あり	LVCMOS	PU/PD
		UART2_RXD	3	I								
		MCU_EXT_REFCLK0	4	I								
		MCU_GPIO0_15	7	IO								
D7	MCU_GPIO0_16 MCU_PADCONFIG16 0408 4040h 0821 4007h	MCU_GPIO0_16	0	IO	オフ / オフ / オフ	オフ / オフ / オフ	7	1.8V/3.3V	VDDSHV_CANUART	あり	LVCMOS	PU/PD
		UART2_TXD	3	O								
		MCU_GPIO0_16	7	IO								
A2	MCU_OSC0_XI	MCU_OSC0_XI	0	I				1.8V	VDDS_OSC0		N16FFC_HFX OSC	
B1	MCU_OSC0_XO	MCU_OSC0_XO	0	O				1.8V	VDDS_OSC0		N16FFC_HFX OSC	
E3	MCU_PORz MCU_PADCONFIG22 0408 4058h 0801 4000h	MCU_PORz	0	I			0	1.8V	VDDS_OSC0	あり	LVCMOS	PU/PD
D9	MCU_RESEtZ MCU_PADCONFIG21 0408 4054h 1026 4000h	MCU_RESEtZ	0	I	オン / オフ / アッ プ	オン / オフ / アッ プ	0	1.8V/3.3V	VDDSHV_MCU	あり	LVCMOS	PU/PD
V11	MDIO0_MDC PADCONFIG88 000F 4160h 0821 4007h	MDIO0_MDC	0	O	オフ / オフ / オフ	オフ / オフ / オフ	7	1.8V/3.3V	VDDSHV2	あり	LVCMOS	PU/PD
		GPIO0_86	7	IO								
U11	MDIO0_MDIO PADCONFIG87 000F 415Ch 0821 4007h	MDIO0_MDIO	0	IO	オフ / オフ / オフ	オフ / オフ / オフ	7	1.8V/3.3V	VDDSHV2	あり	LVCMOS	PU/PD
		GPIO0_85	7	IO								

表 5-1. ピン属性 (ANJ パッケージ) (続き)

ボール 番号 [1]	ボール名 [2]/ IOMUX レジスタ [14]/ アドレス [15]/ デフォルト値 [16]	信号名 [3]	多重化 モード [4]	タイプ [5]	リセット 時の ボール の状態 RX/TX/PULL [6]	リセット 後の ボール の状態 RX/TX/PULL [7]	リセット 後の 多重化 モード [8]	IO 電圧 [9]	電源 [10]	HYS [11]	バッファタイプ [12]	プルアップ / ダウン タイプ [13]
U19	MLB0_MLBCLK PADCONFIG64 000F 4100h 0821 4007h	MLB0_MLBCLK	0	I	オフ / オフ / オフ	オフ / オフ / オフ	7	1.8V/3.3V	VDDSHV3	あり	LVCMOS	PU/PD
		MCASP4_AXR4	1	IO								
		I2C5_SCL	2	IOD								
		UART0_TXD	3	O								
		UART2_RTSn	6	O								
		GPIO0_63	7	IO								
V19	MLB0_MLB DAT PADCONFIG65 000F 4104h 0821 4007h	MLB0_MLB DAT	0	IO	オフ / オフ / オフ	オフ / オフ / オフ	7	1.8V/3.3V	VDDSHV3	あり	LVCMOS	PU/PD
		MCASP4_AXR5	1	IO								
		I2C5_SDA	2	IOD								
		UART2_CTSn	6	I								
		GPIO0_64	7	IO								
U18	MLB0_MLBSIG PADCONFIG63 000F 40FCh 0821 4007h	MLB0_MLBSIG	0	IO	オフ / オフ / オフ	オフ / オフ / オフ	7	1.8V/3.3V	VDDSHV3	あり	LVCMOS	PU/PD
		MCASP4_AXR3	1	IO								
		UART6_TXD	2	O								
		ECAP5_IN_APWM_OUT	3	IO								
		UART3_CTSn	6	I								
		GPIO0_62	7	IO								
V5	MMC0_CLK PADCONFIG134 000F 4218h 0821 4007h	MMC0_CLK	0	IO	オフ / オフ / オフ	オフ / オフ / オフ	7	1.8V/3.3V	VDDSHV5	あり	SDIO	PU/PD
		I2C3_SCL	1	IOD								
		EPWM2_A	2	IO								
		MCAN0_TX	3	O								
		SPI4_CS1	5	IO								
		TIMER_IO4	6	IO								
		GPIO1_40	7	IO								
T6	MMC0_CMD PADCONFIG136 000F 4220h 0821 4007h	MMC0_CMD	0	IO	オフ / オフ / オフ	オフ / オフ / オフ	7	1.8V/3.3V	VDDSHV5	あり	SDIO	PU/PD
		I2C3_SDA	1	IOD								
		EPWM2_B	2	IO								
		MCAN0_RX	3	I								
		SPI4_CS2	5	IO								
		TIMER_IO5	6	IO								
		GPIO1_41	7	IO								

表 5-1. ピン属性 (ANJ パッケージ) (続き)

ボール 番号 [1]	ボール名 [2]/ IOMUX レジスタ [14]/ アドレス [15]/ デフォルト値 [16]	信号名 [3]	多重化 モード [4]	タイプ [5]	リセット 時の ボール の状態 RX/TX/PULL [6]	リセット 後の ボール の状態 RX/TX/PULL [7]	リセット 後の 多重化 モード [8]	IO 電圧 [9]	電源 [10]	HYS [11]	バッファタイプ [12]	プルアップ/ プルダウン タイプ [13]
W4	MMC0_DAT0 PADCONFIG133 000F 4214h 0821 4007h	MMC0_DAT0	0	IO	オフ / オフ / オフ	オフ / オフ / オフ	7	1.8V/3.3V	VDDSHV5	あり	SDIO	PU/PD
		UART3_CTSn	1	I								
		EPWM_TZn_IN1	2	I								
		MCAN4_RX	3	I								
		SPI3_CLK	6	IO								
		GPIO1_39	7	IO								
W5	MMC0_DAT1 PADCONFIG132 000F 4210h 0821 4007h	MMC0_DAT1	0	IO	オフ / オフ / オフ	オフ / オフ / オフ	7	1.8V/3.3V	VDDSHV5	あり	SDIO	PU/PD
		UART3_RTSn	1	O								
		EPWM1_B	2	IO								
		MCAN4_TX	3	O								
		SPI4_CS3	5	IO								
		SPI3_CS0	6	IO								
V6	MMC0_DAT2 PADCONFIG131 000F 420Ch 0821 4007h	MMC0_DAT2	0	IO	オフ / オフ / オフ	オフ / オフ / オフ	7	1.8V/3.3V	VDDSHV5	あり	SDIO	PU/PD
		UART3_TXD	1	O								
		EPWM1_A	2	IO								
		MCAN3_RX	3	I								
		SPI4_CLK	5	IO								
		TIMER_IO0	6	IO								
U6	MMC0_DAT3 PADCONFIG130 000F 4208h 0821 4007h	MMC0_DAT3	0	IO	オフ / オフ / オフ	オフ / オフ / オフ	7	1.8V/3.3V	VDDSHV5	あり	SDIO	PU/PD
		UART3_RXD	1	I								
		EPWM0_B	2	IO								
		MCAN3_TX	3	O								
		SPI4_CS0	5	IO								
		SPI3_CS2	6	IO								
U7	MMC0_DAT4 PADCONFIG129 000F 4204h 0821 4007h	MMC0_DAT4	0	IO	オフ / オフ / オフ	オフ / オフ / オフ	7	1.8V/3.3V	VDDSHV5	あり	SDIO	PU/PD
		UART2_CTSn	1	I								
		EPWM0_A	2	IO								
		MCAN2_RX	3	I								
		I2C6_SDA	5	IOD								
		SPI3_D1	6	IO								
		GPIO1_35	7	IO								

表 5-1. ピン属性 (ANJ パッケージ) (続き)

ボール 番号 [1]	ボール名 [2]/ IOMUX レジスタ [14]/ アドレス [15]/ デフォルト値 [16]	信号名 [3]	多重化 モード [4]	タイプ [5]	リセット 時の ボール の状態 RX/TX/PULL [6]	リセット 後の ボール の状態 RX/TX/PULL [7]	リセット 後の 多重化 モード [8]	IO 電圧 [9]	電源 [10]	HYS [11]	バッファタイプ [12]	プルアップ /プルダウン タイプ [13]
T7	MMC0_DAT5 PADCONFIG128 000F 4200h 0821 4007h	MMC0_DAT5	0	IO	オフ / オフ / オフ	オフ / オフ / オフ	7	1.8V/3.3V	VDDSHV5	あり	SDIO	PU/PD
		UART2_RTSn	1	O								
		EPWM_TZn_IN2	2	I								
		MCAN2_TX	3	O								
		I2C6_SCL	5	IOD								
		SPI3_D0	6	IO								
		GPIO1_34	7	IO								
V7	MMC0_DAT6 PADCONFIG127 000F 41FCh 0821 4007h	MMC0_DAT6	0	IO	オフ / オフ / オフ	オフ / オフ / オフ	7	1.8V/3.3V	VDDSHV5	あり	SDIO	PU/PD
		UART2_TXD	1	O								
		EPWM0_SYNCO	2	O								
		MCAN1_RX	3	I								
		SPI4_D1	5	IO								
		SPI3_CS3	6	IO								
		GPIO1_33	7	IO								
W7	MMC0_DAT7 PADCONFIG126 000F 41F8h 0821 4007h	MMC0_DAT7	0	IO	オフ / オフ / オフ	オフ / オフ / オフ	7	1.8V/3.3V	VDDSHV5	あり	SDIO	PU/PD
		UART2_RXD	1	I								
		EPWM0_SYNCI	2	I								
		MCAN1_TX	3	O								
		SPI4_D0	5	IO								
		SPI3_CS1	6	IO								
		GPIO1_32	7	IO								
C1	OSC1_XI	OSC1_XI	0	I				1.8V	VDDSC0		N16FFC_HFX OSC	
C2	OSC1_XO	OSC1_XO	0	O				1.8V	VDDSC0		N16FFC_HFX OSC	
B17	OSPI0_CLK PADCONFIG0 000F 4000h 0821 4007h	OSPI0_CLK	0	O	オフ / オフ / オフ	オフ / オフ / オフ	7	1.8V/3.3V	VDDSHV1	あり	LVCMOS	PU/PD
		GPIO0_0	7	IO								
B19	OSPI0_DQS PADCONFIG2 000F 4008h 0821 4007h	OSPI0_DQS	0	I	オフ / オフ / オフ	オフ / オフ / オフ	7	1.8V/3.3V	VDDSHV1	あり	LVCMOS	PU/PD
		UART5_CTSn	5	I								
		GPIO0_2	7	IO								
		HYPERBUS0_INTn	8	I								
A18	OSPI0_LBCLKO PADCONFIG1 000F 4004h 0821 4007h	OSPI0_LBCLKO	0	IO	オフ / オフ / オフ	オフ / オフ / オフ	7	1.8V/3.3V	VDDSHV1	あり	LVCMOS	PU/PD
		UART5_RTSn	5	O								
		GPIO0_1	7	IO								
		HYPERBUS0_RESETO	8	I								

表 5-1. ピン属性 (ANJ パッケージ) (続き)

ボール 番号 [1]	ボール名 [2]/ IOMUX レジスタ [14]/ アドレス [15]/ デフォルト値 [16]	信号名 [3]	多重化 モード [4]	タイプ [5]	リセット 時の ボール の状態 RX/TX/PULL [6]	リセット 後の ボール の状態 RX/TX/PULL [7]	リセット 後の 多重化 モード [8]	IO 電圧 [9]	電源 [10]	HYS [11]	バッファタイプ [12]	プルアップ /プルダウン タイプ [13]
A14	OSPI1_CLK PADCONFIG66 000F 4108h 0821 4007h	OSPI1_CLK	0	O	オフ / オフ / オフ	オフ / オフ / オフ	7	1.8V/3.3V	VDDSHV1	あり	LVCMOS	PU/PD
		UART5_RXD	3	I								
		GPIO0_65	7	IO								
		HYPERBUS0_CK	8	O								
B15	OSPI1_DQS PADCONFIG68 000F 4110h 0821 4007h	OSPI1_DQS	0	I	オフ / オフ / オフ	オフ / オフ / オフ	7	1.8V/3.3V	VDDSHV1	あり	LVCMOS	PU/PD
		GPIO0_67	7	IO								
		HYPERBUS0_RWDS	8	IO								
B13	OSPI1_LBCLKO PADCONFIG67 000F 410Ch 0821 4007h	OSPI1_LBCLKO	0	IO	オフ / オフ / オフ	オフ / オフ / オフ	7	1.8V/3.3V	VDDSHV1	あり	LVCMOS	PU/PD
		UART5_TXD	3	O								
		GPIO0_66	7	IO								
		HYPERBUS0_CK _n	8	O								
A17	OSPI0_CSn0 PADCONFIG11 000F 402Ch 0821 4007h	OSPI0_CSn0	0	O	オフ / オフ / オフ	オフ / オフ / オフ	7	1.8V/3.3V	VDDSHV1	あり	LVCMOS	PU/PD
		GPIO0_11	7	IO								
C16	OSPI0_CSn1 PADCONFIG12 000F 4030h 0821 4007h	OSPI0_CSn1	0	O	オフ / オフ / オフ	オフ / オフ / オフ	7	1.8V/3.3V	VDDSHV1	あり	LVCMOS	PU/PD
		GPIO0_12	7	IO								
D15	OSPI0_CSn2 PADCONFIG13 000F 4034h 0821 4007h	OSPI0_CSn2	0	O	オフ / オフ / オフ	オフ / オフ / オフ	7	1.8V/3.3V	VDDSHV1	あり	LVCMOS	PU/PD
		SPI1_CS1	1	IO								
		OSPI0_RESET_OUT1	2	O								
		HYPERBUS0_WP _n	4	O								
		UART5_RXD	5	I								
		ADC_EXT_TRIGGER0	6	I								
		GPIO0_13	7	IO								
		HYPERBUS0_RESETO _n	8	I								
		OSPI1_RESET_OUT0	9	O								
A16	OSPI0_CSn3 PADCONFIG14 000F 4038h 0821 4007h	OSPI0_CSn3	0	O	オフ / オフ / オフ	オフ / オフ / オフ	7	1.8V/3.3V	VDDSHV1	あり	LVCMOS	PU/PD
		OSPI0_RESET_OUT0	1	O								
		OSPI0_ECC_FAIL	2	I								
		HYPERBUS0_RESETO _n	3	O								
		HYPERBUS0_WP _n	4	O								
		UART5_TXD	5	O								
		GPIO0_14	7	IO								
		HYPERBUS0_INT _n	8	I								
		OSPI1_RESET_OUT1	9	O								

表 5-1. ピン属性 (ANJ パッケージ) (続き)

ボール 番号 [1]	ボール名 [2]/ IOMUX レジスタ [14]/ アドレス [15]/ デフォルト値 [16]	信号名 [3]	多重化 モード [4]	タイプ [5]	リセット 時の ボール の状態 RX/TX/PULL [6]	リセット 後の ボール の状態 RX/TX/PULL [7]	リセット 後の 多重化 モード [8]	IO 電圧 [9]	電源 [10]	HYS [11]	バッファタイプ [12]	プルアップ /プルダウン タイプ [13]
B16	OSPI0_D0 PADCONFIG3 000F 400Ch 0821 4007h	OSPI0_D0	0	IO	オフ / オフ / オフ	オフ / オフ / オフ	7	1.8V/3.3V	VDDSHV1	あり	LVCMOS	PU/PD
		GPIO0_3	7	IO								
D17	OSPI0_D1 PADCONFIG4 000F 4010h 0821 4007h	OSPI0_D1	0	IO	オフ / オフ / オフ	オフ / オフ / オフ	7	1.8V/3.3V	VDDSHV1	あり	LVCMOS	PU/PD
		GPIO0_4	7	IO								
C17	OSPI0_D2 PADCONFIG5 000F 4014h 0821 4007h	OSPI0_D2	0	IO	オフ / オフ / オフ	オフ / オフ / オフ	7	1.8V/3.3V	VDDSHV1	あり	LVCMOS	PU/PD
		GPIO0_5	7	IO								
D16	OSPI0_D3 PADCONFIG6 000F 4018h 0821 4007h	OSPI0_D3	0	IO	オフ / オフ / オフ	オフ / オフ / オフ	7	1.8V/3.3V	VDDSHV1	あり	LVCMOS	PU/PD
		GPIO0_6	7	IO								
E16	OSPI0_D4 PADCONFIG7 000F 401Ch 0821 4007h	OSPI0_D4	0	IO	オフ / オフ / オフ	オフ / オフ / オフ	7	1.8V/3.3V	VDDSHV1	あり	LVCMOS	PU/PD
		SPI1_CS0	1	IO								
		UART6_RXD	3	I								
		GPIO0_7	7	IO								
B18	OSPI0_D5 PADCONFIG8 000F 4020h 0821 4007h	OSPI0_D5	0	IO	オフ / オフ / オフ	オフ / オフ / オフ	7	1.8V/3.3V	VDDSHV1	あり	LVCMOS	PU/PD
		SPI1_CLK	1	IO								
		UART6_TXD	3	O								
		GPIO0_8	7	IO								
D18	OSPI0_D6 PADCONFIG9 000F 4024h 0821 4007h	OSPI0_D6	0	IO	オフ / オフ / オフ	オフ / オフ / オフ	7	1.8V/3.3V	VDDSHV1	あり	LVCMOS	PU/PD
		SPI1_D0	1	IO								
		UART6_RTSn	3	O								
		GPIO0_9	7	IO								
C18	OSPI0_D7 PADCONFIG10 000F 4028h 0821 4007h	OSPI0_D7	0	IO	オフ / オフ / オフ	オフ / オフ / オフ	7	1.8V/3.3V	VDDSHV1	あり	LVCMOS	PU/PD
		SPI1_D1	1	IO								
		UART6_CTSn	3	I								
		GPIO0_10	7	IO								
B12	OSPI1_CSn0 PADCONFIG73 000F 4124h 0821 4007h	OSPI1_CSn0	0	O	オフ / オフ / オフ	オフ / オフ / オフ	7	1.8V/3.3V	VDDSHV1	あり	LVCMOS	PU/PD
		UART4_RXD	3	I								
		GPIO0_72	7	IO								
		HYPERBUS0_CSn0	8	O								

表 5-1. ピン属性 (ANJ パッケージ) (続き)

ボール 番号 [1]	ボール名 [2]/ IOMUX レジスタ [14]/ アドレス [15]/ デフォルト値 [16]	信号名 [3]	多重化 モード [4]	タイプ [5]	リセット 時の ボール の状態 RX/TX/PULL [6]	リセット 後の ボール の状態 RX/TX/PULL [7]	リセット 後の 多重化 モード [8]	IO 電圧 [9]	電源 [10]	HYS [11]	バッファタイプ [12]	プルアップ /プルダウン タイプ [13]
C12	OSPI1_CSn1 PADCONFIG74 000F 4128h 0821 4007h	OSPI1_CSn1	0	O	オフ / オフ / オフ	オフ / オフ / オフ	7	1.8V/3.3V	VDDSHV1	あり	LVCMOS	PU/PD
		UART4_TXD	3	O								
		HYPERBUS0_CSn1	4	O								
		GPIO0_92	7	IO								
		HYPERBUS0_RESETh	8	O								
		OSPI1_ECC_FAIL	9	I								
A13	OSPI1_D0 PADCONFIG69 000F 4114h 0821 4007h	OSPI1_D0	0	IO	オフ / オフ / オフ	オフ / オフ / オフ	7	1.8V/3.3V	VDDSHV1	あり	LVCMOS	PU/PD
		GPIO0_68	7	IO								
		HYPERBUS0_DQ0	8	IO								
D12	OSPI1_D1 PADCONFIG70 000F 4118h 0821 4007h	OSPI1_D1	0	IO	オフ / オフ / オフ	オフ / オフ / オフ	7	1.8V/3.3V	VDDSHV1	あり	LVCMOS	PU/PD
		UART6_RXD	3	I								
		GPIO0_69	7	IO								
		HYPERBUS0_DQ1	8	IO								
D13	OSPI1_D2 PADCONFIG71 000F 411Ch 0821 4007h	OSPI1_D2	0	IO	オフ / オフ / オフ	オフ / オフ / オフ	7	1.8V/3.3V	VDDSHV1	あり	LVCMOS	PU/PD
		GPIO0_70	7	IO								
		HYPERBUS0_DQ2	8	IO								
C13	OSPI1_D3 PADCONFIG72 000F 4120h 0821 4007h	OSPI1_D3	0	IO	オフ / オフ / オフ	オフ / オフ / オフ	7	1.8V/3.3V	VDDSHV1	あり	LVCMOS	PU/PD
		UART6_TXD	3	O								
		GPIO0_71	7	IO								
		HYPERBUS0_DQ3	8	IO								
A15	OSPI1_D4 PADCONFIG180 000F 42D0h 0821 4007h	OSPI1_D4	0	IO	オフ / オフ / オフ	オフ / オフ / オフ	7	1.8V/3.3V	VDDSHV1	あり	LVCMOS	PU/PD
		I2C2_SCL	3	IOD								
		GPIO1_82	7	IO								
		HYPERBUS0_DQ4	8	IO								
C15	OSPI1_D5 PADCONFIG181 000F 42D4h 0821 4007h	OSPI1_D5	0	IO	オフ / オフ / オフ	オフ / オフ / オフ	7	1.8V/3.3V	VDDSHV1	あり	LVCMOS	PU/PD
		I2C2_SDA	3	IOD								
		GPIO1_83	7	IO								
		HYPERBUS0_DQ5	8	IO								
B14	OSPI1_D6 PADCONFIG182 000F 42D8h 0821 4007h	OSPI1_D6	0	IO	オフ / オフ / オフ	オフ / オフ / オフ	7	1.8V/3.3V	VDDSHV1	あり	LVCMOS	PU/PD
		UART4_RTSh	3	O								
		GPIO1_84	7	IO								
		HYPERBUS0_DQ6	8	IO								
C14	OSPI1_D7 PADCONFIG183 000F 42DCh 0821 4007h	OSPI1_D7	0	IO	オフ / オフ / オフ	オフ / オフ / オフ	7	1.8V/3.3V	VDDSHV1	あり	LVCMOS	PU/PD
		UART4_CTSn	3	I								
		GPIO1_85	7	IO								
		HYPERBUS0_DQ7	8	IO								

表 5-1. ピン属性 (ANJ パッケージ) (続き)

ボール番号 [1]	ボール名 [2]/ IOMUX レジスタ [14]/ アドレス [15]/ デフォルト値 [16]	信号名 [3]	多重化 モード [4]	タイプ [5]	リセット 時の ボール の状態 RX/TX/PULL [6]	リセット 後の ボール の状態 RX/TX/PULL [7]	リセット 後の 多重化 モード [8]	IO 電圧 [9]	電源 [10]	HYS [11]	バッファタイプ [12]	プルアップ/ プルダウン タイプ [13]
A7	PMIC_LPM_EN0 MCU_PADCONFIG32 0408 4080h 0801 4000h	PMIC_LPM_EN0	0	O	オフ / オフ / オフ	オフ / SS / オフ	0	1.8V/3.3V	VDDSHV_CANUART	あり	LVCMOS	PU/PD
		MCU_GPIO0_22	7	IO								
H4	RESETSTATz PADCONFIG147 000F 424Ch 0801 4000h	RESETSTATz	0	O	オフ / Low / オフ	オフ / SS / オフ	0	1.8V/3.3V	VDDSHV0	あり	LVCMOS	PU/PD
W12	RGMII1_RXC PADCONFIG82 000F 4148h 0821 4007h	RGMII1_RXC	0	I	オフ / オフ / オフ	オフ / オフ / オフ	7	1.8V/3.3V	VDDSHV2	あり	LVCMOS	PU/PD
		RMII1_REF_CLK	1	I								
		GPIO0_80	7	IO								
V12	RGMII1_RX_CTL PADCONFIG81 000F 4144h 0821 4007h	RGMII1_RX_CTL	0	I	オフ / オフ / オフ	オフ / オフ / オフ	7	1.8V/3.3V	VDDSHV2	あり	LVCMOS	PU/PD
		RMII1_RX_ER	1	I								
		GPIO0_79	7	IO								
V13	RGMII1_TXC PADCONFIG76 000F 4130h 0821 4007h	RGMII1_TXC	0	O	オフ / オフ / オフ	オフ / オフ / オフ	7	1.8V/3.3V	VDDSHV2	あり	LVCMOS	PU/PD
		RMII1_CRS_DV	1	I								
		GPIO0_74	7	IO								
T13	RGMII1_TX_CTL PADCONFIG75 000F 412Ch 0821 4007h	RGMII1_TX_CTL	0	O	オフ / オフ / オフ	オフ / オフ / オフ	7	1.8V/3.3V	VDDSHV2	あり	LVCMOS	PU/PD
		RMII1_TX_EN	1	O								
		GPIO0_73	7	IO								
W15	RGMII2_RXC PADCONFIG96 000F 4180h 0821 4007h	RGMII2_RXC	0	I	オフ / オフ / オフ	オフ / オフ / オフ	7	1.8V/3.3V	VDDSHV2	あり	LVCMOS	PU/PD
		RMII2_REF_CLK	1	I								
		EPWM2_B	2	IO								
		GPIO1_2	7	IO								
V14	RGMII2_RX_CTL PADCONFIG95 000F 417Ch 0821 4007h	RGMII2_RX_CTL	0	I	オフ / オフ / オフ	オフ / オフ / オフ	7	1.8V/3.3V	VDDSHV2	あり	LVCMOS	PU/PD
		RMII2_RX_ER	1	I								
		EPWM2_A	2	IO								
		GPIO1_1	7	IO								
W17	RGMII2_TXC PADCONFIG90 000F 4168h 0821 4007h	RGMII2_TXC	0	O	オフ / オフ / オフ	オフ / オフ / オフ	7	1.8V/3.3V	VDDSHV2	あり	LVCMOS	PU/PD
		RMII2_CRS_DV	1	I								
		I2C2_SDA	2	IOD								
		GPIO0_88	7	IO								
U16	RGMII2_TX_CTL PADCONFIG89 000F 4164h 0821 4007h	RGMII2_TX_CTL	0	O	オフ / オフ / オフ	オフ / オフ / オフ	7	1.8V/3.3V	VDDSHV2	あり	LVCMOS	PU/PD
		RMII2_TX_EN	1	O								
		I2C2_SCL	2	IOD								
		GPIO0_87	7	IO								

表 5-1. ピン属性 (ANJ パッケージ) (続き)

ボール 番号 [1]	ボール名 [2]/ IOMUX レジスタ [14]/ アドレス [15]/ デフォルト値 [16]	信号名 [3]	多重化 モード [4]	タイプ [5]	リセット 時の ボール の状態 RX/TX/PULL [6]	リセット 後の ボール の状態 RX/TX/PULL [7]	リセット 後の 多重化 モード [8]	IO 電圧 [9]	電源 [10]	HYS [11]	バッファタイプ [12]	プルアップ /プルダウン タイプ [13]
W11	RGMII1_RD0 PADCONFIG83 000F 414Ch 0821 4007h	RGMII1_RD0	0	I	オフ / オフ / オフ	オフ / オフ / オフ	7	1.8V/3.3V	VDDSHV2	あり	LVCMOS	PU/PD
		RMII1_RXD0	1	I								
		GPIO0_81	7	IO								
T11	RGMII1_RD1 PADCONFIG84 000F 4150h 0821 4007h	RGMII1_RD1	0	I	オフ / オフ / オフ	オフ / オフ / オフ	7	1.8V/3.3V	VDDSHV2	あり	LVCMOS	PU/PD
		RMII1_RXD1	1	I								
		GPIO0_82	7	IO								
T12	RGMII1_RD2 PADCONFIG85 000F 4154h 0821 4007h	RGMII1_RD2	0	I	オフ / オフ / オフ	オフ / オフ / オフ	7	1.8V/3.3V	VDDSHV2	あり	LVCMOS	PU/PD
		GPIO0_83	7	IO								
U12	RGMII1_RD3 PADCONFIG86 000F 4158h 0821 4007h	RGMII1_RD3	0	I	オフ / オフ / オフ	オフ / オフ / オフ	7	1.8V/3.3V	VDDSHV2	あり	LVCMOS	PU/PD
		GPIO0_84	7	IO								
U13	RGMII1_TD0 PADCONFIG77 000F 4134h 0821 4007h	RGMII1_TD0	0	O	オフ / オフ / オフ	オフ / オフ / オフ	7	1.8V/3.3V	VDDSHV2	あり	LVCMOS	PU/PD
		RMII1_TXD0	1	O								
		GPIO0_75	7	IO								
W13	RGMII1_TD1 PADCONFIG78 000F 4138h 0821 4007h	RGMII1_TD1	0	O	オフ / オフ / オフ	オフ / オフ / オフ	7	1.8V/3.3V	VDDSHV2	あり	LVCMOS	PU/PD
		RMII1_TXD1	1	O								
		GPIO0_76	7	IO								
T14	RGMII1_TD2 PADCONFIG79 000F 413Ch 0821 4007h	RGMII1_TD2	0	O	オフ / オフ / オフ	オフ / オフ / オフ	7	1.8V/3.3V	VDDSHV2	あり	LVCMOS	PU/PD
		GPIO0_77	7	IO								
U14	RGMII1_TD3 PADCONFIG80 000F 4140h 0821 4007h	RGMII1_TD3	0	O	オフ / オフ / オフ	オフ / オフ / オフ	7	1.8V/3.3V	VDDSHV2	あり	LVCMOS	PU/PD
		CLKOUT0	1	O								
		GPIO0_78	7	IO								
U15	RGMII2_RD0 PADCONFIG97 000F 4184h 0821 4007h	RGMII2_RD0	0	I	オフ / オフ / オフ	オフ / オフ / オフ	7	1.8V/3.3V	VDDSHV2	あり	LVCMOS	PU/PD
		RMII2_RXD0	1	I								
		I2C3_SCL	2	IOD								
		GPIO1_3	7	IO								
V15	RGMII2_RD1 PADCONFIG98 000F 4188h 0821 4007h	RGMII2_RD1	0	I	オフ / オフ / オフ	オフ / オフ / オフ	7	1.8V/3.3V	VDDSHV2	あり	LVCMOS	PU/PD
		RMII2_RXD1	1	I								
		I2C3_SDA	2	IOD								
		GPIO1_4	7	IO								

表 5-1. ピン属性 (ANJ パッケージ) (続き)

ボール 番号 [1]	ボール名 [2]/ IOMUX レジスタ [14]/ アドレス [15]/ デフォルト値 [16]	信号名 [3]	多重化 モード [4]	タイプ [5]	リセット 時の ボール の状態 RX/TX/PULL [6]	リセット 後の ボール の状態 RX/TX/PULL [7]	リセット 後の 多重化 モード [8]	IO 電圧 [9]	電源 [10]	HYS [11]	バッファタイプ [12]	プルアップ /プルダウン タイプ [13]
W14	RGMII2_RD2 PADCONFIG99 000F 418Ch 0821 4007h	RGMII2_RD2	0	I	オフ / オフ / オフ	オフ / オフ / オフ	7	1.8V/3.3V	VDDSHV2	あり	LVCMOS	PU/PD
		GPIO1_5	7	IO								
T15	RGMII2_RD3 PADCONFIG100 000F 4190h 0821 4007h	RGMII2_RD3	0	I	オフ / オフ / オフ	オフ / オフ / オフ	7	1.8V/3.3V	VDDSHV2	あり	LVCMOS	PU/PD
		AUDIO_EXT_REFCLK0	2	IO								
		GPIO1_6	7	IO								
V16	RGMII2_TD0 PADCONFIG91 000F 416Ch 0821 4007h	RGMII2_TD0	0	O	オフ / オフ / オフ	オフ / オフ / オフ	7	1.8V/3.3V	VDDSHV2	あり	LVCMOS	PU/PD
		RMII2_TXD0	1	O								
		EPWM0_A	2	IO								
		GPIO0_89	7	IO								
W16	RGMII2_TD1 PADCONFIG92 000F 4170h 0821 4007h	RGMII2_TD1	0	O	オフ / オフ / オフ	オフ / オフ / オフ	7	1.8V/3.3V	VDDSHV2	あり	LVCMOS	PU/PD
		RMII2_TXD1	1	O								
		EPWM0_B	2	IO								
		GPIO0_90	7	IO								
V17	RGMII2_TD2 PADCONFIG93 000F 4174h 0821 4007h	RGMII2_TD2	0	O	オフ / オフ / オフ	オフ / オフ / オフ	7	1.8V/3.3V	VDDSHV2	あり	LVCMOS	PU/PD
		EPWM1_A	2	IO								
		GPIO0_91	7	IO								
W18	RGMII2_TD3 PADCONFIG94 000F 4178h 0821 4007h	RGMII2_TD3	0	O	オフ / オフ / オフ	オフ / オフ / オフ	7	1.8V/3.3V	VDDSHV2	あり	LVCMOS	PU/PD
		CLKOUT0	1	O								
		EPWM1_B	2	IO								
		GPIO1_0	7	IO								
A3	RSVD_A3	RSVD_A3	0	RSVD					RSVD		RSVD	
A12	RSVD_A12	RSVD_A12	0	RSVD					RSVD		RSVD	
B3	RSVD_B3	RSVD_B3	0	RSVD					RSVD		RSVD	
E2	RSVD_E2	RSVD_E2	0	RSVD					RSVD		RSVD	
E4	RSVD_E4	RSVD_E4	0	RSVD					RSVD		RSVD	
G3	RSVD_G3	RSVD_G3	0	RSVD					RSVD		RSVD	
W8	RSVD_W8	RSVD_W8	0	RSVD					RSVD		RSVD	
M1	SPI0_CLK PADCONFIG111 000F 41BCh 0821 4007h	SPI0_CLK	0	IO	オフ / オフ / オフ	オフ / オフ / オフ	7	1.8V/3.3V	VDDSHV0	あり	LVCMOS	PU/PD
		CP_GEMAC_CPTS0_TS_SYNC	1	O								
		EPWM1_A	2	IO								
		GPIO1_17	7	IO								

表 5-1. ピン属性 (ANJ パッケージ) (続き)

ボール 番号 [1]	ボール名 [2]/ IOMUX レジスタ [14]/ アドレス [15]/ デフォルト値 [16]	信号名 [3]	多重化 モード [4]	タイプ [5]	リセット 時の ボール の状態 RX/TX/PULL [6]	リセット 後の ボール の状態 RX/TX/PULL [7]	リセット 後の 多重化 モード [8]	IO 電圧 [9]	電源 [10]	HYS [11]	バッファタイプ [12]	プルアップ /プルダウン タイプ [13]
U2	SPI1_CLK PADCONFIG139 000F 422Ch 0821 4007h	SPI1_CLK	0	IO	オフ / オフ / オフ	オフ / オフ / オフ	7	1.8V/3.3V	VDDSHV0	あり	LVCMOS	PU/PD
		CP_GEMAC_CPTS0_HW1TSPUSH	1	I								
		TIMER_IO2	2	IO								
		UART2_RTSn	3	O								
		ECAP1_IN_APWM_OUT	4	IO								
		I2C5_SCL	5	IOD								
		GPIO1_44	7	IO								
R2	SPI2_CLK PADCONFIG108 000F 41B0h 0821 4007h	SPI2_CLK	0	IO	オフ / オフ / オフ	オフ / オフ / オフ	7	1.8V/3.3V	VDDSHV0	あり	LVCMOS	PU/PD
		UART1_TXD	2	O								
		EPWM0_B	6	IO								
		GPIO1_14	7	IO								
J3	SPI0_CS0 PADCONFIG109 000F 41B4h 0821 4007h	SPI0_CS0	0	IO	オフ / オフ / オフ	オフ / オフ / オフ	7	1.8V/3.3V	VDDSHV0	あり	LVCMOS	PU/PD
		EPWM0_A	2	IO								
		GPIO1_15	7	IO								
J4	SPI0_CS1 PADCONFIG110 000F 41B8h 0821 4007h	SPI0_CS1	0	IO	オフ / オフ / オフ	オフ / オフ / オフ	7	1.8V/3.3V	VDDSHV0	あり	LVCMOS	PU/PD
		CP_GEMAC_CPTS0_TS_COMP	1	O								
		EPWM0_B	2	IO								
		ECAP0_IN_APWM_OUT	3	IO								
		MAIN_ERRORn	5	IO								
		GPIO1_16	7	IO								
		EPWM_TZn_IN5	9	I								
K3	SPI0_D0 PADCONFIG112 000F 41C0h 0821 4007h	SPI0_D0	0	IO	オフ / オフ / オフ	オフ / オフ / オフ	7	1.8V/3.3V	VDDSHV0	あり	LVCMOS	PU/PD
		CP_GEMAC_CPTS0_HW1TSPUSH	1	I								
		EPWM1_B	2	IO								
		GPIO1_18	7	IO								
K4	SPI0_D1 PADCONFIG113 000F 41C4h 0821 4007h	SPI0_D1	0	IO	オフ / オフ / オフ	オフ / オフ / オフ	7	1.8V/3.3V	VDDSHV0	あり	LVCMOS	PU/PD
		CP_GEMAC_CPTS0_HW2TSPUSH	1	I								
		EPWM_TZn_IN0	2	I								
		GPIO1_19	7	IO								
U1	SPI1_CS0 PADCONFIG137 000F 4224h 0821 4007h	SPI1_CS0	0	IO	オフ / オフ / オフ	オフ / オフ / オフ	7	1.8V/3.3V	VDDSHV0	あり	LVCMOS	PU/PD
		CP_GEMAC_CPTS0_TS_COMP	1	O								
		TIMER_IO0	2	IO								
		UART2_RXD	3	I								
		ECAP4_IN_APWM_OUT	4	IO								
		GPIO1_42	7	IO								

表 5-1. ピン属性 (ANJ パッケージ) (続き)

ボール 番号 [1]	ボール名 [2]/ IOMUX レジスタ [14]/ アドレス [15]/ デフォルト値 [16]	信号名 [3]	多重化 モード [4]	タイプ [5]	リセット 時の ボール の状態 RX/TX/PULL [6]	リセット 後の ボール の状態 RX/TX/PULL [7]	リセット 後の 多重化 モード [8]	IO 電圧 [9]	電源 [10]	HYS [11]	バッファタイプ [12]	プルアップ /プルダウン タイプ [13]
T4	SPI1_CS1 PADCONFIG138 000F 4228h 0821 4007h	SPI1_CS1	0	IO	オフ / オフ / オフ	オフ / オフ / オフ	7	1.8V/3.3V	VDDSHV0	あり	LVCMOS	PU/PD
		CP_GEMAC_CPTS0_TS_SYNC	1	O								
		TIMER_IO1	2	IO								
		UART2_TXD	3	O								
		ECAP5_IN_APWM_OUT	4	IO								
		GPIO1_43	7	IO								
T3	SPI1_D0 PADCONFIG140 000F 4230h 0821 4007h	SPI1_D0	0	IO	オフ / オフ / オフ	オフ / オフ / オフ	7	1.8V/3.3V	VDDSHV0	あり	LVCMOS	PU/PD
		CP_GEMAC_CPTS0_HW2TSPUSH	1	I								
		TIMER_IO3	2	IO								
		UART2_CTSn	3	I								
		ECAP2_IN_APWM_OUT	4	IO								
		I2C5_SDA	5	IOD								
U3	SPI1_D1 PADCONFIG141 000F 4234h 0821 4007h	SPI1_D1	0	IO	オフ / オフ / オフ	オフ / オフ / オフ	7	1.8V/3.3V	VDDSHV0	あり	LVCMOS	PU/PD
		TIMER_IO4	2	IO								
		UART3_RXD	3	I								
		ECAP3_IN_APWM_OUT	4	IO								
		GPIO1_46	7	IO								
T2	SPI2_CS0 PADCONFIG107 000F 41ACh 0821 4007h	SPI2_CS0	0	IO	オフ / オフ / オフ	オフ / オフ / オフ	7	1.8V/3.3V	VDDSHV0	あり	LVCMOS	PU/PD
		UART1_RXD	2	I								
		EPWM0_A	6	IO								
		GPIO1_13	7	IO								
R4	SPI2_CS1 PADCONFIG105 000F 41A4h 0821 4007h	SPI2_CS1	0	IO	オフ / オフ / オフ	オフ / オフ / オフ	7	1.8V/3.3V	VDDSHV0	あり	LVCMOS	PU/PD
		ECAP2_IN_APWM_OUT	2	IO								
		MCAN4_TX	3	O								
		I2C4_SCL	5	IOD								
		GPIO1_11	7	IO								
R1	SPI2_CS2 PADCONFIG103 000F 419Ch 0821 4007h	SPI2_CS2	0	IO	オフ / オフ / オフ	オフ / オフ / オフ	7	1.8V/3.3V	VDDSHV0	あり	LVCMOS	PU/PD
		ECAP1_IN_APWM_OUT	2	IO								
		MAIN_ERRORn	5	IO								
		EPWM1_A	6	IO								
		GPIO1_9	7	IO								

表 5-1. ピン属性 (ANJ パッケージ) (続き)

ボール 番号 [1]	ボール名 [2]/ IOMUX レジスタ [14]/ アドレス [15]/ デフォルト値 [16]	信号名 [3]	多重化 モード [4]	タイプ [5]	リセット 時の ボール の状態 RX/TX/PULL [6]	リセット 後の ボール の状態 RX/TX/PULL [7]	リセット 後の 多重化 モード [8]	IO 電圧 [9]	電源 [10]	HYS [11]	バッファタイプ [12]	プルアップ / ダウン タイプ [13]
T1	SPI2_CS3 PADCONFIG106 000F 41A8h 0821 4007h	SPI2_CS3	0	IO	オフ / オフ / オフ	オフ / オフ / オフ	7	1.8V/3.3V	VDDSHV0	あり	LVCMOS	PU/PD
		AUDIO_EXT_REFCLK1	2	IO								
		MCAN4_RX	3	I								
		I2C4_SDA	5	IOD								
		GPIO1_12	7	IO								
P2	SPI2_D0 PADCONFIG101 000F 4194h 0821 4007h	SPI2_D0	0	IO	オフ / オフ / オフ	オフ / オフ / オフ	7	1.8V/3.3V	VDDSHV0	あり	LVCMOS	PU/PD
		UART1_CTSn	2	I								
		UART6_RXD	3	I								
		ECAP1_IN_APWM_OUT	5	IO								
		GPIO1_7	7	IO								
R3	SPI2_D1 PADCONFIG102 000F 4198h 0821 4007h	SPI2_D1	0	IO	オフ / オフ / オフ	オフ / オフ / オフ	7	1.8V/3.3V	VDDSHV0	あり	LVCMOS	PU/PD
		UART1_RTSn	2	O								
		UART6_TXD	3	O								
		ECAP2_IN_APWM_OUT	5	IO								
		GPIO1_8	7	IO								
A10	TCK MCU_PADCONFIG25 0408 4064h 0826 4000h	TCK	0	I	オン / NA / アップ	オン / オフ / アップ	0	1.8V/3.3V	VDDSHV_MCU	あり	LVCMOS	PU/PD
D10	TDI MCU_PADCONFIG27 0408 406Ch 0826 4000h	TDI	0	I	オン / オフ / アップ	オン / オフ / アップ	0	1.8V/3.3V	VDDSHV_MCU	あり	LVCMOS	PU/PD
A11	TDO MCU_PADCONFIG28 0408 4070h 0802 4000h	TDO	0	OZ	オフ / オフ / アップ	オフ / SS / アップ	0	1.8V/3.3V	VDDSHV_MCU	あり	LVCMOS	PU/PD
C11	TMS MCU_PADCONFIG29 0408 4074h 0826 4000h	TMS	0	I	オン / オフ / アップ	オン / オフ / アップ	0	1.8V/3.3V	VDDSHV_MCU	あり	LVCMOS	PU/PD
B10	TRSTn MCU_PADCONFIG26 0408 4068h 0824 4000h	TRSTn	0	I	オン / NA / ダウン	オン / オフ / ダウン	0	1.8V/3.3V	VDDSHV_MCU	あり	LVCMOS	PU/PD

表 5-1. ピン属性 (ANJ パッケージ) (続き)

ボール 番号 [1]	ボール名 [2]/ IOMUX レジスタ [14]/ アドレス [15]/ デフォルト値 [16]	信号名 [3]	多重化 モード [4]	タイプ [5]	リセット 時の ボール の状態 RX/TX/PULL [6]	リセット 後の ボール の状態 RX/TX/PULL [7]	リセット 後の 多重化 モード [8]	IO 電圧 [9]	電源 [10]	HYS [11]	バッファタイプ [12]	プルアップ / ダウン タイプ [13]
N1	UART0_CTSn PADCONFIG116 000F 41D0h 0821 4007h	UART0_CTSn	0	I	オフ / オフ / オフ	オフ / オフ / オフ	7	1.8V/3.3V	VDDSHV0	あり	LVCMOS	PU/PD
		SPI0_CS2	1	IO								
		I2C3_SCL	2	IOD								
		UART2_RXD	3	I								
		TIMER_IO6	4	IO								
		AUDIO_EXT_REFCLK0	5	IO								
		GPIO1_22	7	IO								
		MMC0_SDCCD	9	I								
L3	UART0_RTSn PADCONFIG117 000F 41D4h 0821 4007h	UART0_RTSn	0	O	オフ / オフ / オフ	オフ / オフ / オフ	7	1.8V/3.3V	VDDSHV0	あり	LVCMOS	PU/PD
		SPI0_CS3	1	IO								
		I2C3_SDA	2	IOD								
		UART2_TXD	3	O								
		TIMER_IO7	4	IO								
		AUDIO_EXT_REFCLK1	5	IO								
		GPIO1_23	7	IO								
		MMC0_SDWP	9	I								
L2	UART0_RXD PADCONFIG114 000F 41C8h 0821 4007h	UART0_RXD	0	I	オフ / オフ / オフ	オフ / オフ / オフ	7	1.8V/3.3V	VDDSHV0	あり	LVCMOS	PU/PD
		ECAP1_IN_APWM_OUT	1	IO								
		SPI2_D0	2	IO								
		EPWM2_A	3	IO								
		GPIO1_20	7	IO								
L1	UART0_TXD PADCONFIG115 000F 41CCh 0821 4007h	UART0_TXD	0	O	オフ / オフ / オフ	オフ / オフ / オフ	7	1.8V/3.3V	VDDSHV0	あり	LVCMOS	PU/PD
		ECAP2_IN_APWM_OUT	1	IO								
		SPI2_D1	2	IO								
		EPWM2_B	3	IO								
		GPIO1_21	7	IO								
W9	USB0_DM	USB0_DM	0	IO				1.8V/3.3V	VDDA_3P3_USB、 VDDA_1P8_USB、 VDDA_CORE_USB		USB2PHY	
V9	USB0_DP	USB0_DP	0	IO				1.8V/3.3V	VDDA_3P3_USB、 VDDA_1P8_USB、 VDDA_CORE_USB		USB2PHY	
W2	USB0_DRVVBUS PADCONFIG149 000F 4254h 0020 4007h	USB0_DRVVBUS	0	O	オフ / オフ / ダウ ン	オフ / オフ / ダウ ン	7	1.8V/3.3V	VDDSHV0	あり	LVCMOS	PU/PD
		ECAP5_IN_APWM_OUT	3	IO								
		GPIO1_50	7	IO								
V8	USB0_RCALIB	USB0_RCALIB	0	IO				1.8V/3.3V	VDDA_3P3_USB、 VDDA_1P8_USB、 VDDA_CORE_USB		USB2PHY	

表 5-1. ピン属性 (ANJ パッケージ) (続き)

ボール 番号 [1]	ボール名 [2]/ IOMUX レジスタ [14]/ アドレス [15]/ デフォルト値 [16]	信号名 [3]	多重化 モード [4]	タイプ [5]	リセット 時の ボール の状態 RX/TX/PULL [6]	リセット 後の ボール の状態 RX/TX/PULL [7]	リセット 後の 多重化 モード [8]	IO 電圧 [9]	電源 [10]	HYS [11]	バッファタイプ [12]	プルアップ / ダウン タイプ [13]
U9	USB0_VBUS	USB0_VBUS	0	A				1.8V/3.3V	VDDA_3P3_USB、 VDDA_1P8_USB、 VDDA_CORE_USB		USB2PHY	
P10	VDDA_1P8_USB	VDDA_1P8_USB		PWR				1.8V				
R9	VDDA_3P3_USB	VDDA_3P3_USB		PWR				3.3V				
J5	VDDA_ADC0	VDDA_ADC0		PWR				1.8V				
N10	VDDA_CORE_USB	VDDA_CORE_USB		PWR				0.75V/0.85V				
H7	VDDA_MCU	VDDA_MCU		PWR				1.8V				
J9	VDDA_PLL0	VDDA_PLL0		PWR				1.8V				
J10	VDDA_PLL1	VDDA_PLL1		PWR				1.8V				
M11	VDDA_PLL2	VDDA_PLL2		PWR				1.8V				
K5	VDDA_TEMP0	VDDA_TEMP0		PWR				1.8V				
N11	VDDA_TEMP1	VDDA_TEMP1		PWR				1.8V				
E7	VDDR_CANUART	VDDR_CANUART		PWR				0.75V/0.85V				
G10、 H12、J8、 K10、 M10、 M14、 N12、N8	VDDR_CORE	VDDR_CORE		PWR				0.85V				
K6、M6	VDDSHV0	VDDSHV0		PWR				1.8V/3.3V				
E13、F12	VDDSHV1	VDDSHV1		PWR				1.8V/3.3V				
P11、P12	VDDSHV2	VDDSHV2		PWR				1.8V/3.3V				
H14、J14、 K14	VDDSHV3	VDDSHV3		PWR				1.8V/3.3V				
P9、R8	VDDSHV5	VDDSHV5		PWR				1.8V/3.3V				
F7	VDDSHV_CANUART	VDDSHV_CANUART		PWR				1.8V/3.3V				
F8、F9	VDDSHV_MCU	VDDSHV_MCU		PWR				1.8V/3.3V				
F5	VDDS_OSC0	VDDS_OSC0		PWR				1.8V				
F6	VDD_CANUART	VDD_CANUART		PWR				0.75V/0.85V				
G11、 G14、G7、 H10、 H13、H9、 J12、K13、 K7、K9、 L11、L12、 L8、M13、 M7、M9、 P13、P7	VDD_CORE	VDD_CORE		PWR				0.75V/0.85V				
J6	VMON_1P8_SOC	VMON_1P8_SOC		PWR				1.8V				

表 5-1. ピン属性 (ANJ パッケージ) (続き)

ボール 番号 [1]	ボール名 [2]/ IOMUX レジスタ [14]/ アドレス [15]/ デフォルト値 [16]	信号名 [3]	多重化 モード [4]	タイプ [5]	リセット 時の ボール の状態 RX/TX/PULL [6]	リセット 後の ボール の状態 RX/TX/PULL [7]	リセット 後の 多重化 モード [8]	IO 電圧 [9]	電源 [10]	HYS [11]	バッファタイプ [12]	プルアップ / ダウン タイプ [13]
H5	VMON_3P3_SOC	VMON_3P3_SOC		PWR				3.3V				
H8	VMON_ER_VSYS	VMON_ER_VSYS		PWR								
G5	VPP	VPP		PWR				1.8V				

表 5-1. ピン属性 (ANJ パッケージ) (続き)

ボール 番号 [1]	ボール名 [2]/ IOMUX レジスタ [14]/ アドレス [15]/ デフォルト値 [16]	信号名 [3]	多重化 モード [4]	タイプ [5]	リセット 時の ボール の状態 RX/TX/PULL [6]	リセット 後の ボール の状態 RX/TX/PULL [7]	リセット 後の 多重化 モード [8]	IO 電圧 [9]	電源 [10]	HYS [11]	バッファタイプ [12]	プルアップ / ダウン タイプ [13]
A1, A19, B2, C19, C3, D1, D11, D14, D19, D3, D4, D8, E10, E11, E12, E14, E15, E17, E18, E5, E9, F10, F11, F14, F15, F16, F4, G12, G13, G15, G4, G6, G8, G9, H11, H3, H6, J11, J13, J15, J7, K11, K12, K15, K8, L10, L13, L14, L15, L5, L7, L9, M12, M15, M5, M8, N13, N14, N15, N5, N6, N7, N9, P14, P15, P5, P6, R10, R12, R13, R14, R15, R5, R6, R7, T10, T16, T5, T8, T9, U10, U17, U4, U5, U8, V10, V18, V4, W1, W10,	VSS	VSS		GND				VSS				

表 5-1. ピン属性 (ANJ パッケージ) (続き)

ボール 番号 [1]	ボール名 [2]/ IOMUX レジスタ [14]/ アドレス [15]/ デフォルト値 [16]	信号名 [3]	多重化 モード [4]	タイプ [5]	リセット 時の ボール の状態 RX/TX/PULL [6]	リセット 後の ボール の状態 RX/TX/PULL [7]	リセット 後の 多重化 モード [8]	IO 電圧 [9]	電源 [10]	HYS [11]	バッファタイプ [12]	プルアップ /プルダウン タイプ [13]
W19, W3, W6												
B11	WKUP_CLKOUT0 MCU_PADCONFIG33 0408 4084h 0801 4000h	WKUP_CLKOUT0	0	O	オフ / オフ / オフ	オフ / SS / オフ	0	1.8V/3.3V	VDDSHV_MCU	あり	LVCMOS	PU/PD
		MCU_GPIO0_23	7	IO								
B9	WKUP_I2C0_SCL MCU_PADCONFIG19 0408 404Ch 0805 4007h	WKUP_I2C0_SCL	0	IOD	オフ / オフ / オフ	オン / SS / オフ	7	1.8V/3.3V	VDDSHV_MCU	あり	I2C オープンド レイン	
		MCU_GPIO0_19	7	IOD								
A8	WKUP_I2C0_SDA MCU_PADCONFIG20 0408 4050h 0805 4007h	WKUP_I2C0_SDA	0	IOD	オフ / オフ / オフ	オン / SS / オフ	7	1.8V/3.3V	VDDSHV_MCU	あり	I2C オープンド レイン	
		MCU_GPIO0_20	7	IOD								
E1	WKUP_LFOSC0_XI	WKUP_LFOSC0_XI	0	I				1.8V	VDDS_OSC0		N16FFC_LFX OSC	
D2	WKUP_LFOSC0_XO	WKUP_LFOSC0_XO	0	O				1.8V	VDDS_OSC0		N16FFC_LFX OSC	
B7	WKUP_TIMER_IO0 MCU_PADCONFIG0 0408 4000h 0821 4007h	WKUP_TIMER_IO0	0	IO	オフ / オフ / オフ	オフ / オフ / オフ	7	1.8V/3.3V	VDDSHV_MCU	あり	LVCMOS	PU/PD
		MCU_GPIO0_0	7	IO								
C7	WKUP_TIMER_IO1 MCU_PADCONFIG1 0408 4004h 0821 4007h	WKUP_TIMER_IO1	0	IO	オフ / オフ / オフ	オフ / オフ / オフ	7	1.8V/3.3V	VDDSHV_MCU	あり	LVCMOS	PU/PD
		MCU_OBSCLK0	1	O								
		MCU_SYSCCLKOUT0	2	O								
		MCU_EXT_REFCLK0	3	I								
		MCU_GPIO0_1	7	IO								
D6	WKUP_UART0_CTSn MCU_PADCONFIG11 0408 402Ch 0821 4007h	WKUP_UART0_CTSn	0	I	オフ / オフ / オフ	オフ / オフ / オフ	7	1.8V/3.3V	VDDSHV_CANUART	あり	LVCMOS	PU/PD
		WKUP_TIMER_IO0	1	IO								
		MCAN3_TX	2	O								
		UART4_RXD	3	I								
		MCU_GPIO0_11	7	IO								
C5	WKUP_UART0_RTSn MCU_PADCONFIG12 0408 4030h 0821 4007h	WKUP_UART0_RTSn	0	O	オフ / オフ / オフ	オフ / オフ / オフ	7	1.8V/3.3V	VDDSHV_CANUART	あり	LVCMOS	PU/PD
		WKUP_TIMER_IO1	1	IO								
		MCAN3_RX	2	I								
		UART4_TXD	3	O								
		MCU_GPIO0_12	7	IO								
B5	WKUP_UART0_RXD MCU_PADCONFIG9 0408 4024h 0821 4007h	WKUP_UART0_RXD	0	I	オフ / オフ / オフ	オフ / オフ / オフ	7	1.8V/3.3V	VDDSHV_CANUART	あり	LVCMOS	PU/PD
		MCAN2_TX	2	O								
		MCU_GPIO0_9	7	IO								

表 5-1. ピン属性 (ANJ パッケージ) (続き)

ボール 番号 [1]	ボール名 [2]/ IOMUX レジスタ [14]/ アドレス [15]/ デフォルト値 [16]	信号名 [3]	多重化 モード [4]	タイプ [5]	リセット 時の ボール の状態 RX/TX/PULL [6]	リセット 後の ボール の状態 RX/TX/PULL [7]	リセット 後の 多重化 モード [8]	IO 電圧 [9]	電源 [10]	HYS [11]	バッファタイプ [12]	プルアップ / ダウン タイプ [13]
A5	WKUP_UART0_TXD	WKUP_UART0_TXD	0	O	オフ / オフ / オフ	オフ / オフ / オフ	7	1.8V/3.3V	VDDSHV_CANUART	あり	LVCMOS	PU/PD
	MCU_PADCONFIG10	MCAN2_RX	2	I								
	0408 4028h 0821 4007h	MCU_GPIO0_10	7	IO								

5.3 信号の説明

ピン多重化オプションのソフトウェア構成に応じて、複数のピンで多くの信号が利用可能です。

次のリストは、列ヘッダーについての説明です。

1. 信号名: ピンを通過する信号の名前。

注

各「信号の説明」表に記載されている信号名と説明は、ピンに実装され、IOMUX パッド構成レジスタで選択されるピン多重化信号機能を表しています。一部のデバイス サブシステムでは信号機能の 2 次多重化が可能ですが、それらについてはこの表には記載されていません。2 次多重化信号機能の詳細については、デバイスのテクニカル リファレンス マニュアルで該当するペリフェラルの章を参照してください。

2. ピンの種類: 信号の方向と種類:

- I = 入力
- O = 出力
- IO = 入力、出力、または同時に入力と出力
- ID = 入力、オープンドレイン出力機能付き
- OD = 出力、オープンドレイン出力機能付き
- IOD = 入力、出力、または同時に入力と出力、オープンドレイン出力機能付き
- IOZ = 入力、出力、または同時に入力と出力、3 ステート出力機能付き
- OZ = 出力、3 ステート出力機能付き
- A = アナログ
- CAP = LDO コンデンサ
- PWR = 電源
- GND = グランド

3. 説明: 信号の説明

4. ボール: 関連のボール番号

I/O セル構成の詳細については、デバイス TRM の「デバイス構成」の章にある「パッド構成レジスタ」セクションを参照してください。

5.3.1 ADC

表 5-2. ADC0 信号の説明

信号名 [1]	ピンの種類 [2]	説明 [3]	ANJ ピン [4]
ADC0_REFN	A	ADC 基準電圧 (負)	H2
ADC0_REFP	A	ADC 基準電圧 (正)	G1
ADC0_AIN0	A	ADC アナログ入力 0	F1
ADC0_AIN1	A	ADC アナログ入力 1	H1
ADC0_AIN2	A	ADC アナログ入力 2	K2
ADC0_AIN3	A	ADC アナログ入力 3	K1
ADC0_AIN4	A	ADC アナログ入力 4	F2
ADC0_AIN5	A	ADC アナログ入力 5	G2
ADC0_AIN6	A	ADC アナログ入力 6	J1
ADC0_AIN7	A	ADC アナログ入力 7	J2
ADC_EXT_TRIGGER0	I	ADC 外部トリガ	D15、N4、V2

5.3.2 オーディオ クロック基準

表 5-3. オーディオ クロック信号の説明

信号名 [1]	ピンの種類 [2]	説明 [3]	ANJ ピン [4]
AUDIO_EXT_REFCLK0	IO	オーディオ クロック基準入力 / 出力 0	N1、T15、V1
AUDIO_EXT_REFCLK1	IO	オーディオ クロック基準入力 / 出力 1	L3、M17、T1
AUDIO_EXT_REFCLK2	IO	オーディオ クロック基準入力 / 出力 2	T19、V3
OSC1_XI	I	オーディオ周波数 (24.576MHz) 発振器入力	C1
OSC1_XO	O	オーディオ周波数 (24.576MHz) 発振器出力	C2

5.3.3 CPSW

表 5-4. RGMII1 信号の説明

信号名 [1]	ピンの種類 [2]	説明 [3]	ANJ ピン [4]
RGMII1_RXC	I	RGMII 受信クロック	W12
RGMII1_RX_CTL	I	RGMII 受信制御	V12
RGMII1_TXC	O	RGMII 送信クロック	V13
RGMII1_TX_CTL	O	RGMII 送信制御	T13
RGMII1_RD0	I	RGMII 受信データ 0	W11
RGMII1_RD1	I	RGMII 受信データ 1	T11
RGMII1_RD2	I	RGMII 受信データ 2	T12
RGMII1_RD3	I	RGMII 受信データ 3	U12
RGMII1_TD0	O	RGMII 送信データ 0	U13
RGMII1_TD1	O	RGMII 送信データ 1	W13
RGMII1_TD2	O	RGMII 送信データ 2	T14
RGMII1_TD3	O	RGMII 送信データ 3	U14

表 5-5. RGMII2 信号の説明

信号名 [1]	ピンの種類 [2]	説明 [3]	ANJ ピン [4]
RGMII2_RXC	I	RGMII 受信クロック	W15
RGMII2_RX_CTL	I	RGMII 受信制御	V14
RGMII2_TXC	O	RGMII 送信クロック	W17
RGMII2_TX_CTL	O	RGMII 送信制御	U16
RGMII2_RD0	I	RGMII 受信データ 0	U15

表 5-5. RGMII2 信号の説明 (続き)

信号名 [1]	ピンの種類 [2]	説明 [3]	ANJ ピン [4]
RGMII2_RD1	I	RGMII 受信データ 1	V15
RGMII2_RD2	I	RGMII 受信データ 2	W14
RGMII2_RD3	I	RGMII 受信データ 3	T15
RGMII2_TD0	O	RGMII 送信データ 0	V16
RGMII2_TD1	O	RGMII 送信データ 1	W16
RGMII2_TD2	O	RGMII 送信データ 2	V17
RGMII2_TD3	O	RGMII 送信データ 3	W18

表 5-6. RMII1 信号の説明

信号名 [1]	ピンの種類 [2]	説明 [3]	ANJ ピン [4]
RMII1_CRD_DV	I	RMII キャリア センス / データ有効	V13
RMII1_REF_CLK	I	RMII 基準クロック	W12
RMII1_RX_ER	I	RMII 受信データ エラー	V12
RMII1_TX_EN	O	RMII 送信イネーブル	T13
RMII1_RXD0	I	RMII 受信データ 0	W11
RMII1_RXD1	I	RMII 受信データ 1	T11
RMII1_TXD0	O	RMII 送信データ 0	U13
RMII1_TXD1	O	RMII 送信データ 1	W13

表 5-7. RMII2 信号の説明

信号名 [1]	ピンの種類 [2]	説明 [3]	ANJ ピン [4]
RMII2_CRD_DV	I	RMII キャリア センス / データ有効	W17
RMII2_REF_CLK	I	RMII 基準クロック	W15
RMII2_RX_ER	I	RMII 受信データ エラー	V14
RMII2_TX_EN	O	RMII 送信イネーブル	U16
RMII2_RXD0	I	RMII 受信データ 0	U15
RMII2_RXD1	I	RMII 受信データ 1	V15
RMII2_TXD0	O	RMII 送信データ 0	V16
RMII2_TXD1	O	RMII 送信データ 1	W16

表 5-8. MDIO 信号の説明

信号名 [1]	ピンの種類 [2]	説明 [3]	ANJ ピン [4]
MDIO0_MDC	O	MDIO クロック	V11
MDIO0_MDIO	IO	MDIO データ	U11

5.3.4 CPTS

表 5-9. CPTS 信号の説明

信号名 [1]	ピンの種類 [2]	説明 [3]	ANJ ピン [4]
CP_GEMAC_CPTS0_RFT_CLK	I	CPSW0 CPTS への CPTS 基準クロック入力	P1
CP_GEMAC_CPTS0_TS_COMP	O	CPSW0 CPTS からの CPT タイム スタンプ カウンタ比較出力	J4, U1
CP_GEMAC_CPTS0_TS_SYNC	O	CPSW0 CPTS からの CPTS タイム スタンプ カウンタビット出力	M1, T4
CP_GEMAC_CPTS0_HW1TSPUSH	I	CPSW0 CPTS への CPTS ハードウェア タイム スタンプ プッシュ入力	K3, U2
CP_GEMAC_CPTS0_HW2TSPUSH	I	CPSW0 CPTS への CPTS ハードウェア タイム スタンプ プッシュ入力	K4, T3
SYNC0_OUT	O	時間同期ルータからの CPTS タイム スタンプ ジェネレータビット 0 出力	M3
SYNC1_OUT	O	時間同期ルータからの CPTS タイム スタンプ ジェネレータビット 1 出力	P1
SYNC2_OUT	O	時間同期ルータからの CPTS タイム スタンプ ジェネレータビット 2 出力	L4

表 5-9. CPTS 信号の説明 (続き)

信号名 [1]	ピンの種類 [2]	説明 [3]	ANJ ピン [4]
SYNC3_OUT	O	時間同期ルータからの CPTS タイム スタンプ ジェネレータ ビット 3 出力	M4

5.3.5 ECAP

表 5-10. ECAP0 信号の説明

信号名 [1]	ピンの種類 [2]	説明 [3]	ANJ ピン [4]
ECAP0_IN_APWM_OUT	IO	拡張キャプチャ (ECAP) 入力または ECAP 補助 PWM (APWM) 出力	J4, P1

表 5-11. ECAP1 信号の説明

信号名 [1]	ピンの種類 [2]	説明 [3]	ANJ ピン [4]
ECAP1_IN_APWM_OUT	IO	拡張キャプチャ (ECAP) 入力または ECAP 補助 PWM (APWM) 出力	L2, M3, P2, R1, U2

表 5-12. ECAP2 信号の説明

信号名 [1]	ピンの種類 [2]	説明 [3]	ANJ ピン [4]
ECAP2_IN_APWM_OUT	IO	拡張キャプチャ (ECAP) 入力または ECAP 補助 PWM (APWM) 出力	L1, N3, R3, R4, T3

表 5-13. ECAP3 信号の説明

信号名 [1]	ピンの種類 [2]	説明 [3]	ANJ ピン [4]
ECAP3_IN_APWM_OUT	IO	拡張キャプチャ (ECAP) 入力または ECAP 補助 PWM (APWM) 出力	M2, P4, U3

表 5-14. ECAP4 信号の説明

信号名 [1]	ピンの種類 [2]	説明 [3]	ANJ ピン [4]
ECAP4_IN_APWM_OUT	IO	拡張キャプチャ (ECAP) 入力または ECAP 補助 PWM (APWM) 出力	N2, U1, V3

表 5-15. ECAP5 信号の説明

信号名 [1]	ピンの種類 [2]	説明 [3]	ANJ ピン [4]
ECAP5_IN_APWM_OUT	IO	拡張キャプチャ (ECAP) 入力または ECAP 補助 PWM (APWM) 出力	T4, U18, W2

5.3.6 エミュレーションおよびデバッグ

表 5-16. JTAG 信号の説明

信号名 [1]	ピンの種類 [2]	説明 [3]	ANJ ピン [4]
EMU0	IO	エミュレーション制御 0	C9
EMU1	IO	エミュレーション制御 1	C10
TCK	I	JTAG テスト クロック入力	A10
TDI	I	JTAG テスト データ入力	D10
TDO	OZ	JTAG テスト データ出力	A11
TMS	I	JTAG テスト モード選択入力	C11
TRSTn	I	JTAG のリセット	B10

表 5-17. TRACE 信号の説明

信号名 [1]	ピンの種類 [2]	説明 [3]	ANJ ピン [4]
TRC_CLK	O	トレース クロック	N19
TRC_CTL	O	トレース制御	M19
TRC_DATA0	O	トレース データ 0	N17
TRC_DATA1	O	トレース データ 1	M16
TRC_DATA2	O	トレース データ 2	N18

表 5-17. TRACE 信号の説明 (続き)

信号名 [1]	ピンの種類 [2]	説明 [3]	ANJ ピン [4]
TRC_DATA3	O	トレース データ 3	M18
TRC_DATA4	O	トレース データ 4	N16
TRC_DATA5	O	トレース データ 5	P17
TRC_DATA6	O	トレース データ 6	T18
TRC_DATA7	O	トレース データ 7	T19
TRC_DATA8	O	トレース データ 8	H19
TRC_DATA9	O	トレース データ 9	J17
TRC_DATA10	O	トレース データ 10	J18
TRC_DATA11	O	トレース データ 11	J19
TRC_DATA12	O	トレース データ 12	J16
TRC_DATA13	O	トレース データ 13	L19
TRC_DATA14	O	トレース データ 14	K19
TRC_DATA15	O	トレース データ 15	L17
TRC_DATA16	O	トレース データ 16	K16
TRC_DATA17	O	トレース データ 17	L18
TRC_DATA18	O	トレース データ 18	K18
TRC_DATA19	O	トレース データ 19	T17
TRC_DATA20	O	トレース データ 20	R16
TRC_DATA21	O	トレース データ 21	R19
TRC_DATA22	O	トレース データ 22	R18
TRC_DATA23	O	トレース データ 23	R17

5.3.7 EPWM

表 5-18. EPWM 信号の説明

信号名 [1]	ピンの種類 [2]	説明 [3]	ANJ ピン [4]
EPWM_SOC_A	O	EPWM 変換開始 A	M3
EPWM_SOC_B	O	EPWM 変換開始 B	N3
EPWM_TZn_IN0	I	EPWMトリップ ゾーン入力 0 (アクティブ Low)	K4
EPWM_TZn_IN1	I	EPWMトリップ ゾーン入力 1 (アクティブ Low)	W4
EPWM_TZn_IN2	I	EPWMトリップ ゾーン入力 2 (アクティブ Low)	T7
EPWM_TZn_IN3	I	EPWMトリップ ゾーン入力 3 (アクティブ Low)	L4
EPWM_TZn_IN4	I	EPWMトリップ ゾーン入力 4 (アクティブ Low)	M4
EPWM_TZn_IN5	I	EPWMトリップ ゾーン入力 5 (アクティブ Low)	J4

表 5-19. EPWM0 信号の説明

信号名 [1]	ピンの種類 [2]	説明 [3]	ANJ ピン [4]
EPWM0_A	IO	EPWM 出力 A	J3、T2、U7、V16
EPWM0_B	IO	EPWM 出力 B	J4、R2、U6、W16
EPWM0_SYNCI	I	EPWM 同期入力	N2、W7
EPWM0_SYNCO	O	EPWM 同期出力	M2、V7

表 5-20. EPWM1 信号の説明

信号名 [1]	ピンの種類 [2]	説明 [3]	ANJ ピン [4]
EPWM1_A	IO	EPWM 出力 A	M1、R1、V17、V6
EPWM1_B	IO	EPWM 出力 B	K3、V1、W18、W5

表 5-21. EPWM2 信号の説明

信号名 [1]	ピンの種類 [2]	説明 [3]	ANJ ピン [4]
EPWM2_A	IO	EPWM 出力 A	L2、V14、V5
EPWM2_B	IO	EPWM 出力 B	L1、T6、W15

5.3.8 GPIO

表 5-22. GPIO0 信号の説明

信号名 [1]	ピンの種類 [2]	説明 [3]	ANJ ピン [4]
GPIO0_0	IO	汎用入出力	B17
GPIO0_1	IO	汎用入出力	A18
GPIO0_2	IO	汎用入出力	B19
GPIO0_3	IO	汎用入出力	B16
GPIO0_4	IO	汎用入出力	D17
GPIO0_5	IO	汎用入出力	C17
GPIO0_6	IO	汎用入出力	D16
GPIO0_7	IO	汎用入出力	E16
GPIO0_8	IO	汎用入出力	B18
GPIO0_9	IO	汎用入出力	D18
GPIO0_10	IO	汎用入出力	C18
GPIO0_11	IO	汎用入出力	A17
GPIO0_12	IO	汎用入出力	C16
GPIO0_13	IO	汎用入出力	D15
GPIO0_14	IO	汎用入出力	A16
GPIO0_15	IO	汎用入出力	N19
GPIO0_16	IO	汎用入出力	M19
GPIO0_17	IO	汎用入出力	N17
GPIO0_18	IO	汎用入出力	M16
GPIO0_19	IO	汎用入出力	N18
GPIO0_20	IO	汎用入出力	M18
GPIO0_21	IO	汎用入出力	N16
GPIO0_22	IO	汎用入出力	P17
GPIO0_23	IO	汎用入出力	P18
GPIO0_24	IO	汎用入出力	P19
GPIO0_25	IO	汎用入出力	P16
GPIO0_26	IO	汎用入出力	R17
GPIO0_27	IO	汎用入出力	R18
GPIO0_28	IO	汎用入出力	R19
GPIO0_29	IO	汎用入出力	R16
GPIO0_30	IO	汎用入出力	T17
GPIO0_31	IO	汎用入出力	T18
GPIO0_32	IO	汎用入出力	T19
GPIO0_33	IO	汎用入出力	H19
GPIO0_34	IO	汎用入出力	J17
GPIO0_35	IO	汎用入出力	J18
GPIO0_36	IO	汎用入出力	J19
GPIO0_37	IO	汎用入出力	J16
GPIO0_38	IO	汎用入出力	K17
GPIO0_39	IO	汎用入出力	L19
GPIO0_40	IO	汎用入出力	K19
GPIO0_41	IO	汎用入出力	L17

表 5-22. GPIO0 信号の説明 (続き)

信号名 [1]	ピンの種類 [2]	説明 [3]	ANJ ピン [4]
GPIO0_42	IO	汎用入出力	K16
GPIO0_43	IO	汎用入出力	L18
GPIO0_44	IO	汎用入出力	K18
GPIO0_45	IO	汎用入出力	L16
GPIO0_46	IO	汎用入出力	M17
GPIO0_47	IO	汎用入出力	E19
GPIO0_48	IO	汎用入出力	G19
GPIO0_49	IO	汎用入出力	G18
GPIO0_50	IO	汎用入出力	H16
GPIO0_51	IO	汎用入出力	H18
GPIO0_52	IO	汎用入出力	H17
GPIO0_55	IO	汎用入出力	F18
GPIO0_56	IO	汎用入出力	F17
GPIO0_57	IO	汎用入出力	F19
GPIO0_58	IO	汎用入出力	G17
GPIO0_59	IO	汎用入出力	G16
GPIO0_62	IO	汎用入出力	U18
GPIO0_63	IO	汎用入出力	U19
GPIO0_64	IO	汎用入出力	V19
GPIO0_65	IO	汎用入出力	A14
GPIO0_66	IO	汎用入出力	B13
GPIO0_67	IO	汎用入出力	B15
GPIO0_68	IO	汎用入出力	A13
GPIO0_69	IO	汎用入出力	D12
GPIO0_70	IO	汎用入出力	D13
GPIO0_71	IO	汎用入出力	C13
GPIO0_72	IO	汎用入出力	B12
GPIO0_73	IO	汎用入出力	T13
GPIO0_74	IO	汎用入出力	V13
GPIO0_75	IO	汎用入出力	U13
GPIO0_76	IO	汎用入出力	W13
GPIO0_77	IO	汎用入出力	T14
GPIO0_78	IO	汎用入出力	U14
GPIO0_79	IO	汎用入出力	V12
GPIO0_80	IO	汎用入出力	W12
GPIO0_81	IO	汎用入出力	W11
GPIO0_82	IO	汎用入出力	T11
GPIO0_83	IO	汎用入出力	T12
GPIO0_84	IO	汎用入出力	U12
GPIO0_85	IO	汎用入出力	U11
GPIO0_86	IO	汎用入出力	V11
GPIO0_87	IO	汎用入出力	U16
GPIO0_88	IO	汎用入出力	W17
GPIO0_89	IO	汎用入出力	V16
GPIO0_90	IO	汎用入出力	W16
GPIO0_91	IO	汎用入出力	V17
GPIO0_92	IO	汎用入出力	C12

表 5-23. GPIO1 信号の説明

信号名 [1]	ピンの種類 [2]	説明 [3]	ANJ ピン [4]
GPIO1_0	IO	汎用入出力	W18
GPIO1_1	IO	汎用入出力	V14
GPIO1_2	IO	汎用入出力	W15
GPIO1_3	IO	汎用入出力	U15
GPIO1_4	IO	汎用入出力	V15
GPIO1_5	IO	汎用入出力	W14
GPIO1_6	IO	汎用入出力	T15
GPIO1_7	IO	汎用入出力	P2
GPIO1_8	IO	汎用入出力	R3
GPIO1_9	IO	汎用入出力	R1
GPIO1_10	IO	汎用入出力	V1
GPIO1_11	IO	汎用入出力	R4
GPIO1_12	IO	汎用入出力	T1
GPIO1_13	IO	汎用入出力	T2
GPIO1_14	IO	汎用入出力	R2
GPIO1_15	IO	汎用入出力	J3
GPIO1_16	IO	汎用入出力	J4
GPIO1_17	IO	汎用入出力	M1
GPIO1_18	IO	汎用入出力	K3
GPIO1_19	IO	汎用入出力	K4
GPIO1_112	IO	汎用入出力	N19
GPIO1_113	IO	汎用入出力	M19
GPIO1_114	IO	汎用入出力	N17
GPIO1_115	IO	汎用入出力	M16
GPIO1_116	IO	汎用入出力	N18
GPIO1_117	IO	汎用入出力	M18
GPIO1_118	IO	汎用入出力	N16
GPIO1_119	IO	汎用入出力	P17
GPIO1_120	IO	汎用入出力	P18
GPIO1_121	IO	汎用入出力	P19
GPIO1_122	IO	汎用入出力	P16
GPIO1_123	IO	汎用入出力	R18
GPIO1_124	IO	汎用入出力	R19
GPIO1_125	IO	汎用入出力	R16
GPIO1_126	IO	汎用入出力	T17
GPIO1_127	IO	汎用入出力	T18
GPIO1_20	IO	汎用入出力	L2
GPIO1_21	IO	汎用入出力	L1
GPIO1_22	IO	汎用入出力	N1
GPIO1_23	IO	汎用入出力	L3
GPIO1_24	IO	汎用入出力	L4
GPIO1_25	IO	汎用入出力	M4
GPIO1_26	IO	汎用入出力	M3
GPIO1_27	IO	汎用入出力	N3
GPIO1_28	IO	汎用入出力	N2
GPIO1_29	IO	汎用入出力	M2
GPIO1_30	IO	汎用入出力	P1
GPIO1_31	IOD	汎用入出力	P3
GPIO1_32	IO	汎用入出力	W7

表 5-23. GPIO1 信号の説明 (続き)

信号名 [1]	ピンの種類 [2]	説明 [3]	ANJ ピン [4]
GPIO1_33	IO	汎用入出力	V7
GPIO1_34	IO	汎用入出力	T7
GPIO1_35	IO	汎用入出力	U7
GPIO1_36	IO	汎用入出力	U6
GPIO1_37	IO	汎用入出力	V6
GPIO1_38	IO	汎用入出力	W5
GPIO1_39	IO	汎用入出力	W4
GPIO1_40	IO	汎用入出力	V5
GPIO1_41	IO	汎用入出力	T6
GPIO1_42	IO	汎用入出力	U1
GPIO1_43	IO	汎用入出力	T4
GPIO1_44	IO	汎用入出力	U2
GPIO1_45	IO	汎用入出力	T3
GPIO1_46	IO	汎用入出力	U3
GPIO1_47	IO	汎用入出力	N4
GPIO1_48	IO	汎用入出力	P4
GPIO1_49	IO	汎用入出力	V2
GPIO1_50	IO	汎用入出力	W2
GPIO1_72	IO	汎用入出力	V3
GPIO1_74	I	汎用入出力	F1
GPIO1_75	I	汎用入出力	H1
GPIO1_76	I	汎用入出力	K2
GPIO1_77	I	汎用入出力	K1
GPIO1_78	I	汎用入出力	F2
GPIO1_79	I	汎用入出力	G2
GPIO1_80	I	汎用入出力	J1
GPIO1_81	I	汎用入出力	J2
GPIO1_82	IO	汎用入出力	A15
GPIO1_83	IO	汎用入出力	C15
GPIO1_84	IO	汎用入出力	B14
GPIO1_85	IO	汎用入出力	C14

表 5-24. MCU GPIO 信号の説明

信号名 [1]	ピンの種類 [2]	説明 [3]	ANJ ピン [4]
MCU_GPIO0_0	IO	汎用入出力	B7
MCU_GPIO0_1	IO	汎用入出力	C7
MCU_GPIO0_2	IO	汎用入出力	C8
MCU_GPIO0_3	IO	汎用入出力	B8
MCU_GPIO0_4	IO	汎用入出力	A9
MCU_GPIO0_5	IO	汎用入出力	C4
MCU_GPIO0_6	IO	汎用入出力	B4
MCU_GPIO0_7	IO	汎用入出力	A4
MCU_GPIO0_8	IO	汎用入出力	D5
MCU_GPIO0_9	IO	汎用入出力	B5
MCU_GPIO0_10	IO	汎用入出力	A5
MCU_GPIO0_11	IO	汎用入出力	D6
MCU_GPIO0_12	IO	汎用入出力	C5
MCU_GPIO0_13	IO	汎用入出力	C6
MCU_GPIO0_14	IO	汎用入出力	B6

表 5-24. MCU GPIO 信号の説明 (続き)

信号名 [1]	ピンの種類 [2]	説明 [3]	ANJ ピン [4]
MCU_GPIO0_15	IO	汎用入出力	A6
MCU_GPIO0_16	IO	汎用入出力	D7
MCU_GPIO0_19	IOD	汎用入出力	B9
MCU_GPIO0_112	IO	汎用入出力	C9
MCU_GPIO0_113	IO	汎用入出力	C10
MCU_GPIO0_20	IOD	汎用入出力	A8
MCU_GPIO0_22	IO	汎用入出力	A7
MCU_GPIO0_23	IO	汎用入出力	B11
MCU_GPIO0_24	IO	汎用入出力	C9
MCU_GPIO0_25	IO	汎用入出力	C10

5.3.9 HYPERBUS

表 5-25. HYPERBUS 信号の説明

信号名 [1]	ピンの種類 [2]	説明 [3]	ANJ ピン [4]
HYPERBUS0_CK	O	HYPERBUS 差動クロック	A14
HYPERBUS0_CKn	O	HYPERBUS 差動クロック	B13
HYPERBUS0_INTn	I	HYPERBUS 割り込み (アクティブ Low)	A16、B19
HYPERBUS0_RESETh	O	HYPERBUS コントローラリセット出力 (アクティブ Low)	A16、C12
HYPERBUS0_RESEThn	I	HYPERBUS ペリフェラル リセット入力 (アクティブ Low)	A18、D15
HYPERBUS0_RWDS	IO	HYPERBUS 読み取り / 書き込みデータ ストロープ	B15
HYPERBUS0_WPn	O	HYPERBUS 書き込み保護 (アクティブ Low)	A16、D15
HYPERBUS0_CSn0	O	HYPERBUS チップ セレクト 0 (アクティブ Low)	B12
HYPERBUS0_CSn1	O	HYPERBUS チップ セレクト 1 (アクティブ Low)	C12
HYPERBUS0_DQ0	IO	HYPERBUS データビット 0	A13
HYPERBUS0_DQ1	IO	HYPERBUS データビット 1	D12
HYPERBUS0_DQ2	IO	HYPERBUS データビット 2	D13
HYPERBUS0_DQ3	IO	HYPERBUS データビット 3	C13
HYPERBUS0_DQ4	IO	HYPERBUS データビット 4	A15
HYPERBUS0_DQ5	IO	HYPERBUS データビット 5	C15
HYPERBUS0_DQ6	IO	HYPERBUS データビット 6	B14
HYPERBUS0_DQ7	IO	HYPERBUS データビット 7	C14

5.3.10 I2C

表 5-26. I2C0 信号の説明

信号名 [1]	ピンの種類 [2]	説明 [3]	ANJ ピン [4]
I2C0_SCL	IOD	I2C クロック	M3
I2C0_SDA	IOD	I2C データ	N3

表 5-27. I2C1 信号の説明

信号名 [1]	ピンの種類 [2]	説明 [3]	ANJ ピン [4]
I2C1_SCL	IOD	I2C クロック	N2
I2C1_SDA	IOD	I2C データ	M2

表 5-28. I2C2 信号の説明

信号名 [1]	ピンの種類 [2]	説明 [3]	ANJ ピン [4]
I2C2_SCL	IOD	I2C クロック	A15、L18、U16

表 5-28. I2C2 信号の説明 (続き)

信号名 [1]	ピンの種類 [2]	説明 [3]	ANJ ピン [4]
I2C2_SDA	IOD	I2C データ	C15、K18、W17

表 5-29. I2C3 信号の説明

信号名 [1]	ピンの種類 [2]	説明 [3]	ANJ ピン [4]
I2C3_SCL	IOD	I2C クロック	N1、U15、V5
I2C3_SDA	IOD	I2C データ	L3、T6、V15

表 5-30. I2C4 信号の説明

信号名 [1]	ピンの種類 [2]	説明 [3]	ANJ ピン [4]
I2C4_SCL	IOD	I2C クロック	P4、R4
I2C4_SDA	IOD	I2C データ	T1、V2

表 5-31. I2C5 信号の説明

信号名 [1]	ピンの種類 [2]	説明 [3]	ANJ ピン [4]
I2C5_SCL	IOD	I2C クロック	L4、U19、U2
I2C5_SDA	IOD	I2C データ	M4、T3、V19

表 5-32. I2C6 信号の説明

信号名 [1]	ピンの種類 [2]	説明 [3]	ANJ ピン [4]
I2C6_SCL	IOD	I2C クロック	G17、T7
I2C6_SDA	IOD	I2C データ	G16、U7

表 5-33. WKUP I2C 信号の説明

信号名 [1]	ピンの種類 [2]	説明 [3]	ANJ ピン [4]
WKUP_I2C0_SCL	IOD	I2C クロック	B9
WKUP_I2C0_SDA	IOD	I2C データ	A8

5.3.11 MCAN

表 5-34. MCAN0 信号の説明

信号名 [1]	ピンの種類 [2]	説明 [3]	ANJ ピン [4]
MCAN0_RX	I	MCAN 受信データ	B4、M4、T6
MCAN0_TX	O	MCAN 送信データ	C4、L4、V5

表 5-35. MCAN1 信号の説明

信号名 [1]	ピンの種類 [2]	説明 [3]	ANJ ピン [4]
MCAN1_RX	I	MCAN 受信データ	D5、K18、V7
MCAN1_TX	O	MCAN 送信データ	A4、L18、W7

表 5-36. MCAN2 信号の説明

信号名 [1]	ピンの種類 [2]	説明 [3]	ANJ ピン [4]
MCAN2_RX	I	MCAN 受信データ	A5、U7
MCAN2_TX	O	MCAN 送信データ	B5、T7

表 5-37. MCAN3 信号の説明

信号名 [1]	ピンの種類 [2]	説明 [3]	ANJ ピン [4]
MCAN3_RX	I	MCAN 受信データ	C5、V3、V6
MCAN3_TX	O	MCAN 送信データ	D6、N4、U6

表 5-38. MCAN4 信号の説明

信号名 [1]	ピンの種類 [2]	説明 [3]	ANJ ピン [4]
MCAN4_RX	I	MCAN 受信データ	B6、T1、W4
MCAN4_TX	O	MCAN 送信データ	C6、R4、W5

5.3.12 MCASP

表 5-39. McASP0 信号の説明

信号名 [1]	ピンの種類 [2]	説明 [3]	ANJ ピン [4]
MCASP0_ACLKR	IO	McASP 受信ビット クロック	R16
MCASP0_ACLKX	IO	McASP 送信ビット クロック	N19
MCASP0_AFSR	IO	McASP 受信フレーム同期	T17
MCASP0_AFSX	IO	McASP 送信フレーム同期	M19
MCASP0_AXR0	IO	McASP オーディオ送信 / 受信 0	N17
MCASP0_AXR1	IO	McASP オーディオ送信 / 受信 1	M16
MCASP0_AXR2	IO	McASP オーディオ送信 / 受信 2	N18
MCASP0_AXR3	IO	McASP オーディオ送信 / 受信 3	M18
MCASP0_AXR4	IO	McASP オーディオ送信 / 受信 4	N16
MCASP0_AXR5	IO	McASP オーディオ送信 / 受信 5	P17
MCASP0_AXR6	IO	McASP オーディオ送信 / 受信 6	P18
MCASP0_AXR7	IO	McASP オーディオ送信 / 受信 7	P19
MCASP0_AXR8	IO	McASP オーディオ送信 / 受信 8	P16
MCASP0_AXR9	IO	McASP オーディオ送信 / 受信 9	R17
MCASP0_AXR10	IO	McASP オーディオ送信 / 受信 10	R18
MCASP0_AXR11	IO	McASP オーディオ送信 / 受信 11	R19
MCASP0_AXR12	IO	McASP オーディオ送信 / 受信 12	R16
MCASP0_AXR13	IO	McASP オーディオ送信 / 受信 13	T17
MCASP0_AXR14	IO	McASP オーディオ送信 / 受信 14	T18
MCASP0_AXR15	IO	McASP オーディオ送信 / 受信 15	T19

表 5-40. McASP1 信号の説明

信号名 [1]	ピンの種類 [2]	説明 [3]	ANJ ピン [4]
MCASP1_ACLKR	IO	McASP 受信ビット クロック	T18
MCASP1_ACLKX	IO	McASP 送信ビット クロック	H19
MCASP1_AFSR	IO	McASP 受信フレーム同期	T19
MCASP1_AFSX	IO	McASP 送信フレーム同期	J17
MCASP1_AXR0	IO	McASP オーディオ送信 / 受信 0	J18
MCASP1_AXR1	IO	McASP オーディオ送信 / 受信 1	J19
MCASP1_AXR2	IO	McASP オーディオ送信 / 受信 2	J16
MCASP1_AXR3	IO	McASP オーディオ送信 / 受信 3	K17
MCASP1_AXR4	IO	McASP オーディオ送信 / 受信 4	T19
MCASP1_AXR5	IO	McASP オーディオ送信 / 受信 5	T18
MCASP1_AXR6	IO	McASP オーディオ送信 / 受信 6	T17
MCASP1_AXR7	IO	McASP オーディオ送信 / 受信 7	R16

表 5-40. McASP1 信号の説明 (続き)

信号名 [1]	ピンの種類 [2]	説明 [3]	ANJ ピン [4]
MCASP1_AXR8	IO	McASP オーディオ送信 / 受信 8	R19
MCASP1_AXR9	IO	McASP オーディオ送信 / 受信 9	R18
MCASP1_AXR10	IO	McASP オーディオ送信 / 受信 10	G16

表 5-41. McASP2 信号の説明

信号名 [1]	ピンの種類 [2]	説明 [3]	ANJ ピン [4]
MCASP2_ACLKR	IO	McASP 受信ビット クロック	G17
MCASP2_ACLKX	IO	McASP 送信ビット クロック	L19
MCASP2_AFSR	IO	McASP 受信フレーム同期	G16
MCASP2_AFSX	IO	McASP 送信フレーム同期	K19
MCASP2_AXR0	IO	McASP オーディオ送信 / 受信 0	L17
MCASP2_AXR1	IO	McASP オーディオ送信 / 受信 1	K16
MCASP2_AXR2	IO	McASP オーディオ送信 / 受信 2	L18
MCASP2_AXR3	IO	McASP オーディオ送信 / 受信 3	K18
MCASP2_AXR4	IO	McASP オーディオ送信 / 受信 4	L16
MCASP2_AXR5	IO	McASP オーディオ送信 / 受信 5	M17

表 5-42. McASP3 信号の説明

信号名 [1]	ピンの種類 [2]	説明 [3]	ANJ ピン [4]
MCASP3_ACLKR	IO	McASP 受信ビット クロック	F18
MCASP3_ACLKX	IO	McASP 送信ビット クロック	E19
MCASP3_AFSR	IO	McASP 受信フレーム同期	F17
MCASP3_AFSX	IO	McASP 送信フレーム同期	G19
MCASP3_AXR0	IO	McASP オーディオ送信 / 受信 0	G18
MCASP3_AXR1	IO	McASP オーディオ送信 / 受信 1	H16
MCASP3_AXR2	IO	McASP オーディオ送信 / 受信 2	H18
MCASP3_AXR3	IO	McASP オーディオ送信 / 受信 3	H17
MCASP3_AXR4	IO	McASP オーディオ送信 / 受信 4	T18
MCASP3_AXR5	IO	McASP オーディオ送信 / 受信 5	T19

表 5-43. McASP4 信号の説明

信号名 [1]	ピンの種類 [2]	説明 [3]	ANJ ピン [4]
MCASP4_ACLKR	IO	McASP 受信ビット クロック	R18
MCASP4_ACLKX	IO	McASP 送信ビット クロック	F18
MCASP4_AFSR	IO	McASP 受信フレーム同期	R19
MCASP4_AFSX	IO	McASP 送信フレーム同期	F17
MCASP4_AXR0	IO	McASP オーディオ送信 / 受信 0	F19
MCASP4_AXR1	IO	McASP オーディオ送信 / 受信 1	G17
MCASP4_AXR2	IO	McASP オーディオ送信 / 受信 2	G16
MCASP4_AXR3	IO	McASP オーディオ送信 / 受信 3	U18
MCASP4_AXR4	IO	McASP オーディオ送信 / 受信 4	U19
MCASP4_AXR5	IO	McASP オーディオ送信 / 受信 5	V19

5.3.13 MLB

表 5-44. MLB 信号の説明

信号名 [1]	ピンの種類 [2]	説明 [3]	ANJ ピン [4]
MLB0_MLBCLK	I	メディア ローカル バス クロック	U19
MLB0_MLB DAT	IO	メディア ローカル バス データ	V19
MLB0_MLBSIG	IO	メディア ローカル バス信号	U18

5.3.14 MMC

表 5-45. MMC 信号の説明

信号名 [1]	ピンの種類 [2]	説明 [3]	ANJ ピン [4]
MMC0_CLK	IO	MMC/SD/SDIO クロック	V5
MMC0_CMD	IO	MMC/SD/SDIO コマンド	T6
MMC0_SDCD	I	SD カード検出	N1、N2
MMC0_SDWP	I	SD 書き込み保護	L3、M2
MMC0_DAT0	IO	MMC/SD/SDIO データ	W4
MMC0_DAT1	IO	MMC/SD/SDIO データ	W5
MMC0_DAT2	IO	MMC/SD/SDIO データ	V6
MMC0_DAT3	IO	MMC/SD/SDIO データ	U6
MMC0_DAT4	IO	MMC/SD/SDIO データ	U7
MMC0_DAT5	IO	MMC/SD/SDIO データ	T7
MMC0_DAT6	IO	MMC/SD/SDIO データ	V7
MMC0_DAT7	IO	MMC/SD/SDIO データ	W7

5.3.15 OSPI

表 5-46. OSPI0 信号の説明

信号名 [1]	ピンの種類 [2]	説明 [3]	ANJ ピン [4]
OSPI0_CLK	O	OSPI クロック	B17
OSPI0_DQS	I	OSPI データ ストロープ (DQS) またはループバック クロック入力	B19
OSPI0_ECC_FAIL	I	OSPI ECC ステータス	A16
OSPI0_LBCLKO	IO	OSPI ループバック クロック出力	A18
OSPI0_CSn0	O	OSPI チップ セレクト 0	A17
OSPI0_CSn1	O	OSPI チップ セレクト 1	C16
OSPI0_CSn2	O	OSPI チップ セレクト 2	D15
OSPI0_CSn3	O	OSPI チップ セレクト 3	A16
OSPI0_D0	IO	OSPI データ 0	B16
OSPI0_D1	IO	OSPI データ 1	D17
OSPI0_D2	IO	OSPI データ 2	C17
OSPI0_D3	IO	OSPI データ 3	D16
OSPI0_D4	IO	OSPI データ 4	E16
OSPI0_D5	IO	OSPI データ 5	B18
OSPI0_D6	IO	OSPI データ 6	D18
OSPI0_D7	IO	OSPI データ 7	C18
OSPI0_RESET_OUT0	O	OSPI のリセット	A16
OSPI0_RESET_OUT1	O	OSPI のリセット	D15

表 5-47. OSPI1 信号の説明

信号名 [1]	ピンの種類 [2]	説明 [3]	ANJ ピン [4]
OSPI1_CLK	O	OSPI クロック	A14
OSPI1_DQS	I	OSPI データ ストロブ (DQS) またはループバック クロック入力	B15
OSPI1_ECC_FAIL	I	OSPI ECC ステータス	C12
OSPI1_LBCLKO	IO	OSPI ループバック クロック出力	B13
OSPI1_CSn0	O	OSPI チップ セレクト 0	B12
OSPI1_CSn1	O	OSPI チップ セレクト 1	C12
OSPI1_D0	IO	OSPI データ 0	A13
OSPI1_D1	IO	OSPI データ 1	D12
OSPI1_D2	IO	OSPI データ 2	D13
OSPI1_D3	IO	OSPI データ 3	C13
OSPI1_D4	IO	OSPI データ 4	A15
OSPI1_D5	IO	OSPI データ 5	C15
OSPI1_D6	IO	OSPI データ 6	B14
OSPI1_D7	IO	OSPI データ 7	C14
OSPI1_RESET_OUT0	O	OSPI のリセット	D15
OSPI1_RESET_OUT1	O	OSPI のリセット	A16

5.3.16 電源

表 5-48. 電源信号の説明

信号名 [1]	ピンの種類 [2]	説明 [3]	ANJ ピン [4]
CAP_VDDS0	PWR	IO グループ 0 の外部コンデンサ接続	L6
CAP_VDDS1	PWR	IO グループ 1 の外部コンデンサ接続	F13
CAP_VDDS2	PWR	IO グループ 2 の外部コンデンサ接続	R11
CAP_VDDS3	PWR	IO グループ 3 の外部コンデンサ接続	H15
CAP_VDDS5	PWR	IO グループ 5 の外部コンデンサ接続	P8
CAP_VDDS_CANUART	PWR	IO グループ CANUART の外部コンデンサ接続	E6
CAP_VDDS_MCU	PWR	IO グループ MCU の外部コンデンサ接続	E8
VDDA_1P8_USB	PWR	USB 1.8V アナログ電源	P10
VDDA_3P3_USB	PWR	USB 3.3V アナログ電源	R9
VDDA_ADC0	PWR	ADC のアナログ電源	J5
VDDA_CORE_USB	PWR	USB コア アナログ電源	N10
VDDA_MCU	PWR	MCU アナログ電源	H7
VDDA_PLL0	PWR	PLL0 のアナログ電源	J9
VDDA_PLL1	PWR	PLL1 のアナログ電源	J10
VDDA_PLL2	PWR	PLL2 のアナログ電源	M11
VDDA_TEMP0	PWR	TEMP0 アナログ電源	K5
VDDA_TEMP1	PWR	TEMP1 アナログ電源	N11
VDDR_CANUART	PWR	CANUART ドメインのコア RAM 電源	E7
VDDR_CORE	PWR	コア RAM 電源	G10、H12、J8、K10、 M10、M14、N12、N8
VDDSHV0	PWR	IO グループ 0 の IO 電源	K6、M6
VDDSHV1	PWR	IO グループ 1 の IO 電源	E13、F12
VDDSHV2	PWR	IO グループ 2 の IO 電源	P11、P12
VDDSHV3	PWR	IO グループ 3 の IO 電源	H14、J14、K14
VDDSHV5	PWR	IO グループ 5 の IO 電源	P9、R8
VDDSHV_CANUART	PWR	IO グループ CANUART の IO 電源	F7

表 5-48. 電源信号の説明 (続き)

信号名 [1]	ピンの種類 [2]	説明 [3]	ANJ ピン [4]
VDDSHV_MCU	PWR	IO グループ MCU の IO 電源	F8、F9
VDDS_OSC0	PWR	発振器電源	F5
VDD_CANUART	PWR	CANUART ドメインのコア電源	F6
VDD_CORE	PWR	コア電源	G11、G14、G7、H10、 H13、H9、J12、K13、K7、 K9、L11、L12、L8、M13、 M7、M9、P13、P7
VMON_1P8_SOC	PWR	1.8V SoC 電源用電圧モニタ入力	J6
VMON_3P3_SOC	PWR	3.3V SoC 電源用電圧モニタ入力	H5
VMON_ER_VSYS	PWR	電圧モニタ入力、固定 0.45V (±3%) スレッショルド。PMIC 入力電源などのより高い電圧レールを監視するには、外付けの高精度分圧器と組み合わせて使用します。	H8
VPP	PWR	VPP 電源	G5
VSS	GND	グランド	A1、A19、B2、C19、C3、 D1、D11、D14、D19、D3、 D4、D8、E10、E11、E12、 E14、E15、E17、E18、E5、 E9、F10、F11、F14、F15、 F16、F4、G12、G13、 G15、G4、G6、G8、G9、 H11、H3、H6、J11、J13、 J15、J7、K11、K12、K15、 K8、L10、L13、L14、L15、 L5、L7、L9、M12、M15、 M5、M8、N13、N14、N15、 N5、N6、N7、N9、P14、 P15、P5、P6、R10、R12、 R13、R14、R15、R5、R6、 R7、T10、T16、T5、T8、 T9、U10、U17、U4、U5、 U8、V10、V18、V4、W1、 W10、W19、W3、W6

5.3.17 予約済みおよび未接続

表 5-49. 予約済み信号の説明

信号名 [1]	ピンの種類 [2]	説明 [3]	ANJ ピン [4]
RSVD_A3	RSVD	予約済み、未接続のままにする必要あり	A3
RSVD_A12	RSVD	予約済み、未接続のままにする必要あり	A12
RSVD_B3	RSVD	予約済み、未接続のままにする必要あり	B3
RSVD_E2	RSVD	予約済み、未接続のままにする必要あり	E2
RSVD_E4	RSVD	予約済み、未接続のままにする必要あり	E4
RSVD_G3	RSVD	予約済み、未接続のままにする必要あり	G3
RSVD_W8	RSVD	予約済み、未接続のままにする必要あり	W8

5.3.18 システム、その他

表 5-50. Sysboot 信号の説明

信号名 [1]	ピンの種類 [2]	説明 [3]	ANJ ピン [4]
BOOTMODE00	IO	ブートモード ピン 0	N19
BOOTMODE01	IO	ブートモード ピン 1	M19
BOOTMODE02	IO	ブートモード ピン 2	N17
BOOTMODE03	IO	ブートモード ピン 3	M16
BOOTMODE04	IO	ブートモード ピン 4	N18
BOOTMODE05	IO	ブートモード ピン 5	M18
BOOTMODE06	IO	ブートモード ピン 6	N16

表 5-50. Sysboot 信号の説明 (続き)

信号名 [1]	ピンの種類 [2]	説明 [3]	ANJ ピン [4]
BOOTMODE07	IO	ブートモード ピン 7	P17
BOOTMODE08	IO	ブートモード ピン 8	P18
BOOTMODE09	IO	ブートモード ピン 9	P19
BOOTMODE10	IO	ブートモード ピン 10	P16
BOOTMODE11	IO	ブートモード ピン 11	R17
BOOTMODE12	IO	ブートモード ピン 12	R18
BOOTMODE13	IO	ブートモード ピン 13	R19
BOOTMODE14	IO	ブートモード ピン 14	R16
BOOTMODE15	IO	ブートモード ピン 15	T17

表 5-51. システム信号の説明

信号名 [1]	ピンの種類 [2]	説明 [3]	ANJ ピン [4]
CLKOUT0	O	クロック出力 0	P1、U14、W18
EXTINTn	I	外部割り込み	P3
EXT_REFCLK1	I	MAIN ドメインへの外部クロック入力	P1
MAIN_ERRORn	IO	MAIN ドメインからのエラー信号出力	J4、K19、R1
OBSClk0	O	テストおよびデバッグ用 MAIN ドメイン監視クロック出力	P16
OBSClk1	O	テストおよびデバッグ用 MAIN ドメイン監視クロック出力	M3
RESETSTATz	O	メイン ドメインのウォーム リセット ステータス出力	H4
SYSClkOUT0	O	テストおよびデバッグ専用メインドメインのシステム クロック出力 (4 分周)	P1

表 5-52. WKUP システム信号の説明

信号名 [1]	ピンの種類 [2]	説明 [3]	ANJ ピン [4]
PMIC_LPM_EN0	O	PMIC イネーブル ピン	A7
WKUP_CLKOUT0	O	WKUP ドメインの CLKOUT0 出力	B11
WKUP_LFOSC0_XI	I	低周波数 (32.768kHz) 発振器入力	E1
WKUP_LFOSC0_XO	O	低周波数 (32.768kHz) 発振器出力	D2

表 5-53. MCU システム信号の説明

信号名 [1]	ピンの種類 [2]	説明 [3]	ANJ ピン [4]
MCU_ERRORn	IO	MCU ドメインからのエラー信号出力	F3
MCU_EXT_REFCLK0	I	MCU ドメインへの外部クロック入力	A6、C7
MCU_OBSClk0	O	テストおよびデバッグ専用 MCU ドメイン監視クロック出力	C7
MCU_OSC0_XI	I	高周波 (25 MHz) 発振器入力	A2
MCU_OSC0_XO	O	高周波 (25 MHz) 発振器出力	B1
MCU_PORz	I	MCU と MAIN ドメインのコールドリセット	E3
MCU_RESETz	I	MCU と MAIN ドメインのウォーム リセット	D9
MCU_SYSClkOUT0	O	テストおよびデバッグ専用 MCU ドメインのシステム クロック出力 (4 分周)	C7

5.3.19 SPI

表 5-54. SPI0 信号の説明

信号名 [1]	ピンの種類 [2]	説明 [3]	ANJ ピン [4]
SPI0_CLK	IO	SPI クロック	M1
SPI0_CS0	IO	SPI チップ セレクト 0	J3
SPI0_CS1	IO	SPI チップ セレクト 1	J4
SPI0_CS2	IO	SPI チップ セレクト 2	N1

表 5-54. SPI0 信号の説明 (続き)

信号名 [1]	ピンの種類 [2]	説明 [3]	ANJ ピン [4]
SPI0_CS3	IO	SPI チップ セレクト 3	L3
SPI0_D0	IO	SPI データ 0	K3
SPI0_D1	IO	SPI データ 1	K4

表 5-55. SPI1 信号の説明

信号名 [1]	ピンの種類 [2]	説明 [3]	ANJ ピン [4]
SPI1_CLK	IO	SPI クロック	B18、U2
SPI1_CS0	IO	SPI チップ セレクト 0	E16、U1
SPI1_CS1	IO	SPI チップ セレクト 1	D15、T4
SPI1_CS2	IO	SPI チップ セレクト 2	N4
SPI1_CS3	IO	SPI チップ セレクト 3	V3
SPI1_D0	IO	SPI データ 0	D18、T3
SPI1_D1	IO	SPI データ 1	C18、U3

表 5-56. SPI2 信号の説明

信号名 [1]	ピンの種類 [2]	説明 [3]	ANJ ピン [4]
SPI2_CLK	IO	SPI クロック	M2、R2
SPI2_CS0	IO	SPI チップ セレクト 0	M3、T2
SPI2_CS1	IO	SPI チップ セレクト 1	N2、R4
SPI2_CS2	IO	SPI チップ セレクト 2	N3、R1
SPI2_CS3	IO	SPI チップ セレクト 3	P1、T1
SPI2_D0	IO	SPI データ 0	L2、P2
SPI2_D1	IO	SPI データ 1	L1、R3

表 5-57. SPI3 信号の説明

信号名 [1]	ピンの種類 [2]	説明 [3]	ANJ ピン [4]
SPI3_CLK	IO	SPI クロック	W4
SPI3_CS0	IO	SPI チップ セレクト 0	W5
SPI3_CS1	IO	SPI チップ セレクト 1	W7
SPI3_CS2	IO	SPI チップ セレクト 2	U6
SPI3_CS3	IO	SPI チップ セレクト 3	V7
SPI3_D0	IO	SPI データ 0	T7
SPI3_D1	IO	SPI データ 1	U7

表 5-58. SPI4 信号の説明

信号名 [1]	ピンの種類 [2]	説明 [3]	ANJ ピン [4]
SPI4_CLK	IO	SPI クロック	V6
SPI4_CS0	IO	SPI チップ セレクト 0	U6
SPI4_CS1	IO	SPI チップ セレクト 1	V5
SPI4_CS2	IO	SPI チップ セレクト 2	T6
SPI4_CS3	IO	SPI チップ セレクト 3	W5
SPI4_D0	IO	SPI データ 0	W7
SPI4_D1	IO	SPI データ 1	V7

5.3.20 TIMER

表 5-59. TIMER 信号の説明

信号名 [1]	ピンの種類 [2]	説明 [3]	ANJ ピン [4]
TIMER_IO0	IO	タイマ入力および出力 (1 つのタイマ インスタンスに固定されていない)	N2、U1、V6
TIMER_IO1	IO	タイマ入力および出力 (1 つのタイマ インスタンスに固定されていない)	M2、T4
TIMER_IO2	IO	タイマ入力および出力 (1 つのタイマ インスタンスに固定されていない)	L4、U2
TIMER_IO3	IO	タイマ入力および出力 (1 つのタイマ インスタンスに固定されていない)	M4、T3
TIMER_IO4	IO	タイマ入力および出力 (1 つのタイマ インスタンスに固定されていない)	P1、U3、V5
TIMER_IO5	IO	タイマ入力および出力 (1 つのタイマ インスタンスに固定されていない)	N3、N4、T6
TIMER_IO6	IO	タイマ入力および出力 (1 つのタイマ インスタンスに固定されていない)	N1、P4
TIMER_IO7	IO	タイマ入力および出力 (1 つのタイマ インスタンスに固定されていない)	L3、V2

表 5-60. WKUP タイマ信号の説明

信号名 [1]	ピンの種類 [2]	説明 [3]	ANJ ピン [4]
WKUP_TIMER_IO0	IO	タイマ入力および出力 (1 つのタイマ インスタンスに固定されていない)	B7、C6、D6
WKUP_TIMER_IO1	IO	タイマ入力および出力 (1 つのタイマ インスタンスに固定されていない)	C5、C7

5.3.21 UART

表 5-61. UART0 信号の説明

信号名 [1]	ピンの種類 [2]	説明 [3]	ANJ ピン [4]
UART0_CTSn	I	UART CTS (Clear to Send) (アクティブ Low)	F18、N1
UART0_RTSn	O	UART RTS (Request to Send) (アクティブ Low)	F17、L3
UART0_RXD	I	UART 受信データ	F19、L2
UART0_TXD	O	UART 送信データ	L1、U19

表 5-62. UART1 信号の説明

信号名 [1]	ピンの種類 [2]	説明 [3]	ANJ ピン [4]
UART1_CTSn	I	UART CTS (Clear to Send) (アクティブ Low)	P2
UART1_DCDn	I	UART DCD (Data Carrier Detect) (アクティブ Low)	M3
UART1_DSRRn	I	UART DSR (Data Set Ready) (アクティブ Low)	N3
UART1_DTRn	O	UART DTR (Data Terminal Ready) (アクティブ Low)	L4
UART1_RIn	I	UART リング インジケータ	M4
UART1_RTSn	O	UART RTS (Request to Send) (アクティブ Low)	R3
UART1_RXD	I	UART 受信データ	F17、N2、T2
UART1_TXD	O	UART 送信データ	F18、M2、R2

表 5-63. UART2 信号の説明

信号名 [1]	ピンの種類 [2]	説明 [3]	ANJ ピン [4]
UART2_CTSn	I	UART CTS (Clear to Send) (アクティブ Low)	R16、T3、U7、V19
UART2_RTSn	O	UART RTS (Request to Send) (アクティブ Low)	T17、T7、U19、U2
UART2_RXD	I	UART 受信データ	A6、L16、N1、P18、U1、W7
UART2_TXD	O	UART 送信データ	D7、L3、M17、P19、T4、V7

表 5-64. UART3 信号の説明

信号名 [1]	ピンの種類 [2]	説明 [3]	ANJ ピン [4]
UART3_CTSn	I	UART CTS (Clear to Send) (アクティブ Low)	U18、V2、W4

表 5-64. UART3 信号の説明 (続き)

信号名 [1]	ピンの種類 [2]	説明 [3]	ANJ ピン [4]
UART3_RTSn	O	UART RTS (Request to Send) (アクティブ Low)	G16、P4、W5
UART3_RXD	I	UART 受信データ	C6、E19、P16、U3、U6
UART3_TXD	O	UART 送信データ	B6、G19、N4、R17、V6

表 5-65. UART4 信号の説明

信号名 [1]	ピンの種類 [2]	説明 [3]	ANJ ピン [4]
UART4_CTSn	I	UART CTS (Clear to Send) (アクティブ Low)	C14、M17
UART4_RTSn	O	UART RTS (Request to Send) (アクティブ Low)	B14、L16
UART4_RXD	I	UART 受信データ	B12、D6、G18、L18、R18
UART4_TXD	O	UART 送信データ	C12、C5、H16、K18、R19

表 5-66. UART5 信号の説明

信号名 [1]	ピンの種類 [2]	説明 [3]	ANJ ピン [4]
UART5_CTSn	I	UART CTS (Clear to Send) (アクティブ Low)	B19、G17
UART5_RTSn	O	UART RTS (Request to Send) (アクティブ Low)	A18、F19
UART5_RXD	I	UART 受信データ	A14、D15、H18、L4、R16
UART5_TXD	O	UART 送信データ	A16、B13、H17、M4、T17

表 5-67. UART6 信号の説明

信号名 [1]	ピンの種類 [2]	説明 [3]	ANJ ピン [4]
UART6_CTSn	I	UART CTS (Clear to Send) (アクティブ Low)	C18、F17
UART6_RTSn	O	UART RTS (Request to Send) (アクティブ Low)	D18、F18
UART6_RXD	I	UART 受信データ	D12、E16、F19、K17、P2、P4
UART6_TXD	O	UART 送信データ	B18、C13、L19、R3、U18、V2

表 5-68. WKUP UART 信号の説明

信号名 [1]	ピンの種類 [2]	説明 [3]	ANJ ピン [4]
WKUP_UART0_CTSn	I	UART CTS (Clear to Send) (アクティブ Low)	D6
WKUP_UART0_RTSn	O	UART RTS (Request to Send) (アクティブ Low)	C5
WKUP_UART0_RXD	I	UART 受信データ	B5
WKUP_UART0_TXD	O	UART 送信データ	A5

5.3.22 USB

表 5-69. USB 信号の説明

信号名 [1]	ピンの種類 [2]	説明 [3]	ANJ ピン [4]
USB0_DM	IO	USB 2.0 差動データ (負)	W9
USB0_DP	IO	USB 2.0 差動データ (正)	V9
USB0_DRVVBUS	O	USB VBUS 制御出力 (アクティブ High)	W2
USB0_RCALIB	IO	キャリブレーション抵抗に接続するピン	V8
USB0_VBUS	A	USB レベル シフト VBUS 入力	U9

5.4 ピン接続要件

ボール番号	ボール名	ピン接続要件
F3 B10	MCU_ERRORn TRSTn	PCB 信号トレースが接続されていて、接続されたデバイスでアクティブに駆動されていない場合、これらのボールに関連付けられている入力がある有効なロジック low レベルに保持されるように、各ボールを個別の外付けプル抵抗を介して VSS に接続する必要があります。ボールに PCB 信号トレースが接続されていない場合、内部プルダウンを使用して有効なロジック Low レベルを保持できます。
C9 C10 D9 P3 A10 D10 C11	EMU0 EMU1 MCU_RESETz EXTINTn TCK TDI TMS	PCB 信号トレースが接続されており、かつ接続されたデバイスによってアクティブに駆動されていない場合、これらのボールに関連付けられた入力がある有効なロジック high レベルに保持されるように、これらの各ボールを個別の外付けプル抵抗を介して対応する電源 ⁽¹⁾ に接続する必要があります。ボールに PCB 信号トレースが接続されていない場合、内部プルアップを使用して有効なロジック High レベルを保持できます。
B9 A8	WKUP_I2C0_SCL WKUP_I2C0_SDA	これらのボールに関連付けられた入力がある有効なロジック high レベルに保持されるように、これらの各ボールを個別の外付けプル抵抗を介して対応する電源 ⁽¹⁾ に接続する必要があります。
N10 P10 R9	VDDA_CORE_USB VDDA_1P8_USB VDDA_3P3_USB	USB0 を使用しない場合、これらの各ボールを VSS に直接接続する必要があります。
W9 V9 V8 U9	USB0_DM USB0_DP USB0_RCALIB USB0_VBUS	USB0 を使用しない場合は、DM、DP、VBUS ボールを未接続のままにします。 注: VDDA_CORE_USB、VDDA_1P8_USB、VDDA_3P3_USB が VSS に接続されている場合にのみ、USB0_RCALIB ボールを未接続のままにできます。 VDDA_CORE_USB、VDDA_1P8_USB、VDDA_3P3_USB が電源に接続される場合、適切な外付け抵抗を介して USB0_RCALIB ボールを VSS に接続する必要があります。
H8	VMON_ER_VSYS	VMON_ER_VSYS を使用しない場合、このボールを VSS に直接接続する必要があります。
J6	VMON_1P8_SOC	VMON_1P8_SOC を使用して SOC 電源レールの監視を行わない場合、このボールは 1.8V 電源に接続したままにする必要があります。
H5	VMON_3P3_SOC	VMON_3P3_SOC を使用して SOC 電源レールを監視しない場合、このボールは 3.3V 電源レールに接続するか、 VSS に直接接続する必要があります。
A3 A12 B3 E2 E4 G3 W8	RSVD_A3 RSVD_A12 RSVD_B3 RSVD_E2 RSVD_E4 RSVD_G3 RSVD_W8	これらの各ボールは未接続のままにする必要があります。
LVC MOS ピン	任意の LVC MOS 電圧バッファ ピン	ピンに関連する IOMUX パッド構成レジスタが存在する場合は、未接続のままにできます。PORz の後、LVC MOS 電圧バッファは未接続ボールと互換性のあるデフォルト状態に構成されます。

(1) IO にどの電源が関連付けられているかを確認するには、「ピン属性」表を参照してください。

6 仕様

注

記載されている仕様はすべて暫定的なものであり、デバイスの特性評価中に変更される可能性があります。

6.1 絶対最大定格

動作時接合部温度範囲内 (特に記述のない限り)^{(1) (2)}

パラメータ		最小値	最大値	単位
VDD_CORE	コア電源	-0.3	1.05	V
VDDR_CORE	RAM コア電源	-0.3	1.05	V
VDD_CANUART	CANUART コア電源	-0.3	1.05	V
VDDR_CANUART	CANUART RAM コア電源	-0.3	1.05	V
VDDA_CORE_USB	USB0 コア電源	-0.3	1.05	V
VDDS_OSC0	MCU_OSC0、OSC1、WKUP_LFOSC0 電源	-0.3	1.98	V
VDDA_MCU	MCU PLL、RC 発振器、電源検出器アナログ電源	-0.3	1.98	V
VDDA_PLL0	メイン PLL アナログ電源	-0.3	1.98	V
VDDA_PLL1	オーディオ PLL アナログ電源	-0.3	1.98	V
VDDA_PLL2	C7x PLL アナログ電源	-0.3	1.98	V
VDDA_ADC0	ADC アナログ電源	-0.3	1.98	V
VDDA_1P8_USB	USB0 1.8 V アナログ電源	-0.3	1.98	V
VDDA_TEMP0	温度センサ 0 のアナログ電源	-0.3	1.98	V
VDDA_TEMP1	温度センサ 1 のアナログ電源	-0.3	1.98	V
VPP	eFuse ROM プログラミング電源	-0.3	1.98	V
VDDSHV_MCU	IO グループ MCU の IO 電源	-0.3	3.63	V
VDDSHV_CANUART	IO グループ CANUART の IO 電源	-0.3	3.63	V
VDDSHV0	IO グループ 0 の IO 電源	-0.3	3.63	V
VDDSHV1	IO グループ 1 の IO 電源	-0.3	3.63	V
VDDSHV2	IO グループ 2 の IO 電源	-0.3	3.63	V
VDDSHV3	IO グループ 3 の IO 電源	-0.3	3.63	V
VDDSHV5	IO グループ 5 の IO 電源	-0.3	3.63	V
VDDA_3P3_USB	USB0 3.3 V アナログ電源	-0.3	3.63	V
すべてのフェイルセーフ IO ピンの定常状態の最大電圧	MCU_PORz	-0.3	3.63	V
	1.8V で動作する場合、 WKUP_I2C0_SDA および WKUP_I2C0_SCL、EXTINTn	-0.3	1.98 ⁽³⁾	V
	3.3V で動作する場合、 WKUP_I2C0_SDA および WKUP_I2C0_SCL、EXTINTn	-0.3	3.63 ⁽³⁾	v
	VMON_1P8_SOC	-0.3	1.98	V
	VMON_3P3_SOC	-0.3	3.63	V
	VMON_ER_VSYS	-0.3 ⁽⁴⁾	1.98	V
他のすべての IO ピンの定常状態の最大電圧 ⁽⁵⁾	USB0_VBUS ⁽⁶⁾	-0.3	3.6	V
	その他のすべての IO ピン	-0.3	IO 電源電圧 + 0.3	V
IO ピンの過渡オーバーシュートおよびアンダーシュート	信号周期の最大 20% にわたって IO 電源電圧の 20%		0.2 × VDD ⁽⁷⁾	V

動作時接合部温度範囲内 (特に記述のない限り)^{(1) (2)}

パラメータ		最小値	最大値	単位
ラッチアップ性能 ⁽⁸⁾	I 試験	-100	100	mA
	過電圧 (OV) 試験		$1.5 \times VDD^{(7)}$	V
保存温度	T _{stg}	-55	150	°C

- (1) 「絶対最大定格」の範囲を超える動作は、デバイスに永続的な損傷を与える可能性があります。「絶対最大定格」は、これらの条件において、または「推奨動作条件」に示された値を超える他のいかなる条件でも、本製品が正しく動作することを意味するものではありません。「絶対最大定格」の範囲内であっても「推奨動作条件」の範囲外で使用情况、本デバイスは完全に機能するとは限らず、このことが本デバイスの信頼性、機能、性能に影響を及ぼし、本デバイスの寿命を縮める可能性があります。
- (2) すべての電圧値は、特に記述のない限り、VSS 端子を基準とします。
- (3) これらのフェイルセーフピンの絶対最大定格は、それらの IO 電源動作電圧に左右されます。したがって、この値は、「I2C オープンドレインおよびフェイルセーフ (I2C OD FS) の電気的特性」セクションに記載されている最大 VIH 値によっても規定され、この電気的特性表では 1.8V モードと 3.3V モードに別々のパラメータ値があります。
- (4) VMON_ER_VSYS ピンは、システム電源を監視する手段を提供します。詳細については、『システム電源監視の設計ガイドライン』を参照してください。
- (5) このパラメータはフェイルセーフでないすべての IO ピンに適用され、IO 電源電圧のすべての値に要件が適用されます。たとえば、特定の IO 電源に印加される電圧が 0V の場合、その電源から供給される IO の有効な入力電圧範囲は -0.3V ~ +0.3V になります。ペリフェラル デバイスに電力を供給する電源がそれぞれの IO 電源に電力を供給する電源と同じでない場合は、特別な注意が必要です。接続されているペリフェラルにおいて、電源のランプアップやランプダウンのシーケンスなど、有効な入力電圧範囲外の電圧を供給しないことが重要になります。
- (6) このデバイス ピンに印加される電圧を制限するには、外付けの分圧抵抗が必要です。詳細については、『USB 設計ガイドライン』を参照してください。
- (7) VDD は、IO の対応する電源ピンの電圧です。
- (8) 電流パルス注入 (I 試験) の場合：
 • JEDEC JESD78 (Class II) に従ってピンにストレスを加え、規定の I/O ピン注入電流と最大推奨 I/O 電圧の +1.5 倍および -0.5 倍のクランプ電圧に合格しました。
 過電圧性能 (過電圧 (OV) 試験) の場合：
 • JEDEC JESD78 (Class II) に従って電源にストレスを加え、規定の電圧注入に合格しました。

6.2 AEC-Q100 デバイスの静電気放電 (ESD)

			値	単位
V _(ESD)	Electrostatic Discharge (ESD) (静電気放電)	人体モデル (HBM)、AEC-Q100-002 準拠 ⁽¹⁾	±1000	V
		荷電デバイス モデル (CDM)、AEC-Q100-011 準拠	±750	
		その他のすべてのピン	±250	

- (1) AEC Q100-002 は、HBM ストレス試験を ANSI/ESDA/JEDEC JS-001 仕様に従って実施しなければならないと規定しています

6.3 AEC-Q100 認定されていないデバイスの静電気放電 (ESD)

			値	単位
V _(ESD)	Electrostatic Discharge (ESD) (静電気放電)	人体モデル (HBM)、ANSI/ESDA/JEDEC JS-001 準拠 ⁽¹⁾	±1000	V
		デバイス帯電モデル (CDM)、ANSI/ESDA/JEDEC JS-002 準拠 ⁽²⁾	±250	

- (1) JEDEC のドキュメント JEP155 に、500V HBM では標準の ESD 管理プロセスで安全な製造が可能であると規定されています。
- (2) JEDEC ドキュメント JEP157 には、250V CDM であれば標準的な ESD 管理プロセスにより安全な製造が可能であると記載されています。

6.4 電源投入時間 (POH) の概要

推奨動作条件範囲内 (特に記述のない限り)^{(1) (2) (3)}

パラメータ	産業用	車載用
動作時の接合部温度	-40°C ~ 105°C	-40°C ~ 125°C

推奨動作条件範囲内 (特に記述のない限り)^{(1) (2) (3)}

パラメータ	産業用	車載用
POH @ 温度プロファイル	100K @ 90°C (100% @ 90°Cで)	20K @ 車載用温度プロファイル ⁽⁴⁾

- (1) この情報は、お客様の利便性のみを目的として提供されるものであり、テキサス・インスツルメンツの半導体製品に関する標準的な契約条件に基づいて提供される保証を拡張または変更するものではありません。
- (2) 上記の表に記述されていない限り、すべての電圧ドメインと動作条件は、記載された温度において本デバイスでサポートされています。
- (3) POH は、電圧、温度、時間の関数です。より高い電圧および温度で使用すると POH が低減します。
- (4) 「車載用温度プロファイル」セクションを参照してください。

6.5 車載用温度プロファイル

T _J (°C)	時間	日	年	時間の割合
-40	1000	≒41	≒0.11	5%
70	13000	≒541	≒1.48	65%
110	4000	≒166	≒0.45	20%
125	2000	≒83	≒0.22	10%
合計	20000	≒833	≒2.28	100%

6.6 推奨動作条件

接合部動作温度範囲内 (特に記述のない限り)

パラメータ	説明		最小値 ⁽¹⁾	公称値	最大値 ⁽¹⁾	単位
VDD_CORE ⁽²⁾	コア電源	0.75V 動作	0.715	0.75	0.79	V
VDDA_CORE_USB ⁽²⁾		0.85V 動作	0.81	0.85	0.895	V
VDD_CANUART ⁽³⁾	CANUART コア電源	0.75V 動作	0.715	0.75	0.79	V
		0.85V 動作	0.81	0.85	0.895	V
VDDR_CORE	RAM コア電源		0.81	0.85	0.895	V
VDDR_CANUART	CANUART RAM コア電源		0.81	0.85	0.895	V
VDDS_OSC0	MCU_OSC0、OSC1、WKUP_LFOSC0 電源		1.71	1.8	1.89	V
VDDA_MCU	MCU PLL、RC 発振器、電源検出器アナログ電源		1.71	1.8	1.89	V
VDDA_PLL0	メイン PLL アナログ電源		1.71	1.8	1.89	V
VDDA_PLL1	オーディオ PLL アナログ電源		1.71	1.8	1.89	V
VDDA_PLL2	C7x PLL アナログ電源		1.71	1.8	1.89	V
VDDA18	1.8V アナログ電源。1.8V アナログ LDO 出力からボードを介して配線		1.71	1.8	1.89	V
VDDA_ADC0	ADC アナログ電源		1.71	1.8	1.89	V
VDDA_1P8_USB	USB0 1.8 V アナログ電源		1.71	1.8	1.89	V
VDDA_TEMP0	温度センサ 0 のアナログ電源		1.71	1.8	1.89	V
VDDA_TEMP1	温度センサ 1 のアナログ電源		1.71	1.8	1.89	V
VPP	eFuse ROM プログラミング電源		⁽⁴⁾ を参照	⁽⁴⁾ を参照	⁽⁴⁾ を参照	V
VMON_1P8_SOC	1.8V SoC 電源用電圧モニタ		1.71	1.8	1.89	V
VDDA_3P3_USB	USB0 3.3 V アナログ電源		3.135	3.3	3.465	V
VMON_3P3_SOC	3.3V SoC 電源用電圧モニタ		3.135	3.3	3.465	V
VMON_ER_VSYS	システム電源用電圧モニタ		0	⁽⁵⁾ を参照	1	V
USB0_VBUS	USB0 レベルシフト VBUS 入力		0	⁽⁶⁾ を参照	3.465	V
VDDSHV_CANUART ⁽⁷⁾	IO グループ CANUART のデュアル電圧 IO 電源	1.8V 動作	1.71	1.8	1.89	V
		3.3V 動作	3.135	3.3	3.465	V

接合部動作温度範囲内 (特に記述のない限り)

パラメータ	説明		最小値 ⁽¹⁾	公称値	最大値 ⁽¹⁾	単位
VDDSHV_MCU	IO グループ MCU のデュアル電圧 IO 電源	1.8V 動作	1.71	1.8	1.89	V
		3.3V 動作	3.135	3.3	3.465	V
VDDSHV0	IO グループ 0 のデュアル電圧 IO 電源	1.8V 動作	1.71	1.8	1.89	V
		3.3V 動作	3.135	3.3	3.465	V
VDDSHV1	IO グループ 1 のデュアル電圧 IO 電源	1.8V 動作	1.71	1.8	1.89	V
		3.3V 動作	3.135	3.3	3.465	V
VDDSHV2	IO グループ 2 のデュアル電圧 IO 電源	1.8V 動作	1.71	1.8	1.89	V
		3.3V 動作	3.135	3.3	3.465	V
VDDSHV3	IO グループ 3 のデュアル電圧 IO 電源	1.8V 動作	1.71	1.8	1.89	V
		3.3V 動作	3.135	3.3	3.465	V
VDDSHV5	IO グループ 5 のデュアル電圧 IO 電源	1.8V 動作	1.71	1.8	1.89	V
		3.3V 動作	3.135	3.3	3.465	V
T _J	動作ジャンクション温度範囲	産業用	-40		105	°C
		車載	-40		125	°C

- (1) デバイス ボールの電圧は、通常のデバイス動作中、常に最小電圧を下回ったり、最大電圧を上回ったりしないようにしてください。
- (2) VDD_CORE と VDDA_CORE_USB は、同じ電源から給電する必要があります。VDD_CORE と VDDA_CORE_USB の間の電圧差が $\pm 1\%$ 以内になるよう注意する必要があります。
- (3) 部分 IO 低消費電力モードを使用する場合、VDD_CANUART は常時オンの電源に接続するものとします。部分 IO 低消費電力モードを使用しない場合、VDD_CANUART は VDD_CORE、VDDA_CORE_USB と同じ電源に接続する必要があります。
- (4) eFuse の使用に基づく VPP 電源電圧については、「VPP 仕様」表を参照してください。
- (5) VMON_ER_VSYS ピンは、システム電源を監視する手段を提供します。詳細については、『システム電源監視の設計ガイドライン』を参照してください。
- (6) このデバイス ピンに印加される電圧を制限するには、外付けの分圧抵抗が必要です。詳細については、『USB 設計ガイドライン』を参照してください。
- (7) 部分 IO 低消費電力モードを使用する場合、VDDSHV_CANUART は常時オンの電源に接続するものとします。部分 IO 低消費電力モードを使用しない場合、VDDSHV_CANUART は任意の有効な IO 電源に接続するものとします。

6.7 動作性能ポイント

このセクションでは、デバイスの動作条件について説明します。また、プロセッサ クロック、デバイス コア クロック、使用可能なメモリの各動作性能の特長 (OPP) についても説明します。

グレード	VDD_CORE (V) ⁽¹⁾	R5FSS0/1 (MHz)	DSP0/1 (MHz)	R5F SYSCLK (MHz)	デバイス マネ ージャ R5F (MHz)	ASRC0/1 (MHz)	メイン CBASS SYSCLK1 (MHz)	L3 SRAM (MB)
F	0.75V	800	850	400	800	200	500	6
	0.85V	1000	1000	500	800	200	500	
E	0.75V	800	750	400	800	200	500	5.5
	0.85V							
D	0.75V	800	500	400	800	200	500	4.5
	0.85V							
C	0.75V	800	400	400	400	200	500	2.5
	0.85V							
B	0.75V	400	400	200	400	200	500	2
	0.85V							
A	0.75V	400	250	200	400	200	500	1
	0.85V							

- (1) 公称動作電圧 (「推奨動作条件」を参照)。

6.8 消費電力の概略

デバイスの消費電力の情報については、テキサス・インスツルメンツの販売代理店にお問い合わせください。

6.9 電気的特性

注

セクション 6.9 で説明されているインターフェイスまたは信号は、多重化モード 0 (プライマリ信号機能) で使用可能なインターフェイスまたは信号に対応しています。

これらの表に記載されているボール上で多重化されたすべてのインターフェイスまたは信号は、多重化に PHY と GPIO の組み合わせが含まれている場合を除き、DC 電気的特性はすべて同じです。PHY と GPIO の組み合わせが含まれている場合、異なる多重化モード (機能) に異なる DC 電気的特性が規定されます。

6.9.1 I2C オープン ドレインおよびフェイルセーフ (I2C OD FS) の電気的特性

推奨動作条件範囲内 (特に記述のない限り)

パラメータ	テスト条件	最小値	標準値	最大値	単位
1.8 V モード					
V_{IL}	入力 Low 電圧			$0.3 \times VDD^{(1)}$	V
V_{ILSS}	入力 Low 電圧 (定常状態)			$0.3 \times VDD^{(1)}$	V
V_{IH}	入力 High 電圧	$0.7 \times VDD^{(1)}$		$1.98^{(2)}$	V
V_{IHSS}	入力 High 電圧 (定常状態)	$0.7 \times VDD^{(1)}$			V
V_{HYS}	入力ヒステリシス電圧	$0.1 \times VDD^{(1)}$			V
I_{IN}	入力リーク電流	$V_I = 1.8V$ または $V_I = 0V$		± 10	μA
V_{OL}	出力 LOW 電圧			$0.2 \times VDD^{(1)}$	V
$I_{OL}^{(3)}$	LOW レベル出力電流	$V_{OL(MAX)}$	10		mA
$SR_I^{(5)}$	入力スルーレート		$18f^{(4)}$ または $1.8E+6$		V/s
3.3V モード ⁽⁶⁾					
V_{IL}	入力 Low 電圧			$0.3 \times VDD^{(1)}$	V
V_{ILSS}	入力 Low 電圧 (定常状態)			$0.25 \times VDD^{(1)}$	V
V_{IH}	入力 High 電圧	$0.7 \times VDD^{(1)}$		$3.63^{(2)}$	V
V_{IHSS}	入力 High 電圧 (定常状態)	$0.7 \times VDD^{(1)}$			V
V_{HYS}	入力ヒステリシス電圧	$0.05 \times VDD^{(1)}$			V
I_{IN}	入力リーク電流	$V_I = 3.3V$ または $V_I = 0V$		± 10	μA
V_{OL}	出力 LOW 電圧			0.4	V
$I_{OL}^{(3)}$	LOW レベル出力電流	$V_{OL(MAX)}$	10		mA
$SR_I^{(5)}$	入力スルーレート		$33f^{(4)}$ または $3.3E+6$		V/s

(1) VDD は、対応する電源を表します。電源名および対応するボールの詳細については、「ピン属性」表の「電源」列を参照してください。

(2) この値は、その IO の絶対最大定格値も定義します。

(3) I_{OL} パラメータは、指定された V_{OL} 値をデバイスが維持できる最小 Low レベル出力電流を規定します。

(4) f = 入力信号のトグル周波数 (Hz)。

(5) この MIN パラメータは、それぞれの「タイミングおよびスイッチング特性」セクションで規定されていない入力信号機能にのみ適用されます。最大値になる MIN パラメータを選択します。

(6) IO を 3.3V モードで動作させる場合、I2C ハイスピード モードはサポートされません。

6.9.2 フェイルセーフ リセット (FS RESET) の電気的特性

推奨動作条件範囲内 (特に記述のない限り)

パラメータ	テスト条件	最小値	標準値	最大値	単位
V _{IL}	入力 Low 電圧			0.3 × VDD _{OSC0}	V
V _{ILSS}	入力 Low 電圧 (定常状態)			0.3 × VDD _{OSC0}	V
V _{IH}	入力 High 電圧	0.7 × VDD _{OSC0}			V
V _{IHSS}	入力 High 電圧 (定常状態)	0.7 × VDD _{OSC0}			V
V _{HYS}	入力ヒステリシス電圧	200			mV
I _{IN}	入力リーク電流	V _I = 1.8V または V _I = 0V		±10	μA
SR _I ⁽²⁾	入力スルーレート	18f ⁽¹⁾ または 1.8E+6			V/s

(1) f = 入力信号のトグル周波数 (Hz)。

(2) この MIN パラメータは、それぞれの「タイミングおよびスイッチング特性」セクションで規定されていない入力信号機能にのみ適用されます。最大値になる MIN パラメータを選択します。

6.9.3 高周波発振器 (MCU_OSC0 および OSC1) の電気的特性

推奨動作条件範囲内 (特に記述のない限り)

パラメータ	テスト条件	最小値	標準値	最大値	単位
V _{IL}	入力 Low 電圧			0.35 × VDD _{OSC0}	V
V _{IH}	入力 High 電圧	0.65 × VDD _{OSC0}			V
V _{HYS}	入力ヒステリシス電圧		49		mV
I _{IN}	入力リーク電流	V _I = 1.8V または V _I = 0V		±10	μA

6.9.4 低周波数発振器 (WKUP_LFOSC0) の電気的特性

推奨動作条件範囲内 (特に記述のない限り)

パラメータ	テスト条件	最小値	標準値	最大値	単位
V _{IL}	入力 Low 電圧			0.3 × VDD _{OSC0}	V
V _{IH}	入力 High 電圧	0.7 × VDD _{OSC0}			V
V _{HYS}	入力ヒステリシス電圧	アクティブ モード		85	mV
		バイパス モード		324	mV
I _{IN}	入力リーク電流	V _I = 1.8V または V _I = 0V		±10	μA

6.9.5 SDIO の電気的特性

推奨動作条件範囲内 (特に記述のない限り)

パラメータ	テスト条件	最小値	標準値	最大値	単位
1.8 V モード					

推奨動作条件範囲内 (特に記述のない限り)

パラメータ		テスト条件	最小値	標準値	最大値	単位
V _{IL}	入力 Low 電圧				0.58	V
V _{ILSS}	入力 Low 電圧 (定常状態)				0.58	V
V _{IH}	入力 High 電圧		1.27			V
V _{IHSS}	入力 High 電圧 (定常状態)		1.7			V
V _{HYS}	入力ヒステリシス電圧		150			mV
I _{IN}	入力リーク電流	V _I = 1.8V または V _I = 0V			±10	μA
R _{PU}	プルアップ抵抗		40	50	60	kΩ
R _{PD}	プルダウン抵抗		40	50	60	kΩ
V _{OL}	出力 LOW 電圧				0.45	V
V _{OH}	出力 HIGH 電圧		VDDSHV5 - 0.45			V
I _{OL} ⁽¹⁾	LOW レベル出力電流	V _{OL} (MAX)	4			mA
I _{OH} ⁽³⁾	High レベル出力電流	V _{OH} (MIN)	4			mA
SR _I ⁽³⁾	入力スルーレート		18f ⁽²⁾ または 1.8E+6			V/s
3.3 V モード						
V _{IL}	入力 Low 電圧				0.25 × VDDHV5	V
V _{ILSS}	入力 Low 電圧 (定常状態)				0.15 × VDDHV5	V
V _{IH}	入力 High 電圧		0.625 × VDDHV5			V
V _{IHSS}	入力 High 電圧 (定常状態)		0.625 × VDDHV5			V
V _{HYS}	入力ヒステリシス電圧		150			mV
I _{IN}	入力リーク電流	V _I = 3.3V または V _I = 0V			±10	μA
R _{PU}	プルアップ抵抗		40	50	60	kΩ
R _{PD}	プルダウン抵抗		40	50	60	kΩ
V _{OL}	出力 LOW 電圧				0.125 × VDDHV5	V
V _{OH}	出力 HIGH 電圧		0.75 × VDDHV5			V
I _{OL} ⁽¹⁾	LOW レベル出力電流	V _{OL} (MAX)	6			mA
I _{OH} ⁽³⁾	High レベル出力電流	V _{OH} (MIN)	10			mA
SR _I ⁽³⁾	入力スルーレート		33f ⁽²⁾ または 3.3E+6			V/s

- (1) I_{OL} および I_{OH} パラメータは、デバイスが指定された V_{OL} および V_{OH} の値を維持できる最小 Low レベル出力電流と High レベル出力電流を規定します。これらのパラメータで規定される値は、接続された部品の V_{OL} および V_{OH} 仕様値を維持する必要があるシステム実装で利用可能な最大電流と見なす必要があります。
- (2) f = 入力信号のトグル周波数 (Hz)。
- (3) この MIN パラメータは、それぞれの「タイミングおよびスイッチング特性」セクションで規定されていない入力信号機能にのみ適用されます。最大値になる MIN パラメータを選択します。

6.9.6 A/D コンバータ (ADC)

接合部動作温度範囲内 (特に記述のない限り)

パラメータ		テスト条件	最小値	標準値	最大値	単位
アナログ入力						
V _{MCU_ADC0[7:0]}	フルスケール入力レンジ		VSS	VDDA_ADC0		V
DNL	微分非直線性		-1	0.5	4	LSB
INL	積分非直線性			±1	±4	LSB
LSB _{GAIN-ERROR}	ゲイン誤差			±2		LSB
LSB _{OFFSET-ERROR}	オフセット誤差			±2		LSB
C _{IN}	入力サンプリング容量			5.5		pF
SNR	信号対雑音比	入力信号:200kHz 正弦波、-0.5dB フルスケール		70		dB
THD	全高調波歪	入力信号:200kHz 正弦波、-0.5dB フルスケール		73		dB
SFDR	スプリアス フリー ダイナミックレンジ	入力信号:200kHz 正弦波、-0.5dB フルスケール		76		dB
SNR _(PLUS)	信号対雑音比 + 歪み	入力信号:200kHz 正弦波、-0.5dB フルスケール		69		dB
R _{MCU_ADC0_AIN[7:0]}	MCU_ADC0_AIN[7:0] の入力インピーダンス	f = 入力周波数	[1/((65.97 × 10 ⁻¹²) × f _{SMPL_CLK})]			LSB
I _{IN}	入力リークageジ	MCU_ADC0_AIN[7:0] = VSS			-10	μA
		MCU_ADC0_AIN[7:0] = VDDA_ADC0			24	μA
サンプリング動特性						
F _{SMPL_CLK}	SMPL_CLK 周波数			60		MHz
t _C	変換時間			13		ADC0 SMPL_CLK サイクル
t _{ACQ}	アキュイジション時間		2		257	ADC0 SMPL_CLK サイクル
T _R	サンプリングレート	ADC0 SMPL_CLK = 60MHz		4		MSPS
CCISO	チャンネル間絶縁			100		dB
汎用入出力モード ⁽¹⁾						
V _{IL}	入力 Low レベル スレッショルド			0.35 × VDDA_ADC0		V
V _{ILSS}	入力 Low レベル スレッショルドの定常状態			0.35 × VDDA_ADC0		V
V _{IH}	入力 High レベル スレッショルド		0.65 × VDDA_ADC0			V

接合部動作温度範囲内 (特に記述のない限り)

パラメータ	テスト条件	最小値	標準値	最大値	単位
V_{IHSS}	入力 High レベル スレッショルドの定常状態	$0.65 \times V_{DDA_A_DC0}$			V
V_{HYS}	入力ヒステリシス電圧	200			mV
I_{IN}	入力リーク電流	$V_I = 1.8\text{ V}$ または 0 V		6	μA

- (1) MCU_ADC0 は汎用入力モードで動作するよう構成できます。このモードでは、すべての MCU_ADC0_AIN[7:0] 入力が ADC0_CTRL レジスタ (gpi_mode_en = 1) を介してデジタル入力として動作するようグローバルに有効化されます。

6.9.7 LVCMOS の電气的特性

推奨動作条件範囲内 (特に記述のない限り)

パラメータ	テスト条件	最小値	標準値	最大値	単位
1.8 V モード					
V_{IL}	入力 Low 電圧			$0.35 \times V_{DD}^{(1)}$	V
V_{ILSS}	入力 Low 電圧 (定常状態)			$0.3 \times V_{DD}^{(1)}$	V
V_{IH}	入力 High 電圧	$0.65 \times V_{DD}^{(1)}$			V
V_{IHSS}	入力 High 電圧 (定常状態)	$0.85 \times V_{DD}^{(1)}$			V
V_{HYS}	入力ヒステリシス電圧	150			mV
I_{IN}	入力リーク電流	$V_I = 1.8\text{ V}$ または $V_I = 0\text{ V}$		± 10	μA
R_{PU}	プルアップ抵抗	15	22	30	k Ω
R_{PD}	プルダウン抵抗	15	22	30	k Ω
V_{OL}	出力 LOW 電圧			0.45	V
V_{OH}	出力 HIGH 電圧	$V_{DD}^{(1)} - 0.45$			V
$I_{OL}^{(2)}$	LOW レベル出力電流	$V_{OL(MAX)}$	3		mA
$I_{OH}^{(4)}$	High レベル出力電流	$V_{OH(MIN)}$	3		mA
$SR_I^{(4)}$	入力スルーレート		$18f^{(3)}$ または $1.8E+6$		V/s
3.3 V モード					
V_{IL}	入力 Low 電圧			0.8	V
V_{ILSS}	入力 Low 電圧 (定常状態)			0.6	V
V_{IH}	入力 High 電圧	2.0			V
V_{IHSS}	入力 High 電圧 (定常状態)	2.0			V
V_{HYS}	入力ヒステリシス電圧	150			mV
I_{IN}	入力リーク電流	$V_I = 1.8\text{ V}$ または $V_I = 0\text{ V}$		± 10	μA
R_{PU}	プルアップ抵抗	15	22	30	k Ω
R_{PD}	プルダウン抵抗	15	22	30	k Ω
V_{OL}	出力 LOW 電圧			0.4	V
V_{OH}	出力 HIGH 電圧	2.4			V
$I_{OL}^{(2)}$	LOW レベル出力電流	$V_{OL(MAX)}$	5		mA
$I_{OH}^{(4)}$	High レベル出力電流	$V_{OH(MIN)}$	9		mA

推奨動作条件範囲内 (特に記述のない限り)

パラメータ		テスト条件	最小値	標準値	最大値	単位
SR _I ⁽⁴⁾	入力スルーレート		33f ⁽³⁾ または 3.3E+6			V/s

- (1) VDD は、対応する電源を表します。電源名および対応するボールの詳細については、「ピン属性」表の「電源」列を参照してください。
- (2) I_{OL} および I_{OH} パラメータは、デバイスが指定された V_{OL} および V_{OH} の値を維持できる最小 Low レベル出力電流と High レベル出力電流を規定します。これらのパラメータで規定される値は、接続された部品の V_{OL} および V_{OH} 仕様値を維持する必要があるシステム実装で利用可能な最大電流と見なす必要があります。
- (3) f = 入力信号のトグル周波数 (Hz)。
- (4) この MIN パラメータは、それぞれの「タイミングおよびスイッチング特性」セクションで規定されていない入力信号機能にのみ適用されます。最大値になる MIN パラメータを選択します。

6.9.8 USB2PHY の電気的特性

注

USB0 インターフェイスは、2000 年 4 月 27 日付けの Universal Serial Bus Revision 2.0 仕様 (該当する ECN およびエラッタを含む) に準拠しています。

6.10 ワンタイム プログラマブル (OTP) eFuse の VPP 仕様

このセクションは、OTP eFuse のプログラミングに必要な動作条件を規定します。

6.10.1 VPP の仕様

推奨動作条件範囲内 (特に記述のない限り)

パラメータ	説明	最小値	公称値	最大値	単位
VDD_CORE	OTP 動作中のコアドメインの電源電圧範囲、OPP NOM (BOOT)	「推奨動作条件」を参照			V
VPP	通常動作時の eFuse ROM ドメインの電源電圧範囲 (eFuse ROM をプログラミングするためのハードウェア サポートなし)	NC ⁽¹⁾			V
	通常動作時の eFuse ROM ドメインの電源電圧範囲 (eFuse ROM をプログラミングするためのハードウェア サポートあり)	0			
	OTP プログラミング時の eFuse ROM ドメインの電源電圧範囲 ⁽²⁾	1.71	1.8	1.89	V
I _(VPP)	VPP 電流	400			mA
SR _(VPP)	VPP スルーレート	6E + 4			V/s
T _J	eFuse ROM プログラミング時の動作時接合部温度範囲	0	25	85	°C

(1) NC は接続なしを示します。

(2) 電源電圧範囲には、DC 誤差およびピーク ツー ピーク ノイズが含まれます。

6.10.2 ハードウェア要件

OTP eFuse にキーをプログラムする場合、以下のハードウェア要件を満たす必要があります。

- OTP レジスタをプログラムしないときは、VPP 電源をディセーブルにする必要があります。
- VPP 電源は、適切なデバイス電源オン シーケンスの後にランプアップする必要があります (詳細については、[電源シーケンス](#) - 「電源シーケンス」を参照してください)。

6.10.3 プログラミング シーケンス

OTP eFuse のプログラミング シーケンス:

- パワーアップ シーケンシングに従ってボードに電源を投入します。パワーアップ時および通常動作中は、VPP 端子に電圧を印加しないでください。
- eFuse のプログラミングに必要な OTP 書き込みソフトウェアをロードします (OTP ソフトウェア パッケージについては、お近くの TI 代理店にお問い合わせください)。
- VPP の仕様 に示す仕様に従って、VPP 端子に電圧を印加します。
- OTP レジスタをプログラムするソフトウェアを実行します。
- OTP レジスタの内容を検証した後、VPP 端子から電圧を取り除きます。

6.10.4 ハードウェア保証への影響

お客様は、セキュリティ キーによりテキサス・インスツルメンツのデバイスに e-Fuse を使用することは、デバイスを永続的に変更する、ということに同意するものとします。お客様は、プログラム シーケンスが正しくないか中止された場合や、シーケンス ステップを省略した場合などに、e-Fuse が失敗する可能性があることを認めます。さらに、プロダクション キーのエラー コード訂正チェックが失敗した場合、またはイメージが署名されておらず、オプションとして現在アクティブなプロダクション キーで暗号化されていない場合、テキサス・インスツルメンツのデバイスはセキュア ブートに失敗する可能性があります。このような障害が発生すると、テキサス・インスツルメンツのデバイスが動作不能になることがあり、テキサス・インスツルメンツは eFuse を試行する前に、テキサス・インスツルメンツのデバイスがそのデバイス仕様に準拠していることを確認できなくなります。そのため、セキュリティ キーで eFuse が実行されたテキサス・インスツルメンツのデバイスについて、テキサス・インスツルメンツは一切の責任 (保証またはその他の責任) を負いません。

6.11 熱抵抗特性

このセクションでは、このデバイスで使用する熱抵抗特性について説明します。

信頼性と動作性の懸念から、デバイスの最大接合部温度は、[推奨動作条件](#)に示されている T_J 値以下にする必要があります。

6.11.1 パッケージの熱特性

システム レベルの熱シミュレーションは、ワーストケースのデバイス消費電力を考慮して実行することを推奨します。

番号	パラメータ	説明	°C/W ^{(1) (2)}	空気流 (m/s) ⁽³⁾
T1	$R\Theta_{JC}$	接合部とケースとの間	1.2	該当なし
T2	$R\Theta_{JB}$	接合部と基板との間	3.8	該当なし
T3	$R\Theta_{JA}$	接合部と自由空気との間	14.4	0
T4		接合部と空気流との間	10.0	1
T5			8.9	2
T6			8.3	3
T7	Ψ_{JT}	接合部とパッケージ上面との間	0.46	0
T8			0.47	1
T9			0.48	2
T10			0.49	3
T11	Ψ_{JB}	接合部と基板との間	3.7	0
T12			3.3	1
T13			3.2	2
T14			3.2	3

(1) これらの値は、JEDEC 定義の 2S2P システム (JEDEC 定義の 1S0P システムに基づくシート JC $[R\Theta_{JC}]$ 値を除く) に基づいており、環境とアプリケーションに基づいて変化します。詳細については、以下の EIA/JEDEC 規格を参照してください。

- JESD51-2、『IC の熱テスト方法の環境条件 - 自然対流 (静止空気)』
- JESD51-3、『リード付き表面実装パッケージ用の有効熱伝導率の低いテスト基板』
- JESD51-6、『IC の熱テスト方法の環境条件 - 強制対流 (空気流)』
- JESD51-7、『リード付き表面実装パッケージ用の有効熱伝導率の高いテスト基板』
- JESD51-9、『エリア アレイ表面実装パッケージの熱測定用テスト基板』

(2) °C/W = 摂氏温度/ワット

(3) m/s = メートル/秒

6.12 タイミングおよびスイッチング特性

注

シリコンの特性評価結果に応じて、タイミング要件およびスイッチング特性の値は変化する場合があります。

注

特に指示がない限り、タイミングを確保するため、各パッド構成レジスタのデフォルトのスルーレート設定を使用する必要があります。

6.12.1 タイミングパラメータおよび情報

セクション 6.12 「タイミングおよびスイッチング特性」で使用されるタイミング パラメータの記号は、JEDEC 規格 100 に従って作成されています。記号を短縮するために、ピン名およびその他の関連用語の一部を **表 6-1** に示すように短縮しました。

表 6-1. タイミング パラメータの添え字

記号	パラメータ
c	サイクル時間 (周期)
d	遅延時間
dis	ディセーブル時間
en	イネーブル時間
h	ホールド時間
su	セットアップ時間
START	スタートビット
t	遷移時間
v	有効時間
w	パルス幅
X	未知の、変化している、ドント ケアのレベル
F	立ち下がり時間
H	High
L	Low
R	立ち上がり時間
V	有効
IV	無効
AE	アクティブ エッジ
FE	最初のエッジ
LE	最後のエッジ
Z	高インピーダンス

6.12.2 電源要件

このセクションでは、デバイスが適切に動作するために必要な電源要件について説明します。

注

「信号の説明」および「推奨動作条件」セクションに特に記述のない限り、すべての電源ボールには「信号の説明」および「ピン接続要件」で規定されている電圧を供給する必要があります。

6.12.2.1 電源スルーレートの要件

内部 ESD 保護デバイスの安全な動作範囲を維持するため、電源の最大スルーレートを $18 \text{ mV}/\mu\text{s}$ 未満に制限することを推奨します。たとえば、図 6-1 に示すように、 1.8V 電源については、ランプ スルーが $100\mu\text{s}$ を超えるものを使用することを推奨します。

図 6-1 に、デバイスの電源スルー レートの要件を示します。

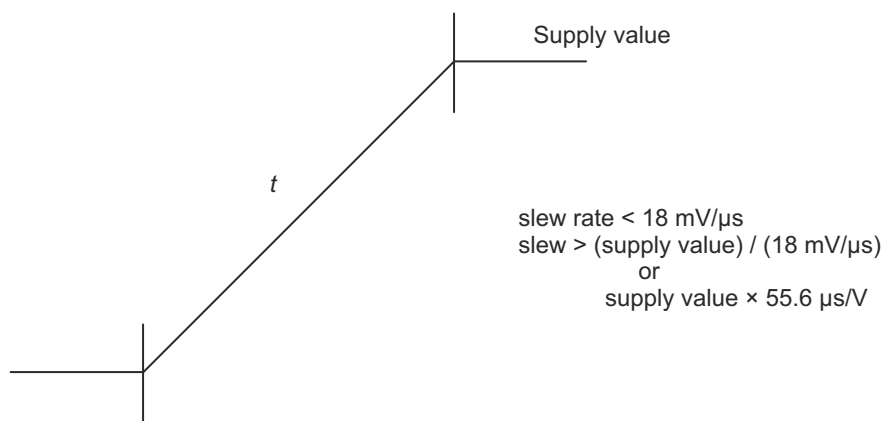


図 6-1. 電源のスルーおよびスルーレート

6.12.2.2 電源シーケンス

このセクションでは、電源シーケンスの図と関連する注を使用して、電源シーケンス要件について説明します。各電源シーケンスの図は、デバイスの各電源レールに必要な順序を表しており、それをデバイスの各電源レールを 1 つまたは複数の波形に割り当てることによって示しています。デュアル電圧電源レールは複数の波形に関連付けられている場合があり、どの波形が該当するかは関連する注に記載されています。各波形は、関連する電源レールの遷移領域を定義し、他の電源レールの遷移領域との順序関係を示しています。電源シーケンスの図に関連する注に、これらの要件の詳細が記載されています。パワーアップ要件の詳細については「パワーアップ シーケンス」セクション、パワーダウン要件の詳細については「パワーダウン シーケンス」セクションを参照してください。

電源シーケンスの図を簡素化するため、2 種類の電源遷移領域が使用されています。図 6-2 および図 6-3 の凡例と説明に、各遷移領域が何を表しているかが明記されています。

図 6-2 は、複数の電源または 1 つの電源から給電される複数の電源レールの遷移領域を定義しています。遷移領域内に示されている遷移は、この波形に関連する電源レールに給電するために複数の電源が使用されている使用事例を表しています。これらの電源には相対的なシーケンス要件はないため、領域内で異なる時間に立ち上げることが可能です。

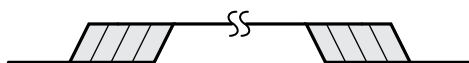


図 6-2. 複数の電源遷移の凡例

図 6-3 は、1 つの共通電源から給電する必要がある 1 つ以上の電源レールの遷移領域を定義しています。遷移領域内で 1 つの立ち上がりを表すため、領域内に遷移は示されていません。

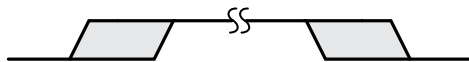


図 6-3. 1 つの共通電源遷移の凡例

6.12.2.2.1 IO 保持のないパワーアップシーケンシング

表 6-2 および図 6-4 に、本デバイスのパワーダウンシーケンスを示します。

表 6-2. パワーアップシーケンス - 電源 / 信号の割り当て

図 6-4 を参照

波形	電源 / 信号名
A	VSYS ⁽¹⁾ 、VMON_ER_VSYS ⁽²⁾
B	VDDA_3P3_USB、VDDSHV_CANUART ⁽³⁾ 、VDDSHV_MCU ⁽³⁾ 、VDDSHV0 ⁽³⁾ 、VDDSHV1 ⁽³⁾ 、VDDSHV2 ⁽³⁾ 、VDDSHV3 ⁽³⁾ 、VMON_3P3_SOC ⁽⁴⁾
C	VDDA_MCU、VDDA_PLL0、VDDA_PLL1、VDDA_PLL2、VDDA_1P8_USB、VDDA_ADC0、VDDA_TEMP0、VDDA_TEMP1、VDDSHV_CANUART ⁽⁵⁾ 、VDDSHV_MCU ⁽⁵⁾ 、VDDSHV0 ⁽⁵⁾ 、VDDSHV1 ⁽⁵⁾ 、VDDSHV2 ⁽⁵⁾ 、VDDSHV3 ⁽⁵⁾ 、VDDS_OSC0、VMON_1P8_SOC ⁽⁶⁾
D	VDDSHV5 ⁽⁷⁾
E	VDD_CANUART ⁽⁸⁾
F	VDD_CORE ^{(8) (10)} 、VDDA_CORE_USB0 ⁽⁸⁾
G	VDD_CORE ^{(9) (10)} 、VDDA_CORE_USB0 ⁽⁹⁾ 、VDDR_CORE ⁽¹⁰⁾ 、VDDR_CANUART ⁽⁹⁾
H	VPP ⁽¹¹⁾
I	MCU_PORz
J	MCU_OSC0_XI、MCU_OSC0_XI

- VSYS は、システム全体に電力を供給する電源の名前を表します。この電源は、その他のすべての電源に電力を供給するパワー マネージメントデバイスに給電するあらかじめ安定化された電源である必要があります。
- VMON_ER_VSYS 入力、外付け抵抗分圧回路を使って VSYS を監視するために使用されます。詳細については、[システム電源監視設計ガイドライン](#) を参照してください。
- VDDSHV_CANUART、VDDSHV_MCU、および VDDSHVx [x=0~3] はデュアル電圧 IO 電源であり、アプリケーション要件に応じて 1.8V または 3.3V で動作できます。
VDDSHV_CANUART、VDDSHV_MCU、および VDDSHVx[x=0~3] IO 電源のいずれかが 3.3V で動作している場合、この波形で定義された 3.3V ランプ期間中に、他の 3.3V 電源でこれらをランプアップする必要があります。
- VMON_3P3_SOC 入力は電源電圧の監視に使用し、それぞれの 3.3V 電源に接続します。
- VDDSHV_CANUART、VDDSHV_MCU、および VDDSHVx [x=0~3] はデュアル電圧 IO 電源であり、アプリケーション要件に応じて 1.8V または 3.3V で動作できます。
VDDSHV_CANUART、VDDSHV_MCU、および VDDSHVx [x=0~3] IO 電源のいずれかが 1.8V で動作している場合、この波形で定義された 1.8V ランプ期間中に、他の 1.8V 電源でこれらをランプアップする必要があります。
- VMON_1P8_SOC 入力は電源電圧の監視に使用し、それぞれの 1.8V 電源に接続します。
- VDDSHV5 は、その他の電源レールに依存せずに、パワーアップ、パワーダウン、動的電圧変化をサポートするように設計されています。この機能は、UHS-I SD カードをサポートするために必要です。
- 部分 IO 低消費電力モードを使用しない場合は、VDD_CANUART を VDD_CORE および VDDA_CORE_USB と同じ電源に接続する必要があります。
VDD_CANUART、VDD_CORE、VDDA_CORE_USB は 0.75V または 0.85V で動作可能です。これらの電源が 0.75V で動作している場合、この波形で定義されるように、VDDR_CORE よりも先にランプアップする必要があります。
- 部分 IO 低消費電力モードを使用しない場合は、VDD_CANUART を VDD_CORE および VDDA_CORE_USB と同じ電源に接続する必要があります。
VDD_CANUART、VDD_CORE、VDDA_CORE_USB は 0.75V または 0.85V で動作可能です。これらの電源が 0.85V で動作している場合、VDDR_CORE と同じ電源から電力を供給し、この波形で定義される 0.85V のランプ期間中にランプする必要があります。
- パワーアップ時またはパワーダウン時に、VDDR_CORE に印加される電位が VDD_CORE に印加される電位に 0.18V を加えた電位を超えないようにしてください。これを満たすには、VDD_CORE が 0.75V で動作している場合、VDD_CORE の電圧を VDDR_CORE よりも先に上昇させ、VDDR_CORE よりも後に下降させる必要があります。VDD_CORE には、VDDR_CORE に定義されたランプ要件以外のランプ要件はありません。
VDD_CORE が 0.85V で動作している場合、VDD_CORE と VDDR_CORE は、電圧と一緒に上昇するように、同じ電源から給電する必要があります。
- VPP は 1.8V eFuse プログラミング電源であり、パワーアップ / ダウンシーケンス中および通常のデバイス動作中は、フローティング (HiZ) のままにするか、グランドに接続する必要があります。この電源には、eFuse のプログラミング中にのみ電力を供給します。

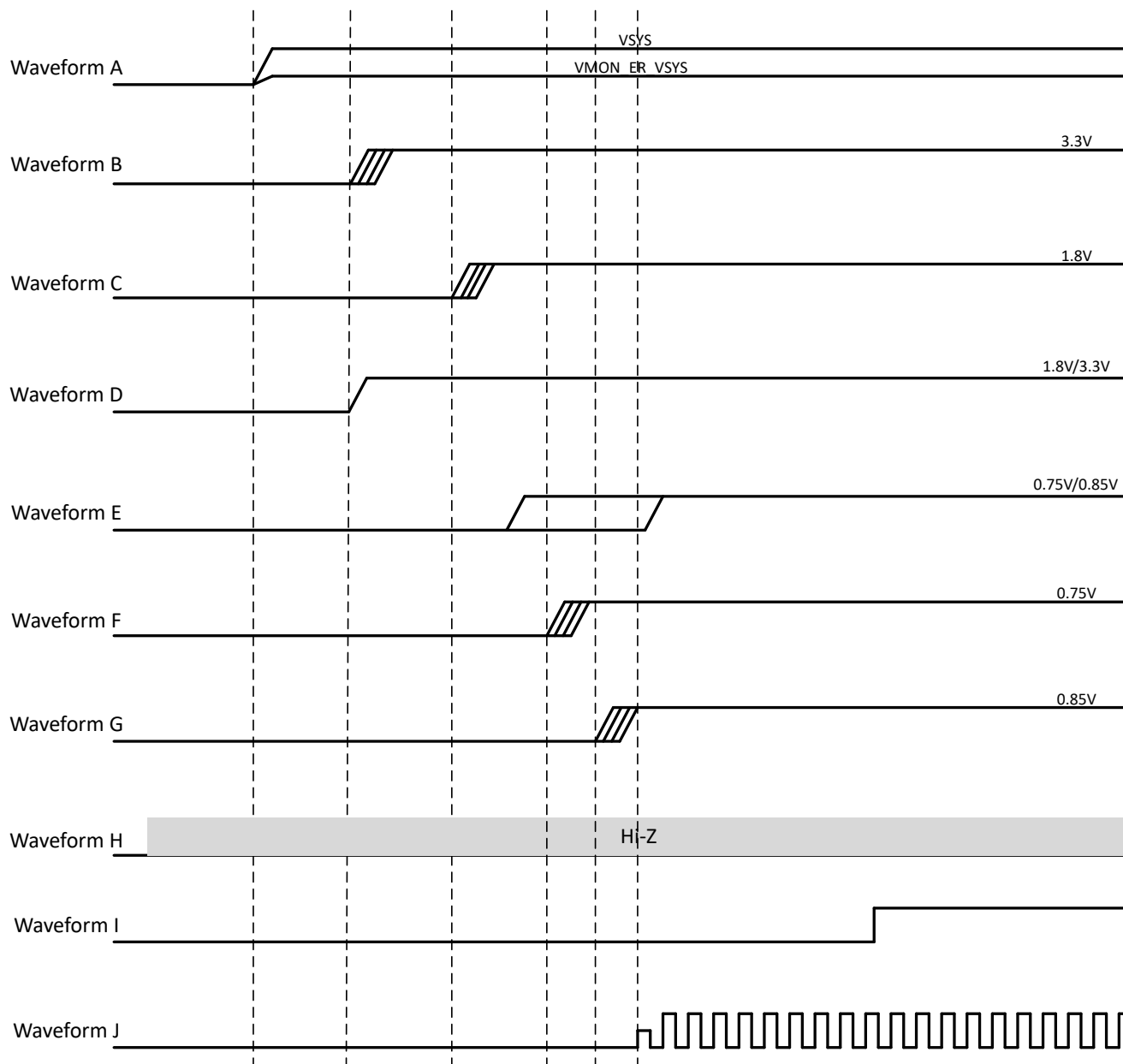


図 6-4. パワーアップ シーケンシング

6.12.2.2.2 IO 保持を使用したパワーアップシーケンス

IO 保持を使用したパワーアップシーケンス - 電源 / 信号の割り当て および図 6-5 に、本デバイスのパワーダウンシーケンスを示します。

表 6-3. IO 保持を使用したパワーアップシーケンス - 電源 / 信号の割り当て

図 6-5 を参照

波形	電源 / 信号名
A	VSYS ⁽¹⁾ 、VMON_ER_VSYS ⁽²⁾
B	VDDA_3P3_USB、VDDSHV_CANUART ⁽³⁾ 、VDDSHV_MCU ⁽³⁾ 、VDDSHV0 ⁽³⁾ 、VDDSHV1 ⁽³⁾ 、VDDSHV2 ⁽³⁾ 、VDDSHV3 ⁽³⁾ 、VMON_3P3_SOC ⁽⁴⁾
C	VDDA_MCU、VDDA_PLL0、VDDA_PLL1、VDDA_PLL2、VDDA_1P8_USB、VDDA_ADC0、VDDA_TEMP0、VDDA_TEMP1、VDDSHV_CANUART ⁽⁵⁾ 、VDDSHV_MCU ⁽⁵⁾ 、VDDSHV0 ⁽⁵⁾ 、VDDSHV1 ⁽⁵⁾ 、VDDSHV2 ⁽⁵⁾ 、VDDSHV3 ⁽⁵⁾ 、VDDS_OSC0、VMON_1P8_SOC ⁽⁶⁾
D	VDDSHV5 ⁽⁷⁾
E	VDD_CANUART ⁽⁸⁾
F	VDDR_CANUART ⁽⁹⁾
G	VDD_CORE ⁽¹⁰⁾ (12)、VDDA_CORE_USB0 ⁽¹⁰⁾
H	VDD_CORE ⁽¹¹⁾ (12)、VDDA_CORE_USB0 ⁽¹¹⁾ 、VDDR_CORE ⁽¹²⁾
I	VPP ⁽¹³⁾
J	MCU_PORz
K	MCU_OSC0_XI、MCU_OSC0_XI

- (1) VSYS は、システム全体に電力を供給する電源の名前を表します。この電源は、その他のすべての電源に電力を供給するパワー マネージメント デバイスに給電するあらかじめ安定化された電源である必要があります。
- (2) VMON_ER_VSYS 入力、外付け抵抗分圧回路を使って VSYS を監視するために使用されます。詳細については、[システム電源監視設計ガイドライン](#) を参照してください。
- (3) VDDSHV_CANUART、VDDSHV_MCU、および VDDSHVx [x=0~3] はデュアル電圧 IO 電源であり、アプリケーション要件に応じて 1.8V または 3.3V で動作できます。
部分 IO 低消費電力モードを使用する場合は、VDD_CANUART を常時オンの電源に接続します。
VDDSHV_MCU、VDDSHV_CANUART、および VDDSHVx[x=0~3] IO 電源のいずれかが 3.3V で動作している場合、この波形で定義された 3.3V ランプ期間中に、他の 3.3V 電源でこれらをランプアップする必要があります。
- (4) VMON_3P3_SOC 入力は電源電圧の監視に使用し、それぞれの 3.3V 電源に接続します。
- (5) VDDSHV_CANUART、VDDSHV_MCU、および VDDSHVx [x=0~3] はデュアル電圧 IO 電源であり、アプリケーション要件に応じて 1.8V または 3.3V で動作できます。
部分 IO 低消費電力モードを使用する場合は、VDD_CANUART を常時オンの電源に接続します。
VDDSHV_MCU、VDDSHV_CANUART、および VDDSHVx[x=0~3] IO 電源のいずれかが 1.8V で動作している場合、この波形で定義された 3.3V ランプ期間中に、他の 1.8V 電源でこれらをランプアップする必要があります。
- (6) VMON_1P8_SOC 入力は電源電圧の監視に使用し、それぞれの 1.8V 電源に接続します。
- (7) VDDSHV5 は、その他の電源レールに依存せずに、パワーアップ、パワーダウン、動的電圧変化をサポートするように設計されています。この機能は、UHS-I SD カードをサポートするために必要です。
- (8) VDD_CANUART は、0.75V または 0.85V で動作できます。部分 IO 低消費電力モードを使用する場合は、VDD_CANUART を常時オンの電源に接続します。
VDD_CANUART が常時オンの電源に接続されている場合、パワーアップ時またはパワーダウン時に、VDD_CORE に印加される電位が VDD_CANUART に印加される電位に 0.18V を加えた電位を超えないようにしてください。これには、VDD_CANUART の電圧を VDD_CORE より先に上昇させ、VDD_CORE よりも後に下降させる必要があります。VDD_CANUART には、VDD_CORE に定義されたランプ要件以外のランプ要件はありません。
- (9) VDDR_CANUART は、0.85V で動作させる必要があります。VDD_CANUART が 0.85V で動作している場合、VDDR_CANUART はボードレベルで VDD_CANUART と同じ 0.85V 電源に接続できます。
- (10) VDD_CORE および VDDA_CORE_USB は、0.75V または 0.85V で動作できます。これらの電源が 0.75V で動作している場合、この波形で定義されるように、VDDR_CORE よりも先にランプアップする必要があります。
- (11) VDD_CORE および VDDA_CORE_USB は、0.75V または 0.85V で動作できます。これらの電源が 0.85V で動作している場合、VDDR_CORE と同じ電源から電力を供給し、この波形で定義される 0.85V のランプ期間中にランプする必要があります。

- (12) パワーアップ時またはパワーダウン時に、VDDR_CORE に印加される電位が VDD_CORE に印加される電位に 0.18V を加えた電位を超えないようにしてください。これを満たすには、VDD_CORE が 0.75V で動作している場合、VDD_CORE の電圧を VDDR_CORE よりも先に上昇させ、VDDR_CORE よりも後に下降させる必要があります。VDD_CORE には、VDDR_CORE に定義されたランプ要件以外のランプ要件はありません。

VDD_CORE が 0.85V で動作している場合、VDD_CORE と VDDR_CORE は、電圧と一緒に上昇するように、同じ電源から給電する必要があります。

- (13) VPP は 1.8V eFuse プログラミング電源であり、パワーアップ / ダウン シーケンス中および通常のデバイス動作中は、フローティング (HiZ) のままにするか、グラウンドに接続する必要があります。この電源には、eFuse のプログラミング中にのみ電力を供給します。

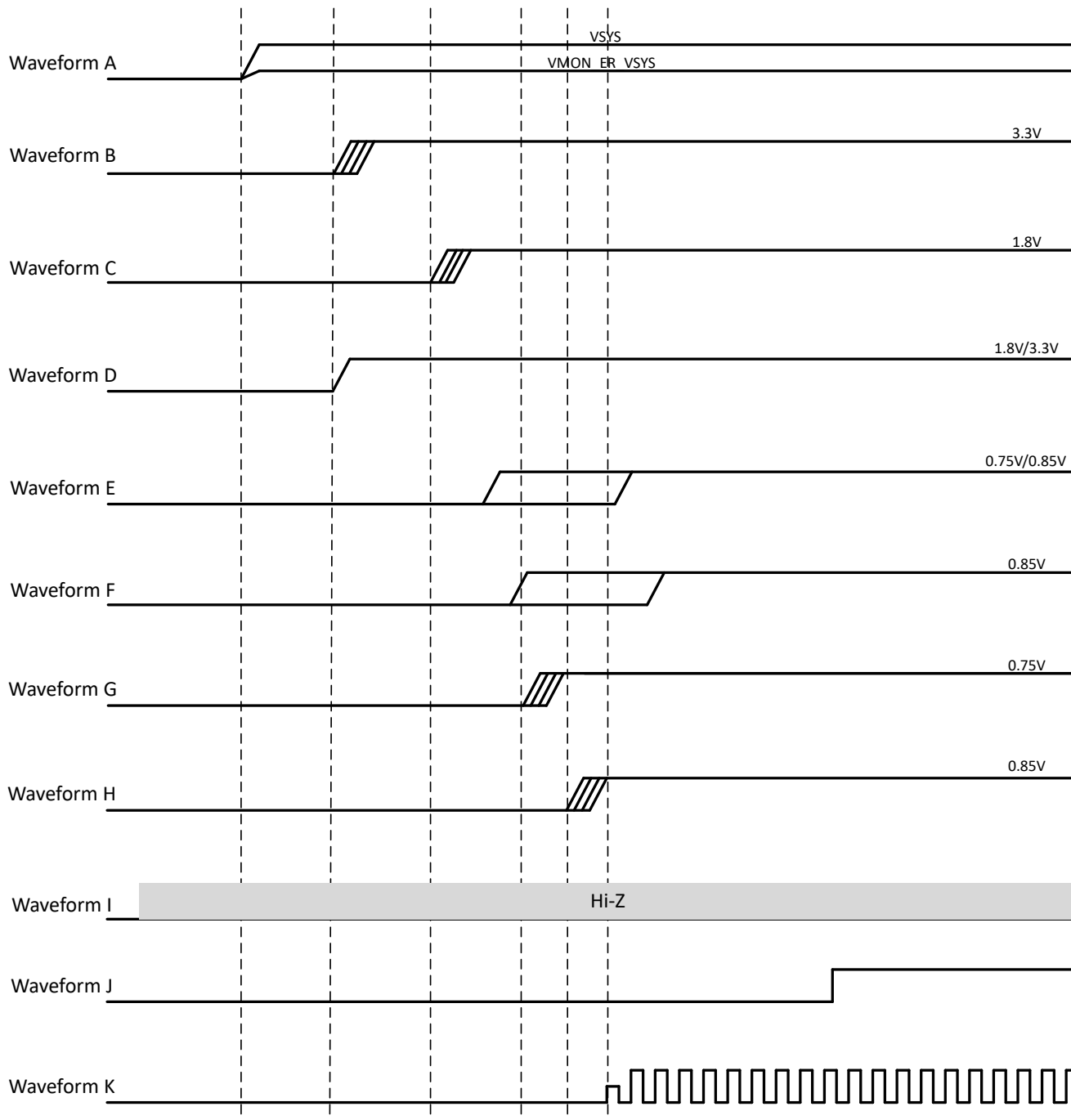


図 6-5. IO 保持を使用したパワーアップ シーケンス

6.1.2.2.3 パワーアップシーケンス - IO 保持ウェークアップ

表 6-4 および図 6-6 に、本デバイスのパワーダウン シーケンスを示します。

表 6-4. パワーアップ シーケンス - IO 保持ウェークアップ - 電源 / 信号の割り当て

図 6-6 を参照

波形	電源 / 信号名
A	VSYS ⁽¹⁾ 、VMON_ER_VSYS ⁽²⁾
B	VDDA_3P3_USB、VDDSHV_MCU ⁽³⁾ 、VDDSHV0 ⁽³⁾ 、VDDSHV1 ⁽³⁾ 、VDDSHV2 ⁽³⁾ 、VDDSHV3 ⁽³⁾ 、VMON_3P3_SOC ⁽⁴⁾
C	VDDA_MCU、VDDA_PLL0、VDDA_PLL1、VDDA_PLL2、VDDA_1P8_USB、VDDA_ADC0、VDDA_TEMP0、VDDA_TEMP1、VDDSHV_CANUART ⁽⁵⁾ 、VDDSHV_MCU ⁽⁵⁾ 、VDDSHV0 ⁽⁵⁾ 、VDDSHV1 ⁽⁵⁾ 、VDDSHV2 ⁽⁵⁾ 、VDDSHV3 ⁽⁵⁾ 、VDDS_OSC0、VMON_1P8_SOC ⁽⁶⁾
D	VDDSHV_CANUART ⁽⁷⁾
E	VDDSHV5 ⁽⁸⁾
F	VDD_CANUART ⁽⁹⁾
G	VDD_CORE ⁽¹⁰⁾ (13)、VDDA_CORE_USB0 ⁽¹⁰⁾
H	VDDR_CANUART ⁽¹¹⁾
I	VDD_CORE ⁽¹²⁾ (13)、VDDA_CORE_USB0 ⁽¹²⁾ 、VDDR_CORE ⁽¹³⁾
J	VPP ⁽¹⁴⁾
K	MCU_PORz
L	MCU_OSC0_XI、MCU_OSC0_XI

- (1) VSYS は、システム全体に電力を供給する電源の名前を表します。この電源は、その他のすべての電源に電力を供給するパワー マネージメント デバイスに給電するあらかじめ安定化された電源である必要があります。
- (2) VMON_ER_VSYS 入力、外付け抵抗分圧回路を使って VSYS を監視するために使用されます。詳細については、[システム電源監視設計ガイドライン](#) を参照してください。
- (3) VDDSHV_MCU および VDDSHVx [x=0~3] はデュアル電圧 IO 電源であり、アプリケーション要件に応じて 1.8V または 3.3V で動作できます。
VDDSHV_MCU および VDDSHVx[x=0~3] IO 電源のいずれかが 3.3V で動作している場合、この波形で定義された 3.3V ランプ期間中に、他の 3.3V 電源でこれらをランプアップする必要があります。
- (4) VMON_3P3_SOC 入力は電源電圧の監視に使用し、それぞれの 3.3V 電源に接続します。
- (5) VDDSHV_MCU および VDDSHVx [x=0~3] はデュアル電圧 IO 電源であり、アプリケーション要件に応じて 1.8V または 3.3V で動作できます。
VDDSHV_MCU および VDDSHVx[x=0~3] IO 電源のいずれかが 1.8V で動作している場合、この波形で定義された 1.8V ランプ期間中に、他の 1.8V 電源でこれらをランプアップする必要があります。
- (6) VMON_1P8_SOC 入力は電源電圧の監視に使用し、それぞれの 1.8V 電源に接続します。
- (7) VDDSHV_CANUART は、1.8V または 3.3V で動作できます。部分 IO 低消費電力モードを使用する場合、VDDSHV_CANUART は常時オンの電源に接続するものとします。
- (8) VDDSHV5 は、その他の電源レールに依存せずに、パワーアップ、パワーダウン、動的電圧変化をサポートするように設計されています。この機能は、UHS-I SD カードをサポートするために必要です。
- (9) VDD_CANUART は、0.75V または 0.85V で動作できます。部分 IO 低消費電力モードを使用する場合、VDD_CANUART は常時オンの電源に接続するものとします。
- (10) VDD_CORE および VDDA_CORE_USB は、0.75V または 0.85V で動作できます。これらの電源が 0.75V で動作している場合、この波形で定義されるように、VDDR_CORE よりも先にランプアップする必要があります。
- (11) VDDR_CANUART は、0.85V で動作させる必要があります。部分 IO 低消費電力モードを使用する場合、VDD_CANUART は常時オンの電源に接続するものとします。VDD_CANUART が 0.85V で動作している場合、VDDR_CANUART はボード レベルで VDD_CANUART と同じ 0.85V 電源に接続できます。
- (12) VDD_CORE および VDDA_CORE_USB は、0.75V または 0.85V で動作できます。これらの電源が 0.85V で動作している場合、VDDR_CORE と同じ電源から電力を供給し、この波形で定義される 0.85V のランプ期間中にランプする必要があります。
- (13) パワーアップ時またはパワーダウン時に、VDDR_CORE に印加される電位が VDD_CORE に印加される電位に 0.18V を加えた電位を超えないようにしてください。これを満たすには、VDD_CORE が 0.75V で動作している場合、VDD_CORE の電圧を VDDR_CORE よりも先に上昇させ、VDDR_CORE よりも後に下降させる必要があります。VDD_CORE には、VDDR_CORE に定義されたランプ要件以外のランプ要件はありません。

VDD_CORE が 0.85V で動作している場合、VDD_CORE と VDDR_CORE は、電圧が一緒に上昇するように、同じ電源から給電する必要があります。

- (14) VPP は 1.8V eFuse プログラミング電源であり、パワーアップ / ダウン シーケンス中および通常のデバイス動作中は、フローティング (HiZ) のままにするか、グランドに接続する必要があります。この電源には、eFuse のプログラミング中にのみ電力を供給します。

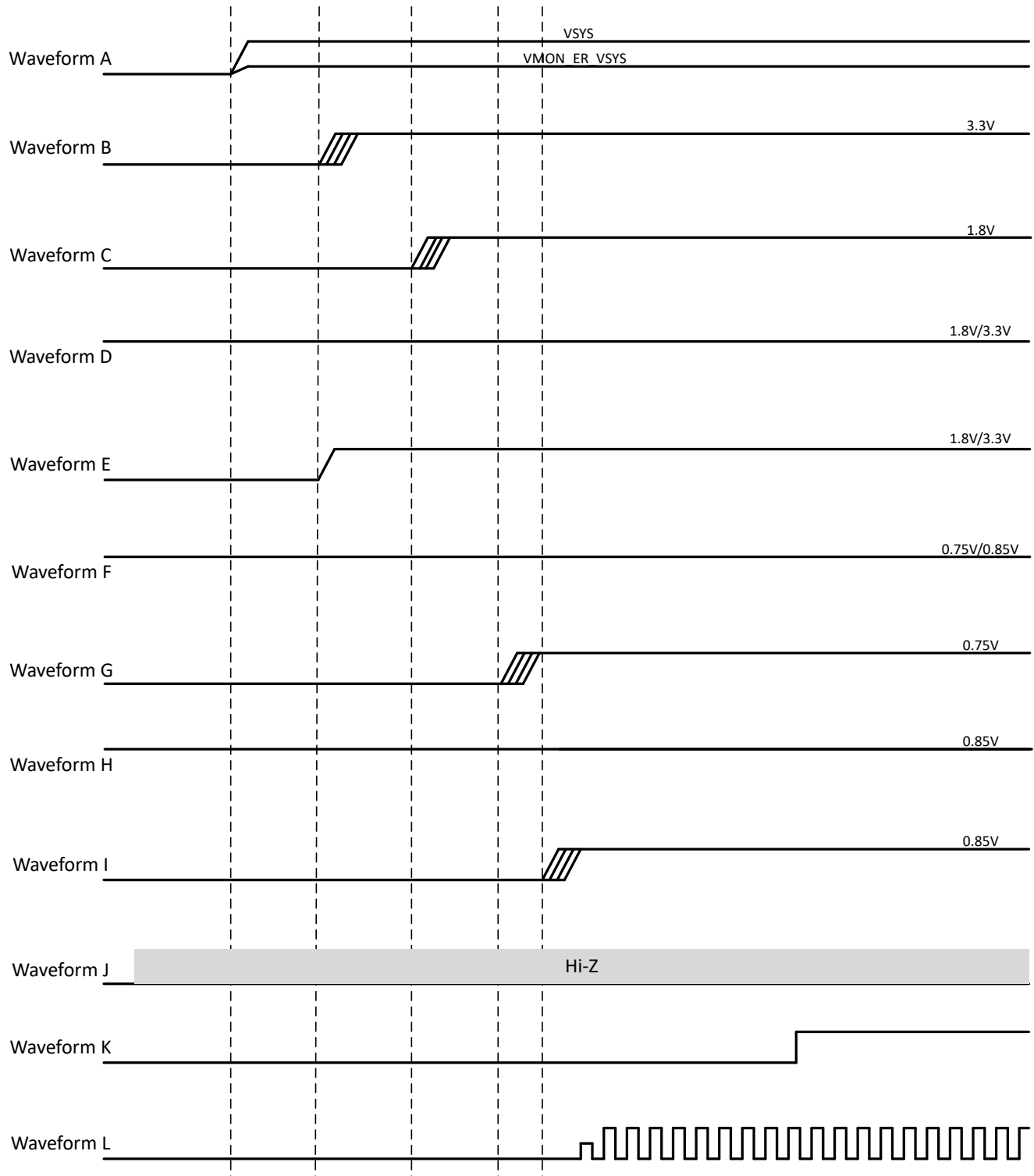


図 6-6. パワーアップ シーケンス - IO 保持ウェークアップ

6.12.2.2.4 パワーダウン シーケンス

表 6-5 および 図 6-7 に、このデバイスのパワーダウン シーケンスを示します。

注

このセクションで定義する電源シーケンス要件には、低消費電力モードの開始または終了は含まれません。部分 IO 低消費電力モードの開始時または終了時における要件の詳細については、「部分的 IO 電源シーケンス」参照してください。

表 6-5. パワーダウン シーケンス - 電源 / 信号の割り当て

図 6-7 を参照

波形	電源 / 信号名
A	VSYS、VMON_VSYS
B	VDDSHV_CANUART ⁽¹⁾ 、VDDSHV_MCU ⁽¹⁾ 、VDDSHV0 ⁽¹⁾ 、VDDSHV1 ⁽¹⁾ 、VDDSHV2 ⁽¹⁾ 、VDDSHV3 ⁽¹⁾ 、 VDDA_3P3_USB、VMON_3P3_SOC
C	VDDSHV_CANUART ⁽²⁾ 、VDDSHV_MCU ⁽²⁾ 、VDDSHV0 ⁽²⁾ 、VDDSHV1 ⁽²⁾ 、VDDSHV2 ⁽²⁾ 、VDDSHV3 ⁽²⁾ 、VDDS_MMC0、 VDDA_MCU、VDDS_OSC0、VDDA_PLL0、VDDA_PLL1、VDDA_PLL2、VDDA_1P8_CSI_DSI、VDDA_1P8_OLDIO、 VDDA_1P8_USB、VDDA_ADC0、VDDA_TEMP0、VDDA_TEMP1、VMON_1P8_SOC
D	VDDSHV5 ⁽³⁾ 、VDDSHV6 ⁽³⁾
E	VDDS_DDR、VDDS_DDR_C
F	VDD_CANUART ⁽⁴⁾
G	VDD_CANUART ⁽⁵⁾ 、VDD_CORE ⁽⁵⁾ 、VDDA_CORE_CSI_DSI ⁽⁵⁾ 、VDDA_CORE_DSI_CLK ⁽⁵⁾ 、VDDA_CORE_USB0 ⁽⁵⁾ 、 VDDA_DDR_PLL0 ⁽⁵⁾
H	VDD_CANUART ⁽⁶⁾ 、VDD_CORE ⁽⁶⁾ 、VDDA_CORE_CSI_DSI ⁽⁶⁾ 、VDDA_CORE_DSI_CLK ⁽⁶⁾ 、VDDA_CORE_USB0 ⁽⁶⁾ 、 VDDA_DDR_PLL0 ⁽⁶⁾ 、VDDR_CORE、VDD_MMC0、VDDA_0P85_DLL_MMC0
I	VPP
J	MCU_PORz
K	MCU_OSC0_XI、MCU_OSC0_XI

- (1) VDDSHV_CANUART、VDDSHV_MCU、および VDDSHVx [x=0 ~ 3] (3.3V 動作時)。
- (2) VDDSHV_CANUART、VDDSHV_MCU、および VDDSHVx [x=0 ~ 3] (1.8V 動作時)。
- (3) VDDSHV5 および VDDSHV6 は、その他の電源レールに依存せずに、パワーアップ、パワーダウン、または動的電圧変化をサポートするように設計されています。この機能は、UHS-I SD カードをサポートするために必要です。
- (4) 部分 IO 低消費電力モードで VDD_CANUART が常時オンの電源に接続されている場合。
- (5) VDD_CANUART、VDD_CORE、VDDA_CORE_CSI_DSI、VDDA_CORE_DSI_CLK、VDDA_CORE_USB0、VDDA_DDR_PLL0 が 0.75V で動作している場合
- (6) VDD_CANUART、VDD_CORE、VDDA_CORE_CSI_DSI、VDDA_CORE_DSI_CLK、VDDA_CORE_USB0、VDDA_DDR_PLL0 が 0.85V で動作している場合

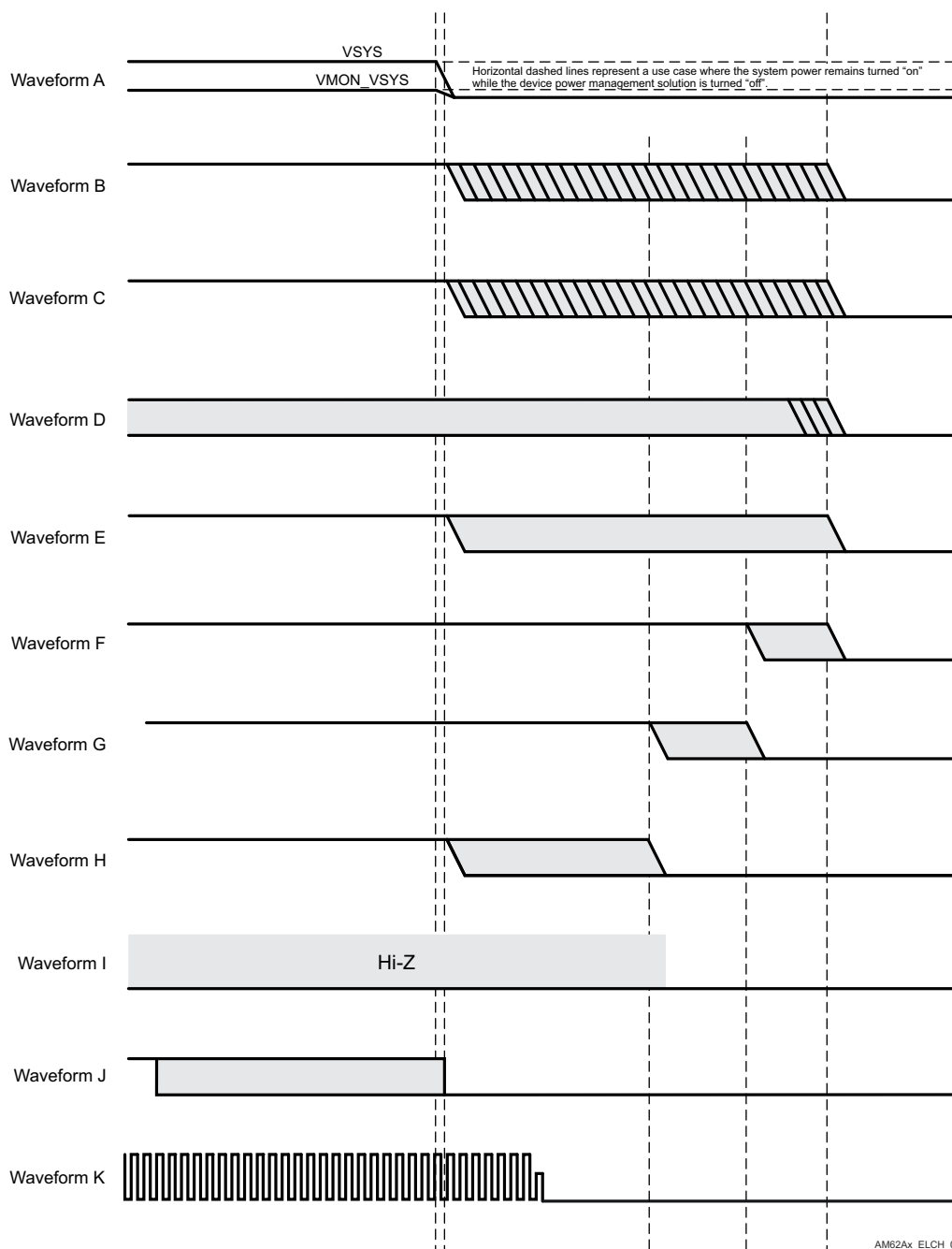


図 6-7. パワーダウン シーケンス

6.12.3 システムのタイミング

サブシステム多重化信号の機能の詳細と追加の説明情報については、「信号の説明」および「詳細説明」セクションの対応するサブセクションを参照してください。

6.12.3.1 リセット タイミング

このセクションの表と図では、リセット関連信号のタイミング条件、タイミング要件、スイッチング特性を定義します。

リセットのタイミング条件

パラメータ			最小値	最大値	単位
入力条件					
SR _i	入力スルーレート	VDD ⁽¹⁾ = 1.8V	0.0018		V/ns
		VDD ⁽¹⁾ = 1.8V	0.0033		V/ns
出力条件					
C _L	出力負荷容量			30	pF

(1) VDD は、対応する電源を表します。電源名および対応するボールの詳細については、「ピン属性」表の「電源」列を参照してください。

MCU_PORz のタイミング要件

番号	パラメータ	説明	最小値	最大値	単位
RST1	t _h (SUPPLIES_VALID-MCU_PORz)	ホールド時間、パワーアップ時に電源が有効になった後、MCU_PORz アクティブ (Low) の間 (外付け水晶振動子回路使用の場合)	9500000		ns
RST2		ホールド時間、パワーアップ時に電源が有効になった後 MCU_PORz がアクティブ (Low) に保持されるべき時間 (外部 LVCMOS クロック源を使用する場合)	1200		ns
RST3	t _w (PORzL)	パルス幅、電源投入後に MCU_PORz が Low の時間 (電源またはシステム基準クロック MCU_OSC0_XI/XO が維持されている場合)	1200		ns

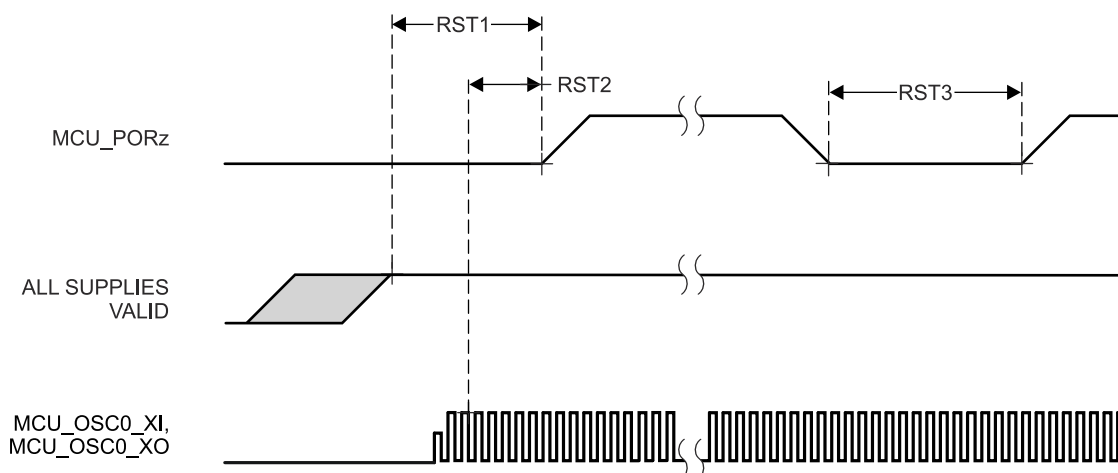


図 6-8. MCU_PORz のタイミング要件

RESETSTATz のスイッチング特性

番号	パラメータ	最小値	最大値	単位
RST6	$t_{d(MCU_PORzL:-RESETSTATzL)}$	遅延時間、MCU_PORz アクティブ (low) から RESETSTATz アクティブ (low) まで	0	ns
RST7	$t_{d(MCU_PORzH:-RESETSTATzH)}$	遅延時間、MCU_PORz 非アクティブ (high) から RESETSTATz 非アクティブ (high) まで	$9195 \times S^{(1)}$	ns
RST9	$t_{w(RESETSTATzL)}$	パルス幅、RESETSTATz Low (SW_MCU_WARMRST、SW_MAIN_PORz、SW_MAIN_WARMRST)	$4040 \times S^{(1)}$ 6000000	ns

(1) S = MCU_OSC0_XI/XO クロック周期 (ns)。

MCU_RESETz のタイミング要件

番号	パラメータ	説明	最小値	最大値	単位
RST10	$t_{w(MCU_RESETzL)}^{(1)}$	最小パルス幅、MCU_RESETz アクティブ (low)	1200		ns

(1) このタイミング パラメータは、すべての電源が有効になり、MCU_PORz が指定された時間アサートされた後にのみ有効です。

RESETSTATz のスイッチング特性

番号	パラメータ	最小値	最大値	単位
RST13	$t_{d(MCU_RESETzL:-RESETSTATzL)}$	遅延時間、MCU_RESETz アクティブ (low) から RESETSTATz アクティブ (low) まで	960	ns
RST14	$t_{d(MCU_RESETzH:-RESETSTATzH)}$	遅延時間、MCU_RESETz 非アクティブ (high) から RESETSTATz 非アクティブ (high) まで	$4040 \times S^{(1)}$	ns

(1) S = MCU_OSC0_XI/XO クロック周期 (ns)。

EMUx のタイミング要件

番号	パラメータ	最小値	最大値	単位
RST18	$t_{su(EMUx-MCU_PORz)}$	セットアップ時間、EMU[1:0] から MCU_PORz 非アクティブ (high) まで	$3 \times S^{(1)}$	ns
RST19	$t_{h(MCU_PORz-EMUx)}$	ホールド時間、MCU_PORz 非アクティブ (high) から EMU[1:0] 有効の間	10	ns

(1) S = MCU_OSC0_XI/XO クロック周期 (ns)。

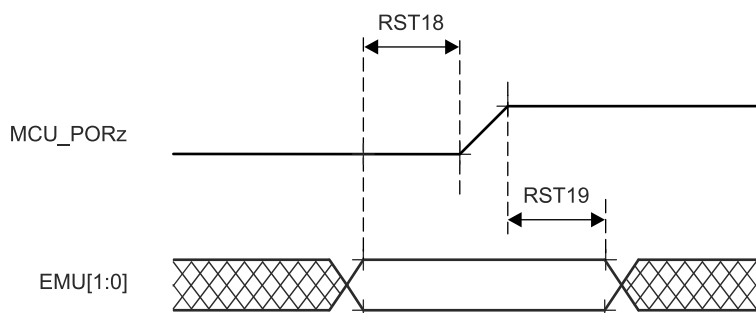


図 6-9. EMUx のタイミング要件

BOOTMODE のタイミング要件

番号	パラメータ		最小値	最大値	単位
RST23	$t_{sh}(\text{BOOTMODE-MCU_PORz})$	セットアップ時間、MCU_PORz が High になる (外部 MCU PORz イベントまたはソフトウェア SW_MAIN_PORz) 前に BOOTMODE[15:0] が有効であるべき時間	$3 \times S^{(1)}$		ns
RST24	$t_h(\text{MCU_PORz-BOOTMODE})$	ホールド時間、MCU_PORz が High になった (外部 MCU PORz イベントまたはソフトウェア SW_MAIN_PORz) 後 BOOTMODE[15:0] を保持すべき時間	0		ns

(1) S = MCU_OSC0_XI/XO クロック周期 (ns)。

6.12.3.2 エラー信号タイミング

このセクションの表と図では、MCU_ERRORn のタイミング条件とスイッチング特性を定義します。

エラー信号のタイミング条件

パラメータ		最小値	最大値	単位
出力条件				
C _L	出力負荷容量		30	pF

MCU_ERRORn のスイッチング特性

番号	パラメータ	説明	最小値	最大値	単位
ERR1	t _c (MCU_ERRORn)	最小サイクル時間、MCU_ERRORn (PWM モード イネーブル)	(P ⁽¹⁾ × H ⁽³⁾) + (P ⁽¹⁾ × L) ⁽⁴⁾		ns
ERR2	t _w (MCU_ERRORn)	最小パルス幅、MCU_ERRORn アクティブ (PWM モード ディスエーブル) ⁽⁵⁾	P ⁽¹⁾ × R ⁽²⁾		ns
ERR3	t _d (ERROR_CONDITION -MCU_ERRORnL)	遅延時間、ERROR_CONDITION から MCU_ERRORn アクティブまで ⁽⁵⁾	50 × P ⁽¹⁾		ns

(1) P = ESM 機能クロック

(2) R = エラー ピン カウンタ プリロード レジスタ カウント値

(3) H = エラー ピン PWM High プリロード レジスタ カウント値

(4) L = エラー ピン PWM Low プリロード レジスタ カウント値

(5) PWM モードが有効な場合、ERR3 後に SAFETY_ERRORn はトグルを停止し、エラーがクリアされるまでその値 (High と Low のいずれか) を保持します。PWM モードがディスエーブルの場合、MCU_ERRORn はアクティブ Low です。

6.12.3.2.1

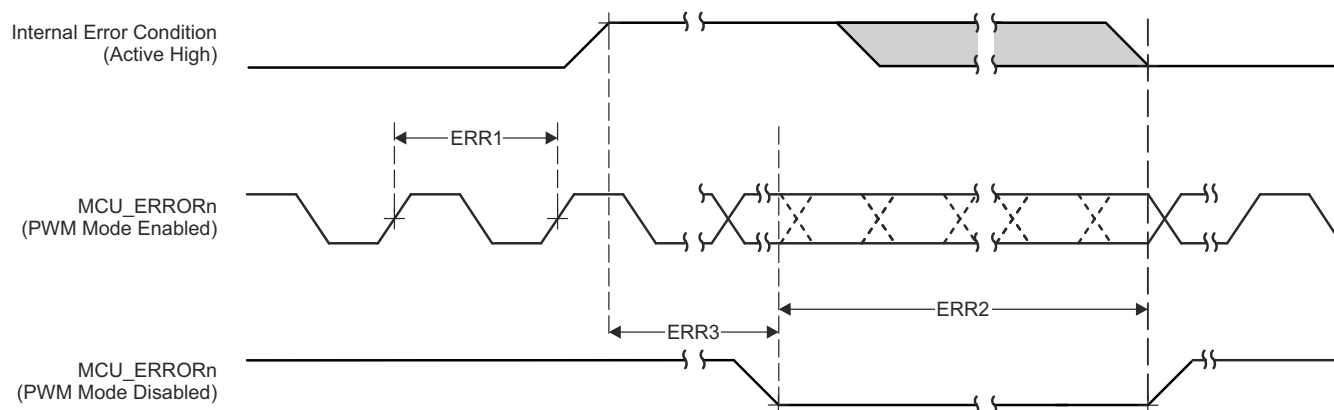


図 6-10. MCU_ERRORn のタイミング要件およびスイッチング特性

6.12.3.3 クロックのタイミング

このセクションの表と図では、クロック信号のタイミング条件、タイミング要件、スイッチング特性を定義します。

クロックのタイミング条件

パラメータ		最小値	最大値	単位
入力条件				
SR _I	入力スルーレート	0.5		V/ns
出力条件				
C _L	出力負荷容量	5ns ≤ t _c ≤ 8ns	5	pF
		8ns ≤ t _c ≤ 20ns	10	pF
		20ns ≤ t _c	30	pF

クロックのタイミング要件

番号	パラメータ		最小値	最大値	単位
CLK1	t _c (EXT_REFCLK1)	最小サイクル時間、EXT_REFCLK1	10		ns
CLK2	t _w (EXT_REFCLK1H)	最小パルス幅、EXT_REFCLK1 High	E ⁽¹⁾ × 0.45	E ⁽¹⁾ × 0.55	ns
CLK3	t _w (EXT_REFCLK1L)	最小パルス幅、EXT_REFCLK1 Low	E ⁽¹⁾ × 0.45	E ⁽¹⁾ × 0.55	ns
CLK1	t _c (MCU_EXT_REFCLK0)	最小サイクル時間、MCU_EXT_REFCLK0	10		ns
CLK2	t _w (MCU_EXT_REFCLK0H)	最小パルス幅、MCU_EXT_REFCLK0 High	F ⁽²⁾ × 0.45	F ⁽²⁾ × 0.55	ns
CLK3	t _w (MCU_EXT_REFCLK0L)	最小パルス幅、MCU_EXT_REFCLK0 Low	F ⁽²⁾ × 0.45	F ⁽²⁾ × 0.55	ns
CLK1	t _c (AUDIO_EXT_REFCLK0)	最小サイクル時間、AUDIO_EXT_REFCLK0	20		ns
CLK2	t _w (AUDIO_EXT_REFCLK0H)	最小パルス幅、AUDIO_EXT_REFCLK0 High	G ⁽³⁾ × 0.45	G ⁽³⁾ × 0.55	ns
CLK3	t _w (AUDIO_EXT_REFCLK0L)	最小パルス幅、AUDIO_EXT_REFCLK0 Low	G ⁽³⁾ × 0.45	G ⁽³⁾ × 0.55	ns
CLK1	t _c (AUDIO_EXT_REFCLK1)	最小サイクル時間、AUDIO_EXT_REFCLK1	20		ns
CLK2	t _w (AUDIO_EXT_REFCLK1H)	最小パルス幅、AUDIO_EXT_REFCLK1 High	H ⁽⁴⁾ × 0.45	H ⁽⁴⁾ × 0.55	ns
CLK3	t _w (AUDIO_EXT_REFCLK1L)	最小パルス幅、AUDIO_EXT_REFCLK1 Low	H ⁽⁴⁾ × 0.45	H ⁽⁴⁾ × 0.55	ns
CLK1	t _c (AUDIO_EXT_REFCLK2)	最小サイクル時間、AUDIO_EXT_REFCLK2	20		ns
CLK2	t _w (AUDIO_EXT_REFCLK2H)	最小パルス幅、AUDIO_EXT_REFCLK2 High	I ⁽⁵⁾ × 0.45	I ⁽⁵⁾ × 0.55	ns
CLK3	t _w (AUDIO_EXT_REFCLK2L)	最小パルス幅、AUDIO_EXT_REFCLK2 Low	I ⁽⁵⁾ × 0.45	I ⁽⁵⁾ × 0.55	ns

- (1) E = EXT_REFCLK サイクル時間 (ns)。
(2) F = MCU_EXT_REFCLK0 サイクル時間 (ns)。
(3) G = AUDIO_EXT_REFCLK0 サイクル時間 (ns)。
(4) H = AUDIO_EXT_REFCLK1 サイクル時間 (ns)。
(5) I = AUDIO_EXT_REFCLK2 サイクル時間 (ns)。

6.12.3.3.1

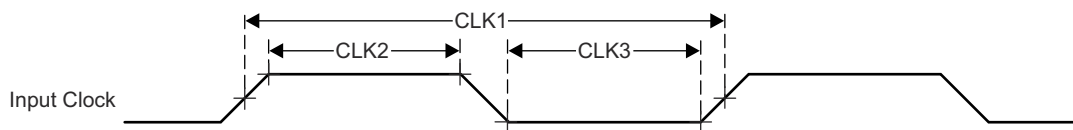


図 6-11. クロックのタイミング要件

クロックのスイッチング特性

番号	パラメータ	最小値	最大値	単位
CLK4	$t_{c}(\text{SYSCLKOUT0})$ 最小サイクル時間、SYSCLKOUT0	8		ns
CLK5	$t_{w}(\text{SYSCLKOUT0H})$ 最小パルス幅、SYSCLKOUT0 High	$A^{(1)} \times 0.4$	$A^{(1)} \times 0.6$	ns
CLK6	$t_{w}(\text{SYSCLKOUT0L})$ 最小パルス幅、SYSCLKOUT0 Low	$A^{(1)} \times 0.4$	$A^{(1)} \times 0.6$	ns
CLK4	$t_{c}(\text{OBSClk0})$ 最小サイクル時間、OBSClk0	5		ns
CLK5	$t_{w}(\text{OBSClk0H})$ 最小パルス幅、OBSClk0 High	$B^{(2)} \times 0.45$	$B^{(2)} \times 0.55$	ns
CLK6	$t_{w}(\text{OBSClk0L})$ 最小パルス幅、OBSClk0 Low	$B^{(2)} \times 0.45$	$B^{(2)} \times 0.55$	ns
CLK4	$t_{c}(\text{OBSClk1})$ 最小サイクル時間、OBSClk1	5		ns
CLK5	$t_{w}(\text{OBSClk1H})$ 最小パルス幅、OBSClk1 High	$F^{(3)} \times 0.45$	$F^{(3)} \times 0.55$	ns
CLK6	$t_{w}(\text{OBSClk1L})$ 最小パルス幅、OBSClk1 Low	$F^{(3)} \times 0.45$	$F^{(3)} \times 0.55$	ns
CLK4	$t_{c}(\text{CLKOUT0})$ 最小サイクル時間、CLKOUT0	20		ns
CLK5	$t_{w}(\text{CLKOUT0H})$ 最小パルス幅、CLKOUT0 High	$C^{(4)} \times 0.4$	$C^{(4)} \times 0.6$	ns
CLK6	$t_{w}(\text{CLKOUT0L})$ 最小パルス幅、CLKOUT0 Low	$C^{(4)} \times 0.4$	$C^{(4)} \times 0.6$	ns
CLK4	$t_{c}(\text{MCU_SYSCLKOUT0})$ 最小サイクル時間、MCU_SYSCLKOUT0	10		ns
CLK5	$t_{w}(\text{MCU_SYSCLKOUT0H})$ 最小パルス幅、MCU_SYSCLKOUT0 High	$E^{(5)} \times 0.4$	$E^{(5)} \times 0.6$	ns
CLK6	$t_{w}(\text{MCU_SYSCLKOUT0L})$ 最小パルス幅、MCU_SYSCLKOUT0 Low	$E^{(5)} \times 0.4$	$E^{(5)} \times 0.6$	ns
CLK4	$t_{c}(\text{MCU_OBSClk0})$ 最小サイクル時間、MCU_OBSClk0	5		ns
CLK5	$t_{w}(\text{MCU_OBSClk0H})$ 最小パルス幅、MCU_OBSClk0 High	$D^{(6)} \times 0.45$	$D^{(6)} \times 0.55$	ns
CLK6	$t_{w}(\text{MCU_OBSClk0L})$ 最小パルス幅、MCU_OBSClk0 Low	$D^{(6)} \times 0.45$	$D^{(6)} \times 0.55$	ns
CLK4	$t_{c}(\text{WKUP_CLKOUT0})$ 最小サイクル時間、WKUP_CLKOUT0	5		ns
CLK5	$t_{w}(\text{WKUP_CLKOUT0H})$ 最小パルス幅、WKUP_CLKOUT0 High	$W^{(7)} \times 0.4$	$W^{(7)} \times 0.6$	ns
CLK6	$t_{w}(\text{WKUP_CLKOUT0L})$ 最小パルス幅、WKUP_CLKOUT0 Low	$W^{(7)} \times 0.4$	$W^{(7)} \times 0.6$	ns
CLK4	$t_{c}(\text{AUDIO_EXT_REFCLK0})$ 最小サイクル時間、AUDIO_EXT_REFCLK0 (McASPClock ソース)	20		ns
	最小サイクル時間、AUDIO_EXT_REFCLK0 (PLL クロック ソース)	10		ns
CLK5	$t_{w}(\text{AUDIO_EXT_REFCLK0H})$ 最小パルス幅、AUDIO_EXT_REFCLK0 High	$G^{(8)} \times 0.4$	$G^{(8)} \times 0.6$	ns
CLK6	$t_{w}(\text{AUDIO_EXT_REFCLK0L})$ 最小パルス幅、AUDIO_EXT_REFCLK0 Low	$G^{(8)} \times 0.4$	$G^{(8)} \times 0.6$	ns
CLK4	$t_{c}(\text{AUDIO_EXT_REFCLK1})$ 最小サイクル時間、AUDIO_EXT_REFCLK1 (McASPClock ソース)	20		ns
	最小サイクル時間、AUDIO_EXT_REFCLK1 (PLL クロック ソース)	10		ns
CLK5	$t_{w}(\text{AUDIO_EXT_REFCLK1H})$ 最小パルス幅、AUDIO_EXT_REFCLK1 High	$J^{(9)} \times 0.4$	$J^{(9)} \times 0.6$	ns

番号	パラメータ	最小値	最大値	単位
CLK6	$t_{w(AUDIO_EXT_REFCLK1L)}$ 最小パルス幅、AUDIO_EXT_REFCLK1 Low	$J^{(9)} \times 0.4$	$J^{(9)} \times 0.6$	ns
CLK4	$t_{c(AUDIO_EXT_REFCLK2)}$ 最小サイクル時間、AUDIO_EXT_REFCLK2 (McASPClock ソース)	20		ns
	$t_{c(AUDIO_EXT_REFCLK2)}$ 最小サイクル時間、AUDIO_EXT_REFCLK2 (PLL クロック ソース)	10		ns
CLK5	$t_{w(AUDIO_EXT_REFCLK2H)}$ 最小パルス幅、AUDIO_EXT_REFCLK2 High	$K^{(10)} \times 0.4$	$K^{(10)} \times 0.6$	ns
CLK6	$t_{w(AUDIO_EXT_REFCLK2L)}$ 最小パルス幅、AUDIO_EXT_REFCLK2 Low	$K^{(10)} \times 0.4$	$K^{(10)} \times 0.6$	ns

- (1) A = SYSCLKOUT0 サイクル時間 (ns)。
 (2) B = OBSCCLK0 サイクル時間 (ns)。
 (3) F = OBSCCLK1 サイクル時間 (ns)。
 (4) C = CLKOUT0 サイクル時間 (ns)。
 (5) E = MCU_SYSCLKOUT0 サイクル時間 (ns)。
 (6) D = MCU_OBSCCLK0 サイクル時間 (ns)。
 (7) W = WKUP_CLKOUT0 サイクル時間 (ns)。
 (8) G = AUDIO_EXT_REFCLK0 サイクル時間 (ns)。
 (9) J = AUDIO_EXT_REFCLK1 サイクル時間 (ns)。
 (10) K = AUDIO_EXT_REFCLK2 サイクル時間 (ns)。

6.12.3.3.2

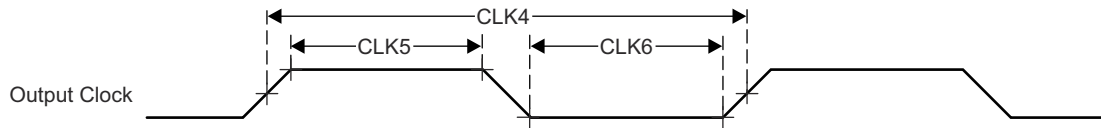


図 6-12. クロックのスイッチング特性

6.12.4 クロック仕様

6.12.4.1 入力クロック / 発振器

本デバイスを駆動するには、各種の外部クロック入力 / 出力が必要です。これらの入力クロック信号の概要は、以下のとおりです。

- MCU_OSC0_XO/MCU_OSC0_XI — 内部基準クロック HFOSC0_CLKOUT のデフォルト クロック ソースである内部高周波発振器 (HFOSC0) に接続された外部メイン水晶振動子インターフェイスピン。
- OSC1_XO/OSC1_XI — 内部基準クロック HFOSC1_CLKOUT のデフォルト クロック ソースである内部高周波発振器 (HFOSC1) に接続された外部メイン水晶振動子インターフェイスピン。OSC1 はオーディオ ビット クロックのソースとして使用され、24.576MHz にする必要があります。
- WKUP_LFOSC0_XO/WKUP_LFOSC0_XI — オプションの 32768Hz 基準クロックを供給する内部低周波数発振器 (WKUP_LFOSC0) に接続された外部水晶振動子インターフェイスピン。
- 汎用クロック入力
 - MCU_EXT_REFCLK0 — オプションの外部システム クロック。
 - EXT_REFCLK1 — オプションの外部システム クロック。入力として動作するように構成した場合、McASP 高周波入力クロックとして使用できます。
- 外部オーディオ基準クロック入出力
 - AUDIO_EXT_REFCLK[2:0] — 入力として動作するように構成されている場合、オプションの McASP 高周波入力クロック。

入力クロック インターフェイスの詳細については、デバイス テクニカル リファレンス マニュアルの「デバイス構成」の章にある「クロック処理」のセクションを参照してください。

6.12.4.1.1 MCU_OSC0 および OSC1 内部発振器クロック ソース

水晶振動子の推奨回路を、図 6-13 に示します。振動子の回路の実装に使用されるすべてのディスクリート部品は、MCU_OSC0_XI および MCU_OSC0_XO ピンのできるだけ近くに配置する必要があります。

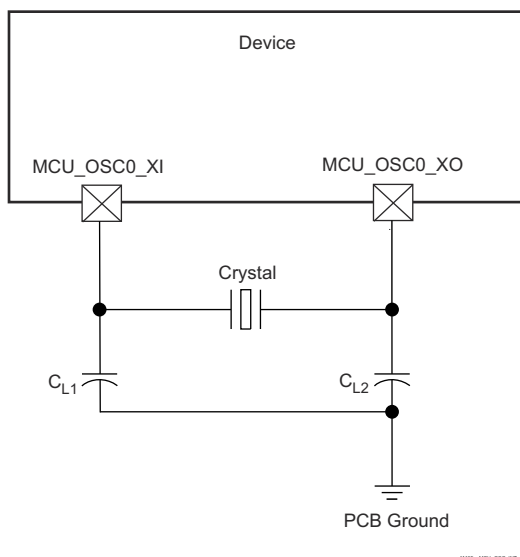


図 6-13. MCU_OSC0 水晶振動子の実装

水晶振動子は、基本動作モード、並列共振である必要があります。必要な電氣的制約事項の要約を、[HFOSC \(MCU_OSC0 および OSC1\) 水晶振動子回路の要件](#) に示します。

システムの設計で水晶振動子を選択するときは、ワーストケースの環境やシステムの予測寿命に基づいて、水晶振動子の温度特性および経年変化特性を考慮する必要があります。

振動子のスイッチング特性の詳細を、[HFOSC \(MCU_OSC0 および OSC1\) のスイッチング特性 - 水晶振動子モード](#) に示します。

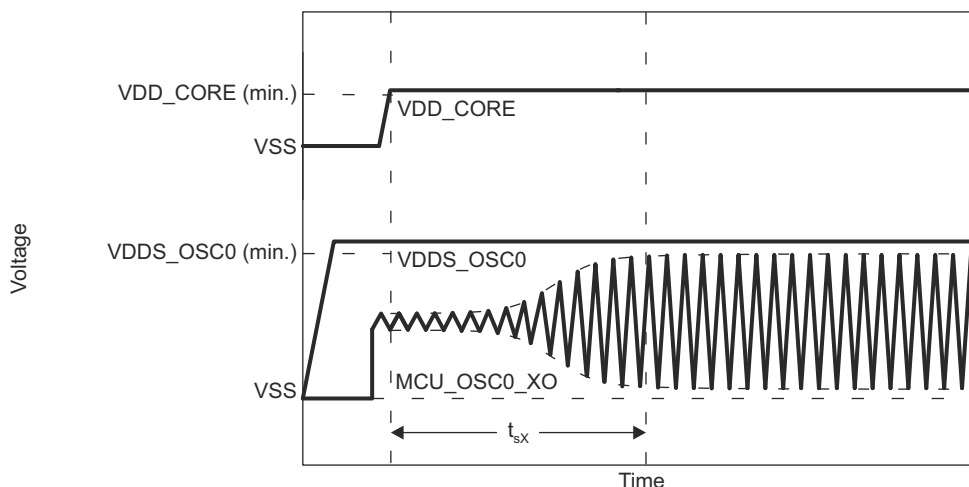


図 6-14. MCU_OSC0 スタートアップ時間

6.12.4.1.1.1 HFOSC (MCU_OSC0 および OSC1) 水晶振動子回路の要件

名称	パラメータ		最小値	標準値	最大値	単位
F _{xtal}	水晶振動子の並列共振周波数	MCU_OSC0		25		MHz
		OSC1		24.576		MHz
F _{xtal}	水晶振動子の周波数安定性および許容誤差	イーサネット RGMII および RMII は未 使用			±100	ppm
		派生クロックを使用 するイーサネット RGMII と RMII			±50	ppm
C _{L1+PCBXI}	C _{L1} + C _{PCBXI} の容量		12		24	pF
C _{L2+PCBXO}	C _{L2} + C _{PCBXO} の容量		12		24	pF
C _L	水晶振動子の負荷容量		6		12	
C _{shunt}	水晶発振回路のシャント容量	ESR _{xtal} = 30Ω	25MHz		7	pF
		ESR _{xtal} = 40Ω	25MHz		5	pF
		ESR _{xtal} = 50Ω	25MHz		5	pF
ESR _{xtal}	水晶振動子の等価直列抵抗				(1)	Ω

(1) 水晶振動子の最大 ESR は、水晶振動子の周波数とシャント容量の関数です。C_{shunt} パラメータを参照してください。

6.12.4.1.1.2 HFOSC (MCU_OSC0 および OSC1) のスイッチング特性 - 水晶振動子モード

名称	パラメータ	最小値	標準値	最大値	単位
C _{XI}	XI 容量			1.58	pF
C _{XO}	XO 容量			1.49	pF
C _{XIXO}	XI から XO への相互容量			0.01	pF
t _s	起動時間		4		ms

6.12.4.1.1.3 負荷容量

水晶振動子回路は、水晶振動子メーカーの定義に従って、水晶振動子に適切な容量性負荷がかかるように設計する必要があります。この回路の容量性負荷 C_L は、ディスクリートコンデンサ C_{L1}、C_{L2}、およびいくつかの寄生成分から構成されています。水晶振動子回路の部品を MCU_OSC0_XI および MCU_OSC0_XO に接続する PCB 信号パターンには、グランドへの寄生容量 C_{PCBXI} および C_{PCBXO} があり、PCB 設計者は各信号パターンの寄生容量を把握できます。MCU_OSC0 回路およびデバイスパッケージには、グランドへの寄生容量 C_{PCBXI} および C_{PCBXO} があります。ここで、これらの寄生容量の値は、**HFOSC (MCU_OSC0 および OSC1) のスイッチング特性 - 水晶振動子モード** で定義されています。

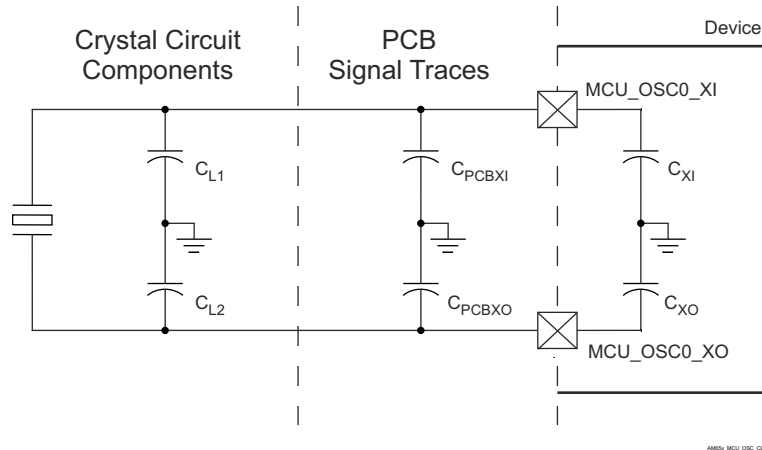


図 6-15. 負荷容量

図 6-13 の負荷コンデンサ C_{L1} および C_{L2} は、次の式が満足されるように選択できます。この式の C_L は、水晶振動子のメーカーによって指定された負荷です。

$$C_L = [(C_{L1} + C_{PCBXI} + C_{XI}) \times (C_{L2} + C_{PCBXO} + C_{XO})] / [(C_{L1} + C_{PCBXI} + C_{XI}) + (C_{L2} + C_{PCBXO} + C_{XO})]$$

C_{L1} と C_{L2} の値を決定するには、まず、容量性負荷の値 C_L に 2 を乗算します。この結果に対して、 $C_{PCBXI} + C_{XI}$ の合成値を減算すれば C_{L1} の値が得られます。また、 $C_{PCBXO} + C_{XO}$ の合成値を減算すれば、 C_{L2} の値が得られます。たとえば、 $C_L = 10\text{pF}$ 、 $C_{PCBXI} = 2.9\text{pF}$ 、 $C_{XI} = 0.5\text{pF}$ 、 $C_{PCBXO} = 3.7\text{pF}$ 、 $C_{XO} = 0.5\text{pF}$ の場合、 $C_{L1} = [(2 \times C_L) - (C_{PCBXI} + C_{XI})] = [(2 \times 10\text{pF}) - 2.9\text{pF} - 0.5\text{pF}] = 16.6\text{pF}$ および $C_{L2} = [(2 \times C_L) - (C_{PCBXO} + C_{XO})] = [(2 \times 10\text{pF}) - 3.7\text{pF} - 0.5\text{pF}] = 15.8\text{pF}$ となります。

6.12.4.1.1.4 シャント容量

また、水晶振動子回路は、**HFOSC (MCU_OSC0 および OSC1) 水晶振動子回路の要件** に定義された MCU_OSC0 動作条件の最大シャント容量を超えないように設計する必要があります。水晶振動子回路のシャント容量 C_{shunt} は、水晶振動子のシャント容量と寄生成分の組み合わせです。水晶振動子回路の部品を MCU_OSC0 に接続する PCB 信号パターンには、相互寄生容量 WKUP_OSC0 があります。PCB 設計者は、これらの信号パターン間の相互寄生容量を導出する必要があります。デバイス パッケージには、相互寄生容量 C_{XIXO} もあります。ここで、この相互寄生容量の値は **HFOSC (MCU_OSC0 および OSC1) のスイッチング特性 - 水晶振動子モード** で定義されています。

PCB 配線は、XI 信号パターンと XO 信号パターンとの間の相互容量を最小限に抑えるよう設計する必要があります。これは通常、信号パターンを短くし、近接した場所に配線しないことで行われます。レイアウトで信号を互いに近接して配線する必要がある場合は、これらの信号の間にグランドパターンを配置することで、相互容量を最小化することもできます。水晶振動子を選択する際に、可能な限り大きなマージンを確保するために、PCB 上の相互容量を最小化することが重要です。

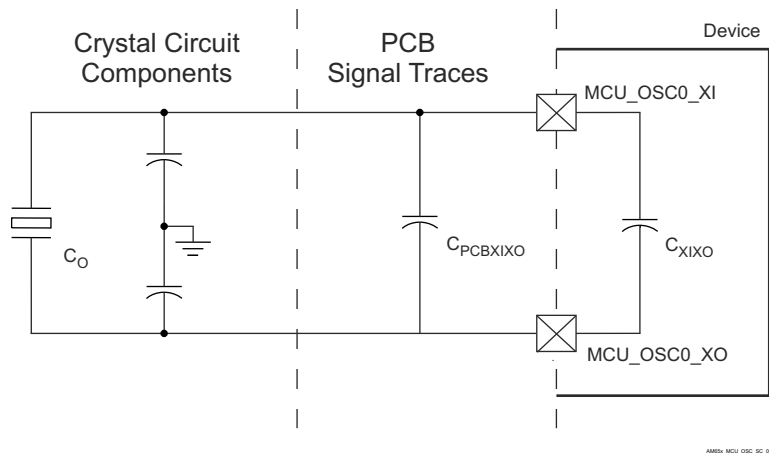


図 6-16. シャント容量

水晶振動子は、次の式が満たされるように選択する必要があります。この式の C_O は、水晶振動子のメーカーによって指定された最大シャント容量です。

$$C_{\text{shunt}} \geq C_O + C_{\text{PCBXIXO}} + C_{\text{XIXO}}$$

たとえば、使用する水晶振動子が $\text{ESR} = 30\Omega$ 、 $C_{\text{PCBXIXO}} = 0.04\text{pF}$ 、 $C_{\text{XIXO}} = 0.01\text{pF}$ の 25MHz であり、水晶振動子のシャント容量が 6.95pF 以下の場合、この式が満たされます。

6.12.4.1.2 MCU_OSC0 および OSC1 LVCMOS デジタル クロック ソース

図 6-17 に、MCU_OSC0_XI または OSC1_XI を 1.8V LVCMOS 方形波デジタル クロック ソースに接続する場合に推奨される発振器接続を示します。

注

発振器が電源オンのとき、MCU_OSC0_XI または OSC1_XI を DC 定常状態にすることは許容されません。MCU_OSC0_XI および OSC1_XI は内部でコンパレータに AC 結合されており、入力に DC が印加されると未知の状態になる可能性があるため、これは許容されません。したがって、MCU_OSC0_XI または OSC1_XI がロジック状態間をトグルしていない場合は、アプリケーション ソフトウェアで MCU_OSC0 または OSC1 の電源をオフにする必要があります。

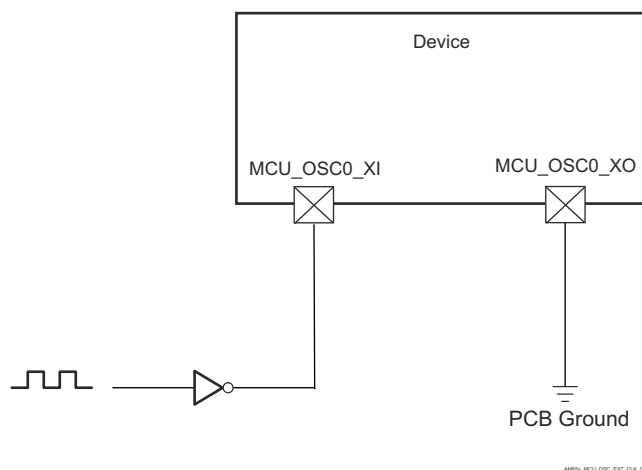


図 6-17. 1.8V LVCMOS 互換クロック入力

6.12.4.1.3 WKUP_LFOSC0 内部発振器クロック ソース

水晶振動子の推奨回路を、図 6-18 に示します。量産開始前のプリント基板 (PCB) 設計には、2 つのオプション抵抗 R_{bias} および R_d を含めることを推奨します。これは、量産用の水晶振動子回路部品と組み合わせたとき、発振器が正常に動作するために抵抗が必要とされる場合に備えるものです。ほとんどの場合、 R_{bias} は 不要であり、 R_d は 0Ω 抵抗です。量産前の PCB に量産用の水晶振動子回路部品を実装して、発振器の性能を評価した後、これらの抵抗を量産 PCB の設計から取り除くこともできます。

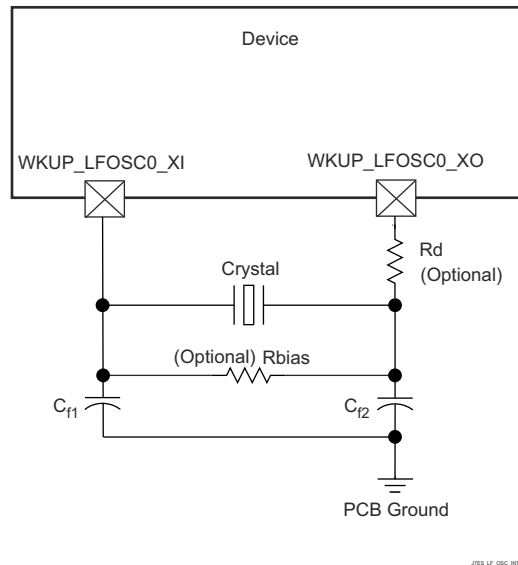


図 6-18. WKUP_LFOSC0 水晶振動子の実装

表 6-6 に、LFXOSC の動作モードを示します。

表 6-6. LFXOSC 動作モード

モード	BP_C	PD_C	XI	XO	CLK_OUT	説明
アクティブ	0	0	XTAL	XTAL	CLK_OUT	アクティブ発振器モードで 32kHz を供給
パワーダウン	0	1	X	PD	Low	出力は Low にプルダウンされます。PAD はトライステート。アクティブ モードはディセーブル。
バイパス	1	0	CLK	PD	CLK	XI は外部クロック ソースによって駆動されます。XO は Low にプルダウンされます。電源に対して ESD ダイオードがあるため、発振器電源が存在しない場合は、XI を駆動しないでください。

注

ユーザーは、6pF～9.5pF の範囲の CL に対して、CTRLMMR_WKUP_LFXOSC_TRIM[18:16] $i_mult = 3b'001$ を設定する必要があります。8.5pF～12pF の範囲の CL に対しては、CTRLMMR_WKUP_LFXOSC_TRIM[18:16] $i_mult = 3b'010$ とします。デフォルト設定は 3b'010 です。

注

図 6-19 の負荷コンデンサ C_{f1} および C_{f2} は、次の式が満たされるように選択する必要があります。この式の C_L は、水晶振動子のメーカーによって指定された負荷です。発振器回路の実装に使用されるすべてのディスクリット部品は、関連する発振器 WKUP_LFOSC0_XI、WKUP_LFOSC0_XO、VSS ピンのできるだけ近くに配置する必要があります。

$$C_L = \frac{C_{f1} C_{f2}}{(C_{f1} + C_{f2})}$$

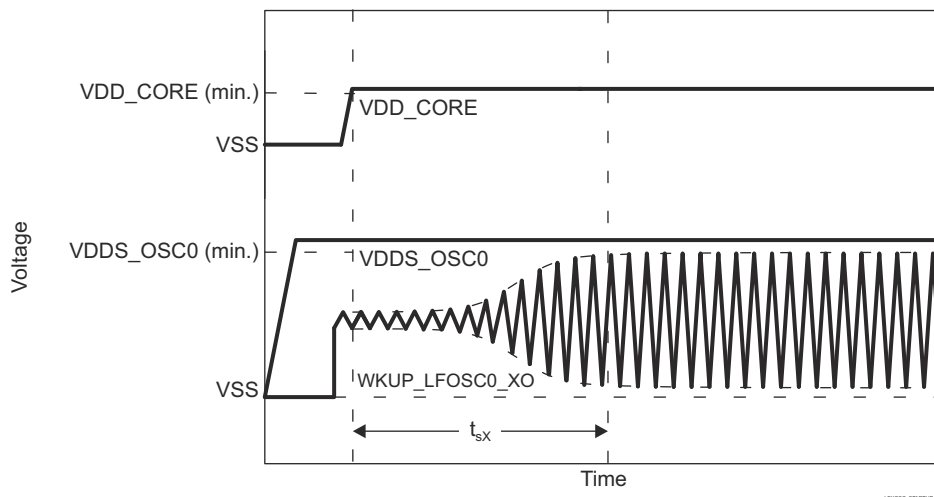
JFES_CL_MATH_03

図 6-19. 負荷容量の式

水晶振動子は、基本動作モード、並列共振である必要があります。必要な電氣的制約事項の要約を、[LFOSC \(WKUP_LFOSC0\) 水晶振動子回路の要件](#) に示します。

水晶振動子を選択するとき、システム設計では、ワーストケースの環境とシステムの予測寿命に基づいて、温度と経年変化特性を考慮する必要があります。

[LFOSC \(WKUP_LFOSC0\) のスイッチング特性 - 水晶振動子モード](#) に、発振器のスイッチング特性と入力クロックの要件を示します。



LFOSC_STARTUP_03

図 6-20. WKUP_LFOSC0 スタートアップ時間

6.12.4.1.3.1 LFOSC (WKUP_LFOSC0) 水晶振動子回路の要件

名称	パラメータ	最小値	標準値	最大値	単位
f_p	並列共振水晶振動子周波数		32768		Hz
	水晶振動子の周波数安定性および許容誤差			100	ppm
C_{f1}	$C_{f1} = C_{f2}$ の場合の水晶振動子並列共振の C_{f1} 負荷容量	12		24	pF
C_{f2}	$C_{f1} = C_{f2}$ の場合の水晶振動子並列共振の C_{f2} 負荷容量	12		24	pF
C_{shunt}	水晶発振回路のシャント容量	$ESR_{xtal} = 40\Omega$		4	pF
		$ESR_{xtal} = 60\Omega$		3	pF
		$ESR_{xtal} = 80\Omega$		2	pF
		$ESR_{xtal} = 100\Omega$		1	pF
ESR_{xtal}	水晶振動子の等価直列抵抗			(1)	Ω

(1) 水晶振動子の最大 ESR は、水晶振動子の周波数とシャント容量の関数です。 C_{shunt} パラメータを参照してください。

6.12.4.1.3.2 LFOSC (WKUP_LFOSC0) のスイッチング特性 - 水晶振動子モード

名称	パラメータ	最小値	標準値	最大値	単位
f_{xtal}	発振周波数		32768		Hz

名称	パラメータ	最小値	標準値	最大値	単位
t _{sX}	起動時間			96.5	ms

6.12.4.1.4 WKUP_LFOSC0 LVCMOS デジタル クロック ソース

図 6-21 に、WKUP_LFOSC0_XI を 1.8V LVCMOS 方形波デジタル クロック ソースに接続する場合に推奨される発振器接続を示します。

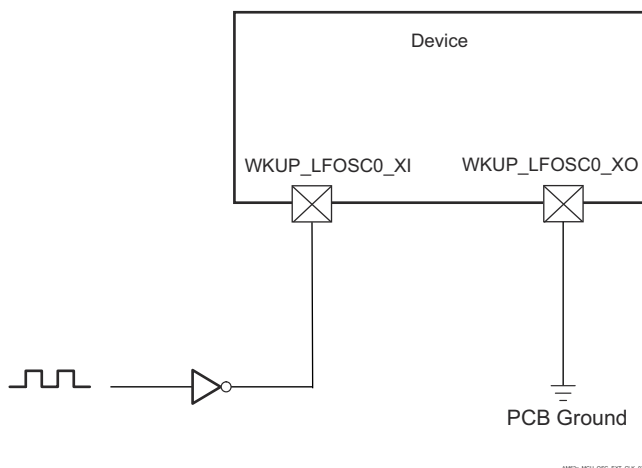


図 6-21. 1.8V LVCMOS 互換クロック入力

6.12.4.1.5 WKUP_LFOSC0 を使用しない場合

図 6-22 に、WKUP_LFOSC0 を使用しない場合に推奨される発振器接続を示します。

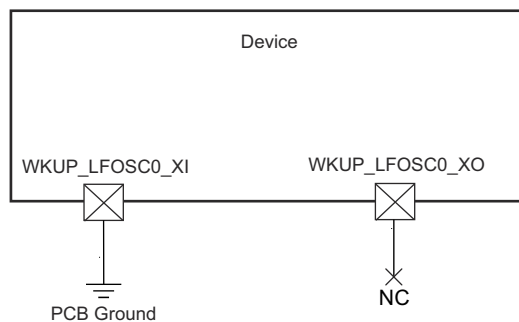


図 6-22. WKUP_LFOSC0 を使用しない場合

6.12.4.2 クロックおよび制御信号の遷移に関する推奨システム上の注意事項

すべてのクロック信号とストローク信号は、 V_{IH} と V_{IL} (または V_{IL} と V_{IH}) の間で単調に遷移する必要があります。

高速な信号遷移では、単調な遷移が発生する可能性が高くなります。遷移が低速な信号に対しては、ノイズにより容易に非単調なイベントが発生します。そのため、すべてのクロック信号と制御信号で低速な信号遷移は避けてください。これは、デバイス内でグリッチが発生する可能性が高いためです。

6.12.5 ペリフェラル

6.12.5.1 ATL

このデバイスには、オーディオの非同期サンプル レート変換に使用できる ATL モジュールが搭載されています。ATL は、オーディオ同期などの 2 つの時間ベース間の誤差を計算します。また、ソフトウェアによるサイクル スチールを使って、平均化されたクロックを生成することもできます。

注

ATL の詳細については、デバイスのテクニカル リファレンス マニュアルで「ペリフェラル」の章にある「オーディオ トラッキング ロジック (ATL)」セクションを参照してください。

ATL のタイミング条件

パラメータ		モード	最小値	最大値	単位
入力条件					
SR _I	入力スルーレート	内部または外部リファレンス CLK	0.5	5	V/ns
出力条件					
C _L	出力負荷容量	内部または外部リファレンス CLK	1	10	pF

ATL_AWS[x] のタイミング要件

番号	パラメータ	モード	最小値	最大値	単位
D4	t _{c(atl_awsx)}	サイクル時間、ATL_AWS[x] ⁽³⁾	外部基準クロック	2 × M ⁽¹⁾	ns
D5	t _{w(atl_awsLx)}	パルス幅、ATL_AWS[x] ⁽³⁾ Low	内部基準クロック	0.45 × A ⁽²⁾ + 2.5	ns
D6	t _{w(atl_awsHx)}	パルス幅、ATL_AWS[x] ⁽³⁾ High	内部基準クロック	0.45 × A ⁽²⁾ + 2.5	ns

(1) M = ATL_CLK[x] 周期

(2) A = ATL_AWS[x] 周期

(3) x = 0~3

ATL_BWS[x] のタイミング要件

番号	パラメータ	モード	最小値	最大値	単位
D7	t _{c(atl_bwsx)}	サイクル時間、ATL_BWS[x] ⁽³⁾	外部基準クロック	2 × M ⁽¹⁾	ns
D8	t _{w(atl_bwsLx)}	パルス幅、ATL_BWS[x] ⁽³⁾ Low	内部基準クロック	0.45 × B ⁽²⁾ + 2.5	ns
D9	t _{w(atl_bwsHx)}	パルス幅、ATL_BWS[x] ⁽³⁾ High	内部基準クロック	0.45 × B ⁽²⁾ + 2.5	ns

(1) M = ATL_CLK[x] 周期

(2) B = ATL_BWS[x] 周期

(3) x = 0~3

ATL_PCLK のタイミング要件

番号	パラメータ	モード	最小値	最大値	単位
D1	t _{c(pclk)}	サイクル時間、ATL_PCLK	外部基準クロック	5	ns
D2	t _{w(pclkL)}	パルス幅、ATL_PCLK low	外部基準クロック	0.45 × M ⁽¹⁾ + 2.5	ns

番号	パラメータ		モード	最小値	最大値	単位
D3	$t_{w(pclkH)}$	パルス幅、ATL_PCLK high	外部基準クロック	$0.45 \times M^{(1)} + 2.5$		ns

(1) $M = \text{ATL_CLK}[x]$ 周期

ATCLK[x] のスイッチング特性

番号	パラメータ		モード	最小値	最大値	単位
D1	$t_{c(atclk)}$	サイクル時間、ATCLK[x] ⁽³⁾	内部基準クロック	20		ns
D2	$t_{w(atclkL)}$	パルス幅、ATCLK[x] ⁽³⁾ Low	内部基準クロック	$0.45 \times P^{(2)} - M^{(1)} - 0.3$		ns
DJ3	$t_{w(atclkH)}$	パルス幅、ATCLK[x] ⁽³⁾ High	内部基準クロック	$0.45 \times P^{(2)} - M^{(1)} - 0.3$		ns

(1) $M = \text{ATL_CLK}[x]$ 周期

(2) $P = \text{ATCLK}[x]$ 周期

(3) $x = 0 \sim 3$

6.12.5.2 CPSW3G

本デバイスのギガビットイーサネット MAC の機能の詳細と追加の説明情報については、「信号の説明」および「詳細説明」セクションの対応するサブセクションを参照してください。

6.12.5.2.1 CPSW3G MDIO のタイミング

CPSW3G MDIO のタイミング条件

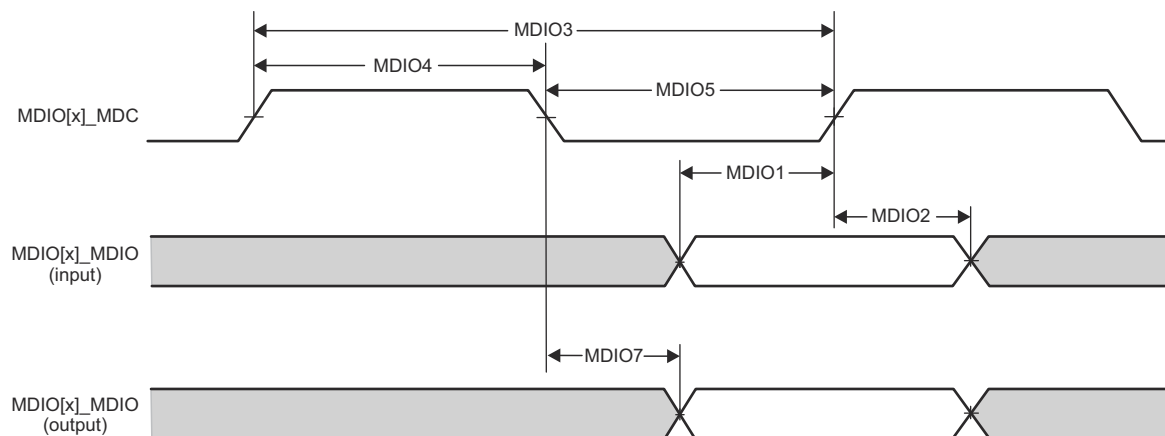
パラメータ		最小値	最大値	単位
入力条件				
SR _I	入力スループレート	0.9	3.6	V/ns
出力条件				
C _L	出力負荷容量	10	470	pF
PCB 接続要件				
t _d (パターン遅延)	各パターンの伝搬遅延	0	5	ns
t _d (パターン不整合遅延)	すべてのパターンにわたる伝搬遅延の不整合		1	ns

CPSW3G MDIO のタイミング要件

番号	パラメータ	説明	最小値	最大値	単位
MDIO1	t _{su} (MDIO-MDC)	セットアップ時間、MDIO_CLK High の前に MDIO_DATA が有効であるべき時間	45		ns
MDIO2	t _h (MDC-MDIO)	ホールド時間、MDIO_CLK High 後に MDIO_DATA を有効に保持すべき時間	0		ns

CPSW3G MDIO のスイッチング特性

番号	パラメータ	説明	最小値	最大値	単位
MDIO3	t _c (MDC)	サイクル時間、MDIO_CLK	400		ns
MDIO4	t _w (MDCH)	パルス幅、MDIO_CLK High	160		ns
MDIO5	t _w (MDCL)	パルス幅、MDIO_CLK Low	160		ns
MDIO7	t _d (MDC-MDIO)	遅延時間、MDIO_CLK Low から MDIO_DATA 有効まで	-10	10	ns



CPSW2G_MDIO_TIMING_01

図 6-23. CPSW3G MDIO のタイミング要件およびスイッチング特性

6.12.5.2.2 CPSW3G RMII のタイミング

CPSW3G RMII のタイミング条件

パラメータ			最小値	最大値	単位
入力条件					
SR _I	入力スルーレート	VDD = 1.8V	0.18	0.54	V/ns
		VDD = 3.3V	0.4	1.2	V/ns
出力条件					
C _L	出力負荷容量		3	25	pF

CPSW3G RMII[x]_REFCLK のタイミング要件 - RMII モード

番号	パラメータ	説明	最小値	最大値	単位
RMII1	t _c (REF_CLK)	サイクル時間、REF_CLK	19.999	20.001	ns
RMII2	t _w (REF_CLKH)	パルス幅、REF_CLK High	7	13	ns
RMII3	t _w (REF_CLKL)	パルス幅、REF_CLK, Low	7	13	ns

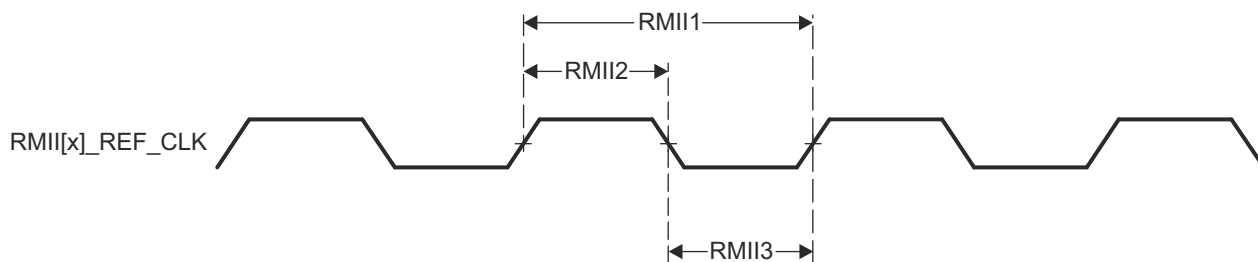


図 6-24. CPSW3G RMII[x]_REF_CLK のタイミング要件 – RMII モード

CPSW3G RMII[x]_RXD[1:0], RMII[x]_CRS_DV, RMII[x]_RXER のタイミング要件 - RMII モード

番号	パラメータ	説明	最小値	最大値	単位
RMII4	t _{su} (RXD-REF_CLK)	セットアップ時間、RX_CLK の前に RXD[1:0] が有効であるべき時間	4		ns
	t _{su} (CRS_DV-REF_CLK)	セットアップ時間、RX_CLK の前に CRS_DV が有効であるべき時間	4		ns
	t _{su} (RX_ER-REF_CLK)	セットアップ時間、RX_CLK の前に RX_ER が有効であるべき時間	4		ns
RMII5	t _h (REF_CLK-RXD)	ホールド時間、RX_CLK の後 RXD[1:0] を有効に保持すべき時間	2		ns
	t _h (REF_CLK-CRS_DV)	ホールド時間、REF_CLK の後 CRS_DV を有効に保持すべき時間	2		ns
	t _h (REF_CLK-RX_ER)	ホールド時間、REF_CLK の後 RX_ER を有効に保持すべき時間	2		ns

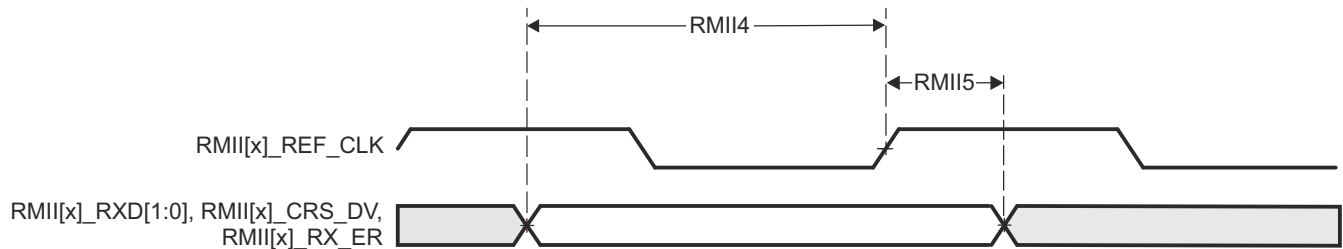


図 6-25. CPSW3G RMII[x]_RXD[1:0]、RMII[x]_CRS_DV、RMII[x]_RX_ER のタイミング要件 – RMII モード

CPSW3G RMII[x]_TXD[1:0]、RMII[x]_TXEN のスイッチング特性 - RMII モード

番号	パラメータ	説明	最小値	最大値	単位
RMII6	$t_{d(REF_CLK-TXD)}$	遅延時間、REF_CLK High から TXD[1:0] 有効まで	2	10	ns
	$t_{d(REF_CLK-TXEN)}$	遅延時間、REF_CLK から TXEN 有効まで	2	10	ns

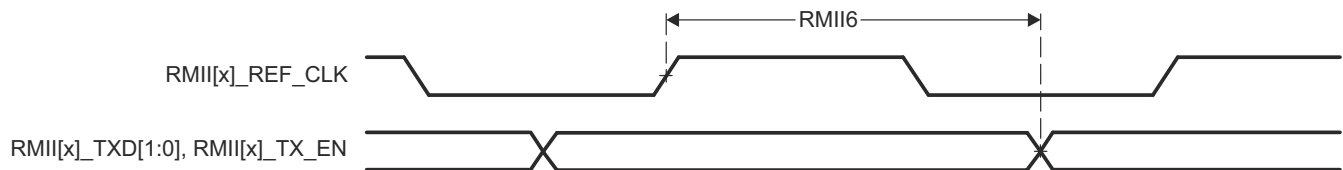


図 6-26. RMII[x]_TXD[1:0]、RMII[x]_TX_EN のスイッチング特性 – RMII モード

6.12.5.2.3 CPSW3G RGMII のタイミング

CPSW3G RGMII のタイミング条件

パラメータ		最小値	最大値	単位
入力条件				
SR _I	入力スルーレート	2.64	5	V/ns
出力条件				
C _L	出力負荷容量	2	20	pF
PCB 接続要件				
t_d (パターン不整合遅延)	すべてのパターンにわたる伝搬遅延の不整合	RGMII[x]_RXC RGMII[x]_RD[3:0] RGMII[x]_RX_CTL	50	ps
		RGMII[x]_TXC RGMII[x]_TD[3:0] RGMII[x]_TX_CTL	50	ps

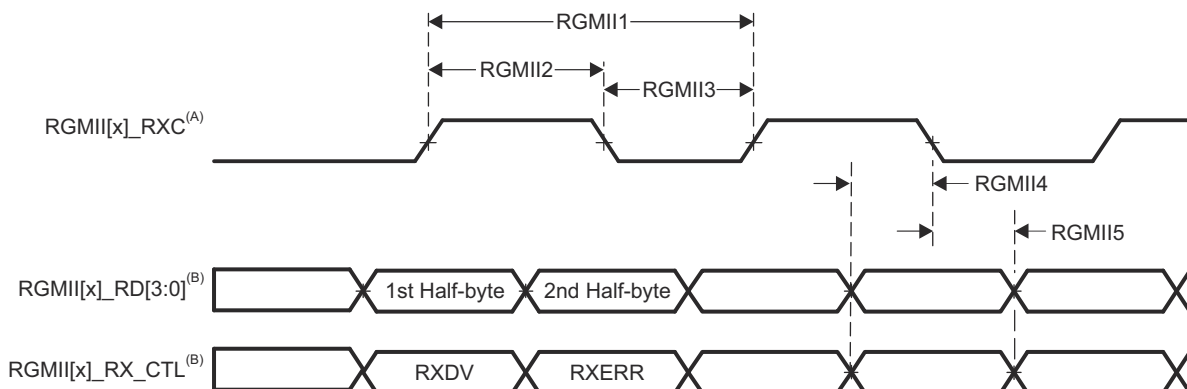
CPSW3G RGMII[x]_RCLK のタイミング要件 - RGMII モード

番号	パラメータ	説明	モード	最小値	最大値	単位
RGMII1	$t_{c(RXC)}$	サイクル時間、RXC	10Mbps	360	440	ns
			100Mbps	36	44	ns
			1000Mbps	7.2	8.8	ns
RGMII2	$t_w(RXCH)$	パルス幅、RXC high	10Mbps	160	240	ns
			100Mbps	16	24	ns
			1000Mbps	3.6	4.4	ns

番号	パラメータ	説明	モード	最小値	最大値	単位
RGMII3	tw(RXCL)	パルス幅、RXC low	10Mbps	160	240	ns
			100Mbps	16	24	ns
			1000Mbps	3.6	4.4	ns

CPSW3G RGMII[x]_RD[3:0]、RGMII[x]_RCTL のタイミング要件 - RGMII モード

番号	パラメータ	説明	モード	最小値	最大値	単位
RGMII4	t _{su} (RD-RXC)	セットアップ時間、RD[3:0] 有効から RXC High/Low まで	10Mbps	1		ns
			100Mbps	1		ns
			1000Mbps	1		ns
	t _{su} (RX_CTL-RXC)	セットアップ時間、RX_CTL 有効から RXC high/low まで	10Mbps	1		ns
			100Mbps	1		ns
			1000Mbps	1		ns
RGMII5	t _h (RXC-RD)	ホールド時間、RXC high/low から RD[3:0] 有効の間	10Mbps	1		ns
			100Mbps	1		ns
			1000Mbps	1		ns
	t _h (RXC-RX_CTL)	ホールド時間、RXC high/low から RX_CTL 有効の間	10Mbps	1		ns
			100Mbps	1		ns
			1000Mbps	1		ns



- A. RGMII[x]_RXC は、データピンと制御ピンに対して、外部的に遅延させる必要があります。
- B. データおよび制御情報は、クロックの両方のエッジを使用して受信されます。RGMII[x]_RD[3:0] は、RGMII[x]_RXC の立ち上がりエッジでデータビット 3～0 を、RGMII[x]_RXC の立ち下がりエッジでデータビット 7～4 を伝送します。同様に、RGMII[x]_RX_CTL は、RGMII[x]_RXC の立ち上がりエッジで RXDV を、RGMII[x]_RXC の立ち下がりエッジで RXERR を伝送します。

図 6-27. CPSW3G RGMII[x]_RXC、RGMII[x]_RD[3:0]、RGMII[x]_RX_CTL のタイミング要件 - RGMII モード

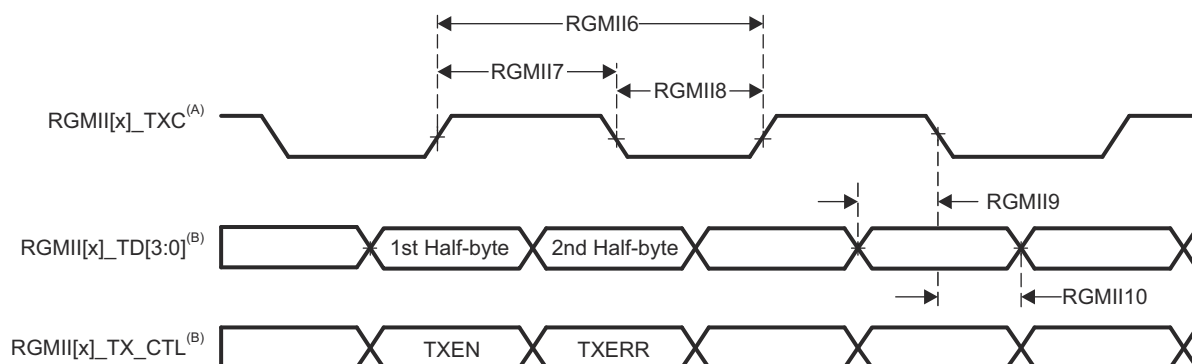
CPSW3G RGMII[x]_TCLK のスイッチング特性 - RGMII モード

番号	パラメータ	説明	モード	最小値	最大値	単位
RGMII6	t _c (TxC)	サイクル時間、TxC	10Mbps	360	440	ns
			100Mbps	36	44	ns
			1000Mbps	7.2	8.8	ns
RGMII7	t _w (TXCH)	パルス幅、TxC high	10Mbps	160	240	ns
			100Mbps	16	24	ns
			1000Mbps	3.6	4.4	ns

番号	パラメータ	説明	モード	最小値	最大値	単位
RGMII8	$t_w(\text{TXCL})$	パルス幅、TXC low	10Mbps	160	240	ns
			100Mbps	16	24	ns
			1000Mbps	3.6	4.4	ns

CPSW3G RGMII[x]_TD[3:0]、RGMII[x]_TCTL のスイッチング特性 - RGMII モード

番号	パラメータ	説明	モード	最小値	最大値	単位
RGMII9	$t_{\text{osu}}(\text{TD-TXC})$	出力セットアップ時間、RGMII[x]_TD[3:0] 有効から RGMII[x]_TXC High/Low まで	10Mbps	1.2		ns
			100Mbps	1.2		ns
			1000Mbps	1.2		ns
	$t_{\text{osu}}(\text{TX_CTL-TXC})$	出力セットアップ時間、RGMII[x]_TX_CTL 有効から RGMII[x]_TXC High/Low まで	10Mbps	1.2		ns
			100Mbps	1.2		ns
			1000Mbps	1.2		ns
RGMII10	$t_{\text{oh}}(\text{TXC-TD})$	出力ホールド時間、RGMII[x]_TXC High/Low から RGMII[x]_TD[3:0] 有効の間	10Mbps	1.2		ns
			100Mbps	1.2		ns
			1000Mbps	1.2		ns
	$t_{\text{oh}}(\text{TXC-TX_CTL})$	出力ホールド時間、RGMII[x]_TXC High/Low から RGMII[x]_TX_CTL 有効の間	10Mbps	1.2		ns
			100Mbps	1.2		ns
			1000Mbps	1.2		ns



- A. TXC は内部で遅延されてから、RGMII[x]_TXC ピンを駆動します。この内部遅延は常にイネーブルになっています。
- B. データおよび制御情報は、クロックの両方のエッジを使用して受信されます。RGMII[x]_TD[3:0] は、RGMII[x]_TXC の立ち上がりエッジでデータビット 3～0 を、RGMII[x]_TXC の立ち下がりエッジでデータビット 7～4 を伝送します。同様に、RGMII[x]_TX_CTL は RGMII[x]_TXC の立ち上がりエッジで TXEN を、RGMII[x]_TXC の立ち下がりエッジで TXERR を伝送します。

図 6-28. CPSW3G RGMII[x]_TXC、RGMII[x]_TD[3:0]、RGMII[x]_TX_CTL のスイッチング特性 – RGMII モード

6.12.5.3 ECAP

詳細については、デバイスのテクニカル リファレンス マニュアルで「ペリフェラル」の章にある「拡張キャプチャ (ECAP) モジュール」セクションを参照してください。

ECAP のタイミング条件

パラメータ		最小値	最大値	単位
入力条件				
SR _i	入力スループレート	1	4	V/ns
出力条件				
C _L	出力負荷容量	2	7	pF

ECAP のタイミング要件

番号	パラメータ	説明	最小値	最大値	単位
CAP1	t _w (CAP)	パルス幅、CAP (非同期)	2 × P ⁽¹⁾ + 1		ns

(1) P = sysclk 周期 (ns)。

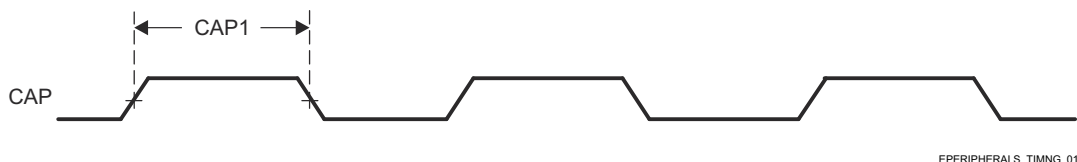


図 6-29. ECAP のタイミング要件

ECAP スイッチング特性

(1)

番号	パラメータ	説明	最小値	最大値	単位
CAP2	t _w (APWM)	パルス幅、APWMx High/Low	2 × P ⁽¹⁾ - 1		ns

(1) P = sysclk 周期 (ns 単位)

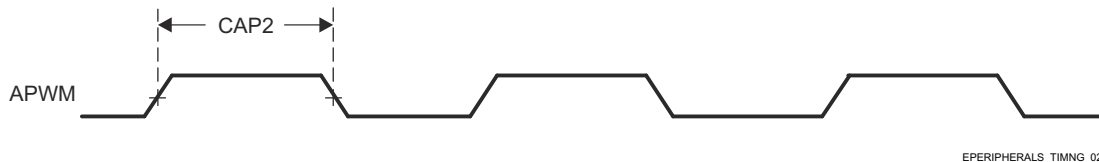


図 6-30. ECAP スイッチング特性

6.12.5.4 エミュレーションおよびデバッグ

本デバイスのトレースおよび JTAG インターフェイスの機能および追加の説明情報については、「信号の説明」および「詳細説明」セクションの対応するサブセクションを参照してください。

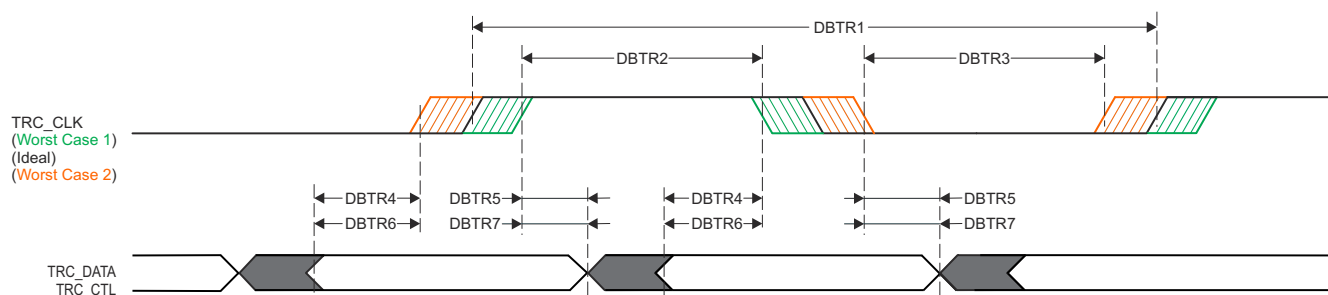
6.12.5.4.1 トレース

トレースのタイミング条件

パラメータ		最小値	最大値	単位
出力条件				
C_L	出力負荷容量	2	5	pF
出力条件				
t_d (Trace Mismatch)	すべてのパターンにわたる伝搬遅延の不整合		200	ps

トレースのスイッチング特性

番号	パラメータ	説明	モード	最小値	最大値	単位
DBTR1	t_C (TRC_CLK)	サイクル時間、TRC_CLK	1.8V	6.83		ns
			3.3V	8.78		
DBTR2	t_W (TRC_CLKH)	パルス幅、TRC_CLK High	1.8V	2.66		ns
			3.3V	3.64		
DBTR3	t_W (TRC_CLKL)	パルス幅、TRC_CLK Low	1.8V	2.66		ns
			3.3V	3.64		
DBTR4	t_{osu} (TRC_DATAV-TRC_CLK)	出力セットアップ時間、TRC_DATA 有効から TRC_CLK エッジまで	1.8V	0.85		ns
			3.3V	1.1		
DBTR5	t_{oh} (TRC_CLK-TRC_DATAI)	出力ホールド時間、TRC_CLK エッジから TRC_DATA 無効まで	1.8V	0.85		ns
			3.3V	1.1		
DBTR6	t_{osu} (TRC_CTLV-TRC_CLK)	出力セットアップ時間、TRC_CTL 有効から TRC_CLK エッジまで	1.8V	0.85		ns
			3.3V	1.1		
DBTR7	t_{oh} (TRC_CLK-TRC_CTLI)	出力ホールド時間、TRC_CLK エッジから TRC_CTL 無効まで	1.8V	0.85		ns
			3.3V	1.1		



SPRSP08_Debug_01

図 6-31. トレースのスイッチング特性

6.12.5.4.2 JTAG

JTAG のタイミング条件

パラメータ		最小値	最大値	単位
入力条件				
SR _i	入力スルーレート	0.5	2.00	V/ns
出力条件				
C _L	出力負荷容量	5	15	pF
PCB 接続要件				
t _d (Trace Delay)	各パターンの伝搬遅延	83.5	1000 ⁽¹⁾	ps
t _d (Trace Mismatch Delay)	すべてのパターンにわたる伝搬遅延の不整合		100	ps

- (1) JTAG 信号トレースに関連する最大伝搬遅延は、最大 TCK 動作周波数に大きな影響を及ぼします。トレース遅延をこの値より大きくすることも可能ですが、追加のトレース遅延を考慮して TCK の動作周波数を下げる必要があります。

JTAG のタイミング要件

番号	パラメータ	説明	最小値	最大値	単位
J1	t _c (TCK)	サイクル時間、TCK	40 ⁽¹⁾		ns
J2	t _w (TCKH)	パルス幅、TCK HIGH	0.4 × P ⁽²⁾		ns
J3	t _w (TCKL)	パルス幅、TCK LOW	0.4 × P ⁽²⁾		ns
J4	t _{su} (TDI-TCKH)	入力セットアップ時間、TDI 有効から TCK High まで	2		ns
	t _{su} (TMS-TCKH)	入力セットアップ時間、TMS 有効から TCK High まで	2		
J5	t _h (TCK-TDI)	入力ホールド時間、TCK High から TDI 有効の間	3		ns
	t _h (TCK-TMS)	入力ホールド時間、TCK High から TMS 有効の間	3		

- (1) 最大 TCK 動作周波数は、接続されているデバッガについて、次のタイミング要件およびスイッチング特性を想定しています。デバッガがこれらの前提のいずれかを上回る場合、適切なタイミング マージンを確保するために、TCK の動作周波数を下げる必要があります。

- 最小 TDO セットアップ時間は、TCK の立ち上がりエッジに対して 2ns
- TCK の立ち下がりエッジに対して -12.9ns～13.9ns の範囲の TDI および TMS 出力遅延

- (2) P = TCK サイクル時間 (ns 単位)

JTAG スイッチング特性

番号	パラメータ	説明	最小値	最大値	単位
J6	t _d (TCKL-TDOI)	遅延時間、TCK Low から TDO 無効まで	0		ns
J7	t _d (TCKL-TDOV)	遅延時間、TCK LOW から TDO 有効まで		12	ns

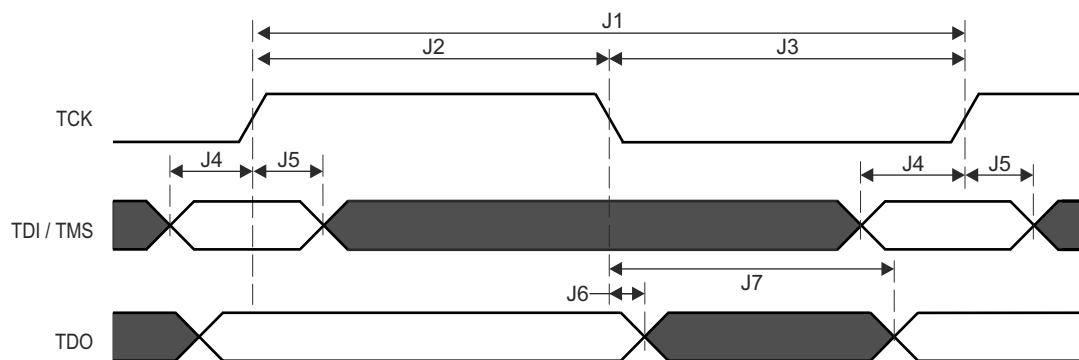


図 6-32. JTAG のタイミング要件およびスイッチング特性

6.12.5.5 EPWM

詳細については、デバイスのテクニカル リファレンス マニュアルで「ペリフェラル」の章にある「拡張パルス幅変調 (EPWM) モジュール」セクションを参照してください。

EPWM のタイミング条件

パラメータ		最小値	最大値	単位
入力条件				
SR _i	入力スレーレート	1	4	V/ns
出力条件				
C _L	出力負荷容量	2	7	pF

EPWM のタイミング要件

番号	パラメータ	説明	最小値	最大値	単位
PWM6	t _w (SYNCIN)	パルス幅、EHRPWM_SYNCIN	2 × P ⁽¹⁾ + 2		ns
PWM7	t _w (TZ)	パルス幅、EHRPWM_TZn_IN low	3 × P ⁽¹⁾ + 2		ns

(1) P = sysclk 周期 (ns)。

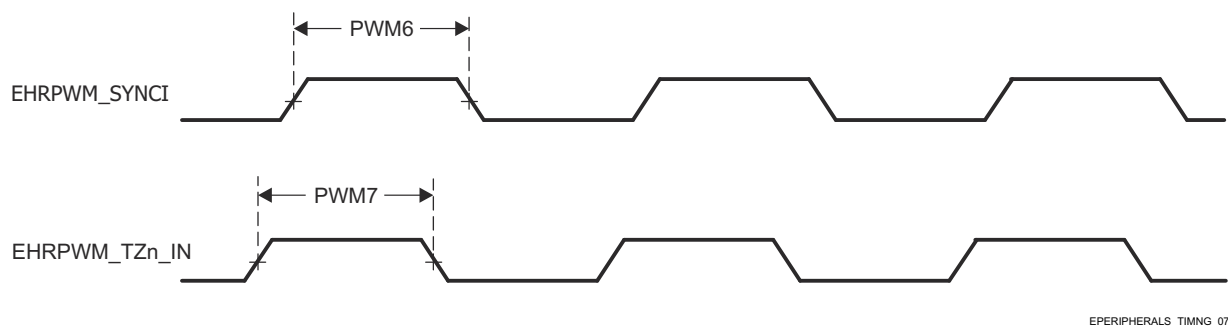


図 6-33. EPWM のタイミング要件

EPWM スイッチング特性

番号	パラメータ	説明	最小値	最大値	単位
PWM1	t _w (PWM)	パルス幅、EHRPWM_A/B High または Low	P ⁽¹⁾ - 3		ns
PWM2	t _w (SYNCOUT)	パルス幅、EHRPWM_SYNCO	P ⁽¹⁾ - 3		ns
PWM3	t _d (TZ-PWM)	遅延時間、EHRPWM_TZn_IN アクティブから EHRPWM_A/B が強制的に High/Low になるまで		11	ns
PWM4	t _d (TZ-PWMZ)	遅延時間、EHRPWM_TZn_IN アクティブから EHRPWM_A/B Hi-Z まで		11	ns
PWM5	t _w (SOC)	パルス幅、EHRPWM_SOC A/B 出力	P ⁽¹⁾ - 3		ns

(1) P = sysclk 周期 (ns)。

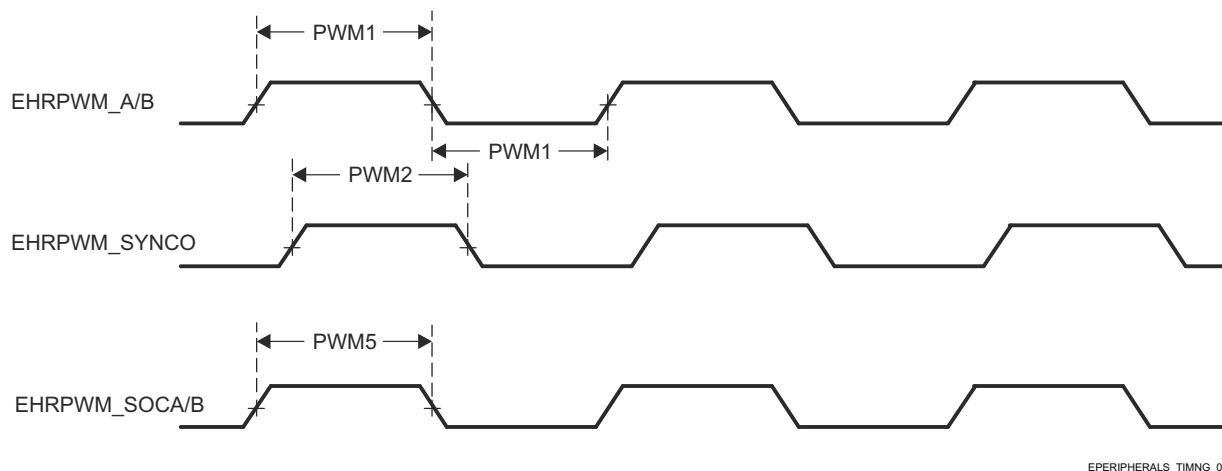


図 6-34. EHRPWM スイッチング特性

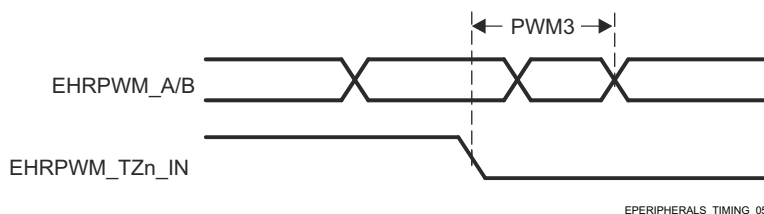


図 6-35. EHRPWM_TZn_IN から EHRPWM_A/B 強制へのスイッチング特性

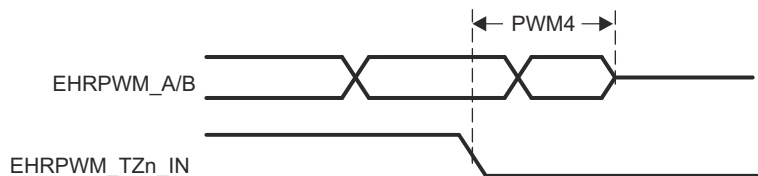


図 6-36. EHRPWM_TZn_IN から EHRPWM_A/B Hi-Z へのスイッチング特性

詳細については、デバイスのテクニカル リファレンス マニュアルで「ペリフェラル」の章にある「拡張パルス幅変調 (EPWM) モジュール」セクションを参照してください。

6.12.5.6 GPIO

このデバイスには、3 個の GPIO モジュール インスタンスがあります。

- MCU_GPIO0
- GPIO0
- GPIO1

注

GPIO_n_x は、GPIO 信号を記述するために使用される一般的な名前です。ここで、n は特定の GPIO モジュールを表し、x はモジュールに関連付けられた入出力信号の 1 つを表します。

詳細については、デバイスのテクニカル リファレンス マニュアルで「ペリフェラル」の章にある「汎用インターフェイス (GPIO)」セクションを参照してください。

GPIO のタイミング条件

パラメータ		バッファのタイプ	最小値	最大値	単位
入力条件					
SR _I	入力スルーレート	LVC MOS	0.2	6.6	V/ns
		I2C OD FS ⁽¹⁾	0.0033	0.08	V/ns
出力条件					
C _L	出力負荷容量	LVC MOS	3	10	pF
		I2C OD FS ⁽¹⁾	3	100	pF

(1) バッファタイプ I2C OD FS には、プルアップ抵抗が必要です。

GPIO のタイミング要件

番号	パラメータ	説明	バッファのタイプ	最小値	最大値	単位
D3	t _w (GPIO_IN)	最小入力パルス幅	LVC MOS	2P ⁽¹⁾ + 3		ns
D4			I2C OD FS ⁽²⁾	2P ⁽¹⁾ + 28		ns

(1) P = 機能クロック周期 (ns 単位)。

(2) バッファタイプ I2C OD FS には、プルアップ抵抗が必要です。

GPIO スイッチング特性

番号	パラメータ	説明	バッファのタイプ	最小値	最大値	単位
D1	t _w (GPIO_OUT)	最小出力パルス幅	LVC MOS	0.975P ⁽¹⁾ - 3.6		ns
D2	t _w (GPIO_OUT)	最小出力パルス幅 Low	I2C OD FS ⁽²⁾	160		ns
D3	t _w (GPIO_OUT)	最小出力パルス幅 High	I2C OD FS ⁽²⁾	160		ns

(1) P = 機能クロック周期 (ns 単位)。

(2) バッファタイプ I2C OD FS には、プルアップ抵抗が必要です。

6.12.5.7 HyperBus

詳細については、デバイスのテクニカル リファレンス マニュアルで「ペリフェラル」の章にある「HyperBus モジュール」セクションを参照してください。

HyperBus のタイミング条件

パラメータ		最小値	最大値	単位
入力条件				
SR _I	入力スルーレート	2	5	V/ns
出力条件				
C _L	出力負荷容量	1.5	8	pF

HyperBus のタイミング要件

番号	パラメータ	説明	最小値	最大値	単位
D1	t _w (RESETn)	パルス幅、RESETn	200		ns
D2	t _w (csL)	パルス幅、チップ セレクト	1000		ns
D3	t _d (RESETnH-csL)	遅延時間、RESETn 非アクティブから CSn アクティブまで	200.34		ns
D4	t _d (csL-RWDSL)	遅延時間、CSn アクティブから RWDS 立ち下がりまで	186		ns

HyperBus 166 MHz のスイッチング特性

番号	パラメータ	説明	最小値	最大値	単位
D5	t _{skn} (rwsX-dV)	入力スキュー、RWDS 遷移から D0:D7 有効まで	-0.46	0.46	ns
D6	t _c (clk/clk _n)	CLK 周期、CLK/CLK _n	6		ns
D7	t _w (clk/clk _n)	パルス幅、CLK/CLK _n	2.7		ns
D8	t _w (csIV)	パルス幅、動作間の CS0 無効	6		ns
D9	t _d (clkH-csL)	遅延時間、CS0 アクティブから CLK 立ち上がり / CLK _n 立ち下がりまで		-3.28	
D10	t _d (clkL[LE]-csH)	遅延時間、最後の CLK 立ち下がり / CLK _n 立ち上がりエッジから CS0 非アクティブまで	0.28		ns
D11	t _d (clkX-rwsV)	遅延時間、CLK 遷移から RWDS 有効まで	0.88	2.14	
D12	t _d (clkX-d[0:7]V)	遅延時間、CLK 遷移から D0:D7 有効まで	0.71	2.3	

HyperBus 100 MHz のスイッチング特性

番号	パラメータ	説明	最小値	最大値	単位
LFD5	t _{skn} (rwsX-dV)	入力スキュー、RWDS 遷移から D0:D7 有効まで	-0.81	0.81	ns
LFD6	t _c (clk/clk _n)	CLK 周期、CLK/CLK _n	10		ns
LFD7	t _w (clk/clk _n)	パルス幅、CLK/CLK _n	4.75		ns
LFD8	t _w (csIV)	パルス幅、動作間の CS0 無効	10		ns
LFD9	t _d (clkH-csL)	遅延時間、CS0 アクティブから CLK 立ち上がり / CLK _n 立ち下がりまで		-3.51	
LFD10	t _d (clkL[LE]-csH)	遅延時間、最後の CLK 立ち下がり / CLK _n 立ち上がりエッジから CS0 非アクティブまで	0.51		ns
LFD11	t _d (clkX-rwsV)	遅延時間、CLK 遷移から RWDS 有効まで	1.51	3.49	
LFD12	t _d (clkX-d[0:7]V)	遅延時間、CLK 遷移から D0:D7 有効まで	1.34	3.66	

6.12.5.8 I2C

このデバイスには、8 つの マルチコントローラ I2C (Inter-Integrated Circuit) コントローラが搭載されています。各 I2C コントローラは、Philips I²C-bus™ 仕様バージョン 2.1 に準拠するように設計されています。ただし、本デバイスの IO は、I2C の電氣的仕様に完全には準拠していません。サポートされる速度と例外について、以下にポートごとに説明します。

- I2C0、I2C1、I2C2、I2C3、I2C4、I2C5、I2C6
 - 速度:
 - スタンダード モード (最大 100kbit/s)
 - 1.8V
 - 3.3V
 - ファースト モード (最大 400kbit/s)
 - 1.8V
 - 3.3V
 - 例外:
 - これらのポートに関連付けられている IO は、I2C 仕様で定義されている立ち下がり時間要件に準拠していません。この IO には、より高性能の LVCMOS プッシュプル IO が実装されているためです。これらは、I2C 互換 IO では実装できない他の信号機能をサポートするように設計されています。これらのポートで使用されている LVCMOS IO は、オープンドレイン出力をエミュレートするように接続されます。このエミュレーションは、強制的に常に Low を出力し、出力バッファを無効にして、Hi-Z 状態にすることにより実行されます。
 - I2C 仕様では、最大入力電圧 V_{IH} が $(V_{DD_{max}} + 0.5V)$ と定義されています。これは、デバイスの IO の絶対最大定格を超えています。I2C 信号が、このデータシートの絶対最大定格セクションに定義された制限を超えないようにシステムを設計する必要があります。
- WKUP_I2C0
 - 速度:
 - スタンダード モード (最大 100kbit/s)
 - 1.8V
 - 3.3V
 - ファースト モード (最大 400kbit/s)
 - 1.8V
 - 3.3V
 - Hs モード (最大 3.4Mbits/s)
 - 1.8V
 - 例外:
 - これらのポートに関連付けられている IO は、3.3V で動作しているときに Hs モードをサポートするには設計されていません。したがって、Hs モードは 1.8V 動作に限定されます。
 - これらのポートに接続された I2C 信号の立ち上がりおよび立ち下がり時間は、スルーレート 0.08V/ns (すなわち 8E+7 V/s) を超えないようにする必要があります。この制限は、I2C 仕様で定義されている最小立ち下がり時間の制限よりも厳しいものです。したがって、立ち上がりおよび立ち下がり時間が 0.08V/ns のスルーレートを上回らないように、I2C 信号に容量を追加する必要がある場合があります。
 - I2C 仕様では、最大入力電圧 V_{IH} が $(V_{DD_{max}} + 0.5V)$ と定義されています。これは、デバイスの IO の絶対最大定格を超えています。I2C 信号が、このデータシートの絶対最大定格セクションに定義された制限を超えないようにシステムを設計する必要があります。

注

I2C3 には、複数のピンに多重化可能な信号が 1 つ以上あります。タイミングは、IOSET と呼ばれる特定のピンの組み合わせに対してのみ有効です。このインターフェイスに有効なピンの組み合わせ (IOSET) は、[SysConfig-PinMux ツール](#) で定義されます。

タイミングの詳細については、Philips I2C-bus 仕様バージョン 2.1 を参照してください。

本デバイスの **Inter-integrated Circuit** の機能の詳細と追加の説明情報については、*信号の説明* および *詳細説明* セクションの対応するサブセクションを参照してください。

6.12.5.9 MCAN

本デバイスのコントローラ エリア ネットワーク インターフェイスの機能の詳細と追加の説明情報については、「信号の説明」および「詳細説明」セクションの対応するサブセクションを参照してください。

注

このデバイスは、複数の MCAN モジュールを備えています。MCANn は、MCAN 信号名に適用される全般的な接頭辞です。ここで、n は特定の MCAN モジュールを表します。

詳細については、デバイスのテクニカル リファレンス マニュアルで「ペリフェラル」の章にある「コントローラ エリア ネットワーク (MCAN)」セクションを参照してください。

MCAN のタイミング条件

パラメータ		最小値	最大値	単位
入力条件				
SR _i	入力スルーレート	0.33	15	V/ns
出力条件				
C _L	出力負荷容量	5	20	pF

MCAN スイッチング特性

番号	パラメータ	説明	最小値	最大値	単位
M1	t _{d(MCAN_TX)}	遅延時間、送信シフトレジスタから MCANn_TX ピンまで		10	ns
M2	t _{d(MCAN_RX)}	遅延時間、MCANn_RX ピンから受信シフトレジスタまで		10	ns

6.12.5.10 MCASP

注

McASP には 1 つ以上の信号があり、複数のピンに多重化できます。このセクションで定義されるタイミング要件およびスイッチング特性は、IOSET として知られている特定のピンの組み合わせにのみ有効です。このインターフェイスの有効なピンの組み合わせまたは IOSET は、[SysConfig-PinMux ツール](#)で定義されます。

詳細については、デバイスのテクニカル リファレンス マニュアルで「ペリフェラル」の章にある「マルチチャネル オーディオ シリアル ポート (MCASP)」セクションを参照してください。

MCASP のタイミング条件

パラメータ		最小値	最大値	単位
入力条件				
SR _i	入力スループレート	0.7	5	V/ns
出力条件				
C _L	出力負荷容量	1	10	pF
PCB 接続要件				
t _d (Trace Delay)	各パターンの伝搬遅延	100	1100	ps
t _d (Trace Mismatch Delay)	すべてのパターンにわたる伝搬遅延の不整合		100	ps

MCASP のタイミング要件

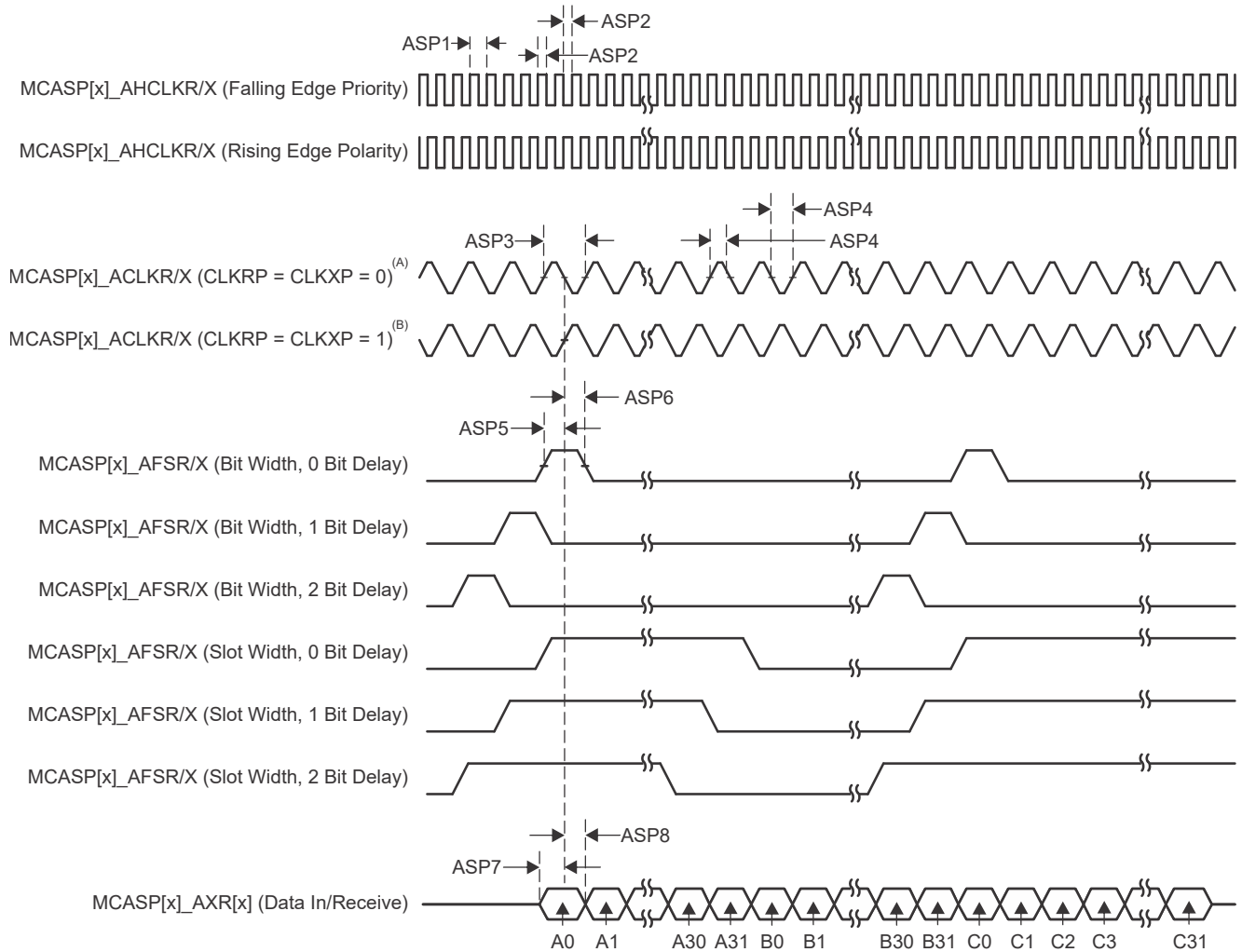
番号	パラメータ	説明	モード ⁽¹⁾	最小値	最大値	単位
ASP1	t _c (AHCLKRX)	サイクル時間、MCASP[x]_AHCLKR/X ⁽⁴⁾		20		ns
ASP2	t _w (AHCLKRX)	パルス幅、MCASP[x]_AHCLKR/X ⁽⁴⁾ high または low		0.5P ⁽²⁾	1.53	ns
ASP3	t _c (ACLKRX)	サイクル時間、MCASP[x]_ACLKR/X ⁽⁴⁾		20		ns
ASP4	t _w (ACLKRX)	パルス幅、MCASP[x]_ACLKR/X ⁽⁴⁾ High または Low		0.5R ⁽³⁾	1.53	ns
ASP5	t _{su} (AFSRX-ACLKRX)	セットアップ時間、MCASP[x]_ACLKR/X ⁽⁴⁾ 前に MCASP[x]_AFSR/X ⁽⁴⁾ 入力があるべき時間	ACLKR/X 内部	9.29		ns
			ACLKR/X 外部入力 / 出力	4		ns
ASP6	t _h (ACLKRX-AFSRX)	ホールド時間、MCASP[x]_ACLKR/X ⁽⁴⁾ から MCASP[x]_AFSR/X ⁽⁴⁾ 入力有効まで	ACLKR/X 内部	-1		ns
			ACLKR/X 外部入力 / 出力	1.6		ns
ASP7	t _{su} (AXR-ACLKRX)	セットアップ時間、MCASP[x]_ACLKR/X ⁽⁴⁾ 前に MCASP[x]_AXR ⁽⁴⁾ 入力があるべき時間	ACLKR/X 内部	9.29		ns
			ACLKR/X 外部入力 / 出力	4		ns
ASP8	t _h (ACLKRX-AXR)	ホールド時間、MCASP[x]_ACLKR/X ⁽⁴⁾ から MCASP[x]_AXR ⁽⁴⁾ 入力有効まで	ACLKR/X 内部	-1		ns
			ACLKR/X 外部入力 / 出力	1.6		ns

- (1) ACLKR 内部: ACLKRCTL.CLKRM = 1, PDIR.ACLKR = 1
ACLKR 外部入力: ACLKRCTL.CLKRM = 0, PDIR.ACLKR = 0
ACLKR 外部出力: ACLKRCTL.CLKRM = 0, PDIR.ACLKR = 1
ACLKX 内部: ACLKXCTL.CLKXM = 1, PDIR.ACLKX = 1
ACLKX 外部入力: ACLKXCTL.CLKXM = 0, PDIR.ACLKX = 0
ACLKX 外部出力: ACLKXCTL.CLKXM = 0, PDIR.ACLKX = 1

- (2) P = AHCLKR/X 周期 (ns 単位)。AHCLKR/X クロック ソース オプションの詳細については、テクニカル リファレンス マニュアルにある「モジュール統合」の章の「マルチチャネル オーディオ シリアル ポート (MCASP)」セクションの「McASP クロック」表を参照してください。

- (3) R = ACLKR/X 周期 (ns 単位)。

- (4) MCASP[x]_* の x は 0、1、2、3、または 4



- A. CLKRP = CLKXP = 0 の場合、MCASP トランスミッタは立ち上がりエッジ (シフト データ アウト) に構成され、MCASP レシーバは立ち下がりエッジ (シフト データ イン) に構成されます。
- B. CLKRP = CLKXP = 1 の場合、MCASP トランスミッタは立ち下がりエッジ (シフト データ アウト) に構成され、MCASP レシーバは立ち上がりエッジ (シフト データ イン) に構成されます。

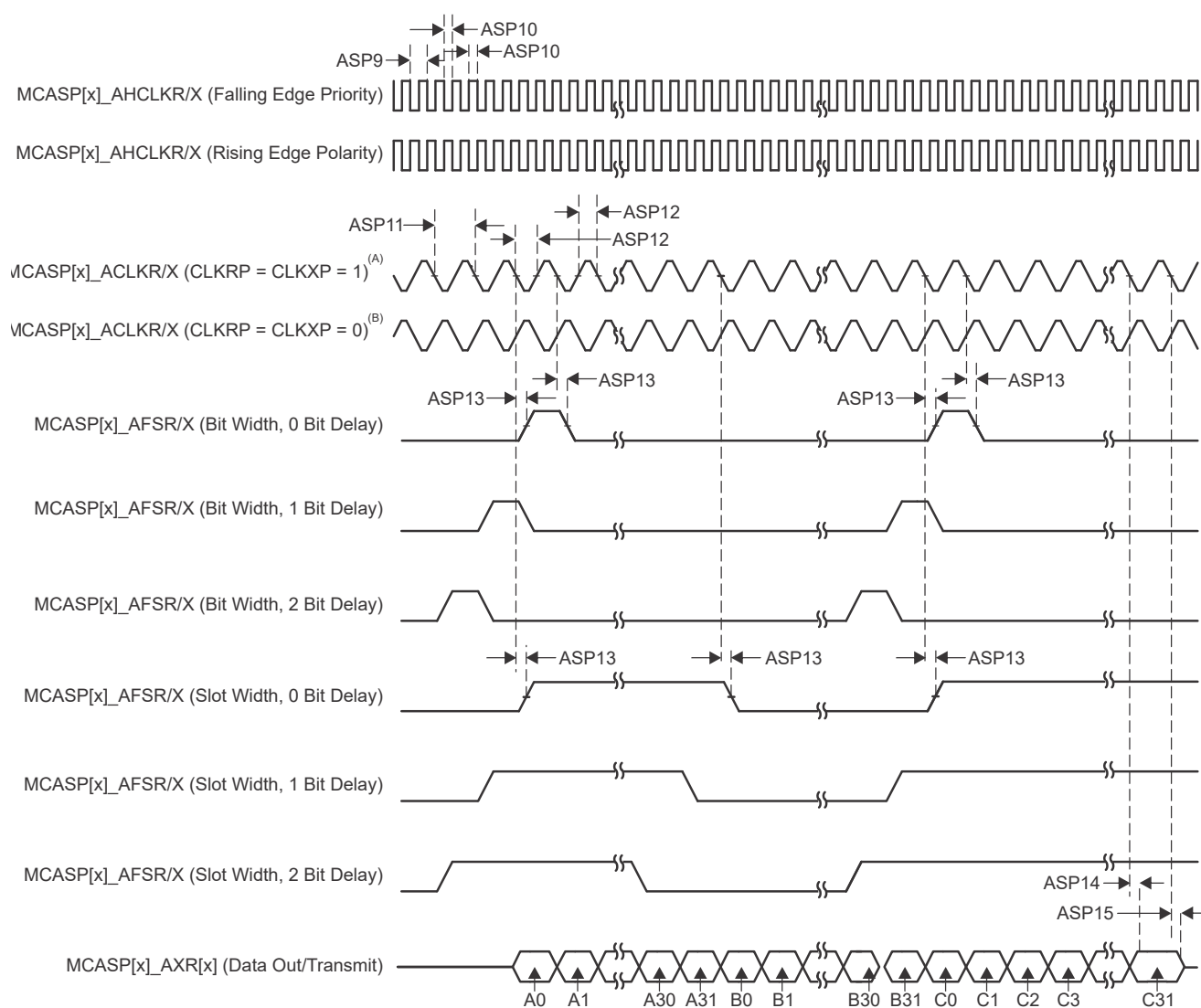
図 6-37. MCASP のタイミング要件

MCASP スイッチング特性

番号	パラメータ	説明	モード ⁽¹⁾	最小値	最大値	単位
ASP9	$t_{c(AHCLKRX)}$	サイクル時間、MCASP[x]_AHCLKR/X ⁽⁴⁾		20		ns
ASP10	$t_{w(AHCLKRX)}$	パルス幅、MCASP[x]_AHCLKR/X ⁽⁴⁾ high または low		0.5P ⁽²⁾ - 2		ns
ASP11	$t_{c(ACLKRX)}$	サイクル時間、MCASP[x]_ACLKR/X ⁽⁴⁾		20		ns
ASP12	$t_{w(ACLKRX)}$	パルス幅、MCASP[x]_ACLKR/X ⁽⁴⁾ High または Low		0.5R ⁽³⁾ - 2		ns
ASP13	$t_{d(ACLKRX-AFSRX)}$	遅延時間、MCASP[x]_ACLKR/X ⁽⁴⁾ 送信エッジから MCASP[x]_AFSR/X ⁽⁴⁾ まで	ACLKR/X 内部	-1	7.25	ns
			ACLKR/X 外部入力 / 出力	-15.29	12.84	ns
ASP14	$t_{d(ACLKX-AXR)}$	遅延時間、MCASP[x]_ACLKX ⁽⁴⁾ 送信エッジから MCASP[x]_AXR ⁽⁴⁾ まで	ACLKR/X 内部	-1	7.25	ns
			ACLKR/X 外部入力 / 出力	-15.29	12.84	ns

番号	パラメータ	説明	モード ⁽¹⁾	最小値	最大値	単位
ASP15	$t_{dis(ACLKX-AXR)}$	ディスエーブル時間、MCASP[x]_ACLKX ⁽⁴⁾ 送信エッジから MCASP[x]_AXR ⁽⁴⁾ 出力ハイ インピーダンスまで	ACLKR/X 内部	-1	7.25	ns
			ACLKR/X 外部入力 / 出力	-14.9	14	ns

- (1) ACLKR 内部: ACLKRCTL.CLKRM = 1, PDIR.ACLKR = 1
 ACLKR 外部入力: ACLKRCTL.CLKRM = 0, PDIR.ACLKR = 0
 ACLKR 外部出力: ACLKRCTL.CLKRM = 0, PDIR.ACLKR = 1
 ACLKX 内部: ACLKXCTL.CLKXM = 1, PDIR.ACLKX = 1
 ACLKX 外部入力: ACLKXCTL.CLKXM = 0, PDIR.ACLKX = 0
 ACLKX 外部出力: ACLKXCTL.CLKXM = 0, PDIR.ACLKX = 1
- (2) P = AHCLKR/X 周期 (ns 単位)。AHCLKR/X クロック ソース オプションの詳細については、テクニカルリファレンス マニュアルにある「モジュール統合」の章の「マルチチャネル オーディオシリアルポート (MCASP)」セクションの「McASP クロック」表を参照してください。
- (3) R = ACLKR/X 周期 (ns 単位)。
- (4) MCASP[x]_* の x は 0、1、2、3、または 4



- A. CLKRP = CLKXP = 1 の場合、MCASP トランスミッタは立ち下がりエッジ (シフト データ アウト) に構成され、MCASP レシーバは立ち上がりエッジ (シフト データ イン) に構成されます。

- B. CLKRP = CLKXP = 0 の場合、MCASP トランスミッタは立ち上がりエッジ (シフト データ アウト) に構成され、MCASP レシーバは立ち下がりエッジ (シフト データ イン) に構成されます。

図 6-38. MCASP スイッチング特性

6.12.5.11 MCSPI

注

McSPI には、複数のピンに多重化可能な信号が 1 つ以上あります。このセクションで定義されているタイミング要件とスイッチング特性は、IOSET と呼ばれる特定のピンの組み合わせにのみ有効です。このインターフェイスに有効なピンの組み合わせ (IOSET) は、[SysConfig-PinMux ツール](#)で定義されます。

本デバイスのシリアル ポート インターフェイスの機能の詳細と追加の説明情報については、「信号の説明」および「詳細説明」の対応するサブセクションを参照してください。

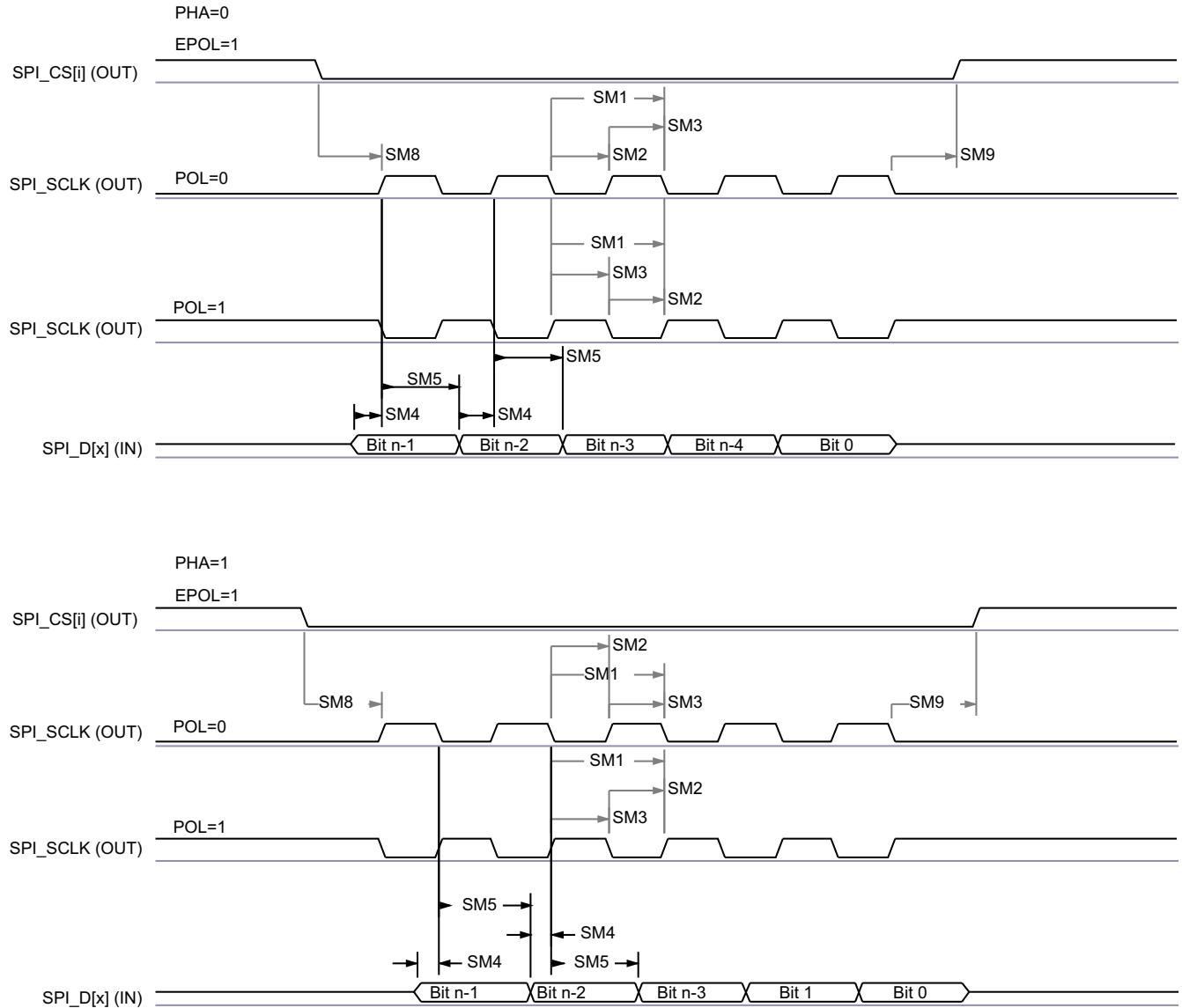
詳細については、デバイスのテクニカル リファレンス マニュアルで「ペリフェラル」の章にある「マルチチャネル シリアル ペリフェラル インターフェイス (MCSPI)」セクションを参照してください。

MCSPI のタイミング条件

パラメータ		最小値	最大値	単位
入力条件				
SR _I	入力スルーレート	2	8.5	V/ns
出力条件				
C _L	出力負荷容量	2	12	pF

MCSPI のタイミング要件 - コントローラ モード

番号	パラメータ	説明	最小値	最大値	単位
SM4	t _{su} (POCI-SPICLK)	セットアップ時間、SPIn_D[x] 有効から SPIn_CLK アクティブ エッジまで	2.8		ns
SM5	t _h (SPICLK-POCI)	ホールド時間、SPIn_CLK のアクティブ エッジ後に SPIn_D[x] を有効に保持すべき時間	3		ns



SPRSP08_TIMING_MC_SPI_02

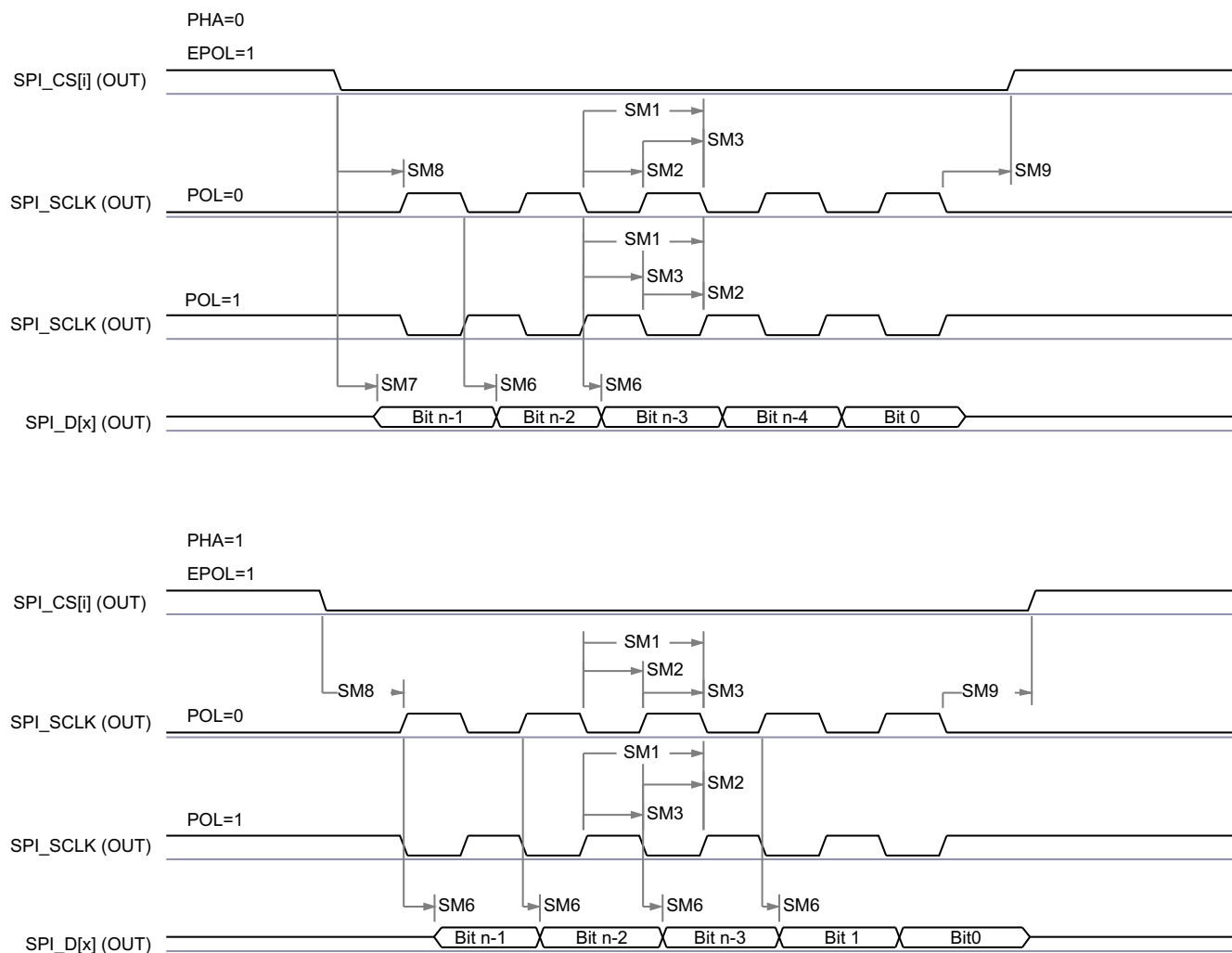
図 6-39. SPI コントローラ モードの受信タイミング

MCSPi のスイッチング特性 - コントローラ モード

番号	パラメータ	説明	最小値	最大値	単位
SM1	$t_c(\text{SPICLK})$	サイクル時間、SPIn_CLK	20		ns
SM2	$t_w(\text{SPICLK}_L)$	パルス幅、SPIn_CLK Low	$0.5P - 1^{(1)}$		ns
SM3	$t_w(\text{SPICLK}_H)$	パルス幅、SPIn_CLK High	$0.5P - 1^{(1)}$		ns
SM6	$t_d(\text{SPICLK-PICO})$	遅延時間、SPIn_CLK アクティブ エッジから SPIn_D[x] まで	-3	2.5	ns
SM7	$t_d(\text{CS-PICO})$	遅延時間、SPIn_CSi アクティブ エッジから SPIn_D[x] まで	5		ns
SM8	$t_d(\text{CS-SPICLK})$	遅延時間、SPIn_CSi アクティブから SPIn_CLK の最初のエッジまで	PHA = 0	$B^{(2)} - 4$	ns
			PHA = 1	$A^{(3)} - 4$	ns

番号	パラメータ	説明	最小値	最大値	単位
SM9	$t_d(\text{SPICLK-CS})$	遅延時間、SPIn_CLK の最後のエッジから SPIn_CSi 非アクティブまで	PHA = 0	A ⁽³⁾ - 4	ns
			PHA = 1	B ⁽²⁾ - 4	ns

- (1) P = SPI クロック周期 (ns)
- (2) T_{ref} は、McSPI 機能クロックの周期です (ns 単位)。Fratio は、McSPI 機能クロックの周波数と SPIn_CLK クロックの周波数との分周比で、MSPI_CH(i)CONF レジスタの CLKD および CLKG ビットフィールド、および MSPI_CH(i)CTRL レジスタの EXTCLK ビットフィールドによって制御されます。TCS(i) は、MSPI_CH(i)CONF レジスタのチップ セレクト時間制御ビット フィールドにプログラムされる値です。
- Fratio = 1 のとき、 $B = (\text{TCS}(i) + 0.5) * T_{\text{ref}}$ 。
 - Fratio ≥ 2 かつ偶数のとき、 $B = (\text{TCS}(i) + 0.5) * \text{Fratio} * T_{\text{ref}}$ 。
 - Fratio ≥ 3 かつ奇数のとき、 $B = ((\text{TCS}(i) * \text{Fratio}) + ((\text{Fratio} + 1) / 2)) * T_{\text{ref}}$ 。
- (3) T_{ref} は、McSPI 機能クロックの周期です。Fratio は、McSPI 機能クロックの周波数と SPIn_CLK クロックの周波数との分周比で、MSPI_CH(i)CONF レジスタの CLKD および CLKG ビットフィールド、および MSPI_CH(i)CTRL レジスタの EXTCLK ビットフィールドによって制御されます。TCS(i) は、MSPI_CH(i)CONF レジスタのチップ セレクト時間制御ビット フィールドにプログラムされる値です。
- Fratio = 1 のとき、 $A = (\text{TCS}(i) + 1) * T_{\text{ref}}$ 。
 - Fratio ≥ 2 かつ偶数のとき、 $A = (\text{TCS}(i) + 0.5) * \text{Fratio} * T_{\text{ref}}$ 。
 - Fratio ≥ 3 かつ奇数のとき、 $A = ((\text{TCS}(i) * \text{Fratio}) + ((\text{Fratio} - 1) / 2)) * T_{\text{ref}}$ 。



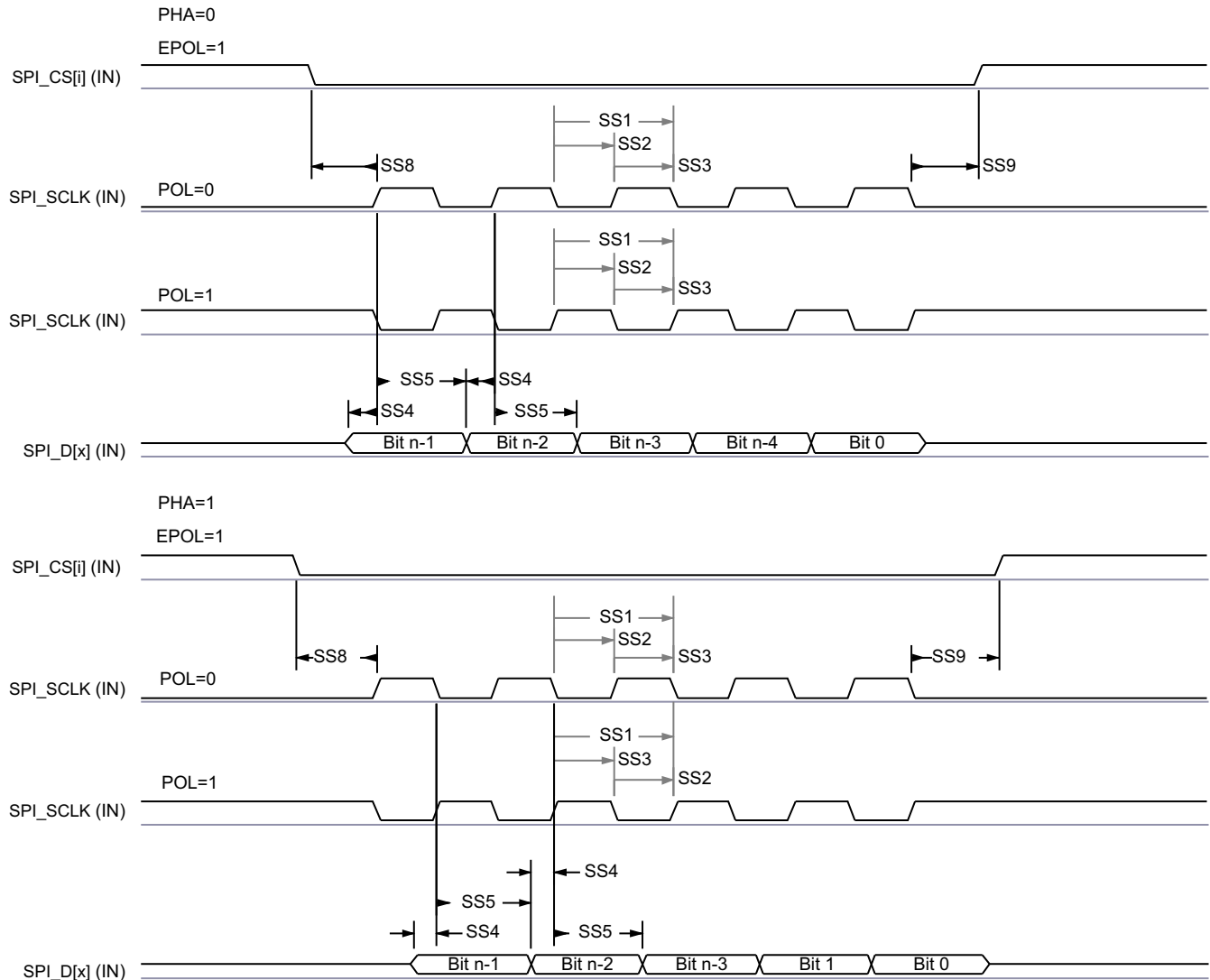
SPRSP08_TIMING_McSPI_01

図 6-40. SPI コントローラ モードの送信タイミング

MCSPi のタイミング要件 - ペリフェラル モード

番号	パラメータ	説明	最小値	最大値	単位
SS1	$t_c(\text{SPICLK})$	サイクル時間、SPIn_CLK	20		ns
SS2	$t_w(\text{SPICLK}_L)$	パルス幅、SPIn_CLK Low	0.45P ⁽¹⁾		ns
SS3	$t_w(\text{SPICLK}_H)$	パルス幅、SPIn_CLK High	0.45P ⁽¹⁾		ns
SS4	$t_{su}(\text{PICO-SPICLK})$	セットアップ時間、SPIn_D[x] 有効から SPIn_CLK アクティブ エッジまで	5		ns
SS5	$t_h(\text{SPICLK-PICO})$	ホールド時間、SPIn_CLK のアクティブ エッジ後に SPIn_D[x] を有効に保持すべき時間	5		ns
SS8	$t_{su}(\text{CS-SPICLK})$	セットアップ時間、SPIn_CSi 有効から SPIn_CLK の最初のエッジまで	5		ns
SS9	$t_h(\text{SPICLK-CS})$	ホールド時間、SPIn_CLK の最後のエッジ後に SPIn_CSi 有効の時間	5		ns

(1) P = SPIn_CLK 周期 (ns)

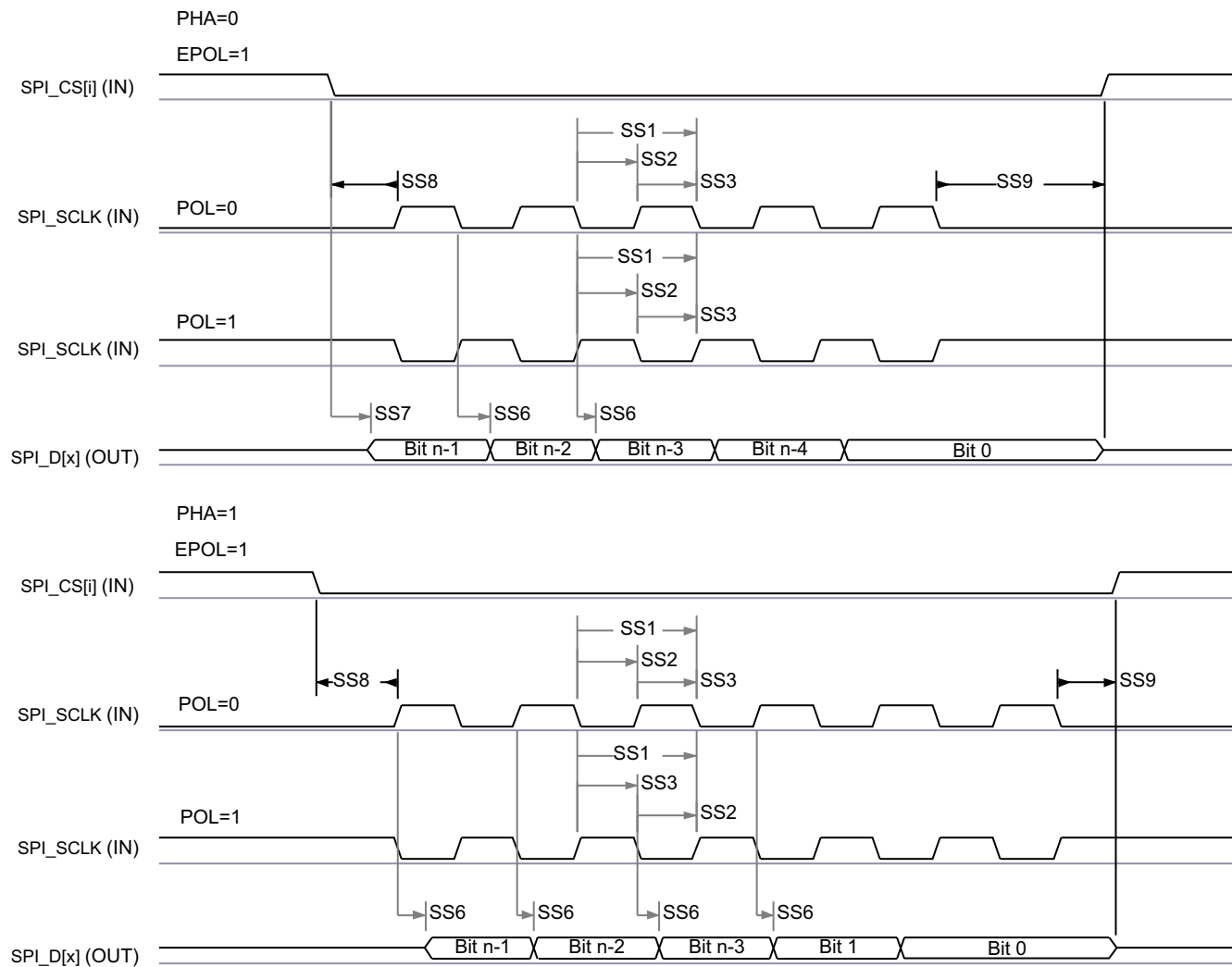


SPRSP08_TIMING_McSPI_04

図 6-41. SPI ペリフェラル モードの受信タイミング

MCSPI のスイッチング特性 - ペリフェラル モード

番号	パラメータ	説明	最小値	最大値	単位
SS6	$t_{d(SPICLK-POCI)}$	遅延時間、SPIn_CLK アクティブ エッジから SPIn_D[x] まで	2	13	ns
SS7	$t_{sk(CS-POCI)}$	遅延時間、SPIn_CSi アクティブ エッジから SPIn_D[x] まで		18	ns



SPRSP08_TIMING_McSPI_03

図 6-42. SPI ペリフェラル モードの送信タイミング

6.12.5.12 MLB

詳細については、デバイスのテクニカル リファレンス マニュアルで「ペリフェラル」の章にある「メディア ローカル バス (MLB) モジュール」セクションを参照してください。

MLB のタイミング条件

パラメータ		モード	最小値	最大値	単位
入力条件					
SR _i	入力スルーレート	256FS	0.12	0.81	V/ns
		512FS	0.12	0.81	V/ns
		1024FS	0.12	0.81	V/ns
		2048FS、3072FS、 4096FS - CLK	0.76	3.83	V/ns
		2048FS、3072FS、 4096FS - SIG	0.7	3.93	V/ns
出力条件					
C _L	出力負荷容量	256FS	1	60	pF
		512FS	1	60	pF
		1024FS	1	20	pF
		2048FS、3072FS、 4096FS	1	5	pF

MLBCLK の MLB タイミング要件 - 3 ピン

(1)

番号	パラメータ	説明	モード	最小値	最大値	単位
1	t _c (MLBCLK)	サイクル時間、MLB_CLK	256FS	78.1		ns
			512FS	39.1		ns
			1024FS	19.5		ns
2	t _w (MLBCLKH)	パルス幅、MLB_CLK High	256FS	30		ns
			512FS	14		ns
			1024FS	6.1		ns
3	t _w (MLBCLKL)	パルス幅、MLB_CLK Low	256FS	30		ns
			512FS	14		ns
			1024FS	9.3		ns

(1) 立ち上がり遷移と立ち下がり遷移のリファレンスポイントは、VIL の最大値と VIH の最小値で測定されています。

受信データの MLB タイミング要件 - 3 ピン

番号	パラメータ	説明	モード	最小値	最大値	単位
4	t _{su} (MLBDAT- MLBCLKL)	セットアップ時間、MLB_CLK が Low になる前に MLB_DAT/MLB_SIG 入力 が有効であるべき時間	256FS	1		ns
			512FS	1		ns
			1024FS	1		ns
5	t _h (MLBCLKL-MLBDAT)	ホールド時間、MLB_CLK が Low にな った後 MLB_DAT/MLB_SIG 入力を有 効の保持すべき時間	256FS	4		ns
			512FS	4		ns
			1024FS	2		ns

MLB のスイッチング特性 - 3 ピン

番号	パラメータ	説明	バッファのタイプ	最小値	最大値	単位
6	$t_d(\text{MLBCLKH-MLBDATV})$	遅延時間、MLBCLKH 立ち上がりから MLB_DAT/MLB_SIG 有効まで	256FS	0	20	ns
			512FS	0	10	ns
			1024FS	0	7	ns
7	$t_{dis}(\text{MLBCLKL-MLBDATZ})$	ディセーブル時間、MLBCLKH 立ち下がりから MLB_DAT/MLB_SIG ハイインピーダンスまで	256FS	0	30	ns
			512FS	0	14	ns
			1024FS	0	6.1	ns

MLBCLK の MLB タイミング要件 - 6 ピン

(1)

番号	パラメータ	説明	モード	最小値	最大値	単位
1	$t_c(\text{MLBCLK})$	サイクル時間、MLB_CLK	2048FS	9.77		ns
			4096FS	9.77		ns
2	$t_w(\text{MLBCLKH})$	パルス幅、MLB_CLK High	2048FS	4.64		ns
			4096FS	4.64		ns
3	$t_w(\text{MLBCLKL})$	パルス幅、MLB_CLK Low	2048FS	4.64		ns
			4096FS	4.64		ns

(1) 立ち上がりおよび立ち下がり遷移のリファレンス ポイントは、VIN+/- の 20%/80% で測定します。

受信データの MLB タイミング要件 - 6 ピン

(1)

番号	パラメータ	説明	モード	最小値	最大値	単位
10	$t_{su}(\text{DATx-CLKxH})$	セットアップ時間、MLBP_CLKx 立ち上がりの前に MLBP_DATx/MLBP_SIGx 入力があるべき時間	2048FS	1		ns
			4096FS	$0.5 - n^{(2)} \times P^{(1)} / 2$		ns
11	$t_h(\text{CLKxH-DATx})$	ホールド時間、MLBP_CLKx 立ち上がり後に MLBP_DATx/MLBP_SIGx 入力を有効に保持すべき時間	2048FS	0.6		ns
			4096FS	$0.6 + n^{(2)} \times P^{(1)} / 2$		ns

(1) P = MLBCLKx の周期

(2) n = 0 または 1、クロック サイクルごとに 2 つのキャプチャに対応

MLB のスイッチング特性 - 6 ピン

番号	パラメータ	説明	バッファのタイプ	最小値	最大値	単位
13	$t_d(\text{CLKxH-DATxV})$	遅延時間、MLBPCLKxH 立ち上がりから MLB_DATx/MLB_SIGx 有効まで	2048FS	0.6	5	ns
			4096FS	$0.6 + n^{(2)} \times P^{(1)} / 2$	$2.5 + n^{(2)} \times P^{(1)} / 2$	ns
14	$t_{dis}(\text{CLKPH-DATPZ})$	ディセーブル時間、MLBPCLKxH 立ち上がりから MLBP_DATx/MLBPSIGx ハイインピーダンスまで	2048FS	0.6	7	ns
			4096FS	$0.6 + n^{(2)} \times P^{(1)} / 2$	$3.5 + n^{(2)} \times P^{(1)} / 2$	ns

(1) P = MLBCLKx の周期

(2) n = 0 または 1、クロック サイクルごとに 2 つのキャプチャに対応

6.12.5.13 MMCSD

MMCSD ホスト コントローラは、組み込みマルチメディア カード (MMC)、セキュア デジタル (SD)、セキュア デジタル IO (SDIO) デバイスへのインターフェイスとして機能します。MMCSD ホスト コントローラは、送信レベルでの MMC/SD/SDIO プロトコル、データ パッキング、巡回冗長検査 (CRC) の追加、開始 / 終了ビットの挿入、構文の正確性チェックを処理します。

MMCSD インターフェイスの詳細については、「信号の説明」および「詳細説明」セクションの MMC0 サブセクションを参照してください。

注

一部の動作モードでは、表 6-7 に示すように、MMC DLL 遅延設定のソフトウェア設定が必要です。

表 6-7 の ITAPDLYSEL 列に「チューニング」の値が表示されているモードでは、入力タイミングを最適化するためにチューニング アルゴリズムを使用する必要があります。入力タイミングを最適化するために必要なチューニング アルゴリズムと入力遅延の構成の詳細については、デバイス TRM の「MMCSD プログラミング ガイド」を参照してください。

詳細については、デバイスの TRM で ペリフェラルの章にある マルチメディアカード / セキュア デジタル (MMCSD) インターフェイス セクションを参照してください。

6.12.5.13.1 MMC0 - eMMC/SDIO インターフェイス

MMC0 インターフェイスは、JEDEC eMMC 電気規格 v5.1 (JESD84-B51) に準拠しており、以下に示す eMMC アプリケーションをサポートしています。

- レガシー SDR
- ハイスピード SDR
- ハイスピード DDR
- HS200

表 6-7 に、MMC0 タイミング モードに必要な DLL ソフトウェア構成設定を示します。

表 6-7. すべての eMMC タイミング モードの MMC0 DLL 遅延マッピング

レジスタ名		MMCSD0_SS_PHY_CTRL_x_REG								
		x = 4					x = 5			x = 1
ビットフィールド		[31:24]	[20]	[15:12]	[8]	[4:0]	[17:16]	[10:8]	[2:0]	[1]
ビットフィールド名		STRBSEL	OTAPDLYENA	OTAPDLYSEL	ITAPDLYENA	ITAPDLYSEL	SELDLYTXCLK SELDLYRXCLK	FRQSEL	CLKBUFSEL	ENDLL
モード	説明	ストロープ 遅延	出力 遅延 イネーブル	出力 遅延 値	入力 遅延 イネーブル	入力 遅延 値	DLL 遅延チェーン 選択	DLL REF 周波数	遅延 バッファ 時間	イネーブル DLL
レガシー SDR	8 ビット PHY、 1.8V、25MHz	0x0	0x1	0x1	0x1	0x10	0x3	NA ⁽¹⁾	0x7	0x0
ハイスピード SDR	8 ビット PHY、 1.8V、50MHz	0x0	0x1	0x1	0x1	0xA	0x3	NA ⁽¹⁾	0x7	0x0
ハイスピード DDR	8 ビット PHY、 1.8V、50MHz	0x0	0x1	0x6	0x1	0x3	0x0	0x4	NA ⁽¹⁾	0x1
HS200	8 ビット PHY、 1.8V、200MHz	0x0	0x1	0x8	0x1	チューニング ⁽²⁾	0x0	0x0	NA ⁽¹⁾	0x1
HS400	8 ビット PHY、 1.8V、200MHz	0x77	0x1	0x5	0x1	チューニング ⁽²⁾	0x0	0x0	NA ⁽¹⁾	0x1

(1) NA は該当なしを意味します。

(2) チューニングとは、このモードで最適な入力タイミングを実現するためにチューニング アルゴリズムを使用する必要があることを意味します。

MMC0 インターフェイスは、SDIO 仕様 v3.00 だけでなく、SD ホスト コントローラ標準仕様 4.10 と SD 物理層仕様 v3.01 に準拠しており、以下の SD カード アプリケーションをサポートしています。

- デフォルト速度
- 高速
- UHS-I SDR12
- UHS-I SDR25
- UHS-I SDR50
- UHS-I DDR50
- HS200

表 6-7 に、MMC0 タイミング モードに必要な DLL ソフトウェア構成設定を示します。

MMC のタイミング条件

パラメータ		モード	最小値	最大値	単位
入力条件					
SR _i	入力スルーレート	レガシー SDR 3.3V、デフォルト速度 高速 SDR 3.3V デフ ォルト速度および高 速	0.69	2.06	V/ns
		レガシー SDR 1.8 V UHS-I SDR12	0.14	1.44	V/ns
		高速 SDR 1.8V UHS-I SDR25	0.3	1.34	V/ns
		UHS-I DDR50	1	2	V/ns
出力条件					
C _L	出力負荷容量	HS200、UHS-I SDR104	1	10	pF
		その他のすべてのモ ード	1	12	pF

MMC のタイミング要件 - 3.3V レガシー SDR モード

番号	パラメータ	説明	最小値	最大値	単位
LSDR1	t _{su(cmdV-clkH)}	セットアップ時間、MMC0_CMD 有効から MMC0_CLK 立ち上がりエッジまで	2.15		ns
LSDR2	t _{h(clkH-cmdV)}	ホールド時間、MMC0_CLK 立ち上がりエッジから MMC0_CMD 有効の間	1.67		ns
LSDR3	t _{su(dV-clkH)}	セットアップ時間、MMC0_DAT[7:0] 有効から MMC0_CLK 立ち上がりエッジまで	2.15		ns
LSDR4	t _{h(clkH-dV)}	ホールド時間、MMC0_CLK 立ち上がりエッジの後 MMC0_DAT[7:0] を有効に保持すべき時間	1.67		ns

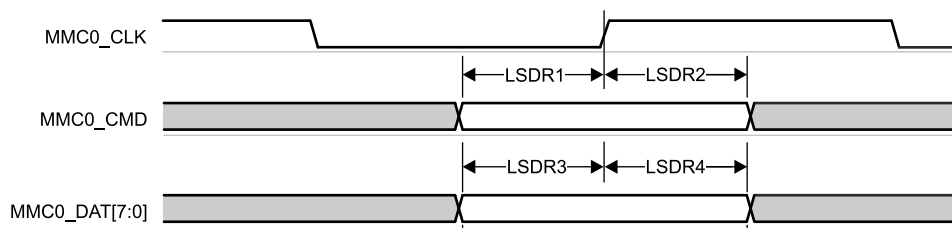
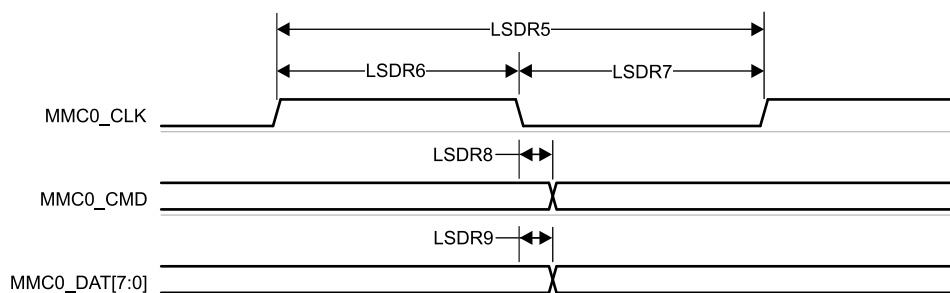


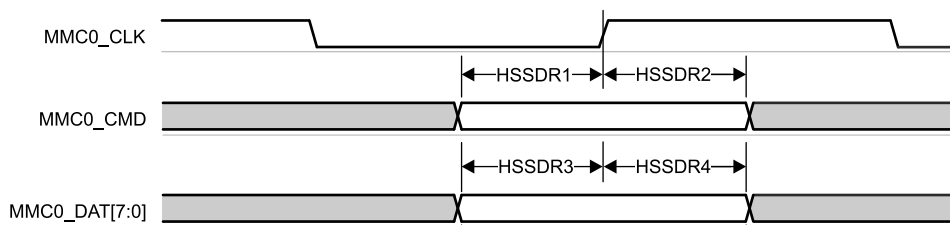
図 6-43. MMC0 – レガシー SDR – 受信モード

MMC のスイッチング特性 - 3.3V レガシー SDR モード

番号	パラメータ	説明	最小値	最大値	単位
	$f_{op}(clk)$	動作周波数、MMC_CLK		25	MHz
LSDR5	$t_{c}(clk)$	サイクル時間、MMC_CLK		40	ns
LSDR6	$t_{w}(clkH)$	パルス幅、MMC_CLK High	18.7		ns
LSDR7	$t_{w}(clkL)$	パルス幅、MMC_CLK Low	18.7		ns
LSDR8	$t_{d}(clkL-cmdV)$	遅延時間、MMC_CLK 立ち下がりエッジから MMC_CMD 遷移まで	-1.8	2.2	ns
LSDR9	$t_{d}(clkL-dV)$	遅延時間、MMC_CLK 立ち下がりエッジから MMC_DAT[7:0] 遷移まで	-1.8	2.2	ns

**図 6-44. MMC0 – レガシー SDR – 送信モード****MMC のタイミング要件 - 3.3V 高速 SDR モード**

番号	パラメータ	説明	最小値	最大値	単位
HSSDR1	$t_{su}(cmdV-clkH)$	セットアップ時間、MMC_CLK 立ち上がりエッジ前に MMC_CMD が有効であるべき時間	2.24		ns
HSSDR2	$t_{h}(clkH-cmdV)$	ホールド時間、MMC_CLK 立ち上がりエッジ後に MMC_CMD を有効に保持すべき時間	1.66		ns
HSSDR3	$t_{su}(dV-clkH)$	セットアップ時間、MMC_CLK 立ち上がりエッジ前に MMC_DAT[7:0] が有効であるべき時間	2.24		ns
HSSDR4	$t_{h}(clkH-dV)$	ホールド時間、MMC_CLK 立ち上がりエッジ後に MMC_DAT[7:0] を有効に保持すべき時間	1.66		ns

**図 6-45. MMC0 – 高速 SDR モード – 受信モード****MMC のスイッチング特性 - 3.3V 高速 SDR モード**

番号	パラメータ	説明	最小値	最大値	単位
	$f_{op}(clk)$	動作周波数、MMC_CLK		50	MHz
HSSDR5	$t_{c}(clk)$	動作周期、MMC_CLK	20		ns
HSSDR6	$t_{w}(clkH)$	パルス幅、MMC_CLK High	9.2		ns

番号	パラメータ	説明	最小値	最大値	単位
HSSDR7	$t_{w(\text{clkL})}$	パルス幅、MMC_CLK Low	9.2		ns
HSSDR8	$t_{d(\text{clkL-cmdV})}$	遅延時間、MMC_CLK 立ち下がりエッジから MMC_CMD 遷移まで	-1.8	2.2	ns
HSSDR9	$t_{d(\text{clkL-dV})}$	遅延時間、MMC_CLK 立ち下がりエッジから MMC_DAT[7:0] 遷移まで	-1.8	2.2	ns

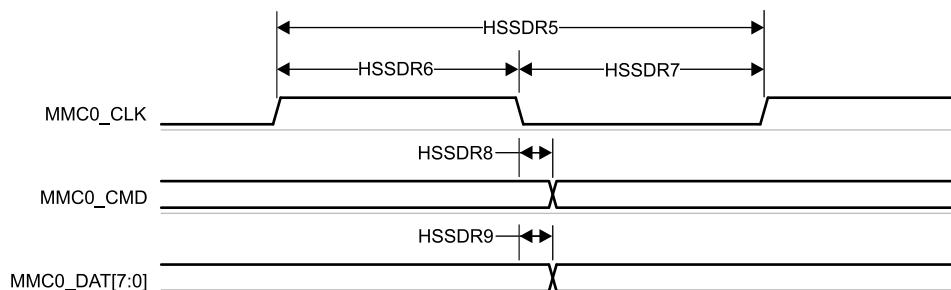


図 6-46. MMC0 – 高速 SDR モード – 送信モード

MMC のタイミング要件 - 1.8V レガシー SDR、UHS-I SDR12 モード

番号	パラメータ	説明	最小値	最大値	単位
LSDR1	$t_{su(\text{cmdV-clkH})}$	セットアップ時間、MMC_CLK 立ち上がりエッジ前に MMC_CMD が有効であるべき時間	4.2		ns
LSDR2	$t_{h(\text{clkH-cmdV})}$	ホールド時間、MMC_CLK 立ち上がりエッジ後に MMC_CMD を有効に保持すべき時間	0.87		ns
LSDR3	$t_{su(\text{dV-clkH})}$	セットアップ時間、MMC_CLK 立ち上がりエッジ前に MMC_DAT[7:0] が有効であるべき時間	4.2		ns
LSDR4	$t_{h(\text{clkH-dV})}$	ホールド時間、MMC_CLK 立ち上がりエッジ後に MMC_DAT[7:0] を有効に保持すべき時間	0.87		ns

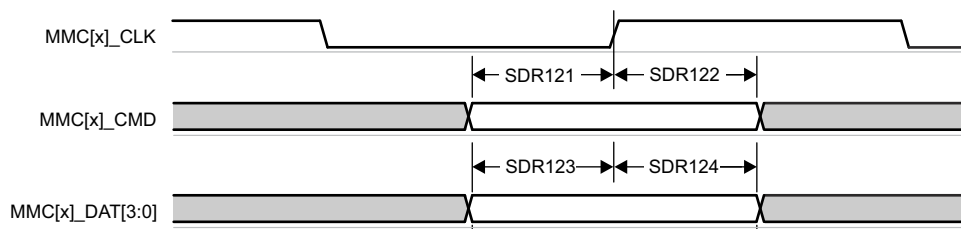


図 6-47. MMC0 – UHS-I SDR12 – 受信モード

MMC のスイッチング特性 - 1.8V レガシー SDR、UHS-I SDR12 モード

番号	パラメータ	説明	モード	最小値	最大値	単位
	$f_{op(\text{clk})}$	動作周波数、MMC_CLK			25	MHz
LSDR5	$t_{c(\text{clk})}$	動作周期、MMC_CLK		40		ns
LSDR6	$t_{w(\text{clkH})}$	パルス幅、MMC_CLK High		18.7		ns
LSDR7	$t_{w(\text{clkL})}$	パルス幅、MMC_CLK Low		18.7		ns
LSDR8	$t_{d(\text{clkL-cmdV})}$	遅延時間、MMC_CLK 立ち下がりエッジから MMC_CMD 遷移まで	1.8V レガシー SDR	-2.1	2.1	ns
			SDR12	1.5	8.6	ns

番号	パラメータ	説明	モード	最小値	最大値	単位
LSDR9	$t_{d(\text{clkL-dV})}$	遅延時間、MMC_CLK 立ち下がりエッジから MMC_DAT[3:0] 遷移まで	1.8V レガシー SDR	-2.1	2.1	ns
			SDR12	1.5	8.6	ns

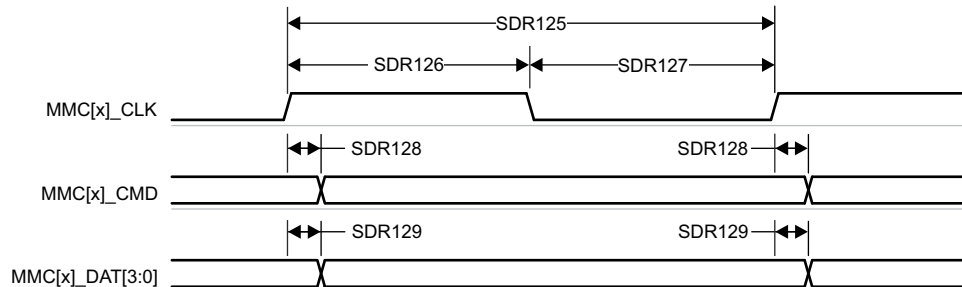


図 6-48. MMC0 – UHS-I SDR12 – 送信モード

MMC のタイミング要件 - 1.8V 高速 SDR、UHS-I SDR25 モード

番号	パラメータ	説明	最小値	最大値	単位
HSSDR1	$t_{su(\text{cmdV-clkH})}$	セットアップ時間、MMC_CLK 立ち上がりエッジ前に MMC_CMD が有効であるべき時間	2.15		ns
HSSDR2	$t_{h(\text{clkH-cmdV})}$	ホールド時間、MMC_CLK 立ち上がりエッジ後に MMC_CMD を有効に保持すべき時間	1.27		ns
HSSDR3	$t_{su(\text{dV-clkH})}$	セットアップ時間、MMC_CLK 立ち上がりエッジ前に MMC_DAT[7:0] が有効であるべき時間	2.15		ns
HSSDR4	$t_{h(\text{clkH-dV})}$	ホールド時間、MMC_CLK 立ち上がりエッジ後に MMC_DAT[7:0] を有効に保持すべき時間	1.27		ns

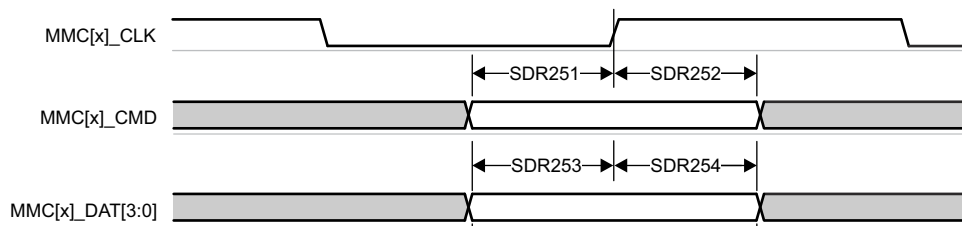


図 6-49. MMC0 – UHS-I SDR25 – 受信モード

MMC のスイッチング特性 - 1.8V 高速 SDR、UHS-I SDR25 モード

番号	パラメータ	説明	モード	最小値	最大値	単位
	$f_{op(\text{clk})}$	動作周波数、MMC_CLK			50	MHz
HSSDR5	$t_{c(\text{clk})}$	動作周期、MMC_CLK		20		ns
HSSDR6	$t_{w(\text{clkH})}$	パルス幅、MMC_CLK High		9.2		ns
HSSDR7	$t_{w(\text{clkL})}$	パルス幅、MMC_CLK Low		9.2		ns
HSSDR8	$t_{d(\text{clkL-cmdV})}$	遅延時間、MMC_CLK 立ち下がりエッジから MMC_CMD 遷移まで	1.8V 高速 SDR	-1.55	3.05	ns
			SDR25	2.4	8.1	ns

番号	パラメータ	説明	モード	最小値	最大値	単位
HSSDR9	$t_{d(\text{clkL-dV})}$	遅延時間、MMC_CLK 立ち下がりエッジから MMC_DAT[3:0] 遷移まで	1.8V 高速 SDR	-1.55	3.05	ns
			SDR25	2.4	8.1	ns

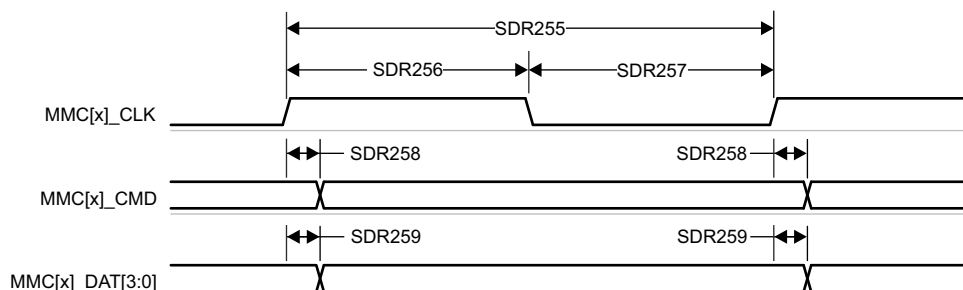


図 6-50. MMC0 – UHS-I SDR25 – 送信モード

MMC のスイッチング特性 - UHS-I SDR50 モード

番号	パラメータ	説明	最小値	最大値	単位
	$f_{op(\text{clk})}$	動作周波数、MMC_CLK		100	MHz
SDR505	$t_{c(\text{clk})}$	動作周期、MMC_CLK	10		ns
SDR506	$t_{w(\text{clkH})}$	パルス幅、MMC_CLK High	4.45		ns
SDR507	$t_{w(\text{clkL})}$	パルス幅、MMC_CLK Low	4.45		ns
SDR508	$t_{d(\text{clkL-cmdV})}$	遅延時間、MMC_CLK 立ち下がりエッジから MMC_CMD 遷移まで	1.2	6.35	ns
SDR509	$t_{d(\text{clkL-dV})}$	遅延時間、MMC_CLK 立ち下がりエッジから MMC_DAT[7:0] 遷移まで	1.2	6.35	ns



図 6-51. MMC0 – UHS-I SDR50 – 送信モード

MMC のスイッチング特性 - UHS-I DDR50 モード

番号	パラメータ	説明	最小値	最大値	単位
	$f_{op(\text{clk})}$	動作周波数、MMC_CLK		50	MHz
HSSDR5	$t_{c(\text{clk})}$	動作周期、MMC_CLK	20		ns
HSSDR6	$t_{w(\text{clkH})}$	パルス幅、MMC_CLK High	9.2		ns
HSSDR7	$t_{w(\text{clkL})}$	パルス幅、MMC_CLK Low	9.2		ns
HSSDR8	$t_{d(\text{clkL-cmdV})}$	遅延時間、MMC_CLK 立ち下がりエッジから MMC_CMD 遷移まで	1.12	6.43	ns

番号	パラメータ	説明	最小値	最大値	単位
HSSDR9	$t_{d(\text{clkL-dV})}$	遅延時間、MMC_CLK 立ち下がりエッジから MMC_DAT[7:0] 遷移まで	1.12	6.43	ns

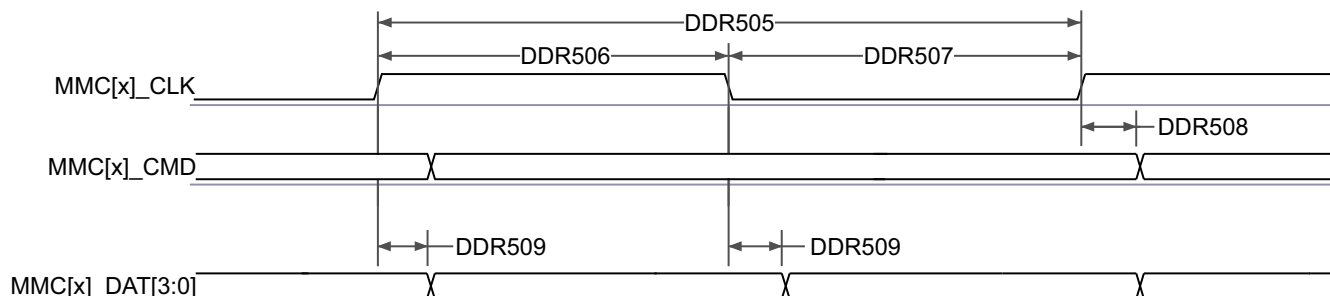


図 6-52. MMC0 – UHS-I DDR50 – 送信モード

MMC のスイッチング特性 - HS200 モード

番号	パラメータ	説明	最小値	最大値	単位
	$f_{\text{op}(\text{clk})}$	動作周波数、MMC_CLK		200	MHz
HS2005	$t_{c(\text{clk})}$	動作周期、MMC_CLK	5		ns
HS2006	$t_{w(\text{clkH})}$	パルス幅、MMC_CLK High	2.12		ns
HS2007	$t_{w(\text{clkL})}$	パルス幅、MMC_CLK Low	2.12		ns
HS2008	$t_{d(\text{clkL-cmdV})}$	遅延時間、MMC_CLK 立ち下がりエッジから MMC_CMD 遷移まで	1.07	3.21	ns
HS2009	$t_{d(\text{clkL-dV})}$	遅延時間、MMC_CLK 立ち下がりエッジから MMC_DAT[7:0] 遷移まで	1.07	3.21	ns

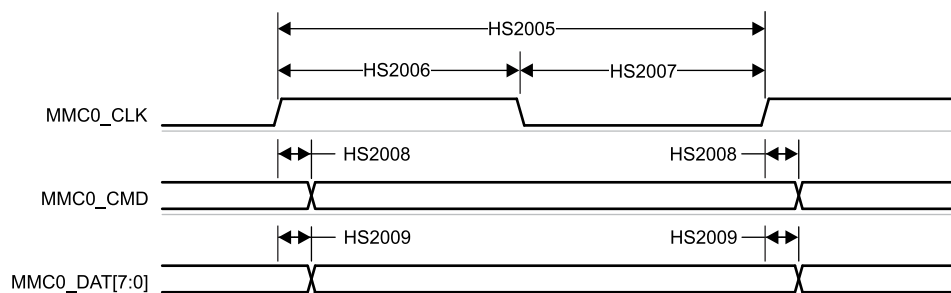


図 6-53. MMC0 – HS200 モード – 送信モード

6.12.5.14 OSPI

OSPI0 には、PHY モードと Tap モードの 2 つのデータ キャプチャ モードがあります。

PHY モードでは、内部基準クロックを使用して DLL ベースの PHY 経由でデータを送受信します。各基準クロック サイクルはシングル データレート (SDR) 転送の場合は OSPI0_CLK の 1 サイクル、ダブル データレート (DDR) 転送の場合は OSPI0_CLK の半サイクルを生成します。PHY モードは、受信データ キャプチャ クロックについて 4 つのクロック トポロジをサポートしています。内部 PHY ループバック - 内部基準クロックを PHY 受信データ キャプチャ クロックとして使用します。内部パッド ループバック - OSPI0_LBCLKO ピンから PHY にループバックされた OSPI0_LBCLKO を PHY 受信データ キャプチャ クロックとして使用します。外部ボード ループバック - OSPI0_DQS ピンから PHY にループバックされた OSPI0_LBCLKO を PHY 受信データ キャプチャ クロックとして使用します。DQS - 接続されたデバイスからの DQS 出力を PHY 受信データ キャプチャ クロックとして使用します。内部パッド ループバックおよび DQS クロッキング トポロジを使用する場合、SDR 転送はサポートされません。内部 PHY ループバックまたは内部パッド ループバック クロッキング トポロジを使用する場合、DDR 転送はサポートされません。

タップ モードは、選択可能なタップと共に内部基準クロックを使用して、OSPI0_CLK に対してデータの送受信キャプチャ遅延を調整します。OSPI0_CLK は、SDR 転送では内部基準クロックの 4 分周、DDR 転送では内部基準クロックの 8 分周です。タップ モードは、受信データ キャプチャ クロックに対して 1 つのクロック トポロジのみをサポートします。ループバックなし - 内部基準クロックをタップ 受信データ キャプチャ クロックとして使用します。このクロッキング トポロジは 200MHz の最大内部基準クロック レートをサポートし、SDR モードでは 50 MHz、DDR モードでは 25 MHz までの OSPI0_CLK レートを生成します。

詳細については、デバイスのテクニカル リファレンス マニュアルで「ペリフェラル」の章にある「オクタル シリアル ペリフェラル インターフェイス (OSPI)」セクションを参照してください。

オクタル シリアル ペリフェラル インターフェイスの機能の詳細および追加の説明情報については、「信号の説明」および「詳細説明」セクションの対応するサブセクションを参照してください。

OSPI のタイミング条件

パラメータ		モード	最小値	最大値	単位
入力条件					
SR _I	入力スルーレート		3	6	V/ns
出力条件					
C _L	出力負荷容量		3	10	pF
PCB 接続要件					
t _d (Trace Delay)	OSPI0_CLK パターンの伝搬遅延	ループバックなし 内部 PHY ループバック 内部パッド ループバック		450	ps
	OSPI0_DQS パターンの伝搬遅延	DQS	L ⁽¹⁾ - 30	L ⁽¹⁾ + 30	ps
	OSPI0_LBCLKO パターンの伝搬遅延	外部ボードのループバック	2L ⁽¹⁾ - 30	2L ⁽¹⁾ + 30	ps
t _d (Trace Mismatch Delay)	OSPI0_CLK に対する OSPI0_D[7:0] と OSPI0_CS[n:1:0] の伝搬遅延ミスマッチ	すべてのモード		60	ps

(1) L = OSPI0_CLK パターンの伝搬遅延

6.12.5.14.1 OSPI0 PHY モード

6.12.5.14.1.1 PHY データ トレーニング付き OSPI0

読み出し/書き込みデータ有効ウィンドウは、プロセス、電圧、温度、動作周波数の変動によって変化します。読み出し/書き込みタイミングを動的に構成するために、データ トレーニング手法を実装することもできます。データ トレーニングを

実装すると、特定のプロセス、電圧、周波数の動作条件において、温度範囲全体にわたって適切な動作を実現すると同時に、より高い動作周波数を実現できます。

データの送受信タイミングパラメータは、動作条件に基づいて動的に調整されるため、データトレーニングの使用事例では定義されていません。

PHY データ トレーニング用の OSPI DLL 遅延マッピング

モード	OSPI_PHY_CONFIGURATION_REG ビットフィールド	遅延値
送信		
すべてのモード	PHY_CONFIG_TX_DLL_DELAY_FLD	(1)
受信		
すべてのモード	PHY_CONFIG_RX_DLL_DELAY_FLD	(2)

(1) トレーニングソフトウェアによって決定される送信 DLL 遅延の値

(2) トレーニングソフトウェアによって決定される受信 DLL 遅延の値

OSPI のタイミング要件 - PHY データ トレーニング

番号	パラメータ	説明	モード	最小値	最大値	単位
O15	$t_{su}(D-QS)$	セットアップ時間、OSPI0_D[7:0] 有効から OSPI0_DQS のエッジまで	DQS 付き DDR	(1)		ns
O16	$t_h(DQS-D)$	ホールド時間、OSPI0_DQS のアクティブ エッジ後に OSPI0_D[7:0] を有効に保持すべき時間	DQS 付き DDR	(1)		ns
O21	$t_{su}(D-QS)$	セットアップ時間、OSPI0_D[7:0] 有効から OSPI0_DQS のエッジまで	外部ボード ループバック付き SDR	(1)		ns
O22	$t_h(DQS-D)$	ホールド時間、OSPI0_DQS のアクティブ エッジ後に OSPI0_D[7:0] を有効に保持すべき時間	外部ボード ループバック付き SDR	(1)		ns
	t_{Dvw}	データ有効ウィンドウ (O15 + O16)	1.8V、DQS 付き DDR	1.6		ns
			3.3V、DQS 付き DDR	2.2		ns
		データ有効ウィンドウ (O21 + O22)	1.8V、外部ボード ループバック付き SDR	2.3		ns
			3.3V、外部ボード ループバック付き SDR	2.9		ns

(1) データトレーニングを使用して最適なデータ有効ウィンドウを見つける場合、OSPI0_D[7:0] 入力の最小セットアップ時間およびホールド時間の要件は定義されません。

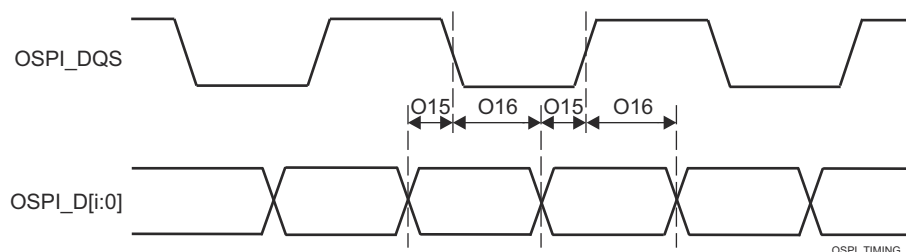


図 6-54. OSPI0 のタイミング要件 – PHY データ トレーニング、DQS 付き DDR

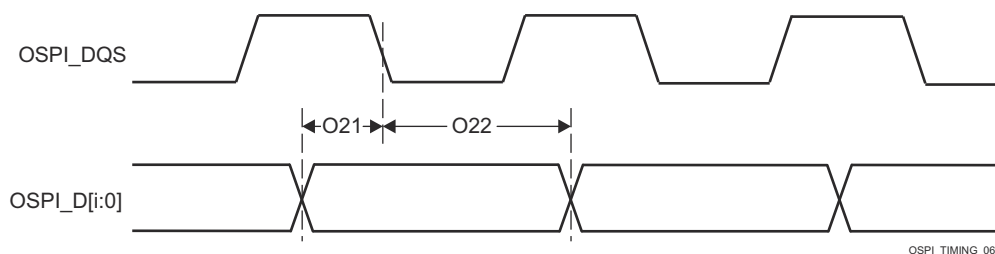


図 6-55. OSPI0 のタイミング要件 – PHY データ トレーニング、外部ボード ループバック付き SDR

OSPI のスイッチング特性 - PHY データ トレーニング

番号	パラメータ	説明	モード	最小値	最大値	単位
O1	$t_{c(CLK)}$	サイクル時間、OSPI0_CLK	1.8V, SDR, DDR	6	10	ns
			3.3V, SDR, DDR	7.5	10	ns
O2	$t_{w(CLKL)}$	パルス幅、OSPI0_CLK low	SDR, DDR	$0.475P^{(1)} - 0.3$		ns
O3	$t_{w(CLKH)}$	パルス幅、OSPI0_CLK high	SDR, DDR	$0.475P^{(1)} - 0.3$		ns
O4	$t_{d(CSn-CLK)}$	遅延時間、OSPI0_CSn[1:0] アクティブ エッジから OSPI0_CLK 立ち上がりエッジまで	SDR, DDR	$0.475P^{(1)} + (0.975 \times M^{(2)} \times R^{(4)}) + 0.04TD^{(5)} - 1$	$0.525P^{(1)} + (1.025 \times M^{(2)} \times R^{(4)}) + 0.11TD^{(5)} + 1$	ns
O5	$t_{d(CLK-CSn)}$	遅延時間、OSPI0_CLK 立ち上がりエッジから OSPI0_CSn[1:0] 非アクティブ エッジまで	SDR, DDR	$0.475P^{(1)} + (0.975 \times N^{(3)} \times R^{(4)}) + 0.04TD^{(5)} - 1$	$0.525P^{(1)} + (1.025 \times N^{(3)} \times R^{(4)}) + 0.11TD^{(5)} + 1$	ns
O6	$t_{d(CLK-D)}$	遅延時間、OSPI0_CLK アクティブ エッジから OSPI0_D[7:0] 遷移まで	SDR, DDR	(6)	(6)	ns
	t_{DIVW}	データ無効ウィンドウ (O6 最大 - 最小)	SDR, DDR		1.6	ns

(1) P = OSPI0_CLK サイクル時間 = SCLK 周期 (ns)

(2) M = OSPI_DEV_DELAY_REG[D_INIT_FLD]

(3) N = OSPI_DEV_DELAY_REG[D_AFTER_FLD]

(4) R = REFCLK サイクル時間 (ns)

(5) TD = PHY_CONFIG_TX_DLL_DELAY_FLD

(6) データ トレーニングを使用して最適なデータ有効ウィンドウを見つける場合、OSPI0_D[7:0] 出力の最小および最大遅延時間は定義されません。

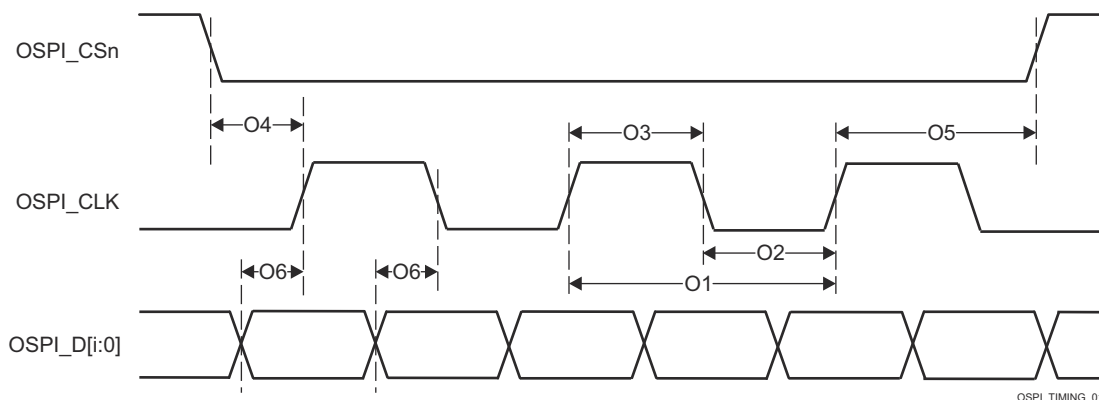


図 6-56. OSPI0 のスイッチング特性 - PHY DDR データ トレーニング

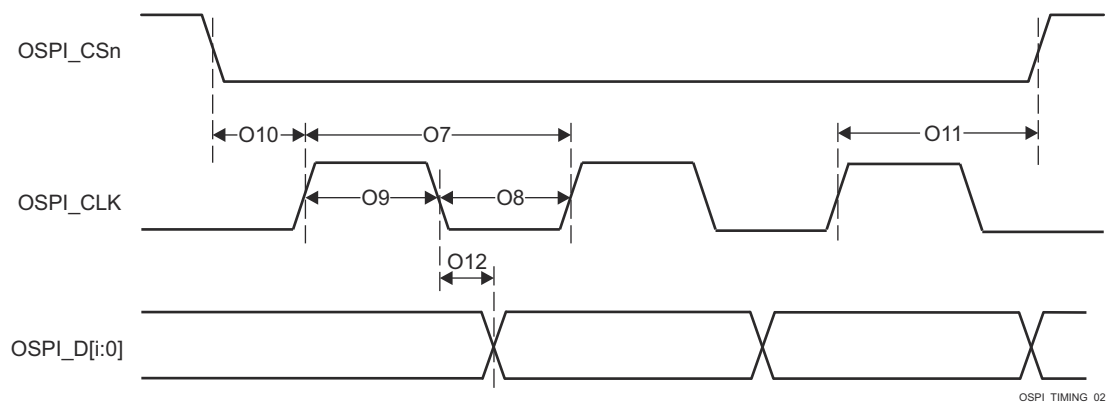


図 6-57. OSPI0 のスイッチング特性 - PHY SDR データ トレーニング

6.12.5.14.1.2 データ トレーニングなし OSPI0

注

このセクションで定義されるタイミング パラメータは、データ トレーニングが実装されておらず、OSPI0 PHY SDR のタイミング に示すように DLL 遅延が設定されている場合にのみ適用されます。

6.12.5.14.1.2.1 OSPI0 PHY SDR のタイミング

OSPI の DLL 遅延マッピング - PHY SDR タイミング モード

モード	OSPI_PHY_CONFIGURATION_REG ビットフィールド	遅延値
送信		
すべてのモード	PHY_CONFIG_TX_DLL_DELAY_FLD	0x0
受信		
すべてのモード	PHY_CONFIG_RX_DLL_DELAY_FLD	0x0

OSPI のタイミング要件 - PHY SDR モード

番号	パラメータ	説明	モード	最小値	最大値	単位
O19	$t_{su(D-CLK)}$	セットアップ時間、OSPI0_D[7:0] 有効から OSPI0_CLK のエッジまで	1.8V、PHY ループバック内蔵 SDR	4.8		ns
			3.3V、PHY ループバック内蔵 SDR	5.19		ns
O20	$t_h(CLK-D)$	ホールド時間、OSPI0_CLK のアクティブ エッジ後に OSPI0_D[7:0] を有効に保持すべき時間	1.8V、PHY ループバック内蔵 SDR	-0.5		ns
			3.3V、PHY ループバック内蔵 SDR	-0.5		ns
O21	$t_{su(D-LBCLK)}$	セットアップ時間、OSPI0_D[7:0] 有効から OSPI0_DQS のエッジまで	1.8V、外部ボード ループバック付き SDR	0.6		ns
			3.3V、外部ボード ループバック付き SDR	0.9		ns
O22	$t_h(LBCLK-D)$	ホールド時間、OSPI0_DQS のアクティブ エッジ後に OSPI0_D[7:0] を有効に保持すべき時間	1.8V、外部ボード ループバック付き SDR	1.7		ns
			3.3V、外部ボード ループバック付き SDR	2.0		ns

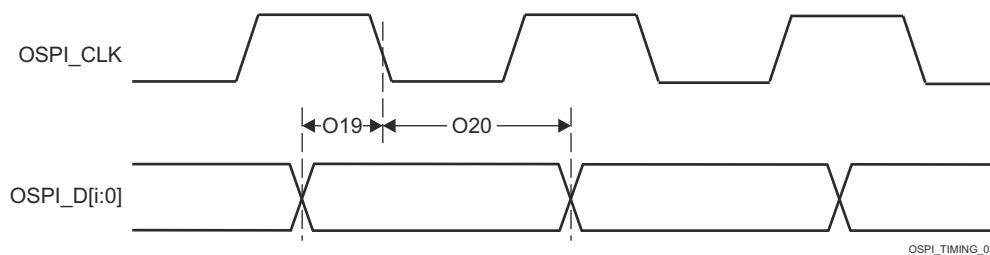


図 6-58. OSPI0 のタイミング要件 – PHY ループバック内蔵 PHY SDR

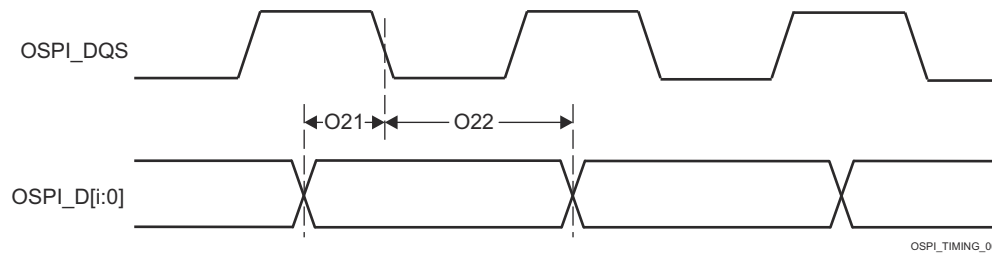


図 6-59. OSPI0 のタイミング要件 – 外部ボード ループバック付き PHY SDR

OSPI のスイッチング特性 - PHY SDR モード

番号	パラメータ	説明	モード	最小値	最大値	単位
O7	$t_c(\text{CLK})$	サイクル時間、OSPI0_CLK	1.8V	7		ns
			3.3V	6.03		ns
O8	$t_w(\text{CLKL})$	パルス幅、OSPI0_CLK low		$0.475P^{(1)} - 0.3$		ns
O9	$t_w(\text{CLKH})$	パルス幅、OSPI0_CLK high		$0.475P^{(1)} - 0.3$		ns
O10	$t_d(\text{CSn-CLK})$	遅延時間、OSPI0_CS _n [1:0] アクティブ エッジから OSPI0_CLK 立ち上がりエッジまで		$0.475P^{(1)} + 0.975 \times M^{(2)} \times R^{(4)} - 1$	$0.525P^{(1)} + 1.025 \times M^{(2)} \times R^{(4)} + 1$	ns
O11	$t_d(\text{CLK-CSn})$	遅延時間、OSPI0_CLK 立ち上がりエッジから OSPI0_CS _n [1:0] 非アクティブ エッジまで		$0.475P^{(1)} + 0.975 \times N^{(3)} \times R^{(4)} - 1$	$0.525P^{(1)} + 1.025 \times N^{(3)} \times R^{(4)} + 1$	ns
O12	$t_d(\text{CLK-D})$	遅延時間、OSPI0_CLK アクティブ エッジから OSPI0_D[7:0] 遷移まで	1.8V	-1.16	1.25	ns
			3.3V	-1.33	1.51	ns

- (1) P = CLK サイクル時間 = SCLK 周期 (ns 単位)
(2) M = OSPI_DEV_DELAY_REG[D_INIT_FLD]
(3) N = OSPI_DEV_DELAY_REG[D_AFTER_FLD]
(4) R = REFCLK サイクル時間 (ns)

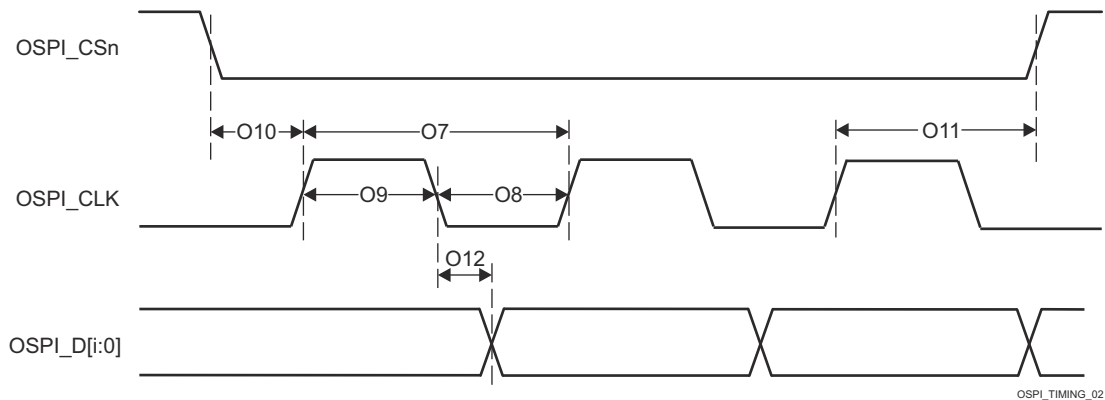


図 6-60. OSPI0 のスイッチング特性 – PHY SDR モード

6.12.5.14.2 OSPI0 タップモード

6.12.5.14.2.1 OSPI0 タップSDR のタイミング

OSPI のタイミング要件 - タップSDR モード

番号	パラメータ	説明	モード	最小値	最大値	単位
O19	$t_{su}(\text{D-CLK})$	セットアップ時間、OSPI0_D[7:0] 有効から OSPI0_CLK のエッジまで	ループバックなし	$15.4 - (0.975 \times T^{(1)} \times R^{(2)})$		ns

番号	パラメータ	説明	モード	最小値	最大値	単位
O20	$t_{h}(\text{CLK-D})$	ホールド時間、OSPI0_CLK のアクティブ エッジ後に OSPI0_D[7:0] を有効に保持すべき時間	ループバックなし	$-4.3 + (0.975 \times T^{(1)} \times R^{(2)})$		ns

- (1) $T = \text{OSPI_RD_DATA_CAPTURE_REG}[\text{DELAY_FLD}]$
(2) $R = \text{REFCLK}$ サイクル時間 (ns)

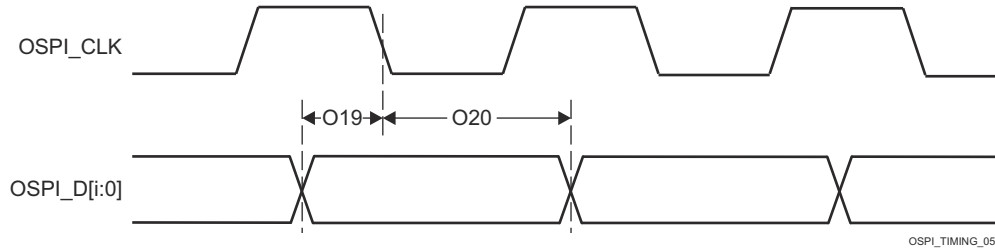


図 6-61. OSPI0 のタイミング要件 – タップ SDR、ループバックなし

OSPI のスイッチング特性 - タップ SDR モード

番号	パラメータ	説明	モード	最小値	最大値	単位
O7	$t_c(\text{CLK})$	サイクル時間、OSPI0_CLK		20		ns
O8	$t_w(\text{CLKL})$	パルス幅、OSPI0_CLK low		$0.475P^{(1)} - 0.3$		ns
O9	$t_w(\text{CLKH})$	パルス幅、OSPI0_CLK high		$0.475P^{(1)} - 0.3$		ns
O10	$t_d(\text{CSn-CLK})$	遅延時間、OSPI0_CS[n] アクティブ エッジから OSPI0_CLK 立ち上がりエッジまで		$0.475P^{(1)} + (0.975 \times M^{(2)} \times R^{(4)}) - 1$	$0.525P^{(1)} + (1.025 \times M^{(2)} \times R^{(4)}) + 1$	ns
O11	$t_d(\text{CLK-CSn})$	遅延時間、OSPI0_CLK 立ち上がりエッジから OSPI0_CS[n] 非アクティブ エッジまで		$0.475P^{(1)} + (0.975 \times N^{(3)} \times R^{(4)}) - 1$	$0.525P^{(1)} + (1.025 \times N^{(3)} \times R^{(4)}) + 1$	ns
O12	$t_d(\text{CLK-D})$	遅延時間、OSPI0_CLK アクティブ エッジから OSPI0_D[7:0] 遷移まで		-4.25	7.25	ns

- (1) $P = \text{CLK}$ サイクル時間 = SCLK 周期 (ns 単位)
(2) $M = \text{OSPI_DEV_DELAY_REG}[\text{D_INIT_FLD}]$
(3) $N = \text{OSPI_DEV_DELAY_REG}[\text{D_AFTER_FLD}]$
(4) $R = \text{REFCLK}$ サイクル時間 (ns)

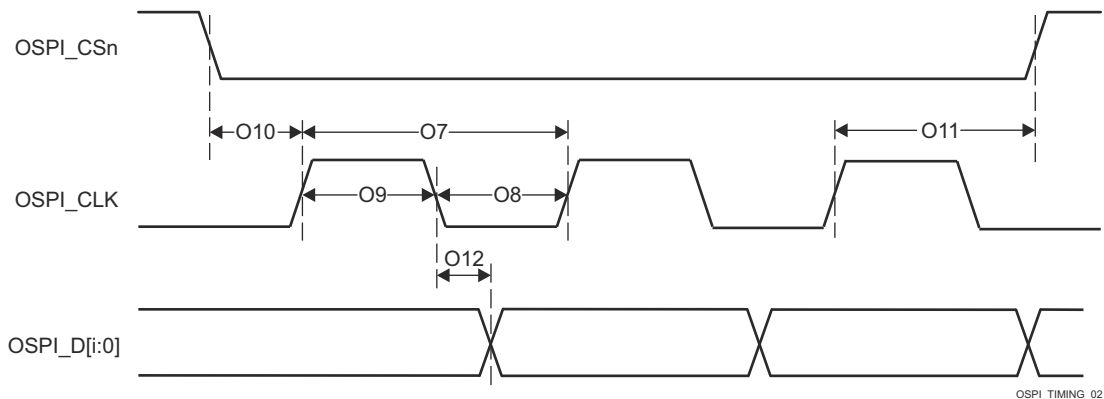


図 6-62. OSPI0 のスイッチング特性 – タップ SDR、ループバックなし

6.12.5.14.2.2 OSPI0 タップDDR のタイミング

OSPI のタイミング要件 - タップDDR モード

番号	パラメータ	説明	モード	最小値	最大値	単位
O13	$t_{su}(D-CLK)$	セットアップ時間、OSPI0_D[7:0] 有効から OSPI0_CLK のエッジまで	ループバックなし	$17.04 - (0.975 \times T^{(1)} \times R^{(2)})$		ns
O14	$t_h(CLK-D)$	ホールド時間、OSPI0_CLK のアクティブ エッジ後に OSPI0_D[7:0] を有効に保持すべき時間	ループバックなし	$-3.16 + (0.975 \times T^{(1)} \times R^{(2)})$		ns

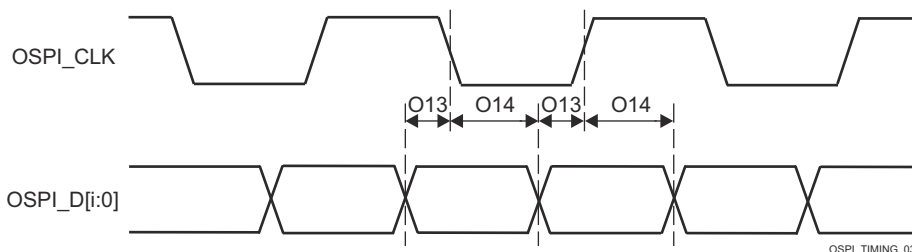
(1) $T = OSPI_RD_DATA_CAPTURE_REG[DELAY_FLD]$ (2) $R = REFCLK$ サイクル時間 (ns)

図 6-63. OSPI0 のタイミング要件 – タップDDR、ループバックなし

OSPI のスイッチング特性 - タップDDR モード

番号	パラメータ	説明	モード	最小値	最大値	単位
O1	$t_c(CLK)$	サイクル時間、OSPI0_CLK		40		ns
O2	$t_w(CLKL)$	パルス幅、OSPI0_CLK low		$0.475P^{(1)} - 0.3$		ns
O3	$t_w(CLKH)$	パルス幅、OSPI0_CLK high		$0.475P^{(1)} - 0.3$		ns
O4	$t_d(CSn-CLK)$	遅延時間、OSPI0_CSn[1:0] アクティブ エッジから OSPI0_CLK 立ち上がりエッジまで		$0.475P^{(1)} + (0.975 \times M^{(2)} \times R^{(4)}) - 1$	$0.525P^{(1)} + (1.025 \times M^{(2)} \times R^{(4)}) + 1$	ns
O5	$t_d(CLK-CSn)$	遅延時間、OSPI0_CLK 立ち上がりエッジから OSPI0_CSn[1:0] 非アクティブ エッジまで		$0.475P^{(1)} + (0.975 \times N^{(3)} \times R^{(4)}) - 1$	$0.525P^{(1)} + (1.025 \times N^{(3)} \times R^{(4)}) + 1$	ns
O6	$t_d(CLK-D)$	遅延時間、OSPI0_CLK アクティブ エッジから OSPI0_D[7:0] 遷移まで		$-5.04 + (0.975 \times T^{(5)} \times R^{(4)}) - 0.525P^{(1)}$	$3.64 + (1.025 \times (T^{(5)} + 1) \times R^{(4)}) - 0.475P^{(1)}$	ns

(1) $P = CLK$ サイクル時間 = SCLK 周期 (ns 単位)(2) $M = OSPI_DEV_DELAY_REG[D_INIT_FLD]$ (3) $N = OSPI_DEV_DELAY_REG[D_AFTER_FLD]$ (4) $R = REFCLK$ サイクル時間 (ns)(5) $T = OSPI_RD_DATA_CAPTURE_REG[DDR_READ_DELAY_FLD]$

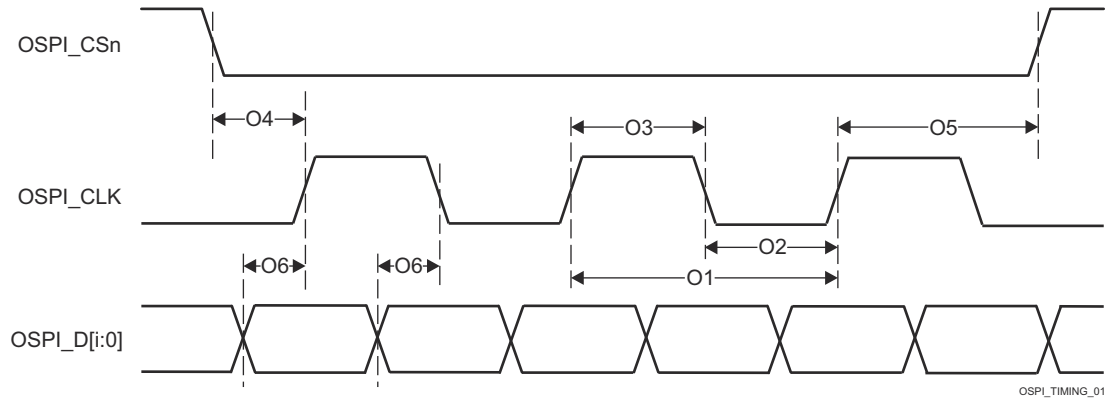


図 6-64. OSPI0 のスイッチング特性 – トップ DDR、ループバックなし

6.12.5.15 タイマ

タイマ デバイスの機能の詳細と追加の説明情報については、「信号の説明」および「詳細説明」セクションの対応するサブセクションを参照してください。

詳細については、デバイスのテクニカル リファレンス マニュアルで「ペリフェラル」の章にある「タイマ」セクションを参照してください。

タイマのタイミング条件

パラメータ		最小値	最大値	単位
入力条件				
SR _I	入力スループレート	0.5	5	V/ns
出力条件				
C _L	出力負荷容量	2	10	pF

タイマのタイミング要件

番号	パラメータ	説明	最小値	最大値	単位
1	t _w (TINPH)	パルス幅、High	2 + 4 × P ⁽¹⁾		ns
2	t _w (TINPL)	パルス幅、Low	2 + 4 × P ⁽¹⁾		ns

(1) P = 機能クロック周期 (ns 単位)。

タイマのスイッチング特性⁽¹⁾

番号	パラメータ	説明	最小値	最大値	単位
3	t _w (TOUTH)	パルス幅、High	-2 + 4 × P ⁽¹⁾		ns
4	t _w (TOU TL)	パルス幅、Low	-2 + 4 × P ⁽¹⁾		ns

(1) P = 機能クロック周期 (ns)

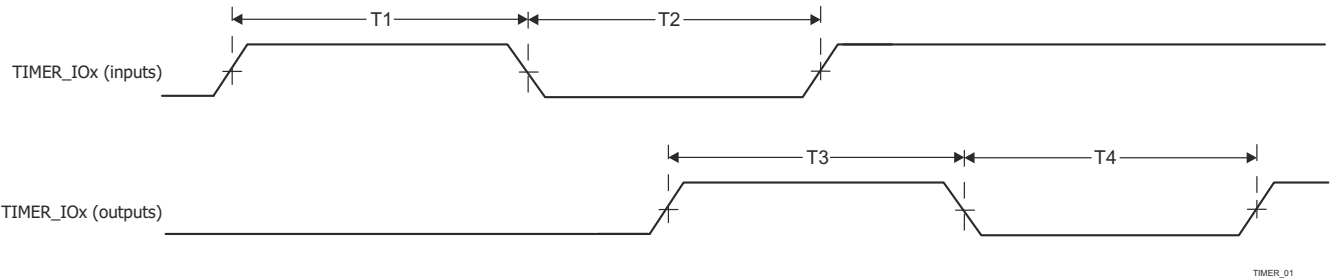


図 6-65. タイマのタイミング要件およびスイッチング特性

6.12.5.16 UART

ユニバーサル非同期レシーバ / トランスミッタ デバイスの機能の詳細および追加説明情報については、「信号の説明」および「詳細説明」の対応するサブセクションを参照してください。

詳細については、デバイスのテクニカル リファレンス マニュアルで「ペリフェラル」の章にある「ユニバーサル非同期レシーバ / トランスミッタ (UART)」セクションを参照してください。

UART のタイミング条件

パラメータ		最小値	最大値	単位
入力条件				
SR _I	入力スループート	0.5	5	V/ns
出力条件				
C _L	出力負荷容量	1	30 ⁽¹⁾	pF

- (1) この値は、絶対最大負荷容量を表します。UART のボーレートが上昇するにつれて、接続されているデバイスに十分なタイミング マージンを確保するために、負荷容量をこの最大制限より小さい値に減らす必要がある場合があります。容量性負荷の増加に伴い、出力の立ち上がり / 立ち下がり時間が長くなり、接続されているデバイスのレシーバに対してデータが有効である時間が短くなります。したがって、接続されたデバイスが動作ボーレートで必要とする最小データ有効時間を理解することが重要です。次に、デバイス IBIS モデルを使用して、UART 信号上の実際の負荷容量によって、接続されているデバイスの最小データ有効時間に違反するほど立ち上がり / 立ち下がり時間が増加しないことを確認します。

UART のタイミング要件

番号	パラメータ	説明	最小値	最大値	単位
4	t _w (RX)	パルス幅、受信データビット High または Low	0.95U ⁽¹⁾ (2)	1.05U ⁽¹⁾ (2)	ns
5	t _w (CTS)	パルス幅、受信スタートビット、High または Low	0.95U ⁽¹⁾ (2)		ns

- (1) U = UART のボー時間 = 1 / プログラムされたボーレート。
(2) この値はデータ有効時間を規定します。ここで、入力電圧は V_{IH} を上回る、または V_{IL} を下回る必要があります。

UART スイッチング特性

番号	パラメータ	説明	最小値	最大値	単位
	f _(baud)	MAIN ドメイン UART のプログラム可能なボー レート		12	Mbps
		WKUP ドメイン UART のプログラム可能なボー レート		3.7	
2	t _w (TX)	パルス幅、送信データビット High または Low	U ⁽¹⁾ - 2	U ⁽¹⁾ + 2	ns
3	t _w (RTS)	パルス幅、送信スタートビット High または Low	U ⁽¹⁾ - 2		ns

- (1) U = UART のボー時間 = 1 / プログラムされたボーレート。

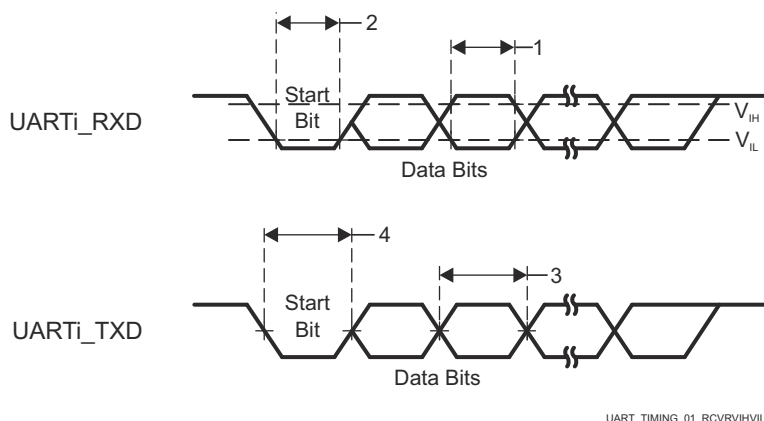


図 6-66. UART のタイミング要件およびスイッチング特性

6.12.5.17 USB

USB 2.0 サブシステムは、ユニバーサル シリアル バス (USB) 仕様、リビジョン 2.0 に準拠しています。タイミングの詳細については、仕様を参照してください。

デバイス、ユニバーサル シリアル バス サブシステム (USB) の機能および追加の説明情報については、「信号の説明」および「詳細説明」の対応するサブ セクションを参照してください。

7 詳細説明

7.1 概要

AM275x プロセッサは、信号処理マイクロコントローラファミリに属し、高性能のデジタル信号処理が必要なオーディオアプリケーションを対象としています。

デバイスの主要なコアには、テキサス・インスツルメンツの ARM® Cortex®-R5F および C7000™ (「C7x」) スカラーおよびベクトル DSP コア、専用行列乗算アクセラレータ (MMA)、および非同期オーディオ サンプル レート コンバータ (ASRC) が含まれます。これらはすべて、車載グレードの安全性とセキュリティ ハードウェア アクセラレータにより保護されています。

DSP コアの概要: C7x コアは、最大 40GFLOPS の DSP コンピューティングを実現します。前世代の C66x DSP コアに比べて、4 ~ 8 倍以上の性能を達成しています。主な特長には以下のものがあります。

- 256 ビットの固定小数点と浮動小数点 DSP ベクタ コア
- シングル サイクルのレイテンシでストリーミング エンジンを通じて L2 メモリにアクセス
- 制御コード効率を向上
- 64 ビット メモリ アドレッシングとシングル サイクルの 64 ビット ベースの算術演算を備えた真の 64 ビット マシン

統合の概要: AM275 SoC は、デュアル C7x DSP コアと共に最大クワッド Arm® Cortex®-R5F コアを内蔵しており、デュアル ロックステップ モードで動作するか、すべてを独立させて動作できます。内蔵セキュリティ機能が現代の攻撃からデータを保護する一方で、内蔵の診断および安全性機能は ASIL-B レベルまでの動作をサポートしています。また、AM275 デバイスには、時間に制約のあるネットワーク機能 (TSN) を備えた 2 ポートのギガビット イーサネット スイッチも搭載されており、イーサネット オーディオ ビデオ ブリッジ (eAVB) などのオーディオ ネットワーク機能を実現できるのと同時に、McASP などのペリフェラルによりマルチチャネル I2S および TDM オーディオ入出力が可能です。このデバイスには、2 つのハードウェア非同期オーディオ サンプル レート コンバータ (ASRC) も搭載されており、デジタル オーディオ ストリームでオーディオ サンプル レートを変換できます。

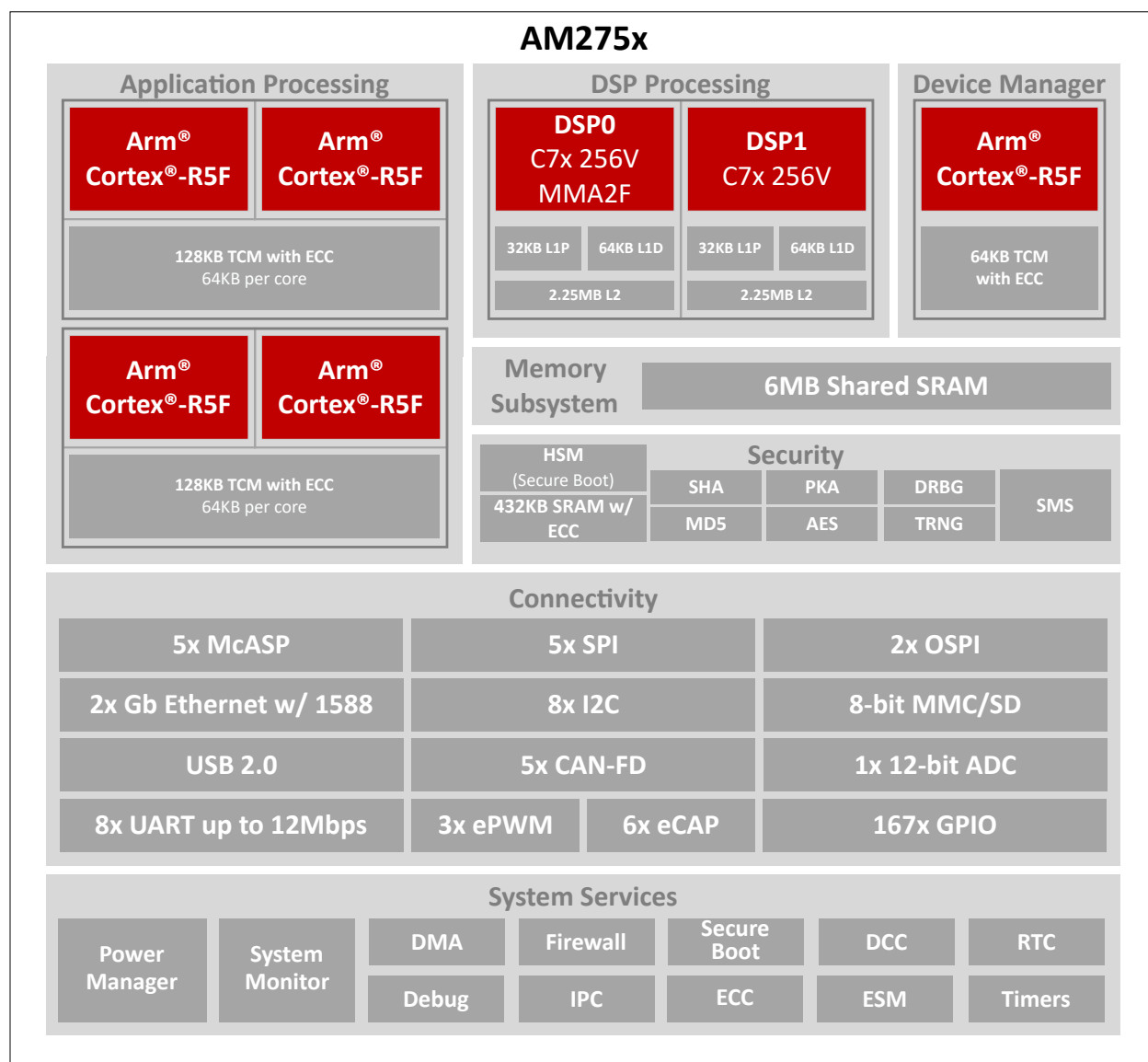
注

スーパーセット デバイスのシステム オン チップ (SoC) の機能、サブシステム、アーキテクチャの詳細については、デバイスのテクニカル リファレンス マニュアル を参照してください。

7.2 機能ブロック図

図 7-1 に、AM275x の機能ブロック図を示します。

図 7-1. 機能ブロック図



7.3 プロセッサ サブシステム

7.3.1 Arm Cortex-R5F サブシステム

R5FSS は、デュアル コア (スプリット) モードまたはロックステップ モード動作用に構成された Arm® Cortex®-R5F プロセッサのデュアル コア実装です。R5FSS には、また、付属のメモリ (L1 キャッシュおよび密結合メモリ)、標準的な Arm® CoreSight™ デバッグおよびトレース アーキテクチャ、統合型のベクタ割り込みマネージャ (VIM)、ECC アグリゲータ、SoC への統合を容易にするプロトコル変換およびアドレス変換用の各種ラッパーも搭載しています。このデバイスは、最大 2 つの R5FSS モジュールをサポートし、合計で 4 個の機能コア (デュアル コア モード) または 2 個の機能コア (ロックステップ モード) を実現します。

注

Arm® Cortex®-R5F プロセッサは、オプションの浮動小数点ユニット (FPU) 拡張機能を備えた Cortex-R5 プロセッサです。

詳細については、デバイスのテクニカル リファレンス マニュアルの「プロセッサとアクセラレータ」の章にある「Arm Cortex-R5F サブシステム」セクションを参照してください。

7.3.2 デバイス/パワー マネージャ

WKUP_R5FSS は、Arm® Cortex®-R5F プロセッサのシングル コア実装で、デバイス マネージャとしてブート、リソース管理、電源管理機能を実行します。WKUP_R5FSS はまた、付属のメモリ (L1 キャッシュおよび密結合メモリ)、標準的な Arm® CoreSight™ デバッグおよびトレース アーキテクチャ、統合型のベクタ割り込みマネージャ (VIM)、ECC アグリゲータ、SoC への統合を容易にするプロトコル変換およびアドレス変換用の各種モジュールも搭載しています。

詳細については、デバイスのテクニカル リファレンス マニュアルの「プロセッサとアクセラレータ」の章にある「Cortex-R5F サブシステム」セクションを参照してください。

8 アプリケーション、実装、およびレイアウト

注

以下のアプリケーション情報は、テキサス・インスツルメンツの製品仕様に含まれるものではなく、テキサス・インスツルメンツはその正確性も完全性も保証いたしません。個々の目的に対する製品の適合性については、お客様の責任で判断していただくことになります。また、お客様は自身の設計実装を検証しテストすることで、システムの機能を確認する必要があります。

8.1 デバイスの接続およびレイアウトの基礎

8.1.1 電源

8.1.2 外部発振器

外部発振器の詳細については、「[クロック仕様](#)」セクションを参照してください。

8.1.3 JTAG、EMU、およびトレース

テキサス・インスツルメンツは、JTAG のサポートだけでなく、さまざまなデバッグ機能を備えた各種の拡張開発システム (XDS) JTAG コントローラをサポートしています。この情報の概要については、『[XDS ターゲット接続ガイド](#)』を参照してください。

JTAG、EMU、およびトレース配線の推奨事項については、『[エミュレーションおよびトレース ヘッダー テクニカル リファレンス マニュアル](#)』を参照してください。

8.1.4 未使用のピン

未使用ピンの詳細については、[ピン接続要件](#) を参照してください。

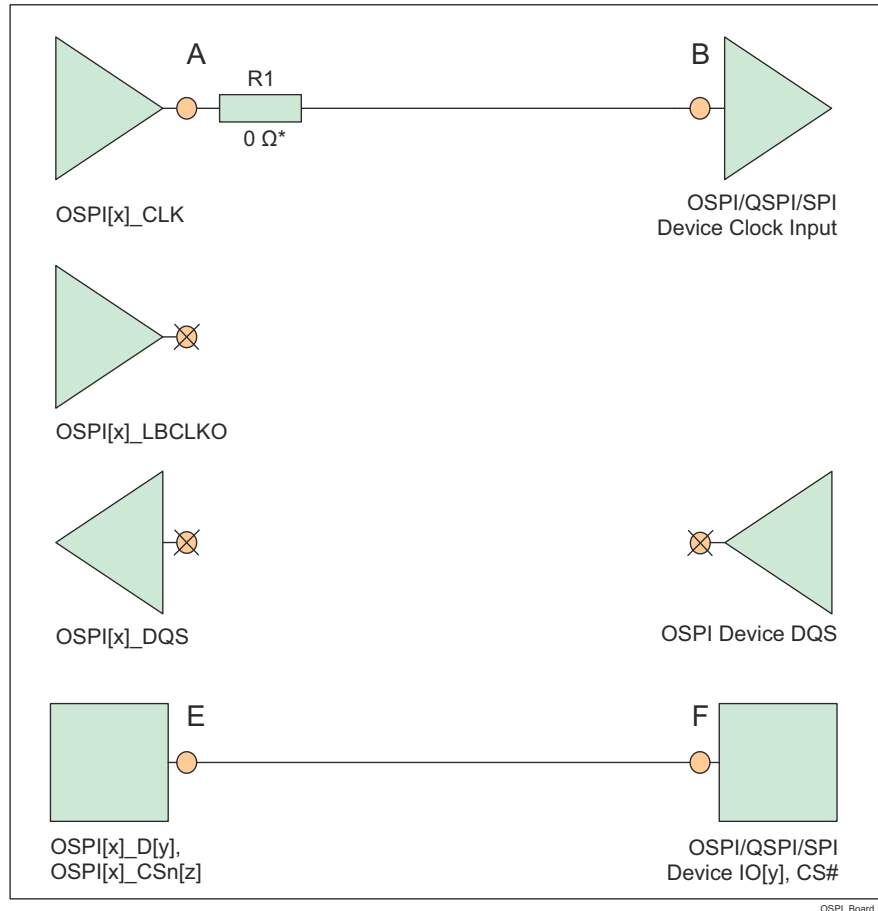
8.2 ペリフェラルおよびインターフェイス固有の設計情報

8.2.1 OSPI/QSPI/SPI 基板の設計およびレイアウトのガイドライン

以下のセクションでは、OSPI、QSPI および SPI デバイスの接続にあたって従うべき PCB の配線ガイドラインについて詳しく説明します。

8.2.1.1 ループバックなし、内部 PHY ループバックおよび内部パッド ループバック

- OSPI[x]_CLK 出力ピンは、接続されている OSPI/QSPI/SPI デバイスの CLK 入力ピンに接続する必要があります。
- OSPI[x]_CLK ピンから接続されている OSPI/QSPI/SPI デバイスの CLK ピン (A から B) までの信号伝搬遅延は 450ps 未満 (ストリップラインの場合は約 7cm、マイクロストリップの場合は約 8cm) とする必要があります。
- 各 OSPI[x]_D[y] および OSPI[x]_CSn[z] ピンから、対応する接続された OSPI/QSPI/SPI デバイス データおよび制御ピン (E から F、または F から E) までの信号伝搬遅延は、OSPI[x]_CLK ピンから接続された OSPI/QSPI/SPI デバイス CLK ピン (A から B) までの信号伝搬遅延にほぼ等しくする必要があります。
- 図 8-1 に示すように、50Ω の PCB 配線および直列終端を推奨します。
- 伝搬遅延とマッチング：
 - (A から B) $\leq$ 450ps
 - (E から F、または F から E) = ((A から B) $\pm$ 60ps)



* 0Ω 抵抗 (R1) は、OSPI[x]_CLK ピンのできるだけ近くに配置して、必要に応じて微調整するためのプレースホルダです。

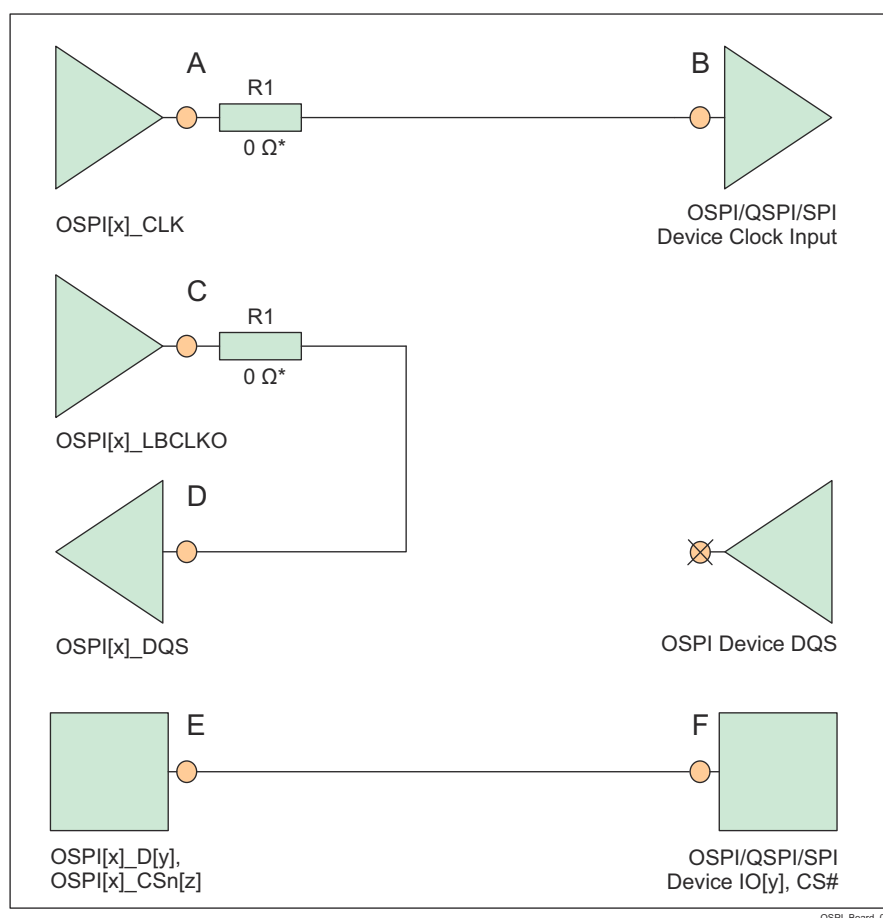
図 8-1. ループバックなし、内部 PHY ループバック、内部パッド ループバックの OSPI 接続回路図

8.2.1.2 外部ボードのループバック

- OSPI[x]_CLK 出力ピンは、接続されている OSPI/QSPI/SPI デバイスの CLK 入力ピンに接続する必要があります。
- OSPI[x]_LBCLKO 出力ピンは、OSPI[x]_DQS 入力ピンにループバックする必要があります。
- OSPI[x]_LBCLKO ピンから OSPI[x]_DQS ピン (C から D) までの信号伝搬遅延は、OSPI[x]_CLK ピンから、接続された OSPI/QSPI/SPI デバイスの CLK ピン (A から B) までの伝搬遅延の約 2 倍である必要があります。
- 各 OSPI[x]_D[y] および OSPI[x]_CSn[z] ピンから、対応する接続された OSPI/QSPI/SPI デバイスのデータおよび制御ピン (E から F、または F から E) までの信号伝搬遅延は、OSPI[x]_CLK ピンから接続された OSPI/QSPI/SPI デバイスの CLK ピン (A から B) までの信号伝搬遅延にほぼ等しい必要があります。
- [図 8-2](#) に示すように、50Ω の PCB 配線および直列終端を推奨します
- 伝搬遅延とマッチング:
 - (C から D) = $2 \times ((A \text{ から } B) \pm 30\text{ps})$ 、下の例外の注を参照してください。
 - (E から F、または F から E) = $((A \text{ から } B) \pm 60\text{ps})$

注

外部ボード ループバック ホールド時間要件 (「OSPI0 のタイミング要件 - PHY DDR モード」セクションのパラメータ番号 **O16** で規定) は、標準的な OSPI/QSPI/SPI デバイスで提供されるホールド時間よりも長い場合があります。この場合、ホールド時間を増やすため、OSPI[x]_LBCLKO ピンから OSPI[x]_DQS ピン (C から D) までの伝搬遅延を短くすることができます。

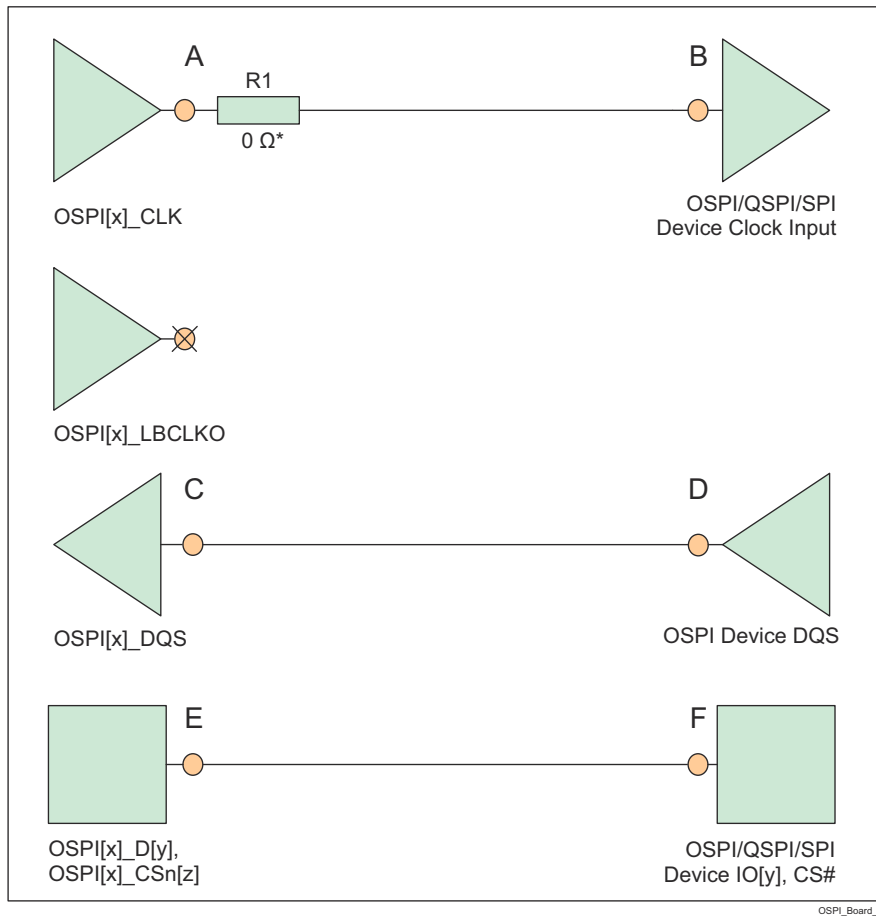


* OSPI[x]_CLK ピンおよび OSPI[x]_LBCLKO ピンのできるだけ近くに配置された 0Ω 抵抗 (R1) は、必要に応じて微調整するためのブレースホルダです。

図 8-2. 外部ボード ループバックの OSPI 接続回路図

8.2.1.3 DQS (オクタル SPI デバイスでのみ使用可能)

- OSPI[x]_CLK 出力ピンは、接続されている OSPI/QSPI/SPI デバイスの CLK 入力ピンに接続する必要があります。
- 接続されている OSPI/QSPI/SPI デバイスの DQS ピンは、OSPI[x]_DQS ピンに接続する必要があります
- 接続された OSPI/QSPI/SPI デバイスの DQS ピンから OSPI[x]_DQS ピン (D から C) までの信号伝搬遅延は、OSPI[x]_CLK ピンから接続された OSPI/QSPI/SPI デバイスの CLK ピン (A から B) までの信号伝搬遅延にほぼ等しくする必要があります
- 各 OSPI[x]_D[y] および OSPI[x]_CSn[z] ピンから、対応する接続された OSPI/QSPI/SPI デバイス データおよび制御ピン (E から F、または F から E) までの信号伝搬遅延は、OSPI[x]_CLK ピンから接続された OSPI/QSPI/SPI デバイス CLK ピン (A から B) までの信号伝搬遅延にほぼ等しくする必要があります
- 図 8-3 に示すように、50Ω の PCB 配線および直列終端を推奨します。
- 伝搬遅延とマッチング：
 - (D から C) = ((A から B) ± 30ps)
 - (E から F、または F から E) = ((A から B) ± 60ps)



* 0Ω 抵抗 (R1) は、OSPI[x]_CLK ピンのできるだけ近くに配置して、必要に応じて微調整するためのプレースホルダです。

図 8-3. DQS の OSPI 接続回路図

8.2.2 USB VBUS 設計ガイドライン

USB 3.1 仕様では、VBUS 電圧は通常動作で最大 5.5V であり、「パワー デリバリー」追補がサポートされている場合は最大 20V になることが許容されています。一部の車載アプリケーションは、最大電圧を 30V にする必要があります。

このデバイスでは、外付けの分圧抵抗を使用して VBUS 信号電圧を下げる必要があります (図 8-4 を参照)。これにより、実際のデバイス ピン (USB0_VBUS) に印加される電圧が制限されます。これらの外部抵抗の許容誤差は 1% 以下、ツェナー ダイオードの 5V でのリーク電流は 100nA 未満の必要があります。

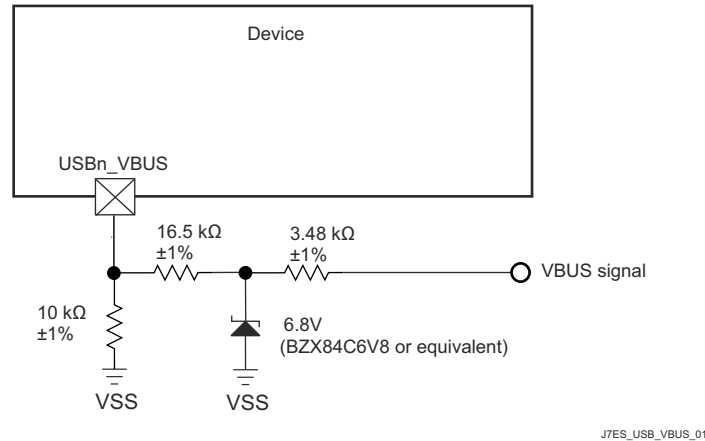


図 8-4. USB VBUS 検出分圧器 / クランプ回路

デバイスの電源がオフのときに VBUS が印加された場合、図 8-4 に示す外部回路によって実際のデバイス ピンへの入力電流が制限されるため、USB0_VBUS ピンはフェイルセーフであると考えられます。

8.2.3 システム電源監視設計ガイドライン

VMON_ER_VSYS ピンは、システム電源を監視する手段を提供します。このシステム電源は通常、システム全体に供給される事前に安定化された 1 つの電源であり、外付け分圧抵抗回路を介して VMON_ER_VSYS ピンに接続できます。このシステム電源は、外部分圧器の出力電圧を内部基準電圧と比較することによって監視されます。VMON_ER_VSYS に印加された電圧が内部基準電圧を下回ると、パワー フェイル イベントがトリガされます。実際のシステム電源電圧トリップ ポイントは、外付け抵抗による分圧回路の実装に使用する部品の値を選択するときに、システム設計者が決定します。

分圧抵抗回路を設計する際は、システム電源監視のトリップ ポイントの変動に寄与するさまざまな要因を理解する必要があります。最初に考慮するのは、VMON_ER_VSYS 入力スレッショルドの初期精度です。このスレッショルドの公称値は 0.45V で、変動は $\pm 3\%$ です。分圧抵抗回路の実装には、同程度の熱係数で高精度の 1% 抵抗を推奨します。これにより、抵抗値の誤差に起因する変動を最小限に抑えることができます。VMON_ER_VSYS に関連する入力リーク電流も考慮する必要があります。これは、ピンに流入する電流によって分圧器出力に負荷誤差が生じるためです。VMON_ER_VSYS 入力のリーク電流は、0.45V 印加時に 10nA ~ 2.5 μ A の範囲となる場合があります。

注

抵抗分圧器は、通常動作条件において、その出力電圧が「推奨動作条件」に定義された最大値を超えないように設計する必要があります。

システム電源が公称 5V で、最大トリガ スレッショルドが 5V - 10%、すなわち 4.5V の場合の例を図 8-5 に示します。

この例では、抵抗値を選択する際に、どの変数が最大トリガ スレッショルドに影響を与えるかを理解する必要があります。システム電源が 10% 低下するまでトリップしない分圧器を設計するには、VMON_ER_VSYS 入力スレッショルドが 0.45V + 3% であるデバイスを検討する必要があります。抵抗の許容誤差と入力リーク電流の影響も考慮する必要がありますが、最大トリガ ポイントに対する寄与は明らかではありません。最大トリガ電圧を生成する部品値を選択するときは、VMON_ER_VSYS ピンの入力リーク電流が 2.5 μ A であるという条件と、R1 の値が 1% 低く、R2 の値が 1% 高いという

条件を考慮する必要があります。R1 = 4.81kΩ および R2 = 40.2kΩ の抵抗分圧器を実装すると、結果として最大トリガスレッシュホールドは 4.517V になります。

上記のように最大トリガ電圧を満たすように部品の値を選択すると、R1 の値が 1% 高く、R2 の値が 1% 低い場合、および入力リーク電流が 10nA またはゼロの場合、システム設計者は、出力電圧が 0.45V - 3% になる印加電圧を計算することにより、最小トリガ電圧を決定できます。上記の抵抗値とゼロの入力リーク電流を組み合わせた結果、最小トリガスレッシュホールドは 4.013 V となります。

この例は、4.013V から 4.517V まで変動するシステム電源電圧トリップ ポイントを示しています。この範囲のうち約 250mV は VMON_ER_VSYS の入力スレッシュホールド精度 $\pm 3\%$ によって発生し、約 150mV は抵抗の誤差 $\pm 1\%$ によって発生し、約 100mV は VMON_VSYS の入力リーク電流が 2.5μA である場合の負荷誤差により発生しています。

この例で選択した抵抗値では、システム電源が 4.5V のとき、分圧抵抗により約 100μA のバイアス電流が発生します。上記の 100mV の負荷誤差は、分圧抵抗を流れるバイアス電流を約 1mA に増やすことにより、約 10mV に低減できます。したがって、抵抗分圧器のバイアス電流と負荷誤差の関係は、部品の値を選択するときにシステム設計者が考慮する必要があります。

VMON_ER_VSYS は、最小のヒステリシスで、過渡に対する高帯域応答を備えているため、システム設計者は分圧器出力にノイズ フィルタを実装することも考慮する必要があります。これは、図 8-5 に示すように、R1 の両端にコンデンサを取り付けることで実現できます。ただし、システム設計者は、システムの電源ノイズと、過渡現象に対して予測される応答に基づいて、このフィルタの応答時間を決定する必要があります。

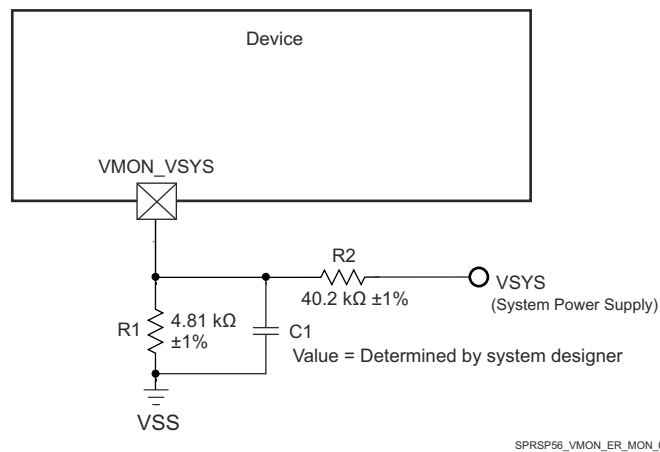


図 8-5. システム電源監視分圧回路

VMON_1P8_SOC ピンは、外部 1.8V 電源を監視する手段を提供します。このピンは、それぞれの電源に直接接続する必要があります。この SoC には、これらの各ピン用にソフトウェア制御の内部分圧抵抗が実装されています。ソフトウェアにより内部分圧抵抗回路をプログラミングすることで、適切な低電圧および過電圧の割り込みを生成できます。

VMON_3P3_SOC ピンは、外部 3.3V 電源を監視する手段を提供します。このピンは、それぞれの電源に直接接続する必要があります。この SoC には、これらの各ピン用にソフトウェア制御の内部分圧抵抗が実装されています。ソフトウェアにより内部分圧抵抗回路をプログラミングすることで、適切な低電圧および過電圧の割り込みを生成できます。

8.2.4 高速差動信号のルーティング ガイド

『高速インターフェイスのレイアウト ガイドライン』には、高速差動信号を正しく配線するためのガイダンスが示されています。これには、PCB スタックアップと材料のガイダンス、配線スキュー、長さ、間隔の制限が含まれます。テキサス・インスツルメンツは、このアプリケーション ノートに記載されているボード設計ガイドラインに従った設計のみをサポートしています。

8.2.5 熱ソリューション ガイダンス

『DSP および ARM アプリケーション プロセッサ用の熱設計ガイド』は、このデバイスを搭載したシステム設計の熱ソリューションを正しく実装するための指針を提供しています。この資料は、熱ソリューションに関連する一般的な用語と方法に関

する背景情報を記載しています。テキサス・インスツルメンツは、このアプリケーション ノートに記載されているシステム設計ガイドラインに従った設計のみをサポートしています。

8.3 クロック配線のガイドライン

8.3.1 発振器の配線

プリント基板を設計する際、以下のことに留意してください。

- 水晶振動子回路の部品はすべて、各デバイス ピンのできるだけ近くに配置します。
- 水晶振動子回路のパターンは **PCB** の外層に配線します。そして、寄生容量を減らし、その他の信号からのクロストークを最小化するため、パターン長を最小限に抑えます。
- すべての水晶振動子回路部品と水晶振動子回路パターンの下になるように、隣接する **PCB** 層に連続的なグラウンドプレーンを配置します。
- 水晶振動子回路部品の周囲にグラウンド ガードを配置し、水晶振動子回路パターンと同じ層に配線された隣接信号から、これらの部品をシールドします。グラウンド ガードが未終端のスタブを持たないように、複数のビアを挿入して、グラウンド ガードをグラウンド プレーンに接続します。
- **MCU_OSC0_XI/OSC1_XI/WKUP_LFOSC0_XI** 信号と **MCU_OSC0_XO/OSC1_XO/WKUP_LFOSC0_XO** 信号の間にグラウンド ガードを配置し、**_XI** 信号を **_XO** 信号からシールドします。グラウンド ガードが未終端のスタブを持たないように、複数のビアを挿入して、グラウンド ガードをグラウンドに接続します。
- 水晶振動子回路のすべてのグラウンド接続とグラウンド ガード接続は、隣接する層のグラウンド プレーンに直接接続します (**PCB** の異なる層に個別に実装されている場合、デバイス **VSS** グラウンド プレーンに接続します)。

注

MCU_OSC0_XI/OSC1_XI/WKUP_LFOSC0_XI 信号と **MCU_OSC0_XO/OSC1_XO/WKUP_LFOSC0_XO** 信号の間にグラウンド ガードを実装することは、2 つの信号間のシャント容量を最小化するために重要です。これらの 2 つの信号の間にグラウンド ガードを配置しないで、これらの 2 つの信号を隣接して配線すると、発振器アンプのゲインが実質的に低下し、発振開始能力が低下します。

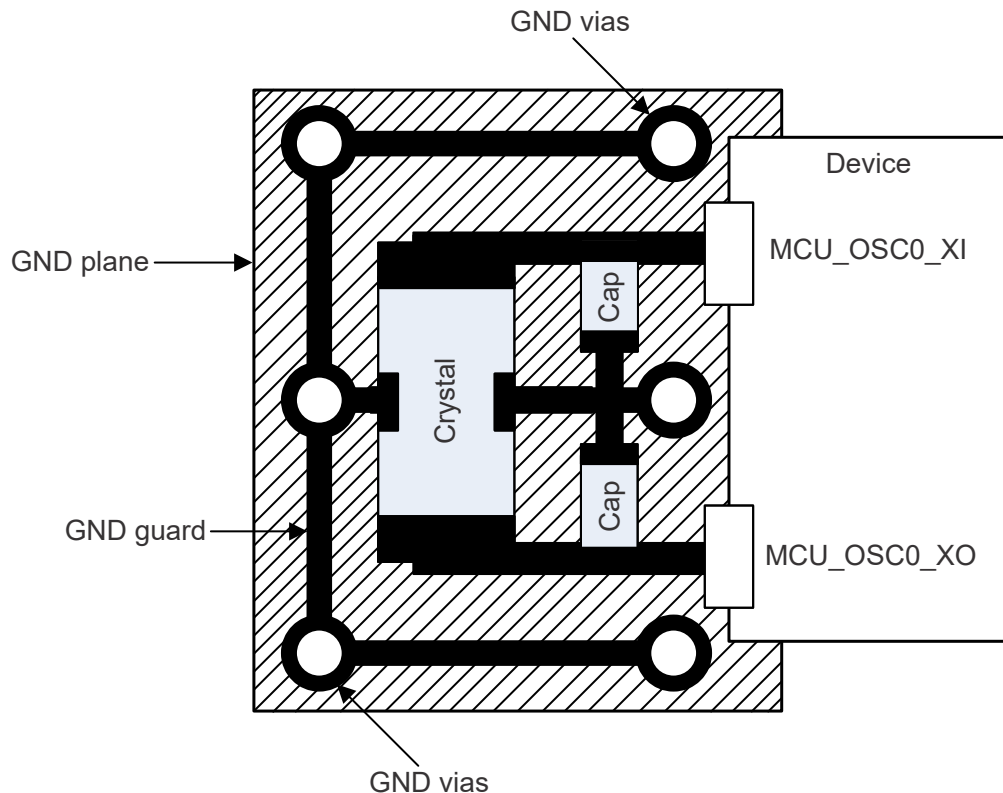


図 8-6. MCU_OSC0/OSC1/WKUP_LFOSC0 の PCB 要件

9 デバイスおよびドキュメントのサポート

9.1 デバイスの命名規則

製品開発サイクルの段階を示すために、TI ではマイクロプロセッサ (MPU) とサポート ツールのすべての型番に接頭辞が割り当てられています。各デバイスには次の 3 つのいずれかの接頭辞があります: X、P、空白 (接頭辞なし) (例: AM27542AFZIANJRQ1)。テキサス・インスツルメンツでは、サポート ツールについては、使用可能な 3 つの接頭辞のうち TMDX および TMDS の 2 つを推奨しています。これらの接頭辞は、製品開発の進展段階を表します。段階には、エンジニアリング プロトタイプ(TMDX)から、完全認定済みの量産デバイス/ツール(TMDS)まであります。

デバイスの開発進展フロー:

X 実験的デバイス。最終デバイスの電気的特性を必ずしも表さず、量産アセンブリ フローを使用しない可能性があります。

P プロトタイプ デバイス。最終的なシリコン ダイとは限らず、最終的な電気的特性を満たさない可能性があります。

空白 認定済みのシリコン ダイの量産バージョン。

サポート ツールの開発進展フロー:

TMDX 開発サポート製品。テキサス・インスツルメンツの社内認定試験はまだ完了していません。

TMDS 完全に認定済みの開発サポート製品です。

X および P デバイスと TMDX 開発サポート ツールは、以下の免責事項の下で出荷されます。

「開発中の製品は、社内での評価用です。」

量産デバイスおよび TMDS 開発サポート ツールの特性は完全に明確化されており、デバイスの品質と信頼性が十分に示されています。テキサス・インスツルメンツの標準保証が適用されます。

プロトタイプ デバイス(X または P)の方が標準的な量産デバイスに比べて故障率が大きいと予測されます。これらのデバイスは予測される最終使用時の故障率が未定義であるため、テキサス・インスツルメンツではそれらのデバイスを量産システムで使用しないよう推奨しています。認定済みの量産デバイスのみを使用する必要があります。

ANJ パッケージ タイプの AM275 デバイスの注文可能な型番については、このドキュメントにあるパッケージ オプションの付録やテキサス・インスツルメンツの Web サイト ([ti.com](https://www.ti.com)) を参照するか、テキサス・インスツルメンツの販売代理店にお問い合わせください。

9.1.1 標準パッケージの記号化

注

一部のデバイスには、パッケージの上面に装飾的な円形のマーキングがあります。これは、量産テストプロセスの結果として添付されます。さらに、一部のデバイスでは、パッケージのサブストレートの製造元によって、パッケージのサブストレートに色のばらつきが見られる場合があります。このばらつきは外見上だけのものであって、信頼性には影響しません。

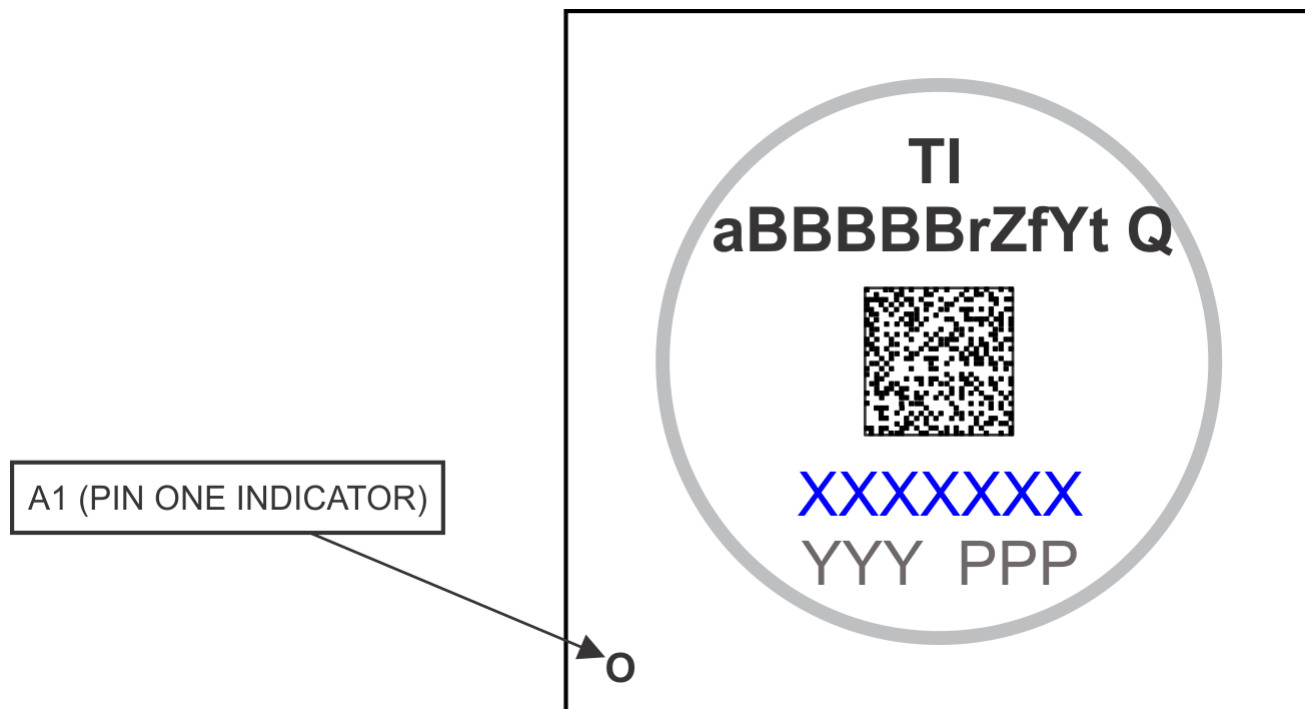


図 9-1. 印刷されたデバイス参照

9.1.2 デバイスの命名規則

フィールド パラメータ	フィールドの説明	値	説明
a	デバイスの開発段階 ⁽¹⁾	X	プロトタイプ
		P	量産前(量産テストフロー、信頼性データなし)
		空白 (null)	量産出荷中
BBBBB	基本量産型番	(AM)27542	接頭辞「AM」はパッケージでは記号として示されていません。 P/N の詳細については、 デバイスの比較 を参照してください。
		(AM)27522	
		(AM)27521	
r	デバイス リビジョン	A	SR 1.0
Z	デバイス速度とメモリ グレード	A	以下を参照 動作性能ポイント
		B	
		C	
		D	
		E	
		F	
f	ソフトウェア バンドル	Z、F	ソフトウェア バンドルがありません
t	温度 ⁽²⁾	A	-40°C～105°C - 産業用
		I	-40°C～125°C - 車載用
Q	車載識別記号	空白	標準
		Q1	このドキュメント (データシート) に記載されている例外を除き、AEC-Q100 認定要件に適合。 T _J = -40°C～125°C に対応
	2D バーコード	条件によって変化	オプションの 2D バーコード
		空白	
XXXXXXX	ロットのトレース コード(LTC)		
YYY	量産コード、TI でのみ使用		
PPP	パッケージ記号	ANJ	ANJ FCCSP (15.8mm × 15.8mm)
O	ピン 1 の指定子		

- (1) 製品開発サイクルの段階を示すために、TI では型番に接頭辞を割り当てます。これらの接頭辞は、製品開発の進展段階を表します。段階には、エンジニアリング プロトタイプから、完全認定済みの量産デバイスまであります。
プロトタイプ デバイスは、次の免責事項付きで出荷されます。
「この製品はまだ開発中であり、社内での評価を目的としています」。
テキサス・インスツルメンツはこれらのデバイスについて、これに反するような条項が存在していても、明示的、暗黙的、法定にかかわらず、商用性や特定目的への適合性への暗黙的な保証も含め、一切の責任を負いません。
- (2) デバイスの接合部の最大温度に適用されます。

注

記号または型番の空白は省略されるため、前後の文字は連続して表記されます。

9.2 ツールとソフトウェア

以下の開発ツールは、テキサス・インスツルメンツの組み込みプロセッシング プラットフォームの開発をサポートしています。

開発ツール

Code Composer Studio™ 統合開発環境 Code Composer Studio (CCS) 統合開発環境 (IDE) は、テキサス・インスツルメンツのマイクロコントローラと組み込みプロセッサのポートフォリオをサポートする開発環境です。Code Composer Studio は、組み込みアプリケーションの開発およびデバッグに必要な一連のツールで構成されています。最適化 C/C++ コンパイラ、ソースコードエディタ、プロジェクトビルド環境、デバッガ、プロファイラなど、多数の機能が含まれています。IDE は直感的で、アプリケーションの開発フローの各段階を、すべて同一のユーザー インターフェイスで実行できます。使い慣れたツールとインターフェイスにより、ユーザーは従来より迅速に作業を開始できます。Code Composer Studio は、Eclipse ソフトウェア フレームワークの利点と、テキサス・インスツルメンツの先進的な組み込みデバッグ機能の利点を組み合わせて、組み込み製品の開発者向けの魅力的で機能豊富な開発環境を実現します。

SysConfig-PinMux ツール SysConfig-PinMux ツールは、テキサス・インスツルメンツの組み込みプロセッサ デバイスのピン多重化設定を構成し、競合を解決し、I/O セルの特性を指定するためのグラフィカル ユーザー インターフェイスを提供するソフトウェア ツールです。このツールを使用すると、入力したシステム要件を満たすために最適なピン マルチプレクサ構成を自動的に計算できます。このツールは C ヘッダ / コード ファイルを出力し、これらのファイルをソフトウェア開発キット (SDK) にインポートしたり、カスタム ハードウェア要件を満たすためにカスタム ソフトウェアを構成したりするために使用できます。[クラウド ベースの SysConfig-PinMux ツール](#)も利用できます。

プロセッサ プラットフォーム用の開発サポート ツールすべての一覧については、テキサス・インスツルメンツの Web サイト ([ti.com](https://www.ti.com)) を参照してください。価格と在庫状況については、お近くのフィールド セールス オフィスまたは認可代理店にお問い合わせください。

9.3 ドキュメントのサポート

ドキュメントの更新についての通知を受け取るには、[ti.com](https://www.ti.com) のデバイス製品フォルダを開いてください。[通知] をクリックして登録すると、変更されたすべての製品情報に関するダイジェストを毎週受け取ることができます。変更の詳細については、修正されたドキュメントに含まれている改訂履歴をご覧ください。

以下のドキュメントは、AM275 デバイスについて記載しています。

テクニカル リファレンス マニュアル

『AM275 プロセッサ シリコン リビジョン 1.0 テクニカル リファレンス マニュアル』: AM275 デバイス ファミリに含まれる各ペリフェラルおよびサブシステムについて、統合、環境、機能説明、プログラミング モデルの詳細が記載されています。

エラッタ

『AM275 プロセッサ シリコン リビジョン 1.0 シリコン エラッタ』: このデバイスの機能仕様に関する既知の例外が記載されています。

9.4 サポート リソース

TI E2E™ サポート フォーラムは、エンジニアが検証済みの回答と設計に関するヒントをエキスパートから迅速かつ直接得ることができる場所です。既存の回答を検索したり、独自の質問をしたりすることで、設計に必要な支援を迅速に得ることができます。

リンクされているコンテンツは、各寄稿者により「現状のまま」提供されるものです。これらは テキサス・インスツルメンツの仕様を構成するものではなく、必ずしも テキサス・インスツルメンツの見解を反映したものではありません。テキサス・インスツルメンツの[使用条件](#)を参照してください。

9.5 商標

C7000™, Code Composer Studio™, and TI E2E™ are trademarks of Texas Instruments.

CoreSight™ is a trademark of Arm Limited (or its subsidiaries) in the US and/or elsewhere.

Arm® and Cortex® are registered trademarks of Arm Limited (or its subsidiaries) in the US and/or elsewhere.

すべての商標は、それぞれの所有者に帰属します。

9.6 静電放電に関する注意事項



この IC は、ESD によって破損する可能性があります。テキサス・インスツルメンツは、IC を取り扱う際には常に適切な注意を払うことを推奨します。正しい取り扱いおよび設置手順に従わない場合、デバイスを破損するおそれがあります。

ESD による破損は、わずかな性能低下からデバイスの完全な故障まで多岐にわたります。精密な IC の場合、パラメータがわずかに変化するだけで公表されている仕様から外れる可能性があるため、破損が発生しやすくなっています。

9.7 用語集

テキサス・インスツルメンツ用語集 この用語集には、用語や略語の一覧および定義が記載されています。

10 改訂履歴

Changes from DECEMBER 13, 2024 to JULY 31, 2025 (from Revision * (December 2024) to Revision A (July 2025))

	Page
• 機能ブロック図:DPS0 C7x 256V MMA3F を MMA2F に変更.....	4
• ピン属性:VDD CANUART および VDD CANUART IO 電圧を訂正。.....	12
• 電源シーケンス:VDDA_ADC0 を追加.....	78
• タイミングおよびスイッチング特性:データレーニングなしの OSPI PHY DDR を削除.....	147
• タイミングおよびスイッチング特性:UART の最大ボー レートを、負荷容量ではなく SoC ドメインに依存するように変更。.....	153
• タイミングおよびスイッチング特性:UART CTS から送信データ タイミングを削除.....	153
• 機能ブロック図:DPS0 C7x 256V MMA3F を MMA2F に変更.....	156
• デバイスの命名規則が更新されました.....	168

11 メカニカル、パッケージ、および注文情報

11.1 パッケージ情報

以降のページには、メカニカル、パッケージ、および注文に関する情報が記載されています。この情報は、指定のデバイスに使用できる最新のデータです。このデータは、予告なく、このドキュメントを改訂せずに変更される場合があります。本データシートのブラウザ版を使用されている場合は、画面左側の説明をご覧ください。

重要なお知らせと免責事項

テキサス・インスツルメンツは、技術データと信頼性データ (データシートを含みます)、設計リソース (リファレンス デザインを含みます)、アプリケーションや設計に関する各種アドバイス、Web ツール、安全性情報、その他のリソースを、欠陥が存在する可能性のある「現状のまま」提供しており、商品性および特定目的に対する適合性の黙示保証、第三者の知的財産権の非侵害保証を含むいかなる保証も、明示的または黙示的にかかわらず拒否します。

これらのリソースは、テキサス・インスツルメンツ製品を使用する設計の経験を積んだ開発者への提供を意図したものです。(1) お客様のアプリケーションに適した テキサス・インスツルメンツ製品の選定、(2) お客様のアプリケーションの設計、検証、試験、(3) お客様のアプリケーションに該当する各種規格や、その他のあらゆる安全性、セキュリティ、規制、または他の要件への確実な適合に関する責任を、お客様のみが単独で負うものとします。

上記の各種リソースは、予告なく変更される可能性があります。これらのリソースは、リソースで説明されている テキサス・インスツルメンツ製品を使用するアプリケーションの開発の目的でのみ、テキサス・インスツルメンツはその使用をお客様に許諾します。これらのリソースに関して、他の目的で複製することや掲載することは禁止されています。テキサス・インスツルメンツや第三者の知的財産権のライセンスが付与されている訳ではありません。お客様は、これらのリソースを自身で使用した結果発生するあらゆる申し立て、損害、費用、損失、責任について、テキサス・インスツルメンツおよびその代理人を完全に補償するものとし、テキサス・インスツルメンツは一切の責任を拒否します。

テキサス・インスツルメンツの製品は、[テキサス・インスツルメンツの販売条件](#)、または [ti.com](https://www.ti.com) やかかる テキサス・インスツルメンツ製品の関連資料などのいずれかを通じて提供する適用可能な条項の下で提供されています。テキサス・インスツルメンツがこれらのリソースを提供することは、適用されるテキサス・インスツルメンツの保証または他の保証の放棄の拡大や変更を意味するものではありません。

お客様がいかなる追加条項または代替条項を提案した場合でも、テキサス・インスツルメンツはそれらに異議を唱え、拒否します。

郵送先住所: Texas Instruments, Post Office Box 655303, Dallas, Texas 75265
Copyright © 2025, Texas Instruments Incorporated

PACKAGING INFORMATION

Orderable part number	Status (1)	Material type (2)	Package Pins	Package qty Carrier	RoHS (3)	Lead finish/ Ball material (4)	MSL rating/ Peak reflow (5)	Op temp (°C)	Part marking (6)
AM27521AAZIANJRQ1	Active	Production	FCCSP (ANJ) 361	1000 LARGE T&R	-	Call TI	Level-3-250C-168 HR	-	21AAZI Q1
AM27521ABZIANJRQ1	Active	Production	FCCSP (ANJ) 361	1000 LARGE T&R	-	Call TI	Level-3-250C-168 HR	-	21ABZI Q1
AM27522ACZIANJRQ1	Active	Production	FCCSP (ANJ) 361	1000 LARGE T&R	-	Call TI	Level-3-250C-168 HR	-	22ACZI Q1
AM27542ADZIANJRQ1	Active	Production	FCCSP (ANJ) 361	1000 LARGE T&R	-	Call TI	Level-3-250C-168 HR	-	42ADZI Q1
AM27542AEZIANJRQ1	Active	Production	FCCSP (ANJ) 361	1000 LARGE T&R	-	Call TI	Level-3-250C-168 HR	-	42AEZI Q1
AM27542AFZIANJRQ1	Active	Production	FCCSP (ANJ) 361	1000 LARGE T&R	-	Call TI	Level-3-250C-168 HR	-	42AFZI Q1
XAM27542AFFIANJ	Active	Preproduction	FCCSP (ANJ) 361	84 JEDEC TRAY (10+1)	-	Call TI	Call TI	-40 to 125	
XAM27542AFFIANJ.B	Active	Preproduction	FCCSP (ANJ) 361	84 JEDEC TRAY (10+1)	-	Call TI	Call TI	See XAM27542AFFIANJ	

⁽¹⁾ **Status:** For more details on status, see our [product life cycle](#).

⁽²⁾ **Material type:** When designated, preproduction parts are prototypes/experimental devices, and are not yet approved or released for full production. Testing and final process, including without limitation quality assurance, reliability performance testing, and/or process qualification, may not yet be complete, and this item is subject to further changes or possible discontinuation. If available for ordering, purchases will be subject to an additional waiver at checkout, and are intended for early internal evaluation purposes only. These items are sold without warranties of any kind.

⁽³⁾ **RoHS values:** Yes, No, RoHS Exempt. See the [TI RoHS Statement](#) for additional information and value definition.

⁽⁴⁾ **Lead finish/Ball material:** Parts may have multiple material finish options. Finish options are separated by a vertical ruled line. Lead finish/Ball material values may wrap to two lines if the finish value exceeds the maximum column width.

⁽⁵⁾ **MSL rating/Peak reflow:** The moisture sensitivity level ratings and peak solder (reflow) temperatures. In the event that a part has multiple moisture sensitivity ratings, only the lowest level per JEDEC standards is shown. Refer to the shipping label for the actual reflow temperature that will be used to mount the part to the printed circuit board.

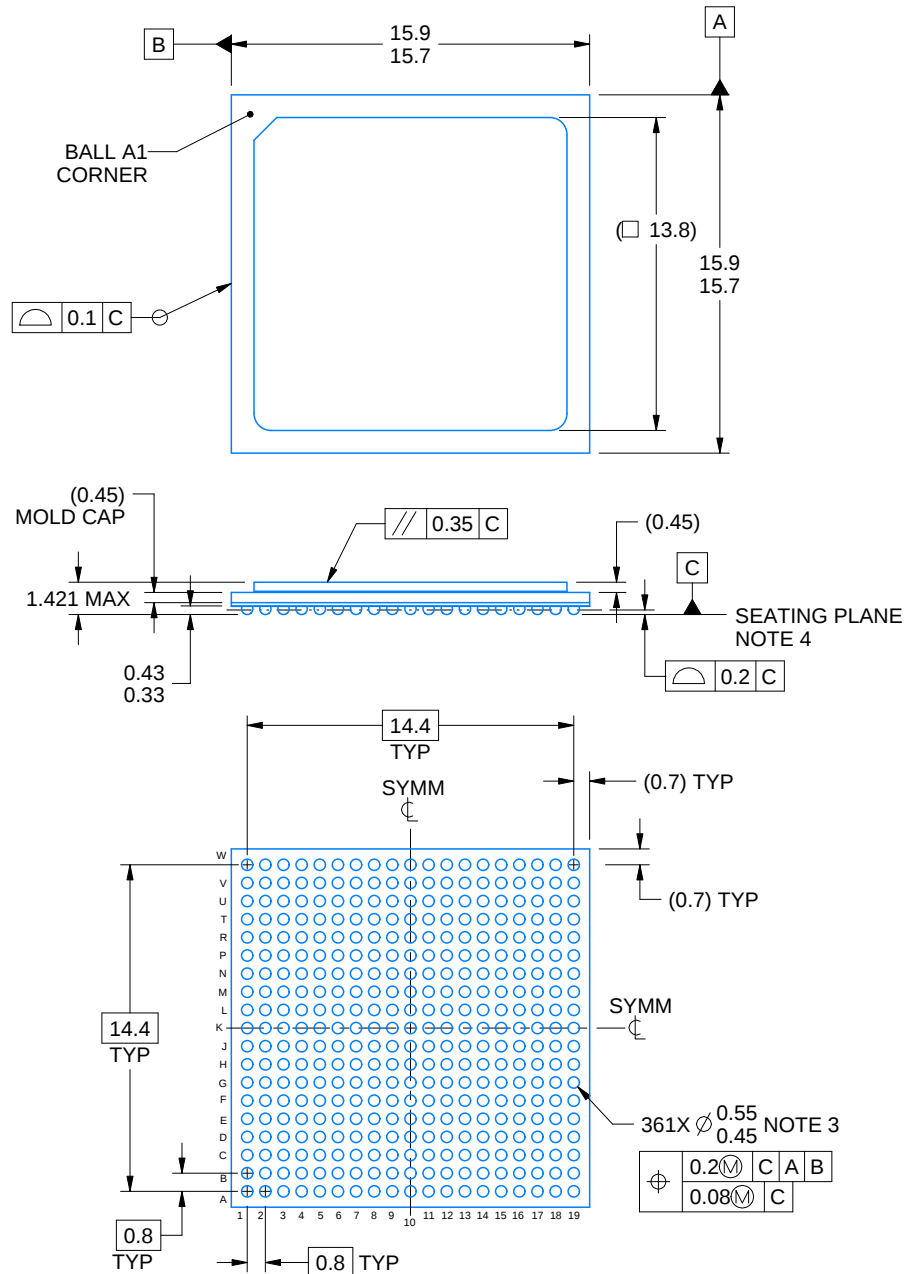
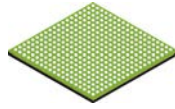
⁽⁶⁾ **Part marking:** There may be an additional marking, which relates to the logo, the lot trace code information, or the environmental category of the part.

Multiple part markings will be inside parentheses. Only one part marking contained in parentheses and separated by a "-" will appear on a part. If a line is indented then it is a continuation of the previous line and the two combined represent the entire part marking for that device.

Important Information and Disclaimer:The information provided on this page represents TI's knowledge and belief as of the date that it is provided. TI bases its knowledge and belief on information provided by third parties, and makes no representation or warranty as to the accuracy of such information. Efforts are underway to better integrate information from third parties. TI has taken and continues to take reasonable steps to provide representative

and accurate information but may not have conducted destructive testing or chemical analysis on incoming materials and chemicals. TI and TI suppliers consider certain information to be proprietary, and thus CAS numbers and other limited information may not be available for release.

In no event shall TI's liability arising out of such information exceed the total purchase price of the TI part(s) at issue in this document sold by TI to Customer on an annual basis.



4230660/A 04/2024

NOTES:

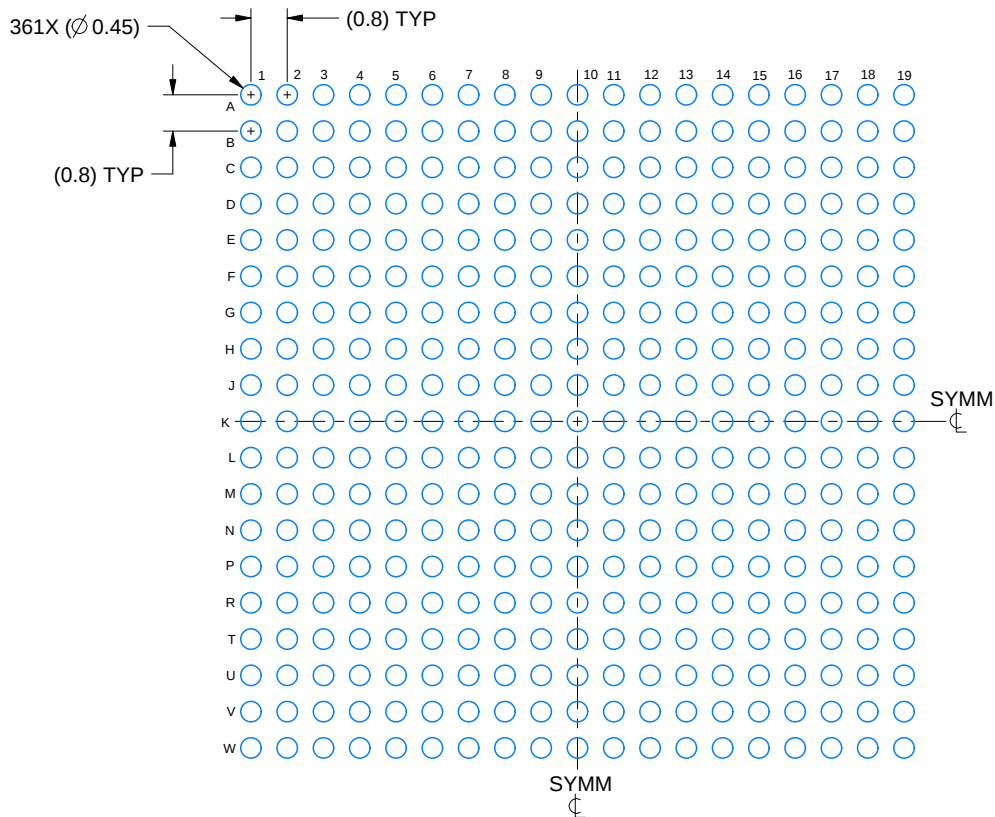
1. All linear dimensions are in millimeters. Any dimensions in parenthesis are for reference only. Dimensioning and tolerancing per ASME Y14.5M.
2. This drawing is subject to change without notice.
3. Dimension is measured at the maximum solder ball diameter, post reflow, parallel to primary datum C.
4. Primary datum C and seating plane are defined by the spherical crowns of the solder balls.

EXAMPLE BOARD LAYOUT

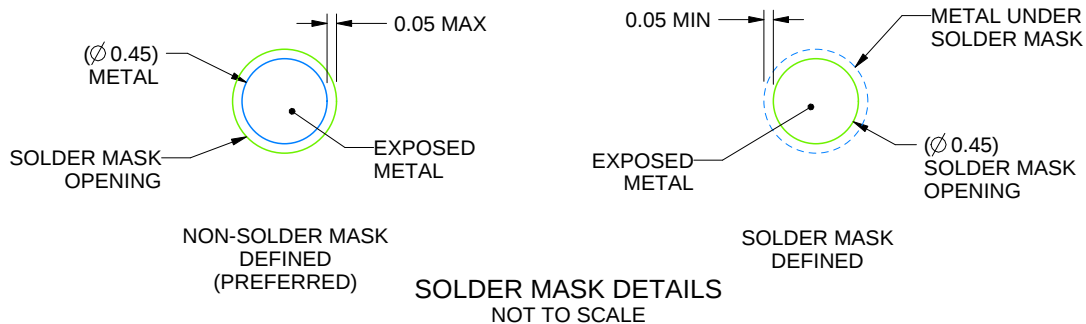
ANJ0361A

FCCSP - 1.421 mm max height

BALL GRID ARRAY



LAND PATTERN EXAMPLE
EXPOSED METAL SHOWN
SCALE: 6X



4230660/A 04/2024

NOTES: (continued)

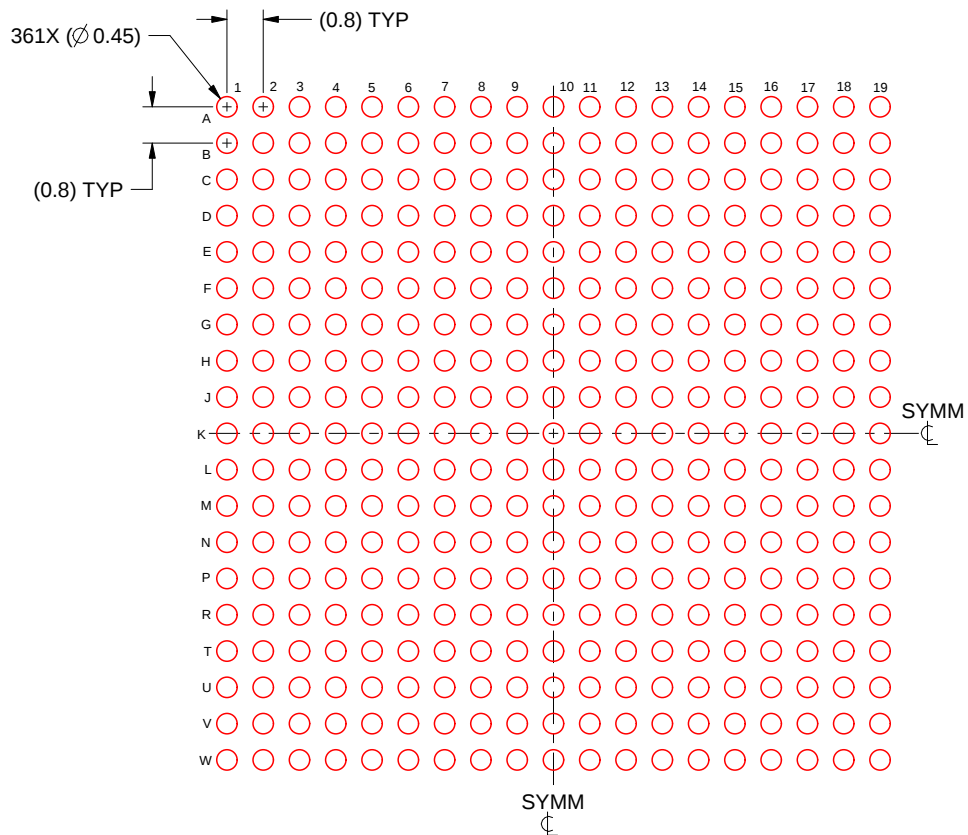
- Final dimensions may vary due to manufacturing tolerance considerations and also routing constraints. See Texas Instruments Literature No. SPRU811 (www.ti.com/lit/spru811).

EXAMPLE STENCIL DESIGN

ANJ0361A

FCCSP - 1.421 mm max height

BALL GRID ARRAY



SOLDER PASTE EXAMPLE
 BASED ON 0.15 mm THICK STENCIL
 SCALE: 6X

4230660/A 04/2024

NOTES: (continued)

6. Laser cutting apertures with trapezoidal walls and rounded corners may offer better paste release.

重要なお知らせと免責事項

テキサス・インスツルメンツは、技術データと信頼性データ (データシートを含みます)、設計リソース (リファレンス デザインを含みます)、アプリケーションや設計に関する各種アドバイス、Web ツール、安全性情報、その他のリソースを、欠陥が存在する可能性のある「現状のまま」提供しており、商品性および特定目的に対する適合性の黙示保証、第三者の知的財産権の非侵害保証を含むいかなる保証も、明示的または黙示的にかかわらず拒否します。

これらのリソースは、テキサス・インスツルメンツ製品を使用する設計の経験を積んだ開発者への提供を意図したものです。(1) お客様のアプリケーションに適した テキサス・インスツルメンツ製品の選定、(2) お客様のアプリケーションの設計、検証、試験、(3) お客様のアプリケーションに該当する各種規格や、その他のあらゆる安全性、セキュリティ、規制、または他の要件への確実な適合に関する責任を、お客様のみが単独で負うものとします。

上記の各種リソースは、予告なく変更される可能性があります。これらのリソースは、リソースで説明されている テキサス・インスツルメンツ製品を使用するアプリケーションの開発の目的でのみ、テキサス・インスツルメンツはその使用をお客様に許諾します。これらのリソースに関して、他の目的で複製することや掲載することは禁止されています。テキサス・インスツルメンツや第三者の知的財産権のライセンスが付与されている訳ではありません。お客様は、これらのリソースを自身で使用した結果発生するあらゆる申し立て、損害、費用、損失、責任について、テキサス・インスツルメンツおよびその代理人を完全に補償するものとし、テキサス・インスツルメンツは一切の責任を拒否します。

テキサス・インスツルメンツの製品は、[テキサス・インスツルメンツの販売条件](#)、または [ti.com](https://www.ti.com) やかかる テキサス・インスツルメンツ製品の関連資料などのいずれかを通じて提供する適用可能な条項の下で提供されています。テキサス・インスツルメンツがこれらのリソースを提供することは、適用される テキサス・インスツルメンツの保証または他の保証の放棄の拡大や変更を意味するものではありません。

お客様がいかなる追加条項または代替条項を提案した場合でも、テキサス・インスツルメンツはそれらに異議を唱え、拒否します。

郵送先住所：Texas Instruments, Post Office Box 655303, Dallas, Texas 75265
Copyright © 2025, Texas Instruments Incorporated