AM261x Sitara™ マイクロコントローラ

1 特長

プロセッサ コア:

- シングルおよびデュアル Arm® Cortex® R5F CPU、各コアは最大 500MHz で動作
  - 16KB I キャッシュ、64 ビット ECC サポート (各 CPU コア)
  - 16KB D キャッシュ、32 ビット ECC サポート (各 CPU コア)
  - 256KB 密結合メモリ (TCM)、32 ビット ECC サポート (各コア)
  - ロックステップまたはデュアル コア動作をサポート
- 三角関数を高速化する三角関数演算ユニット (TMU)
  - 最大 2 台、R5F MCU コアごとに 1 台

メモリ:

- オンチップ共有 RAM (OCSRAM) 1.5MB:
  - 3 バンク x 512KB
  - 1.5MB OCSRAM 全体に対応する ECC エラー保護
  - 外部メモリ用のリモート L2 キャッシュ (RL2)、CPU コアごとに最大 256KB までソフトウェアでプログラム可能
- 2 個のオクタル シリアル ペリフェラル インターフェイス (OSPI)、最大 133MHz の SDR と DDR
  - 1 つの eXecute In Place (XIP) サポート対応
  - RAM 拡張/Flash Over The Air (FOTA)
- 汎用メモリ コントローラ (GPMC)
  - 22 ビットのアドレス バスを持つ 16 ビットのパラレル データ バス、4 つのチップ セレクト
  - 最大 4MB のアドレス可能なメモリ空間
  - エラー チェック用の内蔵エラー特定モジュール (ELM) 対応

システム オン チップ (SoC) サービスおよびアーキテクチャ:

- 1 個の EDMA、データ移動機能をサポート
- 以下のインターフェイスからのデバイス ブートをサポート:
  - UART (プライマリ / バックアップ)
  - OSPI NOR および NAND フラッシュ (50MHz SDR および 25MHz DDR) (プライマリ)
  - USB ペリフェラル ブート
- プロセッサ間通信モジュール
  - 複数のコアで動作するプロセス同期用の SPINLOCK モジュール
  - CTRLMMR レジスタに MAILBOX 機能を実装
- 時間同期および比較イベント割り込みルータによる中央プラットフォーム時間同期 (CPTS) サポート
- タイマ モジュール:
  - 2 個のウィンドウ付きウォッチドッグ タイマ (WWDT)
  - 4 個のリアルタイム割り込み (RTI) タイマ

USB 2.0

- USB ホスト、USB デバイス、USB デュアルロール デバイスとして構成可能なポート
- USB 2.0 ホスト モード
  - ハイスピード (HS、480Mbps)
  - フルスピード (FS、12Mbps)
  - ロースピード (LS、1.5Mbps)
- USB 2.0 デバイス モード
  - ハイスピード (HS、480Mbps)
  - フルスピード (FS、12Mbps)

産業用コネクティビティ:

- 2 個のプログラマブル リアルタイム ユニット - 産業用通信サブシステム (PRU-ICSS)
  - PRU-ICSS ごとに 2 コアのデュアル コア プログラマブル リアルタイム ユニット サブシステム (PRU0 / PRU1)、合計 4 コア
    - 確定的なハードウェア
    - 動的ファームウェア
  - 20 チャネル拡張入力 (eGPI) (各 PRU)
  - 20 チャネル拡張出力 (eGPO) (各 PRU)
  - 組込みペリフェラルおよびメモリ
    - 1 個の UART、1 個の ECAP、1 個の MDIO、1 個の IEP
    - 1 個の 32KB 共有汎用 RAM
    - 2 個の 8KB 共有データ RAM
    - 1 個の 12KB IRAM (各 PRU)
    - スクラッチパッド (SPAD)、MAC/CRC
  - デジタル エンコーダおよびシグマ-デルタ制御ループ
  - PRU-ICSS は、次に示す高度な産業用プロトコルを可能にします。
    - EtherCAT®、Ethernet/IP™
    - PROFINET®、IO-Link®
  - 専用割り込みコントローラ (INTC)
  - 動的な CONTROLSS XBAR 統合

高速インターフェイス

- 最大 2 つの外部ポートをサポートする統合型 3 ポート ギガビット イーサネット スイッチ (CPSW)
  - 選択可能な MII (10/100)、RMII (10/100)、または RGMII (10/100/1000)

このリソースの元の言語は英語です。翻訳は概要を便宜的に提供するもので、自動化ツール (機械翻訳) を使用していることがあり、TI では翻訳の正確性および妥当性につきましては一切保証いたしません。実際の設計などの前には、ti.com で必ず最新の英語版をご参照くださいますようお願いいたします。

  - IEEE 1588 (2008 Annex D、Annex E、Annex F) と 802.1AS PTP
  - Clause 45 MDIO PHY 管理
  - 512 個の ALE エンジン ベースのパケット クラシファイア
  - 最大 2KB のパケット サイズに対応する優先フロー制御
  - 4 つの CPU ハードウェア割り込みペース設定
  - ハードウェアの IP/UDP/TCP チェックサム オフロード
  - タイム センシティブ ネットワーキング (TSN) のサポート
  - カットスルー スイッチングおよび Interexpress Traffic (IET) サポート

一般的な接続機能:

- 6 個のユニバーサル非同期 RX-TX (UART)
- 4 個のシリアル ペリフェラル インターフェイス (SPI) コントローラ
- 3 個の LIN (Local Interconnect Network) ポート
- 3 個の I2C (Inter-Integrated Circuit) ポート
- 2 個のモジュラー コントローラ エリア ネットワーク (MCAN) モジュール、CAN-FD をサポート
- 1 個の高速シリアル インターフェイス トランスミッタ (FSITX)
- 1 個の高速シリアル インターフェイス レシーバ (FSIRX)
- 最大 141 の汎用 I/O (GPIO) ピン

センシングと差動:

- リアルタイム制御サブシステム (CONTROLSS)
- フレキシブルな入出力クロスバー (XBAR)
- 3 個の 12 ビット A/D コンバータ (ADC)、最大サンプリング レート 3MSPS
  - 各 ADC モジュールに次を搭載
    - 7 個のシングルエンド チャネルまたは
    - 3 個の差動チャネル
  - 高度に構成可能な ADC デジタル ロジック
    - 選択可能な内部または外部リファレンス
    - 各 ADC モジュールに 4 つの後処理ブロック
- 9 個のアナログ コンパレータ、内部 12 ビット DAC リファレンス (CMPSSA)
- 1 個の 12 ビット デジタル-アナログ コンバータ (DAC)
- 10 個の拡張高分解能パルス幅変調器 (eHRPWM) モジュール
  - シングルまたはデュアル PWM チャンネル
  - 高度な PWM 構成
  - 拡張された HRPWM 時間分解能
- 8 個の拡張キャプチャ (ECAP) モジュール
- 2 個の拡張直交エンコーダ パルス (EQEP) モジュール
- 2 個のシグマ-デルタ フィルタ モジュール (SDFM)

データ ストレージ

- 1 個の 4 ビット マルチ メディア カード / セキュア デジタル (MMC/SD) インターフェイス

セキュリティ:

- ハードウェア セキュリティ モジュール (HSM)、Auto SHE 1.1/EVITA 対応
- ISO 21434 準拠を対象
- セキュア ブート対応
  - デバイス テイク オーバー保護
  - ハードウェアによる信頼の基点
  - 認証済みブート
  - SW アンチロールバック保護
- デバッグ セキュリティ
  - 正規の認証完了後のみセキュアなデバイス デバッグを実行
  - デバイス デバッグ機能を無効にする機能
- デバイス ID とキー管理
  - OTP メモリ (FUSEROM) のサポート
    - ルート キーとその他のセキュリティ フィールドを格納
  - 個別の EFUSE コントローラと FUSE ROM
  - 一意のデバイス公開識別子
- メモリ保護ユニット (MPU)
  - Cortex®-R5F コアごとの専用 Arm® MPU
  - システム MPU - SoC 内の各種インターフェイスに存在 (MPU またはファイアウォール)
  - 8～16 のプログラム可能領域
    - イネーブル / 特権 ID
    - 開始 / 終了アドレス
    - 読み取り / 書き込み / キャッシュ可能
    - セキュア / ノンセキュア
- 暗号化アクセラレーション機能
  - DMA サポート付きの暗号化コア
  - AES - 128/192/256 ビットのキー サイズ
  - SHA2 - 256/384/512 ビットのサポート
  - DRBG、擬似および真性乱数発生器搭載

Copyright © 2025 Texas Instruments Incorporated

機能安全:

- 機能安全要件を満たすシステムの設計の実現
  - エラー通知モジュール(ESM)
  - 演算上特に重要なメモリの ECC またはパリティ
  - 内蔵セルフ テスト (BIST) オンチップ RAM
  - 電圧 / 温度 / クロックの監視、ウィンドウ付きウォッチドッグ タイマ、CRC エンジンを搭載したランタイム内部診断モジュールによるメモリ整合性チェック
- 機能安全規格準拠を対象とする [産業用]
  - 機能安全アプリケーション向けに開発
  - IEC 61508 機能安全システム設計を支援するドキュメントを準備中
  - SIL-3 までの決定論的対応能力に対応予定
  - SIL-3 までのハードウェア安全度に対応予定
  - 安全関連の認証
    - IEC 61508 予定
- 機能安全規格準拠を対象とする [車載用]
  - 機能安全アプリケーション向けに開発
  - ISO 26262 機能安全システム設計を支援するドキュメントを準備中
  - ASIL-D までの決定論的対応能力に対応予定
  - ASIL-D までのハードウェア安全度に対応予定
  - 安全関連の認証
    - ISO 26262 予定

テクノロジ / パッケージ:

- 車載アプリケーション向けに AEC-Q100 認証済み
- ZCZ パッケージ
  - 324 ピン NFBGA
  - 15.00mm × 15.00mm
  - 0.8mm ピッチ
- ZFG パッケージ
  - 304 ピン NFBGA
  - 13.25mm × 13.25mm
  - 0.65mm ピッチ
- ZEJ パッケージ
  - 256 ピン NFBGA
  - 13.00mm × 13.00mm
  - 0.8mm ピッチ
- ZNC パッケージ
  - 293 ピン NFBGA
  - 10.00mm × 10.00mm
  - 0.5mm ピッチ

Copyright © 2025 Texas Instruments Incorporated

2 アプリケーション

- AC インバータ
- 車載用デジタル電力変換 / 制御
  - バッテリ管理システム (BMS)
  - オンボード チャージャー、DC/DC コンバータ
- ヒューマノイド ロボット
- 産業用ロボットおよび協調ロボット
- 産業用デジタル パワー制御
  - エネルギー ストレージ システム
  - EV (電気自動車) 充電
  - ストリング インバータ
- 移動型ロボット
- PLC、DCS、PAC
  - 通信モジュール
  - デジタル入力モジュール
  - デジタル出力モジュール
  - スタンドアロンのリモート IO
- リモート I/O
- 単軸と多軸のサーボ ドライブ
- テレマティクス制御ユニット

Copyright © 2025 Texas Instruments Incorporated

3 説明

AM261x Sitara Arm® マイクロコントローラは、Sitara AM26x リアルタイム MCU ファミリの製品で、次世代の産業用および車載用組込み製品の複雑なリアルタイム処理ニーズを満たすように開発されています。AM261x デバイスは、スケーラブルな Arm Cortex® R5F 性能と包括的なペリフェラル セットを備えており、広範なアプリケーション向けに設計されているほか、安全機能とリアルタイム制御向けに最適化されたペリフェラルを提供します。

主な機能と特長:

- ギガビット イーサネット、USB、OSPI/QSPI、CAN、UART、SPI、GPIO など、システム レベルのコネクティビティをサポートするペリフェラル。
- ハードウェア セキュリティ マネージャ (HSM) が管理する粒度の細かいファイアウォールにより、開発者はセキュリティ重視のシステム設計要件を厳格に実装できます。
- 最大 2 つの R5F コアがクラスタに配置され、コアごとに 256KB の共有密結合メモリ (TCM) と 1.5MB の共有 SRAM を備えているため、外部メモリの必要性が非常に低くなっています。

パッケージ情報

部品番号(1) (2)	パッケージ	パッケージ サイズ(3)
AM261...ZCZ	ZCZ (nFBGA、324)	15.00mm × 15.00mm
AM261...ZFG	ZFG (nFBGA, 304)	13.25mm × 13.25mm
AM261...ZEJ	ZEJ (nFBGA、256)	13.00mm × 13.00mm
AM261...ZNC	ZNC (nFBGA, 293)	10.00mm × 10.00mm
AM261...ZCZQ1	ZCZQ1 (nFBGA、324)	15.00mm × 15.00mm
AM261...ZEJQ1	ZEJQ1 (nFBGA, 256)	13.00mm × 13.00mm

(1) 詳細については、セクション 11 を参照してください。
(2) すべてのデバイスは、トレイまたはテープ アンド リールの両方のパッケージで供給されます。
(3) パッケージ サイズ (長さ×幅) は公称値であり、該当する場合はピンも含まれます。

3.1 機能ブロック図

AM261x の機能ブロック図 は、このデバイスの機能ブロック図です。

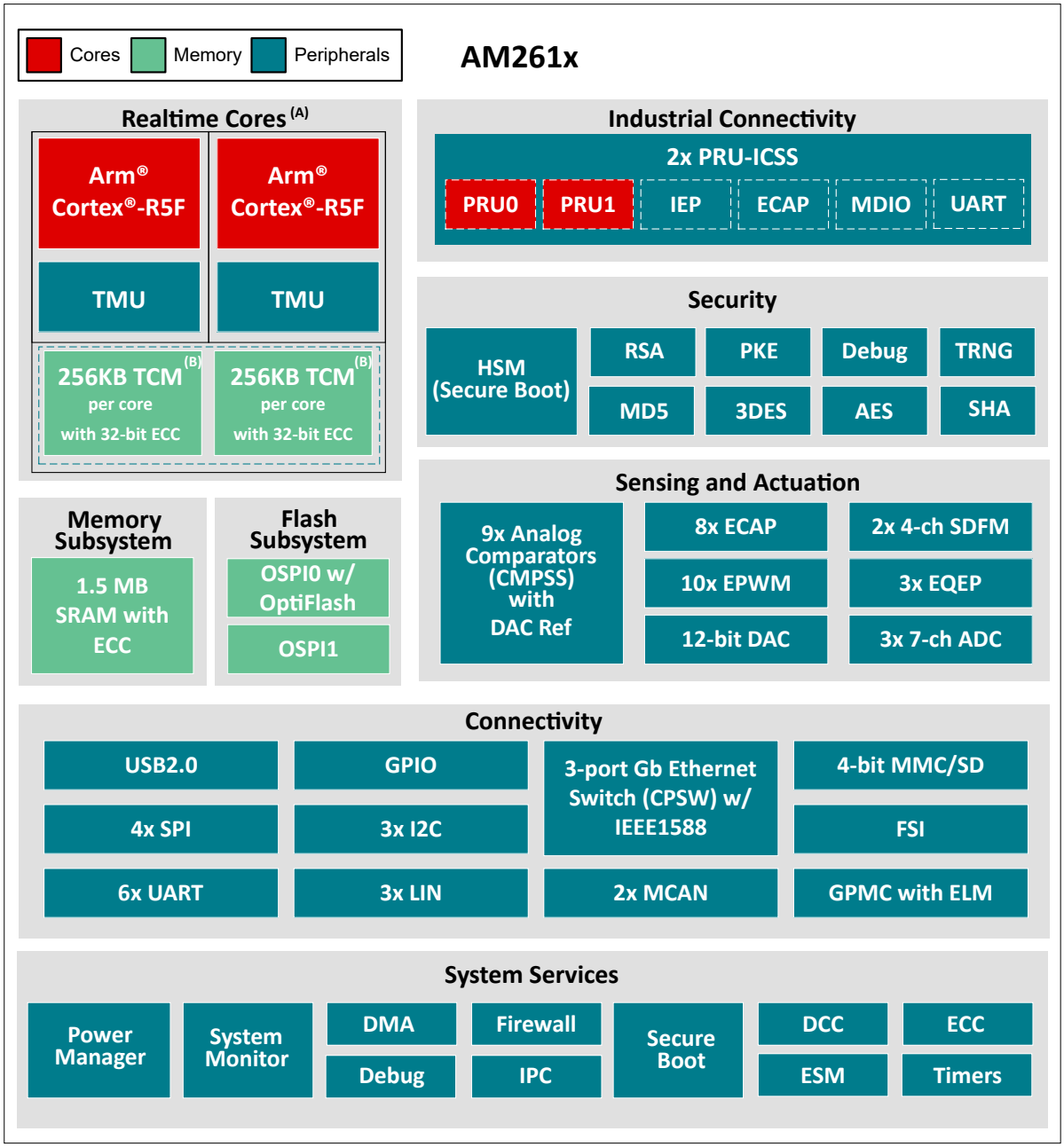


図 3-1. AM261x の機能ブロック図

A. AM261x は、2 コアおよび 1 コアのオプションで提供されています。ペリフェラル固有の詳細については、「パッケージの比較」表を参照してください。

B. R5F クラスタは、512KB の密結合メモリ (TCM) をサポートします。ロックステップ動作モードとして構成した場合、個々のコアは 512KB をすべて利用できます。デュアル コア モードでは、各コアは指定された半分 (256KB TCM) のみを使用できます。

Copyright © 2025 Texas Instruments Incorporated

目次

1 特長.... 1
2 アプリケーション....4
3 説明.... 5
3.1 機能ブロック図....6
4 パッケージの比較....8
4.1 デバイス識別情報....9
4.2 関連製品....10
5 端子構成および機能.... 11
5.1 ピン配置図.... 11
5.2 ピン属性....16
5.3 信号の説明.... 52
5.4 ピン接続要件.... 83
6 仕様.... 84
6.1 絶対最大定格.... 84
6.2 静電気放電 (ESD) 拡張車載定格....85
6.3 静電気放電 (ESD) 産業用評価.... 85
6.4 電源投入時間 (POH) の概要....85
6.5 推奨動作条件.... 87
6.6 動作性能ポイント.... 87
6.7 消費電力の概略....88
6.8 電気的特性....89
6.9 ワンタイム プログラマブル (OTP) eFuse の VPP 仕様 96
6.10 熱抵抗特性....97
6.11 タイミングおよびスイッチング特性....102
6.12 デカップリング コンデンサの要件.... 187
7 詳細説明.... 189
7.1 概要....189
7.2 プロセッサ サブシステム....190
8 アプリケーション、実装、およびレイアウト....191
8.1 デバイスの接続およびレイアウトの基礎....191
8.2 OSPI のリセット....192
9 デバイスおよびドキュメントのサポート....193
9.1 デバイスの命名規則.... 193
9.2 ツールとソフトウェア.... 196
9.3 ドキュメントのサポート....196
9.4 サポート リソース.... 196
9.5 商標....196
9.6 静電放電に関する注意事項....197
9.7 用語集.... 197
10 改訂履歴.... 197
11 メカニカル、パッケージ、および注文情報....199

4 パッケージの比較

表 4-1 は、パッケージを基にしたデバイス間の比較を示し、相違点を明確にしています。

表 4-1. パッケージの比較

		パッケージ			
特長	**参照名**	**AM261...ZCZ AM261...ZCZ-Q1**	**AM261...ZFG**	**AM261...ZEJ AM261...ZEJ-Q1**	**AM261...ZNC**
プロセッサおよびアクセラレータ					
速度グレード		最大 500MHz、詳細については、動作性能ポイントを参照してください			
Arm® Cortex-R5F	R5FSS	AM2612 と AM2612-Q1：2 個のコア (1 個のデュアルコア、ロックステップ オプション付き) AM2611 と AM2611-Q1：1 個のコア (シングル コア)			
三角関数演算ユニット (TMU)	TMU	あり			
ハードウェア セキュリティ モジュール	HSM	あり			
暗号化アクセラレータ	セキュリティ	あり			
プログラムおよびデータ ストレージ					
オンチップ共有メモリ (RAM)	OCSRAM	最大 1.5MB、詳細については、動作性能ポイントを参照してください			
R5F 密結合メモリ (TCM)	TCM	最大 512KB(1)			
ペリフェラル					
A/D コンバータ	ADC	3x 6 チャンネル	3x 7 チャンネル		2x 7 チャンネル
コンパレータ モジュール	CMPSS	9			6
ギガビット イーサネット インターフェイス	CPSW	あり			
D/A コンバータ	DAC	1			
拡張キャプチャ モジュール	ECAP	8			
拡張高分解能パルス幅変調器 (EHRPWM)	EHRPWM	10x 20 チャンネル			
拡張直交エンコーダ パルス モジュール	EQEP	2			
高速シリアル インターフェイス	FSI	1x FSI_RX + 1x FSI_TX			
汎用 I/O	GPIO	最大 141 の GPIO		最大 114 の GPIO	最大 112 の GPIO
汎用メモリ コントローラ	GPMC	1		利用できません	
集積回路間インターフェイス	I2C	3			
ローカル相互接続ネットワーク	LIN	3			
モジュラー コントローラ エリア ネットワーク (CAN_FD フル対応)	MCAN	2			
マルチメディア カード / セキュア デジタル インターフェイス	MMC-SD	1			利用できません
オクタル SPI フラッシュ インターフェイス	OSPI	1 個の OSPI0 (OptiFlash 対応) および 1 個の OSPI1			
プログラマブル リアルタイム ユニット サブシステム	PRU	2 (2)			
産業用通信サブシステムをサポート	PRU-ICSS	オプション			
シグマ デルタ フィルタ モジュール	SDFM	2x 4 チャンネル		1x 4 チャンネル	合計 3 チャンネル(3)
シリアル ペリフェラル インターフェイス	SPI	4			2 (4)
汎用非同期レシーバ / トランスミッタ	UART	6			
ユニバーサル シリアル バス	USB 2.0	USB0 は外部 VBUS 対応			
その他					
接合部温度		拡張自動車用：-40℃～150℃(5)			
		産業用拡張：-40℃～125℃(6)			
車載用認定		AEC-Q100(7)			

(1) R5FSS クラスタは、512KB の密結合メモリ (TCM) をサポートします。シングルコアまたはロックステップ動作モードでは、各コアが 512KB の TCM メモリ全体を使用可能ですが、デュアルコア モードでは各コアが割り当てられた半分 (256KB TCM) のみを使用できます。
(2) AM261x は PRU サブシステムを 2 インスタンス搭載しており、合計 4 つのリアルタイム PRU コアを備えています。
(3) ZNC パッケージのデバイスは、1 つ以上の完全な SDFM ペリフェラル インスタンスの代わりに、以下の 3 つの SDFM チャンネルを備えています。SDFM0_D2、SDFM1_D0、SDFM1_D1。
(4) ZNC パッケージのデバイスは、使用可能な SPI インターフェイスとして SPI0 と SPI2 を備えています。
(5) 拡張自動車用温度は、命名規則説明表の車載識別記号 (Q1) 識別子で示される特定の品番バリアントに適用されます。
(6) 拡張産業用温度は、命名規則説明表の車載識別記号 (Q1) 識別子で示される特定の品番バリアントに適用されます。
(7) AEC-Q100 認定は、項目名の説明の表の車載識別記号 (Q1) 識別子で示されている型番バリアントを選択する場合にのみ適用されます。

Copyright © 2025 Texas Instruments Incorporated

4.1 デバイス識別情報

デバイス識別情報欄には、AM261x デバイスの各パッケージごとの OPN に基づく特定の JTAG_USER_ID と利用可能な機能セットの詳細が記載されています。詳細については、デバイス命名規則を参照してください。

表 4-2. デバイス識別情報

発注用製品型番 (OPN)[(1)]	JTAG_USER_ID	R5F	PRU-ICSS	EtherCAT	統合スタック	速度[(2)]
ZCZ、15.00mm × 15.00mm						
AM2612AOFFHMZCZR	0x5908 DBFE	2	x	x	x	500MHz
AM2612ALDFHMZCZRQ1	0x5908 9B3E		x			400MHz
AM2612APDFHMZCZRQ1	0x5908 9C3E		x			200MHz
AM2611AOFFHIZCZR	0x5904 DBFE	1	x	x	x	500MHz
ZFG、13.25mm × 13.25mm						
AM2612AOFFHIZFGR	0x5908 DBEA	2	x	x	x	500MHz
AM2612AOEFHIZFGR	0x5908 BBEA		x	x		
AM2612AODFHIZFGR	0x5908 9BEA		x			
AM2611AOFFHIZFGR	0x5904 DBEA	1	x	x	x	
AM2611AOEFHIZFGR	0x5904 BBEA		x	x		
AM2611AODFHIZFGR	0x5904 9BEA		x			
ZEJ、13.00mm × 13.00mm						
AM2612AOFFHIZEJR	0x5908 DBEC	2	x	x	x	500MHz
AM2612AOEFHIZEJR	0x5908 BBEC		x	x		
AM2612AODFHIZEJR	0x5908 9BEC		x			
AM2612ALDFHMZEJRQ1	0x5908 9B3C		x			400MHz
AM2612APDFHMZEJRQ1	0x5908 9C3C		x			200MHz
AM2611AOFFHIZEJR	0x5904 9BEC	1	x	x	x	500MHz
AM2611AOEFHIZEJR	0x5904 9BEC		x	x		
AM2611AODFHIZEJR	0x5904 9BEC		x			
AM2611ALDFHMZEJRQ1	0x5904 9B3C		x			400MHz
AM2611APDFHMZEJRQ1	0x5904 9C3C		x			200MHz
ZNC、10.00mm × 10.00mm						
AM2612AOFFHIZNCR	0x5908 DBE9	2	x	x	x	500MHz
AM2612AOEFHIZNCR	0x5908 BBE9		x	x		
AM2612AODFHIZNCR	0x5908 9BE9		x			
AM2611AOFFHIZNCR	0x5904 DBE9	1	x	x	x	
AM2611AOEFHIZNCR	0x5904 BBE9		x	x		
AM2611AODFHIZNCR	0x5904 9BE9		x			

(1) 予定値です。リリース済み OPN については、メカニカル、パッケージ、および注文情報を参照してください。
(2) 詳細については、動作性能ポイントを参照してください

4.2 関連製品

高度なネットワーク機能、リアルタイム制御機能、信号処理アクセラレータを搭載した Arm®Cortex®-R ベースの高性能マイコンで構成された **Sitara™マイコン** ファミリは、産業用と車載の各アプリケーションで最新のマイコンの要件を満たすのに役立ちます。

Sitara™ マイコン - 評価基板 TI は、製品開発をすぐ始められるように、デバイス固有の評価基板 (EVM) を提供しています。詳細については、LP-AM261 および AM261-SOM-EVM を参照してください。

MCU-PLUS_SDK_AM261X AM261x マイコン (MCU) とソフトウェア開発キット (SDK) は テキサス インスツルメンツの組込みプロセッサ向けの統合ソフトウェア プラットフォームであり、セットアップが容易で、サンプルとベンチマークとデモをすぐに利用できます。このソフトウェアを使用すると、システム ソフトウェアの基本的な機能の新規作成が不要になり、アプリケーション開発スケジュールの迅速化が可能になります。

設計を完成させるための製品 以下の製品リストは、システム設計要件を満たすために、AM261x デバイスと組み合わせて購入または使用されることが多いです。

- **TPS65036x-Q1** - セーフティー マイコン アプリケーション向けの機能安全準拠マルチレール電源。
- **TPS3704-Q1** - 車載対応、超高精度、コンパクト フォーム ファクタのマルチチャネル ウィンドウ スーパーバイザ
- **DP83TG720S-Q1** - 車載対応、RGMII 搭載、1000Base-T1、イーサネット PHY
- **DP83826E** - DP83826E MII インターフェイスと拡張モード搭載、低レイテンシの 10/100Mbps 産業用イーサネット PHY
- DP83869HM - 拡張温度範囲、銅線とファイバのインターフェイス搭載、高耐性、ギガビット イーサネット PHY トランシーバ
- **TCAN1042H-Q1** - 車載対応、70V バス障害保護機能搭載、フレキシブル データ レート対応、CAN トランシーバ

Copyright © 2025 Texas Instruments Incorporated

5 端子構成および機能

5.1 ピン配置図

注

「ボール」、「ピン」、「端子」という用語は、ドキュメント全体で同じ意味で使用されています。物理的なパッケージに言及する場合にのみ「ボール」が使用されています。

このセクションの図を、その他の「端子構成および機能」表と組み合わせて使用することで、信号名とボール グリッド番号を特定できます。

5.1.1 AM261x ZCZ のピン配置図

AM261x ZCZ のピン配置図

	A	B	C	D	E	F	G	H	J	K	L	M	N	P	R	T	U	V
18	VSS	GPIO115	GPIO104	GPIO106	GPIO112	GPIO109	GPIO89	GPIO97	GPIO95	GPIO94	GPIO86	GPIO36	GPIO35	GPIO39	GPIO30	GPIO34	GPIO33	VSS
17	GPIO114	GPIO116	GPIO118	GPIO105	GPIO111	GPIO88	GPIO87	GPIO101	GPIO96	GPIO93	GPIO85	GPIO42	GPIO40	GPIO38	GPIO29	GPIO32	GPIO31	GPIO71
16	GPIO124	GPIO122	GPIO113	GPIO117	GPIO107	GPIO108	GPIO110	GPIO102	VNWA	GPIO92	GPIO98	GPIO99	GPIO41	GPIO37	GPIO74	GPIO72	ADC_CAL0	VSSA
15	GPIO128	GPIO126	GPIO120	GPIO119	VDDS18	GPIO103	GPIO90	VDDS33	NC	GPIO91	VDDS33	GPIO100	VDDS18	GPIO73	VDDS33	NC	ADC0_AIN1	ADC0_AIN0
14	GPIO131	GPIO130	GPIO129	GPIO123	VSS	VSS	VDD	VSS	VSS	VDD	VSS	VSS	VDD	VSS	ADC0_AIN5	ADC0_AIN2	ADC0_AIN3	ADC _VREFHI _G0
13	GPIO135	GPIO134	GPIO127	GPIO125	VSS	VSS	VDD	VSS	VSS	VDD	VSS	VSS	VDD	VSS	VSSA	DAC_VREF0	ADC0_AIN4	ADC _VREFLO _G0
12	GPIO137	GPIO136	GPIO132	VDDS33	VSS	VSS	VSS	VSS	VSS	VSS	VSS	VSS	VSS	VSSA	ADC1_AIN5	ADC1_AIN2	ADC1_AIN4	ADC1_AIN3
11	GPIO12	GPIO14	GPIO11	GPIO133	VDD	VDD	VSS	VSS	VSS	VSS	VSS	VSS	VSS	VDDA33	VDDA18 _LDO	ADC1_AIN0	ADC1_AIN1	ADC _VREFLO _G1
10	GPIO16	GPIO17	GPIO13	VDDAR2	VSS	VSS	VSS	VSS	VSS	VSS	VSS	VSS	VSS	VSSA	ADC2_AIN0	ADC2_AIN1	ADC2_AIN2	ADC _VREFHI _G1
9	GPIO19	GPIO20	GPIO15	GPIO18	VDD	VDD	VSS	VSS	VSS	VSS	VSS	VSS	VSS	VDDA33	NC	ADC2_AIN3	NC	ADC2_AIN4
8	GPIO22	GPIO21	GPIO24	VDDS33	VSS	VSS	VSS	VSS	VSS	VSS	VSS	VSS	VSS	VSSA	VDDA18 _LDO	ADC2_AIN5	NC	NC
7	GPIO27	GPIO26	GPIO25	GPIO23	VSS	VSS	VSS	VSS	VSS	VSS	VSS	VSS	VSS	VDDA33	NC	NC	NC	NC
6	GPIO28	GPIO77	GPIO83	VDDS18	VSS	VSS	VDD	VSS	VSS	VDD	VSS	VSS	VDD	VSSA	VDDA18 _LDO	ATESTV1	NC	NC
5	GPIO84	GPIO79	TDI	TMS	VSS	VSS	VDD	VSS	VSS	VDD	VSS	VSS	VDD	VSS	VSSA	DAC_OUT	NC	NC
4	GPIO78	GPIO80	TDO	SAFETY _ERRORn	GPIO52	GPIO57	GPIO63	VDDS33	GPIO68	GPIO69	VDDS18	GPIO5	GPIO4	VDDS33	VDDA18 _OSC_PLL	VDD_TEMP	NC	NC
3	GPIO81	TCK	WARMRSTn	GPIO45	GPIO50	GPIO56	GPIO59	VDDAR3	GPIO64	GPIO70	GPIO75	GPIO76	VPP	GPIO6	GPIO1	VDDS18 _LDO	GPIO140	NC
2	GPIO82	GPIO43	GPIO47	GPIO46	GPIO49	GPIO53	GPIO54	GPIO60	GPIO62	GPIO67	GPIO9	GPIO138	GPIO2	GPIO121	PORz	VSS	VSYS_MON	GPIO139
1	VSS	GPIO44	GPIO48	GPIO51	GPIO55	GPIO58	GPIO61	GPIO65	GPIO66	GPIO10	GPIO8	GPIO7	GPIO3	GPIO0	XTAL_XO	XTAL_XI	TEMPCAL	VSSA

Not to scale

図 5-1. AM261x ZCZ のピン配置図

Copyright © 2025 Texas Instruments Incorporated

5.1.2 AM261x ZFG のピン配置図

AM261x ZFG のピン配置図

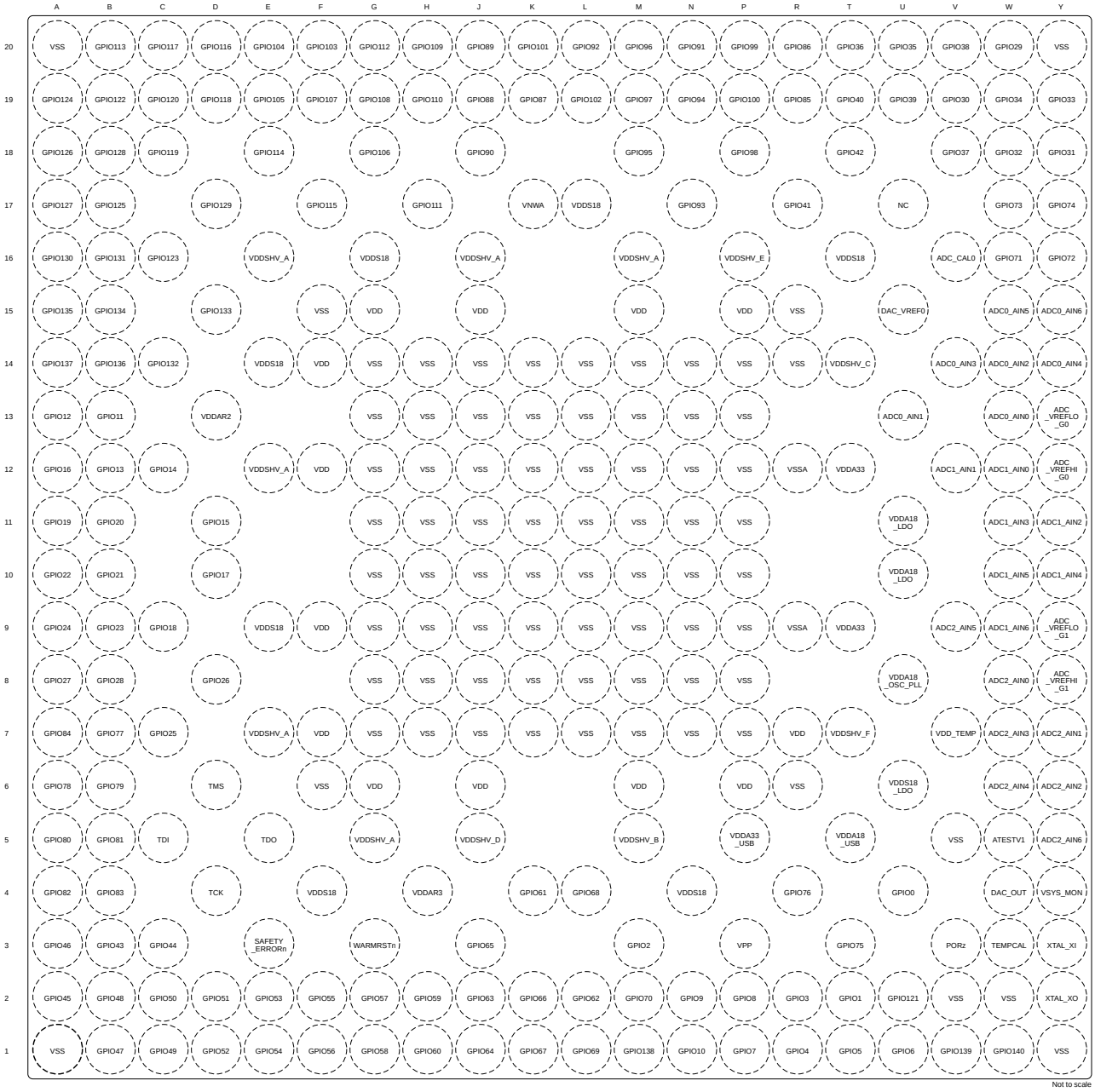


図 5-2. AM261x ZFG のピン配置図

5.1.3 AM261x ZEJ のピン配置図

AM261x ZEJ のピン配置図

	A	B	C	D	E	F	G	H	J	K	L	M	N	P	R	T
16	VSS	GPIO126	GPIO124	GPIO110	GPIO89	GPIO97	GPIO95	GPIO98	GPIO100	GPIO86	GPIO41	GPIO36	GPIO38	GPIO29	GPIO33	VSS
15	GPIO123	GPIO128	GPIO122	GPIO108	GPIO88	GPIO101	GPIO92	GPIO91	GPIO99	GPIO85	GPIO35	GPIO40	GPIO37	GPIO32	GPIO74	GPIO73
14	GPIO127	GPIO129	GPIO125	GPIO109	GPIO90	GPIO87	GPIO102	GPIO94	GPIO96	GPIO93	GPIO42	GPIO30	GPIO34	GPIO31	GPIO71	GPIO72
13	GPIO135	GPIO133	GPIO131	GPIO130	GPIO107	VDDSHV_A	VDDS18	VNWA	VDDSHV_A	VDDS18	GPIO39	VDDSHV_E	VDDS18	DAC_VREF0	ADC_CAL0	ADC0_AIN6
12	GPIO12	GPIO134	GPIO132	VDDS18	VSS	VDD	VSS	VDD	VSS	VDD	VSS	VDD	VDDSHV_C	ADC0_AIN3	ADC0_AIN5	ADC0_AIN4
11	GPIO14	GPIO11	GPIO18	VDDSHV_A	VDD	VSS	VSS	VSS	VSS	VSS	VSS	VSSA	ADC0_AIN1	ADC0_AIN0	ADC0_AIN2	ADC _VREFLO _G0
10	GPIO13	GPIO16	GPIO19	VDDAR2	VSS	VSS	VSS	VSS	VSS	VSS	VSS	VDDA33	ADC1_AIN1	ADC1_AIN2	ADC1_AIN0	ADC _VREFHI _G0
9	GPIO17	GPIO15	GPIO22	VDDS18	VDD	VSS	VSS	VSS	VSS	VSS	VSS	VSSA	VDDA18 _LDO	ADC1_AIN3	ADC1_AIN5	ADC1_AIN4
8	GPIO24	GPIO21	GPIO25	GPIO20	VSS	VSS	VSS	VSS	VSS	VSS	VSS	VDDA33	VDD_TEMP	ADC2_AIN2	ADC1_AIN6	ADC _VREFLO _G1
7	GPIO26	GPIO23	TMS	VDDSHV_A	VDD	VSS	VSS	VSS	VSS	VSS	VSS	VSS	ADC2_AIN5	ADC2_AIN1	ADC2_AIN0	ADC _VREFHI _G1
6	GPIO27	GPIO28	TCK	VDDS18	VSS	VSS	VSS	VSS	VSS	VSS	VSS	VDD	VDDA18 _OSC_PLL	ADC2_AIN3	ADC2_AIN4	ADC2_AIN6
5	GPIO44	TDO	GPIO46	TDI	VDD	VSS	VDD	VSS	VDD	VSS	VDD	VSS	VDDSHV_F	TEMPCAL	VSYS_MON	DAC_OUT
4	GPIO43	GPIO45	GPIO50	VDDSHV_A	VDDS18	GPIO56	VDDAR3	VDDSHV_D	VDDSHV_D	VDDS18	VDDSHV_B	VDDA33 _USB	VDDA18 _USB	VDDS18 _LDO	VSS	ATESTV1
3	GPIO47	SAFETY _ERRORn	WARMRSTn	GPIO54	GPIO55	GPIO62	GPIO66	GPIO68	GPIO7	VPP	GPIO5	GPIO1	GPIO0	GPIO121	VSS	XTAL_XI
2	GPIO48	GPIO49	GPIO53	GPIO57	GPIO59	GPIO61	GPIO67	GPIO69	GPIO10	GPIO9	GPIO2	GPIO3	GPIO6	PORz	VSS	XTAL_XO
1	VSS	GPIO51	GPIO52	GPIO58	GPIO60	VDDSHV_G	GPIO70	GPIO138	VDDSHV_G	GPIO8	GPIO76	GPIO75	GPIO4	GPIO140	GPIO139	VSS

Not to scale

図 5-3. AM261x ZEJ のピン配置図

Copyright © 2025 Texas Instruments Incorporated

5.1.4 AM261x ZNC のピン配置図

AM261x ZNC のピン配置図

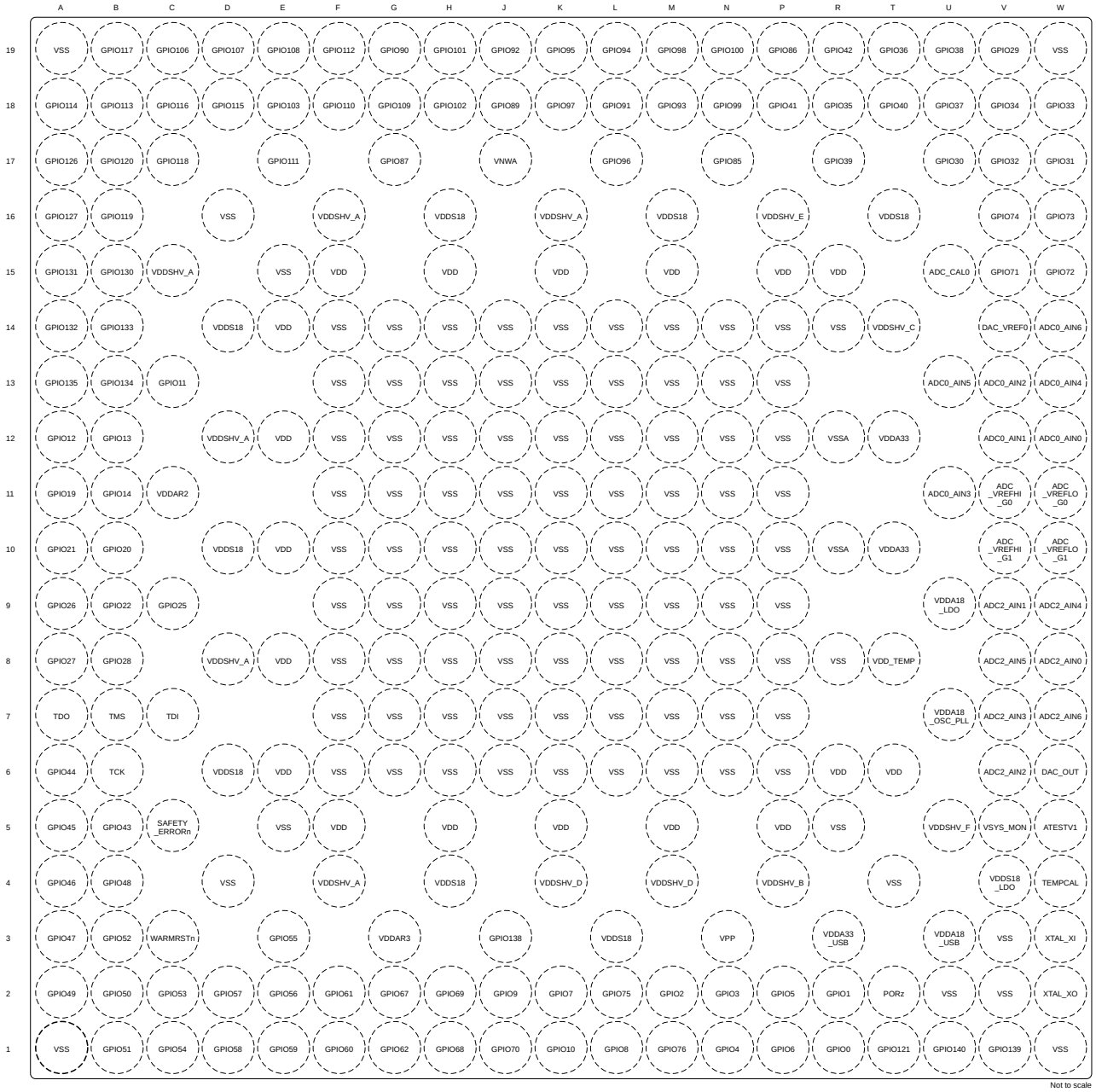


図 5-4. AM261x ZNC のピン配置図

5.2 ピン属性

次のリストは、「ピン属性」表の各列の内容についての説明です。

1. **ボール番号:**ボール グリッド アレイ パッケージの各端子に割り当てられたボール番号。
2. **ボール名:**ボール グリッド アレイ パッケージの各端子に割り当てられたボール名 (通常はプライマリ MUXMODE 0 信号機能から付けられた名前)。
3. **信号名:**ボールに関連するすべての専用およびピン多重化信号機能の信号名。

注

「ピン属性」表は、ピンに実装される SoC ピン多重化信号機能を定義しており、デバイス サブシステムに実装される信号機能の 2 次多重化は定義**していません**。信号機能の 2 次多重化については、この表では説明しません。2 次多重化信号機能の詳細については、デバイスのテクニカル リファレンス マニュアルで該当するペリフェラルの章を参照してください。

---

4. **MUX モード:**各ピンの多重化信号機能に関連付けられた MUXMODE 値:
   - MUXMODE 7 は、プライマリ ピンの多重化信号機能です。ただし、プライマリ ピンの多重化信号機能は、必ずしもデフォルトのピン多重化信号機能とは限りません。
   - ピン多重化信号機能には、MUXMODE の値 1～15 を使用できます。ただし、すべての MUXMODE 値が実装されているわけではありません。有効な MUXMODE 値は、「ピン属性」表でピン多重化された信号機能として定義された値のみです。MUXMODE に定義された有効な値のみを使用できます。
   - ブートストラップは SOC 構成ピンを定義します。各ピンに適用されるロジック状態は、PORz の立ち上がりエッジでラッチされます。これらの入力信号機能はそれぞれのピンに固定で、MUXMODE を使用してプログラムすることはできません。
   - 空欄または「-」は、該当しないことを意味します。

注

- 「リセット後の MUX モード」列の値は、PORz がデアサートされたときに選択されるデフォルトのピン多重化信号機能を定義します。
- 同じピン多重化信号機能に 2 つのピンを構成すると、予期しない結果が生じる可能性があるため、この構成はサポートされていません。これは、正しいソフトウェア構成によって防止できます。
- パッドを未定義の多重化モードに構成すると、未定義の動作が生じるため、このような構成は避ける必要があります。

---

5. **種類:**信号の種類と方向:
   - I = 入力
   - O = 出力
   - ID = 入力、オープン ドレイン出力機能付き
   - OD = 出力、オープン ドレイン出力機能付き
   - IO = 入力、出力、または同時に入力と出力
   - IOD = 入力、出力、または同時に入力と出力、オープン ドレイン出力機能付き
   - IOZ = 入力、出力、または同時に入力と出力、3 ステート出力機能付き
   - OZ = 出力、3 ステート出力機能付き
   - A = アナログ
   - CAP = LDO コンデンサ
   - PWR = 電源
   - GND = グランド
6. **リセット時のボール状態 (RX/TX/PULL):**PORz がアサートされているときの端子の状態。ここで、RX は入力バッファの状態、TX は出力バッファの状態、PULL は内部プル抵抗の状態を定義します。
   - RX (入力バッファ)

Copyright © 2025 Texas Instruments Incorporated

  - オフ：入力バッファは**無効**です。
  - オン：入力バッファは**有効**です。
- TX (出力バッファ)
  - オフ：出力バッファは**無効**です。
  - Low：出力バッファは**有効**であり、V_{OL} を駆動します。
- PULL (内部プル抵抗)
  - オフ：内部プル抵抗は**オフ**になっています。
  - アップ：内部**プルアップ**抵抗がオンになっています。
  - ダウン：内部**プルダウン**抵抗がオンになっています。
  - NA：内部プル抵抗なし。
- 空欄、または「-」は該当しないことを意味します。

7. **リセット後のボール状態 (RX/TX/PULL)**：PORz がデアサートされた後の端子の状態。ここで、RX は入力バッファの状態、TX は出力バッファの状態、PULL は内部プル抵抗の状態を定義します。
   - RX (入力バッファ)
     - オフ：入力バッファは**無効**です。
     - オン：入力バッファは**有効**です。
   - TX (出力バッファ)
     - オフ：出力バッファは**無効**です。
     - SS：MUXMODE で選択されたサブシステムによって、出力バッファの状態が決まります。
   - PULL (内部プル抵抗)
     - オフ：内部プル抵抗は**オフ**になっています。
     - アップ：内部**プルアップ抵抗**がオンになっています。
     - ダウン：内部**プルダウン抵抗**がオンになっています。
     - NA：内部プル抵抗なし。
   - 空欄、NA、「-」は該当しないことを意味します。
8. **リセット後の MUX モード**：この列の値は、PORz がデアサートされた後の**デフォルト**のピン多重化信号機能を定義します。
   - 空欄、NA、「-」は該当しないことを意味します。
9. **I/O 電圧**：この列は、該当する場合、それぞれの電源の I/O **動作電圧**オプションを示します。
   - 空欄、NA、「-」は該当しないことを意味します。

   詳細については、「推奨動作条件」で、各電源に定義されている有効な動作電圧範囲を参照してください。
10. **電源**：関連付けられている I/O の電源 (該当する場合)。
    - 空欄、NA、「-」は該当しないことを意味します。
11. **Hys**：この I/O に関連付けられている入力バッファにヒステリシスがあるかどうかを示します。
    - あり：ヒステリシスのサポート
    - なし：ヒステリシスのサポート**なし**
    - 空欄、NA、「-」は該当しないことを意味します。

    詳細については、「電気的特性」のヒステリシスの値を参照してください。
12. **プル タイプ**：内部プルアップまたはプルダウン抵抗が存在することを示します。内部抵抗は、ソフトウェアによって有効化または無効化できます。
    - PU：内部プルアップのみ
    - PD：内部プルダウンのみ
    - PU/PD：内部プルアップおよびプルダウン
    - 空欄、NA、「-」は、内部プルが存在しないことを意味します。

注

同じピン多重化信号機能に 2 つのピンを構成すると、予期しない結果が生じる可能性があるため、この構成はサポートされていません。この問題は、正しいソフトウェア構成を使用すると簡単に防止できます。

ピン多重化で定義されない多重化モードにパッドが設定されたとき、そのパッドの挙動は未定義になります。これは避ける必要があります。

13. **バッファのタイプ :** この列は、端末に関連付けられたバッファのタイプを定義します。この情報を使用して、該当する「電気的特性」表を決定できます。
    - 空欄、NA、「-」は該当しないことを意味します。

    電気的特性については、「電気的特性」の適切なバッファ タイプの表を参照してください。
14. **パッド構成レジスタ名 :** デバイスのパッド / ピン構成レジスタの名前です。
15. **パッド構成レジスタのアドレス :** デバイスのパッド / ピン構成レジスタのメモリ アドレスです。
16. **パッド構成レジスタのデフォルト値**：PORz がデアサートされた後の、レジスタ デバイスのパッド / ピン構成レジスタのデフォルト値です。

Copyright © 2025 Texas Instruments Incorporated

表 5-1. ピン属性 (ZCZ、ZFG、ZEJ、ZNC パッケージ)

ZCZ ボール番号 [1]	ZFG ボール番号 [1]	ZEJ ボール番号 [1]	ZNC ボール番号 [1]	ボール名 [2]/ IOMUX レジスタ [14]/ アドレス [15]/ デフォルト値 [16]	信号名 [3]	Mux モード [4]	タイプ [5]	リセット中のボールの状態 RX/TX/PULL [6]	リセット後のボールの状態 RX/TX/PULL [7]	リセット後の MUX の状態[8]	IO 電圧 [9]	HYS [11]	バッファのタイプ [13]	PULL のタイプ [12]
V15	W13	P11	W12	ADC0_AIN0	ADC0_AIN0		-				-		アナログ	
U15	U13	N11	V12	ADC0_AIN1	ADC0_AIN1		-				-		アナログ	
T14	W14	R11	V13	ADC0_AIN2	ADC0_AIN2		-				-		アナログ	
U14	V14	P12	U11	ADC0_AIN3	ADC0_AIN3		-				-		アナログ	
U13	Y14	T12	W13	ADC0_AIN4	ADC0_AIN4		-				-		アナログ	
R14	W15	R12	U13	ADC0_AIN5	ADC0_AIN5		-				-		アナログ	
	Y15	T13	W14	ADC0_AIN6	ADC0_AIN6		-				-		アナログ	
T11	W12	R10		ADC1_AIN0	ADC1_AIN0		-				-		アナログ	
U11	V12	N10		ADC1_AIN1	ADC1_AIN1		-				-		アナログ	
T12	Y11	P10		ADC1_AIN2	ADC1_AIN2		-				-		アナログ	
V12	W11	P9		ADC1_AIN3	ADC1_AIN3		-				-		アナログ	
U12	Y10	T9		ADC1_AIN4	ADC1_AIN4		-				-		アナログ	
R12	W10	R9		ADC1_AIN5	ADC1_AIN5		-				-		アナログ	
	W9	R8		ADC1_AIN6	ADC1_AIN6		-				-		アナログ	
R10	W8	R7	W8	ADC2_AIN0	ADC2_AIN0		-				-		アナログ	
T10	Y7	P7	V9	ADC2_AIN1	ADC2_AIN1		-				-		アナログ	
U10	Y6	P8	V6	ADC2_AIN2	ADC2_AIN2		-				-		アナログ	
T9	W7	P6	V7	ADC2_AIN3	ADC2_AIN3		-				-		アナログ	
V9	W6	R6	W9	ADC2_AIN4	ADC2_AIN4		-				-		アナログ	
T8	V9	N7	V8	ADC2_AIN5	ADC2_AIN5		-				-		アナログ	
	Y5	T6	W7	ADC2_AIN6	ADC2_AIN6		-				-		アナログ	
U16	V16	R13	U15	ADC_CAL0	ADC_CAL0		-				-		アナログ	
			V11	ADC_VREFHI_G0	ADC_VREFHI0		-				-		アナログ	
V14	Y12	T10	V11	ADC_VREFHI_G0	ADC_VREFHI1		-				-		アナログ	
V10	Y8	T7	V10	ADC_VREFHI_G1	ADC_VREFHI2		-				-		アナログ	
			W11	ADC_VREFLO_G0	ADC_VREFLO0		-				-		アナログ	
V13	Y13	T11	W11	ADC_VREFLO_G0	ADC_VREFLO1		-				-		アナログ	
V11	Y9	T8	W10	ADC_VREFLO_G1	ADC_VREFLO2		-				-		アナログ	
T6	W5	T4	W5	ATESTV1	ATESTV1		-				-		アナログ	
T5	W4	T5	W6	DAC_OUT	DAC_OUT		-				-		アナログ	
T13	U15	P13	V14	DAC_VREF0	DAC_VREF0		-				-		アナログ	
P1	U4	N3	R1	GPIO0 GPIO0_CFG_REG 0x5310 0000 0x0000 05F7	OSPI0_CSn0	0	O	オフ / オフ / オフ	オフ / オフ / オフ	Mode7	3.3V	あり	LVCMOS	PU/PD
					SPI0_CS0	1	IO							
					UART3_RXD	2	I							
					OSPI0_D0	4	IO							
					GPIO0	7	IO							

表 5-1. ピン属性 (ZCZ、ZFG、ZEJ、ZNC パッケージ) (続き)

ZCZ ボール番号 [1]	ZFG ボール番号 [1]	ZEJ ボール番号 [1]	ZNC ボール番号 [1]	ボール名 [2]/ IOMUX レジスタ [14]/ アドレス [15]/ デフォルト値 [16]	信号名 [3]	Mux モード [4]	タイプ [5]	リセット中のボールの状態 RX/TX/PULL [6]	リセット後のボールの状態 RX/TX/PULL [7]	リセット後の MUX の状態[8]	IO 電圧 [9]	HYS [11]	バッファのタイプ [13]	PULL のタイプ [12]
R3	T2	M3	R2	GPIO1 GPIO1_CFG_REG 0x5310 0004 0x0000 05F7	OSPI0_CSn1	0	O	オフ / オフ / オフ	オフ / オフ / オフ	Mode7	3.3V	あり	LVCMOS	PU/PD
					SPI0_CLK	1	IO							
					UART3_TXD	2	O							
					UART2_RTSn	5	O							
					GPIO1	7	IO							
					XBAROUT0	10	O							
N2	M3	L2	M2	GPIO2 GPIO2_CFG_REG 0x5310 0008 0x0000 05F7	OSPI0_CLK	0	O	オフ / オフ / オフ	オフ / オフ / オフ	Mode7	1.8V/3.3V	あり	LVCMOS	PU/PD
					OSPI0_D0	1	IO							
					UART3_CTSn	4	I							
					OSPI1_D0	5	IO							
					GPIO2	7	IO							
N1	R2	M2	N2	GPIO3 GPIO3_CFG_REG 0x5310 000C 0x0000 05D7	OSPI0_D0	0	IO	オン / オフ / オフ	オン / オフ / オフ	Mode7	3.3V	あり	LVCMOS	PU/PD
					EPWM9_A	1	O							
					PR1_PRU1_GPIO11	2	IO							
					UART1_DCDn	3	I							
					GPMC0_AD11	6	O							
					GPIO3	7	IO							
					SOP0	ブートストラップ								
N4	R1	N1	N1	GPIO4 GPIO4_CFG_REG 0x5310 0010 0x0000 05D7	OSPI0_D1	0	IO	オン / オフ / オフ	オン / オフ / オフ	Mode7	3.3V	あり	LVCMOS	PU/PD
					EPWM9_B	1	O							
					PR1_PRU1_GPIO12	2	IO							
					UART1_RIn	3	I							
					GPMC0_AD12	6	O							
					GPIO4	7	IO							
					SOP1	ブートストラップ								
M4	T1	L3	P2	GPIO5 GPIO5_CFG_REG 0x5310 0014 0x0000 05F7	OSPI0_D2	0	IO	オフ / オフ / オフ	オフ / オフ / オフ	Mode7	3.3V	あり	LVCMOS	PU/PD
					SPI0_D0	1	IO							
					OSPI0_D6	2	IO							
					GPIO5	7	IO							
P3	U1	N2	P1	GPIO6 GPIO6_CFG_REG 0x5310 0018 0x0000 05F7	OSPI0_D3	0	IO	オフ / オフ / オフ	オフ / オフ / オフ	Mode7	3.3V	あり	LVCMOS	PU/PD
					SPI0_D1	1	IO							
					OSPI0_D4	2	IO							
					GPIO6	7	IO							

Copyright © 2025 Texas Instruments Incorporated

表 5-1. ピン属性 (ZCZ、ZFG、ZEJ、ZNC パッケージ) (続き)

ZCZ ボール番号 [1]	ZFG ボール番号 [1]	ZEJ ボール番号 [1]	ZNC ボール番号 [1]	ボール名 [2]/ IOMUX レジスタ [14]/ アドレス [15]/ デフォルト値 [16]	信号名 [3]	Mux モード [4]	タイプ [5]	リセット中のボールの状態 RX/TX/PULL [6]	リセット後のボールの状態 RX/TX/PULL [7]	リセット後の MUX の状態[8]	IO 電圧 [9]	HYS [11]	バッファのタイプ [13]	PULL のタイプ [12]
M1	P1	J3	K2	GPIO7 GPIO7_CFG_REG 0x5310 001C 0x0000 05F7	MCAN0_RX	0	I	オフ / オフ / オフ	オフ / オフ / オフ	Mode7	1.8V/3.3V	あり	LVCMOS	PU/PD
					OSPI0_D4	1	IO							
					OSPI0_D2	2	IO							
					OSPI0_DQS	5	I							
					GPIO7	7	IO							
L1	P2	K1	L1	GPIO8 GPIO8_CFG_REG 0x5310 0020 0x0000 05F7	MCAN0_TX	0	O	オフ / オフ / オフ	オフ / オフ / オフ	Mode7	1.8V/3.3V	あり	LVCMOS	PU/PD
					OSPI0_D5	1	IO							
					OSPI0_D6	2	IO							
					OSPI0_D2	5	IO							
					GPIO8	7	IO							
L2	N2	K2	J2	GPIO9 GPIO9_CFG_REG 0x5310 0024 0x0000 05F7	MCAN1_RX	0	I	オフ / オフ / オフ	オフ / オフ / オフ	Mode7	1.8V/3.3V	あり	LVCMOS	PU/PD
					OSPI0_D6	1	IO							
					OSPI0_DQS	2	I							
					LIN1_TXD	3	IO							
					UART1_TXD	4	O							
					OSPI0_CLK	5	O							
					GPIO9	7	IO							
K1	N1	J2	K1	GPIO10 GPIO10_CFG_REG 0x5310 0028 0x0000 05F7	MCAN1_TX	0	O	オフ / オフ / オフ	オフ / オフ / オフ	Mode7	1.8V/3.3V	あり	LVCMOS	PU/PD
					OSPI0_D7	1	IO							
					OSPI0_CLK	2	O							
					UART1_DTRn	3	O							
					UART3_CTSn	4	I							
					OSPI1_CLK	5	O							
					GPIO10	7	IO							
C11	B13	B11	C13	GPIO11 GPIO11_CFG_REG 0x5310 002C 0x0000 05F7	SPI0_CS0	0	IO	オフ / オフ / オフ	オフ / オフ / オフ	Mode7	3.3V	あり	LVCMOS	PU/PD
					PR1_PRU0_GPIO2	1	IO							
					MMC0_CLK	2	IO							
					UART3_RXD	3	I							
					GPMC0_A0	6	O							
					GPIO11	7	IO							
					ADC_EXTCH_XBAROUT0	9	O							
					XBAROUT0	10	O							

表 5-1. ピン属性 (ZCZ、ZFG、ZEJ、ZNC パッケージ) (続き)

ZCZ ボール番号 [1]	ZFG ボール番号 [1]	ZEJ ボール番号 [1]	ZNC ボール番号 [1]	ボール名 [2]/ IOMUX レジスタ [14]/ アドレス [15]/ デフォルト値 [16]	信号名 [3]	Mux モード [4]	タイプ [5]	リセット中のボールの状態 RX/TX/PULL [6]	リセット後のボールの状態 RX/TX/PULL [7]	リセット後の MUX の状態[8]	IO 電圧 [9]	HYS [11]	バッファのタイプ [13]	PULL のタイプ [12]
A11	A13	A12	A12	GPIO12 GPIO12_CFG_REG 0x5310 0030 0x0000 05D7	SPI0_CLK	0	IO	オン / オフ / オフ	オン / オフ / オフ	Mode7	3.3V	あり	LVCMOS	PU/PD
					PR1_PRU0_GPIO9	1	IO							
					MMC0_CMD	2	IO							
					UART3_TXD	3	O							
					FSITX0_CLK	5	O							
					GPMC0_A7	6	O							
					GPIO12	7	IO							
					ADC_EXTCH_XBAROUT1	9	O							
					XBAROUT1	10	O							
					SOP2	ブートストラップ								
C10	B12	A10	B12	GPIO13 GPIO13_CFG_REG 0x5310 0034 0x0000 05D7	SPI0_D0	0	IO	オン / オフ / オフ	オン / オフ / オフ	Mode7	3.3V	あり	LVCMOS	PU/PD
					PR1_PRU0_GPIO0	1	IO							
					MMC0_D0	2	IO							
					UART3_CTSn	3	I							
					FSITX0_DATA0	5	O							
					GPMC0_A16	6	O							
					GPIO13	7	IO							
					ADC_EXTCH_XBAROUT2	9	O							
					XBAROUT2	10	O							
					SOP3	ブートストラップ								
B11	C12	A11	B11	GPIO14 GPIO14_CFG_REG 0x5310 0038 0x0000 05F7	SPI0_D1	0	IO	オフ / オフ / オフ	オフ / オフ / オフ	Mode7	3.3V	あり	LVCMOS	PU/PD
					PR1_PRU0_GPIO1	1	IO							
					MMC0_D1	2	IO							
					UART3_RTSn	3	O							
					FSITX0_DATA1	5	O							
					GPMC0_BE1n	6	O							
					GPIO14	7	IO							
					ADC_EXTCH_XBAROUT3	9	O							
					XBAROUT3	10	O							

Copyright © 2025 Texas Instruments Incorporated

表 5-1. ピン属性 (ZCZ、ZFG、ZEJ、ZNC パッケージ) (続き)

ZCZ ボール番号 [1]	ZFG ボール番号 [1]	ZEJ ボール番号 [1]	ZNC ボール番号 [1]	ボール名 [2]/ IOMUX レジスタ [14]/ アドレス [15]/ デフォルト値 [16]	信号名 [3]	Mux モード [4]	タイプ [5]	リセット中のボールの状態 RX/TX/PULL [6]	リセット後のボールの状態 RX/TX/PULL [7]	リセット後の MUX の状態[8]	IO 電圧 [9]	HYS [11]	バッファのタイプ [13]	PULL のタイプ [12]
C9	D11	B9		GPIO15 GPIO15_CFG_REG 0x5310 003C 0x0000 05F7	SPI1_CS0	0	IO	オフ / オフ / オフ	オフ / オフ / オフ	Mode7	3.3V	あり	LVCMOS	PU/PD
					EPWM7_A	1	O							
					MMC0_D2	2	IO							
					UART4_TXD	3	O							
					PR1_PRU1_GPIO4	5	IO							
					GPIO15	7	IO							
					GPMC0_WAIT0	8	I							
					ADC_EXTCH_XBAROUT4	9	O							
					XBAROUT1	10	O							
A10	A12	B10		GPIO16 GPIO16_CFG_REG 0x5310 0040 0x0000 05F7	SPI1_CLK	0	IO	オフ / オフ / オフ	オフ / オフ / オフ	Mode7	3.3V	あり	LVCMOS	PU/PD
					EPWM7_B	1	O							
					MMC0_D3	2	IO							
					UART4_RXD	3	I							
					PR1_PRU1_GPIO3	5	IO							
					FSIRX0_CLK	6	I							
					GPIO16	7	IO							
					GPMC0_OEn_REn	8	O							
					ADC_EXTCH_XBAROUT5	9	O							
					XBAROUT2	10	O							
B10	D10	A9		GPIO17 GPIO17_CFG_REG 0x5310 0044 0x0000 05F7	SPI1_D0	0	IO	オフ / オフ / オフ	オフ / オフ / オフ	Mode7	3.3V	あり	LVCMOS	PU/PD
					EPWM8_A	1	O							
					MMC0_WP	2	I							
					UART5_TXD	3	O							
					OSPI0_ECC_FAIL	4	I							
					PR1_PRU1_GPIO16	5	IO							
					FSIRX0_DATA0	6	I							
					GPIO17	7	IO							
					GPMC0_DIR	8	O							
					ADC_EXTCH_XBAROUT6	9	O							
					XBAROUT3	10	O							

表 5-1. ピン属性 (ZCZ、ZFG、ZEJ、ZNC パッケージ) (続き)

ZCZ ボール番号 [1]	ZFG ボール番号 [1]	ZEJ ボール番号 [1]	ZNC ボール番号 [1]	ボール名 [2]/ IOMUX レジスタ [14]/ アドレス [15]/ デフォルト値 [16]	信号名 [3]	Mux モード [4]	タイプ [5]	リセット中のボールの状態 RX/TX/PULL [6]	リセット後のボールの状態 RX/TX/PULL [7]	リセット後の MUX の状態[8]	IO 電圧 [9]	HYS [11]	バッファのタイプ [13]	PULL のタイプ [12]
D9	C9	C11		GPIO18 GPIO18_CFG_REG 0x5310 0048 0x0000 05F7	SPI1_D1	0	IO	オフ / オフ / オフ	オフ / オフ / オフ	Mode7	3.3V	あり	LVCMOS	PU/PD
					EPWM8_B	1	O							
					MMC0_CD	2	I							
					UART5_RXD	3	I							
					OSPI0_RESET_OUT0	4	O							
					PR1_PRU1_GPIO15	5	IO							
					FSIRX0_DATA1	6	I							
					GPIO18	7	IO							
					GPMC0_WPn	8	O							
					ADC_EXTCH_XBAROUT7	9	O							
					XBAROUT4	10	O							
A9	A11	C10	A11	GPIO19 GPIO19_CFG_REG 0x5310 004C 0x0000 05F7	LIN1_RXD	0	IO	オフ / オフ / オフ	オフ / オフ / オフ	Mode7	3.3V	あり	LVCMOS	PU/PD
					OSPI0_ECC_FAIL	1	I							
					SPI2_CS0	2	IO							
					PR1_PRU1_GPIO6	3	IO							
					OSPI1_ECC_FAIL	4	I							
					UART1_RXD	5	I							
					GPMC0_AD6	6	IO							
					GPIO19	7	IO							
					OSPI0_RESET_OUT1	8	O							
					XBAROUT5	10	O							
					EPWM6_B	11	O							
M15	P19	J16	N19	GPIO100 GPIO100_CFG_REG 0x5310 0190 0x0000 05F7	PR0_PRU0_GPIO12	0	IO	オフ / オフ / オフ	オフ / オフ / オフ	Mode7	3.3V	あり	LVCMOS	PU/PD
					RMII2_TXD1	2	O							
					RGMII2_TD1	3	O							
					MII2_TXD1	4	O							
					GPIO100	7	IO							
H17	K20	F15	H19	GPIO101 GPIO101_CFG_REG 0x5310 0194 0x0000 05F7	PR0_PRU0_GPIO13	0	IO	オフ / オフ / オフ	オフ / オフ / オフ	Mode7	3.3V	あり	LVCMOS	PU/PD
					RGMII2_TD2	3	O							
					MII2_TXD2	4	O							
					GPIO101	7	IO							
H16	L19	G14	H18	GPIO102 GPIO102_CFG_REG 0x5310 0198 0x0000 05F7	PR0_PRU0_GPIO14	0	IO	オフ / オフ / オフ	オフ / オフ / オフ	Mode7	3.3V	あり	LVCMOS	PU/PD
					RGMII2_TD3	3	O							
					MII2_TXD3	4	O							
					GPIO102	7	IO							

Copyright © 2025 Texas Instruments Incorporated

表 5-1. ピン属性 (ZCZ、ZFG、ZEJ、ZNC パッケージ) (続き)

ZCZ ボール番号 [1]	ZFG ボール番号 [1]	ZEJ ボール番号 [1]	ZNC ボール番号 [1]	ボール名 [2]/ IOMUX レジスタ [14]/ アドレス [15]/ デフォルト値 [16]	信号名 [3]	Mux モード [4]	タイプ [5]	リセット中のボールの状態 RX/TX/PULL [6]	リセット後のボールの状態 RX/TX/PULL [7]	リセット後の MUX の状態[8]	IO 電圧 [9]	HYS [11]	バッファのタイプ [13]	PULL のタイプ [12]
F15	F20		E18	GPIO103 GPIO103_CFG_REG 0x5310 019C 0x0000 05F7	PR0_PRU1_GPIO5	0	IO	オフ / オフ / オフ	オフ / オフ / オフ	Mode7	3.3V	あり	LVCMOS	PU/PD
					RMII1_RX_ER	2	I							
					MII1_RX_ER	4	I							
					GPIO103	7	IO							
					TRC_DATA0	8	O							
					ADC_EXTCH_XBAROUT6	9	O							
C18	E20			GPIO104 GPIO104_CFG_REG 0x5310 01A0 0x0000 05F7	PR0_PRU1_GPIO9	0	IO	オフ / オフ / オフ	オフ / オフ / オフ	Mode7	3.3V	あり	LVCMOS	PU/PD
					PR0_UART0_RXD	1	I							
					PR0_IEP0_EDIO_DATA_IN_OUT31	3	IO							
					MII1_COL	4	I							
					GPMC0_A21	6	O							
					GPIO104	7	IO							
					TRC_DATA1	8	O							
					ADC_EXTCH_XBAROUT7	9	O							
D17	E19			GPIO105 GPIO105_CFG_REG 0x5310 01A4 0x0000 05F7	PR0_PRU1_GPIO10	0	IO	オフ / オフ / オフ	オフ / オフ / オフ	Mode7	3.3V	あり	LVCMOS	PU/PD
					PR0_UART0_TXD	1	O							
					RMII1_CRS_DV	2	I							
					PR0_IEP0_EDIO_DATA_IN_OUT30	3	IO							
					MII1_CRS	4	I							
					GPMC0_A20	6	O							
					GPIO105	7	IO							
					TRC_DATA2	8	O							
D18	G18		C19	GPIO106 GPIO106_CFG_REG 0x5310 01A8 0x0000 05F7	PR0_PRU1_GPIO8	0	IO	オフ / オフ / オフ	オフ / オフ / オフ	Mode7	3.3V	あり	LVCMOS	PU/PD
					GPIO106	7	IO							
					TRC_DATA3	8	O							
E16	F19	E13	D19	GPIO107 GPIO107_CFG_REG 0x5310 01AC 0x0000 05F7	PR0_PRU1_GPIO6	0	IO	オフ / オフ / オフ	オフ / オフ / オフ	Mode7	3.3V	あり	LVCMOS	PU/PD
					MCAN0_RX	1	I							
					RMII1_REF_CLK	2	IO							
					RGMII1_RXC	3	I							
					MII1_RXCLK	4	I							
					GPIO107	7	IO							
					TRC_DATA4	8	O							

表 5-1. ピン属性 (ZCZ、ZFG、ZEJ、ZNC パッケージ) (続き)

ZCZ ボール番号 [1]	ZFG ボール番号 [1]	ZEJ ボール番号 [1]	ZNC ボール番号 [1]	ボール名 [2]/ IOMUX レジスタ [14]/ アドレス [15]/ デフォルト値 [16]	信号名 [3]	Mux モード [4]	タイプ [5]	リセット中のボールの状態 RX/TX/PULL [6]	リセット後のボールの状態 RX/TX/PULL [7]	リセット後の MUX の状態[8]	IO 電圧 [9]	HYS [11]	バッファのタイプ [13]	PULL のタイプ [12]
F16	G19	D15	E19	GPIO108 GPIO108_CFG_REG 0x5310 01B0 0x0000 05F7	PR0_PRU1_GPIO4	0	IO	オフ / オフ / オフ	オフ / オフ / オフ	Mode7	3.3V	あり	LVCMOS	PU/PD
					MCAN0_TX	1	O							
					RGMII1_RX_CTL	3	I							
					MII1_RXDV	4	I							
					GPIO108	7	IO							
					TRC_DATA5	8	O							
F18	H20	D14	G18	GPIO109 GPIO109_CFG_REG 0x5310 01B4 0x0000 05F7	PR0_PRU1_GPIO0	0	IO	オフ / オフ / オフ	オフ / オフ / オフ	Mode7	3.3V	あり	LVCMOS	PU/PD
					MCAN1_RX	1	I							
					RMII1_RXD0	2	I							
					RGMII1_RD0	3	I							
					MII1_RXD0	4	I							
					GPIO109	7	IO							
					TRC_DATA6	8	O							
G16	H19	D16	F18	GPIO110 GPIO110_CFG_REG 0x5310 01B8 0x0000 05F7	PR0_PRU1_GPIO1	0	IO	オフ / オフ / オフ	オフ / オフ / オフ	Mode7	3.3V	あり	LVCMOS	PU/PD
					MCAN1_TX	1	O							
					RMII1_RXD1	2	I							
					RGMII1_RD1	3	I							
					MII1_RXD1	4	I							
					GPIO110	7	IO							
					TRC_DATA7	8	O							
E17	H17		E17	GPIO111 GPIO111_CFG_REG 0x5310 01BC 0x0000 05F7	PR0_PRU1_GPIO2	0	IO	オフ / オフ / オフ	オフ / オフ / オフ	Mode7	3.3V	あり	LVCMOS	PU/PD
					RGMII1_RD2	3	I							
					MII1_RXD2	4	I							
					GPIO111	7	IO							
					TRC_DATA8	8	O							
E18	G20		F19	GPIO112 GPIO112_CFG_REG 0x5310 01C0 0x0000 05F7	PR0_PRU1_GPIO3	0	IO	オフ / オフ / オフ	オフ / オフ / オフ	Mode7	3.3V	あり	LVCMOS	PU/PD
					RGMII1_RD3	3	I							
					MII1_RXD3	4	I							
					GPIO112	7	IO							
					TRC_DATA9	8	O							
C16	B20		B18	GPIO113 GPIO113_CFG_REG 0x5310 01C4 0x0000 05F7	PR0_PRU1_GPIO16	0	IO	オフ / オフ / オフ	オフ / オフ / オフ	Mode7	3.3V	あり	LVCMOS	PU/PD
					RGMII1_TXC	3	O							
					MII1_TXCLK	4	I							
					GPIO113	7	IO							
					TRC_DATA10	8	O							

Copyright © 2025 Texas Instruments Incorporated

表 5-1. ピン属性 (ZCZ、ZFG、ZEJ、ZNC パッケージ) (続き)

ZCZ ボール番号 [1]	ZFG ボール番号 [1]	ZEJ ボール番号 [1]	ZNC ボール番号 [1]	ボール名 [2]/ IOMUX レジスタ [14]/ アドレス [15]/ デフォルト値 [16]	信号名 [3]	Mux モード [4]	タイプ [5]	リセット中のボールの状態 RX/TX/PULL [6]	リセット後のボールの状態 RX/TX/PULL [7]	リセット後の MUX の状態[8]	IO 電圧 [9]	HYS [11]	バッファのタイプ [13]	PULL のタイプ [12]
A17	E18		A18	GPIO114 GPIO114_CFG_REG 0x5310 01C8 0x0000 05F7	PR0_PRU1_GPIO15	0	IO	オフ / オフ / オフ	オフ / オフ / オフ	Mode7	3.3V	あり	LVCMOS	PU/PD
					RMII1_TX_EN	2	O							
					RGMII1_TX_CTL	3	O							
					MII1_TX_EN	4	O							
					GPIO114	7	IO							
					TRC_DATA11	8	O							
B18	F17		D18	GPIO115 GPIO115_CFG_REG 0x5310 01CC 0x0000 05F7	PR0_PRU1_GPIO11	0	IO	オフ / オフ / オフ	オフ / オフ / オフ	Mode7	3.3V	あり	LVCMOS	PU/PD
					RMII1_TXD0	2	O							
					RGMII1_TD0	3	O							
					MII1_TXD0	4	O							
					GPIO115	7	IO							
					TRC_DATA12	8	O							
B17	D20		C18	GPIO116 GPIO116_CFG_REG 0x5310 01D0 0x0000 05F7	PR0_PRU1_GPIO12	0	IO	オフ / オフ / オフ	オフ / オフ / オフ	Mode7	3.3V	あり	LVCMOS	PU/PD
					RMII1_TXD1	2	O							
					RGMII1_TD1	3	O							
					MII1_TXD1	4	O							
					GPIO116	7	IO							
					TRC_DATA13	8	O							
D16	C20		B19	GPIO117 GPIO117_CFG_REG 0x5310 01D4 0x0000 05F7	PR0_PRU1_GPIO13	0	IO	オフ / オフ / オフ	オフ / オフ / オフ	Mode7	3.3V	あり	LVCMOS	PU/PD
					RGMII1_TD2	3	O							
					MII1_TXD2	4	O							
					GPIO117	7	IO							
					TRC_DATA14	8	O							
					XBAROUT11	10	O							
C17	D19		C17	GPIO118 GPIO118_CFG_REG 0x5310 01D8 0x0000 05F7	PR0_PRU1_GPIO14	0	IO	オフ / オフ / オフ	オフ / オフ / オフ	Mode7	3.3V	あり	LVCMOS	PU/PD
					RGMII1_TD3	3	O							
					MII1_TXD3	4	O							
					GPIO118	7	IO							
					TRC_DATA15	8	O							
					XBAROUT12	10	O							

表 5-1. ピン属性 (ZCZ、ZFG、ZEJ、ZNC パッケージ) (続き)

ZCZ ボール番号 [1]	ZFG ボール番号 [1]	ZEJ ボール番号 [1]	ZNC ボール番号 [1]	ボール名 [2]/ IOMUX レジスタ [14]/ アドレス [15]/ デフォルト値 [16]	信号名 [3]	Mux モード [4]	タイプ [5]	リセット中のボールの状態 RX/TX/PULL [6]	リセット後のボールの状態 RX/TX/PULL [7]	リセット後の MUX の状態[8]	IO 電圧 [9]	HYS [11]	バッファのタイプ [13]	PULL のタイプ [12]
D15	C18		B16	GPIO119 GPIO119_CFG_REG 0x5310 01DC 0x0000 05F7	PR0_PRU1_GPIO19	0	IO	オフ / オフ / オフ	オフ / オフ / オフ	Mode7	3.3V	あり	LVCMOS	PU/PD
					UART3_RXD	2	I							
					PR0_IEP0_EDC_SYNC_OUT0	3	O							
					GPMC0_A19	6	O							
					GPIO119	7	IO							
					TRC_CLK	8	O							
					EQEP1_A	9	I							
					XBAROUT13	10	O							
C15	C19		B17	GPIO120 GPIO120_CFG_REG 0x5310 01E0 0x0000 05F7	PR0_PRU1_GPIO18	0	IO	オフ / オフ / オフ	オフ / オフ / オフ	Mode7	3.3V	あり	LVCMOS	PU/PD
					UART3_TXD	2	O							
					PR0_IEP0_EDIO_DATA_IN_OUT31	3	IO							
					GPMC0_A17	6	O							
					GPIO120	7	IO							
					TRC_CTL	8	O							
					EQEP1_B	9	I							
					XBAROUT14	10	O							
P2	U2	P3	T1	GPIO121 GPIO121_CFG_REG 0x5310 01E4 0x0000 05F7	EXT_REFCLK0	0	I	オフ / オフ / オフ	オフ / オフ / オフ	Mode7	3.3V	あり	LVCMOS	PU/PD
					SAFETY_ERRORn	1	IO							
					USB0_DRVVBUS	2	O							
					PR0_IEP0_EDIO_DATA_IN_OUT30	3	IO							
					GPMC0_A18	6	O							
					GPIO121	7	IO							
					EQEP1_INDEX	9	IO							
					XBAROUT15	10	O							
B16	B19	C15		GPIO122 GPIO122_CFG_REG 0x5310 01E8 0x0000 05F7	CLKOUT1	0	O	オフ / オフ / オフ	オフ / オフ / オフ	Mode7	3.3V	あり	LVCMOS	PU/PD
					PR1_PRU0_GPIO7	1	IO							
					UART2_RTSn	2	O							
					PR1_UART0_CTSn	4	I							
					GPMC0_A5	6	O							
					GPIO122	7	IO							
					SDFM0_CLK0	8	I							
					EQEP1_STROBE	9	IO							

Copyright © 2025 Texas Instruments Incorporated

表 5-1. ピン属性 (ZCZ、ZFG、ZEJ、ZNC パッケージ) (続き)

ZCZ ボール番号 [1]	ZFG ボール番号 [1]	ZEJ ボール番号 [1]	ZNC ボール番号 [1]	ボール名 [2]/ IOMUX レジスタ [14]/ アドレス [15]/ デフォルト値 [16]	信号名 [3]	Mux モード [4]	タイプ [5]	リセット中のボールの状態 RX/TX/PULL [6]	リセット後のボールの状態 RX/TX/PULL [7]	リセット後の MUX の状態[8]	IO 電圧 [9]	HYS [11]	バッファのタイプ [13]	PULL のタイプ [12]
D14	C16	A15		GPIO123 GPIO123_CFG_REG 0x5310 01EC 0x0000 05F7	PR0_ECAP0_APWM_OUT	0	O	オフ / オフ / オフ	オフ / オフ / オフ	Mode7	3.3V	あり	LVCMOS	PU/PD
					PR1_PRU1_GPIO10	1	IO							
					UART2_CTSn	2	I							
					PR1_ECAP0_APWM_OUT	3	O							
					PR1_UART0_RTSn	4	O							
					GPMC0_AD10	6	IO							
					GPIO123	7	IO							
					SDFM0_D0	8	I							
A16	A19	C16		GPIO124 GPIO124_CFG_REG 0x5310 01F0 0x0000 05F7	PR0_PRU1_GPIO7	0	IO	オフ / オフ / オフ	オフ / オフ / オフ	Mode7	3.3V	あり	LVCMOS	PU/PD
					CPTS0_TS_SYNC	1	O							
					PR1_PRU0_GPIO10	2	IO							
					PR0_IEP0_EDC_SYNC_OUT1	3	O							
					PR1_UART0_RXD	4	I							
					GPMC0_A8	6	O							
					GPIO124	7	IO							
					SDFM0_CLK1	8	I							
					SDFM1_D0	9	I							
					UART2_TXD	10	O							
					UART5_RTSn	11	O							
D13	B17	C14		GPIO125 GPIO125_CFG_REG 0x5310 01F4 0x0000 05F7	PR0_PRU1_GPIO17	0	IO	オフ / オフ / オフ	オフ / オフ / オフ	Mode7	3.3V	あり	LVCMOS	PU/PD
					PR1_PRU1_GPIO13	1	IO							
					UART2_RXD	2	I							
					PR0_IEP0_EDIO_DATA_IN_OUT30	3	IO							
					PR1_UART0_TXD	4	O							
					UART5_CTSn	5	I							
					GPMC0_AD13	6	IO							
					GPIO125	7	IO							
					SDFM0_D1	8	I							

表 5-1. ピン属性 (ZCZ、ZFG、ZEJ、ZNC パッケージ) (続き)

ZCZ ボール番号 [1]	ZFG ボール番号 [1]	ZEJ ボール番号 [1]	ZNC ボール番号 [1]	ボール名 [2]/ IOMUX レジスタ [14]/ アドレス [15]/ デフォルト値 [16]	信号名 [3]	Mux モード [4]	タイプ [5]	リセット中のボールの状態 RX/TX/PULL [6]	リセット後のボールの状態 RX/TX/PULL [7]	リセット後の MUX の状態[8]	IO 電圧 [9]	HYS [11]	バッファのタイプ [13]	PULL のタイプ [12]
B15	A18	B16	A17	GPIO126 GPIO126_CFG_REG 0x5310 01F8 0x0000 05F7	UART1_CTSn	0	I	オフ / オフ / オフ	オフ / オフ / オフ	Mode7	3.3V	あり	LVCMOS	PU/PD
					PR1_MDIO0_MDIO	1	IO							
					SPI2_CS1	2	IO							
					PR1_IEP0_EDC_SYNC_OUT1	3	O							
					UART5_CTSn	4	I							
					UART5_TXD	5	O							
					GPMC0_CLKLB	6	IO							
					GPIO126	7	IO							
					SDFM0_CLK2	8	I							
					SDFM1_D1	9	I							
					ADC_EXTCH_XBAROUT8	10	O							
C13	A17	A14	A16	GPIO127 GPIO127_CFG_REG 0x5310 01FC 0x0000 05F7	UART2_CTSn	0	I	オフ / オフ / オフ	オフ / オフ / オフ	Mode7	3.3V	あり	LVCMOS	PU/PD
					PR1_MDIO0_MDC	1	O							
					SPI3_CS1	2	IO							
					UART5_RXD	5	I							
					GPMC0_BE0n_CLE	6	O							
					GPIO127	7	IO							
					SDFM0_D2	8	I							
					ADC_EXTCH_XBAROUT0	10	O							
A15	B18	B15		GPIO128 GPIO128_CFG_REG 0x5310 0200 0x0000 05F7	SPI2_D1	0	IO	オフ / オフ / オフ	オフ / オフ / オフ	Mode7	3.3V	あり	LVCMOS	PU/PD
					PR1_PRU1_GPIO14	1	IO							
					UART5_RXD	5	I							
					GPMC0_AD14	6	IO							
					GPIO128	7	IO							
					SDFM0_CLK3	8	I							
					SDFM1_D2	9	I							
					ADC_EXTCH_XBAROUT9	10	O							
C14	D17	B14		GPIO129 GPIO129_CFG_REG 0x5310 0204 0x0000 05F7	SPI2_CLK	0	IO	オフ / オフ / オフ	オフ / オフ / オフ	Mode7	3.3V	あり	LVCMOS	PU/PD
					PR1_PRU1_GPIO17	1	IO							
					UART5_TXD	5	O							
					GPMC0_WEn	6	O							
					GPIO129	7	IO							
					SDFM0_D3	8	I							
					ADC_EXTCH_XBAROUT1	10	O							

Copyright © 2025 Texas Instruments Incorporated

表 5-1. ピン属性 (ZCZ、ZFG、ZEJ、ZNC パッケージ) (続き)

ZCZ ボール番号 [1]	ZFG ボール番号 [1]	ZEJ ボール番号 [1]	ZNC ボール番号 [1]	ボール名 [2]/ IOMUX レジスタ [14]/ アドレス [15]/ デフォルト値 [16]	信号名 [3]	Mux モード [4]	タイプ [5]	リセット中のボールの状態 RX/TX/PULL [6]	リセット後のボールの状態 RX/TX/PULL [7]	リセット後の MUX の状態[8]	IO 電圧 [9]	HYS [11]	バッファのタイプ [13]	PULL のタイプ [12]
B14	A16	D13	B15	GPIO130 GPIO130_CFG_REG 0x5310 0208 0x0000 05F7	SPI2_D0	0	IO	オフ / オフ / オフ	オフ / オフ / オフ	Mode7	3.3V	あり	LVCMOS	PU/PD
					PR1_PRU1_GPIO18	1	IO							
					UART4_RTSn	2	O							
					PR1_IEP0_EDC_SYNC_OUT0	3	O							
					I2C1_SDA	4	IO							
					MCAN1_RX	5	I							
					GPMC0_OEn_REn	6	O							
					GPIO130	7	IO							
					EQEP0_A	8	I							
					SDFM1_CLK0	9	I							
A14	B16	C13	A15	GPIO131 GPIO131_CFG_REG 0x5310 020C 0x0000 05F7	SPI2_CS0	0	IO	オフ / オフ / オフ	オフ / オフ / オフ	Mode7	3.3V	あり	LVCMOS	PU/PD
					PR1_PRU0_GPIO19	1	IO							
					UART4_CTSn	2	I							
					PR1_IEP0_EDIO_DATA_IN_OUT31	3	IO							
					I2C1_SCL	4	IO							
					MCAN1_TX	5	O							
					GPMC0_CSn0	6	O							
					GPIO131	7	IO							
					EQEP0_B	8	I							
					SDFM1_D0	9	I							
C12	C14	C12	A14	GPIO132 GPIO132_CFG_REG 0x5310 0210 0x0000 05F7	I2C2_SDA	0	IO	オフ / オフ / オフ	オフ / オフ / オフ	Mode7	3.3V	あり	LVCMOS	PU/PD
					PR1_PRU0_GPIO20	1	IO							
					UART4_TXD	2	O							
					PR1_IEP0_EDIO_DATA_IN_OUT30	3	IO							
					GPMC0_A15	6	O							
					GPIO132	7	IO							
					EQEP0_STROBE	8	IO							
					SDFM1_CLK1	9	I							
					ADC_EXTCH_XBAROUT2	10	O							

表 5-1. ピン属性 (ZCZ、ZFG、ZEJ、ZNC パッケージ) (続き)

ZCZ ボール番号 [1]	ZFG ボール番号 [1]	ZEJ ボール番号 [1]	ZNC ボール番号 [1]	ボール名 [2]/ IOMUX レジスタ [14]/ アドレス [15]/ デフォルト値 [16]	信号名 [3]	Mux モード [4]	タイプ [5]	リセット中のボールの状態 RX/TX/PULL [6]	リセット後のボールの状態 RX/TX/PULL [7]	リセット後の MUX の状態[8]	IO 電圧 [9]	HYS [11]	バッファのタイプ [13]	PULL のタイプ [12]
D11	D15	B13	B14	GPIO133 GPIO133_CFG_REG 0x5310 0214 0x0000 05F7	I2C2_SCL	0	IO	オフ / オフ / オフ	オフ / オフ / オフ	Mode7	3.3V	あり	LVCMOS	PU/PD
					PR1_PRU1_GPIO7	1	IO							
					UART4_RXD	2	I							
					GPMC0_AD7	6	IO							
					GPIO133	7	IO							
					EQEP0_INDEX	8	IO							
					SDFM1_D1	9	I							
					ADC_EXTCH_XBAROUT3	10	O							
B13	B15	B12	B13	GPIO134 GPIO134_CFG_REG 0x5310 0218 0x0000 05F7	I2C0_SDA	0	IO	オフ / オフ / オフ	オフ / オフ / オフ	Mode7	3.3V	あり	I2C オープンドレイン	
					GPIO134	7	IO							
					SDFM1_CLK2	9	I							
A13	A15	A13	A13	GPIO135 GPIO135_CFG_REG 0x5310 021C 0x0000 05F7	I2C0_SCL	0	IO	オフ / オフ / オフ	オフ / オフ / オフ	Mode7	3.3V	あり	I2C オープンドレイン	
					GPIO135	7	IO							
					SDFM1_CLK3	9	I							
B12	B14			GPIO136 GPIO136_CFG_REG 0x5310 0220 0x0000 05F7	UART1_RTSn	0	O	オフ / オフ / オフ	オフ / オフ / オフ	Mode7	3.3V	あり	LVCMOS	PU/PD
					SPI0_CS1	1	IO							
					LIN0_RXD	2	IO							
					UART3_RXD	3	I							
					GPIO136	7	IO							
					SDFM1_D2	9	I							
A12	A14			GPIO137 GPIO137_CFG_REG 0x5310 0224 0x0000 05F7	UART2_RTSn	0	O	オフ / オフ / オフ	オフ / オフ / オフ	Mode7	3.3V	あり	LVCMOS	PU/PD
					EQEP1_INDEX	1	IO							
					LIN0_TXD	2	IO							
					UART3_TXD	3	O							
					GPIO137	7	IO							
					SDFM1_D3	9	I							
M2	M1	H1	J3	GPIO138 GPIO138_CFG_REG 0x5310 0228 0x0000 0570	CLKOUT0	0	O	オフ / オフ / オフ	オフ / SS / オフ	Mode0	1.8V/3.3V	あり	LVCMOS	PU/PD
					LIN1_RXD	1	IO							
					OSPI0_ECC_FAIL	2	I							
					UART1_RXD	3	I							
					SPI2_CS0	4	IO							
					OSPI1_ECC_FAIL	5	I							
					USB0_DRVVBUS	6	O							
					GPIO138	7	IO							
					SAFETY_ERRORn	8	IO							

Copyright © 2025 Texas Instruments Incorporated

表 5-1. ピン属性 (ZCZ、ZFG、ZEJ、ZNC パッケージ) (続き)

ZCZ ボール番号 [1]	ZFG ボール番号 [1]	ZEJ ボール番号 [1]	ZNC ボール番号 [1]	ボール名 [2]/ IOMUX レジスタ [14]/ アドレス [15]/ デフォルト値 [16]	信号名 [3]	Mux モード [4]	タイプ [5]	リセット中のボールの状態 RX/TX/PULL [6]	リセット後のボールの状態 RX/TX/PULL [7]	リセット後の MUX の状態[8]	IO 電圧 [9]	HYS [11]	バッファのタイプ [13]	PULL のタイプ [12]
V2	V1	R1	V1	GPIO139 GPIO139_CFG_REG 0x5310 022C 0x00 0060	USB0_DP	0	IO	オフ / オフ / オフ	オフ / SS / オフ	Mode0	3.3V	0	アナログ	0
					UART5_RXD	1	I							
					GPIO139	7	IO							
U3	W1	P1	U1	GPIO140 GPIO140_CFG_REG 0x5310 0230 0x00 0060	USB0_DM	0	IO	オフ / オフ / オフ	オフ / SS / オフ	Mode0	3.3V	0	アナログ	0
					UART5_TXD	1	O							
					GPIO140	7	IO							
B9	B11	D8	B10	GPIO20 GPIO20_CFG_REG 0x5310 0050 0x0000 05F7	LIN1_TXD	0	IO	オフ / オフ / オフ	オフ / オフ / オフ	Mode7	3.3V	あり	LVCMOS	PU/PD
					OSPI0_RESET_OUT0	1	O							
					SPI2_CLK	2	IO							
					PR1_PRU1_GPIO8	3	IO							
					OSPI1_RESET_OUT0	4	O							
					UART1_TXD	5	O							
					GPMC0_AD8	6	IO							
					GPIO20	7	IO							
					XBAROUT6	10	O							
					EPWM6_A	11	O							
B8	B10	B8	A10	GPIO21 GPIO21_CFG_REG 0x5310 0054 0x0000 05F7	LIN2_RXD	0	IO	オフ / オフ / オフ	オフ / オフ / オフ	Mode7	3.3V	あり	LVCMOS	PU/PD
					UART2_RXD	1	I							
					SPI2_D0	2	IO							
					USB0_DRVVBUS	3	O							
					OSPI1_RESET_OUT1	4	O							
					OSPI0_RESET_OUT1	5	O							
					GPIO21	7	IO							
					GPMC0_CSn0	8	O							
A8	A10	C9	B9	GPIO22 GPIO22_CFG_REG 0x5310 0058 0x0000 05F7	LIN2_TXD	0	IO	オフ / オフ / オフ	オフ / オフ / オフ	Mode7	3.3V	あり	LVCMOS	PU/PD
					UART2_TXD	1	O							
					SPI2_D1	2	IO							
					GPIO22	7	IO							
					GPMC0_ADVn_ALE	8	O							
D7	B9	B7		GPIO23 GPIO23_CFG_REG 0x5310 005C 0x0000 05F7	I2C1_SCL	0	IO	オフ / オフ / オフ	オフ / オフ / オフ	Mode7	3.3V	あり	LVCMOS	PU/PD
					SPI3_CS0	2	IO							
					PR1_PRU0_GPIO17	3	IO							
					GPMC0_WEn	6	O							
					GPIO23	7	IO							
					XBAROUT7	10	O							

表 5-1. ピン属性 (ZCZ、ZFG、ZEJ、ZNC パッケージ) (続き)

ZCZ ボール番号 [1]	ZFG ボール番号 [1]	ZEJ ボール番号 [1]	ZNC ボール番号 [1]	ボール名 [2]/ IOMUX レジスタ [14]/ アドレス [15]/ デフォルト値 [16]	信号名 [3]	Mux モード [4]	タイプ [5]	リセット中のボールの状態 RX/TX/PULL [6]	リセット後のボールの状態 RX/TX/PULL [7]	リセット後の MUX の状態[8]	IO 電圧 [9]	HYS [11]	バッファのタイプ [13]	PULL のタイプ [12]
C8	A9	A8		GPIO24 GPIO24_CFG_REG 0x5310 0060 0x0000 05F7	I2C1_SDA	0	IO	オフ / オフ / オフ	オフ / オフ / オフ	Mode7	3.3V	あり	LVCMOS	PU/PD
					SPI3_CLK	2	IO							
					PR1_PRU0_GPIO18	3	IO							
					GPMC0_OEn_REn	6	O							
					GPIO24	7	IO							
					XBAROUT8	10	O							
C7	C7	C8	C9	GPIO25 GPIO25_CFG_REG 0x5310 0064 0x0000 05F7	UART0_RTSn	0	O	オフ / オフ / オフ	オフ / オフ / オフ	Mode7	3.3V	あり	LVCMOS	PU/PD
					I2C2_SCL	1	IO							
					SPI3_D0	2	IO							
					PR1_PRU1_GPIO19	3	IO							
					PR1_PRU0_GPIO17	4	IO							
					UART3_RXD	5	I							
					GPMC0_WAIT1	6	I							
					GPIO25	7	IO							
					XBAROUT9	10	O							
B7	D8	A7	A9	GPIO26 GPIO26_CFG_REG 0x5310 0068 0x0000 05F7	UART0_CTSn	0	I	オフ / オフ / オフ	オフ / オフ / オフ	Mode7	3.3V	あり	LVCMOS	PU/PD
					I2C2_SDA	1	IO							
					SPI3_D1	2	IO							
					SPI0_CS1	3	IO							
					PR1_PRU0_GPIO7	4	IO							
					UART3_TXD	5	O							
					GPIO26	7	IO							
					XBAROUT10	10	O							
A7	A8	A6	A8	GPIO27 GPIO27_CFG_REG 0x5310 006C 0x0000 05F7	UART0_RXD	0	I	オフ / オフ / オフ	オフ / オフ / オフ	Mode7	3.3V	あり	LVCMOS	PU/PD
					LIN0_RXD	1	IO							
					GPIO27	7	IO							
					XBAROUT4	10	O							
A6	B8	B6	B8	GPIO28 GPIO28_CFG_REG 0x5310 0070 0x0000 05F7	UART0_TXD	0	O	オフ / オフ / オフ	オフ / オフ / オフ	Mode7	3.3V	あり	LVCMOS	PU/PD
					LIN0_TXD	1	IO							
					GPIO28	7	IO							
					XBAROUT5	10	O							

Copyright © 2025 Texas Instruments Incorporated

表 5-1. ピン属性 (ZCZ、ZFG、ZEJ、ZNC パッケージ) (続き)

ZCZ ボール番号 [1]	ZFG ボール番号 [1]	ZEJ ボール番号 [1]	ZNC ボール番号 [1]	ボール名 [2]/ IOMUX レジスタ [14]/ アドレス [15]/ デフォルト値 [16]	信号名 [3]	Mux モード [4]	タイプ [5]	リセット中のボールの状態 RX/TX/PULL [6]	リセット後のボールの状態 RX/TX/PULL [7]	リセット後の MUX の状態[8]	IO 電圧 [9]	HYS [11]	バッファのタイプ [13]	PULL のタイプ [12]
R17	W20	P16	V19	GPIO29 GPIO29_CFG_REG 0x5310 0074 0x0000 05F7	RGMII1_RXC	0	I	オフ / オフ / オフ	オフ / オフ / オフ	Mode7	1.8V/3.3V	あり	LVCMOS	PU/PD
					RMII1_REF_CLK	1	IO							
					MII1_RXCLK	2	I							
					OSPI1_CLK	3	O							
					FSITX0_CLK	6	O							
					GPIO29	7	IO							
R18	V19	M14	U17	GPIO30 GPIO30_CFG_REG 0x5310 0078 0x0000 05F7	RGMII1_RX_CTL	0	I	オフ / オフ / オフ	オフ / オフ / オフ	Mode7	1.8V/3.3V	あり	LVCMOS	PU/PD
					RMII1_RX_ER	1	I							
					MII1_RXDV	2	I							
					OSPI1_D0	3	IO							
					FSITX0_DATA0	6	O							
					GPIO30	7	IO							
U17	Y18	P14	W17	GPIO31 GPIO31_CFG_REG 0x5310 007C 0x0000 05F7	RGMII1_RD0	0	I	オフ / オフ / オフ	オフ / オフ / オフ	Mode7	1.8V/3.3V	あり	LVCMOS	PU/PD
					RMII1_RXD0	1	I							
					MII1_RXD0	2	I							
					OSPI1_D1	3	IO							
					FSITX0_DATA1	6	O							
					GPIO31	7	IO							
T17	W18	P15	V17	GPIO32 GPIO32_CFG_REG 0x5310 0080 0x0000 05F7	RGMII1_RD1	0	I	オフ / オフ / オフ	オフ / オフ / オフ	Mode7	1.8V/3.3V	あり	LVCMOS	PU/PD
					RMII1_RXD1	1	I							
					MII1_RXD1	2	I							
					OSPI1_D2	3	IO							
					FSIRX0_CLK	6	I							
					GPIO32	7	IO							
U18	Y19	R16	W18	GPIO33 GPIO33_CFG_REG 0x5310 0084 0x0000 05F7	RGMII1_RD2	0	I	オフ / オフ / オフ	オフ / オフ / オフ	Mode7	1.8V/3.3V	あり	LVCMOS	PU/PD
					PR1_IEP0_EDC_SYNC_OUT0	1	O							
					MII1_RXD2	2	I							
					OSPI1_D3	3	IO							
					UART1_RXD	4	I							
					FSIRX0_DATA0	6	I							
					GPIO33	7	IO							
					EQEP0_A	8	I							
					GPMC0_CSn2	9	O							

表 5-1. ピン属性 (ZCZ、ZFG、ZEJ、ZNC パッケージ) (続き)

ZCZ ボール番号 [1]	ZFG ボール番号 [1]	ZEJ ボール番号 [1]	ZNC ボール番号 [1]	ボール名 [2]/ IOMUX レジスタ [14]/ アドレス [15]/ デフォルト値 [16]	信号名 [3]	Mux モード [4]	タイプ [5]	リセット中のボールの状態 RX/TX/PULL [6]	リセット後のボールの状態 RX/TX/PULL [7]	リセット後の MUX の状態[8]	IO 電圧 [9]	HYS [11]	バッファのタイプ [13]	PULL のタイプ [12]
T18	W19	N14	V18	GPIO34 GPIO34_CFG_REG 0x5310 0088 0x0000 05F7	RGMII1_RD3	0	I	オフ / オフ / オフ	オフ / オフ / オフ	Mode7	1.8V/3.3V	あり	LVCMOS	PU/PD
					PR1_IEP0_EDIO_DATA_IN_OUT31	1	IO							
					MII1_RXD3	2	I							
					OSPI1_D4	3	IO							
					UART1_TXD	4	O							
					FSIRX0_DATA1	6	I							
					GPIO34	7	IO							
					EQEP0_B	8	I							
					GPMC0_CSn3	9	O							
N18	U20	L15	R18	GPIO35 GPIO35_CFG_REG 0x5310 008C 0x0000 05F7	RGMII1_TXC	0	O	オフ / オフ / オフ	オフ / オフ / オフ	Mode7	1.8V/3.3V	あり	LVCMOS	PU/PD
					PR1_IEP0_EDIO_DATA_IN_OUT30	1	IO							
					MII1_TXCLK	2	I							
					OSPI1_D5	3	IO							
					UART4_RXD	4	I							
					GPIO35	7	IO							
					EQEP0_INDEX	8	IO							
M18	T20	M16	T19	GPIO36 GPIO36_CFG_REG 0x5310 0090 0x0000 05F7	RGMII1_TX_CTL	0	O	オフ / オフ / オフ	オフ / オフ / オフ	Mode7	1.8V/3.3V	あり	LVCMOS	PU/PD
					RMII1_TX_EN	1	O							
					MII1_TX_EN	2	O							
					OSPI1_D6	3	IO							
					GPIO36	7	IO							
					EQEP0_STROBE	8	IO							
P16	V18	N15	U18	GPIO37 GPIO37_CFG_REG 0x5310 0094 0x0000 05F7	RGMII1_TD0	0	O	オフ / オフ / オフ	オフ / オフ / オフ	Mode7	1.8V/3.3V	あり	LVCMOS	PU/PD
					RMII1_TXD0	1	O							
					MII1_TXD0	2	O							
					OSPI1_D7	3	IO							
					GPIO37	7	IO							
					EQEP1_A	8	I							
P17	V20	N16	U19	GPIO38 GPIO38_CFG_REG 0x5310 0098 0x0000 05F7	RGMII1_TD1	0	O	オフ / オフ / オフ	オフ / オフ / オフ	Mode7	1.8V/3.3V	あり	LVCMOS	PU/PD
					RMII1_TXD1	1	O							
					MII1_TXD1	2	O							
					OSPI1_CSn0	3	O							
					GPIO38	7	IO							
					EQEP1_B	8	I							

Copyright © 2025 Texas Instruments Incorporated

表 5-1. ピン属性 (ZCZ、ZFG、ZEJ、ZNC パッケージ) (続き)

ZCZ ボール番号 [1]	ZFG ボール番号 [1]	ZEJ ボール番号 [1]	ZNC ボール番号 [1]	ボール名 [2]/ IOMUX レジスタ [14]/ アドレス [15]/ デフォルト値 [16]	信号名 [3]	Mux モード [4]	タイプ [5]	リセット中のボールの状態 RX/TX/PULL [6]	リセット後のボールの状態 RX/TX/PULL [7]	リセット後の MUX の状態[8]	IO 電圧 [9]	HYS [11]	バッファのタイプ [13]	PULL のタイプ [12]
P18	U19	L13	R17	GPIO39 GPIO39_CFG_REG 0x5310 009C 0x0000 05F7	RGMII1_TD2	0	O	オフ / オフ / オフ	オフ / オフ / オフ	Mode7	1.8V/3.3V	あり	LVCMOS	PU/PD
					RMII1_CRS_DV	1	I							
					MII1_TXD2	2	O							
					OSPI1_DQS	3	I							
					GPIO39	7	IO							
					EQEP1_STROBE	8	IO							
N17	T19	M15	T18	GPIO40 GPIO40_CFG_REG 0x5310 00A0 0x0000 05F7	RGMII1_TD3	0	O	オフ / オフ / オフ	オフ / オフ / オフ	Mode7	1.8V/3.3V	あり	LVCMOS	PU/PD
					PR0_PRU0_GPIO7	1	IO							
					MII1_TXD3	2	O							
					OSPI1_ECC_FAIL	3	I							
					UART4_TXD	4	O							
					PR0_IEP0_EDC_SYNC_OUT1	5	O							
					PR1_IEP0_EDC_SYNC_OUT1	6	O							
					GPIO40	7	IO							
					EQEP1_INDEX	8	IO							
N16	R17	L16	P18	GPIO41 GPIO41_CFG_REG 0x5310 00A4 0x0000 05F7	MDIO0_MDIO	0	IO	オフ / オフ / オフ	オフ / オフ / オフ	Mode7	1.8V/3.3V	あり	LVCMOS	PU/PD
					MCAN1_RX	1	I							
					OSPI1_RESET_OUT0	3	O							
					GPIO41	7	IO							
M17	T18	L14	R19	GPIO42 GPIO42_CFG_REG 0x5310 00A8 0x0000 05F7	MDIO0_MDC	0	O	オフ / オフ / オフ	オフ / オフ / オフ	Mode7	3.3V	あり	LVCMOS	PU/PD
					MCAN1_TX	1	O							
					GPIO42	7	IO							
B2	B3	A4	B5	GPIO43 GPIO43_CFG_REG 0x5310 00AC 0x0000 05F7	EPWM0_A	0	O	オフ / オフ / オフ	オフ / オフ / オフ	Mode7	3.3V	あり	LVCMOS	PU/PD
					PR1_PRU0_GPIO5	2	IO							
					GPMC0_A3	6	O							
					GPIO43	7	IO							
					EPWM0_A	10	O							
B1	C3	A5	A6	GPIO44 GPIO44_CFG_REG 0x5310 00B0 0x0000 05F7	EPWM0_B	0	O	オフ / オフ / オフ	オフ / オフ / オフ	Mode7	3.3V	あり	LVCMOS	PU/PD
					PR1_PRU0_GPIO8	2	IO							
					GPMC0_A6	6	O							
					GPIO44	7	IO							
					EPWM0_B	10	O							

表 5-1. ピン属性 (ZCZ、ZFG、ZEJ、ZNC パッケージ) (続き)

ZCZ ボール番号 [1]	ZFG ボール番号 [1]	ZEJ ボール番号 [1]	ZNC ボール番号 [1]	ボール名 [2]/ IOMUX レジスタ [14]/ アドレス [15]/ デフォルト値 [16]	信号名 [3]	Mux モード [4]	タイプ [5]	リセット中のボールの状態 RX/TX/PULL [6]	リセット後のボールの状態 RX/TX/PULL [7]	リセット後の MUX の状態[8]	IO 電圧 [9]	HYS [11]	バッファのタイプ [13]	PULL のタイプ [12]
D3	A2	B4	A5	GPIO45 GPIO45_CFG_REG 0x5310 00B4 0x0000 05F7	EPWM1_A	0	O	オフ / オフ / オフ	オフ / オフ / オフ	Mode7	3.3V	あり	LVCMOS	PU/PD
					PR1_PRU0_GPIO6	2	IO							
					GPMC0_A4	6	O							
					GPIO45	7	IO							
					EPWM1_A	10	O							
D2	A3	C5	A4	GPIO46 GPIO46_CFG_REG 0x5310 00B8 0x0000 05F7	EPWM1_B	0	O	オフ / オフ / オフ	オフ / オフ / オフ	Mode7	3.3V	あり	LVCMOS	PU/PD
					PR1_PRU0_GPIO4	2	IO							
					GPMC0_A2	6	O							
					GPIO46	7	IO							
					EPWM4_B	10	O							
C2	B1	A3	A3	GPIO47 GPIO47_CFG_REG 0x5310 00BC 0x0000 05F7	EPWM2_A	0	O	オフ / オフ / オフ	オフ / オフ / オフ	Mode7	3.3V	あり	LVCMOS	PU/PD
					PR1_PRU0_GPIO3	2	IO							
					GPMC0_A1	6	O							
					GPIO47	7	IO							
					EPWM2_A	10	O							
C1	B2	A2	B4	GPIO48 GPIO48_CFG_REG 0x5310 00C0 0x0000 05F7	EPWM2_B	0	O	オフ / オフ / オフ	オフ / オフ / オフ	Mode7	3.3V	あり	LVCMOS	PU/PD
					PR1_PRU0_GPIO16	2	IO							
					PR1_PRU0_GPIO7	4	IO							
					GPMC0_A14	6	O							
					GPIO48	7	IO							
					EPWM2_B	10	O							
E2	C1	B2	A2	GPIO49 GPIO49_CFG_REG 0x5310 00C4 0x0000 05F7	EPWM3_A	0	O	オフ / オフ / オフ	オフ / オフ / オフ	Mode7	3.3V	あり	LVCMOS	PU/PD
					PR1_PRU0_GPIO15	2	IO							
					GPMC0_A13	6	O							
					GPIO49	7	IO							
					EPWM3_A	10	O							
E3	C2	C4	B2	GPIO50 GPIO50_CFG_REG 0x5310 00C8 0x0000 05F7	EPWM3_B	0	O	オフ / オフ / オフ	オフ / オフ / オフ	Mode7	3.3V	あり	LVCMOS	PU/PD
					PR1_PRU0_GPIO11	2	IO							
					GPMC0_A9	6	O							
					GPIO50	7	IO							
					EPWM6_A	10	O							
D1	D2	B1	B1	GPIO51 GPIO51_CFG_REG 0x5310 00CC 0x0000 05F7	EPWM4_A	0	O	オフ / オフ / オフ	オフ / オフ / オフ	Mode7	3.3V	あり	LVCMOS	PU/PD
					PR1_PRU0_GPIO12	2	IO							
					GPMC0_A10	6	O							
					GPIO51	7	IO							
					EPWM4_A	10	O							

Copyright © 2025 Texas Instruments Incorporated

表 5-1. ピン属性 (ZCZ、ZFG、ZEJ、ZNC パッケージ) (続き)

ZCZ ボール番号 [1]	ZFG ボール番号 [1]	ZEJ ボール番号 [1]	ZNC ボール番号 [1]	ボール名 [2]/ IOMUX レジスタ [14]/ アドレス [15]/ デフォルト値 [16]	信号名 [3]	Mux モード [4]	タイプ [5]	リセット中のボールの状態 RX/TX/PULL [6]	リセット後のボールの状態 RX/TX/PULL [7]	リセット後の MUX の状態[8]	IO 電圧 [9]	HYS [11]	バッファのタイプ [13]	PULL のタイプ [12]
E4	D1	C1	B3	GPIO52 GPIO52_CFG_REG 0x5310 00D0 0x0000 05F7	EPWM4_B	0	O	オフ / オフ / オフ	オフ / オフ / オフ	Mode7	3.3V	あり	LVCMOS	PU/PD
					PR1_PRU0_GPIO13	2	IO							
					GPMC0_A11	6	O							
					GPIO52	7	IO							
					EPWM1_B	10	O							
F2	E2	C2	C2	GPIO53 GPIO53_CFG_REG 0x5310 00D4 0x0000 05F7	EPWM5_A	0	O	オフ / オフ / オフ	オフ / オフ / オフ	Mode7	3.3V	あり	LVCMOS	PU/PD
					PR1_PRU0_GPIO14	2	IO							
					GPMC0_A12	6	O							
					GPIO53	7	IO							
					EPWM5_A	10	O							
G2	E1	D3	C1	GPIO54 GPIO54_CFG_REG 0x5310 00D8 0x0000 05F7	EPWM5_B	0	O	オフ / オフ / オフ	オフ / オフ / オフ	Mode7	3.3V	あり	LVCMOS	PU/PD
					PR1_PRU1_GPIO5	2	IO							
					OSPI0_RESET_OUT0	3	O							
					GPMC0_AD5	6	IO							
					GPIO54	7	IO							
					EPWM8_B	10	O							
E1	F2	E3	E3	GPIO55 GPIO55_CFG_REG 0x5310 00DC 0x0000 05F7	EPWM6_A	0	O	オフ / オフ / オフ	オフ / オフ / オフ	Mode7	3.3V	あり	LVCMOS	PU/PD
					PR1_PRU1_GPIO8	1	IO							
					CLKOUT0	2	O							
					GPMC0_AD8	6	IO							
					GPIO55	7	IO							
					EPWM3_B	10	O							
F3	F1	F4	E2	GPIO56 GPIO56_CFG_REG 0x5310 00E0 0x0000 05F7	EPWM6_B	0	O	オフ / オフ / オフ	オフ / オフ / オフ	Mode7	3.3V	あり	LVCMOS	PU/PD
					PR1_PRU1_GPIO6	1	IO							
					UART2_RTSn	3	O							
					GPMC0_A20	6	O							
					GPIO56	7	IO							
					EPWM6_B	10	O							
F4	G2	D2	D2	GPIO57 GPIO57_CFG_REG 0x5310 00E4 0x0000 05F7	EPWM7_A	0	O	オフ / オフ / オフ	オフ / オフ / オフ	Mode7	1.8V/3.3V	あり	LVCMOS	PU/PD
					PR1_PRU1_GPIO4	1	IO							
					OSPI0_CSn1	2	O							
					OSPI1_CSn1	5	O							
					GPMC0_AD4	6	IO							
					GPIO57	7	IO							
					EPWM7_A	10	O							

表 5-1. ピン属性 (ZCZ、ZFG、ZEJ、ZNC パッケージ) (続き)

ZCZ ボール番号 [1]	ZFG ボール番号 [1]	ZEJ ボール番号 [1]	ZNC ボール番号 [1]	ボール名 [2]/ IOMUX レジスタ [14]/ アドレス [15]/ デフォルト値 [16]	信号名 [3]	Mux モード [4]	タイプ [5]	リセット中のボールの状態 RX/TX/PULL [6]	リセット後のボールの状態 RX/TX/PULL [7]	リセット後の MUX の状態[8]	IO 電圧 [9]	HYS [11]	バッファのタイプ [13]	PULL のタイプ [12]
F1	G1	D1	D1	GPIO58 GPIO58_CFG_REG 0x5310 00E8 0x0000 05F7	EPWM7_B	0	O	オフ / オフ / オフ	オフ / オフ / オフ	Mode7	1.8V/3.3V	あり	LVCMOS	PU/PD
					PR1_PRU1_GPIO3	1	IO							
					OSPI1_D1	2	IO							
					OSPI0_D1	5	IO							
					GPMC0_AD3	6	IO							
					GPIO58	7	IO							
					EPWM5_B	10	O							
G3	H2	E2	E1	GPIO59 GPIO59_CFG_REG 0x5310 00EC 0x0000 05F7	EPWM8_A	0	O	オフ / オフ / オフ	オフ / オフ / オフ	Mode7	1.8V/3.3V	あり	LVCMOS	PU/PD
					PR1_PRU1_GPIO16	1	IO							
					OSPI1_D0	2	IO							
					MCAN0_RX	3	I							
					PR0_PRU1_GPIO7	4	IO							
					OSPI0_D0	5	IO							
					GPMC0_CSn1	6	O							
					GPIO59	7	IO							
					UART4_TXD	8	O							
					EPWM8_A	10	O							
H2	H1	E1	F1	GPIO60 GPIO60_CFG_REG 0x5310 00F0 0x0000 05F7	EPWM8_B	0	O	オフ / オフ / オフ	オフ / オフ / オフ	Mode7	1.8V/3.3V	あり	LVCMOS	PU/PD
					PR1_PRU1_GPIO15	1	IO							
					OSPI1_CLK	2	O							
					MCAN0_TX	3	O							
					OSPI0_CLK	5	O							
					GPMC0_AD15	6	IO							
					GPIO60	7	IO							
					UART4_RXD	8	I							
					EPWM9_B	10	O							
G1	K4	F2	F2	GPIO61 GPIO61_CFG_REG 0x5310 00F4 0x0000 05F7	EPWM9_A	0	O	オフ / オフ / オフ	オフ / オフ / オフ	Mode7	1.8V/3.3V	あり	LVCMOS	PU/PD
					LIN1_TXD	1	IO							
					OSPI0_RESET_OUT0	2	O							
					SPI2_CLK	3	IO							
					UART1_TXD	4	O							
					OSPI1_RESET_OUT0	5	O							
					GPIO61	7	IO							
					EPWM9_A	10	O							

Copyright © 2025 Texas Instruments Incorporated

表 5-1. ピン属性 (ZCZ、ZFG、ZEJ、ZNC パッケージ) (続き)

ZCZ ボール番号 [1]	ZFG ボール番号 [1]	ZEJ ボール番号 [1]	ZNC ボール番号 [1]	ボール名 [2]/ IOMUX レジスタ [14]/ アドレス [15]/ デフォルト値 [16]	信号名 [3]	Mux モード [4]	タイプ [5]	リセット中のボールの状態 RX/TX/PULL [6]	リセット後のボールの状態 RX/TX/PULL [7]	リセット後の MUX の状態[8]	IO 電圧 [9]	HYS [11]	バッファのタイプ [13]	PULL のタイプ [12]
J2	L2	F3	G1	GPIO62 GPIO62_CFG_REG 0x5310 00F8 0x0000 05F7	EPWM9_B	0	O	オフ / オフ / オフ	オフ / オフ / オフ	Mode7	1.8V/3.3V	あり	LVCMOS	PU/PD
					LIN1_RXD	1	IO							
					OSPI0_CSn0	2	O							
					UART1_RTSn	3	O							
					OSPI1_CSn0	5	O							
					GPIO62	7	IO							
G4	J2			GPIO63 GPIO63_CFG_REG 0x5310 00FC 0x0000 05F7	LIN0_RXD	0	IO	オフ / オフ / オフ	オフ / オフ / オフ	Mode7	1.8V/3.3V	あり	LVCMOS	PU/PD
					UART1_CTSn	1	I							
					I2C0_SDA	3	IO							
					UART2_TXD	4	O							
					GPIO63	7	IO							
					EPWM7_B	10	O							
J3	J1			GPIO64 GPIO64_CFG_REG 0x5310 0100 0x0000 05F7	LIN0_TXD	0	IO	オフ / オフ / オフ	オフ / オフ / オフ	Mode7	1.8V/3.3V	あり	LVCMOS	PU/PD
					UART2_RTSn	1	O							
					OSPI0_RESET_OUT0	2	O							
					I2C0_SCL	3	IO							
					UART4_TXD	4	O							
					GPIO64	7	IO							
H1	J3			GPIO65 GPIO65_CFG_REG 0x5310 0104 0x0000 05F7	OSPI0_ECC_FAIL	0	I	オフ / オフ / オフ	オフ / オフ / オフ	Mode7	1.8V/3.3V	あり	LVCMOS	PU/PD
					UART2_CTSn	1	I							
					OSPI0_RESET_OUT1	2	O							
					I2C1_SDA	3	IO							
					UART4_RXD	4	I							
					OSPI0_CSn0	6	O							
					GPIO65	7	IO							
J1	K2	G3		GPIO66 GPIO66_CFG_REG 0x5310 0108 0x0000 05F7	OSPI0_RESET_OUT0	0	O	オフ / オフ / オフ	オフ / オフ / オフ	Mode7	1.8V/3.3V	あり	LVCMOS	PU/PD
					UART3_RTSn	1	O							
					I2C1_SCL	3	IO							
					UART2_RXD	4	I							
					OSPI0_D1	6	IO							
					GPIO66	7	IO							
K2	K1	G2	G2	GPIO67 GPIO67_CFG_REG 0x5310 010C 0x0000 05F7	PR1_PRU0_GPIO0	0	IO	オフ / オフ / オフ	オフ / オフ / オフ	Mode7	1.8V/3.3V	あり	LVCMOS	PU/PD
					OSPI0_D5	2	IO							
					UART3_CTSn	3	I							
					GPIO67	7	IO							

表 5-1. ピン属性 (ZCZ、ZFG、ZEJ、ZNC パッケージ) (続き)

ZCZ ボール番号 [1]	ZFG ボール番号 [1]	ZEJ ボール番号 [1]	ZNC ボール番号 [1]	ボール名 [2]/ IOMUX レジスタ [14]/ アドレス [15]/ デフォルト値 [16]	信号名 [3]	Mux モード [4]	タイプ [5]	リセット中のボールの状態 RX/TX/PULL [6]	リセット後のボールの状態 RX/TX/PULL [7]	リセット後の MUX の状態[8]	IO 電圧 [9]	HYS [11]	バッファのタイプ [13]	PULL のタイプ [12]
J4	L4	H3	H1	GPIO68 GPIO68_CFG_REG 0x5310 0110 0x0000 05F7	PR1_PRU0_GPIO1	0	IO	オフ / オフ / オフ	オフ / オフ / オフ	Mode7	1.8V/3.3V	あり	LVCMOS	PU/PD
					OSPI0_D7	2	IO							
					UART1_DCDn	3	I							
					GPIO68	7	IO							
K4	L1	H2	H2	GPIO69 GPIO69_CFG_REG 0x5310 0114 0x0000 05F7	PR1_PRU0_GPIO2	0	IO	オフ / オフ / オフ	オフ / オフ / オフ	Mode7	1.8V/3.3V	あり	LVCMOS	PU/PD
					OSPI0_D3	2	IO							
					UART1_RIn	3	I							
					GPIO69	7	IO							
K3	M2	G1	J1	GPIO70 GPIO70_CFG_REG 0x5310 0118 0x0000 05F7	PR1_PRU0_GPIO9	0	IO	オフ / オフ / オフ	オフ / オフ / オフ	Mode7	1.8V/3.3V	あり	LVCMOS	PU/PD
					OSPI0_D1	2	IO							
					UART1_DTRn	3	O							
					UART3_CTSn	4	I							
					OSPI1_D1	5	IO							
					OSPI0_ECC_FAIL	6	I							
					GPIO70	7	IO							
V17	W16	R14	V15	GPIO71 GPIO71_CFG_REG 0x5310 011C 0x0000 05F7	PR1_PRU1_GPIO0	0	IO	オフ / オフ / オフ	オフ / オフ / オフ	Mode7	3.3V	あり	LVCMOS	PU/PD
					UART1_DSRn	1	I							
					UART4_RTSn	3	O							
					GPMC0_AD0	6	IO							
					GPIO71	7	IO							
T16	Y16	T14	W15	GPIO72 GPIO72_CFG_REG 0x5310 0120 0x0000 05F7	PR1_PRU1_GPIO1	0	IO	オフ / オフ / オフ	オフ / オフ / オフ	Mode7	3.3V	あり	LVCMOS	PU/PD
					MII1_RX_ER	2	I							
					UART4_CTSn	3	I							
					GPMC0_AD1	6	IO							
					GPIO72	7	IO							
P15	W17	T15	W16	GPIO73 GPIO73_CFG_REG 0x5310 0124 0x0000 05F7	PR1_PRU1_GPIO2	0	IO	オフ / オフ / オフ	オフ / オフ / オフ	Mode7	3.3V	あり	LVCMOS	PU/PD
					MII1_COL	2	I							
					UART5_TXD	3	O							
					GPMC0_AD2	6	IO							
					GPIO73	7	IO							
					ADC_EXTCH_XBAROUT4	9	O							

Copyright © 2025 Texas Instruments Incorporated

表 5-1. ピン属性 (ZCZ、ZFG、ZEJ、ZNC パッケージ) (続き)

ZCZ ボール番号 [1]	ZFG ボール番号 [1]	ZEJ ボール番号 [1]	ZNC ボール番号 [1]	ボール名 [2]/ IOMUX レジスタ [14]/ アドレス [15]/ デフォルト値 [16]	信号名 [3]	Mux モード [4]	タイプ [5]	リセット中のボールの状態 RX/TX/PULL [6]	リセット後のボールの状態 RX/TX/PULL [7]	リセット後の MUX の状態[8]	IO 電圧 [9]	HYS [11]	バッファのタイプ [13]	PULL のタイプ [12]
R16	Y17	R15	V16	GPIO74 GPIO74_CFG_REG 0x5310 0128 0x0000 05F7	PR1_PRU1_GPIO9	0	IO	オフ / オフ / オフ	オフ / オフ / オフ	Mode7	3.3V	あり	LVCMOS	PU/PD
					MII1_CRS	2	I							
					UART5_RXD	3	I							
					GPMC0_AD9	6	IO							
					GPIO74	7	IO							
					ADC_EXTCH_XBAROUT5	9	O							
L3	T3	M1	L2	GPIO75 GPIO75_CFG_REG 0x5310 012C 0x0000 05F7	UART1_RXD	0	I	オフ / オフ / オフ	オフ / オフ / オフ	Mode7	3.3V	あり	LVCMOS	PU/PD
					OSPI0_LBCLKO	1	O							
					LIN1_RXD	4	IO							
					OSPI1_LBCLKO	5	O							
					GPMC0_CLK	6	IO							
					GPIO75	7	IO							
M3	R4	L1	M1	GPIO76 GPIO76_CFG_REG 0x5310 0130 0x0000 05F7	UART1_TXD	0	O	オフ / オフ / オフ	オフ / オフ / オフ	Mode7	1.8V/3.3V	あり	LVCMOS	PU/PD
					OSPI0_DQS	1	I							
					OSPI0_D4	2	IO							
					LIN1_TXD	4	IO							
					GPIO76	7	IO							
B6	B7			GPIO77 GPIO77_CFG_REG 0x5310 0134 0x0000 05F7	MMC0_CLK	0	IO	オフ / オフ / オフ	オフ / オフ / オフ	Mode7	3.3V	あり	LVCMOS	PU/PD
					UART0_RXD	1	I							
					LIN0_RXD	2	IO							
					MCAN0_RX	3	I							
					PR1_MDIO0_MDIO	4	IO							
					GPIO77	7	IO							
					SDFM1_CLK0	8	I							
A4	A6			GPIO78 GPIO78_CFG_REG 0x5310 0138 0x0000 05F7	MMC0_CMD	0	IO	オフ / オフ / オフ	オフ / オフ / オフ	Mode7	3.3V	あり	LVCMOS	PU/PD
					UART0_TXD	1	O							
					LIN0_TXD	2	IO							
					MCAN0_TX	3	O							
					PR1_MDIO0_MDC	4	O							
					GPIO78	7	IO							
					SDFM1_D0	8	I							

表 5-1. ピン属性 (ZCZ、ZFG、ZEJ、ZNC パッケージ) (続き)

ZCZ ボール番号 [1]	ZFG ボール番号 [1]	ZEJ ボール番号 [1]	ZNC ボール番号 [1]	ボール名 [2]/ IOMUX レジスタ [14]/ アドレス [15]/ デフォルト値 [16]	信号名 [3]	Mux モード [4]	タイプ [5]	リセット中のボールの状態 RX/TX/PULL [6]	リセット後のボールの状態 RX/TX/PULL [7]	リセット後の MUX の状態[8]	IO 電圧 [9]	HYS [11]	バッファのタイプ [13]	PULL のタイプ [12]
B5	B6			GPIO79 GPIO79_CFG_REG 0x5310 013C 0x0000 05F7	MMC0_D0	0	IO	オフ / オフ / オフ	オフ / オフ / オフ	Mode7	3.3V	あり	LVCMOS	PU/PD
					UART2_RXD	1	I							
					I2C1_SCL	2	IO							
					MCAN1_RX	3	I							
					PR1_PRU0_GPIO10	4	IO							
					GPIO79	7	IO							
					SDFM1_CLK1	8	I							
B4	A5			GPIO80 GPIO80_CFG_REG 0x5310 0140 0x0000 05F7	MMC0_D1	0	IO	オフ / オフ / オフ	オフ / オフ / オフ	Mode7	3.3V	あり	LVCMOS	PU/PD
					MCAN1_TX	3	O							
					PR1_PRU0_GPIO9	4	IO							
					GPIO80	7	IO							
					SDFM1_D1	8	I							
A3	B5			GPIO81 GPIO81_CFG_REG 0x5310 0144 0x0000 05F7	MMC0_D2	0	IO	オフ / オフ / オフ	オフ / オフ / オフ	Mode7	3.3V	あり	LVCMOS	PU/PD
					UART2_TXD	1	O							
					I2C1_SDA	2	IO							
					PR1_PRU0_GPIO0	4	IO							
					GPIO81	7	IO							
					SDFM1_CLK2	8	I							
A2	A4			GPIO82 GPIO82_CFG_REG 0x5310 0148 0x0000 05F7	MMC0_D3	0	IO	オフ / オフ / オフ	オフ / オフ / オフ	Mode7	3.3V	あり	LVCMOS	PU/PD
					UART3_RTSn	1	O							
					PR1_PRU0_GPIO1	4	IO							
					GPIO82	7	IO							
					SDFM1_D2	8	I							
C6	B4			GPIO83 GPIO83_CFG_REG 0x5310 014C 0x0000 05F7	MMC0_WP	0	I	オフ / オフ / オフ	オフ / オフ / オフ	Mode7	3.3V	あり	LVCMOS	PU/PD
					UART0_RTSn	1	O							
					I2C2_SCL	2	IO							
					PR1_PRU0_GPIO2	4	IO							
					GPIO83	7	IO							
					SDFM1_CLK3	8	I							
A5	A7			GPIO84 GPIO84_CFG_REG 0x5310 0150 0x0000 05F7	MMC0_CD	0	I	オフ / オフ / オフ	オフ / オフ / オフ	Mode7	3.3V	あり	LVCMOS	PU/PD
					UART0_CTSn	1	I							
					I2C2_SDA	2	IO							
					GPIO84	7	IO							
					SDFM1_D3	8	I							

Copyright © 2025 Texas Instruments Incorporated

表 5-1. ピン属性 (ZCZ、ZFG、ZEJ、ZNC パッケージ) (続き)

ZCZ ボール番号 [1]	ZFG ボール番号 [1]	ZEJ ボール番号 [1]	ZNC ボール番号 [1]	ボール名 [2]/ IOMUX レジスタ [14]/ アドレス [15]/ デフォルト値 [16]	信号名 [3]	Mux モード [4]	タイプ [5]	リセット中のボールの状態 RX/TX/PULL [6]	リセット後のボールの状態 RX/TX/PULL [7]	リセット後の MUX の状態[8]	IO 電圧 [9]	HYS [11]	バッファのタイプ [13]	PULL のタイプ [12]
L17	R19	K15	N17	GPIO85 GPIO85_CFG_REG 0x5310 0154 0x0000 05F7	PR0_MDIO0_MDIO	0	IO	オフ / オフ / オフ	オフ / オフ / オフ	Mode7	3.3V	あり	LVCMOS	PU/PD
					LIN0_RXD	1	IO							
					MCAN0_RX	2	I							
					GPIO85	7	IO							
					XBAROUT14	10	O							
L18	R20	K16	P19	GPIO86 GPIO86_CFG_REG 0x5310 0158 0x0000 05F7	PR0_MDIO0_MDC	0	O	オフ / オフ / オフ	オフ / オフ / オフ	Mode7	3.3V	あり	LVCMOS	PU/PD
					LIN0_TXD	1	IO							
					MCAN0_TX	2	O							
					GPIO86	7	IO							
					XBAROUT15	10	O							
G17	K19	F14	G17	GPIO87 GPIO87_CFG_REG 0x5310 015C 0x0000 05F7	PR0_PRU0_GPIO5	0	IO	オフ / オフ / オフ	オフ / オフ / オフ	Mode7	3.3V	あり	LVCMOS	PU/PD
					UART3_RTSn	1	O							
					RMII2_RX_ER	2	I							
					MII2_RX_ER	4	I							
					GPIO87	7	IO							
					TRC_CTL	8	O							
					ADC_EXTCH_XBAROUT4	9	O							
					XBAROUT6	10	O							
F17	J19	E15		GPIO88 GPIO88_CFG_REG 0x5310 0160 0x0000 05F7	PR0_PRU0_GPIO9	0	IO	オフ / オフ / オフ	オフ / オフ / オフ	Mode7	3.3V	あり	LVCMOS	PU/PD
					PR1_PRU0_GPIO9	1	IO							
					PR0_IEP0_EDC_SYNC_OUT1	2	O							
					PR0_UART0_CTSn	3	I							
					MII2_COL	4	I							
					GPIO88	7	IO							
G18	J20	E16	J18	GPIO89 GPIO89_CFG_REG 0x5310 0164 0x0000 05F7	PR0_PRU0_GPIO10	0	IO	オフ / オフ / オフ	オフ / オフ / オフ	Mode7	3.3V	あり	LVCMOS	PU/PD
					UART3_CTSn	1	I							
					RMII2_CRS_DV	2	I							
					PR0_UART0_RTSn	3	O							
					MII2_CRS	4	I							
					GPIO89	7	IO							
G15	J18	E14	G19	GPIO90 GPIO90_CFG_REG 0x5310 0168 0x0000 05F7	PR0_PRU0_GPIO8	0	IO	オフ / オフ / オフ	オフ / オフ / オフ	Mode7	3.3V	あり	LVCMOS	PU/PD
					I2C0_SDA	1	IO							
					GPIO90	7	IO							

表 5-1. ピン属性 (ZCZ、ZFG、ZEJ、ZNC パッケージ) (続き)

ZCZ ボール番号 [1]	ZFG ボール番号 [1]	ZEJ ボール番号 [1]	ZNC ボール番号 [1]	ボール名 [2]/ IOMUX レジスタ [14]/ アドレス [15]/ デフォルト値 [16]	信号名 [3]	Mux モード [4]	タイプ [5]	リセット中のボールの状態 RX/TX/PULL [6]	リセット後のボールの状態 RX/TX/PULL [7]	リセット後の MUX の状態[8]	IO 電圧 [9]	HYS [11]	バッファのタイプ [13]	PULL のタイプ [12]
K15	N20	H15	L18	GPIO91 GPIO91_CFG_REG 0x5310 016C 0x0000 05F7	PR0_PRU0_GPIO6	0	IO	オフ / オフ / オフ	オフ / オフ / オフ	Mode7	3.3V	あり	LVCMOS	PU/PD
					I2C0_SCL	1	IO							
					RMII2_REF_CLK	2	IO							
					RGMII2_RXC	3	I							
					MII2_RXCLK	4	I							
					GPIO91	7	IO							
K16	L20	G15	J19	GPIO92 GPIO92_CFG_REG 0x5310 0170 0x0000 05F7	PR0_PRU0_GPIO4	0	IO	オフ / オフ / オフ	オフ / オフ / オフ	Mode7	3.3V	あり	LVCMOS	PU/PD
					UART3_RXD	1	I							
					RGMII2_RX_CTL	3	I							
					MII2_RXDV	4	I							
					GPIO92	7	IO							
					TRC_CLK	8	O							
					ADC_EXTCH_XBAROUT5	9	O							
					XBAROUT7	10	O							
K17	N17	K14	M18	GPIO93 GPIO93_CFG_REG 0x5310 0174 0x0000 05F7	PR0_PRU0_GPIO0	0	IO	オフ / オフ / オフ	オフ / オフ / オフ	Mode7	3.3V	あり	LVCMOS	PU/PD
					PR1_PRU0_GPIO0	1	IO							
					RMII2_RXD0	2	I							
					RGMII2_RD0	3	I							
					MII2_RXD0	4	I							
					GPIO93	7	IO							
					TRC_DATA0	8	O							
					ADC_EXTCH_XBAROUT6	9	O							
					XBAROUT8	10	O							
K18	N19	H14	L19	GPIO94 GPIO94_CFG_REG 0x5310 0178 0x0000 05F7	PR0_PRU0_GPIO1	0	IO	オフ / オフ / オフ	オフ / オフ / オフ	Mode7	3.3V	あり	LVCMOS	PU/PD
					PR1_PRU0_GPIO1	1	IO							
					RMII2_RXD1	2	I							
					RGMII2_RD1	3	I							
					MII2_RXD1	4	I							
					GPIO94	7	IO							
					TRC_DATA1	8	O							
					ADC_EXTCH_XBAROUT7	9	O							
					XBAROUT11	10	O							

Copyright © 2025 Texas Instruments Incorporated

表 5-1. ピン属性 (ZCZ、ZFG、ZEJ、ZNC パッケージ) (続き)

ZCZ ボール番号 [1]	ZFG ボール番号 [1]	ZEJ ボール番号 [1]	ZNC ボール番号 [1]	ボール名 [2]/ IOMUX レジスタ [14]/ アドレス [15]/ デフォルト値 [16]	信号名 [3]	Mux モード [4]	タイプ [5]	リセット中のボールの状態 RX/TX/PULL [6]	リセット後のボールの状態 RX/TX/PULL [7]	リセット後の MUX の状態[8]	IO 電圧 [9]	HYS [11]	バッファのタイプ [13]	PULL のタイプ [12]
J18	M18	G16	K19	GPIO95 GPIO95_CFG_REG 0x5310 017C 0x0000 05F7	PR0_PRU0_GPIO2	0	IO	オフ / オフ / オフ	オフ / オフ / オフ	Mode7	3.3V	あり	LVCMOS	PU/PD
					PR1_PRU0_GPIO2	1	IO							
					RGMII2_RD2	3	I							
					MII2_RXD2	4	I							
					GPIO95	7	IO							
					TRC_DATA2	8	O							
					ADC_EXTCH_XBAROUT8	9	O							
					XBAROUT12	10	O							
J17	M20	J14	L17	GPIO96 GPIO96_CFG_REG 0x5310 0180 0x0000 05F7	PR0_PRU0_GPIO3	0	IO	オフ / オフ / オフ	オフ / オフ / オフ	Mode7	3.3V	あり	LVCMOS	PU/PD
					UART3_TXD	1	O							
					RGMII2_RD3	3	I							
					MII2_RXD3	4	I							
					GPIO96	7	IO							
					TRC_DATA3	8	O							
					ADC_EXTCH_XBAROUT9	9	O							
					XBAROUT13	10	O							
H18	M19	F16	K18	GPIO97 GPIO97_CFG_REG 0x5310 0184 0x0000 05F7	PR0_PRU0_GPIO16	0	IO	オフ / オフ / オフ	オフ / オフ / オフ	Mode7	3.3V	あり	LVCMOS	PU/PD
					RGMII2_TXC	3	O							
					MII2_TXCLK	4	I							
					GPIO97	7	IO							
L16	P18	H16	M19	GPIO98 GPIO98_CFG_REG 0x5310 0188 0x0000 05F7	PR0_PRU0_GPIO15	0	IO	オフ / オフ / オフ	オフ / オフ / オフ	Mode7	3.3V	あり	LVCMOS	PU/PD
					RMII2_TX_EN	2	O							
					RGMII2_TX_CTL	3	O							
					MII2_TX_EN	4	O							
					GPIO98	7	IO							
M16	P20	J15	N18	GPIO99 GPIO99_CFG_REG 0x5310 018C 0x0000 05F7	PR0_PRU0_GPIO11	0	IO	オフ / オフ / オフ	オフ / オフ / オフ	Mode7	3.3V	あり	LVCMOS	PU/PD
					RMII2_TXD0	2	O							
					RGMII2_TD0	3	O							
					MII2_TXD0	4	O							
					GPIO99	7	IO							
J15、R7、R9、T15、T7、U4、U5、U6、U7、U8、U9、V3、V4、V5、V6、V7、V8	U17			NC	NC	0	NC				該当なし	0	-	0

表 5-1. ピン属性 (ZCZ、ZFG、ZEJ、ZNC パッケージ) (続き)

ZCZ ボール番号 [1]	ZFG ボール番号 [1]	ZEJ ボール番号 [1]	ZNC ボール番号 [1]	ボール名 [2]/ IOMUX レジスタ [14]/ アドレス [15]/ デフォルト値 [16]	信号名 [3]	Mux モード [4]	タイプ [5]	リセット中のボールの状態 RX/TX/PULL [6]	リセット後のボールの状態 RX/TX/PULL [7]	リセット後の MUX の状態[8]	IO 電圧 [9]	HYS [11]	バッファのタイプ [13]	PULL のタイプ [12]
R2	V3	P2	T2	PORz	PORz	0	I			Mode0	3.3V	あり	HHV	
D4	E3	B3	C5	SAFETY_ERRORn SAFETY_ERRORn_CFG_REG 0x5310 0238 0x0000 0410	SAFETY_ERRORn	0	IO	オン / ロー / ダウン	オン / NA / ダウン	Mode0	3.3V	あり	LVCMOS	PU/PD
B3	D4	C6	B6	TCK TCK_CFG_REG 0x5310 0248 0x0000 0210	TCK	0	I	オン / ロー / アップ	オン / NA / アップ	Mode0	3.3V	あり	LVCMOS	
C5	C5	D5	C7	TDI TDI_CFG_REG 0x5310 023C 0x0000 06D0	TDI	0	I	オン / ロー / アップ	オン / オフ / アップ	Mode0	3.3V	あり	LVCMOS	PU/PD
C4	E5	B5	A7	TDO TDO_CFG_REG 0x5310 0240 0x0000 0630	TDO	0	O	オフ / ロー / アップ	オフ / NA / アップ	Mode0	3.3V	あり	LVCMOS	PU/PD
U1	W3	P5	W4	TEMPCAL	TEMPCAL		-				-		アナログ	
D5	D6	C7	B7	TMS TMS_CFG_REG 0x5310 0244 0x0000 0610	TMS	0	IO	オン / ロー / アップ	オン / NA / アップ	Mode0	3.3V	あり	LVCMOS	PU/PD
E11、E9、F11、F9、G13、G14、G5、G6、K13、K14、K5、K6、N13、N14、N5、N6	F12、F14、F7、F9、G15、G6、J15、J6、M15、M6、P15、P6、R7	E11、E5、E7、E9、F12、G5、H12、J5、K12、L5、M12、M6	E10、E12、E14、E6、E8、F15、F5、H15、H5、K15、K5、M15、M5、P15、P5、R15、R6、T6	VDD	VDD		電源				1.2V/1.25V	0	-	0
R11、R6、R8	U10、U11	N9	U9	VDDA18_LDO	VDDA18_LDO		電源				1.8V	0	-	0
R4	U8	N6	U7	VDDA18_OSC_PLL	VDDA18_OSC_PLL		電源				1.8V	0	-	0
R4	T5	N4	U3	VDDA18_USB	VDDA18_USB		電源				1.8V	0	-	0
P11、P7、P9	T12、T9	M10、M8	T10、T12	VDDA33	VDDA33		電源				3.3V	0	-	0
R15	P5	M4	R3	VDDA33_USB	VDDA33_USB		電源				3.3V	0	-	0
D10	D13	D10	C11	VDDAR2	VDDAR2		電源				1.2V/1.25V	0	-	0
H3	H4	G4	G3	VDDAR3	VDDAR3		電源				1.2V/1.25V	0	-	0

Copyright © 2025 Texas Instruments Incorporated

表 5-1. ピン属性 (ZCZ、ZFG、ZEJ、ZNC パッケージ) (続き)

ZCZ ボール番号 [1]	ZFG ボール番号 [1]	ZEJ ボール番号 [1]	ZNC ボール番号 [1]	ボール名 [2]/ IOMUX レジスタ [14]/ アドレス [15]/ デフォルト値 [16]	信号名 [3]	Mux モード [4]	タイプ [5]	リセット中のボールの状態 RX/TX/PULL [6]	リセット後のボールの状態 RX/TX/PULL [7]	リセット後の MUX の状態[8]	IO 電圧 [9]	HYS [11]	バッファのタイプ [13]	PULL のタイプ [12]
D6、E15、L4、N15	E14、E9、F4、G16、L17、N4、T16	D12、D6、D9、E4、G13、K13、K4、N13	D10、D14、D6、H16、H4、L3、M16、T16	VDDS18	VDDS18		電源				1.8V	0	-	0
T3	U6	P4	V4	VDDS18_LDO	VDDS18_LDO		電源				1.8V	0	-	0
D12、D8、H15、H4、L15、P4、R15				VDDS33	VDDS33		電源				3.3V	0	-	0
	E12、E16、E7、G5、J16、M16	D11、D4、D7、F13、J13	C15、D12、D8、F16、F4、K16	VDDSHV_A	VDDS33		電源				3.3V	0	-	0
	M5	L4	P4	VDDSHV_B	VDDS33		電源				3.3V	0	-	0
	T14	N12	T14	VDDSHV_C	VDDS33		電源				3.3V	0	-	0
	J5	H4、J4	K4、M4	VDDSHV_D	VDDS1833_FLASH0		電源				1.8V/3.3V	0	-	0
	P16	M13	P16	VDDSHV_E	VDDS1833_FLASH1		電源				1.8V/3.3V	0	-	0
	T7	N5	U5	VDDSHV_F	VDDS33		電源				3.3V	0	-	0
		F1、J1		VDDSHV_G	VDDS1833_FLASH0-SIP		電源				1.8V/3.3V	0	-	0
T4	V7	N8	T8	VDD_TEMP	VDD_TEMP		電源				1.8V	0	-	0
J16	K17	H13	J17	VNWA	VNWA		電源				1.2V/1.25V	0	-	0
N3	P3	K3	N3	VPP	VPP		電源				VPP	0	-	0

表 5-1. ピン属性 (ZCZ、ZFG、ZEJ、ZNC パッケージ) (続き)

ZCZ ボール番号 [1]	ZFG ボール番号 [1]	ZEJ ボール番号 [1]	ZNC ボール番号 [1]	ボール名 [2]/ IOMUX レジスタ [14]/ アドレス [15]/ デフォルト値 [16]	信号名 [3]	Mux モード [4]	タイプ [5]	リセット中のボールの状態 RX/TX/PULL [6]	リセット後のボールの状態 RX/TX/PULL [7]	リセット後の MUX の状態[8]	IO 電圧 [9]	HYS [11]	バッファのタイプ [13]	PULL のタイプ [12]
A1、A18、E10、E12、E13、E14、E5、E6、E7、E8、F10、F12、F13、F14、F5、F6、F7、F8、G10、G11、G12、G7、G8、G9、H10、H11、H12、H13、H14、H5、H6、H7、H8、H9、J10、J11、J12、J13、J14、J5、J6、J7、J8、J9、K10、K11、K12、K7、K8、K9、L10、L11、L12、L13、L14、L5、L6、L7、L8、L9、M10、M11、M12、M13、M14、M5、M6、M7、M8、M9、N10、N11、N12、N7、N8、N9、P13、P14、P5、T2、V18	A1、A20、F15、F6、G10、G11、G12、G13、G14、G7、G8、G9、H10、H11、H12、H13、H14、H7、H8、H9、J10、J11、J12、J13、J14、J7、J8、J9、K10、K11、K12、K13、K14、K7、K8、K9、L10、L11、L12、L13、L14、L7、L8、L9、M10、M11、M12、M13、M14、M7、M8、M9、N10、N11、N12、N13、N14、N7、N8、N9、P10、P11、P12、P13、P14、P7、P8、P9、R14、R15、R6、V2、V5、W2、Y1、Y20	A1、A16、E10、E12、E6、E8、F10、F11、F5、F6、F7、F8、F9、G10、G11、G12、G6、G7、G8、G9、H10、H11、H5、H6、H7、H8、H9、J10、J11、J12、J6、J7、J8、J9、K10、K11、K5、K6、K7、K8、K9、L10、L11、L12、L6、L7、L8、L9、M5、M7、R2、R3、R4、T1、T16	A1、A19、D16、D4、E15、E5、F10、F11、F12、F13、F14、F6、F7、F8、F9、G10、G11、G12、G13、G14、G6、G7、G8、G9、H10、H11、H12、H13、H14、H6、H7、H8、H9、J10、J11、J12、J13、J14、J6、J7、J8、J9、K10、K11、K12、K13、K14、K6、K7、K8、K9、L10、L11、L12、L13、L14、L6、L7、L8、L9、M10、M11、M12、M13、M14、M6、M7、M8、M9、N10、N11、N12、N13、N14、N6、N7、N8、N9、P10、P11、P12、	VSS	VSS		GND				VSS	0	-	0

Copyright © 2025 Texas Instruments Incorporated

表 5-1. ピン属性 (ZCZ、ZFG、ZEJ、ZNC パッケージ) (続き)

ZCZ ボール番号 [1]	ZFG ボール番号 [1]	ZEJ ボール番号 [1]	ZNC ボール番号 [1]	ボール名 [2]/ IOMUX レジスタ [14]/ アドレス [15]/ デフォルト値 [16]	信号名 [3]	Mux モード [4]	タイプ [5]	リセット中のボールの状態 RX/TX/PULL [6]	リセット後のボールの状態 RX/TX/PULL [7]	リセット後の MUX の状態[8]	IO 電圧 [9]	HYS [11]	バッファのタイプ [13]	PULL のタイプ [12]
			P13、P14、P6、P7、P8、P9、R14、R5、R8、T4、U2、V2、V3、W1、W19											
P10、P12、P6、P8、R13、R5、V1、V16	R12、R9	M11、M9	R10、R12	VSSA	VSSA		-				-	0	アナログ	0
U2	Y4	R5	V5	VSYS_MON	VSYS_MON		-				-		アナログ	
C3	G3	C3	C3	WARMRSTn WARMRSTn_CFG_REG 0x5310 0234 0x0000 0510	WARMRSTn	0	IO	オン / Low / オフ	オン / NA / オフ	Mode0	3.3V		FS_OPEN_DRAIN	
T1	Y3	T3	W3	XTAL_XI	XTAL_XI	0	I			More0	1.8V	あり	OSC	
R1	Y2	T2	W2	XTAL_XO	XTAL_XO	0	O			Mode0	1.8V		OSC	

5.3 信号の説明

ピン多重化オプションのソフトウェア構成に応じて、複数のピンで多くの信号が利用可能です。

次のリストは、列ヘッダーについての説明です。

1. **信号名:**ピンを通過する信号の名前。

注

各「信号の説明」表に記載されている信号名と説明は、ピンに実装され、IOMUX パッド構成レジスタで選択されるピン多重化信号機能を表しています。一部のデバイス サブシステムでは信号機能の 2 次多重化が可能ですが、それらについてはこの表には記載されていません。2 次多重化信号機能の詳細については、デバイスのテクニカル リファレンス マニュアルで該当するペリフェラルの章を参照してください。

---

2. **ピンの種類:**信号の方向と種類:
   - I = 入力
   - O = 出力
   - IO = 入力、出力、または同時に入力と出力
   - ID = 入力、オープン ドレイン出力機能付き
   - OD = 出力、オープン ドレイン出力機能付き
   - IOD = 入力、出力、または同時に入力と出力、オープン ドレイン出力機能付き
   - IOZ = 入力、出力、または同時に入力と出力、3 ステート出力機能付き
   - OZ = 出力、3 ステート出力機能付き
   - A = アナログ
   - CAP = LDO コンデンサ
   - PWR = 電源
   - GND = グランド
3. **説明:**信号の説明
4. **ボール:**関連のボール番号

I/O セル構成の詳細については、デバイス TRM の「デバイス構成」の章にある「パッド構成レジスタ」セクションを参照してください。

Copyright © 2025 Texas Instruments Incorporated

5.3.1 ADC

表 5-2. ADC0 信号の説明

信号名 [1]	ピンの種類 [2]	概要 [3]	ZCZ ピン [4]	ZFG ピン [4]	ZEJ ピン [4]	ZNC ピン [4]
ADC0_AIN0	-	ADC アナログ入力 0 (+IN0) CMPSSA0:INH (+IN)	V15	W13	P11	W12
ADC0_AIN1	-	ADC アナログ入力 1 (+IN0) CMPSSA0: inL (-IN)	U15	U13	N11	V12
ADC0_AIN2	-	ADC アナログ入力 2 (+IN1) CMPSSA1:INH (+IN)	T14	W14	R11	V13
ADC0_AIN3	-	ADC アナログ入力 3 (+IN1) CMPSSA1: inL (-IN)	U14	V14	P12	U11
ADC0_AIN4	-	ADC アナログ入力 4 (+IN2) CMPSSA2:INH (+IN)	U13	Y14	T12	W13
ADC0_AIN5	-	ADC アナログ入力 5 (+IN2) CMPSSA2: inL (-IN)	R14	W15	R12	U13
ADC0_AIN6	-	ADC アナログ入力 6		Y15	T13	W14

表 5-3. ADC1 信号の説明

信号名 [1]	ピンの種類 [2]	概要 [3]	ZCZ ピン [4]	ZFG ピン [4]	ZEJ ピン [4]	ZNC ピン [4]
ADC1_AIN0	-	ADC アナログ入力 0 (+IN0) CMPSSA2:INH (+IN)	T11	W12	R10	
ADC1_AIN1	-	ADC アナログ入力 1 (+IN0) CMPSSA2: inL (-IN)	U11	V12	N10	
ADC1_AIN2	-	ADC アナログ入力 2 (+IN1) CMPSSA3:INH (+IN)	T12	Y11	P10	
ADC1_AIN3	-	ADC アナログ入力 3 (+IN1) CMPSSA3: inL (-IN)	V12	W11	P9	
ADC1_AIN4	-	ADC アナログ入力 4 (+IN2) CMPSSA4:INH (+IN)	U12	Y10	T9	
ADC1_AIN5	-	ADC アナログ入力 5 (+IN2) CMPSSA4: inL (-IN)	R12	W10	R9	
ADC1_AIN6	-	ADC アナログ入力 6		W9	R8	

表 5-4. ADC2 信号の説明

信号名 [1]	ピンの種類 [2]	説明 [3]	ZCZ ピン [4]	ZFG ピン [4]	ZEJ ピン [4]	ZNC ピン [4]
ADC2_AIN0	-	ADC アナログ入力 0 (+IN0) CMPSSA4:INH (+IN)	R10	W8	R7	W8
ADC2_AIN1	-	ADC アナログ入力 1 (+IN0) CMPSSA4: inL (-IN)	T10	Y7	P7	V9
ADC2_AIN2	-	ADC アナログ入力 2 (+IN1) CMPSSA5:INH (+IN)	U10	Y6	P8	V6
ADC2_AIN3	-	ADC アナログ入力 3 (+IN1) CMPSSA5: inL (-IN)	T9	W7	P6	V7
ADC2_AIN4	-	ADC アナログ入力 4 (+IN2) CMPSSA6:INH (+IN)	V9	W6	R6	W9

表 5-4. ADC2 信号の説明 (続き)

信号名 [1]	ピンの種類 [2]	説明 [3]	ZCZ ピン [4]	ZFG ピン [4]	ZEJ ピン [4]	ZNC ピン [4]
ADC2_AIN5	-	ADC アナログ入力 5 (+IN2) CMPSSA6: inL (-IN)	T8	V9	N7	V8
ADC2_AIN6	-	ADC アナログ入力 6		Y5	T6	W7

5.3.1.1 ADC-CMPSS の信号接続

各 ADC では、～3 セットの差動ピンが ～3 個の CMPSSA 。これらのピンは 図 5-5 および 表 5-5 で示されており、CHSEL 値によって入力が ADC にどのように供給されるかが決まります。

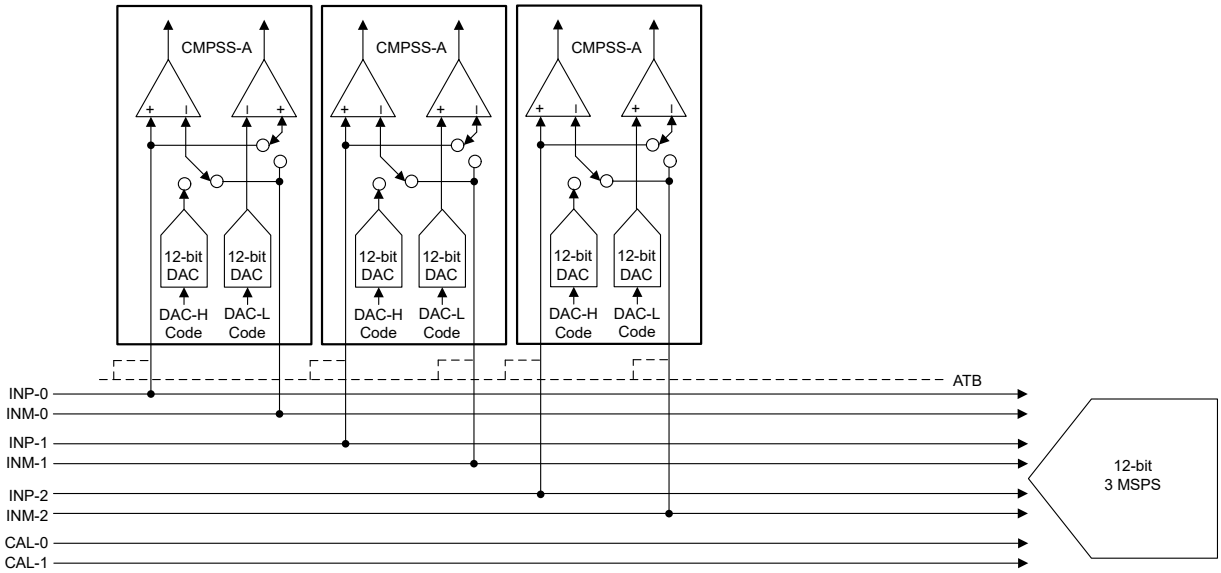


図 5-5. CMPSS と ADC の接続

注

AM261x の ADC サンプリング速度は 3MSPS です。

表 5-5. ADC 入力と CMPSS 信号間の接続

信号/ピン名	ADC 入力	CMPSS 入力
ADC0 チャネル		
ADC0_AIN0	ADC0:inp0 (+IN0)	CMPSSA0:inH (+IN)
ADC0_AIN1	ADC0:inm0 (-IN0)	CMPSSA0:inL (-IN)
ADC0_AIN2	ADC0:inp1 (+IN1)	CMPSSA1:inH (+IN)
ADC0_AIN3	ADC0:inm1 (-IN1)	CMPSSA1:inL (-IN)
ADC0_AIN4	ADC0:inp2 (+IN2)	CMPSSA2:inH (+IN)
ADC0_AIN5	ADC0:inm2 (-IN2)	CMPSSA2:inL (-IN)
ADC0_AIN6	ADC0:inm3 (-IN3)	X
ADC_CAL0	ADC0:inp3 (+IN3)	X
ADC1 チャネル		
ADC1_AIN0	ADC1:inp0 (+IN0)	CMPSSA2:inH (+IN)

Copyright © 2025 Texas Instruments Incorporated

表 5-5. ADC 入力と CMPSS 信号間の接続 (続き)

信号/ピン名	ADC 入力	CMPSS 入力
ADC1_AIN1	ADC1:inm0 (-IN0)	CMPSSA2:inL (-IN)
ADC1_AIN2	ADC1:inp1 (+IN1)	CMPSSA3:inH (+IN)
ADC1_AIN3	ADC1:inm1 (-IN1)	CMPSSA3:inL (-IN)
ADC1_AIN4	ADC1:inp2 (+IN2)	CMPSSA4:inH (+IN)
ADC1_AIN5	ADC1:inm2 (-IN2)	CMPSSA4:inL (-IN)
ADC1_AIN6	ADC1:inm3 (-IN3)	X
ADC_CAL0	ADC1:inp3 (+IN3)	X
ADC2 チャネル		
ADC2_AIN0	ADC2:inp0 (+IN0)	CMPSSA4:inH (+IN)
ADC2_AIN1	ADC2:inm0 (-IN0)	CMPSSA4:inL (-IN)
ADC2_AIN2	ADC2:inp1 (+IN1)	CMPSSA5:inH (+IN)
ADC2_AIN3	ADC2:inm1 (-IN1)	CMPSSA5:inL (-IN)
ADC2_AIN4	ADC2:inp2 (+IN2)	CMPSSA6:inH (+IN)
ADC2_AIN5	ADC2:inm2 (-IN2)	CMPSSA6:inL (-IN)
ADC2_AIN6	ADC2:inm3 (-IN3)	X
ADC_CAL0	ADC2:inp3 (+IN3)	X

注

上記の ADC-CMPSS 信号接続表の **ADC 入力**列において、「inp」は正入力を、「inm」は負入力を示します。

5.3.2 ADC_CAL

表 5-6. ADC_CAL 信号の説明

信号名 [1]	ピンの種類 [2]	概要 [3]	ZCZ ピン [4]	ZFG ピン [4]	ZEJ ピン [4]	ZNC ピン [4]
ADC_CAL0 (1) (2)	-	ADC 較正ピン 0	U16	V16	R13	U15

(1) このピンは ADC[0:2] で共有されます。
(2) このピンは、各 ADC[0:2] のアナログ入力チャネル ADCIN[7] に接続されています。

5.3.3 ADC VREF

表 5-7. ADC_VREF 信号の説明

信号名 [1]	ピンの種類 [2]	説明 [3]	ZCZ ピン [4]	ZFG ピン [4]	ZEJ ピン [4]	ZNC ピン [4]
ADC_VREFHI0	-	ADC 基準電圧 (正)				V11
ADC_VREFHI1 (2)	-	ADC 基準電圧 (正)	V14	Y12	T10	V11
ADC_VREFHI2	-	ADC 基準電圧 (正)	V10	Y8	T7	V10
ADC_VREFLO0 (1)	-	ADC 基準電圧 (負)				W11
ADC_VREFLO1 (3)	-	ADC 基準電圧 (負)	V13	Y13	T11	W11
ADC_VREFLO2 (1)	-	ADC 基準電圧 (負)	V11	Y9	T8	W10

(1) このピンは、アナログ グランド (VSSA) に接続 (短絡) できます。
(2) このピンは ADC_VREFHI0 に接続 (短絡) できます。
(3) このピンは ADC_VREFLO0 に接続 (短絡) できます。

5.3.4 CPSW

表 5-8. CPSW0 RGMII1 信号の説明

信号名 [1]	ピンの種類 [2]	概要 [3]	ZCZ ピン [4]	ZFG ピン [4]	ZEJ ピン [4]	ZNC ピン [4]
RGMII1_RXC	I	RGMII 受信クロック	E16、R17	F19、W20	E13、P16	D19、V19
RGMII1_RX_CTL	I	RGMII 受信制御	F16、R18	G19、V19	D15、M14	E19、U17
RGMII1_TXC	O	RGMII 送信クロック	C16、N18	B20、U20	L15	B18、R18
RGMII1_TX_CTL	O	RGMII 送信制御	A17、M18	E18、T20	M16	A18、T19
RGMII1_RD0	I	RGMII 受信データ 0	F18、U17	H20、Y18	D14、P14	G18、W17
RGMII1_RD1	I	RGMII 受信データ 1	G16、T17	H19、W18	D16、P15	F18、V17
RGMII1_RD2	I	RGMII 受信データ 2	E17、U18	H17、Y19	R16	E17、W18
RGMII1_RD3	I	RGMII 受信データ 3	E18、T18	G20、W19	N14	F19、V18
RGMII1_TD0	O	RGMII 送信データ 0	B18、P16	F17、V18	N15	D18、U18
RGMII1_TD1	O	RGMII 送信データ 1	B17、P17	D20、V20	N16	C18、U19
RGMII1_TD2	O	RGMII 送信データ 2	D16、P18	C20、U19	L13	B19、R17
RGMII1_TD3	O	RGMII 送信データ 3	C17、N17	D19、T19	M15	C17、T18

表 5-9. CPSW0 RGMII2 信号の説明

信号名 [1]	ピンの種類 [2]	概要 [3]	ZCZ ピン [4]	ZFG ピン [4]	ZEJ ピン [4]	ZNC ピン [4]
RGMII2_RXC	I	RGMII 受信クロック	K15	N20	H15	L18
RGMII2_RX_CTL	I	RGMII 受信制御	K16	L20	G15	J19

Copyright © 2025 Texas Instruments Incorporated

表 5-9. CPSW0 RGMII2 信号の説明 (続き)

信号名 [1]	ピンの種類 [2]	概要 [3]	ZCZ ピン [4]	ZFG ピン [4]	ZEJ ピン [4]	ZNC ピン [4]
RGMII2_TXC	O	RGMII 送信クロック	H18	M19	F16	K18
RGMII2_TX_CTL	O	RGMII 送信制御	L16	P18	H16	M19
RGMII2_RD0	I	RGMII 受信データ 0	K17	N17	K14	M18
RGMII2_RD1	I	RGMII 受信データ 1	K18	N19	H14	L19
RGMII2_RD2	I	RGMII 受信データ 2	J18	M18	G16	K19
RGMII2_RD3	I	RGMII 受信データ 3	J17	M20	J14	L17
RGMII2_TD0	O	RGMII 送信データ 0	M16	P20	J15	N18
RGMII2_TD1	O	RGMII 送信データ 1	M15	P19	J16	N19
RGMII2_TD2	O	RGMII 送信データ 2	H17	K20	F15	H19
RGMII2_TD3	O	RGMII 送信データ 3	H16	L19	G14	H18

表 5-10. CPSW0 RMII1 信号の説明

信号名 [1]	ピンの種類 [2]	概要 [3]	ZCZ ピン [4]	ZFG ピン [4]	ZEJ ピン [4]	ZNC ピン [4]
RMII1_CRS_DV	I	RMII キャリア センス / データ有効	D17、P18	E19、U19	L13	R17
RMII1_REF_CLK	IO	RMII 基準クロック	E16、R17	F19、W20	E13、P16	D19、V19
RMII1_RX_ER	I	RMII 受信データ エラー	F15、R18	F20、V19	M14	E18、U17
RMII1_TX_EN	O	RMII 送信イネーブル	A17、M18	E18、T20	M16	A18、T19
RMII1_RXD0	I	RMII 受信データ 0	F18、U17	H20、Y18	D14、P14	G18、W17
RMII1_RXD1	I	RMII 受信データ 1	G16、T17	H19、W18	D16、P15	F18、V17
RMII1_TXD0	O	RMII 送信データ 0	B18、P16	F17、V18	N15	D18、U18
RMII1_TXD1	O	RMII 送信データ 1	B17、P17	D20、V20	N16	C18、U19

表 5-11. CPSW0 RMII2 信号の説明

信号名 [1]	ピンの種類 [2]	説明 [3]	ZCZ ピン [4]	ZFG ピン [4]	ZEJ ピン [4]	ZNC ピン [4]
RMII2_CRS_DV	I	RMII キャリア センス / データ有効	G18	J20	E16	J18
RMII2_REF_CLK	IO	RMII 基準クロック	K15	N20	H15	L18
RMII2_RX_ER	I	RMII 受信データ エラー	G17	K19	F14	G17
RMII2_TX_EN	O	RMII 送信イネーブル	L16	P18	H16	M19
RMII2_RXD0	I	RMII 受信データ 0	K17	N17	K14	M18
RMII2_RXD1	I	RMII 受信データ 1	K18	N19	H14	L19
RMII2_TXD0	O	RMII 送信データ 0	M16	P20	J15	N18
RMII2_TXD1	O	RMII 送信データ 1	M15	P19	J16	N19

表 5-12. CPSW0 MII1 信号の説明

信号名 [1]	ピンの種類 [2]	概要 [3]	ZCZ ピン [4]	ZFG ピン [4]	ZEJ ピン [4]	ZNC ピン [4]
MII1_COL	I	MII 衝突検出	C18、P15	E20、W17	T15	W16
MII1_CRS	I	MII キャリア センス	D17、R16	E19、Y17	R15	V16

表 5-12. CPSW0 MII1 信号の説明 (続き)

信号名 [1]	ピンの種類 [2]	概要 [3]	ZCZ ピン [4]	ZFG ピン [4]	ZEJ ピン [4]	ZNC ピン [4]
MII1_RXCLK	I	MII 受信クロック	E16、R17	F19、W20	E13、P16	D19、V19
MII1_RXDV	I	MII 受信データ有効	F16、R18	G19、V19	D15、M14	E19、U17
MII1_RX_ER	I	MII 受信データ エラー	F15、T16	F20、Y16	T14	E18、W15
MII1_TXCLK	I	MII 送信クロック	C16、N18	B20、U20	L15	B18、R18
MII1_TX_EN	O	MII 送信イネーブル	A17、M18	E18、T20	M16	A18、T19
MII1_RXD0	I	MII 受信データ 0	F18、U17	H20、Y18	D14、P14	G18、W17
MII1_RXD1	I	MII 受信データ 1	G16、T17	H19、W18	D16、P15	F18、V17
MII1_RXD2	I	MII 受信データ 2	E17、U18	H17、Y19	R16	E17、W18
MII1_RXD3	I	MII 受信データ 3	E18、T18	G20、W19	N14	F19、V18
MII1_TXD0	O	MII 送信データ 0	B18、P16	F17、V18	N15	D18、U18
MII1_TXD1	O	MII 送信データ 1	B17、P17	D20、V20	N16	C18、U19
MII1_TXD2	O	MII 送信データ 2	D16、P18	C20、U19	L13	B19、R17
MII1_TXD3	O	MII 送信データ 3	C17、N17	D19、T19	M15	C17、T18

表 5-13. CPSW0 MII2 信号の説明

信号名 [1]	ピンの種類 [2]	概要 [3]	ZCZ ピン [4]	ZFG ピン [4]	ZEJ ピン [4]	ZNC ピン [4]
MII2_COL	I	MII 衝突検出	F17	J19	E15	
MII2_CRS	I	MII キャリア センス	G18	J20	E16	J18
MII2_RXCLK	I	MII 受信クロック	K15	N20	H15	L18
MII2_RXDV	I	MII 受信データ有効	K16	L20	G15	J19
MII2_RX_ER	I	MII 受信データ エラー	G17	K19	F14	G17
MII2_TXCLK	I	MII 送信クロック	H18	M19	F16	K18
MII2_TX_EN	O	MII 送信イネーブル	L16	P18	H16	M19
MII2_RXD0	I	MII 受信データ 0	K17	N17	K14	M18
MII2_RXD1	I	MII 受信データ 1	K18	N19	H14	L19
MII2_RXD2	I	MII 受信データ 2	J18	M18	G16	K19
MII2_RXD3	I	MII 受信データ 3	J17	M20	J14	L17
MII2_TXD0	O	MII 送信データ 0	M16	P20	J15	N18
MII2_TXD1	O	MII 送信データ 1	M15	P19	J16	N19
MII2_TXD2	O	MII 送信データ 2	H17	K20	F15	H19
MII2_TXD3	O	MII 送信データ 3	H16	L19	G14	H18

表 5-14. MDIO0 信号の説明

信号名 [1]	ピンの種類 [2]	説明 [3]	ZCZ ピン [4]	ZFG ピン [4]	ZEJ ピン [4]	ZNC ピン [4]
MDIO0_MDC	O	MDIO クロック	M17	T18	L14	R19
MDIO0_MDIO	IO	MDIO データ	N16	R17	L16	P18

Copyright © 2025 Texas Instruments Incorporated

5.3.5 CPTS

表 5-15. CPTS0 信号の説明

信号名 [1]	ピンの種類 [2]	概要 [3]	ZCZ ピン [4]	ZFG ピン [4]	ZEJ ピン [4]	ZNC ピン [4]
CPTS0_TS_SYNC	O	CPTS タイム スタンプ カウンタ ビット出力	A16	A19	C16	

5.3.6 DAC

表 5-16. DAC 信号の説明

信号名 [1]	ピンの種類 [2]	概要 [3]	ZCZ ピン [4]	ZFG ピン [4]	ZEJ ピン [4]	ZNC ピン [4]
DAC_OUT	-	DAC 出力	T5	W4	T5	W6
DAC_VREF0 (1) (2)	-	DAC 電圧リファレンス 0	T13	U15	P13	V14

(1) これらのピンの接続の詳細については、*レイアウト ガイドライン セクション*を参照してください。
(2) このピンは VDDA18_LDO に接続 (短絡) できます。

5.3.7 EPWM

表 5-17. EPWM0 信号の説明

信号名 [1]	ピンの種類 [2]	概要 [3]	ZCZ ピン [4]	ZFG ピン [4]	ZEJ ピン [4]	ZNC ピン [4]
EPWM0_A	O	EPWM 出力 A	B2	B3	A4	B5
EPWM0_B	O	EPWM 出力 B	B1	C3	A5	A6

表 5-18. EPWM1 信号の説明

信号名 [1]	ピンの種類 [2]	概要 [3]	ZCZ ピン [4]	ZFG ピン [4]	ZEJ ピン [4]	ZNC ピン [4]
EPWM1_A	O	EPWM 出力 A	D3	A2	B4	A5
EPWM1_B	O	EPWM 出力 B	D2、E4	A3、D1	C1、C5	A4、B3

表 5-19. EPWM2 信号の説明

信号名 [1]	ピンの種類 [2]	概要 [3]	ZCZ ピン [4]	ZFG ピン [4]	ZEJ ピン [4]	ZNC ピン [4]
EPWM2_A	O	EPWM 出力 A	C2	B1	A3	A3
EPWM2_B	O	EPWM 出力 B	C1	B2	A2	B4

表 5-20. EPWM3 信号の説明

信号名 [1]	ピンの種類 [2]	概要 [3]	ZCZ ピン [4]	ZFG ピン [4]	ZEJ ピン [4]	ZNC ピン [4]
EPWM3_A	O	EPWM 出力 A	E2	C1	B2	A2
EPWM3_B	O	EPWM 出力 B	E1、E3	C2、F2	C4、E3	B2、E3

表 5-21. EPWM4 信号の説明

信号名 [1]	ピンの種類 [2]	概要 [3]	ZCZ ピン [4]	ZFG ピン [4]	ZEJ ピン [4]	ZNC ピン [4]
EPWM4_A	O	EPWM 出力 A	D1	D2	B1	B1
EPWM4_B	O	EPWM 出力 B	D2、E4	A3、D1	C1、C5	A4、B3

表 5-22. EPWM5 信号の説明

信号名 [1]	ピンの種類 [2]	概要 [3]	ZCZ ピン [4]	ZFG ピン [4]	ZEJ ピン [4]	ZNC ピン [4]
EPWM5_A	O	EPWM 出力 A	F2	E2	C2	C2
EPWM5_B	O	EPWM 出力 B	F1、G2	E1、G1	D1、D3	C1、D1

表 5-23. EPWM6 信号の説明

信号名 [1]	ピンの種類 [2]	概要 [3]	ZCZ ピン [4]	ZFG ピン [4]	ZEJ ピン [4]	ZNC ピン [4]
EPWM6_A	O	EPWM 出力 A	B9、E1、E3	B11、C2、F2	C4、D8、E3	B10、B2、E3
EPWM6_B	O	EPWM 出力 B	A9、F3	A11、F1	C10、F4	A11、E2

表 5-24. EPWM7 信号の説明

信号名 [1]	ピンの種類 [2]	概要 [3]	ZCZ ピン [4]	ZFG ピン [4]	ZEJ ピン [4]	ZNC ピン [4]
EPWM7_A	O	EPWM 出力 A	C9、F4	D11、G2	B9、D2	D2
EPWM7_B	O	EPWM 出力 B	A10、F1、G4	A12、G1、J2	B10、D1	D1

表 5-25. EPWM8 信号の説明

信号名 [1]	ピンの種類 [2]	概要 [3]	ZCZ ピン [4]	ZFG ピン [4]	ZEJ ピン [4]	ZNC ピン [4]
EPWM8_A	O	EPWM 出力 A	B10、G3	D10、H2	A9、E2	E1
EPWM8_B	O	EPWM 出力 B	D9、G2、H2	C9、E1、H1	C11、D3、E1	C1、F1

表 5-26. EPWM9 信号の説明

信号名 [1]	ピンの種類 [2]	説明 [3]	ZCZ ピン [4]	ZFG ピン [4]	ZEJ ピン [4]	ZNC ピン [4]
EPWM9_A	O	EPWM 出力 A	G1、N1	K4、R2	F2、M2	F2、N2
EPWM9_B	O	EPWM 出力 B	H2、J2、N4	H1、L2、R1	E1、F3、N1	F1、G1、N1

5.3.8 EQEP

表 5-27. EQEP0 信号の説明

信号名 [1]	ピンの種類 [2]	概要 [3]	ZCZ ピン [4]	ZFG ピン [4]	ZEJ ピン [4]	ZNC ピン [4]
EQEP0_A	I	EQEP 直交入力 A	B14、U18	A16、Y19	D13、R16	B15、W18
EQEP0_B	I	EQEP 直交入力 B	A14、T18	B16、W19	C13、N14	A15、V18
EQEP0_INDEX	IO	EQEP インデックス	D11、N18	D15、U20	B13、L15	B14、R18

Copyright © 2025 Texas Instruments Incorporated

表 5-27. EQEP0 信号の説明 (続き)

信号名 [1]	ピンの種類 [2]	概要 [3]	ZCZ ピン [4]	ZFG ピン [4]	ZEJ ピン [4]	ZNC ピン [4]
EQEP0_STROBE	IO	EQEP ストローブ	C12、M18	C14、T20	C12、M16	A14、T19

表 5-28. EQEP1 信号の説明

信号名 [1]	ピンの種類 [2]	概要 [3]	ZCZ ピン [4]	ZFG ピン [4]	ZEJ ピン [4]	ZNC ピン [4]
EQEP1_A	I	EQEP 直交入力 A	D15、P16	C18、V18	N15	B16、U18
EQEP1_B	I	EQEP 直交入力 B	C15、P17	C19、V20	N16	B17、U19
EQEP1_INDEX	IO	EQEP インデックス	A12、N17、P2	A14、T19、U2	M15、P3	T1、T18
EQEP1_STROBE	IO	EQEP ストローブ	B16、P18	B19、U19	C15、L13	R17

5.3.9 FSI

表 5-29. FSIRX0 信号の説明

信号名 [1]	ピンの種類 [2]	説明 [3]	ZCZ ピン [4]	ZFG ピン [4]	ZEJ ピン [4]	ZNC ピン [4]
FSIRX0_CLK	I	FSI クロック	A10、T17	A12、W18	B10、P15	V17
FSIRX0_DATA0	I	FSI データ 0	B10、U18	D10、Y19	A9、R16	W18
FSIRX0_DATA1	I	FSI データ 1	D9、T18	C9、W19	C11、N14	V18

表 5-30. FSITX0 信号の説明

信号名 [1]	ピンの種類 [2]	概要 [3]	ZCZ ピン [4]	ZFG ピン [4]	ZEJ ピン [4]	ZNC ピン [4]
FSITX0_CLK	O	FSI クロック	A11、R17	A13、W20	A12、P16	A12、V19
FSITX0_DATA0	O	FSI データ 0	C10、R18	B12、V19	A10、M14	B12、U17
FSITX0_DATA1	O	FSI データ 1	B11、U17	C12、Y18	A11、P14	B11、W17

5.3.10 GPIO

表 5-31. GPIO 信号の説明

信号名 [1]	ピンの種類 [2]	概要 [3]	ZCZ ピン [4]	ZFG ピン [4]	ZEJ ピン [4]	ZNC ピン [4]
GPIO0	IO	汎用入出力	P1	U4	N3	R1
GPIO1	IO	汎用入出力	R3	T2	M3	R2
GPIO2	IO	汎用入出力	N2	M3	L2	M2
GPIO3 (1)	IO	汎用入出力 (SOP0)	N1	R2	M2	N2
GPIO4 (2)	IO	汎用入出力 (SOP1)	N4	R1	N1	N1
GPIO5	IO	汎用入出力	M4	T1	L3	P2
GPIO6	IO	汎用入出力	P3	U1	N2	P1
GPIO7	IO	汎用入出力	M1	P1	J3	K2
GPIO8	IO	汎用入出力	L1	P2	K1	L1
GPIO9	IO	汎用入出力	L2	N2	K2	J2
GPIO10	IO	汎用入出力	K1	N1	J2	K1
GPIO11	IO	汎用入出力	C11	B13	B11	C13

表 5-31. GPIO 信号の説明 (続き)

信号名 [1]	ピンの種類 [2]	概要 [3]	ZCZ ピン [4]	ZFG ピン [4]	ZEJ ピン [4]	ZNC ピン [4]
GPIO12 (5)	IO	汎用入出力 (SOP2)	A11	A13	A12	A12
GPIO13 (6)	IO	汎用入出力 (SOP3)	C10	B12	A10	B12
GPIO14	IO	汎用入出力	B11	C12	A11	B11
GPIO15	IO	汎用入出力	C9	D11	B9	
GPIO16	IO	汎用入出力	A10	A12	B10	
GPIO17	IO	汎用入出力	B10	D10	A9	
GPIO18	IO	汎用入出力	D9	C9	C11	
GPIO19	IO	汎用入出力	A9	A11	C10	A11
GPIO100	IO	汎用入出力	M15	P19	J16	N19
GPIO101	IO	汎用入出力	H17	K20	F15	H19
GPIO102	IO	汎用入出力	H16	L19	G14	H18
GPIO103	IO	汎用入出力	F15	F20		E18
GPIO104	IO	汎用入出力	C18	E20		
GPIO105	IO	汎用入出力	D17	E19		
GPIO106	IO	汎用入出力	D18	G18		C19
GPIO107	IO	汎用入出力	E16	F19	E13	D19
GPIO108	IO	汎用入出力	F16	G19	D15	E19
GPIO109	IO	汎用入出力	F18	H20	D14	G18
GPIO110	IO	汎用入出力	G16	H19	D16	F18
GPIO111	IO	汎用入出力	E17	H17		E17
GPIO112	IO	汎用入出力	E18	G20		F19
GPIO113	IO	汎用入出力	C16	B20		B18
GPIO114	IO	汎用入出力	A17	E18		A18
GPIO115	IO	汎用入出力	B18	F17		D18
GPIO116	IO	汎用入出力	B17	D20		C18
GPIO117	IO	汎用入出力	D16	C20		B19
GPIO118	IO	汎用入出力	C17	D19		C17
GPIO119	IO	汎用入出力	D15	C18		B16
GPIO120	IO	汎用入出力	C15	C19		B17
GPIO121	IO	汎用入出力	P2	U2	P3	T1
GPIO122	IO	汎用入出力	B16	B19	C15	
GPIO123	IO	汎用入出力	D14	C16	A15	
GPIO124	IO	汎用入出力	A16	A19	C16	
GPIO125	IO	汎用入出力	D13	B17	C14	
GPIO126	IO	汎用入出力	B15	A18	B16	A17
GPIO127	IO	汎用入出力	C13	A17	A14	A16
GPIO128	IO	汎用入出力	A15	B18	B15	
GPIO129	IO	汎用入出力	C14	D17	B14	
GPIO130	IO	汎用入出力	B14	A16	D13	B15
GPIO131	IO	汎用入出力	A14	B16	C13	A15
GPIO132	IO	汎用入出力	C12	C14	C12	A14
GPIO133	IO	汎用入出力	D11	D15	B13	B14
GPIO134 (4)	IO	汎用入出力	B13	B15	B12	B13

Copyright © 2025 Texas Instruments Incorporated

表 5-31. GPIO 信号の説明 (続き)

信号名 [1]	ピンの種類 [2]	概要 [3]	ZCZ ピン [4]	ZFG ピン [4]	ZEJ ピン [4]	ZNC ピン [4]
GPIO135 (3)	IO	汎用入出力	A13	A15	A13	A13
GPIO136	IO	汎用入出力	B12	B14		
GPIO137	IO	汎用入出力	A12	A14		
GPIO138	IO	汎用入出力	M2	M1	H1	J3
GPIO139	IO	汎用入出力	V2	V1	R1	V1
GPIO140	IO	汎用入出力	U3	W1	P1	U1
GPIO20	IO	汎用入出力	B9	B11	D8	B10
GPIO21	IO	汎用入出力	B8	B10	B8	A10
GPIO22	IO	汎用入出力	A8	A10	C9	B9
GPIO23	IO	汎用入出力	D7	B9	B7	
GPIO24	IO	汎用入出力	C8	A9	A8	
GPIO25	IO	汎用入出力	C7	C7	C8	C9
GPIO26	IO	汎用入出力	B7	D8	A7	A9
GPIO27	IO	汎用入出力	A7	A8	A6	A8
GPIO28	IO	汎用入出力	A6	B8	B6	B8
GPIO29	IO	汎用入出力	R17	W20	P16	V19
GPIO30	IO	汎用入出力	R18	V19	M14	U17
GPIO31	IO	汎用入出力	U17	Y18	P14	W17
GPIO32	IO	汎用入出力	T17	W18	P15	V17
GPIO33	IO	汎用入出力	U18	Y19	R16	W18
GPIO34	IO	汎用入出力	T18	W19	N14	V18
GPIO35	IO	汎用入出力	N18	U20	L15	R18
GPIO36	IO	汎用入出力	M18	T20	M16	T19
GPIO37	IO	汎用入出力	P16	V18	N15	U18
GPIO38	IO	汎用入出力	P17	V20	N16	U19
GPIO39	IO	汎用入出力	P18	U19	L13	R17
GPIO40	IO	汎用入出力	N17	T19	M15	T18
GPIO41	IO	汎用入出力	N16	R17	L16	P18
GPIO42	IO	汎用入出力	M17	T18	L14	R19
GPIO43	IO	汎用入出力	B2	B3	A4	B5
GPIO44	IO	汎用入出力	B1	C3	A5	A6
GPIO45	IO	汎用入出力	D3	A2	B4	A5
GPIO46	IO	汎用入出力	D2	A3	C5	A4
GPIO47	IO	汎用入出力	C2	B1	A3	A3
GPIO48	IO	汎用入出力	C1	B2	A2	B4
GPIO49	IO	汎用入出力	E2	C1	B2	A2
GPIO50	IO	汎用入出力	E3	C2	C4	B2
GPIO51	IO	汎用入出力	D1	D2	B1	B1
GPIO52	IO	汎用入出力	E4	D1	C1	B3
GPIO53	IO	汎用入出力	F2	E2	C2	C2
GPIO54	IO	汎用入出力	G2	E1	D3	C1
GPIO55	IO	汎用入出力	E1	F2	E3	E3
GPIO56	IO	汎用入出力	F3	F1	F4	E2

表 5-31. GPIO 信号の説明 (続き)

信号名 [1]	ピンの種類 [2]	概要 [3]	ZCZ ピン [4]	ZFG ピン [4]	ZEJ ピン [4]	ZNC ピン [4]
GPIO57	IO	汎用入出力	F4	G2	D2	D2
GPIO58	IO	汎用入出力	F1	G1	D1	D1
GPIO59	IO	汎用入出力	G3	H2	E2	E1
GPIO60	IO	汎用入出力	H2	H1	E1	F1
GPIO61 (7) (8)	IO	汎用入出力	G1	K4	F2	F2
GPIO62	IO	汎用入出力	J2	L2	F3	G1
GPIO63	IO	汎用入出力	G4	J2		
GPIO64	IO	汎用入出力	J3	J1		
GPIO65	IO	汎用入出力	H1	J3		
GPIO66	IO	汎用入出力	J1	K2	G3	
GPIO67	IO	汎用入出力	K2	K1	G2	G2
GPIO68	IO	汎用入出力	J4	L4	H3	H1
GPIO69	IO	汎用入出力	K4	L1	H2	H2
GPIO70	IO	汎用入出力	K3	M2	G1	J1
GPIO71	IO	汎用入出力	V17	W16	R14	V15
GPIO72	IO	汎用入出力	T16	Y16	T14	W15
GPIO73	IO	汎用入出力	P15	W17	T15	W16
GPIO74	IO	汎用入出力	R16	Y17	R15	V16
GPIO75	IO	汎用入出力	L3	T3	M1	L2
GPIO76	IO	汎用入出力	M3	R4	L1	M1
GPIO77	IO	汎用入出力	B6	B7		
GPIO78	IO	汎用入出力	A4	A6		
GPIO79	IO	汎用入出力	B5	B6		
GPIO80	IO	汎用入出力	B4	A5		
GPIO81	IO	汎用入出力	A3	B5		
GPIO82	IO	汎用入出力	A2	A4		
GPIO83	IO	汎用入出力	C6	B4		
GPIO84	IO	汎用入出力	A5	A7		
GPIO85	IO	汎用入出力	L17	R19	K15	N17
GPIO86	IO	汎用入出力	L18	R20	K16	P19
GPIO87	IO	汎用入出力	G17	K19	F14	G17
GPIO88	IO	汎用入出力	F17	J19	E15	
GPIO89	IO	汎用入出力	G18	J20	E16	J18
GPIO90	IO	汎用入出力	G15	J18	E14	G19
GPIO91	IO	汎用入出力	K15	N20	H15	L18
GPIO92	IO	汎用入出力	K16	L20	G15	J19
GPIO93	IO	汎用入出力	K17	N17	K14	M18
GPIO94	IO	汎用入出力	K18	N19	H14	L19
GPIO95	IO	汎用入出力	J18	M18	G16	K19
GPIO96	IO	汎用入出力	J17	M20	J14	L17
GPIO97	IO	汎用入出力	H18	M19	F16	K18
GPIO98	IO	汎用入出力	L16	P18	H16	M19

Copyright © 2025 Texas Instruments Incorporated

表 5-31. GPIO 信号の説明 (続き)

信号名 [1]	ピンの種類 [2]	概要 [3]	ZCZ ピン [4]	ZFG ピン [4]	ZEJ ピン [4]	ZNC ピン [4]
GPIO99	IO	汎用入出力	M16	P20	J15	N18

(1) GPIO3 ピンは、SOP0 ブートモード構成ピンとしても使用されます。
(2) GPIO4 ピンは、SOP1 ブートモード構成ピンとしても使用されます。
(3) GPIO135 は、I2C OD FS (オープン ドレイン フェイルセーフ) 電圧バッファを使用して実装されています。
(4) GPIO134 は、I2C OD FS (オープン ドレイン フェイルセーフ) 電圧バッファを使用して実装されています。
(5) GPIO12 ピンは、SOP2 ブートモード構成ピンとしても使用されます。
(6) GPIO13 ピンは、SOP3 ブートモード構成ピンとしても使用されます。
(7) OSPI ブートモードでは、AM261x ROM コードは GPIO61 を OSPI0_RESET_OUT0 として設定し、このブートモード中に外部 OSPI デバイスをリセットするためにピンを Low に駆動します。ただし、OSPI コントローラの構成により、外部 OSPI フラッシュ デバイスのリセット後にこのピンがデアサートされないため、外部フラッシュ デバイスがリセット状態に保持され、ブートが失敗します。これは、GPIO61 が High にプルされ、ブートが完了するまで Low に設定されていることを意味します。これにより、一部のアプリケーションに影響する可能性があります。詳細については、AM261x Errata ドキュメントを参照してください。
(8) OSPI フラッシュ リセットの詳細については、*アプリケーション*、*実装*、*レイアウト*セクションの OSPI リセットを参照してください。

5.3.11 GPMC0

表 5-32. GPMC0 信号の説明

信号名 [1]	ピンの種類 [2]	説明 [3]	ZCZ ピン [4]	ZFG ピン [4]	ZEJ ピン [4]	ZNC ピン [4]
GPMC0_ADVn_ALE	O	GPMC アドレス有効 (アクティブ Low) またはアドレス ラッチ イネーブル	A8	A10	C9	B9
GPMC0_CLK (1)	IO	GPMC クロック	L3	T3	M1	L2
GPMC0_CLKLB (2)	IO	GPMC クロック ループバック	B15	A18	B16	A17
GPMC0_DIR	O	GPMC データ バス信号方向制御	B10	D10	A9	
GPMC0_OEn_REn	O	GPMC 出力イネーブル (アクティブ Low) または読み出しイネーブル (アクティブ Low)	A10、B14、C8	A12、A16、A9	A8、B10、D13	B15
GPMC0_WEn	O	GPMC 書き込みイネーブル (アクティブ Low)	C14、D7	B9、D17	B14、B7	
GPMC0_WPn	O	GPMC フラッシュ書き込み保護 (アクティブ Low)	D9	C9	C11	
GPMC0_A0	O	GPMC アドレス 0 出力。8 ビット データ非多重化メモリを効果的にアドレス指定するためにのみ使用されます。	C11	B13	B11	C13
GPMC0_A1	O	GPMC アドレス 1 出力 (A/D 非多重化モード) およびアドレス 17 (A/D 多重化モード)	C2	B1	A3	A3
GPMC0_A2	O	GPMC アドレス 2 出力 (A/D 非多重化モード) およびアドレス 18 (A/D 多重化モード)	D2	A3	C5	A4
GPMC0_A3	O	GPMC アドレス 3 出力 (A/D 非多重化モード) およびアドレス 19 (A/D 多重化モード)	B2	B3	A4	B5
GPMC0_A4	O	GPMC アドレス 4 出力 (A/D 非多重化モード) およびアドレス 20 (A/D 多重化モード)	D3	A2	B4	A5
GPMC0_A5	O	GPMC アドレス 5 出力 (A/D 非多重化モード) およびアドレス 21 (A/D 多重化モード)	B16	B19	C15	

表 5-32. GPMC0 信号の説明 (続き)

信号名 [1]	ピンの種類 [2]	説明 [3]	ZCZ ピン [4]	ZFG ピン [4]	ZEJ ピン [4]	ZNC ピン [4]
GPMC0_A6	O	GPMC アドレス 6 出力 (A/D 非多重化モード) およびアドレス 22 (A/D 多重化モード)	B1	C3	A5	A6
GPMC0_A7	O	GPMC アドレス 7 出力 (A/D 非多重化モード) およびアドレス 23 (A/D 多重化モード)	A11	A13	A12	A12
GPMC0_A8	O	GPMC アドレス 8 出力 (A/D 非多重化モード) およびアドレス 24 (A/D 多重化モード)	A16	A19	C16	
GPMC0_A9	O	GPMC アドレス 9 出力 (A/D 非多重化モード) およびアドレス 25 (A/D 多重化モード)	E3	C2	C4	B2
GPMC0_A10	O	GPMC アドレス 10 出力 (A/D 非多重化モード) およびアドレス 26 (A/D 多重化モード)	D1	D2	B1	B1
GPMC0_A11	O	GPMC アドレス 11 出力 (A/D 非多重化モード) (A/D 多重化モードでは未使用)	E4	D1	C1	B3
GPMC0_A12	O	GPMC アドレス 12 出力 (A/D 非多重化モード) (A/D 多重化モードでは未使用)	F2	E2	C2	C2
GPMC0_A13	O	GPMC アドレス 13 出力 (A/D 非多重化モード) (A/D 多重化モードでは未使用)	E2	C1	B2	A2
GPMC0_A14	O	GPMC アドレス 14 出力 (A/D 非多重化モード) (A/D 多重化モードでは未使用)	C1	B2	A2	B4
GPMC0_A15	O	GPMC アドレス 15 出力 (A/D 非多重化モード) (A/D 多重化モードでは未使用)	C12	C14	C12	A14
GPMC0_A16	O	GPMC アドレス 16 出力 (A/D 非多重化モード) (A/D 多重化モードでは未使用)	C10	B12	A10	B12
GPMC0_A17	O	GPMC アドレス 17 出力 (A/D 非多重化モード) (A/D 多重化モードでは未使用)	C15	C19		B17
GPMC0_A18	O	GPMC アドレス 18 出力 (A/D 非多重化モード) (A/D 多重化モードでは未使用)	P2	U2	P3	T1
GPMC0_A19	O	GPMC アドレス 19 出力 (A/D 非多重化モード) (A/D 多重化モードでは未使用)	D15	C18		B16
GPMC0_A20	O	GPMC アドレス 20 出力 (A/D 非多重化モード) (A/D 多重化モードでは未使用)	D17、F3	E19、F1	F4	E2
GPMC0_A21	O	GPMC アドレス 21 出力 (A/D 非多重化モード) (A/D 多重化モードでは未使用)	C18	E20		
GPMC0_AD0	IO	GPMC データ 0 入出力 (A/D 非多重化モード) および追加アドレス 1 出力 (A/D 多重化モード)	V17	W16	R14	V15
GPMC0_AD1	IO	GPMC データ 1 入出力 (A/D 非多重化モード) および追加アドレス 2 出力 (A/D 多重化モード)	T16	Y16	T14	W15
GPMC0_AD2	IO	GPMC データ 2 入出力 (A/D 非多重化モード) および追加アドレス 3 出力 (A/D 多重化モード)	P15	W17	T15	W16
GPMC0_AD3	IO	GPMC データ 3 入出力 (A/D 非多重化モード) および追加アドレス 4 出力 (A/D 多重化モード)	F1	G1	D1	D1

Copyright © 2025 Texas Instruments Incorporated

表 5-32. GPMC0 信号の説明 (続き)

信号名 [1]	ピンの種類 [2]	説明 [3]	ZCZ ピン [4]	ZFG ピン [4]	ZEJ ピン [4]	ZNC ピン [4]
GPMC0_AD4	IO	GPMC データ 4 入出力 (A/D 非多重化モード) および追加アドレス 5 出力 (A/D 多重化モード)	F4	G2	D2	D2
GPMC0_AD5	IO	GPMC データ 5 入出力 (A/D 非多重化モード) および追加アドレス 6 出力 (A/D 多重化モード)	G2	E1	D3	C1
GPMC0_AD6	IO	GPMC データ 6 入出力 (A/D 非多重化モード) および追加アドレス 7 出力 (A/D 多重化モード)	A9	A11	C10	A11
GPMC0_AD7	IO	GPMC データ 7 入出力 (A/D 非多重化モード) および追加アドレス 8 出力 (A/D 多重化モード)	D11	D15	B13	B14
GPMC0_AD8	IO	GPMC データ 8 入出力 (A/D 非多重化モード) および追加アドレス 9 出力 (A/D 多重化モード)	B9、E1	B11、F2	D8、E3	B10、E3
GPMC0_AD9	IO	GPMC データ 9 入出力 (A/D 非多重化モード) および追加アドレス 10 出力 (A/D 多重化モード)	R16	Y17	R15	V16
GPMC0_AD10	IO	GPMC データ 10 入出力 (A/D 非多重化モード) および追加アドレス 11 出力 (A/D 多重化モード)	D14	C16	A15	
GPMC0_AD11	O	GPMC データ 11 入出力 (A/D 非多重化モード) および追加アドレス 12 出力 (A/D 多重化モード)	N1	R2	M2	N2
GPMC0_AD12	O	GPMC データ 12 入出力 (A/D 非多重化モード) および追加アドレス 13 出力 (A/D 多重化モード)	N4	R1	N1	N1
GPMC0_AD13	IO	GPMC データ 13 入出力 (A/D 非多重化モード) および追加アドレス 14 出力 (A/D 多重化モード)	D13	B17	C14	
GPMC0_AD14	IO	GPMC データ 14 入出力 (A/D 非多重化モード) および追加アドレス 15 出力 (A/D 多重化モード)	A15	B18	B15	
GPMC0_AD15	IO	GPMC データ 15 入出力 (A/D 非多重化モード) および追加アドレス 16 出力 (A/D 多重化モード)	H2	H1	E1	F1
GPMC0_BE0n_CLE	O	GPMC 下位バイト イネーブル (アクティブ Low) またはコマンド ラッチ イネーブル	C13	A17	A14	A16
GPMC0_BE1n	O	GPMC 上位バイト イネーブル (アクティブ Low)	B11	C12	A11	B11
GPMC0_CSn0	O	GPMC チップ セレクト 0 (アクティブ Low)	A14、B8	B10、B16	B8、C13	A10、A15
GPMC0_CSn1	O	GPMC チップ セレクト 1 (アクティブ Low)	G3	H2	E2	E1
GPMC0_CSn2	O	GPMC チップ セレクト 2 (アクティブ Low)	U18	Y19	R16	W18
GPMC0_CSn3	O	GPMC チップ セレクト 3 (アクティブ Low)	T18	W19	N14	V18
GPMC0_WAIT0	I	GPMC ウェイト外部表示	C9	D11	B9	

表 5-32. GPMC0 信号の説明 (続き)

信号名 [1]	ピンの種類 [2]	説明 [3]	ZCZ ピン [4]	ZFG ピン [4]	ZEJ ピン [4]	ZNC ピン [4]
GPMC0_WAIT1	I	GPMC ウェイト外部表示	C7	C7	C8	C9

(1) GPMC0 が同期モードで動作している場合、MSS_IOMUX:PR0_PRU0_GPO9_CFG_REG レジスタの RXACTIVE ビットを 0x1 に設定し、MSS_IOMUX:PR0_PRU0_GPO9_CFG_REG レジスタの TX_DIS ビットを 0x0 にリセットする必要があります。
(2) GPMC0_CLKLB は、リタイミング目的で内部的に使用されるクロック ループバック信号です。

5.3.12 I2C

表 5-33. I2C0 信号の説明

信号名 [1]	ピンの種類 [2]	概要 [3]	ZCZ ピン [4]	ZFG ピン [4]	ZEJ ピン [4]	ZNC ピン [4]
I2C0_SCL (2)	IO	I2C クロック	A13、J3、K15	A15、J1、N20	A13、H15	A13、L18
I2C0_SDA (1)	IO	I2C データ	B13、G15、G4	B15、J18、J2	B12、E14	B13、G19

(1) I2C0_SDA は、I2C OD FS (オープン ドレイン フェイルセーフ) 電圧バッファを使用して実装されています。
(2) I2C0_SCL は、I2C OD FS (オープン ドレイン フェイルセーフ) 電圧バッファを使用して実装されています。

表 5-34. I2C1 信号の説明

信号名 [1]	ピンの種類 [2]	概要 [3]	ZCZ ピン [4]	ZFG ピン [4]	ZEJ ピン [4]	ZNC ピン [4]
I2C1_SCL (2)	IO	I2C クロック	A14、B5、D7、J1	B16、B6、B9、K2	B7、C13、G3	A15
I2C1_SDA (1)	IO	I2C データ	A3、B14、C8、H1	A16、A9、B5、J3	A8、D13	B15

(1) I2C1_SDA は、標準 LVCMOS 電圧バッファとともに実装されており、入出力オープンドレイン信号タイプとして動作するように適切に構成する必要があります。
(2) I2C1_SCL は、標準 LVCMOS 電圧バッファとともに実装されており、入出力オープンドレイン信号タイプとして動作するように適切に構成する必要があります。

表 5-35. I2C2 信号の説明

信号名 [1]	ピンの種類 [2]	概要 [3]	ZCZ ピン [4]	ZFG ピン [4]	ZEJ ピン [4]	ZNC ピン [4]
I2C2_SCL (2)	IO	I2C クロック	C6、C7、D11	B4、C7、D15	B13、C8	B14、C9
I2C2_SDA (1)	IO	I2C データ	A5、B7、C12	A7、C14、D8	A7、C12	A14、A9

(1) I2C2_SDA は、標準 LVCMOS 電圧バッファとともに実装されており、入出力オープンドレイン信号タイプとして動作するように適切に構成する必要があります。
(2) I2C2_SCL は、標準 LVCMOS 電圧バッファとともに実装されており、入出力オープンドレイン信号タイプとして動作するように適切に構成する必要があります。

5.3.13 LIN

表 5-36. LIN0 信号の説明

信号名 [1]	ピンの種類 [2]	概要 [3]	ZCZ ピン [4]	ZFG ピン [4]	ZEJ ピン [4]	ZNC ピン [4]
LIN0_RXD	IO	LIN 受信データ	A7、B12、B6、G4、L17	A8、B14、B7、J2、R19	A6、K15	A8、N17
LIN0_TXD	IO	LIN 送信データ	A12、A4、A6、J3、L18	A14、A6、B8、J1、R20	B6、K16	B8、P19

Copyright © 2025 Texas Instruments Incorporated

表 5-37. LIN1 信号の説明

信号名 [1]	ピンの種類 [2]	概要 [3]	ZCZ ピン [4]	ZFG ピン [4]	ZEJ ピン [4]	ZNC ピン [4]
LIN1_RXD	IO	LIN 受信データ	A9、J2、L3、M2	A11、L2、M1、T3	C10、F3、H1、M1	A11、G1、J3、L2
LIN1_TXD	IO	LIN 送信データ	B9、G1、L2、M3	B11、K4、N2、R4	D8、F2、K2、L1	B10、F2、J2、M1

表 5-38. LIN2 信号の説明

信号名 [1]	ピンの種類 [2]	概要 [3]	ZCZ ピン [4]	ZFG ピン [4]	ZEJ ピン [4]	ZNC ピン [4]
LIN2_RXD	IO	LIN 受信データ	B8	B10	B8	A10
LIN2_TXD	IO	LIN 送信データ	A8	A10	C9	B9

5.3.14 MCAN

表 5-39. MCAN0 信号の説明

信号名 [1]	ピンの種類 [2]	概要 [3]	ZCZ ピン [4]	ZFG ピン [4]	ZEJ ピン [4]	ZNC ピン [4]
MCAN0_RX	I	MCAN 受信データ	B6、E16、G3、L17、M1	B7、F19、H2、P1、R19	E13、E2、J3、K15	D19、E1、K2、N17
MCAN0_TX	O	MCAN 送信データ	A4、F16、H2、L1、L18	A6、G19、H1、P2、R20	D15、E1、K1、K16	E19、F1、L1、P19

表 5-40. MCAN1 信号の説明

信号名 [1]	ピンの種類 [2]	概要 [3]	ZCZ ピン [4]	ZFG ピン [4]	ZEJ ピン [4]	ZNC ピン [4]
MCAN1_RX	I	MCAN 受信データ	B14、B5、F18、L2、N16	A16、B6、H20、N2、R17	D13、D14、K2、L16	B15、G18、J2、P18
MCAN1_TX	O	MCAN 送信データ	A14、B4、G16、K1、M17	A5、B16、H19、N1、T18	C13、D16、J2、L14	A15、F18、K1、R19

5.3.15 MMC

表 5-41. MMC0 信号の説明

信号名 [1]	ピンの種類 [2]	説明 [3]	ZCZ ピン [4]	ZFG ピン [4]	ZEJ ピン [4]	ZNC ピン [4]
MMC0_CD	I	MMC/SD カード検出	A5、D9	A7、C9	C11	
MMC0_CLK	IO	MMC/SD クロック	B6、C11	B13、B7	B11	C13
MMC0_CMD	IO	MMC/SD コマンド	A11、A4	A13、A6	A12	A12
MMC0_WP	I	MMC/SD 書き込み保護	B10、C6	B4、D10	A9	
MMC0_D0	IO	MMC/SD データ	B5、C10	B12、B6	A10	B12
MMC0_D1	IO	MMC/SD データ	B11、B4	A5、C12	A11	B11
MMC0_D2	IO	MMC/SD データ	A3、C9	B5、D11	B9	
MMC0_D3	IO	MMC/SD データ	A10、A2	A12、A4	B10	

5.3.16 OSPI

表 5-42. OSPI0 信号の説明

信号名 [1]	ピンの種類 [2]	概要 [3]	ZCZ ピン [4]	ZFG ピン [4]	ZEJ ピン [4]	ZNC ピン [4]
OSPI0_CLK	O	OSPI0 クロック	H2、K1、L2、N2	H1、M3、N1、N2	E1、J2、K2、L2	F1、J2、K1、M2
OSPI0_DQS	I	OSPI0 データ ストローブ (DQS) またはループバック クロック入力	L2、M1、M3	N2、P1、R4	J3、K2、L1	J2、K2、M1
OSPI0_ECC_FAIL	I	OSPI0 ECC 障害ステータスピン	A9、B10、H1、K3、M2	A11、D10、J3、M1、M2	A9、C10、G1、H1	A11、J1、J3
OSPI0_LBCLKO (1)	O	OSPI0 ループバック クロック出力	L3	T3	M1	L2
OSPI0_CSn0	O	OSPI0 チップ セレクト 0	H1、J2、P1	J3、L2、U4	F3、N3	G1、R1
OSPI0_CSn1	O	OSPI0 チップ セレクト 1	F4、R3	G2、T2	D2、M3	D2、R2
OSPI0_D0	IO	OSPI0 データ ビット 0	G3、N1、N2、P1	H2、M3、R2、U4	E2、L2、M2、N3	E1、M2、N2、R1
OSPI0_D1	IO	OSPI0 データ ビット 1	F1、J1、K3、N4	G1、K2、M2、R1	D1、G1、G3、N1	D1、J1、N1
OSPI0_D2	IO	OSPI0 データ ビット 2	L1、M1、M4	P1、P2、T1	J3、K1、L3	K2、L1、P2
OSPI0_D3	IO	OSPI0 データ ビット 3	K4、P3	L1、U1	H2、N2	H2、P1
OSPI0_D4	IO	OSPI0 データ ビット 4	M1、M3、P3	P1、R4、U1	J3、L1、N2	K2、M1、P1
OSPI0_D5	IO	OSPI0 データ ビット 5	K2、L1	K1、P2	G2、K1	G2、L1
OSPI0_D6	IO	OSPI0 データ ビット 6	L1、L2、M4	N2、P2、T1	K1、K2、L3	J2、L1、P2
OSPI0_D7	IO	OSPI0 データ ビット 7	J4、K1	L4、N1	H3、J2	H1、K1
OSPI0_RESET_OUT0 (2) (3)	O	OSPI0 リセット出力 0	B9、D9、G1、G2、J1、J3	B11、C9、E1、J1、K2、K4	C11、D3、D8、F2、G3	B10、C1、F2
OSPI0_RESET_OUT1	O	OSPI0 リセット出力 1	A9、B8、H1	A11、B10、J3	B8、C10	A10、A11

(1) OSPI0_LBCLKO は、ペリフェラルのタイミングに使用されるクロック ループ バック出力信号です。
(2) OSPI ブートモードでは、AM261x ROM コードは GPIO61 を OSPI0_RESET_OUT0 として設定し、このブートモード中に外部 OSPI デバイスをリセットするためにピンを Low に駆動します。ただし、OSPI コントローラの構成により、外部 OSPI フラッシュ デバイスのリセット後にこのピンがデアサートされないため、外部フラッシュ デバイスがリセット状態に保持され、ブートが失敗します。詳細については、AM261x Errata ドキュメントを参照してください。
(3) OSPI フラッシュ リセットの詳細については、*アプリケーション*、*実装*、*レイアウト*セクションの OSPI リセットを参照してください。

表 5-43. OSPI1 信号の説明

信号名 [1]	ピンの種類 [2]	説明 [3]	ZCZ ピン [4]	ZFG ピン [4]	ZEJ ピン [4]	ZNC ピン [4]
OSPI1_CLK	O	OSPI1 クロック	H2、K1、R17	H1、N1、W20	E1、J2、P16	F1、K1、V19
OSPI1_DQS	I	OSPI1 データ ストローブ (DQS) またはループバック クロック入力	P18	U19	L13	R17
OSPI1_ECC_FAIL	I	OSPI1 ECC フェイル ステータス ピン	A9、M2、N17	A11、M1、T19	C10、H1、M15	A11、J3、T18
OSPI1_LBCLKO (1)	O	OSPI1 ループバック クロック出力	L3	T3	M1	L2
OSPI1_CSn0	O	OSPI1 チップ セレクト 0	J2、P17	L2、V20	F3、N16	G1、U19
OSPI1_CSn1	O	OSPI1 チップ セレクト 1	F4	G2	D2	D2
OSPI1_D0	IO	OSPI1 データビット 0	G3、N2、R18	H2、M3、V19	E2、L2、M14	E1、M2、U17
OSPI1_D1	IO	OSPI1 データビット 1	F1、K3、U17	G1、M2、Y18	D1、G1、P14	D1、J1、W17
OSPI1_D2	IO	OSPI1 データビット 2	T17	W18	P15	V17

Copyright © 2025 Texas Instruments Incorporated

表 5-43. OSPI1 信号の説明 (続き)

信号名 [1]	ピンの種類 [2]	説明 [3]	ZCZ ピン [4]	ZFG ピン [4]	ZEJ ピン [4]	ZNC ピン [4]
OSPI1_D3	IO	OSPI1 データビット 3	U18	Y19	R16	W18
OSPI1_D4	IO	OSPI1 データビット 4	T18	W19	N14	V18
OSPI1_D5	IO	OSPI1 データビット 5	N18	U20	L15	R18
OSPI1_D6	IO	OSPI1 データビット 6	M18	T20	M16	T19
OSPI1_D7	IO	OSPI1 データビット 7	P16	V18	N15	U18
OSPI1_RESET_OUT0	O	OSPI1 リセット出力 0	B9、G1、N16	B11、K4、R17	D8、F2、L16	B10、F2、P18
OSPI1_RESET_OUT1	O	OSPI1 リセット出力 1	B8	B10	B8	A10

(1) OSPI1_LBCLKO は、ペリフェラルのタイミング用に使用されるクロック ループバック出力信号です。

5.3.17 電源

表 5-44. 電源信号の説明

信号名 [1]	ピンの種類 [2]	概要 [3]	ZCZ ピン [4]	ZFG ピン [4]	ZEJ ピン [4]	ZNC ピン [4]
VDD	電源	1.2V/1.25V コア電源(1)	E11、E9、F11、F9、G13、G14、G5、G6、K13、K14、K5、K6、N13、N14、N5、N6	F12、F14、F7、F9、G15、G6、J15、J6、M15、M6、P15、P6、R7	E11, E5, E7, E9, F12, G5, H12, J5, K12, L5, M12, M6	E10、E12、E14、E6、E8、F15、F5、H15、H5、K15、K5、M15、M5、P15、P5、R15、R6、T6
VDDA18_LDO (4)	電源	1.8V アナログ出力	R11、R6、R8	U10、U11	N9	U9
VDDA18_OSC_PLL	電源	1.8V PLL 電源		U8	N6	U7
VDDA18_USB	電源	USB 1.8V アナログ電源	R4	T5	N4	U3
VDDA33	電源	3.3V アナログ電源	P11、P7、P9	T12、T9	M10、M8	T10、T12
VDDA33_USB	電源	USB 3.3V アナログ電源	R15	P5	M4	R3
VDDAR2	電源	SRAM アレイ電源	D10	D13	D10	C11
VDDAR3	電源	SRAM アレイ電源	H3	H4	G4	G3
VDDS18	電源	1.8V IO 電源	D6、E15、L4、N15	E14、E9、F4、G16、L17、N4、T16	D12、D6、D9、E4、G13、K13、K4、N13	D10、D14、D6、H16、H4、L3、M16、T16
VDDS18_LDO (2) (3)	電源	1.8V デジタル LDO の出力	T3	U6	P4	V4
VDDS1833_FLASH0	電源	1.8V/3.3V フラッシュ 0 入出力電源		J5	H4、J4	K4、M4
VDDS1833_FLASH1	電源	1.8V/3.3V フラッシュ 1 入出力電源		P16	M13	P16
VDDS1833_FLASH0-SIP	電源	1.8V/3.3V SIP フラッシュ電源。これは、基板上で VDDSHV_D (VDDS1833_flash0) に短絡する必要があります。将来のフラッシュ SIP パッケージでフラッシュ電源に使用される予定。			F1、J1	
VDDS33	電源	3.3V IO 電源	D12、H15、H4、L15、P4、R15	E12、E16、E7、G5、J16、M16、M5、T14、T7	D11、D4、D7、F13、J13、L4、N12、N5	C15、D12、D8、F16、F4、K16、P4、T14、U5
VDD_TEMP	電源	VDD 温度	T4	V7	N8	T8

表 5-44. 電源信号の説明 (続き)

信号名 [1]	ピンの種類 [2]	概要 [3]	ZCZ ピン [4]	ZFG ピン [4]	ZEJ ピン [4]	ZNC ピン [4]
VNWA	電源	1.2V/1.25V の N-ウェル バイアス(1)	J16	K17	H13	J17
VPP	電源	eFuse ROM プログラミング電源	N3	P3	K3	N3
VSS	GND	グランド	A1、A18、E10、E12、E13、E14、E5、E6、E7、E8、F10、F12、F13、F14、F5、F6、F7、F8、G10、G11、G12、G7、G8、G9、H10、H11、H12、H13、H14、H5、H6、H7、H8、H9、J10、J11、J12、J13、J14、J5、J6、J7、J8、J9、K10、K11、K12、K7、K8、K9、L10、L11、L12、L13、L14、L5、L6、L7、L8、L9、M10、M11、M12、M13、M14、M5、M6、M7、M8、M9、N10、N11、N12、N7、N8、N9、P13、P14、P5、T2、V18	A1、A20、F15、F6、G10、G11、G12、G13、G14、G7、G8、G9、H10、H11、H12、H13、H14、H7、H8、H9、J10、J11、J12、J13、J14、J7、J8、J9、K10、K11、K12、K13、K14、K7、K8、K9、L10、L11、L12、L13、L14、L7、L8、L9、M10、M11、M12、M13、M14、M7、M8、M9、N10、N11、N12、N13、N14、N7、N8、N9、P10、P11、P12、P13、P14、P7、P8、P9、R14、R15、R6、V2、V5、W2、Y1、Y20	A1, A16, E10, E12, E6, E8, F10, F11, F5, F6, F7, F8, F9, G10, G11, G12, G6, G7, G8, G9, H10, H11, H5, H6, H7, H8, H9, J10, J11, J12, J6, J7, J8, J9, K10, K11, K5, K6, K7, K8, K9, L10, L11, L12, L6, L7, L8, L9, M5, M7, R2, R3, R4, T1, T16	A1, A19, D16, D4, E15, E5, F10, F11, F12, F13, F14, F6, F7, F8, F9, G10, G11, G12, G13, G14, G6, G7, G8, G9, H10, H11, H12, H13, H14, H6, H7, H8, H9, J10, J11, J12, J13, J14, J6, J7, J8, J9, K10, K11, K12, K13, K14, K6, K7, K8, K9, L10, L11, L12, L13, L14, L6, L7, L8, L9, M10, M11, M12, M13, M14, M6, M7, M8, M9, N10, N11, N12, N13, N14, N6, N7, N8, N9, P10, P11, P12, P13, P14, P6, P7, P8, P9, R14, R5, R8, T4, U2, V2, V3, W1, W19
VSSA	AGND	アナログ GND	P10、P12、P6、P8、R13、R5、V1、V16	R12、R9	M11、M9	R10、R12

(1) 特定のデバイスのコア電圧の詳細については、*推奨動作条件*を参照してください。
(2) このピンの接続の詳細については、*レイアウト ガイドライン セクション*を参照してください。
(3) PCB は、VDDS18_LDO をすべての VDDS18 ピンに直接配線する必要があります。
(4) Am261x では、アナログ LDO は 1.8V アナログ電源に内部接続されているため、通常の 1.8V 出力として機能します。

5.3.18 PRU-ICSS

表 5-45. PRU-ICSS ECAP 信号の説明

信号名 [1]	ピンの種類 [2]	概要 [3]	ZCZ ピン [4]	ZFG ピン [4]	ZEJ ピン [4]	ZNC ピン [4]
PR0_ECAP0_APWM_OUT	O	PRU-ICSS 拡張キャプチャ (ECAP) 入力または ECAP 補助 PWM (APWM) 出力	D14	C16	A15	

Copyright © 2025 Texas Instruments Incorporated

表 5-45. PRU-ICSS ECAP 信号の説明 (続き)

信号名 [1]	ピンの種類 [2]	概要 [3]	ZCZ ピン [4]	ZFG ピン [4]	ZEJ ピン [4]	ZNC ピン [4]
PR1_ECAP0_APWM_OUT	O	PRU-ICSS 拡張キャプチャ (ECAP) 入力または ECAP 補助 PWM (APWM) 出力	D14	C16	A15	

表 5-46. PRU-ICSS GPIO 信号の説明

信号名 [1]	ピンの種類 [2]	概要 [3]	ZCZ ピン [4]	ZFG ピン [4]	ZEJ ピン [4]	ZNC ピン [4]
PR0_PRU0_GPIO0	IO	PRU0 汎用入出力	K17	N17	K14	M18
PR0_PRU0_GPIO1	IO	PRU0 汎用入出力	K18	N19	H14	L19
PR0_PRU0_GPIO2	IO	PRU0 汎用入出力	J18	M18	G16	K19
PR0_PRU0_GPIO3	IO	PRU0 汎用入出力	J17	M20	J14	L17
PR0_PRU0_GPIO4	IO	PRU0 汎用入出力	K16	L20	G15	J19
PR0_PRU0_GPIO5	IO	PRU0 汎用入出力	G17	K19	F14	G17
PR0_PRU0_GPIO6	IO	PRU0 汎用入出力	K15	N20	H15	L18
PR0_PRU0_GPIO7	IO	PRU0 汎用入出力	N17	T19	M15	T18
PR0_PRU0_GPIO8	IO	PRU0 汎用入出力	G15	J18	E14	G19
PR0_PRU0_GPIO9	IO	PRU0 汎用入出力	F17	J19	E15	
PR0_PRU0_GPIO10	IO	PRU0 汎用入出力	G18	J20	E16	J18
PR0_PRU0_GPIO11	IO	PRU0 汎用入出力	M16	P20	J15	N18
PR0_PRU0_GPIO12	IO	PRU0 汎用入出力	M15	P19	J16	N19
PR0_PRU0_GPIO13	IO	PRU0 汎用入出力	H17	K20	F15	H19
PR0_PRU0_GPIO14	IO	PRU0 汎用入出力	H16	L19	G14	H18
PR0_PRU0_GPIO15	IO	PRU0 汎用入出力	L16	P18	H16	M19
PR0_PRU0_GPIO16	IO	PRU0 汎用入出力	H18	M19	F16	K18
PR0_PRU1_GPIO0	IO	PRU1 汎用入出力	F18	H20	D14	G18
PR0_PRU1_GPIO1	IO	PRU1 汎用入出力	G16	H19	D16	F18
PR0_PRU1_GPIO2	IO	PRU1 汎用入出力	E17	H17		E17
PR0_PRU1_GPIO3	IO	PRU1 汎用入出力	E18	G20		F19
PR0_PRU1_GPIO4	IO	PRU1 汎用入出力	F16	G19	D15	E19
PR0_PRU1_GPIO5	IO	PRU1 汎用入出力	F15	F20		E18
PR0_PRU1_GPIO6	IO	PRU1 汎用入出力	E16	F19	E13	D19
PR0_PRU1_GPIO7	IO	PRU1 汎用入出力	A16、G3	A19、H2	C16、E2	E1
PR0_PRU1_GPIO8	IO	PRU1 汎用入出力	D18	G18		C19
PR0_PRU1_GPIO9	IO	PRU1 汎用入出力	C18	E20		
PR0_PRU1_GPIO10	IO	PRU1 汎用入出力	D17	E19		
PR0_PRU1_GPIO11	IO	PRU1 汎用入出力	B18	F17		D18
PR0_PRU1_GPIO12	IO	PRU1 汎用入出力	B17	D20		C18
PR0_PRU1_GPIO13	IO	PRU1 汎用入出力	D16	C20		B19
PR0_PRU1_GPIO14	IO	PRU1 汎用入出力	C17	D19		C17
PR0_PRU1_GPIO15	IO	PRU1 汎用入出力	A17	E18		A18
PR0_PRU1_GPIO16	IO	PRU1 汎用入出力	C16	B20		B18

表 5-46. PRU-ICSS GPIO 信号の説明 (続き)

信号名 [1]	ピンの種類 [2]	概要 [3]	ZCZ ピン [4]	ZFG ピン [4]	ZEJ ピン [4]	ZNC ピン [4]
PR0_PRU1_GPIO17	IO	PRU1 汎用入出力	D13	B17	C14	
PR0_PRU1_GPIO18	IO	PRU1 汎用入出力	C15	C19		B17
PR0_PRU1_GPIO19	IO	PRU1 汎用入出力	D15	C18		B16
PR1_PRU0_GPIO0	IO	PRU0 汎用入出力	A3、C10、K17、K2	B12、B5、K1、N17	A10、G2、K14	B12、G2、M18
PR1_PRU0_GPIO1	IO	PRU0 汎用入出力	A2、B11、J4、K18	A4、C12、L4、N19	A11、H14、H3	B11、H1、L19
PR1_PRU0_GPIO2	IO	PRU0 汎用入出力	C11、C6、J18、K4	B13、B4、L1、M18	B11、G16、H2	C13、H2、K19
PR1_PRU0_GPIO3	IO	PRU0 汎用入出力	C2	B1	A3	A3
PR1_PRU0_GPIO4	IO	PRU0 汎用入出力	D2	A3	C5	A4
PR1_PRU0_GPIO5	IO	PRU0 汎用入出力	B2	B3	A4	B5
PR1_PRU0_GPIO6	IO	PRU0 汎用入出力	D3	A2	B4	A5
PR1_PRU0_GPIO7	IO	PRU0 汎用入出力	B16、B7、C1	B19、B2、D8	A2、A7、C15	A9、B4
PR1_PRU0_GPIO8	IO	PRU0 汎用入出力	B1	C3	A5	A6
PR1_PRU0_GPIO9	IO	PRU0 汎用入出力	A11、B4、F17、K3	A13、A5、J19、M2	A12、E15、G1	A12、J1
PR1_PRU0_GPIO10	IO	PRU0 汎用入出力	A16、B5	A19、B6	C16	
PR1_PRU0_GPIO11	IO	PRU0 汎用入出力	E3	C2	C4	B2
PR1_PRU0_GPIO12	IO	PRU0 汎用入出力	D1	D2	B1	B1
PR1_PRU0_GPIO13	IO	PRU0 汎用入出力	E4	D1	C1	B3
PR1_PRU0_GPIO14	IO	PRU0 汎用入出力	F2	E2	C2	C2
PR1_PRU0_GPIO15	IO	PRU0 汎用入出力	E2	C1	B2	A2
PR1_PRU0_GPIO16	IO	PRU0 汎用入出力	C1	B2	A2	B4
PR1_PRU0_GPIO17	IO	PRU0 汎用入出力	C7、D7	B9、C7	B7、C8	C9
PR1_PRU0_GPIO18	IO	PRU0 汎用入出力	C8	A9	A8	
PR1_PRU0_GPIO19	IO	PRU0 汎用入出力	A14	B16	C13	A15
PR1_PRU0_GPIO20	IO	PRU1 汎用入出力	C12	C14	C12	A14
PR1_PRU1_GPIO0	IO	PRU1 汎用入出力	V17	W16	R14	V15
PR1_PRU1_GPIO1	IO	PRU1 汎用入出力	T16	Y16	T14	W15
PR1_PRU1_GPIO2	IO	PRU1 汎用入出力	P15	W17	T15	W16
PR1_PRU1_GPIO3	IO	PRU1 汎用入出力	A10、F1	A12、G1	B10、D1	D1
PR1_PRU1_GPIO4	IO	PRU1 汎用入出力	C9、F4	D11、G2	B9、D2	D2
PR1_PRU1_GPIO5	IO	PRU1 汎用入出力	G2	E1	D3	C1
PR1_PRU1_GPIO6	IO	PRU1 汎用入出力	A9、F3	A11、F1	C10、F4	A11、E2
PR1_PRU1_GPIO7	IO	PRU1 汎用入出力	D11	D15	B13	B14
PR1_PRU1_GPIO8	IO	PRU1 汎用入出力	B9、E1	B11、F2	D8、E3	B10、E3
PR1_PRU1_GPIO9	IO	PRU1 汎用入出力	R16	Y17	R15	V16
PR1_PRU1_GPIO10	IO	PRU1 汎用入出力	D14	C16	A15	
PR1_PRU1_GPIO11	IO	PRU1 汎用入出力	N1	R2	M2	N2
PR1_PRU1_GPIO12	IO	PRU1 汎用入出力	N4	R1	N1	N1
PR1_PRU1_GPIO13	IO	PRU1 汎用入出力	D13	B17	C14	

Copyright © 2025 Texas Instruments Incorporated

表 5-46. PRU-ICSS GPIO 信号の説明 (続き)

信号名 [1]	ピンの種類 [2]	概要 [3]	ZCZ ピン [4]	ZFG ピン [4]	ZEJ ピン [4]	ZNC ピン [4]
PR1_PRU1_GPIO14	IO	PRU1 汎用入出力	A15	B18	B15	
PR1_PRU1_GPIO15	IO	PRU1 汎用入出力	D9、H2	C9、H1	C11、E1	F1
PR1_PRU1_GPIO16	IO	PRU1 汎用入出力	B10、G3	D10、H2	A9、E2	E1
PR1_PRU1_GPIO17	IO	PRU1 汎用入出力	C14	D17	B14	
PR1_PRU1_GPIO18	IO	PRU1 汎用入出力	B14	A16	D13	B15
PR1_PRU1_GPIO19	IO	PRU1 汎用入出力	C7	C7	C8	C9

表 5-47. PRU-ICSS IEP 信号の説明

信号名 [1]	ピンの種類 [2]	概要 [3]	ZCZ ピン [4]	ZFG ピン [4]	ZEJ ピン [4]	ZNC ピン [4]
PR0_IEP0_EDC_SYNC_OUT0	O	PRU-ICSS 産業用イーサネット分散クロック同期出力	D15	C18		B16
PR0_IEP0_EDC_SYNC_OUT1	O	PRU-ICSS 産業用イーサネット分散クロック同期出力	A16、F17、N17	A19、J19、T19	C16、E15、M15	T18
PR0_IEP0_EDIO_DATA_IN_OUT30	IO	PRU-ICSS 産業用イーサネット デジタル I/O データ入出力	D13、D17、P2	B17、E19、U2	C14、P3	T1
PR0_IEP0_EDIO_DATA_IN_OUT31	IO	PRU-ICSS 産業用イーサネット デジタル I/O データ入出力	C15、C18	C19、E20		B17
PR1_IEP0_EDC_SYNC_OUT0	O	PRU-ICSS 産業用イーサネット分散クロック同期出力	B14、U18	A16、Y19	D13、R16	B15、W18
PR1_IEP0_EDC_SYNC_OUT1	O	PRU-ICSS 産業用イーサネット分散クロック同期出力	B15、N17	A18、T19	B16、M15	A17、T18
PR1_IEP0_EDIO_DATA_IN_OUT30	IO	PRU-ICSS 産業用イーサネット デジタル I/O データ入出力	C12、N18	C14、U20	C12、L15	A14、R18
PR1_IEP0_EDIO_DATA_IN_OUT31	IO	PRU-ICSS 産業用イーサネット デジタル I/O データ入出力	A14、T18	B16、W19	C13、N14	A15、V18

表 5-48. PRU-ICSS MDIO 信号の説明

信号名 [1]	ピンの種類 [2]	概要 [3]	ZCZ ピン [4]	ZFG ピン [4]	ZEJ ピン [4]	ZNC ピン [4]
PR0_MDIO0_MDC	O	PRU-ICSS MDIO クロック	L18	R20	K16	P19
PR0_MDIO0_MDIO	IO	PRU-ICSS MDIO データ	L17	R19	K15	N17
PR1_MDIO0_MDC	O	PRU-ICSS MDIO クロック	A4、C13	A17、A6	A14	A16
PR1_MDIO0_MDIO	IO	PRU-ICSS MDIO データ	B15、B6	A18、B7	B16	A17

表 5-49. PRU-ICSS UART 信号の説明

信号名 [1]	ピンの種類 [2]	概要 [3]	ZCZ ピン [4]	ZFG ピン [4]	ZEJ ピン [4]	ZNC ピン [4]
PR0_UART0_CTSn	I	PRU-ICSS UART CTS (Clear to Send) (アクティブ Low)	F17	J19	E15	
PR0_UART0_RTSn	O	PRU-ICSS UART (Request to Send) (アクティブ Low)	G18	J20	E16	J18
PR0_UART0_RXD	I	PRU-ICSS UART 受信データ	C18	E20		
PR0_UART0_TXD	O	PRU-ICSS UART 送信データ	D17	E19		

表 5-49. PRU-ICSS UART 信号の説明 (続き)

信号名 [1]	ピンの種類 [2]	概要 [3]	ZCZ ピン [4]	ZFG ピン [4]	ZEJ ピン [4]	ZNC ピン [4]
PR1_UART0_CTSn	I	PRU-ICSS UART CTS (Clear to Send) (アクティブ Low)	B16	B19	C15	
PR1_UART0_RTSn	O	PRU-ICSS UART (Request to Send) (アクティブ Low)	D14	C16	A15	
PR1_UART0_RXD	I	PRU-ICSS UART 受信データ	A16	A19	C16	
PR1_UART0_TXD	O	PRU-ICSS UART 送信データ	D13	B17	C14	

5.3.19 SDFM

表 5-50. SDFM0 信号の説明

信号名 [1]	ピンの種類 [2]	概要 [3]	ZCZ ピン [4]	ZFG ピン [4]	ZEJ ピン [4]	ZNC ピン [4]
SDFM0_CLK0	I	SDFM チャネル 0 クロック	B16	B19	C15	
SDFM0_CLK1	I	SDFM チャネル 1 クロック	A16	A19	C16	
SDFM0_CLK2	I	SDFM チャネル 2 クロック	B15	A18	B16	A17
SDFM0_CLK3	I	SDFM チャネル 3 クロック	A15	B18	B15	
SDFM0_D0	I	SDFM チャネル 0 データ	D14	C16	A15	
SDFM0_D1	I	SDFM チャネル 1 データ	D13	B17	C14	
SDFM0_D2	I	SDFM チャネル 2 データ	C13	A17	A14	A16
SDFM0_D3	I	SDFM チャネル 3 データ	C14	D17	B14	

表 5-51. SDFM1 信号の説明

信号名 [1]	ピンの種類 [2]	概要 [3]	ZCZ ピン [4]	ZFG ピン [4]	ZEJ ピン [4]	ZNC ピン [4]
SDFM1_CLK0	I	SDFM チャネル 0 クロック	B14、B6	A16、B7	D13	B15
SDFM1_CLK1	I	SDFM チャネル 1 クロック	B5、C12	B6、C14	C12	A14
SDFM1_CLK2 (2)	I	SDFM チャネル 2 クロック	A3、B13	B15、B5	B12	B13
SDFM1_CLK3 (1)	I	SDFM チャネル 3 クロック	A13、C6	A15、B4	A13	A13
SDFM1_D0	I	SDFM チャネル 0 データ	A14、A16、A4	A19、A6、B16	C13、C16	A15
SDFM1_D1	I	SDFM チャネル 1 データ	B15、B4、D11	A18、A5、D15	B13、B16	A17、B14
SDFM1_D2	I	SDFM チャネル 2 データ	A15、A2、B12	A4、B14、B18	B15	
SDFM1_D3	I	SDFM チャネル 3 データ	A12、A5	A14、A7		

(1) SDFM1_CLK3 は、I2C OD FS (オープン ドレイン フェイルセーフ) 電圧バッファを使用して実装されています。
(2) SDFM1_CLK2 は、I2C OD FS (オープン ドレイン フェイルセーフ) 電圧バッファを使用して実装されています。

5.3.20 SPI

表 5-52. SPI0 信号の説明

信号名 [1]	ピンの種類 [2]	概要 [3]	ZCZ ピン [4]	ZFG ピン [4]	ZEJ ピン [4]	ZNC ピン [4]
SPI0_CLK	IO	SPI0 クロック	A11、R3	A13、T2	A12、M3	A12、R2
SPI0_CS0	IO	SPI0 チップ セレクト 0	C11、P1	B13、U4	B11、N3	C13、R1
SPI0_CS1	IO	SPI0 チップ セレクト 1	B12、B7	B14、D8	A7	A9

Copyright © 2025 Texas Instruments Incorporated

表 5-52. SPI0 信号の説明 (続き)

信号名 [1]	ピンの種類 [2]	概要 [3]	ZCZ ピン [4]	ZFG ピン [4]	ZEJ ピン [4]	ZNC ピン [4]
SPI0_D0	IO	SPI0 データ 0	C10、M4	B12、T1	A10、L3	B12、P2
SPI0_D1	IO	SPI0 データ 1	B11、P3	C12、U1	A11、N2	B11、P1

表 5-53. SPI1 信号の説明

信号名 [1]	ピンの種類 [2]	概要 [3]	ZCZ ピン [4]	ZFG ピン [4]	ZEJ ピン [4]	ZNC ピン [4]
SPI1_CLK	IO	SPI1 クロック	A10	A12	B10	
SPI1_CS0	IO	SPI1 チップ セレクト 0	C9	D11	B9	
SPI1_D0	IO	SPI1 データ 0	B10	D10	A9	
SPI1_D1	IO	SPI1 データ 1	D9	C9	C11	

表 5-54. SPI2 信号の説明

信号名 [1]	ピンの種類 [2]	概要 [3]	ZCZ ピン [4]	ZFG ピン [4]	ZEJ ピン [4]	ZNC ピン [4]
SPI2_CLK	IO	SPI2 クロック	B9、C14、G1	B11、D17、K4	B14、D8、F2	B10、F2
SPI2_CS0	IO	SPI2 チップ セレクト 0	A14、A9、M2	A11、B16、M1	C10、C13、H1	A11、A15、J3
SPI2_CS1	IO	SPI2 チップ セレクト 1	B15	A18	B16	A17
SPI2_D0	IO	SPI2 データ 0	B14、B8	A16、B10	B8、D13	A10、B15
SPI2_D1	IO	SPI2 データ 1	A15、A8	A10、B18	B15、C9	B9

表 5-55. SPI3 信号の説明

信号名 [1]	ピンの種類 [2]	説明 [3]	ZCZ ピン [4]	ZFG ピン [4]	ZEJ ピン [4]	ZNC ピン [4]
SPI3_CLK	IO	SPI3 クロック	C8	A9	A8	
SPI3_CS0	IO	SPI3 チップ セレクト 0	D7	B9	B7	
SPI3_CS1	IO	SPI3 チップ セレクト 1	C13	A17	A14	A16
SPI3_D0	IO	SPI3 データ 0	C7	C7	C8	C9
SPI3_D1	IO	SPI3 データ 1	B7	D8	A7	A9

5.3.21 システム、その他

5.3.21.1 ブート モードの構成

表 5-56. ブート モード信号の説明

信号名 [1]	ピンの種類 [2]	概要 [3]	ZCZ ピン [4]	ZFG ピン [4]	ZEJ ピン [4]	ZNC ピン [4]
SOP0		ブート モード構成ビット 0 (GPIO3)	N1	R2	M2	N2
SOP1		ブート モード構成ビット 1 (GPIO4)	N4	R1	N1	N1
SOP2		ブート モード構成ビット 2 (GPIO12)	A11	A13	A12	A12
SOP3		ブート モード構成ビット 3 (GPIO13)	C10	B12	A10	B12

5.3.21.2 クロック供給

表 5-57. XTAL 信号の説明

信号名 [1]	ピンの種類 [2]	概要 [3]	ZCZ ピン [4]	ZFG ピン [4]	ZEJ ピン [4]	ZNC ピン [4]
XTAL_XI (1)	I	外部クリスタル (XTAL) 入力	T1	Y3	T3	W3
XTAL_XO (1)	O	外部クリスタル (XTAL) 出力	R1	Y2	T2	W2

(1) XTAL インターフェイスには、25 MHz クロック ソースが必要です。

表 5-58. 出力クロック信号の説明

信号名 [1]	ピンの種類 [2]	説明 [3]	ZCZ ピン [4]	ZFG ピン [4]	ZEJ ピン [4]	ZNC ピン [4]
CLKOUT0	O	出力クロック 0	E1、M2	F2、M1	E3、H1	E3、J3
CLKOUT1	O	出力クロック 1	B16	B19	C15	

表 5-59. 外部基準クロック信号の説明

信号名 [1]	ピンの種類 [2]	説明 [3]	ZCZ ピン [4]	ZFG ピン [4]	ZEJ ピン [4]	ZNC ピン [4]
EXT_REFCLK0	I	外部基準クロック入力	P2	U2	P3	T1

5.3.21.3 エミュレーションおよびデバッグ

表 5-60. トレース信号の説明

信号名 [1]	ピンの種類 [2]	説明 [3]	ZCZ ピン [4]	ZFG ピン [4]	ZEJ ピン [4]	ZNC ピン [4]
TRC_CLK	O	トレース クロック	D15、K16	C18、L20	G15	B16、J19
TRC_CTL	O	トレース制御	C15、G17	C19、K19	F14	B17、G17
TRC_DATA0	O	トレース データ 0	F15、K17	F20、N17	K14	E18、M18
TRC_DATA1	O	トレース データ 1	C18、K18	E20、N19	H14	L19
TRC_DATA2	O	トレース データ 2	D17、J18	E19、M18	G16	K19
TRC_DATA3	O	トレース データ 3	D18、J17	G18、M20	J14	C19、L17
TRC_DATA4	O	トレース データ 4	E16	F19	E13	D19
TRC_DATA5	O	トレース データ 5	F16	G19	D15	E19
TRC_DATA6	O	トレース データ 6	F18	H20	D14	G18
TRC_DATA7	O	トレース データ 7	G16	H19	D16	F18
TRC_DATA8	O	トレース データ 8	E17	H17		E17
TRC_DATA9	O	トレース データ 9	E18	G20		F19
TRC_DATA10	O	トレース データ 10	C16	B20		B18
TRC_DATA11	O	トレース データ 11	A17	E18		A18
TRC_DATA12	O	トレース データ 12	B18	F17		D18
TRC_DATA13	O	トレース データ 13	B17	D20		C18
TRC_DATA14	O	トレース データ 14	D16	C20		B19
TRC_DATA15	O	トレース データ 15	C17	D19		C17

Copyright © 2025 Texas Instruments Incorporated

表 5-61. JTAG 信号の説明

信号名 [1]	ピンの種類 [2]	概要 [3]	ZCZ ピン [4]	ZFG ピン [4]	ZEJ ピン [4]	ZNC ピン [4]
TCK	I	JTAG テスト クロック入力	B3	D4	C6	B6
TDI	I	JTAG テスト データ入力	C5	C5	D5	C7
TDO	O	JTAG テスト データ出力	C4	E5	B5	A7
TMS	IO	JTAG テスト モード選択入力	D5	D6	C7	B7

5.3.21.4 システム

表 5-62. システム信号の説明

信号名 [1]	ピンの種類 [2]	概要 [3]	ZCZ ピン [4]	ZFG ピン [4]	ZEJ ピン [4]	ZNC ピン [4]
PORz	I	デバイスパワーオン (PORz) コールド リセット	R2	V3	P2	T2
SAFETY_ERRORn	IO	ESM 安全エラー信号	D4、M2、P2	E3、M1、U2	B3、H1、P3	C5、J3、T1
WARMRSTn	IO	ウォーム リセット要求 (入力) / ウォーム リセット ステータス (出力)	C3	G3	C3	C3

5.3.21.5 VMON

表 5-63. VMON 信号の説明

信号名 [1]	ピンの種類 [2]	概要 [3]	ZCZ ピン [4]	ZFG ピン [4]	ZEJ ピン [4]	ZNC ピン [4]
VSYS_MON (1)	-	0.9V (±3%) セットポイント付きの外部電圧モニタ。	U2	Y4	R5	V5

(1) このピンの詳細については、*電気的仕様 - 安全コンパレータセクション*を参照してください。

5.3.21.6 予約済み

表 5-64. 予約済み信号の説明

信号名 [1]	ピンの種類 [2]	概要 [3]	ZCZ ピン [4]	ZFG ピン [4]	ZEJ ピン [4]	ZNC ピン [4]
ATESTV1	-	予約済み。このピンは未接続にしておかなくてはなりません。	T6	W5	T4	W5
TEMPCAL	-	予約済み。このピンは、接地する (VSS) に接続する必要があります。	U1	W3	P5	W4

表 5-65. 未接続の説明

信号名 [1]	ピンの種類 [2]	説明 [3]	ZCZ ピン [4]	ZFG ピン [4]	ZEJ ピン [4]	ZNC ピン [4]
NC (1)	NC	非接続	J15、R7、R9、T15、T7、U4、U5、U6、U7、U8、U9、V3、V4、V5、V6、V7、V8	U17		

(1) これらのピンは未接続のままにしてください。

5.3.22 UART

表 5-66. UART0 信号の説明

信号名 [1]	ピンの種類 [2]	概要 [3]	ZCZ ピン [4]	ZFG ピン [4]	ZEJ ピン [4]	ZNC ピン [4]
UART0_CTSn	I	UART CTS (Clear to Send) (アクティブ Low)	A5、B7	A7、D8	A7	A9
UART0_RTSn	O	UART RTS (Request to Send) (アクティブ Low)	C6、C7	B4、C7	C8	C9
UART0_RXD	I	UART 受信データ	A7、B6	A8、B7	A6	A8
UART0_TXD	O	UART 送信データ	A4、A6	A6、B8	B6	B8

表 5-67. UART1 信号の説明

信号名 [1]	ピンの種類 [2]	概要 [3]	ZCZ ピン [4]	ZFG ピン [4]	ZEJ ピン [4]	ZNC ピン [4]
UART1_CTSn	I	UART CTS (Clear to Send) (アクティブ Low)	B15、G4	A18、J2	B16	A17
UART1_DCDn	I	UART DCD (データ キャリア検出) (アクティブ Low)	J4、N1	L4、R2	H3、M2	H1、N2
UART1_DSRn	I	UART DSR (データセット レディ) (アクティブ Low)	V17	W16	R14	V15
UART1_DTRn	O	UART DTR (データ ターミナル レディ) (アクティブ Low)	K1、K3	M2、N1	G1、J2	J1、K1
UART1_RIn	I	UART リング インジケータ	K4、N4	L1、R1	H2、N1	H2、N1
UART1_RTSn	O	UART RTS (Request to Send) (アクティブ Low)	B12、J2	B14、L2	F3	G1
UART1_RXD	I	UART 受信データ	A9、L3、M2、U18	A11、M1、T3、Y19	C10、H1、M1、R16	A11、J3、L2、W18
UART1_TXD	O	UART 送信データ	B9、G1、L2、M3、T18	B11、K4、N2、R4、W19	D8、F2、K2、L1、N14	B10、F2、J2、M1、V18

表 5-68. UART2 信号の説明

信号名 [1]	ピンの種類 [2]	概要 [3]	ZCZ ピン [4]	ZFG ピン [4]	ZEJ ピン [4]	ZNC ピン [4]
UART2_CTSn	I	UART CTS (Clear to Send) (アクティブ Low)	C13、D14、H1	A17、C16、J3	A14、A15	A16
UART2_RTSn	O	UART RTS (Request to Send) (アクティブ Low)	A12、B16、F3、J3、R3	A14、B19、F1、J1、T2	C15、F4、M3	E2、R2
UART2_RXD	I	UART 受信データ	B5、B8、D13、J1	B10、B17、B6、K2	B8、C14、G3	A10
UART2_TXD	O	UART 送信データ	A16、A3、A8、G4	A10、A19、B5、J2	C16、C9	B9

Copyright © 2025 Texas Instruments Incorporated

表 5-69. UART3 信号の説明

信号名 [1]	ピンの種類 [2]	概要 [3]	ZCZ ピン [4]	ZFG ピン [4]	ZEJ ピン [4]	ZNC ピン [4]
UART3_CTSn	I	UART CTS (Clear to Send) (アクティブ Low)	C10、G18、K1、K2、K3、N2	B12、J20、K1、M2、M3、N1	A10、E16、G1、G2、J2、L2	B12、G2、J1、J18、K1、M2
UART3_RTSn	O	UART RTS (Request to Send) (アクティブ Low)	A2、B11、G17、J1	A4、C12、K19、K2	A11、F14、G3	B11、G17
UART3_RXD	I	UART 受信データ	B12、C11、C7、D15、K16、P1	B13、B14、C18、C7、L20、U4	B11、C8、G15、N3	B16、C13、C9、J19、R1
UART3_TXD	O	UART 送信データ	A11、A12、B7、C15、J17、R3	A13、A14、C19、D8、M20、T2	A12、A7、J14、M3	A12、A9、B17、L17、R2

表 5-70. UART4 信号の説明

信号名 [1]	ピンの種類 [2]	説明 [3]	ZCZ ピン [4]	ZFG ピン [4]	ZEJ ピン [4]	ZNC ピン [4]
UART4_CTSn	I	UART CTS (Clear to Send) (アクティブ Low)	A14、T16	B16、Y16	C13、T14	A15、W15
UART4_RTSn	O	UART RTS (Request to Send) (アクティブ Low)	B14、V17	A16、W16	D13、R14	B15、V15
UART4_RXD	I	UART 受信データ	A10、D11、H1、H2、N18	A12、D15、H1、J3、U20	B10、B13、E1、L15	B14、F1、R18
UART4_TXD	O	UART 送信データ	C12、C9、G3、J3、N17	C14、D11、H2、J1、T19	B9、C12、E2、M15	A14、E1、T18

表 5-71. UART5 信号の説明

信号名 [1]	ピンの種類 [2]	概要 [3]	ZCZ ピン [4]	ZFG ピン [4]	ZEJ ピン [4]	ZNC ピン [4]
UART5_CTSn	I	UART CTS (Clear to Send) (アクティブ Low)	B15、D13	A18、B17	B16、C14	A17
UART5_RTSn	O	UART RTS (Request to Send) (アクティブ Low)	A16	A19	C16	
UART5_RXD	I	UART 受信データ	A15、C13、D9、R16、V2	A17、B18、C9、V1、Y17	A14、B15、C11、R1、R15	A16、V1、V16
UART5_TXD	O	UART 送信データ	B10、B15、C14、P15、U3	A18、D10、D17、W1、W17	A9、B14、B16、P1、T15	A17、U1、W16

5.3.23 USB0

表 5-72. USB0 信号の説明

信号名 [1]	ピンの種類 [2]	説明 [3]	ZCZ ピン [4]	ZFG ピン [4]	ZEJ ピン [4]	ZNC ピン [4]
USB0_DM	IO	USB 2.0 差動データ (負)	U3	W1	P1	U1
USB0_DP	IO	USB 2.0 差動データ (正)	V2	V1	R1	V1
USB0_DRVVBUS	O	USB VBUS 制御出力 (アクティブ High)	B8、M2、P2	B10、M1、U2	B8、H1、P3	A10、J3、T1

5.3.24 XBAR

表 5-73. 出力 XBAR 信号の説明

信号名 [1]	ピンの種類 [2]	概要 [3]	ZCZ ピン [4]	ZFG ピン [4]	ZEJ ピン [4]	ZNC ピン [4]
XBAROUT0	O	OUTPUTXBAR 信号 0	C11、R3	B13、T2	B11、M3	C13、R2
XBAROUT1	O	OUTPUTXBAR 信号 1	A11、C9	A13、D11	A12、B9	A12
XBAROUT2	O	OUTPUTXBAR 信号 2	A10、C10	A12、B12	A10、B10	B12
XBAROUT3	O	OUTPUTXBAR 信号 3	B10、B11	C12、D10	A11、A9	B11
XBAROUT4	O	OUTPUTXBAR 信号 4	A7、D9	A8、C9	A6、C11	A8
XBAROUT5	O	OUTPUTXBAR 信号 5	A6、A9	A11、B8	B6、C10	A11、B8
XBAROUT6	O	OUTPUTXBAR 信号 6	B9、G17	B11、K19	D8、F14	B10、G17
XBAROUT7	O	OUTPUTXBAR 信号 7	D7、K16	B9、L20	B7、G15	J19
XBAROUT8	O	OUTPUTXBAR 信号 8	C8、K17	A9、N17	A8、K14	M18
XBAROUT9	O	OUTPUTXBAR 信号 9	C7	C7	C8	C9
XBAROUT10	O	OUTPUTXBAR 信号 10	B7	D8	A7	A9
XBAROUT11	O	OUTPUTXBAR 信号 11	D16、K18	C20、N19	H14	B19、L19
XBAROUT12	O	OUTPUTXBAR 信号 12	C17、J18	D19、M18	G16	C17、K19
XBAROUT13	O	OUTPUTXBAR 信号 13	D15、J17	C18、M20	J14	B16、L17
XBAROUT14	O	OUTPUTXBAR 信号 14	C15、L17	C19、R19	K15	B17、N17
XBAROUT15	O	OUTPUTXBAR 信号 15	L18、P2	R20、U2	K16、P3	P19、T1

表 5-74. 外部 ADC チャネル選択 XBAR 信号の説明

信号名 [1]	ピンの種類 [2]	概要 [3]	ZCZ ピン [4]	ZFG ピン [4]	ZEJ ピン [4]	ZNC ピン [4]
ADC_EXTCH_XBAROUT0	O	外部 ADC チャネル選択 XBAR 信号 0	C11、C13	A17、B13	A14、B11	A16、C13
ADC_EXTCH_XBAROUT1	O	外部 ADC チャネル選択 XBAR 信号 1	A11、C14	A13、D17	A12、B14	A12
ADC_EXTCH_XBAROUT2	O	外部 ADC チャネル選択 XBAR 信号 2	C10、C12	B12、C14	A10、C12	A14、B12
ADC_EXTCH_XBAROUT3	O	外部 ADC チャネル選択 XBAR 信号 3	B11、D11	C12、D15	A11、B13	B11、B14
ADC_EXTCH_XBAROUT4	O	外部 ADC チャネル選択 XBAR 信号 4	C9、G17、P15	D11、K19、W17	B9、F14、T15	G17、W16
ADC_EXTCH_XBAROUT5	O	外部 ADC チャネル選択 XBAR 信号 5	A10、K16、R16	A12、L20、Y17	B10、G15、R15	J19、V16
ADC_EXTCH_XBAROUT6	O	外部 ADC チャネル選択 XBAR 信号 6	B10、F15、K17	D10、F20、N17	A9、K14	E18、M18
ADC_EXTCH_XBAROUT7	O	外部 ADC チャネル選択 XBAR 信号 7	C18、D9、K18	C9、E20、N19	C11、H14	L19
ADC_EXTCH_XBAROUT8	O	外部 ADC チャネル選択 XBAR 信号 8	B15、J18	A18、M18	B16、G16	A17、K19
ADC_EXTCH_XBAROUT9	O	外部 ADC チャネル選択 XBAR 信号 9	A15、J17	B18、M20	B15、J14	L17

Copyright © 2025 Texas Instruments Incorporated

5.4 ピン接続要件

このセクションでは、特定の接続要件を持つパッケージ ボールおよび未使用ボールの接続要件について説明します。

ピン接続要件

ZCZ ボール番号	ZFG ボール番号	ZEJ ボール番号	ZNC ボール番号	ボール名	ピン接続要件
D4	E3	B3	C5	SAFETY_ERRORn	このピンは、PCB 上の信号配線が接続されていて、接続されたデバイスによって積極的に駆動されていない場合でも、論理的に有効な Low レベルに保たれるよう、別途外付けのプルダウン抵抗を介してグランド (VSS) に接続する必要があります。ボールに PCB 信号トレースが接続されていない場合、内部プルダウンを使用して有効なロジック Low レベルを保持できます。
B3 C5 D5	D4 C5 D6	C6 D5 C7	B6 C7 B7	TCK TDI TMS	PCB 信号トレースが接続されており、かつ接続されたデバイスによってアクティブに駆動されていない場合、これらのピンが有効なロジック High レベルに保持されるように、これらの各ボールを個別の外付けプル抵抗を介して対応する電源に接続する必要があります。ボールに PCB 信号トレースが接続されていない場合、内部プルアップを使用して有効なロジック High レベルを保持できます。
A13 B13	A15 B15	A13 B12	A13 B13	GPIO135 (I2C0_SCL) GPIO134 (I2C0_SDA)	これらのピンが有効なロジック High レベルに保持されるように、これらの各ボールを個別の外付けプル抵抗を介して対応する電源に接続する必要があります。
N1 N4 A11 C10	R2 R1 A13 B12	M2 N1 A12 A10	N2 N1 A12 B12	GPIO3 (SOP0) GPIO4 (SOP1) GPIO12 (SOP2) GPIO13 (SOP3)	これらの各ピンは、デバイスのブート モードを適切に選択できるよう、それぞれ対応する電源またはグランド (VSS) に別々の外付けプルアップまたはプルダウン抵抗を介して接続し、論理的に有効な High または Low レベルに保たれるようにする必要があります。
U16	V16	R13	U15	ADC_CAL0	すべての ADC インスタンス (ADC[0:2]_AIN[0:6]) の ADCx_AINy 入力が使用されない場合、ADC_CAL0 アナログ ピンはグランド (VSS) に直接接続 (短絡) する必要があります。
U2	Y4	R5	V5	VSYS_MON	VSYS_MON を使用しない場合、このピンを VSS に直接接続 (短絡) する必要があります。
T4	V7	N8	T8	VDD_TEMP	内部温度ダイオードを使用する場合、このピンは 1.2V/1.25V の電源レールに接続する必要があります。内部温度ダイオードを使用しない場合、このピンはグランド (VSS) に直接接続 (短絡) することができます。
T6	W5	T4	W5	ATESTV1	このピンは予約済みで、未接続のままにする必要があります。
U1	W3	P5	W4	TEMPCAL	このピンは予約済みで、グランド (VSS) に接続する必要があります。
NC ZCZ ピン	NC ZFG ピン	-	-	NC	NC とラベル表示されているピンは、未接続のままにします。
ADC ZCZ ピン	ADC ZFG ピン	ADC ZEJ ピン	ADC ZNC ピン	ADC[0:2]_AIN[0:6]	ADC インスタンス (ADC[0:2]_AIN[0:6]) の未使用の ADCx_AINy 入力ピンは、グランド (VSS) に直接接続 (短絡) する必要があります。
LVCMOS ZCZ ピン	LVCMOS ZFG ピン	LVCMOS ZEJ ピン	LVCMOS ZNC ピン	任意の LVCMOS 電圧バッファ ピン	ピンに関連する IOMUX パッド構成レジスタが存在する場合は、未接続のままにできます。PORz の後、LVCMOS 電圧バッファは未接続ボールと互換性のあるデフォルト状態に構成されます。

6 仕様

6.1 絶対最大定格

動作時接合部温度範囲内 (特に記述のない限り)[(1) (2)]

パラメータ		最小値	最大値	単位
VDD	SOC VDD コア電源	-0.5	1.5	V
VDDAR1	SRAM アレイ 電源 1	-0.5	1.5	V
VDDAR2	SRAM アレイ 電源 2	-0.5	1.5	V
VDDAR3	SRAM アレイ 電源 3	-0.5	1.5	V
VDDS18	1.8V IO バイアス 電源は バイアス LDO から供給され、基板を経由して配線	-0.5	2.1	V
VDDS33	3.3V IO 電源	-0.5	4.0	V
VDDA18_OSC_PLL	1.8V PLL 用アナログ 電源。1.8V アナログ LDO 出力からボードを介して配線	-0.5	2.1	V
VDDA33	アナログ 3.3V 電源	-0.5	4.0	V
VDDA18	1.8V アナログ電源。1.8V アナログ LDO 出力からボードを介して配線	-0.5	2.1	V
IO ピン 定常状態電圧	3.3V LVCMOS IO バッファ	-0.3	VDDS33[(3)] + 0.3	V
	3.3V I2C オープンドレイン IO バッファ	-0.3	VDDS33[(3)] + 0.3	V
	XTAL パッド	-0.5	2.1	V
過渡的な オーバーシュートおよび アンダーシュート	その他すべての IO 端子	-0.3	VDDS33 [(3)]＋ 0.2 × VDDS33 [(3)](信号周期の最大 20% まで)	V
	XTAL パッド VDDA18_OSC_PLL の 20% (信号周期の最大 20% まで)		0.2 × VDDA18_OSC_PLL	V
ラッチアップ性能 クラス II (150°C)	ラッチアップ電流試験性能 (各 IO ピンへの電流パルス注入)		±100	mA
	ラッチアップ過電圧性能 (各 IO ピンへの電圧注入)		1.5 × VDDS33	V
出力電流	デジタル出力 (ピンごと)、I_{OUT}	-20	20	mA
保存温度[(4)]	T_{stg}	-55	155	℃

(1) 「絶対最大定格」の範囲外の動作は、デバイスの永続的な損傷の原因となる可能性があります。「絶対最大定格」は、これらの条件において、または「推奨動作条件」に示された値を超える他のいかなる条件でも、本製品が正しく動作することを意味するものではありません。「絶対最大定格」の範囲内であっても「推奨動作条件」の範囲外で使用すると、デバイスが完全に機能しない可能性があり、デバイスの信頼性、機能、性能に影響を及ぼし、デバイスの寿命を縮める可能性があります。
(2) すべての電圧値は、特に記述のない限り、VSS 端子を基準とします。
(3) VDDS33 は、IC の対応する電源ピンの電圧です。
(4) 長期にわたる高温保存または最高温度条件での長時間使用は、デバイスの寿命を縮める可能性があります。詳細については、*『半導体および IC パッケージの熱評価基準』アプリケーション レポート*を参照してください。

Copyright © 2025 Texas Instruments Incorporated

6.2 静電気放電 (ESD) 拡張車載定格

推奨動作条件範囲内 (特に記述のない限り)

				値	単位
324 ボール ZCZ-Q1 パッケージ					
$V_{(ESD)}$	Electrostatic Discharge (ESD) (静電気放電)	人体モデル (HBM)、AEC-Q100-002 準拠[(1)]		±2000	V
		荷電デバイス モデル (CDM)、AEC-Q100-011 準拠	すべてのピン	±500	
			324 ボール ZCZ のコーナー ボール: A1、A18、V1、V18	±750	
256 ボール ZEJ-Q1 パッケージ					
$V_{(ESD)}$	Electrostatic Discharge (ESD) (静電気放電)	人体モデル (HBM)、AEC-Q100-002 準拠[(1)]	人体モデル (HBM)、AEC-Q100-002 準拠[(1)]	±2000	V
		荷電デバイス モデル (CDM)、AEC-Q100-011 準拠	すべてのピン	±500	
			256 ボール ZCZ のコーナー ボール: A1、A16、T1、T16	±750	

(1) AEC Q100–002 は、HBM ストレス試験を ANSI/ESDA/JEDEC JS–001 仕様に従って実施しなければならないと規定しています

6.3 静電気放電 (ESD) 産業用評価

推奨動作条件範囲内 (特に記述のない限り)

			値	単位
324 ボール ZCZ パッケージ				
$V_{(ESD)}$	Electrostatic Discharge (ESD) (静電気放電)	人体モデル (HBM)、ANSI/ESDA/JEDEC JS-001 準拠[(1)]	±2000	V
		デバイス帯電モデル (CDM)、ANSI/ESDA/JEDEC JS-002 準拠 [(2)]	±500	
304 ボール ZFG パッケージ				
$V_{(ESD)}$	Electrostatic Discharge (ESD) (静電気放電)	人体モデル (HBM)、ANSI/ESDA/JEDEC JS-001 準拠[(1)]	±2000	V
		デバイス帯電モデル (CDM)、ANSI/ESDA/JEDEC JS-002 準拠 [(2)]	±500	
256 ボール ZEJ パッケージ				
$V_{(ESD)}$	Electrostatic Discharge (ESD) (静電気放電)	人体モデル (HBM)、ANSI/ESDA/JEDEC JS-001 準拠[(1)]	±2000	V
		デバイス帯電モデル (CDM)、ANSI/ESDA/JEDEC JS-002 準拠 [(2)]	±500	
293 ボール ZNC パッケージ				
$V_{(ESD)}$	Electrostatic Discharge (ESD) (静電気放電)	人体モデル (HBM)、ANSI/ESDA/JEDEC JS-001 準拠[(1)]	±2000	V
		デバイス帯電モデル (CDM)、ANSI/ESDA/JEDEC JS-002 準拠 [(2)]	±500	

(1) JEDEC のドキュメント JEP155 に、500V HBM では標準の ESD 管理プロセスで安全な製造が可能であると規定されています。
(2) JEDEC ドキュメント JEP157 には、250V CDM であれば標準的な ESD 管理プロセスにより安全な製造が可能であると記載されています。

6.4 電源投入時間 (POH) の概要

推奨動作条件範囲内 (特に記述のない限り)[(1) (2) (3)]

パラメータ		産業用拡張	拡張自動車用
動作時の接合部温度 (T_j)		–40℃～125℃	–40℃～150℃

推奨動作条件範囲内 (特に記述のない限り)(1) (2) (3)

パラメータ		産業用拡張	拡張自動車用
POH @ 温度プロファイル	R5F = 400MHz(5) (6)	100K @ 105℃ (100% @ 105℃) 25K @ 125℃ (100% @ 125℃)	20K @ 車載用温度プロファイル(4)
	R5F = 500MHz (デフォルト)	55K @ 105℃ (100% @ 105℃) 15K @ 125℃ (100% @ 125℃)	20K @ 車載用温度プロファイル(4)

(1) この情報は、お客様の利便性のみを目的として提供されるものであり、テキサス・インスツルメンツの半導体製品に関する標準的な契約条件に基づいて提供される保証を拡張または変更するものではありません。
(2) 上記の表に記述されていない限り、すべての電圧ドメインと動作条件は、記載された温度において本デバイスでサポートされています。
(3) POH は、電圧、温度、時間の関数です。 より高い電圧および温度で使用すると POH が低減します。
(4) 「車載用温度プロファイル」セクションを参照してください。
(5) AM261x デバイスでは、R5F コア周波数を下げることで POH 性能が向上します。
(6) ただし、「O」速度グレードのデバイスは、コア周波数設定に関わらず、R5F の 500MHz 推奨動作条件を遵守する必要があります。

6.4.1 車載用温度プロファイル

T_J (℃)	時間	日	年	時間の割合
-40	1200	≒50	≒0.14	6%
75	4000	≒167	≒0.46	20%
95	13000	≒541	≒1.48	65%
130	1600	≒67	≒0.18	8%
150	200	≒8.5	≒0.023	1%
合計	20000	≒833	≒2.28	100%

Copyright © 2025 Texas Instruments Incorporated

6.5 推奨動作条件

接合部動作温度範囲内 (特に記述のない限り)

パラメータ	説明		最小値	公称値	最大値	単位
VDD[(1)]	SOC VDD コア電源	R5F = 400MHz	1.140	1.2	1.26	V
		R5F = 500MHz	1.188	1.25	1.32	V
VDDAR1、VDDAR2、VDDAR3[(1)]	SRAM アレイ 電源	R5F = 400MHz	1.140	1.2	1.26	V
		R5F = 500MHz	1.188	1.25	1.32	V
VDDS18	1.8V IO バイアス 電源は バイアス LDO から供給され、基板を経由して配線		1.710	1.800	1.890	V
VDDS33	3.3V IO 電源		3.135	3.300	3.465	V
VDDA18_OSC_PLL	1.8V PLL 用アナログ 電源。アナログ LDO 出力からボードを介して配線		1.710	1.800	1.890	V
VDDA33	アナログ 3.3V 電源		3.135	3.300	3.465	V
VDDA18	1.8V アナログ電源。1.8V アナログ LDO 出力からボードを介して配線		1.710	1.800	1.890	V
Tj	動作ジャンクション温度範囲	拡張自動車用	-40		150	℃
T_J	動作ジャンクション温度範囲	産業用拡張	-40		125	℃

(1) ただし、「O」速度グレードのデバイスは、コア周波数設定に関わらず、R5F の 500MHz 推奨動作条件を遵守する必要があります。

6.6 動作性能ポイント

このセクションでは、デバイスの動作条件について説明します。また、プロセッサ クロック、デバイス コア クロック、使用可能なメモリの各動作性能の特長 (OPP) についても説明します。

デバイス	グレード	RAM (MB)	R5FSS (MHz)	HSM (MHz)	ICSS (MHz)	INFRA[(1)] (MHz)
AM261x	L	1.5	400	200	200	200
AM261x	O[(2)]	1.5	500	250	225	200
AM261x	P	1.5	200	200	200	200

(1) 特に表中で注記がない限り、インフラストラクチャには、デバイスに統合されている他のすべてのモジュールや IP (たとえば、CBASS/インターコネクトやその他の SoC レベルのペリフェラル) が含まれます。
(2) 「O」速度グレードのデバイスは、コア周波数の設定に関係なく、500MHz で R5F の推奨動作条件に従う必要があります

6.7 消費電力の概略

セクション 6.7.1 における「*消費電力 - 最大*」は各電源レールの最大電流消費を示し、電源選定に用いるべきです。「

6.7.1 消費電力 - 400MHz 動作時の R5F 最大値

R5F が 400MHz、T_J が 150℃ の場合

電源名	パラメータ		最小値	最大[(1)]	単位
VDD + VDDARn	コア ドメインおよび SRAM 電源の最大電流定格			1.75	A
VDDS33	3.3V IO 電源の最大電流定格	3.3V IO のみ[(2)]		200	mA
		1.8V IO および 3.3V IO[(3)]		120	mA
VDDS18	1.8V IO 電源の最大電流定格	3.3V IO のみ[(2)]		0	mA
		1.8V IO および 3.3V IO[(3)]		80	mA
VDDA33	3.3V アナログ電源の最大電流定格			100	mA

(1) 最大値は各電源レールに必要な最大電流を示しており、電源選定の目的のみで使用されます。 典型的なアプリケーションにおける消費電力については、「*消費電力 - 標準*」を参照してください。
(2) これはすべての IO が 3.3V ドメインで動作している場合の値です。
(3) また、OSPI0 および OSPI1 の IO が 1.8V ドメインで動作している場合の値も含みます。

6.7.2 消費電力 - 500MHz での R5F での最大値

R5F を 500MHz に T_J を 125℃ に設定

電源名	パラメータ		最小値	最大値 [(1)]	単位
VDD + VDDARn	コア ドメインおよび SRAM 電力の最大電流定格			1.5	A
VDDS33	3.3V IO 電源の最大電流定格	3.3V IO のみ[(2)]		200	mA
		1.8V IO と 3.3V IO[(3)]		120	mA
VDDS18	1.8V IO 電源の最大電流定格	3.3V IO のみ[(2)]		0	mA
		1.8V IO と 3.3V IO[(3)]		80	mA
VDDA33	3.3V アナログ電源の最大定格電流			100	mA

(1) 最大値は各電源レールで必要となる最大電流量を示しており、電源選定の参考用としてのみ意図されています。 標準的なアプリケーションでの消費電力については、「*消費電力 - 標準値*」を参照してください。
(2) これは、すべての IO が 3.3V ドメインで動作しているときです。
(3) これは、OSPI0 および OSPI1 IO が 1.8V ドメインで動作しているときです。

Copyright © 2025 Texas Instruments Incorporated

6.8 電気的特性

注

*デジタル入出力およびアナログ入出力の電気的特性*で説明されているインターフェイスまたは信号は、多重化モード 0 (プライマリ機能) で使用可能なインターフェイスまたは信号に対応しています。

これらの表に記載されているボール上で多重化されたすべてのインターフェイスまたは信号は、多重化に PHY と GPIO の組み合わせが含まれている場合を除き、DC 電気的特性はすべて同じです。PHY と GPIO の組み合わせが含まれている場合、異なる多重化モード (機能) に異なる DC 電気的特性が規定されます。

Am261x は、VDDS1833_flash0 および VDDS1833_flash1 に接続された電源に基づき、1.8V または 3.3V 互換の IO を備えています。1.8V IO の電気的特性は、このデータシートの将来のリビジョンで更新される予定です。

6.8.1 デジタルおよびアナログ IO 電気的特性

推奨動作条件範囲内 (特に記述のない限り)

パラメータ		最小値	標準値	最大値	単位
PORz IO					
V_{IH}	High レベル入力電圧	1.35			V
V_{IL}	Low レベル入力電圧			0.5	V
V_{HYS}	入力でのヒステリシス電圧	0.070			V
I_L	入力リーク電流	-2		2	µA
ウォーム リセット IO					
V_{IH}	High レベル入力電圧	2.15			V
V_{IL}	Low レベル入力電圧			0.55	V
V_{HYS}	入力でのヒステリシス電圧	0.347			V
V_{OL}	Low レベル出力電圧、ドライバがイネーブル : I_{OL} = 6mA			0.45	V
I_L	入力リーク電流、レシーバ ディセーブル、プル ディセーブル	-57			µA
TCK IO					
V_{IH}	High レベル入力電圧	2.15			V
V_{IL}	Low レベル入力電圧			0.55	V
V_{HYS}	入力でのヒステリシス電圧	0.4			V
I_L	入力リーク電流、レシーバ ディセーブル、プル ディセーブル	-3.9	8.9	17.2	µA
	入力リーク電流、レシーバ ディセーブル、プルアップ イネーブル		106.9	128.2	µA
	入力リーク電流、レシーバ ディセーブル、プルダウン イネーブル		100.3	130.3	µA
I2C OD IO					
V_{IH}	High レベル入力電圧	2			V
V_{IL}	Low レベル入力電圧			0.55	V
V_{HYS}	入力でのヒステリシス電圧	0.165			V
I_L	入力リーク電流、レシーバ ディセーブル、プル ディセーブル	-18		18	µA
V_{OL}	Low レベル出力電圧、ドライバがイネーブル : I_{OL} = 3mA			0.45	V
他のすべての LVCMOS					
V_{IH}	High レベル入力電圧	2			V
V_{IL}	Low レベル入力電圧			0.55	V
V_{HYS}	入力でのヒステリシス電圧	0.265			V
V_{OL}	Low レベル出力電圧、ドライバがイネーブル : I_{OL} = 6mA			0.45	V

推奨動作条件範囲内 (特に記述のない限り)

パラメータ		最小値	標準値	最大値	単位
V_{OH}	High レベル出力電圧、ドライバがイネーブル: I_{OH} = 6mA	VDDS33[(1)] - 0.45			V
I_L	入力リーク電流、レシーバ ディセーブル、プル ディセーブル	-18		18	µA
	入力リーク電流、レシーバ ディセーブル、プルアップ イネーブル	-243	-100	-19	µA
	入力リーク電流、レシーバ ディセーブル、プルダウン イネーブル	51	100	210	µA

(1) VDDS33 は、IC の対応する電源ピンの電圧です。

Copyright © 2025 Texas Instruments Incorporated

6.8.2 A/D コンバータの特性

本セクションでは、デバイスの適切な動作を保証するために必要なアナログ-デジタル コンバータの電気的特性について説明します。

6.8.2.1 A/D コンバータ (ADC)

接合部動作温度範囲内 (特に記述のない限り)

パラメータ	テスト条件	最小値	標準値	最大値	単位
V_{REFHI}		1.71	1.8	1.89	V
入力変換範囲 (Vin+、Vin-)	VDDA33 未満である必要があります	0		33/18 × V_{REFHI}	V
パワーアップ時間				500	µs
ゲイン誤差		-5	±3	5	LSB
オフセット エラー		-4	±2	4	LSB
チャネル間ゲイン誤差			±4		LSB
チャネル間オフセット誤差			±2		LSB
ADC 間ゲイン誤差	同じ参照グループ		±4		LSB
ADC 間ゲイン誤差	同じ参照グループ		±2		LSB
DNL	入力ノイズを最小化する制御環境	-1	±0.5	1	LSB
INL	入力ノイズを最小化する制御環境	-2	±1.0	2	LSB
SNR	入力ノイズを最小化する制御環境		68		dB
ENOB (同期動作)			11		ビット
ENOB (非同期動作)			9.7		ビット
ADC - ADC 絶縁	同期動作	-10		10	LSB
V_{REFHI} 入力電流			500		µA
変換時間				330	ns
サンプリング持続時間		75			ns
寄生入力容量 (C_p)(1)			7		pF
サンプル/ホールド抵抗 (R_{on})(1)				1.2	kΩ
サンプル/ホールド容量 (C_h)(1)				8	pF
入力リーケージ		-1.2	0.1	1.2	µA
電源 (VDDA33)		3.13	3.3	3.46	V
電源 (VDDA18)		1.71	1.8	1.89	V
消費電力 (VDDA33)			200		µA
消費電力 (VDDA18)			500		µA
最大入力クロック周波数	最小パルス幅は 7.5ns で、デューティ サイクルは 50% です		50	66.667	MHz

(1) *ADC 入力モデル を参照*

6.8.2.2 ADC 入力モデル

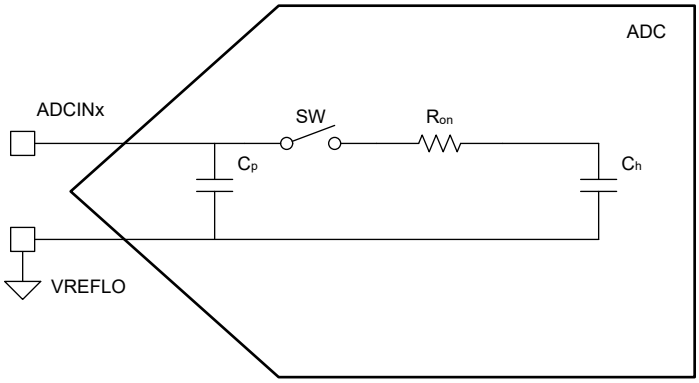


図 6-1. ADC 入力モデル

Copyright © 2025 Texas Instruments Incorporated

6.8.3 コンパレータ サブシステム A (CMPSSA)

サブグループ	パラメータ	最小値	標準値	最大値	単位
コンパレータ	パワーアップ時間			10	µs
	コンパレータ入力範囲	0.1		VDDA33[(1)] – 50mV	V
	入力換算オフセット誤差	-20		20	mV
	ヒステリシス (H1)		該当なし		LSB
	ヒステリシス (H2)		15		LSB
	ヒステリシス (H3)		35		LSB
	ヒステリシス (H4)		55		LSB
	伝搬遅延		21	50	ns
DAC	DAC_VREF 基準電圧	1.71	1.8	1.89	V
	DAC の出力範囲	0.1		33/18×DAC_VREF または VDDA33 [(1)] -50mV の最小電圧	V
	静的オフセット誤差	-45		45	mV
	静的ゲイン誤差	-2		2	FSR の %
	静的 DNL	>-1		4	LSB
	静的 INL	-16		16	LSB
	セトリング タイム			1	µs
	分解能		12		ビット
	DAC 出力の外乱 (コンパレータ トリップ キックバック)	-100		100	LSB
	DAC 出力の外乱 (コンパレータ トリップ キックバック)		200		ns
	DAC_VREF 負荷		37		kΩ
コモン	入力リーケージ	-1.2	0.1	1.2	µA
	電源 (VDDA33)	3.13	3.3	3.46	V
	電源 (VDDA18)	1.71	1.8	1.89	V
	消費電力 (VDDA33)		900		µA
	消費電力 (VDDA18)		120		µA
	フェイルセーフ入力電流注入			10	mA

(1) VDDA33 は、IC の対応する電源ピンの電圧です。

6.8.4 D/A コンバータ (DAC)

接合部動作温度範囲内 (特に記述のない限り)

パラメータ	テスト条件	最小値	標準値	最大値	単位
パワーアップ時間				1	µs
DAC_VREF		1.71	1.8	1.89	V
出力電圧範囲		0.3		VDDA33[(1)] – 0.3	V
トリムされたオフセット誤差	オフセットは中間点でチェックされます (コード 2048)	-10		10	mV
ゲイン誤差	DAC_VREF = 1.8V	-2.5		2.5	FSR の %
DNL	エンドポイント補正	-1		1	LSB
INL	エンドポイント補正	-20		20	LSB
セトリング タイム	0.3V から 3V への遷移後 2 LSB (~1.6mV) にセトリング		2		µs
分解能			12		ビット
容量性負荷	出力駆動能力			100	pF
抵抗性負荷	出力駆動能力	5			kΩ
DAC_VREF 負荷	DAC_VREF		64		kΩ
出力ノイズ (100Hz～100KHz)	100Hz～100kHz の積分ノイズ		1		mVrms
SNR @ 1KHz	2MHz DACVALA 更新レート、200kHz の出力フィルタ		60		dB
電源 (VDDA33)		3.13	3.3	3.46	V
電源 (VDDA18)		1.71	1.8	1.89	V
消費電力 (VDDA33)			850		µA
消費電力 (VDDA18)			35		µA

(1) VDDA33 は、IC の対応する電源ピンの電圧です。

6.8.5 パワー マネージメント ユニット (PMU)

接合部動作温度範囲内 (特に記述のない限り)

グループ	パラメータ	最小値	標準値	最大値	単位
PMU	電源 (VDDA33)	3.1	3.3	3.46	V
バンドギャップ	V_{REF} トリム済み	0.886	0.9	0.914	V
1.8V LDO	DC の精度	1.764	1.8	1.836	V
	過渡負荷レギュレーション	1.71	1.8	1.89	V
	DC 負荷レギュレーション			5	mV
	負荷電流	0		100	mA
	パワーアップ時間			800	µs
	突入電流			300	mA
	外部デカップリング コンデンサ	-20%	4.7	20%	µF
ADC リファレンス	ロード レギュレーション		±1		mV
	DC の精度	1.764	1.8	1.836	V
	パワーアップ時間			800	µs
	突入電流			80	mA
	外部デカップリング コンデンサ	-20%	4.7	20%	µF

Copyright © 2025 Texas Instruments Incorporated

6.8.6 安全コンパレータ

パラメータ			最小値	標準値	最大値	単位
C0	C0:1.8V モニタ スレッショルド		1.40	1.5	1.6	V
C1	BGAP モニタ	下限スレッショルド	0.75	0.8	0.85	V
		上限スレッショルド	0.935	1	1.065	V
C2	1.8V 電源と BGAP の関係を監視	下限スレッショルド	1.608	1.65	1.691	V
		上限スレッショルド	1.907	1.956	2.001	V
C3	1.2V/1.25V と BGAP の関係を監視	下限スレッショルド	0.98	1.011	1.041	V
		上限スレッショルド	1.407	1.451	1.494	V
C4	Vref モニタ (ROK0)	下限スレッショルド	1.56	1.61	1.66	V
		上限スレッショルド	2.09	2.16	2.22	V
C5	IO バイアス電源と BGAP との関係を監視	下限スレッショルド	1.58	1.621	1.661	V
		上限スレッショルド	1.928	1.978	2.027	V
C6	Vref モニタ (ROK0B)	下限スレッショルド	1.56	1.61	1.66	V
		上限スレッショルド	2.09	2.16	2.22	V
C7	システム電源監視 (VSYS_MON)	下限スレッショルド	0.873	0.9	0.927	V
C8	低電圧スレッショルド		2.606	2.773	2.94	V

6.9 ワンタイム プログラマブル (OTP) eFuse の VPP 仕様

このセクションは、OTP eFuse のプログラミングに必要な動作条件を規定しています。。

6.9.1 VPP の仕様

推奨動作条件範囲内 (特に記述のない限り)

パラメータ	説明	テスト条件	最小値	公称値	最大値	単位
VDD	OTP 動作時のコア ドメイン電源電圧範囲[(1)]	通常動作時、R5F = 400MHz	1.140	1.200	1.260	V
		通常動作時、R5F = 500MHz	1.188	1.250	1.320	V
VPP	eFuse ROM ドメインの電源電圧範囲	通常動作		非接続		V
	OTP プログラミング時の eFuse ROM ドメインの電源電圧範囲	OTP のプログラミング	1.65	1.7	1.75	V
$I_{(VPP)}$	VPP 電流	$I_{(VPP)}$			100	mA
T_A	周囲温度	周囲温度	0	30	50	℃

(1) 詳細については「セクション 6.5」を参照

6.9.2 ハードウェア要件

OTP eFuse にキーをプログラムする場合、以下のハードウェア要件を満たす必要があります。

- OTP レジスタをプログラムしないときは、VPP 電源をディセーブルにする必要があります。
- VPP 電源は、適切なデバイスの電源投入シーケンスの後に立ち上げる必要があります (詳細はセクション 6.11.2.1「*電源オンとリセットのシーケンス*」を参照してください)。

6.9.3 プログラミング シーケンス

OTP eFuse のプログラミング シーケンス:

- 電源投入シーケンスに従ってボードの電源を投入します。パワーアップ時および通常動作中は、VPP 端子に電圧を印加しないでください。
- eFuse のプログラミングに必要な OTP 書き込みソフトウェアをロードします (OTP ソフトウェア パッケージについては、お近くの TI 代理店にお問い合わせください)。
- VPP 端子には、*VPP 仕様*に従った電圧を印加します。
- OTP レジスタをプログラムするソフトウェアを実行します。
- OTP レジスタの内容を検証した後、VPP 端子から電圧を取り除きます。

6.9.4 ハードウェア保証への影響

お客様は、セキュリティ キーによりテキサス・インスツルメンツのデバイスに e-Fuse を使用することは、デバイスを永続的に変更する、ということに同意するものとします。お客様は、プログラム シーケンスが正しくないか中止された場合や、シーケンス ステップを省略した場合などに、e-Fuse が失敗する可能性があることを認めます。さらに、プロダクション キーのエラー コード訂正チェックが失敗した場合、またはイメージが署名されておらず、オプションとして現在アクティブなプロダクション キーで暗号化されていない場合、テキサス・インスツルメンツのデバイスはセキュア ブートに失敗する可能性があります。このような障害が発生すると、テキサス・インスツルメンツのデバイスが動作不能になることがあり、テキサス・インスツルメンツは eFuse を試行する前に、テキサス・インスツルメンツのデバイスがそのデバイス仕様に準拠していることを確認できなくなります。

そのため、セキュリティ キーで eFuse が実行されたテキサス・インスツルメンツのデバイスについて、テキサス・インスツルメンツは一切の責任 (保証またはその他の責任) を負いません。

Copyright © 2025 Texas Instruments Incorporated

6.10 熱抵抗特性

このセクションでは、このデバイスで使用される熱抵抗特性について説明します。

信頼性と動作性の懸念から、デバイスの最大接合部温度は、「推奨動作条件」に示されている T_J 値以下にする必要があります。

6.10.1 ZCZ パッケージの熱特性

システム レベルの熱シミュレーションは、ワーストケースのデバイス消費電力を考慮して実行することを推奨します。

パラメータ	説明	℃/W(1) (2)	空気流 (m/s)(3)
$R\Theta_{JC}$	接合部とケースとの間	6.5	該当なし
$R\Theta_{JB}$	接合部と基板との間	6.6	該当なし
$R\Theta_{JA}$	接合部と自由空気との間	19.9	0
$R\Theta_{JA}$	接合部と空気流との間	13.7	1
		12.5	2
		11.9	3
Ψ_{JT}	接合部とパッケージ上面との間	0.13	0
		0.38	1
		0.52	2
		0.61	3
Ψ_{JB}	接合部と基板との間	6.5	0
		6.0	1
		5.9	2
		5.8	3

(1) これらの値は、JEDEC 定義の 2S2P システム (JEDEC 定義の 1S0P システムに基づくシータ JC [$R\Theta_{JC}$] 値を除く) に基づいており、環境とアプリケーションに基づいて変化します。詳細については、以下の EIA/JEDEC 規格を参照してください。
- JESD51-2、『IC の熱テスト方法の環境条件 - 自然対流 (静止空気)』
- JESD51-3、『リード付き表面実装パッケージ用の有効熱伝導率の低いテスト基板』
- JESD51-6、『IC の熱テスト方法の環境条件 - 強制対流 (空気流)』
- JESD51-7、『リード付き表面実装パッケージ用の有効熱伝導率の高いテスト基板』
- JESD51-9、『エリア アレイ表面実装パッケージの熱測定用テスト基板』

(2) ℃/W = 摂氏温度/ワット
(3) m/s = メートル/秒

Copyright © 2025 Texas Instruments Incorporated

6.10.2 ZFG パッケージの熱抵抗特性

システム レベルの熱シミュレーションは、ワーストケースのデバイス消費電力を考慮して実行することを推奨します。

パラメータ	説明	℃/W(1) (2)	空気流 (m/s)(3)
$R\Theta_{JC}$	接合部とケースとの間	7.1	該当なし
$R\Theta_{JB}$	接合部と基板との間	6.7	該当なし
$R\Theta_{JA}$	接合部と自由空気との間	20.7	0
$R\Theta_{JA}$	接合部と空気流との間	14.5	1
		13.3	2
		12.6	3
Ψ_{JT}	接合部とパッケージ上面との間	0.14	0
		0.40	1
		0.53	2
		0.64	3
Ψ_{JB}	接合部と基板との間	6.5	0
		6.0	1
		5.9	2
		5.9	3

(1) これらの値は、JEDEC 定義の 2S2P システム (JEDEC 定義の 1S0P システムに基づくシータ JC [$R\Theta_{JC}$] 値を除く) に基づいており、環境とアプリケーションに基づいて変化します。詳細については、以下の EIA/JEDEC 規格を参照してください。
- JESD51-2、『IC の熱テスト方法の環境条件 - 自然対流 (静止空気)』
- JESD51-3、『リード付き表面実装パッケージ用の有効熱伝導率の低いテスト基板』
- JESD51-6、『IC の熱テスト方法の環境条件 - 強制対流 (空気流)』
- JESD51-7、『リード付き表面実装パッケージ用の有効熱伝導率の高いテスト基板』
- JESD51-9、『エリア アレイ表面実装パッケージの熱測定用テスト基板』

(2) ℃/W = 摂氏温度/ワット
(3) m/s = メートル/秒

6.10.3 ZEJ パッケージの熱抵抗特性

システム レベルの熱シミュレーションは、ワーストケースのデバイス消費電力を考慮して実行することを推奨します。

パラメータ	説明	℃/W(1) (2)	空気流 (m/s)(3)
$R\Theta_{JC}$	接合部とケースとの間	7.1	該当なし
$R\Theta_{JB}$	接合部と基板との間	7	該当なし
$R\Theta_{JA}$	接合部と自由空気との間	20.4	0
$R\Theta_{JA}$	接合部と空気流との間	14.6	1
		13.4	2
		12.7	3
Ψ_{JT}	接合部とパッケージ上面との間	0.15	0
		0.42	1
		0.57	2
		0.67	3
Ψ_{JB}	接合部と基板との間	7.0	0
		6.5	1
		6.4	2
		6.3	3

(1) これらの値は、JEDEC 定義の 2S2P システム (JEDEC 定義の 1S0P システムに基づくシータ JC [$R\Theta_{JC}$] 値を除く) に基づいており、環境とアプリケーションに基づいて変化します。詳細については、以下の EIA/JEDEC 規格を参照してください。
- JESD51-2、『IC の熱テスト方法の環境条件 - 自然対流 (静止空気)』
- JESD51-3、『リード付き表面実装パッケージ用の有効熱伝導率の低いテスト基板』
- JESD51-6、『IC の熱テスト方法の環境条件 - 強制対流 (空気流)』
- JESD51-7、『リード付き表面実装パッケージ用の有効熱伝導率の高いテスト基板』
- JESD51-9、『エリア アレイ表面実装パッケージの熱測定用テスト基板』

(2) ℃/W = 摂氏温度/ワット
(3) m/s = メートル/秒

Copyright © 2025 Texas Instruments Incorporated

6.10.4 ZNC パッケージの熱抵抗特性

システム レベルの熱シミュレーションは、ワーストケースのデバイス消費電力を考慮して実行することを推奨します。

パラメータ	説明	℃/W(1) (2)	空気流 (m/s)(3)
$R\Theta_{JC}$	接合部とケースとの間	8.3	該当なし
$R\Theta_{JB}$	接合部と基板との間	5.8	該当なし
$R\Theta_{JA}$	接合部と自由空気との間	21.9	0
$R\Theta_{JA}$	接合部と空気流との間	15.5	1
		14.3	2
		13.5	3
Ψ_{JT}	接合部とパッケージ上面との間	0.15	0
		0.44	1
		0.58	2
		0.69	3
Ψ_{JB}	接合部と基板との間	5.8	0
		5.4	1
		5.4	2
		5.3	3

(1) これらの値は、JEDEC 定義の 2S2P システム (JEDEC 定義の 1S0P システムに基づくシータ JC [$R\Theta_{JC}$] 値を除く) に基づいており、環境とアプリケーションに基づいて変化します。詳細については、以下の EIA/JEDEC 規格を参照してください。
- JESD51-2、『IC の熱テスト方法の環境条件 - 自然対流 (静止空気)』
- JESD51-3、『リード付き表面実装パッケージ用の有効熱伝導率の低いテスト基板』
- JESD51-6、『IC の熱テスト方法の環境条件 - 強制対流 (空気流)』
- JESD51-7、『リード付き表面実装パッケージ用の有効熱伝導率の高いテスト基板』
- JESD51-9、『エリア アレイ表面実装パッケージの熱測定用テスト基板』

(2) ℃/W = 摂氏温度/ワット
(3) m/s = メートル/秒

6.11 タイミングおよびスイッチング特性

注

特に指示がない限り、タイミングを確保するため、各パッド構成レジスタのデフォルトのスルーレート設定を使用する必要があります。

6.11.1 タイミング パラメータおよび情報

「タイミングおよびスイッチング特性」セクションで使用されるタイミング パラメータの記号は、JEDEC 規格 100 に従って作成されています。記号を短縮するために、ピン名およびその他の関連用語の一部を 表 6-1 に示すように短縮しました。

表 6-1. タイミング パラメータの添え字

記号	パラメータ
c	サイクル時間 (周期)
d	遅延時間
dis	ディセーブル時間
en	イネーブル時間
h	ホールド時間
su	セットアップ時間
START	スタート ビット
t	遷移時間
v	有効時間
w	パルス幅
X	未知の、変化している、ドント ケアのレベル
F	立ち下がり時間
H	高
L	低
R	立ち上がり時間
V	有効
IV	無効
AE	アクティブ エッジ
FE	最初のエッジ
LE	最後のエッジ
Z	高インピーダンス

Copyright © 2025 Texas Instruments Incorporated

6.11.2 電源シーケンス

このセクションでは、デバイスが適切に動作するために必要な電源シーケンスについて説明します。

注

デバイスの速度グレードによっては、VDD コアの電源電圧が異なることに注意してください。このセクションでは、1.2V/1.25V 表記を使用して、この差を参照します。ご使用のデバイスに関する詳細は、「*推奨される動作接続*」と「*動作性能ポイント*」を参照してください。

6.11.2.1 パワーオンおよびリセットのシーケンシング

これまでの AM26x デバイスと同様に、AM261x にも、コアのデジタル電源 (VDD 1.2V/1.25V) と I/O 電源(3.3V レール) に関してシーケンスの要件はありません。2 つのオンダイ LDO があり、それぞれ VDDS33 および VDDA33 の電源ネットを通じて供給されます。これらのオンダイ LDO は、必要な 1.8V のデジタルおよびアナログ電源である VDDS1V8 および VDDA1V8 を生成します。AM261x では、3.3V 電源投入時に最小ランプ時間を守る必要があります。EVM 設計では、追加の PORz および SOP ブート モード ラッチのタイミングも遵守する必要があります。パワーオン シーケンシングには、本デバイスのパワーオン シーケンシングを示します。

表 6-2. AM261x のパワーダウン シーケンシング

パラメータ		最小値	最大値	単位
t_{RAMP_3V3}	3.3V デジタル電源 VDDSHV_x の電源ネットの最小ランプ時間の要件。GND から公称 VDDSHV_x 3,.V までの立ち上がり時間	100	-	µs
t_{RAMP_1V8}	1.8V デジタル電源 VDDSHV_x の電源ネットの最小ランプ時間の要件。GND から公称 VDDSHV_x 1.8V までの立ち上がり時間	100	-	µs
t_{RAMP_1V2}	1.2V/1.25V のコア デジタル VDD および関連する電源ネットの最小ランプ時間要件。GND から公称 1.2V/1.25V の VDD までの立ち上がり時間として測定。	100	-	µs
t_{DELAY_3V3}	VDDSHV_x 3.3V の電源が公称電圧に達してから、VDDSHV_x 1.8V および VDD 1.2V/1.25V の電源ネットが有効になるまでの最小遅延時間。	(1)	-	µs
t_{DELAY_PG}	VDDSHV_x 3.3V、VDDSHV_x 1.8V、および VDD 1.2V/1.25V の各電源レールがすべて公称電圧で有効と検出されてから、PORz 信号を Low から High に遷移させるまでの最小時間。	-	-	µs
$t_{SOP_Sampled}$	PORz がデアサートされてから、SOP[3:0] ピンがサンプリングされるまでの時間。これは、デバイス内部のペンタメーターです。内部で生成された電源が安定している場合、サンプリングが行われます。参考用のみです。アプリケーションの使用方法については、T_{SU_SOP} および T_{H_SOP} パラメータを参照してください。	0	-	µs
t_{SU_SOP}	PORz アサーションに対する SOP のセットアップ時間。	20	-	µs
t_{H_SOP}	WARMRSTn のデアサートに対する SOP のホールド時間。	0	-	µs
$t_{WARMRSTn}$	PORz がデアサートされてから、デバイスが WARMRESETn 信号をデアサートするまでの時間。	2.0	-	ms

(1) 1.8V OSPI フラッシュを使用する場合、50µs には t_{DELAY_3V3} の最小値があります。

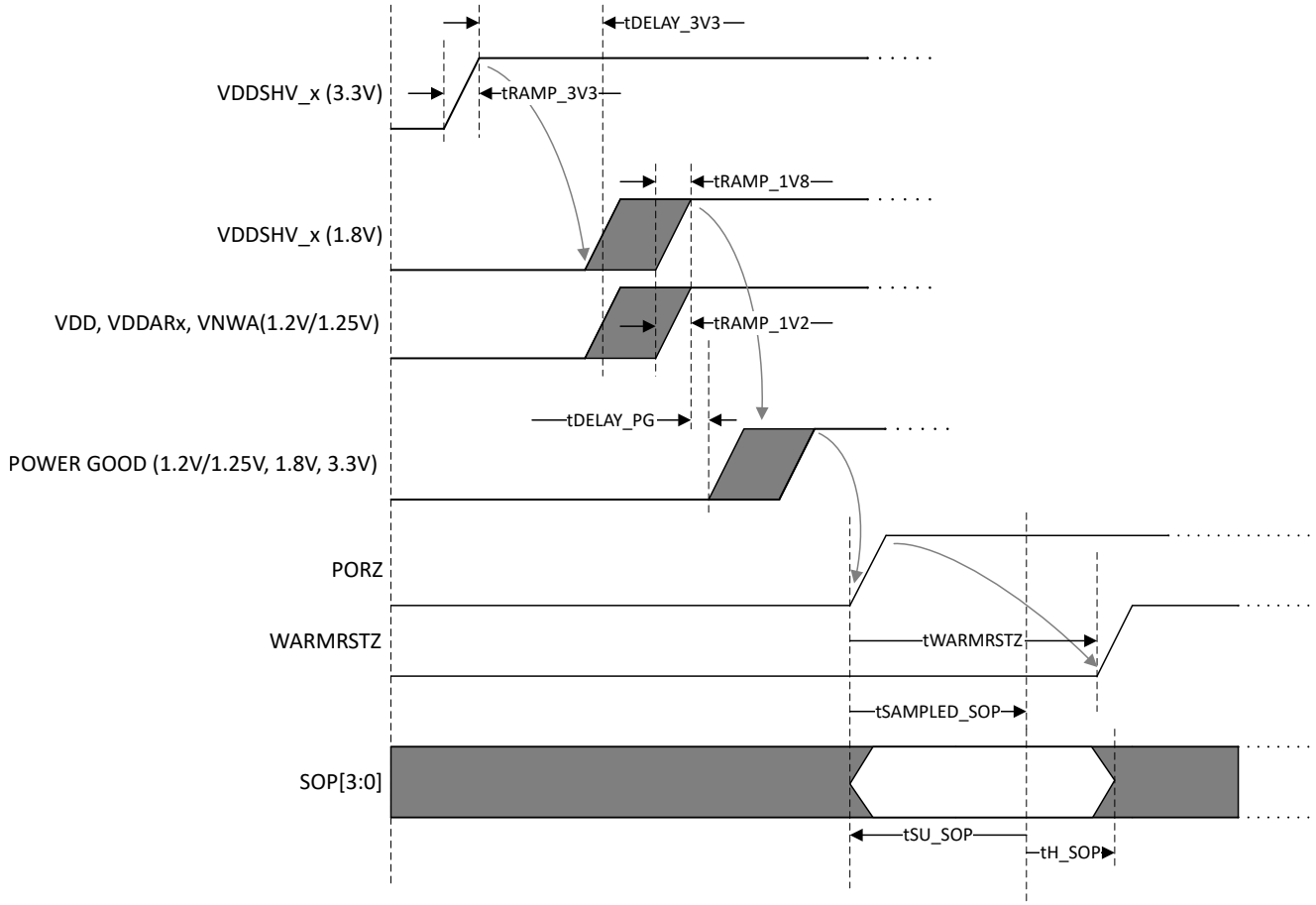


図 6-2. パワーオン シーケンシング

6.11.2.1.1 電源リセット シーケンスの説明

パワーオン リセットからデバイスをブートするために、EVM と AM261x では、以下の一連のステップが発生します。

1. 外部電源モニタによって PORz が Low に保持されます
2. VDDSHV_x 3.3V 電源は、公称電圧まで上昇します
   a. これは、各電源から生成されるパワー グッド信号に対して論理 AND を適用する必要があります
3. VDDSHV_x 3.3VB が有効範囲に入ってから、少なくとも 50µs を遅延させます
4. VDDSHV_x(1.8V) および VDD (1.2V/1.25V) の電源は、それぞれ公称電圧まで立ち上げる必要があります(1.8V と 1.2V/1.25V の立ち上げ順序には制約はありません)。
5. SOP[3:0] ピンがブート ラッチ状態に保持されています
6. パワーグッド スーパーバイザの出力は、有効な 3.3V、1.8V、および 1.2V/1.25V に基づいてトリガされ、すべて有効範囲内です
7. PORz の Low から High への遷移は、パワーグッド スーパーバイザーの出力によってトリガされます。
   a. ウォーム リセット出力は、PORz 遷移後に tWARMRSTZ 秒後に Low から High にトグルされます
8. 内部電源モニタにより、外部で生成される電源が安定していることが示された後、SOP[3:0] ピンの状態がラッチされます
9. R5F コアが停止され、SOP 選択のブート ROM の実行が開始されます

Copyright © 2025 Texas Instruments Incorporated

6.11.2.2 パワーダウン シーケンス

パワーダウン シーケンシングでは、デバイスの電源オフ時のシーケンスについて説明しています。AM261x においては、1.8V、1.2V/1.25V、および 3.3V の電源の順序に制約はありません。

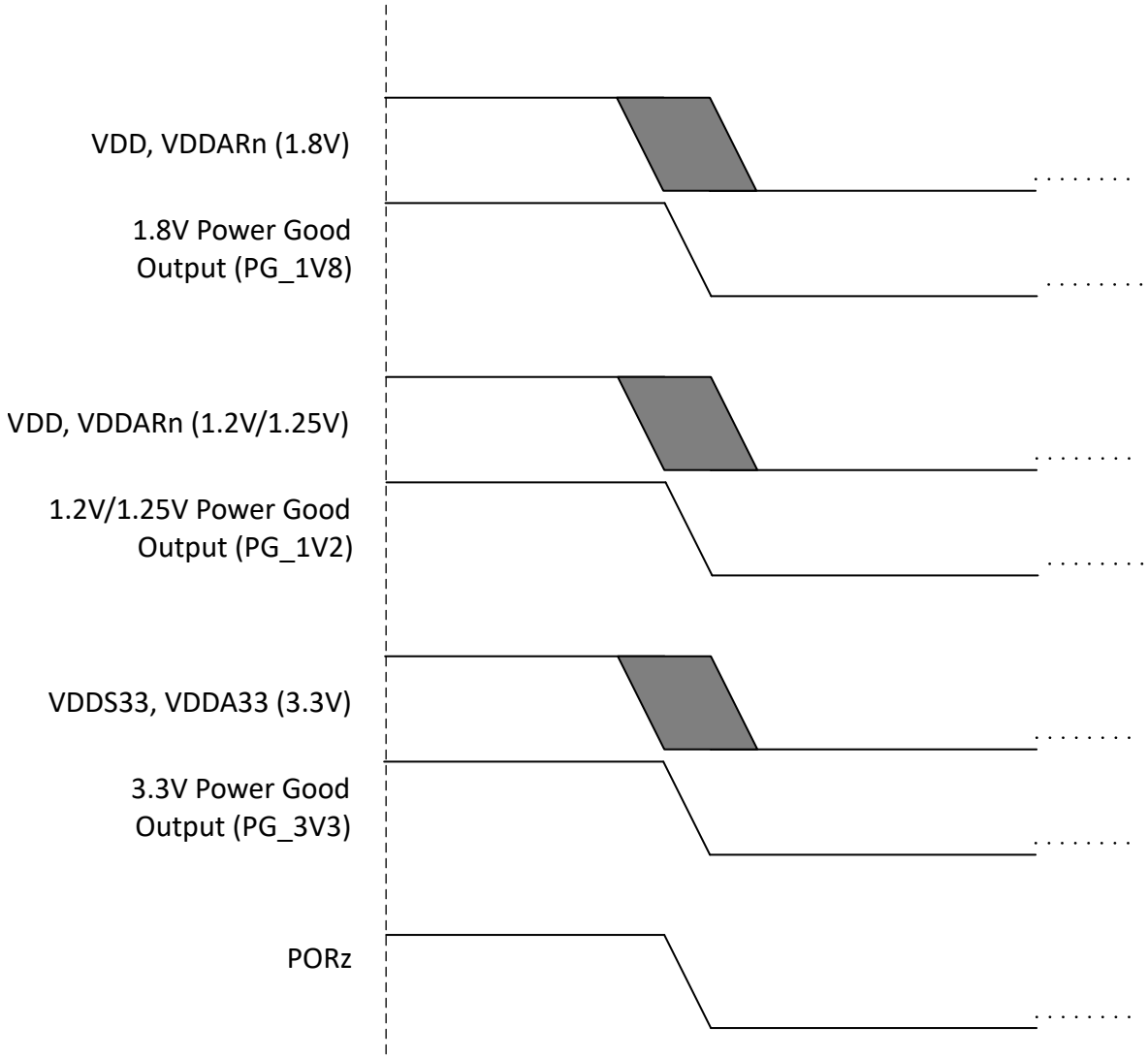


図 6-3. パワーダウン シーケンス

6.11.3 システムのタイミング

サブシステム多重化信号の機能の詳細と追加の説明情報については、デバイス固有の TRM の該当するセクションを参照してください。

6.11.3.1 システムのタイミング条件

パラメータ		最小値	最大値	単位
入力条件				
SR_I	入力スルーレート	0.5	2	V/ns
出力条件				
C_L	出力負荷容量	3	30	pF

6.11.3.2 リセット タイミング

このセクションの表と図では、リセット関連のタイミング要件、スイッチング特性を定義します。

6.11.3.2.1 PORz のタイミング要件

番号	パラメータ	説明	最小値	最大値	単位
RST1	$t_{h(SUPPLIES_VALID-PORz)}$	ホールド時間、電源投入後の PORz アクティブ (Low) (外部水晶振動子を使用)	0		ns
RST3	$t_{w(PORzL)}$	パルス幅、電源投入後に PORz が Low の時間 (電源またはシステム基準クロック XTAL_XI/XO 除去していない場合)	1000		ns

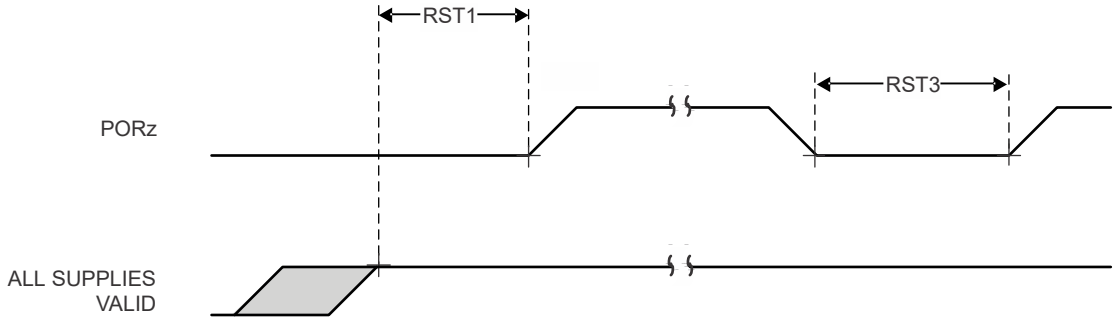


図 6-4. PORz のタイミング要件

6.11.3.2.2 WARMRSTn スイッチング特性

番号	パラメータ	説明	最小値	最大値	単位
RST4	$t_{d(PORzL:-WARMRSTnZ)}$	遅延時間、PORz アクティブ (Low) から WARMRSTn ハイ インピーダンス	0	0	ns
RST5	$t_{d(PORzH-WARMRSTnL)}$	遅延時間、PORz 非アクティブ (High) から WARMRSTn 非アクティブ (High)	0	0	ns
RST6	$t_{d(PORzH-WARMRSTnH)}$	遅延時間、PORz 非アクティブ (High) から WARMRSTn 非アクティブ (High) まで	2000000	6000000	ns

Copyright © 2025 Texas Instruments Incorporated

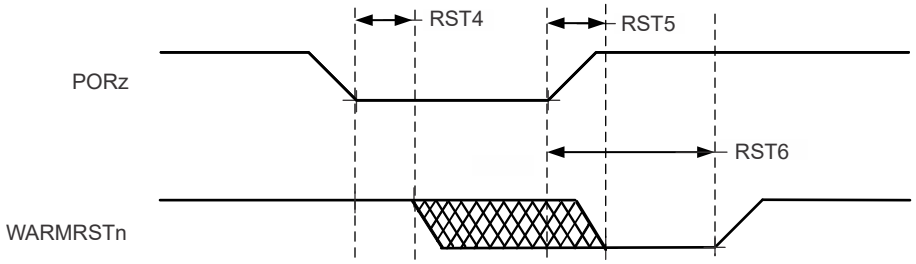


図 6-5. WARMRSTn のスイッチング特性

6.11.3.2.3 WARMRSTn タイミング要件

番号	パラメータ	説明	最小値	最大値	単位
RST10	$t_{w(WARMRSTnL)}$ (1)	最小パルス幅、WARMRSTn アクティブ (Low)	500	16384000	ns

(1) このタイミングパラメータは、TOP_RCM.WARM_RSTTIME1/2/3 レジスタによって制御されます。 詳細は、BQ76907-Q1 テクニカル リファレンス マニュアルを参照してください。

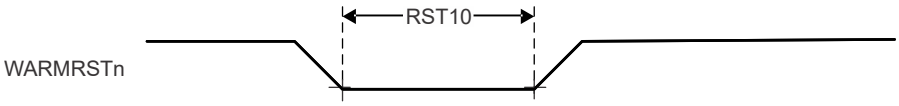


図 6-6. WARMRSTn のタイミング要件およびスイッチング特性

6.11.3.3 安全信号タイミング

このセクションに示す表と図は、SAFETY_ERRORn のスイッチング特性を定義しています。

6.11.3.3.1 SAFETY_ERRORn スイッチング特性

番号	パラメータ	説明	最小値	最大値	単位
SFTY1	$t_{c(SAFETY_ERRORn)}$	最小サイクル時間、SAFETY_ERRORn (PWM モード有効)	(P(1) × H(3)) + (P(1) × L)(4)		ns
SFTY2	$t_{w(SAFETY_ERRORn)}$	最小パルス幅、SAFETY_ERRORn アクティブ (PWM モード無効) (5)	P(1) × R(2)		ns
SFTY3	$t_{d(ERROR_CONDITION\text{-}SAFETY_ERRORnL)}$	遅延時間、ERROR_CONDITION から SAFETY_ERRORn アクティブまで(5)	50 × P(1)		ns

(1) P = ESM 機能クロック
(2) R = エラー ピン カウンタ プリロード レジスタ カウント値
(3) H = エラー ピン PWM High プリロード レジスタ カウント値
(4) L = エラー ピン PWM Low プリロード レジスタ カウント値
(5) PWM モードが有効な場合、SFTY3 後に SAFETY_ERRORn はトグルを停止し、エラーがクリアされるまでその値 (High と Low のいずれか) を保持します。PWM モードが無効の場合、SAFETY_ERRORn はアクティブ Low です

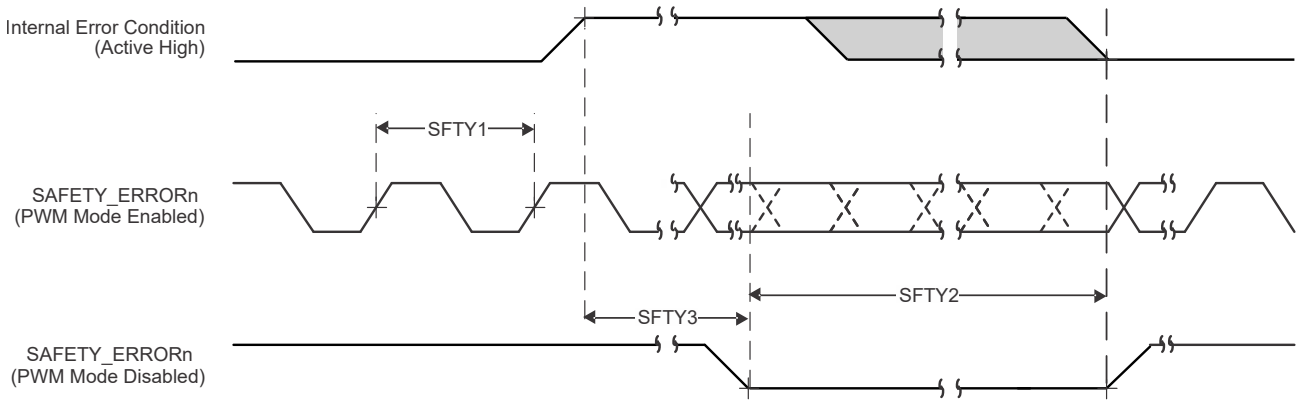


図 6-7. SAFETY_ERRORn のタイミング要件およびスイッチング特性

6.11.4 クロック仕様

6.11.4.1 入力クロック / 発振器

6.11.4.1.1 水晶発振器 (XTAL) パラメータ

パラメータ		最小値	標準値	最大値	単位
F_{xtal}	水晶振動子の並列共振周波数 (基本モード発振のみ)	–50ppm	25	50ppm	MHz
デューティ サイクル	XTAL のデューティサイクル出力	45	50	55	%
CC1	C_{L1} + C_{PCBXI} の容量	12		24	pF
CC2	C_{L2} + C_{PCBXO} の容量	12		24	pF
C_{shunt}	水晶発振回路のシャント容量			5	pF
ESR_{xtal}	水晶振動子の等価直列抵抗			46	Ω

6.11.4.1.2 外部クロックの特性

推奨動作条件範囲内 (特に記述のない限り)

パラメータ		最小値	標準値	最大値	単位
C_{Pkg}	パッケージのシャント容量		0.01		pF
P_{xtal}	消費電力		$0.5 \times ESR \times (2 \times \pi \times F_{xtal} \times C_L \times 1.8)^2$		W
t_s	起動時間		1.5		ms

6.11.4.2 クロックのタイミング

このセクションの表と図では、クロック信号のタイミング要件、スイッチング特性を定義します。

6.11.4.2.1 クロックのタイミング要件

番号	パラメータ	説明	最小値	最大値	単位
CLK1	tc(EXT_REFCLK)	最小サイクル時間、EXT_REFCLK	10		ns
CLK2	tw(EXT_REFCLKH)	最小パルス幅、EXT_REFCLK High	E(1) × 0.45	E(1) × 0.55	ns
CLK3	tw(EXT_REFCLKL)	最小パルス幅、EXT_REFCLK Low	E(1) × 0.45	E(1) × 0.55	ns

(1) E = EXT_REFCLK サイクル時間

Copyright © 2025 Texas Instruments Incorporated

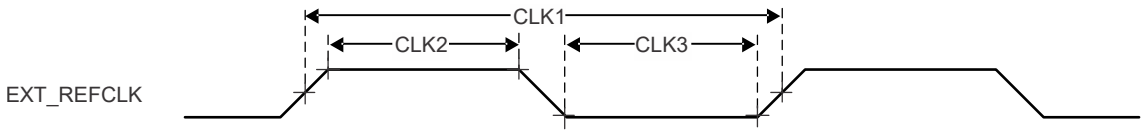


図 6-8. クロックのタイミング要件

6.11.4.2.2 クロックのスイッチング特性

番号	パラメータ	説明	最小値	最大値	単位
CLK4	$t_{c(CLKOUT0)}$	最小サイクル時間、CLKOUT0	10		ns
CLK5	$t_{w(CLKOUT0H)}$	最小パルス幅、CLKOUT0 High	A(1) × 0.4	A(1) × 0.6	ns
CLK6	$t_{w(CLKOUT0L)}$	最小パルス幅、CLKOUT0 Low	A(1) × 0.4	A(1) × 0.6	ns
CLK7	$t_{c(CLKOUT1)}$	最小サイクル時間、CLKOUT1	10		ns
CLK8	$t_{w(CLKOUT1H)}$	最小パルス幅、CLKOUT1 High	B(2) × 0.4	B(2) × 0.6	ns
CLK9	$t_{w(CLKOUT1L)}$	最小パルス幅、CLKOUT1 Low	B(2) × 0.4	B(2) × 0.6	ns

(1) A = CLKOUT0 サイクル時間
(2) B = CLKOUT1 サイクル時間

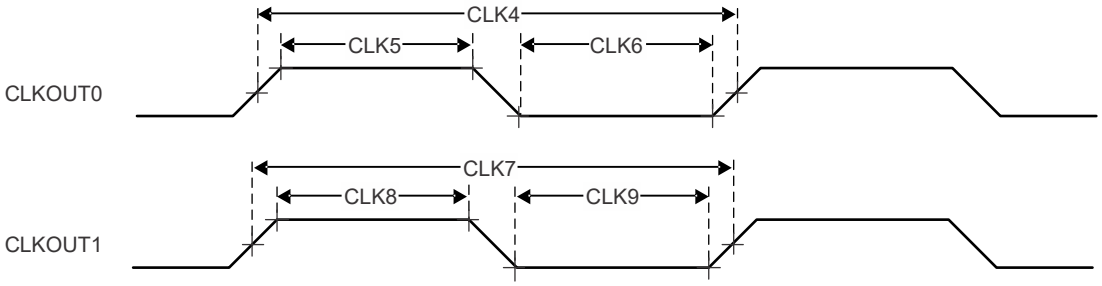


図 6-9. クロックのスイッチング特性

6.11.5 ペリフェラル

6.11.5.1 3 ポートのギガビット イーサネット MAC (CPSW)

注
CPSW は、2 つの外部イーサネット ポートと 1 つの内部 CPDMA ホスト ポートをサポートしています。

デバイスの CPSW (3 ポート ギガビット イーサネット MAC) の機能および追加の説明情報については、デバイスの TRM の「*ギガビット イーサネット スイッチ*」セクションを参照してください。

6.11.5.1.1 CPSW MDIO のタイミング

6.11.5.1.1.1 CPSW MDIO のタイミング条件

パラメータ		最小値	最大値	単位
入力条件				
SR_I	入力スルーレート	0.9	3.6	V/ns
出力条件				
C_L	出力負荷容量	10	20	pF

6.11.5.1.1.2 CPSW MDIO のタイミング要件

番号	パラメータ	説明	最小値	最大値	単位
MDIO1	$t_{su(MDIO-MDC)}$	セットアップ時間、MDIO_CLK High の前に MDIO_DATA が有効であるべき時間	25		ns
MDIO2	$t_{h(MDC-MDIO)}$	ホールド時間、MDIO_CLK High 後に MDIO_DATA を有効に保持すべき時間	0		ns

6.11.5.1.1.3 CPSW MDIO のスイッチング特性

番号	パラメータ	説明	最小値	最大値	単位
MDIO3	$t_{c(MDC)}$	サイクル時間、MDIO_CLK	50		ns
MDIO4	$t_{w(MDCH)}$	パルス幅、MDIO_CLK High	19		ns
MDIO5	$t_{w(MDCL)}$	パルス幅、MDIO_CLK Low	19		ns
MDIO7	$t_{d(MDC_MDIO)}$	遅延時間、MDIO_CLK Low から MDIO_DATA 有効まで	-10	10	ns

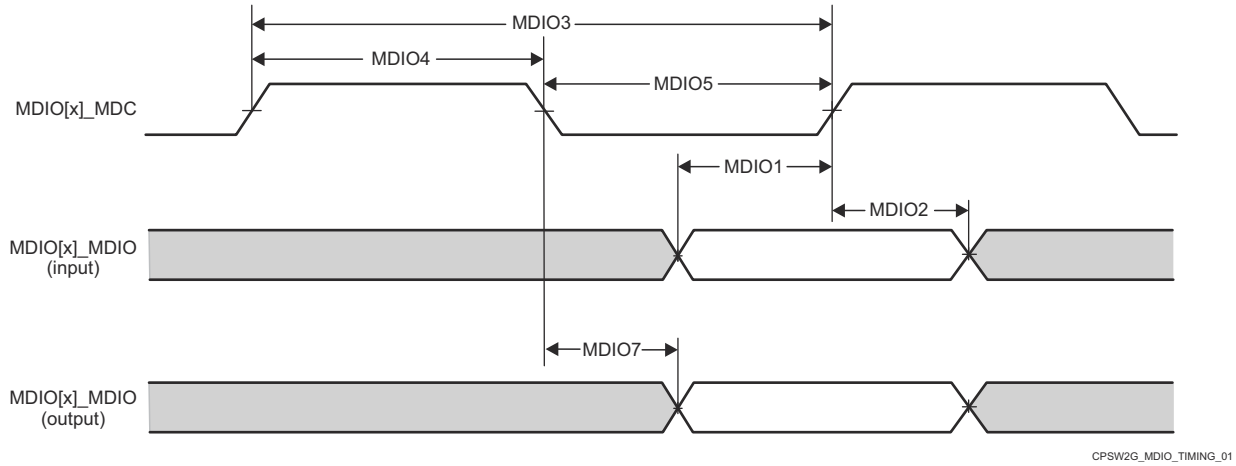


図 6-10. CPSW MDIO のタイミング要件およびスイッチング特性

Copyright © 2025 Texas Instruments Incorporated

6.11.5.1.2 CPSW RGMII のタイミング

6.11.5.1.2.1 CPSW RGMII のタイミング条件

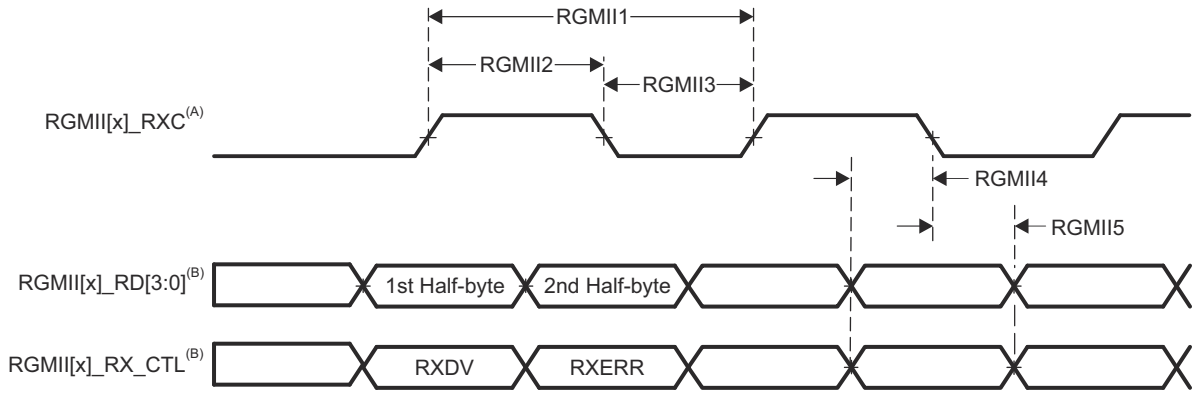
パラメータ			最小値	最大値	単位
入力条件					
SR_I	入力スルーレート		2.64	5	V/ns
出力条件					
C_L	出力負荷容量		2	20	pF
PCB 接続要件					
t_d (パターン不整合遅延)	すべてのパターンにわたる伝搬遅延の不整合	RGMII[x]_RXC RGMII[x]_RD[3:0] RGMII[x]_RX_CTL		50	ps
		RGMII[x]_TXC RGMII[x]_TD[3:0] RGMII[x]_TX_CTL		50	ps

6.11.5.1.2.2 CPSW RGMII[x]_RCLK のタイミング要件 - RGMII モード

番号	パラメータ	説明	モード	最小値	最大値	単位
RGMII1	$t_{c(RXC)}$	サイクル時間、RXC	10Mbps	360	440	ns
			100Mbps	36	44	ns
			1000Mbps	7.2	8.8	ns
RGMII2	tw(RXCH)	パルス幅、RXC high	10Mbps	160	240	ns
			100Mbps	16	24	ns
			1000Mbps	3.6	4.4	ns
RGMII3	tw(RXCL)	パルス幅、RXC low	10Mbps	160	240	ns
			100Mbps	16	24	ns
			1000Mbps	3.6	4.4	ns

6.11.5.1.2.3 CPSW RGMII[x]_RD[3:0]、RGMII[x]_RCTL のタイミング要件

番号	パラメータ	説明	モード	最小値	最大値	単位
RGMII4	$t_{su(RD-RXC)}$	セットアップ時間、RD[3:0] 有効から RXC High/Low まで	10Mbps	1		ns
			100Mbps	1		ns
			1000Mbps	1		ns
	$t_{su(RX_CTL-RXC)}$	セットアップ時間、RX_CTL 有効から RXC high/low まで	10Mbps	1		ns
			100Mbps	1		ns
			1000Mbps	1		ns
RGMII5	$t_{h(RXC-RD)}$	ホールド時間、RXC high/low から RD[3:0] 有効の間	10Mbps	1		ns
			100Mbps	1		ns
			1000Mbps	1		ns
	$t_{h(RXC-RX_CTL)}$	ホールド時間、RXC high/low から RX_CTL 有効の間	10Mbps	1		ns
			100Mbps	1		ns
			1000Mbps	1		ns



A. RGMII[x]_RXC は、データ ピンと制御ピンに対して、外部的に遅延させる必要があります。

B. データおよび制御情報は、クロックの両方のエッジを使用して受信されます。RGMII[x]_RD[3:0] は、RGMII[x]_RXC の立ち上がりエッジでデータ ビット 3～0 を、RGMII[x]_RXC の立ち下がりエッジでデータ ビット 7～4 を伝送します。同様に、RGMII[x]_RX_CTL は、RGMII[x]_RXC の立ち上がりエッジで RXDV を、RGMII[x]_RXC の立ち下がりエッジで RXERR を伝送します。

図 6-11. CPSW RGMII[x]_RXC、RGMII[x]_RD[3:0]、RGMII[x]_RX_CTL のタイミング要件 - RGMII モード

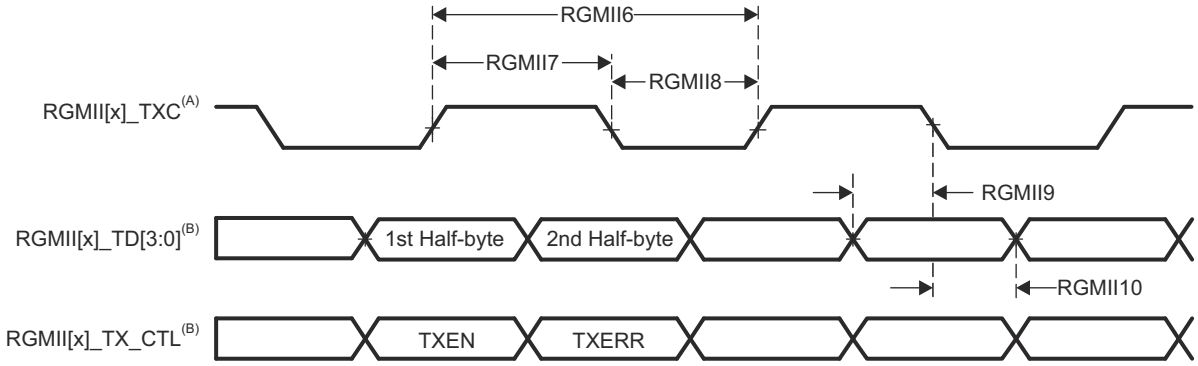
6.11.5.1.2.4 CPSW RGMII[x]_TCLK のスイッチング特性 - RGMII モード

番号	パラメータ	説明	モード	最小値	最大値	単位
RGMII6	$t_{c(TXC)}$	サイクル時間、TXC	10Mbps	360	440	ns
			100Mbps	36	44	ns
			1000Mbps	7.2	8.8	ns
RGMII7	$t_{w(TXCH)}$	パルス幅、TXC high	10Mbps	160	240	ns
			100Mbps	16	24	ns
			1000Mbps	3.6	4.4	ns
RGMII8	$t_{w(TXCL)}$	パルス幅、TXC low	10Mbps	160	240	ns
			100Mbps	16	24	ns
			1000Mbps	3.6	4.4	ns

6.11.5.1.2.5 CPSW RGMII[x]_TD[3:0]、RGMII[x]_TCTL のスイッチング特性 - RGMII モード

番号	パラメータ	説明	モード	最小値	最大値	単位
RGMII9	$t_{osu(TD-TXC)}$	出力セットアップ時間、RGMII[x]_TD[3:0] 有効から RGMII[x]_TXC High/Low まで	10Mbps	1.2		ns
			100Mbps	1.2		ns
			1000Mbps	1.2		ns
	$t_{osu(TX_CTL-TXC)}$	出力セットアップ時間、RGMII[x]_TX_CTL 有効から RGMII[x]_TXC High/Low まで	10Mbps	1.2		ns
			100Mbps	1.2		ns
			1000Mbps	1.2		ns
RGMII10	$t_{oh(TXC-TD)}$	出力ホールド時間、RGMII[x]_TXC High/Low から RGMII[x]_TD[3:0] 有効の間	10Mbps	1.2		ns
			100Mbps	1.2		ns
			1000Mbps	1.2		ns
	$t_{oh(TXC-TX_CTL)}$	出力ホールド時間、RGMII[x]_TXC High/Low から RGMII[x]_TX_CTL 有効の間	10Mbps	1.2		ns
			100Mbps	1.2		ns
			1000Mbps	1.2		ns

Copyright © 2025 Texas Instruments Incorporated



A. TXC は内部で遅延されてから、RGMII[x]_TXC ピンを駆動します。この内部遅延は POR の後でデフォルトでイネーブルになります。

B. データおよび制御情報は、クロックの両方のエッジを使用して受信されます。RGMII[x]_TD[3:0] は、RGMII[x]_TXC の立ち上がりエッジでデータビット 3～0 を、RGMII[x]_TXC の立ち下がりエッジでデータ ビット 7～4 を伝送します。同様に、RGMII[x]_TX_CTL は RGMII[x]_TXC の立ち上がりエッジで TXEN を、RGMII[x]_TXC の立ち下がりエッジで TXERR を伝送します。

図 6-12. CPSW RGMII[x]_TXC、RGMII[x]_TD[3:0]、RGMII[x]_TX_CTL のスイッチング特性 – RGMII モード

6.11.5.1.3 CPSW RMII のタイミング

6.11.5.1.3.1 CPSW RMII のタイミング条件

パラメータ			最小値	最大値	単位
入力条件					
SR_I	入力スルーレート	VDD = 3.3 V	0.4	1.2	V/ns
出力条件					
C_L	出力負荷容量		3	25	pF

6.11.5.1.3.2 CPSW RMII[x]_REFCLK のタイミング要件 - RMII モード

番号	パラメータ	説明	最小値	最大値	単位
RMII1	$t_{c(REF_CLK)}$	サイクル時間、REF_CLK	19.999	20	ns
RMII2	$t_{w(REF_CLKH)}$	パルス幅、REF_CLK High	7	13	ns
RMII3	$t_{w(REF_CLKL)}$	パルス幅、REF_CLK、Low	7	13	ns

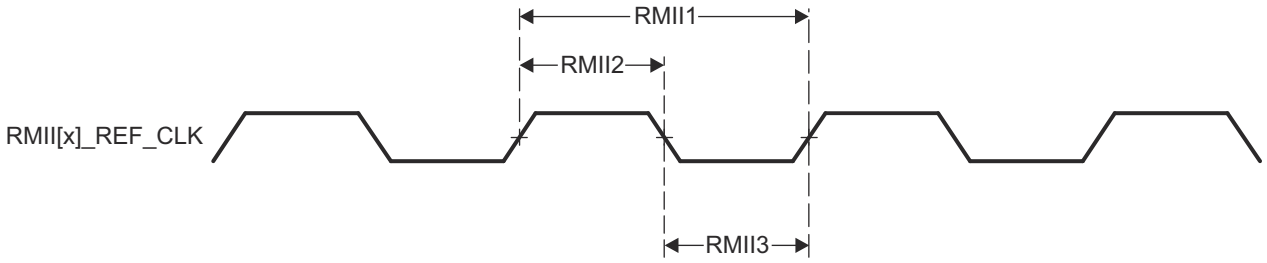


図 6-13. CPSW RMII[x]_REF_CLK のタイミング要件 – RMII モード

6.11.5.1.3.3 CPSW RMII[x]_RXD[1:0]、RMII[x]_CRS_DV、RMII[x]_RXER のタイミング要件 - RMII モード

番号	パラメータ	説明	最小値	最大値	単位
RMII4	$t_{su(RXD\text{-}REF_CLK)}$	セットアップ時間、RX_CLK の前に RXD[1:0] が有効であるべき時間	4		ns
	$t_{su(CRS_DV\text{-}REF_CLK)}$	セットアップ時間、RX_CLK の前に CRS_DV が有効であるべき時間	4		ns
	$t_{su(RX_ER\text{-}REF_CLK)}$	セットアップ時間、RX_CLK の前に RX_ER が有効であるべき時間	4		ns
RMII5	$t_{h(REF_CLK\text{-}RXD)}$	ホールド時間、RX_CLK の後 RXD[1:0] を有効に保持すべき時間	2		ns
	$t_{h(REF_CLK\text{-}CRS_DV)}$	ホールド時間、REF_CLK の後 CRS_DV を有効に保持すべき時間	2		ns
	$t_{h(REF_CLK\text{-}RX_ER)}$	ホールド時間、REF_CLK の後 RX_ER を有効に保持すべき時間	2		ns

Copyright © 2025 Texas Instruments Incorporated

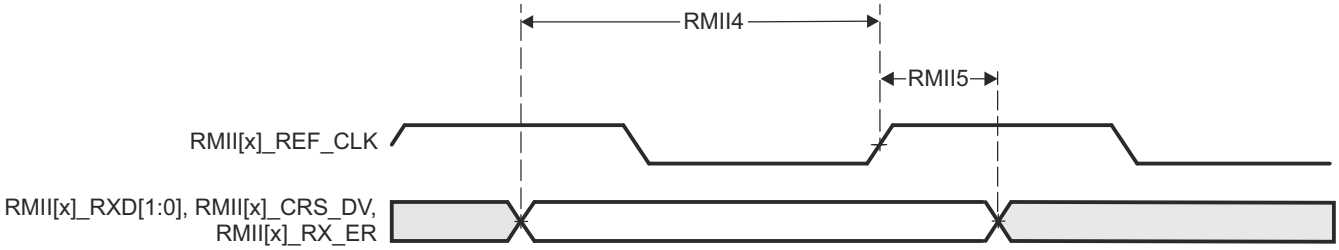


図 6-14. CPSW RMII[x]_RXD[1:0]、RMII[x]_CRS_DV、RMII[x]_RX_ER のタイミング要件 – RMII モード

6.11.5.1.3.4 CPSW RMII[x]_TXD[1:0]、RMII[x]_TXEN のスイッチング特性 - RMII モード

番号	パラメータ	説明	最小値	最大値	単位
RMII6	$t_{d(REF_CLK-TXD)}$	遅延時間、REF_CLK High から TXD[1:0] 有効まで	2	10	ns
	$t_{d(REF_CLK-TXEN)}$	遅延時間、REF_CLK から TXEN 有効まで	2	10	ns

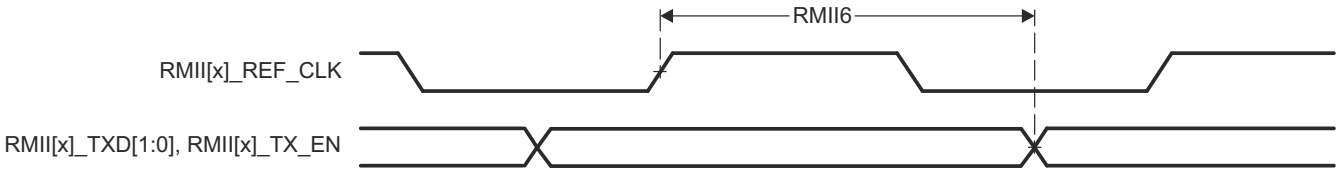


図 6-15. CPSW RMII[x]_TXD[1:0]、RMII[x]_TX_EN のスイッチング特性 – RMII モード

6.11.5.2 拡張キャプチャ (eCAP)

注

このデバイスは、複数の ECAP モジュールを備えています。汎用の CAP_ prefix は、すべての ECAP インスタンスの信号名を表すために使用されます。

詳細については、デバイスの TRM で「ペリフェラル」の章にある「*拡張キャプチャ (ECAP) モジュール*」セクションを参照してください。

6.11.5.2.1 ECAP のタイミング条件

パラメータ		最小値	最大値	単位
入力条件				
SR_I	入力スルーレート	1	4	V/ns
出力条件				
C_L	出力負荷容量	2	7	pF

6.11.5.2.2 ECAP のタイミング要件

番号	パラメータ	説明		最小値 最大値	単位
CAP1	$t_{w(CAP)}$	キャプチャ入力パルス幅	非同期	(2 + X[2]) × P[1]	ns
			同期	(3 + X[2]) × P[1]	
			入力クオリファイヤあり	(2 + X[2]) × P[1] + U[3]	

(1) P = sysclk 周期 (ns)。
(2) X = ECCTL0_TYPE3[QUALPRD] 設定値。
(3) U = 入力フィルタ サンプリング ウィンドウ。 入力クオリファイア モードの詳細については、「GPIO の電気的データおよびタイミング」セクションを参照してください。

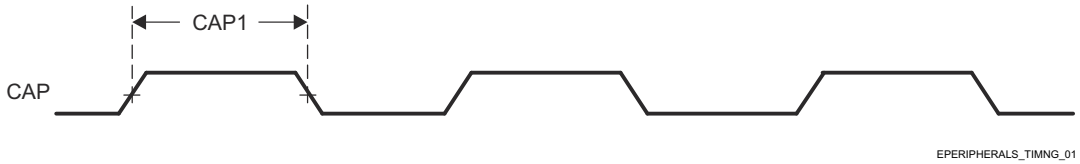


図 6-16. ECAP のタイミング要件

6.11.5.2.3 ECAP スイッチング特性
(1)

番号	パラメータ	説明	最小値	最大値	単位
CAP2	$t_{w(APWM)}$	パルス幅、APWMx 出力 High/Low	10		ns

(1) 一部の ECAP 信号は、I2C0 の SDA および SCL ピンとピン多重化で共有されています。これらのピンは、代替のオープンドレイン電圧バッファを使用しており、仕様で定められたパラメータを満たさない可能性があります。値は、今後のポスト シリコン検証を経て確定される予定です。

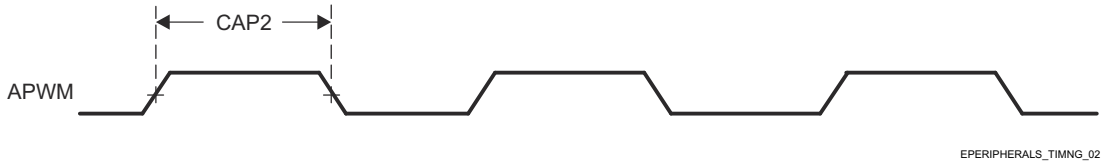


図 6-17. ECAP スイッチング特性

Copyright © 2025 Texas Instruments Incorporated

6.11.5.3 拡張パルス幅変調 (ePWM)

注

このデバイスは、複数の EPWM モジュールを備えています。一般的な EHRPWM_ prefix は、すべての EPWM インスタンスの信号名を表すために使用されます。

詳細については、デバイスの TRM で「ペリフェラル」の章にある「*拡張パルス幅変調 (EPWM) モジュール*」セクションを参照してください。

6.11.5.3.1 EPWM のタイミング条件

パラメータ		最小値	最大値	単位
入力条件				
SR_I	入力スルーレート	1	4	V/ns
出力条件				
C_L	出力負荷容量	2	7	pF

6.11.5.3.2 EPWM のタイミング要件

番号	パラメータ	説明	最小値	最大値	単位
PWM6	$t_{w(SYNCIN)}$	パルス幅、EHRPWM_SYNCI	2P(1)		ns
PWM7	$t_{w(TZ)}$	パルス幅、EHRPWM_TZn_IN low	1P(1)		ns

(1) P = sysclk 周期 (ns)。

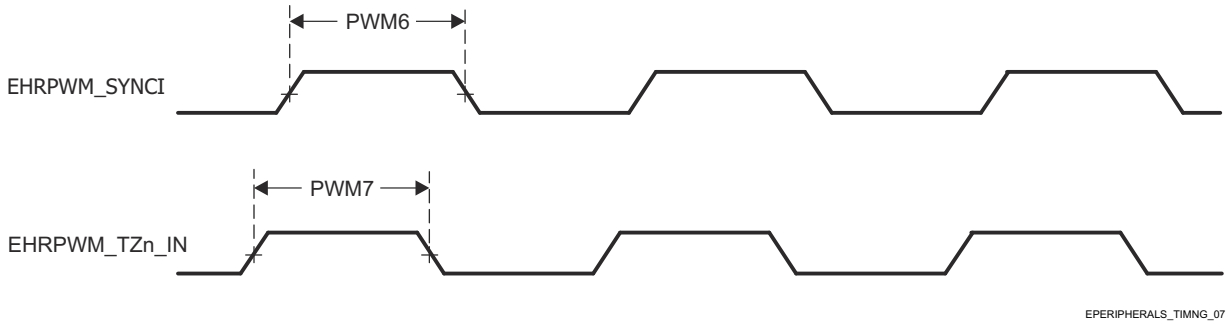


図 6-18. EPWM のタイミング要件

6.11.5.3.3 EPWM スイッチング特性

番号	パラメータ	説明	最小値	最大値	単位
PWM1	$t_{w(PWM)}$	パルス幅、EHRPWM_A/B High または Low	20		ns
PWM2	$t_{w(SYNCOUT)}$	パルス幅、EHRPWM_SYNCO	8P(1)		ns
PWM3	$t_{d(TZ-PWM)}$	遅延時間、EHRPWM_TZn_IN アクティブから EHRPWM_A/B が強制的に High/Low になるまで		30	ns
PWM4	$t_{d(TZ-PWMZ)}$	遅延時間、EHRPWM_TZn_IN アクティブから EHRPWM_A/B Hi-Z まで		30	ns
PWM5	$t_{w(SOC)}$	パルス幅、EHRPWM_SOCA/B 出力	32P(1)		ns

(1) P = sysclk 周期 (ns)。

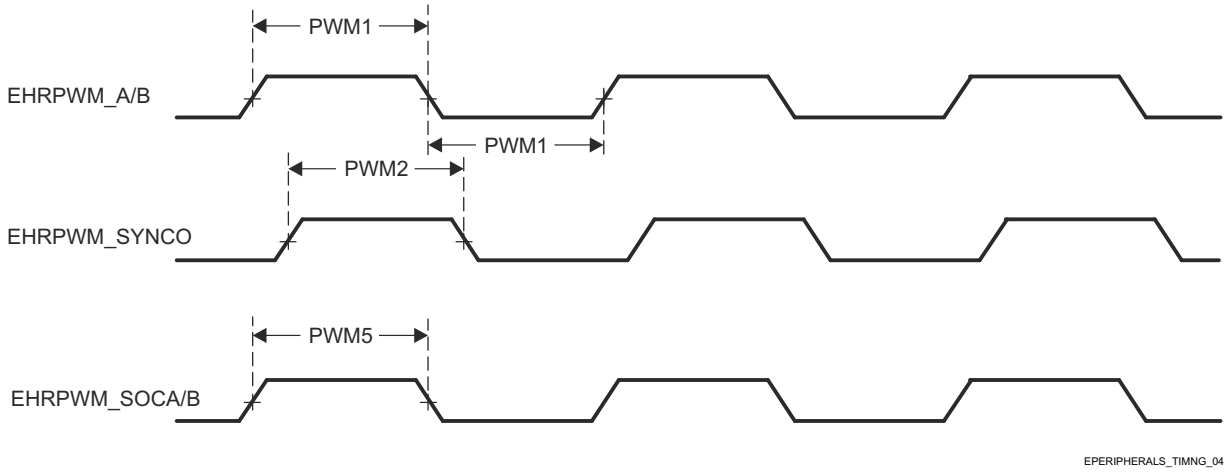


図 6-19. EHRPWM スイッチング特性

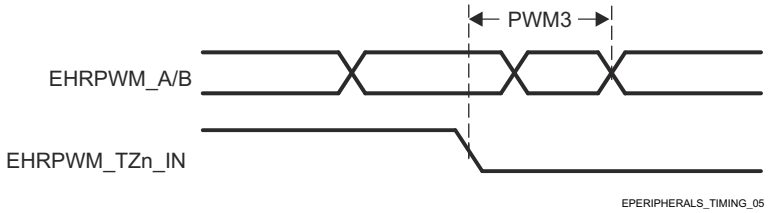


図 6-20. EHRPWM_TZn_IN から EHRPWM_A/B 強制へのスイッチング特性

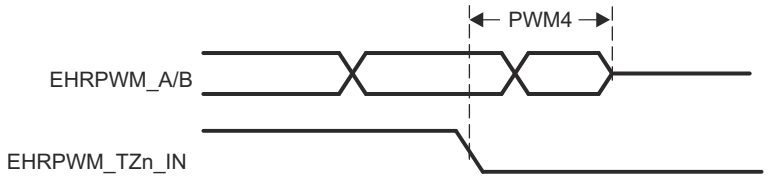


図 6-21. EHRPWM_TZn_IN から EHRPWM_A/B Hi-Z へのスイッチング特性

EPWM の特性

パラメータ	最小値	標準値	最大値	単位
マイクロ エッジ ポジショニング (MEP) ステップ サイズ (1)	70	100	180	ps

(1) MEP ステップ サイズは、高温かつ VDD の最小電圧で、最大になります。MEP ステップ サイズは、高温と低電圧で増大し、低温と高電圧で減少します。
HRPWM 機能を使用するアプリケーションは、MEP スケール オプティマイザ (SFO) 推定ソフトウェア機能を使用する必要があります。最終アプリケーションで SFO 機能を使用する方法の詳細については、テキサス・インスツルメンツのソフトウェア ライブラリを参照してください。SFO 機能は、HRPWM の動作中に、SYSCLK 周期あたりの MEP ステップ数を動的に推定するのに役立ちます。

Copyright © 2025 Texas Instruments Incorporated

6.11.5.4 拡張直交エンコーダ パルス (eQEP)

注

このデバイスは、複数の EQEP モジュールを備えています。汎用の QEP_ プレフィックスは、すべての EQEP インスタンスの信号名を表すために使用されます。

詳細については、デバイスの TRM で「ペリフェラル」の章にある「*拡張直交エンコーダ パルス (EQEP) モジュール*」セクションを参照してください。

6.11.5.4.1 EQEP のタイミング条件

パラメータ		最小値	最大値	単位
入力条件				
SR_I	入力スルーレート	1	4	V/ns
出力条件				
C_L	出力負荷容量	2	7	pF

6.11.5.4.2 EQEP のタイミング要件

番号	パラメータ	説明		最小値	最大値	単位
QEP1	$t_{w(QEPP)}$	QEP 入力周期	同期 (3)	3P(1)		ns
			入力クオリファイヤあり	2 × (P(1) + U(2))		
QEP2	$t_{w(INDEXH)}$	QEP インデックス入力 High 時間	同期 (3)	2 + 3P(1)		ns
			入力クオリファイヤあり	2P(1) + U(2)		
QEP3	$t_{w(INDEXL)}$	QEP インデックス入力 Low 時間	同期 (3)	3P(1)		ns
			入力クオリファイヤあり	2P(1) + U(2)		
QEP4	$t_{w(STROBH)}$	QEP ストローブ High 時間	同期 (3)	3P(1)		ns
			入力クオリファイヤあり	2P(1) + U(2)		
QEP5	$t_{w(STROBL)}$	QEP ストローブ入力 Low 時間	同期 (3)	3P(1)		ns
			入力クオリファイヤあり	2P(1) + U(2)		

(1) P = sysclk 周期 (ns)。
(2) U = 入力フィルタ サンプリング ウィンドウ。 入力クオリファイア モードの詳細については、「GPIO の電気的データおよびタイミング」セクションを参照してください。
(3) EQEP モジュールの入力ピンでは、GPIO の GPxQSELn 非同期モードは使用できません。

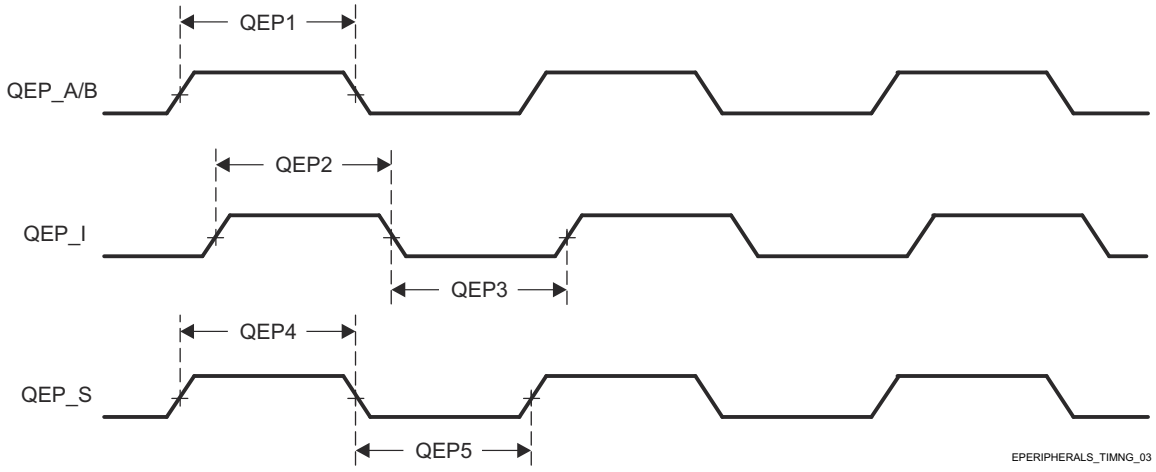


図 6-22. EQEP のタイミング要件

6.11.5.4.3 EQEP スイッチング特性
(3)

番号	パラメータ	説明	最小値	最大値	単位
QEP6	$t_{d(CNTR)xin}$	遅延時間、外部クロックから内部カウンタ インクリメントまで		4 + U(2) + 6P(1)	ns
QEP7	$t_{d(PCS\text{-}OUT)QEP}$	遅延時間、QEP 入力エッジから位置比較同期出力まで		4 + U(2) + 7P(1) + 4	ns

(1) P = sysclk 周期 (ns)。
(2) U = 入力フィルタ サンプリング ウィンドウ。 入力クオリファイア モードの詳細については、「GPIO の電気的データおよびタイミング」セクションを参照してください。
(3) 一部の EQEP 信号は、I2C0 の SDA および SCI ピンでピン多重化されています。これらのピンは、代替のオープン ドレイン電圧バッファを使用しており、仕様で定められたパラメータを満たさない可能性があります。値は、今後のポスト シリコン検証を経て確定される予定です。

Copyright © 2025 Texas Instruments Incorporated

6.11.5.5 高速シリアル インターフェイス (FSI)

注

このデバイスは、複数の FSI モジュールを備えています。FSIn は、FSI 信号名に適用される全般的な接頭辞です。ここで、n は特定の FSI モジュールを表します。

詳細については、デバイスの TRM で「ペリフェラル」の章にある「*高速シリアル インターフェイス*」セクションを参照してください。

6.11.5.5.1 FSI のタイミング条件

パラメータ		最小値	最大値	単位
入力条件				
SR_I	入力スルーレート	0.8	4	V/ns
出力条件				
C_L	出力負荷容量	1	7	pF

6.11.5.5.2 FSIRX のタイミング要件

番号	パラメータ	説明	最小値	最大値	単位
FSIR1	$t_{c(RX_CLK)}$	サイクル時間、FSIRXn_CLK	16.67		ns
FSIR2	$t_{w(RX_CLK)}$	パルス幅、FSIRXn_CLK Low または FSIRXn_CLK High	0.35P(1) - 1	0.65P(1) + 1	ns
FSIR3	$t_{su(RX_D–RX_CLK)}$	セットアップ時間、FSIRXn_CLK の前に FSIRXn_D[0:1] が有効であるべき時間	1.7		ns
FSIR4	$t_{h(RX_CLK–RX_D)}$	FSIRXn_CLK の両方のエッジを基準とするホールド時間	2		ns

(1) P = $T_{c(RXCLK)}$ = RX インターフェイスのクロック周期 (単位:ナノ秒) 。

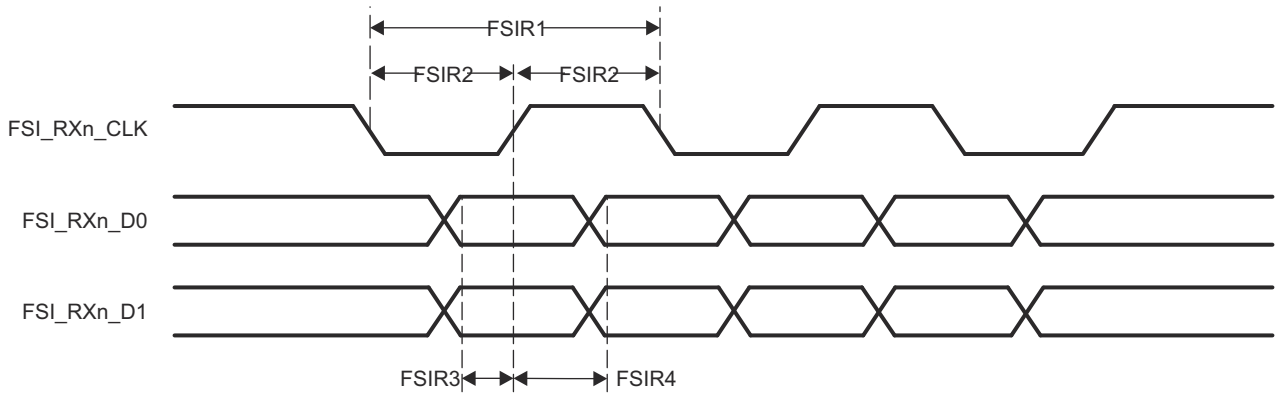


図 6-23. FSI のタイミング要件

6.11.5.5.3 FSIRX スイッチング特性

番号	パラメータ	説明	最小値	最大値	単位
FSIR5	$t_{d(RX_CLK)}$	RX_DLYLINE_CTRL[RXCLK_DLY] = 31 での FSIRXn_CLK 遅延補償	10	30	ns
FSIR6	$t_{d(RX_D0)}$	RX_DLYLINE_CTRL[RXCLK_DLY]=31 での FSIRXn_D0 遅延補償	10	30	ns
FSIR7	$t_{d(RX_D1)}$	RX_DLYLINE_CTRL[RXCLK_DLY]=31 での FSIRXn_D1 遅延補償	10	30	ns

番号	パラメータ	説明	最小値	最大値	単位
FSIR8	$t_{d(DELAY_ELEMENT)}$	FSIRXn_CLK、FSIRXn_D0、FSIRXn_D1 の各ディレイライン素子の増分遅延	0.3	1	ns
FSIR_TDM1	$t_{skew(RX_CLK-TX_TDM_D)}$	FSIRXn_TDM_CLK 遅延と FSIRXn_TDM_D[0:1] との間の遅延スキュー	-3	3	ns
FSIR_TDM2	$t_{skew(RX_CLK-TX_TDM_CLK)}$	遅延時間、FSIRXn_CLK 入力から FSITXn_TDM_CLK 出力	2	12	ns
FSIR_TDM3	$t_{skew(RX_D0-TX_TDM_D0)}$	遅延時間、FSIRXn_D0 入力から FSITXn_TDM_D0 出力	2	12	ns
FSIR_TDM4	$t_{skew(RX_D1-TX_TDM_D1)}$	遅延時間、FSIRXn_D1 入力から FSITXn_TDM_D1 出力	2	12	ns

6.11.5.5.4 FSITX スイッチング特性

番号	パラメータ	説明	最小値	最大値	単位
FSIT1	$t_{c(TX_CLK)}$	サイクル時間、FSITXn_CLK	16.67		ns
FSIT2	$t_{w(TX_CLK)}$	パルス幅、FSITXn_CLK Low または FSITXn_CLK HIGH	0.5P(1) – 1	0.5P(1) + 1	ns
FSIT3	$td_{(TX_CLK-TX_D)}$	遅延時間、FSITXn_Dx は、FSITXn_CLK High または FSITXn_CLK Low になった後に有効	0.25P(1) – 2	0.25P(1) + 2	ns
FSIT4	$t_{d(TXCLKL)}$	TX_DLYLINE_CTRL[TXCLK_DLY] ＝ 31 に設定した場合の FSITXn_CLK の遅延補償	9.95	30	ns
FSIT5	$t_{d(TX_D0)}$	TX_DLYLINE_CTRL[TXCLK_DLY] ＝ 31 に設定した場合の FSITXn_D0	9.95	30	ns
FSIT6	$t_{d(TX_D1)}$	TX_DLYLINE_CTRL[TXCLK_DLY] ＝ 31 に設定した場合の FSITXn_D1	9.95	30	ns
FSIT7	$t_{d(TX_DELAY_ELEMENT)}$	FSITXn_CLK、FSITXn_D0 および FSITXn_D1 の各ディレイライン素子の増分遅延	0.3	1	ns
FSIT_TDM1	$t_{skew(TX_TDM_CLK-TX_TDM_D)}$	FSITXn_TDM_CLK 遅延と FSITXn_TDM_D[0:1] 遅延の間に生じる遅延スキュー	-2.5	2.5	ns
FSIT_TDM2	$t_{skew(TX_TDM_CLK-TX_CLK)}$	遅延時間、FSITXn_TDM_CLK 入力から FSITXn_CLK 出力	2	12	ns
FSIT_TDM3	$t_{skew(TX_TDM_D0-TX_D0)}$	遅延時間、FSITXn_TDM_D0 入力から FSITXn_D0 出力	2	12	ns
FSIT_TDM4	$t_{skew(TX_TDM_D1-TX_D1)}$	遅延時間、FSITXn_TDM_D1 入力から FSITXn_D1 出力	2	12	ns

(1) P = $t_{c(TX_CLK)}$ = FSITX インターフェイスのクロック周期 (単位: ns)。

Copyright © 2025 Texas Instruments Incorporated

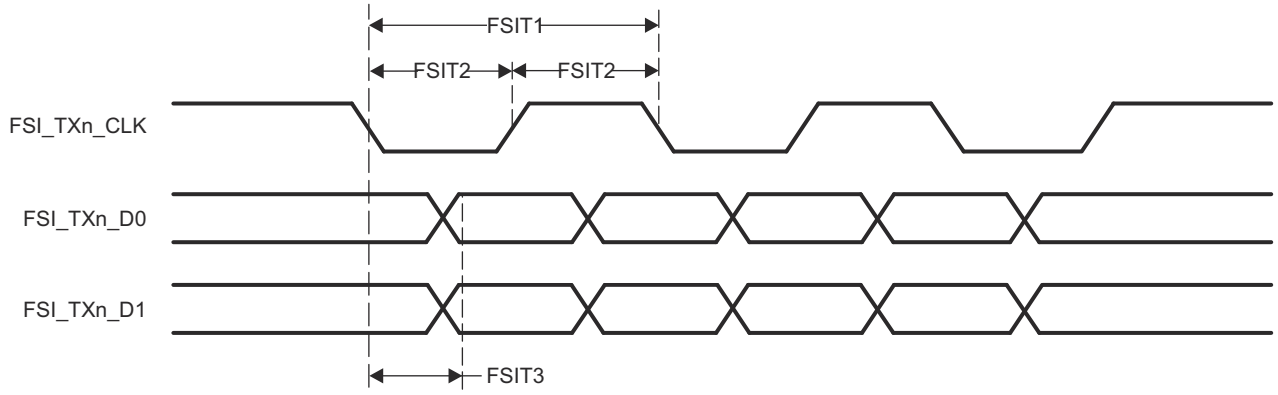


図 6-24. FSI のスイッチング特性 - FSI モード

6.11.5.5.5 FSITX SPI 信号モードのスイッチング特性

番号	パラメータ	説明	最小値	最大値	単位
FSIT4	$t_{c(TX_CLK)}$	サイクル時間、FSITXn_CLK	16.67		ns
FSIT5	$t_{w(TX_CLK)}$	パルス幅、FSITXn_CLK Low または FSITXn_CLK High	0.5P(1) – 1	0.5P(1) + 1	ns
FSIT6	$t_{d(TX_CLKH–TX_D0)}$	遅延時間、FSITXn_CLK High から FSITXn_D0 有効まで		3	ns
FSIT7	$t_{d(TX_D1-TX_CLK)}$	遅延時間、FSITXn_D1 Low から FSITXn_CLK High まで	P(1) – 3		ns
FSIT8	$t_{d(TX_CLK-TX_D1)}$	遅延時間、FSITXn_CLK Low から FSITXn_D1 High まで	P(1)		ns

(1) P = $t_{c(TX_CLK)}$ = FSITX インターフェイスのクロック周期 (単位: ns)。

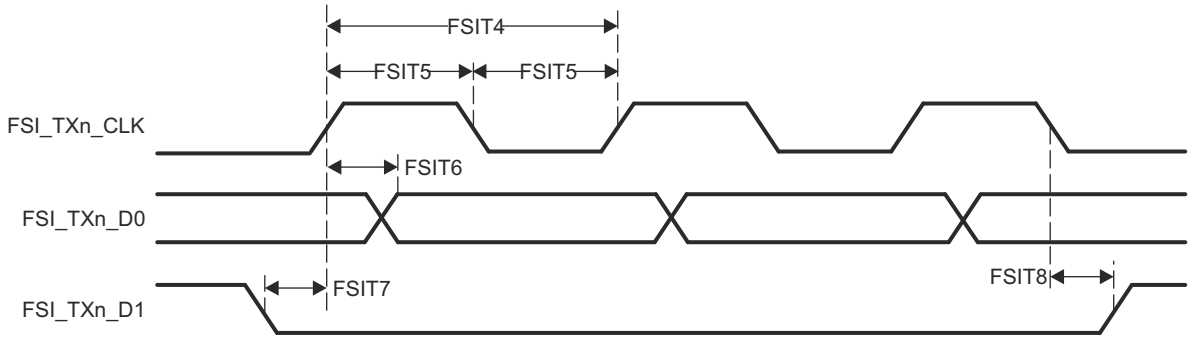


図 6-25. FSI のスイッチング特性 - SPI モード

6.11.5.6 汎用入出力 (GPIO)

GPIO デバイスの機能の詳細と追加の説明情報については、「*信号の説明*」および「*詳細説明*」セクションの対応するサブセクションを参照してください。

詳細については、デバイスの TRM で「ペリフェラル」の章にある「*汎用インターフェイス (GPIO)*」セクションを参照してください。

6.11.5.6.1 GPIO のタイミング条件

パラメータ		バッファのタイプ	最小値	最大値	単位
入力条件					
SR_I	入力スルーレート		0.75	6.6	V/ns
出力条件					
C_L	出力負荷容量	LVCMOS	3	10	pF
		I2C OD FS(1)	3	10	pF

(1) バッファ タイプ I2C OD FS には、プルアップ抵抗が必要です。

6.11.5.6.2 GPIO のタイミング要件

番号	パラメータ	説明	バッファのタイプ	最小値	最大値	単位
D3	$t_{w(GPIO_IN)}$	最小入力パルス幅	LVCMOS	2P(1) + 2		ns
D4			I2C OD FS(2)	2P(1) + 2		ns

(1) P = 機能クロック周期 (ns 単位)。
(2) バッファ タイプ I2C OD FS には、プルアップ抵抗が必要です。

6.11.5.6.3 GPIO スイッチング特性

番号	パラメータ	説明	バッファのタイプ	最小値	最大値	単位
D1	$t_{w(GPIO_OUT)}$	最小出力パルス幅	LVCMOS	0.975P(1) - 2		ns
D2	$t_{w(GPIO_OUT)}$	最小出力パルス幅 Low	I2C OD FS(2)	2P(1) + 160		ns
D3	$t_{w(GPIO_OUT)}$	最小出力パルス幅 High	I2C OD FS(2)	2P(1) + 160		ns

(1) P = 機能クロック周期 (ns 単位)。
(2) バッファ タイプ I2C OD FS には、プルアップ抵抗が必要です。

Copyright © 2025 Texas Instruments Incorporated

6.11.5.7 汎用メモリ コントローラ (GPMC)

本デバイスの汎用メモリ コントローラの機能の詳細と追加の説明情報については、「信号の説明」および「詳細説明」セクションの対応するサブセクションを参照してください。

詳細については、デバイスの TRM で「ペリフェラル」の章にある「*汎用メモリ コントローラ (GPMC)*」セクションを参照してください。

6.11.5.7.1 GPMC のタイミング条件

パラメータ			最小値	最大値	単位
入力条件					
SR_I	入力スルーレート		1.65	4	V/ns
出力条件					
C_L	出力負荷容量		3	20	pF
PCB 接続要件					
$t_{d(Trace\ Delay)}$	各パターンの伝搬遅延	100MHz	140	720	ps
$t_{d(Trace\ Mismatch\ Delay)}$	すべてのパターンにわたる伝搬遅延の不整合			200	ps

6.11.5.7.2 GPMC/NOR フラッシュのタイミング要件 – 同期モード
(1) (2)

番号	パラメータ	説明	モード	最小値	最大値	単位
F12	$t_{su(dV-clkH)}$	セットアップ時間、GPMC0_CLK High の前に GPMC0_AD[31:0] 有効	div_by_1_mode (4)	1.81		ns
			not_div_by_1_mode(5)	1.06		ns
F13	$t_{h(clkH-dV)}$	ホールド時間、GPMC0_CLK High の後 GPMC0_AD[31:0] 有効	div_by_1_mode (4)	2.29		ns
			not_div_by_1_mode(5)	2.29		ns
F21	$t_{su(waitV-clkH)}$	セットアップ時間、GPMC0_CLK High の前 GPMC0_WAIT[x](3) 有効	div_by_1_mode (4)	1.81		ns
			not_div_by_1_mode(5)	1.06		ns
F22	$t_{h(clkH-waitV)}$	ホールド時間、GPMC0_CLK High の後 GPMC0_WAIT[x](3) 有効	div_by_1_mode (4)	2.29		ns
			not_div_by_1_mode(5)	2.29		ns

(1) 100MHz GPMC_FCLK を選択 - CTRLMMR_GPMC_CLKSEL[0] CLK_SEL = 1 = MAIN_PLL2_HSDIV7_CLKOUT (100/60 MHz)
(2) 100MHz 同期モードでは、GPMC ピンからデバイスまでのパターン長は 4 インチ未満であると想定され、200ps 以内で一致する長さです。
(3) GPMC_WAIT[x] で、x は 0 または 1 です。
(4) div_by_1_mode では、GPMC0_CLK は GPMC0_CLKOUT と GPMC0_FCLK_MUX (フリーランニング) のどちらかを指します。両方の信号が同じピン
にピン多重化されています 。GPMC_CONFIG1_I レジスタ:GPMCFCLKDIVIDER = 0h:
– GPMC0_CLK 周波数 = GPMC_FCLK 周波数
(5) not_div_by_1_mode では、GPMC_CLK は GPMC0_CLKOUT のみを指します。GPMCFCLKDIVIDER > 0 の場合、GPMC0_FCLK_MUX は GPMC0_CLKOUT 周波数に一致するようにクロックを分周することはできません 。GPMC_CONFIG1_I
レジスタ:GPMCFCLKDIVIDER = 1h ～ 3h:
– GPMC_CLK 周波数 = GPMC_FCLK 周波数/ (2～4)

6.11.5.7.3 GPMC/NOR フラッシュのスイッチング特性 - 同期モード 100MHz
(18) (19) (20)

番号	パラメータ	説明	モード	最小値	最大値	単位
F0	$t_{c(clk)}$	クロック周期、GPMC0_CLK、GPMC0_FCLK_MUX		10(21)		ns
F1	$t_{w(clk)}$	一般的なパルス持続時間、GPMC0_CLK High または Low		0.475P(16) – 0.3(21)		ns
F2	$t_{d(clkH-csnV)}$	遅延時間、GPMC0_CLK 立ち上がりエッジから GPMC0_CSn[x] まで(15)遷移		F(6) – 2.2(21)	F(6)+3.75	ns
F3	$t_{d(clkH-csnIV)}$	遅延時間、GPMC0_CLK 立ち上がりエッジから GPMC0_CSn[x] まで(15)無効		E(5) – 2.2	E(5)+3.18	ns
F4	$t_{d(aV-clk)}$	遅延時間、GPMC0_A[27:1] は GPMC0_CLK の最初のエッジまで有効		B(2) – 2.3(21)	B(2) + 4.5	ns
F5	$t_{d(clkH-aIV)}$	遅延時間、GPMC0_CLK 立ち上がりエッジから GPMC0_A[27:1] まで無効		-2.3(21)	4.5	ns
F6	$t_{d(be[x]nV-clk)}$	遅延時間、GPMC0_BE0n_CLE、GPMC0_BE1n から GPMC0_CLK の最初のエッジまで有効		B(2) – 2.3(21)	B(2) + 1.9	ns
F7	$t_{d(clkH-be[x]nIV)}$	遅延時間、GPMC0_CLK 立ち上がりエッジから GPMC0_BE0n_CLE、GPMC0_BE1n まで無効(12)		D(4) – 2.3(21)	D(4) + 1.9	ns
F7	$t_{d(clkL-be[x]nIV)}$	遅延時間、GPMC0_CLK 立ち下がりエッジから GPMC0_BE0n_CLE、GPMC0_BE1n まで無効(13)		D(4) – 2.3(21)	D(4) + 1.9	ns
F7	$t_{d(clkL-be[x]nIV)}$	遅延時間、GPMC0_CLK 立ち下がりエッジから GPMC0_BE0n_CLE、GPMC0_BE1n まで無効(14)		D(4) – 2.3(21)	D(4) + 1.9	ns
F8	$t_{d(clkH-advn)}$	遅延時間、GPMC0_CLK 立ち上がりエッジから GPMC0_ADVn_ALE 遷移まで		G(7) (8) – 2.3(21)	G(7) (8) + 4.5	ns
F9	$t_{d(clkH-advnIV)}$	遅延時間、GPMC0_CLK 立ち上がりエッジから GPMC0_ADVn_ALE まで無効		D(4) – 2.3(21)	D(4) + 4.5	ns
F10	$t_{d(clkH-oen)}$	遅延時間、GPMC0_CLK 立ち上がりエッジから GPMC0_OEn_REn 遷移まで		H(9) – 2.3(21)	H(9) + 3.5	ns
F11	$t_{d(clkH-oenIV)}$	遅延時間、GPMC0_CLK 立ち上がりエッジから GPMC0_OEn_REn まで無効		H(9) – 2.3(21)	H(9) + 3.5	ns
F14	$t_{d(clkH-wen)}$	遅延時間、GPMC0_CLK 立ち上がりエッジから GPMC0_WEn 遷移まで		I(10) – 2.3(21)	I(10) + 4.5	ns
F15	$t_{d(clkH-do)}$	遅延時間、GPMC0_CLK 立ち上がりエッジから GPMC0_AD[31:0] まで遷移(12)		J(11) – 2.3(21)	J(11) + 2.7	ns
F15	$t_{d(clkL-do)}$	遅延時間、GPMC0_CLK 立ち下がりエッジから GPMC0_AD[31:0] データ バスまで遷移(13)		J(11) – 2.3(21)	J(11) + 2.7	ns
F15	$t_{d(clkL-do)}$	遅延時間、GPMC0_CLK 立ち下がりエッジから GPMC0_AD[31:0] データ バスまで遷移(14)		J(11) – 2.3(21)	J(11) + 2.7	ns
F17	$t_{d(clkH-be[x]n)}$	遅延時間、GPMC0_CLK 立ち上がりエッジから GPMC0_BE0n_CLE まで遷移(12)		J(11) – 2.3(21)	J(11) + 1.9	ns
F17	$t_{d(clkL-be[x]n)}$	遅延時間、GPMC0_CLK 立ち下がりエッジから GPMC0_BE0n_CLE、GPMC0_BE1n まで遷移(13)		J(11) – 2.3(21)	J(11) + 1.9	ns
F17	$t_{d(clkL-be[x]n)}$	遅延時間、GPMC_CLK 立ち下がりエッジから GPMC0_BE0n_CLE、GPMC0_BE1n まで遷移(14)		J(11) – 2.3(21)	J(11) + 1.9	ns

Copyright © 2025 Texas Instruments Incorporated

(18) (19) (20)

番号	パラメータ	説明	モード	最小値	最大値	単位
F18	$t_{w(csnV)}$	Pulse duration, GPMC0_CSn[x](15) low	読み出し	A(1)		ns
			書き込み	A(1)		ns
F19	$t_{w(be[x]nV)}$	パルス幅、GPMC0_BE0n_CLE、GPMC0_BE1n Low	読み出し	C(3)		ns
			書き込み	C(3)		ns
F20	$t_{w(advnV)}$	パルス幅、GPMC0_ADVn_ALE low	読み出し	K(17)		ns
			書き込み	K(17)		ns

(1) 単一読み取りの場合：A = (CSRdOffTime - CSOnTime) × (TimeParaGranularity + 1) × GPMC_FCLK(18)
バースト読み取りの場合：A = (CSRdOffTime - CSOnTime + (n - 1) × PageBurstAccessTime) × (TimeParaGranularity + 1) × GPMC_FCLK(18)
バースト書き込みの場合：A = (CSWrOffTime - CSOnTime + (n - 1) × PageBurstAccessTime) × (TimeParaGranularity + 1) × GPMC_FCLK(18)
n はページ バースト アクセス数。

(2) B = ClkActivationTime × GPMC_FCLK(18)

(3) 単一読み取りの場合：C = RdCycleTime × (TimeParaGranularity + 1) × GPMC_FCLK(18)
バースト読み取りの場合：C = (RdCycleTime + (n - 1) × PageBurstAccessTime) × (TimeParaGranularity + 1) × GPMC_FCLK(18)
バースト書き込みの場合：C = (WrCycleTime + (n - 1) × PageBurstAccessTime) × (TimeParaGranularity + 1) × GPMC_FCLK(18)
n はページ バースト アクセス数。

(4) 単一読み取りの場合：D = (RdCycleTime - AccessTime) × (TimeParaGranularity + 1) × GPMC_FCLK(18)
バースト読み取りの場合：D = (RdCycleTime - AccessTime) × (TimeParaGranularity + 1) × GPMC_FCLK(18)
バースト書き込みの場合：D = (WrCycleTime - AccessTime) × (TimeParaGranularity + 1) × GPMC_FCLK(18)

(5) 単一読み取りの場合：E = (CSRdOffTime - AccessTime) × (TimeParaGranularity + 1) × GPMC_FCLK(18)
バースト読み取りの場合：E = (CSRdOffTime - AccessTime) × (TimeParaGranularity + 1) × GPMC_FCLK(18)
バースト書き込みの場合：E = (CSWrOffTime - AccessTime) × (TimeParaGranularity + 1) × GPMC_FCLK(18)

(6) csn 立ち下がりエッジ (CS がアクティブ) の場合：
– Case GpmcFCLKDivider = 0:
– F = 0.5 × CSExtraDelay × GPMC_FCLK(18)
– Case GpmcFCLKDivider = 1:
– F = 0.5 × CSExtraDelay × GPMC_FCLK(18) (ClkActivationTime および CSOnTime が奇数) または (ClkActivationTime および CSOnTime が偶数) の場合
– F = (1 + 0.5 × CSExtraDelay) × GPMC_FCLK(18) あるいは
– Case GpmcFCLKDivider = 2:
– F = 0.5 × CSExtraDelay × GPMC_FCLK(18) ((CSOnTime - ClkActivationTime) が 3 の倍数) の場合
– F = (1 + 0.5 × CSExtraDelay) × GPMC_FCLK(18) ((CSOnTime - ClkActivationTime - 1) が 3 の倍数) の場合
– F = (2 + 0.5 × CSExtraDelay) × GPMC_FCLK(18) ((CSOnTime - ClkActivationTime - 2) が 3 の倍数) の場合

(7) ADV 立ち下がりエッジ (ADV がアクティブ) の場合：
– Case GpmcFCLKDivider = 0:
– G = 0.5 × ADVExtraDelay × GPMC_FCLK(18)
– Case GpmcFCLKDivider = 1:
– G = 0.5 × ADVExtraDelay × GPMC_FCLK(18) (ClkActivationTime および ADVOnTime が奇数 are odd) の場合または (ClkActivationTime and ADVOnTime が偶数) の場合
– G = (1 + 0.5 × ADVExtraDelay) × GPMC_FCLK(18) あるいは
– Case GpmcFCLKDivider = 2:
– G = 0.5 × ADVExtraDelay × GPMC_FCLK(18) ((ADVOnTime - ClkActivationTime) が 3 の倍数) の場合
– G = (1 + 0.5 × ADVExtraDelay) × GPMC_FCLK(18) ((ADVOnTime - ClkActivationTime - 1) が 3 の倍数) の場合
– G = (2 + 0.5 × ADVExtraDelay) × GPMC_FCLK(18) ((ADVOnTime - ClkActivationTime - 2) が 3 の倍数) の場合
読み取りモード時の ADV 立ち上がりエッジ (ADV 無効)：
– Case GpmcFCLKDivider = 0:
– G = 0.5 × ADVExtraDelay × GPMC_FCLK(18)
– Case GpmcFCLKDivider = 1:
– G = 0.5 × ADVExtraDelay × GPMC_FCLK(18) (ClkActivationTime および ADVRdOffTime が奇数 are odd) の場合または (ClkActivationTime and ADVRdOffTime が偶数) の場合
– G = (1 + 0.5 × ADVExtraDelay) × GPMC_FCLK(18) あるいは
– Case GpmcFCLKDivider = 2:
– G = 0.5 × ADVExtraDelay × GPMC_FCLK(18) ((ADVRdOffTime - ClkActivationTime) が 3 の倍数) の場合
– F = (1 + 0.5 × ADVExtraDelay) × GPMC_FCLK(18) ((ADVRdOffTime - ClkActivationTime - 1) が 3 の倍数) の場合
– F = (2 + 0.5 × ADVExtraDelay) × GPMC_FCLK(18) ((ADVRdOffTime - ClkActivationTime - 2) が 3 の倍数) の場合

(8) 書き込みモードでの ADV 立ち上がりエッジ (ADV が非アクティブ) の場合：
– Case GpmcFCLKDivider = 0:
– G = 0.5 × ADVExtraDelay × GPMC_FCLK(18)

– Case GpmcFCLKDivider = 1:
– G = 0.5 × ADVExtraDelay × GPMC_FCLK[18] (ClkActivationTime および ADVWrOffTime が奇数 are odd) の場合または (ClkActivationTime and ADVWrOffTime が偶数) の場合
– G = (1 + 0.5 × ADVExtraDelay) × GPMC_FCLK[18] あるいは
– Case GpmcFCLKDivider = 2:
– G = 0.5 × ADVExtraDelay × GPMC_FCLK[18] ((ADVWrOffTime - ClkActivationTime) が 3 の倍数) の場合
– F = (1 + 0.5 × ADVExtraDelay) × GPMC_FCLK[18] ((ADVWrOffTime - ClkActivationTime - 1) が 3 の倍数) の場合
– F = (2 + 0.5 × ADVExtraDelay) × GPMC_FCLK[18] ((ADVWrOffTime - ClkActivationTime - 2) が 3 の倍数) の場合

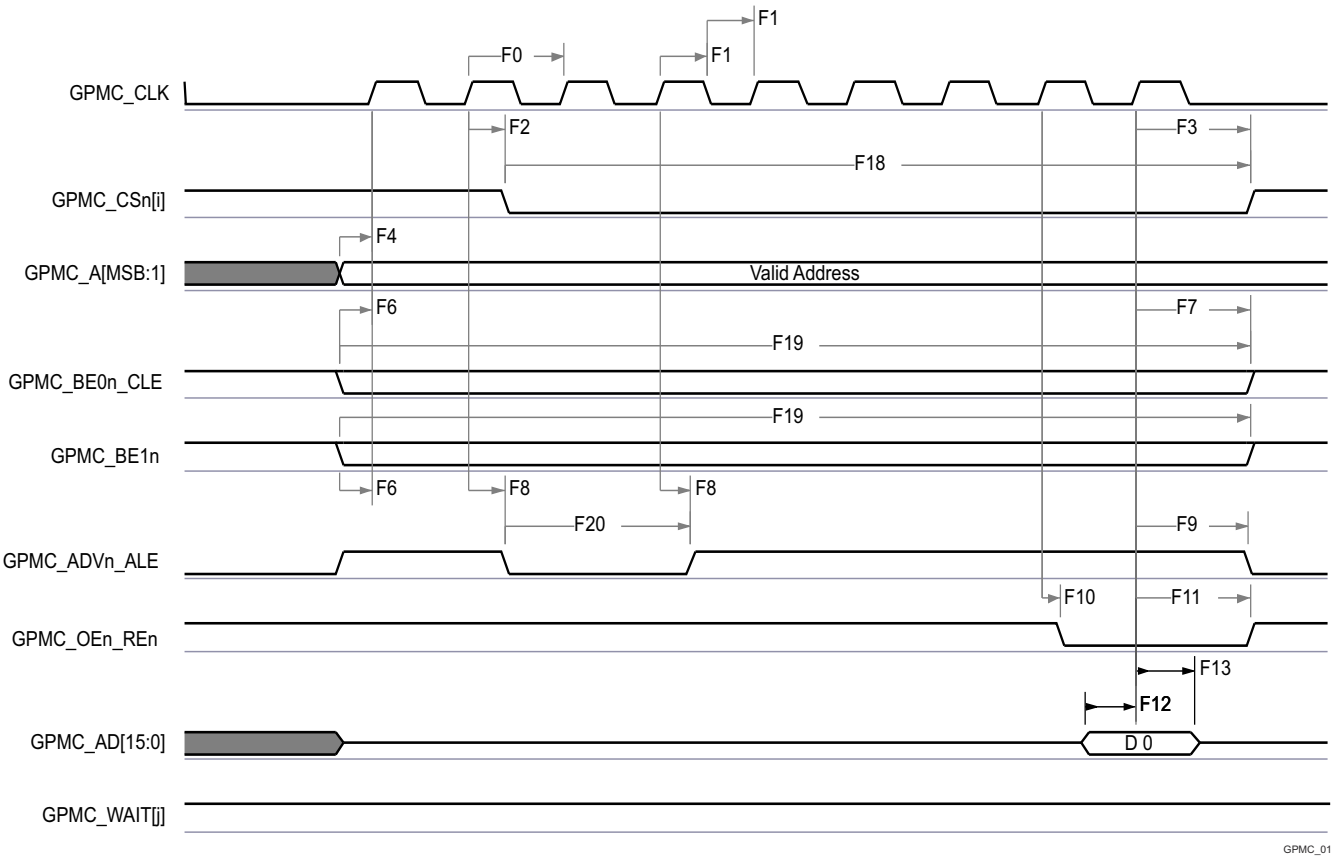
(9) OE の立ち下がりエッジ (OE がアクティブ) および IO DIR の立ち上がりエッジ (データ バスが入力方向) の場合:
– Case GpmcFCLKDivider = 0:
– H = 0.5 × OEExtraDelay × GPMC_FCLK[18]
– Case GpmcFCLKDivider = 1:
– H = 0.5 × OEExtraDelay × GPMC_FCLK[18] (ClkActivationTime および OEOnTime が奇数) または (ClkActivationTime および OEOnTime が偶数) の場合
– F = (1 + 0.5 × OEExtraDelay) × GPMC_FCLK[18] あるいは
– Case GpmcFCLKDivider = 2:
– H = 0.5 × OEExtraDelay × GPMC_FCLK[18] ((OEOnTime - ClkActivationTime) が 3 の倍数) の場合
– H = (1 + 0.5 × OEExtraDelay) × GPMC_FCLK[18] ((OEOnTime - ClkActivationTime - 1) が 3 の倍数) の場合
– G = (2 + 0.5 × OEExtraDelay) × GPMC_FCLK[18] ((OEOnTime - ClkActivationTime - 2) が 3 の倍数) の場合
OE 立ち上がりエッジ (OE 無効) :
– Case GpmcFCLKDivider = 0:
– H = 0.5 × OEExtraDelay × GPMC_FCLK[18]
– Case GpmcFCLKDivider = 1:
– H = 0.5 × OEExtraDelay × GPMC_FCLK[18] (ClkActivationTime および OEOffTime が奇数) または (ClkActivationTime および OEOffTime が偶数) の場合
– F = (1 + 0.5 × OEExtraDelay) × GPMC_FCLK[18] あるいは
– Case GpmcFCLKDivider = 2:
– H = 0.5 × OEExtraDelay × GPMC_FCLK[18] ((OEOffTime - ClkActivationTime) が 3 の倍数) の場合
– H = (1 + 0.5 × OEExtraDelay) × GPMC_FCLK[18] ((OEOffTime - ClkActivationTime - 1) が 3 の倍数) の場合
– G = (2 + 0.5 × OEExtraDelay) × GPMC_FCLK[18] ((OEOffTime - ClkActivationTime - 2) が 3 の倍数) の場合

(10) WE 立ち下がりエッジ (WE がアクティブ) の場合:
– Case GpmcFCLKDivider = 0:
– I = 0.5 × WEExtraDelay × GPMC_FCLK[18]
– Case GpmcFCLKDivider = 1:
– I = 0.5 × WEExtraDelay × GPMC_FCLK[18] (ClkActivationTime および WEOnTime が奇数) または (ClkActivationTime および WEOnTime が偶数) の場合
– F = (1 + 0.5 × WEExtraDelay) × GPMC_FCLK[18] あるいは
– Case GpmcFCLKDivider = 2:
– I = 0.5 × WEExtraDelay × GPMC_FCLK[18] ((WEOnTime - ClkActivationTime) が 3 の倍数) の場合
– I = (1 + 0.5 × WEExtraDelay) × GPMC_FCLK[18] ((WEOnTime - ClkActivationTime - 1) が 3 の倍数) の場合
– I = (2 + 0.5 × WEExtraDelay) × GPMC_FCLK[18] ((WEOnTime - ClkActivationTime - 2) が 3 の倍数) の場合
WE 立ち上がりエッジ (WE 無効) :
– Case GpmcFCLKDivider = 0:
– I = 0.5 × WEExtraDelay × GPMC_FCLK[18]
– Case GpmcFCLKDivider = 1:
– I = 0.5 × WEExtraDelay × GPMC_FCLK[18] (ClkActivationTime および WEOffTime が奇数) または (ClkActivationTime および WEOffTime が偶数) の場合
– F = (1 + 0.5 × WEExtraDelay) × GPMC_FCLK[18] あるいは
– Case GpmcFCLKDivider = 2:
– I = 0.5 × WEExtraDelay × GPMC_FCLK[18] ((WEOffTime - ClkActivationTime) が 3 の倍数) の場合
– I = (1 + 0.5 × WEExtraDelay) × GPMC_FCLK[18] ((WEOffTime - ClkActivationTime - 1) が 3 の倍数) の場合
– I = (2 + 0.5 × WEExtraDelay) × GPMC_FCLK[18] ((WEOffTime - ClkActivationTime - 2) が 3 の倍数) の場合

(11) J = GPMC_FCLK[18]
(12) 最初の転送は、CLK DIV 1 モードのみです。
(13) CLK DIV 1 モードでの初期転送の後、すべてのデータは半サイクルです。
(14) CLK DIV 1 モード以外のモードでは、すべてのデータは GPMC_CLK_OUT の半サイクルです。GPMC_FCLK から GPMC_CLK_OUT を分周します。
(15) GPMC_CSn[x] で、x は 0、1、2、または 3 です。GPMC_WAIT[x] で、x は 0 または 1 です。
(16) P = GPMC_CLK 周期 (ns 単位)
(17) 読み出しの場合:K = (ADVRdOffTime - ADVOnTime) × (TimeParaGranularity + 1) × GPMC_FCLK[18]
書き込みの場合:K = (ADVWrOffTime - ADVOnTime) × (TimeParaGranularity + 1) × GPMC_FCLK[18]
(18) GPMC_FCLK は、汎用メモリ コントローラの内部機能クロック周期で、ns 単位です。
(19) 100MHz GPMC_FCLK を選択 - CTRLMMR_GPMC_CLKSEL[0] CLK_SEL = 1 = MAIN_PLL2_HSDIV7_CLKOUT (100/60 MHz)
(20) 100MHz 同期モードでは、GPMC ピンからデバイスまでのパターン長は 4 インチ未満であると想定され、200ps 以内で一致する長さです。

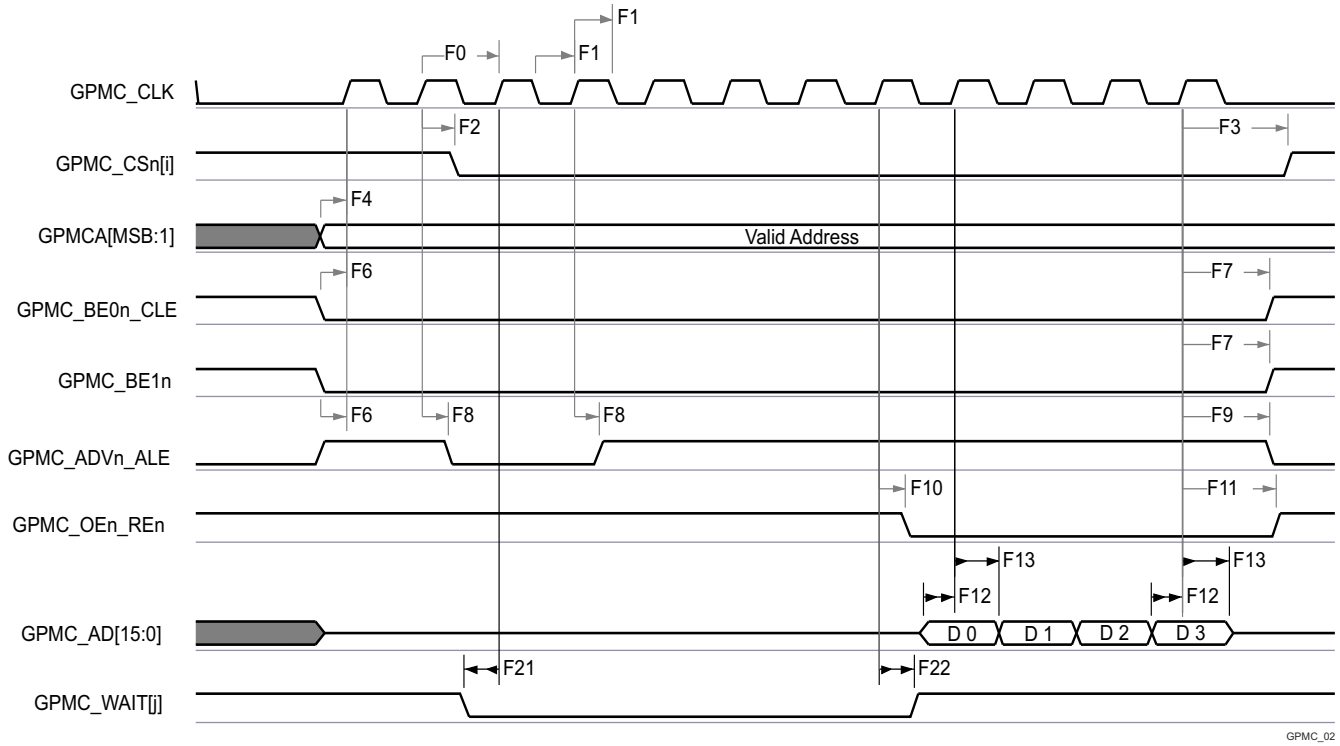
Copyright © 2025 Texas Instruments Incorporated

(21) div_by_1_mode では、GPMC0_CLK は GPMC0_CLKOUT と GPMC0_FCLK_MUX (フリーランニング) のどちらかを指します。両方の信号が同じピン
にピン多重化されています – GPMC_CONFIG1_I レジスタ:GPMCFCLKDIVIDER = 0h
:–GPMC0_CLK 周波数 = GPMC_FCLK の周波数
NOT_div_by_1_MODE では、GPMC0_CLK は GPMC0_CLKOUT のみを指します。GPMCFCLKDIVIDER > 0 の場合、GPMC0_FCLK_MUX は GPMC0_CLKOUT 周波数に一致するようにクロックを分周することはできません – GPMC_CONFIG1_I レジスタ:GPMCFCLKDIVIDER = 1h ～ 3h:
– GPMC0_CLK 周波数 = GPMC_FCLK 周波数/ (2～4)



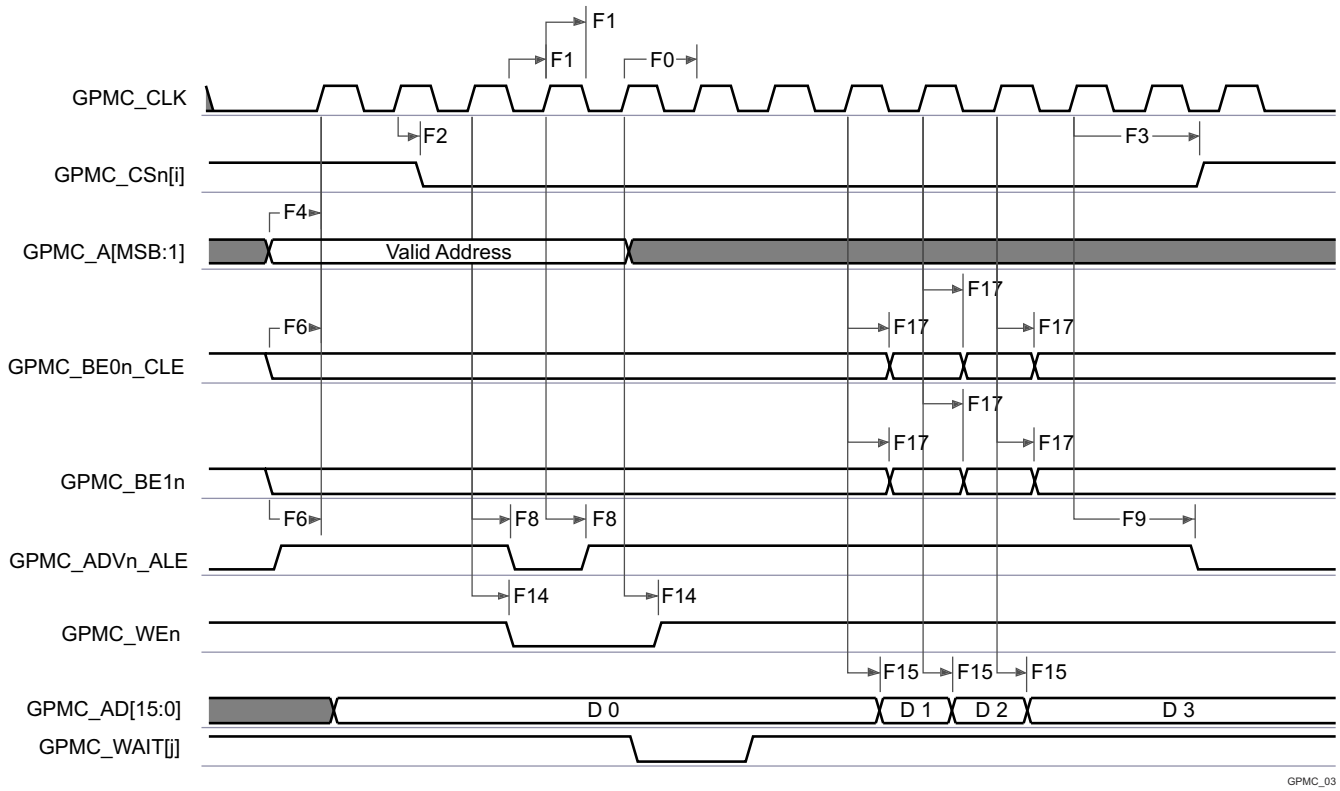
A. GPMC_CSn[i] で、i は 0、1、2、または 3 です。
B. GPMC_WAIT[j] で、j は 0 または 1 です。

図 6-26. GPMC および NOR フラッシュ — 同期単一読み出し (GPMCFCLKDIVIDER = 0)



A. GPMC_CSn[i] で、i は 0、1、2、または 3 です。
B. GPMC_WAIT[j] で、j は 0 または 1 です。

図 6-27. GPMC および NOR フラッシュ — 同期バースト読み出し — 4x16 ビット (GPMCFCLKDIVIDER = 0)

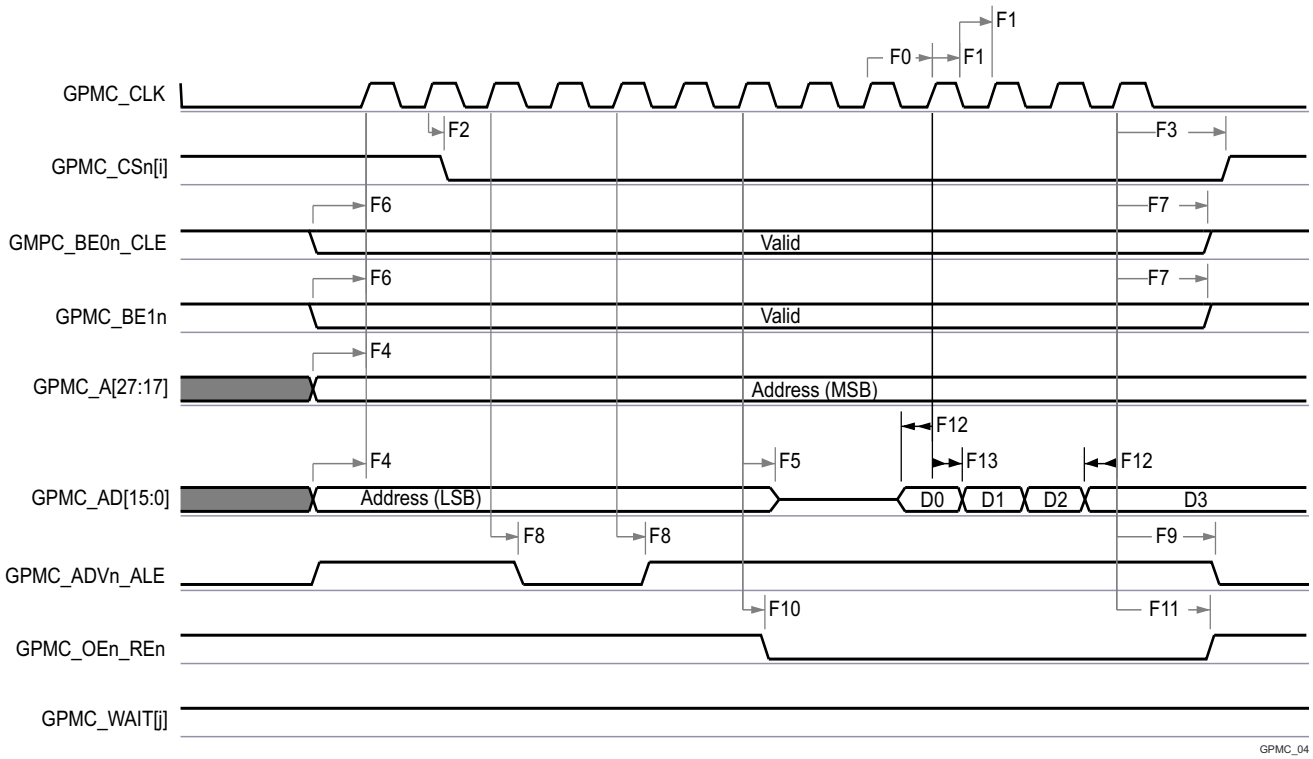


A. GPMC_CSn[i] で、i は 0、1、2、または 3 です。

Copyright © 2025 Texas Instruments Incorporated

B. GPMC_WAIT[j] で、j は 0 または 1 です。

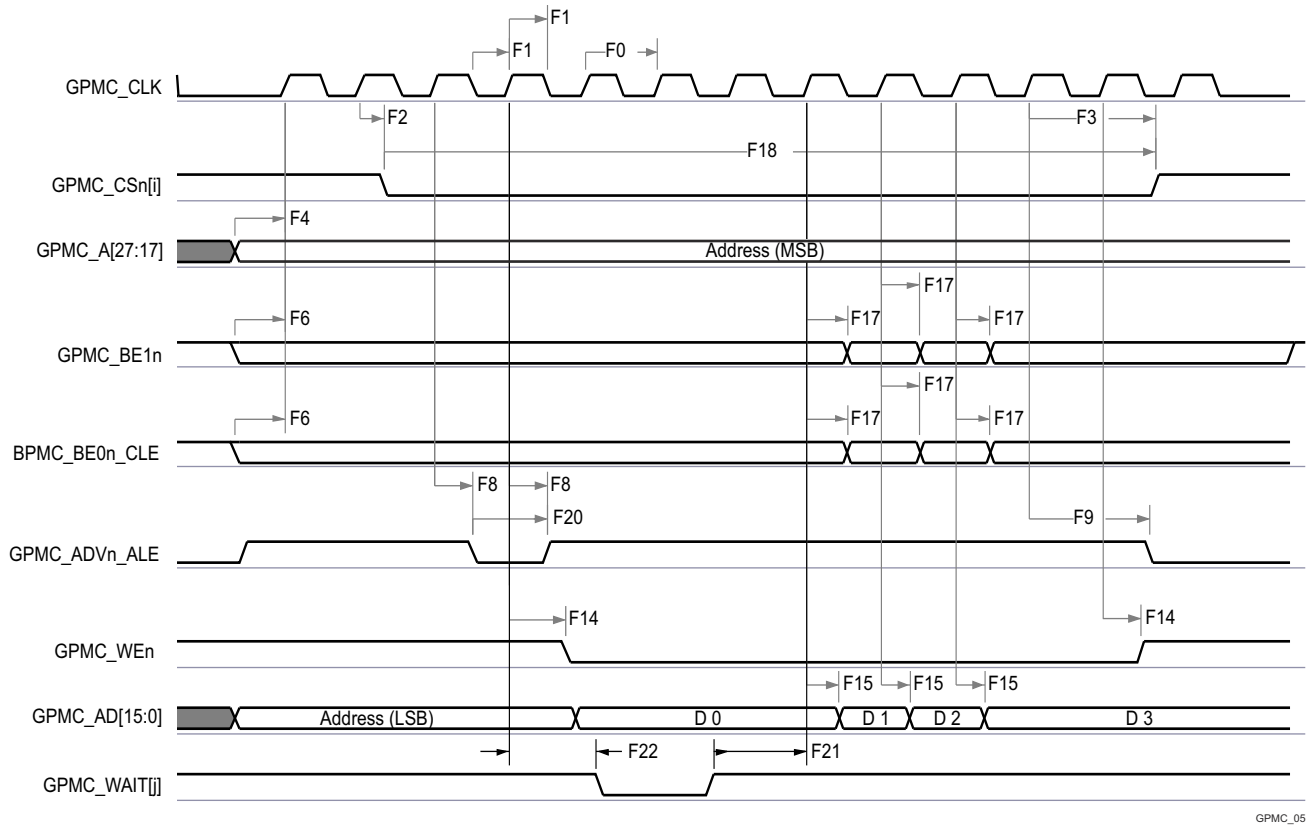
図 6-28. GPMC および NOR フラッシュ — 同期バースト書き込み (GPMCFCLKDIVIDER = 0)



A. GPMC_CSn[i] で、i は 0、1、2、または 3 です。

B. GPMC_WAIT[j] で、j は 0 または 1 です。

図 6-29. GPMC および多重化 NOR フラッシュ — 同期バースト読み出し



A. GPMC_CSn[i] で、i は 0、1、2、または 3 です。
B. GPMC_WAIT[j] で、j は 0 または 1 です。

図 6-30. GPMC および多重化 NOR フラッシュ — 同期バースト書き込み

6.11.5.7.4 GPMC/NOR フラッシュのタイミング要件 – 非同期モード
(7)

番号	パラメータ	説明	最小値	最大値	単位
FA5(1)	$t_{acc(d)}$	データ アクセス時間		H(5)	ns
FA20(2)	$t_{acc1\text{-}pgmode(d)}$	ページ モードの連続データ アクセス時間		P(4)	ns
FA21(3)	$t_{acc2\text{-}pgmode(d)}$	ページ モードの最初のデータ アクセス時間		H(5)	ns

(1) FA5 パラメータは、入力データを内部的にサンプリングするために必要な時間を示します。これは、GPMC 機能クロック サイクル数で表されます。読み取りサイクルの開始から FA5 機能クロック サイクル経過後、入力データはアクティブな機能クロック エッジによって内部的にサンプリングされます。FA5 の値は、AccessTime レジスタ ビット フィールドに保存する必要があります。
(2) FA20 パラメータは、連続する入力ページ データを内部でサンプリングするために必要な時間を示します。これは、GPMC 機能クロック サイクル数で表されます。入力ページ データへの各アクセスの後、FA20 機能クロック サイクル経過後、次の入力ページ データはアクティブな機能クロック エッジによって内部的にサンプリングされます。FA20 の値は、PageBurstAccessTime レジスタのビット フィールドに保存する必要があります。
(3) FA21 パラメータは、最初の入力ページ データを内部でサンプリングするために必要な時間を示します。これは、GPMC 機能クロック サイクル数で表されます。読み取りサイクルの開始から FA21 機能クロック サイクル経過後、最初の入力ページ データが、アクティブな機能クロック エッジによって内部的にサンプリングされます。FA21 の値は、AccessTime レジスタ ビット フィールドに保存する必要があります。
(4) P = PageBurstAccessTime × (TimeParaGranularity + 1) × GPMC_FCLK(6)
(5) H = AccessTime × (TimeParaGranularity + 1) × GPMC_FCLK(6)
(6) GPMC_FCLK は、汎用メモリ コントローラの内部機能クロック周期で、ns 単位です。
(7) 100MHz GPMC_FCLK を選択 - CTRLMMR_GPMC_CLKSEL[0] CLK_SEL = 1 = MAIN_PLL2_HSDIV7_CLKOUT (100/60 MHz)

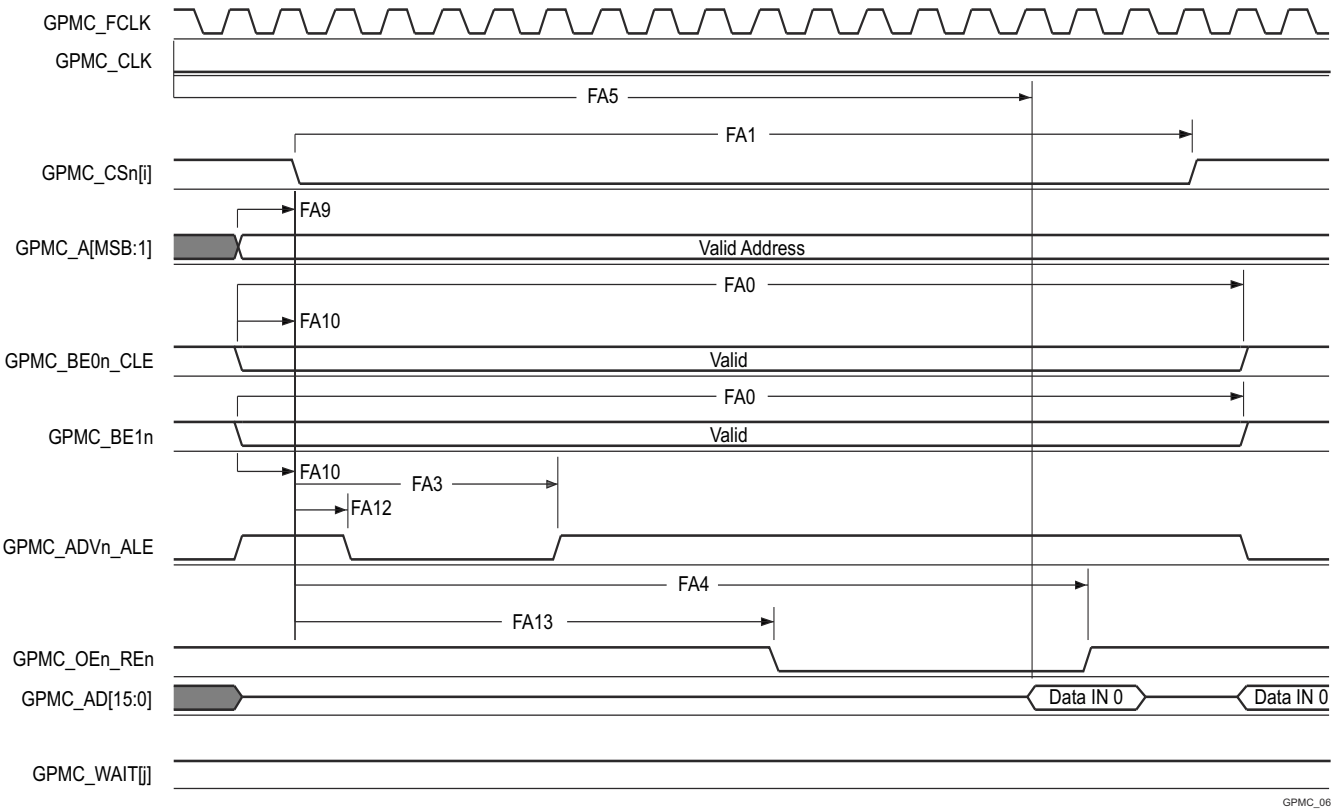
Copyright © 2025 Texas Instruments Incorporated

6.11.5.7.5 GPMC/NOR フラッシュのスイッチング特性 - 非同期モード 100MHz
(14) (15)

番号	パラメータ	説明	モード	最小値	最大値	単位
FA0	$t_{w(be[x]nV)}$	パルス幅、GPMC0_BE0n_CLE、GPMC0_BE1n 有効時間	読み出し		N(12)	ns
			書き込み		N(12)	ns
FA1	$t_{w(csnV)}$	パルス幅、GPMC0_CSn[x](13) Low	読み出し		A(1)	ns
			書き込み		A(1)	ns
FA3	$t_{d(csnV-advnIV)}$	遅延時間、GPMC0_CSn[x](13) 有効から GPMC0_ADVn_ALE 無効	読み出し	B(2) – 2	B(2) + 2	ns
			書き込み	B(2) - 2	B(2) + 2	ns
FA4	$t_{d(csnV-oenIV)}$	遅延時間、GPMC0_CSn[x](13) 有効から GPMC0_OEn_REn 無効 (シングル読み取り)		C(3) – 2	C(3) + 2	ns
FA9	$t_{d(aV-csnV)}$	遅延時間、GPMC0_A[27:1] 有効から GPMC0_CSn[x](13) 有効		J(9) – 2	J(9) + 2	ns
FA10	$t_{d(be[x]nV-csnV)}$	遅延時間、GPMC0_BE0n_CLE、GPMC0_BE1n 有効から GPMC0_CSn[x](13) 有効		J(9) – 2	J(9) + 2	ns
FA12	$t_{d(csnV-advnV)}$	遅延時間、GPMC0_CSn[x](13) 有効から GPMC0_ADVn_ALE 有効		K(10) – 2	K(10) + 2	ns
FA13	$t_{d(csnV-oenV)}$	遅延時間、GPMC0_CSn[x](13) 有効から GPMC0_OEn_REn 有効		L(11) – 2	L(11) + 2	ns
FA16	$t_{w(alV)}$	連続する 2 回の読み取りおよび書き込みアクセス間のパルス幅 GPMC0_A[26:1] は無効		G(7)		ns
FA18	$t_{d(csnV-oenIV)}$	遅延時間、GPMC0_CSn[x](13) 有効から GPMC0_OEn_REn 無効 (バースト読み取り)		I(8) – 2	I(8) + 2	ns
FA20	$t_{w(av)}$	パルス幅、GPMC0_A[27:1] 有効 - 2 回目、3 回目、4 回目のアクセス		D(4)		ns
FA25	$t_{d(csnV-wenIV)}$	遅延時間、GPMC0_CSn[x](13) 有効から GPMC0_WEn 有効		E(5) – 2	E(5) + 2	ns
FA27	$t_{d(csnV-wenIV)}$	遅延時間、GPMC0_CSn[x](13) 有効から GPMC0_WEn 無効		F(6) – 2	F(6) + 2	ns
FA28	$t_{d(wenV-dV)}$	遅延時間、GPMC0_WEn 有効から GPMC0_AD[31:0] 有効			2	ns
FA29	$t_{d(dV-csnV)}$	遅延時間、GPMC0_AD[31:0] 有効から GPMC0_CSn[x](13) 有効		J(9) – 2	J(10) + 2	ns
FA37	$t_{d(oenV-alV)}$	遅延時間、GPMC0_OEn_REn 有効から GPMC0_AD[31:0] 位相終了			2	ns

(1) 単一読み取りの場合：A = (CSRdOffTime - CSOnTime) × (TimeParaGranularity + 1) × GPMC_FCLK(14)
単一書き込みの場合：A = (CSWrOffTime - CSOnTime) × (TimeParaGranularity + 1) × GPMC_FCLK(14)
バースト読み取りの場合：A = (CSRdOffTime - CSOnTime + (n - 1) × PageBurstAccessTime) × (TimeParaGranularity + 1) × GPMC_FCLK(14)
バースト書き込みの場合：A = (CSWrOffTime - CSOnTime + (n - 1) × PageBurstAccessTime) × (TimeParaGranularity + 1) × GPMC_FCLK(14) n はページ バースト アクセス数
(2) 読み取りの場合：B = ((ADVRdOffTime - CSOnTime) × (TimeParaGranularity + 1) + 0.5 × (ADVExtraDelay - CSExtraDelay)) × GPMC_FCLK(14)
書き込みの場合：B = ((ADVWrOffTime - CSOnTime) × (TimeParaGranularity + 1) + 0.5 × (ADVExtraDelay - CSExtraDelay)) × GPMC_FCLK(14)
(3) C = ((OEOffTime - CSOnTime) × (TimeParaGranularity + 1) + 0.5 × (OEExtraDelay - CSExtraDelay)) × GPMC_FCLK(14)
(4) D = PageBurstAccessTime × (TimeParaGranularity + 1) × GPMC_FCLK(14)
(5) E = ((WEOnTime - CSOnTime) × (TimeParaGranularity + 1) + 0.5 × (WEExtraDelay - CSExtraDelay)) × GPMC_FCLK(14)
(6) F = ((WEOffTime - CSOnTime) × (TimeParaGranularity + 1) + 0.5 × (WEExtraDelay - CSExtraDelay)) × GPMC_FCLK(14)
(7) G = Cycle2CycleDelay × GPMC_FCLK(14)
(8) I = ((OEOffTime + (n - 1) × PageBurstAccessTime - CSOnTime) × (TimeParaGranularity + 1) + 0.5 × (OEExtraDelay - CSExtraDelay)) × GPMC_FCLK(14)
(9) J = (CSOnTime × (TimeParaGranularity + 1) + 0.5 × CSExtraDelay) × GPMC_FCLK(14)

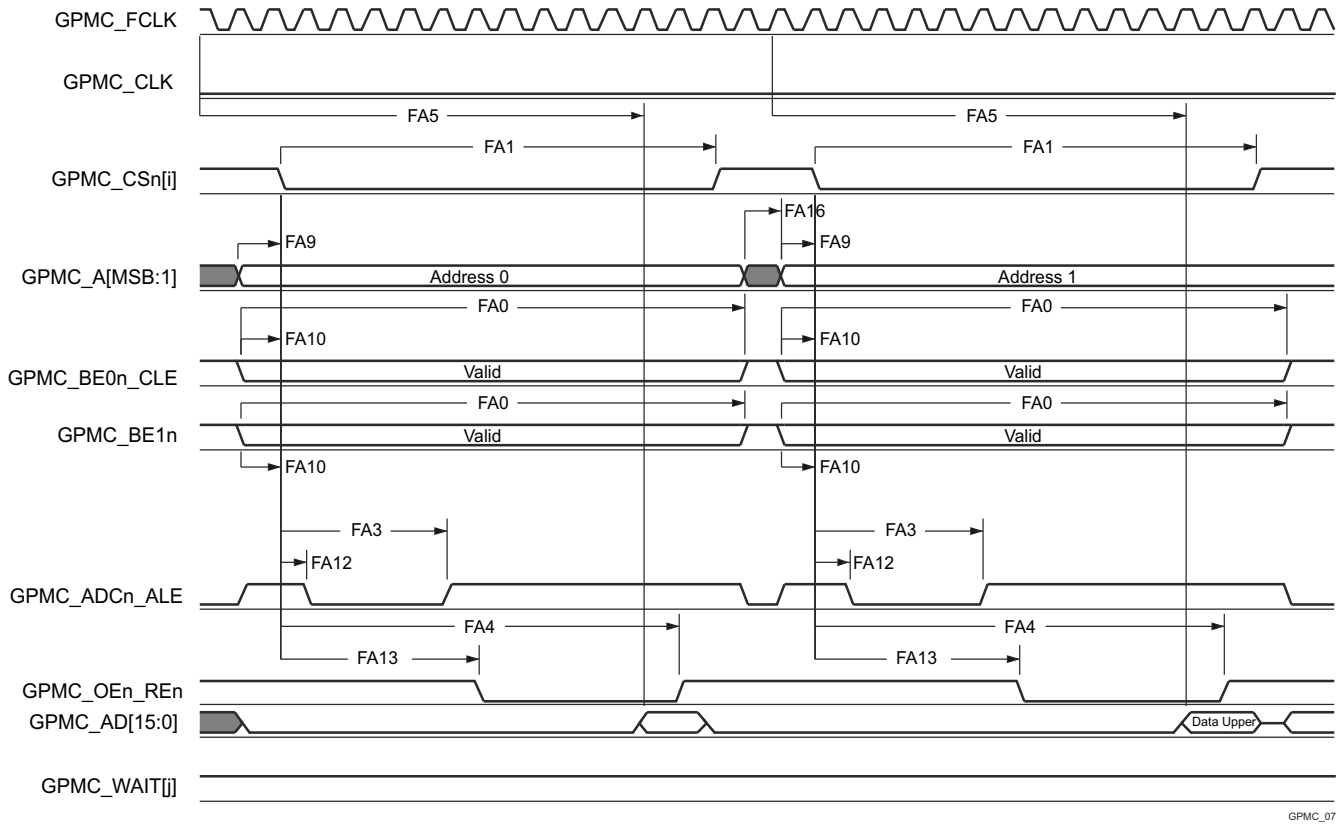
(10) K = ((ADVOnTime - CSOnTime) × (TimeParaGranularity + 1) + 0.5 × (ADVExtraDelay - CSExtraDelay)) × GPMC_FCLK[14]
(11) L = ((OEOnTime - CSOnTime) × (TimeParaGranularity + 1) + 0.5 × (OEExtraDelay - CSExtraDelay)) × GPMC_FCLK[14]
(12) 単一読み取りの場合：N = RdCycleTime × (TimeParaGranularity + 1) × GPMC_FCLK[14]
単一書き込みの場合：N = WrCycleTime × (TimeParaGranularity + 1) × GPMC_FCLK[14]
バースト読み取りの場合：N = (RdCycleTime + (n - 1) × PageBurstAccessTime) × (TimeParaGranularity + 1) × GPMC_FCLK[14]
バースト書き込みの場合：N = (WrCycleTime + (n - 1) × PageBurstAccessTime) × (TimeParaGranularity + 1) × GPMC_FCLK[14]
(13) GPMC_CSn[x] で、x は 0、1、2、または 3 です。
(14) GPMC_FCLK は、汎用メモリ コントローラの内部機能クロック周期で、ns 単位です。
(15) 100MHz GPMC_FCLK を選択 - CTRLMMR_GPMC_CLKSEL[0] CLK_SEL = 1 = MAIN_PLL2_HSDIV7_CLKOUT (100/60 MHz)



A. GPMC_CSn[i] で、i は 0、1、2、または 3 です。GPMC_WAIT[j] で、j は 0 または 1 です。
B. FA5 パラメータは、入力データを内部でサンプリングするために必要な時間を示しています。これは、GPMC 機能クロック サイクル数で表されます。読み取りサイクルの開始から FA5 機能クロック サイクル経過後、入力データはアクティブな機能クロック エッジによって内部的にサンプリングされます。FA5 の値は、AccessTime レジスタ ビット フィールド内に格納する必要があります。
C. GPMC_FCLK は、外部に供給されない内部クロック (GPMC 機能クロック) です。

図 6-31. GPMC および NOR フラッシュ — 非同期読み取り — シングル ワード

Copyright © 2025 Texas Instruments Incorporated

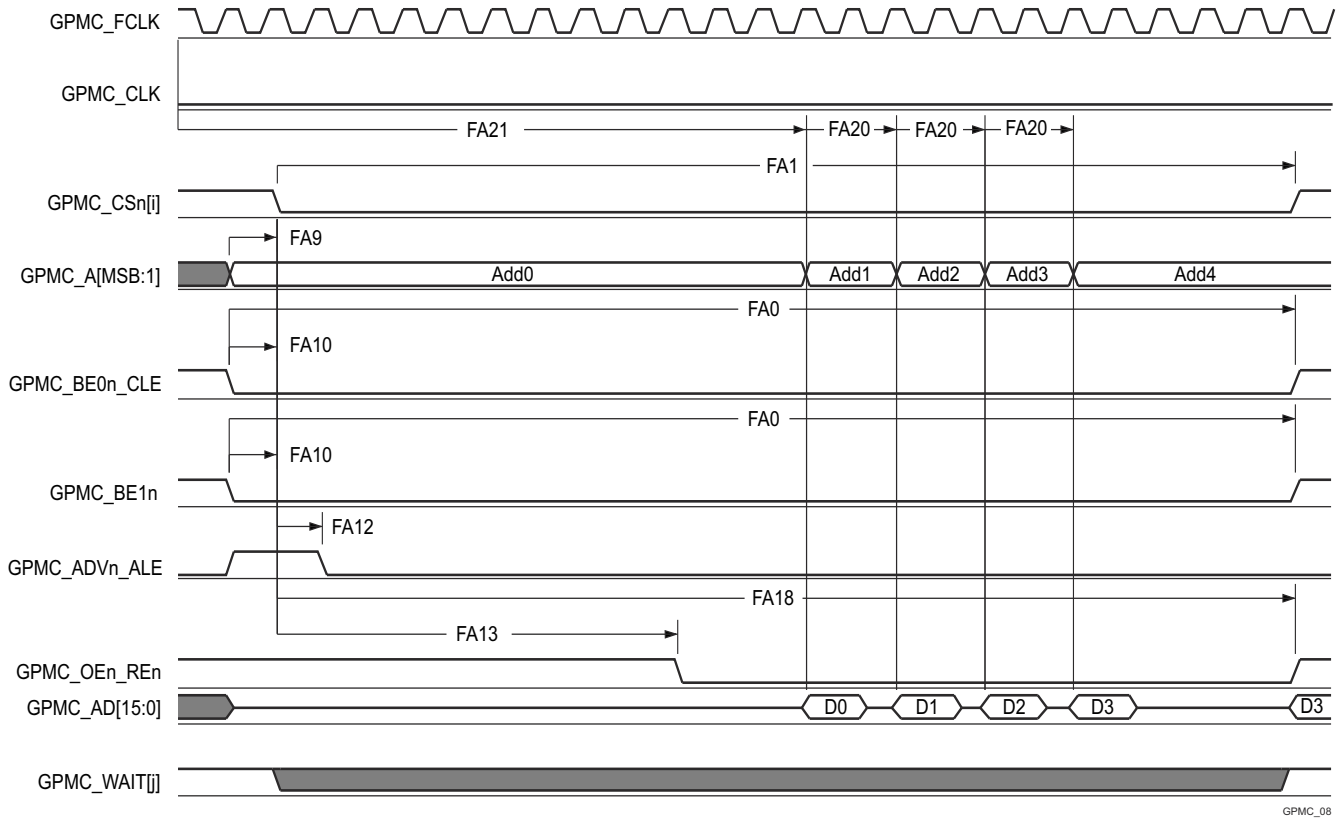


A. GPMC_CSn[i] で、i は 0、1、2、または 3 です。GPMC_WAIT[j] で、j は 0 または 1 です。

B. FA5 パラメータは、入力データを内部でサンプリングするために必要な時間を示しています。これは、GPMC 機能クロック サイクル数で表されます。読み取りサイクルの開始から FA5 機能クロック サイクル経過後、入力データはアクティブな機能クロック エッジによって内部的にサンプリングされます。FA5 の値は、AccessTime レジスタ ビット フィールド内に格納する必要があります。

C. GPMC_FCLK は、外部に供給されない内部クロック (GPMC 機能クロック) です。

図 6-32. GPMC および NOR フラッシュ — 非同期読み取り — 32 ビット



A. GPMC_CSn[i] で、i は 0、1、2、または 3 です。GPMC_WAIT[j] で、j は 0 または 1 です。

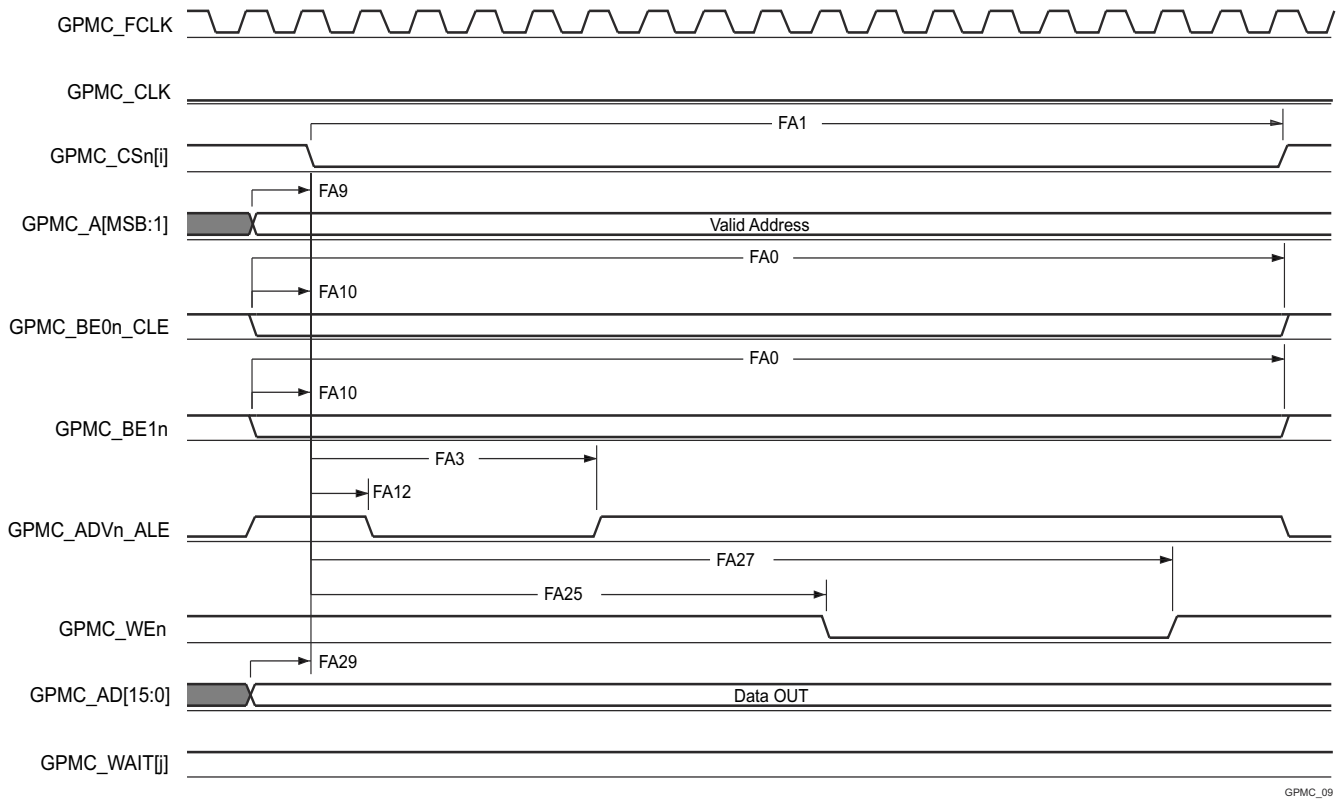
B. FA21 パラメータは、最初の入力ページ データを内部でサンプリングするために必要な時間を示します。これは、GPMC 機能クロック サイクル数で表されます。読み取りサイクルの開始から FA21 機能クロック サイクル経過後、最初の入力ページのデータが、アクティブな機能クロック エッジによって内部的にサンプリングされます。FA21 の計算値は、accessTime レジスタ ビット フィールド内に保存する必要があります。

C. FA20 パラメータは、連続する入力ページ データを内部でサンプリングするために必要な時間を示します。これは、GPMC 機能クロック サイクル数で表されます。入力ページ データへの各アクセスの後、FA20 機能クロック サイクル経過後、次の入力ページ データはアクティブな機能クロック エッジによって内部的にサンプリングされます。FA20 は、連続する入力ページ データ (最初の入力ページ データを除く) のアドレス フェーズ期間でもあります。FA20 の値は、PageBurstAccessTime レジスタ ビット フィールドに保存する必要があります。

D. GPMC_FCLK は、外部に供給されない内部クロック (GPMC 機能クロック) です。

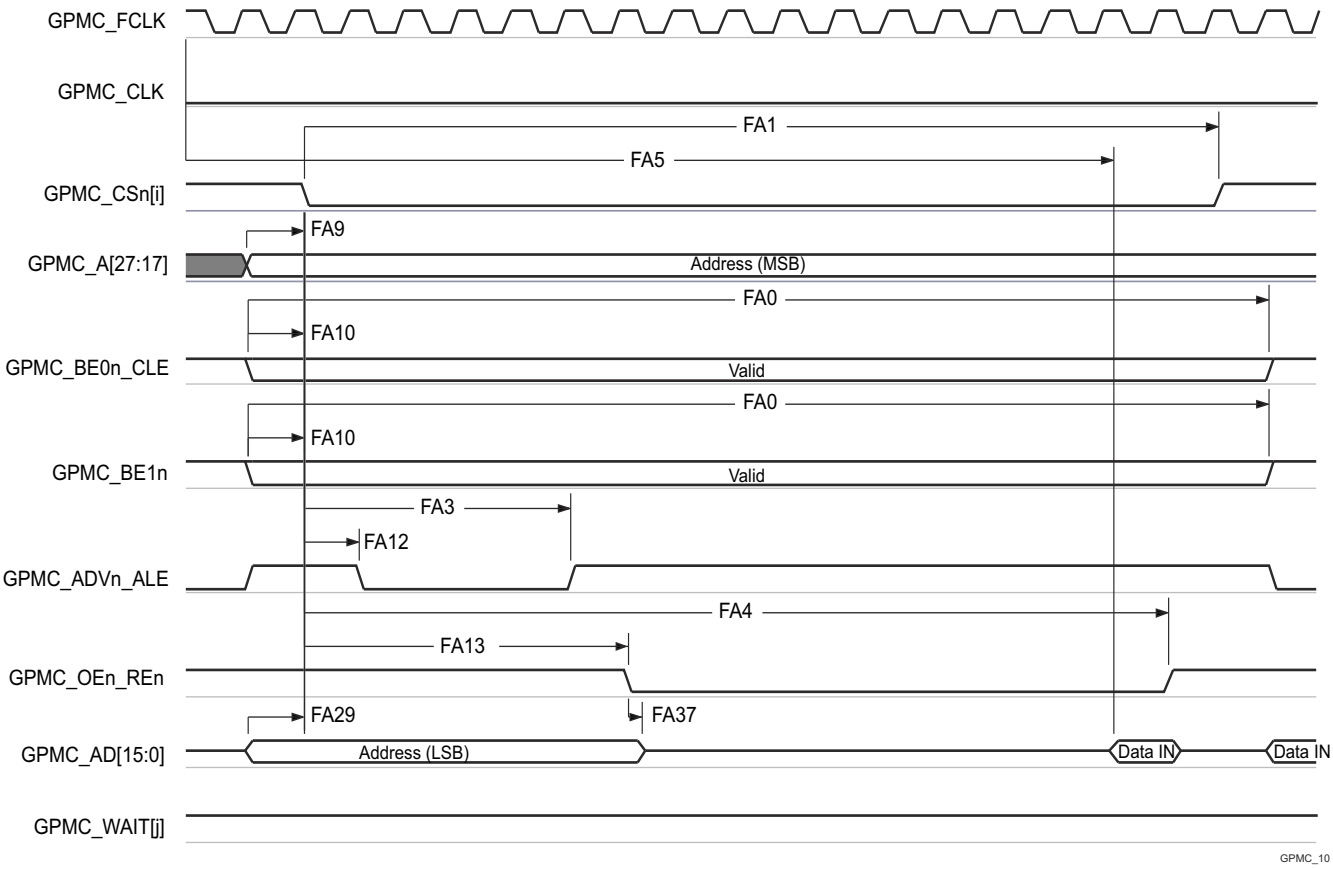
図 6-33. GPMC および NOR フラッシュ — 非同期読み取り — ページ モード 4x16 ビット

Copyright © 2025 Texas Instruments Incorporated



A. GPMC_CSn[i] で、i は 0、1、2、または 3 です。GPMC_WAIT[j] で、j は 0 または 1 です。

図 6-34. GPMC および NOR フラッシュ — 非同期書き込み — シングル ワード



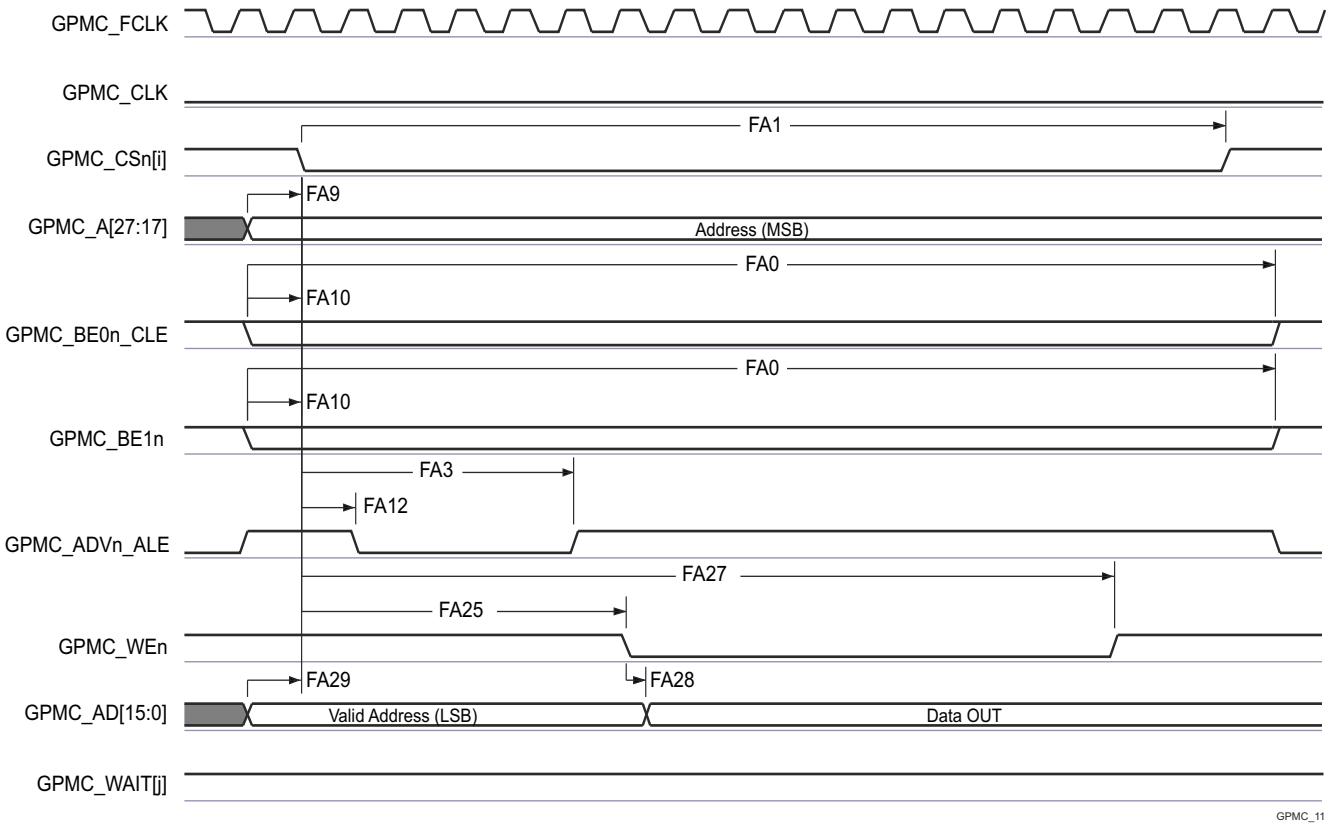
A. GPMC_CSn[i] で、i は 0、1、2、または 3 です。GPMC_WAIT[j] で、j は 0 または 1 です。

B. FA5 パラメータは、入力データを内部でサンプリングするために必要な時間を示しています。これは、GPMC 機能クロック サイクル数で表されます。読み取りサイクルの開始から FA5 機能クロック サイクル経過後、入力データはアクティブな機能クロック エッジによって内部的にサンプリングされます。FA5 の値は、AccessTime レジスタ ビット フィールド内に格納する必要があります。

C. GPMC_FCLK は、外部に供給されない内部クロック (GPMC 機能クロック) です。

図 6-35. GPMC および多重化 NOR フラッシュ — 非同期読み取り — シングル ワード

Copyright © 2025 Texas Instruments Incorporated



A. GPMC_CSn[i] で、i は 0、1、2、または 3 です。GPMC_WAIT[j] で、j は 0 または 1 です。

図 6-36. GPMC および多重化 NOR フラッシュ — 非同期書き込み — シングル ワード

6.11.5.7.6 GPMC/NAND フラッシュ タイミング要件 - 非同期モード 100MHz (4)

番号	パラメータ	説明	最小値	最大値	単位
GNF12(1)	$t_{acc(d)}$	アクセス時間、GPMC0_AD[31:0](3)		J(2)	ns

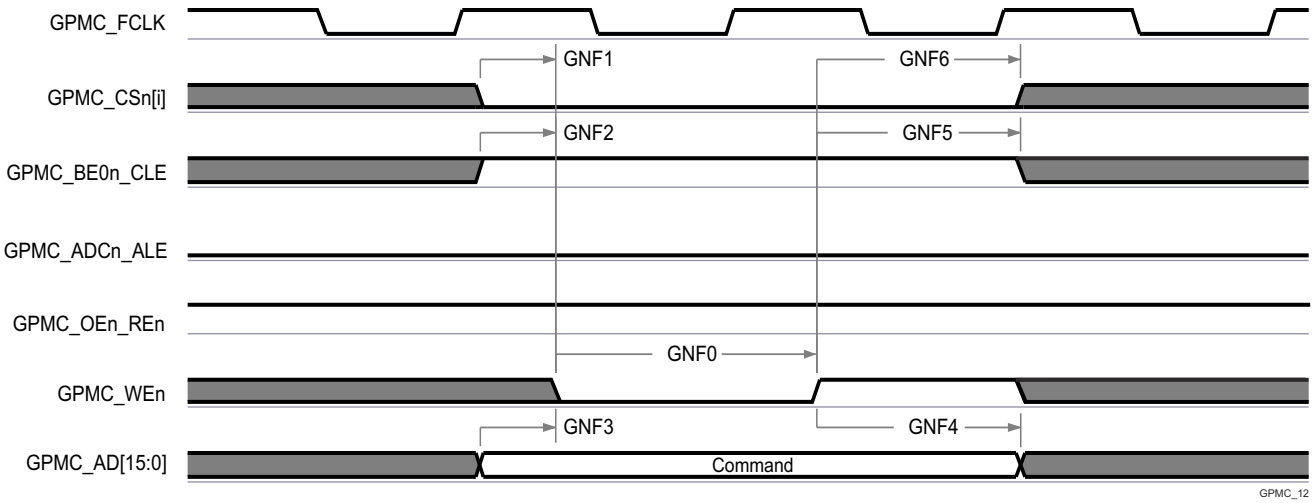
(1) GNF12 パラメータは、入力データを内部的にサンプリングするために必要な時間を示します。これは、GPMC 機能クロック サイクル数で表されます。読み取りサイクルの開始から GNF12 機能クロック サイクル経過後、入力データはアクティブな機能クロック エッジによって内部的にサンプリングされます。GNF12 の値は、AccessTime レジスタ ビット フィールドに保存する必要があります。
(2) J = AccessTime × (TimeParaGranularity + 1) × GPMC_FCLK(3)
(3) GPMC_FCLK は汎用メモリ コントローラの内部機能クロックです。
(4) 100MHz GPMC_FCLK を選択 - CTRLMMR_GPMC_CLKSEL[0] CLK_SEL = 1 = MAIN_PLL2_HSDIV7_CLKOUT (100/60 MHz)

6.11.5.7.7 GPMC/NAND フラッシュのスイッチング特性 - 非同期モード 100MHz (15)

番号	パラメータ	説明	最小値	最大値	単位
GNF0	$t_{w(wenV)}$	パルス幅、GPMC0_WEn 有効	A(1)		ns
GNF1	$t_{d(csnV-wenV)}$	遅延時間、GPMC0_CSn[x](13) 有効から GPMC0_WEn 有効	B(2) – 2	B(2) + 2	ns
GNF2	$t_{w(cleH-wenV)}$	遅延時間、GPMC0_BE0n_CLE High から GPMC0_WEn 有効	C(3) – 2	C(3) + 2	ns
GNF3	$t_{w(wenV-dV)}$	遅延時間、GPMC0_AD[31:0] から GPMC0_WEn 有効	D(4) – 2	D(4) + 2	ns
GNF4	$t_{w(wenIV-dIV)}$	遅延時間、GPMC0_WEn 無効から GPMC0_AD[31:0] 無効	E(5) – 2	E(5) + 2	ns
GNF5	$t_{w(wenIV-cleIV)}$	遅延時間、GPMC0_WEn 無効から GPMC0_BE0n_CLE 無効	F(6) – 2	F(6) + 2	ns
GNF6	$t_{w(wenIV-csnIV)}$	遅延時間、GPMC0_WEn 無効から GPMC0_CSn[x](13)無効	G(7) – 2	G(7) + 2	ns
GNF7	$t_{w(aleH-wenV)}$	遅延時間、GPMC0_ADVn_ALE High から GPMC0_WEn 有効	C(3) – 2	C(3) + 2	ns
GNF8	$t_{w(wenIV-aleIV)}$	遅延時間、GPMC0_WEn 無効から GPMC0_ADVn_ALE 無効	F(6) – 2	F(6) + 2	ns
GNF9	$t_{c(wen)}$	サイクル時間、書き込み		H(8)	ns
GNF10	$t_{d(csnV-oenV)}$	遅延時間、GPMC0_CSn[x](13) 有効から GPMC0_OEn_REn 有効	I(9) – 2	I(9) + 2	ns
GNF13	$t_{w(oenV)}$	パルス幅、GPMC0_OEn_REn 有効		K(10)	ns
GNF14	$t_{c(oen)}$	サイクル時間、読み取り	L(11)		ns
GNF15	$t_{w(oenIV-csnIV)}$	遅延時間、GPMC0_OEn_REn 無効から GPMC0_CSn[x](13)無効	M(12) – 2	M(12) + 2	ns

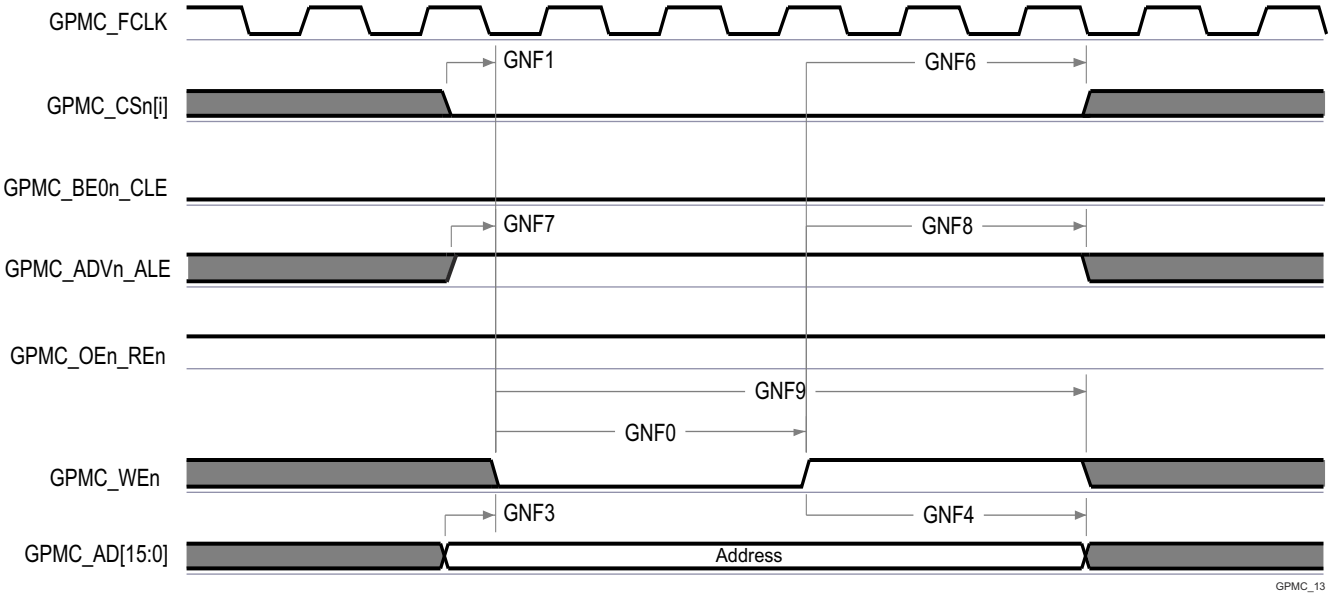
(1) A = (WEOffTime - WEOnTime) × (TimeParaGranularity + 1) × GPMC_FCLK(14)
(2) B = ((WEOnTime - CSOnTime) × (TimeParaGranularity + 1) + 0.5 × (WEExtraDelay - CSExtraDelay)) × GPMC_FCLK(14)
(3) C = ((WEOnTime - ADVOnTime) × (TimeParaGranularity + 1) + 0.5 × (WEExtraDelay - ADVExtraDelay)) × GPMC_FCLK(14)
(4) D = (WEOnTime × (TimeParaGranularity + 1) + 0.5 × WEExtraDelay) × GPMC_FCLK(14)
(5) E = ((WrCycleTime - WEOffTime) × (TimeParaGranularity + 1) - 0.5 × WEExtraDelay) × GPMC_FCLK(14)
(6) F = ((ADVWrOffTime - WEOffTime) × (TimeParaGranularity + 1) + 0.5 × (ADVExtraDelay - WEExtraDelay)) × GPMC_FCLK(14)
(7) G = ((CSWrOffTime - WEOffTime) × (TimeParaGranularity + 1) + 0.5 × (CSExtraDelay - WEExtraDelay)) × GPMC_FCLK(14)
(8) H = WrCycleTime × (1 + TimeParaGranularity) × GPMC_FCLK(14)
(9) I = ((OEOnTime - CSOnTime) × (TimeParaGranularity + 1) + 0.5 × (OEExtraDelay - CSExtraDelay)) × GPMC_FCLK(14)
(10) K = (OEOffTime - OEOnTime) × (1 + TimeParaGranularity) × GPMC_FCLK(14)
(11) L = RdCycleTime × (1 + TimeParaGranularity) × GPMC_FCLK(14)
(12) M = ((CSRdOffTime - OEOffTime) × (TimeParaGranularity + 1) + 0.5 × (CSExtraDelay - OEExtraDelay)) × GPMC_FCLK(14)
(13) GPMC_CSn[x] で、x は 0、1、2、または 3 です。
(14) GPMC_FCLK は、汎用メモリ コントローラの内部機能クロック周期で、ns 単位です。
(15) 100MHz GPMC_FCLK を選択 - CTRLMMR_GPMC_CLKSEL[0] CLK_SEL = 1 = MAIN_PLL2_HSDIV7_CLKOUT (100/60 MHz)

Copyright © 2025 Texas Instruments Incorporated



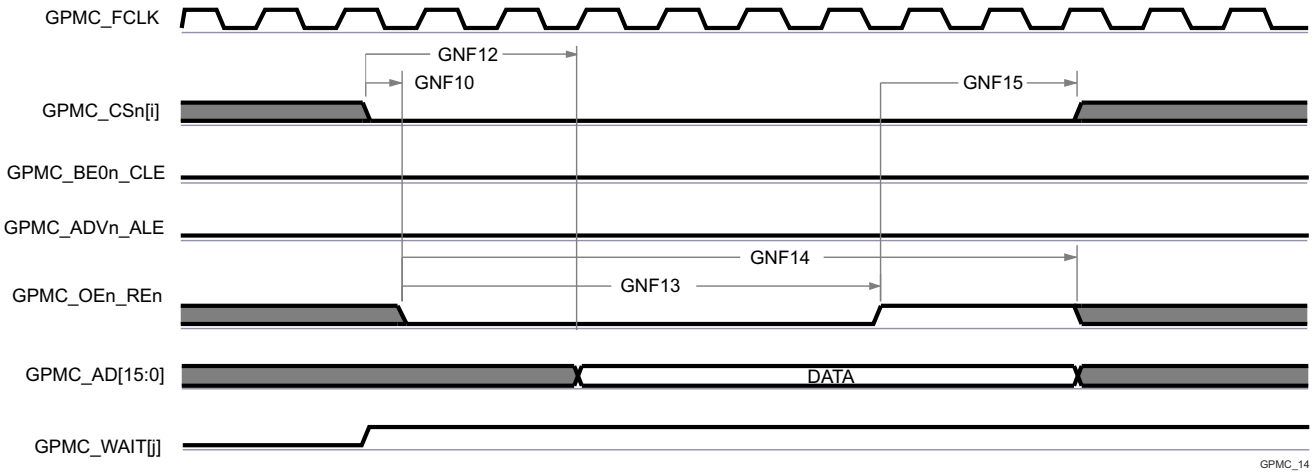
A. GPMC_CSn[i] で、i は 0、1、2、または 3 です。

図 6-37. GPMC および NAND フラッシュ — コマンド ラッチ サイクル



A. GPMC_CSn[i] で、i は 0、1、2、または 3 です。

図 6-38. GPMC および NAND フラッシュ — アドレス ラッチ サイクル

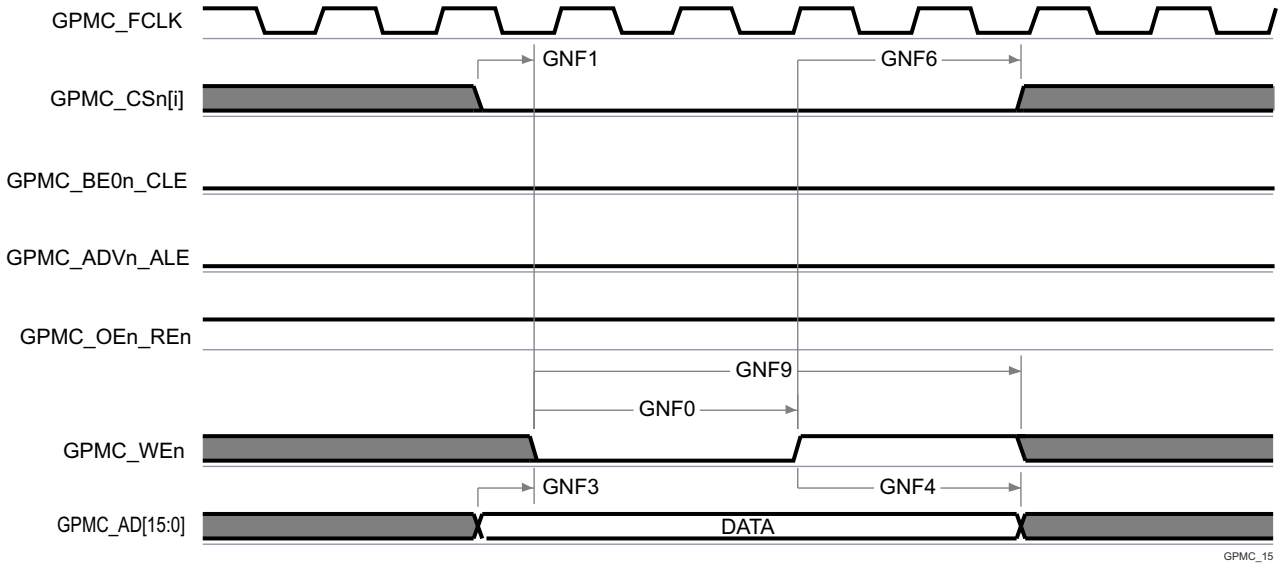


A. GNF12 パラメータは、入力データを内部でサンプリングするために必要な時間を示しています。これは、GPMC 機能クロック サイクル数で表されます。読み取りサイクルの開始から GNF12 機能クロック サイクル経過後、入力データはアクティブな機能クロック エッジによって内部的にサンプリングされます。GNF12 の値は、AccessTime レジスタ ビット フィールド内に格納する必要があります。

B. GPMC_FCLK は、外部に供給されない内部クロック (GPMC 機能クロック) です。

C. GPMC_CSn[i] で、i は 0、1、2、または 3 です。GPMC_WAIT[j] で、j は 0 または 1 です。

図 6-39. GPMC および NAND フラッシュ — データ読み取りサイクル



A. GPMC_CSn[i] で、i は 0、1、2、または 3 です。

図 6-40. GPMC および NAND フラッシュ — データ書き込みサイクル

Copyright © 2025 Texas Instruments Incorporated

6.11.5.8 インター インテグレーテッド サーキット (I^2C)

詳細については、デバイスの TRM の「*インター インテグレーテッド サーキット (I2C)*」セクションを参照してください。

6.11.5.8.1 I2C

このデバイスには、つの マルチコントローラ I2C (Inter-Integrated Circuit) コントローラが搭載されています。各 I2C コントローラは、Philips I^2C-bus™ 仕様バージョン 2.1 に準拠するように設計されています。ただし、本デバイスの IO は、I2C の電気的仕様に完全には準拠していません。サポートされる速度と例外について、以下にポートごとに説明します。

- I2C1、I2C2
  - 速度:
    - スタンダード モード (最大 100kbit/s)
      - 3.3V
    - ファースト モード (最大 400kbit/s)
      - 3.3V
  - 例外:
    - これらのポートに関連付けられている IO は、I2C 仕様で定義されている立ち下がり時間要件に準拠していません。これらの I/O には、I2C 互換の IO では実装できなかった他の信号機能をサポートするように設計された、より高性能の LVCMOS プッシュプル IO が実装されているからです。これらのポートで使用されている LVCMOS IO は、オープン ドレイン出力をエミュレートするように接続されます。このエミュレーションは、強制的に常に Low を出力し、出力バッファを無効にして、Hi-Z 状態にすることにより実行されます。
    - I2C 仕様では、最大入力電圧 V_{IH} が ($V_{DD_{max}}$ + 0.5V) と定義されています。これは、デバイスの IO の絶対最大定格を超えています。I2C 信号が、このデータシートの*「絶対最大定格」*セクションに定義された制限を超えないようにシステムを設計する必要があります。
- I2C0
  - 速度:
    - スタンダード モード (最大 100kbit/s)
      - 3.3V
    - ファースト モード (最大 400kbit/s)
      - 3.3V
  - 例外:
    - このポートに関連付けられた I/O は、HS モードをサポートするようには設計されていません。
    - これらのポートに接続された I2C 信号の立ち上がりおよび立ち下がり時間は、スルーレート 0.8V/ns (すなわち 8E+7 V/s) を超えないようにする必要があります。この制限は、I2C 仕様で定義されている最小立ち下がり時間の制限よりも厳しいものです。したがって、立ち上がりおよび立ち下がり時間が 0.8V/ns のスルーレートを上回らないように、I2C 信号に容量を追加する必要がある場合があります。
    - I2C 仕様では、最大入力電圧 V_{IH} が ($V_{DD_{max}}$ + 0.5V) と定義されています。これは、デバイスの IO の絶対最大定格を超えています。I2C 信号が、このデータシートの*「絶対最大定格」*セクションに定義された制限を超えないようにシステムを設計する必要があります。

タイミングの詳細については、Philips I2C-bus 仕様バージョン 2.1 を参照してください。

Copyright © 2025 Texas Instruments Incorporated

6.11.5.9 LIN (Local Interconnect Network)

注

このデバイスは、複数の LIN モジュールを備えています。LINn は、LIN 信号名に適用される全般的な接頭辞です。ここで、n は特定の LIN モジュールを表します。

詳細については、デバイスの TRM で「ペリフェラル」の章にある「*ローカル インターコネクト ネットワーク (LIN) モジュール*」セクションを参照してください。

6.11.5.9.1 LIN のタイミング条件

パラメータ		最小値	最大値	単位
入力条件				
SR_I	入力スルーレート	2	15	V/ns
出力条件				
C_L	出力負荷容量	5	20	pF

6.11.5.9.2 LIN のタイミング要件

番号	パラメータ	説明	最小値	最大値	単位
LIN2	$t_{d(LINn_RX)}$	遅延時間、LINn_RX シフト レジスタから LINn_RX ピン		10	ns

6.11.5.9.3 LIN スイッチング特性

番号	パラメータ	説明	最小値	最大値	単位
LIN4	$t_{d(LINn_TX)}$	遅延時間、LINn_TX シフト レジスタから LINn_TX ピン		10	ns

6.11.5.10 モジュラー・コントローラ・エリア・ネットワーク (MCAN)

本デバイスのコントローラ エリア ネットワーク インターフェイスの機能の詳細と追加の説明情報については、「信号の説明」および「詳細説明」セクションの対応するサブセクションを参照してください。

注

このデバイスは、複数の MCAN モジュールを備えています。MCANn は、MCAN 信号名に適用される全般的な接頭辞です。ここで、n は特定の MCAN モジュールを表します。

詳細については、デバイスの TRM にある「*コントローラ エリア ネットワーク (MCAN)*」セクションを参照してください。

6.11.5.10.1 MCAN のタイミング条件

パラメータ		最小値	最大値	単位
入力条件				
SR_I	入力スルーレート	2	15	V/ns
出力条件				
C_L	出力負荷容量	5	20	pF

6.11.5.10.2 MCAN スイッチング特性

番号	パラメータ	説明	最小値	最大値	単位
M1	$t_{d(MCAN_TX)}$	遅延時間、送信シフト レジスタから MCAN_TX ピンまで		10	ns
M2	$t_{d(MCAN_RX)}$	遅延時間、MCAN_RX ピンから受信シフト レジスタまで		10	ns

Copyright © 2025 Texas Instruments Incorporated

6.11.5.11 シリアル・ペリフェラル・インターフェイス (SPI)

本デバイスのシリアル ポート インターフェイスの機能の詳細と追加の説明情報については、「信号の説明」および「詳細説明」の対応するサブセクションを参照してください。

注

このデバイスは、複数の SPI モジュールを備えています。汎用 SPI_prefix は、すべての SPI インスタンスの信号名を表すために使用されます。

詳細については、デバイス TRM の「*シリアル ペリフェラル インターフェイス (SPI)*」のセクションを参照してください。

6.11.5.11.1 SPI のタイミング条件

パラメータ		最小値	最大値	単位
入力条件				
SR_I	入力スルーレート	2	8.5	V/ns
出力条件				
C_L	出力負荷容量	2	24	pF

6.11.5.11.2 SPI コントローラ モードのタイミング要件

番号	パラメータ	説明	最小値	最大値	単位
通常モード					
SM4	$t_{su(MISO-SPICLK)}$	セットアップ時間、SPI_D[x] 有効から SPI_SCLK アクティブ エッジまで	2		ns
SM5	$t_{h(SPICLK-MISO)}$	ホールド時間、SPI_SCLK アクティブ エッジから SPI_D[x] 有効の間	3		ns

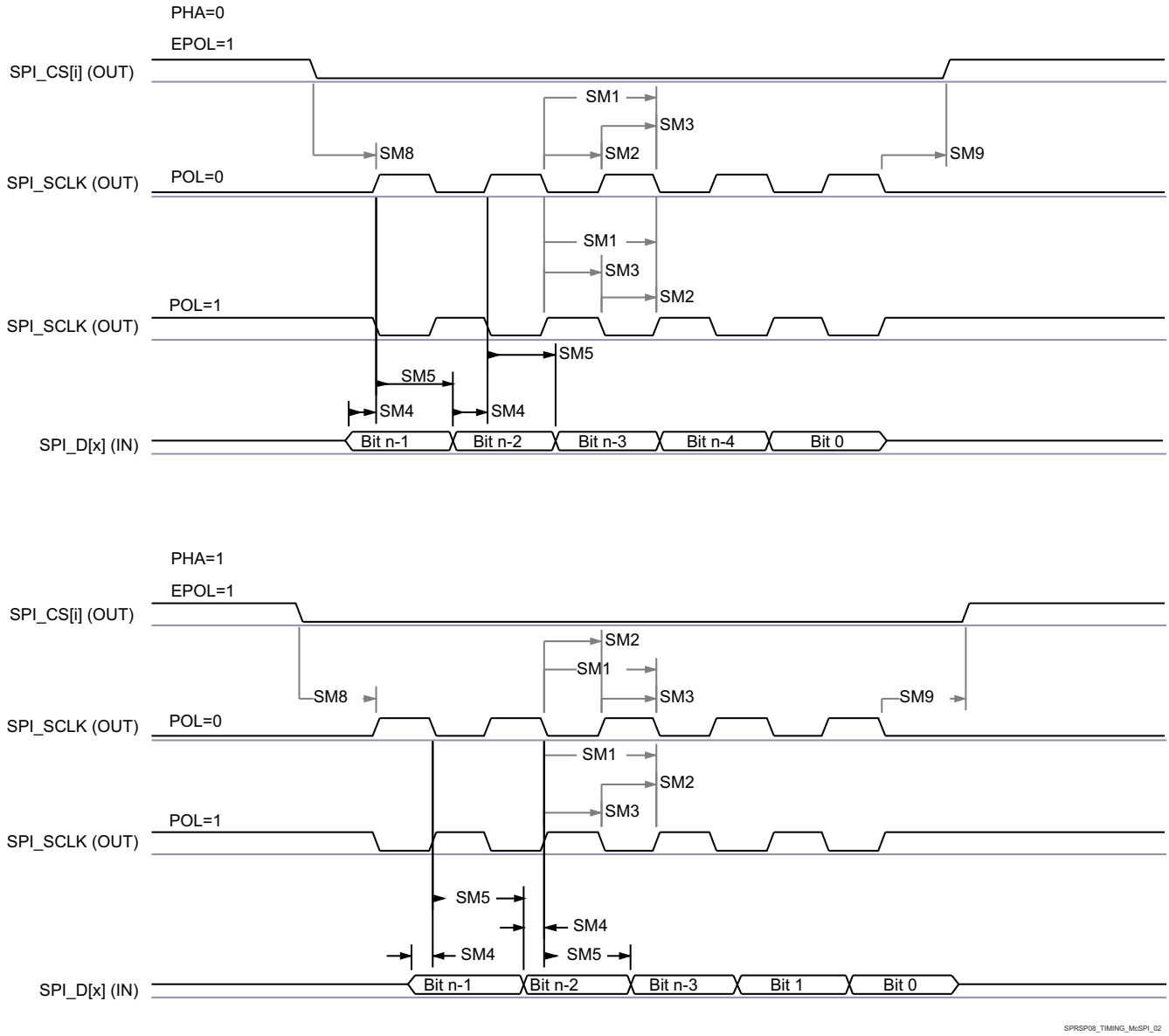


図 6-41. SPI コントローラ モードの受信タイミング

6.11.5.11.3 SPI コントローラ モードのスイッチング特性 (クロック位相 = 0)

番号	パラメータ	説明		最小値	最大値	単位
通常モード						
SM1	$t_{c(SPICLK)}$	サイクル時間、SPI_SCLK		20		ns
SM2	$t_{w(SPICLKL)}$	標準パルス期間、SPI_SCLK Low		–1 + 0.5P(1)		ns
SM3	$t_{w(SPICLKH)}$	標準パルス期間、SPI_SCLK High		–1 + 0.5P(1)		ns
SM6	$t_{d(SPICLK-SIMO)}$	遅延時間、SPI_SCLK アクティブエッジから SPI_D[x] 遷移まで		-3	2	ns
SM7	$t_{sk(CS-SIMO)}$	遅延時間、SPI_CS[i] アクティブエッジから SPI_D[x] 遷移まで		5		ns

Copyright © 2025 Texas Instruments Incorporated

番号	パラメータ	説明		最小値	最大値	単位
SM8	$t_{d(SPICLK-CS)}$	遅延時間、SPI_CS[i] アクティブから SPI_SCLK の最初のエッジまで	PHA = 0	–4 + B(3)		ns
			PHA = 1	–4 + A(2)		ns
SM9	$t_{d(SPICLK-CS)}$	遅延時間、SPI_SCLK の最後のエッジから SPI_CS[i] 非アクティブまで	PHA = 0	–4 + A(2)		ns
			PHA = 1	–4 + B(3)		ns

(1) P = SPICLK 周期 (ns 単位)。
(2) P = 20.8ns のとき、A = (TCS + 1) * TSPICLKREF。ここで、TCS は SPI_CH(i)CONF レジスタのビット フィールドです。P > 20.8ns のとき、A = (TCS + 0.5) * Fratio * TSPICLKREF。ここで、TCS は SPI_CH(i)CONF レジスタのビット フィールドです。
(3) B = (TCS + 0.5) * TSPICLKREF。ここで、TCS は SPI_CH(i)CONF レジスタのビット フィールドであり、F_{ratio} = 偶数 >= 2 です。

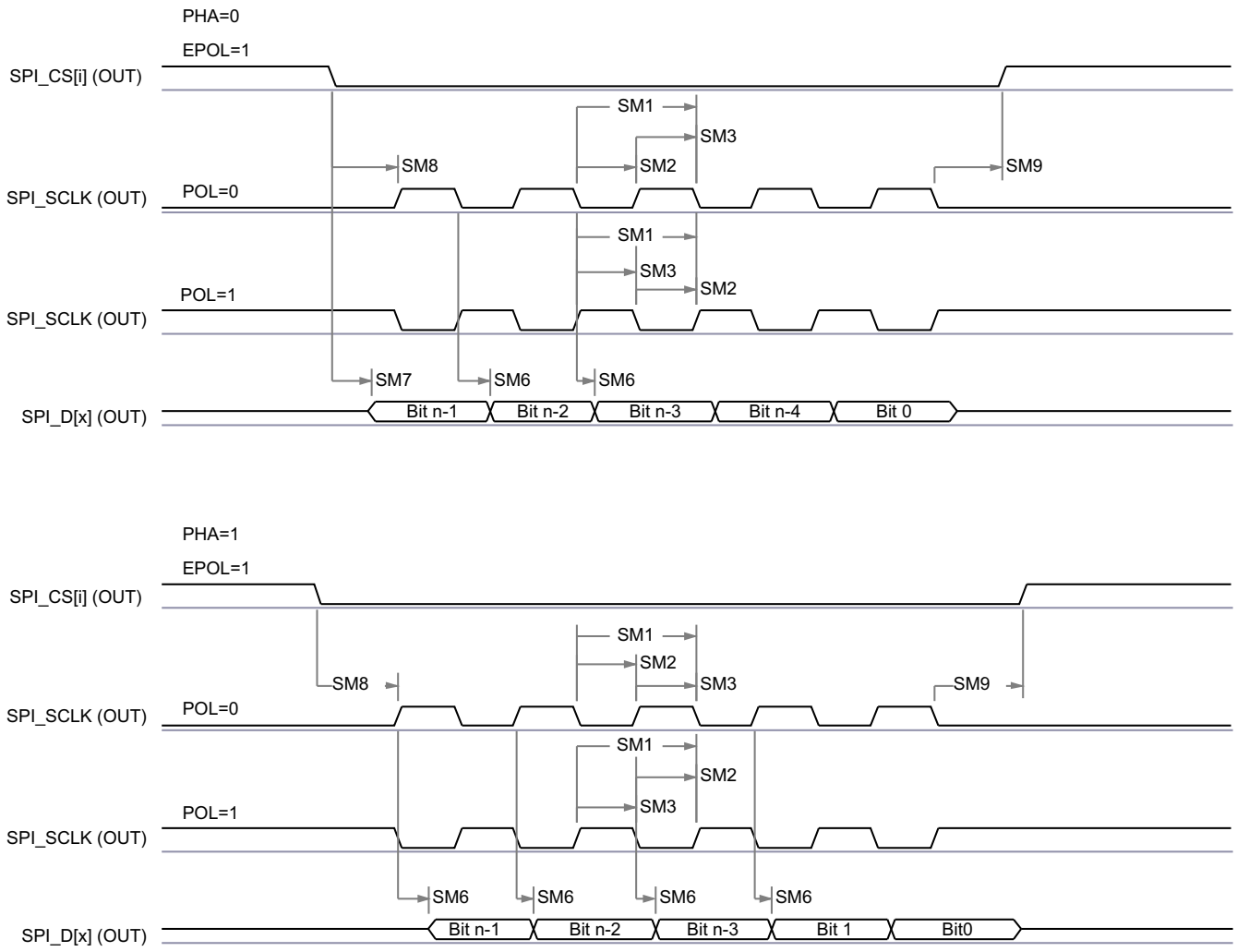


図 6-42. SPI コントローラ モードの送信タイミング

6.11.5.11.4 SPI ペリフェラル モードのタイミング要件

番号	パラメータ	説明	最小値	最大値	単位
SS1	$t_{c(SPICLK)}$	サイクル時間、SPI_SCLK	40		ns
SS2	$t_{w(SPICLKL)}$	標準パルス期間、SPI_SCLK Low	0.45 × P(1)		ns

番号	パラメータ	説明	最小値	最大値	単位
SS3	$t_{w(SPICLKH)}$	標準パルス期間、SPI_SCLK High	0.45 × P[(1)]		ns
SS4	$t_{su(SIMO-SPICLK)}$	セットアップ時間、SPI_D[x] 有効から SPI_SCLK アクティブ エッジまで	5		ns
SS5	th(SPICLK-SIMO)	ホールド時間、SPI_SCLK アクティブ エッジから SPI_D[x] 有効の間	5		ns
SS8	$t_{su(CS-SPICLK)}$	セットアップ時間、SPI_CS[i] 有効から SPI_SCLK の最初のエッジまで	5		ns
SS9	$t_{h(SPICLK-CS)}$	ホールド時間、SPI_SCLK の最後のエッジから SPI_CS[i] 有効の間	5		ns

(1) P = SPICLK 周期。

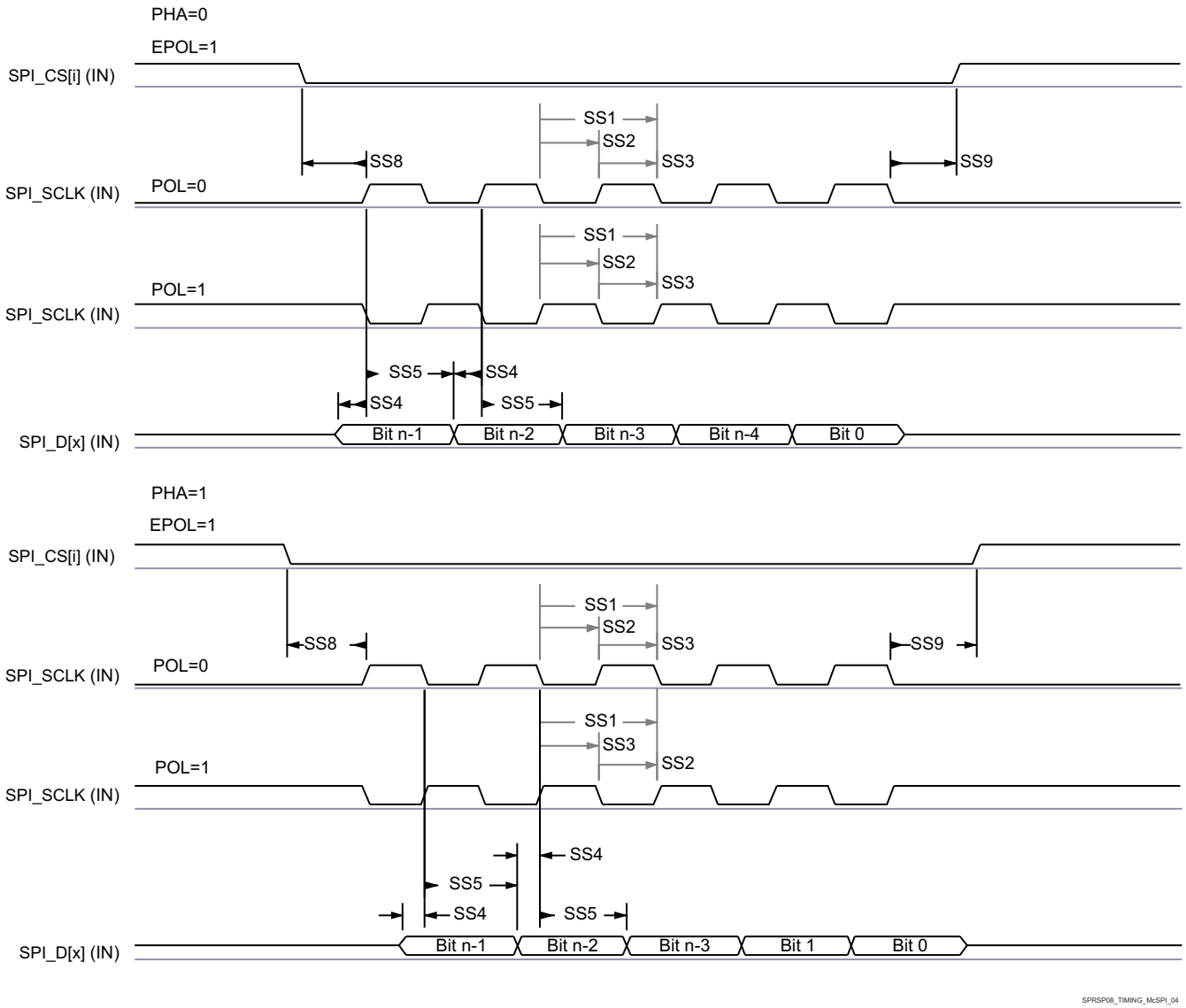


図 6-43. SPI ペリフェラル モードの受信タイミング

Copyright © 2025 Texas Instruments Incorporated

6.11.5.11.5 SPI ペリフェラル モードのスイッチング特性

番号	パラメータ	説明	最小値	最大値	単位
通常モード					
SS6	$t_{d(SPICLK-SOMI)}$	遅延時間、SPI_SCLK アクティブ エッジから MCSPI_SOMI 遷移まで	2	17.12	ns
SS7	$t_{sk(CS-SOMI)}$	遅延時間、SPI_CS[i] アクティブ エッジから MCSPI_SOMI 遷移まで	20.95		ns

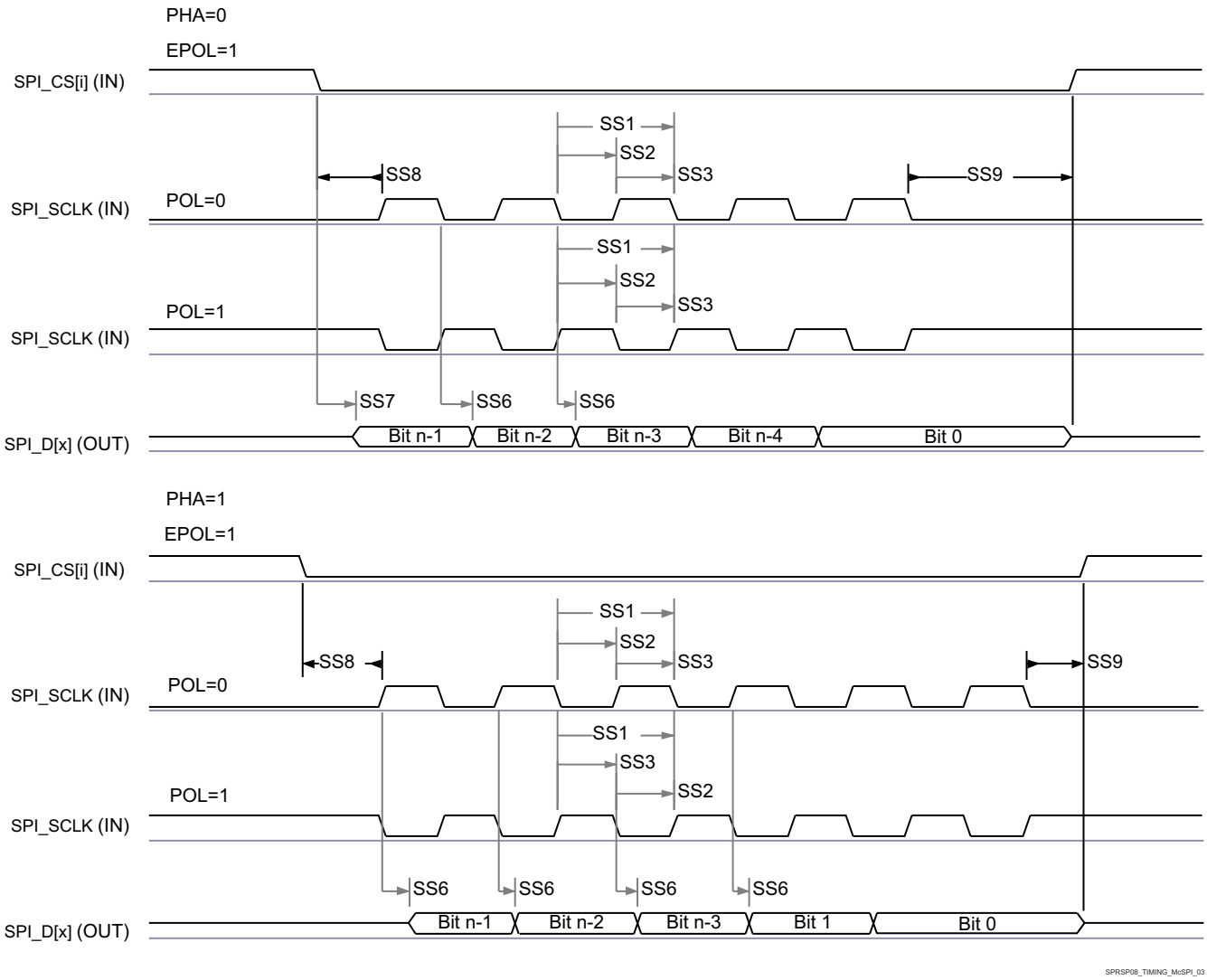


図 6-44. SPI ペリフェラル モードの送信タイミング

6.11.5.12 マルチメディア カード セキュア デジタル (MMCSD)

MMCSD ホスト コントローラは、組込みマルチメディア カード (MMC)、セキュア デジタル (SD) デバイスへのインターフェイスとして機能します。MMCSD ホスト コントローラは、送信レベルでの MMC/SD プロトコル、データ パッキング、巡回冗長検査 (CRC) の追加、開始 / 終了ビットの挿入、構文の正確性チェックを処理します。

詳細については、デバイスの TRM で「*ペリフェラル*」の章にある「*マルチメディアカード / セキュア デジタル (MMCSD) インターフェイス*」セクションを参照してください。

6.11.5.12.1 MMC のタイミング条件

パラメータ		モード	最小値	最大値	単位
入力条件					
SR_I	入力スルーレート	デフォルト速度	0.69	2.06	V/ns
		高速	0.69	2.06	V/ns
出力条件					
C_L	出力負荷容量	デフォルト速度	1	10	pF
		高速	1	10	pF

6.11.5.12.2 MMC のタイミング要件 - SD カードのデフォルト速度モード

番号	パラメータ	説明	最小値	最大値	単位
DS1	$t_{su(cmdV-clkH)}$	セットアップ時間、MMC_CLK 立ち上がりエッジ前に MMC_CMD が有効であるべき時間	2.15		ns
DS2	$t_{h(clkH-cmdV)}$	ホールド時間、MMC_CLK 立ち上がりエッジ後に MMC_CMD を有効に保持すべき時間	19.67		ns
DS3	$t_{su(dV-clkH)}$	セットアップ時間、MMC_CLK 立ち上がりエッジ前に MMC_DAT[3:0] が有効であるべき時間	2.15		ns
DS4	$t_{h(clkH-dV)}$	ホールド時間、MMC_CLK 立ち上がりエッジ後に MMC_DAT[3:0] を有効に保持すべき時間	19.67		ns

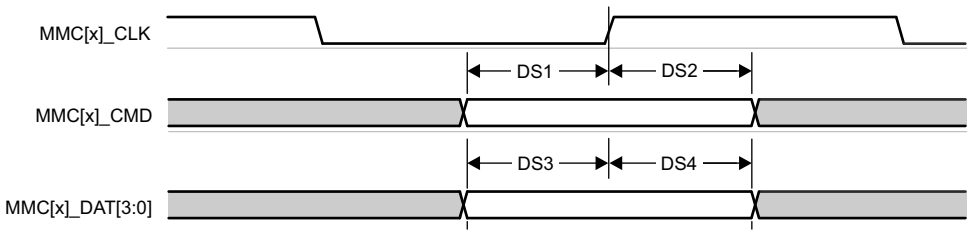


図 6-45. MMC – デフォルト速度 – 受信モード

6.11.5.12.3 MMC スイッチング特性 - SD カード デフォルト高速モード

番号	パラメータ	説明	最小値	最大値	単位
	$f_{op(clk)}$	動作周波数、MMC_CLK		25	MHz
DS5	$t_{c(clk)}$	動作周期、MMC_CLK		40	ns
DS6	$t_{w(clkH)}$	パルス幅、MMC_CLK High	18.7		ns
DS7	$t_{w(clkL)}$	パルス幅、MMC_CLK Low	18.7		ns
DS8	$t_{d(clkL-cmdV)}$	遅延時間、MMC_CLK 立ち下がりエッジから MMC_CMD 遷移まで	-14.1	14.1	ns
DS9	$t_{d(clkL-dV)}$	遅延時間、MMC_CLK 立ち下がりエッジから MMC_DAT[3:0] 遷移まで	-14.1	14.1	ns

Copyright © 2025 Texas Instruments Incorporated

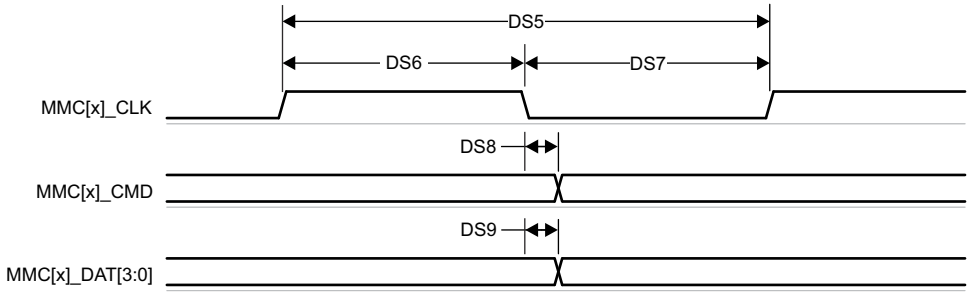


図 6-46. MMC – デフォルト速度 – 送信モード

6.11.5.12.4 MMC のタイミング要件 - SD カードの高速度モード

番号	パラメータ	説明	最小値	最大値	単位
HS1	$t_{su(cmdV-clkH)}$	セットアップ時間、MMC_CLK 立ち上がりエッジ前に MMC_CMD が有効であるべき時間	2.15		ns
HS2	$t_{h(clkH-cmdV)}$	ホールド時間、MMC_CLK 立ち上がりエッジ後に MMC_CMD を有効に保持すべき時間	2.67		ns
HS3	$t_{su(dV-clkH)}$	セットアップ時間、MMC_CLK 立ち上がりエッジ前に MMC_DAT[3:0] が有効であるべき時間	2.15		ns
HS4	$t_{h(clkH-dV)}$	ホールド時間、MMC_CLK 立ち上がりエッジ後に MMC_DAT[3:0] を有効に保持すべき時間	2.67		ns

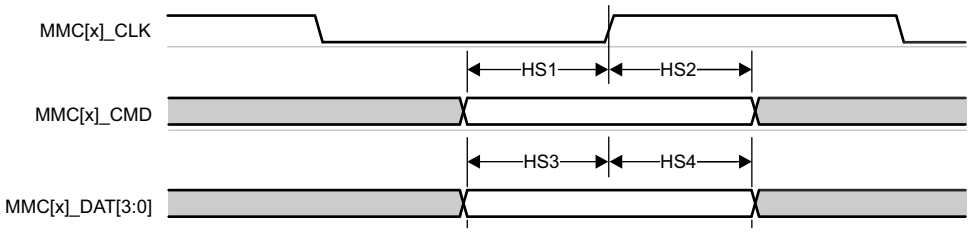


図 6-47. MMC – ハイスピード – 受信モード

6.11.5.12.5 MMC スイッチング特性 - SD カード高速モード

番号	パラメータ	説明	最小値	最大値	単位
	$f_{op(clk)}$	動作周波数、MMC_CLK		50	MHz
HS5	$t_{c(clk)}$	動作周期、MMC_CLK		20	ns
HS6	$t_{w(clkH)}$	パルス幅、MMC_CLK High	9.2		ns
HS7	$t_{w(clkL)}$	パルス幅、MMC_CLK Low	9.2		ns
HS8	$t_{d(clkL-cmdV)}$	遅延時間、MMC_CLK 立ち下がりエッジから MMC_CMD 遷移まで	-7.35	3.35	ns
HS9	$t_{d(clkL-dV)}$	遅延時間、MMC_CLK 立ち下がりエッジから MMC_DAT[3:0] 遷移まで	-7.35	3.35	ns

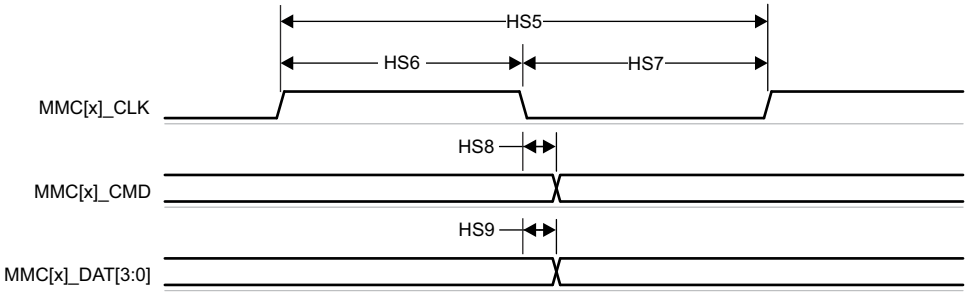


図 6-48. MMC – ハイスピード – 送信モード

Copyright © 2025 Texas Instruments Incorporated

6.11.5.13 オクタル シリアル ペリフェラル インターフェイス (OSPI)

OSPI には、PHY モードと Tap モードの 2 つのデータ キャプチャ モードがあります。

PHY モードでは、内部基準クロックを使用して DLL ベースの PHY 経由でデータを送受信します。各基準クロック サイクルはシングル データ レート (SDR) 転送の場合は OSPI_CLK の 1 サイクル、ダブル データ レート (DDR) 転送の場合は OSPI_CLK の半サイクルを生成します。PHY モードは、受信データ キャプチャ クロックについて 3 つのクロック トポロジをサポートしています。内部 PHY ループバック - 内部基準クロックを PHY 受信データ キャプチャ クロックとして使用します。内部パッド ループバック - OSPI_LBCLKO ピンから PHY にループバックされた OSPI_LBCLKO を PHY 受信データ キャプチャ クロックとして使用します。DQS - 接続されたデバイスからの DQS 出力を PHY 受信データ キャプチャ クロックとして使用します。内部パッド ループバックおよび DQS クロッキング トポロジを使用する場合、SDR 転送はサポートされません。内部 PHY ループバックまたは内部パッド ループバック クロッキング トポロジを使用する場合、DDR 転送はサポートされません。

タップ モードは、選択可能なタップと共に内部基準クロックを使用して、OSPI_CLK に対してデータの送受信キャプチャ遅延を調整し、SDR 転送では内部基準クロックの 4 分周、DDR 転送では内部基準クロックの 8 分周になります。タップ モードは、受信データ キャプチャ クロックに対して 1 つのクロック トポロジのみをサポートします。ループバックなし - 内部基準クロックをタップ受信データ キャプチャ クロックとして使用します。このクロック トポロジは、最大 200MHz の内部リファレンス クロック レートをサポートし、SDR モードでは 50MHz、DDR モードでは 25MHz までの OSPI_CLK レートを生成します。

OSPI PHY モード は PHY モードに関連するタイミング要件とスイッチング特性を、*OSPI Tap モード*は Tap モードに関連するタイミング要件とスイッチング特性を、それぞれ定義します。

*OSPI タイミング条件*は、OSPI のタイミング条件を示します。

詳細については、デバイスの TRM にある「*オクタル シリアル ペリフェラル インターフェイス (OSPI)*」セクションを参照してください。

6.11.5.13.1 OSPI のタイミング条件

パラメータ		モード	最小値	最大値	単位
入力条件					
SR_I	入力スルーレート		2	6	V/ns
出力条件					
C_L	出力負荷容量		3	15	pF
PCB 接続要件					
$t_{d(Trace\ Delay)}$	OSPI_CLK パターンの伝搬遅延(1)	ループバックなし 内部 PHY ループバック 内部パッド ループバック		450	ps
	OSPI_DQS パターンの伝搬遅延	DQS	L(2) - 30	L(2) + 30	ps
$t_{d(Trace\ Delay)}$	OSPI_LBCLKO パターンの伝搬遅延	外部ボードのループバック	2L(2) - 30	2L(2) + 30	ps
$t_{d(Trace\ Mismatch\ Delay)}$	OSPI_CLK に対する OSPI_D[7:0] と OSPI_CSn[1:0] の伝播遅延の不一致	すべてのモード		60	ps

(1) DQS クロッキング トポロジを使用する場合は該当しません
(2) L = OSPI_CLK パターンの伝搬遅延

6.11.5.13.2 OSPI PHY モード

6.11.5.13.2.1 PHY データ トレーニング付き OSPI

読み出し/ 書き込みデータ有効ウィンドウは、プロセス、電圧、温度、動作周波数の変動によって変化します。最適な読み出し / 書き込みタイミングを動的に構成するために、データ トレーニング手法を実装することもできます。データ トレーニングを実装すると、特定のプロセス、電圧、周波数の動作条件において、温度範囲全体にわたって適切な動作を実現すると同時に、より高い動作周波数を実現できます。

データの送受信タイミング パラメータは、動作条件に基づいて動的に調整されるため、データ トレーニングの使用事例では定義されていません。

6.11.5.13.2.1.1 PHY データ トレーニング用の OSPI DLL 遅延マッピング

モード	OSPI_PHY_CONFIGURATION_REG ビットフィールド	遅延値
送信		
すべてのモード	PHY_CONFIG_TX_DLL_DELAY_FLD	(1)
受信		
すべてのモード	PHY_CONFIG_RX_DLL_DELAY_FLD	(2)

(1) トレーニング ソフトウェアによって決定される送信 DLL 遅延の値
(2) トレーニング ソフトウェアによって決定される受信 DLL 遅延の値

6.11.5.13.2.1.2 OSPI のタイミング要件 - PHY データ トレーニング

番号	パラメータ	説明	モード	最小値	最大値	単位
O15	$t_{su(D-LBCLK)}$	セットアップ時間、アクティブ OSPI_DQS エッジの前 OSPI_D[7:0] 有効	DQS 付き DDR	(1)		ns
O16	$t_{h(LBCLK-D)}$	ホールド時間、アクティブ OSPI_DQS エッジの後 OSPI_D[7:0] 有効	DQS 付き DDR	(1)		ns

(1) データ トレーニングを使用して最適なデータ有効ウィンドウを見つける場合、OSPI_D[7:0] 入力の最小セットアップ時間およびホールド時間の要件は定義されません。

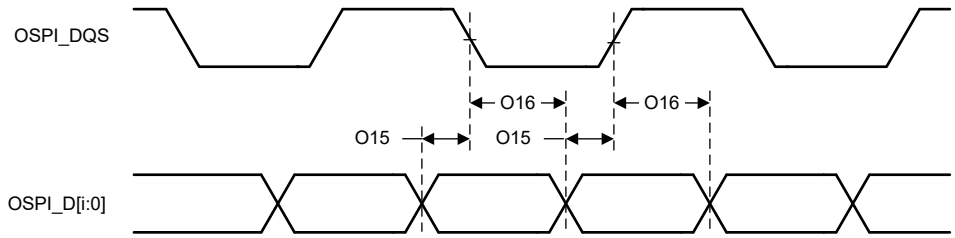


図 6-49. .OSPI のタイミング要件 – DQS 付き DDR、PHY データ トレーニング

6.11.5.13.2.1.3 OSPI のスイッチング特性 - PHY データ トレーニング

番号	パラメータ	説明	モード	最小値	最大値	単位
O1	$t_{c(CLK)}$	サイクル時間、OSPI_CLK	1.8V、DDR	6.024		ns
			3.3V、DDR	7.52		ns
O2	$t_{w(CLKL)}$	パルス幅、OSPI_CLK Low	DDR	0.475P(1) - 0.3		ns
O3	$t_{w(CLKH)}$	パルス幅、OSPI_CLK High	DDR	0.475P(1) - 0.3		ns
O4	$t_{d(CSn-CLK)}$	遅延時間、OSPI_CSn[1:0] アクティブ エッジから OSPI_CLK 立ち上がりエッジまで	DDR	0.475P(1) + (0.975 × M(2) × R(4)) + 0.35TD(5) - 1	0.525P(1) + (1.025 × M(2) × R(4)) + 0.95TD(5) + 1	ns
O5	$t_{d(CLK-CSn)}$	遅延時間、OSPI_CLK 立ち上がりエッジから OSPI_CSn[1:0] 非アクティブ エッジまで	DDR	0.475P(1) + (0.975 × N(3) × R(4)) - 0.35TD(5) - 1	0.525P(1) + (1.025 × N(3) × R(4)) - 0.95TD(5) + 1	ns
O6	$t_{d(CLK-D)}$	遅延時間、OSPI_CLK アクティブ エッジから OSPI_D[7:0] 遷移まで	DDR	(6)	(6)	ns

(1) P = OSPI_CLK サイクル時間 = SCLK 周期 (ns)
(2) M = OSPI_DEV_DELAY_REG[D_INIT_FLD]
(3) N = OSPI_DEV_DELAY_REG[D_AFTER_FLD]

Copyright © 2025 Texas Instruments Incorporated

(4) R = REFCLK サイクル時間 (ns)
(5) TD = PHY_CONFIG_TX_DLL_DELAY_FLD
(6) データトレーニングを使用して最適なデータ有効ウィンドウを見つける場合、OSPI_D[7:0] 出力の最小および最大遅延時間は定義されません。

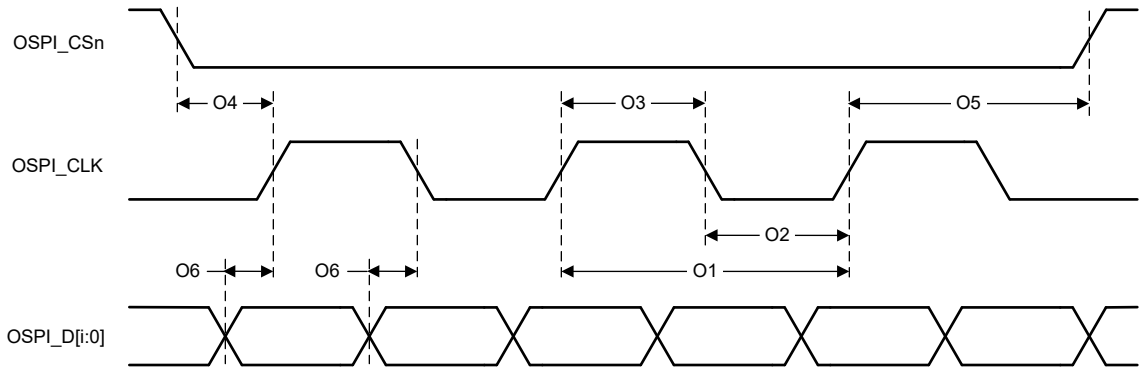


図 6-50. OSPI のスイッチング特性 - PHY DDR データ トレーニング

6.11.5.13.2.2 データ トレーニングなし OSPI0

注

このセクションで定義されているタイミング パラメータは、データ トレーニングが実装されておらず、DLL 遅延が所定の方法で構成されている場合に限り、OSPI0 インターフェイスに適用されます (「*PHY SDR タイミングモードにおける OSPI0 DLL 遅延マッピング*」および「*PHY DDR タイミングモードにおける OSPI0 の DLL 遅延マッピング*」を参照)。

6.11.5.13.2.2.1 OSPI0 PHY SDR のタイミング

6.11.5.13.2.2.1.1 OSPI0 の DLL 遅延マッピング – PHY SDR タイミング モード

モード	OSPI_PHY_CONFIGURATION_REG ビットフィールド	遅延値
送信		
1.8V	PHY_CONFIG_TX_DLL_DELAY_FLD	0x23
3.3V	PHY_CONFIG_TX_DLL_DELAY_FLD	0x2F
受信		
1.8V、内部 PHY ループバック	PHY_CONFIG_RX_DLL_DELAY_FLD	0x3C
3.3V、内部 PHY ループバック	PHY_CONFIG_RX_DLL_DELAY_FLD	0x32
1.8V、外部ボード ループバック	PHY_CONFIG_RX_DLL_DELAY_FLD	0x0
3.3V、外部ボード ループバック	PHY_CONFIG_RX_DLL_DELAY_FLD	0x0

6.11.5.13.2.2.1.2 OSPI0 のタイミング要件 - PHY SDR モード

番号	パラメータ	説明	モード	最小値	最大値	単位
O19	$t_{su(D-CLK)}$	セットアップ時間、アクティブ OSPI_CLK エッジの前 OSPI_D[7:0] 有効	1.8V、PHY ループバック内蔵 SDR	6		ns
			3.3V、PHY ループバック内蔵 SDR	7		ns

番号	パラメータ	説明	モード	最小値	最大値	単位
O20	$t_{h(CLK-D)}$	ホールド時間、アクティブ OSPI_CLK エッジの後 OSPI_D[7:0] 有効	1.8V、PHY ループバック内蔵 SDR	0.25		ns
			3.3V、PHY ループバック内蔵 SDR	0		ns
O21	$t_{su(D-LBCLK)}$	セットアップ時間、アクティブ OSPI_DQS エッジの前 OSPI_D[7:0] 有効	1.8V、外部ボード ループバック付き SDR	6		ns
			3.3V、外部ボード ループバック付き SDR	7		ns
O22	$t_{h(LBCLK-D)}$	ホールド時間、アクティブ OSPI_DQS エッジの後 OSPI_D[7:0] 有効	1.8V、外部ボード ループバック付き SDR	2		ns
			3.3V、外部ボード ループバック付き SDR	2		ns

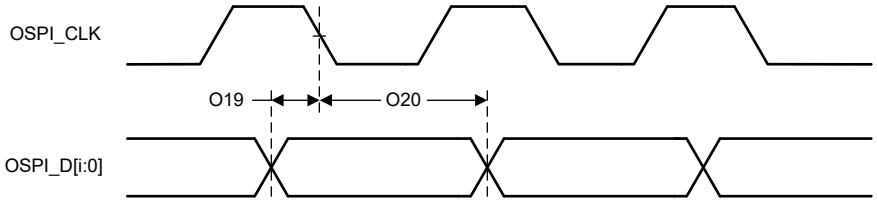


図 6-51. OSPI のタイミング要件 – PHY ループバック内蔵 PHY SDR

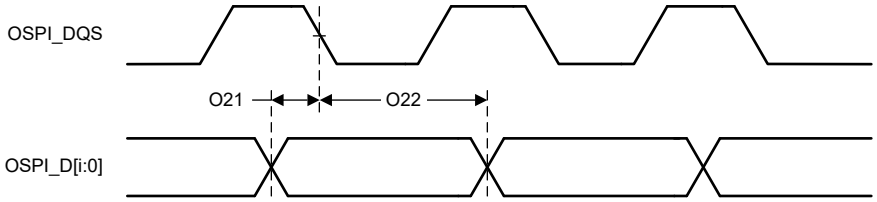


図 6-52. OSPI のタイミング要件 – 外部ボード ループバック付き PHY SDR

6.11.5.13.2.2.1.3 OSPI0 のスイッチング特性 - PHY SDR モード

番号	パラメータ	説明	モード	最小値	最大値	単位
O7	$t_{c(CLK)}$	サイクル時間、OSPI_CLK		12.5		ns
O8	$t_{w(CLKL)}$	パルス幅、OSPI_CLK Low		0.475P(1) - 0.3		ns
O9	$t_{w(CLKH)}$	パルス幅、OSPI_CLK High		0.475P(1) - 0.3		ns
O10	$t_{d(CSn-CLK)}$	遅延時間、OSPI_CSn[1:0] アクティブ エッジから OSPI_CLK 立ち上がりエッジまで		0.475P(1) + (0.975 × M(2) × R(4)) - 1	0.525P(1) + (1.025 × M(2) × R(4)) + 1	ns
O11	$t_{d(CLK-CSn)}$	遅延時間、OSPI_CLK 立ち上がりエッジから OSPI_CSn[1:0] 非アクティブ エッジまで		0.475P(1) + (0.975 × N(3) × R(4)) - 1	0.525P(1) + (1.025 × N(3) × R(4)) + 1	ns
O12	$t_{d(CLK-D)}$	遅延時間、OSPI_CLK アクティブ エッジから OSPI_D[7:0] 遷移まで	1.8V	-1.5	-3.8	ns
			3.3V	-2	-5.15	ns

(1) P = CLK サイクル時間 = SCLK 周期 (ns 単位)
(2) M = OSPI_DEV_DELAY_REG[D_INIT_FLD]
(3) N = OSPI_DEV_DELAY_REG[D_AFTER_FLD]

Copyright © 2025 Texas Instruments Incorporated

(4) R = REFCLK サイクル時間 (ns)

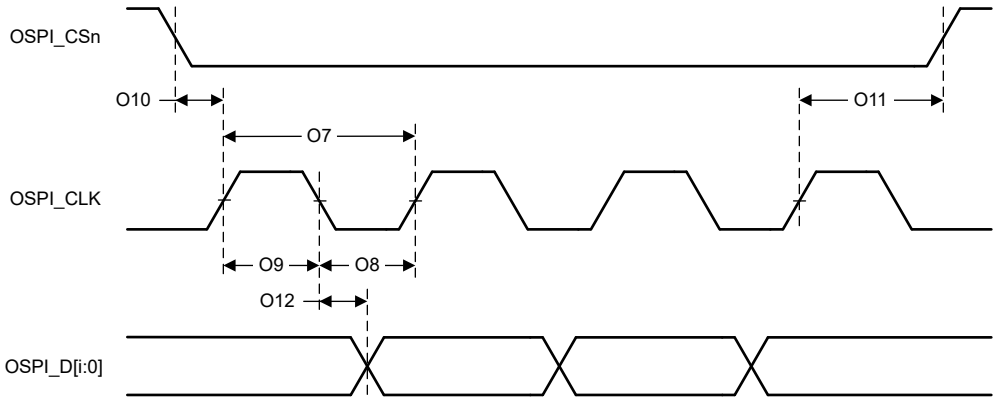


図 6-53. OSPI のスイッチング特性 - PHY SDR

6.11.5.13.2.2.2 OSPI0 PHY DDR のタイミング

6.11.5.13.2.2.2.1 OSPI0 の DLL 遅延マッピング – PHY DDR タイミング モード

モード	OSPI_PHY_CONFIGURATION_REG ビットフィールド	遅延値
送信		
1.8V	PHY_CONFIG_TX_DLL_DELAY_FLD	0x1E
3.3V	PHY_CONFIG_TX_DLL_DELAY_FLD	0x1E
受信		
1.8V、DQS	PHY_CONFIG_RX_DLL_DELAY_FLD	0x14
3.3V、DQS	PHY_CONFIG_RX_DLL_DELAY_FLD	0x19
1.8V、外部ボード ループバック付き DDR	PHY_CONFIG_RX_DLL_DELAY_FLD	0x64
3.3V、外部ボード ループバック付き DDR	PHY_CONFIG_RX_DLL_DELAY_FLD	0x69

6.11.5.13.2.2.2.2 OSPI0 のタイミング要件 - PHY DDR モード

番号	パラメータ	説明	モード	最小値	最大値	単位
O15	$t_{su(D-LBCLK)}$	セットアップ時間、アクティブ OSPI_DQS エッジの前 OSPI_D[7:0] 有効	1.8V、DQS 付き DDR	0.400		ns
			3.3V、DQS 付き DDR	0.800		ns
			1.8V、外部ボード ループバック付き DDR	6		ns
			3.3V、外部ボード ループバック付き DDR	7		ns

番号	パラメータ	説明	モード	最小値	最大値	単位
O16	$t_{h(LBTCLK-D)}$	ホールド時間、アクティブ OSPI_DQS エッジの後 OSPI_D[7:0] 有効	1.8V、DQS 付き DDR	0.500		ns
			3.3V、DQS 付き DDR	0.400		ns
			1.8V、外部ボード ループバック付き DDR	0		ns
			3.3V、外部ボード ループバック付き DDR	0		ns

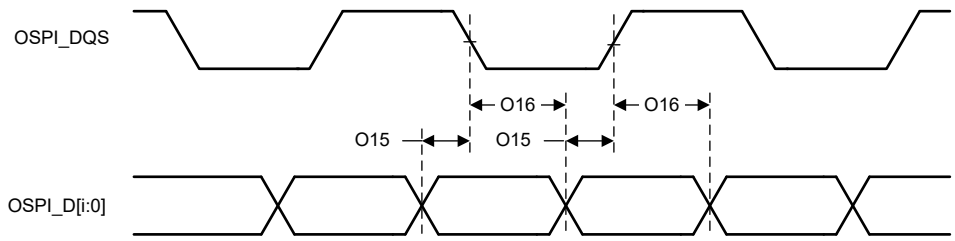


図 6-54. OSPI のタイミング要件 – 外部ボード ループバックまたは DQS 付き PHY DDR

6.11.5.13.2.2.2.3 OSPI0 のスイッチング特性 - PHY DDR モード

番号	パラメータ	説明	モード	最小値	最大値	単位
O1	$t_{c(CLK)}$	サイクル時間、OSPI_CLK		12.5		ns
O2	$t_{w(CLKL)}$	パルス幅、OSPI_CLK Low		0.475P(1) - 0.3		ns
O3	$t_{w(CLKH)}$	パルス幅、OSPI_CLK High		0.475P(1) - 0.3		ns
O4	$t_{d(CSn-CLK)}$	遅延時間、OSPI_CSn[1:0] アクティブ エッジから OSPI_CLK 立ち上がりエッジまで		0.475P(1) - (0.975 × M(2) × R(4))	0.525P(1) - (1.025 × M(2) × R(4)) + 7	ns
O5	$t_{d(CLK-CSn)}$	遅延時間、OSPI_CLK 立ち上がりエッジから OSPI_CSn[1:0] 非アクティブ エッジまで		0.475P(1) + (0.975 × N(3) × R(4)) - 7	0.525P(1) + (1.025 × N(3) × R(4))	ns
O6	$t_{d(CLK-D)}$	遅延時間、OSPI_CLK アクティブ エッジから OSPI_D[7:0] 遷移まで	1.8V	-1.45	-3.4	ns
			3.3V	-1.45	-3.6	ns

(1) P = OSPI_CLK サイクル時間 = SCLK 周期 (ns)
(2) M = OSPI_DEV_DELAY_REG[D_INIT_FLD]
(3) N = OSPI_DEV_DELAY_REG[D_AFTER_FLD]
(4) R = REFCLK サイクル時間 (ns)

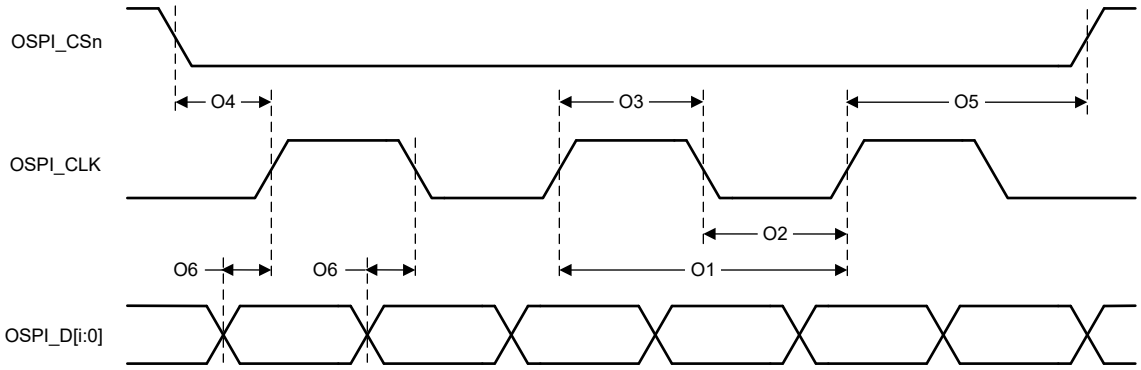


図 6-55. OSPI のスイッチング特性 - PHY DDR

Copyright © 2025 Texas Instruments Incorporated

6.11.5.13.2.3 データ トレーニングなし OSPI1

注

このセクションで定義されているタイミング パラメータは、データ トレーニングが実装されておらず、DLL 遅延が所定の方法で構成されている場合に限り、OSPI1 インターフェイスに適用されます (「*PHY SDR タイミングモードにおける OSPI1 DLL 遅延マッピング*」および「*PHY DDR タイミングモードにおける OSPI1 の DLL 遅延マッピング*」を参照)。

6.11.5.13.2.3.1 OSPI1 PHY SDR のタイミング

6.11.5.13.2.3.1.1 OSPI1 の DLL 遅延マッピング – PHY SDR タイミング モード

モード	OSPI_PHY_CONFIGURATION_REG ビットフィールド	遅延値
送信		
1.8V	PHY_CONFIG_TX_DLL_DELAY_FLD	0x20
3.3V	PHY_CONFIG_TX_DLL_DELAY_FLD	0x2F
受信		
1.8V、内部 PHY ループバック	PHY_CONFIG_RX_DLL_DELAY_FLD	0x40
3.3V、内部 PHY ループバック	PHY_CONFIG_RX_DLL_DELAY_FLD	0x32
1.8V、外部ボード ループバック	PHY_CONFIG_RX_DLL_DELAY_FLD	0x0
3.3V、外部ボード ループバック	PHY_CONFIG_RX_DLL_DELAY_FLD	0x0

6.11.5.13.2.3.1.2 OSPI1 のタイミング要件 - PHY SDR モード

番号	パラメータ	説明	モード	最小値	最大値	単位
O19	$t_{su(D-CLK)}$	セットアップ時間、アクティブ OSPI_CLK エッジの前 OSPI_D[7:0] 有効	1.8V、PHY ループバック内蔵 SDR	6		ns
			3.3V、PHY ループバック内蔵 SDR	7		ns
O20	$t_{h(CLK-D)}$	ホールド時間、アクティブ OSPI_CLK エッジの後 OSPI_D[7:0] 有効	1.8V、PHY ループバック内蔵 SDR	0.25		ns
			3.3V、PHY ループバック内蔵 SDR	0		ns
O21	$t_{su(D-LBCLK)}$	セットアップ時間、アクティブ OSPI_DQS エッジの前 OSPI_D[7:0] 有効	1.8V、外部ボード ループバック付き SDR	6		ns
			3.3V、外部ボード ループバック付き SDR	7		ns
O22	$t_{h(LBCLK-D)}$	ホールド時間、アクティブ OSPI_DQS エッジの後 OSPI_D[7:0] 有効	1.8V、外部ボード ループバック付き SDR	2		ns
			3.3V、外部ボード ループバック付き SDR	2		ns

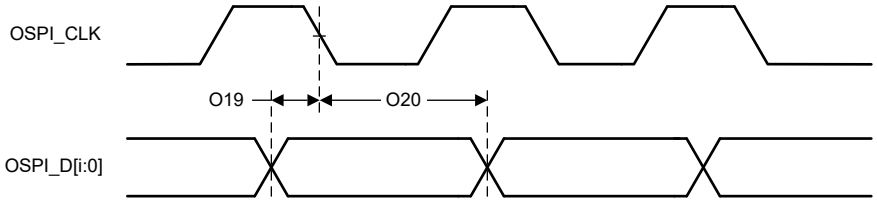


図 6-56. OSPI のタイミング要件 – PHY ループバック内蔵 PHY SDR

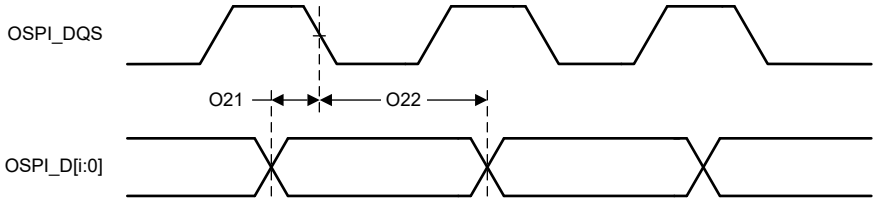


図 6-57. OSPI のタイミング要件 – 外部ボード ループバック付き PHY SDR

6.11.5.13.2.3.1.3 OSPI1 のスイッチング特性 - PHY SDR モード

番号	パラメータ	説明	モード	最小値	最大値	単位
O7	$t_{c(CLK)}$	サイクル時間、OSPI_CLK		12.5		ns
O8	$t_{w(CLKL)}$	パルス幅、OSPI_CLK Low		0.475P(1) - 0.3		ns
O9	$t_{w(CLKH)}$	パルス幅、OSPI_CLK High		0.475P(1) - 0.3		ns
O10	$t_{d(CSn-CLK)}$	遅延時間、OSPI_CSn[1:0] アクティブ エッジから OSPI_CLK 立ち上がりエッジまで		0.475P(1) + (0.975 × M(2) × R(4)) - 1	0.525P(1) + (1.025 × M(2) × R(4)) + 1	ns
O11	$t_{d(CLK-CSn)}$	遅延時間、OSPI_CLK 立ち上がりエッジから OSPI_CSn[1:0] 非アクティブ エッジまで		0.475P(1) + (0.975 × N(3) × R(4)) - 1	0.525P(1) + (1.025 × N(3) × R(4)) + 1	ns
O12	$t_{d(CLK-D)}$	遅延時間、OSPI_CLK アクティブ エッジから OSPI_D[7:0] 遷移まで	1.8V	-1.6	-3.9	ns
			3.3V	-2.12	-5.2	ns

(1) P = CLK サイクル時間 = SCLK 周期 (ns 単位)
(2) M = OSPI_DEV_DELAY_REG[D_INIT_FLD]
(3) N = OSPI_DEV_DELAY_REG[D_AFTER_FLD]
(4) R = REFCLK サイクル時間 (ns)

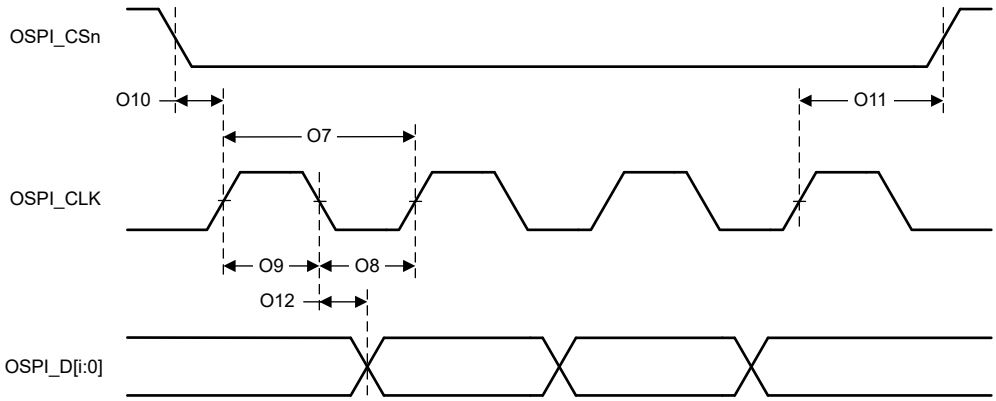


図 6-58. OSPI のスイッチング特性 - PHY SDR

6.11.5.13.2.3.2 OSPI1 PHY DDR のタイミング

Copyright © 2025 Texas Instruments Incorporated

6.11.5.13.2.3.2.1 OSPI1 の DLL 遅延マッピング – PHY DDR タイミング モード

モード	OSPI_PHY_CONFIGURATION_REG ビットフィールド	遅延値
送信		
1.8V	PHY_CONFIG_TX_DLL_DELAY_FLD	0x1E
3.3V	PHY_CONFIG_TX_DLL_DELAY_FLD	0x1E
受信		
1.8V、DQS	PHY_CONFIG_RX_DLL_DELAY_FLD	0x14
3.3V、DQS	PHY_CONFIG_RX_DLL_DELAY_FLD	0x19
1.8V、外部ボード ループバック付き DDR	PHY_CONFIG_RX_DLL_DELAY_FLD	0x64
3.3V、外部ボード ループバック付き DDR	PHY_CONFIG_RX_DLL_DELAY_FLD	0x69

6.11.5.13.2.3.2.2 OSPI1 のタイミング要件 - PHY DDR モード

番号	パラメータ	説明	モード	最小値	最大値	単位
O15	$t_{su(D-LBCLK)}$	セットアップ時間、アクティブ OSPI_DQS エッジの前 OSPI_D[7:0] 有効	1.8V、DQS 付き DDR	0.400		ns
			3.3V、DQS 付き DDR	0.800		ns
			1.8V、外部ボード ループバック付き DDR	6		ns
			3.3V、外部ボード ループバック付き DDR	7		ns
O16	$t_{h(LBTCLK-D)}$	ホールド時間、アクティブ OSPI_DQS エッジの後 OSPI_D[7:0] 有効	1.8V、DQS 付き DDR	0.500		ns
			3.3V、DQS 付き DDR	0.400		ns
			1.8V、外部ボード ループバック付き DDR	0		ns
			3.3V、外部ボード ループバック付き DDR	0		ns

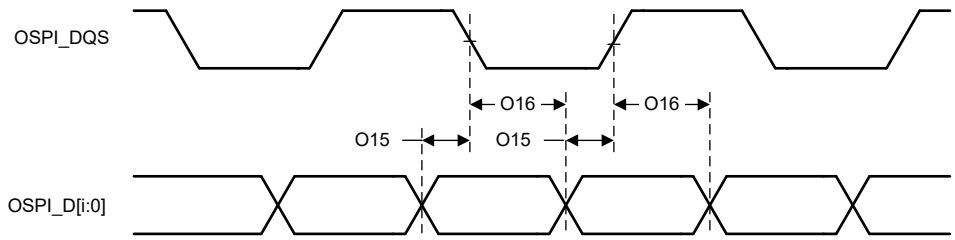


図 6-59. OSPI のタイミング要件 – 外部ボード ループバックまたは DQS 付き PHY DDR

6.11.5.13.2.3.2.3 OSPI1 のスイッチング特性 - PHY DDR モード

番号	パラメータ	説明	モード	最小値	最大値	単位
O1	$t_{c(CLK)}$	サイクル時間、OSPI_CLK		12.5		ns
O2	$t_{w(CLKL)}$	パルス幅、OSPI_CLK Low		0.475P(1) - 0.3		ns
O3	$t_{w(CLKH)}$	パルス幅、OSPI_CLK High		0.475P(1) - 0.3		ns

番号	パラメータ	説明	モード	最小値	最大値	単位
O4	$t_{d(CSn-CLK)}$	遅延時間、OSPI_CSn[1:0] アクティブ エッジから OSPI_CLK 立ち上がりエッジまで		0.475P(1) - (0.975 × M(2) × R(4))	0.525P(1) - (1.025 × M(2) × R(4)) + 7	ns
O5	$t_{d(CLK-CSn)}$	遅延時間、OSPI_CLK 立ち上がりエッジから OSPI_CSn[1:0] 非アクティブ エッジまで		0.475P(1) + (0.975 × N(3) × R(4)) - 7	0.525P(1) + (1.025 × N(3) × R(4))	ns
O6	$t_{d(CLK-D)}$	遅延時間、OSPI_CLK アクティブ エッジから OSPI_D[7:0] 遷移まで	1.8V	-1.5	-3.7	ns
			3.3V	-1.5	-3.7	ns

(1) P = OSPI_CLK サイクル時間 = SCLK 周期 (ns)
(2) M = OSPI_DEV_DELAY_REG[D_INIT_FLD]
(3) N = OSPI_DEV_DELAY_REG[D_AFTER_FLD]
(4) R = REFCLK サイクル時間 (ns)

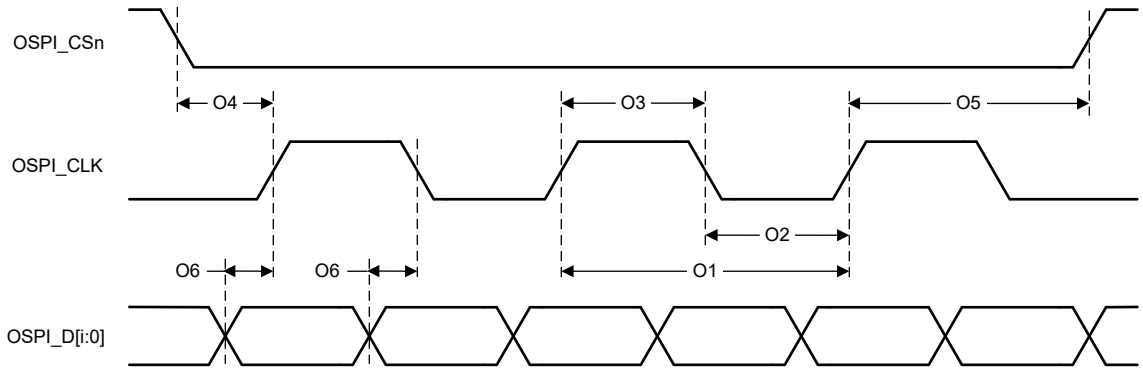


図 6-60. OSPI のスイッチング特性 - PHY DDR

6.11.5.13.3 OSPI タップ モード

6.11.5.13.3.1 OSPI タップ SDR のタイミング

6.11.5.13.3.1.1 OSPI のタイミング要件 - タップ SDR モード

番号	パラメータ	説明	モード	最小値	最大値	単位
O19	$t_{su(D-CLK)}$	セットアップ時間、アクティブ OSPI_CLK エッジの前 OSPI_D[7:0] 有効	ループバックなし	10.4 - (0.975 × T(1) × R(2))		ns
O20	$t_{h(CLK-D)}$	ホールド時間、アクティブ OSPI_CLK エッジの後 OSPI_D[7:0] 有効	ループバックなし	0.7 + (0.975 × T(1) × R(2))		ns

(1) T = OSPI_RD_DATA_CAPTURE_REG[DELAY_FLD]
(2) R = REFCLK サイクル時間 (ns)

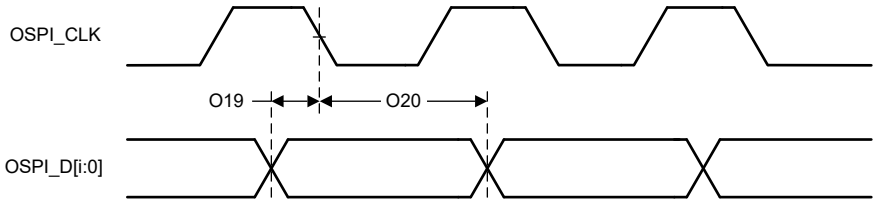


図 6-61. OSPI のタイミング要件 – タップ SDR、ループバックなし

Copyright © 2025 Texas Instruments Incorporated

6.11.5.13.3.1.2 OSPI のスイッチング特性 - タップ SDR モード

番号	パラメータ	説明	モード	最小値	最大値	単位
O7	$t_{c(CLK)}$	サイクル時間、OSPI_CLK		20		ns
O8	$t_{w(CLKL)}$	パルス幅、OSPI_CLK Low		0.475P(1) - 0.3		ns
O9	$t_{w(CLKH)}$	パルス幅、OSPI_CLK High		0.475P(1) - 0.3		ns
O10	$t_{d(CSn-CLK)}$	遅延時間、OSPI_CSn[1:0] アクティブ エッジから OSPI_CLK 立ち上がりエッジまで		0.475P(1) + (0.975 × M(2) × R(4)) - 1	0.525P(1) + (1.025 × M(2) × R(4)) + 1	ns
O11	$t_{d(CLK-CSn)}$	遅延時間、OSPI_CLK 立ち上がりエッジから OSPI_CSn[1:0] 非アクティブ エッジまで		0.475P(1) + (0.975 × N(3) × R(4)) - 1	0.525P(1) + (1.025 × N(3) × R(4)) + 1	ns
O12	$t_{d(CLK-D)}$	遅延時間、OSPI_CLK アクティブ エッジから OSPI_D[7:0] 遷移まで		-4.25	7.25	ns

(1) P = CLK サイクル時間 = SCLK 周期 (ns 単位)
(2) M = OSPI_DEV_DELAY_REG[D_INIT_FLD]
(3) N = OSPI_DEV_DELAY_REG[D_AFTER_FLD]
(4) R = REFCLK サイクル時間 (ns)

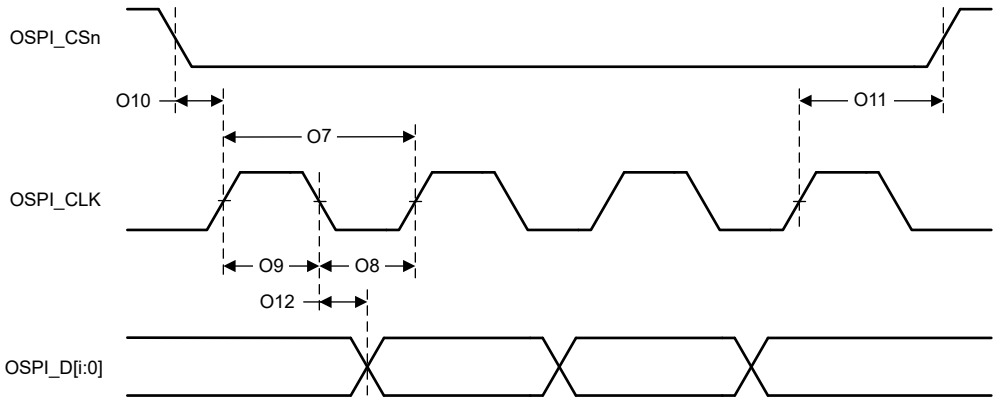


図 6-62. OSPI のスイッチング特性 – タップ SDR、ループバックなし

6.11.5.13.3.2 OSPI0 タップ DDR のタイミング

6.11.5.13.3.2.1 OSPI のタイミング要件 - タップ DDR モード

番号	パラメータ	説明	モード	最小値	最大値	単位
O13	$t_{su(D-CLK)}$	セットアップ時間、アクティブ OSPI_CLK エッジの前 OSPI_D[7:0] 有効	ループバックなし	12.04 - (0.975 × T(1) × R(2))		ns
O14	$t_{h(CLK-D)}$	ホールド時間、アクティブ OSPI_CLK エッジの後 OSPI_D[7:0] 有効	ループバックなし	1.84 + (0.975 × T(1) × R(2))		ns

(1) T = OSPI_RD_DATA_CAPTURE_REG[DELAY_FLD]
(2) R = REFCLK サイクル時間 (ns)

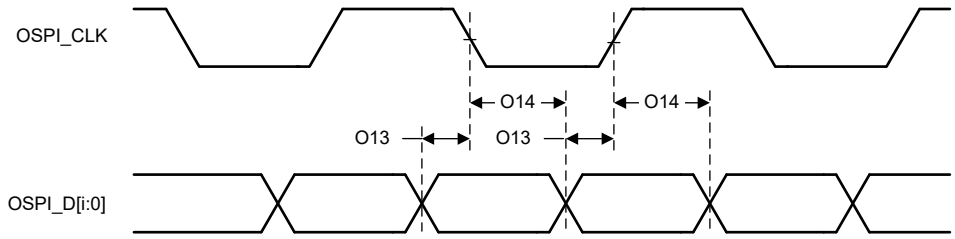


図 6-63. OSPI0 のタイミング要件 – タップ DDR、ループバックなし

6.11.5.13.3.2.2 OSPI のスイッチング特性 - タップ DDR モード

番号	パラメータ	説明	モード	最小値	最大値	単位
O1	$t_{c(CLK)}$	サイクル時間、OSPI_CLK		40		ns
O2	$t_{w(CLKL)}$	パルス幅、OSPI_CLK Low		0.475P(1) - 0.3		ns
O3	$t_{w(CLKH)}$	パルス幅、OSPI_CLK High		0.475P(1) - 0.3		ns
O4	$t_{d(CSn-CLK)}$	遅延時間、OSPI_CSn[1:0] アクティブ エッジから OSPI_CLK 立ち上がりエッジまで		0.475P(1) + (0.975 × M(2) × R(4)) - 1	0.525P(1) + (1.025 × M(2) × R(4)) + 1	ns
O5	$t_{d(CLK-CSn)}$	遅延時間、OSPI_CLK 立ち上がりエッジから OSPI_CSn[1:0] 非アクティブ エッジまで		0.475P(1) + (0.975 × N(3) × R(4)) - 1	0.525P(1) + (1.025 × N(3) × R(4)) + 1	ns
O6	$t_{d(CLK-D)}$	遅延時間、OSPI_CLK アクティブ エッジから OSPI_D[7:0] 遷移まで		–17.94 + (0.975 × T(5) × R(4))	–1.56 + (1.025 × T(5) × R(4))	ns

(1) P = CLK サイクル時間 = SCLK 周期 (ns 単位)
(2) M = OSPI_DEV_DELAY_REG[D_INIT_FLD]
(3) N = OSPI_DEV_DELAY_REG[D_AFTER_FLD]
(4) R = REFCLK サイクル時間 (ns)
(5) T = OSPI_RD_DATA_CAPTURE_REG[DDR_READ_DELAY_FLD]

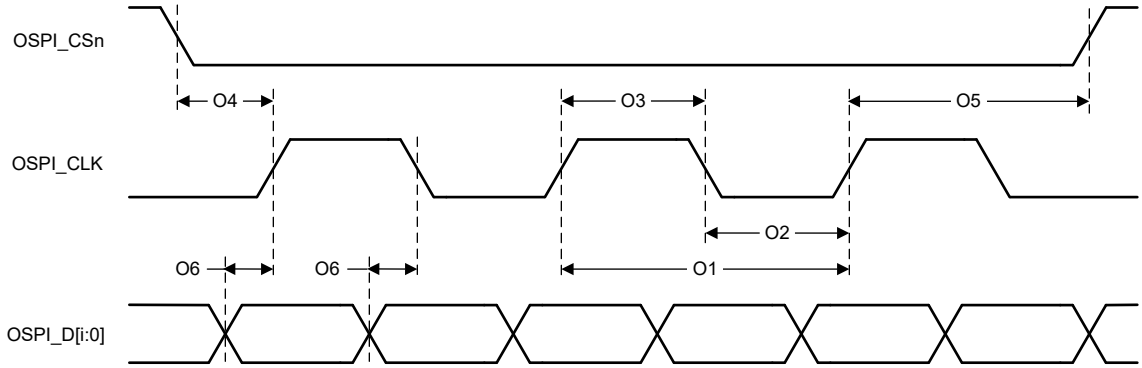


図 6-64. OSPI0 のスイッチング特性 – タップ DDR、ループバックなし

Copyright © 2025 Texas Instruments Incorporated

6.11.5.14 プログラマブル リアルタイム ユニットおよび産業用通信サブシステム (PRU-ICSS)

このデバイスには、2 つの独立したプログラマブル リアルタイム ユニットおよび産業用通信サブシステム (PRU-ICSS0 および PRU-ICSS1) が統合されています。PRU コアのプログラム可能な特性に加え、デバイスのピンやシステム イベント、その他のリソースへの高度な GPIO アクセス機能により、高速なリアルタイム応答の実装、特殊なデータ処理、カスタム周辺インターフェイスの構築、さらにはデバイス内の他のプロセッサ コアからの処理のオフロードといった柔軟な対応が可能になります。

デバイスの PRU-ICSS に関する機能や詳細な説明については、デバイス固有の TRM 内の該当するサブセクションを参照してください。

注

PRU-ICSS では、トップ レベルのデバイス ピンのマルチプレックスに加えて、第 2 層の信号マルチプレックス処理が必要です。詳細については、PRU-ICSS TRM の章の「環境」セクションを参照してください。

注

すべての PRU-ICSS インスタンスの信号名を表すには、汎用 PRU-ICSS の名前と PRU_prefix を使用します。

6.11.5.14.1 PRU-ICSS プログラマブル リアルタイム ユニット (PRU)

注

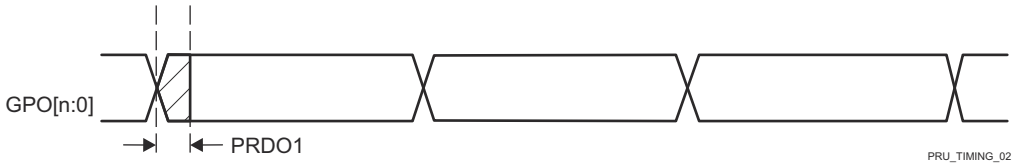
PRU_ICSS PRU 信号は、動作モードに応じて機能が異なります。このセクションの信号の名称は、デバイスの TRM の *PRU モジュール インターフェイス* セクションで使用される名称と一致します。

6.11.5.14.1.1 PRU-ICSS PRU のタイミング条件

パラメータ		最小値	最大値	単位
入力条件				
SR_I	入力スルーレート	1	3	V/ns
出力条件				
C_L	出力負荷容量	2	30	pF

6.11.5.14.1.2 PRU-ICSS PRU のスイッチング特性 – 直接出力モード

番号	パラメータ	説明	最小値	最大値	単位
PRDO1	$t_{sk(PRU_GPO)}$	PRU_GPO (データ出力) スキュー		3	ns



A. GPO[n:0] で、n は 19。

図 6-65. PRU-ICSS PRU 直接出力タイミング

6.11.5.14.1.3 PRU-ICSS PRU のタイミング要件 – パラレル キャプチャ モード

番号	パラメータ	説明	最小値	最大値	単位
PRPC1	$t_{c(PRU_CLOCK)}$	サイクル時間、PRU_CLOCK	20		ns
PRPC2	$t_{w(PRU_CLOCKL}$	パルス幅、PRU_CLOCK Low	10		ns
PRPC3	$t_{w(PRU_CLOCKH)}$	パルス幅、PRU_CLOCK High	10		ns
PRPC4	$t_{su(PRU_DATAIN-PRU_CLK)}$	セットアップ時間、PRU_DATAIN 有効から PRU_CLOCK アクティブ エッジまで	4		ns
PRPC5	$t_{th(PRU_CLOCK-PRU_DATAIN)}$	ホールド時間、PRU_CLOCK アクティブ エッジから PRU_DATAIN 有効の間	0		ns

Copyright © 2025 Texas Instruments Incorporated

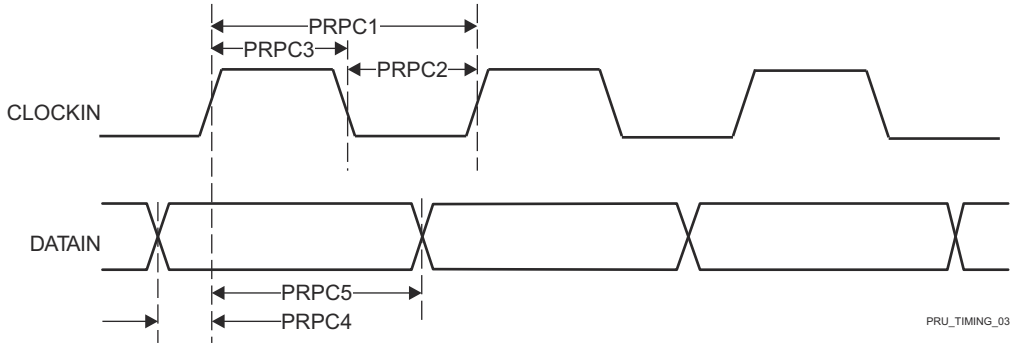


図 6-66. PRU-ICSS PRU パラレル キャプチャのタイミング要件 – 立ち上がりエッジ モード

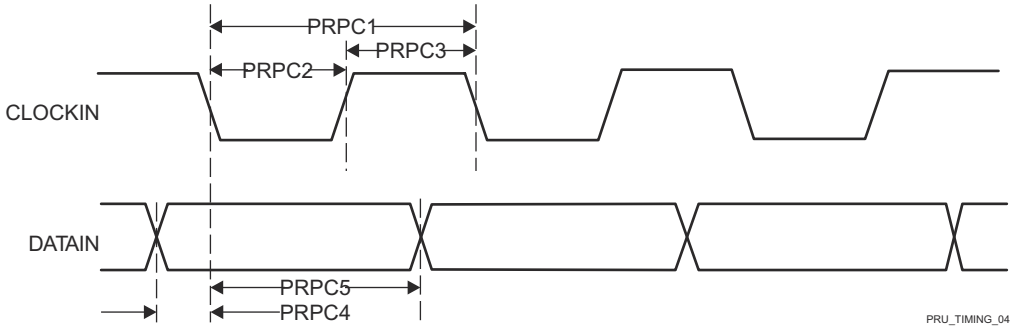


図 6-67. PRU-ICSS PRU パラレル キャプチャのタイミング要件 – 立ち下がりエッジ モード

6.11.5.14.1.4 PRU-ICSS PRU のタイミング要件 – シフトイン モード

番号	パラメータ	説明	最小値	最大値	単位
PRSI1	$t_{w(PRU_DATAINH)}$	パルス幅、PRU_DATAIN High	2 + 2P(1)		ns
PRSI2	$t_{w(PRU_DATAINL)}$	パルス幅、PRU_DATAIN Low	2 + 2P(1)		ns

(1) P = 内部シフト イン クロック周期。GPCFGn レジスタの PRU_GPI_DIV0 および PRU0_GPI_DIV1 ビット フィールドで定義されます。

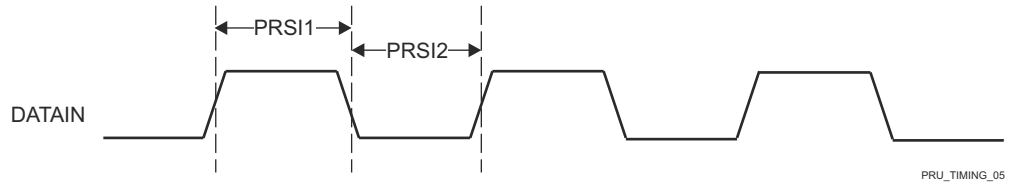


図 6-68. PRU-ICSS PRU シフトインのタイミング

6.11.5.14.1.5 PRU-ICSS PRU のスイッチング特性 – シフト アウト モード

番号	パラメータ	説明	最小値	最大値	単位
PRSO1	$t_{c(PRU_CLOCKOUT)}$	サイクル時間、PRU_CLOCKOUT	10		ns
PRSO2L	$t_{w(PRU_CLOCKOUTL)}$	パルス時間、PRU_CLOCKOUT Low	–0.3 + 0.475 × P(1) × Z(2)		ns
PRSO2H	$t_{w(PRU_CLOCKOUTH)}$	パルス幅、PRU_CLOCKOUT High	–0.3 + 0.475 × P(1) × Y(3)		ns
PRSO3	$t_{d(PRU_CLOCKOUT-PRU_DATAOUT)}$	遅延時間、PRU_CLOCKOUT から PRU_DATAOUT が有効になるまで	0	3	ns

(1) P = ソフトウェアによるプログラム可能なシフト アウト クロック周期。GPCFGn レジスタの PRU0_GP0_Div0 および PRU0_GPO_DIV1 ビット フィールドで定義されます。

(2) Z パラメータは次のように定義されます。
PRU0_GPI_DIV0 と PRU0_GPI_DIV1 が INTEGERS の場合、または PRU0_GPI_DIV0 が NON-INTEGER で PRU0_GPI_DIV1 が EVEN INTEGER の場合、
Z は (PRU0_GPI_DIV0 * PRU0_GPI_DIV1) に等しくなります。
PRU0_GPI_DIV0 が NON-INTEGER で PRU0_GPI_DIV1 が ODD INTEGER の場合 、
Z は (PRU0_GPI_DIV0 * PRU0_GPI_DIV1 + 0.5) に等しくなります。
PRU0_GPI_DIV0 が INTEGER で PRU0_GPI_DIV1 が NON-INTEGER の場合 、
Z は(PRU0_GPI_DIV0 * PRU0_GPI_DIV1 + 0.5 * PRU0_GPI_DIV0) に等しくなります。
PRU0_GPI_DIV0 と PRU0_GPI_DIV1 が NON-INTEGERS の場合 、
Z は (PRU0_GPI_DIV0 * PRU0_GPI_DIV1 + 0.25 * PRU0_GPI_DIV0) に等しくなります

(3) Y パラメータは次のように定義されます。
PRU0_GPI_DIV0 と PRU0_GPI_DIV1 が INTEGERS の場合、または PRU0_GPI_DIV0 が NON-INTEGER で PRU0_GPI_DIV1 が EVEN INTEGER の場合、
Y は (PRU0_GPI_DIV0 * PRU0_GPI_DIV1) に等しくなります。
PRU0_GPI_DIV0 が NON-INTEGER で PRU0_GPI_DIV1 が ODD INTEGER の場合 、
Y は (PRU0_GPI_DIV0* PRU0_GPI_DIV1 - 0.5) に等しくなります。
PRU0_GPI_DIV0 が INTEGER で PRU0_GPI_DIV1 が NON-INTEGER の場合 、
Y は(PRU0_GPI_DIV0 * PRU0_GPI_DIV1 - 0.5 * PRU0_GPI_DIV0) に等しくなります。
PRU0_GPI_DIV0 と PRU0_GPI_DIV1 が NON-INTEGERS の場合、
Y1 は (PRU0_GPI_DIV0 * PRU0_GPI_DIV1 - 0.25 * PRU0_GPI_DIV0)、
Y2 は (PRU0_GPI_DIV0 * PRU0_GPI_DIV1 + 0.25 * PRU0_GPI_DIV0) に等しくなり、ここで、Y1 は最初の高いパルス、Y2 は 2 番目の高いパルスです。

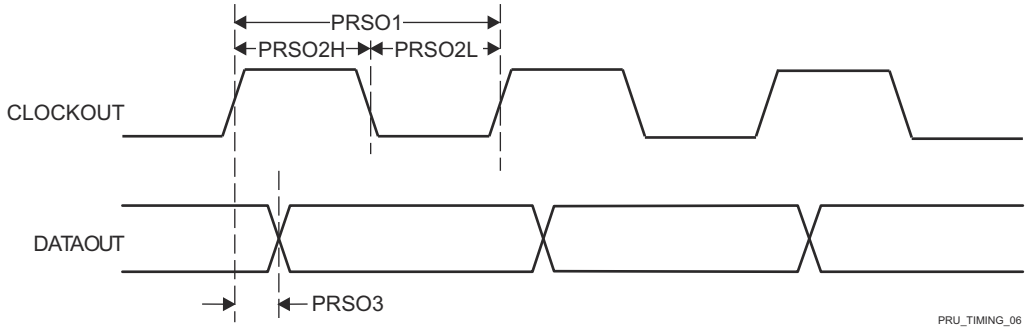


図 6-69. PRU-ICSS PRU シフトアウトのタイミング

Copyright © 2025 Texas Instruments Incorporated

6.11.5.14.2 PRU-ICSS PRU シグマ デルタおよびペリフェラルインターフェイス

6.11.5.14.2.1 PRU_ICSS PRU シグマ デルタおよびペリフェラル インターフェイスのタイミング条件

パラメータ		最小値	最大値	単位
入力条件				
SR_I	入力スルーレート	1	3	V/ns
出力条件				
C_L	出力負荷容量	2	18	pF

6.11.5.14.2.2 PRU_ICSS PRU のタイミング要件 – シグマ デルタ モード

番号	パラメータ	説明	最小値	最大値	単位
PRSD1	$t_{c(SD_CLK)}$	サイクル時間、SD_CLK	40		ns
PRSD2L	$t_{w(SD_CLKL)}$	パルス幅、SD_CLK Low	20		ns
PRSD2H	$t_{w(SD_CLKH)}$	パルス幅、SD_CLK High	20		ns
PRSD3	$t_{su(SD_D\text{-}SDCLK)}$	セットアップ時間、SD_D 有効から SD_CLK アクティブ エッジまで	10		ns
PRSD4	$t_{su(SDCLK\text{-}SD_D)}$	ホールド時間、SD_CLK アクティブ エッジから SD_D 有効の間	5		ns

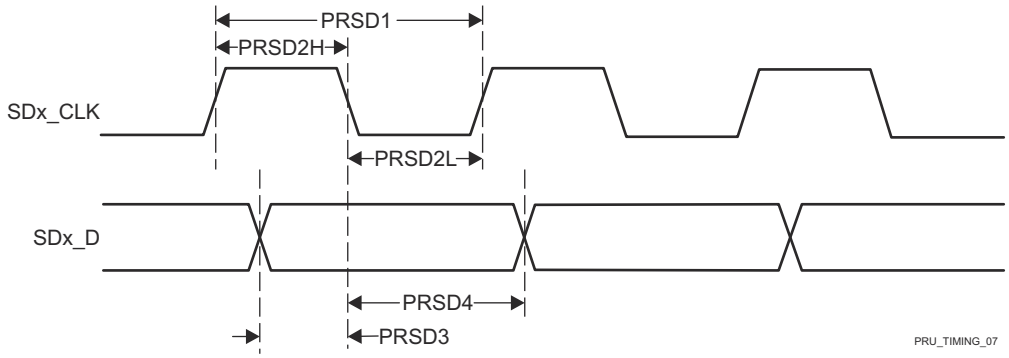


図 6-70. PRU_ICSS PRU SD_CLK 立ち下がりアクティブ エッジ

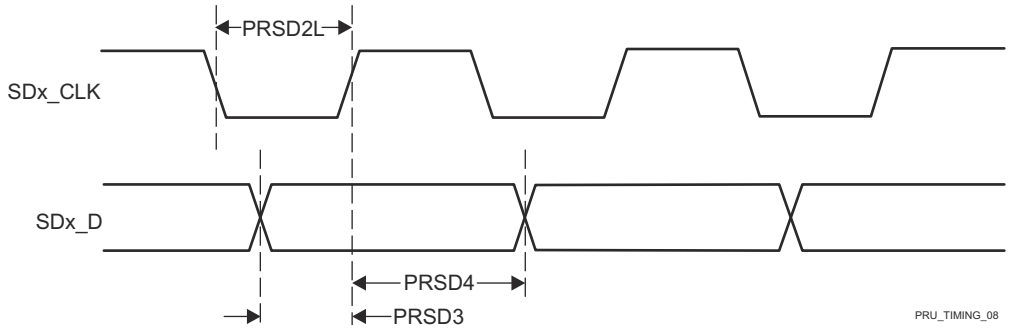


図 6-71. PRU_ICSS PRU SD_CLK の立ち上がりアクティブ エッジ

6.11.5.14.2.3 PRU-ICSS PRU タイミング要件 – ペリフェラル インターフェイス モード

番号	パラメータ	説明	最小値	最大値	単位
PRPIF1	$t_{w(PIF_DATA_INH)}$	パルス幅、PIF_DATA_IN High	2 + 0.475 × (4 × P[(1)])		ns

番号	パラメータ	説明	最小値	最大値	単位
PRPIF2	$t_{w(PIF_DATA_INL)}$	パルス幅、PIF_DATA_IN Low	2 + 0.475 × (4 × P[(1)])		ns

(1) P = 1x (または TX) クロック周期。CFG_ED_P<n>_TXCFG レジスタの TX_DIV_FACTOR および TX_DIV_FACTOR_FRAC で定義されます。

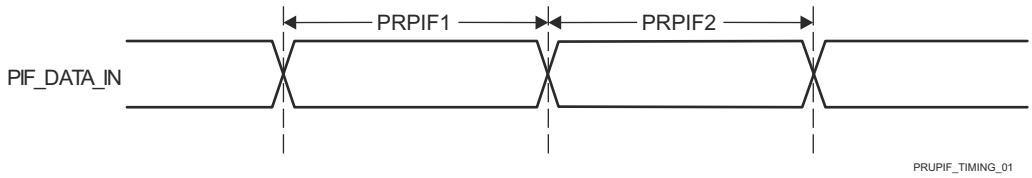


図 6-72. PRU_ICSS PRU ペリフェラル インターフェイスのタイミング要件

6.11.5.14.2.4 PRU-ICSS PRU スイッチング特性 - ペリフェラル インターフェイス モード

番号	パラメータ	説明	最小値	最大値	単位
PRPIF3	$t_{c(PIF_CLK)}$	サイクル時間、PIF_CLK	30		ns
PRPIF4	$t_{w(PIF_CLKH)}$	パルス幅、PIF_CLK High	0.475P[(1)]		ns
PRPIF5	$t_{w(PIF_CLKL)}$	パルス幅、PIF_CLK Low	0.475P[(1)]		ns
PRPIF6	$t_{d(PIF_CLK\text{-}PIF_DATA_OUT)}$	遅延時間、PIF_CLK 立ち下がりから PIF_DATA_OUT まで	-5	5	ns
PRPIF7	$t_{d(PIF_CLK\text{-}PIF_DATA_EN)}$	遅延時間、PIF_CLK 立ち下がりから PIF_DATA_EN まで	-5	5	ns

(1) P = 1x (または TX) クロック周期。CFG_ED_P<n>_TXCFG レジスタの TX_DIV_FACTOR および TX_DIV_FACTOR_FRAC で定義されます。

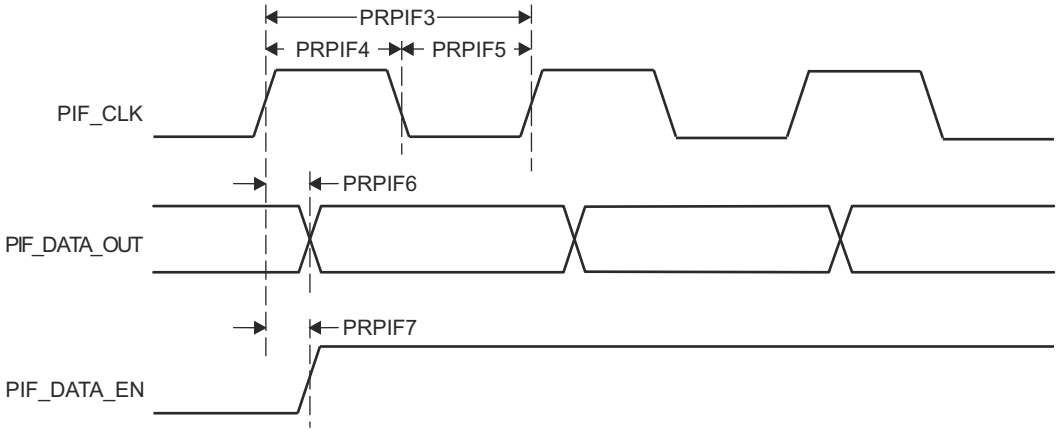


図 6-73. PRU_ICSS PRU ペリフェラル インターフェイスのスイッチング特性

Copyright © 2025 Texas Instruments Incorporated

6.11.5.14.3 PRU-ICSS パルス幅変調 (PWM)

6.11.5.14.3.1 PRU-ICSS PWM タイミング条件

パラメータ		最小値	最大値	単位
入力条件				
SR_I	入力スルーレート	1	4	V/ns
出力条件				
C_L	出力負荷容量	2	7	pF

6.11.5.14.3.2 PRU-ICSS PWM スイッチング特性

番号	パラメータ	説明	最小値	最大値	単位
PRPWM1	$t_{sk(PWM_A/B)}$	PWM_A/B スキュー		5	ns

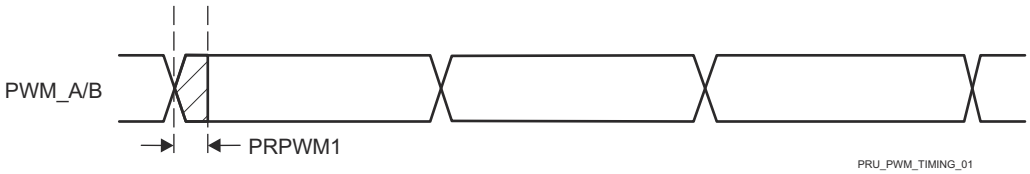


図 6-74. PRU-ICSS PWM のタイミング

6.11.5.14.4 PRU-ICSS 産業用イーサネット ペリフェラル (IEP)

6.11.5.14.4.1 PRU-ICSS IEP タイミング条件

パラメータ		最小値	最大値	単位
入力条件				
SR_I	入力スルーレート	1	3	V/ns
出力条件				
C_L	出力負荷容量	1	7	pF

6.11.5.14.4.2 PRU-ICSS IEP タイミング要件 - SYNCx による入力有効化

番号	パラメータ	説明	最小値	最大値	単位
PRIEP1	$t_{w(EDC_SYNCx_OUTL)}$	パルス幅、EDC_SYNCx_OUT Low	–2 + 20P(1)		ns
PRIEP2	$t_{w(EDC_SYNCx_OUTH)}$	パルス幅、EDC_SYNCx_OUT High	–2 + 20P(1)		ns
PRIEP3	$t_{su(EDIO_DATA_IN-EDC_SYNCx_OUT}$	セットアップ時間、EDC_SYNCx_OUT アクティブ エッジの前 EDIO_DATA_IN 有効	20		ns
PRIEP4	$t_{h(EDC_SYNCx_OUT-EDIO_DATA_IN)}$	ホールド時間、EDC_SYNCx_OUT アクティブ エッジから EDIO_DATA_IN 有効の間	20		ns

(1) P = PRU-ICSS IEP クロック ソース周期。

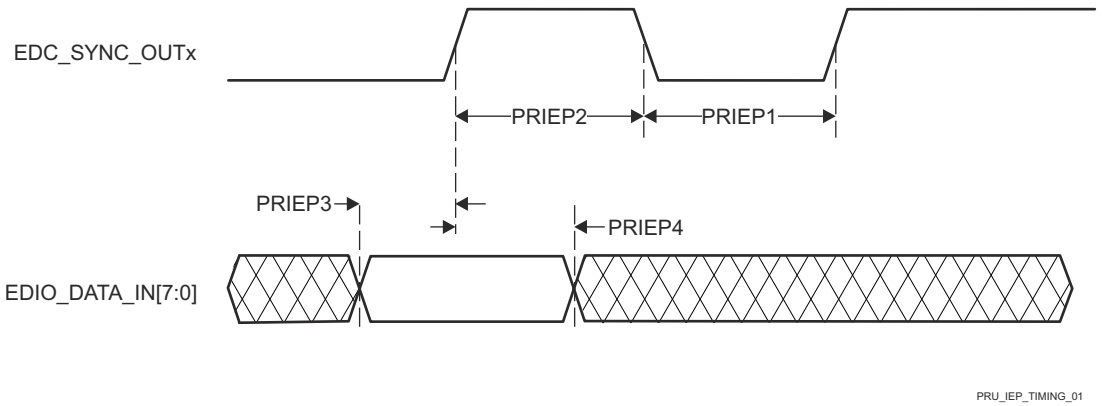


図 6-75. PRU_ICSS IEP SYNC のタイミング要件

6.11.5.14.4.3 PRU-ICSS IEP のタイミング要件 - デジタル IO

番号	パラメータ	説明	最小値	最大値	単位
IEPIO1	$t_{w(EDIO_OUTVALIDL)}$	パルス幅、EDIO_OUTVALID Low	–2 + 14P(1)		ns
IEPIO2	$t_{w(EDIO_OUTVALIDH)}$	パルス幅、EDIO_OUTVALID High	–2 + 32P(1)		ns
IEPIO3	$t_{d(EDIO_OUTVALID-EDIO_DATA_OUT)}$	遅延時間、EDIO_OUTVALID から EDIO_DATA OUT	0	18P(1)	ns
IEPIO4	$t_{sk(EDIO_DATA_OUT)}$	EDIO_DATA_OUT スキュー	6		ns

(1) P = PRU-ICSS IEP クロック ソース周期。

Copyright © 2025 Texas Instruments Incorporated

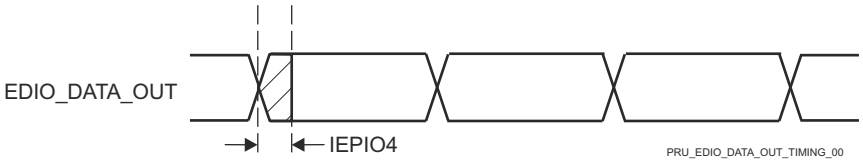


図 6-76. PRU-ICSS IEP デジタル IO のタイミング要件

6.11.5.14.4.4 PRU-ICSS IEP タイミング要件- LATCHx_IN

番号	パラメータ	説明	最小値	最大値	単位
PRLA1	$t_{w(EDC_LATCHx_INL)}$	パルス幅、EDC_LATCHx_IN Low	2 + 3P[(1)]		ns
PRLA2	$t_{w(EDC_LATCHx_INH)}$	パルス幅、EDC_LATCHx_IN High	2 + 3P[(1)]		ns

(1) P = PRU-ICSS IEP クロック ソース周期。

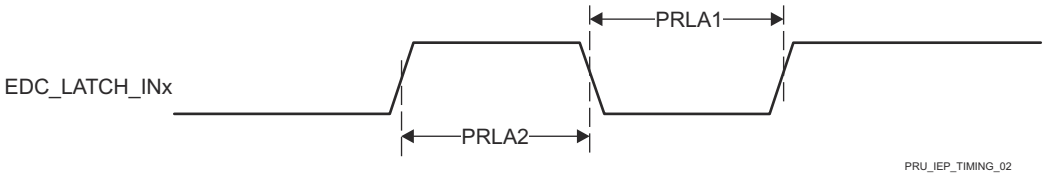


図 6-77. PRU_ICSS IEP LATCH_INx のタイミング要件

6.11.5.14.5 PRU-ICSS UART (ユニバーサル非同期レシーバ / トランスミッタ)

6.11.5.14.5.1 PRU-ICSS UART タイミング条件

パラメータ		最小値	最大値	単位
入力条件				
SR_I	入力スルーレート	0.01	0.33	V/ns
出力条件				
C_L	出力負荷容量	1	30	pF

6.11.5.14.5.2 PRU-ICSS UART タイミング要件

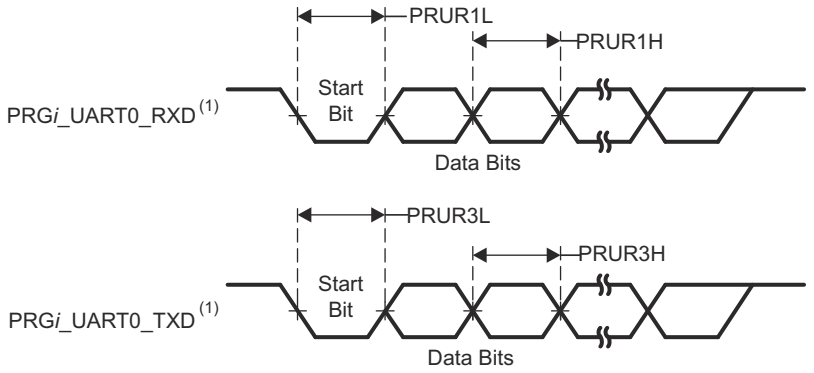
番号	パラメータ	説明	最小値	最大値	単位
PRUR1H	$t_{w(RXH)}$	パルス幅、受信 START、STOP、DATA ビット High	U(1)		ns
PRUR1L	$t_{w(RXL)}$	パルス幅、受信 START、STOP、DATA ビット Low	–2 + U(1)		ns

(1) U = UART のボー時間 = 1/ プログラムされたボーレート。

6.11.5.14.5.3 PRU-ICSS UART スイッチング特性

番号	パラメータ	説明	最小値	最大値	単位
PRUR2	$f_{(baud)}$	プログラム可能な最大ボー レート	U(1)		ns
PRUR3H	$t_{w(TXH)}$	パルス幅、送信 START、STOP、DATA ビット High	–2 + U(1)		ns

(1) U = UART のボー時間 = 1/ プログラムされたボーレート。



(1) i in PRGi_UART0_RXD and PRGi_UART0_TXD = 0, 1 or 2

PRU_UART_TIMING_01

図 6-78. PRU-ICSS UART のタイミング要件およびスイッチング特性

Copyright © 2025 Texas Instruments Incorporated

6.11.5.14.6 PRU-ICSS 拡張キャプチャ ペリフェラル (ECAP)

6.11.5.14.6.1 PRU-ICSS ECAP タイミング条件

パラメータ		最小値	最大値	単位
入力条件				
SR_I	入力スルーレート	1	3	V/ns
出力条件				
C_L	出力負荷容量	2	7	pF

6.11.5.14.6.2 PRU-ICSS ECAP タイミング要件

番号	パラメータ	説明	最小値	最大値	単位
PREP1	$t_{w(CAP)}$	パルス幅、キャプチャ入力 (非同期)	2 + 2P(1)		ns
PREP2	$t_{w(SYNCI)}$	パルス幅、同期入力 (非同期)	2 + 2P(1)		ns

(1) P = CORE_CLK 周期 (ns)。

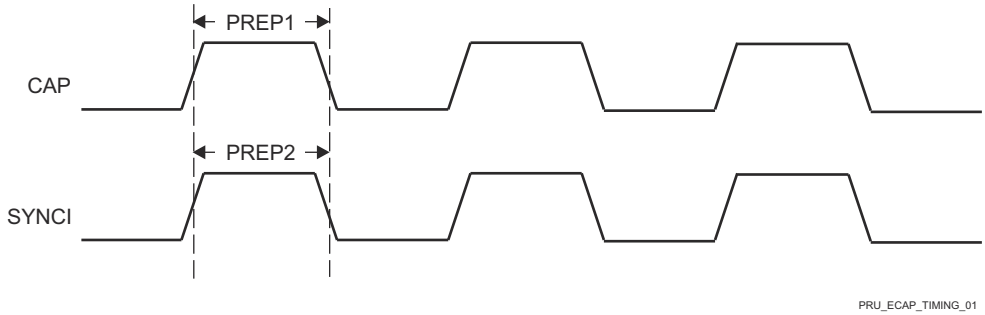


図 6-79. PRU-ICSS ECAP のタイミング

6.11.5.14.6.3 PRU-ICSS ECAP スイッチング特性

番号	パラメータ	説明	最小値	最大値	単位
PREP3	$t_{w(APWM)}$	パルス幅、補助 PWM (APWM) 出力 High/Low	2P(1)		ns
PREP4	$t_{w(SYNCO)}$	パルス幅、同期出力 (非同期)	P(1)		ns

(1) P = CORE_CLK 周期 (ns)。

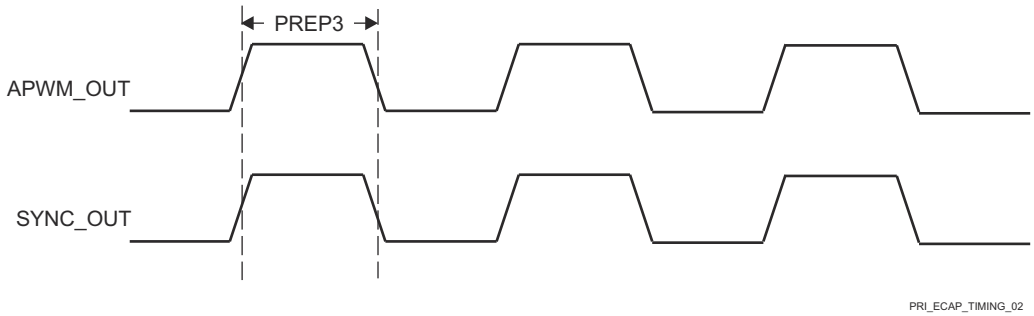


図 6-80. PRU-ICSS ECAP スイッチング特性

6.11.5.14.7 PRU-ICSS MDIO および MII

6.11.5.14.7.1 PRU-ICSS MDIO のタイミング

6.11.5.14.7.1.1 PRU-ICSS MDIO タイミング条件

パラメータ		最小値	最大値	単位
入力条件				
SR_I	入力スルーレート	0.9	3.6	V/ns
出力条件				
C_L	出力負荷容量	10	470	pF

6.11.5.14.7.1.2 PRU-ICSS MDIO タイミング要件

番号	パラメータ	説明	最小値	最大値	単位
MDIO1	$t_{su(MDIO-MDC)}$	セットアップ時間、MDIO[x]_MDIO 有効から MDIO[x]_MDC high まで	90		ns
MDIO2	$t_{h(MDC-MDIO)}$	ホールド時間、MDIO[x]_MDC High から MDIO[x]_MDIO 有効	0		ns

6.11.5.14.7.1.3 PRU-ICSS MDIO スイッチング特性

番号	パラメータ	説明	最小値	最大値	単位
MDIO3	$t_{c(MDC)}$	サイクル時間、MDIO[x]_MDC	400		ns
MDIO4	$t_{w(MDCH)}$	パルス幅、MDIO[x]_MDC High	160		ns
MDIO5	$t_{w(MDCL)}$	パルス幅、MDIO[x]_MDC Low	160		ns
MDIO7	$t_{d(MDC-MDIO)}$	遅延時間、MDIO[x]_MDC Low から MDIO[x]_MDIO 有効まで	-150	150	ns

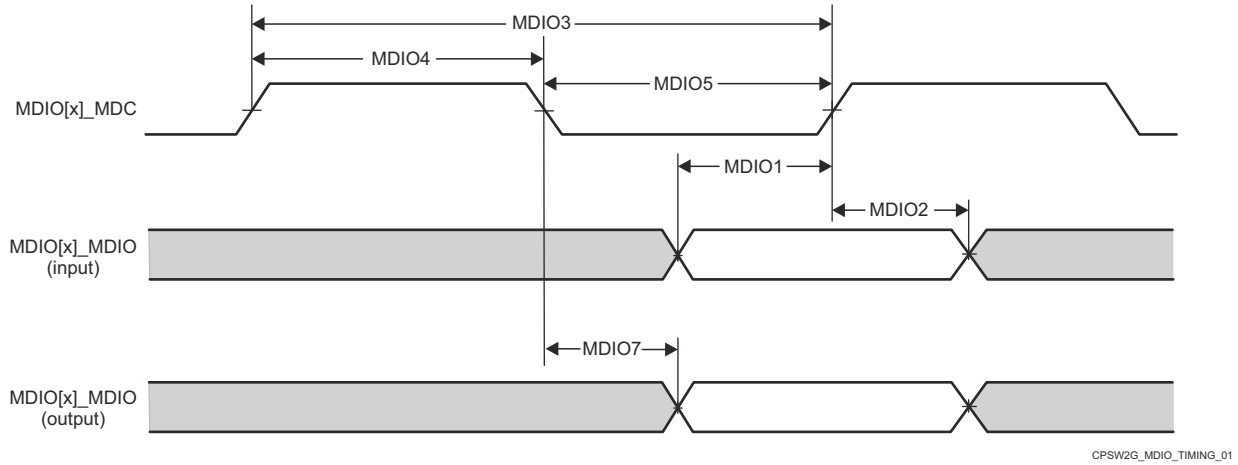


図 6-81. PRU-ICSS MDIO のタイミング要件およびスイッチング特性

6.11.5.14.7.2 PRU-ICSS MII のタイミング

6.11.5.14.7.2.1 PRU-ICSS MII タイミング条件

パラメータ		最小値	最大値	単位
入力条件				
SR_I	入力スルーレート	0.9	3.6	V/ns

Copyright © 2025 Texas Instruments Incorporated

パラメータ		最小値	最大値	単位
出力条件				
C_L	出力負荷容量	2	20	pF

6.11.5.14.7.2.2 PRU_ICSSG MII のタイミング要件 – MII[x]_RX_CLK

番号	パラメータ	説明	モード	最小値	最大値	単位
PMIR1	$t_{c(RX_CLK)}$	サイクル時間、MII[x]_RX_CLK	10Mbps	399.96	400.04	ns
			100Mbps	39.996	40.004	ns
PMIR2	$t_{w(RX_CLKH)}$	パルス幅、MII[x]_RX_CLK High	10Mbps	140	260	ns
			100Mbps	14	26	ns
PMIR3	$t_{w(RX_CLKL)}$	パルス幅、MII[x]_RX_CLK Low	10Mbps	140	260	ns
			100Mbps	14	26	ns

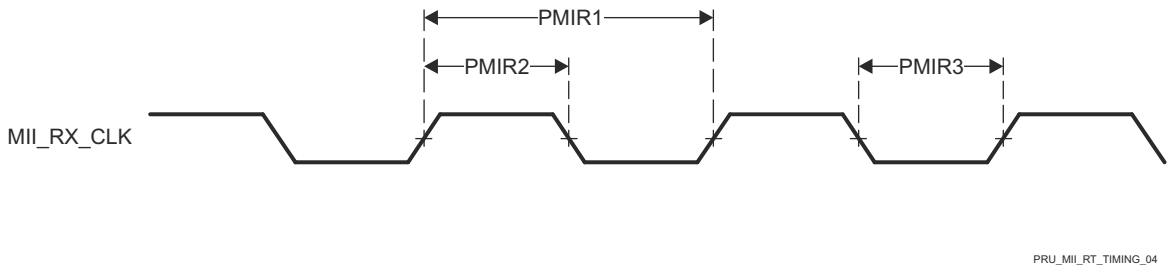


図 6-82. PRU_ICSS MII[x]_RX_CLK のタイミング

6.11.5.14.7.2.3 PRU-ICSS MII のタイミング要件 - MII[x]_RXD[3:0]、MII[x]_RX_DV、MII[x]_RX_ER

番号	パラメータ	説明	モード	最小値	最大値	単位
PMIR4	$t_{su(RXD\text{-}RX_CLK)}$	セットアップ時間、MII[x]_RXD[3:0] 有効から MII[x]_RX_CLK まで	10Mbps	8		ns
	$t_{su(RX_DV\text{-}RX_CLK)}$	セットアップ時間、MII[x]_RX_DV 有効から MII[x]_RX_CLK まで		8		ns
	$t_{su(RX_ER\text{-}RX_CLK)}$	セットアップ時間、MII[x]_RX_ER 有効から MII[x]_RX_CLK まで		8		ns
	$t_{su(RXD\text{-}RX_CLK)}$	セットアップ時間、MII[x]_RXD[3:0] 有効から MII[x]_RX_CLK まで	100Mbps	8		ns
	$t_{su(RX_DV\text{-}RX_CLK)}$	セットアップ時間、MII[x]_RX_DV 有効から MII[x]_RX_CLK まで		8		ns
	$t_{su(RX_ER\text{-}RX_CLK)}$	セットアップ時間、MII[x]_RX_ER 有効から MII[x]_RX_CLK まで		8		ns

番号	パラメータ	説明	モード	最小値	最大値	単位
PMIR5	$t_{h(RX_CLK-RXD)}$	ホールド時間、MII[x] RX_CLK から MII[x]_RXD[3:0] 有効の間	10Mbps	8		ns
	$t_{h(RX_CLK-RX_DV)}$	ホールド時間、MII[x]_RX_CLK から MII[x]_RX_DV 有効の間		8		ns
	$t_{h(RX_CLK-RX_ER)}$	ホールド時間、MII[x]_RX_CLK から MII[x]_RX_ER 有効の間		8		ns
	$t_{h(RX_CLK-RXD)}$	ホールド時間、MII[x] RX_CLK から MII[x]_RXD[3:0] 有効の間	100Mbps	8		ns
	$t_{h(RX_CLK-RX_DV)}$	ホールド時間、MII[x]_RX_CLK から MII[x]_RX_DV 有効の間		8		ns
	$t_{h(RX_CLK-RX_ER)}$	ホールド時間、MII[x]_RX_CLK から MII[x]_RX_ER 有効の間		8		ns

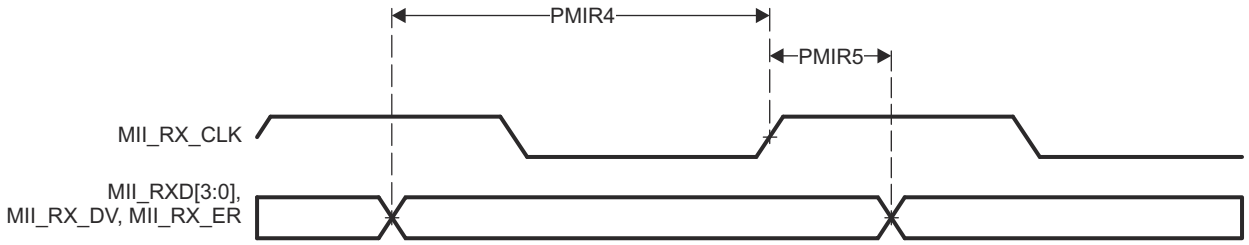


図 6-83. PRU_ICSS MII[x]_RXD[3:0]、MII[x]_RX_DV、MII[x]_RX_ER のタイミング

6.11.5.14.7.2.4 PRU-ICSS MII スイッチング特性 - MII[x]_TX_CLK

番号	パラメータ	説明	モード	最小値	最大値	単位
PMIT1	$t_{c(TX_CLK)}$	サイクル時間、MII[x]_TX_CLK	10Mbps	399.96	400.04	ns
			100Mbps	39.996	40.004	ns
PMIT2	$t_{w(TX_CLKH)}$	パルス幅、MII[x]_TX_CLK High	10Mbps	140	260	ns
			100Mbps	14	26	ns
PMIT3	$t_{w(TX_CLKL)}$	パルス幅、MII[x]_TX_CLK Low	10Mbps	140	260	ns
			100Mbps	14	26	ns

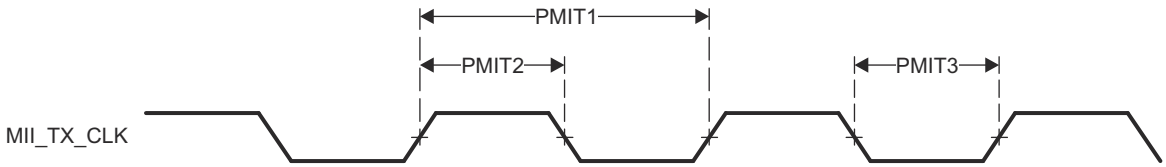


図 6-84. PRU_ICSS MII[x]_TX_CLK のタイミング

Copyright © 2025 Texas Instruments Incorporated

6.11.5.14.7.2.5 PRU-ICSS MII スイッチング特性 - MII[x]_TXD[3:0] および MII[x]_TXEN

番号	パラメータ	説明	モード	最小値	最大値	単位
PMIT4	$t_{d(TX_CLK-TXD)}$	遅延時間、MII[x]_TX_CLK High から MII[x]_TXD[3:0] 有効まで	10Mbps	0	25	ns
	$t_{d(TX_CLK-TX_EN)}$	遅延時間、MII[x]_TX_CLK High から MII[x]_TX_EN 有効まで		0	25	ns
	$t_{d(TX_CLK-TXD)}$	遅延時間、MII[x]_TX_CLK High から MII[x]_TXD[3:0] 有効まで	100Mbps	0	25	ns
	$t_{d(TX_CLK-TX_EN)}$	遅延時間、MII[x]_TX_CLK High から MII[x]_TX_EN 有効まで		0	25	ns

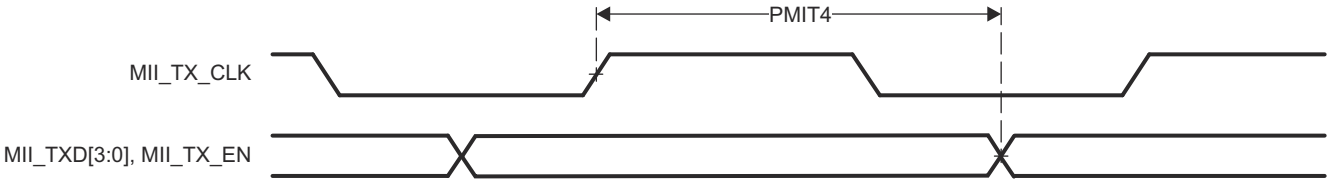


図 6-85. PRU_ICSS MII[x]_TXD[3:0]、MII[x]_TX_EN のタイミング

6.11.5.15 シグマ デルタ フィルタ モジュール (SDFM)

詳細については、デバイスの TRM にある「*シグマ デルタ フィルタ モジュール*」セクションを参照してください。

6.11.5.15.1 SDFM のタイミング条件

パラメータ		モード	最小値	最大値	単位
入力条件					
SR_I	入力スルーレート	モード 0	0.5	5	V/ns

6.11.5.15.2 SDFM スイッチング特性
(2)

番号	パラメータ	説明	モード	最小値	最大値	単位
M0-1	$t_{c(SDC)}$	サイクル時間、SDx_Cy	モード 0	5P(1)	256P(1)	ns
M0-2	$t_{w(SDCHL)}$	パルス幅、SDx_Cy (High/Low)	モード 0	2P(1)		ns
M0-3	$t_{sh(SDDV-SDCH)}$	セットアップ時間、SDx_Cy High の前 SDx_Dy 有効	モード 0	2P(1)		ns
M0-4	$t_{h(SDCH-SDD)}$	ホールド時間、SDx_Cy High の後 SDx_Dy 待機	モード 0	2P(1)		ns

(1) P = SYSCLK 周期 (ns)。
(2) 一部の SDFM 信号は、I2C0 の SDA ピンおよび SCL ピンとピン多重化されています。これらのピンは代替のオープン ドレイン電圧バッファを使用しており、仕様のパラメータを満たしていない可能性があります。値の正確性はポスト シリコン追加検証を待って確定します。

Copyright © 2025 Texas Instruments Incorporated

6.11.5.16 UART (ユニバーサル非同期レシーバ / トランスミッタ)

ユニバーサル非同期レシーバ / トランスミッタ デバイスの機能の詳細および追加説明情報については、「信号の説明」および「詳細説明」の対応するサブセクションを参照してください。

詳細については、デバイスの TRM にある「*ユニバーサル非同期レシーバ / トランスミッタ (UART)*」セクションを参照してください。

6.11.5.16.1 UART のタイミング条件

パラメータ		最小値	最大値	単位
入力条件				
SR_I	入力スルーレート	0.5	5	V/ns
出力条件				
C_L	出力負荷容量	1	30	pF
PCB 接続要件				
$t_{d\ (Trace\ Mismatch\ Delay)}$	すべてのパターンにわたる伝搬遅延の不整合		100	ps

6.11.5.16.2 UART のタイミング要件

番号	パラメータ	説明	最小値	最大値	単位
4	$t_{w(RX)}$	パルス幅、受信データ ビット High または Low	0.95U(1)	1.05U(1)	ns
5	$t_{w(CTS)}$	パルス幅、受信スタート ビット、High または Low	0.95U(1)		ns

(1) U = UART のボー時間 = 1 / プログラムされたボーレート。

6.11.5.16.3 UART スイッチング特性

番号	パラメータ	説明	モード	最小値	最大値	単位
	$f_{(baud)}$	プログラム可能なボーレート	15pF		12	Mbps
			30pF		0.115	
2	$t_{w(TX)}$	パルス幅、送信データ ビット High または Low		U(1) - 2.2	U(1) + 2.2	ns
3	$t_{w(RTS)}$	パルス幅、送信スタート ビット High または Low		U(1) - 2.2		ns
1	$t_{d(CTS-TX)}$	遅延時間、CTS ビット受信から送信データまで		30		ns

(1) U = UART のボー時間 = 1 / プログラムされたボーレート。

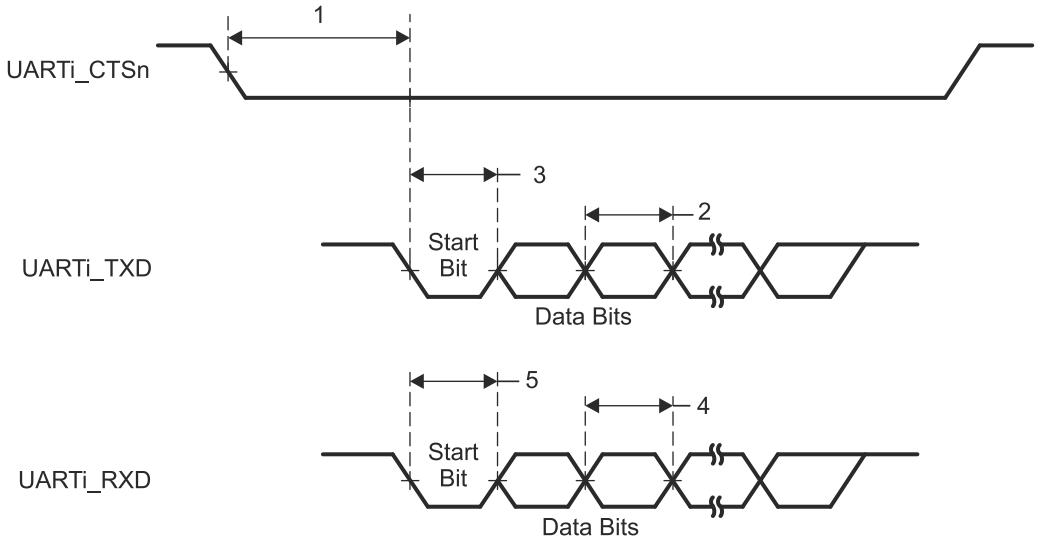


図 6-86. UART のタイミング要件およびスイッチング特性

Copyright © 2025 Texas Instruments Incorporated

6.11.5.17 ユニバーサル シリアル バス (USB)

USB 2.0 サブシステムは、ユニバーサル シリアル バス (USB) 仕様、リビジョン 2.0 に準拠しています。タイミングの詳細については、仕様を参照してください。

このデバイスの USB (Universal Serial Bus) サブシステムに関する機能や詳細な説明については、デバイスの TRM 内の「*Universal Serial Bus*」セクションを参照してください。

6.11.6 エミュレーションおよびデバッグ

本デバイスのトレースおよび JTAG インターフェイスの機能および追加の説明情報については、デバイスの TRM 内の「*オンチップ デバッグ*」セクションを参照してください。

6.11.6.1 JTAG

頭字語は、バウンダリ スキャン標準 (IEEE std 1149.1) を定義した技術者の委員会である **Joint Test Action Group** の略です。デバイスの JTAG インターフェイスに関する機能や詳細な説明については、デバイスの TRM 内の該当するサブセクションを参照してください。

6.11.6.1.1 JTAG のタイミング条件

パラメータ		最小値	最大値	単位
入力条件				
SR_I	入力スルーレート	0.5	2.00	V/ns
出力条件				
C_L	出力負荷容量	5	15	pF

6.11.6.1.2 JTAG のタイミング要件

番号	パラメータ	説明	最小値	最大値	単位
J1	$t_{c(TCK)}$	サイクル時間、TCK	40		ns
J2	$t_{w(TCKH)}$	パルス幅、TCK HIGH	16		ns
J3	$t_{w(TCKL)}$	パルス幅、TCK LOW	16		ns
J4	$t_{su(TDI-TCKH)}$	入力セットアップ時間、TDI 有効から TCK High まで	2		ns
	$t_{su(TMS-TCKH)}$	入力セットアップ時間、TMS 有効から TCK High まで	2		
J5	$t_{h(TCK-TDI)}$	入力ホールド時間、TCK High から TDI 有効の間	15.9		ns
	$t_{h(TCK-TMS)}$	入力ホールド時間、TCK High から TMS 有効の間	15.9		

6.11.6.1.3 JTAG スイッチング特性

番号	パラメータ	説明	最小値	最大値	単位
J6	$t_{d(TCKL-TDOI)}$	遅延時間、TCK Low から TDO 無効まで	-0.067005		ns
J7	$t_{d(TCKL-TDOV)}$	遅延時間、TCK LOW から TDO 有効まで		11.89594	ns

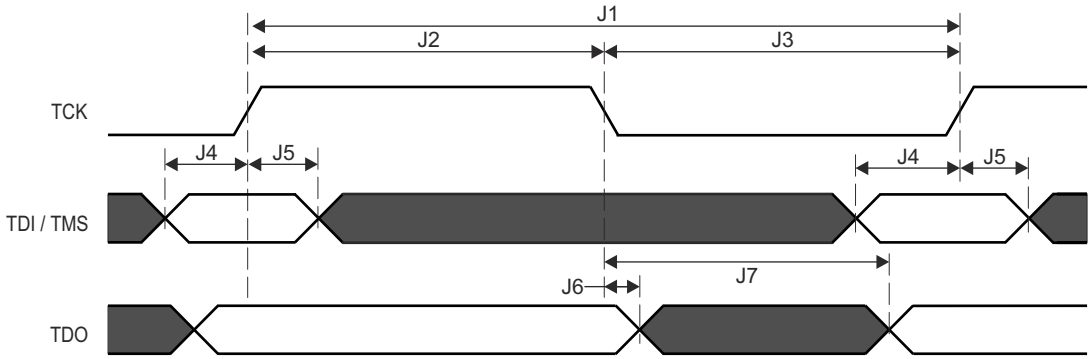


図 6-87. JTAG のタイミング要件およびスイッチング特性

Copyright © 2025 Texas Instruments Incorporated

6.11.6.2 トレース

6.11.6.2.1 デバッグ トレースのタイミング条件

パラメータ		最小値	最大値	単位
出力条件				
C_L	出力負荷容量	2	5	pF
出力条件				
$t_{d(Trace\ Mismatch)}$	すべてのパターンにわたる伝搬遅延の不整合		200	ps

6.11.6.2.2 デバッグ トレースのスイッチング特性

番号	パラメータ	説明	最小値	最大値	単位
DBTR1	$tc_{(TRC_CLK)}$	サイクル時間、TRC_CLK	9.75		ns
DBTR2	$t_{w(TRC_CLKH)}$	パルス幅、TRC_CLK High	4.13		ns
DBTR3	$t_{w(TRC_CLKL)}$	パルス幅、TRC_CLK Low	4.13		ns
DBTR4	$t_{osu(TRC_DATAV\text{-}TRC_CLK)}$	出力セットアップ時間、TRC_DATA 有効から TRC_CLK エッジまで	1.22		ns
DBTR5	$t_{oh(TRC_CLK\text{-}TRC\text{-}DATAI)}$	出力ホールド時間、TRC_CLK エッジから TRC_DATA 無効まで	1.22		ns
DBTR6	$t_{osu(TRC_CTLV\text{-}TRC_CLK)}$	出力セットアップ時間、TRC_CTL 有効から TRC_CLK エッジまで	1.22		ns
DBTR7	$t_{oh(TRC_CLK\text{-}TRC_CTLI)}$	出力ホールド時間、TRC_CLK エッジから TRC_CTL 無効まで	1.22		ns

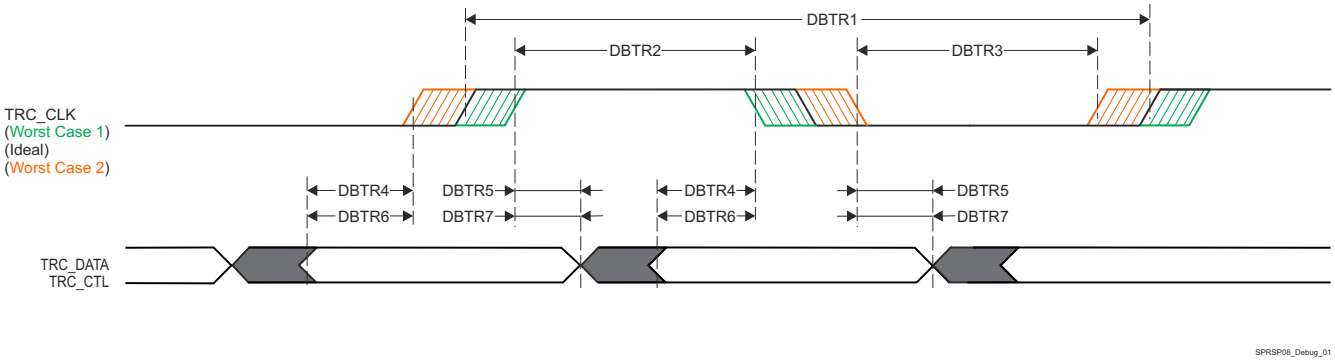


図 6-88. トレースのスイッチング特性

6.12 デカップリング コンデンサの要件

6.12.1 デカップリング コンデンサの要件

パラメータ	説明	最小値	標準値	最大値	単位
C_{VDD}	1.2V/1.25V VDD (コンデンサ)		10		µF
C_{VDDS33}	3.3V VDDS (コンデンサ)		10		µF
C_{VDDA33}	3.3V VDDA (コンデンサ)		10		µF
C_{VDDS18}	1.8V VDDS (コンデンサ)		0.1		µF
C_{VDDA18}	1.8V VDDA (コンデンサ)		0.1		µF
C_{VDDA18}	1.8V VDDA (コンデンサ)		4.7		µF
C_{VPP}	1.7V VPP (コンデンサ)		0.1		µF
C_{VDDS18_LDO}	1.8V LDO VDDS (コンデンサ)		3.3		µF

パラメータ	説明	最小値	標準値	最大値	単位
C_{ADC_VREF}	ADC VREFHI (コンデンサ)		4.7		µF

Copyright © 2025 Texas Instruments Incorporated

7 詳細説明

7.1 概要

AM261xSitara Arm® マイクロコントローラは、次世代の産業用および自動車組込みプロジェクトに求められる高度なリアルタイム処理および制御要件に対応するよう設計されています。AM261x は、高度なコンピューティングと業界をリードするリアルタイム制御ペリフェラルを組み合わせ、HEV/EV (オンボード チャージャー、DC-DC コンバータ、バッテリー管理システム)、2 軸サーボ ドライブ、産業用デジタル電力制御（エネルギー貯蔵、ストリング インバータ）、およびその他の一般的なリアルタイム制約システムなど、性能要求の高まるアプリケーションに対応します。AM261x は、最大 2 基の Cortex-R5F MCU、リアルタイム制御サブシステム (CONTROLSS)、ハードウェア セキュリティ モジュール (HSM)、および Sitara の TSN 対応 PRU-ICSS 2 インスタンスを統合しており、AM261x は高度なモーター制御およびデジタル電力制御アプリケーション向けに設計されています。

R5F コアはクラスター構成で配置され、512KB の共有タイトリー カップルド メモリ (TCM) および 1.5MB の共有 SRAM を備えています。Arm® コアを任意にプログラミングして、各種の機能安全構成用にロックステップのオプションで動作させることもできます。拡張 ECC をオンチップ メモリ、ペリフェラル、およびインターコネクトに内蔵することで高度な信頼性を確保しています。AM261x デバイスでは、HSM で管理される粒度の細かいファイアウォールに加えて、暗号化アクセラレーションとセキュア ブートも使用できるため、開発者は最もセキュアなシステムを設計できます。

リアルタイム制御サブシステム (CONTROLSS) は、デバイスに統合された革新的なサブシステムです。CONTROLSS には、以下を含む複数のデジタルおよびアナログ制御ペリフェラルが搭載されています。ADC、CMPSS、EPWM、ECAP、EQEP などが含まれ、重要なセンシング プロセス アクチュエートを伴うリアルタイム信号チェーン制御ループを効率的に実行できるようにしています。統合されたクロスバー (XBAR) インフラストラクチャにより、外部信号を内部ポートへ、内部信号を外部ピンへ柔軟に設定およびルーティングすることが可能です。

PRU-ICSS AM261x は、TSN、EtherCAT®、PROFINET®、Ethernet/IP™ の実行、または標準 Ethernet 接続およびカスタム I/O インターフェイスに必要な柔軟な産業用通信機能を提供します。また、PRU は SoC 内でシグマ デルタ デシメーション フィルタやアブソリュート エンコーダ インターフェイスなどの追加インターフェイスを可能にします。CPSW インターフェイスは、標準 Ethernet ポートを 2 つ提供します。

TI は、拡張性と使いやすさを考慮した複数のピン互換デバイスに加え、AM261x ファミリ向けの包括的なマイクロコントローラ ソフトウェアおよび開発ツールを提供しています。

7.2 プロセッサ サブシステム

7.2.1 Arm Cortex-R5F サブシステム

R5FSS は、デュアル コア (スプリット) モードまたはロックステップ モード動作用に構成された Arm® Cortex®-R5F プロセッサのデュアル コア実装です。また、付属のメモリ (L1 キャッシュおよび密結合メモリ)、標準的な Arm® CoreSight™ デバッグおよびトレース アーキテクチャ、統合型のベクタ割り込みマネージャ (VIM)、ECC アグリゲータ、SoC への統合を容易にするプロトコル変換およびアドレス変換用の各種ラッパーも搭載しています。このデバイスには 1 つの R5FSS モジュールが搭載されており、最大 2 コア (デュアルコア モード)、1 コア (ロックステップ モード) の機能コアが利用可能です。

注

Arm® Cortex®-R5F プロセッサは、オプションの浮動小数点ユニット (FPU) 拡張機能を備えた Cortex-R5 プロセッサです。

詳細については、デバイス TRM の「*プロセッサとアクセラレータ*」セクション内の *R5FSS* セクションを参照してください。

Copyright © 2025 Texas Instruments Incorporated

8 アプリケーション、実装、およびレイアウト

注

以下のアプリケーション情報は、テキサス・インスツルメンツの製品仕様に含まれるものではなく、テキサス・インスツルメンツはその正確性も完全性も保証いたしません。個々の目的に対する製品の適合性については、お客様の責任で判断していただくことになります。また、お客様は自身の設計実装を検証しテストすることで、システムの機能を確認する必要があります。

8.1 デバイスの接続およびレイアウトの基礎

8.1.1 外部発振器

外部発振器の詳細については、*入力クロック/発振器*セクションを参照してください。

8.1.2 JTAG、EMU、およびトレース

テキサス・インスツルメンツは、JTAG のサポートだけでなく、さまざまなデバッグ機能を備えた各種の拡張開発システム (XDS) JTAG コントローラをサポートしています。この情報の概要については、『XDS ターゲット接続ガイド』を参照してください。

JTAG、EMU、およびトレース配線の推奨事項については、『エミュレーションおよびトレース ヘッダー テクニカル リファレンス マニュアル』を参照してください。

8.1.3 ハードウェア リファレンス設計およびガイドライン

AM261xMCU デバイス ファミリをベースにした PCB システムの作成に関する詳細は、AM26x ハードウェア設計ガイドラインを参照してください。併せて、AM26x カスタム PCB システム スタートガイドもご確認ください。

8.1.4 USB 2.0 の動作

AM261x デバイスは標準の DFU-ユーティリティと互換性がなく、AM261x MCU+ SDK に含まれる TI 独自の DFU-ユーティリティの使用が必要です。詳細およびインストール手順については、AM261x MCU+ SDK の dfu-util セクションを参照してください。

8.2 OSPI のリセット

AM261x システム設計における適切な OSPI ブート動作のために、OSPI フラッシュのリセット信号は、PORz/WARMRSTn と OSPI0_RESET_OUT0 を入力とする AND ゲートの出力から生成することが推奨されます。この方法により、AM261x デバイスの電源再投入時やソフトウェア リセット コマンドによってフラッシュ デバイスをリセットできます。OSPI ブート時、AM261x デバイスのブート ROM コードは GPIO61 ピンを OSPI0_RESET_OUT0 として設定し、外部フラッシュ デバイスをリセットするためにピンをローに駆動します。しかし、GPIO61 の OSPI コントローラ設定は、フラッシュ デバイスのリセット完了後にピンをハイに駆動しないため、フラッシュ デバイスがリセット状態のままとなり、正常なブートが妨げられます。これはフォールバックモードのブートも含み、OSPI ブートモードが起動する結果となります。詳細については、AM261x エラッタ ドキュメントを参照してください。

外部フラッシュ デバイスのソフトウェア リセットには、GPIO61 を含め、専用の OSPI0_RESET_OUT mux モードを持つ GPIO を使用できます。ただし、上記の ROM コード設定により、GPIO61 ピンはブート時にリセット ロジックへの信号伝搬を防ぐためゲート制御される必要があります。AM261x OSPI リセットは、バッファ付き GPIO61 と PORz/WARMRESETn を用いた方法の一例です。設計上の考慮事項の詳細については、AM26x ハードウェア設計ガイドを参照してください。

注

OSPI0_RESET_OUT0 の実装に使用する GPIO ピンにかかわらず、OSPI フラッシュのリセット信号は、PORz/WARMRSTn と OSPI0_RESET_OUT0 を入力とする AND ゲートの出力から生成することが推奨され、これは、AM261x の「OSPI0_RESET_OUT0 と PORz/WARMRESETn を使用した OSPI リセット」に示されている方法です。

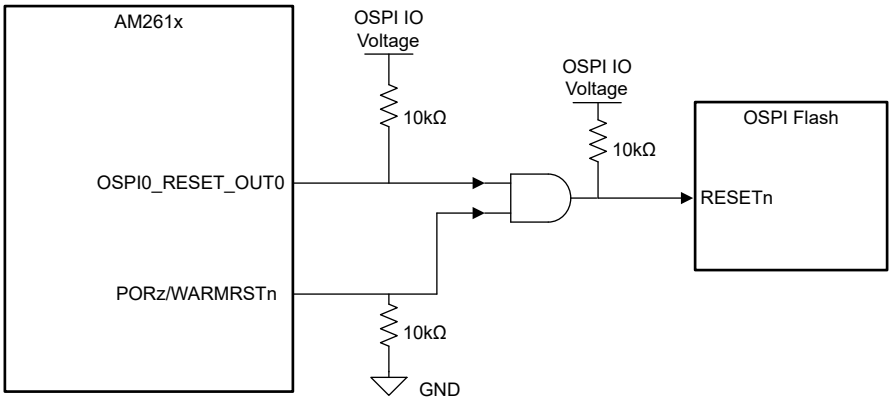


図 8-1. OSPI0_REST_OUT0 と PORz/WARMRSTn を使用した AM261x OSPI リセット

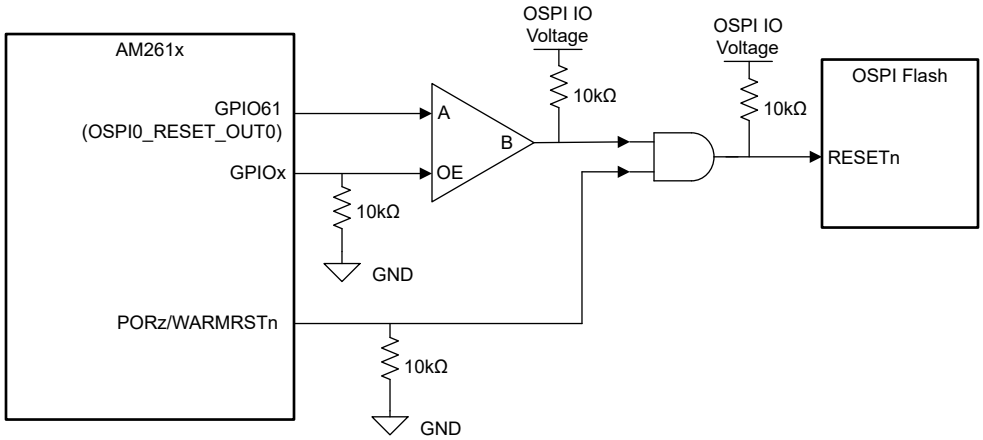


図 8-2. バッファ付き GPIO61 と PORz/WARMRESETn を使用した AM261x OSPI リセット

Copyright © 2025 Texas Instruments Incorporated

9 デバイスおよびドキュメントのサポート

9.1 デバイスの命名規則

製品開発サイクルの各段階を示すために、TI はすべてのマイクロコントローラ (MCU) およびサポート ツールの品番にプレフィックスを割り当てています。各デバイスには次の 3 つのいずれかの接頭辞があります：X、P、空白 (接頭辞なし) (たとえば、XAM2612AOFFHIZFB)。テキサス・インスツルメンツでは、サポート ツールについては、使用可能な 3 つの接頭辞のうち TMDX および TMDS の 2 つを推奨しています。これらの接頭辞は、製品開発の進展段階を表します。段階には、エンジニアリング プロトタイプ(TMDX)から、完全認定済みの量産デバイス/ツール(TMDS)まであります。

デバイスの開発進展フロー：

X 実験的デバイス。最終デバイスの電気的特性を必ずしも表さず、量産アセンブリ フローを使用しない可能性があります。

P プロトタイプ デバイス。最終的なシリコン ダイとは限らず、最終的な電気的特性を満たさない可能性があります。

空白 認定済みのシリコン ダイの量産バージョン。

サポート ツールの開発進展フロー:

TMDX 開発サポート製品。テキサス・インスツルメンツの社内認定試験はまだ完了していません。

TMDS 完全に認定済みの開発サポート製品です。

X および P デバイスと TMDX 開発サポート ツールは、以下の免責事項の下で出荷されます。

「開発中の製品は、社内での評価用です。」

量産デバイスおよび TMDS 開発サポート ツールの特性は完全に明確化されており、デバイスの品質と信頼性が十分に示されています。テキサス・インスツルメンツの標準保証が適用されます。

プロトタイプ デバイス(X または P)の方が標準的な量産デバイスに比べて故障率が大きいと予測されます。これらのデバイスは予測される最終使用時の故障率が未定義であるため、テキサス・インスツルメンツではそれらのデバイスを量産システムで使用しないよう推奨しています。認定済みの量産デバイスのみを使用する必要があります。

AM261x デバイスの注文可能な型番については、このドキュメントにあるパッケージ オプションの付録やテキサス・インスツルメンツの Web サイト (ti.com) を参照するか、テキサス・インスツルメンツの販売代理店にお問い合わせください。

9.1.1 標準パッケージの記号化

注

一部のデバイスには、パッケージの上面に装飾的な円形のマーキングがあります。これは、量産テスト プロセスの結果として添付されます。さらに、一部のデバイスでは、パッケージのサブストレートの製造元によって、パッケージのサブストレートに色のばらつきが見られる場合があります。このばらつきは外見上だけのものであって、信頼性には影響しません。

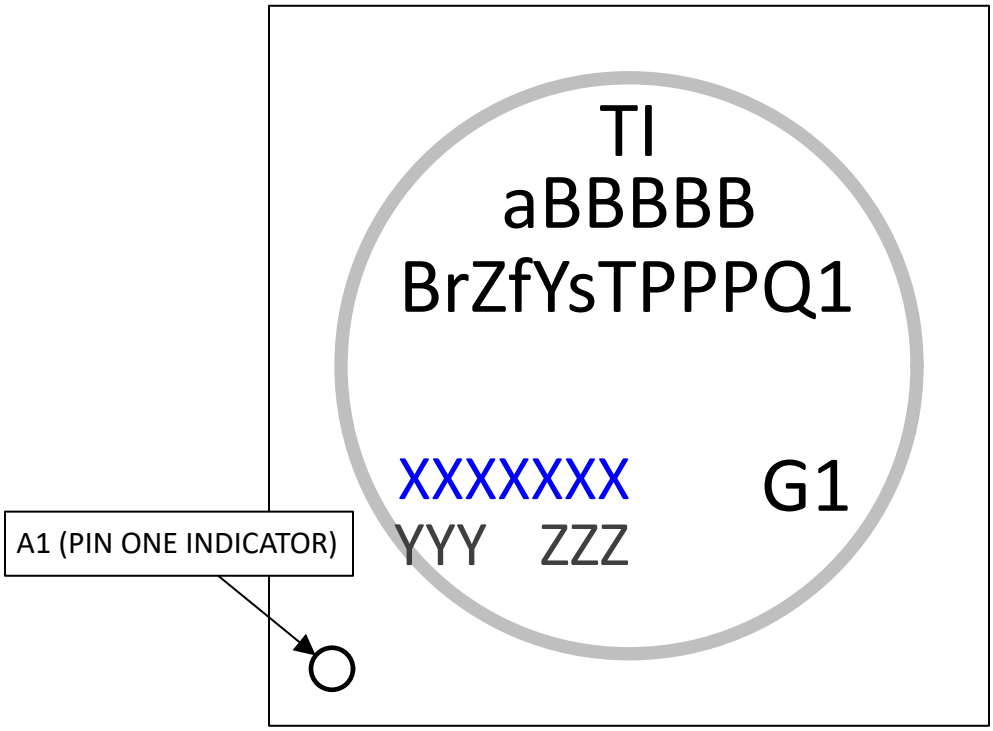


図 9-1. 印刷されたデバイス参照

Copyright © 2025 Texas Instruments Incorporated

9.1.2 デバイスの命名規則

表 9-1. 項目名の説明

フィールド パラメータ	フィールドの説明	値	説明
フィールド パラメータ	フィールドの説明	値	説明
a	デバイスの開発段階	X	プロトタイプ
		P	量産前(量産テスト フロー、信頼性データなし)
		空白	量産出荷中
BBBBBB	基本量産型番	AM2612	2x R5F
		AM2611	1x R5F
r	デバイス リビジョン	A	シリコン リビジョン 1.0
Z	デバイスの動作性能ポイント	L	*動作性能ポイント*を参照してください。
		O	
		P	
f	特長 (パッケージの比較を参照)	D	PRU-ICSS + CAN-FD に対応
		E	PRU-ICSS + EtherCAT HW アクセラレータ + CAN-FD に対応
		F	PRU-ICSS + EtherCAT HW アクセラレータ + CAN-FD に対応 + プリインテグレーテッド スタックが有効化
Y	機能安全	G	非機能安全
		F	機能安全
s	セキュリティ	G	非セキュリティ
		1-9	ダミーのキー デバイス
		H-Z	量産キー HS デバイス
T	温度 (接合部)	I	–40°C～125°C (拡張産業用)
		M	-40°C～150°C (拡張自動車用)
PPP	パッケージ記号	ZCZ	ZCZ NFBGA-N324 (15mm × 15mm) パッケージ
		ZFG	ZFG NFBGA-N304 (13.25mm × 13.25mm) パッケージ
		ZEJ	ZEJ NFBGA-N256 (13mm × 13mm) パッケージ
		ZNC	ZNC NFBGA-N293 (10mm × 10mm) パッケージ
Q1	車載識別記号および最大接合部温度	Q1	車載規格準拠 (AEC-Q100)
		空白	標準
XXXXXXX			ロットのトレース コード(LTC)
YYY			量産コード、テキサス・インスツルメンツでのみ使用
O			ピン 1 の指定子
G1			グリーン パッケージ指定子

9.2 ツールとソフトウェア

AM261x プラットフォームの開発を支援するため、以下の製品を使用できます。

開発ツール

Code Composer Studio™ 統合開発環境 Code Composer Studio (CCS) 統合開発環境 (IDE) は、テキサス・インスツルメンツのマイクロコントローラと組込みプロセッサのポートフォリオをサポートする開発環境です。Code Composer Studio は、組み込みアプリケーションの開発およびデバッグに必要な一連のツールで構成されています。最適化 C/C++コンパイラ、ソース コード エディタ、プロジェクト ビルド環境、デバッガ、プロファイラなど、多数の機能が含まれています。IDE は直感的で、アプリケーションの開発フローの各段階を、すべて同一のユーザー インターフェイスで実行できます。使い慣れたツールとインターフェイスにより、ユーザーは従来より迅速に作業を開始できます。Code Composer Studio は、Eclipse ソフトウェア フレームワークの利点と、テキサス・インスツルメンツの先進的な組み込みデバッグ機能の利点を組み合わせて、組み込み製品の開発者向けの魅力的で機能豊富な開発環境を実現します。

SysConfig-PinMux ツール SysConfig-PinMux ユーティリティは、テキサス・インスツルメンツの組み込みプロセッサ デバイスのピン多重化設定を構成し、競合を解決し、I/O セルの特性を指定するためのグラフィカル ユーザー インターフェイスを提供するソフトウェア ツールです。このツールを使用すると、入力したシステム要件を満たすために最適なピン マルチプレクサ構成を自動的に計算できます。このツールは C ヘッダ / コード ファイルを出力し、これらのファイルをソフトウェア開発キット (SDK) にインポートしたり、カスタム ハードウェア要件を満たすためにカスタム ソフトウェアを構成したりするために利用できます。

プロセッサ プラットフォーム用の開発サポート ツールすべての一覧については、テキサス・インスツルメンツの Web サイト (ti.com) を参照してください。価格と在庫状況については、お近くのフィールド セールス オフィスまたは認可代理店にお問い合わせください。

9.3 ドキュメントのサポート

ドキュメントの更新についての通知を受け取るには、ti.com のデバイス製品フォルダを開いてください。[通知] をクリックして登録すると、変更されたすべての製品情報に関するダイジェストを毎週受け取ることができます。 変更の詳細については、修正されたドキュメントに含まれている改訂履歴をご覧ください。

以下のドキュメントは、AM261x デバイスの説明を目的として提供されています。

AM261x テクニカル リファレンス マニュアルは、AM261x ファミリ内の各ペリフェラルおよびサブシステムの統合、環境、機能説明、およびプログラミング モデルについて詳述しています。

AM261x TRM レジスタ補遺は、AM261x ファミリ内の各ペリフェラルおよびサブシステムのメモリ マップド レジスタ情報を詳細に記載しています。

9.4 サポート リソース

TI E2E™ サポート フォーラムは、エンジニアが検証済みの回答と設計に関するヒントをエキスパートから迅速かつ直接得ることができる場所です。既存の回答を検索したり、独自の質問をしたりすることで、設計で必要な支援を迅速に得ることができます。

リンクされているコンテンツは、各寄稿者により「現状のまま」提供されるものです。これらは テキサス・インスツルメンツの仕様を構成するものではなく、必ずしも テキサス・インスツルメンツの見解を反映したものではありません。テキサス・インスツルメンツの使用条件を参照してください。

9.5 商標

Ethernet/IP™ is a trademark of ODVA, INC..
CoreSight™ is a trademark of Arm Limited (or its subsidiaries) in the US and/or elsewhere.
Code Composer Studio™ and TI E2E™ are trademarks of Texas Instruments.
Arm® and Cortex® are registered trademarks of Arm Limited (or its subsidiaries) in the US and/or elsewhere.
EtherCAT® is a registered trademark of Beckhoff Automation GmbH.
PROFINET® is a registered trademark of PROFINET International.

Copyright © 2025 Texas Instruments Incorporated

IO-Link® is a registered trademark of PROFIBUS Nutzerorganisation e.V. eingetragener verein (e.v.) FED REP GERMANY.
すべての商標は、それぞれの所有者に帰属します。

9.6 静電放電に関する注意事項

この IC は、ESD によって破損する可能性があります。テキサス・インスツルメンツは、IC を取り扱う際には常に適切な注意を払うことを推奨します。正しい取り扱いおよび設置手順に従わない場合、デバイスを破損するおそれがあります。

ESD による破損は、わずかな性能低下からデバイスの完全な故障まで多岐にわたります。精密な IC の場合、パラメータがわずかに変化するだけで公表されている仕様から外れる可能性があるため、破損が発生しやすくなっています。

9.7 用語集

テキサス・インスツルメンツ用語集　　この用語集には、用語や略語の一覧および定義が記載されています。

10 改訂履歴

Changes from NOVEMBER 7, 2024 to APRIL 30, 2025 (from Revision A (November 2024) to Revision B (April 2025)) **Page**

- (特長):機能セクションのレイアウトを更新....1
- (アプリケーション):新しいアプリケーションを追加....4
- (パッケージ情報):テキサス インスツルメンツの企画に合わせて「パッケージ情報」表を更新し、表に注記を追加....5
- (パッケージ情報):ZCZ および ZEJ パッケージに Q1 以外のパッケージ オプションを追加....5
- (機能ブロック図):機能ブロック図を更新。....6
- (パッケージの比較):カラム ヘッダーに Q1 パッケージを追加しました。....8
- (パッケージの比較):パッケージの比較表から JTAG ID セクションを削除しました。....8
- (パッケージの比較):パッケージの比較表のペリフェラル項目の行を更新し、インスタンスを連結して比較を簡素化....8
- (パッケージの比較):TCM、PRU-ICSS、およびその他セクションの表注記を追加....8
- (パッケージの比較):ZNC パッケージ向けの SDFM 情報を更新し、注記を追加....8
- (デバイス識別情報):セクションを追加....9
- (関連製品):TI の製品を反映するように「関連製品」を更新....10
- (ピン属性):電源列を削除しました....19
- (ピン属性):リセット時のボール状態、リセット後のボール状態、ヒステリシス、およびプル タイプの列を追加....19
- (ピン属性):ZNC パッケージの ADCVREFHI および ADCVREFLO 行項目を更新....19
- (ピン属性):GPIO122 の Mux モード 3 行項目を削除....19
- (ピン属性):ピン属性表から Mux モード 15 の行項目を削除....19
- (ピン属性):すべての「1.2V」IO 電圧項目を「1.2V/1.25V」に更新....19
- (ADC-CMPSS の信号接続):セクションを追加....54
- (ADC_CAL 信号の説明):表の注を追加....56
- (ADC_VREF 信号の説明):表の注を追加....56
- (ADC_VREF 信号の説明):ZNC ピンの列を更新....56
- (DAC 信号の説明):表の注を追加....59
- (GPIO 信号の説明):SOP ピンの説明を更新....61
- (GPIO 信号の説明):表の注を追加....61
- (GPMC0 信号の説明):表の注を追加....65
- (I2C 信号の説明):表の注を追加....68
- (OSPI 信号の説明):表の注を追加....70
- (OSPI 信号の説明):OSPI0_D0、OSPI1_D0、OSPI0_D1、OSPI1_D1 から SOP ピン表記を削除しました。....70
- (OSPI 信号の説明):OSPI0_RESET_OUT0 から GPIO61 ピンを削除し、外部フラッシュ メモリのリセットに関する表注記を追加しました。....70
- (POWER 信号の説明):表の注を追加....71

- (POWER 信号の説明):VPP および VSS の行項目を追加 71
- (POWER 信号の説明):VDDA18_LDO ピンの説明を更新し、注記を追加 71
- (POWER 信号の説明):VDD および VNWA の説明を更新し、コア電圧仕様に関する表注記を追加 71
- (SDFM 信号の説明):表の注を追加 76
- (SPI 信号の説明):セクションを SDFM 信号の説明の下に移動 76
- (SPI 信号の説明):SPI0_CLK および SPI0_D0 の信号の説明から SOP ピン表記を削除 76
- (ブート モード信号の説明):正しい SOP ピンを反映するよう説明を更新 77
- (VMON 信号の説明):表の注を追加 79
- (未接続の説明):表の注を追加 79
- (USB0 信号の説明):セクションを UART 信号説明の下に移動 81
- (ピン接続要件):AM261x 向けピン接続要件を追加 83
- (仕様):「静電気放電、パワーオン時間、動作性能ポイント」、「VPP の仕様」、「タイミングとスイッチング特性」、「デカップリング コンデンサの要件」の各セクションにを追加 84
- (推奨動作条件):R5F コア周波数に依存する必要な電圧を反映するように、VDD、VDDAR1、VDDAR2、VDDAR3 の行項目を更新 84
- (電気的特性):ADC、CMPSSA、DAC、PMU、および安全性比較のセクションを追加 89
- (熱抵抗特性):4 種類のパッケージすべてに対する熱抵抗特性を追加 97
- (詳細説明 - 概要):共有 TCM を「256KB」から「512KB」に変更 189
- (ハードウェア リファレンス設計およびガイドライン):ハードウェア設計ガイドおよびカスタム PCB システム スタート ガイドへのリンクを追加 191
- (USB 2.0 の動作):セクションを追加。 191
- (OSPI のリセット):OSPI0_RESET_OUT0 セクションを追加 192
- (標準パッケージの記号化):標準パッケージ記号化セクションを追加 194
- (デバイスの命名規則):特殊機能の行を削除 195
- (デバイスの命名規則):「L」および「P」速度グレードを追加 195

Changes from SEPTEMBER 1, 2024 to NOVEMBER 6, 2024 (from Revision * (September 2024) to Revision A (November 2024)) **Page**

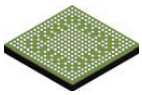
- 「仕様」、「詳細説明」、「アプリケーション」、「実装」、「レイアウト」の各セクションを追加 1
- 「特長」セクションを更新し、OCSRAM 用の ECC、PRU-ICSS での EMAC サポート、CPSW での TSN について言及 1
- デバイスの命名規則およびパッケージの比較表を更新 8
- 拡張産業用温度のデバイス接合部温度を更新 8

Copyright © 2025 Texas Instruments Incorporated

11 メカニカル、パッケージ、および注文情報

以降のページには、メカニカル、パッケージ、および注文に関する情報が記載されています。この情報は、指定のデバイスに使用できる最新のデータです。このデータは、予告なく、このドキュメントを改訂せずに変更される場合があります。本データシートのブラウザ版を使用されている場合は、画面左側の説明をご覧ください。

テキサス・インスツルメンツのパッケージの詳細については、パッケージ情報 Web サイトをご覧ください。

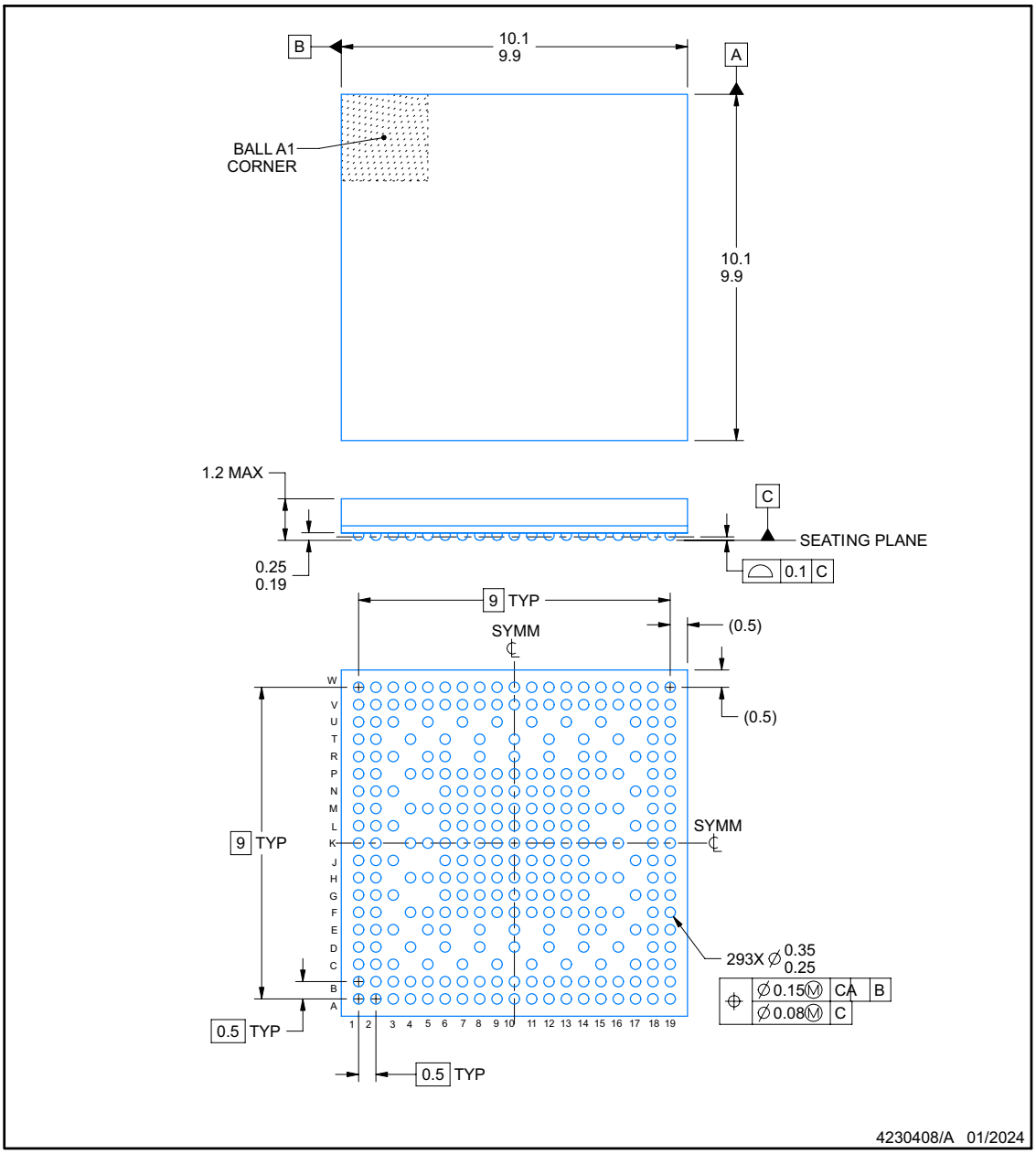


PACKAGE OUTLINE

ZNC0293A

NFBGA - 1.2 mm max height

PLASTIC BALL GRID ARRAY



NOTES:

1. All linear dimensions are in millimeters. Any dimensions in parenthesis are for reference only. Dimensioning and tolerancing per ASME Y14.5M.
2. This drawing is subject to change without notice.

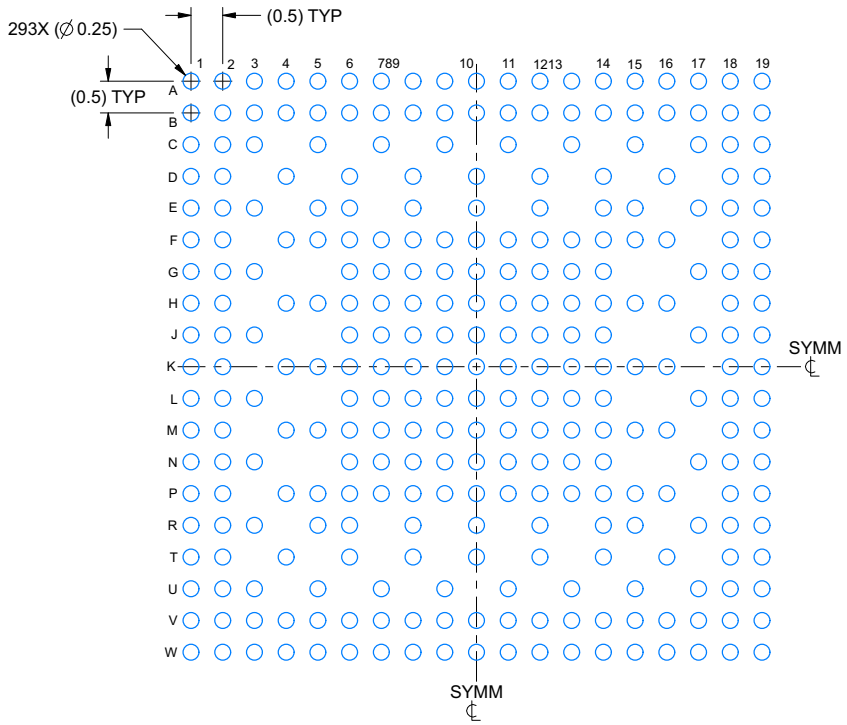
Copyright © 2025 Texas Instruments Incorporated

EXAMPLE BOARD LAYOUT

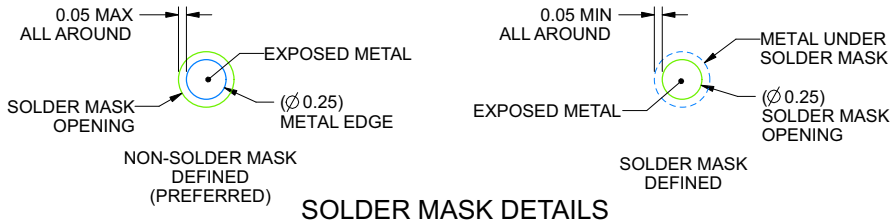
ZNC0293A

NFBGA - 1.2 mm max height

PLASTIC BALL GRID ARRAY



LAND PATTERN EXAMPLE
EXPOSED METAL SHOWN
SCALE: 10X



SOLDER MASK DETAILS
NOT TO SCALE

4230408/A 01/2024

NOTES: (continued)

3. Final dimensions may vary due to manufacturing tolerance considerations and also routing constraints.
   For information, see Texas Instruments literature number SPRAA99 (www.ti.com/lit/spraa99).

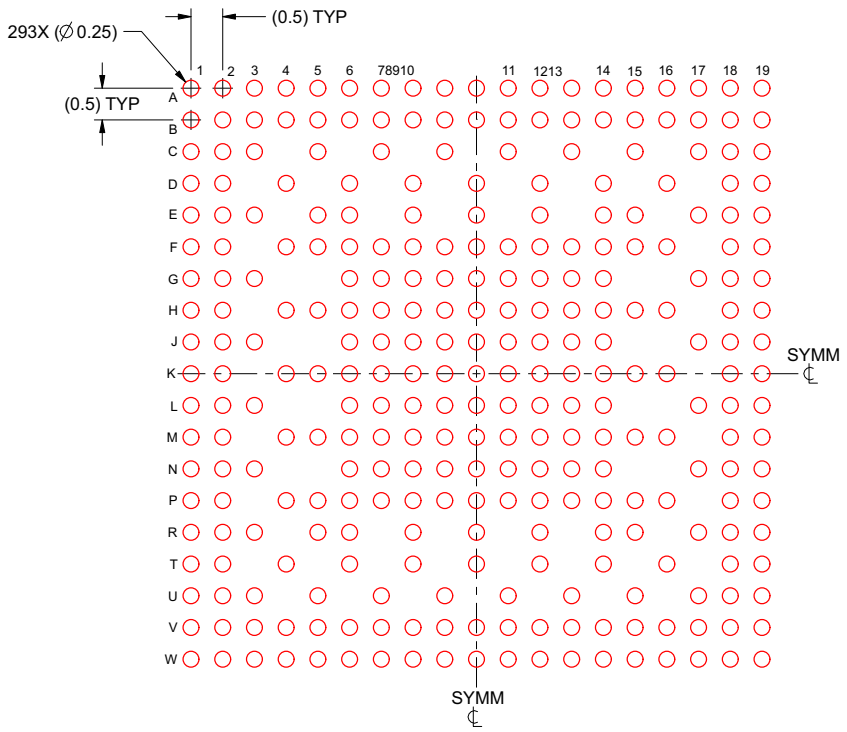
Copyright © 2025 Texas Instruments Incorporated

EXAMPLE STENCIL DESIGN

ZNC0293A

NFBGA - 1.2 mm max height

PLASTIC BALL GRID ARRAY



SOLDER PASTE EXAMPLE
BASED ON 0.100 mm THICK STENCIL
SCALE: 10X

4230408/A 01/2024

NOTES: (continued)

4. Laser cutting apertures with trapezoidal walls and rounded corners may offer better paste release.

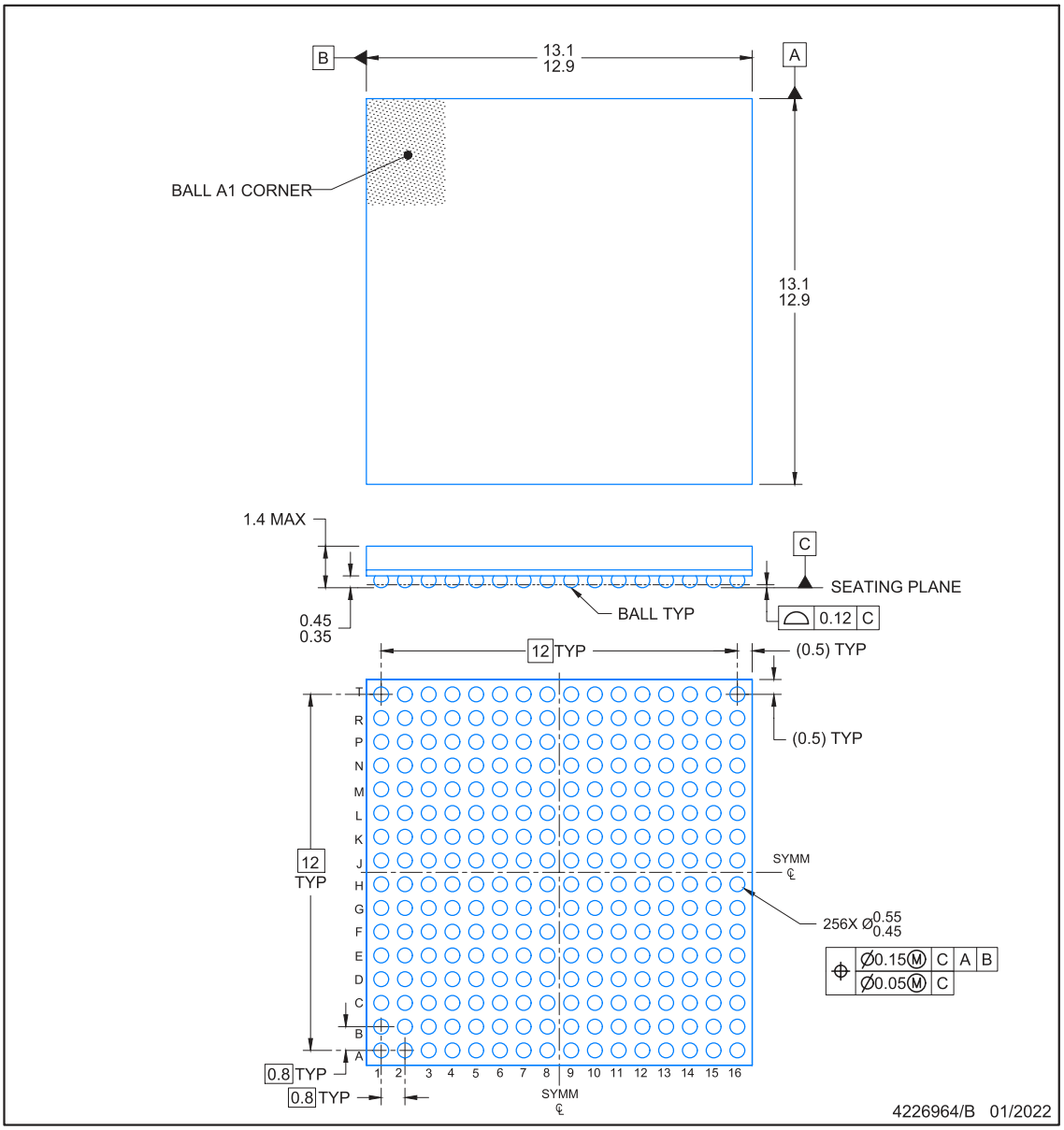
Copyright © 2025 Texas Instruments Incorporated

PACKAGE OUTLINE

ZEJ0256A

NFBGA - 1.4 mm max height

PLASTIC BALL GRID ARRAY



NOTES:

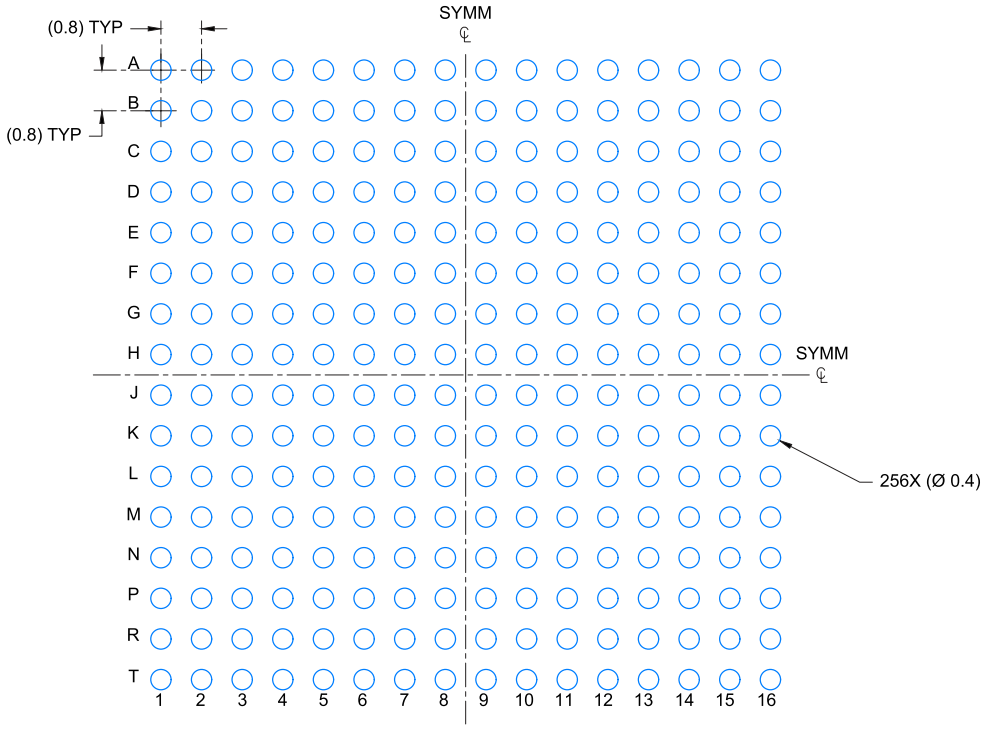
1. All linear dimensions are in millimeters. Any dimensions in parenthesis are for reference only. Dimensioning and tolerancing per ASME Y14.5M.
2. This drawing is subject to change without notice.

Copyright © 2025 Texas Instruments Incorporated

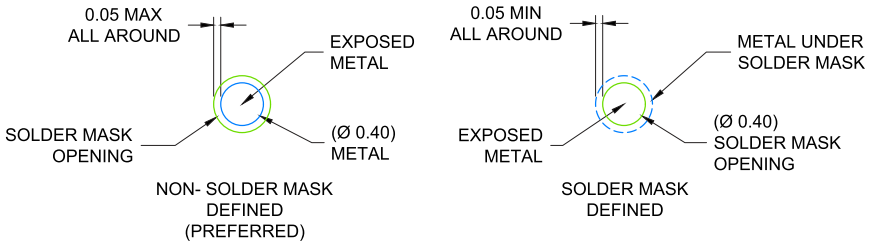
EXAMPLE BOARD LAYOUT

ZEJ0256A — **NFBGA - 1.4 mm max height**

PLASTIC BALL GRID ARRAY



LAND PATTERN EXAMPLE
SCALE: 8X



SOLDER MASK DETAILS
NOT TO SCALE

4226964/B 01/2022

NOTES: (continued)

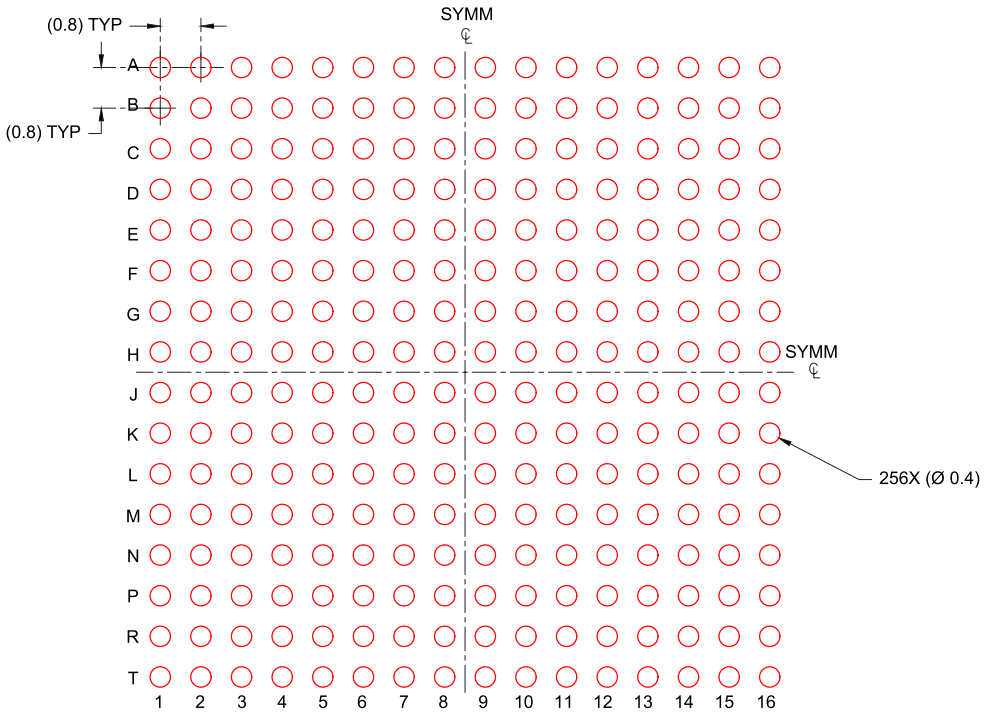
3. Final dimensions may vary due to manufacturing tolerance considerations and also routing constraints. Refer to Texas Instruments Literature number SNVA009 (www.ti.com/lit/snva009).

Copyright © 2025 Texas Instruments Incorporated

EXAMPLE STENCIL DESIGN

ZEJ0256A **NFBGA - 1.4 mm max height**

PLASTIC BALL GRID ARRAY



SOLDER PASTE EXAMPLE
BASED ON 0.150 mm THICK STENCIL
SCALE: 8X

4226964/B 01/2022

NOTES: (continued)

4. Laser cutting apertures with trapezoidal walls and rounded corners may offer better paste release.

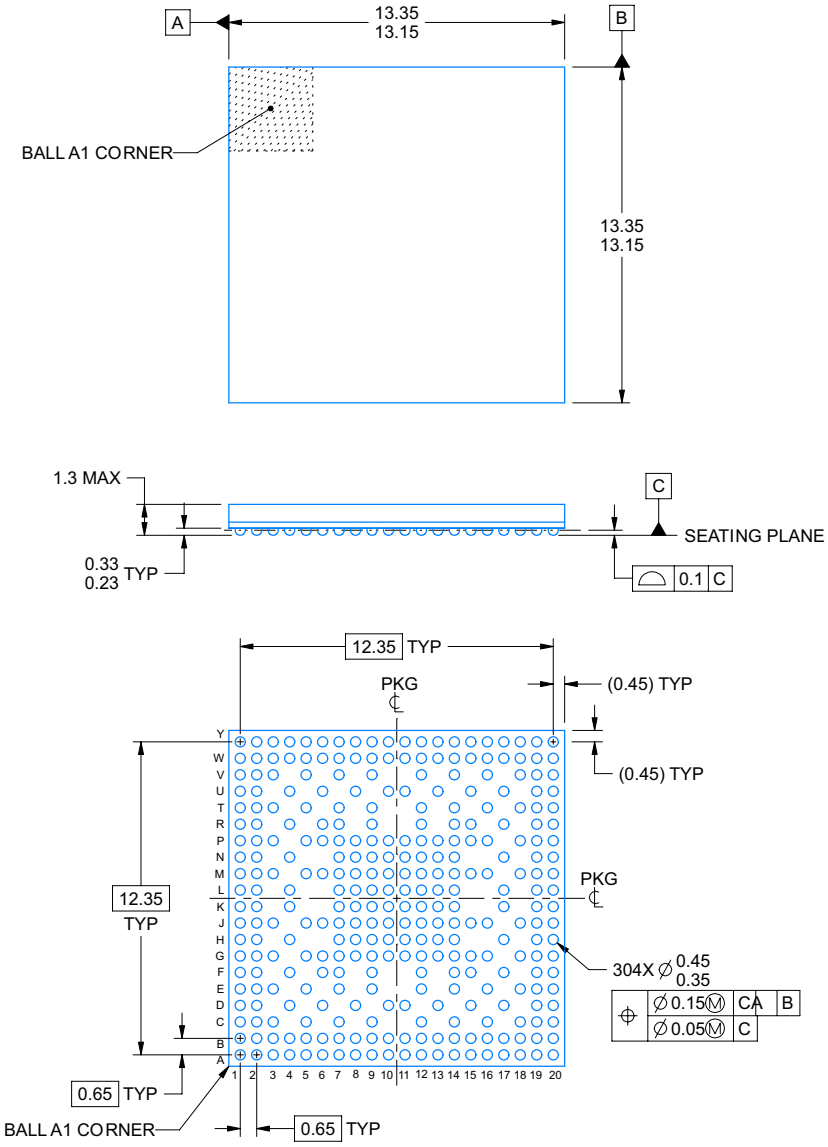
Copyright © 2025 Texas Instruments Incorporated

PACKAGE OUTLINE

ZFG0304A

NFBGA - 1.3 mm max height

PLASTIC BALL GRID ARRAY



NOTES:

1. All linear dimensions are in millimeters. Any dimensions in parenthesis are for reference only. Dimensioning and tolerancing per ASME Y14.5M.
2. This drawing is subject to change without notice.

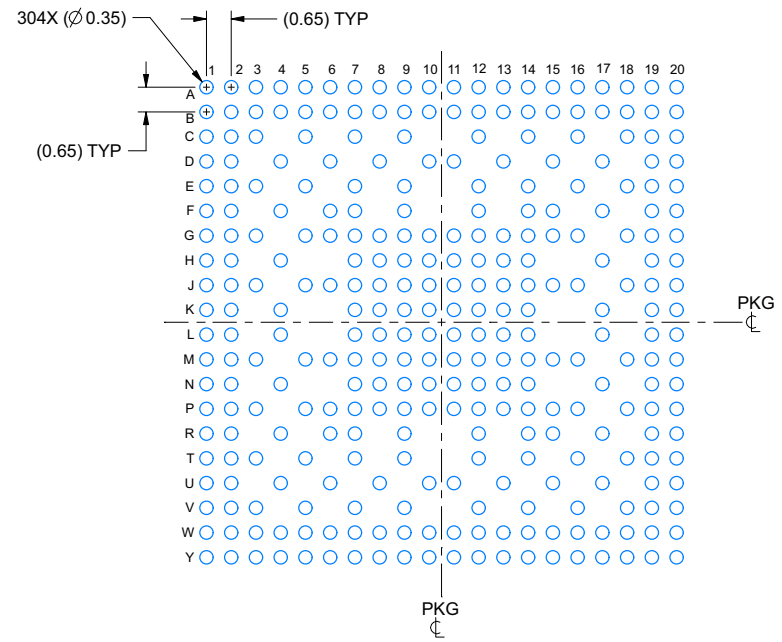
Copyright © 2025 Texas Instruments Incorporated

EXAMPLE BOARD LAYOUT

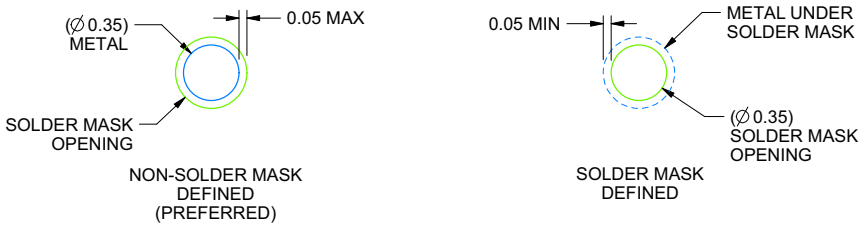
ZFG0304A

NFBGA - 1.3 mm max height

PLASTIC BALL GRID ARRAY



LAND PATTERN EXAMPLE
EXPOSED METAL SHOWN
SCALE:6X



SOLDER MASK DETAILS
NOT TO SCALE

4230188/A 11/2023

NOTES: (continued)

3. Final dimensions may vary due to manufacturing tolerance considerations and also routing constraints.
   For information, see Texas Instruments literature number SPRAA99 (www.ti.com/lit/spraa99).

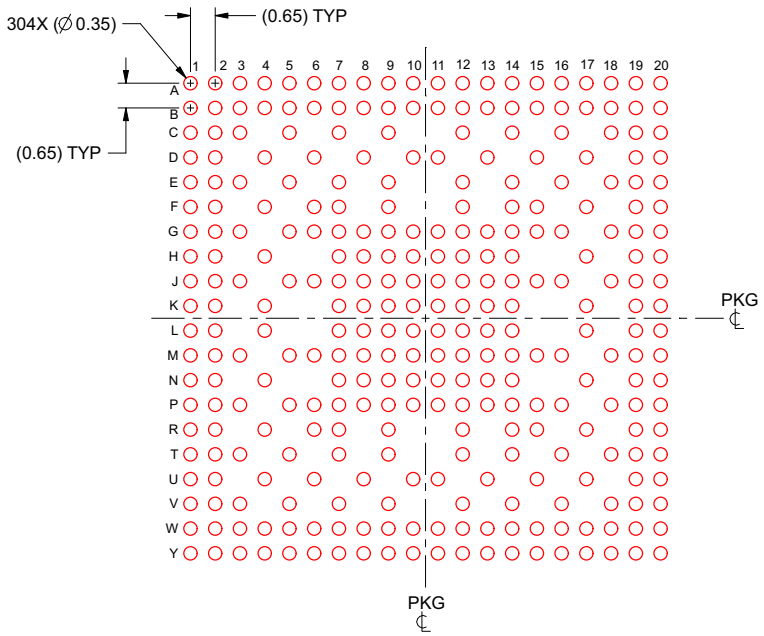
Copyright © 2025 Texas Instruments Incorporated

EXAMPLE STENCIL DESIGN

ZFG0304A

NFBGA - 1.3 mm max height

PLASTIC BALL GRID ARRAY



SOLDER PASTE EXAMPLE
BASED ON 0.125 mm THICK STENCIL
SCALE:6X

4230188/A 11/2023

NOTES: (continued)

4. Laser cutting apertures with trapezoidal walls and rounded corners may offer better paste release.

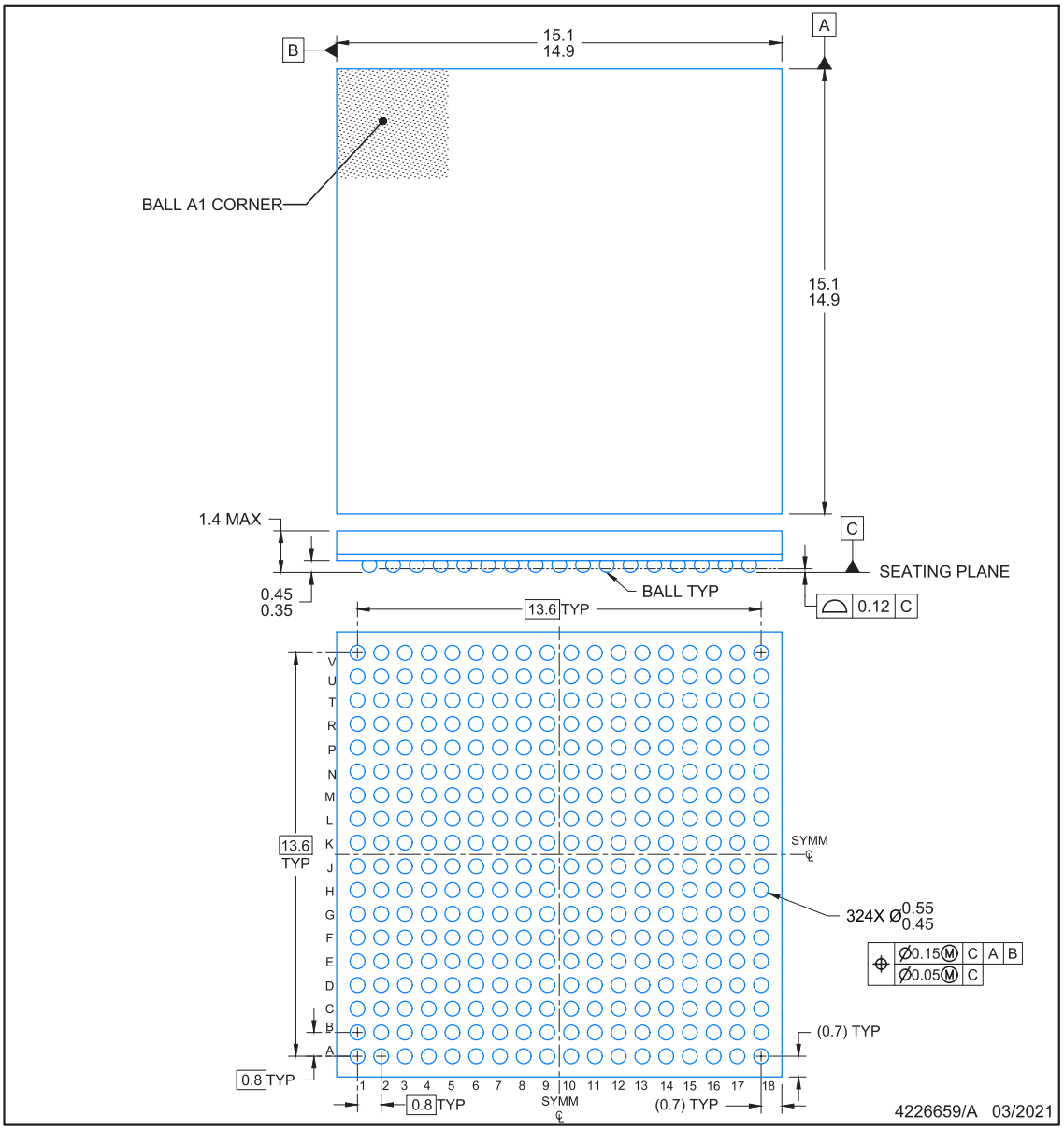
Copyright © 2025 Texas Instruments Incorporated

PACKAGE OUTLINE

ZCZ0324A

NFBGA - 1.4 mm max height

PLASTIC BALL GRID ARRAY



NOTES:

NanoFree is a trademark of Texas Instruments.

1. All linear dimensions are in millimeters. Any dimensions in parenthesis are for reference only. Dimensioning and tolerancing per ASME Y14.5M.
2. This drawing is subject to change without notice.

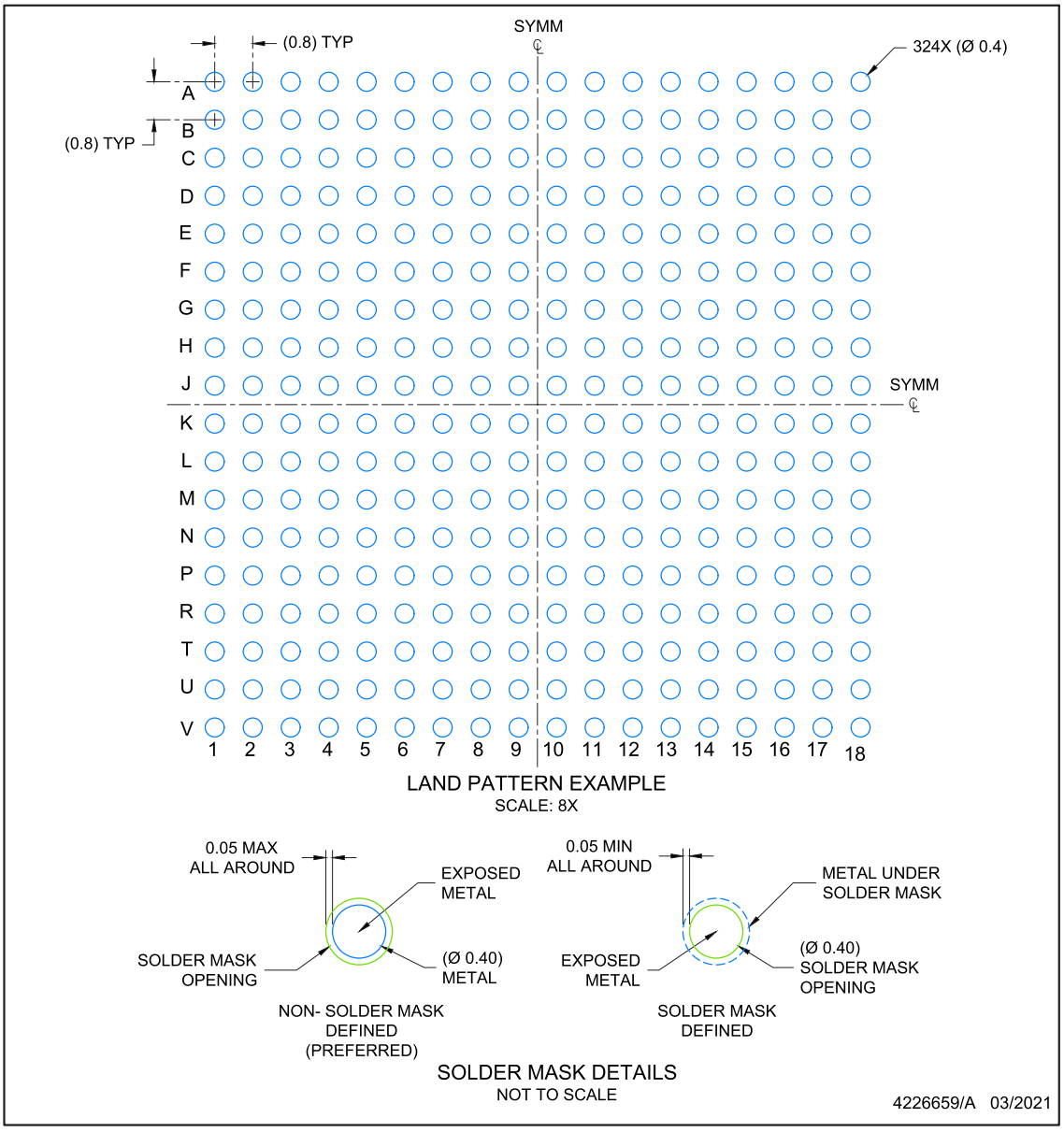
Copyright © 2025 Texas Instruments Incorporated

EXAMPLE BOARD LAYOUT

ZCZ0324A

NFBGA - 1.4 mm max height

PLASTIC BALL GRID ARRAY



NOTES: (continued)

3. Final dimensions may vary due to manufacturing tolerance considerations and also routing constraints. Refer to Texas Instruments Literature number SNVA009 (www.ti.com/lit/snva009).

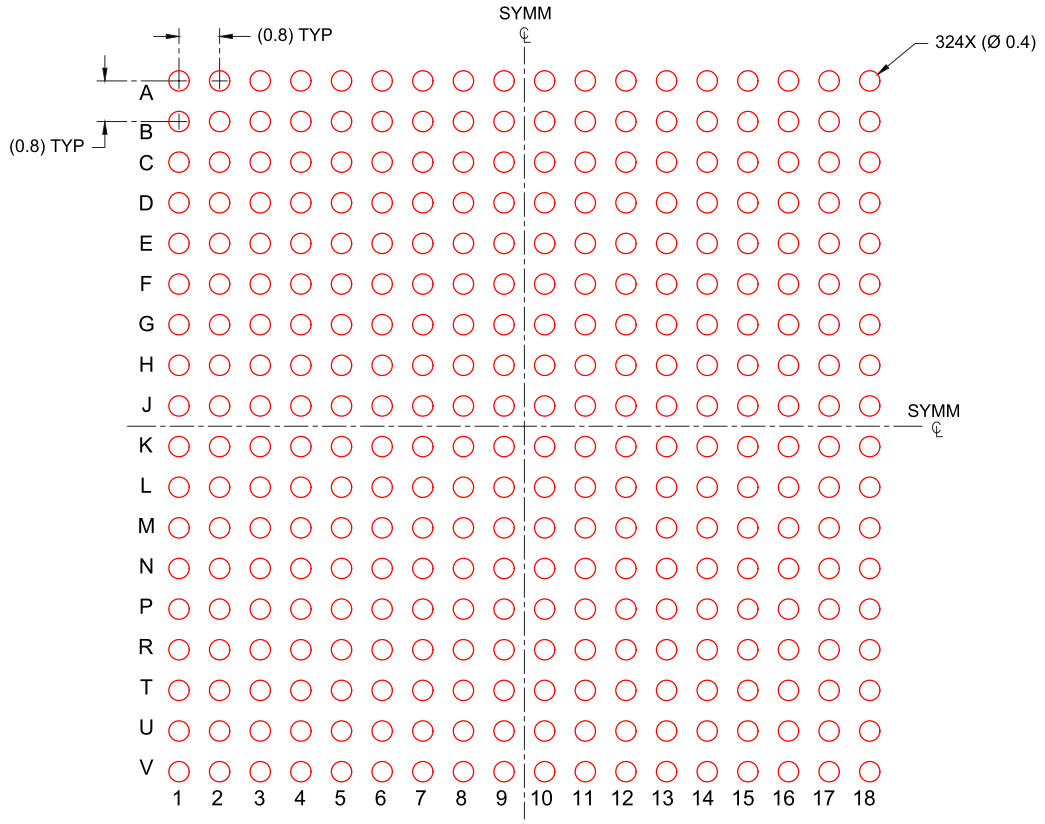
Copyright © 2025 Texas Instruments Incorporated

EXAMPLE STENCIL DESIGN

ZCZ0324A

NFBGA - 1.4 mm max height

PLASTIC BALL GRID ARRAY



SOLDER PASTE EXAMPLE
BASED ON 0.150 mm THICK STENCIL
SCALE: 8X

4226659/A 03/2021

NOTES: (continued)

4. Laser cutting apertures with trapezoidal walls and rounded corners may offer better paste release.

Copyright © 2025 Texas Instruments Incorporated

重要なお知らせと免責事項

テキサス・インスツルメンツは、技術データと信頼性データ (データシートを含みます)、設計リソース (リファレンス デザインを含みます)、アプリケーションや設計に関する各種アドバイス、Web ツール、安全性情報、その他のリソースを、欠陥が存在する可能性のある「現状のまま」提供しており、商品性および特定目的に対する適合性の黙示保証、第三者の知的財産権の非侵害保証を含むいかなる保証も、明示的または黙示的にかかわらず拒否します。

これらのリソースは、テキサス・インスツルメンツ製品を使用する設計の経験を積んだ開発者への提供を意図したものです。(1) お客様のアプリケーションに適した テキサス・インスツルメンツ製品の選定、(2) お客様のアプリケーションの設計、検証、試験、(3) お客様のアプリケーションに該当する各種規格や、その他のあらゆる安全性、セキュリティ、規制、または他の要件への確実な適合に関する責任を、お客様のみが単独で負うものとします。

上記の各種リソースは、予告なく変更される可能性があります。これらのリソースは、リソースで説明されている テキサス・インスツルメンツ製品を使用するアプリケーションの開発の目的でのみ、テキサス・インスツルメンツはその使用をお客様に許諾します。これらのリソースに関して、他の目的で複製することや掲載することは禁止されています。テキサス・インスツルメンツや第三者の知的財産権のライセンスが付与されている訳ではありません。お客様は、これらのリソースを自身で使用した結果発生するあらゆる申し立て、損害、費用、損失、責任について、テキサス・インスツルメンツおよびその代理人を完全に補償するものとし、テキサス・インスツルメンツは一切の責任を拒否します。

テキサス・インスツルメンツの製品は、テキサス・インスツルメンツの販売条件、または ti.com やかかる テキサス・インスツルメンツ製品の関連資料などのいずれかを通じて提供する適用可能な条項の下で提供されています。テキサス・インスツルメンツがこれらのリソースを提供することは、適用される テキサス・インスツルメンツの保証または他の保証の放棄の拡大や変更を意味するものではありません。

お客様がいかなる追加条項または代替条項を提案した場合でも、テキサス・インスツルメンツはそれらに異議を唱え、拒否します。

郵送先住所：Texas Instruments, Post Office Box 655303, Dallas, Texas 75265
Copyright © 2023, Texas Instruments Incorporated

PACKAGING INFORMATION

Orderable part number	Status (1)	Material type (2)	Package | Pins	Package qty | Carrier	RoHS (3)	Lead finish/ Ball material (4)	MSL rating/ Peak reflow (5)	Op temp (°C)	Part marking (6)
AM2612AOFFHIZFGR	Active	Production	NFBGA (ZFG) | 304	1000 | LARGE T&R	Yes	SNAGCU	Level-3-260C-168 HR	-40 to 125	AM261 2AOFFHIZFG 508

(1) **Status:** For more details on status, see our product life cycle.

(2) **Material type:** When designated, preproduction parts are prototypes/experimental devices, and are not yet approved or released for full production. Testing and final process, including without limitation quality assurance, reliability performance testing, and/or process qualification, may not yet be complete, and this item is subject to further changes or possible discontinuation. If available for ordering, purchases will be subject to an additional waiver at checkout, and are intended for early internal evaluation purposes only. These items are sold without warranties of any kind.

(3) **RoHS values:** Yes, No, RoHS Exempt. See the TI RoHS Statement for additional information and value definition.

(4) **Lead finish/Ball material:** Parts may have multiple material finish options. Finish options are separated by a vertical ruled line. Lead finish/Ball material values may wrap to two lines if the finish value exceeds the maximum column width.

(5) **MSL rating/Peak reflow:** The moisture sensitivity level ratings and peak solder (reflow) temperatures. In the event that a part has multiple moisture sensitivity ratings, only the lowest level per JEDEC standards is shown. Refer to the shipping label for the actual reflow temperature that will be used to mount the part to the printed circuit board.

(6) **Part marking:** There may be an additional marking, which relates to the logo, the lot trace code information, or the environmental category of the part.

Multiple part markings will be inside parentheses. Only one part marking contained in parentheses and separated by a "~" will appear on a part. If a line is indented then it is a continuation of the previous line and the two combined represent the entire part marking for that device.

Important Information and Disclaimer: The information provided on this page represents TI's knowledge and belief as of the date that it is provided. TI bases its knowledge and belief on information provided by third parties, and makes no representation or warranty as to the accuracy of such information. Efforts are underway to better integrate information from third parties. TI has taken and continues to take reasonable steps to provide representative and accurate information but may not have conducted destructive testing or chemical analysis on incoming materials and chemicals. TI and TI suppliers consider certain information to be proprietary, and thus CAS numbers and other limited information may not be available for release.

In no event shall TI's liability arising out of such information exceed the total purchase price of the TI part(s) at issue in this document sold by TI to Customer on an annual basis.

OTHER QUALIFIED VERSIONS OF AM2612 :

- Automotive : AM2612-Q1

NOTE: Qualified Version Definitions:

- Automotive - Q100 devices qualified for high-reliability automotive applications targeting zero defects

重要なお知らせと免責事項

テキサス· インスツルメンツは、技術データと信頼性データ (データシートを含みます)、設計リソース (リファレンス デザインを含みます)、アプリケーションや設計に関する各種アドバイス、Web ツール、安全性情報、その他のリソースを、欠陥が存在する可能性のある「現状のまま」提供しており、商品性および特定目的に対する適合性の黙示保証、第三者の知的財産権の非侵害保証を含むいかなる保証も、明示的または黙示的にかかわらず拒否します。

これらのリソースは、 テキサス· インスツルメンツ製品を使用する設計の経験を積んだ開発者への提供を意図したものです。(1) お客様のアプリケーションに適した テキサス· インスツルメンツ製品の選定、(2) お客様のアプリケーションの設計、検証、試験、(3) お客様のアプリケーションに該当する各種規格や、その他のあらゆる安全性、セキュリティ、規制、または他の要件への確実な適合に関する責任を、お客様のみが単独で負うものとします。

上記の各種リソースは、予告なく変更される可能性があります。これらのリソースは、リソースで説明されている テキサス· インスツルメンツ製品を使用するアプリケーションの開発の目的でのみ、 テキサス· インスツルメンツはその使用をお客様に許諾します。これらのリソースに関して、他の目的で複製することや掲載することは禁止されています。 テキサス· インスツルメンツや第三者の知的財産権のライセンスが付与されている訳ではありません。お客様は、これらのリソースを自身で使用した結果発生するあらゆる申し立て、損害、費用、損失、責任について、 テキサス· インスツルメンツおよびその代理人を完全に補償するものとし、 テキサス· インスツルメンツは一切の責任を拒否します。

テキサス· インスツルメンツの製品は、 テキサス· インスツルメンツの販売条件、または ti.com やかかる テキサス· インスツルメンツ製品の関連資料などのいずれかを通じて提供する適用可能な条項の下で提供されています。 テキサス· インスツルメンツがこれらのリソースを提供することは、適用される テキサス· インスツルメンツの保証または他の保証の放棄の拡大や変更を意味するものではありません。

お客様がいかなる追加条項または代替条項を提案した場合でも、 テキサス· インスツルメンツはそれらに異議を唱え、拒否します。

郵送先住所：Texas Instruments, Post Office Box 655303, Dallas, Texas 75265
Copyright © 2025, Texas Instruments Incorporated