AM243x Sitara™ マイクロコントローラ

1 特長

プロセッサ コア:

- リアルタイム処理向けに高度に統合され、最大 800MHz で動作する最大 2 つのデュアル コア Arm Cortex®-R5F MCU サブシステム
  - デュアル コア Arm Cortex®-R5F クラスタにより、デュアル コアおよびシングル コア動作をサポート
  - R5F コアごとに 32KB の I キャッシュと 32KB の D キャッシュ (全メモリに SECDED ECC 付き)
  - シングル コア:クラスタごとに 128KB の TCM (R5F コアごとに 128KB の TCM)
  - デュアル コア:クラスタごとに 128KB の TCM (R5F コアごとに 64KB の TCM)
- 最高 400MHz で動作する 1 つのシングル コア Arm Cortex®-M4F MCU
  - 256KB の SRAM (SECDED ECC 付き)

メモリ サブシステム:

- 最大 2MB のオンチップ RAM (OCSRAM) (SECDED ECC 付き):
  - 256KB 単位で小さいバンクに分割し、最大 8 つの独立したメモリ バンクを構成可能
  - ソフトウェア タスクの分割を容易にするため、各メモリ バンクを 1 つのコアに割り当て可能
- DDR サブシステム (DDRSS)
  - LPDDR4、DDR4 メモリ タイプをサポート
  - インライン ECC 付きでの 16 ビット データ バス
  - 最高 1600MT/s の速度をサポート

システム オン チップ (SoC) サービス:

- デバイス管理セキュリティ コントローラ (DMSC-L)
  - 集中 SoC システム コントローラ
  - 初期ブート、セキュリティ、クロック / リセット / 電源管理を含むシステム サービスを管理
  - メッセージ マネージャを介したさまざまな処理ユニットとの通信
  - シンプルなインターフェイスにより未使用ペリフェラルを最適化
  - JTAG およびトレース インターフェイスを介したオンチップ デバッグ機能
- データ移動サブシステム (DMSS:Data Movement Subsystem)
  - ブロック コピー DMA (BCDMA)
  - パケット DMA (PKTDMA)
  - セキュア プロキシ (SEC_PROXY)
  - リング アクセラレータ (RINGACC)
- 時間同期サブシステム
  - 中央プラットフォーム時間同期 (CPTS:Central Platform Time Sync) モジュール
  - タイマ マネージャ (TIMERMANAGER) と 1024 のタイマ
  - 時間同期および比較イベント割り込みルータ

産業用サブシステム:

- 2 つのギガビット産業用通信サブシステム (PRU_ICSSG)
  - Profinet IRT、Profinet RT、EtherNet/IP、EtherCAT、TSN (Time-Sensitive Networking)、その他のネットワーク プロトコルにも対応可能
  - 10/100Mb PRU-ICSS と下位互換
  - 各 PRU_ICSSG は以下を内蔵:
    - スライスごとに 3 つの PRU RISC コア (PRU_ICSSG ごとに 2 スライス)
      - PRU 汎用コア (PRU)
      - PRU リアルタイム ユニット コア (PRU-RTU)
      - PRU 送信コア (PRU-TX)
    - 各 PRU コアがサポートする機能:
      - 命令 RAM (ECC 付き)
      - ブロードサイド RAM
      - アキュムレータ付き乗算器 (MAC)
      - CRC16/32 ハードウェア アクセラレータ
      - バイト スワップによるビッグ / リトル エンディアン変換
      - SUM32 ハードウェア アクセラレータによる UDP チェックサム
      - タスク マネージャによるプリエンプションのサポート
    - 最大 2 つのイーサネット ポート
      - RGMII (10/100/1000)
      - MII (10/100)
    - 3 つのデータ RAM (ECC 付き)
    - 8 バンクの 30 × 32 ビット レジスタ スクラッチパッド メモリ
    - 割り込みコントローラとタスク マネージャ
    - 2 つの 64 ビット産業用イーサネット ペリフェラル (IEP) によるタイム スタンプ機能とその他の時間同期機能
    - 18 個のシグマ デルタ フィルタ モジュール (SDFM) インターフェイス
      - 短絡ロジック
      - 過電流ロジック
    - 6 つのマルチプロトコル位置エンコーダ インターフェイス
    - 1 つの拡張キャプチャ モジュール (ECAP)
    - 16550 互換 UART

このリソースの元の言語は英語です。翻訳は概要を便宜的に提供するもので、自動化ツール (機械翻訳) を使用していることがあり、TI では翻訳の正確性および妥当性につきましては一切保証いたしません。実際の設計などの前には、ti.com で必ず最新の英語版をご参照くださいますようお願いいたします。

  - 12Mbps の PROFIBUS をサポートする専用 192MHz クロック

セキュリティ:

- セキュア ブート対応
  - ハードウェアで強化された RoT (Root-of-Trust:信頼の基点)
  - バックアップ キーによる RoT の切り替えをサポート
  - テイクオーバー保護、IP 保護、ロールバック禁止保護のサポート
    - 暗号化アクセラレーションに対応
  - 受信データ ストリームに基づいてキーマテリアルを自動的に切り替えできるセッション認識暗号化エンジン
- 暗号化コアをサポート
  - AES - 128/192/256 ビットのキー サイズ
  - 3DES - 56/112/168 ビットのキー サイズ
  - MD5、SHA1
  - SHA2 - 224/256/384/512 ビットのキー サイズ
  - DRBG と真性乱数発生器
  - セキュア ブート対応のため PKA (公開鍵アクセラレータ) により RSA/ECC 処理を支援
- DMA のサポート
  - デバッグのセキュリティ
- 分離用の広範なファイアウォール サポート
- セキュアなウォッチドッグ / タイマ / IPC
  - セキュアなストレージのサポート
  - XIP モードで OSPI インターフェイス用のオンザフライ暗号化 (OTFE) をサポート
  - パケット ベースのハードウェア暗号化エンジンによるデータ (ペイロード) 暗号化 / 認証でのネットワーク セキュリティ サポート
  - セキュリティ コプロセッサ (DMSC-L) によりキーおよびセキュリティ管理を実現、専用のデバイス レベル インターコネクトによりセキュリティを確保

汎用接続ペリフェラル:

- 6 つの I^2C (Inter-Integrated Circuit) ポート
- 9 つの UART (Universal Asynchronous Receiver/Transmitter) モジュール
- 1 つの 12 ビット アナログ / デジタル コンバータ (ADC)
  - 最大 4MSPS の構成可能なサンプル レート
  - 8 つの多重アナログ入力
- 7 つのマルチチャネル シリアル ペリフェラル インターフェイス (SPI) コントローラ
- 3 つの汎用 I/O (GPIO) モジュール

産業および制御用インターフェイス:

- 9 つの拡張パルス幅変調器 (EPWM) モジュール
- 3 つの拡張キャプチャ (ECAP) モジュール
- 3 つの拡張直交エンコーダ パルス (EQEP) モジュール
- CAN-FD をフルサポートする 2 つのモジュラー コントローラ エリア ネットワーク (MCAN) モジュール
- 2 つの高速シリアル インターフェイス トランスミッタ (FSITX) コア
- 6 つの高速シリアル インターフェイス レシーバ (FSIRX) コア

高速インターフェイス:

- 以下をサポートする 1 つの統合型イーサネット スイッチ: (CPSW)
  - 最大 2 つの外部イーサネット ポート
    - RGMII (10/100/1000)
    - RMII (10/100)
  - IEEE 1588 (2008 Annex D、Annex E、Annex F) と 802.1AS PTP
  - Clause 45 MDIO PHY 管理
  - 省電力イーサネット (802.3az)
- 1 つの PCI-Express® Gen2 コントローラ (PCIE)
  - Gen2 のシングル レーン動作をサポート
- 1 つの USB 3.1 デュアルロール デバイス (DRD) サブシステム (USBSS)
  - USB ホスト、USB デバイス、USB デュアルロール デバイスとして構成可能なポート
  - USB デバイス:ハイスピード (480Mbps)、フルスピード (12Mbps)
  - USB ホスト:スーパースピード Gen 1 (5Gbps)、ハイスピード (480Mbps)、フルスピード (12Mbps)、ロースピード (1.5Mbps)
  - USB VBUS 検出機能を内蔵
- 1 つのシリアライザ / デシリアライザ (SERDES)
  - PCI-Express® Gen2 または USB スーパースピード Gen1 に対応する
    1 つの SERDES PHY レーン

メディアおよびデータ ストレージ:

- 2 つのマルチメディア カード / セキュア デジタル (MMCSD) インターフェイス
  - 1 つの eMMC 用 8 ビット (MMCSD0)
  - 1 つの MMCSD/SDIO 用 4 ビット (MMCSD1)
  - 高速カードの電圧切り替え (3.3V、1.8V) のための内蔵アナログ スイッチ
- 1 つの汎用メモリ コントローラ (GPMC)
  - 133MHz クロックの 16 ビット パラレル バスまたは
  - 100MHz クロックの 32 ビット パラレル バス
  - エラー特定モジュール (ELM) のサポート
- 以下のいずれかに構成可能な外部メモリ用の 1 つのフラッシュ サブシステム (FSS)

Copyright © 2024 Texas Instruments Incorporated

  - 1 つのオクタル SPI (OSPI) フラッシュ インターフェイス
  - または 1 つのクワッド SPI (QSPI) フラッシュ インターフェイス

パワー マネージメント:

- 簡素化された電源シーケンス要件
- デュアル電圧 I/O のサポート (3.3V/1.8V)
- 内蔵 SDIO LDO により SD インターフェイスでの自動電圧遷移に対応
- 内蔵の電圧スーパーバイザにより過電圧および低電圧状態を監視
- 内蔵の電源グリッチ検出器により高速電源過渡を検出

機能安全:

- 機能安全準拠
  - 機能安全アプリケーション向けに開発
  - IEC 61508 機能安全システム設計を支援するドキュメントを使用可能
  - SIL 3 までの決定論的対応能力
  - SIL 2 までのハードウェア インテグリティ
  - 安全関連の認証
    - TUV SUD による IEC 61508 認証
  - 演算上特に重要なメモリの ECC またはパリティ
  - CPU とオンチップ RAM の内蔵セルフテスト (BIST)
  - 専用エラー ピン付きのエラー シグナリング モジュール (ESM)
  - 一部の内部バス インターコネクトの ECC とパリティ
  - 各種ランタイム安全診断:
    - 電圧、温度、およびクロック監視
    - ウィンドウ ウォッチドッグ タイマ
    - CRC エンジンによるメモリ整合性チェック
  - 専用メモリ、インターフェイス、FFI (Freedom From Interference) 機能により SoC 全体から分離できる M4FSS を備えた MCU ドメイン
    - 独立したインターコネクト
    - ファイアウォールとタイムアウト ガスケット
    - 制御されたリセット絶縁
    - 専用の MCU PLL および MMR 制御
    - 個別の I/O 電圧電源レール

SoC アーキテクチャ:

- OSPI/QSPI フラッシュ、SPI フラッシュ、パラレル NOR フラッシュ、パラレル NAND フラッシュ、UART、I2C、MMCSD、eMMC、USB、PCIe、イーサネット インターフェイスからのブートをサポート
- 16nm FinFET テクノロジ

パッケージ オプション:

- ALV:17.2mm × 17.2mm、0.8mm ピッチ (441 ピン) [リッド付き] フリップ チップ ボール グリッド アレイ (FCBGA)
- ALX:11.0mm × 11.0mm、0.5mm ピッチ (293 ピン) [オーバーモールド] フリップ チップ / チップ スケール パッケージ (FCCSP)

2 アプリケーション

- プログラマブル ロジック コントローラ (PLC)
- モーター ドライブ
- リモート I/O
- ファクトリ オートメーション ロボット
- 産業用ロボット / 協力ロボット (コボット)
- 状況監視ゲートウェイ
- 通信モジュール
- フィールド トランスミッタ
- 試験 / 測定機器
- 産業用移動型ロボット
- ホーム オートメーション ロボット
- 汎用コントローラ

Copyright © 2024 Texas Instruments Incorporated

3 概要

AM243x は、Sitara の産業用グレード ポートフォリオを拡張した高性能マイクロコントローラです。AM243x デバイスは、モーター ドライブやリモート I/O モジュールなど、リアルタイムの通信と処理を組み合わせる必要がある産業用アプリケーション向けに設計されています。AM243x ファミリは、最大 4 つの Cortex-R5F MCU、1 つの Cortex-M4F と、Sitara のギガビット TSN 対応 PRU-ICSSG のインスタンスが 2 つ含まれ、性能がスケーラブルです。

AM243x SoC アーキテクチャは、高性能 Arm Cortex-R5F コア、密結合メモリ (TCM) バンク、構成可能な SRAM パーティショニング、および SoC 内外で高速データ移動を可能にする、ペリフェラルとのデータ移動専用の低レイテンシ パスを使用して、クラス最高のリアルタイム性能を発揮するように設計されています。この決定論的アーキテクチャにより、サーボ ドライブに見られるような厳密な制御ループを AM243x で処理でき、同時に FSI、GPMC、ECAP、PWM、エンコーダ インターフェイスなどのペリフェラルで、これらのシステムに見られる各種のアーキテクチャを実現できます。

SoC には、EtherCAT ターゲット用のフル プロトコル スタック、PROFINET デバイス、EtherNet/IP アダプタ、IO-Link コントローラなど、柔軟な産業用通信機能があります。PRU_ICSSG には、ギガビットおよび TSN ベースのプロトコルの機能があります。また、PRU-ICSSG を使うと、UART インターフェイス、シグマ デルタ デシメーション フィルタ、アブソリュート エンコーダ インターフェイスなどの追加インターフェイスも使用できます。

機能安全のための機能は、内蔵の Cortex-M4F と専用ペリフェラルによって実現されます。このペリフェラルは、SoC のその他の部分から完全に分離できます。AM243x はセキュア ブートもサポートしています。

パッケージ情報

部品番号	パッケージ(1)	ピン数	パッケージ サイズ(2)
AM2434...ALV	ALV (FCBGA、441)	441 ピン	17.2mm × 17.2mm
AM2434...ALX	ALX (FCCSP、293)	293 ピン	11.0mm × 11.0mm
AM2432...ALV	ALV (FCBGA、441)	441 ピン	17.2mm × 17.2mm
AM2432...ALX	ALX (FCCSP、293)	293 ピン	11.0mm × 11.0mm
AM2431...ALV	ALV (FCBGA、441)	441 ピン	17.2mm × 17.2mm
AM2431...ALX	ALX (FCCSP、293)	293 ピン	11.0mm × 11.0mm

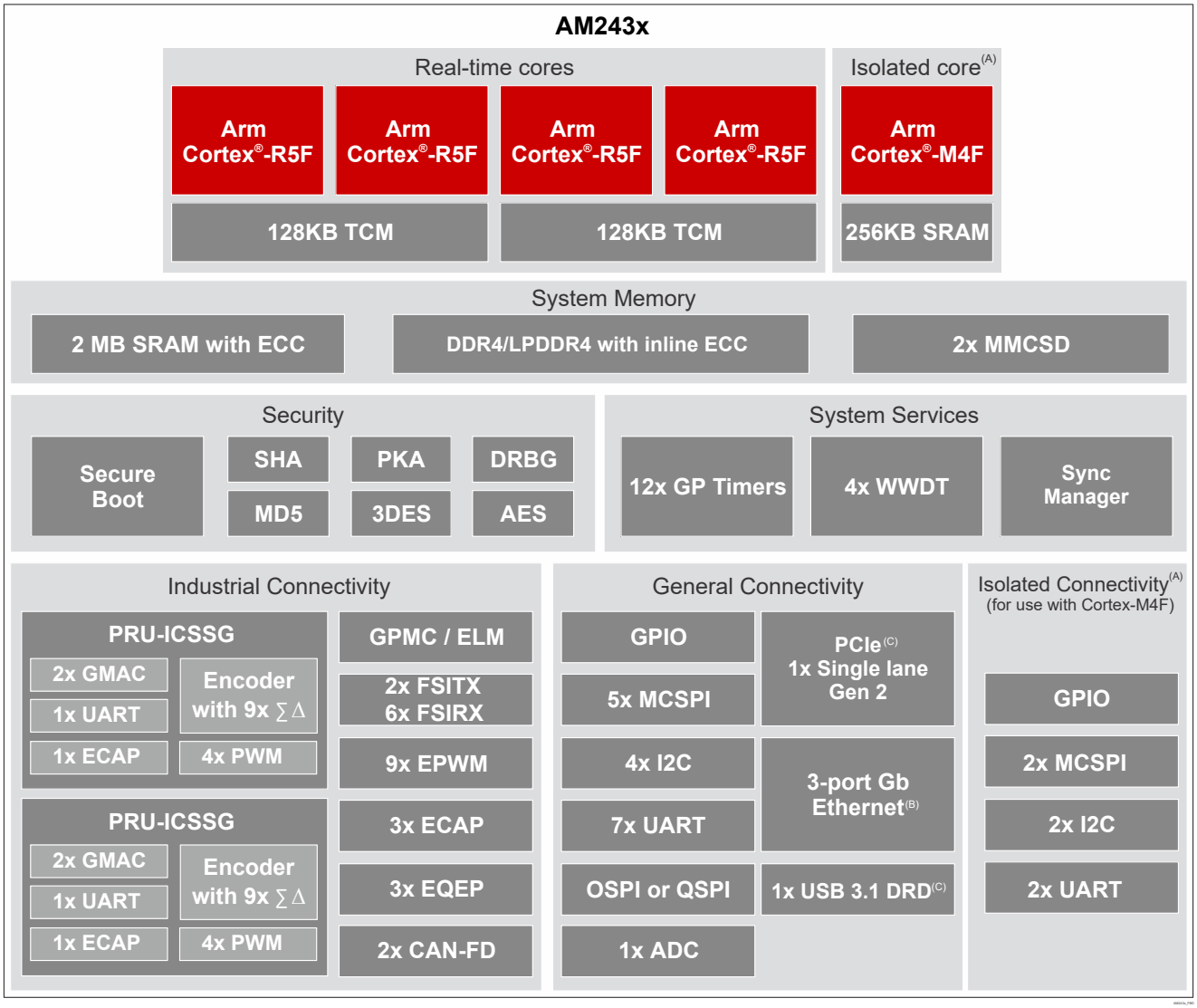
(1) 詳細については、セクション 11、「メカニカル、パッケージ、および注文情報」を参照してください。
(2) パッケージ サイズ (長さ × 幅) は公称値であり、該当する場合はピンも含まれます。

3.1 機能ブロック図

図 3-1 は、デバイスの機能ブロック図です。

注

テキサス・インスツルメンツのソフトウェア開発キット (SDK) が現在サポートしているデバイス機能の種類については、AM243x SW ビルドシートを参照してください。



A. ペリフェラルと M4F コアの分離は任意の機能です。非分離構成の場合、MCU ドメイン リソースは SoC 全体で共有されます。
B. 1 つのポートは内部で接続され、外部ピンにはルーティングされません。
C. USB3.1 と PCIe は共通の SERDES PHY レーンを共有します。PCIe に SERDES PHY を使用する場合、USB はスーパースピード以外のモードに制限されます。

図 3-1. 機能ブロック図

Copyright © 2024 Texas Instruments Incorporated

目次

1 特長.....1
2 アプリケーション.....4
3 概要.....5
3.1 機能ブロック図.....6
4 デバイスの比較.....7
4.1 関連製品.....10
5 端子構成および機能.....11
5.1 ピン ダイアグラム.....11
5.2 ピン属性.....13
5.3 信号の説明.....69
5.4 ピン接続要件.....109
6 仕様.....115
6.1 絶対最大定格.....115
6.2 ESD 定格.....117
6.3 電源投入時間 (POH).....118
6.4 推奨動作条件.....119
6.5 動作性能ポイント.....121
6.6 消費電力の概略.....121
6.7 電気的特性.....122
6.8 ワンタイム プログラマブル (OTP) eFuse の VPP 仕様.....130
6.9 熱抵抗特性.....131
6.10 タイミングおよびスイッチング特性.....132
7 詳細説明.....254
7.1 概要.....254
7.2 プロセッサ サブシステム.....255
7.3 アクセラレータとコプロセッサ.....256
7.4 その他のサブシステム.....256
8 アプリケーション、実装、およびレイアウト.....265
8.1 デバイスの接続およびレイアウトの基礎.....265
8.2 ペリフェラルおよびインターフェイス固有の設計情報.....266
8.3 クロック配線のガイドライン.....273
9 デバイスおよびドキュメントのサポート.....275
9.1 デバイスの命名規則.....275
9.2 ツールとソフトウェア.....278
9.3 ドキュメントのサポート.....278
9.4 サポート・リソース.....279
9.5 商標.....279
9.6 静電気放電に関する注意事項.....279
9.7 用語集.....279
10 改訂履歴.....279
11 メカニカル、パッケージ、および注文情報.....281
11.1 パッケージ情報.....281

4 デバイスの比較

表 4-1 に、デバイス オプション間の比較を、主な相違点を強調して示します。

注

この表に記載されている機能が利用できるかどうかは、共有 IO ピンの種類によって変わります。共有 IO ピンでは、多くの機能に関連付けられた IO 信号が、限られた数のピンに多重化されているためです。信号機能をピンに割り当てるには、SysConfig-PinMux ツールを使用する必要があります。これにより、ピン多重化に関連する制約をよりよく理解できます。

注

テキサス・インスツルメンツのソフトウェア開発キット (SDK) が現在サポートしているデバイス機能の詳細については、AM243x ソフトウェア ビルドシートを参照してください。

表 4-1. デバイスの比較

特長 (1)	参照名	AM2434 (ALV)	AM2432 (ALV)	AM2431 (ALV)	AM2434 (ALX)	AM2432 (ALX)	AM2431 (ALX)
JTAG デバイス ID 比較 (機能)							
CTRLMMR_JTAG_DEVICE_ID[31:13] DEVICE_ID レジスタのビット フィールド値 (2)		C:---------- D:0x19064 E:0x19065 F:0x19066	C:0x19023 D:0x19024 E:0x19025 F:0x19026	C:0x19003 D:0x19004 E:---------- F: ----------	C:---------- D:0x19064 E:0x19065 F:0x19066	C:0x19023 D:0x19024 E:0x19025 F:0x19026	C:0x19003 D:0x19004 E:---------- F:----------
プロセッサおよびアクセラレータ							
速度グレード (表 6-1 を参照)		S	S	S	S	S、K	S、K

表 4-1. デバイスの比較 (続き)

特長 [1]	参照名	AM2434 (ALV)	AM2432 (ALV)	AM2431 (ALV)	AM2434 (ALX)	AM2432 (ALX)	AM2431 (ALX)
ARM Cortex-R5F	R5FSS	2 × デュアル コア R5F0_0 R5F0_1 R5F1_0 R5F1_1	2 × シングル コア R5F0_0 R5F1_0	1 × シングル コア R5F0_0	2 × デュアル コア R5F0_0 R5F0_1 R5F1_0 R5F1_1	2 × シングル コア R5F0_0 R5F1_0	1 × シングル コア R5F0_0
ARM Cortex-M4F	M4FSS	1 × シングル コア 機能安全は任意 [3]					
デバイス管理セキュリティ コントローラ	DMSC-L	あり					
暗号化アクセラレータ	セキュリティ	あり					
プログラムおよびデータ ストレージ							
メイン ドメインのオンチップ共有メモリ (OCSRAM)	OCSRAM	2MB			2MB		
R5F 密結合メモリ (TCM) [4]	TCM	4 × 64KB	2 × 128KB	1 × 128KB	4 × 64KB	2 × 128KB	1 × 128KB
MCU ドメインのオンチップ共有メモリ (OCSRAM)	MCU_MSRAM	1 × 256KB					
DDR4/LPDDR4 DDR サブシステム	DDRSS	最大 2GB (16 ビット データ)、インライン ECC 付き			-		
汎用メモリ コントローラ、エラー特定モジュール (ELM) 付き	GPMC、ELM 付き	最大 1GB、ECC 付き			-		
ペリフェラル							
モジュラー コントローラ エリア ネットワーク インターフェイス	MCAN	2					
CAN-FD をフルサポート [5]	MCAN	オプション					
汎用 I/O	GPIO	最大 198			最大 148		
集積回路間インターフェイス	I2C	6 (MCU ドメイン内に 2 個)			3 (メイン ドメインのみ)		
A/D コンバータ	ADC	1 (12 ビット分解能)			1 (10 ビット分解能)		
マルチチャネル シリアル ペリフェラル インターフェイス	MCSPI	7 (MCU ドメイン内に 2 個)			4 (メイン ドメインのみ)		
マルチメディア カード / セキュア デジタル インターフェイス	MMCSD0	eMMC (8 ビット)			-		
	MMCSD1	SD/SDIO (4 ビット)			SD/SDIO (4 ビット)		
高速シリアル インターフェイス	FSI_TX	2			1		
	FSI_RX	6			4		
フラッシュ サブシステム (FSS)	OSPI0	あり [6]			QSPI モードのみ		
PHY 内蔵 PCI Express ポート	PCIE	シングル レーン			-		
プログラマブル リアルタイム ユニット サブシステム [7] (PRU コア、eGPIO、UART、ECAP、EPWM)	PRU_ICSSG	2					
産業用通信サブシステムのサポート [8] (RGMII/MII および追加のネットワーク インターフェイス)	PRU_ICSSG	オプション					
ギガビット イーサネット インターフェイス	CPSW	あり (2 つの外部ポート)					
汎用タイマー	TIMER	16 (MCU ドメイン内に 4 個)					
拡張パルス幅変調モジュール	EPWM	9			7 [9]		
拡張キャプチャ モジュール	ECAP	3					
拡張直交エンコーダ パルス モジュール	EQEP	3					

Copyright © 2024 Texas Instruments Incorporated

表 4-1. デバイスの比較 (続き)

特長 (1)	参照名	AM2434 (ALV)	AM2432 (ALV)	AM2431 (ALV)	AM2434 (ALX)	AM2432 (ALX)	AM2431 (ALX)
汎用非同期レシーバ / トランスミッタ	UART	9 (MCU ドメイン内に 2 個)			8 (MCU ドメイン内に 1 個)		
ユニバーサル シリアル バス (USB3.1 Gen1) スーパースピード デュアル ロール デバイス (DRD) ポート、SS PHY 付き	USB	あり (10)			USB スーパースピードのサポートなし (USB2 のみ)		

(1) 「サポート対象外」または「-」と記載されている機能は使用できません。これらの機能は、テキサス・インスツルメンツのこのデバイス ファミリではサポート対象外です。これらの機能は、将来のデバイス リビジョンで予告なく削除される可能性があります。サポート対象外機能に関する情報は、信号名を明確にする目的、または以前の機能説明との整合性を確保する目的でのみ、ドキュメントに保持されています。
(2) CTRLMMR_JTAG_DEVICE_ID レジスタおよび DEVICE_ID ビット フィールドの詳細については、本デバイスに関するテクニカル リファレンス マニュアルを参照してください。
(3) 機能コード * F を含む注文用型番を選択すると、機能安全を利用できます。
(4) R5F コアはクラスタ内で密結合メモリを共有しており、システム要件に応じて R5F コアを割り当てることができます。
(5) 機能コード * E または F を含む注文用型番を選択すると、CAN-FD の完全サポートが利用できます。
(6) OSPI0 または QSPI0 として構成された 1 つの同時フラッシュ インターフェイス。
(7) 機能コード * C が含まれる注文用型番を選択すると、プログラマブル リアルタイム ユニット サブシステムのサポート (イーサネット ネットワーク (MII/RGMII、MDIO)、シグマ デルタ (SD) デシメーション、3 チャネル ペリフェラル インターフェイス (EnDat 2.2 および BiSS) を含む) が利用できます。
(8) 機能コード * D、E、F を含む注文用型番を選択すると、産業用通信サブシステム機能のサポートが利用できます。
(9) ALX パッケージ タイプの EHRPWM5 インスタンスでは、PWM_A 出力信号のみが利用できます。
(10) USB ドライバのサポートの詳細については、デバイス ソフトウェア ビルド シートを参照してください。

注

上記の脚注の各「機能コード」の定義については、「デバイス命名規則」を参照してください。

4.1 関連製品

Sitara™ マイコン TI のクラス最高の Arm® ベース 32 ビット マイコン (MCU) により、高性能で電力効率の高いデバイスのスケーラブルな製品ラインアップが提供され、システムのニーズを満たすため役立ちます。開発中の設計で、機能安全、電力効率、リアルタイム制御、高度なネットワーク、分析、セキュリティなどの機能を実現できます。

Sitara™ プロセッサ Arm® Cortex®-A コアをベースとするスケーラブルなプロセッサの広範なファミリは、柔軟なアクセラレータ、ペリフェラル、コネクティビティを搭載しており、ソフトウェアのサポートが統一されているため、センサからサーバーまでのあらゆる用途に理想的です。Sitara™ プロセッサには、産業用や車載用のアプリケーションに必要な機能と信頼性があります。

Sitara™ マイコンのアプリケーション Sitara™ マイコンは、HMI やゲートウェイから、ドライブや、サブステーション オートメーション機器のような複雑な機器まで、広範なアプリケーションに向けたスケーラブルなソリューションに使用できます。また、EtherCAT®、Ethernet/IP、Profinet などの産業用通信プロトコルでのマルチプロトコルもサポートします。

Sitara™ マイコン - リファレンス デザイン TI からは、使いやすい「ビルディング ブロック」を含む多くのリファレンス デザインが提供されており、お客様独自の製品や機器を迅速に開発できます。

Sitara™ マイコン - 評価基板 TI は、製品開発をすぐ始められるように、評価基板 (EVM) を提供しています。詳細については、AM243x 評価基板 (TMDSAM243) と AM243x LaunchPad (LP-AM243x) のツール フォルダを参照してください。

AM243x の関連製品 設計を完成させるために、この製品と組み合わせて購入または使用されることが多い製品をご覧ください。

Copyright © 2024 Texas Instruments Incorporated

5 端子構成および機能

5.1 ピン ダイアグラム

注

「ボール」、「ピン」、「端子」という用語は、ドキュメント全体で同じ意味で使用されています。物理的なパッケージに言及する場合にのみ「ボール」が使用されています。

このセクションの図を、その他の「端子構成および機能」表と組み合わせて使用することで、信号名とボール グリッド番号を特定できます。

5.1.1 AM243x ALV のピン配置図

ALV FCBGA-N441 のピン配置図に、蓋付き 441 ボール フリップ チップ ボール グリッド アレイ (FCBGA) パッケージのボール位置を示します。

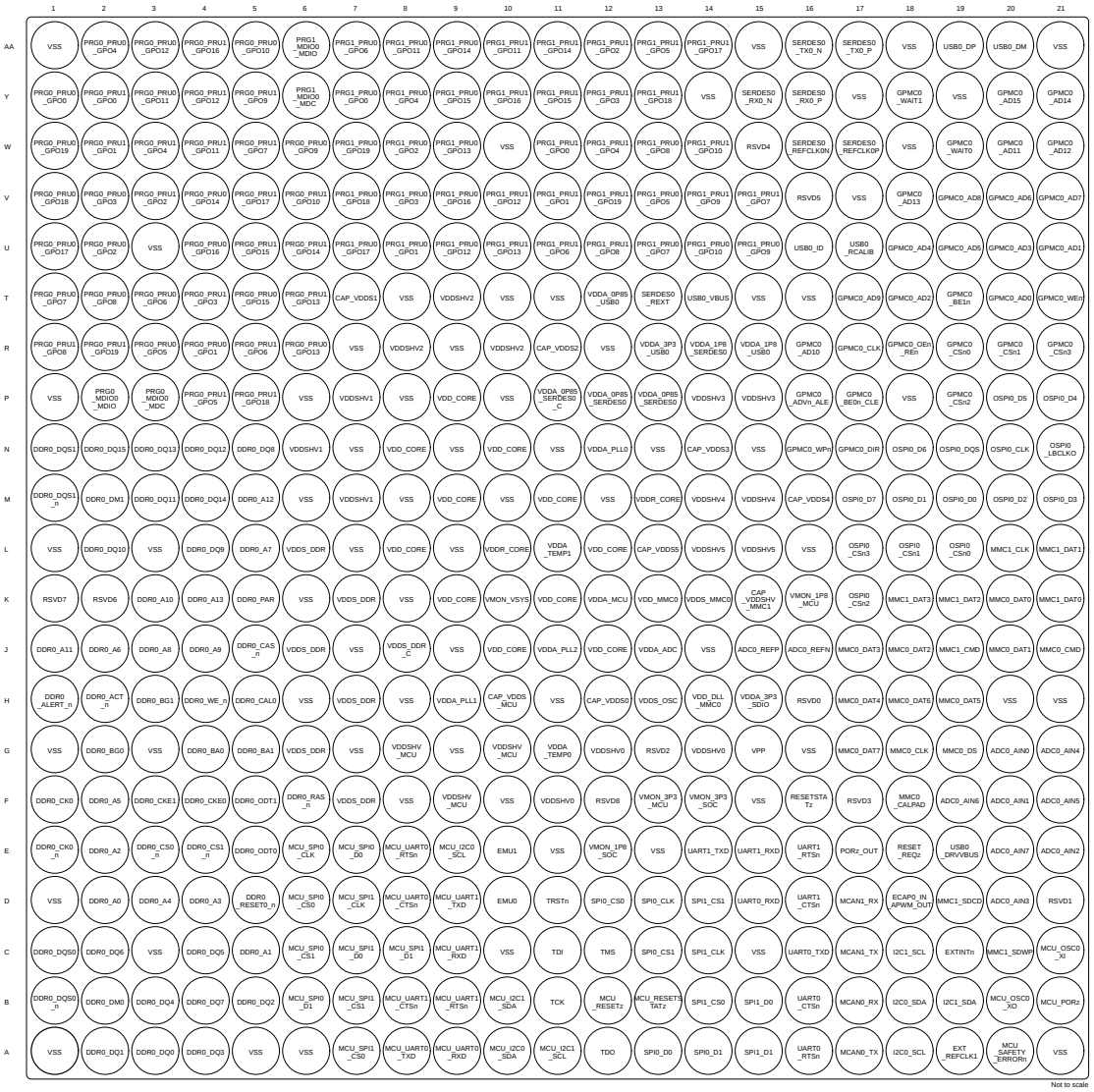


図 5-1. ALV FCBGA-N441 のピン配置図 (底面図)

5.1.2 AM243x ALX のピン配置図

ALX FCBGA-N293 のピン配置図 に、蓋なし 293 ボール フリップ チップ ボール グリッド アレイ (FCBGA) パッケージのボール位置を示します。

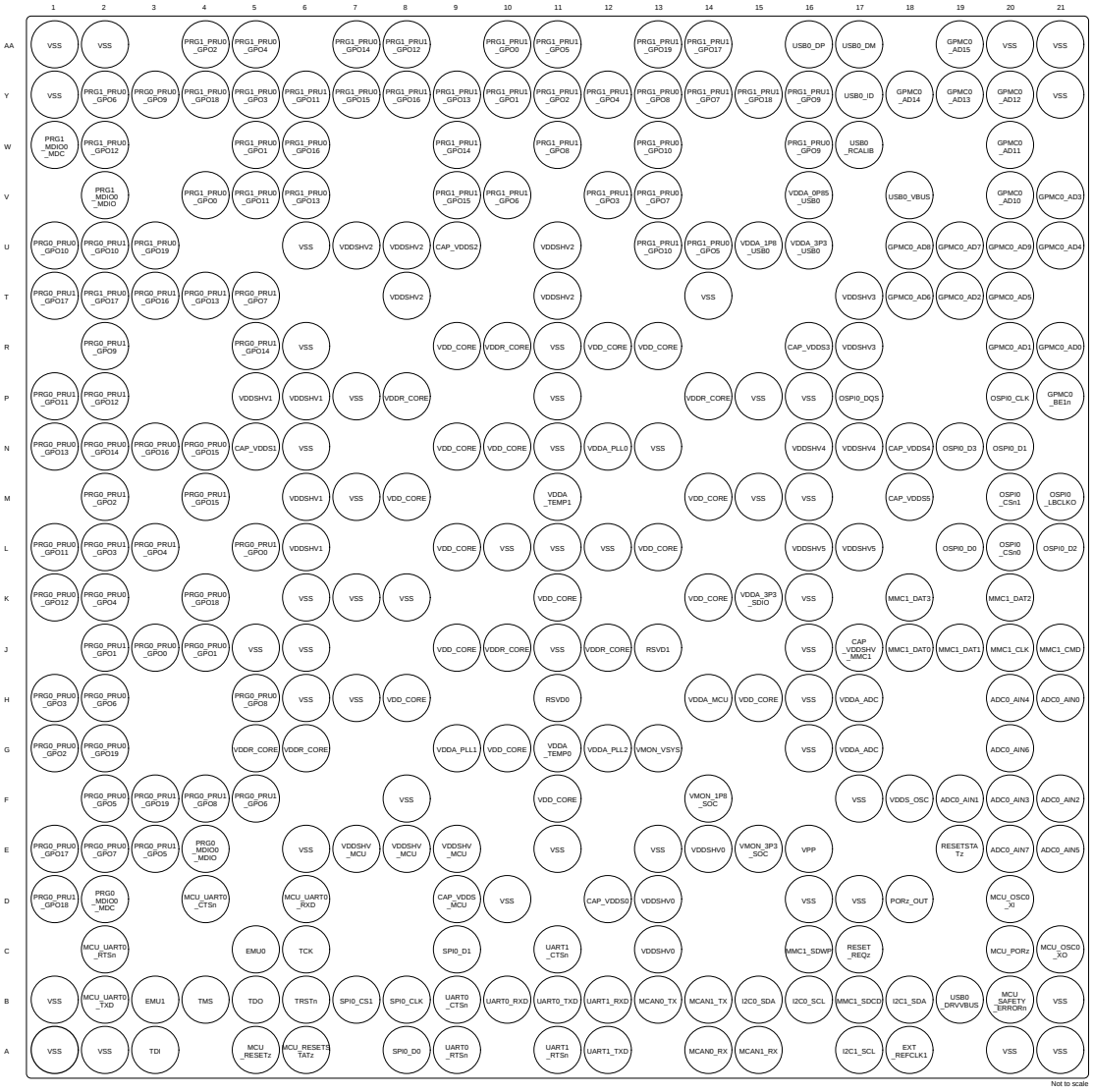


図 5-2. ALX FCBGA-N293 のピン配置図 (底面図)

Copyright © 2024 Texas Instruments Incorporated

5.2 ピン属性

次のリストは、「ピン属性」表の各列の内容についての説明です。

1. **ボール番号:**ボール グリッド アレイ パッケージの各端子に割り当てられたボール番号。
2. **ボール名:**ボール グリッド アレイ パッケージの各端子に割り当てられたボール名 (この名前は通常、プライマリ MUXMODE 0 信号機能から取られます)。
3. **信号名:**ボールに関連するすべての専用およびピン多重化信号機能の信号名。

注

「ピン属性」表は、ピンに実装される SoC ピン多重化信号機能を定義しており、デバイス サブシステムに実装される信号機能の 2 次多重化は定義**していません**。信号機能の 2 次多重化については、この表では説明しません。2 次多重化信号機能の詳細については、デバイス TRM の該当するペリフェラルの章を参照してください。

---

4. **MUX モード:**各ピンの多重化信号機能に関連付けられた MUXMODE 値:
   - MUXMODE 0 は、プライマリ ピンの多重化信号機能です。ただし、プライマリ ピンの多重化信号機能は、必ずしもデフォルトのピン多重化信号機能とは限りません。
   - ピン多重化信号機能には、MUXMODE の値 1～15 を使用できます。ただし、すべての MUXMODE 値が実装されているわけではありません。有効な MUXMODE 値は、「ピン属性」表でピン多重化された信号機能として定義された値のみです。MUXMODE の有効な値のみを使用できます。
   - ブートストラップは SOC 構成ピンを定義します。ここで、各ピンに適用されるロジック状態は、PORz_OUT の立ち上がりエッジでラッチされます。これらの入力信号機能はそれぞれのピンに固定で、MUXMODE を使用してプログラムすることはできません。
   - 空欄または「-」は、該当しないことを意味します。

注

- 「リセット後の MUX モード」列の値は、MCU_PORz がアサート解除されたときに選択されるデフォルトのピン多重化信号機能を定義します。
- 同じピン多重化信号機能に 2 つのピンを構成すると、予期しない結果が生じる可能性があるため、この構成はサポートされていません。これは、正しいソフトウェア構成によって防止できます。
- パッドを未定義の多重化モードに構成すると、未定義の動作が生じるため、このような構成は避ける必要があります。

---

5. **種類:**信号の種類と方向:
   - I = 入力
   - O = 出力
   - OD = 出力、オープン ドレイン出力機能付き
   - IO = 入力、出力、または同時に入力と出力
   - IOD = 入力、出力、または同時に入力と出力、オープン ドレイン出力機能付き
   - IOZ = 入力、出力、または同時に入力と出力、3 ステート出力機能付き
   - OZ = 3 ステート出力機能付き出力
   - A = アナログ
   - CAP = LDO コンデンサ
   - PWR = 電源
   - GND = グランド
6. **DSIS:**選択解除入力状態 (DSIS) は、MUXMODE によってピン多重化信号機能が選択されていないとき、サブシステム入力 (ロジック「0」、ロジック「1」、または「パッド」レベル) に駆動される状態を示します。

- 0:**ロジック 0** がサブシステム入力に駆動されます。
- 1:**ロジック 1** がサブシステム入力に駆動されます。
- パッド:パッドのロジック状態がサブシステム入力に駆動されます。
- 空欄、NA、「-」は該当しないことを意味します。

7. **リセット時のボール状態 (RX/TX/PULL):**MCU_PORz がアサートされているときの端子の状態。ここで、RX は入力バッファの状態、TX は出力バッファの状態、PULL は内部プル抵抗の状態を定義します。
   - RX (入力バッファ)
     - オフ:入力バッファは**無効**です。
     - オン:入力バッファは**有効**です。
   - TX (出力バッファ)
     - オフ:出力バッファは**無効**です。
     - Low:出力バッファは**有効**であり、V_{OL} を駆動します。
   - PULL (内部プル抵抗)
     - オフ:内部プル抵抗は**オフ**になっています。
     - アップ:内部**プルアップ**抵抗がオンになっています。
     - ダウン:内部**プルダウン**抵抗がオンになっています。
     - NA:内部プル抵抗なし。
   - 空欄、または「-」は該当しないことを意味します。
8. **リセット後のボール状態 (RX/TX/PULL):**MCU_PORz がアサート解除された後の端子の状態。ここで、RX は入力バッファの状態、TX は出力バッファの状態、PULL は内部プル抵抗の状態を定義します。
   - RX (入力バッファ)
     - オフ:入力バッファは**無効**です。
     - オン:入力バッファは**有効**です。
   - TX (出力バッファ)
     - オフ:出力バッファは**無効**です。
     - SS:MUXMODE で選択されたサブシステムによって、出力バッファの状態が決まります。
   - PULL (内部プル抵抗)
     - オフ:内部プル抵抗は**オフ**になっています。
     - アップ:内部**プルアップ抵抗**がオンになっています。
     - ダウン:内部**プルダウン抵抗**がオンになっています。
     - NA:内部プル抵抗なし。
   - 空欄、NA、「-」は該当しないことを意味します。
9. **リセット後の MUX モード:**この列の値は、MCU_PORz がアサート解除された後の**デフォルト**のピン多重化信号機能を定義します。
   - 空欄、NA、「-」は該当しないことを意味します。
10. **I/O 電圧**:この列は、該当する場合、それぞれの電源の I/O **動作電圧**オプションを示します。
    - 空欄、NA、「-」は該当しないことを意味します。

    詳細については、「推奨動作条件」で、各電源に定義されている有効な動作電圧範囲を参照してください。
11. **電力:**関連する I/O の電源 (該当する場合)。
    - 空欄、NA、「-」は該当しないことを意味します。
12. **Hys:**この I/O に関連付けられている入力バッファにヒステリシスがあるかどうかを示します。
    - Yes ヒステリシスのサポート
    - No: ヒステリシスのサポート**なし**

Copyright © 2024 Texas Instruments Incorporated

- 空欄、NA、「-」は該当しないことを意味します。

詳細については、「電気的特性」のヒステリシスの値を参照してください。

13. **プル タイプ**：内部プルアップまたはプルダウン抵抗が存在することを示します。内部抵抗は、ソフトウェアによって有効化または無効化できます。
    - PU：内部プルアップのみ
    - PD：内部プルダウンのみ
    - PU/PD：内部プルアップおよびプルダウン
    - 空欄、NA、「-」は、内部プルが存在しないことを意味します。

注

同じピン多重化信号機能に 2 つのピンを構成すると、予期しない結果が生じる可能性があるため、この構成はサポートされていません。この問題は、正しいソフトウェア構成を使用すると簡単に防止できます。

ピン多重化で定義されない多重化モードにパッドが設定されたとき、そのパッドの挙動は未定義になります。これは避ける必要があります。

---

14. **バッファのタイプ**：この列は、端末に関連付けられたバッファタイプを定義します。この情報を使用して、該当する「電気的特性」表を決定できます。
    - 空欄、NA、「-」は該当しないことを意味します。

    電気的特性については、「電気的特性」の適切なバッファ タイプの表を参照してください。
15. **パッド構成レジスタ名**：デバイスのパッド / ピン構成レジスタの名前です。
16. **パッド測定構成レジスタのアドレス**：これは、デバイスのパッド / ピン構成レジスタのメモリ アドレスです。

表 5-1. ピン属性 (ALV、ALX パッケージ)

ALV のボール番号 [1]	ALX のボール番号 [1]	ボール名 [2] / PadConfig レジスタ [15] / アドレス [16]	信号名 [3]	多重化モード [4]	タイプ [5]	DSIS [6]	リセット後の多重化モード [9]	リセット時のボールの状態 [7]	リセット後のボールの状態 [8]	IO 電圧 [10]	電源ドメイン [11]	ヒステリシス [12]	プルタイプ [13]	バッファタイプ [14]
J16		ADC0_REFN	ADC0_REFN		A									
J15		ADC0_REFP	ADC0_REFP		A									
G20	H21	ADC0_AIN0	ADC0_AIN0		A					1.8 V	VDDA_ADC0	あり		ADC12B
F20	F19	ADC0_AIN1	ADC0_AIN1		A					1.8 V	VDDA_ADC0	あり		ADC12B
E21	F21	ADC0_AIN2	ADC0_AIN2		A					1.8 V	VDDA_ADC0	あり		ADC12B
D20	F20	ADC0_AIN3	ADC0_AIN3		A					1.8 V	VDDA_ADC0	あり		ADC12B
G21	H20	ADC0_AIN4	ADC0_AIN4		A					1.8 V	VDDA_ADC0	あり		ADC12B
F21	E21	ADC0_AIN5	ADC0_AIN5		A					1.8 V	VDDA_ADC0	あり		ADC12B
F19	G20	ADC0_AIN6	ADC0_AIN6		A					1.8 V	VDDA_ADC0	あり		ADC12B
E20	E20	ADC0_AIN7	ADC0_AIN7		A					1.8 V	VDDA_ADC0	あり		ADC12B
H12	D12	CAP_VDDS0	CAP_VDDS0		CAP									
T7	N5	CAP_VDDS1	CAP_VDDS1		CAP									
R11	U9	CAP_VDDS2	CAP_VDDS2		CAP									
N14	R16	CAP_VDDS3	CAP_VDDS3		CAP									
M16	N18	CAP_VDDS4	CAP_VDDS4		CAP									
L13	M18	CAP_VDDS5	CAP_VDDS5		CAP									
K15	J17	CAP_VDDSHV_MMC1	CAP_VDDSHV_MMC1		CAP									
H10	D9	CAP_VDDS_MCU	CAP_VDDS_MCU		CAP									
H2		DDR0_ACT_n	DDR0_ACT_n		O					1.1 V/1.2 V	VDDS_DDR、VDDS_DDR_C			DDR
H1		DDR0_ALERT_n	DDR0_ALERT_n		IO					1.1 V/1.2 V	VDDS_DDR、VDDS_DDR_C			DDR
J5		DDR0_CAS_n	DDR0_CAS_n		O					1.1 V/1.2 V	VDDS_DDR、VDDS_DDR_C			DDR
K5		DDR0_PAR	DDR0_PAR		O					1.1 V/1.2 V	VDDS_DDR、VDDS_DDR_C			DDR
F6		DDR0_RAS_n	DDR0_RAS_n		O					1.1 V/1.2 V	VDDS_DDR、VDDS_DDR_C			DDR
H4		DDR0_WE_n	DDR0_WE_n		O					1.1 V/1.2 V	VDDS_DDR、VDDS_DDR_C			DDR
D2		DDR0_A0	DDR0_A0		O					1.1 V/1.2 V	VDDS_DDR、VDDS_DDR_C			DDR
C5		DDR0_A1	DDR0_A1		O					1.1 V/1.2 V	VDDS_DDR、VDDS_DDR_C			DDR
E2		DDR0_A2	DDR0_A2		O					1.1 V/1.2 V	VDDS_DDR、VDDS_DDR_C			DDR
D4		DDR0_A3	DDR0_A3		O					1.1 V/1.2 V	VDDS_DDR、VDDS_DDR_C			DDR
D3		DDR0_A4	DDR0_A4		O					1.1 V/1.2 V	VDDS_DDR、VDDS_DDR_C			DDR

Copyright © 2024 Texas Instruments Incorporated

表 5-1. ピン属性 (ALV、ALX パッケージ) (続き)

ALV のボール番号 [1]	ALX のボール番号 [1]	ボール名 [2] / PadConfig レジスタ [15] / アドレス [16]	信号名 [3]	多重化モード [4]	タイプ [5]	DSIS [6]	リセット後の多重化モード [9]	リセット時のボールの状態 [7]	リセット後のボールの状態 [8]	IO 電圧 [10]	電源ドメイン [11]	ヒステリシス [12]	プルタイプ [13]	バッファタイプ [14]
F2		DDR0_A5	DDR0_A5		O					1.1 V/1.2 V	VDDS_DDR、VDDS_DDR_C			DDR
J2		DDR0_A6	DDR0_A6		O					1.1 V/1.2 V	VDDS_DDR、VDDS_DDR_C			DDR
L5		DDR0_A7	DDR0_A7		O					1.1 V/1.2 V	VDDS_DDR、VDDS_DDR_C			DDR
J3		DDR0_A8	DDR0_A8		O					1.1 V/1.2 V	VDDS_DDR、VDDS_DDR_C			DDR
J4		DDR0_A9	DDR0_A9		O					1.1 V/1.2 V	VDDS_DDR、VDDS_DDR_C			DDR
K3		DDR0_A10	DDR0_A10		O					1.1 V/1.2 V	VDDS_DDR、VDDS_DDR_C			DDR
J1		DDR0_A11	DDR0_A11		O					1.1 V/1.2 V	VDDS_DDR、VDDS_DDR_C			DDR
M5		DDR0_A12	DDR0_A12		O					1.1 V/1.2 V	VDDS_DDR、VDDS_DDR_C			DDR
K4		DDR0_A13	DDR0_A13		O					1.1 V/1.2 V	VDDS_DDR、VDDS_DDR_C			DDR
G4		DDR0_BA0	DDR0_BA0		O					1.1 V/1.2 V	VDDS_DDR、VDDS_DDR_C			DDR
G5		DDR0_BA1	DDR0_BA1		O					1.1 V/1.2 V	VDDS_DDR、VDDS_DDR_C			DDR
G2		DDR0_BG0	DDR0_BG0		O					1.1 V/1.2 V	VDDS_DDR、VDDS_DDR_C			DDR
H3		DDR0_BG1	DDR0_BG1		O					1.1 V/1.2 V	VDDS_DDR、VDDS_DDR_C			DDR
H5		DDR0_CAL0	DDR0_CAL0		A					1.1 V/1.2 V	VDDS_DDR、VDDS_DDR_C			DDR
F1		DDR0_CK0	DDR0_CK0		O					1.1 V/1.2 V	VDDS_DDR、VDDS_DDR_C			DDR
E1		DDR0_CK0_n	DDR0_CK0_n		O					1.1 V/1.2 V	VDDS_DDR、VDDS_DDR_C			DDR
F4		DDR0_CKE0	DDR0_CKE0		O					1.1 V/1.2 V	VDDS_DDR、VDDS_DDR_C			DDR
F3		DDR0_CKE1	DDR0_CKE1		O					1.1 V/1.2 V	VDDS_DDR、VDDS_DDR_C			DDR
E3		DDR0_CS0_n	DDR0_CS0_n		O					1.1 V/1.2 V	VDDS_DDR、VDDS_DDR_C			DDR
E4		DDR0_CS1_n	DDR0_CS1_n		O					1.1 V/1.2 V	VDDS_DDR、VDDS_DDR_C			DDR
B2		DDR0_DM0	DDR0_DM0		IO					1.1 V/1.2 V	VDDS_DDR、VDDS_DDR_C			DDR
M2		DDR0_DM1	DDR0_DM1		IO					1.1 V/1.2 V	VDDS_DDR、VDDS_DDR_C			DDR

Copyright © 2024 Texas Instruments Incorporated

表 5-1. ピン属性 (ALV、ALX パッケージ) (続き)

ALV のボール番号 [1]	ALX のボール番号 [1]	ボール名 [2] / PadConfig レジスタ [15] / アドレス [16]	信号名 [3]	多重化モード [4]	タイプ [5]	DSIS [6]	リセット後の多重化モード [9]	リセット時のボールの状態 [7]	リセット後のボールの状態 [8]	IO 電圧 [10]	電源ドメイン [11]	ヒステリシス [12]	プルタイプ [13]	バッファタイプ [14]
A3		DDR0_DQ0	DDR0_DQ0		IO					1.1 V/1.2 V	VDDS_DDR、VDDS_DDR_C			DDR
A2		DDR0_DQ1	DDR0_DQ1		IO					1.1 V/1.2 V	VDDS_DDR、VDDS_DDR_C			DDR
B5		DDR0_DQ2	DDR0_DQ2		IO					1.1 V/1.2 V	VDDS_DDR、VDDS_DDR_C			DDR
A4		DDR0_DQ3	DDR0_DQ3		IO					1.1 V/1.2 V	VDDS_DDR、VDDS_DDR_C			DDR
B3		DDR0_DQ4	DDR0_DQ4		IO					1.1 V/1.2 V	VDDS_DDR、VDDS_DDR_C			DDR
C4		DDR0_DQ5	DDR0_DQ5		IO					1.1 V/1.2 V	VDDS_DDR、VDDS_DDR_C			DDR
C2		DDR0_DQ6	DDR0_DQ6		IO					1.1 V/1.2 V	VDDS_DDR、VDDS_DDR_C			DDR
B4		DDR0_DQ7	DDR0_DQ7		IO					1.1 V/1.2 V	VDDS_DDR、VDDS_DDR_C			DDR
N5		DDR0_DQ8	DDR0_DQ8		IO					1.1 V/1.2 V	VDDS_DDR、VDDS_DDR_C			DDR
L4		DDR0_DQ9	DDR0_DQ9		IO					1.1 V/1.2 V	VDDS_DDR、VDDS_DDR_C			DDR
L2		DDR0_DQ10	DDR0_DQ10		IO					1.1 V/1.2 V	VDDS_DDR、VDDS_DDR_C			DDR
M3		DDR0_DQ11	DDR0_DQ11		IO					1.1 V/1.2 V	VDDS_DDR、VDDS_DDR_C			DDR
N4		DDR0_DQ12	DDR0_DQ12		IO					1.1 V/1.2 V	VDDS_DDR、VDDS_DDR_C			DDR
N3		DDR0_DQ13	DDR0_DQ13		IO					1.1 V/1.2 V	VDDS_DDR、VDDS_DDR_C			DDR
M4		DDR0_DQ14	DDR0_DQ14		IO					1.1 V/1.2 V	VDDS_DDR、VDDS_DDR_C			DDR
N2		DDR0_DQ15	DDR0_DQ15		IO					1.1 V/1.2 V	VDDS_DDR、VDDS_DDR_C			DDR
C1		DDR0_DQS0	DDR0_DQS0		IO					1.1 V/1.2 V	VDDS_DDR、VDDS_DDR_C			DDR
B1		DDR0_DQS0_n	DDR0_DQS0_n		IO					1.1 V/1.2 V	VDDS_DDR、VDDS_DDR_C			DDR
N1		DDR0_DQS1	DDR0_DQS1		IO					1.1 V/1.2 V	VDDS_DDR、VDDS_DDR_C			DDR
M1		DDR0_DQS1_n	DDR0_DQS1_n		IO					1.1 V/1.2 V	VDDS_DDR、VDDS_DDR_C			DDR
E5		DDR0_ODT0	DDR0_ODT0		O					1.1 V/1.2 V	VDDS_DDR、VDDS_DDR_C			DDR
F5		DDR0_ODT1	DDR0_ODT1		O					1.1 V/1.2 V	VDDS_DDR、VDDS_DDR_C			DDR

Copyright © 2024 Texas Instruments Incorporated

表 5-1. ピン属性 (ALV、ALX パッケージ) (続き)

ALV のボール番号 [1]	ALX のボール番号 [1]	ボール名 [2] / PadConfig レジスタ [15] / アドレス [16]	信号名 [3]	多重化モード [4]	タイプ [5]	DSIS [6]	リセット後の多重化モード [9]	リセット時のボールの状態 [7]	リセット後のボールの状態 [8]	IO 電圧 [10]	電源ドメイン [11]	ヒステリシス [12]	プルタイプ [13]	バッファタイプ [14]
D5		DDR0_RESET0_n	DDR0_RESET0_n		O					1.1 V/1.2 V	VDDS_DDR、VDDS_DDR_C			DDR
D18		ECAP0_IN_APWM_OUT	ECAP0_IN_APWM_OUT	0	IO	0	7	オフ / オフ / オフ	オフ / オフ / オフ	1.8 V/3.3V	VDDSHV0	あり	PU/PD	LVCMOS
		PADCONFIG156 0x000F4270	SYNC0_OUT	1	O									
			CPTS0_RFT_CLK	2	I	0								
			CP_GEMAC_CPTS0_RFT_CLK	5	I	0								
			SPI4_CS3	6	IO	1								
			GPIO1_68	7	IO	パッド								
D10	C5	EMU0	EMU0	0	IO	1	0	オン / オフ / アップ	オン / オフ / アップ	1.8 V/3.3 V	VDDSHV_MCU	あり	PU/PD	LVCMOS
		MCU_PADCONFIG31 0x0408407C												
E10	B3	EMU1	EMU1	0	IO	1	0	オン / オフ / アップ	オン / オフ / アップ	1.8 V/3.3V	VDDSHV_MCU	あり	PU/PD	LVCMOS
		MCU_PADCONFIG32 0x04084080	MCU_OBSCLK0	15	O									
C19		EXTINTn	EXTINTn	0	I	1	7	オフ / オフ / NA	オフ / オフ / NA	1.8 V/3.3V	VDDSHV0	あり		I2C OD FS
		PADCONFIG158 0x000F4278	GPIO1_70	7	IO	パッド								
A19	A18	EXT_REFCLK1	EXT_REFCLK1	0	I	0	7	オフ / オフ / オフ	オフ / オフ / オフ	1.8 V/3.3V	VDDSHV0	あり	PU/PD	LVCMOS
		PADCONFIG157 0x000F4274	SYNC1_OUT	1	O									
			SPI2_CS3	2	IO	1								
			CLKOUT0	5	O									
			GPIO1_69	7	IO	パッド								
P16		GPMC0_ADVn_ALE	GPMC0_ADVn_ALE	0	O		7	オフ / オフ / オフ	オフ / オフ / オフ	1.8 V/3.3V	VDDSHV3	あり	PU/PD	LVCMOS
		PADCONFIG33 0x000F4084	FSI_RX5_CLK	1	I	0								
			UART5_RXD	2	I	1								
			EHRPWM_TZn_IN3	3	I	0								
			TRC_DATA15	6	O									
			GPIO0_32	7	IO	パッド								
			PRG0_PWM3_TZ_IN	9	I	0								
R17		GPMC0_CLK	GPMC0_CLK	0	O	0	7	オフ / オフ / オフ	オフ / オフ / オフ	1.8 V/3.3V	VDDSHV3	あり	PU/PD	LVCMOS
		PADCONFIG31 0x000F407C	FSI_RX4_CLK	1	I	0								
			UART4_RTSn	2	O									
			EHRPWM3_SYNCO	3	O									
			GPMC0_FCLK_MUX	4	O									
			TRC_DATA14	6	O									
			GPIO0_31	7	IO	パッド								
			PRG0_PWM3_TZ_OUT	9	O									

表 5-1. ピン属性 (ALV、ALX パッケージ) (続き)

ALV のボール番号 [1]	ALX のボール番号 [1]	ボール名 [2] / PadConfig レジスタ [15] / アドレス [16]	信号名 [3]	多重化モード [4]	タイプ [5]	DSIS [6]	リセット後の多重化モード [9]	リセット時のボールの状態 [7]	リセット後のボールの状態 [8]	IO 電圧 [10]	電源ドメイン [11]	ヒステリシス [12]	プルタイプ [13]	バッファタイプ [14]
N17		GPMC0_DIR	GPMC0_DIR	0	O		7	オフ / オフ / オフ	オフ / オフ / オフ	1.8 V/3.3V	VDDSHV3	あり	PU/PD	LVCMOS
		PADCONFIG41 0x000F40A4	EQEP0_B	3	I	0								
			GPIO0_40	7	IO	パッド								
			EHRPWM6_B	8	IO	0								
			PRG1_PWM2_B0	9	IO	1								
R18		GPMC0_OEn_REn	GPMC0_OEn_REn	0	O		7	オフ / オフ / オフ	オフ / オフ / オフ	1.8 V/3.3V	VDDSHV3	あり	PU/PD	LVCMOS
		PADCONFIG34 0x000F4088	FSI_RX5_D0	1	I	0								
			UART5_TXD	2	O									
			EHRPWM4_A	3	IO	0								
			TRC_DATA16	6	O									
			GPIO0_33	7	IO	パッド								
			PRG0_PWM3_A1	9	IO	0								
T21		GPMC0_WEn	GPMC0_WEn	0	O		7	オフ / オフ / オフ	オフ / オフ / オフ	1.8 V/3.3V	VDDSHV3	あり	PU/PD	LVCMOS
		PADCONFIG35 0x000F408C	FSI_RX5_D1	1	I	0								
			UART5_RTSn	2	O									
			EHRPWM4_B	3	IO	0								
			TRC_DATA17	6	O									
			GPIO0_34	7	IO	パッド								
			PRG0_PWM3_B1	9	IO	1								
N16		GPMC0_WPn	GPMC0_WPn	0	O		7	オフ / オフ / オフ	オフ / オフ / オフ	1.8 V/3.3V	VDDSHV3	あり	PU/PD	LVCMOS
		PADCONFIG40 0x000F40A0	FSI_TX1_CLK	1	O									
			EQEP0_A	3	I	0								
			GPMC0_A22	4	OZ									
			TRC_DATA22	6	O									
			GPIO0_39	7	IO	パッド								
			EHRPWM6_A	8	IO	0								
			PRG1_PWM2_A0	9	IO	0								
T20	R21	GPMC0_AD0	GPMC0_AD0	0	IO	0	7	オン / オフ / オフ	オン / オフ / オフ	1.8 V/3.3V	VDDSHV3	あり	PU/PD	LVCMOS
		PADCONFIG15 0x000F403C	FSI_RX2_CLK	1	I	0								
			UART2_RXD	2	I	1								
			EHRPWM0_SYNCI	3	I	0								
			TRC_CLK	6	O									
			GPIO0_15	7	IO	パッド								
			BOOTMODE00	ブートストラップ	I									

Copyright © 2024 Texas Instruments Incorporated

表 5-1. ピン属性 (ALV、ALX パッケージ) (続き)

ALV のボール番号 [1]	ALX のボール番号 [1]	ボール名 [2] / PadConfig レジスタ [15] / アドレス [16]	信号名 [3]	多重化モード [4]	タイプ [5]	DSIS [6]	リセット後の多重化モード [9]	リセット時のボールの状態 [7]	リセット後のボールの状態 [8]	IO 電圧 [10]	電源ドメイン [11]	ヒステリシス [12]	プルタイプ [13]	バッファタイプ [14]
U21	R20	GPMC0_AD1	GPMC0_AD1	0	IO	0	7	オン / オフ / オフ	オン / オフ / オフ	1.8 V/3.3V	VDDSHV3	あり	PU/PD	LVCMOS
		PADCONFIG16 0x000F4040	FSI_RX2_D0	1	I	0								
			UART2_TXD	2	O									
			EHRPWM0_SYNCO	3	O									
			TRC_CTL	6	O									
			GPIO0_16	7	IO	パッド								
			PRG0_PWM2_TZ_OUT	9	O									
			BOOTMODE01	ブートストラップ	I									
T18	T19	GPMC0_AD2	GPMC0_AD2	0	IO	0	7	オン / オフ / オフ	オン / オフ / オフ	1.8 V/3.3V	VDDSHV3	あり	PU/PD	LVCMOS
		PADCONFIG17 0x000F4044	FSI_RX2_D1	1	I	0								
			UART2_RTSn	2	O									
			EHRPWM_TZn_IN0	3	I	0								
			TRC_DATA0	6	O									
			GPIO0_17	7	IO	パッド								
			PRG0_PWM2_TZ_IN	9	I	0								
			BOOTMODE02	ブートストラップ	I									
U20	V21	GPMC0_AD3	GPMC0_AD3	0	IO	0	7	オン / オフ / オフ	オン / オフ / オフ	1.8 V/3.3V	VDDSHV3	あり	PU/PD	LVCMOS
		PADCONFIG18 0x000F4048	FSI_RX3_CLK	1	I	0								
			UART3_RXD	2	I	1								
			EHRPWM0_A	3	IO	0								
			TRC_DATA1	6	O									
			GPIO0_18	7	IO	パッド								
			PRG0_PWM2_A0	9	IO	0								
			BOOTMODE03	ブートストラップ	I									
U18	U21	GPMC0_AD4	GPMC0_AD4	0	IO	0	7	オン / オフ / オフ	オン / オフ / オフ	1.8 V/3.3V	VDDSHV3	あり	PU/PD	LVCMOS
		PADCONFIG19 0x000F404C	FSI_RX3_D0	1	I	0								
			UART3_TXD	2	O									
			EHRPWM0_B	3	IO	0								
			TRC_DATA2	6	O									
			GPIO0_82	7	IO	パッド								
			PRG0_PWM2_B0	9	IO	1								
			BOOTMODE04	ブートストラップ	I									

表 5-1. ピン属性 (ALV、ALX パッケージ) (続き)

ALV のボール番号 [1]	ALX のボール番号 [1]	ボール名 [2] / PadConfig レジスタ [15] / アドレス [16]	信号名 [3]	多重化モード [4]	タイプ [5]	DSIS [6]	リセット後の多重化モード [9]	リセット時のボールの状態 [7]	リセット後のボールの状態 [8]	IO 電圧 [10]	電源ドメイン [11]	ヒステリシス [12]	プルタイプ [13]	バッファタイプ [14]
U19	T20	GPMC0_AD5 PADCONFIG20 0x000F4050	GPMC0_AD5	0	IO	0	7	オン / オフ / オフ	オン / オフ / オフ	1.8 V/3.3V	VDDSHV3	あり	PU/PD	LVCMOS
			FSI_RX3_D1	1	I	0								
			UART3_RTSn	2	O									
			EHRPWM1_A	3	IO	0								
			TRC_DATA3	6	O									
			GPIO0_83	7	IO	パッド								
			PRG0_PWM2_A1	9	IO	0								
			BOOTMODE05	ブートストラップ	I									
V20	T18	GPMC0_AD6 PADCONFIG21 0x000F4054	GPMC0_AD6	0	IO	0	7	オン / オフ / オフ	オン / オフ / オフ	1.8 V/3.3V	VDDSHV3	あり	PU/PD	LVCMOS
			FSI_RX4_D0	1	I	0								
			UART4_RXD	2	I	1								
			EHRPWM1_B	3	IO	0								
			TRC_DATA4	6	O									
			GPIO0_21	7	IO	パッド								
			PRG0_PWM2_B1	9	IO	1								
			BOOTMODE06	ブートストラップ	I									
V21	U19	GPMC0_AD7 PADCONFIG22 0x000F4058	GPMC0_AD7	0	IO	0	7	オン / オフ / オフ	オン / オフ / オフ	1.8 V/3.3V	VDDSHV3	あり	PU/PD	LVCMOS
			FSI_RX4_D1	1	I	0								
			UART4_TXD	2	O									
			EHRPWM_TZn_IN1	3	I	0								
			EHRPWM8_A	4	IO	0								
			TRC_DATA5	6	O									
			GPIO0_22	7	IO	パッド								
			PRG1_PWM2_A2	9	IO	0								
			BOOTMODE07	ブートストラップ	I									
V19	U18	GPMC0_AD8 PADCONFIG23 0x000F405C	GPMC0_AD8	0	IO	0	7	オン / オフ / オフ	オン / オフ / オフ	1.8 V/3.3V	VDDSHV3	あり	PU/PD	LVCMOS
			FSI_RX0_CLK	1	I	0								
			UART2_CTSn	2	I	1								
			EHRPWM2_A	3	IO	0								
			TRC_DATA6	6	O									
			GPIO0_23	7	IO	パッド								
			PRG0_PWM2_A2	9	IO	0								
			BOOTMODE08	ブートストラップ	I									

Copyright © 2024 Texas Instruments Incorporated

表 5-1. ピン属性 (ALV、ALX パッケージ) (続き)

ALV のボール番号 [1]	ALX のボール番号 [1]	ボール名 [2] / PadConfig レジスタ [15] / アドレス [16]	信号名 [3]	多重化モード [4]	タイプ [5]	DSIS [6]	リセット後の多重化モード [9]	リセット時のボールの状態 [7]	リセット後のボールの状態 [8]	IO 電圧 [10]	電源ドメイン [11]	ヒステリシス [12]	プルタイプ [13]	バッファタイプ [14]
T17	U20	GPMC0_AD9	GPMC0_AD9	0	IO	0	7	オン / オフ / オフ	オン / オフ / オフ	1.8 V/3.3V	VDDSHV3	あり	PU/PD	LVCMOS
		PADCONFIG24 0x000F4060	FSI_RX0_D0	1	I	0								
			UART3_CTSn	2	I	1								
			EHRPWM2_B	3	IO	0								
			TRC_DATA7	6	O									
			GPIO0_24	7	IO	パッド								
			PRG0_PWM2_B2	9	IO	1								
			BOOTMODE09	ブートストラップ	I									
R16	V20	GPMC0_AD10	GPMC0_AD10	0	IO	0	7	オン / オフ / オフ	オン / オフ / オフ	1.8 V/3.3V	VDDSHV3	あり	PU/PD	LVCMOS
		PADCONFIG25 0x000F4064	FSI_RX0_D1	1	I	0								
			UART4_CTSn	2	I	1								
			EHRPWM_TZn_IN2	3	I	0								
			EHRPWM8_B	4	IO	0								
			TRC_DATA8	6	O									
			GPIO0_25	7	IO	パッド								
			PRG1_PWM2_B2	9	IO	1								
			BOOTMODE10	ブートストラップ	I									
W20	W20	GPMC0_AD11	GPMC0_AD11	0	IO	0	7	オン / オフ / オフ	オン / オフ / オフ	1.8 V/3.3V	VDDSHV3	あり	PU/PD	LVCMOS
		PADCONFIG26 0x000F4068	FSI_RX1_CLK	1	I	0								
			UART5_CTSn	2	I	1								
			EQEP1_A	3	I	0								
			TRC_DATA9	6	O									
			GPIO0_26	7	IO	パッド								
			EHRPWM7_A	8	IO	0								
			BOOTMODE11	ブートストラップ	I									
W21	Y20	GPMC0_AD12	GPMC0_AD12	0	IO	0	7	オン / オフ / オフ	オン / オフ / オフ	1.8 V/3.3V	VDDSHV3	あり	PU/PD	LVCMOS
		PADCONFIG27 0x000F406C	FSI_RX1_D0	1	I	0								
			UART6_CTSn	2	I	1								
			EQEP1_B	3	I	0								
			TRC_DATA10	6	O									
			GPIO0_27	7	IO	パッド								
			EHRPWM7_B	8	IO	0								
			BOOTMODE12	ブートストラップ	I									

表 5-1. ピン属性 (ALV、ALX パッケージ) (続き)

ALV のボール番号 [1]	ALX のボール番号 [1]	ボール名 [2] / PadConfig レジスタ [15] / アドレス [16]	信号名 [3]	多重化モード [4]	タイプ [5]	DSIS [6]	リセット後の多重化モード [9]	リセット時のボールの状態 [7]	リセット後のボールの状態 [8]	IO 電圧 [10]	電源ドメイン [11]	ヒステリシス [12]	プルタイプ [13]	バッファタイプ [14]
V18	Y19	GPMC0_AD13	GPMC0_AD13	0	IO	0	7	オン / オフ / オフ	オン / オフ / オフ	1.8 V/3.3V	VDDSHV3	あり	PU/PD	LVCMOS
		PADCONFIG28 0x000F4070	FSI_RX1_D1	1	I	0								
			EHRPWM3_A	3	IO	0								
			TRC_DATA11	6	O									
			GPIO0_28	7	IO	パッド								
			PRG0_PWM3_A0	9	IO	0								
			BOOTMODE13	ブートストラップ	I									
Y21	Y18	GPMC0_AD14	GPMC0_AD14	0	IO	0	7	オン / オフ / オフ	オン / オフ / オフ	1.8 V/3.3V	VDDSHV3	あり	PU/PD	LVCMOS
		PADCONFIG29 0x000F4074	FSI_TX0_D0	1	O									
			UART6_RXD	2	I	1								
			EHRPWM3_B	3	IO	0								
			TRC_DATA12	6	O									
			GPIO0_29	7	IO	パッド								
			PRG0_PWM3_B0	9	IO	1								
			BOOTMODE14	ブートストラップ	I									
Y20	AA19	GPMC0_AD15	GPMC0_AD15	0	IO	0	7	オン / オフ / オフ	オン / オフ / オフ	1.8 V/3.3V	VDDSHV3	あり	PU/PD	LVCMOS
		PADCONFIG30 0x000F4078	FSI_TX0_D1	1	O									
			UART6_TXD	2	O									
			EHRPWM3_SYNCI	3	I	0								
			TRC_DATA13	6	O									
			GPIO0_30	7	IO	パッド								
			BOOTMODE15	ブートストラップ	I									
P17		GPMC0_BE0n_CLE	GPMC0_BE0n_CLE	0	O		7	オフ / オフ / オフ	オフ / オフ / オフ	1.8 V/3.3V	VDDSHV3	あり	PU/PD	LVCMOS
		PADCONFIG36 0x000F4090	FSI_TX1_D0	1	O									
			UART6_RTSn	2	O									
			EHRPWM_TZn_IN4	3	I	0								
			EHRPWM7_A	5	IO	0								
			TRC_DATA18	6	O									
			GPIO0_35	7	IO	パッド								
			PRG1_PWM2_A1	9	IO	0								

Copyright © 2024 Texas Instruments Incorporated

表 5-1. ピン属性 (ALV、ALX パッケージ) (続き)

ALV のボール番号 [1]	ALX のボール番号 [1]	ボール名 [2] / PadConfig レジスタ [15] / アドレス [16]	信号名 [3]	多重化モード [4]	タイプ [5]	DSIS [6]	リセット後の多重化モード [9]	リセット時のボールの状態 [7]	リセット後のボールの状態 [8]	IO 電圧 [10]	電源ドメイン [11]	ヒステリシス [12]	プルタイプ [13]	バッファタイプ [14]
T19	P21	GPMC0_BE1n	GPMC0_BE1n	0	O		7	オフ / オフ / オフ	オフ / オフ / オフ	1.8 V/3.3V	VDDSHV3	あり	PU/PD	LVCMOS
		PADCONFIG37 0x000F4094	FSI_TX0_CLK	1	O									
			EHRPWM5_A	3	IO	0								
			TRC_DATA19	6	O									
			GPIO0_36	7	IO	パッド								
			PRG0_PWM3_A2	9	IO	0								
R19		GPMC0_CSn0	GPMC0_CSn0	0	O		7	オフ / オフ / オフ	オフ / オフ / オフ	1.8 V/3.3V	VDDSHV3	あり	PU/PD	LVCMOS
		PADCONFIG42 0x000F40A8	EQEP0_S	3	IO	0								
			TRC_DATA23	6	O									
			GPIO0_41	7	IO	パッド								
			EHRPWM6_SYNCI	8	I	0								
R20		GPMC0_CSn1	GPMC0_CSn1	0	O		7	オフ / オフ / オフ	オフ / オフ / オフ	1.8 V/3.3V	VDDSHV3	あり	PU/PD	LVCMOS
		PADCONFIG43 0x000F40AC	EQEP0_I	3	IO	0								
			EHRPWM_TZn_IN2	5	I	0								
			GPIO0_42	7	IO	パッド								
			EHRPWM6_SYNCO	8	O									
			PRG1_PWM2_TZ_OUT	9	O									
P19		GPMC0_CSn2	GPMC0_CSn2	0	O		7	オフ / オフ / オフ	オフ / オフ / オフ	1.8 V/3.3V	VDDSHV3	あり	PU/PD	LVCMOS
		PADCONFIG44 0x000F40B0	I2C2_SCL	1	IOD	1								
			TIMER_IO8	2	IO	0								
			EQEP1_S	3	IO	0								
			EHRPWM_TZn_IN4	5	I	0								
			GPIO0_43	7	IO	パッド								
			PRG1_PWM2_TZ_IN	9	I	0								
R21		GPMC0_CSn3	GPMC0_CSn3	0	O		7	オフ / オフ / オフ	オフ / オフ / オフ	1.8 V/3.3V	VDDSHV3	あり	PU/PD	LVCMOS
		PADCONFIG45 0x000F40B4	I2C2_SDA	1	IOD	1								
			TIMER_IO9	2	IO	0								
			EQEP1_I	3	IO	0								
			GPMC0_A20	4	OZ									
			EHRPWM_TZn_IN5	5	I	0								
			GPIO0_44	7	IO	パッド								
W19		GPMC0_WAIT0	GPMC0_WAIT0	0	I	1	7	オフ / オフ / オフ	オフ / オフ / オフ	1.8 V/3.3V	VDDSHV3	あり	PU/PD	LVCMOS
		PADCONFIG38 0x000F4098	EHRPWM5_B	3	IO	0								
			TRC_DATA20	6	O									
			GPIO0_37	7	IO	パッド								
			PRG0_PWM3_B2	9	IO	1								

表 5-1. ピン属性 (ALV、ALX パッケージ) (続き)

ALV のボール番号 [1]	ALX のボール番号 [1]	ボール名 [2] / PadConfig レジスタ [15] / アドレス [16]	信号名 [3]	多重化モード [4]	タイプ [5]	DSIS [6]	リセット後の多重化モード [9]	リセット時のボールの状態 [7]	リセット後のボールの状態 [8]	IO 電圧 [10]	電源ドメイン [11]	ヒステリシス [12]	プルタイプ [13]	バッファタイプ [14]
Y18		GPMC0_WAIT1	GPMC0_WAIT1	0	I	1	7	オフ / オフ / オフ	オフ / オフ / オフ	1.8 V/3.3V	VDDSHV3	あり	PU/PD	LVCMOS
		PADCONFIG39 0x000F409C	FSI_TX1_D1	1	O									
			EHRPWM_TZn_IN5	3	I	0								
			GPMC0_A21	4	OZ									
			EHRPWM7_B	5	IO	0								
			TRC_DATA21	6	O									
			GPIO0_38	7	IO	パッド								
			PRG1_PWM2_B1	9	IO	1								
A18	B16	I2C0_SCL	I2C0_SCL	0	IOD	1	7	オフ / オフ / NA	オン / SS / NA	1.8V/3.3V	VDDSHV0	あり		I2C OD FS
		PADCONFIG152 0x000F4260	GPIO1_64	7	IO	パッド								
B18	B15	I2C0_SDA	I2C0_SDA	0	IOD	1	7	オフ / オフ / NA	オン / SS / NA	1.8 V/3.3V	VDDSHV0	あり		I2C OD FS
		PADCONFIG153 0x000F4264	GPIO1_65	7	IO	パッド								
C18	A17	I2C1_SCL	I2C1_SCL	0	IOD	1	7	オフ / オフ / オフ	オフ / オフ / オフ	1.8 V/3.3V	VDDSHV0	あり	PU/PD	LVCMOS
		PADCONFIG154 0x000F4268	CPTS0_HW1TSPUSH	1	I	0								
			TIMER_IO0	2	IO	0								
			SPI2_CS1	3	IO	1								
			GPIO1_66	7	IO	パッド								
B19	B18	I2C1_SDA	I2C1_SDA	0	IOD	1	7	オフ / オフ / オフ	オフ / オフ / オフ	1.8 V/3.3V	VDDSHV0	あり	PU/PD	LVCMOS
		PADCONFIG155 0x000F426C	CPTS0_HW2TSPUSH	1	I	0								
			TIMER_IO1	2	IO	0								
			SPI2_CS2	3	IO	1								
			GPIO1_67	7	IO	パッド								
B17	A14	MCAN0_RX	MCAN0_RX	0	I	1	7	オフ / オフ / オフ	オフ / オフ / オフ	1.8 V/3.3V	VDDSHV0	あり	PU/PD	LVCMOS
		PADCONFIG149 0x000F4254	UART4_TXD	1	O									
			TIMER_IO3	2	IO	0								
			SYNC3_OUT	3	O									
			SPI4_CS2	6	IO	1								
			GPIO1_61	7	IO	パッド								
			EQEP2_S	8	IO	0								
			UART0_RIn	9	I	1								

Copyright © 2024 Texas Instruments Incorporated

表 5-1. ピン属性 (ALV、ALX パッケージ) (続き)

ALV のボール番号 [1]	ALX のボール番号 [1]	ボール名 [2] / PadConfig レジスタ [15] / アドレス [16]	信号名 [3]	多重化モード [4]	タイプ [5]	DSIS [6]	リセット後の多重化モード [9]	リセット時のボールの状態 [7]	リセット後のボールの状態 [8]	IO 電圧 [10]	電源ドメイン [11]	ヒステリシス [12]	プルタイプ [13]	バッファタイプ [14]
A17	B13	MCAN0_TX	MCAN0_TX	0	O		7	オフ / オフ / オフ	オフ / オフ / オフ	1.8 V/3.3V	VDDSHV0	あり	PU/PD	LVCMOS
		PADCONFIG148 0x000F4250	UART4_RXD	1	I	1								
			TIMER_IO2	2	IO	0								
			SYNC2_OUT	3	O									
			SPI4_CS1	6	IO	1								
			GPIO1_60	7	IO	パッド								
			EQEP2_I	8	IO	0								
			UART0_DTRn	9	O									
D17	A15	MCAN1_RX	MCAN1_RX	0	I	1	7	オフ / オフ / オフ	オフ / オフ / オフ	1.8 V/3.3V	VDDSHV0	あり	PU/PD	LVCMOS
		PADCONFIG151 0x000F425C	I2C3_SDA	1	IOD	1								
			ECAP2_IN_APWM_OUT	2	IO	0								
			OBSCLK0	3	O									
			TIMER_IO5	4	IO	0								
			UART5_TXD	5	O									
			EHRPWM_SOCB	6	O									
			GPIO1_63	7	IO	パッド								
			EQEP2_B	8	I	0								
			UART0_DSRn	9	I	1								
			OBSCLK0	15	O									
C17	B14	MCAN1_TX	MCAN1_TX	0	O		7	オフ / オフ / オフ	オフ / オフ / オフ	1.8 V/3.3V	VDDSHV0	あり	PU/PD	LVCMOS
		PADCONFIG150 0x000F4258	I2C3_SCL	1	IOD	1								
			ECAP1_IN_APWM_OUT	2	IO	0								
			SYSCLKOUT0	3	O									
			TIMER_IO4	4	IO	0								
			UART5_RXD	5	I	1								
			EHRPWM_SOCA	6	O									
			GPIO1_62	7	IO	パッド								
			EQEP2_A	8	I	0								
			UART0_DCDn	9	I	1								
E9		MCU_I2C0_SCL	MCU_I2C0_SCL	0	IOD	1	7	オフ / オフ / NA	オン / SS / NA	1.8 V/3.3V	VDDSHV_MCU	あり		I2C OD FS
		MCU_PADCONFIG18 0x04084048	MCU_GPIO0_18	7	IOD	パッド								
A10		MCU_I2C0_SDA	MCU_I2C0_SDA	0	IOD	1	7	オフ / オフ / NA	オン / SS / NA	1.8 V/3.3V	VDDSHV_MCU	あり		I2C OD FS
		MCU_PADCONFIG19 0x0408404C	MCU_GPIO0_19	7	IOD	パッド								
A11		MCU_I2C1_SCL	MCU_I2C1_SCL	0	IOD	1	7	オフ / オフ / オフ	オフ / オフ / オフ	1.8 V/3.3V	VDDSHV_MCU	あり	PU/PD	LVCMOS
		MCU_PADCONFIG20 0x04084050	MCU_GPIO0_20	7	IO	パッド								

表 5-1. ピン属性 (ALV、ALX パッケージ) (続き)

ALV のボール番号 [1]	ALX のボール番号 [1]	ボール名 [2] / PadConfig レジスタ [15] / アドレス [16]	信号名 [3]	多重化モード [4]	タイプ [5]	DSIS [6]	リセット後の多重化モード [9]	リセット時のボールの状態 [7]	リセット後のボールの状態 [8]	IO 電圧 [10]	電源ドメイン [11]	ヒステリシス [12]	プルタイプ [13]	バッファタイプ [14]
B10		MCU_I2C1_SDA	MCU_I2C1_SDA	0	IOD	1	7	オフ / オフ / オフ	オフ / オフ / オフ	1.8 V/3.3V	VDDSHV_MCU	あり	PU/PD	LVCMOS
		MCU_PADCONFIG21 0x04084054	MCU_GPIO0_21	7	IO	パッド								
C21	D20	MCU_OSC0_XI	MCU_OSC0_XI		I					1.8 V	VDDS_OSC	あり		HFOSC
B20	C21	MCU_OSC0_XO	MCU_OSC0_XO		O					1.8 V	VDDS_OSC	あり		HFOSC
B21	C20	MCU_PORz	MCU_PORz	0	I		0			1.8 V	VDDS_OSC	あり		FS RESET
		MCU_PADCONFIG23 0x0408405C												
B13	A6	MCU_RESETSTATz	MCU_RESETSTATz	0	O		0	オフ / Low / オフ	オフ / SS / オフ	1.8V/3.3V	VDDSHV_MCU	あり	PU/PD	LVCMOS
		MCU_PADCONFIG24 0x04084060	MCU_GPIO0_22	7	IO	パッド								
B12	A5	MCU_RESETz	MCU_RESETz	0	I		0	オン / オフ / アップ	オン / オフ / アップ	1.8 V/3.3 V	VDDSHV_MCU	あり	PU/PD	LVCMOS
		MCU_PADCONFIG22 0x04084058												
A20	B20	MCU_SAFETY_ERRORn	MCU_SAFETY_ERRORn	0	IO		0	オフ / オフ / ダウン	オン / SS / ダウン	1.8 V	VDDS_OSC	あり	PU/PD	LVCMOS
		MCU_PADCONFIG25 0x04084064												
E6		MCU_SPI0_CLK	MCU_SPI0_CLK	0	IO	0	7	オフ / オフ / オフ	オフ / オフ / オフ	1.8 V/3.3V	VDDSHV_MCU	あり	PU/PD	LVCMOS
		MCU_PADCONFIG2 0x04084008	MCU_GPIO0_11	7	IO	パッド								
D7		MCU_SPI1_CLK	MCU_SPI1_CLK	0	IO	0	7	オフ / オフ / オフ	オフ / オフ / オフ	1.8 V/3.3V	VDDSHV_MCU	あり	PU/PD	LVCMOS
		MCU_PADCONFIG7 0x0408401C	MCU_GPIO0_7	7	IO	パッド								
D6		MCU_SPI0_CS0	MCU_SPI0_CS0	0	IO	1	7	オフ / オフ / オフ	オフ / オフ / オフ	1.8 V/3.3V	VDDSHV_MCU	あり	PU/PD	LVCMOS
		MCU_PADCONFIG0 0x04084000	MCU_GPIO0_13	7	IO	パッド								
C6		MCU_SPI0_CS1	MCU_SPI0_CS1	0	IO	1	7	オフ / オフ / オフ	オフ / オフ / オフ	1.8 V/3.3V	VDDSHV_MCU	あり	PU/PD	LVCMOS
		MCU_PADCONFIG1 0x04084004	MCU_OBSCLK0	1	O									
			MCU_SYSCLKOUT0	2	O									
			MCU_GPIO0_12	7	IO	パッド								
E7		MCU_SPI0_D0	MCU_SPI0_D0	0	IO	0	7	オフ / オフ / オフ	オフ / オフ / オフ	1.8 V/3.3V	VDDSHV_MCU	あり	PU/PD	LVCMOS
		MCU_PADCONFIG3 0x0408400C	MCU_GPIO0_10	7	IO	パッド								
B6		MCU_SPI0_D1	MCU_SPI0_D1	0	IO	0	7	オフ / オフ / オフ	オフ / オフ / オフ	1.8 V/3.3V	VDDSHV_MCU	あり	PU/PD	LVCMOS
		MCU_PADCONFIG4 0x04084010	MCU_GPIO0_4	7	IO	パッド								
A7		MCU_SPI1_CS0	MCU_SPI1_CS0	0	IO	1	7	オフ / オフ / オフ	オフ / オフ / オフ	1.8 V/3.3V	VDDSHV_MCU	あり	PU/PD	LVCMOS
		MCU_PADCONFIG5 0x04084014	MCU_GPIO0_5	7	IO	パッド								
B7		MCU_SPI1_CS1	MCU_SPI1_CS1	0	IO	1	7	オフ / オフ / オフ	オフ / オフ / オフ	1.8 V/3.3V	VDDSHV_MCU	あり	PU/PD	LVCMOS
		MCU_PADCONFIG6 0x04084018	MCU_EXT_REFCLK0	1	I	0								
			MCU_GPIO0_6	7	IO	パッド								

Copyright © 2024 Texas Instruments Incorporated

表 5-1. ピン属性 (ALV、ALX パッケージ) (続き)

ALV のボール番号 [1]	ALX のボール番号 [1]	ボール名 [2] / PadConfig レジスタ [15] / アドレス [16]	信号名 [3]	多重化モード [4]	タイプ [5]	DSIS [6]	リセット後の多重化モード [9]	リセット時のボールの状態 [7]	リセット後のボールの状態 [8]	IO 電圧 [10]	電源ドメイン [11]	ヒステリシス [12]	プルタイプ [13]	バッファタイプ [14]
C7		MCU_SPI1_D0	MCU_SPI1_D0	0	IO	0	7	オフ / オフ / オフ	オフ / オフ / オフ	1.8 V/3.3V	VDDSHV_MCU	あり	PU/PD	LVCMOS
		MCU_PADCONFIG8 0x04084020	MCU_GPIO0_8	7	IO	パッド								
C8		MCU_SPI1_D1	MCU_SPI1_D1	0	IO	0	7	オフ / オフ / オフ	オフ / オフ / オフ	1.8 V/3.3V	VDDSHV_MCU	あり	PU/PD	LVCMOS
		MCU_PADCONFIG9 0x04084024	MCU_GPIO0_9	7	IO	パッド								
D8	D4	MCU_UART0_CTSn	MCU_UART0_CTSn	0	I	1	7	オフ / オフ / オフ	オフ / オフ / オフ	1.8 V/3.3V	VDDSHV_MCU	あり	PU/PD	LVCMOS
		MCU_PADCONFIG12 0x04084030	MCU_TIMER_IO0	1	IO	0								
			MCU_SPI0_CS2	2	IO	1								
			MCU_GPIO0_1	7	IO	パッド								
E8	C2	MCU_UART0_RTSn	MCU_UART0_RTSn	0	O		7	オフ / オフ / オフ	オフ / オフ / オフ	1.8 V/3.3V	VDDSHV_MCU	あり	PU/PD	LVCMOS
		MCU_PADCONFIG13 0x04084034	MCU_TIMER_IO1	1	IO	0								
			MCU_SPI1_CS2	2	IO	1								
			MCU_GPIO0_0	7	IO	パッド								
A9	D6	MCU_UART0_RXD	MCU_UART0_RXD	0	I	1	7	オフ / オフ / オフ	オフ / オフ / オフ	1.8 V/3.3V	VDDSHV_MCU	あり	PU/PD	LVCMOS
		MCU_PADCONFIG10 0x04084028	MCU_GPIO0_3	7	IO	パッド								
A8	B2	MCU_UART0_TXD	MCU_UART0_TXD	0	O		7	オフ / オフ / オフ	オフ / オフ / オフ	1.8 V/3.3V	VDDSHV_MCU	あり	PU/PD	LVCMOS
		MCU_PADCONFIG11 0x0408402C	MCU_GPIO0_2	7	IO	パッド								
B8		MCU_UART1_CTSn	MCU_UART1_CTSn	0	I	1	7	オフ / オフ / オフ	オフ / オフ / オフ	1.8 V/3.3V	VDDSHV_MCU	あり	PU/PD	LVCMOS
		MCU_PADCONFIG16 0x04084040	MCU_TIMER_IO2	1	IO	0								
			MCU_SPI0_CS3	2	IO	1								
			MCU_GPIO0_16	7	IO	パッド								
B9		MCU_UART1_RTSn	MCU_UART1_RTSn	0	O		7	オフ / オフ / オフ	オフ / オフ / オフ	1.8 V/3.3V	VDDSHV_MCU	あり	PU/PD	LVCMOS
		MCU_PADCONFIG17 0x04084044	MCU_TIMER_IO3	1	IO	0								
			MCU_SPI1_CS3	2	IO	1								
			MCU_GPIO0_17	7	IO	パッド								
C9		MCU_UART1_RXD	MCU_UART1_RXD	0	I	1	7	オフ / オフ / オフ	オフ / オフ / オフ	1.8 V/3.3V	VDDSHV_MCU	あり	PU/PD	LVCMOS
		MCU_PADCONFIG14 0x04084038	MCU_GPIO0_14	7	IO	パッド								
D9		MCU_UART1_TXD	MCU_UART1_TXD	0	O		7	オフ / オフ / オフ	オフ / オフ / オフ	1.8 V/3.3V	VDDSHV_MCU	あり	PU/PD	LVCMOS
		MCU_PADCONFIG15 0x0408403C	MCU_GPIO0_15	7	IO	パッド								
F18		MMC0_CALPAD	MMC0_CALPAD		A					1.8 V	VDDS_MMC0、VDD_MMC0、VDD_DLL_MMC0			eMMCPHY
G18		MMC0_CLK	MMC0_CLK		IO			オン / Low / オフ	オン / SS / オフ	1.8 V	VDDS_MMC0、VDD_MMC0、VDD_DLL_MMC0		PU/PD	eMMCPHY

表 5-1. ピン属性 (ALV、ALX パッケージ) (続き)

ALV のボール番号 [1]	ALX のボール番号 [1]	ボール名 [2] / PadConfig レジスタ [15] / アドレス [16]	信号名 [3]	多重化モード [4]	タイプ [5]	DSIS [6]	リセット後の多重化モード [9]	リセット時のボールの状態 [7]	リセット後のボールの状態 [8]	IO 電圧 [10]	電源ドメイン [11]	ヒステリシス [12]	プルタイプ [13]	バッファタイプ [14]
J21		MMC0_CMD	MMC0_CMD		IO	1		オン / オフ / アップ	オン / SS / アップ	1.8 V	VDDS_MMC0、VDD_MMC0、VDD_DLL_MMC0		PU/PD	eMMCPHY
G19		MMC0_DS	MMC0_DS		IO	1		オン / オフ / ダウン	オン / オフ / ダウン	1.8 V	VDDS_MMC0、VDD_MMC0、VDD_DLL_MMC0		PU/PD	eMMCPHY
L20	J20	MMC1_CLK	MMC1_CLK	0	IO		7	オフ / オフ / オフ	オフ / オフ / オフ	1.8 V/3.3V	VDDSHV5	あり	PU/PD	SDIO
		PADCONFIG163 0x000F428C	UART2_CTSn	1	I	1								
			TIMER_IO4	2	IO	0								
			UART4_RXD	3	I	1								
			GPIO1_75	7	IO	パッド								
J19	J21	MMC1_CMD	MMC1_CMD	0	IO	1	7	オフ / オフ / オフ	オフ / オフ / オフ	1.8 V/3.3V	VDDSHV5	あり	PU/PD	SDIO
		PADCONFIG165 0x000F4294	UART2_RTSn	1	O									
			TIMER_IO5	2	IO	0								
			UART4_TXD	3	O									
			GPIO1_76	7	IO	パッド								
D19	B17	MMC1_SDCD	MMC1_SDCD	0	I	0	7	オフ / オフ / オフ	オフ / オフ / オフ	1.8 V/3.3V	VDDSHV0	あり	PU/PD	LVCMOS
		PADCONFIG166 0x000F4298	UART3_CTSn	1	I	1								
			TIMER_IO6	2	IO	0								
			UART5_RXD	3	I	1								
			GPIO1_77	7	IO	パッド								
C20	C16	MMC1_SDWP	MMC1_SDWP	0	I	0	7	オフ / オフ / オフ	オフ / オフ / オフ	1.8 V/3.3V	VDDSHV0	あり	PU/PD	LVCMOS
		PADCONFIG167 0x000F429C	UART3_RTSn	1	O									
			TIMER_IO7	2	IO	0								
			UART5_TXD	3	O									
			GPIO1_78	7	IO	パッド								
K20		MMC0_DAT0	MMC0_DAT0		IO	1		オン / オフ / アップ	オン / SS / アップ	1.8 V	VDDS_MMC0、VDD_MMC0、VDD_DLL_MMC0		PU/PD	eMMCPHY
J20		MMC0_DAT1	MMC0_DAT1		IO	1		オン / オフ / アップ	オン / SS / アップ	1.8 V	VDDS_MMC0、VDD_MMC0、VDD_DLL_MMC0		PU/PD	eMMCPHY
J18		MMC0_DAT2	MMC0_DAT2		IO	1		オン / オフ / アップ	オン / SS / アップ	1.8 V	VDDS_MMC0、VDD_MMC0、VDD_DLL_MMC0		PU/PD	eMMCPHY
J17		MMC0_DAT3	MMC0_DAT3		IO	1		オン / オフ / アップ	オン / SS / アップ	1.8 V	VDDS_MMC0、VDD_MMC0、VDD_DLL_MMC0		PU/PD	eMMCPHY
H17		MMC0_DAT4	MMC0_DAT4		IO	1		オン / オフ / アップ	オン / SS / アップ	1.8 V	VDDS_MMC0、VDD_MMC0、VDD_DLL_MMC0		PU/PD	eMMCPHY

Copyright © 2024 Texas Instruments Incorporated

表 5-1. ピン属性 (ALV、ALX パッケージ) (続き)

ALV のボール番号 [1]	ALX のボール番号 [1]	ボール名 [2] / PadConfig レジスタ [15] / アドレス [16]	信号名 [3]	多重化モード [4]	タイプ [5]	DSIS [6]	リセット後の多重化モード [9]	リセット時のボールの状態 [7]	リセット後のボールの状態 [8]	IO 電圧 [10]	電源ドメイン [11]	ヒステリシス [12]	プルタイプ [13]	バッファタイプ [14]
H19		MMC0_DAT5	MMC0_DAT5		IO	1		オン / オフ / アップ	オン / SS / アップ	1.8 V	VDDS_MMC0、VDD_MMC0、VDD_DLL_MMC0		PU/PD	eMMCPHY
H18		MMC0_DAT6	MMC0_DAT6		IO	1		オン / オフ / アップ	オン / SS / アップ	1.8 V	VDDS_MMC0、VDD_MMC0、VDD_DLL_MMC0		PU/PD	eMMCPHY
G17		MMC0_DAT7	MMC0_DAT7		IO	1		オン / オフ / アップ	オン / SS / アップ	1.8 V	VDDS_MMC0、VDD_MMC0、VDD_DLL_MMC0		PU/PD	eMMCPHY
K21	J18	MMC1_DAT0	MMC1_DAT0	0	IO	1	7	オフ / オフ / オフ	オフ / オフ / オフ	1.8 V/3.3V	VDDSHV5	あり	PU/PD	SDIO
		PADCONFIG162 0x000F4288	CP_GEMAC_CPTS0_HW2TSPUSH	1	I	0								
			TIMER_IO3	2	IO	0								
			UART3_TXD	3	O									
			GPIO1_74	7	IO	パッド								
L21	J19	MMC1_DAT1	MMC1_DAT1	0	IO	1	7	オフ / オフ / オフ	オフ / オフ / オフ	1.8 V/3.3V	VDDSHV5	あり	PU/PD	SDIO
		PADCONFIG161 0x000F4284	CP_GEMAC_CPTS0_HW1TSPUSH	1	I	0								
			TIMER_IO2	2	IO	0								
			UART3_RXD	3	I	1								
			GPIO1_73	7	IO	パッド								
K19	K20	MMC1_DAT2	MMC1_DAT2	0	IO	1	7	オフ / オフ / オフ	オフ / オフ / オフ	1.8 V/3.3V	VDDSHV5	あり	PU/PD	SDIO
		PADCONFIG160 0x000F4280	CP_GEMAC_CPTS0_TS_SYNC	1	O									
			TIMER_IO1	2	IO	0								
			UART2_TXD	3	O									
			GPIO1_72	7	IO	パッド								
K18	K18	MMC1_DAT3	MMC1_DAT3	0	IO	1	7	オフ / オフ / オフ	オフ / オフ / オフ	1.8 V/3.3V	VDDSHV5	あり	PU/PD	SDIO
		PADCONFIG159 0x000F427C	CP_GEMAC_CPTS0_TS_COMP	1	O									
			TIMER_IO0	2	IO	0								
			UART2_RXD	3	I	1								
			GPIO1_71	7	IO	パッド								
N20	P20	OSPI0_CLK	OSPI0_CLK	0	O		7	オフ / オフ / オフ	オフ / オフ / オフ	1.8 V/3.3V	VDDSHV4	あり	PU/PD	LVCMOS
		PADCONFIG0 0x000F4000	GPIO0_0	7	IO	パッド								
N19	P17	OSPI0_DQS	OSPI0_DQS	0	I	0	7	オフ / オフ / オフ	オフ / オフ / オフ	1.8 V/3.3V	VDDSHV4	あり	PU/PD	LVCMOS
		PADCONFIG2 0x000F4008	GPIO0_2	7	IO	パッド								
N21	M21	OSPI0_LBCLKO	OSPI0_LBCLKO	0	IO	0	7	オフ / オフ / オフ	オン / オフ / オフ	1.8 V/3.3V	VDDSHV4	あり	PU/PD	LVCMOS
		PADCONFIG1 0x000F4004	GPIO0_1	7	IO	パッド								

表 5-1. ピン属性 (ALV、ALX パッケージ) (続き)

ALV のボール番号 [1]	ALX のボール番号 [1]	ボール名 [2] / PadConfig レジスタ [15] / アドレス [16]	信号名 [3]	多重化モード [4]	タイプ [5]	DSIS [6]	リセット後の多重化モード [9]	リセット時のボールの状態 [7]	リセット後のボールの状態 [8]	IO 電圧 [10]	電源ドメイン [11]	ヒステリシス [12]	プルタイプ [13]	バッファタイプ [14]
L19	L20	OSPI0_CSn0	OSPI0_CSn0	0	O		7	オフ / オフ / オフ	オフ / オフ / オフ	1.8 V/3.3V	VDDSHV4	あり	PU/PD	LVCMOS
		PADCONFIG11 0x000F402C	GPIO0_11	7	IO	パッド								
L18	M20	OSPI0_CSn1	OSPI0_CSn1	0	O		7	オフ / オフ / オフ	オフ / オフ / オフ	1.8 V/3.3V	VDDSHV4	あり	PU/PD	LVCMOS
		PADCONFIG12 0x000F4030	GPIO0_12	7	IO	パッド								
K17		OSPI0_CSn2	OSPI0_CSn2	0	O		7	オフ / オフ / オフ	オフ / オフ / オフ	1.8 V/3.3V	VDDSHV4	あり	PU/PD	LVCMOS
		PADCONFIG13 0x000F4034	OSPI0_RESET_OUT1	2	O									
			GPIO0_13	7	IO	パッド								
L17		OSPI0_CSn3	OSPI0_CSn3	0	O		7	オフ / オフ / オフ	オフ / オフ / オフ	1.8 V/3.3V	VDDSHV4	あり	PU/PD	LVCMOS
		PADCONFIG14 0x000F4038	OSPI0_RESET_OUT0	1	O									
			OSPI0_ECC_FAIL	2	I	1								
			GPIO0_14	7	IO	パッド								
M19	L19	OSPI0_D0	OSPI0_D0	0	IO	0	7	オフ / オフ / オフ	オフ / オフ / オフ	1.8 V/3.3V	VDDSHV4	あり	PU/PD	LVCMOS
		PADCONFIG3 0x000F400C	GPIO0_3	7	IO	パッド								
M18	N20	OSPI0_D1	OSPI0_D1	0	IO	0	7	オフ / オフ / オフ	オフ / オフ / オフ	1.8 V/3.3V	VDDSHV4	あり	PU/PD	LVCMOS
		PADCONFIG4 0x000F4010	GPIO0_4	7	IO	パッド								
M20	L21	OSPI0_D2	OSPI0_D2	0	IO	0	7	オフ / オフ / オフ	オフ / オフ / オフ	1.8 V/3.3V	VDDSHV4	あり	PU/PD	LVCMOS
		PADCONFIG5 0x000F4014	GPIO0_5	7	IO	パッド								
M21	N19	OSPI0_D3	OSPI0_D3	0	IO	0	7	オフ / オフ / オフ	オフ / オフ / オフ	1.8 V/3.3V	VDDSHV4	あり	PU/PD	LVCMOS
		PADCONFIG6 0x000F4018	GPIO0_6	7	IO	パッド								
P21		OSPI0_D4	OSPI0_D4	0	IO	0	7	オフ / オフ / オフ	オフ / オフ / オフ	1.8 V/3.3V	VDDSHV4	あり	PU/PD	LVCMOS
		PADCONFIG7 0x000F401C	GPIO0_7	7	IO	パッド								
P20		OSPI0_D5	OSPI0_D5	0	IO	0	7	オフ / オフ / オフ	オフ / オフ / オフ	1.8 V/3.3V	VDDSHV4	あり	PU/PD	LVCMOS
		PADCONFIG8 0x000F4020	GPIO0_8	7	IO	パッド								
N18		OSPI0_D6	OSPI0_D6	0	IO	0	7	オフ / オフ / オフ	オフ / オフ / オフ	1.8 V/3.3V	VDDSHV4	あり	PU/PD	LVCMOS
		PADCONFIG9 0x000F4024	GPIO0_9	7	IO	パッド								
M17		OSPI0_D7	OSPI0_D7	0	IO	0	7	オフ / オフ / オフ	オフ / オフ / オフ	1.8 V/3.3V	VDDSHV4	あり	PU/PD	LVCMOS
		PADCONFIG10 0x000F4028	GPIO0_10	7	IO	パッド								
E17	D18	PORz_OUT	PORz_OUT	0	O		0	オフ / Low / オフ	オフ / SS / オフ	1.8 V/3.3 V	VDDSHV0	あり	PU/PD	LVCMOS
		PADCONFIG171 0x000F42AC												

Copyright © 2024 Texas Instruments Incorporated

表 5-1. ピン属性 (ALV、ALX パッケージ) (続き)

ALV のボール番号 [1]	ALX のボール番号 [1]	ボール名 [2] / PadConfig レジスタ [15] / アドレス [16]	信号名 [3]	多重化モード [4]	タイプ [5]	DSIS [6]	リセット後の多重化モード [9]	リセット時のボールの状態 [7]	リセット後のボールの状態 [8]	IO 電圧 [10]	電源ドメイン [11]	ヒステリシス [12]	プルタイプ [13]	バッファタイプ [14]
P3	D2	PRG0_MDIO0_MDC	PRG0_MDIO0_MDC	0	O		7	オフ / オフ / オフ	オフ / オフ / オフ	1.8 V/3.3V	VDDSHV1	あり	PU/PD	LVCMOS
		PADCONFIG129 0x000F4204	GPIO1_41	7	IO	パッド								
			GPMC0_A13	9	OZ									
P2	E4	PRG0_MDIO0_MDIO	PRG0_MDIO0_MDIO	0	IO	0	7	オフ / オフ / オフ	オフ / オフ / オフ	1.8 V/3.3V	VDDSHV1	あり	PU/PD	LVCMOS
		PADCONFIG128 0x000F4200	GPIO1_40	7	IO	パッド								
			GPMC0_A12	9	OZ									
Y1	J3	PRG0_PRU0_GPO0	PRG0_PRU0_GPO0	0	IO	0	7	オフ / オフ / オフ	オフ / オフ / オフ	1.8 V/3.3V	VDDSHV1	あり	PU/PD	LVCMOS
		PADCONFIG88 0x000F4160	PRG0_PRU0_GPI0	1	I	0								
			PRG0_RGMII1_RD0	2	I	0								
			PRG0_PWM3_A0	3	IO	0								
			GPIO1_0	7	IO	パッド								
			UART2_CTSn	10	I	1								
R4	J4	PRG0_PRU0_GPO1	PRG0_PRU0_GPO1	0	IO	0	7	オフ / オフ / オフ	オフ / オフ / オフ	1.8 V/3.3V	VDDSHV1	あり	PU/PD	LVCMOS
		PADCONFIG89 0x000F4164	PRG0_PRU0_GPI1	1	I	0								
			PRG0_RGMII1_RD1	2	I	0								
			PRG0_PWM3_B0	3	IO	1								
			GPIO1_1	7	IO	パッド								
			UART2_TXD	10	O									
U2	G1	PRG0_PRU0_GPO2	PRG0_PRU0_GPO2	0	IO	0	7	オフ / オフ / オフ	オフ / オフ / オフ	1.8 V/3.3V	VDDSHV1	あり	PU/PD	LVCMOS
		PADCONFIG90 0x000F4168	PRG0_PRU0_GPI2	1	I	0								
			PRG0_RGMII1_RD2	2	I	0								
			PRG0_PWM2_A0	3	IO	0								
			GPIO1_2	7	IO	パッド								
			GPMC0_A0	9	OZ									
			UART2_RTSn	10	O									
V2	H1	PRG0_PRU0_GPO3	PRG0_PRU0_GPO3	0	IO	0	7	オフ / オフ / オフ	オフ / オフ / オフ	1.8 V/3.3V	VDDSHV1	あり	PU/PD	LVCMOS
		PADCONFIG91 0x000F416C	PRG0_PRU0_GPI3	1	I	0								
			PRG0_RGMII1_RD3	2	I	0								
			PRG0_PWM3_A2	3	IO	0								
			GPIO1_3	7	IO	パッド								
			UART3_CTSn	10	I	1								

表 5-1. ピン属性 (ALV、ALX パッケージ) (続き)

ALV のボール番号 [1]	ALX のボール番号 [1]	ボール名 [2] / PadConfig レジスタ [15] / アドレス [16]	信号名 [3]	多重化モード [4]	タイプ [5]	DSIS [6]	リセット後の多重化モード [9]	リセット時のボールの状態 [7]	リセット後のボールの状態 [8]	IO 電圧 [10]	電源ドメイン [11]	ヒステリシス [12]	プルタイプ [13]	バッファタイプ [14]
AA2	K2	PRG0_PRU0_GPO4	PRG0_PRU0_GPO4	0	IO	0	7	オフ / オフ / オフ	オフ / オフ / オフ	1.8 V/3.3V	VDDSHV1	あり	PU/PD	LVCMOS
		PADCONFIG92 0x000F4170	PRG0_PRU0_GPI4	1	I	0								
			PRG0_RGMII1_RX_CTL	2	I	0								
			PRG0_PWM2_B0	3	IO	1								
			GPIO1_4	7	IO	パッド								
			GPMC0_A1	9	OZ									
			UART3_TXD	10	O									
R3	F2	PRG0_PRU0_GPO5	PRG0_PRU0_GPO5	0	IO	0	7	オフ / オフ / オフ	オフ / オフ / オフ	1.8 V/3.3V	VDDSHV1	あり	PU/PD	LVCMOS
		PADCONFIG93 0x000F4174	PRG0_PRU0_GPI5	1	I	0								
			PRG0_PWM3_B2	3	IO	1								
			GPIO1_5	7	IO	パッド								
			UART3_RTSn	10	O									
T3	H2	PRG0_PRU0_GPO6	PRG0_PRU0_GPO6	0	IO	0	7	オフ / オフ / オフ	オフ / オフ / オフ	1.8 V/3.3V	VDDSHV1	あり	PU/PD	LVCMOS
		PADCONFIG94 0x000F4178	PRG0_PRU0_GPI6	1	I	0								
			PRG0_RGMII1_RXC	2	I	0								
			PRG0_PWM3_A1	3	IO	0								
			GPIO1_6	7	IO	パッド								
			UART4_CTSn	10	I	1								
T1	E2	PRG0_PRU0_GPO7	PRG0_PRU0_GPO7	0	IO	0	7	オフ / オフ / オフ	オフ / オフ / オフ	1.8 V/3.3V	VDDSHV1	あり	PU/PD	LVCMOS
		PADCONFIG95 0x000F417C	PRG0_PRU0_GPI7	1	I	0								
			PRG0_IEP0_EDC_LATCH_IN1	2	I	0								
			PRG0_PWM3_B1	3	IO	1								
			CPTS0_HW2TSPUSH	4	I	0								
			CP_GEMAC_CPTS0_HW2TSPUSH	5	I	0								
			TIMER_IO6	6	IO	0								
			GPIO1_7	7	IO	パッド								
			UART4_TXD	10	O									
T2	H5	PRG0_PRU0_GPO8	PRG0_PRU0_GPO8	0	IO	0	7	オフ / オフ / オフ	オフ / オフ / オフ	1.8 V/3.3V	VDDSHV1	あり	PU/PD	LVCMOS
		PADCONFIG96 0x000F4180	PRG0_PRU0_GPI8	1	I	0								
			PRG0_PWM2_A1	3	IO	0								
			GPIO1_8	7	IO	パッド								
			GPMC0_A2	9	OZ									
			UART4_RTSn	10	O									

Copyright © 2024 Texas Instruments Incorporated

表 5-1. ピン属性 (ALV、ALX パッケージ) (続き)

ALV のボール番号 [1]	ALX のボール番号 [1]	ボール名 [2] / PadConfig レジスタ [15] / アドレス [16]	信号名 [3]	多重化モード [4]	タイプ [5]	DSIS [6]	リセット後の多重化モード [9]	リセット時のボールの状態 [7]	リセット後のボールの状態 [8]	IO 電圧 [10]	電源ドメイン [11]	ヒステリシス [12]	プルタイプ [13]	バッファタイプ [14]
W6	Y3	PRG0_PRU0_GPO9	PRG0_PRU0_GPO9	0	IO	0	7	オフ / オフ / オフ	オフ / オフ / オフ	1.8 V/3.3V	VDDSHV1	あり	PU/PD	LVCMOS
		PADCONFIG97 0x000F4184	PRG0_PRU0_GPI9	1	I	0								
			PRG0_UART0_CTSn	2	I	1								
			PRG0_PWM3_TZ_IN	3	I	0								
			RGMII1_RX_CTL	4	I	0								
			RMII1_RX_ER	5	I	0								
			PRG0_IEP0_EDIO_DATA_IN_OUT28	6	IO	0								
			GPIO1_9	7	IO	パッド								
			UART2_RXD	10	I	1								
AA5	U1	PRG0_PRU0_GPO10	PRG0_PRU0_GPO10	0	IO	0	7	オフ / オフ / オフ	オフ / オフ / オフ	1.8 V/3.3V	VDDSHV1	あり	PU/PD	LVCMOS
		PADCONFIG98 0x000F4188	PRG0_PRU0_GPI10	1	I	0								
			PRG0_UART0_RTSn	2	O									
			PRG0_PWM2_B1	3	IO	1								
			RGMII1_RXC	4	I	0								
			RMII_REF_CLK	5	I	0								
			PRG0_IEP0_EDIO_DATA_IN_OUT29	6	IO	0								
			GPIO1_10	7	IO	パッド								
			UART3_RXD	10	I	1								
Y3	L1	PRG0_PRU0_GPO11	PRG0_PRU0_GPO11	0	IO	0	7	オフ / オフ / オフ	オフ / オフ / オフ	1.8 V/3.3V	VDDSHV1	あり	PU/PD	LVCMOS
		PADCONFIG99 0x000F418C	PRG0_PRU0_GPI11	1	I	0								
			PRG0_RGMII1_TD0	2	O									
			PRG0_PWM3_TZ_OUT	3	O									
			GPIO1_11	7	IO	パッド								
			UART4_RXD	10	I	1								
AA3	K1	PRG0_PRU0_GPO12	PRG0_PRU0_GPO12	0	IO	0	7	オフ / オフ / オフ	オフ / オフ / オフ	1.8 V/3.3V	VDDSHV1	あり	PU/PD	LVCMOS
		PADCONFIG100 0x000F4190	PRG0_PRU0_GPI12	1	I	0								
			PRG0_RGMII1_TD1	2	O									
			PRG0_PWM0_A0	3	IO	0								
			GPIO1_12	7	IO	パッド								
			GPMC0_A14	9	OZ									
R6	N1	PRG0_PRU0_GPO13	PRG0_PRU0_GPO13	0	IO	0	7	オフ / オフ / オフ	オフ / オフ / オフ	1.8 V/3.3V	VDDSHV1	あり	PU/PD	LVCMOS
		PADCONFIG101 0x000F4194	PRG0_PRU0_GPI13	1	I	0								
			PRG0_RGMII1_TD2	2	O									
			PRG0_PWM0_B0	3	IO	1								
			SPI3_D0	6	IO	0								
			GPIO1_13	7	IO	パッド								
			GPMC0_A15	9	OZ									

表 5-1. ピン属性 (ALV、ALX パッケージ) (続き)

ALV のボール番号 [1]	ALX のボール番号 [1]	ボール名 [2] / PadConfig レジスタ [15] / アドレス [16]	信号名 [3]	多重化モード [4]	タイプ [5]	DSIS [6]	リセット後の多重化モード [9]	リセット時のボールの状態 [7]	リセット後のボールの状態 [8]	IO 電圧 [10]	電源ドメイン [11]	ヒステリシス [12]	プルタイプ [13]	バッファタイプ [14]
V4	N2	PRG0_PRU0_GPO14	PRG0_PRU0_GPO14	0	IO	0	7	オフ / オフ / オフ	オフ / オフ / オフ	1.8 V/3.3V	VDDSHV1	あり	PU/PD	LVCMOS
		PADCONFIG102 0x000F4198	PRG0_PRU0_GPI14	1	I	0								
			PRG0_RGMII1_TD3	2	O									
			PRG0_PWM0_A1	3	IO	0								
			SPI3_D1	6	IO	0								
			GPIO1_14	7	IO	パッド								
			GPMC0_A3	9	OZ									
T5	N4	PRG0_PRU0_GPO15	PRG0_PRU0_GPO15	0	IO	0	7	オフ / オフ / オフ	オフ / オフ / オフ	1.8 V/3.3V	VDDSHV1	あり	PU/PD	LVCMOS
		PADCONFIG103 0x000F419C	PRG0_PRU0_GPI15	1	I	0								
			PRG0_RGMII1_TX_CTL	2	O									
			PRG0_PWM0_B1	3	IO	1								
			SPI3_CS1	6	IO	1								
			GPIO1_15	7	IO	パッド								
			GPMC0_A16	9	OZ									
U4	N3	PRG0_PRU0_GPO16	PRG0_PRU0_GPO16	0	IO	0	7	オフ / オフ / オフ	オフ / オフ / オフ	1.8 V/3.3V	VDDSHV1	あり	PU/PD	LVCMOS
		PADCONFIG104 0x000F41A0	PRG0_PRU0_GPI16	1	I	0								
			PRG0_RGMII1_TXC	2	IO	0								
			PRG0_PWM0_A2	3	IO	0								
			SPI3_CLK	6	IO	0								
			GPIO1_16	7	IO	パッド								
			GPMC0_A4	9	OZ									
U1	E1	PRG0_PRU0_GPO17	PRG0_PRU0_GPO17	0	IO	0	7	オフ / オフ / オフ	オフ / オフ / オフ	1.8 V/3.3V	VDDSHV1	あり	PU/PD	LVCMOS
		PADCONFIG105 0x000F41A4	PRG0_PRU0_GPI17	1	I	0								
			PRG0_IEP0_EDC_SYNC_OUT1	2	O									
			PRG0_PWM0_B2	3	IO	1								
			CPTS0_TS_SYNC	4	O									
			CP_GEMAC_CPTS0_TS_SYNC	5	O									
			SPI3_CS0	6	IO	1								
			GPIO1_17	7	IO	パッド								
			TIMER_IO11	8	IO	0								
			GPMC0_A17	9	OZ									

Copyright © 2024 Texas Instruments Incorporated

表 5-1. ピン属性 (ALV、ALX パッケージ) (続き)

ALV のボール番号 [1]	ALX のボール番号 [1]	ボール名 [2] / PadConfig レジスタ [15] / アドレス [16]	信号名 [3]	多重化モード [4]	タイプ [5]	DSIS [6]	リセット後の多重化モード [9]	リセット時のボールの状態 [7]	リセット後のボールの状態 [8]	IO 電圧 [10]	電源ドメイン [11]	ヒステリシス [12]	プルタイプ [13]	バッファタイプ [14]
V1	K4	PRG0_PRU0_GPO18	PRG0_PRU0_GPO18	0	IO	0	7	オフ / オフ / オフ	オフ / オフ / オフ	1.8 V/3.3V	VDDSHV1	あり	PU/PD	LVCMOS
		PADCONFIG106 0x000F41A8	PRG0_PRU0_GPI18	1	I	0								
			PRG0_IEP0_EDC_LATCH_IN0	2	I	0								
			PRG0_PWM0_TZ_IN	3	I	0								
			CPTS0_HW1TSPUSH	4	I	0								
			CP_GEMAC_CPTS0_HW1TSPUSH	5	I	0								
			EHRPWM8_A	6	IO	0								
			GPIO1_18	7	IO	パッド								
			UART4_CTSn	8	I	1								
			GPMC0_A5	9	OZ									
			UART2_RXD	10	I	1								
W1	G2	PRG0_PRU0_GPO19	PRG0_PRU0_GPO19	0	IO	0	7	オフ / オフ / オフ	オフ / オフ / オフ	1.8 V/3.3V	VDDSHV1	あり	PU/PD	LVCMOS
		PADCONFIG107 0x000F41AC	PRG0_PRU0_GPI19	1	I	0								
			PRG0_IEP0_EDC_SYNC_OUT0	2	O									
			PRG0_PWM0_TZ_OUT	3	O									
			CPTS0_TS_COMP	4	O									
			CP_GEMAC_CPTS0_TS_COMP	5	O									
			EHRPWM8_B	6	IO	0								
			GPIO1_19	7	IO	パッド								
			UART4_RTSn	8	O									
			GPMC0_A6	9	OZ									
			UART3_RXD	10	I	1								
Y2	L5	PRG0_PRU1_GPO0	PRG0_PRU1_GPO0	0	IO	0	7	オフ / オフ / オフ	オフ / オフ / オフ	1.8 V/3.3V	VDDSHV1	あり	PU/PD	LVCMOS
		PADCONFIG108 0x000F41B0	PRG0_PRU1_GPI0	1	I	0								
			PRG0_RGMII2_RD0	2	I	0								
			GPIO1_20	7	IO	パッド								
			EQEP0_A	8	I	0								
			UART5_CTSn	10	I	1								
W2	J2	PRG0_PRU1_GPO1	PRG0_PRU1_GPO1	0	IO	0	7	オフ / オフ / オフ	オフ / オフ / オフ	1.8 V/3.3V	VDDSHV1	あり	PU/PD	LVCMOS
		PADCONFIG109 0x000F41B4	PRG0_PRU1_GPI1	1	I	0								
			PRG0_RGMII2_RD1	2	I	0								
			GPIO1_21	7	IO	パッド								
			EQEP0_B	8	I	0								
			UART5_TXD	10	O									

表 5-1. ピン属性 (ALV、ALX パッケージ) (続き)

ALV のボール番号 [1]	ALX のボール番号 [1]	ボール名 [2] / PadConfig レジスタ [15] / アドレス [16]	信号名 [3]	多重化モード [4]	タイプ [5]	DSIS [6]	リセット後の多重化モード [9]	リセット時のボールの状態 [7]	リセット後のボールの状態 [8]	IO 電圧 [10]	電源ドメイン [11]	ヒステリシス [12]	プルタイプ [13]	バッファタイプ [14]
V3	M2	PRG0_PRU1_GPO2	PRG0_PRU1_GPO2	0	IO	0	7	オフ / オフ / オフ	オフ / オフ / オフ	1.8 V/3.3V	VDDSHV1	あり	PU/PD	LVCMOS
		PADCONFIG110 0x000F41B8	PRG0_PRU1_GPI2	1	I	0								
			PRG0_RGMII2_RD2	2	I	0								
			PRG0_PWM2_A2	3	IO	0								
			GPIO1_22	7	IO	パッド								
			EQEP0_S	8	IO	0								
			UART5_RTSn	10	O									
T4	L2	PRG0_PRU1_GPO3	PRG0_PRU1_GPO3	0	IO	0	7	オフ / オフ / オフ	オフ / オフ / オフ	1.8 V/3.3V	VDDSHV1	あり	PU/PD	LVCMOS
		PADCONFIG111 0x000F41BC	PRG0_PRU1_GPI3	1	I	0								
			PRG0_RGMII2_RD3	2	I	0								
			GPIO1_23	7	IO	パッド								
			EQEP1_A	8	I	0								
			GPMC0_A18	9	OZ									
			UART6_CTSn	10	I	1								
W3	L3	PRG0_PRU1_GPO4	PRG0_PRU1_GPO4	0	IO	0	7	オフ / オフ / オフ	オフ / オフ / オフ	1.8 V/3.3V	VDDSHV1	あり	PU/PD	LVCMOS
		PADCONFIG112 0x000F41C0	PRG0_PRU1_GPI4	1	I	0								
			PRG0_RGMII2_RX_CTL	2	I	0								
			PRG0_PWM2_B2	3	IO	1								
			GPIO1_24	7	IO	パッド								
			EQEP1_B	8	I	0								
			UART6_TXD	10	O									
P4	E3	PRG0_PRU1_GPO5	PRG0_PRU1_GPO5	0	IO	0	7	オフ / オフ / オフ	オフ / オフ / オフ	1.8 V/3.3V	VDDSHV1	あり	PU/PD	LVCMOS
		PADCONFIG113 0x000F41C4	PRG0_PRU1_GPI5	1	I	0								
			GPIO1_25	7	IO	パッド								
			EQEP1_S	8	IO	0								
			UART6_RTSn	10	O									
R5	F5	PRG0_PRU1_GPO6	PRG0_PRU1_GPO6	0	IO	0	7	オフ / オフ / オフ	オフ / オフ / オフ	1.8 V/3.3V	VDDSHV1	あり	PU/PD	LVCMOS
		PADCONFIG114 0x000F41C8	PRG0_PRU1_GPI6	1	I	0								
			PRG0_RGMII2_RXC	2	I	0								
			GPIO1_26	7	IO	パッド								
			EQEP2_A	8	I	0								
			GPMC0_A19	9	OZ									
			UART4_CTSn	10	I	1								

Copyright © 2024 Texas Instruments Incorporated

表 5-1. ピン属性 (ALV、ALX パッケージ) (続き)

ALV のボール番号 [1]	ALX のボール番号 [1]	ボール名 [2] / PadConfig レジスタ [15] / アドレス [16]	信号名 [3]	多重化モード [4]	タイプ [5]	DSIS [6]	リセット後の多重化モード [9]	リセット時のボールの状態 [7]	リセット後のボールの状態 [8]	IO 電圧 [10]	電源ドメイン [11]	ヒステリシス [12]	プルタイプ [13]	バッファタイプ [14]
W5	T5	PRG0_PRU1_GPO7	PRG0_PRU1_GPO7	0	IO	0	7	オフ / オフ / オフ	オフ / オフ / オフ	1.8 V/3.3V	VDDSHV1	あり	PU/PD	LVCMOS
		PADCONFIG115 0x000F41CC	PRG0_PRU1_GPI7	1	I	0								
			PRG0_IEP1_EDC_LATCH_IN1	2	I	0								
			RGMII1_RD0	4	I	0								
			RMII1_RXD0	5	I	0								
			GPIO1_27	7	IO	パッド								
			EQEP2_B	8	I	0								
			UART4_TXD	10	O									
R1	F4	PRG0_PRU1_GPO8	PRG0_PRU1_GPO8	0	IO	0	7	オフ / オフ / オフ	オフ / オフ / オフ	1.8 V/3.3V	VDDSHV1	あり	PU/PD	LVCMOS
		PADCONFIG116 0x000F41D0	PRG0_PRU1_GPI8	1	I	0								
			PRG0_PWM2_TZ_OUT	3	O									
			GPIO1_28	7	IO	パッド								
			EQEP2_S	8	IO	0								
			UART4_RTSn	10	O									
Y5	R2	PRG0_PRU1_GPO9	PRG0_PRU1_GPO9	0	IO	0	7	オフ / オフ / オフ	オフ / オフ / オフ	1.8 V/3.3V	VDDSHV1	あり	PU/PD	LVCMOS
		PADCONFIG117 0x000F41D4	PRG0_PRU1_GPI9	1	I	0								
			PRG0_UART0_RXD	2	I	1								
			RGMII1_RD1	4	I	0								
			RMII1_RXD1	5	I	0								
			PRG0_IEP0_EDIO_DATA_IN_OUT30	6	IO	0								
			GPIO1_29	7	IO	パッド								
			EQEP0_I	8	IO	0								
			UART5_RXD	10	I	1								
V6	U2	PRG0_PRU1_GPO10	PRG0_PRU1_GPO10	0	IO	0	7	オフ / オフ / オフ	オフ / オフ / オフ	1.8 V/3.3V	VDDSHV1	あり	PU/PD	LVCMOS
		PADCONFIG118 0x000F41D8	PRG0_PRU1_GPI10	1	I	0								
			PRG0_UART0_TXD	2	O									
			PRG0_PWM2_TZ_IN	3	I	0								
			RGMII1_RD2	4	I	0								
			RMII1_TXD0	5	O									
			PRG0_IEP0_EDIO_DATA_IN_OUT31	6	IO	0								
			GPIO1_30	7	IO	パッド								
			EQEP1_I	8	IO	0								
			UART6_RXD	10	I	1								

表 5-1. ピン属性 (ALV、ALX パッケージ) (続き)

ALV のボール番号 [1]	ALX のボール番号 [1]	ボール名 [2] / PadConfig レジスタ [15] / アドレス [16]	信号名 [3]	多重化モード [4]	タイプ [5]	DSIS [6]	リセット後の多重化モード [9]	リセット時のボールの状態 [7]	リセット後のボールの状態 [8]	IO 電圧 [10]	電源ドメイン [11]	ヒステリシス [12]	プルタイプ [13]	バッファタイプ [14]
W4	P1	PRG0_PRU1_GPO11	PRG0_PRU1_GPO11	0	IO	0	7	オフ / オフ / オフ	オフ / オフ / オフ	1.8 V/3.3V	VDDSHV1	あり	PU/PD	LVCMOS
		PADCONFIG119 0x000F41DC	PRG0_PRU1_GPI11	1	I	0								
			PRG0_RGMII2_TD0	2	O									
			GPIO1_31	7	IO	パッド								
			EQEP2_I	8	IO	0								
			UART4_RXD	10	I	1								
Y4	P2	PRG0_PRU1_GPO12	PRG0_PRU1_GPO12	0	IO	0	7	オフ / オフ / オフ	オフ / オフ / オフ	1.8 V/3.3V	VDDSHV1	あり	PU/PD	LVCMOS
		PADCONFIG120 0x000F41E0	PRG0_PRU1_GPI12	1	I	0								
			PRG0_RGMII2_TD1	2	O									
			PRG0_PWM1_A0	3	IO	0								
			GPIO1_32	7	IO	パッド								
			EQEP2_B	8	I	0								
			GPMC0_A7	9	OZ									
			UART4_TXD	10	O									
T6	T4	PRG0_PRU1_GPO13	PRG0_PRU1_GPO13	0	IO	0	7	オフ / オフ / オフ	オフ / オフ / オフ	1.8 V/3.3V	VDDSHV1	あり	PU/PD	LVCMOS
		PADCONFIG121 0x000F41E4	PRG0_PRU1_GPI13	1	I	0								
			PRG0_RGMII2_TD2	2	O									
			PRG0_PWM1_B0	3	IO	1								
			GPIO1_33	7	IO	パッド								
			EQEP0_I	8	IO	0								
			GPMC0_A8	9	OZ									
			UART5_RXD	10	I	1								
U6	R5	PRG0_PRU1_GPO14	PRG0_PRU1_GPO14	0	IO	0	7	オフ / オフ / オフ	オフ / オフ / オフ	1.8 V/3.3V	VDDSHV1	あり	PU/PD	LVCMOS
		PADCONFIG122 0x000F41E8	PRG0_PRU1_GPI14	1	I	0								
			PRG0_RGMII2_TD3	2	O									
			PRG0_PWM1_A1	3	IO	0								
			GPIO1_34	7	IO	パッド								
			EQEP1_I	8	IO	0								
			GPMC0_A9	9	OZ									
			UART6_RXD	10	I	1								
U5	M4	PRG0_PRU1_GPO15	PRG0_PRU1_GPO15	0	IO	0	7	オフ / オフ / オフ	オフ / オフ / オフ	1.8 V/3.3V	VDDSHV1	あり	PU/PD	LVCMOS
		PADCONFIG123 0x000F41EC	PRG0_PRU1_GPI15	1	I	0								
			PRG0_RGMII2_TX_CTL	2	O									
			PRG0_PWM1_B1	3	IO	1								
			GPIO1_35	7	IO	パッド								
			GPMC0_A10	9	OZ									
			PRG0_ECAP0_IN_APWM_OUT	10	IO	0								

Copyright © 2024 Texas Instruments Incorporated

表 5-1. ピン属性 (ALV、ALX パッケージ) (続き)

ALV のボール番号 [1]	ALX のボール番号 [1]	ボール名 [2] / PadConfig レジスタ [15] / アドレス [16]	信号名 [3]	多重化モード [4]	タイプ [5]	DSIS [6]	リセット後の多重化モード [9]	リセット時のボールの状態 [7]	リセット後のボールの状態 [8]	IO 電圧 [10]	電源ドメイン [11]	ヒステリシス [12]	プルタイプ [13]	バッファタイプ [14]
AA4	T3	PRG0_PRU1_GPO16	PRG0_PRU1_GPO16	0	IO	0	7	オフ / オフ / オフ	オフ / オフ / オフ	1.8 V/3.3V	VDDSHV1	あり	PU/PD	LVCMOS
		PADCONFIG124 0x000F41F0	PRG0_PRU1_GPI16	1	I	0								
			PRG0_RGMII2_TXC	2	IO	0								
			PRG0_PWM1_A2	3	IO	0								
			GPIO1_36	7	IO	パッド								
			GPMC0_A11	9	OZ									
			PRG0_ECAP0_SYNC_OUT	10	O									
V5	T1	PRG0_PRU1_GPO17	PRG0_PRU1_GPO17	0	IO	0	7	オフ / オフ / オフ	オフ / オフ / オフ	1.8 V/3.3V	VDDSHV1	あり	PU/PD	LVCMOS
		PADCONFIG125 0x000F41F4	PRG0_PRU1_GPI17	1	I	0								
			PRG0_IEP1_EDC_SYNC_OUT1	2	O									
			PRG0_PWM1_B2	3	IO	1								
			RGMII1_RD3	4	I	0								
			RMII1_TXD1	5	O									
			GPIO1_37	7	IO	パッド								
			PRG0_ECAP0_SYNC_OUT	8	O									
			PRG0_ECAP0_SYNC_IN	10	I	0								
P5	D1	PRG0_PRU1_GPO18	PRG0_PRU1_GPO18	0	IO	0	7	オフ / オフ / オフ	オフ / オフ / オフ	1.8 V/3.3V	VDDSHV1	あり	PU/PD	LVCMOS
		PADCONFIG126 0x000F41F8	PRG0_PRU1_GPI18	1	I	0								
			PRG0_IEP1_EDC_LATCH_IN0	2	I	0								
			PRG0_PWM1_TZ_IN	3	I	0								
			MDIO0_MDIO	4	IO	0								
			RMII1_TX_EN	5	O									
			EHRPWM7_A	6	IO	0								
			GPIO1_38	7	IO	パッド								
			PRG0_ECAP0_SYNC_IN	8	I	0								
R2	F3	PRG0_PRU1_GPO19	PRG0_PRU1_GPO19	0	IO	0	7	オフ / オフ / オフ	オフ / オフ / オフ	1.8 V/3.3V	VDDSHV1	あり	PU/PD	LVCMOS
		PADCONFIG127 0x000F41FC	PRG0_PRU1_GPI19	1	I	0								
			PRG0_IEP1_EDC_SYNC_OUT0	2	O									
			PRG0_PWM1_TZ_OUT	3	O									
			MDIO0_MDC	4	O									
			RMII1_CRS_DV	5	I	0								
			EHRPWM7_B	6	IO	0								
			GPIO1_39	7	IO	パッド								
			PRG0_ECAP0_IN_APWM_OUT	8	IO	0								
Y6	W1	PRG1_MDIO0_MDC	PRG1_MDIO0_MDC	0	O		7	オフ / オフ / オフ	オフ / オフ / オフ	1.8 V/3.3V	VDDSHV2	あり	PU/PD	LVCMOS
		PADCONFIG87 0x000F415C	MDIO0_MDC	4	O									
			GPIO0_86	7	IO	パッド								

表 5-1. ピン属性 (ALV、ALX パッケージ) (続き)

ALV のボール番号 [1]	ALX のボール番号 [1]	ボール名 [2] / PadConfig レジスタ [15] / アドレス [16]	信号名 [3]	多重化モード [4]	タイプ [5]	DSIS [6]	リセット後の多重化モード [9]	リセット時のボールの状態 [7]	リセット後のボールの状態 [8]	IO 電圧 [10]	電源ドメイン [11]	ヒステリシス [12]	プルタイプ [13]	バッファタイプ [14]
AA6	V2	PRG1_MDIO0_MDIO	PRG1_MDIO0_MDIO	0	IO	0	7	オフ / オフ / オフ	オフ / オフ / オフ	1.8 V/3.3V	VDDSHV2	あり	PU/PD	LVCMOS
		PADCONFIG86 0x000F4158	MDIO0_MDIO	4	IO	0								
			GPIO0_85	7	IO	パッド								
Y7	V4	PRG1_PRU0_GPO0	PRG1_PRU0_GPO0	0	IO	0	7	オフ / オフ / オフ	オフ / オフ / オフ	1.8 V/3.3V	VDDSHV2	あり	PU/PD	LVCMOS
		PADCONFIG46 0x000F40B8	PRG1_PRU0_GPI0	1	I	0								
			PRG1_RGMII1_RD0	2	I	0								
			PRG1_PWM3_A0	3	IO	0								
			GPIO0_45	7	IO	パッド								
			GPMC0_AD16	8	IO	0								
U8	W5	PRG1_PRU0_GPO1	PRG1_PRU0_GPO1	0	IO	0	7	オフ / オフ / オフ	オフ / オフ / オフ	1.8 V/3.3V	VDDSHV2	あり	PU/PD	LVCMOS
		PADCONFIG47 0x000F40BC	PRG1_PRU0_GPI1	1	I	0								
			PRG1_RGMII1_RD1	2	I	0								
			PRG1_PWM3_B0	3	IO	1								
			GPIO0_46	7	IO	パッド								
			GPMC0_AD17	8	IO	0								
W8	AA4	PRG1_PRU0_GPO2	PRG1_PRU0_GPO2	0	IO	0	7	オフ / オフ / オフ	オフ / オフ / オフ	1.8 V/3.3V	VDDSHV2	あり	PU/PD	LVCMOS
		PADCONFIG48 0x000F40C0	PRG1_PRU0_GPI2	1	I	0								
			PRG1_RGMII1_RD2	2	I	0								
			PRG1_PWM2_A0	3	IO	0								
			GPIO0_47	7	IO	パッド								
			GPMC0_AD18	8	IO	0								
V8	Y5	PRG1_PRU0_GPO3	PRG1_PRU0_GPO3	0	IO	0	7	オフ / オフ / オフ	オフ / オフ / オフ	1.8 V/3.3V	VDDSHV2	あり	PU/PD	LVCMOS
		PADCONFIG49 0x000F40C4	PRG1_PRU0_GPI3	1	I	0								
			PRG1_RGMII1_RD3	2	I	0								
			PRG1_PWM3_A2	3	IO	0								
			GPIO0_48	7	IO	パッド								
			GPMC0_AD19	8	IO	0								
Y8	AA5	PRG1_PRU0_GPO4	PRG1_PRU0_GPO4	0	IO	0	7	オフ / オフ / オフ	オフ / オフ / オフ	1.8 V/3.3V	VDDSHV2	あり	PU/PD	LVCMOS
		PADCONFIG50 0x000F40C8	PRG1_PRU0_GPI4	1	I	0								
			PRG1_RGMII1_RX_CTL	2	I	0								
			PRG1_PWM2_B0	3	IO	1								
			GPIO0_49	7	IO	パッド								
			GPMC0_AD20	8	IO	0								

Copyright © 2024 Texas Instruments Incorporated

表 5-1. ピン属性 (ALV、ALX パッケージ) (続き)

ALV のボール番号 [1]	ALX のボール番号 [1]	ボール名 [2] / PadConfig レジスタ [15] / アドレス [16]	信号名 [3]	多重化モード [4]	タイプ [5]	DSIS [6]	リセット後の多重化モード [9]	リセット時のボールの状態 [7]	リセット後のボールの状態 [8]	IO 電圧 [10]	電源ドメイン [11]	ヒステリシス [12]	プルタイプ [13]	バッファタイプ [14]
V13	U14	PRG1_PRU0_GPO5	PRG1_PRU0_GPO5	0	IO	0	7	オフ / オフ / オフ	オフ / オフ / オフ	1.8 V/3.3V	VDDSHV2	あり	PU/PD	LVCMOS
		PADCONFIG51 0x000F40CC	PRG1_PRU0_GPI5	1	I	0								
			PRG1_PWM3_B2	3	IO	1								
			RGMII1_RX_CTL	4	I	0								
			GPIO0_50	7	IO	パッド								
			GPMC0_AD21	8	IO	0								
AA7	Y2	PRG1_PRU0_GPO6	PRG1_PRU0_GPO6	0	IO	0	7	オフ / オフ / オフ	オフ / オフ / オフ	1.8 V/3.3V	VDDSHV2	あり	PU/PD	LVCMOS
		PADCONFIG52 0x000F40D0	PRG1_PRU0_GPI6	1	I	0								
			PRG1_RGMII1_RXC	2	I	0								
			PRG1_PWM3_A1	3	IO	0								
			GPIO0_51	7	IO	パッド								
			GPMC0_AD22	8	IO	0								
U13	V13	PRG1_PRU0_GPO7	PRG1_PRU0_GPO7	0	IO	0	7	オフ / オフ / オフ	オフ / オフ / オフ	1.8 V/3.3V	VDDSHV2	あり	PU/PD	LVCMOS
		PADCONFIG53 0x000F40D4	PRG1_PRU0_GPI7	1	I	0								
			PRG1_IEP0_EDC_LATCH_IN1	2	I	0								
			PRG1_PWM3_B1	3	IO	1								
			CPTS0_HW2TSPUSH	4	I	0								
			CLKOUT0	5	O									
			TIMER_IO10	6	IO	0								
			GPIO0_52	7	IO	パッド								
			GPMC0_AD23	8	IO	0								
W13	Y13	PRG1_PRU0_GPO8	PRG1_PRU0_GPO8	0	IO	0	7	オフ / オフ / オフ	オフ / オフ / オフ	1.8 V/3.3V	VDDSHV2	あり	PU/PD	LVCMOS
		PADCONFIG54 0x000F40D8	PRG1_PRU0_GPI8	1	I	0								
			PRG1_PWM2_A1	3	IO	0								
			RGMII1_RXC	4	I	0								
			GPIO0_53	7	IO	パッド								
			GPMC0_AD24	8	IO	0								
U15	W16	PRG1_PRU0_GPO9	PRG1_PRU0_GPO9	0	IO	0	7	オフ / オフ / オフ	オフ / オフ / オフ	1.8 V/3.3V	VDDSHV2	あり	PU/PD	LVCMOS
		PADCONFIG55 0x000F40DC	PRG1_PRU0_GPI9	1	I	0								
			PRG1_UART0_CTSn	2	I	1								
			PRG1_PWM3_TZ_IN	3	I	0								
			RGMII1_TX_CTL	4	O									
			RMII1_RX_ER	5	I	0								
			PRG1_IEP0_EDIO_DATA_IN_OUT28	6	IO	0								
			GPIO0_54	7	IO	パッド								
			GPMC0_AD25	8	IO	0								

表 5-1. ピン属性 (ALV、ALX パッケージ) (続き)

ALV のボール番号 [1]	ALX のボール番号 [1]	ボール名 [2] / PadConfig レジスタ [15] / アドレス [16]	信号名 [3]	多重化モード [4]	タイプ [5]	DSIS [6]	リセット後の多重化モード [9]	リセット時のボールの状態 [7]	リセット後のボールの状態 [8]	IO 電圧 [10]	電源ドメイン [11]	ヒステリシス [12]	プルタイプ [13]	バッファタイプ [14]
U14	W13	PRG1_PRU0_GPO10	PRG1_PRU0_GPO10	0	IO	0	7	オフ / オフ / オフ	オフ / オフ / オフ	1.8 V/3.3V	VDDSHV2	あり	PU/PD	LVCMOS
		PADCONFIG56 0x000F40E0	PRG1_PRU0_GPI10	1	I	0								
			PRG1_UART0_RTSn	2	O									
			PRG1_PWM2_B1	3	IO	1								
			RGMII1_TXC	4	IO	0								
			RMII_REF_CLK	5	I	0								
			PRG1_IEP0_EDIO_DATA_IN_OUT29	6	IO	0								
			GPIO0_55	7	IO	パッド								
			GPMC0_AD26	8	IO	0								
AA8	V5	PRG1_PRU0_GPO11	PRG1_PRU0_GPO11	0	IO	0	7	オフ / オフ / オフ	オフ / オフ / オフ	1.8 V/3.3V	VDDSHV2	あり	PU/PD	LVCMOS
		PADCONFIG57 0x000F40E4	PRG1_PRU0_GPI11	1	I	0								
			PRG1_RGMII1_TD0	2	O									
			PRG1_PWM3_TZ_OUT	3	O									
			GPIO0_56	7	IO	パッド								
			GPMC0_AD27	8	IO	0								
U9	W2	PRG1_PRU0_GPO12	PRG1_PRU0_GPO12	0	IO	0	7	オフ / オフ / オフ	オフ / オフ / オフ	1.8 V/3.3V	VDDSHV2	あり	PU/PD	LVCMOS
		PADCONFIG58 0x000F40E8	PRG1_PRU0_GPI12	1	I	0								
			PRG1_RGMII1_TD1	2	O									
			PRG1_PWM0_A0	3	IO	0								
			GPIO0_57	7	IO	パッド								
			GPMC0_AD28	8	IO	0								
W9	V6	PRG1_PRU0_GPO13	PRG1_PRU0_GPO13	0	IO	0	7	オフ / オフ / オフ	オフ / オフ / オフ	1.8 V/3.3V	VDDSHV2	あり	PU/PD	LVCMOS
		PADCONFIG59 0x000F40EC	PRG1_PRU0_GPI13	1	I	0								
			PRG1_RGMII1_TD2	2	O									
			PRG1_PWM0_B0	3	IO	1								
			GPIO0_58	7	IO	パッド								
			GPMC0_AD29	8	IO	0								
AA9	AA7	PRG1_PRU0_GPO14	PRG1_PRU0_GPO14	0	IO	0	7	オフ / オフ / オフ	オフ / オフ / オフ	1.8 V/3.3V	VDDSHV2	あり	PU/PD	LVCMOS
		PADCONFIG60 0x000F40F0	PRG1_PRU0_GPI14	1	I	0								
			PRG1_RGMII1_TD3	2	O									
			PRG1_PWM0_A1	3	IO	0								
			GPIO0_59	7	IO	パッド								
			GPMC0_AD30	8	IO	0								

Copyright © 2024 Texas Instruments Incorporated

表 5-1. ピン属性 (ALV、ALX パッケージ) (続き)

ALV のボール番号 [1]	ALX のボール番号 [1]	ボール名 [2] / PadConfig レジスタ [15] / アドレス [16]	信号名 [3]	多重化モード [4]	タイプ [5]	DSIS [6]	リセット後の多重化モード [9]	リセット時のボールの状態 [7]	リセット後のボールの状態 [8]	IO 電圧 [10]	電源ドメイン [11]	ヒステリシス [12]	プルタイプ [13]	バッファタイプ [14]
Y9	Y7	PRG1_PRU0_GPO15	PRG1_PRU0_GPO15	0	IO	0	7	オフ / オフ / オフ	オフ / オフ / オフ	1.8 V/3.3V	VDDSHV2	あり	PU/PD	LVCMOS
		PADCONFIG61 0x000F40F4	PRG1_PRU0_GPI15	1	I	0								
			PRG1_RGMII1_TX_CTL	2	O									
			PRG1_PWM0_B1	3	IO	1								
			GPIO0_60	7	IO	パッド								
			GPMC0_AD31	8	IO	0								
V9	W6	PRG1_PRU0_GPO16	PRG1_PRU0_GPO16	0	IO	0	7	オフ / オフ / オフ	オフ / オフ / オフ	1.8 V/3.3V	VDDSHV2	あり	PU/PD	LVCMOS
		PADCONFIG62 0x000F40F8	PRG1_PRU0_GPI16	1	I	0								
			PRG1_RGMII1_TXC	2	IO	0								
			PRG1_PWM0_A2	3	IO	0								
			GPIO0_61	7	IO	パッド								
			GPMC0_BE2n	8	O									
U7	T2	PRG1_PRU0_GPO17	PRG1_PRU0_GPO17	0	IO	0	7	オフ / オフ / オフ	オフ / オフ / オフ	1.8 V/3.3V	VDDSHV2	あり	PU/PD	LVCMOS
		PADCONFIG63 0x000F40FC	PRG1_PRU0_GPI17	1	I	0								
			PRG1_IEP0_EDC_SYNC_OUT1	2	O									
			PRG1_PWM0_B2	3	IO	1								
			CPTS0_TS_SYNC	4	O									
			TIMER_IO7	6	IO	0								
			GPIO0_62	7	IO	パッド								
			GPMC0_A0	8	OZ									
V7	Y4	PRG1_PRU0_GPO18	PRG1_PRU0_GPO18	0	IO	0	7	オフ / オフ / オフ	オフ / オフ / オフ	1.8 V/3.3V	VDDSHV2	あり	PU/PD	LVCMOS
		PADCONFIG64 0x000F4100	PRG1_PRU0_GPI18	1	I	0								
			PRG1_IEP0_EDC_LATCH_IN0	2	I	0								
			PRG1_PWM0_TZ_IN	3	I	0								
			CPTS0_HW1TSPUSH	4	I	0								
			TIMER_IO8	6	IO	0								
			GPIO0_63	7	IO	パッド								
			GPMC0_A1	8	OZ									
W7	U3	PRG1_PRU0_GPO19	PRG1_PRU0_GPO19	0	IO	0	7	オフ / オフ / オフ	オフ / オフ / オフ	1.8 V/3.3V	VDDSHV2	あり	PU/PD	LVCMOS
		PADCONFIG65 0x000F4104	PRG1_PRU0_GPI19	1	I	0								
			PRG1_IEP0_EDC_SYNC_OUT0	2	O									
			PRG1_PWM0_TZ_OUT	3	O									
			CPTS0_TS_COMP	4	O									
			TIMER_IO9	6	IO	0								
			GPIO0_64	7	IO	パッド								
			GPMC0_A2	8	OZ									

表 5-1. ピン属性 (ALV、ALX パッケージ) (続き)

ALV のボール番号 [1]	ALX のボール番号 [1]	ボール名 [2] / PadConfig レジスタ [15] / アドレス [16]	信号名 [3]	多重化モード [4]	タイプ [5]	DSIS [6]	リセット後の多重化モード [9]	リセット時のボールの状態 [7]	リセット後のボールの状態 [8]	IO 電圧 [10]	電源ドメイン [11]	ヒステリシス [12]	プルタイプ [13]	バッファタイプ [14]
W11	AA10	PRG1_PRU1_GPO0	PRG1_PRU1_GPO0	0	IO	0	7	オフ / オフ / オフ	オフ / オフ / オフ	1.8 V/3.3V	VDDSHV2	あり	PU/PD	LVCMOS
		PADCONFIG66 0x000F4108	PRG1_PRU1_GPI0	1	I	0								
			PRG1_RGMII2_RD0	2	I	0								
			RGMII2_RD0	4	I	0								
			RMII2_RXD0	5	I	0								
			GPIO0_65	7	IO	パッド								
			GPMC0_A3	8	OZ									
V11	Y10	PRG1_PRU1_GPO1	PRG1_PRU1_GPO1	0	IO	0	7	オフ / オフ / オフ	オフ / オフ / オフ	1.8 V/3.3V	VDDSHV2	あり	PU/PD	LVCMOS
		PADCONFIG67 0x000F410C	PRG1_PRU1_GPI1	1	I	0								
			PRG1_RGMII2_RD1	2	I	0								
			RGMII2_RD1	4	I	0								
			RMII2_RXD1	5	I	0								
			GPIO0_66	7	IO	パッド								
			GPMC0_A4	8	OZ									
AA12	Y11	PRG1_PRU1_GPO2	PRG1_PRU1_GPO2	0	IO	0	7	オフ / オフ / オフ	オフ / オフ / オフ	1.8 V/3.3V	VDDSHV2	あり	PU/PD	LVCMOS
		PADCONFIG68 0x000F4110	PRG1_PRU1_GPI2	1	I	0								
			PRG1_RGMII2_RD2	2	I	0								
			PRG1_PWM2_A2	3	IO	0								
			RGMII2_RD2	4	I	0								
			GPIO0_67	7	IO	パッド								
			GPMC0_A5	8	OZ									
Y12	V12	PRG1_PRU1_GPO3	PRG1_PRU1_GPO3	0	IO	0	7	オフ / オフ / オフ	オフ / オフ / オフ	1.8 V/3.3V	VDDSHV2	あり	PU/PD	LVCMOS
		PADCONFIG69 0x000F4114	PRG1_PRU1_GPI3	1	I	0								
			PRG1_RGMII2_RD3	2	I	0								
			RGMII2_RD3	4	I	0								
			GPIO0_68	7	IO	パッド								
			GPMC0_A6	8	OZ									
W12	Y12	PRG1_PRU1_GPO4	PRG1_PRU1_GPO4	0	IO	0	7	オフ / オフ / オフ	オフ / オフ / オフ	1.8 V/3.3V	VDDSHV2	あり	PU/PD	LVCMOS
		PADCONFIG70 0x000F4118	PRG1_PRU1_GPI4	1	I	0								
			PRG1_RGMII2_RX_CTL	2	I	0								
			PRG1_PWM2_B2	3	IO	1								
			RGMII2_RX_CTL	4	I	0								
			RMII2_RX_ER	5	I	0								
			GPIO0_69	7	IO	パッド								
			GPMC0_A7	8	OZ									

Copyright © 2024 Texas Instruments Incorporated

表 5-1. ピン属性 (ALV、ALX パッケージ) (続き)

ALV のボール番号 [1]	ALX のボール番号 [1]	ボール名 [2] / PadConfig レジスタ [15] / アドレス [16]	信号名 [3]	多重化モード [4]	タイプ [5]	DSIS [6]	リセット後の多重化モード [9]	リセット時のボールの状態 [7]	リセット後のボールの状態 [8]	IO 電圧 [10]	電源ドメイン [11]	ヒステリシス [12]	プルタイプ [13]	バッファタイプ [14]
AA13	AA11	PRG1_PRU1_GPO5	PRG1_PRU1_GPO5	0	IO	0	7	オフ / オフ / オフ	オフ / オフ / オフ	1.8 V/3.3V	VDDSHV2	あり	PU/PD	LVCMOS
		PADCONFIG71 0x000F411C	PRG1_PRU1_GPI5	1	I	0								
			RGMII1_RD0	4	I	0								
			GPIO0_70	7	IO	パッド								
			GPMC0_A8	8	OZ									
U11	V10	PRG1_PRU1_GPO6	PRG1_PRU1_GPO6	0	IO	0	7	オフ / オフ / オフ	オフ / オフ / オフ	1.8 V/3.3V	VDDSHV2	あり	PU/PD	LVCMOS
		PADCONFIG72 0x000F4120	PRG1_PRU1_GPI6	1	I	0								
			PRG1_RGMII2_RXC	2	I	0								
			RGMII2_RXC	4	I	0								
			GPIO0_71	7	IO	パッド								
			GPMC0_A9	8	OZ									
V15	Y14	PRG1_PRU1_GPO7	PRG1_PRU1_GPO7	0	IO	0	7	オフ / オフ / オフ	オフ / オフ / オフ	1.8 V/3.3V	VDDSHV2	あり	PU/PD	LVCMOS
		PADCONFIG73 0x000F4124	PRG1_PRU1_GPI7	1	I	0								
			PRG1_IEP1_EDC_LATCH_IN1	2	I	0								
			RGMII1_TD0	4	O									
			RMII1_RXD0	5	I	0								
			SPI3_CS3	6	IO	1								
			GPIO0_72	7	IO	パッド								
			GPMC0_A10	8	OZ									
U12	W11	PRG1_PRU1_GPO8	PRG1_PRU1_GPO8	0	IO	0	7	オフ / オフ / オフ	オフ / オフ / オフ	1.8 V/3.3V	VDDSHV2	あり	PU/PD	LVCMOS
		PADCONFIG74 0x000F4128	PRG1_PRU1_GPI8	1	I	0								
			PRG1_PWM2_TZ_OUT	3	O									
			RGMII1_RD1	4	I	0								
			GPIO0_73	7	IO	パッド								
			GPMC0_A11	8	OZ									
V14	Y16	PRG1_PRU1_GPO9	PRG1_PRU1_GPO9	0	IO	0	7	オフ / オフ / オフ	オフ / オフ / オフ	1.8 V/3.3V	VDDSHV2	あり	PU/PD	LVCMOS
		PADCONFIG75 0x000F412C	PRG1_PRU1_GPI9	1	I	0								
			PRG1_UART0_RXD	2	I	1								
			RGMII1_TD1	4	O									
			RMII1_RXD1	5	I	0								
			PRG1_IEP0_EDIO_DATA_IN_OUT30	6	IO	0								
			GPIO0_74	7	IO	パッド								
			GPMC0_A12	8	OZ									

表 5-1. ピン属性 (ALV、ALX パッケージ) (続き)

ALV のボール番号 [1]	ALX のボール番号 [1]	ボール名 [2] / PadConfig レジスタ [15] / アドレス [16]	信号名 [3]	多重化モード [4]	タイプ [5]	DSIS [6]	リセット後の多重化モード [9]	リセット時のボールの状態 [7]	リセット後のボールの状態 [8]	IO 電圧 [10]	電源ドメイン [11]	ヒステリシス [12]	プルタイプ [13]	バッファタイプ [14]
W14	U13	PRG1_PRU1_GPO10	PRG1_PRU1_GPO10	0	IO	0	7	オフ / オフ / オフ	オフ / オフ / オフ	1.8 V/3.3V	VDDSHV2	あり	PU/PD	LVCMOS
		PADCONFIG76 0x000F4130	PRG1_PRU1_GPI10	1	I	0								
			PRG1_UART0_TXD	2	O									
			PRG1_PWM2_TZ_IN	3	I	0								
			RGMII1_TD2	4	O									
			RMII1_TXD0	5	O									
			PRG1_IEP0_EDIO_DATA_IN_OUT31	6	IO	0								
			GPIO0_75	7	IO	パッド								
			GPMC0_A13	8	OZ									
AA10	Y6	PRG1_PRU1_GPO11	PRG1_PRU1_GPO11	0	IO	0	7	オフ / オフ / オフ	オフ / オフ / オフ	1.8 V/3.3V	VDDSHV2	あり	PU/PD	LVCMOS
		PADCONFIG77 0x000F4134	PRG1_PRU1_GPI11	1	I	0								
			PRG1_RGMII2_TD0	2	O									
			RGMII2_TD0	4	O									
			RMII2_TXD0	5	O									
			GPIO0_76	7	IO	パッド								
			GPMC0_A14	8	OZ									
V10	AA8	PRG1_PRU1_GPO12	PRG1_PRU1_GPO12	0	IO	0	7	オフ / オフ / オフ	オフ / オフ / オフ	1.8 V/3.3V	VDDSHV2	あり	PU/PD	LVCMOS
		PADCONFIG78 0x000F4138	PRG1_PRU1_GPI12	1	I	0								
			PRG1_RGMII2_TD1	2	O									
			PRG1_PWM1_A0	3	IO	0								
			RGMII2_TD1	4	O									
			RMII2_TXD1	5	O									
			GPIO0_77	7	IO	パッド								
			GPMC0_A15	8	OZ									
U10	Y9	PRG1_PRU1_GPO13	PRG1_PRU1_GPO13	0	IO	0	7	オフ / オフ / オフ	オフ / オフ / オフ	1.8 V/3.3V	VDDSHV2	あり	PU/PD	LVCMOS
		PADCONFIG79 0x000F413C	PRG1_PRU1_GPI13	1	I	0								
			PRG1_RGMII2_TD2	2	O									
			PRG1_PWM1_B0	3	IO	1								
			RGMII2_TD2	4	O									
			RMII2_CRS_DV	5	I	0								
			GPIO0_78	7	IO	パッド								
			GPMC0_A16	8	OZ									

Copyright © 2024 Texas Instruments Incorporated

表 5-1. ピン属性 (ALV、ALX パッケージ) (続き)

ALV のボール番号 [1]	ALX のボール番号 [1]	ボール名 [2] / PadConfig レジスタ [15] / アドレス [16]	信号名 [3]	多重化モード [4]	タイプ [5]	DSIS [6]	リセット後の多重化モード [9]	リセット時のボールの状態 [7]	リセット後のボールの状態 [8]	IO 電圧 [10]	電源ドメイン [11]	ヒステリシス [12]	プルタイプ [13]	バッファタイプ [14]
AA11	W9	PRG1_PRU1_GPO14	PRG1_PRU1_GPO14	0	IO	0	7	オフ / オフ / オフ	オフ / オフ / オフ	1.8 V/3.3V	VDDSHV2	あり	PU/PD	LVCMOS
		PADCONFIG80 0x000F4140	PRG1_PRU1_GPI14	1	I	0								
			PRG1_RGMII2_TD3	2	O									
			PRG1_PWM1_A1	3	IO	0								
			RGMII2_TD3	4	O									
			GPIO0_79	7	IO	パッド								
			GPMC0_A17	8	OZ									
Y11	V9	PRG1_PRU1_GPO15	PRG1_PRU1_GPO15	0	IO	0	7	オフ / オフ / オフ	オフ / オフ / オフ	1.8 V/3.3V	VDDSHV2	あり	PU/PD	LVCMOS
		PADCONFIG81 0x000F4144	PRG1_PRU1_GPI15	1	I	0								
			PRG1_RGMII2_TX_CTL	2	O									
			PRG1_PWM1_B1	3	IO	1								
			RGMII2_TX_CTL	4	O									
			RMII2_TX_EN	5	O									
			GPIO0_80	7	IO	パッド								
			GPMC0_A18	8	OZ									
Y10	Y8	PRG1_PRU1_GPO16	PRG1_PRU1_GPO16	0	IO	0	7	オフ / オフ / オフ	オフ / オフ / オフ	1.8 V/3.3V	VDDSHV2	あり	PU/PD	LVCMOS
		PADCONFIG82 0x000F4148	PRG1_PRU1_GPI16	1	I	0								
			PRG1_RGMII2_TXC	2	IO	0								
			PRG1_PWM1_A2	3	IO	0								
			RGMII2_TXC	4	IO	0								
			GPIO0_81	7	IO	パッド								
			GPMC0_A19	8	OZ									
AA14	AA14	PRG1_PRU1_GPO17	PRG1_PRU1_GPO17	0	IO	0	7	オフ / オフ / オフ	オフ / オフ / オフ	1.8 V/3.3V	VDDSHV2	あり	PU/PD	LVCMOS
		PADCONFIG83 0x000F414C	PRG1_PRU1_GPI17	1	I	0								
			PRG1_IEP1_EDC_SYNC_OUT1	2	O									
			PRG1_PWM1_B2	3	IO	1								
			RGMII1_TD3	4	O									
			RMII1_TXD1	5	O									
			GPIO0_19	7	IO	パッド								
			GPMC0_BE3n	8	O									
			PRG1_ECAP0_SYNC_OUT	9	O									

表 5-1. ピン属性 (ALV、ALX パッケージ) (続き)

ALV のボール番号 [1]	ALX のボール番号 [1]	ボール名 [2] / PadConfig レジスタ [15] / アドレス [16]	信号名 [3]	多重化モード [4]	タイプ [5]	DSIS [6]	リセット後の多重化モード [9]	リセット時のボールの状態 [7]	リセット後のボールの状態 [8]	IO 電圧 [10]	電源ドメイン [11]	ヒステリシス [12]	プルタイプ [13]	バッファタイプ [14]
Y13	Y15	PRG1_PRU1_GPO18 PADCONFIG84 0x000F4150	PRG1_PRU1_GPO18	0	IO	0	7	オフ / オフ / オフ	オフ / オフ / オフ	1.8 V/3.3V	VDDSHV2	あり	PU/PD	LVCMOS
			PRG1_PRU1_GPI18	1	I	0								
			PRG1_IEP1_EDC_LATCH_IN0	2	I	0								
			PRG1_PWM1_TZ_IN	3	I	0								
			RGMII1_RD2	4	I	0								
			RMII1_TX_EN	5	O									
			GPIO0_20	7	IO	パッド								
			UART5_CTSn	8	I	1								
			PRG1_ECAP0_SYNC_IN	9	I	0								
V12	AA13	PRG1_PRU1_GPO19 PADCONFIG85 0x000F4154	PRG1_PRU1_GPO19	0	IO	0	7	オフ / オフ / オフ	オフ / オフ / オフ	1.8 V/3.3V	VDDSHV2	あり	PU/PD	LVCMOS
			PRG1_PRU1_GPI19	1	I	0								
			PRG1_IEP1_EDC_SYNC_OUT0	2	O									
			PRG1_PWM1_TZ_OUT	3	O									
			RGMII1_RD3	4	I	0								
			RMII1_CRS_DV	5	I	0								
			SPI3_CS2	6	IO	1								
			GPIO0_84	7	IO	パッド								
			UART5_RTSn	8	O									
			PRG1_ECAP0_IN_APWM_OUT	9	IO	0								
F16	E19	RESETSTATz PADCONFIG169 0x000F42A4	RESETSTATz	0	O		0	オフ / Low / オフ	オフ / SS / オフ	1.8 V/3.3 V	VDDSHV0	あり	PU/PD	LVCMOS
E18	C17	RESET_REQz PADCONFIG168 0x000F42A0	RESET_REQz	0	I		0	オン / オフ / アップ	オン / オフ / アップ	1.8 V/3.3 V	VDDSHV0	あり	PU/PD	LVCMOS
H16	H11	RSVD0	RSVD0		RSVD									
D21	J13	RSVD1	RSVD1		RSVD									
G13		RSVD2	RSVD2		RSVD									
F17		RSVD3	RSVD3		RSVD									
W15		RSVD4	RSVD4		RSVD									
V16		RSVD5	RSVD5		RSVD									
K2		RSVD6	RSVD6		RSVD									
K1		RSVD7	RSVD7		RSVD									
F12		RSVD8	RSVD8		RSVD									

Copyright © 2024 Texas Instruments Incorporated

表 5-1. ピン属性 (ALV、ALX パッケージ) (続き)

ALV のボール番号 [1]	ALX のボール番号 [1]	ボール名 [2] / PadConfig レジスタ [15] / アドレス [16]	信号名 [3]	多重化モード [4]	タイプ [5]	DSIS [6]	リセット後の多重化モード [9]	リセット時のボールの状態 [7]	リセット後のボールの状態 [8]	IO 電圧 [10]	電源ドメイン [11]	ヒステリシス [12]	プルタイプ [13]	バッファタイプ [14]
T13		SERDES0_REXT	SERDES0_REXT		A					1.8 V	VDDA_1P8_SERDES0 VDDA_0P85_SERDES0 VDDA_0P85_SERDES0_C			SERDES
W16		SERDES0_REFCLK0N	SERDES0_REFCLK0N		IO					1.8 V	VDDA_1P8_SERDES0 VDDA_0P85_SERDES0 VDDA_0P85_SERDES0_C			SERDES
W17		SERDES0_REFCLK0P	SERDES0_REFCLK0P		IO					1.8 V	VDDA_1P8_SERDES0 VDDA_0P85_SERDES0 VDDA_0P85_SERDES0_C			SERDES
Y15		SERDES0_RX0_N	SERDES0_RX0_N		I					1.8 V	VDDA_1P8_SERDES0 VDDA_0P85_SERDES0 VDDA_0P85_SERDES0_C			SERDES
Y16		SERDES0_RX0_P	SERDES0_RX0_P		I					1.8 V	VDDA_1P8_SERDES0 VDDA_0P85_SERDES0 VDDA_0P85_SERDES0_C			SERDES
AA16		SERDES0_TX0_N	SERDES0_TX0_N		O					1.8 V	VDDA_1P8_SERDES0 VDDA_0P85_SERDES0 VDDA_0P85_SERDES0_C			SERDES
AA17		SERDES0_TX0_P	SERDES0_TX0_P		O					1.8 V	VDDA_1P8_SERDES0 VDDA_0P85_SERDES0 VDDA_0P85_SERDES0_C			SERDES
D13	B8	SPI0_CLK	SPI0_CLK	0	IO	0	7	オフ / オフ / オフ	オフ / オフ / オフ	1.8 V/3.3V	VDDSHV0	あり	PU/PD	LVCMOS
		PADCONFIG132 0x000F4210	GPIO1_44	7	IO	パッド								
C14		SPI1_CLK	SPI1_CLK	0	IO	0	7	オフ / オフ / オフ	オフ / オフ / オフ	1.8 V/3.3V	VDDSHV0	あり	PU/PD	LVCMOS
		PADCONFIG137 0x000F4224	EHRPWM6_SYNCI	3	I	0								
			GPIO1_49	7	IO	パッド								
D12		SPI0_CS0	SPI0_CS0	0	IO	1	7	オフ / オフ / オフ	オフ / オフ / オフ	1.8 V/3.3V	VDDSHV0	あり	PU/PD	LVCMOS
		PADCONFIG130 0x000F4208	GPIO1_42	7	IO	パッド								

表 5-1. ピン属性 (ALV、ALX パッケージ) (続き)

ALV のボール番号 [1]	ALX のボール番号 [1]	ボール名 [2] / PadConfig レジスタ [15] / アドレス [16]	信号名 [3]	多重化モード [4]	タイプ [5]	DSIS [6]	リセット後の多重化モード [9]	リセット時のボールの状態 [7]	リセット後のボールの状態 [8]	IO 電圧 [10]	電源ドメイン [11]	ヒステリシス [12]	プルタイプ [13]	バッファタイプ [14]
C13	B7	SPI0_CS1	SPI0_CS1	0	IO	1	7	オフ / オフ / オフ	オフ / オフ / オフ	1.8 V/3.3V	VDDSHV0	あり	PU/PD	LVCMOS
		PADCONFIG131 0x000F420C	CPTS0_TS_COMP	1	O									
			I2C2_SCL	2	IOD	1								
			TIMER_IO10	3	IO	0								
			PRG0_IEP0_EDIO_OUTVALID	4	O									
			UART6_RXD	5	I	1								
			ADC_EXT_TRIGGER0	6	I	0								
			GPIO1_43	7	IO	パッド								
A13	A8	SPI0_D0	SPI0_D0	0	IO	0	7	オフ / オフ / オフ	オフ / オフ / オフ	1.8 V/3.3V	VDDSHV0	あり	PU/PD	LVCMOS
		PADCONFIG133 0x000F4214	GPIO1_45	7	IO	パッド								
A14	C9	SPI0_D1	SPI0_D1	0	IO	0	7	オフ / オフ / オフ	オフ / オフ / オフ	1.8 V/3.3V	VDDSHV0	あり	PU/PD	LVCMOS
		PADCONFIG134 0x000F4218	GPIO1_46	7	IO	パッド								
B14		SPI1_CS0	SPI1_CS0	0	IO	1	7	オフ / オフ / オフ	オフ / オフ / オフ	1.8 V/3.3V	VDDSHV0	あり	PU/PD	LVCMOS
		PADCONFIG135 0x000F421C	EHRPWM6_A	3	IO	0								
			GPIO1_47	7	IO	パッド								
D14		SPI1_CS1	SPI1_CS1	0	IO	1	7	オフ / オフ / オフ	オフ / オフ / オフ	1.8 V/3.3V	VDDSHV0	あり	PU/PD	LVCMOS
		PADCONFIG136 0x000F4220	CPTS0_TS_SYNC	1	O									
			I2C2_SDA	2	IOD	1								
			PRG1_IEP0_EDIO_OUTVALID	4	O									
			UART6_TXD	5	O									
			ADC_EXT_TRIGGER1	6	I	0								
			GPIO1_48	7	IO	パッド								
			TIMER_IO11	8	IO	0								
B15		SPI1_D0	SPI1_D0	0	IO	0	7	オフ / オフ / オフ	オフ / オフ / オフ	1.8 V/3.3V	VDDSHV0	あり	PU/PD	LVCMOS
		PADCONFIG138 0x000F4228	EHRPWM6_SYNCO	3	O									
			GPIO1_50	7	IO	パッド								
A15		SPI1_D1	SPI1_D1	0	IO	0	7	オフ / オフ / オフ	オフ / オフ / オフ	1.8 V/3.3V	VDDSHV0	あり	PU/PD	LVCMOS
		PADCONFIG139 0x000F422C	EHRPWM6_B	3	IO	0								
			GPIO1_51	7	IO	パッド								
B11	C6	TCK	TCK	0	I		0	オン / オフ / アップ	オン / オフ / アップ	1.8 V/3.3 V	VDDSHV_MCU	あり	PU/PD	LVCMOS
		MCU_PADCONFIG26 0x04084068												
C11	A3	TDI	TDI	0	I		0	オン / オフ / アップ	オン / オフ / アップ	1.8 V/3.3 V	VDDSHV_MCU	あり	PU/PD	LVCMOS
		MCU_PADCONFIG28 0x04084070												

Copyright © 2024 Texas Instruments Incorporated

表 5-1. ピン属性 (ALV、ALX パッケージ) (続き)

ALV のボール番号 [1]	ALX のボール番号 [1]	ボール名 [2] / PadConfig レジスタ [15] / アドレス [16]	信号名 [3]	多重化モード [4]	タイプ [5]	DSIS [6]	リセット後の多重化モード [9]	リセット時のボールの状態 [7]	リセット後のボールの状態 [8]	IO 電圧 [10]	電源ドメイン [11]	ヒステリシス [12]	プルタイプ [13]	バッファタイプ [14]
A12	B5	TDO MCU_PADCONFIG29 0x04084074	TDO	0	OZ		0	オフ / オフ / アップ	オフ / SS / アップ	1.8 V/3.3 V	VDDSHV_MCU	あり	PU/PD	LVCMOS
C12	B4	TMS MCU_PADCONFIG30 0x04084078	TMS	0	I		0	オン / オフ / アップ	オン / オフ / アップ	1.8 V/3.3 V	VDDSHV_MCU	あり	PU/PD	LVCMOS
D11	B6	TRSTn MCU_PADCONFIG27 0x0408406C	TRSTn	0	I		0	オン / オフ / ダウン	オン / オフ / ダウン	1.8 V/3.3 V	VDDSHV_MCU	あり	PU/PD	LVCMOS
B16	B9	UART0_CTSn PADCONFIG142 0x000F4238	UART0_CTSn	0	I	1	7	オフ / オフ / オフ	オフ / オフ / オフ	1.8 V/3.3V	VDDSHV0	あり	PU/PD	LVCMOS
			SPI0_CS2	1	IO	1								
			ADC_EXT_TRIGGER0	2	I	0								
			UART2_RXD	3	I	1								
			TIMER_IO6	4	IO	0								
			SPI4_CLK	6	IO	0								
			GPIO1_54	7	IO	パッド								
			EQEP0_S	8	IO	0								
			CP_GEMAC_CPTS0_TS_SYNC	9	O									
A16	A9	UART0_RTSn PADCONFIG143 0x000F423C	UART0_RTSn	0	O		7	オフ / オフ / オフ	オフ / オフ / オフ	1.8 V/3.3V	VDDSHV0	あり	PU/PD	LVCMOS
			SPI0_CS3	1	IO	1								
			UART2_TXD	3	O									
			TIMER_IO7	4	IO	0								
			SPI4_D0	6	IO	0								
			GPIO1_55	7	IO	パッド								
			EQEP0_I	8	IO	0								
D15	B10	UART0_RXD PADCONFIG140 0x000F4230	UART0_RXD	0	I	1	7	オフ / オフ / オフ	オフ / オフ / オフ	1.8 V/3.3V	VDDSHV0	あり	PU/PD	LVCMOS
			SPI2_D0	2	IO	0								
			GPIO1_52	7	IO	パッド								
			EQEP0_A	8	I	0								
C16	B11	UART0_TXD PADCONFIG141 0x000F4234	UART0_TXD	0	O		7	オフ / オフ / オフ	オフ / オフ / オフ	1.8 V/3.3V	VDDSHV0	あり	PU/PD	LVCMOS
			SPI2_D1	2	IO	0								
			GPIO1_53	7	IO	パッド								
			EQEP0_B	8	I	0								

表 5-1. ピン属性 (ALV、ALX パッケージ) (続き)

ALV のボール番号 [1]	ALX のボール番号 [1]	ボール名 [2] / PadConfig レジスタ [15] / アドレス [16]	信号名 [3]	多重化モード [4]	タイプ [5]	DSIS [6]	リセット後の多重化モード [9]	リセット時のボールの状態 [7]	リセット後のボールの状態 [8]	IO 電圧 [10]	電源ドメイン [11]	ヒステリシス [12]	プルタイプ [13]	バッファタイプ [14]
D16	C11	UART1_CTSn	UART1_CTSn	0	I	1	7	オフ / オフ / オフ	オフ / オフ / オフ	1.8 V/3.3V	VDDSHV0	あり	PU/PD	LVCMOS
		PADCONFIG146 0x000F4248	SPI1_CS2	1	IO	1								
			ADC_EXT_TRIGGER1	2	I	0								
			PCIE0_CLKREQn	3	IO	0								
			UART3_RXD	4	I	1								
			CP_GEMAC_CPTS0_TS_SYNC	5	O									
			SPI4_D1	6	IO	0								
			GPIO1_58	7	IO	パッド								
			EQEP1_S	8	IO	0								
E16	A11	UART1_RTSn	UART1_RTSn	0	O		7	オフ / オフ / オフ	オフ / オフ / オフ	1.8 V/3.3V	VDDSHV0	あり	PU/PD	LVCMOS
		PADCONFIG147 0x000F424C	SPI1_CS3	1	IO	1								
			UART3_TXD	4	O									
			CP_GEMAC_CPTS0_HW2TSPUSH	5	I	0								
			SPI4_CS0	6	IO	1								
			GPIO1_59	7	IO	パッド								
			EQEP1_I	8	IO	0								
E15	B12	UART1_RXD	UART1_RXD	0	I	1	7	オフ / オフ / オフ	オフ / オフ / オフ	1.8 V/3.3V	VDDSHV0	あり	PU/PD	LVCMOS
		PADCONFIG144 0x000F4240	SPI2_CS0	2	IO	1								
			CP_GEMAC_CPTS0_TS_COMP	5	O									
			GPIO1_56	7	IO	パッド								
			EQEP1_A	8	I	0								
E14	A12	UART1_TXD	UART1_TXD	0	O		7	オフ / オフ / オフ	オフ / オフ / オフ	1.8 V/3.3V	VDDSHV0	あり	PU/PD	LVCMOS
		PADCONFIG145 0x000F4244	SPI2_CLK	2	IO	0								
			CP_GEMAC_CPTS0_HW1TSPUSH	5	I	0								
			GPIO1_57	7	IO	パッド								
			EQEP1_B	8	I	0								
AA20	AA17	USB0_DM	USB0_DM		IO					1.8 V/3.3 V	VDDA_3P3_USB0、VDDA_1P8_USB0、VDDA_0P85_USB0			USB2PHY
AA19	AA16	USB0_DP	USB0_DP		IO					1.8 V/3.3 V	VDDA_3P3_USB0、VDDA_1P8_USB0、VDDA_0P85_USB0			USB2PHY
E19	B19	USB0_DRVVBUS	USB0_DRVVBUS	0	O		7	オフ / オフ / ダウン	オフ / オフ / ダウン	1.8 V/3.3V	VDDSHV0	あり	PU/PD	LVCMOS
		PADCONFIG170 0x000F42A8	GPIO1_79	7	IO	パッド								
U16	Y17	USB0_ID	USB0_ID		A					1.8 V/3.3 V	VDDA_3P3_USB0、VDDA_1P8_USB0、VDDA_0P85_USB0			USB2PHY

Copyright © 2024 Texas Instruments Incorporated

表 5-1. ピン属性 (ALV、ALX パッケージ) (続き)

ALV のボール番号 [1]	ALX のボール番号 [1]	ボール名 [2] / PadConfig レジスタ [15] / アドレス [16]	信号名 [3]	多重化モード [4]	タイプ [5]	DSIS [6]	リセット後の多重化モード [9]	リセット時のボールの状態 [7]	リセット後のボールの状態 [8]	IO 電圧 [10]	電源ドメイン [11]	ヒステリシス [12]	プルタイプ [13]	バッファタイプ [14]
U17	W17	USB0_RCALIB	USB0_RCALIB		A					1.8 V/3.3 V	VDDA_3P3_USB0、VDDA_1P8_USB0、VDDA_0P85_USB0			USB2PHY
T14	V18	USB0_VBUS	USB0_VBUS		A					1.8 V/3.3 V	VDDA_3P3_USB0、VDDA_1P8_USB0、VDDA_0P85_USB0			USB2PHY
P12、P13		VDDA_0P85_SERDES0	VDDA_0P85_SERDES0		PWR									
P11		VDDA_0P85_SERDES0_C	VDDA_0P85_SERDES0_C		PWR									
T12	V16	VDDA_0P85_USB0	VDDA_0P85_USB0		PWR									
R14		VDDA_1P8_SERDES0	VDDA_1P8_SERDES0		PWR									
R15	U15	VDDA_1P8_USB0	VDDA_1P8_USB0		PWR									
H15	K15	VDDA_3P3_SDIO	VDDA_3P3_SDIO		PWR									
R13	U16	VDDA_3P3_USB0	VDDA_3P3_USB0		PWR									
J13	G17、H17	VDDA_ADC	VDDA_ADC		PWR									
K12	H14	VDDA_MCU	VDDA_MCU		PWR									
N12	N12	VDDA_PLL0	VDDA_PLL0		PWR									
H9	G9	VDDA_PLL1	VDDA_PLL1		PWR									
J11	G12	VDDA_PLL2	VDDA_PLL2		PWR									
G11	G11	VDDA_TEMP0	VDDA_TEMP0		PWR									
L11	M11	VDDA_TEMP1	VDDA_TEMP1		PWR									
L10、M13	G5、G6、J10、J12、P14、P8、R10	VDDR_CORE	VDDR_CORE		PWR									
F11、G12、G14	C13、D13、E14	VDDSHV0	VDDSHV0		PWR									
M7、N6、P7	L6、M6、P5、P6	VDDSHV1	VDDSHV1		PWR									
R10、R8、T9	T11、T8、U11、U7、U8	VDDSHV2	VDDSHV2		PWR									
P14、P15	R17、T17	VDDSHV3	VDDSHV3		PWR									
M14、M15	N16、N17	VDDSHV4	VDDSHV4		PWR									
L14、L15	L16、L17	VDDSHV5	VDDSHV5		PWR									
F9、G10、G8	E7、E8、E9	VDDSHV_MCU	VDDSHV_MCU		PWR									
F7、G6、H7、J6、K7、L6		VDDS_DDR	VDDS_DDR		PWR									

表 5-1. ピン属性 (ALV、ALX パッケージ) (続き)

ALV のボール番号 [1]	ALX のボール番号 [1]	ボール名 [2] / PadConfig レジスタ [15] / アドレス [16]	信号名 [3]	多重化モード [4]	タイプ [5]	DSIS [6]	リセット後の多重化モード [9]	リセット時のボールの状態 [7]	リセット後のボールの状態 [8]	IO 電圧 [10]	電源ドメイン [11]	ヒステリシス [12]	プルタイプ [13]	バッファタイプ [14]
J8		VDDS_DDR_C	VDDS_DDR_C		PWR									
K14		VDDS_MMC0	VDDS_MMC0		PWR									
H13	F18	VDDS_OSC	VDDS_OSC		PWR									
J10、J12、K11、K9、L12、L8、M11、M9、N10、N8、P9	F11、G10、H15、H8、J9、K11、K14、L13、L9、M14、M8、N10、N9、R12、R13、R9	VDD_CORE	VDD_CORE		PWR									
H14		VDD_DLL_MMC0	VDD_DLL_MMC0		PWR									
K13		VDD_MMC0	VDD_MMC0		PWR									
K16		VMON_1P8_MCU	VMON_1P8_MCU		A									
E12	F14	VMON_1P8_SOC	VMON_1P8_SOC		A									
F13		VMON_3P3_MCU	VMON_3P3_MCU		A									
F14	E15	VMON_3P3_SOC	VMON_3P3_SOC		A									
K10	G13	VMON_VSYS	VMON_VSYS		A									
G15	E16	VPP	VPP		PWR									

Copyright © 2024 Texas Instruments Incorporated

表 5-1. ピン属性 (ALV、ALX パッケージ) (続き)

ALV のボール番号 [1]	ALX のボール番号 [1]	ボール名 [2] / PadConfig レジスタ [15] / アドレス [16]	信号名 [3]	多重化モード [4]	タイプ [5]	DSIS [6]	リセット後の多重化モード [9]	リセット時のボールの状態 [7]	リセット後のボールの状態 [8]	IO 電圧 [10]	電源ドメイン [11]	ヒステリシス [12]	プルタイプ [13]	バッファタイプ [14]
A1、A21、A5、A6、AA1、AA15、AA18、AA21、C10、C15、C3、D1、E11、E13、F10、F15、F8、G1、G16、G3、G7、G9、H11、H20、H21、H6、H8、J14、J7、J9、K6、K8、L1、L16、L3、L7、L9、M10、M12、M6、M8、N11、N13、N15、N7、N9、P1、P10、P18、P6、P8、R12、R7、R9、T10、T11、T15、T16、T8、U3、V17、W10、W18、Y14、Y17、Y19	A1、A2、A20、A21、AA1、AA2、AA20、AA21、B1、B21、D10、D16、D17、E11、E13、E6、F17、F8、G16、H16、H6、H7、J11、J16、J5、J6、K16、K6、K7、K8、L10、L11、L12、M15、M16、M7、N11、N13、N6、P11、P15、P16、P7、R11、R6、T14、U6、Y1、Y21	VSS	VSS		GND									

5.2.1 AM243x パッケージの比較表 (ALV と ALX の比較)

表 5-2. AM243x パッケージの比較表 (ALV と ALX の比較)

AM243x_ALV ボール番号	AM243x_ALV 信号名		AM243x_ALX ボール番号	AM243x_ALX 信号名
A1	VSS		A1	VSS
A2	DDR0_DQ1		A2	VSS
A3	DDR0_DQ0		A3	TDI
A4	DDR0_DQ3			
A5	VSS		A5	MCU_RESETZ
A6	VSS		A6	MCU_RESETSTATZ
A7	MCU_SPI1_CS0			
A8	MCU_UART0_TXD		A8	SPI0_D0
A9	MCU_UART0_RXD		A9	UART0_RTSN
A10	MCU_I2C0_SDA			
A11	MCU_I2C1_SCL		A11	UART1_RTSN
A12	TDO		A12	UART1_TXD
A13	SPI0_D0			
A14	SPI0_D1		A14	MCAN0_RX
A15	SPI1_D1		A15	MCAN1_RX
A16	UART0_RTSN			
A17	MCAN0_TX		A17	I2C1_SCL
A18	I2C0_SCL		A18	EXT_REFCLK1
A19	EXT_REFCLK1			
A20	MCU_SAFETY_ERRORN		A20	VSS
A21	VSS		A21	VSS
B1	DDR0_DQS0_N		B1	VSS
B2	DDR0_DM0		B2	MCU_UART0_TXD
B3	DDR0_DQ4		B3	EMU1
B4	DDR0_DQ7		B4	TMS
B5	DDR0_DQ2		B5	TDO
B6	MCU_SPI0_D1		B6	TRSTN
B7	MCU_SPI1_CS1		B7	SPI0_CS1
B8	MCU_UART1_CTSN		B8	SPI0_CLK
B9	MCU_UART1_RTSN		B9	UART0_CTSN
B10	MCU_I2C1_SDA		B10	UART0_RXD
B11	TCK		B11	UART0_TXD
B12	MCU_RESETZ		B12	UART1_RXD
B13	MCU_RESETSTATZ		B13	MCAN0_TX
B14	SPI1_CS0		B14	MCAN1_TX
B15	SPI1_D0		B15	I2C0_SDA
B16	UART0_CTSN		B16	I2C0_SCL
B17	MCAN0_RX		B17	MMC1_SDCD
B18	I2C0_SDA		B18	I2C1_SDA
B19	I2C1_SDA		B19	USB0_DRVVBUS
B20	MCU_OSC0_XO		B20	MCU_SAFETY_ERRORN
B21	MCU_PORZ		B21	VSS

Copyright © 2024 Texas Instruments Incorporated

表 5-2. AM243x パッケージの比較表 (ALV と ALX の比較) (続き)

AM243x_ALV ボール番号	AM243x_ALV 信号名		AM243x_ALX ボール番号	AM243x_ALX 信号名
C1	DDR0_DQS0			
C2	DDR0_DQ6		C2	MCU_UART0_RTSN
C3	VSS			
C4	DDR0_DQ5			
C5	DDR0_A1		C5	EMU0
C6	MCU_SPI0_CS1		C6	TCK
C7	MCU_SPI1_D0			
C8	MCU_SPI1_D1			
C9	MCU_UART1_RXD		C9	SPI0_D1
C10	VSS			
C11	TDI		C11	UART1_CTSN
C12	TMS			
C13	SPI0_CS1		C13	VDDSHV0
C14	SPI1_CLK			
C15	VSS			
C16	UART0_TXD		C16	MMC1_SDWP
C17	MCAN1_TX		C17	RESET_REQZ
C18	I2C1_SCL			
C19	EXTINTN			
C20	MMC1_SDWP		C20	MCU_PORZ
C21	MCU_OSC0_XI		C21	MCU_OSC0_XO
D1	VSS		D1	PRG0_PRU1_GPO18
D2	DDR0_A0		D2	PRG0_MDIO0_MDC
D3	DDR0_A4			
D4	DDR0_A3		D4	MCU_UART0_CTSN
D5	DDR0_RESET0_N			
D6	MCU_SPI0_CS0		D6	MCU_UART0_RXD
D7	MCU_SPI1_CLK			
D8	MCU_UART0_CTSN			
D9	MCU_UART1_TXD		D9	CAP_VDDS_MCU
D10	EMU0		D10	VSS
D11	TRSTN			
D12	SPI0_CS0		D12	CAP_VDDS0
D13	SPI0_CLK		D13	VDDSHV0
D14	SPI1_CS1			
D15	UART0_RXD			
D16	UART1_CTSN		D16	VSS
D17	MCAN1_RX		D17	VSS
D18	ECAP0_IN_APWM_OUT		D18	PORZ_OUT
D19	MMC1_SDCD			
D20	ADC0_AIN3		D20	MCU_OSC0_XI
D21	RSVD			
E1	DDR0_CK0_N		E1	PRG0_PRU0_GPO17
E2	DDR0_A2		E2	PRG0_PRU0_GPO7

表 5-2. AM243x パッケージの比較表 (ALV と ALX の比較) (続き)

AM243x_ALV ボール番号	AM243x_ALV 信号名		AM243x_ALX ボール番号	AM243x_ALX 信号名
E3	DDR0_CS0_N		E3	PRG0_PRU1_GPO5
E4	DDR0_CS1_N		E4	PRG0_MDIO0_MDIO
E5	DDR0_ODT0			
E6	MCU_SPI0_CLK		E6	VSS
E7	MCU_SPI0_D0		E7	VDDSHV_MCU
E8	MCU_UART0_RTSN		E8	VDDSHV_MCU
E9	MCU_I2C0_SCL		E9	VDDSHV_MCU
E10	EMU1			
E11	VSS		E11	VSS
E12	VMON_1P8_SOC			
E13	VSS		E13	VSS
E14	UART1_TXD		E14	VDDSHV0
E15	UART1_RXD		E15	VMON_3P3_SOC
E16	UART1_RTSN		E16	VPP
E17	PORZ_OUT			
E18	RESET_REQZ			
E19	USB0_DRVVBUS		E19	RESETSTATZ
E20	ADC0_AIN7		E20	ADC0_AIN7
E21	ADC0_AIN2		E21	ADC0_AIN5
F1	DDR0_CK0			
F2	DDR0_A5		F2	PRG0_PRU0_GPO5
F3	DDR0_CKE1		F3	PRG0_PRU1_GPO19
F4	DDR0_CKE0		F4	PRG0_PRU1_GPO8
F5	DDR0_ODT1		F5	PRG0_PRU1_GPO6
F6	DDR0_RAS_N			
F7	VDDS_DDR			
F8	VSS		F8	VSS
F9	VDDSHV_MCU			
F10	VSS			
F11	VDDSHV0		F11	VDD_CORE
F12	RSVD			
F13	VMON_3P3_MCU			
F14	VMON_3P3_SOC		F14	VMON_1P8_SOC
F15	VSS			
F16	RESETSTATZ			
F17	RSVD		F17	VSS
F18	MMC0_CALPAD		F18	VDDS_OSC
F19	ADC0_AIN6		F19	ADC0_AIN1
F20	ADC0_AIN1		F20	ADC0_AIN3
F21	ADC0_AIN5		F21	ADC0_AIN2
G1	VSS		G1	PRG0_PRU0_GPO2
G2	DDR0_BG0		G2	PRG0_PRU0_GPO19
G3	VSS			
G4	DDR0_BA0			

Copyright © 2024 Texas Instruments Incorporated

表 5-2. AM243x パッケージの比較表 (ALV と ALX の比較) (続き)

AM243x_ALV ボール番号	AM243x_ALV 信号名		AM243x_ALX ボール番号	AM243x_ALX 信号名
G5	DDR0_BA1		G5	VDDR_CORE
G6	VDDS_DDR		G6	VDDR_CORE
G7	VSS			
G8	VDDSHV_MCU			
G9	VSS		G9	VDDA_PLL1
G10	VDDSHV_MCU		G10	VDD_CORE
G11	VDDA_TEMP0		G11	VDDA_TEMP0
G12	VDDSHV0		G12	VDDA_PLL2
G13	RSVD		G13	VMON_VSYS
G14	VDDSHV0			
G15	VPP			
G16	VSS		G16	VSS
G17	MMC0_DAT7		G17	VDDA_ADC
G18	MMC0_CLK			
G19	MMC0_DS			
G20	ADC0_AIN0		G20	ADC0_AIN6
G21	ADC0_AIN4			
H1	DDR0_ALERT_N		H1	PRG0_PRU0_GPO3
H2	DDR0_ACT_N		H2	PRG0_PRU0_GPO6
H3	DDR0_BG1			
H4	DDR0_WE_N			
H5	DDR0_CAL0		H5	PRG0_PRU0_GPO8
H6	VSS		H6	VSS
H7	VDDS_DDR		H7	VSS
H8	VSS		H8	VDD_CORE
H9	VDDA_PLL1			
H10	CAP_VDDS_MCU			
H11	VSS		H11	RSVD
H12	CAP_VDDS0			
H13	VDDS_OSC			
H14	VDD_DLL_MMC0		H14	VDDA_MCU
H15	VDDA_3P3_SDIO		H15	VDD_CORE
H16	RSVD		H16	VSS
H17	MMC0_DAT4		H17	VDDA_ADC
H18	MMC0_DAT6			
H19	MMC0_DAT5			
H20	VSS		H20	ADC0_AIN4
H21	VSS		H21	ADC0_AIN0
J1	DDR0_A11			
J2	DDR0_A6		J2	PRG0_PRU1_GPO1
J3	DDR0_A8		J3	PRG0_PRU0_GPO0
J4	DDR0_A9		J4	PRG0_PRU0_GPO1
J5	DDR0_CAS_N		J5	VSS
J6	VDDS_DDR		J6	VSS

Copyright © 2024 Texas Instruments Incorporated

表 5-2. AM243x パッケージの比較表 (ALV と ALX の比較) (続き)

AM243x_ALV ボール番号	AM243x_ALV 信号名		AM243x_ALX ボール番号	AM243x_ALX 信号名
J7	VSS			
J8	VDDS_DDR_C			
J9	VSS		J9	VDD_CORE
J10	VDD_CORE		J10	VDDR_CORE
J11	VDDA_PLL2		J11	VSS
J12	VDD_CORE		J12	VDDR_CORE
J13	VDDA_ADC		J13	RSVD
J14	VSS			
J15	ADC_REFP			
J16	ADC_REFN		J16	VSS
J17	MMC0_DAT3		J17	CAP_VDDSHV_MMC1
J18	MMC0_DAT2		J18	MMC1_DAT0
J19	MMC1_CMD		J19	MMC1_DAT1
J20	MMC0_DAT1		J20	MMC1_CLK
J21	MMC0_CMD		J21	MMC1_CMD
K1	RSVD		K1	PRG0_PRU0_GPO12
K2	RSVD		K2	PRG0_PRU0_GPO4
K3	DDR0_A10			
K4	DDR0_A13		K4	PRG0_PRU0_GPO18
K5	DDR0_PAR			
K6	VSS		K6	VSS
K7	VDDS_DDR		K7	VSS
K8	VSS		K8	VSS
K9	VDD_CORE			
K10	VMON_VSYS			
K11	VDD_CORE		K11	VDD_CORE
K12	VDDA_MCU			
K13	VDD_MMC0			
K14	VDDS_MMC0		K14	VDD_CORE
K15	CAP_VDDSHV_MMC1		K15	VDDA_3P3_SDIO
K16	VMON_1P8_MCU		K16	VSS
K17	OSPI0_CSN2			
K18	MMC1_DAT3		K18	MMC1_DAT3
K19	MMC1_DAT2			
K20	MMC0_DAT0		K20	MMC1_DAT2
K21	MMC1_DAT0			
L1	VSS		L1	PRG0_PRU0_GPO11
L2	DDR0_DQ10		L2	PRG0_PRU1_GPO3
L3	VSS		L3	PRG0_PRU1_GPO4
L4	DDR0_DQ9			
L5	DDR0_A7		L5	PRG0_PRU1_GPO0
L6	VDDS_DDR		L6	VDDSHV1
L7	VSS			
L8	VDD_CORE			

Copyright © 2024 Texas Instruments Incorporated

表 5-2. AM243x パッケージの比較表 (ALV と ALX の比較) (続き)

AM243x_ALV ボール番号	AM243x_ALV 信号名		AM243x_ALX ボール番号	AM243x_ALX 信号名
L9	VSS		L9	VDD_CORE
L10	VDDR_CORE		L10	VSS
L11	VDDA_TEMP1		L11	VSS
L12	VDD_CORE		L12	VSS
L13	CAP_VDDS5		L13	VDD_CORE
L14	VDDSHV5			
L15	VDDSHV5			
L16	VSS		L16	VDDSHV5
L17	OSPI0_CSN3		L17	VDDSHV5
L18	OSPI0_CSN1			
L19	OSPI0_CSN0		L19	OSPI0_D0
L20	MMC1_CLK		L20	OSPI0_CSN0
L21	MMC1_DAT1		L21	OSPI0_D2
M1	DDR0_DQS1_N			
M2	DDR0_DM1		M2	PRG0_PRU1_GPO2
M3	DDR0_DQ11			
M4	DDR0_DQ14		M4	PRG0_PRU1_GPO15
M5	DDR0_A12			
M6	VSS		M6	VDDSHV1
M7	VDDSHV1		M7	VSS
M8	VSS		M8	VDD_CORE
M9	VDD_CORE			
M10	VSS			
M11	VDD_CORE		M11	VDDA_TEMP1
M12	VSS			
M13	VDDR_CORE			
M14	VDDSHV4		M14	VDD_CORE
M15	VDDSHV4		M15	VSS
M16	CAP_VDDS4		M16	VSS
M17	OSPI0_D7			
M18	OSPI0_D1		M18	CAP_VDDS5
M19	OSPI0_D0			
M20	OSPI0_D2		M20	OSPI0_CSN1
M21	OSPI0_D3		M21	OSPI0_LBCLKO
N1	DDR0_DQS1		N1	PRG0_PRU0_GPO13
N2	DDR0_DQ15		N2	PRG0_PRU0_GPO14
N3	DDR0_DQ13		N3	PRG0_PRU0_GPO16
N4	DDR0_DQ12		N4	PRG0_PRU0_GPO15
N5	DDR0_DQ8		N5	CAP_VDDS1
N6	VDDSHV1		N6	VSS
N7	VSS			
N8	VDD_CORE			
N9	VSS		N9	VDD_CORE
N10	VDD_CORE		N10	VDD_CORE

表 5-2. AM243x パッケージの比較表 (ALV と ALX の比較) (続き)

AM243x_ALV ボール番号	AM243x_ALV 信号名		AM243x_ALX ボール番号	AM243x_ALX 信号名
N11	VSS		N11	VSS
N12	VDDA_PLL0		N12	VDDA_PLL0
N13	VSS		N13	VSS
N14	CAP_VDDS3			
N15	VSS			
N16	GPMC0_WPN		N16	VDDSHV4
N17	GPMC0_DIR		N17	VDDSHV4
N18	OSPI0_D6		N18	CAP_VDDS4
N19	OSPI0_DQS		N19	OSPI0_D3
N20	OSPI0_CLK		N20	OSPI0_D1
N21	OSPI0_LBCLKO			
P1	VSS		P1	PRG0_PRU1_GPO11
P2	PRG0_MDIO0_MDIO		P2	PRG0_PRU1_GPO12
P3	PRG0_MDIO0_MDC			
P4	PRG0_PRU1_GPO5			
P5	PRG0_PRU1_GPO18		P5	VDDSHV1
P6	VSS		P6	VDDSHV1
P7	VDDSHV1		P7	VSS
P8	VSS		P8	VDDR_CORE
P9	VDD_CORE			
P10	VSS			
P11	VDDA_0P85_SERDES0_C		P11	VSS
P12	VDDA_0P85_SERDES0			
P13	VDDA_0P85_SERDES0			
P14	VDDSHV3		P14	VDDR_CORE
P15	VDDSHV3		P15	VSS
P16	GPMC0_ADVN_ALE		P16	VSS
P17	GPMC0_BE0N_CLE		P17	OSPI0_DQS
P18	VSS			
P19	GPMC0_CSN2			
P20	OSPI0_D5		P20	OSPI0_CLK
P21	OSPI0_D4		P21	GPMC0_BE1N
R1	PRG0_PRU1_GPO8			
R2	PRG0_PRU1_GPO19		R2	PRG0_PRU1_GPO9
R3	PRG0_PRU0_GPO5			
R4	PRG0_PRU0_GPO1			
R5	PRG0_PRU1_GPO6		R5	PRG0_PRU1_GPO14
R6	PRG0_PRU0_GPO13		R6	VSS
R7	VSS			
R8	VDDSHV2			
R9	VSS		R9	VDD_CORE
R10	VDDSHV2		R10	VDDR_CORE
R11	CAP_VDDS2		R11	VSS
R12	VSS		R12	VDD_CORE

Copyright © 2024 Texas Instruments Incorporated

表 5-2. AM243x パッケージの比較表 (ALV と ALX の比較) (続き)

AM243x_ALV ボール番号	AM243x_ALV 信号名		AM243x_ALX ボール番号	AM243x_ALX 信号名
R13	VDDA_3P3_USB0		R13	VDD_CORE
R14	VDDA_1P8_SERDES0			
R15	VDDA_1P8_USB0			
R16	GPMC0_AD10		R16	CAP_VDDS3
R17	GPMC0_CLK		R17	VDDSHV3
R18	GPMC0_OEN_REN			
R19	GPMC0_CSN0			
R20	GPMC0_CSN1		R20	GPMC0_AD1
R21	GPMC0_CSN3		R21	GPMC0_AD0
T1	PRG0_PRU0_GPO7		T1	PRG0_PRU1_GPO17
T2	PRG0_PRU0_GPO8		T2	PRG1_PRU0_GPO17
T3	PRG0_PRU0_GPO6		T3	PRG0_PRU1_GPO16
T4	PRG0_PRU1_GPO3		T4	PRG0_PRU1_GPO13
T5	PRG0_PRU0_GPO15		T5	PRG0_PRU1_GPO7
T6	PRG0_PRU1_GPO13			
T7	CAP_VDDS1			
T8	VSS		T8	VDDSHV2
T9	VDDSHV2			
T10	VSS			
T11	VSS		T11	VDDSHV2
T12	VDDA_0P85_USB0			
T13	SERDES0_REXT			
T14	USB0_VBUS		T14	VSS
T15	VSS			
T16	VSS			
T17	GPMC0_AD9		T17	VDDSHV3
T18	GPMC0_AD2		T18	GPMC0_AD6
T19	GPMC0_BE1N		T19	GPMC0_AD2
T20	GPMC0_AD0		T20	GPMC0_AD5
T21	GPMC0_WEN			
U1	PRG0_PRU0_GPO17		U1	PRG0_PRU0_GPO10
U2	PRG0_PRU0_GPO2		U2	PRG0_PRU1_GPO10
U3	VSS		U3	PRG1_PRU0_GPO19
U4	PRG0_PRU0_GPO16			
U5	PRG0_PRU1_GPO15			
U6	PRG0_PRU1_GPO14		U6	VSS
U7	PRG1_PRU0_GPO17		U7	VDDSHV2
U8	PRG1_PRU0_GPO1		U8	VDDSHV2
U9	PRG1_PRU0_GPO12		U9	CAP_VDDS2
U10	PRG1_PRU1_GPO13			
U11	PRG1_PRU1_GPO6		U11	VDDSHV2
U12	PRG1_PRU1_GPO8			
U13	PRG1_PRU0_GPO7		U13	PRG1_PRU1_GPO10
U14	PRG1_PRU0_GPO10		U14	PRG1_PRU0_GPO5

Copyright © 2024 Texas Instruments Incorporated

表 5-2. AM243x パッケージの比較表 (ALV と ALX の比較) (続き)

AM243x_ALV ボール番号	AM243x_ALV 信号名		AM243x_ALX ボール番号	AM243x_ALX 信号名
U15	PRG1_PRU0_GPO9		U15	VDDA_1P8_USB0
U16	USB0_ID		U16	VDDA_3P3_USB0
U17	USB0_RCALIB			
U18	GPMC0_AD4		U18	GPMC0_AD8
U19	GPMC0_AD5		U19	GPMC0_AD7
U20	GPMC0_AD3		U20	GPMC0_AD9
U21	GPMC0_AD1		U21	GPMC0_AD4
V1	PRG0_PRU0_GPO18			
V2	PRG0_PRU0_GPO3		V2	PRG1_MDIO0_MDIO
V3	PRG0_PRU1_GPO2			
V4	PRG0_PRU0_GPO14		V4	PRG1_PRU0_GPO0
V5	PRG0_PRU1_GPO17		V5	PRG1_PRU0_GPO11
V6	PRG0_PRU1_GPO10		V6	PRG1_PRU0_GPO13
V7	PRG1_PRU0_GPO18			
V8	PRG1_PRU0_GPO3			
V9	PRG1_PRU0_GPO16		V9	PRG1_PRU1_GPO15
V10	PRG1_PRU1_GPO12		V10	PRG1_PRU1_GPO6
V11	PRG1_PRU1_GPO1			
V12	PRG1_PRU1_GPO19		V12	PRG1_PRU1_GPO3
V13	PRG1_PRU0_GPO5		V13	PRG1_PRU0_GPO7
V14	PRG1_PRU1_GPO9			
V15	PRG1_PRU1_GPO7			
V16	RSVD		V16	VDDA_0P85_USB0
V17	VSS			
V18	GPMC0_AD13		V18	USB0_VBUS
V19	GPMC0_AD8			
V20	GPMC0_AD6		V20	GPMC0_AD10
V21	GPMC0_AD7		V21	GPMC0_AD3
W1	PRG0_PRU0_GPO19		W1	PRG1_MDIO0_MDC
W2	PRG0_PRU1_GPO1		W2	PRG1_PRU0_GPO12
W3	PRG0_PRU1_GPO4			
W4	PRG0_PRU1_GPO11			
W5	PRG0_PRU1_GPO7		W5	PRG1_PRU0_GPO1
W6	PRG0_PRU0_GPO9		W6	PRG1_PRU0_GPO16
W7	PRG1_PRU0_GPO19			
W8	PRG1_PRU0_GPO2			
W9	PRG1_PRU0_GPO13		W9	PRG1_PRU1_GPO14
W10	VSS			
W11	PRG1_PRU1_GPO0		W11	PRG1_PRU1_GPO8
W12	PRG1_PRU1_GPO4			
W13	PRG1_PRU0_GPO8		W13	PRG1_PRU0_GPO10
W14	PRG1_PRU1_GPO10			
W15	RSVD			
W16	SERDES0_REFCLK0N		W16	PRG1_PRU0_GPO9

Copyright © 2024 Texas Instruments Incorporated

表 5-2. AM243x パッケージの比較表 (ALV と ALX の比較) (続き)

AM243x_ALV ボール番号	AM243x_ALV 信号名		AM243x_ALX ボール番号	AM243x_ALX 信号名
W17	SERDES0_REFCLK0P		W17	USB0_RCALIB
W18	VSS			
W19	GPMC0_WAIT0			
W20	GPMC0_AD11		W20	GPMC0_AD11
W21	GPMC0_AD12			
Y1	PRG0_PRU0_GPO0		Y1	VSS
Y2	PRG0_PRU1_GPO0		Y2	PRG1_PRU0_GPO6
Y3	PRG0_PRU0_GPO11		Y3	PRG0_PRU0_GPO9
Y4	PRG0_PRU1_GPO12		Y4	PRG1_PRU0_GPO18
Y5	PRG0_PRU1_GPO9		Y5	PRG1_PRU0_GPO3
Y6	PRG1_MDIO0_MDC		Y6	PRG1_PRU1_GPO11
Y7	PRG1_PRU0_GPO0		Y7	PRG1_PRU0_GPO15
Y8	PRG1_PRU0_GPO4		Y8	PRG1_PRU1_GPO16
Y9	PRG1_PRU0_GPO15		Y9	PRG1_PRU1_GPO13
Y10	PRG1_PRU1_GPO16		Y10	PRG1_PRU1_GPO1
Y11	PRG1_PRU1_GPO15		Y11	PRG1_PRU1_GPO2
Y12	PRG1_PRU1_GPO3		Y12	PRG1_PRU1_GPO4
Y13	PRG1_PRU1_GPO18		Y13	PRG1_PRU0_GPO8
Y14	VSS		Y14	PRG1_PRU1_GPO7
Y15	SERDES0_RX0_N		Y15	PRG1_PRU1_GPO18
Y16	SERDES0_RX0_P		Y16	PRG1_PRU1_GPO9
Y17	VSS		Y17	USB0_ID
Y18	GPMC0_WAIT1		Y18	GPMC0_AD14
Y19	VSS		Y19	GPMC0_AD13
Y20	GPMC0_AD15		Y20	GPMC0_AD12
Y21	GPMC0_AD14		Y21	VSS
AA1	VSS		AA1	VSS
AA2	PRG0_PRU0_GPO4		AA2	VSS
AA3	PRG0_PRU0_GPO12			
AA4	PRG0_PRU1_GPO16		AA4	PRG1_PRU0_GPO2
AA5	PRG0_PRU0_GPO10		AA5	PRG1_PRU0_GPO4
AA6	PRG1_MDIO0_MDIO			
AA7	PRG1_PRU0_GPO6		AA7	PRG1_PRU0_GPO14
AA8	PRG1_PRU0_GPO11		AA8	PRG1_PRU1_GPO12
AA9	PRG1_PRU0_GPO14			
AA10	PRG1_PRU1_GPO11		AA10	PRG1_PRU1_GPO0
AA11	PRG1_PRU1_GPO14		AA11	PRG1_PRU1_GPO5
AA12	PRG1_PRU1_GPO2			
AA13	PRG1_PRU1_GPO5		AA13	PRG1_PRU1_GPO19
AA14	PRG1_PRU1_GPO17		AA14	PRG1_PRU1_GPO17
AA15	VSS			
AA16	SERDES0_TX0_N		AA16	USB0_DP
AA17	SERDES0_TX0_P		AA17	USB0_DM
AA18	VSS			

Copyright © 2024 Texas Instruments Incorporated

表 5-2. AM243x パッケージの比較表 (ALV と ALX の比較) (続き)

AM243x_ALV ボール番号	AM243x_ALV 信号名		AM243x_ALX ボール番号	AM243x_ALX 信号名
AA19	USB0_DP		AA19	GPMC0_AD15
AA20	USB0_DM		AA20	VSS
AA21	VSS		AA21	VSS

Copyright © 2024 Texas Instruments Incorporated

5.3 信号の説明

ピン多重化オプションのソフトウェア構成に応じて、複数のピンで多くの信号が利用可能です。

次のリストは、列ヘッダーについての説明です。

1. **信号名:**ピンを通過する信号の名前。

注

それぞれの「信号の説明」表に記載されている信号名と説明は、ピンに実装され、PADCONFIG レジスタで選択されたピン多重化信号機能を表しています。一部のデバイス サブシステムは、これらの表に記載されていない信号機能用に、多重化の追加レイヤを提供します。2 次多重化信号機能の詳細については、デバイス TRM の該当するペリフェラルの章を参照してください。

---

2. **信号タイプ:**信号の種類と方向:
   - I = 入力
   - O = 出力
   - IO = 入力、出力、または同時に入力と出力
   - OD = 出力、オープン ドレイン出力機能付き
   - IOD = 入力、出力、または同時に入力と出力、オープン ドレイン出力機能付き
   - IOZ = 入力、出力、または同時に入力と出力、3 ステート出力機能付き
   - OZ = 3 ステート出力機能付き出力
   - A = アナログ
   - CAP = LDO コンデンサ
   - PWR = 電源
   - GND = グランド
3. **概要:**信号の説明
4. **ボール番号:**信号に関連するボール番号

I/O セル構成の詳細については、デバイス TRM の「デバイス構成」の章にある「パッド構成レジスタ」セクションを参照してください。

5.3.1 AM243x_ALX パッケージ - サポートされていないインターフェイスと信号

注

以下の信号は、AM243x_ALX デバイス パッケージでは**サポートされていません**。重要なインターフェイス信号の欠損により、そのペリフェラル全体が使用できない場合があります。

表 5-3. AM243x_ALX パッケージ - サポートされていないペリフェラル インターフェイスと信号の表

メイン ドメイン	MCU ドメイン
ペリフェラル インスタンス (1)	
• **DDRSS0*** • **EPWM4*** • **EPWM6*** • **FSI_TX1*** • **FSI_RX4*** • **FSI_RX5*** • **GPMC0*** • **I2C2*** • **MMCSD0*** • **SERDES0*** • **SPI1***	• **MCU_I2C0*** • **MCU_I2C1*** • **MCU_SPI0*** • **MCU_SPI1*** • **MCU_UART1***
GPIO 信号	
• GPIO0_[7:10] • GPIO0_[13:14] • GPIO0_[31:35] • GPIO0_[37:44] • GPIO1_42 • GPIO1_[47:51] • GPIO1_68 • GPIO1_70	• MCU_GPIO[4:21]
その他の信号	
• CP_GEMAC_CPTS0_RFT_CLK • CPTS0_RFT_CLK • ECAP0_IN_APWM_OUT • EPWM5_B • EXTINTn • GPMC0_FCLK_MUX • OSPI0_D[4:7] • OSPI0_RESET_OUT[0:1] • OSPI0_CSn[2:3] • OSPI0_ECC_FAIL • PRG1_IEP0_EDIO_OUTVALID • SYNC0 • TRACE[14:23]	• MCU_EXT_REFCLK0 • MCU_SYSCLKOUT0 • MCU_TIMER_IO[2:3]

(1) * は、AM243x_ALX デバイス パッケージでは、そのペリフェラル インスタンス全体がサポートされていないことを示しています。

Copyright © 2024 Texas Instruments Incorporated

5.3.2 ADC

メイン ドメイン インスタンス

表 5-4. ADC0 信号の説明

信号名 [1] ([5])	信号のタイプ [2]	説明 [3]	ALV のピン [4]	ALX のピン [4]
ADC0_REFN [4]	A	ADC0 負電圧リファレンス	J16	
ADC0_REFP [3]	A	ADC0 正電圧リファレンス	J15	
ADC0_AIN0 [1] [2]	A	ADC アナログ入力 0 / GPIO1_80 (入力のみ)	G20	H21
ADC0_AIN1 [1] [2]	A	ADC アナログ入力 1 / GPIO1_81 (入力のみ)	F20	F19
ADC0_AIN2 [1] [2]	A	ADC アナログ入力 2 / GPIO1_82 (入力のみ)	E21	F21
ADC0_AIN3 [1] [2]	A	ADC アナログ入力 3 / GPIO1_83 (入力のみ)	D20	F20
ADC0_AIN4 [1] [2]	A	ADC アナログ入力 4 / GPIO1_84 (入力のみ)	G21	H20
ADC0_AIN5 [1] [2]	A	ADC アナログ入力 5 / GPIO1_85 (入力のみ)	F21	E21
ADC0_AIN6 [1] [2]	A	ADC アナログ入力 6 / GPIO1_86 (入力のみ)	F19	G20
ADC0_AIN7 [1] [2]	A	ADC アナログ入力 7 / GPIO1_87 (入力のみ)	E20	E20
ADC_EXT_TRIGGER0	I	ADC トリガ入力	B16、C13	B7、B9
ADC_EXT_TRIGGER1	I	ADC トリガ入力	D14、D16	C11

(1) この GPIO 入力信号にはデバウンス機能があります。I/O デバウンスの設定の詳細についてはテクニカル リファレンス マニュアルの「デバイス構成」の章を参照してください。
(2) GPIO として構成した場合、デジタル入力信号のみがサポートされます。
(3) SR1.0 では、J15 は VDDS_MMC0 (MMC0 PHY IO 電源) に割り当てられ、ADC0_REFP は内部的に VDDA_ADC0 に接続されます。SR2.0 の場合、J15 は ADC0_REFP (ADC0 正電圧リファレンス) に割り当てられます。詳細については、デバイス シリコン エラッタを参照してください。
(4) SR1.0 では、J16 は VSS (グランド) に割り当てられ、ADC0_REFN は内部的に VSS に接続されます。SR2.0 の場合、J16 は ADC0_REFN (ADC0 負電圧リファレンス) に割り当てられます。詳細については、デバイス シリコン エラッタを参照してください。
(5) これらのピンのデジタル GPI 機能は、CTRLMMR_ADC0_CTRL[16] - GPI_MODE_EN レジスタ ビットによって制御されます。

5.3.3 CPSW

メイン ドメイン インスタンス

表 5-5. CPSW3G0 RGMII1 信号の説明

信号名 [1]	信号のタイプ [2]	説明 [3]	ALV のピン [4]	ALX のピン [4]
RGMII1_RXC	I	RGMII 受信クロック	AA5、W13	U1、Y13
RGMII1_RX_CTL	I	RGMII 受信制御	V13、W6	U14、Y3
RGMII1_TXC	IO	RGMII 送信クロック	U14	W13
RGMII1_TX_CTL	O	RGMII 送信制御	U15	W16
RGMII1_RD0	I	RGMII 受信データ 0	AA13、W5	AA11、T5
RGMII1_RD1	I	RGMII 受信データ 1	U12、Y5	R2、W11
RGMII1_RD2	I	RGMII 受信データ 2	V6、Y13	U2、Y15
RGMII1_RD3	I	RGMII 受信データ 3	V12、V5	AA13、T1
RGMII1_TD0	O	RGMII 送信データ 0	V15	Y14
RGMII1_TD1	O	RGMII 送信データ 1	V14	Y16
RGMII1_TD2	O	RGMII 送信データ 2	W14	U13
RGMII1_TD3	O	RGMII 送信データ 3	AA14	AA14

表 5-6. CPSW3G0 RGMII2 信号の説明

信号名 [1]	信号のタイプ [2]	説明 [3]	ALV のピン [4]	ALX のピン [4]
RGMII2_RXC	I	RGMII 受信クロック	U11	V10
RGMII2_RX_CTL	I	RGMII 受信制御	W12	Y12
RGMII2_TXC	IO	RGMII 送信クロック	Y10	Y8

表 5-6. CPSW3G0 RGMII2 信号の説明 (続き)

信号名 [1]	信号のタイプ [2]	説明 [3]	ALV のピン [4]	ALX のピン [4]
RGMII2_TX_CTL	O	RGMII 送信制御	Y11	V9
RGMII2_RD0	I	RGMII 受信データ 0	W11	AA10
RGMII2_RD1	I	RGMII 受信データ 1	V11	Y10
RGMII2_RD2	I	RGMII 受信データ 2	AA12	Y11
RGMII2_RD3	I	RGMII 受信データ 3	Y12	V12
RGMII2_TD0	O	RGMII 送信データ 0	AA10	Y6
RGMII2_TD1	O	RGMII 送信データ 1	V10	AA8
RGMII2_TD2	O	RGMII 送信データ 2	U10	Y9
RGMII2_TD3	O	RGMII 送信データ 3	AA11	W9

表 5-7. CPSW3G0 RMII1 および RMII2 信号の説明

信号名 [1]	信号タイプ [2]	概要 [3]	ALV ピン [4]	ALX ピン [4]
RMII1_CRS_DV	I	RMII キャリア センス / データ有効	R2、V12	AA13、F3
RMII1_RX_ER	I	RMII 受信データ エラー	U15、W6	W16、Y3
RMII1_TX_EN	O	RMII 送信イネーブル	P5、Y13	D1、Y15
RMII2_CRS_DV	I	RMII キャリア センス / データ有効	U10	Y9
RMII2_RX_ER	I	RMII 受信データ エラー	W12	Y12
RMII2_TX_EN	O	RMII 送信イネーブル	Y11	V9
RMII1_RXD0	I	RMII 受信データ 0	V15、W5	T5、Y14
RMII1_RXD1	I	RMII 受信データ 1	V14、Y5	R2、Y16
RMII1_TXD0	O	RMII 送信データ 0	V6、W14	U13、U2
RMII1_TXD1	O	RMII 送信データ 1	AA14、V5	AA14、T1
RMII2_RXD0	I	RMII 受信データ 0	W11	AA10
RMII2_RXD1	I	RMII 受信データ 1	V11	Y10
RMII2_TXD0	O	RMII 送信データ 0	AA10	Y6
RMII2_TXD1	O	RMII 送信データ 1	V10	AA8
RMII_REF_CLK (1)	I	RMII 基準クロック	AA5、U14	U1、W13

(1) RMII_REF_CLK は、RMII1 と RMII2 の両方に共通です。

表 5-8. MDIO0 信号の説明

信号名 [1]	信号のタイプ [2]	説明 [3]	ALV のピン [4]	ALX のピン [4]
MDIO0_MDC	O	MDIO クロック	R2、Y6	F3、W1
MDIO0_MDIO	IO	MDIO データ	AA6、P5	D1、V2

Copyright © 2024 Texas Instruments Incorporated

5.3.3.1 CPSW3G IOSET

表 5-9 に、各 CPSW3G MDIO0 IOSET の有効なピンの組み合わせを示します。

表 5-9. CPSW3G MDIO0 IOSET

信号	IOSET1		IOSET2	
	ボール名	MUXMODE	ボール名	MUXMODE
MDIO0_MDIO	PRG0_PRU1_GPO18	4	PRG1_MDIO0_MDIO	4
MDIO0_MDC	PRG0_PRU1_GPO19	4	PRG1_MDIO0_MDC	4

表 5-10 に、各 CPSW3G RMII1 および RMII2 IOSET の有効なピンの組み合わせを示します。

表 5-10. CPSW3G RMII1 と RMII2 IOSET

信号	IOSET1		IOSET2	
	ボール名	MUXMODE	ボール名	MUXMODE
RMII_REF_CLK (1)	PRG1_PRU0_GPO10	5	PRG0_PRU0_GPO10	5
RMII1_CRS_DV	PRG1_PRU1_GPO19	5	PRG0_PRU1_GPO19	5
RMII1_RX_ER	PRG1_PRU0_GPO9	5	PRG0_PRU0_GPO9	5
RMII1_RXD0	PRG1_PRU1_GPO7	5	PRG0_PRU1_GPO7	5
RMII1_RXD1	PRG1_PRU1_GPO9	5	PRG0_PRU1_GPO9	5
RMII1_TXD0	PRG1_PRU1_GPO10	5	PRG0_PRU1_GPO10	5
RMII1_TXD1	PRG1_PRU1_GPO17	5	PRG0_PRU1_GPO17	5
RMII1_TX_EN	PRG1_PRU1_GPO18	5	PRG0_PRU1_GPO18	5
RMII2_CRS_DV	PRG1_PRU1_GPO13	5	PRG1_PRU1_GPO13	5
RMII2_RX_ER	PRG1_PRU1_GPO4	5	PRG1_PRU1_GPO4	5
RMII2_RXD0	PRG1_PRU1_GPO0	5	PRG1_PRU1_GPO0	5
RMII2_RXD1	PRG1_PRU1_GPO1	5	PRG1_PRU1_GPO1	5
RMII2_TXD0	PRG1_PRU1_GPO11	5	PRG1_PRU1_GPO11	5
RMII2_TXD1	PRG1_PRU1_GPO12	5	PRG1_PRU1_GPO12	5
RMII2_TX_EN	PRG1_PRU1_GPO15	5	PRG1_PRU1_GPO15	5

(1) RMII_REF_CLK は RMII1 と RMII2 の両方に共通です。適切に動作させるには、ピン多重化された信号割り当てはすべて、同じ IOSET を使用する必要があります。

表 5-11 に、各 CPSW3G RGMII1 IOSET の有効なピンの組み合わせを示します。

表 5-11. CPSW3G RGMII1 IOSET

信号	IOSET1		IOSET2	
	ボール名	MUXMODE	ボール名	MUXMODE
RGMII1_TX_CTL	PRG1_PRU0_GPO9	4	PRG1_PRU0_GPO9	4
RGMII1_TXC	PRG1_PRU0_GPO10	4	PRG1_PRU0_GPO10	4
RGMII1_TD0	PRG1_PRU1_GPO7	4	PRG1_PRU1_GPO7	4
RGMII1_TD1	PRG1_PRU1_GPO9	4	PRG1_PRU1_GPO9	4
RGMII1_TD2	PRG1_PRU1_GPO10	4	PRG1_PRU1_GPO10	4
RGMII1_TD3	PRG1_PRU1_GPO17	4	PRG1_PRU1_GPO17	4
RGMII1_RX_CTL	PRG0_PRU0_GPO9	4	PRG1_PRU0_GPO5	4
RGMII1_RXC	PRG0_PRU0_GPO10	4	PRG1_PRU0_GPO8	4
RGMII1_RD0	PRG0_PRU1_GPO7	4	PRG1_PRU1_GPO5	4
RGMII1_RD1	PRG0_PRU1_GPO9	4	PRG1_PRU1_GPO8	4
RGMII1_RD2	PRG0_PRU1_GPO10	4	PRG1_PRU1_GPO18	4

表 5-11. CPSW3G RGMII1 IOSET (続き)

信号	IOSET1		IOSET2	
	ボール名	MUXMODE	ボール名	MUXMODE
RGMII1_RD3	PRG0_PRU1_GPO17	4	PRG1_PRU1_GPO19	4

5.3.4 CPTS

メイン ドメイン インスタンス

表 5-12. CP GEMAC CPTS0 信号の説明

信号名 [1]	信号タイプ [2]	説明 [3]	ALV のピン [4]	ALX のピン [4]
CP_GEMAC_CPTS0_RFT_CLK (1)	I	CPSW3G0 CPTS への CPTS 基準クロック入力	D18	
CP_GEMAC_CPTS0_TS_COMP	O	CPSW3G0 CPTS からの CPT タイム スタンプ カウンタ比較出力	E15、K18、W1	B12、G2、K18
CP_GEMAC_CPTS0_TS_SYNC	O	CPSW3G0 CPTS からの CPTS タイム スタンプ カウンタ ビット出力	B16、D16、K19、U1	B9、C11、E1、K20
CP_GEMAC_CPTS0_HW1TSPUSH	I	CPSW3G0 CPTS への CPTS ハードウェア タイム スタンプ プッシュ入力	E14、L21、V1	A12、J19、K4
CP_GEMAC_CPTS0_HW2TSPUSH	I	CPSW3G0 CPTS への CPTS ハードウェア タイム スタンプ プッシュ入力	E16、K21、T1	A11、E2、J18

(1) CP_GEMAC_CPTS0_RFT_CLK 信号は、AM243x_ALX デバイス パッケージでは**サポートされていません**。詳細については、「AM243x_ALX パッケージ - サポートされていないインターフェイスと信号」を参照してください。

表 5-13. CPTS0 信号の説明

信号名 [1]	信号のタイプ [2]	説明 [3]	ALV のピン [4]	ALX のピン [4]
CPTS0_RFT_CLK (2)	I	CPTS 基準クロック入力	D18	
CPTS0_TS_COMP	O	CPTS タイム スタンプ カウンタ比較出力	C13、W1、W7	B7、G2、U3
CPTS0_TS_SYNC	O	CPTS タイム スタンプ カウンタ ビット出力	D14、U1、U7	E1、T2
CPTS0_HW1TSPUSH	I	時間同期ルータへの CPTS ハードウェア タイム スタンプ プッシュ入力	C18、V1、V7	A17、K4、Y4
CPTS0_HW2TSPUSH	I	時間同期ルータへの CPTS ハードウェア タイム スタンプ プッシュ入力	B19、T1、U13	B18、E2、V13
SYNC0_OUT (1)	O	時間同期ルータからの CPTS タイム スタンプ ジェネレータ ビット 0 出力	D18	
SYNC1_OUT	O	時間同期ルータからの CPTS タイム スタンプ ジェネレータ ビット 1 出力	A19	A18
SYNC2_OUT	O	時間同期ルータからの CPTS タイム スタンプ ジェネレータ ビット 2 出力	A17	B13
SYNC3_OUT	O	時間同期ルータからの CPTS タイム スタンプ ジェネレータ ビット 3 出力	B17	A14

(1) SYNC0_OUT 信号は、AM243x_ALX デバイス パッケージでは**サポートされていません**。詳細については、「AM243x_ALX パッケージ - サポートされていないインターフェイスと信号」を参照してください。
(2) CPTS0_RFT_CLK 信号は、AM243x_ALX デバイス パッケージでは**サポートされていません**。詳細については、「AM243x_ALX パッケージ - サポートされていないインターフェイスと信号」を参照してください。

5.3.5 DDRSS

メイン ドメイン インスタンス

表 5-14. DDRSS0 信号の説明

信号名 [1] ((2))	信号のタイプ [2]	説明 [3]	ALV のピン [4]	ALX のピン [4]
DDR0_ACT_n	O	DDRSS アクティブ化コマンド	H2	
DDR0_ALERT_n	IO	DDRSS アラート	H1	
DDR0_CAS_n	O	DDRSS 列アドレス ストローブ	J5	
DDR0_PAR	O	DDRSS コマンドおよびアドレス パリティ	K5	
DDR0_RAS_n	O	DDRSS 行アドレス ストローブ	F6	

Copyright © 2024 Texas Instruments Incorporated

表 5-14. DDRSS0 信号の説明 (続き)

信号名 [1] ([2])	信号のタイプ [2]	説明 [3]	ALV のピン [4]	ALX のピン [4]
DDR0_WE_n	O	DDRSS 書き込みイネーブル	H4	
DDR0_A0	O	DDRSS アドレス バス	D2	
DDR0_A1	O	DDRSS アドレス バス	C5	
DDR0_A2	O	DDRSS アドレス バス	E2	
DDR0_A3	O	DDRSS アドレス バス	D4	
DDR0_A4	O	DDRSS アドレス バス	D3	
DDR0_A5	O	DDRSS アドレス バス	F2	
DDR0_A6	O	DDRSS アドレス バス	J2	
DDR0_A7	O	DDRSS アドレス バス	L5	
DDR0_A8	O	DDRSS アドレス バス	J3	
DDR0_A9	O	DDRSS アドレス バス	J4	
DDR0_A10	O	DDRSS アドレス バス	K3	
DDR0_A11	O	DDRSS アドレス バス	J1	
DDR0_A12	O	DDRSS アドレス バス	M5	
DDR0_A13	O	DDRSS アドレス バス	K4	
DDR0_BA0	O	DDRSS バンク アドレス	G4	
DDR0_BA1	O	DDRSS バンク アドレス	G5	
DDR0_BG0	O	DDRSS バンク グループ	G2	
DDR0_BG1	O	DDRSS バンク グループ	H3	
DDR0_CAL0 (1)	A	IO パッド較正抵抗	H5	
DDR0_CK0	O	DDRSS クロック	F1	
DDR0_CK0_n	O	DDRSS 負クロック	E1	
DDR0_CKE0	O	DDRSS クロック イネーブル	F4	
DDR0_CKE1	O	DDRSS クロック イネーブル	F3	
DDR0_CS0_n	O	DDRSS チップ セレクト 0	E3	
DDR0_CS1_n	O	DDRSS チップ セレクト 1	E4	
DDR0_DM0	IO	DDRSS データ マスク	B2	
DDR0_DM1	IO	DDRSS データ マスク	M2	
DDR0_DQ0	IO	DDRSS データ	A3	
DDR0_DQ1	IO	DDRSS データ	A2	
DDR0_DQ2	IO	DDRSS データ	B5	
DDR0_DQ3	IO	DDRSS データ	A4	
DDR0_DQ4	IO	DDRSS データ	B3	
DDR0_DQ5	IO	DDRSS データ	C4	
DDR0_DQ6	IO	DDRSS データ	C2	
DDR0_DQ7	IO	DDRSS データ	B4	
DDR0_DQ8	IO	DDRSS データ	N5	
DDR0_DQ9	IO	DDRSS データ	L4	
DDR0_DQ10	IO	DDRSS データ	L2	
DDR0_DQ11	IO	DDRSS データ	M3	
DDR0_DQ12	IO	DDRSS データ	N4	
DDR0_DQ13	IO	DDRSS データ	N3	
DDR0_DQ14	IO	DDRSS データ	M4	
DDR0_DQ15	IO	DDRSS データ	N2	
DDR0_DQS0	IO	DDRSS データ ストローブ 0	C1	
DDR0_DQS0_n	IO	DDRSS 相補データ ストローブ 0	B1	

Copyright © 2024 Texas Instruments Incorporated

表 5-14. DDRSS0 信号の説明 (続き)

信号名 [1] ([2])	信号のタイプ [2]	説明 [3]	ALV のピン [4]	ALX のピン [4]
DDR0_DQS1	IO	DDRSS データ ストローブ 1	N1	
DDR0_DQS1_n	IO	DDRSS 相補データ ストローブ 1	M1	
DDR0_ODT0	O	DDRSS チップ セレクト 0 のオン ダイ終端	E5	
DDR0_ODT1	O	DDRSS チップ セレクト 1 のオン ダイ終端	F5	
DDR0_RESET0_n	O	DDRSS のリセット	D5	

(1) このピンと VSS の間に 240Ω ±1% の外付け抵抗を接続する必要があります。この抵抗の最大消費電力は 5.2mW です。このピンに外部電圧を印加しないでください。
(2) DDRSS0 インターフェイスは、AM243x_ALX デバイス パッケージでは**サポートされていません**。詳細については、「AM243x_ALX パッケージ - サポートされていないインターフェイスと信号」を参照してください。

5.3.6 ECAP

メイン ドメイン インスタンス

表 5-15. ECAP0 信号の説明

信号名 [1]	信号のタイプ [2]	説明 [3]	ALV のピン [4]	ALX のピン [4]
ECAP0_IN_APWM_OUT (1)	IO	拡張キャプチャ (ECAP) 入力または補助 PWM (APWM) 出力	D18	

(1) ECAP0_IN_APWM_OUT 信号は、AM243x_ALX デバイス パッケージでは**サポートされていません**。詳細については、「AM243x_ALX パッケージ - サポートされていないインターフェイスと信号」を参照してください。

表 5-16. ECAP1 信号の説明

信号名 [1]	信号のタイプ [2]	説明 [3]	ALV のピン [4]	ALX のピン [4]
ECAP1_IN_APWM_OUT	IO	拡張キャプチャ (ECAP) 入力または補助 PWM (APWM) 出力	C17	B14

表 5-17. ECAP2 信号の説明

信号名 [1]	信号のタイプ [2]	説明 [3]	ALV のピン [4]	ALX のピン [4]
ECAP2_IN_APWM_OUT	IO	拡張キャプチャ (ECAP) 入力または補助 PWM (APWM) 出力	D17	A15

5.3.7 エミュレーションおよびデバッグ

メイン ドメイン インスタンス

表 5-18. トレース信号の説明

信号名 [1]	信号のタイプ [2]	説明 [3]	ALV のピン [4]	ALX のピン [4]
TRC_CLK	O	トレース クロック	T20	R21
TRC_CTL	O	トレース制御	U21	R20
TRC_DATA0	O	トレース データ 0	T18	T19
TRC_DATA1	O	トレース データ 1	U20	V21
TRC_DATA2	O	トレース データ 2	U18	U21
TRC_DATA3	O	トレース データ 3	U19	T20
TRC_DATA4	O	トレース データ 4	V20	T18
TRC_DATA5	O	トレース データ 5	V21	U19
TRC_DATA6	O	トレース データ 6	V19	U18
TRC_DATA7	O	トレース データ 7	T17	U20
TRC_DATA8	O	トレース データ 8	R16	V20
TRC_DATA9	O	トレース データ 9	W20	W20
TRC_DATA10	O	トレース データ 10	W21	Y20
TRC_DATA11	O	トレース データ 11	V18	Y19

Copyright © 2024 Texas Instruments Incorporated

表 5-18. トレース信号の説明 (続き)

信号名 [1]	信号のタイプ [2]	説明 [3]	ALV のピン [4]	ALX のピン [4]
TRC_DATA12	O	トレース データ 12	Y21	Y18
TRC_DATA13	O	トレース データ 13	Y20	AA19
TRC_DATA14 (1)	O	トレース データ 14	R17	
TRC_DATA15 (1)	O	トレース データ 15	P16	
TRC_DATA16 (1)	O	トレース データ 16	R18	
TRC_DATA17 (1)	O	トレース データ 17	T21	
TRC_DATA18 (1)	O	トレース データ 18	P17	
TRC_DATA19 (1)	O	トレース データ 19	T19	P21
TRC_DATA20 (1)	O	トレース データ 20	W19	
TRC_DATA21 (1)	O	トレース データ 21	Y18	
TRC_DATA22 (1)	O	トレース データ 22	N16	
TRC_DATA23 (1)	O	トレース データ 23	R19	

(1) この TRC_DATA 信号は、AM243x_ALX デバイス パッケージでは**サポートされていません**。詳細については、「AM243x_ALX パッケージ - サポートされていないインターフェイスと信号」を参照してください。

MCU ドメインのインスタンス

表 5-19. JTAG 信号の説明

信号名 [1]	信号のタイプ [2]	説明 [3]	ALV のピン [4]	ALX のピン [4]
EMU0	IO	エミュレーション制御 0	D10	C5
EMU1	IO	エミュレーション制御 1	E10	B3
TCK	I	JTAG テスト クロック入力	B11	C6
TDI	I	JTAG テスト データ入力	C11	A3
TDO	OZ	JTAG テスト データ出力	A12	B5
TMS	I	JTAG テスト モード選択入力	C12	B4
TRSTn	I	JTAG のリセット	D11	B6

5.3.8 EPWM

メイン ドメイン インスタンス

表 5-20. EPWM 信号の説明

信号名 [1]	信号のタイプ [2]	説明 [3]	ALV のピン [4]	ALX のピン [4]
EHRPWM_SOCA	O	EHRPWM 変換開始 A	C17	B14
EHRPWM_SOCB	O	EHRPWM 変換開始 B	D17	A15
EHRPWM_TZn_IN0	I	EHRPWM トリップ ゾーン入力 0 (アクティブ Low)	T18	T19
EHRPWM_TZn_IN1	I	EHRPWM トリップ ゾーン入力 1 (アクティブ Low)	V21	U19
EHRPWM_TZn_IN2	I	EHRPWM トリップ ゾーン入力 2 (アクティブ Low)	R16、R20	V20
EHRPWM_TZn_IN3 (1)	I	EHRPWM トリップ ゾーン入力 3 (アクティブ Low)	P16	
EHRPWM_TZn_IN4 (2)	I	EHRPWM トリップ ゾーン入力 4 (アクティブ Low)	P17、P19	
EHRPWM_TZn_IN5 (3)	I	EHRPWM トリップ ゾーン入力 5 (アクティブ Low)	R21、Y18	

(1) EHRPWM_TZn_IN3 信号は、AM243x_ALX デバイス パッケージでは**サポートされていません**。詳細については、「AM243x_ALX パッケージ - サポートされていないインターフェイスと信号」を参照してください。
(2) EHRPWM_TZn_IN4 信号は、AM243x_ALX デバイス パッケージでは**サポートされていません**。詳細については、「AM243x_ALX パッケージ - サポートされていないインターフェイスと信号」を参照してください。
(3) EHRPWM_TZn_IN5 信号は、AM243x_ALX デバイス パッケージでは**サポートされていません**。詳細については、「AM243x_ALX パッケージ - サポートされていないインターフェイスと信号」を参照してください。

表 5-21. EPWM0 信号の説明

信号名 [1]	信号のタイプ [2]	説明 [3]	ALV のピン [4]	ALX のピン [4]
EHRPWM0_A	IO	EHRPWM 出力 A	U20	V21
EHRPWM0_B	IO	EHRPWM 出力 B	U18	U21
EHRPWM0_SYNCI	I	外部ピンから EHRPWM モジュールへの同期入力	T20	R21
EHRPWM0_SYNCO	O	EHRPWM モジュールから外部ピンへの同期出力	U21	R20

表 5-22. EPWM1 信号の説明

信号名 [1]	信号のタイプ [2]	説明 [3]	ALV のピン [4]	ALX のピン [4]
EHRPWM1_A	IO	EHRPWM 出力 A	U19	T20
EHRPWM1_B	IO	EHRPWM 出力 B	V20	T18

表 5-23. EPWM2 信号の説明

信号名 [1]	信号のタイプ [2]	説明 [3]	ALV のピン [4]	ALX のピン [4]
EHRPWM2_A	IO	EHRPWM 出力 A	V19	U18
EHRPWM2_B	IO	EHRPWM 出力 B	T17	U20

表 5-24. EPWM3 信号の説明

信号名 [1]	信号のタイプ [2]	説明 [3]	ALV のピン [4]	ALX のピン [4]
EHRPWM3_A	IO	EHRPWM 出力 A	V18	Y19
EHRPWM3_B	IO	EHRPWM 出力 B	Y21	Y18
EHRPWM3_SYNCI	I	外部ピンから EHRPWM モジュールへの同期入力	Y20	AA19
EHRPWM3_SYNCO (1)	O	EHRPWM モジュールから外部ピンへの同期出力	R17	

(1) EHRPWM3_SYNCO 信号は、AM243x_ALX デバイス パッケージでは**サポートされていません**。詳細については、「AM243x_ALX パッケージ - サポートされていないインターフェイスと信号」を参照してください。

表 5-25. EPWM4 信号の説明

信号名 [1] ((1))	信号のタイプ [2]	説明 [3]	ALV のピン [4]	ALX のピン [4]
EHRPWM4_A	IO	EHRPWM 出力 A	R18	
EHRPWM4_B	IO	EHRPWM 出力 B	T21	

(1) EPWM4 インターフェイスは、AM243x_ALX デバイス パッケージでは**サポートされていません**。詳細については、「AM243x_ALX パッケージ - サポートされていないインターフェイスと信号」を参照してください。

表 5-26. EPWM5 信号の説明

信号名 [1]	信号のタイプ [2]	説明 [3]	ALV のピン [4]	ALX のピン [4]
EHRPWM5_A	IO	EHRPWM 出力 A	T19	P21
EHRPWM5_B (1)	IO	EHRPWM 出力 B	W19	

(1) EHRPWM5_B 信号は、AM243x_ALX デバイス パッケージでは**サポートされていません**。詳細については、「AM243x_ALX パッケージ - サポートされていないインターフェイスと信号」を参照してください。

表 5-27. EPWM6 信号の説明

信号名 [1] ((1))	信号のタイプ [2]	説明 [3]	ALV のピン [4]	ALX のピン [4]
EHRPWM6_A	IO	EHRPWM 出力 A	B14、N16	
EHRPWM6_B	IO	EHRPWM 出力 B	A15、N17	
EHRPWM6_SYNCI	I	外部ピンから EHRPWM モジュールへの同期入力	C14、R19	

Copyright © 2024 Texas Instruments Incorporated

表 5-27. EPWM6 信号の説明 (続き)

信号名 [1] ([(1)])	信号のタイプ [2]	説明 [3]	ALV のピン [4]	ALX のピン [4]
EHRPWM6_SYNCO	O	EHRPWM モジュールから外部ピンへの同期出力	B15、R20	

(1) EPWM6 インターフェイスは、AM243x_ALX デバイス パッケージでは**サポートされていません**。詳細については、「AM243x_ALX パッケージ - サポートされていないインターフェイスと信号」を参照してください。

表 5-28. EPWM7 信号の説明

信号名 [1]	信号のタイプ [2]	説明 [3]	ALV のピン [4]	ALX のピン [4]
EHRPWM7_A	IO	EHRPWM 出力 A	P17、P5、W20	D1、W20
EHRPWM7_B	IO	EHRPWM 出力 B	R2、W21、Y18	F3、Y20

表 5-29. EPWM8 信号の説明

信号名 [1]	信号のタイプ [2]	説明 [3]	ALV のピン [4]	ALX のピン [4]
EHRPWM8_A	IO	EHRPWM 出力 A	V1、V21	K4、U19
EHRPWM8_B	IO	EHRPWM 出力 B	R16、W1	G2、V20

5.3.9 EQEP

メイン ドメイン インスタンス

表 5-30. EQEP0 信号の説明

信号名 [1]	信号のタイプ [2]	説明 [3]	ALV のピン [4]	ALX のピン [4]
EQEP0_A [(1)]	I	EQEP 直交入力 A	D15、N16、Y2	B10、L5
EQEP0_B [(1)]	I	EQEP 直交入力 B	C16、N17、W2	B11、J2
EQEP0_I [(1)]	IO	EQEP インデックス	A16、R20、T6、Y5	A9、R2、T4
EQEP0_S [(1)]	IO	EQEP ストローブ	B16、R19、V3	B9、M2

(1) この EQEP0 入力信号にはデバウンス機能があります。I/O デバウンスの設定の詳細についてはテクニカル リファレンス マニュアルの「デバイス構成」の章を参照してください。

表 5-31. EQEP1 信号の説明

信号名 [1]	信号のタイプ [2]	説明 [3]	ALV のピン [4]	ALX のピン [4]
EQEP1_A [(1)]	I	EQEP 直交入力 A	E15、T4、W20	B12、L2、W20
EQEP1_B [(1)]	I	EQEP 直交入力 B	E14、W21、W3	A12、L3、Y20
EQEP1_I	IO	EQEP インデックス	E16、R21、U6、V6	A11、R5、U2
EQEP1_S [(1)]	IO	EQEP ストローブ	D16、P19、P4	C11、E3

(1) この EQEP1 入力信号にはデバウンス機能があります。I/O デバウンスの設定の詳細についてはテクニカル リファレンス マニュアルの「デバイス構成」の章を参照してください。

表 5-32. EQEP2 信号の説明

信号名 [1]	信号のタイプ [2]	説明 [3]	ALV のピン [4]	ALX のピン [4]
EQEP2_A [(1)]	I	EQEP 直交入力 A	C17、R5	B14、F5
EQEP2_B [(1)]	I	EQEP 直交入力 B	D17、W5、Y4	A15、P2、T5
EQEP2_I	IO	EQEP インデックス	A17、W4	B13、P1
EQEP2_S [(1)]	IO	EQEP ストローブ	B17、R1	A14、F4

(1) この EQEP2 入力信号にはデバウンス機能があります。I/O デバウンス構成の詳細についてはテクニカル リファレンス マニュアルの「デバイス構成」の章を参照してください。

5.3.10 FSI

メイン ドメイン インスタンス

表 5-33. FSI0 RX 信号の説明

信号名 [1]	信号のタイプ [2]	説明 [3]	ALV のピン [4]	ALX のピン [4]
FSI_RX0_CLK	I	FSI 受信クロック	V19	U18
FSI_RX0_D0	I	FSI 受信データ 0	T17	U20
FSI_RX0_D1	I	FSI 受信データ 1	R16	V20

表 5-34. FSI0 TX 信号の説明

信号名 [1]	信号のタイプ [2]	説明 [3]	ALV のピン [4]	ALX のピン [4]
FSI_TX0_CLK	O	FSI 送信クロック	T19	P21
FSI_TX0_D0	O	FSI 送信データ 0	Y21	Y18
FSI_TX0_D1	O	FSI 送信データ 1	Y20	AA19

表 5-35. FSI1 RX 信号の説明

信号名 [1]	信号のタイプ [2]	説明 [3]	ALV のピン [4]	ALX のピン [4]
FSI_RX1_CLK	I	FSI 受信クロック	W20	W20
FSI_RX1_D0	I	FSI 受信データ 0	W21	Y20
FSI_RX1_D1	I	FSI 受信データ 1	V18	Y19

表 5-36. FSI1 TX 信号の説明

信号名 [1] ((1))	信号のタイプ [2]	説明 [3]	ALV のピン [4]	ALX のピン [4]
FSI_TX1_CLK	O	FSI 送信クロック	N16	
FSI_TX1_D0	O	FSI 送信データ 0	P17	
FSI_TX1_D1	O	FSI 送信データ 1	Y18	

(1) FSI1 TX インターフェイスは、AM243x_ALX デバイス パッケージでは**サポートされていません**。詳細については、「AM243x_ALX パッケージ - サポートされていないインターフェイスと信号」を参照してください。

表 5-37. FSI2 RX 信号の説明

信号名 [1]	信号のタイプ [2]	説明 [3]	ALV のピン [4]	ALX のピン [4]
FSI_RX2_CLK	I	FSI 受信クロック	T20	R21
FSI_RX2_D0	I	FSI 受信データ 0	U21	R20
FSI_RX2_D1	I	FSI 受信データ 1	T18	T19

表 5-38. FSI3 RX 信号の説明

信号名 [1]	信号のタイプ [2]	説明 [3]	ALV のピン [4]	ALX のピン [4]
FSI_RX3_CLK	I	FSI 受信クロック	U20	V21
FSI_RX3_D0	I	FSI 受信データ 0	U18	U21
FSI_RX3_D1	I	FSI 受信データ 1	U19	T20

表 5-39. FSI4 RX 信号の説明

信号名 [1] ((1))	信号のタイプ [2]	説明 [3]	ALV のピン [4]	ALX のピン [4]
FSI_RX4_CLK	I	FSI 受信クロック	R17	
FSI_RX4_D0	I	FSI 受信データ 0	V20	T18

Copyright © 2024 Texas Instruments Incorporated

表 5-39. FSI4 RX 信号の説明 (続き)

信号名 [1] ((1))	信号のタイプ [2]	説明 [3]	ALV のピン [4]	ALX のピン [4]
FSI_RX4_D1	I	FSI 受信データ 1	V21	U19

(1) FSI4 RX インターフェイスは、AM243x_ALX デバイス パッケージではサポートされていません。詳細については、「AM243x_ALX パッケージ - サポートされていないインターフェイスと信号」を参照してください。

表 5-40. FSI5 RX 信号の説明

信号名 [1] ((1))	信号のタイプ [2]	説明 [3]	ALV のピン [4]	ALX のピン [4]
FSI_RX5_CLK	I	FSI 受信クロック	P16	
FSI_RX5_D0	I	FSI 受信データ 0	R18	
FSI_RX5_D1	I	FSI 受信データ 1	T21	

(1) FSI5 RX インターフェイスは、AM243x_ALX デバイス パッケージではサポートされていません。詳細については、「AM243x_ALX パッケージ - サポートされていないインターフェイスと信号」を参照してください。

5.3.11 GPIO

メイン ドメイン インスタンス

表 5-41. GPIO0 信号の説明

信号名 [1]	信号のタイプ [2]	説明 [3]	ALV のピン [4]	ALX のピン [4]
GPIO0_0	IO	汎用入出力	N20	P20
GPIO0_1	IO	汎用入出力	N21	M21
GPIO0_2	IO	汎用入出力	N19	P17
GPIO0_3	IO	汎用入出力	M19	L19
GPIO0_4	IO	汎用入出力	M18	N20
GPIO0_5	IO	汎用入出力	M20	L21
GPIO0_6	IO	汎用入出力	M21	N19
GPIO0_7 (2)	IO	汎用入出力	P21	
GPIO0_8 (2)	IO	汎用入出力	P20	
GPIO0_9 (2)	IO	汎用入出力	N18	
GPIO0_10 (2)	IO	汎用入出力	M17	
GPIO0_11	IO	汎用入出力	L19	L20
GPIO0_12	IO	汎用入出力	L18	M20
GPIO0_13 (2)	IO	汎用入出力	K17	
GPIO0_14 (2)	IO	汎用入出力	L17	
GPIO0_15	IO	汎用入出力	T20	R21
GPIO0_16	IO	汎用入出力	U21	R20
GPIO0_17	IO	汎用入出力	T18	T19
GPIO0_18	IO	汎用入出力	U20	V21
GPIO0_19	IO	汎用入出力	AA14	AA14
GPIO0_20	IO	汎用入出力	Y13	Y15
GPIO0_21	IO	汎用入出力	V20	T18
GPIO0_22	IO	汎用入出力	V21	U19
GPIO0_23	IO	汎用入出力	V19	U18
GPIO0_24	IO	汎用入出力	T17	U20
GPIO0_25	IO	汎用入出力	R16	V20
GPIO0_26	IO	汎用入出力	W20	W20
GPIO0_27	IO	汎用入出力	W21	Y20
GPIO0_28	IO	汎用入出力	V18	Y19
GPIO0_29	IO	汎用入出力	Y21	Y18
GPIO0_30	IO	汎用入出力	Y20	AA19

表 5-41. GPIO0 信号の説明 (続き)

信号名 [1]	信号のタイプ [2]	説明 [3]	ALV のピン [4]	ALX のピン [4]
GPIO0_31 (2)	IO	汎用入出力	R17	
GPIO0_32 (2)	IO	汎用入出力	P16	
GPIO0_33 (2)	IO	汎用入出力	R18	
GPIO0_34 (2)	IO	汎用入出力	T21	
GPIO0_35 (2)	IO	汎用入出力	P17	
GPIO0_36	IO	汎用入出力	T19	P21
GPIO0_37 (2)	IO	汎用入出力	W19	
GPIO0_38 (2)	IO	汎用入出力	Y18	
GPIO0_39 (2)	IO	汎用入出力	N16	
GPIO0_40 (2)	IO	汎用入出力	N17	
GPIO0_41 (2)	IO	汎用入出力	R19	
GPIO0_42 (2)	IO	汎用入出力	R20	
GPIO0_43 (2)	IO	汎用入出力	P19	
GPIO0_44 (1)	IO	汎用入出力	R21	
GPIO0_45	IO	汎用入出力	Y7	V4
GPIO0_46	IO	汎用入出力	U8	W5
GPIO0_47	IO	汎用入出力	W8	AA4
GPIO0_48	IO	汎用入出力	V8	Y5
GPIO0_49	IO	汎用入出力	Y8	AA5
GPIO0_50	IO	汎用入出力	V13	U14
GPIO0_51	IO	汎用入出力	AA7	Y2
GPIO0_52	IO	汎用入出力	U13	V13
GPIO0_53	IO	汎用入出力	W13	Y13
GPIO0_54	IO	汎用入出力	U15	W16
GPIO0_55	IO	汎用入出力	U14	W13
GPIO0_56	IO	汎用入出力	AA8	V5
GPIO0_57	IO	汎用入出力	U9	W2
GPIO0_58	IO	汎用入出力	W9	V6
GPIO0_59	IO	汎用入出力	AA9	AA7
GPIO0_60	IO	汎用入出力	Y9	Y7
GPIO0_61	IO	汎用入出力	V9	W6
GPIO0_62	IO	汎用入出力	U7	T2
GPIO0_63	IO	汎用入出力	V7	Y4
GPIO0_64	IO	汎用入出力	W7	U3
GPIO0_65	IO	汎用入出力	W11	AA10
GPIO0_66	IO	汎用入出力	V11	Y10
GPIO0_67	IO	汎用入出力	AA12	Y11
GPIO0_68	IO	汎用入出力	Y12	V12
GPIO0_69	IO	汎用入出力	W12	Y12
GPIO0_70	IO	汎用入出力	AA13	AA11
GPIO0_71	IO	汎用入出力	U11	V10
GPIO0_72	IO	汎用入出力	V15	Y14
GPIO0_73	IO	汎用入出力	U12	W11
GPIO0_74	IO	汎用入出力	V14	Y16
GPIO0_75	IO	汎用入出力	W14	U13
GPIO0_76	IO	汎用入出力	AA10	Y6
GPIO0_77	IO	汎用入出力	V10	AA8
GPIO0_78	IO	汎用入出力	U10	Y9

Copyright © 2024 Texas Instruments Incorporated

表 5-41. GPIO0 信号の説明 (続き)

信号名 [1]	信号のタイプ [2]	説明 [3]	ALV のピン [4]	ALX のピン [4]
GPIO0_79	IO	汎用入出力	AA11	W9
GPIO0_80	IO	汎用入出力	Y11	V9
GPIO0_81	IO	汎用入出力	Y10	Y8
GPIO0_82	IO	汎用入出力	U18	U21
GPIO0_83	IO	汎用入出力	U19	T20
GPIO0_84	IO	汎用入出力	V12	AA13
GPIO0_85	IO	汎用入出力	AA6	V2
GPIO0_86	IO	汎用入出力	Y6	W1

(1) この GPIO 入力信号にはデバウンス機能があります。I/O デバウンス構成の詳細についてはテクニカル リファレンス マニュアルの「デバイス構成」の章を参照してください。
(2) この GPIO0 信号は、AM243x_ALX デバイス パッケージでは**サポートされていません**。詳細については、「AM243x_ALX パッケージ - サポートされていないインターフェイスと信号」を参照してください。

表 5-42. GPIO1 信号の説明

信号名 [1]	信号のタイプ [2]	説明 [3]	ALV のピン [4]	ALX のピン [4]
GPIO1_0	IO	汎用入出力	Y1	J3
GPIO1_1	IO	汎用入出力	R4	J4
GPIO1_2	IO	汎用入出力	U2	G1
GPIO1_3	IO	汎用入出力	V2	H1
GPIO1_4	IO	汎用入出力	AA2	K2
GPIO1_5	IO	汎用入出力	R3	F2
GPIO1_6	IO	汎用入出力	T3	H2
GPIO1_7	IO	汎用入出力	T1	E2
GPIO1_8	IO	汎用入出力	T2	H5
GPIO1_9	IO	汎用入出力	W6	Y3
GPIO1_10	IO	汎用入出力	AA5	U1
GPIO1_11	IO	汎用入出力	Y3	L1
GPIO1_12	IO	汎用入出力	AA3	K1
GPIO1_13	IO	汎用入出力	R6	N1
GPIO1_14	IO	汎用入出力	V4	N2
GPIO1_15	IO	汎用入出力	T5	N4
GPIO1_16	IO	汎用入出力	U4	N3
GPIO1_17	IO	汎用入出力	U1	E1
GPIO1_18	IO	汎用入出力	V1	K4
GPIO1_19	IO	汎用入出力	W1	G2
GPIO1_20	IO	汎用入出力	Y2	L5
GPIO1_21	IO	汎用入出力	W2	J2
GPIO1_22	IO	汎用入出力	V3	M2
GPIO1_23	IO	汎用入出力	T4	L2
GPIO1_24	IO	汎用入出力	W3	L3
GPIO1_25	IO	汎用入出力	P4	E3
GPIO1_26	IO	汎用入出力	R5	F5
GPIO1_27	IO	汎用入出力	W5	T5
GPIO1_28	IO	汎用入出力	R1	F4
GPIO1_29	IO	汎用入出力	Y5	R2
GPIO1_30	IO	汎用入出力	V6	U2
GPIO1_31	IO	汎用入出力	W4	P1
GPIO1_32	IO	汎用入出力	Y4	P2

表 5-42. GPIO1 信号の説明 (続き)

信号名 [1]	信号のタイプ [2]	説明 [3]	ALV のピン [4]	ALX のピン [4]
GPIO1_33	IO	汎用入出力	T6	T4
GPIO1_34	IO	汎用入出力	U6	R5
GPIO1_35	IO	汎用入出力	U5	M4
GPIO1_36	IO	汎用入出力	AA4	T3
GPIO1_37	IO	汎用入出力	V5	T1
GPIO1_38	IO	汎用入出力	P5	D1
GPIO1_39	IO	汎用入出力	R2	F3
GPIO1_40	IO	汎用入出力	P2	E4
GPIO1_41	IO	汎用入出力	P3	D2
GPIO1_42 (2)	IO	汎用入出力	D12	
GPIO1_43	IO	汎用入出力	C13	B7
GPIO1_44	IO	汎用入出力	D13	B8
GPIO1_45	IO	汎用入出力	A13	A8
GPIO1_46	IO	汎用入出力	A14	C9
GPIO1_47 (2)	IO	汎用入出力	B14	
GPIO1_48 (2)	IO	汎用入出力	D14	
GPIO1_49 (2)	IO	汎用入出力	C14	
GPIO1_50 (2)	IO	汎用入出力	B15	
GPIO1_51 (2)	IO	汎用入出力	A15	
GPIO1_52	IO	汎用入出力	D15	B10
GPIO1_53	IO	汎用入出力	C16	B11
GPIO1_54	IO	汎用入出力	B16	B9
GPIO1_55	IO	汎用入出力	A16	A9
GPIO1_56	IO	汎用入出力	E15	B12
GPIO1_57	IO	汎用入出力	E14	A12
GPIO1_58	IO	汎用入出力	D16	C11
GPIO1_59	IO	汎用入出力	E16	A11
GPIO1_60	IO	汎用入出力	A17	B13
GPIO1_61	IO	汎用入出力	B17	A14
GPIO1_62	IO	汎用入出力	C17	B14
GPIO1_63	IO	汎用入出力	D17	A15
GPIO1_64 (3)	IO	汎用入出力	A18	B16
GPIO1_65 (4)	IO	汎用入出力	B18	B15
GPIO1_66	IO	汎用入出力	C18	A17
GPIO1_67	IO	汎用入出力	B19	B18
GPIO1_68 (1)	IO	汎用入出力	D18	
GPIO1_69	IO	汎用入出力	A19	A18
GPIO1_70 (1) (5)	IO	汎用入出力	C19	
GPIO1_71 (1)	IO	汎用入出力	K18	K18
GPIO1_72 (1)	IO	汎用入出力	K19	K20
GPIO1_73 (1)	IO	汎用入出力	L21	J19
GPIO1_74 (1)	IO	汎用入出力	K21	J18
GPIO1_75 (1)	IO	汎用入出力	L20	J20
GPIO1_76 (1)	IO	汎用入出力	J19	J21
GPIO1_77 (1)	IO	汎用入出力	D19	B17
GPIO1_78 (1)	IO	汎用入出力	C20	C16

Copyright © 2024 Texas Instruments Incorporated

表 5-42. GPIO1 信号の説明 (続き)

信号名 [1]	信号のタイプ [2]	説明 [3]	ALV のピン [4]	ALX のピン [4]
GPIO1_79	IO	汎用入出力	E19	B19

(1) この GPIO 入力信号にはデバウンス機能があります。I/O デバウンス構成の詳細についてはテクニカル リファレンス マニュアルの「デバイス構成」の章を参照してください。
(2) この GPIO1 信号は、AM243x_ALX デバイス パッケージでは**サポートされていません**。詳細については、「AM243x_ALX パッケージ - サポートされていないインターフェイスと信号」を参照してください。
(3) GPIO1_64 は、I2C OD FS (オープン ドレイン フェイルセーフ) 電圧バッファを使用して実装されています。
(4) GPIO1_65 は、I2C OD FS (オープン ドレイン フェイルセーフ) 電圧バッファを使用して実装されています。
(5) GPIO1_70 は、I2C OD FS (オープン ドレイン フェイルセーフ) 電圧バッファを使用して実装されています。

MCU ドメインのインスタンス

表 5-43. MCU_GPIO0 信号の説明

信号名 [1]	信号のタイプ [2]	説明 [3]	ALV のピン [4]	ALX のピン [4]
MCU_GPIO0_0 (2)	IO	汎用入出力	E8	C2
MCU_GPIO0_1 (2)	IO	汎用入出力	D8	D4
MCU_GPIO0_2	IO	汎用入出力	A8	B2
MCU_GPIO0_3	IO	汎用入出力	A9	D6
MCU_GPIO0_4	IO	汎用入出力	B6	
MCU_GPIO0_5 (1) (2)	IO	汎用入出力	A7	
MCU_GPIO0_6 (1) (2)	IO	汎用入出力	B7	
MCU_GPIO0_7	IO	汎用入出力	D7	
MCU_GPIO0_8	IO	汎用入出力	C7	
MCU_GPIO0_9	IO	汎用入出力	C8	
MCU_GPIO0_10	IO	汎用入出力	E7	
MCU_GPIO0_11	IO	汎用入出力	E6	
MCU_GPIO0_12 (1) (2)	IO	汎用入出力	C6	
MCU_GPIO0_13 (1) (2)	IO	汎用入出力	D6	
MCU_GPIO0_14	IO	汎用入出力	C9	
MCU_GPIO0_15	IO	汎用入出力	D9	
MCU_GPIO0_16 (1) (2)	IO	汎用入出力	B8	
MCU_GPIO0_17 (1) (2)	IO	汎用入出力	B9	
MCU_GPIO0_18 (3)	IOD	汎用入出力	E9	
MCU_GPIO0_19 (4)	IOD	汎用入出力	A10	
MCU_GPIO0_20 (1) (2)	IO	汎用入出力	A11	
MCU_GPIO0_21 (1) (2)	IO	汎用入出力	B10	
MCU_GPIO0_22	IO	汎用入出力	B13	A6

(1) この MCU_GPIO0 信号は、AM243x_ALX デバイス パッケージでは**サポートされていません**。詳細については、「AM243x_ALX パッケージ - サポートされていないインターフェイスと信号」を参照してください。
(2) この GPIO 入力信号にはデバウンス機能があります。I/O デバウンス構成の詳細についてはテクニカル リファレンス マニュアルの「デバイス構成」の章を参照してください。
(3) MCU_GPIO0_18 は、I2C OD FS (オープン ドレイン フェイルセーフ) 電圧バッファを使用して実装されています。
(4) MCU_GPIO0_19 は、I2C OD FS (オープン ドレイン フェイルセーフ) 電圧バッファを使用して実装されています。

5.3.12 GPMC

メイン ドメイン インスタンス

表 5-44. GPMC0 信号の説明

信号名 [1] ((3))	信号のタイプ [2]	説明 [3]	ALV のピン [4]	ALX のピン [4]
GPMC0_ADVn_ALE	O	GPMC アドレス有効 (アクティブ Low) またはアドレス ラッチ イネーブル	P16	
GPMC0_CLK (1)	O	GPMC クロック	R17	

表 5-44. GPMC0 信号の説明 (続き)

信号名 [1] ([3])	信号のタイプ [2]	説明 [3]	ALV のピン [4]	ALX のピン [4]
GPMC0_DIR	O	GPMC データ バス信号方向制御	N17	
GPMC0_FCLK_MUX [2]	O	MUX ロジックで選択された GPMC 機能クロック出力	R17	
GPMC0_OEn_REn	O	GPMC 出力イネーブル (アクティブ Low) または読み出しイネーブル (アクティブ Low)	R18	
GPMC0_WEn	O	GPMC 書き込みイネーブル (アクティブ Low)	T21	
GPMC0_WPn	O	GPMC フラッシュ書き込み保護 (アクティブ Low)	N16	
GPMC0_A0	OZ	GPMC アドレス 0 出力。8 ビット データ非多重化メモリを効果的にアドレス指定するためにのみ使用されます。	U2、U7	G1、T2
GPMC0_A1	OZ	GPMC アドレス 1 (A/D 非多重化モード) およびアドレス 17 (A/D 多重化モード) 出力	AA2、V7	K2、Y4
GPMC0_A2	OZ	GPMC アドレス 2 (A/D 非多重化モード) およびアドレス 18 (A/D 多重化モード) 出力	T2、W7	H5、U3
GPMC0_A3	OZ	GPMC アドレス 3 (A/D 非多重化モード) およびアドレス 19 (A/D 多重化モード) 出力	V4、W11	AA10、N2
GPMC0_A4	OZ	GPMC アドレス 4 (A/D 非多重化モード) およびアドレス 20 (A/D 多重化モード) 出力	U4、V11	N3、Y10
GPMC0_A5	OZ	GPMC アドレス 5 (A/D 非多重化モード) およびアドレス 21 (A/D 多重化モード) 出力	AA12、V1	K4、Y11
GPMC0_A6	OZ	GPMC アドレス 6 (A/D 非多重化モード) およびアドレス 22 (A/D 多重化モード) 出力	W1、Y12	G2、V12
GPMC0_A7	OZ	GPMC アドレス 7 (A/D 非多重化モード) およびアドレス 23 (A/D 多重化モード) 出力	W12、Y4	P2、Y12
GPMC0_A8	OZ	GPMC アドレス 8 (A/D 非多重化モード) およびアドレス 24 (A/D 多重化モード) 出力	AA13、T6	AA11、T4
GPMC0_A9	OZ	GPMC アドレス 9 (A/D 非多重化モード) およびアドレス 25 (A/D 多重化モード) 出力	U11、U6	R5、V10
GPMC0_A10	OZ	GPMC アドレス 10 (A/D 非多重化モード) およびアドレス 26 (A/D 多重化モード) 出力	U5、V15	M4、Y14
GPMC0_A11	OZ	GPMC アドレス 11 出力 (A/D 非多重化モード) (A/D 多重化モードでは未使用)	AA4、U12	T3、W11
GPMC0_A12	OZ	GPMC アドレス 12 出力 (A/D 非多重化モード) (A/D 多重化モードでは未使用)	P2、V14	E4、Y16
GPMC0_A13	OZ	GPMC アドレス 13 出力 (A/D 非多重化モード) (A/D 多重化モードでは未使用)	P3、W14	D2、U13
GPMC0_A14	OZ	GPMC アドレス 14 出力 (A/D 非多重化モード) (A/D 多重化モードでは未使用)	AA10、AA3	K1、Y6
GPMC0_A15	OZ	GPMC アドレス 15 出力 (A/D 非多重化モード) (A/D 多重化モードでは未使用)	R6、V10	AA8、N1
GPMC0_A16	OZ	GPMC アドレス 16 出力 (A/D 非多重化モード) (A/D 多重化モードでは未使用)	T5、U10	N4、Y9
GPMC0_A17	OZ	GPMC アドレス 17 出力 (A/D 非多重化モード) (A/D 多重化モードでは未使用)	AA11、U1	E1、W9
GPMC0_A18	OZ	GPMC アドレス 18 出力 (A/D 非多重化モード) (A/D 多重化モードでは未使用)	T4、Y11	L2、V9
GPMC0_A19	OZ	GPMC アドレス 19 出力 (A/D 非多重化モード) (A/D 多重化モードでは未使用)	R5、Y10	F5、Y8
GPMC0_A20	OZ	GPMC アドレス 20 出力 (A/D 非多重化モード) (A/D 多重化モードでは未使用)	R21	
GPMC0_A21	OZ	GPMC アドレス 21 出力 (A/D 非多重化モード) (A/D 多重化モードでは未使用)	Y18	
GPMC0_A22	OZ	GPMC アドレス 22 出力 (A/D 非多重化モード) (A/D 多重化モードでは未使用)	N16	
GPMC0_AD0	IO	GPMC データ 0 入出力 (A/D 非多重化モード) および追加アドレス 1 出力 (A/D 多重化モード)	T20	R21

Copyright © 2024 Texas Instruments Incorporated

表 5-44. GPMC0 信号の説明 (続き)

信号名 [1] ([3])	信号のタイプ [2]	説明 [3]	ALV のピン [4]	ALX のピン [4]
GPMC0_AD1	IO	GPMC データ 1 入出力 (A/D 非多重化モード) および追加アドレス 2 出力 (A/D 多重化モード)	U21	R20
GPMC0_AD2	IO	GPMC データ 2 入出力 (A/D 非多重化モード) および追加アドレス 3 出力 (A/D 多重化モード)	T18	T19
GPMC0_AD3	IO	GPMC データ 3 入出力 (A/D 非多重化モード) および追加アドレス 4 出力 (A/D 多重化モード)	U20	V21
GPMC0_AD4	IO	GPMC データ 4 入出力 (A/D 非多重化モード) および追加アドレス 5 出力 (A/D 多重化モード)	U18	U21
GPMC0_AD5	IO	GPMC データ 5 入出力 (A/D 非多重化モード) および追加アドレス 6 出力 (A/D 多重化モード)	U19	T20
GPMC0_AD6	IO	GPMC データ 6 入出力 (A/D 非多重化モード) および追加アドレス 7 出力 (A/D 多重化モード)	V20	T18
GPMC0_AD7	IO	GPMC データ 7 入出力 (A/D 非多重化モード) および追加アドレス 8 出力 (A/D 多重化モード)	V21	U19
GPMC0_AD8	IO	GPMC データ 8 入出力 (A/D 非多重化モード) および追加アドレス 9 出力 (A/D 多重化モード)	V19	U18
GPMC0_AD9	IO	GPMC データ 9 入出力 (A/D 非多重化モード) および追加アドレス 10 出力 (A/D 多重化モード)	T17	U20
GPMC0_AD10	IO	GPMC データ 10 入出力 (A/D 非多重化モード) および追加アドレス 11 出力 (A/D 多重化モード)	R16	V20
GPMC0_AD11	IO	GPMC データ 11 入出力 (A/D 非多重化モード) および追加アドレス 12 出力 (A/D 多重化モード)	W20	W20
GPMC0_AD12	IO	GPMC データ 12 入出力 (A/D 非多重化モード) および追加アドレス 13 出力 (A/D 多重化モード)	W21	Y20
GPMC0_AD13	IO	GPMC データ 13 入出力 (A/D 非多重化モード) および追加アドレス 14 出力 (A/D 多重化モード)	V18	Y19
GPMC0_AD14	IO	GPMC データ 14 入出力 (A/D 非多重化モード) および追加アドレス 15 出力 (A/D 多重化モード)	Y21	Y18
GPMC0_AD15	IO	GPMC データ 15 入出力 (A/D 非多重化モード) および追加アドレス 16 出力 (A/D 多重化モード)	Y20	AA19
GPMC0_AD16	IO	GPMC データ 16 入出力 (A/D 非多重化モード) および追加アドレス 17 出力 (A/D 多重化モード)	Y7	V4
GPMC0_AD17	IO	GPMC データ 17 入出力 (A/D 非多重化モード) および追加アドレス 18 出力 (A/D 多重化モード)	U8	W5
GPMC0_AD18	IO	GPMC データ 18 入出力 (A/D 非多重化モード) および追加アドレス 19 出力 (A/D 多重化モード)	W8	AA4
GPMC0_AD19	IO	GPMC データ 19 入出力 (A/D 非多重化モード) および追加アドレス 20 出力 (A/D 多重化モード)	V8	Y5
GPMC0_AD20	IO	GPMC データ 20 入出力 (A/D 非多重化モード) および追加アドレス 21 出力 (A/D 多重化モード)	Y8	AA5
GPMC0_AD21	IO	GPMC データ 21 入出力 (A/D 非多重化モード) および追加アドレス 22 出力 (A/D 多重化モード)	V13	U14
GPMC0_AD22	IO	GPMC データ 22 入出力 (A/D 非多重化モード) および追加アドレス 23 出力 (A/D 多重化モード)	AA7	Y2
GPMC0_AD23	IO	GPMC データ 23 入出力 (A/D 非多重化モード) および追加アドレス 24 出力 (A/D 多重化モード)	U13	V13
GPMC0_AD24	IO	GPMC データ 24 入出力 (A/D 非多重化モード) および追加アドレス 25 出力 (A/D 多重化モード)	W13	Y13
GPMC0_AD25	IO	GPMC データ 25 入出力 (A/D 非多重化モード) および追加アドレス 26 出力 (A/D 多重化モード)	U15	W16
GPMC0_AD26	IO	GPMC データ 26 入出力 (A/D 非多重化モード) および追加アドレス 27 出力 (A/D 多重化モード)	U14	W13
GPMC0_AD27	IO	GPMC データ 27 入出力 (A/D 非多重化モード) および追加アドレス 28 出力 (A/D 多重化モード)	AA8	V5

表 5-44. GPMC0 信号の説明 (続き)

信号名 [1] ([3])	信号のタイプ [2]	説明 [3]	ALV のピン [4]	ALX のピン [4]
GPMC0_AD28	IO	GPMC データ 28 入出力 (A/D 非多重化モード) および追加アドレス 29 出力 (A/D 多重化モード)	U9	W2
GPMC0_AD29	IO	GPMC データ 29 入出力 (A/D 非多重化モード) および追加アドレス 30 出力 (A/D 多重化モード)	W9	V6
GPMC0_AD30	IO	GPMC データ 30 入出力 (A/D 非多重化モード) および追加アドレス 31 出力 (A/D 多重化モード)	AA9	AA7
GPMC0_AD31	IO	GPMC データ 31 入出力 (A/D 非多重化モード) および追加アドレス 0 出力 (A/D 多重化モード)	Y9	Y7
GPMC0_BE0n_CLE	O	GPMC 下位バイト イネーブル (アクティブ Low) またはコマンド ラッチ イネーブル	P17	
GPMC0_BE1n	O	GPMC 上位バイト イネーブル (アクティブ Low)	T19	P21
GPMC0_BE2n	O	GPMC 上位バイト イネーブル (アクティブ Low)	V9	W6
GPMC0_BE3n	O	GPMC 上位バイト イネーブル (アクティブ Low)	AA14	AA14
GPMC0_CSn0	O	GPMC チップ セレクト 0 (アクティブ Low)	R19	
GPMC0_CSn1	O	GPMC チップ セレクト 1 (アクティブ Low)	R20	
GPMC0_CSn2	O	GPMC チップ セレクト 2 (アクティブ Low)	P19	
GPMC0_CSn3	O	GPMC チップ セレクト 3 (アクティブ Low)	R21	
GPMC0_WAIT0	I	GPMC ウェイト外部表示	W19	
GPMC0_WAIT1	I	GPMC ウェイト外部表示	Y18	

(1) GPMC0 を同期モードで動作させる場合、CTRLMMR_PADCONFIG32 レジスタの RXACTIVE ビットを 0x1 にセットし、CTRLMMR_PADCONFIG32 レジスタの TX_DIS ビットを 0x0 にリセットする必要があります。
(2) GPMC0_FCLK_MUX 信号は、AM243x_ALX デバイス パッケージでは**サポートされていません**。詳細については、「AM243x_ALX パッケージ - サポートされていないインターフェイスと信号」を参照してください。
(3) GPMC0 インターフェイスは、AM243x_ALX デバイス パッケージでは**サポートされていません**。詳細については、「AM243x_ALX パッケージ - サポートされていないインターフェイスと信号」を参照してください。

Copyright © 2024 Texas Instruments Incorporated

5.3.12.1 GPMC0 の IOSET (ALV)

表 5-45 に、ALV パッケージの GPMC0 の各 IOSET の有効なピンの組み合わせを示します。

表 5-45. GPMC0 の IOSET (ALV)

信号	IOSET1		IOSET2	
	ボール名 (ALV)	MUXMODE	ボール名 (ALV)	MUXMODE
GPMC0_AD0	GPMC0_AD0	0	GPMC0_AD0	0
GPMC0_AD1	GPMC0_AD1	0	GPMC0_AD1	0
GPMC0_AD2	GPMC0_AD2	0	GPMC0_AD2	0
GPMC0_AD3	GPMC0_AD3	0	GPMC0_AD3	0
GPMC0_AD4	GPMC0_AD4	0	GPMC0_AD4	0
GPMC0_AD5	GPMC0_AD5	0	GPMC0_AD5	0
GPMC0_AD6	GPMC0_AD6	0	GPMC0_AD6	0
GPMC0_AD7	GPMC0_AD7	0	GPMC0_AD7	0
GPMC0_AD8	GPMC0_AD8	0	GPMC0_AD8	0
GPMC0_AD9	GPMC0_AD9	0	GPMC0_AD9	0
GPMC0_AD10	GPMC0_AD10	0	GPMC0_AD10	0
GPMC0_AD11	GPMC0_AD11	0	GPMC0_AD11	0
GPMC0_AD12	GPMC0_AD12	0	GPMC0_AD12	0
GPMC0_AD13	GPMC0_AD13	0	GPMC0_AD13	0
GPMC0_AD14	GPMC0_AD14	0	GPMC0_AD14	0
GPMC0_AD15	GPMC0_AD15	0	GPMC0_AD15	0
GPMC0_CLK	GPMC0_CLK	0	GPMC0_CLK	0
GPMC0_ADVn_ALE	GPMC0_ADVn_ALE	0	GPMC0_ADVn_ALE	0
GPMC0_OEn_REn	GPMC0_OEn_REn	0	GPMC0_OEn_REn	0
GPMC0_WEn	GPMC0_WEn	0	GPMC0_WEn	0
GPMC0_BE0n_CLE	GPMC0_BE0n_CLE	0	GPMC0_BE0n_CLE	0
GPMC0_BE1n	GPMC0_BE1n	0	GPMC0_BE1n	0
GPMC0_WAIT0	GPMC0_WAIT0	0	GPMC0_WAIT0	0
GPMC0_WAIT1	GPMC0_WAIT1	0	GPMC0_WAIT1	0
GPMC0_WPn	GPMC0_WPn	0	GPMC0_WPn	0
GPMC0_DIR	GPMC0_DIR	0	GPMC0_DIR	0
GPMC0_CSn0	GPMC0_CSn0	0	GPMC0_CSn0	0
GPMC0_CSn1	GPMC0_CSn1	0	GPMC0_CSn1	0
GPMC0_CSn2	GPMC0_CSn2	0	GPMC0_CSn2	0
GPMC0_CSn3	GPMC0_CSn3	0	GPMC0_CSn3	0
GPMC0_AD16	PRG1_PRU0_GPO0	8	PRG1_PRU0_GPO0	8
GPMC0_AD17	PRG1_PRU0_GPO1	8	PRG1_PRU0_GPO1	8
GPMC0_AD18	PRG1_PRU0_GPO2	8	PRG1_PRU0_GPO2	8
GPMC0_AD19	PRG1_PRU0_GPO3	8	PRG1_PRU0_GPO3	8
GPMC0_AD20	PRG1_PRU0_GPO4	8	PRG1_PRU0_GPO4	8
GPMC0_AD21	PRG1_PRU0_GPO5	8	PRG1_PRU0_GPO5	8
GPMC0_AD22	PRG1_PRU0_GPO6	8	PRG1_PRU0_GPO6	8
GPMC0_AD23	PRG1_PRU0_GPO7	8	PRG1_PRU0_GPO7	8
GPMC0_AD24	PRG1_PRU0_GPO8	8	PRG1_PRU0_GPO8	8
GPMC0_AD25	PRG1_PRU0_GPO9	8	PRG1_PRU0_GPO9	8
GPMC0_AD26	PRG1_PRU0_GPO10	8	PRG1_PRU0_GPO10	8

表 5-45. GPMC0 の IOSET (ALV) (続き)

信号	IOSET1		IOSET2	
	ボール名 (ALV)	MUXMODE	ボール名 (ALV)	MUXMODE
GPMC0_AD27	PRG1_PRU0_GPO11	8	PRG1_PRU0_GPO11	8
GPMC0_AD28	PRG1_PRU0_GPO12	8	PRG1_PRU0_GPO12	8
GPMC0_AD29	PRG1_PRU0_GPO13	8	PRG1_PRU0_GPO13	8
GPMC0_AD30	PRG1_PRU0_GPO14	8	PRG1_PRU0_GPO14	8
GPMC0_AD31	PRG1_PRU0_GPO15	8	PRG1_PRU0_GPO15	8
GPMC0_BE2n	PRG1_PRU0_GPO16	8	PRG1_PRU0_GPO16	8
GPMC0_A0	PRG1_PRU0_GPO17	8	PRG0_PRU0_GPO2	9
GPMC0_A1	PRG1_PRU0_GPO18	8	PRG0_PRU0_GPO4	9
GPMC0_A2	PRG1_PRU0_GPO19	8	PRG0_PRU0_GPO8	9
GPMC0_A3	PRG1_PRU1_GPO0	8	PRG0_PRU0_GPO14	9
GPMC0_A4	PRG1_PRU1_GPO1	8	PRG0_PRU0_GPO16	9
GPMC0_A5	PRG1_PRU1_GPO2	8	PRG0_PRU0_GPO18	9
GPMC0_A6	PRG1_PRU1_GPO3	8	PRG0_PRU0_GPO19	9
GPMC0_A7	PRG1_PRU1_GPO4	8	PRG0_PRU1_GPO12	9
GPMC0_A8	PRG1_PRU1_GPO5	8	PRG0_PRU1_GPO13	9
GPMC0_A9	PRG1_PRU1_GPO6	8	PRG0_PRU1_GPO14	9
GPMC0_A10	PRG1_PRU1_GPO7	8	PRG0_PRU1_GPO15	9
GPMC0_A11	PRG1_PRU1_GPO8	8	PRG0_PRU1_GPO16	9
GPMC0_A12	PRG1_PRU1_GPO9	8	PRG0_MDIO0_MDIO	9
GPMC0_A13	PRG1_PRU1_GPO10	8	PRG0_MDIO0_MDC	9
GPMC0_A14	PRG1_PRU1_GPO11	8	PRG0_PRU0_GPO12	9
GPMC0_A15	PRG1_PRU1_GPO12	8	PRG0_PRU0_GPO13	9
GPMC0_A16	PRG1_PRU1_GPO13	8	PRG0_PRU0_GPO15	9
GPMC0_A17	PRG1_PRU1_GPO14	8	PRG0_PRU0_GPO17	9
GPMC0_A18	PRG1_PRU1_GPO15	8	PRG0_PRU1_GPO3	9
GPMC0_A19	PRG1_PRU1_GPO16	8	PRG0_PRU1_GPO6	9
GPMC0_BE3n	PRG1_PRU1_GPO17	8	PRG1_PRU1_GPO17	8
GPMC0_A20	GPMC0_CSn3	4	GPMC0_CSn3	4
GPMC0_A21	GPMC0_WAIT1	4	GPMC0_WAIT1	4
GPMC0_A22	GPMC0_WPn	4	GPMC0_WPn	4

5.3.13 I2C

メイン ドメイン インスタンス

表 5-46. I2C0 信号の説明

信号名 [1]	信号のタイプ [2]	説明 [3]	ALV のピン [4]	ALX のピン [4]
I2C0_SCL (1)	IOD	I2C クロック	A18	B16
I2C0_SDA (2)	IOD	I2C データ	B18	B15

(1) I2C0_SCK は、I2C OD FS (オープン ドレイン フェイルセーフ) 電圧バッファを使用して実装されています。
(2) I2C0_SDA は、I2C OD FS (オープン ドレイン フェイルセーフ) 電圧バッファを使用して実装されています。

表 5-47. I2C1 信号の説明

信号名 [1]	信号のタイプ [2]	説明 [3]	ALV のピン [4]	ALX のピン [4]
I2C1_SCL	IOD	I2C クロック	C18	A17

Copyright © 2024 Texas Instruments Incorporated

表 5-47. I2C1 信号の説明 (続き)

信号名 [1]	信号のタイプ [2]	説明 [3]	ALV のピン [4]	ALX のピン [4]
I2C1_SDA	IOD	I2C データ	B19	B18

表 5-48. I2C2 信号の説明

信号名 [1] ([1])	信号のタイプ [2]	説明 [3]	ALV のピン [4]	ALX のピン [4]
I2C2_SCL	IOD	I2C クロック	C13、P19	B7
I2C2_SDA	IOD	I2C データ	D14、R21	

(1) I2C2 インターフェイスは、AM243x_ALX デバイス パッケージでは**サポートされていません**。詳細については、「AM243x_ALX パッケージ - サポートされていないインターフェイスと信号」を参照してください。

表 5-49. I2C3 信号の説明

信号名 [1]	信号のタイプ [2]	説明 [3]	ALV のピン [4]	ALX のピン [4]
I2C3_SCL	IOD	I2C クロック	C17	B14
I2C3_SDA	IOD	I2C データ	D17	A15

MCU ドメインのインスタンス

表 5-50. MCU_I2C0 信号の説明

信号名 [1] ([3])	信号のタイプ [2]	説明 [3]	ALV のピン [4]	ALX のピン [4]
MCU_I2C0_SCL [1]	IOD	I2C クロック	E9	
MCU_I2C0_SDA [2]	IOD	I2C データ	A10	

(1) MCU_I2C0_SCL は、I2C OD FS (オープン ドレイン フェイルセーフ) 電圧バッファを使用して実装されています。
(2) MCU_I2C0_SDA は、I2C OD FS (オープン ドレイン フェイルセーフ) 電圧バッファを使用して実装されています。
(3) MCU_I2C0 インターフェイスは、AM243x_ALX デバイス パッケージでは**サポートされていません**。詳細については、「AM243x_ALX パッケージ - サポートされていないインターフェイスと信号」を参照してください。

表 5-51. MCU_I2C1 信号の説明

信号名 [1] ([1])	信号のタイプ [2]	説明 [3]	ALV のピン [4]	ALX のピン [4]
MCU_I2C1_SCL	IOD	I2C クロック	A11	
MCU_I2C1_SDA	IOD	I2C データ	B10	

(1) MCU_I2C1 インターフェイスは、AM243x_ALX デバイス パッケージでは**サポートされていません**。詳細については、「AM243x_ALX パッケージ - サポートされていないインターフェイスと信号」を参照してください。

5.3.14 MCAN

メイン ドメイン インスタンス

表 5-52. MCAN0 信号の説明

信号名 [1]	信号のタイプ [2]	説明 [3]	ALV のピン [4]	ALX のピン [4]
MCAN0_RX	I	MCAN 受信データ	B17	A14
MCAN0_TX	O	MCAN 送信データ	A17	B13

表 5-53. MCAN1 信号の説明

信号名 [1]	信号のタイプ [2]	説明 [3]	ALV のピン [4]	ALX のピン [4]
MCAN1_RX	I	MCAN 受信データ	D17	A15
MCAN1_TX	O	MCAN 送信データ	C17	B14

5.3.15 SPI (MCSPI)

メイン ドメイン インスタンス

表 5-54. MCSPI0 信号の説明

信号名 [1]	信号のタイプ [2]	説明 [3]	ALV のピン [4]	ALX のピン [4]
SPI0_CLK	IO	SPI クロック	D13	B8
SPI0_CS0 (1)	IO	SPI チップ セレクト 0	D12	
SPI0_CS1	IO	SPI チップ セレクト 1	C13	B7
SPI0_CS2	IO	SPI チップ セレクト 2	B16	B9
SPI0_CS3	IO	SPI チップ セレクト 3	A16	A9
SPI0_D0	IO	SPI データ 0	A13	A8
SPI0_D1	IO	SPI データ 1	A14	C9

(1) SPI0_CS0 信号は、AM243x_ALX デバイス パッケージではサポートされていません。詳細については、「AM243x_ALX パッケージ - サポートされていないインターフェイスと信号」を参照してください。

表 5-55. MCSPI1 信号の説明

信号名 [1]	信号のタイプ [2]	説明 [3]	ALV のピン [4]	ALX のピン [4]
SPI1_CLK	IO	SPI クロック	C14	
SPI1_CS0	IO	SPI チップ セレクト 0	B14	
SPI1_CS1	IO	SPI チップ セレクト 1	D14	
SPI1_CS2	IO	SPI チップ セレクト 2	D16	C11
SPI1_CS3	IO	SPI チップ セレクト 3	E16	A11
SPI1_D0	IO	SPI データ 0	B15	
SPI1_D1	IO	SPI データ 1	A15	

表 5-56. MCSPI2 信号の説明

信号名 [1]	信号のタイプ [2]	説明 [3]	ALV のピン [4]	ALX のピン [4]
SPI2_CLK	IO	SPI クロック	E14	A12
SPI2_CS0	IO	SPI チップ セレクト 0	E15	B12
SPI2_CS1	IO	SPI チップ セレクト 1	C18	A17
SPI2_CS2	IO	SPI チップ セレクト 2	B19	B18
SPI2_CS3	IO	SPI チップ セレクト 3	A19	A18
SPI2_D0	IO	SPI データ 0	D15	B10
SPI2_D1	IO	SPI データ 1	C16	B11

表 5-57. MCSPI3 信号の説明

信号名 [1]	信号のタイプ [2]	説明 [3]	ALV のピン [4]	ALX のピン [4]
SPI3_CLK	IO	SPI クロック	U4	N3
SPI3_CS0	IO	SPI チップ セレクト 0	U1	E1
SPI3_CS1	IO	SPI チップ セレクト 1	T5	N4
SPI3_CS2	IO	SPI チップ セレクト 2	V12	AA13
SPI3_CS3	IO	SPI チップ セレクト 3	V15	Y14
SPI3_D0	IO	SPI データ 0	R6	N1
SPI3_D1	IO	SPI データ 1	V4	N2

Copyright © 2024 Texas Instruments Incorporated

表 5-58. MCSPI4 信号の説明

信号名 [1]	信号のタイプ [2]	説明 [3]	ALV のピン [4]	ALX のピン [4]
SPI4_CLK	IO	SPI クロック	B16	B9
SPI4_CS0	IO	SPI チップ セレクト 0	E16	A11
SPI4_CS1	IO	SPI チップ セレクト 1	A17	B13
SPI4_CS2	IO	SPI チップ セレクト 2	B17	A14
SPI4_CS3 (1)	IO	SPI チップ セレクト 3	D18	
SPI4_D0	IO	SPI データ 0	A16	A9
SPI4_D1	IO	SPI データ 1	D16	C11

(1) SPI4_CS3 信号は、AM243x_ALX デバイス パッケージでは**サポートされていません**。詳細については、「AM243x_ALX パッケージ - サポートされていないインターフェイスと信号」を参照してください。

MCU ドメインのインスタンス

表 5-59. MCU_MCSPI0 信号の説明

信号名 [1]	信号のタイプ [2]	説明 [3]	ALV のピン [4]	ALX のピン [4]
MCU_SPI0_CLK	IO	SPI クロック	E6	
MCU_SPI0_CS0	IO	SPI チップ セレクト 0	D6	
MCU_SPI0_CS1	IO	SPI チップ セレクト 1	C6	
MCU_SPI0_CS2	IO	SPI チップ セレクト 2	D8	D4
MCU_SPI0_CS3	IO	SPI チップ セレクト 3	B8	
MCU_SPI0_D0	IO	SPI データ 0	E7	
MCU_SPI0_D1	IO	SPI データ 1	B6	

表 5-60. MCU_MCSPI1 信号の説明

信号名 [1]	信号のタイプ [2]	説明 [3]	ALV のピン [4]	ALX のピン [4]
MCU_SPI1_CLK	IO	SPI クロック	D7	
MCU_SPI1_CS0	IO	SPI チップ セレクト 0	A7	
MCU_SPI1_CS1	IO	SPI チップ セレクト 1	B7	
MCU_SPI1_CS2	IO	SPI チップ セレクト 2	E8	C2
MCU_SPI1_CS3	IO	SPI チップ セレクト 3	B9	
MCU_SPI1_D0	IO	SPI データ 0	C7	
MCU_SPI1_D1	IO	SPI データ 1	C8	

5.3.16 MMC

メイン ドメイン インスタンス

表 5-61. MMC0 信号の説明

信号名 [1] ((2))	信号のタイプ [2]	説明 [3]	ALV のピン [4]	ALX のピン [4]
MMC0_CALPAD (1)	A	MMC/SD/SDIO 較正抵抗	F18	
MMC0_CLK	IO	MMC/SD/SDIO クロック	G18	
MMC0_CMD	IO	MMC/SD/SDIO コマンド	J21	
MMC0_DS	IO	MMC データ ストローブ	G19	
MMC0_DAT0	IO	MMC/SD/SDIO データ 0	K20	
MMC0_DAT1	IO	MMC/SD/SDIO データ 1	J20	
MMC0_DAT2	IO	MMC/SD/SDIO データ 2	J18	
MMC0_DAT3	IO	MMC/SD/SDIO データ 3	J17	
MMC0_DAT4	IO	MMC/SD/SDIO データ 4	H17	

表 5-61. MMC0 信号の説明 (続き)

信号名 [1] ([2])	信号のタイプ [2]	説明 [3]	ALV のピン [4]	ALX のピン [4]
MMC0_DAT5	IO	MMC/SD/SDIO データ 5	H19	
MMC0_DAT6	IO	MMC/SD/SDIO データ 6	H18	
MMC0_DAT7	IO	MMC/SD/SDIO データ 7	G17	

(1) このピンと VSS との間に 10kΩ ±1% の外付け抵抗を接続する必要があります。このピンに外部電圧を印加しないでください。
(2) MMC0 インターフェイスは、AM243x_ALX デバイス パッケージでは**サポートされていません**。詳細については、「AM243x_ALX パッケージ - サポートされていないインターフェイスと信号」を参照してください。

表 5-62. MMC1 信号の説明

信号名 [1]	信号のタイプ [2]	説明 [3]	ALV のピン [4]	ALX のピン [4]
MMC1_CLK [1]	IO	MMC/SD/SDIO クロック	L20	J20
MMC1_CMD	IO	MMC/SD/SDIO コマンド	J19	J21
MMC1_SDCD	I	SD カード検出	D19	B17
MMC1_SDWP	I	SD 書き込み保護	C20	C16
MMC1_DAT0	IO	MMC/SD/SDIO データ 0	K21	J18
MMC1_DAT1	IO	MMC/SD/SDIO データ 1	L21	J19
MMC1_DAT2	IO	MMC/SD/SDIO データ 2	K19	K20
MMC1_DAT3	IO	MMC/SD/SDIO データ 3	K18	K18

(1) MMC1_CLK 信号を正常に動作させるには、CTRLMMR_PADCONFIG164 レジスタの RXACTIVE ビットを、デフォルト状態である 0x1 (リタイミング用) のままにしておく必要があります。

5.3.17 OSPI

メイン ドメイン インスタンス

表 5-63. OSPI0 信号の説明

信号名 [1]	信号のタイプ [2]	説明 [3]	ALV のピン [4]	ALX のピン [4]
OSPI0_CLK	O	OSPI クロック	N20	P20
OSPI0_DQS	I	OSPI データ ストローブ (DQS) またはループバック クロック入力	N19	P17
OSPI0_ECC_FAIL [2]	I	OSPI ECC ステータス	L17	
OSPI0_LBCLKO	IO	OSPI ループバック クロック出力	N21	M21
OSPI0_CSn0	O	OSPI チップ セレクト 0 (アクティブ Low)	L19	L20
OSPI0_CSn1	O	OSPI チップ セレクト 1 (アクティブ Low)	L18	M20
OSPI0_CSn2 [2]	O	OSPI チップ セレクト 2 (アクティブ Low)	K17	
OSPI0_CSn3 [2]	O	OSPI チップ セレクト 3 (アクティブ Low)	L17	
OSPI0_D0	IO	OSPI データ 0	M19	L19
OSPI0_D1	IO	OSPI データ 1	M18	N20
OSPI0_D2	IO	OSPI データ 2	M20	L21
OSPI0_D3	IO	OSPI データ 3	M21	N19
OSPI0_D4 [1]	IO	OSPI データ 4	P21	
OSPI0_D5 [1]	IO	OSPI データ 5	P20	
OSPI0_D6 [1]	IO	OSPI データ 6	N18	
OSPI0_D7 [1]	IO	OSPI データ 7	M17	
OSPI0_RESET_OUT0 [2]	O	OSPI リセット出力 0	L17	
OSPI0_RESET_OUT1 [2]	O	OSPI リセット出力 1	K17	

(1) この OSPI0 信号は、AM243x_ALX デバイス パッケージでは**サポートされていません**。詳細については、「AM243x_ALX パッケージ - サポートされていないインターフェイスと信号」を参照してください。OSPI0 は、ALX パッケージでは QSPI (4 ビット) 機能に制限されています。

Copyright © 2024 Texas Instruments Incorporated

(2) この OSPI0 信号は、AM243x_ALX デバイス パッケージでは**サポートされていません**。詳細については、「AM243x_ALX パッケージ - サポートされていないインターフェイスと信号」を参照してください。

5.3.18 電源

表 5-64. 電源信号の説明

信号名 [1]	信号のタイプ [2]	説明 [3]	ALV のピン [4]	ALX のピン [4]
CAP_VDDS0 (1)	CAP	IO グループ 0 の外部コンデンサ接続	H12	D12
CAP_VDDS1 (1)	CAP	IO グループ 1 の外部コンデンサ接続	T7	N5
CAP_VDDS2 (1)	CAP	IO グループ 2 の外部コンデンサ接続	R11	U9
CAP_VDDS3 (1)	CAP	IO グループ 3 の外部コンデンサ接続	N14	R16
CAP_VDDS4 (1)	CAP	IO グループ 4 の外部コンデンサ接続	M16	N18
CAP_VDDS5 (1)	CAP	IO グループ 5 の外部コンデンサ接続	L13	M18
CAP_VDDSHV_MMC1 (2)	CAP	MMC1 の外部コンデンサ接続	K15	J17
CAP_VDDS_MCU (1)	CAP	IO MCU の外部コンデンサ接続	H10	D9
VDDA_0P85_SERDES0	PWR	SERDES0 0.85V アナログ電源	P12、P13	
VDDA_0P85_SERDES0_C	PWR	SERDES0 クロック 0.85V アナログ電源	P11	
VDDA_0P85_USB0	PWR	USB0 0.85V アナログ電源	T12	V16
VDDA_1P8_SERDES0	PWR	SERDES0 1.8V アナログ電源	R14	
VDDA_1P8_USB0	PWR	USB0 1.8V アナログ電源	R15	U15
VDDA_3P3_SDIO	PWR	SDIO 3.3V アナログ電源	H15	K15
VDDA_3P3_USB0	PWR	USB0 3.3V アナログ電源	R13	U16
VDDA_ADC	PWR	ADC0 アナログ電源	J13	G17、H17
VDDA_MCU	PWR	POR および MCU PLL アナログ電源	K12	H14
VDDA_PLL0	PWR	メイン、PER1、R5F PLL アナログ電源	N12	N12
VDDA_PLL1	PWR	ARM および DDR PLL アナログ電源	H9	G9
VDDA_PLL2	PWR	PER0 PLL アナログ電源	J11	G12
VDDA_TEMP0	PWR	TEMP0 アナログ電源	G11	G11
VDDA_TEMP1	A	TEMP1 アナログ電源	L11	M11
VDDR_CORE	PWR	RAM 電源	L10、M13	G5、G6、J10、J12、P14、P8、R10
VDDSHV0	PWR	IO グループ 0 の IO 電源	F11、G12、G14	C13、D13、E14
VDDSHV1	PWR	IO グループ 1 の IO 電源	M7、N6、P7	L6、M6、P5、P6
VDDSHV2	PWR	IO グループ 2 の IO 電源	R10、R8、T9	T11、T8、U11、U7、U8
VDDSHV3	PWR	IO グループ 3 の IO 電源	P14、P15	R17、T17
VDDSHV4	PWR	IO グループ 4 の IO 電源	M14、M15	N16、N17
VDDSHV5	PWR	IO グループ 5 の IO 電源	L14、L15	L16、L17
VDDSHV_MCU	PWR	IO MCU の IO 電源	F9、G10、G8	E7、E8、E9
VDDS_DDR	PWR	DDR PHY IO 電源	F7、G6、H7、J6、K7、L6	
VDDS_DDR_C	PWR	DDR クロック IO 電源	J8	
VDDS_MMC0	PWR	MMC0 PHY IO 電源	K14	
VDDS_OSC	PWR	MCU_OSC0 電源	H13	F18
VDD_CORE	PWR	コア電源	J10、J12、K11、K9、L12、L8、M11、M9、N10、N8、P9	F11、G10、H15、H8、J9、K11、K14、L13、L9、M14、M8、N10、N9、R12、R13、R9
VDD_DLL_MMC0	PWR	MMC0 PLL アナログ電源	H14	
VDD_MMC0	PWR	MMC0 PHY コア電源	K13	
VPP	PWR	eFuse ROM プログラミング電源	G15	E16

表 5-64. 電源信号の説明 (続き)

信号名 [1]	信号のタイプ [2]	説明 [3]	ALV のピン [4]	ALX のピン [4]
VSS	GND	グランド	A1、A21、A5、A6、AA1、AA15、AA18、AA21、C10、C15、C3、D1、E11、E13、F10、F15、F8、G1、G16、G3、G7、G9、H11、H20、H21、H6、H8、J14、J7、J9、K6、K8、L1、L16、L3、L7、L9、M10、M12、M6、M8、N11、N13、N15、N7、N9、P1、P10、P18、P6、P8、R12、R7、R9、T10、T11、T15、T16、T8、U3、V17、W10、W18、Y14、Y17、Y19	A1、A2、A20、A21、AA1、AA2、AA20、AA21、B1、B21、D10、D16、D17、E11、E13、E6、F17、F8、G16、H16、H6、H7、J11、J16、J5、J6、K16、K6、K7、K8、L10、L11、L12、M15、M16、M7、N11、N13、N6、P11、P15、P16、P7、R11、R6、T14、U6、Y1、Y21

(1) このピンは、常に 1μF のコンデンサを介して VSS に接続する必要があります。
(2) CAP_VDDSHV_MMC1 ピンは、常に 3.3μF ±20% のコンデンサを介して VSS に接続する必要があります。

5.3.19 PRU_ICSSG

メイン ドメイン インスタンス

表 5-65. PRU_ICSSG0 信号の説明

信号名 [1]	信号のタイプ [2]	説明 [3]	ALV のピン [4]	ALX のピン [4]
PRG0_ECAP0_IN_APWM_OUT	IO	PRU_ICSSG0 拡張キャプチャ (ECAP) 入力または補助 PWM (APWM) 出力	R2、U5	F3、M4
PRG0_ECAP0_SYNC_IN	I	PRU_ICSSG0 ECAP 同期入力	P5、V5	D1、T1
PRG0_ECAP0_SYNC_OUT	O	PRU_ICSSG0 ECAP 同期出力	AA4、V5	T1、T3
PRG0_IEP0_EDIO_OUTVALID	O	PRU_ICSSG0 産業用イーサネット (IEP0) デジタル I/O 出力有効	C13	B7
PRG0_IEP0_EDC_LATCH_IN0	I	PRU_ICSSG0 産業用イーサネット (IEP0) 分散クロック ラッチ入力 0	V1	K4
PRG0_IEP0_EDC_LATCH_IN1	I	PRU_ICSSG0 産業用イーサネット (IEP0) 分散クロック ラッチ入力 1	T1	E2
PRG0_IEP0_EDC_SYNC_OUT0	O	PRU_ICSSG0 産業用イーサネット (IEP0) 分散クロック同期出力 0	W1	G2
PRG0_IEP0_EDC_SYNC_OUT1	O	PRU_ICSSG0 産業用イーサネット (IEP0) 分散クロック同期出力 1	U1	E1
PRG0_IEP0_EDIO_DATA_IN_OUT28	IO	PRU_ICSSG0 産業用イーサネット デジタル I/O データ入出力	W6	Y3
PRG0_IEP0_EDIO_DATA_IN_OUT29	IO	PRU_ICSSG0 産業用イーサネット デジタル I/O データ入出力	AA5	U1
PRG0_IEP0_EDIO_DATA_IN_OUT30	IO	PRU_ICSSG0 産業用イーサネット (IEP0) デジタル I/O データ入出力	Y5	R2
PRG0_IEP0_EDIO_DATA_IN_OUT31	IO	PRU_ICSSG0 産業用イーサネット デジタル I/O データ入出力	V6	U2
PRG0_IEP1_EDC_LATCH_IN0	I	PRU_ICSSG0 産業用イーサネット (IEP1) 分散クロック ラッチ入力 0	P5	D1
PRG0_IEP1_EDC_LATCH_IN1	I	PRU_ICSSG0 産業用イーサネット (IEP1) 分散クロック ラッチ入力 1	W5	T5
PRG0_IEP1_EDC_SYNC_OUT0	O	PRU_ICSSG0 産業用イーサネット (IEP1) 分散クロック同期出力 0	R2	F3
PRG0_IEP1_EDC_SYNC_OUT1	O	PRU_ICSSG0 産業用イーサネット (IEP1) 分散クロック同期出力 1	V5	T1

Copyright © 2024 Texas Instruments Incorporated

表 5-65. PRU_ICSSG0 信号の説明 (続き)

信号名 [1]	信号のタイプ [2]	説明 [3]	ALV のピン [4]	ALX のピン [4]
PRG0_MDIO0_MDC	O	PRU_ICSSG0 MDIO クロック	P3	D2
PRG0_MDIO0_MDIO	IO	PRU_ICSSG0 MDIO0 データ	P2	E4
PRG0_PRU0_GPI0	I	PRU_ICSSG0 PRU データ入力	Y1	J3
PRG0_PRU0_GPI1	I	PRU_ICSSG0 PRU データ入力	R4	J4
PRG0_PRU0_GPI2	I	PRU_ICSSG0 PRU データ入力	U2	G1
PRG0_PRU0_GPI3	I	PRU_ICSSG0 PRU データ入力	V2	H1
PRG0_PRU0_GPI4	I	PRU_ICSSG0 PRU データ入力	AA2	K2
PRG0_PRU0_GPI5	I	PRU_ICSSG0 PRU データ入力	R3	F2
PRG0_PRU0_GPI6	I	PRU_ICSSG0 PRU データ入力	T3	H2
PRG0_PRU0_GPI7	I	PRU_ICSSG0 PRU データ入力	T1	E2
PRG0_PRU0_GPI8	I	PRU_ICSSG0 PRU データ入力	T2	H5
PRG0_PRU0_GPI9	I	PRU_ICSSG0 PRU データ入力	W6	Y3
PRG0_PRU0_GPI10	I	PRU_ICSSG0 PRU データ入力	AA5	U1
PRG0_PRU0_GPI11	I	PRU_ICSSG0 PRU データ入力	Y3	L1
PRG0_PRU0_GPI12	I	PRU_ICSSG0 PRU データ入力	AA3	K1
PRG0_PRU0_GPI13	I	PRU_ICSSG0 PRU データ入力	R6	N1
PRG0_PRU0_GPI14	I	PRU_ICSSG0 PRU データ入力	V4	N2
PRG0_PRU0_GPI15	I	PRU_ICSSG0 PRU データ入力	T5	N4
PRG0_PRU0_GPI16	I	PRU_ICSSG0 PRU データ入力	U4	N3
PRG0_PRU0_GPI17	I	PRU_ICSSG0 PRU データ入力	U1	E1
PRG0_PRU0_GPI18	I	PRU_ICSSG0 PRU データ入力	V1	K4
PRG0_PRU0_GPI19	I	PRU_ICSSG0 PRU データ入力	W1	G2
PRG0_PRU0_GPO0	IO	PRU_ICSSG0 PRU データ出力	Y1	J3
PRG0_PRU0_GPO1	IO	PRU_ICSSG0 PRU データ出力	R4	J4
PRG0_PRU0_GPO2	IO	PRU_ICSSG0 PRU データ出力	U2	G1
PRG0_PRU0_GPO3	IO	PRU_ICSSG0 PRU データ出力	V2	H1
PRG0_PRU0_GPO4	IO	PRU_ICSSG0 PRU データ出力	AA2	K2
PRG0_PRU0_GPO5	IO	PRU_ICSSG0 PRU データ出力	R3	F2
PRG0_PRU0_GPO6	IO	PRU_ICSSG0 PRU データ出力	T3	H2
PRG0_PRU0_GPO7	IO	PRU_ICSSG0 PRU データ出力	T1	E2
PRG0_PRU0_GPO8	IO	PRU_ICSSG0 PRU データ出力	T2	H5
PRG0_PRU0_GPO9	IO	PRU_ICSSG0 PRU データ出力	W6	Y3
PRG0_PRU0_GPO10	IO	PRU_ICSSG0 PRU データ出力	AA5	U1
PRG0_PRU0_GPO11	IO	PRU_ICSSG0 PRU データ出力	Y3	L1
PRG0_PRU0_GPO12	IO	PRU_ICSSG0 PRU データ出力	AA3	K1
PRG0_PRU0_GPO13	IO	PRU_ICSSG0 PRU データ出力	R6	N1
PRG0_PRU0_GPO14	IO	PRU_ICSSG0 PRU データ出力	V4	N2
PRG0_PRU0_GPO15	IO	PRU_ICSSG0 PRU データ出力	T5	N4
PRG0_PRU0_GPO16	IO	PRU_ICSSG0 PRU データ出力	U4	N3
PRG0_PRU0_GPO17	IO	PRU_ICSSG0 PRU データ出力	U1	E1
PRG0_PRU0_GPO18	IO	PRU_ICSSG0 PRU データ出力	V1	K4
PRG0_PRU0_GPO19	IO	PRU_ICSSG0 PRU データ出力	W1	G2
PRG0_PRU1_GPI0	I	PRU_ICSSG0 PRU データ入力	Y2	L5
PRG0_PRU1_GPI1	I	PRU_ICSSG0 PRU データ入力	W2	J2
PRG0_PRU1_GPI2	I	PRU_ICSSG0 PRU データ入力	V3	M2
PRG0_PRU1_GPI3	I	PRU_ICSSG0 PRU データ入力	T4	L2

表 5-65. PRU_ICSSG0 信号の説明 (続き)

信号名 [1]	信号のタイプ [2]	説明 [3]	ALV のピン [4]	ALX のピン [4]
PRG0_PRU1_GPI4	I	PRU_ICSSG0 PRU データ入力	W3	L3
PRG0_PRU1_GPI5	I	PRU_ICSSG0 PRU データ入力	P4	E3
PRG0_PRU1_GPI6	I	PRU_ICSSG0 PRU データ入力	R5	F5
PRG0_PRU1_GPI7	I	PRU_ICSSG0 PRU データ入力	W5	T5
PRG0_PRU1_GPI8	I	PRU_ICSSG0 PRU データ入力	R1	F4
PRG0_PRU1_GPI9	I	PRU_ICSSG0 PRU データ入力	Y5	R2
PRG0_PRU1_GPI10	I	PRU_ICSSG0 PRU データ入力	V6	U2
PRG0_PRU1_GPI11	I	PRU_ICSSG0 PRU データ入力	W4	P1
PRG0_PRU1_GPI12	I	PRU_ICSSG0 PRU データ入力	Y4	P2
PRG0_PRU1_GPI13	I	PRU_ICSSG0 PRU データ入力	T6	T4
PRG0_PRU1_GPI14	I	PRU_ICSSG0 PRU データ入力	U6	R5
PRG0_PRU1_GPI15	I	PRU_ICSSG0 PRU データ入力	U5	M4
PRG0_PRU1_GPI16	I	PRU_ICSSG0 PRU データ入力	AA4	T3
PRG0_PRU1_GPI17	I	PRU_ICSSG0 PRU データ入力	V5	T1
PRG0_PRU1_GPI18	I	PRU_ICSSG0 PRU データ入力	P5	D1
PRG0_PRU1_GPI19	I	PRU_ICSSG0 PRU データ入力	R2	F3
PRG0_PRU1_GPO0	IO	PRU_ICSSG0 PRU データ出力	Y2	L5
PRG0_PRU1_GPO1	IO	PRU_ICSSG0 PRU データ出力	W2	J2
PRG0_PRU1_GPO2	IO	PRU_ICSSG0 PRU データ出力	V3	M2
PRG0_PRU1_GPO3	IO	PRU_ICSSG0 PRU データ出力	T4	L2
PRG0_PRU1_GPO4	IO	PRU_ICSSG0 PRU データ出力	W3	L3
PRG0_PRU1_GPO5	IO	PRU_ICSSG0 PRU データ出力	P4	E3
PRG0_PRU1_GPO6	IO	PRU_ICSSG0 PRU データ出力	R5	F5
PRG0_PRU1_GPO7	IO	PRU_ICSSG0 PRU データ出力	W5	T5
PRG0_PRU1_GPO8	IO	PRU_ICSSG0 PRU データ出力	R1	F4
PRG0_PRU1_GPO9	IO	PRU_ICSSG0 PRU データ出力	Y5	R2
PRG0_PRU1_GPO10	IO	PRU_ICSSG0 PRU データ出力	V6	U2
PRG0_PRU1_GPO11	IO	PRU_ICSSG0 PRU データ出力	W4	P1
PRG0_PRU1_GPO12	IO	PRU_ICSSG0 PRU データ出力	Y4	P2
PRG0_PRU1_GPO13	IO	PRU_ICSSG0 PRU データ出力	T6	T4
PRG0_PRU1_GPO14	IO	PRU_ICSSG0 PRU データ出力	U6	R5
PRG0_PRU1_GPO15	IO	PRU_ICSSG0 PRU データ出力	U5	M4
PRG0_PRU1_GPO16	IO	PRU_ICSSG0 PRU データ出力	AA4	T3
PRG0_PRU1_GPO17	IO	PRU_ICSSG0 PRU データ出力	V5	T1
PRG0_PRU1_GPO18	IO	PRU_ICSSG0 PRU データ出力	P5	D1
PRG0_PRU1_GPO19	IO	PRU_ICSSG0 PRU データ出力	R2	F3
PRG0_PWM0_TZ_IN	I	PRU_ICSSG0 PWM トリップ ゾーン入力	V1	K4
PRG0_PWM0_TZ_OUT	O	PRU_ICSSG0 PWM トリップ ゾーン出力	W1	G2
PRG0_PWM1_TZ_IN	I	PRU_ICSSG0 PWM トリップ ゾーン入力	P5	D1
PRG0_PWM1_TZ_OUT	O	PRU_ICSSG0 PWM トリップ ゾーン出力	R2	F3
PRG0_PWM2_TZ_IN	I	PRU_ICSSG0 PWM トリップ ゾーン入力	T18、V6	T19、U2
PRG0_PWM2_TZ_OUT	O	PRU_ICSSG0 PWM トリップ ゾーン出力	R1、U21	F4、R20
PRG0_PWM3_TZ_IN	I	PRU_ICSSG0 PWM トリップ ゾーン入力	P16、W6	Y3
PRG0_PWM3_TZ_OUT	O	PRU_ICSSG0 PWM トリップ ゾーン出力	R17、Y3	L1
PRG0_PWM0_A0	IO	PRU_ICSSG0 PWM 出力 A	AA3	K1
PRG0_PWM0_A1	IO	PRU_ICSSG0 PWM 出力 A	V4	N2

Copyright © 2024 Texas Instruments Incorporated

表 5-65. PRU_ICSSG0 信号の説明 (続き)

信号名 [1]	信号のタイプ [2]	説明 [3]	ALV のピン [4]	ALX のピン [4]
PRG0_PWM0_A2	IO	PRU_ICSSG0 PWM 出力 A	U4	N3
PRG0_PWM0_B0	IO	PRU_ICSSG0 PWM 出力 B	R6	N1
PRG0_PWM0_B1	IO	PRU_ICSSG0 PWM 出力 B	T5	N4
PRG0_PWM0_B2	IO	PRU_ICSSG0 PWM 出力 B2	U1	E1
PRG0_PWM1_A0	IO	PRU_ICSSG0 PWM 出力 A	Y4	P2
PRG0_PWM1_A1	IO	PRU_ICSSG0 PWM 出力 A	U6	R5
PRG0_PWM1_A2	IO	PRU_ICSSG0 PWM 出力 A	AA4	T3
PRG0_PWM1_B0	IO	PRU_ICSSG0 PWM 出力 B	T6	T4
PRG0_PWM1_B1	IO	PRU_ICSSG0 PWM 出力 B	U5	M4
PRG0_PWM1_B2	IO	PRU_ICSSG0 PWM 出力 B2	V5	T1
PRG0_PWM2_A0	IO	PRU_ICSSG0 PWM 出力 A	U2、U20	G1、V21
PRG0_PWM2_A1	IO	PRU_ICSSG0 PWM 出力 A	T2、U19	H5、T20
PRG0_PWM2_A2	IO	PRU_ICSSG0 PWM 出力 A	V19、V3	M2、U18
PRG0_PWM2_B0	IO	PRU_ICSSG0 PWM 出力 B	AA2、U18	K2、U21
PRG0_PWM2_B1	IO	PRU_ICSSG0 PWM 出力 B	AA5、V20	T18、U1
PRG0_PWM2_B2	IO	PRU_ICSSG0 PWM 出力 B	T17、W3	L3、U20
PRG0_PWM3_A0	IO	PRU_ICSSG0 PWM 出力 A	V18、Y1	J3、Y19
PRG0_PWM3_A1	IO	PRU_ICSSG0 PWM 出力 A	R18、T3	H2
PRG0_PWM3_A2	IO	PRU_ICSSG0 PWM 出力 A	T19、V2	H1、P21
PRG0_PWM3_B0	IO	PRU_ICSSG0 PWM 出力 B	R4、Y21	J4、Y18
PRG0_PWM3_B1	IO	PRU_ICSSG0 PWM 出力 B	T1、T21	E2
PRG0_PWM3_B2	IO	PRU_ICSSG0 PWM 出力 B	R3、W19	F2
PRG0_RGMII1_RXC	I	PRU_ICSSG0 RGMII 受信クロック	T3	H2
PRG0_RGMII1_RX_CTL	I	PRU_ICSSG0 RGMII 受信制御	AA2	K2
PRG0_RGMII1_TXC	IO	PRU_ICSSG0 RGMII 送信クロック	U4	N3
PRG0_RGMII1_TX_CTL	O	PRU_ICSSG0 RGMII 送信制御	T5	N4
PRG0_RGMII2_RXC	I	PRU_ICSSG0 RGMII 受信クロック	R5	F5
PRG0_RGMII2_RX_CTL	I	PRU_ICSSG0 RGMII 受信制御	W3	L3
PRG0_RGMII2_TXC	IO	PRU_ICSSG0 RGMII 送信クロック	AA4	T3
PRG0_RGMII2_TX_CTL	O	PRU_ICSSG0 RGMII 送信制御	U5	M4
PRG0_RGMII1_RD0	I	PRU_ICSSG0 RGMII 受信データ	Y1	J3
PRG0_RGMII1_RD1	I	PRU_ICSSG0 RGMII 受信データ	R4	J4
PRG0_RGMII1_RD2	I	PRU_ICSSG0 RGMII 受信データ	U2	G1
PRG0_RGMII1_RD3	I	PRU_ICSSG0 RGMII 受信データ	V2	H1
PRG0_RGMII1_TD0	O	PRU_ICSSG0 RGMII 送信データ	Y3	L1
PRG0_RGMII1_TD1	O	PRU_ICSSG0 RGMII 送信データ	AA3	K1
PRG0_RGMII1_TD2	O	PRU_ICSSG0 RGMII 送信データ	R6	N1
PRG0_RGMII1_TD3	O	PRU_ICSSG0 RGMII 送信データ	V4	N2
PRG0_RGMII2_RD0	I	PRU_ICSSG0 RGMII 受信データ	Y2	L5
PRG0_RGMII2_RD1	I	PRU_ICSSG0 RGMII 受信データ	W2	J2
PRG0_RGMII2_RD2	I	PRU_ICSSG0 RGMII 受信データ	V3	M2
PRG0_RGMII2_RD3	I	PRU_ICSSG0 RGMII 受信データ	T4	L2
PRG0_RGMII2_TD0	O	PRU_ICSSG0 RGMII 送信データ	W4	P1
PRG0_RGMII2_TD1	O	PRU_ICSSG0 RGMII 送信データ	Y4	P2
PRG0_RGMII2_TD2	O	PRU_ICSSG0 RGMII 送信データ	T6	T4
PRG0_RGMII2_TD3	O	PRU_ICSSG0 RGMII 送信データ	U6	R5

表 5-65. PRU_ICSSG0 信号の説明 (続き)

信号名 [1]	信号のタイプ [2]	説明 [3]	ALV のピン [4]	ALX のピン [4]
PRG0_UART0_CTSn	I	PRU_ICSSG0 UART CTS (Clear to Send) (アクティブ Low)	W6	Y3
PRG0_UART0_RTSn	O	PRU_ICSSG0 UART RTS (Request to Send) (アクティブ Low)	AA5	U1
PRG0_UART0_RXD	I	PRU_ICSSG0 UART 受信データ	Y5	R2
PRG0_UART0_TXD	O	PRU_ICSSG0 UART 送信データ	V6	U2

表 5-66. PRU_ICSSG1 信号の説明

信号名 [1]	信号のタイプ [2]	説明 [3]	ALV のピン [4]	ALX のピン [4]
PRG1_ECAP0_IN_APWM_OUT	IO	PRU_ICSSG1 拡張キャプチャ (ECAP) 入力または補助 PWM (APWM) 出力	V12	AA13
PRG1_ECAP0_SYNC_IN	I	PRU_ICSSG1 ECAP 同期入力	Y13	Y15
PRG1_ECAP0_SYNC_OUT	O	PRU_ICSSG1 ECAP 同期出力	AA14	AA14
PRG1_IEP0_EDIO_OUTVALID (1)	O	PRU_ICSSG1 産業用イーサネット デジタル I/O 出力有効	D14	
PRG1_IEP0_EDC_LATCH_IN0	I	PRU_ICSSG1 産業用イーサネット分散クロック ラッチ入力	V7	Y4
PRG1_IEP0_EDC_LATCH_IN1	I	PRU_ICSSG1 産業用イーサネット分散クロック ラッチ入力	U13	V13
PRG1_IEP0_EDC_SYNC_OUT0	O	PRU_ICSSG1 産業用イーサネット分散クロック同期出力	W7	U3
PRG1_IEP0_EDC_SYNC_OUT1	O	PRU_ICSSG1 産業用イーサネット分散クロック同期出力	U7	T2
PRG1_IEP0_EDIO_DATA_IN_OUT28	IO	PRU_ICSSG1 産業用イーサネット デジタル I/O データ入出力	U15	W16
PRG1_IEP0_EDIO_DATA_IN_OUT29	IO	PRU_ICSSG1 産業用イーサネット デジタル I/O データ入出力	U14	W13
PRG1_IEP0_EDIO_DATA_IN_OUT30	IO	PRU_ICSSG1 産業用イーサネット デジタル I/O データ入出力	V14	Y16
PRG1_IEP0_EDIO_DATA_IN_OUT31	IO	PRU_ICSSG1 産業用イーサネット デジタル I/O データ入出力	W14	U13
PRG1_IEP1_EDC_LATCH_IN0	I	PRU_ICSSG1 産業用イーサネット分散クロック ラッチ入力	Y13	Y15
PRG1_IEP1_EDC_LATCH_IN1	I	PRU_ICSSG1 産業用イーサネット分散クロック ラッチ入力	V15	Y14
PRG1_IEP1_EDC_SYNC_OUT0	O	PRU_ICSSG1 産業用イーサネット分散クロック同期出力	V12	AA13
PRG1_IEP1_EDC_SYNC_OUT1	O	PRU_ICSSG1 産業用イーサネット分散クロック同期出力	AA14	AA14
PRG1_MDIO0_MDC	O	PRU_ICSSG1 MDIO クロック	Y6	W1
PRG1_MDIO0_MDIO	IO	PRU_ICSSG1 MDIO データ	AA6	V2
PRG1_PRU0_GPI0	I	PRU_ICSSG1 PRU データ入力	Y7	V4
PRG1_PRU0_GPI1	I	PRU_ICSSG1 PRU データ入力	U8	W5
PRG1_PRU0_GPI2	I	PRU_ICSSG1 PRU データ入力	W8	AA4
PRG1_PRU0_GPI3	I	PRU_ICSSG1 PRU データ入力	V8	Y5
PRG1_PRU0_GPI4	I	PRU_ICSSG1 PRU データ入力	Y8	AA5
PRG1_PRU0_GPI5	I	PRU_ICSSG1 PRU データ入力	V13	U14
PRG1_PRU0_GPI6	I	PRU_ICSSG1 PRU データ入力	AA7	Y2
PRG1_PRU0_GPI7	I	PRU_ICSSG1 PRU データ入力	U13	V13
PRG1_PRU0_GPI8	I	PRU_ICSSG1 PRU データ入力	W13	Y13
PRG1_PRU0_GPI9	I	PRU_ICSSG1 PRU データ入力	U15	W16
PRG1_PRU0_GPI10	I	PRU_ICSSG1 PRU データ入力	U14	W13
PRG1_PRU0_GPI11	I	PRU_ICSSG1 PRU データ入力	AA8	V5
PRG1_PRU0_GPI12	I	PRU_ICSSG1 PRU データ入力	U9	W2
PRG1_PRU0_GPI13	I	PRU_ICSSG1 PRU データ入力	W9	V6
PRG1_PRU0_GPI14	I	PRU_ICSSG1 PRU データ入力	AA9	AA7
PRG1_PRU0_GPI15	I	PRU_ICSSG1 PRU データ入力	Y9	Y7
PRG1_PRU0_GPI16	I	PRU_ICSSG1 PRU データ入力	V9	W6

Copyright © 2024 Texas Instruments Incorporated

表 5-66. PRU_ICSSG1 信号の説明 (続き)

信号名 [1]	信号のタイプ [2]	説明 [3]	ALV のピン [4]	ALX のピン [4]
PRG1_PRU0_GPI17	I	PRU_ICSSG1 PRU データ入力	U7	T2
PRG1_PRU0_GPI18	I	PRU_ICSSG1 PRU データ入力	V7	Y4
PRG1_PRU0_GPI19	I	PRU_ICSSG1 PRU データ入力	W7	U3
PRG1_PRU0_GPO0	IO	PRU_ICSSG1 PRU データ出力	Y7	V4
PRG1_PRU0_GPO1	IO	PRU_ICSSG1 PRU データ出力	U8	W5
PRG1_PRU0_GPO2	IO	PRU_ICSSG1 PRU データ出力	W8	AA4
PRG1_PRU0_GPO3	IO	PRU_ICSSG1 PRU データ出力	V8	Y5
PRG1_PRU0_GPO4	IO	PRU_ICSSG1 PRU データ出力	Y8	AA5
PRG1_PRU0_GPO5	IO	PRU_ICSSG1 PRU データ出力	V13	U14
PRG1_PRU0_GPO6	IO	PRU_ICSSG1 PRU データ出力	AA7	Y2
PRG1_PRU0_GPO7	IO	PRU_ICSSG1 PRU データ出力	U13	V13
PRG1_PRU0_GPO8	IO	PRU_ICSSG1 PRU データ出力	W13	Y13
PRG1_PRU0_GPO9	IO	PRU_ICSSG1 PRU データ出力	U15	W16
PRG1_PRU0_GPO10	IO	PRU_ICSSG1 PRU データ出力	U14	W13
PRG1_PRU0_GPO11	IO	PRU_ICSSG1 PRU データ出力	AA8	V5
PRG1_PRU0_GPO12	IO	PRU_ICSSG1 PRU データ出力	U9	W2
PRG1_PRU0_GPO13	IO	PRU_ICSSG1 PRU データ出力	W9	V6
PRG1_PRU0_GPO14	IO	PRU_ICSSG1 PRU データ出力	AA9	AA7
PRG1_PRU0_GPO15	IO	PRU_ICSSG1 PRU データ出力	Y9	Y7
PRG1_PRU0_GPO16	IO	PRU_ICSSG1 PRU データ出力	V9	W6
PRG1_PRU0_GPO17	IO	PRU_ICSSG1 PRU データ出力	U7	T2
PRG1_PRU0_GPO18	IO	PRU_ICSSG1 PRU データ出力	V7	Y4
PRG1_PRU0_GPO19	IO	PRU_ICSSG1 PRU データ出力	W7	U3
PRG1_PRU1_GPI0	I	PRU_ICSSG1 PRU データ入力	W11	AA10
PRG1_PRU1_GPI1	I	PRU_ICSSG1 PRU データ入力	V11	Y10
PRG1_PRU1_GPI2	I	PRU_ICSSG1 PRU データ入力	AA12	Y11
PRG1_PRU1_GPI3	I	PRU_ICSSG1 PRU データ入力	Y12	V12
PRG1_PRU1_GPI4	I	PRU_ICSSG1 PRU データ入力	W12	Y12
PRG1_PRU1_GPI5	I	PRU_ICSSG1 PRU データ入力	AA13	AA11
PRG1_PRU1_GPI6	I	PRU_ICSSG1 PRU データ入力	U11	V10
PRG1_PRU1_GPI7	I	PRU_ICSSG1 PRU データ入力	V15	Y14
PRG1_PRU1_GPI8	I	PRU_ICSSG1 PRU データ入力	U12	W11
PRG1_PRU1_GPI9	I	PRU_ICSSG1 PRU データ入力	V14	Y16
PRG1_PRU1_GPI10	I	PRU_ICSSG1 PRU データ入力	W14	U13
PRG1_PRU1_GPI11	I	PRU_ICSSG1 PRU データ入力	AA10	Y6
PRG1_PRU1_GPI12	I	PRU_ICSSG1 PRU データ入力	V10	AA8
PRG1_PRU1_GPI13	I	PRU_ICSSG1 PRU データ入力	U10	Y9
PRG1_PRU1_GPI14	I	PRU_ICSSG1 PRU データ入力	AA11	W9
PRG1_PRU1_GPI15	I	PRU_ICSSG1 PRU データ入力	Y11	V9
PRG1_PRU1_GPI16	I	PRU_ICSSG1 PRU データ入力	Y10	Y8
PRG1_PRU1_GPI17	I	PRU_ICSSG1 PRU データ入力	AA14	AA14
PRG1_PRU1_GPI18	I	PRU_ICSSG1 PRU データ入力	Y13	Y15
PRG1_PRU1_GPI19	I	PRU_ICSSG1 PRU データ入力	V12	AA13
PRG1_PRU1_GPO0	IO	PRU_ICSSG1 PRU データ出力	W11	AA10
PRG1_PRU1_GPO1	IO	PRU_ICSSG1 PRU データ出力	V11	Y10
PRG1_PRU1_GPO2	IO	PRU_ICSSG1 PRU データ出力	AA12	Y11

Copyright © 2024 Texas Instruments Incorporated

表 5-66. PRU_ICSSG1 信号の説明 (続き)

信号名 [1]	信号のタイプ [2]	説明 [3]	ALV のピン [4]	ALX のピン [4]
PRG1_PRU1_GPO3	IO	PRU_ICSSG1 PRU データ出力	Y12	V12
PRG1_PRU1_GPO4	IO	PRU_ICSSG1 PRU データ出力	W12	Y12
PRG1_PRU1_GPO5	IO	PRU_ICSSG1 PRU データ出力	AA13	AA11
PRG1_PRU1_GPO6	IO	PRU_ICSSG1 PRU データ出力	U11	V10
PRG1_PRU1_GPO7	IO	PRU_ICSSG1 PRU データ出力	V15	Y14
PRG1_PRU1_GPO8	IO	PRU_ICSSG1 PRU データ出力	U12	W11
PRG1_PRU1_GPO9	IO	PRU_ICSSG1 PRU データ出力	V14	Y16
PRG1_PRU1_GPO10	IO	PRU_ICSSG1 PRU データ出力	W14	U13
PRG1_PRU1_GPO11	IO	PRU_ICSSG1 PRU データ出力	AA10	Y6
PRG1_PRU1_GPO12	IO	PRU_ICSSG1 PRU データ出力	V10	AA8
PRG1_PRU1_GPO13	IO	PRU_ICSSG1 PRU データ出力	U10	Y9
PRG1_PRU1_GPO14	IO	PRU_ICSSG1 PRU データ出力	AA11	W9
PRG1_PRU1_GPO15	IO	PRU_ICSSG1 PRU データ出力	Y11	V9
PRG1_PRU1_GPO16	IO	PRU_ICSSG1 PRU データ出力	Y10	Y8
PRG1_PRU1_GPO17	IO	PRU_ICSSG1 PRU データ出力	AA14	AA14
PRG1_PRU1_GPO18	IO	PRU_ICSSG1 PRU データ出力	Y13	Y15
PRG1_PRU1_GPO19	IO	PRU_ICSSG1 PRU データ出力	V12	AA13
PRG1_PWM0_TZ_IN	I	PRU_ICSSG1 PWM トリップ ゾーン入力	V7	Y4
PRG1_PWM0_TZ_OUT	O	PRU_ICSSG1 PWM トリップ ゾーン出力	W7	U3
PRG1_PWM1_TZ_IN	I	PRU_ICSSG1 PWM トリップ ゾーン入力	Y13	Y15
PRG1_PWM1_TZ_OUT	O	PRU_ICSSG1 PWM トリップ ゾーン出力	V12	AA13
PRG1_PWM2_TZ_IN	I	PRU_ICSSG1 PWM トリップ ゾーン入力	P19、W14	U13
PRG1_PWM2_TZ_OUT	O	PRU_ICSSG1 PWM トリップ ゾーン出力	R20、U12	W11
PRG1_PWM3_TZ_IN	I	PRU_ICSSG1 PWM トリップ ゾーン入力	U15	W16
PRG1_PWM3_TZ_OUT	O	PRU_ICSSG1 PWM トリップ ゾーン出力	AA8	V5
PRG1_PWM0_A0	IO	PRU_ICSSG1 PWM 出力 A	U9	W2
PRG1_PWM0_A1	IO	PRU_ICSSG1 PWM 出力 A	AA9	AA7
PRG1_PWM0_A2	IO	PRU_ICSSG1 PWM 出力 A	V9	W6
PRG1_PWM0_B0	IO	PRU_ICSSG1 PWM 出力 B	W9	V6
PRG1_PWM0_B1	IO	PRU_ICSSG1 PWM 出力 B	Y9	Y7
PRG1_PWM0_B2	IO	PRU_ICSSG1 PWM 出力 B	U7	T2
PRG1_PWM1_A0	IO	PRU_ICSSG1 PWM 出力 A	V10	AA8
PRG1_PWM1_A1	IO	PRU_ICSSG1 PWM 出力 A	AA11	W9
PRG1_PWM1_A2	IO	PRU_ICSSG1 PWM 出力 A	Y10	Y8
PRG1_PWM1_B0	IO	PRU_ICSSG1 PWM 出力 B	U10	Y9
PRG1_PWM1_B1	IO	PRU_ICSSG1 PWM 出力 B	Y11	V9
PRG1_PWM1_B2	IO	PRU_ICSSG1 PWM 出力 B	AA14	AA14
PRG1_PWM2_A0	IO	PRU_ICSSG1 PWM 出力 A	N16、W8	AA4
PRG1_PWM2_A1	IO	PRU_ICSSG1 PWM 出力 A	P17、W13	Y13
PRG1_PWM2_A2	IO	PRU_ICSSG1 PWM 出力 A	AA12、V21	U19、Y11
PRG1_PWM2_B0	IO	PRU_ICSSG1 PWM 出力 B	N17、Y8	AA5
PRG1_PWM2_B1	IO	PRU_ICSSG1 PWM 出力 B	U14、Y18	W13
PRG1_PWM2_B2	IO	PRU_ICSSG1 PWM 出力 B	R16、W12	V20、Y12
PRG1_PWM3_A0	IO	PRU_ICSSG1 PWM 出力 A	Y7	V4
PRG1_PWM3_A1	IO	PRU_ICSSG1 PWM 出力 A	AA7	Y2
PRG1_PWM3_A2	IO	PRU_ICSSG1 PWM 出力 A	V8	Y5

Copyright © 2024 Texas Instruments Incorporated

表 5-66. PRU_ICSSG1 信号の説明 (続き)

信号名 [1]	信号のタイプ [2]	説明 [3]	ALV のピン [4]	ALX のピン [4]
PRG1_PWM3_B0	IO	PRU_ICSSG1 PWM 出力 B	U8	W5
PRG1_PWM3_B1	IO	PRU_ICSSG1 PWM 出力 B	U13	V13
PRG1_PWM3_B2	IO	PRU_ICSSG1 PWM 出力 B	V13	U14
PRG1_RGMII1_RXC	I	PRU_ICSSG1 RGMII 受信クロック	AA7	Y2
PRG1_RGMII1_RX_CTL	I	PRU_ICSSG1 RGMII 受信制御	Y8	AA5
PRG1_RGMII1_TXC	IO	PRU_ICSSG1 RGMII 送信クロック	V9	W6
PRG1_RGMII1_TX_CTL	O	PRU_ICSSG1 RGMII 送信制御	Y9	Y7
PRG1_RGMII2_RXC	I	PRU_ICSSG1 RGMII 受信クロック	U11	V10
PRG1_RGMII2_RX_CTL	I	PRU_ICSSG1 RGMII 受信制御	W12	Y12
PRG1_RGMII2_TXC	IO	PRU_ICSSG1 RGMII 送信クロック	Y10	Y8
PRG1_RGMII2_TX_CTL	O	PRU_ICSSG1 RGMII 送信制御	Y11	V9
PRG1_RGMII1_RD0	I	PRU_ICSSG1 RGMII 受信データ	Y7	V4
PRG1_RGMII1_RD1	I	PRU_ICSSG1 RGMII 受信データ	U8	W5
PRG1_RGMII1_RD2	I	PRU_ICSSG1 RGMII 受信データ	W8	AA4
PRG1_RGMII1_RD3	I	PRU_ICSSG1 RGMII 受信データ	V8	Y5
PRG1_RGMII1_TD0	O	PRU_ICSSG1 RGMII 送信データ	AA8	V5
PRG1_RGMII1_TD1	O	PRU_ICSSG1 RGMII 送信データ	U9	W2
PRG1_RGMII1_TD2	O	PRU_ICSSG1 RGMII 送信データ	W9	V6
PRG1_RGMII1_TD3	O	PRU_ICSSG1 RGMII 送信データ	AA9	AA7
PRG1_RGMII2_RD0	I	PRU_ICSSG1 RGMII 受信データ	W11	AA10
PRG1_RGMII2_RD1	I	PRU_ICSSG1 RGMII 受信データ	V11	Y10
PRG1_RGMII2_RD2	I	PRU_ICSSG1 RGMII 受信データ	AA12	Y11
PRG1_RGMII2_RD3	I	PRU_ICSSG1 RGMII 受信データ	Y12	V12
PRG1_RGMII2_TD0	O	PRU_ICSSG1 RGMII 送信データ	AA10	Y6
PRG1_RGMII2_TD1	O	PRU_ICSSG1 RGMII 送信データ	V10	AA8
PRG1_RGMII2_TD2	O	PRU_ICSSG1 RGMII 送信データ	U10	Y9
PRG1_RGMII2_TD3	O	PRU_ICSSG1 RGMII 送信データ	AA11	W9
PRG1_UART0_CTSn	I	PRU_ICSSG1 UART CTS (Clear to Send) (アクティブ Low)	U15	W16
PRG1_UART0_RTSn	O	PRU_ICSSG1 UART RTS (Request to Send) (アクティブ Low)	U14	W13
PRG1_UART0_RXD	I	PRU_ICSSG1 UART 受信データ	V14	Y16
PRG1_UART0_TXD	O	PRU_ICSSG1 UART 送信データ	W14	U13

(1) PRG1_IEP0_EDIO_OUTVALID 信号は、AM243x_ALX デバイス パッケージでは**サポートされていません**。詳細については、「AM243x_ALX パッケージ - サポートされていないインターフェイスと信号」を参照してください。

5.3.20 予約済み

表 5-67. 予約済み信号の説明

信号名 [1]	信号タイプ [2]	概要 [3]	ALV ピン [4]	ALX ピン [4]
RSVD0 (1)	RSVD	予約済み (RSVD0)	H16	H11
RSVD1 (1)	RSVD	予約済み (RSVD1)	D21	J13
RSVD2 (1)	RSVD	予約済み (RSVD2)	G13	
RSVD3 (1)	RSVD	予約済み (RSVD3)	F17	
RSVD4 (1)	RSVD	予約済み (RSVD4)	W15	
RSVD5 (1)	RSVD	予約済み (RSVD5)	V16	
RSVD6 (1)	RSVD	予約済み (RSVD6)	K2	
RSVD7 (1)	RSVD	予約済み (RSVD7)	K1	

表 5-67. 予約済み信号の説明 (続き)

信号名 [1]	信号タイプ [2]	概要 [3]	ALV ピン [4]	ALX ピン [4]
RSVD8 (1)	RSVD	予約済み (RSVD8)	F12	

(1) このピンは予約済みで、未接続のままにする必要があります。

5.3.21 SERDES

メイン ドメイン インスタンス

表 5-68. SERDES0 信号の説明

信号名 [1] ((3)) ((2))	信号のタイプ [2]	説明 [3]	ALV のピン [4]	ALX のピン [4]
PCIE0_CLKREQn	IO	PCIE クロック要求信号	D16	C11
SERDES0_REXT (1)	A	外付け較正抵抗	T13	
SERDES0_REFCLK0N	IO	SERDES 基準クロック入出力 (負)	W16	
SERDES0_REFCLK0P	IO	SERDES 基準クロック入出力 (正)	W17	
SERDES0_RX0_N	I	SERDES 差動受信データ (負)	Y15	
SERDES0_RX0_P	I	SERDES 差動受信データ (正)	Y16	
SERDES0_TX0_N	O	SERDES 差動送信データ (負)	AA16	
SERDES0_TX0_P	O	SERDES 差動送信データ (正)	AA17	

(1) このピンと VSS との間に 3.01kΩ ±1% の外付け抵抗を接続する必要があります。このピンに外部電圧を印加しないでください。
(2) これらのピンの機能は、SERDES0_LN0_CTRL_LANE_FUNC_SEL レジスタによって制御されます。
(3) SERDES0 インターフェイスは、AM243x_ALX デバイス パッケージではサポートされていません。詳細については、「AM243x_ALX パッケージ - サポートされていないインターフェイスと信号」を参照してください。

5.3.22 システム、その他

5.3.22.1 ブート モードの構成

メイン ドメイン インスタンス

表 5-69. Sysboot 信号の説明

信号名 [1]	信号のタイプ [2]	説明 [3]	ALV のピン [4]	ALX のピン [4]
BOOTMODE00	I	ブートモード ピン 0	T20	R21
BOOTMODE01	I	ブートモード ピン 1	U21	R20
BOOTMODE02	I	ブートモード ピン 2	T18	T19
BOOTMODE03	I	ブートモード ピン 3	U20	V21
BOOTMODE04	I	ブートモード ピン 4	U18	U21
BOOTMODE05	I	ブートモード ピン 5	U19	T20
BOOTMODE06	I	ブートモード ピン 6	V20	T18
BOOTMODE07	I	ブートモード ピン 7	V21	U19
BOOTMODE08	I	ブートモード ピン 8	V19	U18
BOOTMODE09	I	ブートモード ピン 9	T17	U20
BOOTMODE10	I	ブートモード ピン 10	R16	V20
BOOTMODE11	I	ブートモード ピン 11	W20	W20
BOOTMODE12	I	ブートモード ピン 12	W21	Y20
BOOTMODE13	I	ブートモード ピン 13	V18	Y19
BOOTMODE14	I	ブートモード ピン 14	Y21	Y18
BOOTMODE15	I	ブートモード ピン 15	Y20	AA19

Copyright © 2024 Texas Instruments Incorporated

5.3.22.2 クロック

MCU ドメインのインスタンス

表 5-70. MCU クロック信号の説明

信号名 [1]	信号タイプ [2]	説明 [3]	ALV のピン [4]	ALX のピン [4]
MCU_OSC0_XI	I	高周波数発振器入力	C21	D20
MCU_OSC0_XO	O	高周波数発振器出力	B20	C21

5.3.22.3 システム

メイン ドメイン インスタンス

表 5-71. システム信号の説明

信号名 [1]	信号のタイプ [2]	説明 [3]	ALV のピン [4]	ALX のピン [4]
CLKOUT0	O	RMII クロック出力 (50MHz)。このピンは外部 PHY へのクロック源に使われ、本デバイスを適切に動作させるには、RMII_REF_CLK ピンに接続する必要があります。	A19、U13	A18、V13
EXTINTn (1) (2)	I	外部割り込み	C19	
EXT_REFCLK1	I	メイン ドメインへの外部クロック入力。タイマ / WWDT モジュールのための選択可能な入力クロック源の 1 つとして、または MAIN_PLL2 (PER1 PLL) への基準クロックとして、タイマ クロック マルチプレクサに配線します。	A19	A18
OBSCLK0	O	監視クロック出力は、テストとデバッグのみを目的としています。	D17	A15
PORz_OUT	O	メイン ドメイン POR ステータス出力	E17	D18
RESETSTATz	O	メイン ドメイン ウォーム リセット ステータス出力	F16	E19
RESET_REQz	I	メイン ドメイン外部ウォーム リセット要求入力	E18	C17
SYSCLKOUT0	O	メイン PLL コントローラからの SYSCLK0 出力 (6 分周、テストおよびデバッグ専用)	C17	B14

(1) EXTINTn 信号は、AM243x_ALX デバイス パッケージでは**サポートされていません**。詳細については、「AM243x_ALX パッケージ - サポートされていないインターフェイスと信号」を参照してください。
(2) EXTINTn は、I2C OD FS (オープン ドレイン フェイルセーフ) 電圧バッファを使用して実装されています。

MCU ドメインのインスタンス

表 5-72. MCU システム信号の説明

信号名 [1]	信号のタイプ [2]	説明 [3]	ALV のピン [4]	ALX のピン [4]
MCU_EXT_REFCLK0 (2)	I	外部システム クロック入力	B7	
MCU_OBSCLK0	O	監視クロック出力は、テストとデバッグのみを目的としています。	C6、E10	B3
MCU_PORz	I	MCU ドメイン コールド リセット	B21	C20
MCU_RESETSTATz	O	MCU ドメイン ウォーム リセット ステータス出力	B13	A6
MCU_RESETz	I	MCU ドメイン ウォーム リセット	B12	A5
MCU_SAFETY_ERRORn	IO	MCU ドメイン ESM からのエラー信号出力	A20	B20
MCU_SYSCLKOUT0 (1)	O	テストおよびデバッグ専用 MCU ドメイン システム クロック出力	C6	

(1) MCU_SYSCLKOUT0 信号は、AM243x_ALX デバイス パッケージでは**サポートされていません**。詳細については、「AM243x_ALX パッケージ - サポートされていないインターフェイスと信号」を参照してください。
(2) MCU_EXT_REFCLK0 信号は、AM243x_ALX デバイス パッケージでは**サポートされていません**。詳細については、「AM243x_ALX パッケージ - サポートされていないインターフェイスと信号」を参照してください。

5.3.22.4 VMON

表 5-73. VMON 信号の説明

信号名 [1]	信号のタイプ [2]	説明 [3]	ALV のピン [4]	ALX のピン [4]
VMON_1P8_MCU	A	1.8V MCU 電源用電圧モニタ入力	K16	
VMON_1P8_SOC	A	1.8V SoC 電源用電圧モニタ入力	E12	F14

表 5-73. VMON 信号の説明 (続き)

信号名 [1]	信号のタイプ [2]	説明 [3]	ALV のピン [4]	ALX のピン [4]
VMON_3P3_MCU	A	3.3V MCU 電源用電圧モニタ入力	F13	
VMON_3P3_SOC	PWR	3.3V SoC 電源用電圧モニタ入力	F14	E15
VMON_VSYS	A	電圧モニタ入力、固定 0.45V (±3%) スレッショルド。PMIC 入力電源などのより高い電圧レールを監視するには、外付けの高精度分圧器と組み合わせて使用します。	K10	G13

5.3.23 TIMER

メイン ドメイン インスタンス

表 5-74. TIMER 信号の説明

信号名 [1]	信号のタイプ [2]	説明 [3]	ALV のピン [4]	ALX のピン [4]
TIMER_IO0	IO	タイマ入力および出力 (1 つのタイマ インスタンスに固定されていない)	C18、K18	A17、K18
TIMER_IO1	IO	タイマ入力および出力 (1 つのタイマ インスタンスに固定されていない)	B19、K19	B18、K20
TIMER_IO2	IO	タイマ入力および出力 (1 つのタイマ インスタンスに固定されていない)	A17、L21	B13、J19
TIMER_IO3	IO	タイマ入力および出力 (1 つのタイマ インスタンスに固定されていない)	B17、K21	A14、J18
TIMER_IO4	IO	タイマ入力および出力 (1 つのタイマ インスタンスに固定されていない)	C17、L20	B14、J20
TIMER_IO5	IO	タイマ入力および出力 (1 つのタイマ インスタンスに固定されていない)	D17、J19	A15、J21
TIMER_IO6	IO	タイマ入力および出力 (1 つのタイマ インスタンスに固定されていない)	B16、D19、T1	B17、B9、E2
TIMER_IO7	IO	タイマ入力および出力 (1 つのタイマ インスタンスに固定されていない)	A16、C20、U7	A9、C16、T2
TIMER_IO8	IO	タイマ入力および出力 (1 つのタイマ インスタンスに固定されていない)	P19、V7	Y4
TIMER_IO9	IO	タイマ入力および出力 (1 つのタイマ インスタンスに固定されていない)	R21、W7	U3
TIMER_IO10	IO	タイマ入力および出力 (1 つのタイマ インスタンスに固定されていない)	C13、U13	B7、V13
TIMER_IO11	IO	タイマ入力および出力 (1 つのタイマ インスタンスに固定されていない)	D14、U1	E1

MCU ドメインのインスタンス

表 5-75. MCU_TIMER 信号の説明

信号名 [1]	信号のタイプ [2]	説明 [3]	ALV のピン [4]	ALX のピン [4]
MCU_TIMER_IO0	IO	タイマ入力および出力 (1 つのタイマ インスタンスに固定されていない)	D8	D4
MCU_TIMER_IO1	IO	タイマ入力および出力 (1 つのタイマ インスタンスに固定されていない)	E8	C2
MCU_TIMER_IO2 (1)	IO	タイマ入力および出力 (1 つのタイマ インスタンスに固定されていない)	B8	
MCU_TIMER_IO3 (1)	IO	タイマ入力および出力 (1 つのタイマ インスタンスに固定されていない)	B9	

(1) この MCU_TIMER_IO 信号は、AM243x_ALX デバイス パッケージでは**サポートされていません**。詳細については、「AM243x_ALX パッケージ - サポートされていないインターフェイスと信号」を参照してください。

Copyright © 2024 Texas Instruments Incorporated

5.3.24 UART

メイン ドメイン インスタンス

表 5-76. UART0 信号の説明

信号名 [1]	信号のタイプ [2]	説明 [3]	ALV のピン [4]	ALX のピン [4]
UART0_CTSn	I	UART CTS (Clear to Send) (アクティブ Low)	B16	B9
UART0_DCDn	I	UART DCD (Data Carrier Detect) (アクティブ Low)	C17	B14
UART0_DSRn	I	UART DSR (Data Set Ready) (アクティブ Low)	D17	A15
UART0_DTRn	O	UART DTR (Data Terminal Ready) (アクティブ Low)	A17	B13
UART0_RIn	I	UART リング インジケータ	B17	A14
UART0_RTSn	O	UART RTS (Request to Send) (アクティブ Low)	A16	A9
UART0_RXD	I	UART 受信データ	D15	B10
UART0_TXD	O	UART 送信データ	C16	B11

表 5-77. UART1 信号の説明

信号名 [1]	信号のタイプ [2]	説明 [3]	ALV のピン [4]	ALX のピン [4]
UART1_CTSn	I	UART CTS (Clear to Send) (アクティブ Low)	D16	C11
UART1_RTSn	O	UART RTS (Request to Send) (アクティブ Low)	E16	A11
UART1_RXD	I	UART 受信データ	E15	B12
UART1_TXD	O	UART 送信データ	E14	A12

表 5-78. UART2 信号の説明

信号名 [1]	信号のタイプ [2]	説明 [3]	ALV のピン [4]	ALX のピン [4]
UART2_CTSn	I	UART CTS (Clear to Send) (アクティブ Low)	L20、V19、Y1	J20、J3、U18
UART2_RTSn	O	UART RTS (Request to Send) (アクティブ Low)	J19、T18、U2	G1、J21、T19
UART2_RXD	I	UART 受信データ	B16、K18、T20、V1、W6	B9、K18、K4、R21、Y3
UART2_TXD	O	UART 送信データ	A16、K19、R4、U21	A9、J4、K20、R20

表 5-79. UART3 信号の説明

信号名 [1]	信号のタイプ [2]	説明 [3]	ALV のピン [4]	ALX のピン [4]
UART3_CTSn	I	UART CTS (Clear to Send) (アクティブ Low)	D19、T17、V2	B17、H1、U20
UART3_RTSn	O	UART RTS (Request to Send) (アクティブ Low)	C20、R3、U19	C16、F2、T20
UART3_RXD	I	UART 受信データ	AA5、D16、L21、U20、W1	C11、G2、J19、U1、V21
UART3_TXD	O	UART 送信データ	AA2、E16、K21、U18	A11、J18、K2、U21

表 5-80. UART4 信号の説明

信号名 [1]	信号のタイプ [2]	説明 [3]	ALV のピン [4]	ALX のピン [4]
UART4_CTSn	I	UART CTS (Clear to Send) (アクティブ Low)	R16、R5、T3、V1	F5、H2、K4、V20
UART4_RTSn	O	UART RTS (Request to Send) (アクティブ Low)	R1、R17、T2、W1	F4、G2、H5
UART4_RXD	I	UART 受信データ	A17、L20、V20、W4、Y3	B13、J20、L1、P1、T18
UART4_TXD	O	UART 送信データ	B17、J19、T1、V21、W5、Y4	A14、E2、J21、P2、T5、U19

表 5-81. UART5 信号の説明

信号名 [1]	信号のタイプ [2]	説明 [3]	ALV のピン [4]	ALX のピン [4]
UART5_CTSn	I	UART CTS (Clear to Send) (アクティブ Low)	W20、Y13、Y2	L5、W20、Y15
UART5_RTSn	O	UART RTS (Request to Send) (アクティブ Low)	T21、V12、V3	AA13、M2
UART5_RXD	I	UART 受信データ	C17、D19、P16、T6、Y5	B14、B17、R2、T4
UART5_TXD	O	UART 送信データ	C20、D17、R18、W2	A15、C16、J2

表 5-82. UART6 信号の説明

信号名 [1]	信号のタイプ [2]	説明 [3]	ALV のピン [4]	ALX のピン [4]
UART6_CTSn	I	UART CTS (Clear to Send) (アクティブ Low)	T4、W21	L2、Y20
UART6_RTSn	O	UART RTS (Request to Send) (アクティブ Low)	P17、P4	E3
UART6_RXD	I	UART 受信データ	C13、U6、V6、Y21	B7、R5、U2、Y18
UART6_TXD	O	UART 送信データ	D14、W3、Y20	AA19、L3

MCU ドメインのインスタンス

表 5-83. MCU_UART0 信号の説明

信号名 [1]	信号のタイプ [2]	説明 [3]	ALV のピン [4]	ALX のピン [4]
MCU_UART0_CTSn	I	UART CTS (Clear to Send) (アクティブ Low)	D8	D4
MCU_UART0_RTSn	O	UART RTS (Request to Send) (アクティブ Low)	E8	C2
MCU_UART0_RXD	I	UART 受信データ	A9	D6
MCU_UART0_TXD	O	UART 送信データ	A8	B2

表 5-84. MCU_UART1 信号の説明

信号名 [1] ((1))	信号のタイプ [2]	説明 [3]	ALV のピン [4]	ALX のピン [4]
MCU_UART1_CTSn	I	UART CTS (Clear to Send) (アクティブ Low)	B8	
MCU_UART1_RTSn	O	UART RTS (Request to Send) (アクティブ Low)	B9	
MCU_UART1_RXD	I	UART 受信データ	C9	
MCU_UART1_TXD	O	UART 送信データ	D9	

(1) MCU_UART1 インターフェイスは、AM243x_ALX デバイス パッケージでは**サポートされていません**。詳細については、「AM243x_ALX パッケージ - サポートされていないインターフェイスと信号」を参照してください。

5.3.25 USB

メイン ドメイン インスタンス

表 5-85. USB0 信号の説明

信号名 [1]	信号のタイプ [2]	説明 [3]	ALV のピン [4]	ALX のピン [4]
USB0_DM	IO	USB 2.0 差動データ (負)	AA20	AA17
USB0_DP	IO	USB 2.0 差動データ (正)	AA19	AA16
USB0_DRVVBUS	O	USB VBUS 制御出力 (アクティブ High)	E19	B19
USB0_ID	A	USB 2.0 デュアルロール デバイス ロール選択	U16	Y17
USB0_RCALIB (1)	A	較正抵抗に接続するためのピン	U17	W17
USB0_VBUS (2)	A	USB レベル シフト VBUS 入力	T14	V18

(1) このピンと VSS の間に 499Ω ±1% の外付け抵抗を接続する必要があります。この抵抗の最大消費電力は 7.2mW です。このピンに外部電圧を印加しないでください。
(2) このデバイス ピンに印加される電圧を制限するには、外付けの分圧抵抗が必要です。詳細については、セクション 8.2.4「USB VBUS の設計ガイドライン」を参照してください。

Copyright © 2024 Texas Instruments Incorporated

5.4 ピン接続要件

このセクションでは、特定の接続要件を持つパッケージ ボールと、未使用のパッケージ ボールの接続要件について説明します。

注

特に記述のない限り、すべての電源ボールには「推奨動作条件」セクションで規定されている電圧を供給する必要があります。

注

「未接続のまま」または「接続なし」(NC) は、これらのデバイスのボール番号にいかなる信号トレースも接続**できない**ことを意味します。

表 5-86. 接続要件 (ALV パッケージ)

ボール番号	ボール名	接続要件
A20 D11	MCU_SAFETY_ERRORn TRSTn	PCB 信号トレースが接続されており、かつ接続されたデバイスによってアクティブに駆動されていない場合、これらのボールに関連付けられた入力が有効なロジック Low レベルに保持されるように、これらの各ボールを個別の外付けプル抵抗を介して VSS に接続する必要があります。ボールに PCB 信号トレースが接続されていない場合、内部プルダウンを使用して、そのボールを有効なロジック Low レベルに保持できます。
D10 E10 B12 E18 B11 C11 C12	EMU0 EMU1 MCU_RESETz RESET_REQz TCK TDI TMS	PCB 信号トレースが接続されており、かつ接続されたデバイスによってアクティブに駆動されていない場合、これらのボールに関連付けられた入力が有効なロジック High レベルに保持されるように、これらの各ボールを個別の外付けプル抵抗を介して対応する電源 (1) に接続する必要があります。ボールに PCB 信号トレースが接続されていない場合、内部プルアップを使用して、そのボールを有効なロジック High レベルに保持できます。
A18 B18 E9 A10	I2C0_SCL I2C0_SDA MCU_I2C0_SCL MCU_I2C0_SDA	これらのボールに関連付けられた入力が有効なロジック High レベルに保持されるように、これらの各ボールを個別の外付けプル抵抗を介して対応する電源 (1) に接続する必要があります。
T20 U21 T18 U20 U18 U19 V20 V21 V19 T17 R16 W20 W21 V18 Y21 Y20	GPMC0_AD0 GPMC0_AD1 GPMC0_AD2 GPMC0_AD3 GPMC0_AD4 GPMC0_AD5 GPMC0_AD6 GPMC0_AD7 GPMC0_AD8 GPMC0_AD9 GPMC0_AD10 GPMC0_AD11 GPMC0_AD12 GPMC0_AD13 GPMC0_AD14 GPMC0_AD15	目的のデバイスのブート モードを選択するため、これらのボールに関連付けられた入力が適切に有効なロジック High または Low レベルに保持されるように、これらの各ボールを個別の外付けプル抵抗を介して対応する電源 (1) または VSS に接続する必要があります。
J13 G20 F20 E21, D20 G21 F21 F19 E20 J15 J16	VDDA_ADC ADC0_AIN0 ADC0_AIN1 ADC0_AIN2 ADC0_AIN3 ADC0_AIN4 ADC0_AIN5 ADC0_AIN6 ADC0_AIN7 ADC0_REFP ADC0_REFN	ADC0 全体を使用しない場合、これらの各ボールを VSS に直接接続する必要があります。

表 5-86. 接続要件 (ALV パッケージ) (続き)

ボール番号	ボール名	接続要件
G20 F20 E21 D20 G21 F21 F19 E20	ADC0_AIN0 ADC0_AIN1 ADC0_AIN2 ADC0_AIN3 ADC0_AIN4 ADC0_AIN5 ADC0_AIN6 ADC0_AIN7	VDDA_ADC が電源に接続されている場合、未使用のすべての ADC0_AIN[7:0] ボールは、抵抗を介して VSS にプルするか、VSS に直接接続する必要があります。
F7 G6 H7 J6, K7 L6 J8	VDDS_DDR VDDS_DDR VDDS_DDR VDDS_DDR VDDS_DDR VDDS_DDR VDDS_DDR_C	DDRSS0 を使用しない場合、これらの各ボールを VSS に直接接続する必要があります。

Copyright © 2024 Texas Instruments Incorporated

表 5-86. 接続要件 (ALV パッケージ) (続き)

ボール番号	ボール名	接続要件
H2	DDR0_ACT_n	DDRSS0 を使用しない場合、未接続のままにします。 注:このリストの DDR0 ピンは、VDDS_DDR と VDDS_DDR_C が VSS に接続されている場合にのみ、未接続のままにできます。VDDS_DDR と VDDS_DDR_C を電源に接続する場合、『AM64x\AM243x DDR 基板の設計およびレイアウトのガイドライン』の定義に従って DDR0 ピンを接続する必要があります。
H1	DDR0_ALERT_n	
J5	DDR0_CAS_n	
K5	DDR0_PAR	
F6	DDR0_RAS_n	
H4	DDR0_WE_n	
D2	DDR0_A0	
C5	DDR0_A1	
E2	DDR0_A2	
D4	DDR0_A3	
D3	DDR0_A4	
F2	DDR0_A5	
J2	DDR0_A6	
L5	DDR0_A7	
J3	DDR0_A8	
J4	DDR0_A9	
K3	DDR0_A10	
J1	DDR0_A11	
M5	DDR0_A12	
K4	DDR0_A13	
G4	DDR0_BA0	
G5	DDR0_BA1	
G2	DDR0_BG0	
H3	DDR0_BG1	
H5	DDR0_CAL0	
F1	DDR0_CK0	
E1	DDR0_CK0_n	
F4	DDR0_CKE0	
F3	DDR0_CKE1	
E3	DDR0_CS0_n	
E4	DDR0_CS1_n	
B2	DDR0_DM0	
M2	DDR0_DM1	
A3	DDR0_DQ0	
A2	DDR0_DQ1	
B5	DDR0_DQ2	
A4	DDR0_DQ3	
B3	DDR0_DQ4	
C4	DDR0_DQ5	
C2	DDR0_DQ6	
B4	DDR0_DQ7	
N5	DDR0_DQ8	
L4	DDR0_DQ9	
L2	DDR0_DQ10	
M3	DDR0_DQ11	
N4	DDR0_DQ12	
N3	DDR0_DQ13	
M4	DDR0_DQ14	
N2	DDR0_DQ15	
C1	DDR0_DQS0	
B1	DDR0_DQS0_n	
N1	DDR0_DQS1	
M1	DDR0_DQS1_n	
E5	DDR0_ODT0	
F5	DDR0_ODT1	
D5	DDR0_RESET0_n	
K13 H14	VDD_MMC0 VDD_DLL_MMC0	MMC0 を使用しない場合、これらの各ボールを VDD_CORE と同じ電源に接続する必要があります。
K14	VDDS_MMC0	MMC0 を使用しない場合、これらの各ボールを、デバイス電源シーケンス要件に違反しない任意の 1.8V 電源に接続する必要があります。

表 5-86. 接続要件 (ALV パッケージ) (続き)

ボール番号	ボール名	接続要件
F18 G18 J21 G19 K20 J20 J18 J17 H17 H19 H18 G17	MMC0_CALPAD MMC0_CLK MMC0_CMD MMC0_DS MMC0_DAT0 MMC0_DAT1 MMC0_DAT2 MMC0_DAT3 MMC0_DAT4 MMC0_DAT5 MMC0_DAT6 MMC0_DAT7	MMC0 を使用しない場合、これらの各ボールを未接続のままにする必要があります。
H15 K15	VDDA_3P3_SDIO CAP_VDDSHV_MMC1	SDIO_LDO が VDDSHV5 に電力を供給するのに使用されない場合、これらの各ボールを VSS に直接接続する必要があります。
P12 P13 P11 R14	VDDA_0P85_SERDES0 VDDA_0P85_SERDES0 VDDA_0P85_SERDES0_C VDDA_1P8_SERDES0	SERDES0 を使用せず、かつデバイスのバウンダリ スキャン機能が必要な場合、これらの各ボールを有効な電源に接続する必要があります。 SERDES0 を使用せず、かつデバイスのバウンダリ スキャン機能が不要な場合、これらの各ボールをそれぞれ VSS に直接接続することもできます。
T13 W16 W17 Y15 Y16 AA16 AA17	SERDES0_REXT SERDES0_REFCLK0N SERDES0_REFCLK0P SERDES0_RX0_N SERDES0_RX0_P SERDES0_TX0_N SERDES0_TX0_P	SERDES0 を使用しない場合、未接続のままにします。 注:VDDA_0P85_SERDES0、VDDA_0P85_SERDES0_C、VDDA_1P8_SERDES0 が VSS に接続されている場合にのみ、SERDES0_REXT ピンを未接続のままにできます。VDDA_0P85_SERDES0、VDDA_0P85_SERDES0_C、VDDA_1P8_SERDES0 が電源に接続されている場合、適切な外付け抵抗を介して SERDES0_REXT ピンを VSS に接続する必要があります。
T12 R15 R13	VDDA_0P85_USB0 VDDA_1P8_USB0 VDDA_3P3_USB0	USB0 を使用しない場合、これらの各ボールを VSS に直接接続する必要があります。
AA20 AA19 U16 U17 T14	USB0_DM USB0_DP USB0_ID USB0_RCALIB USB0_VBUS	USB0 を使用しない場合、未接続のままにします。 注:VDDA_0P85_USB0、VDDA_1P8_USB0、VDDA_3P3_USB0 が VSS に接続されている場合にのみ、USB0_RCALIB ピンを未接続のままにできます。VDDA_0P85_USB0、VDDA_1P8_USB0、VDDA_3P3_USB0 が電源に接続される場合、適切な外付け抵抗を介して USB0_RCALIB ピンを VSS に接続する必要があります。
K10	VMON_VSYS	VMON_VSYS を使用しない場合、このボールを VSS に直接接続する必要があります。
K16 E12 F13 F14	VMON_1P8_MCU VMON_1P8_SOC VMON_3P3_MCU VMON_3P3_SOC	SOC および SOC 電源レールの監視に VMON_1P8_MCU、VMON_1P8_SOC、VMON_3P3_MCU、VMON_3P3_SOC を使用しない場合でも、これらのボールをそれぞれの 1.8V および 3.3V 電源レールに接続する必要があります。

(1) IO にどの電源が関連付けられているかを確認するには、「ピン属性」表を参照してください。

Copyright © 2024 Texas Instruments Incorporated

表 5-87. 接続要件 (ALX パッケージ)

ボール番号	ボール名	接続要件
B20 B6	MCU_SAFETY_ERRORn TRSTn	PCB 信号トレースが接続されており、かつ接続されたデバイスによってアクティブに駆動されていない場合、これらのボールが有効なロジック Low レベルに保持されるように、これらの各ボールを個別の外付けプル抵抗を介して VSS に接続する必要があります。ボールに PCB 信号トレースが接続されていない場合、内部プルダウンを使用して、そのボールを有効なロジック Low レベルに保持できます。
C5 B3 A5 C17 C6 A3 B4	EMU0 EMU1 MCU_RESETz RESET_REQz TCK TDI TMS	PCB 信号トレースが接続されており、かつ接続されたデバイスによってアクティブに駆動されていない場合、これらのボールが有効なロジック High レベルに保持されるように、これらの各ボールを個別の外付けプル抵抗を介して対応する電源 (1) に接続する必要があります。ボールに PCB 信号トレースが接続されていない場合、内部プルアップを使用して、そのボールを有効なロジック High レベルに保持できます。
B16 B15	I2C0_SCL I2C0_SDA	これらのボールが有効なロジック High レベルに保持されるように、これらの各ボールを個別の外付けプル抵抗を介して対応する電源 (1) に接続する必要があります。
G17 H17 H21 F19 F21, F20 H20 E21 G20 E20	VDDA_ADC VDDA_ADC ADC0_AIN0 ADC0_AIN1 ADC0_AIN2 ADC0_AIN3 ADC0_AIN4 ADC0_AIN5 ADC0_AIN6 ADC0_AIN7	ADC0 全体を使用しない場合、これらの各ボールを VSS に直接接続する必要があります。
H21 F19 F21 F20 H20 E21 G20 E20	ADC0_AIN0 ADC0_AIN1 ADC0_AIN2 ADC0_AIN3 ADC0_AIN4 ADC0_AIN5 ADC0_AIN6 ADC0_AIN7	VDDA_ADC が電源に接続されている場合、未使用のすべての ADC0_AIN[7:0] ボールは、抵抗を介して VSS にプルするか、VSS に直接接続する必要があります。
K15 J17	VDDA_3P3_SDIO CAP_VDDSHV_MMC1	SDIO_LDO が VDDSHV5 に電力を供給するのに使用されない場合、これらの各ボールを VSS に直接接続する必要があります。
V16 U15 U16	VDDA_0P85_USB0 VDDA_1P8_USB0 VDDA_3P3_USB0	USB0 を使用しない場合、これらの各ボールを VSS に直接接続する必要があります。
AA17 AA16 Y17 W17 V18	USB0_DM USB0_DP USB0_ID USB0_RCALIB USB0_VBUS	USB0 を使用しない場合、未接続のままにします。 注:VDDA_0P85_USB0、VDDA_1P8_USB0、VDDA_3P3_USB0 が VSS に接続されている場合にのみ、USB0_RCALIB ピンを未接続のままにできます。 VDDA_0P85_USB0、VDDA_1P8_USB0、VDDA_3P3_USB0 が電源に接続される場合、適切な外付け抵抗を介して USB0_RCALIB ピンを VSS に接続する必要があります。
G13	VMON_VSYS	VMON_VSYS を使用しない場合、このボールを VSS に直接接続する必要があります。
F14 E15	VMON_1P8_SOC VMON_3P3_SOC	SOC 電源レールの監視に VMON_1P8_SOC と VMON_3P3_SOC を使用しない場合でも、これらのボールをそれぞれの 1.8V および 3.3V 電源レールに接続する必要があります。

(1) IO にどの電源が関連付けられているかを確認するには、「ピン属性」表を参照してください。

注

内部プル抵抗は駆動力が弱いため、動作条件によっては有効なロジック レベルを維持するのに十分な電流を供給できない場合があります。この状況は、逆のロジック レベルへのリークがある部品に接続されている場合や、内部抵抗によって有効なロジック レベルにプルされているだけのボールに接続された信号トレースに外部ノイズ源が結合した場合に発生することがあります。そのため、外付けプル抵抗を使って、ボールの有効なロジック レベルを保持することを推奨します。

デバイス IO の多くはデフォルトでオフになっているため、ソフトウェアで各 IO が初期化されるまで、接続されているすべてのデバイスの入力を有効なロジック状態に保持するために、外部プル抵抗が必要になる場合があります。構成可能なデバイス IO の状態は、「ピン属性」表の「リセット時のボールの状態 (RX/TX/PULL)」と「リセット後のボールの状態 (RX/TX/PULL)」列に定義されています。入力バッファ (RX) がオフになっている IO は、フローティング状態にしても、本デバイスに損傷を与えません。ただし、入力バッファ (RX) がオンになっている IO は、V_{ILSS} と V_{IHSS} の間の電位にフローティングさせることはできません。これらのレベルの間の電位に入力をフローティングさせた場合、入力バッファは、IO セルに損傷を与える可能性がある大電流状態に入ることがあります。

Copyright © 2024 Texas Instruments Incorporated

6 仕様

6.1 絶対最大定格

接合部動作温度範囲内 (特に記述のない限り) [(1)] [(2)]

パラメータ		最小値	最大値	単位
VDD_CORE	コア電源	-0.3	1.05	V
VDDR_CORE	RAM 電源	-0.3	1.05	V
VDD_MMC0	MMC0 PHY コア電源	-0.3	1.05	V
VDD_DLL_MMC0	MMC0 PLL アナログ電源	-0.3	1.05	V
VDDA_0P85_SERDES0	SERDES0 0.85V アナログ電源	-0.3	1.05	V
VDDA_0P85_SERDES0_C	SERDES0 クロック 0.85V アナログ電源	-0.3	1.05	V
VDDA_0P85_USB0	USB0 0.85V アナログ電源	-0.3	1.05	V
VDDS_DDR	DDR PHY IO 電源	-0.3	1.57	V
VDDS_DDR_C	DDR クロック IO 電源	-0.3	1.57	V
VDDS_MMC0	MMC0 PHY IO 電源	-0.3	1.98	V
VDDS_OSC	MCU_OSC0 電源	-0.3	1.98	V
VDDA_MCU	POR および MCU PLL アナログ電源	-0.3	1.98	V
VDDA_ADC0	ADC0 アナログ電源	-0.3	1.98	V
VDDA_PLL0	メイン、PER1、R5F PLL アナログ電源	-0.3	1.98	V
VDDA_PLL1	ARM および DDR PLL アナログ電源	-0.3	1.98	V
VDDA_PLL2	PER0 PLL アナログ電源	-0.3	1.98	V
VDDA_1P8_SERDES0	SERDES0 1.8V アナログ電源	-0.3	1.98	V
VDDA_1P8_USB0	USB0 1.8V アナログ電源	-0.3	1.98	V
VDDA_TEMP0	TEMP0 アナログ電源	-0.3	1.98	V
VDDA_TEMP1	TEMP1 アナログ電源	-0.3	1.98	V
VPP	eFuse ROM プログラミング電源	-0.3	1.98	V
VDDSHV_MCU	IO MCU の IO 電源	-0.3	3.63	V
VDDSHV0	IO グループ 0 の IO 電源	-0.3	3.63	V
VDDSHV1	IO グループ 1 の IO 電源	-0.3	3.63	V
VDDSHV2	IO グループ 2 の IO 電源	-0.3	3.63	V
VDDSHV3	IO グループ 3 の IO 電源	-0.3	3.63	V
VDDSHV4	IO グループ 4 の IO 電源	-0.3	3.63	V
VDDSHV5	IO グループ 5 の IO 電源	-0.3	3.63	V
VDDA_3P3_USB0	USB0 3.3V アナログ電源	-0.3	3.63	V
VDDA_3P3_SDIO	SDIO 3.3V アナログ電源	-0.3	3.63	V
すべてのフェイルセーフ IO ピンの定常状態の最大電圧	MCU_PORz	-0.3	3.63	V
	MCU_I2C0_SCL、MCU_I2C0_SDA、I2C0_SCL、I2C0_SDA、EXTINTn	-0.3	1.98 [(3)]	V
	VMON_1P8_MCU、VMON_1P8_SOC	-0.3	1.98 [(3)]	V
	VMON_3P3_MCU、VMON_3P3_SOC	-0.3	3.63	V
	VMON_VSYS [(4)]	-0.3	1.98	V

接合部動作温度範囲内 (特に記述のない限り) (1) (2)

パラメータ		最小値	最大値	単位
他のすべての IO ピンの定常状態の最大電圧 (5)	USB0_VBUS(6)	-0.3	3.6	V
	USB0_ID(7)	-0.3	3.6	V
	その他のすべての IO ピン	-0.3	IO 電源電圧 + 0.3	V
IO ピンの過渡オーバーシュートおよびアンダーシュート	信号周期の最大 20% にわたって IO 電源電圧の 20% (図 6-1、「IO 過渡電圧範囲」を参照)		0.2 × VDD (8)	V
ラッチアップ性能	I 試験 (9)	-100	+100	mA
	過電圧 (OV) 試験 (10)		1.5 x VDD (8)	V
T_{STG}	保存温度 (11)	-55	+150	℃

(1) 「絶対最大定格」の範囲外の動作は、デバイスの永続的な損傷の原因となる可能性があります。「絶対最大定格」は、これらの条件において、または「推奨動作条件」に示された値を超える他のいかなる条件でも、本製品が正しく動作することを意味するものではありません。「絶対最大定格」の範囲内であっても「推奨動作条件」の範囲外で使用した場合、本デバイスは完全に機能するとは限らず、このことが本デバイスの信頼性、性能、機能に影響を及ぼし、本デバイスの寿命を縮める可能性があります。
(2) すべての電圧値は、特に記述のない限り、VSS 端子を基準とします。
(3) これらのフェイルセーフ ピンの絶対最大定格は、それらの IO 電源動作電圧に左右されます。したがって、この値は、「I2C オープンドレインおよびフェイルセーフ (I2C OD FS) の電気的特性」セクションに記載されている最大 V_{IH} 値によっても規定され、この電気的特性表では 1.8V モードと 3.3V モードに別々のパラメータ値があります。
(4) VMON_VSYS ピンは、システム電源の監視に使用できます。詳細については、「システム電源監視の設計ガイドライン」を参照してください。
(5) このパラメータはフェイルセーフでないすべての IO ピンに適用され、IO 電源電圧のすべての値に要件が適用されます。たとえば、特定の IO 電源に印加される電圧が 0V の場合、その電源から供給される IO の有効な入力電圧範囲は -0.3V～+0.3V になります。ペリフェラル デバイスに電力を供給する電源がそれぞれの IO 電源に電力を供給する電源と同じでない場合は、特別な注意が必要です。接続されているペリフェラルにおいて、電源のランプアップやランプダウンのシーケンスなど、有効な入力電圧範囲外の電圧を供給しないことが重要になります。
(6) このデバイス ピンに印加される電圧を制限するには、外付けの分圧抵抗が必要です。詳細については、「USB VBUS の設計ガイドライン」を参照してください。
(7) USB0_ID ピンは USB0 PHY のアナログ回路に接続されています。このアナログ回路は、抵抗を経由して VSS に接続されていれば、電圧測定時に既知の電流を供給し、抵抗値 (RID) を決定します。このピンは、USB ホスト動作の場合は VSS に接続し、USB デバイス動作の場合は未接続とする必要があります。そして、外部電圧源には絶対に接続しないでください。
(8) VDD は、IO の対応する電源ピンの電圧です。
(9) 電流パルス注入 (I 試験) の場合:
- JEDEC JESD78 (Class II) に従ってピンにストレスを加え、規定の I/O ピン注入電流と最大推奨 I/O 電圧の +1.5 倍および -0.5 倍のクランプ電圧に合格しました。

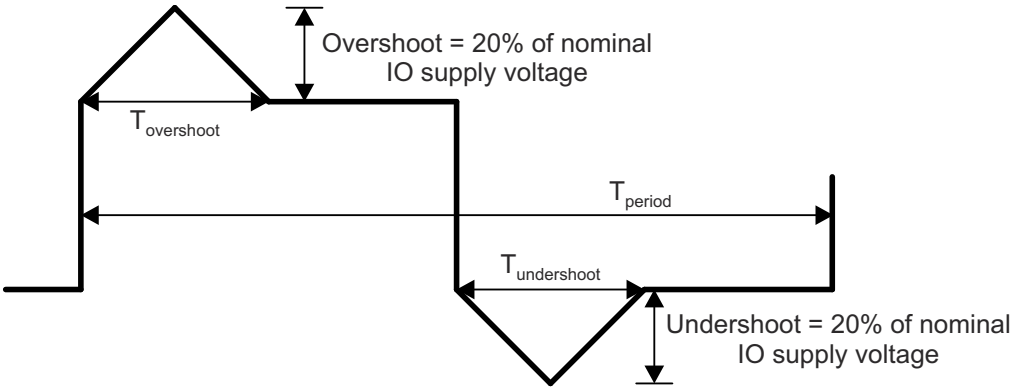
(10) 過電圧性能 (過電圧 (OV) 試験) の場合:
- JEDEC JESD78 (Class II) に従って電源にストレスを加え、規定の電圧注入に合格しました。

(11) テープ アンド リールの保存温度範囲は [–10℃; +50℃]、最大相対湿度は 70% です。使用前に室温に戻すことをお勧めします。

フェイルセーフ IO 端子は、それぞれの IO 電源電圧に依存しないように設計されています。これにより、該当する IO 電源がオフのときに、これらの IO 端子に外部電圧源を接続できます。

MCU_I2C0_SCL、MCU_I2C0_SDA、I2C0_SCL、I2C0_SDA、EXTINTn、VMON_1P8_MCU、VMON_1P8_SOC、VMON_3P3_MCU、VMON_3P3_SOC、MCU_PORz だけがフェイルセーフ IO 端子です。それ以外の IO 端子はいずれもフェイルセーフではなく、それらに印加される電圧は、セクション 6.1 の「他のすべての IO ピンの定常状態の最大電圧」パラメータで定義されている値に制限する必要があります。

Copyright © 2024 Texas Instruments Incorporated



A. $T_{overshoot} + T_{undershoot} < T_{period}$ の 20%

図 6-1. IO 過渡電圧範囲

6.2 ESD 定格

			値	単位
$V_{(ESD)}$	静電気放電 (ESD)	人体モデル (HBM)、ANSI/ESDA/JEDEC JS-001 準拠(1)	±1000	V
		デバイス帯電モデル (CDM)、ANSI/ESDA/JEDEC JS-002 準拠 (2)	±250	

(1) JEDEC のドキュメント JEP155 には、500V HBM であれば標準的な ESD 管理プロセスにより安全な製造が可能であると記載されています。
(2) JEDEC ドキュメント JEP157 には、250V CDM であれば標準的な ESD 管理プロセスにより安全な製造が可能であると記載されています。

6.3 電源投入時間 (POH)

下表に、本デバイスを連続動作させた場合の、特定の接合部温度での POH データの推定値を示します。

温度定格	温度範囲	接合部温度 (T_J) (1)	推定 (2) 寿命 (POH) (3)
A	-40℃～105℃	105°C	100000
I	-40℃～125℃	105°C	100000
		110°C	64000
		115°C	41000
		120°C	26500
		125°C	17500

(1) 特に記述されていない限り、すべての電圧ドメインと動作条件は、記載された温度において本デバイスでサポートされています。
(2) この情報は、お客様の利便性のみを目的として提供されるものであり、テキサス・インスツルメンツの半導体製品に関する標準的な契約条件に基づいて提供される保証を拡張または変更するものではありません。
(3) POH は、電圧、温度、時間の関数です。より高い電圧および温度で使用すると POH は減少します。

注

動作時間の詳細については、以下のリンクを参照してください。

組込みプロセッサの有効寿命の計算

このアプリケーション レポートには、テキサス・インスツルメンツの組み込みプロセッサ (EP) を電子機器システムで、電力を供給して使用したときの有効寿命を計算するための手法が解説されています。本書は、テキサス・インスツルメンツの EP の信頼性が最終システムの信頼性要件を満たすかどうかを判定する必要がある一般的なエンジニアを対象としています。主な故障メカニズムとしてエレクトロマイグレーションをモデル化しています。

AM243x 電源オン時間の延長

このアプリケーション レポートでは、AM243x デバイスの動作寿命を 100k 電源オン時間 (POH) から 200k POH に拡張するためのガイドラインについて説明しています。

AM243x テキサス・インスツルメンツは、Web サイト (http://www.ti.com/quality) で、AM243x プロセッサを含むテキサス・インスツルメンツのすべてのデバイスの品質と信頼性に関する詳細な情報を提供しています。

Copyright © 2024 Texas Instruments Incorporated

6.4 推奨動作条件

接合部動作温度範囲内 (特に記述のない限り)

電源名	説明		最小値[1]	公称値	最大値[1]	単位
VDD_CORE	コア電源	0.85V 動作	0.81	0.85	0.895	V
VDDR_CORE	RAM 電源		0.81	0.85	0.895	V
VDD_MMC0[2]	MMC0 PHY コア電源		0.81	0.85	0.895	V
VDD_DLL_MMC0[2]	MMC0 PLL アナログ電源		0.81	0.85	0.895	V
VDDA_0P85_SERDES0	SERDES0 0.85V アナログ電源		0.81	0.85	0.895	V
VDDA_0P85_SERDES0_C	SERDES0 クロック 0.85V アナログ電源		0.81	0.85	0.895	V
VDDA_0P85_USB0	USB0 0.85V アナログ電源		0.81	0.85	0.895	V
VDDS_DDR[3] VDDS_DDR_C[3]	DDR PHY IO 電源 DDR クロック IO 電源	1.1V 動作	1.06	1.1	1.17	V
		1.2V 動作	1.14	1.2	1.26	V
VDDS_MMC0	MMC0 PHY IO 電源		1.71	1.8	1.89	V
VDDS_OSC	MCU_OSC0 電源		1.71	1.8	1.89	V
VDDA_MCU	POR および MCU PLL アナログ電源		1.71	1.8	1.89	V
VDDA_ADC0	ADC0 アナログ電源		1.71	1.8	1.89	V
VDDA_PLL0	メイン、PER、R5F PLL アナログ電源		1.71	1.8	1.89	V
VDDA_PLL1	ARM および DDR PLL アナログ電源		1.71	1.8	1.89	V
VDDA_PLL2	PER0 PLL アナログ電源		1.71	1.8	1.89	V
VDDA_1P8_SERDES0	SERDES0 1.8V アナログ電源		1.71	1.8	1.89	V
VDDA_1P8_USB0	USB0 1.8V アナログ電源		1.71	1.8	1.89	V
VDDA_TEMP0	TEMP0 アナログ電源		1.71	1.8	1.89	V
VDDA_TEMP1	TEMP1 アナログ電源		1.71	1.8	1.89	V
VPP	eFuse ROM プログラミング電源		1.71	1.8	1.89	V
VMON_1P8_MCU	1.8V MCU 電源用電圧モニタ		1.71	1.8	1.89	V
VMON_1P8_SOC	1.8V SoC 電源用電圧モニタ		1.71	1.8	1.89	V
VDDA_3P3_USB0	USB0 3.3V アナログ電源		3.135	3.3	3.465	V
VDDA_3P3_SDIO	SDIO 3.3V アナログ電源		3.135	3.3	3.465	V
VMON_3P3_MCU	3.3V MCU 電源用電圧モニタ		3.135	3.3	3.465	V
VMON_3P3_SOC	3.3V SoC 電源用電圧モニタ		3.135	3.3	3.465	V
VMON_VSYS	電圧モニタ ピン		0	[4]を参照	1	V
USB0_VBUS	USB レベル シフト VBUS 入力		0	[5] を参照	3.465	V
USB0_ID	RID 検出用の USB0 アナログ I/O			[6] を参照		V
VDDSHV_MCU	デュアル電圧 IO 電源	1.8V 動作	1.71	1.8	1.89	V
		3.3V 動作	3.135	3.3	3.465	V
VDDSHV0	デュアル電圧 IO 電源	1.8V 動作	1.71	1.8	1.89	V
		3.3V 動作	3.135	3.3	3.465	V
VDDSHV1	デュアル電圧 IO 電源	1.8V 動作	1.71	1.8	1.89	V
		3.3V 動作	3.135	3.3	3.465	V
VDDSHV2	デュアル電圧 IO 電源	1.8V 動作	1.71	1.8	1.89	V
		3.3V 動作	3.135	3.3	3.465	V
VDDSHV3	デュアル電圧 IO 電源	1.8V 動作	1.71	1.8	1.89	V
		3.3V 動作	3.135	3.3	3.465	V

Copyright © 2024 Texas Instruments Incorporated

接合部動作温度範囲内 (特に記述のない限り)

電源名	説明		最小値(1)	公称値	最大値(1)	単位
VDDSHV4	デュアル電圧 IO 電源	1.8V 動作	1.71	1.8	1.89	V
		3.3V 動作	3.135	3.3	3.465	V
VDDSHV5	デュアル電圧 IO 電源	1.8V 動作	1.71	1.8	1.89	V
		3.3V 動作	3.135	3.3	3.465	V
T_J	動作ジャンクション温度範囲	拡張 産業用	-40		125	℃

(1) デバイスの通常の動作時に、デバイス ボールの電圧が、わずかな時間であっても、最小電圧を下回ったり、最大電圧を上回ったりしてはいけません。
(2) MMC0 を使用しない場合、VDD_MMC0 と VDDD_DLL_MMC0 は、VDD_CORE と同じ電源に接続する必要があります。
(3) VDDS_DDR と VDDS_DDR_C は、同じ電源から給電されます。
(4) VMON_VSYS ピンは、システム電源の監視に使用できます。詳細については、『システム電源監視の設計ガイドライン』を参照してください。
(5) このデバイス ピンに印加される電圧を制限するには、外付けの分圧抵抗が必要です。詳細については、『USB 設計ガイドライン』を参照してください。
(6) USB0_ID ピンは、USB0 PHY のアナログ回路に接続されます。このアナログ回路は、抵抗を経由して VSS に接続されていれば、電圧測定時に既知の電流を供給し、抵抗値 (RID) を決定します。この端子は、USB ホスト動作では VSS に接続し、USB デバイスまたはペリフェラル動作では開路のままにする必要があります。外部電圧源には絶対に接続してはいけません。

Copyright © 2024 Texas Instruments Incorporated

6.5 動作性能ポイント

このセクションでは、デバイスの動作条件について説明します。また、プロセッサ クロックとデバイス コア クロックの各動作性能の特長 (OPP) についても説明します。

表 6-1 に、デバイスの速度グレードごとにサポートされる最大周波数を示します。

表 6-1. 速度グレードの最大周波数

デバイス (1)	最大周波数 (MHz)							
	速度グレード	R5FSS	M4FSS	INFRA (CBASS)	ICSSG	DMSC-L	DDR4(2)	LPDDR4(2)
AM243x...ALV	S	800	400	250	333	250	800 (DDR-1600)	800 (LPDDR-1600)
AM243x...ALV	K	400	400	250	333	250	800 (DDR-1600)	800 (LPDDR-1600)
AM243x...ALX	S	800	400	250	333	250	N/A	N/A
AM243x...ALX	K	400	400	250	333	250	N/A	N/A

(1) この表の N/A は該当なしを表します。
(2) 最大 DDR 周波数は、システムで使用されている特定のメモリ タイプ (ベンダ) と PCB 実装に基づいて制限されます。最大 DDR 周波数を実現するための適切な PCB 実装については、『AM64x\AM243x DDR 基板の設計およびレイアウトのガイドライン』を参照してください。

6.6 消費電力の概略

デバイスの消費電力の詳細については、「AM64x/AM234x 電力推定ツール」アプリケーション ノートを参照してください。

6.7 電気的特性

注

以下の電気的特性の表に記載されているインターフェイスまたは信号は、関連する PADCONFIG レジスタが多重化モード 0 (本来の機能) に構成されているときに利用可能なインターフェイスまたは信号に対応しています。

これらの表に記載された、そのボール上で多重化されたすべてのインターフェイスまたは信号は、PHY と GPIO を組み合わせたトポロジが多重化に含まれる場合を除き、同じ DC 電気的特性を持っています。PHY と GPIO を組み合わせたトポロジが多重化に含まれる場合、多重化モード (機能) の種類によって異なる DC 電気的特性が規定されています。

6.7.1 I2C オープン ドレインおよびフェイルセーフ (I2C OD FS) の電気的特性

推奨動作条件範囲内 (特に記述のない限り)

パラメータ		テスト条件	最小値	代表値	最大値	単位
1.8V モード						
V_{IL}	入力 Low 電圧				0.3 × VDD [(1)]	V
V_{ILSS}	入力 Low 電圧 (定常状態)				0.3 × VDD [(1)]	V
V_{IH}	入力 High 電圧		0.7 × VDD [(1)]		1.98[(2)]	V
V_{IHSS}	入力 High 電圧 (定常状態)		0.7 × VDD [(1)]			V
V_{HYS}	入力ヒステリシス電圧		0.1 × VDD [(1)]			mV
I_{IN}	入力リーク電流。	V_I = 1.8V または V_I = 0V			±10	µA
V_{OL}	出力 LOW 電圧				0.2 × VDD [(1)]	V
I_{OL} [(3)]	LOW レベル出力電流	$V_{OL(MAX)}$	10			mA
SR_I [(5)]	入力スルーレート		18f[(4)] または 1.8E+6			V/s
3.3V モード [(6)]						
V_{IL}	入力 Low 電圧				0.3 × VDD [(1)]	V
V_{ILSS}	入力 Low 電圧 (定常状態)				0.25 × VDD [(1)]	V
V_{IH}	入力 High 電圧		0.7 × VDD [(1)]		3.63[(2)]	V
V_{IHSS}	入力 High 電圧 (定常状態)		0.7 × VDD [(1)]			V
V_{HYS}	入力ヒステリシス電圧		0.05 × VDD [(1)]			mV
I_{IN}	入力リーク電流。	V_I = 3.3V または V_I = 0V			±10	µA
V_{OL}	出力 LOW 電圧				0.4	V
I_{OL} [(3)]	LOW レベル出力電流	$V_{OL(MAX)}$	10			mA
SR_I [(5)]	入力スルーレート		33f[(4)] または 3.3E+6		8E+7	V/s

(1) VDD は、対応する電源を表します。電源名および対応するボールの詳細については、ピン属性 表の「電源」の欄を参照してください。
(2) この値は、その IO の絶対最大定格値も定義します。
(3) I_{OL} パラメータは、指定された V_{OL} 値をデバイスが維持できる最小 Low レベル出力電流を規定します。このパラメータで規定される値は、接続された部品の V_{OL} 仕様値を維持する必要があるシステム実装が利用可能な最大電流と見なす必要があります。
(4) f = 入力信号のトグル周波数 (Hz)。
(5) この最小値パラメータは、それぞれの「タイミングおよびスイッチング特性」セクションで規定されていない入力信号機能にのみ適用されます。最も大きな値をもたらす最小値パラメータを選択します。
(6) IO を 3.3V モードで動作させる場合、I2C ハイスピード モードはサポートされません。

Copyright © 2024 Texas Instruments Incorporated

6.7.2 フェイルセーフ リセット (FS RESET) の電気的特性

推奨動作条件範囲内 (特に記述のない限り)

パラメータ		テスト条件	最小値	代表値	最大値	単位
V_{IL}	入力 Low 電圧				0.3 × VDDS_OSC	V
V_{ILSS}	入力 Low 電圧 (定常状態)				0.3 × VDDS_OSC	V
V_{IH}	入力 High 電圧		0.7 × VDDS_OSC			V
V_{IHSS}	入力 High 電圧 (定常状態)		0.7 × VDDS_OSC			V
V_{HYS}	入力ヒステリシス電圧		200			mV
I_{IN}	入力リーク電流。	V_I = 1.8V または V_I = 0V			±10	µA
SR_I (2)	入力スルーレート		18f(1) または 1.8E+6			V/s

(1) f = 入力信号のトグル周波数 (Hz)。
(2) この最小値パラメータは、それぞれの「タイミングおよびスイッチング特性」セクションで規定されていない入力信号機能にのみ適用されます。最も大きな値となる最小値パラメータを選択します。

6.7.3 高周波発振器 (HFOSC) の電気的特性

推奨動作条件範囲内 (特に記述のない限り)

パラメータ		テスト条件	最小値	代表値	最大値	単位
V_{IL}	入力 Low 電圧				0.35 × VDDS_OSC	V
V_{IH}	入力 High 電圧		0.65 × VDDS_OSC			V
V_{HYS}	入力ヒステリシス電圧			49		mV
I_{IN}	入力リーク電流。	V_I = 1.8V または V_I = 0.0V			±10	µA

6.7.4 eMMCPHY の電気的特性

推奨動作条件範囲内 (特に記述のない限り)

パラメータ		テスト条件	最小値	代表値	最大値	単位
V_{IL}	入力 Low 電圧				0.35 × VDDS_MMC0	V
V_{ILSS}	入力 Low 電圧 (定常状態)				0.20	V
V_{IH}	入力 High 電圧		0.65 × VDDS_MMC0			V
V_{IHSS}	入力 High 電圧 (定常状態)		1.4			V
I_{IN}	入力リーク電流。	V_I = 1.8V または 0V			±10	µA
R_{PU}	プルアップ抵抗		15	20	25	kΩ
R_{PD}	プルダウン抵抗		15	20	25	kΩ
V_{OL}	出力 LOW 電圧	I_{OL} = 2 mA			0.30	V
V_{OH}	出力 HIGH 電圧	I_{OH} = -2 mA	VDDS_MMC0 ～0.30			V
SR_I	入力スルーレート		5E+8			V/s

6.7.5 SDIO 電気的特性

推奨動作条件範囲内 (特に記述のない限り)

パラメータ		テスト条件	最小値	代表値	最大値	単位
1.8V モード						
V_{IL}	入力 Low 電圧				0.58	V
V_{ILSS}	入力 Low 電圧の定常状態				0.58	V
V_{IH}	入力 High 電圧		1.27			V
V_{IHSS}	入力 High 電圧の定常状態		1.7			V
V_{HYS}	入力ヒステリシス電圧		150			mV
I_{IN}	入力リーク電流。	V_I = 1.8V または V_I = 0V			±10	µA
R_{PU}	プルアップ抵抗		40	50	60	kΩ
R_{PD}	プルダウン抵抗		40	50	60	kΩ
V_{OL}	出力 LOW 電圧				0.45	V
V_{OH}	出力 HIGH 電圧		VDD(1) - 0.45			V
I_{OL} (2)	LOW レベル出力電流	$V_{OL(MAX)}$	4			mA
I_{OH} (2)	High レベル出力電流	$V_{OH(MIN)}$	4			mA
SR_I (4)	入力スルーレート		18f(3) または 1.8E+6			V/s
3.3V モード						
V_{IL}	入力 Low 電圧				0.25 × VDD(1)	V
V_{ILSS}	入力 Low 電圧の定常状態				0.15 × VDD(1)	V
V_{IH}	入力 High 電圧		0.625 × VDD(1)			V
V_{IHSS}	入力 High 電圧の定常状態		0.625 × VDD(1)			V
V_{HYS}	入力ヒステリシス電圧		150			mV
I_{IN}	入力リーク電流。	V_I = 3.3 V または V_I = 0V			±10	µA
R_{PU}	プルアップ抵抗		40	50	60	kΩ
R_{PD}	プルダウン抵抗		40	50	60	kΩ
V_{OL}	出力 LOW 電圧				0.125 × VDD(1)	V
V_{OH}	出力 HIGH 電圧		0.75 × VDD(1)			V
I_{OL} (2)	LOW レベル出力電流	$V_{OL(MAX)}$	6			mA
I_{OH} (2)	High レベル出力電流	$V_{OH(MIN)}$	10			mA
SR_I (4)	入力スルーレート		33f(3) または 3.3E+6			V/s

(1) VDD は、対応する電源を表します。電源名および対応するボールの詳細については、「ピン属性」表の「電源」列を参照してください。
(2) I_{OL} および I_{OH} パラメータは、デバイスが指定された V_{OL} および V_{OH} の値を維持できる最小 Low レベル出力電流と High レベル出力電流を規定します。これらのパラメータで規定される値は、接続部品について指定された V_{OL} および V_{OH} の値を維持する必要があるシステム実装で利用可能な最大電流を考慮する必要があります。
(3) f = 入力信号のトグル周波数 (Hz)。
(4) この最小値パラメータは、それぞれの「タイミングおよびスイッチング特性」セクションで規定されていない入力信号機能にのみ適用されます。値が最大になる最小値パラメータを選択します。

Copyright © 2024 Texas Instruments Incorporated

6.7.6 LVCMOS 電気的特性

推奨動作条件範囲内 (特に記述のない限り)

パラメータ		テスト条件	最小値	代表値	最大値	単位
1.8V モード						
V_{IL}	入力 Low 電圧				0.35 × VDD(1)	V
V_{ILSS}	入力 Low 電圧の定常状態				0.3 × VDD(1)	V
V_{IH}	入力 High 電圧		0.65 × VDD(1)			V
V_{IHSS}	入力 High 電圧定常状態		0.85 × VDD(1)			V
V_{HYS}	入力ヒステリシス電圧		150			mV
I_{IN}	入力リーク電流。	V_I = 1.8V または V_I = 0.0V			±10	µA
R_{PU}	プルアップ抵抗		15	22	30	kΩ
R_{PD}	プルダウン抵抗		15	22	30	kΩ
V_{OL}	出力 LOW 電圧				0.45	V
V_{OH}	出力 HIGH 電圧		VDD(1) - 0.45			V
I_{OL} (2)	LOW レベル出力電流	$V_{OL(MAX)}$	3			mA
I_{OH} (2)	High レベル出力電流	$V_{OH(MIN)}$	3			mA
SR_I (4)	入力スルーレート		18f(3) または 1.8E+6			V/s
3.3V モード						
V_{IL}	入力 Low 電圧				0.8	V
V_{ILSS}	入力 Low 電圧の定常状態				0.6	V
V_{IH}	入力 High 電圧		2.0			V
V_{IHSS}	入力 High 電圧定常状態		2.0			V
V_{HYS}	入力ヒステリシス電圧		150			mV
I_{IN}	入力リーク電流。	V_I = 3.3 V または V_I = 0.0V			±10	µA
R_{PU}	プルアップ抵抗		15	22	30	kΩ
R_{PD}	プルダウン抵抗		15	22	30	kΩ
V_{OL}	出力 LOW 電圧				0.4	V
V_{OH}	出力 HIGH 電圧		2.4			V
I_{OL} (2)	LOW レベル出力電流	$V_{OL(MAX)}$	5			mA
I_{OH} (2)	High レベル出力電流	$V_{OH(MIN)}$	9			mA
SR_I (4)	入力スルーレート		33f(3) または 3.3E+6			V/s

(1) VDD は、対応する電源を表します。電源名および対応するボールの詳細については、「ピン属性」表の「電源」の欄を参照してください。
(2) I_{OL} および I_{OH} パラメータは、デバイスが指定された V_{OL} および V_{OH} の値を維持できる最小 Low レベル出力電流と High レベル出力電流を規定します。これらのパラメータで規定される値は、接続部品について指定された V_{OL} および V_{OH} の値を維持する必要があるシステム実装で利用可能な最大電流を考慮する必要があります。
(3) f = 入力信号のトグル周波数 (Hz)。
(4) この最小パラメータは、それぞれの「タイミングおよびスイッチング特性」セクションで規定されていない入力信号機能にのみ適用されます。最も大きな値となる最小パラメータを選択します。

6.7.7 ADC12B の電気的特性 (ALV パッケージ)

推奨動作条件範囲内 (特に記述のない限り)

パラメータ		テスト条件	最小値	代表値	最大値	単位
分解能 (ALV パッケージ)				12		ビット
V_{ADC0_VREFP} (1)	正のリファレンス電圧、ADC0_VREFP		1.71		1.89	V
V_{ADC0_VREFN} (1)	負のリファレンス電圧、ADC0_VREFN			VSS		V
$V_{ADC_AIN[7:0]}$	アナログ入力電圧、ADC_AIN[7:0]、フルスケール		VSS		VDDA_ADC0	V
DNL	微分非直線性		> -1		+1	LSB
INL	積分非直線性		-2		+2	LSB
$LSB_{GAIN-ERROR}$	ゲイン誤差			±10		LSB
$LSB_{OFFSET-ERROR}$	オフセット誤差			±5		LSB
SNR	信号対雑音比	入力信号: 200kHz 正弦波、-0.5dB フルスケール		70		dB
THD	全高調波歪み	入力信号: 200kHz 正弦波、-0.5dB フルスケール		-75		dB
$Z_{ADC_AIN[0:7]}$	アナログ入力インピーダンス、ADC0_AIN[7:0]			(2)		Ω
I_{IN}	入力リーケージ			±10		µA
C_{SMPL}	サンプリング容量			5.5		pF
サンプリング動特性						
F_{SMPL_CLK}	ADC0 SMPL_CLK 周波数			60		MHz
t_C	変換時間			13		ADC0 SMPL_CLK サイクル
t_{ACQ}	アクイジション時間		2		257	ADC0 SMPL_CLK サイクル
T_R	サンプリング レート	ADC0 SMPL_CLK = 60MHz			4	MSPS
汎用入力モード (3)						
V_{IL}	入力 Low 電圧				0.35 × VDDA_ADC0	V
V_{ILSS}	入力 Low 電圧 (定常状態)				0.35 × VDDA_ADC0	V
V_{IH}	入力 High 電圧		0.65 × VDDA_ADC0			V
V_{IHSS}	入力 High 電圧 (定常状態)		0.65 × VDDA_ADC0			V
V_{HYS}	入力ヒステリシス電圧		200			mV
I_I	入力リーク電流	ADC0_AIN[7:0] = VDDA_ADC0 または ADC0_AIN[7:0] = VSS			10	µA

(1) ADC0_REFP および ADC0_REFN リファレンス入力は、高過渡電源レールとして扱う必要があるアナログ入力です。ADC0_REFN は、その他のすべての VSS ピンとともに PCB のグランド プレーンに直接接続する必要があり、ADC0_REFP は、4mA 以上の電流を供給できる電源に接続する必要があります。電源の電圧許容誤差が ADC の基準電圧として許容可能な精度である場合、ADC0_REFP を VDDA_ADC0 と同じ電源に接続できます。高周波数デカップリング コンデンサを ADC0_REFP および ADC0_REFN ピンにビアで直接接続し、PCB 裏面のボール アレイ内に配置する必要があります。

Copyright © 2024 Texas Instruments Incorporated

(2) アクイジション時間とアクイジション周波数をユーザーが設定できるように、ADC0_AIN ピンは内部サンプリング コンデンサに接続されています。ADC0_AIN ピンの入力インピーダンスはサンプリング容量と、ユーザーが設定可能なアクイジション時間およびアクイジション周波数の関数です。設計者は、各 ADC0_AIN ピンのソース インピーダンスによって内部サンプリング コンデンサを充電するのに必要な時間を把握する必要があります。アクイジション時間は、内部サンプリング コンデンサが 14 ビットを超える精度までセトリングするのに十分な長さに設定する必要があります。

(3) ADC0 は汎用入力モードで動作するように構成できます。この場合、すべての ADC0_AIN[7:0] 入力は、デジタル入力として動作するように、ADC0_CTRL レジスタ (gpi_mode_en = 1) によってグローバルに有効化されます。

6.7.8 ADC10B の電気的特性 (ALX パッケージ)

推奨動作条件範囲内 (特に記述のない限り)

パラメータ		テスト条件	最小値	代表値	最大値	単位
分解能 (ALX パッケージ)				10		ビット
V_{ADC0_VREFP} (1)	正のリファレンス電圧		1.71		1.89	V
V_{ADC0_VREFN} (1)	負のリファレンス電圧			VSS		V
$V_{ADC_AIN[7:0]}$	アナログ入力電圧、ADC_AIN[7:0]、フルスケール		VSS		VDDA_ADC0	V
DNL	微分非直線性		> -1		+1	LSB
INL	積分非直線性		-2		+2	LSB
$LSB_{GAIN-ERROR}$	ゲイン誤差			±10		LSB
$LSB_{OFFSET-ERROR}$	オフセット誤差			±5		LSB
SNR	信号対雑音比	入力信号: -0.5dB フルスケールで 200kHz の正弦波		65		dB
THD	全高調波歪み	入力信号: -0.5dB フルスケールで 200kHz の正弦波		-64		dB
$Z_{ADC_AIN[0:7]}$	アナログ入力インピーダンス、ADC0_AIN[7:0]			(2)		Ω
I_{IN}	入力リーケージ			±10		µA
C_{SMPL}	e サンプリング容量			5.5		pF
サンプリングのダイナミック特性						
F_{SMPL_CLK}	ADC0 SMPL_CLK 周波数			60		MHz
t_C	変換時間			13		ADC0 SMPL_CLK のサイクル
t_{ACQ}	アクイジション時間		2		257	ADC0 SMPL_CLK のサイクル
T_R	サンプリング レート	ADC0 SMPL_CLK = 60MHz			4	MSPS
汎用入出力 (3)						
V_{IL}	入力 Low 電圧				0.35 × VDDA_ADC0	V
V_{ILSS}	入力 Low 電圧の定常状態				0.35 × VDDA_ADC0	V
V_{IH}	入力 High 電圧		0.65 × VDDA_ADC0			V
V_{IHSS}	入力 High 電圧の定常状態		0.65 × VDDA_ADC0			V
V_{HYS}	入力ヒステリシス電圧		200			mV
I_I	入力リーク電流	ADC0_AIN[7:0] = VDDA_ADC0 または ADC0_AIN[7:0] = VSS			10	µA

(1) ADC0_REFP と ADC0_REFN は、SoC 内の VDDA_ADC0 と VSS に直接接続されています。この表の ADC0_REFP と ADC0_REFN への参照は、VDDA_ADC0 または VSS と見なす必要があります。

(2) ADC0_AIN ピンは内部サンプリング コンデンサに接続され、アクイジション時間とアクイジション周波数をユーザーが構成可能です。ADC0_AIN ピンの入力インピーダンスはサンプリング容量の関数で、アクイジション時間とアクイジション周波数はユーザーが構成可能です。設計者は、各 ADC0_AIN ピンのソース インピーダンスによって内部サンプリング コンデンサを充電するのに必要な時間を把握する必要があります。アクイジション時間は、内部サンプリング コンデンサが 14 ビットを超える精度でセトリングするのに十分な長さに設定する必要があります。

Copyright © 2024 Texas Instruments Incorporated

(3) ADC0 は汎用入力モードで動作するよう構成できます。このモードでは、すべての ADC0_AIN[7:0] 入力が ADC0_CTRL レジスタ (GPI_MODE_EN = 1) を介してデジタル入力として動作するようグローバルに有効化されます。

6.7.9 USB2PHY の電気的特性

注

USB0 インターフェイスは、2000 年 4 月 27 日付けの Universal Serial Bus Revision 2.0 仕様 (該当する ECN およびエラッタを含む) に準拠しています。

6.7.10 SerDes PHY の電気的特性

注

PCIe インターフェイスは、『PCI Express® 基本仕様リビジョン 4.0』(2014 年 2 月 19 日) に規定された電気的パラメータに準拠しています。

注

USB0 インスタンスは、『ユニバーサル シリアル バス 3.1 仕様リビジョン 1.0』(2013 年 7 月 26 日) で定義された USB3.1 SuperSpeed トランスミッタおよびレシーバの標準電気的パラメータに準拠しています。

6.7.11 DDR の電気的特性

注

DDR インターフェイスは、**JESD79-4B** 規格準拠の DDR4 デバイスや、**JESD209-4B** 規格準拠の LPDDR4 デバイスと互換性があります

6.8 ワンタイム プログラマブル (OTP) eFuse の VPP 仕様

このセクションは、OTP eFuse のプログラミングに必要な動作条件を規定しています。。

6.8.1 OTP eFuse プログラミングの推奨動作条件

接合部動作温度範囲内 (特に記述のない限り)

パラメータ	説明	最小値	公称値	最大値	単位
VDD_CORE	OTP 動作中のコア ドメインの電源電圧範囲、OPP NOM (BOOT)	推奨動作条件を参照			V
VPP	通常動作時の eFuse ROM ドメインの電源電圧範囲 (eFuse ROM をプログラミングするためのハードウェア サポートなし)		NC (1)		V
	通常動作時の eFuse ROM ドメインの電源電圧範囲 (eFuse ROM をプログラミングするためのハードウェア サポートあり)		0		V
	OTP プログラミング時の eFuse ROM ドメインの電源電圧範囲(2)	1.71	1.8	1.89	V
$I_{(VPP)}$	VPP 電流			400	mA
$SR_{(VPP)}$	VPP スルーレート			6E+4	V/s
T_J	eFuse ROM プログラミング時の動作時接合部温度範囲	0	25	85	℃

(1) NC は「接続なし」を表します。
(2) 電源電圧範囲には、DC 誤差およびピーク ツー ピーク ノイズが含まれます。

6.8.2 ハードウェア要件

OTP eFuse にキーをプログラムする場合、以下のハードウェア要件を満たす必要があります。

- OTP レジスタをプログラムしないときは、VPP 電源をディセーブルにする必要があります。
- VPP 電源は、適切なデバイス電源オン シーケンスの後にランプアップする必要があります (詳細については、セクション 6.10.2「電源シーケンス」を参照してください)。

6.8.3 プログラミング シーケンス

OTP eFuse のプログラミング シーケンス:

- パワーアップ シーケンシングに従ってボードに電源を投入します。パワーアップ時および通常動作中は、VPP 端子に電圧を印加しないでください。
- eFuse のプログラミングに必要な OTP 書き込みソフトウェアをロードします (OTP ソフトウェア パッケージについては、お近くの TI 代理店にお問い合わせください)。
- セクション 6.8.1 に示す仕様に従って、VPP 端子に電圧を印加します。
- OTP レジスタをプログラムするソフトウェアを実行します。
- OTP レジスタの内容を検証した後、VPP 端子から電圧を取り除きます。

6.8.4 ハードウェア保証への影響

お客様は、セキュリティ キーによりテキサス・インスツルメンツのデバイスに e-Fuse を使用することは、デバイスを永続的に変更する、ということに同意するものとします。お客様は、プログラム シーケンスが正しくないか中止された場合や、シーケンス ステップを省略した場合などに、e-Fuse が失敗する可能性があることを認めます。さらに、プロダクション キーのエラー コード訂正チェックが失敗した場合、またはイメージが署名されておらず、オプションとして現在アクティブなプロダクション キーで暗号化されていない場合、テキサス・インスツルメンツのデバイスはセキュア ブートに失敗する可能性があります。このような障害が発生すると、テキサス・インスツルメンツのデバイスが動作不能になることがあり、テキサス・インスツルメンツは eFuse を試行する前に、テキサス・インスツルメンツのデバイスがそのデバイス仕様に準拠していることを確認できなくなります。そのため、セキュリティ キーで eFuse が実行されたテキサス・インスツルメンツのデバイスについて、テキサス・インスツルメンツは一切の責任 (保証またはその他の責任) を負いません。

Copyright © 2024 Texas Instruments Incorporated

6.9 熱抵抗特性

動作および信頼性上の懸念から、本デバイスの最大接合部温度は、「推奨動作条件」に示された T_J 値以下にする必要があります。

6.9.1 熱抵抗特性

表 6-2. 熱抵抗特性

テキサス・インスツルメンツは、ワーストケースのデバイス消費電力を使ってシステム レベルの熱シミュレーションを実行することを推奨します。

番号	パラメータ (1)	説明	°C/W (2)	空気流 (m/s) (3)
ALV パッケージ				
T1	$R\Theta_{JC}$	接合部とケースとの間	0.98	該当なし
T2	$R\Theta_{JB}$	接合部と基板との間	3.87	該当なし
T3	$R\Theta_{JA}$	接合部と自由空気との間	12.8	0
T4	$R\Theta_{JA}$	接合部と空気流との間	9.2	1
T5			8.2	2
T6			7.6	3
T7	Ψ_{JT}	接合部とパッケージ上面との間	0.53	0
T8			0.55	1
T9			0.57	2
T10			0.58	3
T11	Ψ_{JB}	接合部と基板との間	3.74	0
T12			3.5	1
T13			3.4	2
T14			3.3	3
ALX パッケージ				
T1	$R\Theta_{JC}$	接合部とケースとの間	4.8	該当なし
T2	$R\Theta_{JB}$	接合部と基板との間	5.4	該当なし
T3	$R\Theta_{JA}$	接合部と自由空気との間	19.8	0
T4	$R\Theta_{JA}$	接合部と空気流との間	14.1	1
T5			13	2
T6			12.3	3
T7	Ψ_{JT}	接合部とパッケージ上面との間	0.06	0
T8			0.16	1
T9			0.21	2
T10			0.25	3
T11	Ψ_{JB}	接合部と基板との間	5.3	0
T12			4.95	1
T13			4.88	2
T14			4.83	3

(1) これらの値は、JEDEC により定義された 2S2P システム (JEDEC 定義の 1S0P システムによる θ JC [RΘJC] 値を除く) に基づいており、周囲環境とアプリケーションによって変化することがあります。詳細については、EIA/JEDEC 規格を参照してください。
- JESD51-2、『IC の熱テスト手法の環境条件 - 自然対流 (静止空気)』
- JESD51-3、『リード付き表面実装パッケージ用の有効熱伝導率の低いテスト基板』
- JESD51-6、『IC の熱テスト手法の環境条件 - 自然対流 (空気流)』
- JESD51-7、『リード付き表面実装パッケージ用の有効熱伝導率の高いテスト基板』
- JESD51-9、『エリア アレイ表面実装パッケージの熱測定用テスト基板』

(2) °C/W = 摂氏温度 / ワット。
(3) m/s = メートル/秒。

6.10 タイミングおよびスイッチング特性

このセクションでは、本デバイスのタイミング パラメータとスイッチング特性について説明します。

6.10.1 タイミング パラメータおよび情報

「タイミングおよびスイッチング特性」セクションで使用されるタイミング パラメータの記号は、JEDEC 規格 100 に従って作成されています。記号を短縮するために、ピン名およびその他の関連用語の一部を 表 6-3 に示すように短縮しました。

表 6-3. タイミング パラメータの添え字

記号、シンボル	パラメータ
c	サイクル時間 (周期)
d	遅延時間
dis	ディセーブル時間
en	イネーブル時間
h	ホールド時間
su	セットアップ時間
START	スタート ビット
t	遷移時間
v	有効時間
w	パルス幅
X	未知の、変化している、ドント ケアのレベル
F	立ち下がり時間
H	High
L	Low
R	立ち上がり時間
V	有効
IV	無効
AE	アクティブ エッジ
FE	最初のエッジ
LE	最後のエッジ
Z	高インピーダンス

Copyright © 2024 Texas Instruments Incorporated

6.10.2 電源要件

このセクションでは、デバイスが適切に動作するために必要な電源要件について説明します。

注

「信号説明」と「ピン接続要件」に特に記述のない限り、すべての電源ボールは、「推奨動作条件」に規定された電圧で供給する必要があります。

6.10.2.1 電源スルーレートの要件

内部 ESD 保護デバイスの安全な動作範囲を維持するため、電源の最大スルーレートを 18 mV/µs 未満に制限することを推奨します。たとえば、図 6-2 に示すように、1.8V 電源については、ランプ スルーが 100µs を超えるものを使用することを推奨します。

図 6-2 に、デバイスの電源スルー レートの要件を示します。

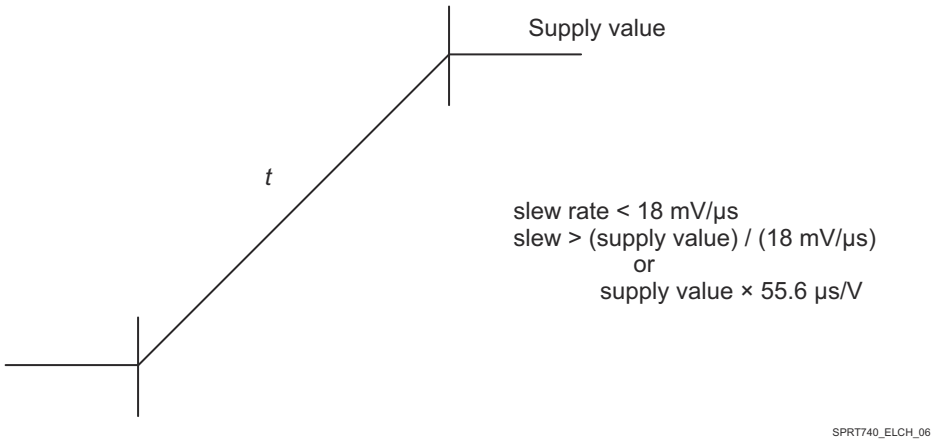


図 6-2. 電源のスルーおよびスルーレート

6.10.2.2 電源シーケンス

このセクションでは、電源シーケンスの図と関連する注を使用して、電源シーケンス要件について説明します。各電源シーケンスの図は、デバイスの各電源レールに必要な順序を表しており、それをデバイスの各電源レールを 1 つまたは複数の波形に割り当てることによって示しています。デュアル電圧電源レールは複数の波形に関連付けられている場合があり、どの波形が該当するかは関連する注に記載されています。各波形は、関連する電源レールの遷移領域を定義し、他の電源レールの遷移領域との順序関係を示しています。電源シーケンスの図に関連する注に、これらの要件の詳細が記載されています。パワーアップ要件の詳細については「パワーアップ シーケンス」セクション、パワーダウン要件の詳細については「パワーダウン シーケンス」セクションを参照してください。

電源シーケンスの図を簡素化するため、2 種類の電源遷移領域が使用されています。図 6-3 および図 6-4 の凡例と説明に、各遷移領域が何を表しているかが明記されています。

図 6-3 は、複数の電源または 1 つの電源から給電される複数の電源レールの遷移領域を定義しています。遷移領域内に示されている遷移は、この波形に関連する電源レールに給電するために複数の電源が使用されている使用事例を表しています。これらの電源には相対的なシーケンス要件はないため、領域内で異なる時間に立ち上げることが可能です。

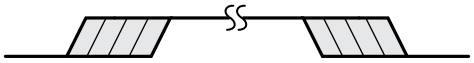


図 6-3. 複数の電源遷移の凡例

図 6-4 は、1 つの共通電源から給電する必要がある 1 つ以上の電源レールの遷移領域を定義しています。遷移領域内で 1 つの立ち上がりを表すため、領域内に遷移は示されていません。

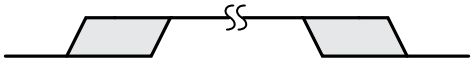
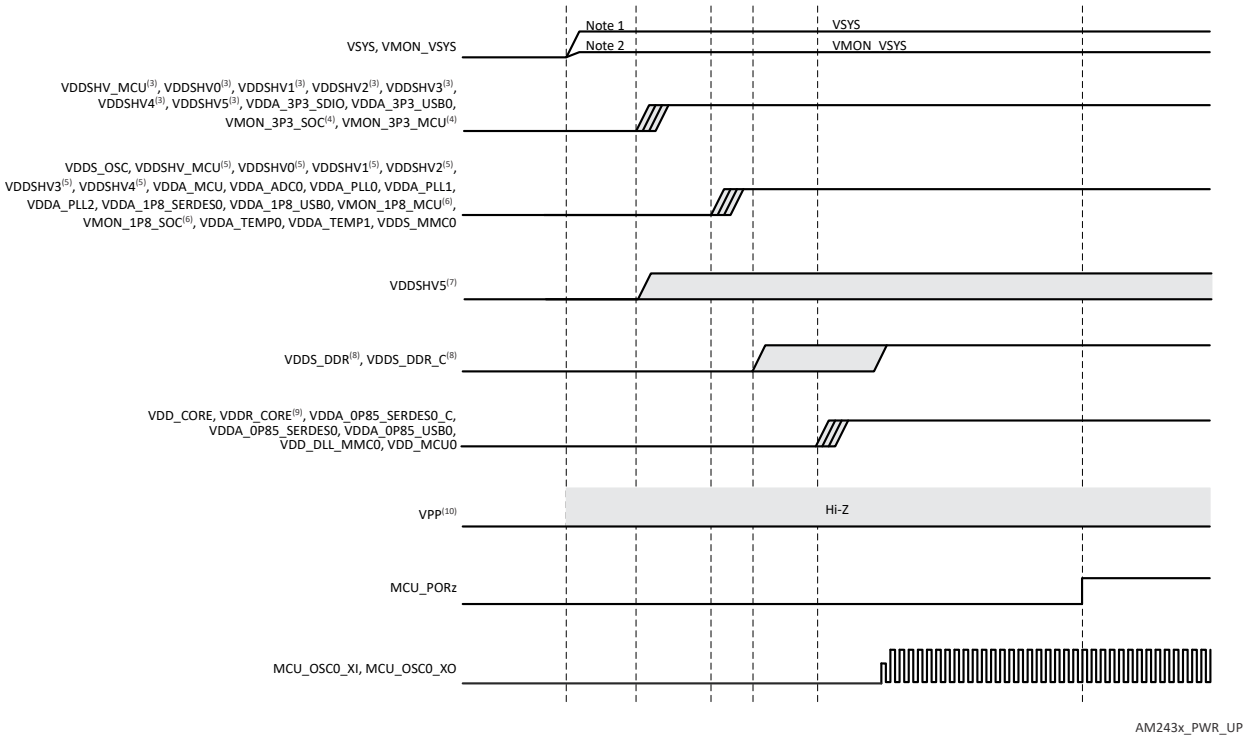


図 6-4. 1 つの共通電源遷移の凡例

Copyright © 2024 Texas Instruments Incorporated

6.10.2.2.1 パワーアップ シーケンシング

この図は、本デバイスのパワーアップ シーケンスを示しています。



1. VSYS は、システム全体に電力を供給する電源の名前を表します。この電源は、その他のすべての電源に電力を供給するパワー マネージメント デバイスに給電するあらかじめ安定化された電源である必要があります。
2. VMON_VSYS 入力は、外付け抵抗分圧回路を使って VSYS を監視するために使用されます。詳細については、『システム電源監視設計ガイドライン』を参照してください。
3. VDDSHV_MCU と VDDSHVx [x = 0～5] は、アプリケーションの要件に応じて 1.8V または 3.3V で動作させることができるデュアル電圧 IO 電源です。VDDSHV_MCU 電源、VDDSHVx [x = 0～5] IO 電源のいずれかが 3.3V で動作している場合、この波形で定義された 3.3V ランプ期間中、その他の 3.3V 電源を使って電圧を上昇させます。
4. VMON_3P3_MCU および VMON_3P3_SOC 入力は、電源電圧を監視するために使います。これらの入力は、それぞれの 3.3V 電源に接続します。
5. VDDSHV_MCU と VDDSHVx [x = 0～5] は、アプリケーションの要件に応じて 1.8V または 3.3V で動作させることができるデュアル電圧 IO 電源です。VDDSHV_MCU 電源、VDDSHVx [x = 0～5] IO 電源のいずれかが 1.8V で動作している場合、この波形で定義された 1.8V ランプ期間中、その他の 1.8V 電源を使って電圧を上昇させます。
6. VMON_1P8_MCU および VMON_1P8_SOC 入力は、電源電圧を監視するために使います。これらの入力は、それぞれの 1.8V 電源に接続します。
7. VDDSHV5 は、その他の電源レールに依存せずに、パワーアップ、パワーダウン、動的電圧変化をサポートするように

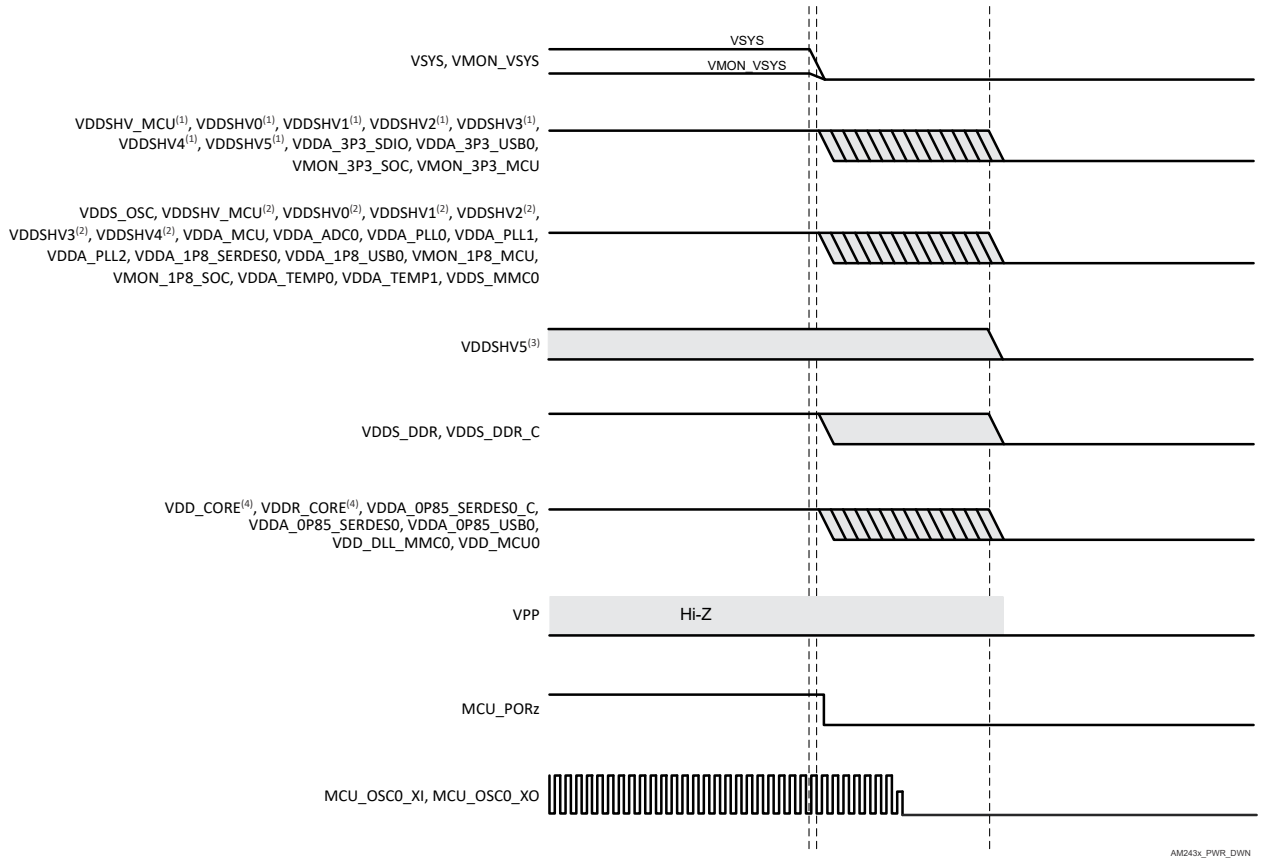
   設計されています。この機能は、UHS-I SD カードをサポートするために必要です。
8. VDDS_DDR と VDDS_DDR_C には、それらの電圧が一緒に上昇するように、同じ電源から給電する必要があります。
9. VDD_CORE と VDDR_CORE には、それらの電圧が一緒に上昇するように、同じ電源から給電する必要があります。

10. VPP は 1.8V EFUSE プログラミング電源であり、パワーアップ / ダウン シーケンス中および通常デバイス動作中、フローティング (HiZ) のままにするか、グランドに接続する必要があります。この電源には、eFuse のプログラミング中にのみ電力を供給します。

Copyright © 2024 Texas Instruments Incorporated

6.10.2.2.2 電源切断シーケンシング

下図に、このデバイスのパワーダウン シーケンスを示します。



1. 3.3V 動作時の VDDSHV_MCU と VDDSHVx [x = 0～5]。
2. 1.8V 動作時の VDDSHV_MCU と VDDSHVx [x = 0～5]。
3. VDDSHV5 は、その他の電源レールに依存せずに、パワーアップ、パワーダウン、動的電圧変化をサポートするように設計されています。この機能は、UHS-I SD カードをサポートするために必要です。
4. VDD_CORE と VDDR_CORE には、それらの電圧が一緒に上昇するように、同じ電源から給電する必要があります。

6.10.3 システムのタイミング

サブシステム多重化信号の機能の詳細と追加の説明情報については、「信号の説明」および「詳細説明」セクションの対応するサブセクションを参照してください。

6.10.3.1 リセット タイミング

このセクションの表と図では、リセット関連信号のタイミング条件、タイミング要件、スイッチング特性を定義します。

表 6-4. リセットのタイミング条件

パラメータ			最小値	最大値	単位
入力条件					
SR_I	入力スルーレート	VDD (1) = 1.8V	0.0018		V/ns
		VDD (1) = 3.3V	0.0033		V/ns
出力条件					
C_L	出力負荷容量			30	pF

(1) VDD は、対応する電源を表します。電源名および対応するボールの詳細については、「ピン属性」表の「電源」の欄を参照してください。

表 6-5. MCU_PORz のタイミング要件

図 6-5 を参照

番号	パラメータ		最小値	最大値	単位
RST1	$t_{h(SUPPLIES_VALID - MCU_PORz)}$	ホールド時間、パワーアップ時に電源が有効になった後、MCU_PORz アクティブ (Low) の間 (外付け水晶振動子回路使用の場合)	9500000		ns
RST2		ホールド時間、パワーアップ時に電源が有効になり、かつ外部クロックが安定した後、MCU_PORz アクティブ (Low) の間 (外部 LVCMOS クロック源使用の場合)	1200		ns
RST3	$t_{w(MCU_PORzL)}$	パルス幅、電源投入後の MCU_PORz Low (電源またはシステム基準クロック MCU_OSC0_XI/XO が維持されている場合)	1200		ns

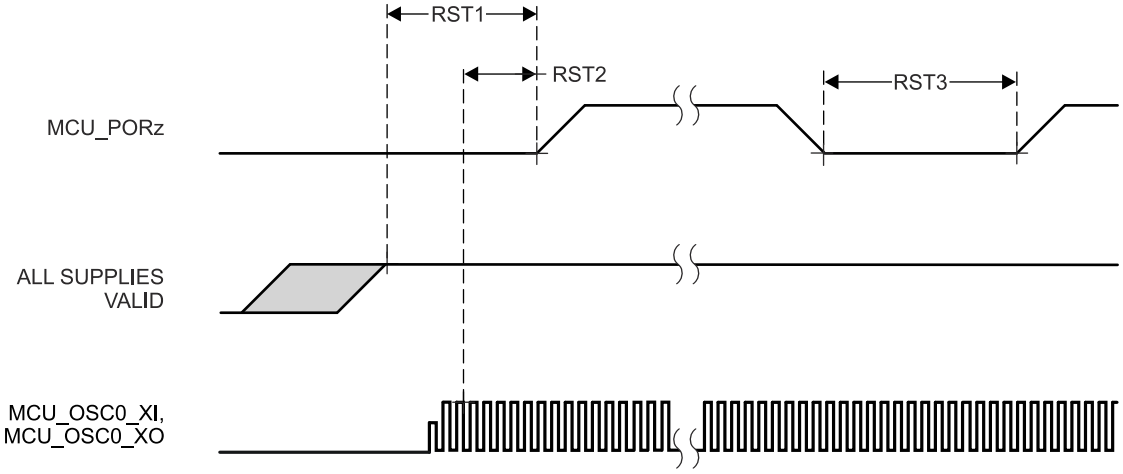


図 6-5. MCU_PORz のタイミング要件

Copyright © 2024 Texas Instruments Incorporated

表 6-6. MCU_RESETSTATz と RESETSTATz のスイッチング特性

図 6-6 を参照

番号	パラメータ		最小値	最大値	単位
RST4	$t_{d(MCU_PORzL-MCU_RESETSTATzL)}$	遅延時間、MCU_PORz アクティブ (low) から MCU_RESETSTATz アクティブ (low) まで	0		ns
RST5	$t_{d(MCU_PORzH-MCU_RESETSTATzH)}$	遅延時間、MCU_PORz 非アクティブ (high) から MCU_RESETSTATz 非アクティブ (high) まで	6120*S (1)		ns
RST6	$t_{d(MCU_PORzL-RESETSTATzL)}$	遅延時間、MCU_PORz アクティブ (low) から RESETSTATz アクティブ (low) まで	0		ns
RST7	$t_{d(MCU_PORzH-RESETSTATzH)}$	遅延時間、MCU_PORz 非アクティブ (high) から RESETSTATz 非アクティブ (high) まで	9195*S (1)		ns
RST8	$t_{w(MCU_RESETSTATzL)}$	パルス幅、MCU_RESETSTATz Low (SW_MCU_WARMRST)	966*S (1)		ns
RST9	$t_{w(RESETSTATzL)}$	パルス幅、RESETSTATz Low (SW_MCU_WARMRST、SW_MAIN_PORz、SW_MAIN_WARMRST)	4040*S		ns

(1) S = MCU_OSC0_XI/XO クロック周期 (ns)。

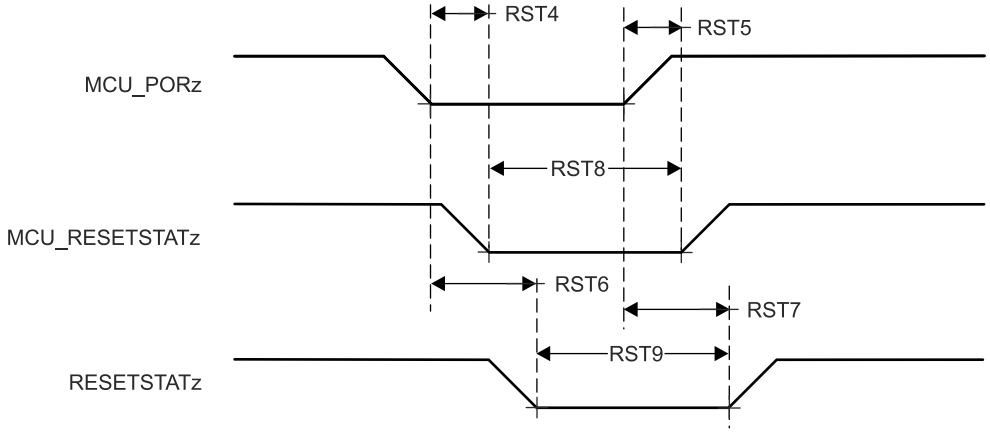


図 6-6. MCU_RESETSTATz と RESETSTATz のスイッチング特性

表 6-7. MCU_RESETz のタイミング要件

図 6-7 を参照

番号	パラメータ		最小値	最大値	単位
RST10	$t_{w(MCU_RESETzL)}$ (1)	パルス幅、MCU_RESETz アクティブ (Low)	1200		ns

(1) このタイミング パラメータは、すべての電源が有効になり、MCU_PORz が指定された時間アサートされた後にのみ有効です。

表 6-8. MCU_RESETSTATz と RESETSTATz のスイッチング特性

図 6-7 を参照

番号	パラメータ		最小値	最大値	単位
RST11	$t_{d(MCU_RESETzL-MCU_RESETSTATzL)}$	遅延時間、MCU_RESETz アクティブ (low) から MCU_RESETSTATz アクティブ (low) まで	0		ns
RST12	$t_{d(MCU_RESETzH-MCU_RESETSTATzH)}$	遅延時間、MCU_RESETz 非アクティブ (high) から MCU_RESETSTATz 非アクティブ (high) まで	966*S (1)		ns
RST13	$t_{d(MCU_RESETzL-RESETSTATzL)}$	遅延時間、MCU_RESETz アクティブ (low) から RESETSTATz アクティブ (low) まで	960		ns
RST14	$t_{d(MCU_RESETzH-RESETSTATzH)}$	遅延時間、MCU_RESETz 非アクティブ (high) から RESETSTATz 非アクティブ (high) まで	4040*S (1)		ns

(1) S = MCU_OSC0_XI/XO クロック周期 (ns)。

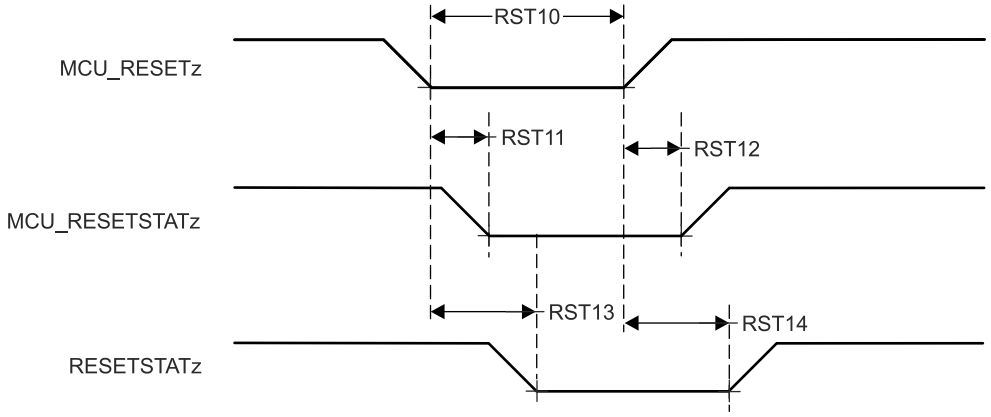


図 6-7. MCU_RESETz、MCU_RESETSTATz、RESETSTATz のタイミング要件とスイッチング特性

Copyright © 2024 Texas Instruments Incorporated

表 6-9. RESET_REQz のタイミング要件

図 6-8 を参照

番号	パラメータ		最小値	最大値	単位
RST15	$t_{w(RESET_REQzL)}$ (1)	パルス幅、RESET_REQz アクティブ (Low)	1200		ns

(1) このタイミング パラメータは、すべての電源が有効になり、MCU_PORz が指定された時間アサートされた後にのみ有効です。

表 6-10. RESETSTATz のスイッチング特性

図 6-8 を参照

番号	パラメータ		最小値	最大値	単位
RST16	$t_{d(RESET_REQzL-RESETSTATzL)}$	遅延時間、RESET_REQz アクティブ (low) から RESETSTATz アクティブ (low) まで	900*T (1)		ns
RST17	$t_{d(RESET_REQzH-RESETSTATzH)}$	遅延時間、RESET_REQz 非アクティブ (high) から RESETSTATz 非アクティブ (high) まで	4040*S (2)		ns

(1) T = リセット分離時間 (ソフトウェアに依存)
(2) S = MCU_OSC0_XI/XO クロック周期 (ns)。

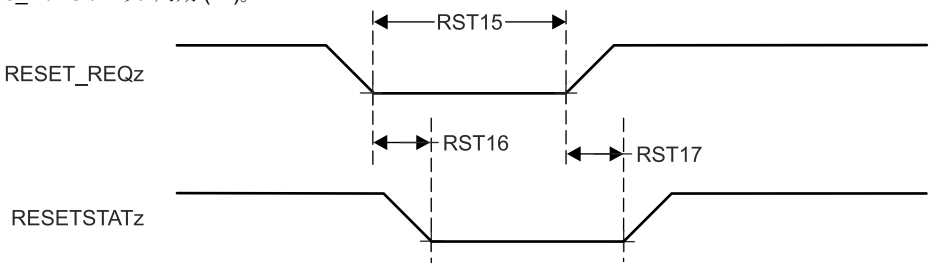


図 6-8. RESET_REQz と RESETSTATz のタイミング要件とスイッチング特性

表 6-11. EMUx のタイミング要件

図 6-9 を参照

番号	パラメータ		最小値	最大値	単位
RST18	$t_{su(EMUx-MCU_PORz)}$	セットアップ時間、EMU[1:0] から MCU_PORz 非アクティブ (high) まで	3*S (1)		ns
RST19	$t_{h(MCU_PORz - EMUx)}$	ホールド時間、MCU_PORz 非アクティブ (high) から EMU[1:0] 有効の間	10		ns

(1) S = MCU_OSC0_XI/XO クロック周期 (ns)。

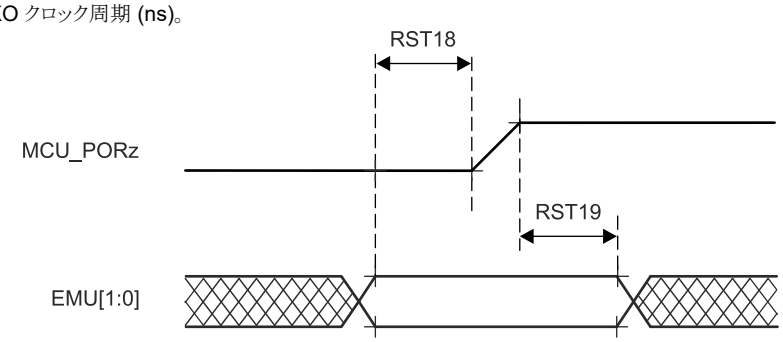


図 6-9. EMUx のタイミング要件

表 6-12. BOOTMODE のタイミング要件

図 6-10 を参照

番号	パラメータ		最小値	最大値	単位
RST23	$t_{su(BOOTMODE-PORz_OUT)}$	セットアップ時間、BOOTMODE[15:00] から PORz_OUT High (外部 MCU Porz イベントまたはソフトウェア SW_MAIN_PORz) まで	3*S (1)		ns
RST24	$t_{h(PORz_OUT - BOOTMODE)}$	ホールド時間、PORz_OUT High (外部 MCU PORz イベントまたはソフトウェア SW_MAIN_PORz) から BOOTMODE[15:00] の間	0		ns

(1) S = MCU_OSC0_XI/XO クロック周期 (ns)。

表 6-13. PORz_OUT のスイッチング特性

図 6-10 を参照

番号	パラメータ		最小値	最大値	単位
RST25	$t_{d(MCU_PORzL-PORz_OUT)}$	遅延時間、MCU_PORz アクティブ (low) から PORz_OUT アクティブ (low) まで	0		ns
RST26	$t_{d(MCU_PORzH-PORz_OUT)}$	遅延時間、MCU_PORz 非アクティブ (high) から PORz_OUT 非アクティブ (high) まで	1840		ns
RST27	$t_{w(PORz_OUTL)}$	パルス幅 PORz_OUT Low (MCU_PORz または SW_MAIN_PORz)	1200		ns

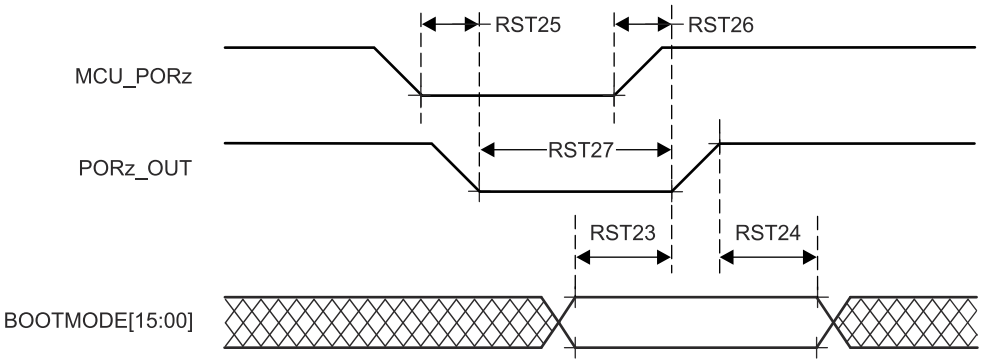


図 6-10. BOOTMODE のタイミング要件と PORz_OUT のスイッチング特性

Copyright © 2024 Texas Instruments Incorporated

6.10.3.2 安全信号タイミング

このセクションの表と図では、MCU_SAFETY_ERRORn のタイミング条件とスイッチング特性を定義します。

表 6-14. MCU_SAFETY_ERRORn のタイミング条件

パラメータ		最小値	最大値	単位
出力条件				
C_L	出力負荷容量		30	pF

表 6-15. MCU_SAFETY_ERRORn のスイッチング特性

図 6-11 参照

番号	パラメータ		最小値	最大値	単位
SFTY1	$t_{c(MCU_SAFETY_ERRORn)}$	最小サイクル時間、MCU_SAFETY_ERRORn (PWM モード有効)	(P*H)+(P*L)(1) (3) (4)		ns
SFTY2	$t_{w(MCU_SAFETY_ERRORn)}$	最小パルス幅、MCU_SAFETY_ERRORn アクティブ (PWM モード無効) (5)	P*R(1) (2)		ns
SFTY3	$t_{d\ (ERROR_CONDITION-MCU_SAFETY_ERRORnL)}$	遅延時間、エラー状態から MCU_SAFETY_ERRORn アクティブまで (5)	50*P(1)		ns

(1) P = ESM 機能クロック
(2) R = エラー ピン カウンタ プリロード レジスタ カウント値
(3) H = エラー ピン PWM High プリロード レジスタ カウント値
(4) L = エラー ピン PWM Low プリロード レジスタ カウント値
(5) PWM モードが有効化されている場合、SFTY3 の後、MCU_SAFETY_ERRORn はトグルを停止し、エラーがクリアされるまでその値 (High と Low のどちらか) を維持します。PWM モードが無効化されている場合、MCU_SAFETY_ERRORn はアクティブ Low です。

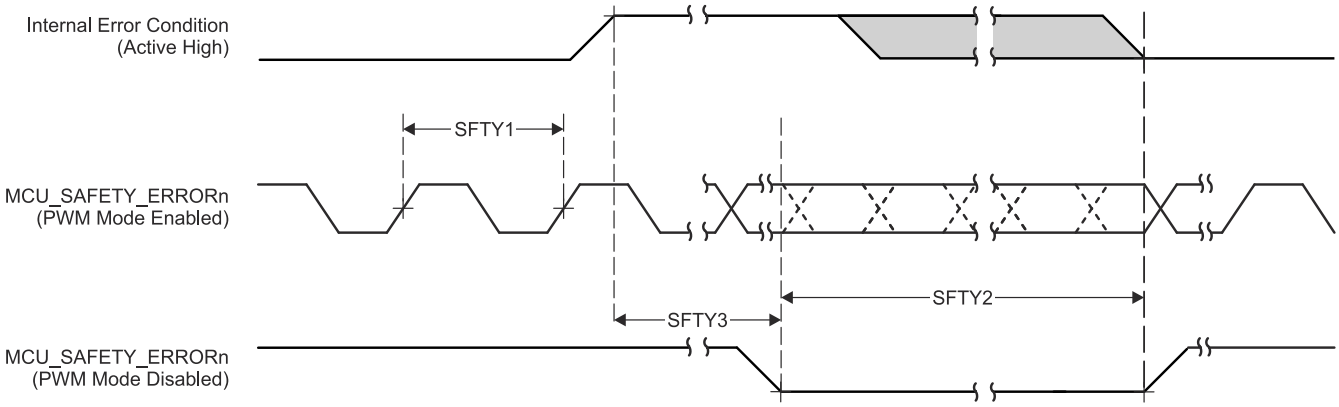


図 6-11. MCU_SAFETY_ERRORn のタイミング要件とスイッチング特性

6.10.3.3 クロックのタイミング

このセクションの表と図では、クロック信号のタイミング条件、タイミング要件、スイッチング特性を定義します。

表 6-16. クロックのタイミング条件

パラメータ			最小値	最大値	単位
入力条件					
SR_I	入力スルーレート		0.5		V/ns
出力条件					
C_L	出力負荷容量	10ns ≦ t_c < 20ns		10	pF
		20ns ≦ t_c		30	pF

表 6-17. クロックのタイミング要件

図 6-12 参照

番号			最小値	最大値	単位
CLK1	$t_{c(EXT_REFCLK1)}$	最小サイクル時間、EXT_REFCLK1	10		ns
CLK2	$t_{w(EXT_REFCLK1H)}$	パルス幅、EXT_REFCLK1 High	E*0.45 (1)	E*0.55 (1)	ns
CLK3	$t_{w(EXT_REFCLK1L)}$	パルス幅、EXT_REFCLK1 Low	E*0.45 (1)	E*0.55 (1)	ns
CLK1	$t_{c(MCU_EXT_REFCLK0)}$	最小サイクル時間、MCU_EXT_REFCLK0	10		ns
CLK2	$t_{w(MCU_EXT_REFCLK0H)}$	パルス幅、MCU_EXT_REFCLK0 High	F*0.45 (2)	F*0.55 (2)	ns
CLK3	$t_{w(MCU_EXT_REFCLK0L)}$	パルス幅、MCU_EXT_REFCLK0 Low	F*0.45 (2)	F*0.55 (2)	ns

(1) E = EXT_REFCLK1 サイクル時間
(2) F = MCU_EXT_REFCLK0 サイクル時間

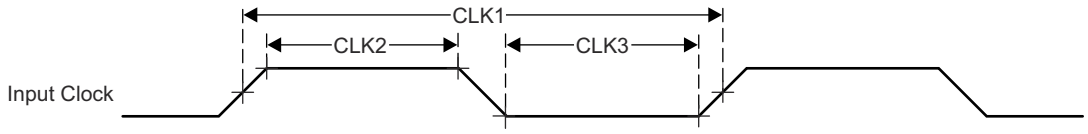


図 6-12. クロックのタイミング要件

Copyright © 2024 Texas Instruments Incorporated

表 6-18. クロックのスイッチング特性

図 6-13 参照

番号	パラメータ		最小値	最大値	単位
CLK4	$t_{c(SYSCLKOUT0)}$	最小サイクル時間、SYSCLKOUT0	8		ns
CLK5	$t_{w(SYSCLKOUT0H)}$	パルス幅、SYSCLKOUT0 High	A*0.4 (1)	A*0.6 (1)	ns
CLK6	$t_{w(SYSCLKOUT0L)}$	パルス幅、SYSCLKOUT0 Low	A*0.4 (1)	A*0.6 (1)	ns
CLK4	$t_{c(OBSCLK0)}$	最小サイクル時間、OBSCLK0	5		ns
CLK5	$t_{w(OBSCLK0H)}$	パルス幅、OBSCLK0 High	B*0.45 (2)	B*0.55 (2)	ns
CLK6	$t_{w(OBSCLK0L)}$	パルス幅、OBSCLK0 Low	B*0.45 (2)	B*0.55 (2)	ns
CLK4	$t_{c(CLKOUT0)}$	最小サイクル時間、CLKOUT0	20		ns
CLK5	$t_{w(CLKOUT0H)}$	パルス幅、CLKOUT0 High	C*0.4 (3)	C*0.6 (3)	ns
CLK6	$t_{w(CLKOUT0L)}$	パルス幅、CLKOUT0 Low	C*0.4 (3)	C*0.6 (3)	ns
CLK4	$t_{c(MCU_SYSCLKOUT0)}$	最小サイクル時間、MCU_SYSCLKOUT0	10		ns
CLK5	$t_{w(MCU_SYSCLKOUT0H)}$	パルス幅、MCU_SYSCLKOUT0 High	G*0.4 (4)	G*0.6 (4)	ns
CLK6	$t_{w(MCU_SYSCLKOUT0L)}$	パルス幅、MCU_SYSCLKOUT0 Low	G*0.4 (4)	G*0.6 (4)	ns
CLK4	$t_{c(MCU_OBSCLK0)}$	最小サイクル時間、MCU_OBSCLK0	5		ns
CLK5	$t_{w(MCU_OBSCLK0H)}$	パルス幅、MCU_OBSCLK0 High	H*0.45 (5)	H*0.55 (5)	ns
CLK6	$t_{w(MCU_OBSCLK0L)}$	パルス幅、MCU_OBSCLK0 Low	H*0.45 (5)	H*0.55 (5)	ns

(1) A = SYSCLKOUT0 サイクル時間
(2) B = OBSCLK0 サイクル時間
(3) C = CLKOUT0 サイクル時間
(4) G = MCU_SYSCLKOUT0 サイクル時間
(5) H = MCU_OBSCLK0 サイクル時間

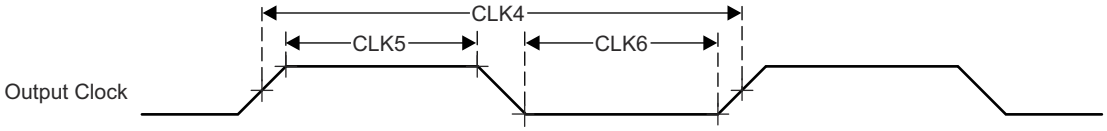


図 6-13. クロックのスイッチング特性

6.10.4 クロック仕様

6.10.4.1 入力クロック / 発振器

本デバイスを駆動するには、各種の外部クロック入力 / 出力が必要です。これらの入力クロック信号の概要は、以下のとおりです。

- MCU_OSC0_XI/MCU_OSC0_XO — 内部基準クロック MCU_HFOSC0_CLKOUT のデフォルト クロック源である内部高周波数発振器 (MCU_HFOSC0) に接続された外部メイン水晶振動子インターフェイス ピン。
- 汎用クロック入力
  - MCU_EXT_REFCLK0 — MCU ドメイン用の任意の外部システム クロック入力。
  - EXT_REFCLK1 — MAIN ドメイン用の任意の外部システム クロック入力。
  - SERDES0_REFCLK0P/N — PCIe 用の任意の SERDES0 基準クロック入力。
- 外部 CPTS 基準クロック入力
  - CP_GEMAC_CPTS0_RFT_CLK — CPTS 基準クロック入力。
  - CPTS_RFT_CLK — CPTS 基準クロック入力。

図 6-14 に、外部入力クロック源と、ペリフェラルへの出力クロックを示します。

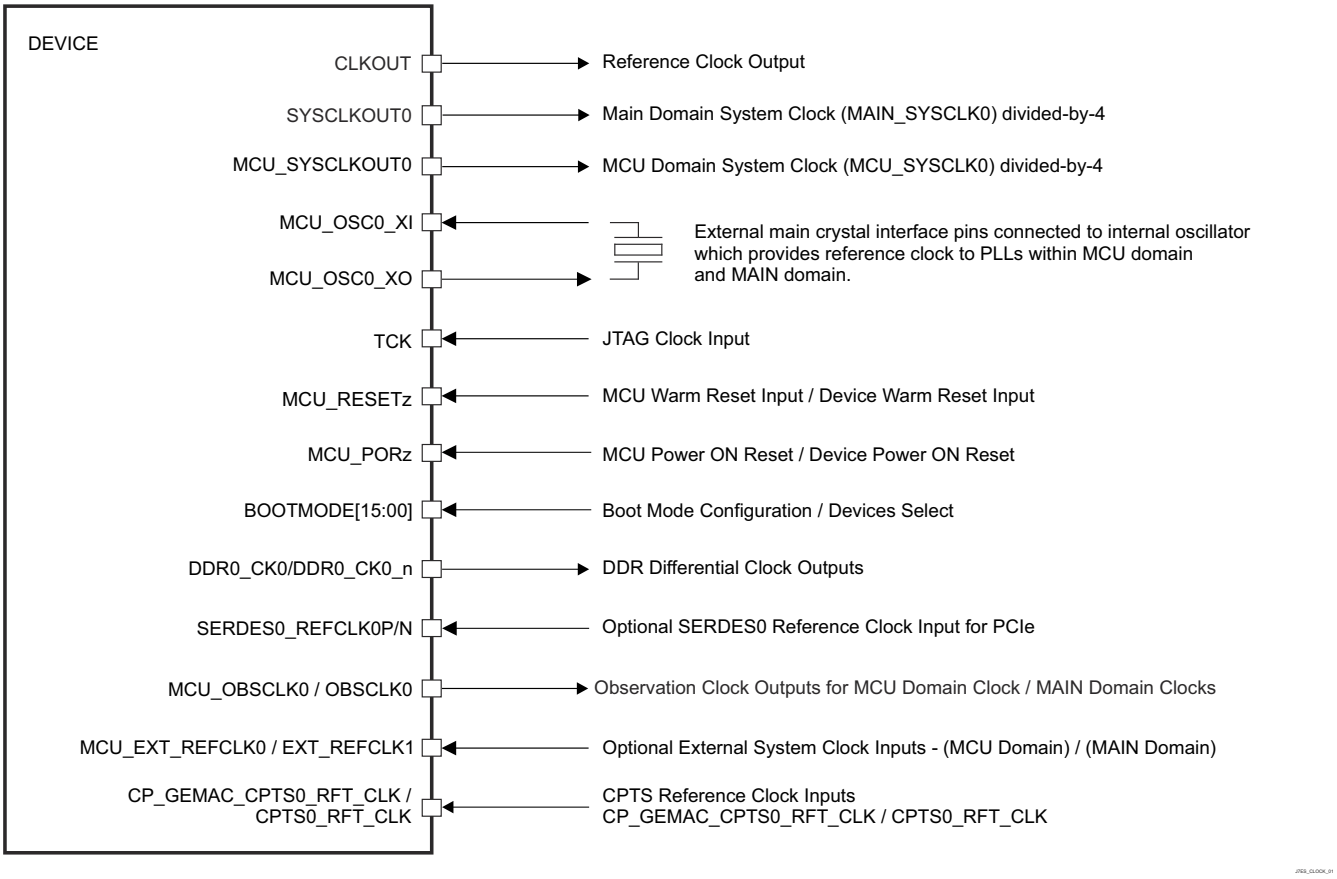


図 6-14. 入力クロック インターフェイス

入力クロック インターフェイスの詳細については、デバイス テクニカル リファレンス マニュアルの「デバイス構成」の章にある「クロック処理」のセクションを参照してください。

Copyright © 2024 Texas Instruments Incorporated

6.10.4.1.1 MCU_OSC0 内部発振器クロック ソース

水晶振動子の推奨回路を、図 6-15 に示します。振動子の回路の実装に使用されるすべてのディスクリート部品は、MCU_OSC0_XI および MCU_OSC0_XO ピンのできるだけ近くに配置する必要があります。

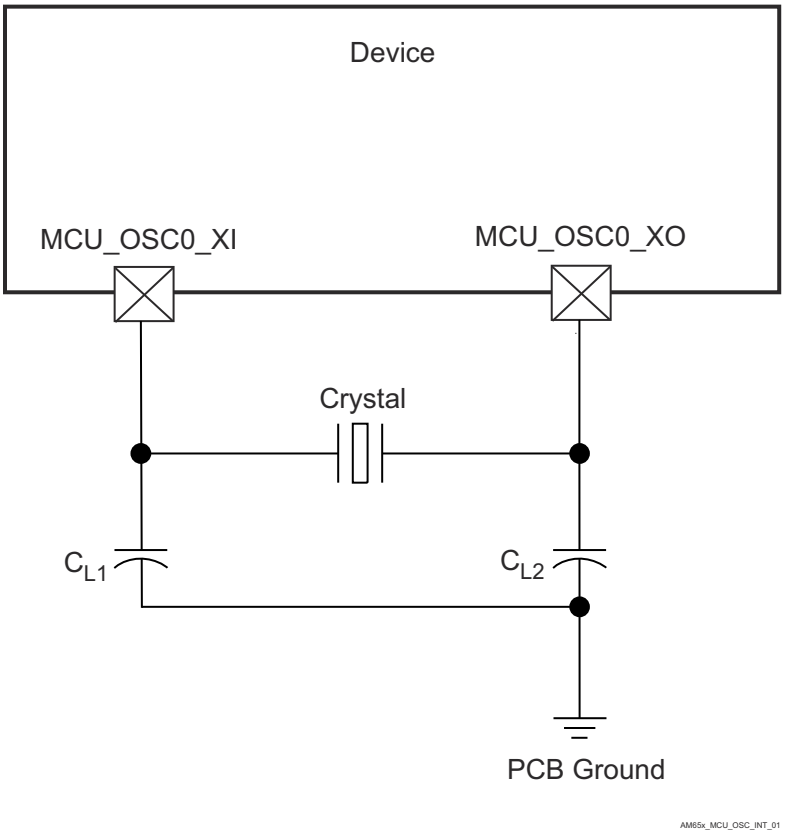


図 6-15. MCU_OSC0 水晶振動子の実装

水晶振動子は、基本動作モード、並列共振である必要があります。必要な電気的制約事項の要約を、表 6-19 に示します。

表 6-19. MCU_OSC0 水晶振動子回路の要件

パラメータ				最小値	代表値	最大値	単位
F_{xtal}	水晶振動子の並列共振周波数				25		MHz
F_{xtal}	水晶振動子の周波数安定性および許容誤差		イーサネット RGMII および RMII は未使用			±100	ppm
			派生クロックを使用するイーサネット RGMII と RMII			±50	
$C_{L1+PCBXI}$	C_{L1} + C_{PCBXI} の容量			12		24	pF
$C_{L2+PCBXO}$	C_{L2} + C_{PCBXO} の容量			12		24	pF
C_L	水晶振動子の負荷容量			6		12	pF
C_{shunt}	水晶発振回路のシャント容量	ESR_{xtal} = 30Ω	25MHz			7	pF
		ESR_{xtal} = 40 Ω	25MHz			5	pF
		ESR_{xtal} = 50 Ω	25MHz			5	pF
ESR_{xtal}	水晶振動子の等価直列抵抗					(1)	Ω

(1) 水晶振動子の最大 ESR は、水晶振動子の周波数とシャント容量の関数です。C_{shunt} パラメータを参照してください。

システムの設計で水晶振動子を選択するときは、ワーストケースの環境やシステムの予測寿命に基づいて、水晶振動子の温度特性および経年変化特性を考慮する必要があります。

振動子のスイッチング特性の詳細を、表 6-20 に示します。

表 6-20. MCU_OSC0 のスイッチング特性 – 水晶振動子モード

パラメータ		最小値	代表値	最大値	単位
C_{XI}	XI 容量			1.44	pF
C_{XO}	XO 容量			1.52	pF
C_{XIXO}	XI から XO への相互容量			0.01	pF
t_s	起動時間		4		ms

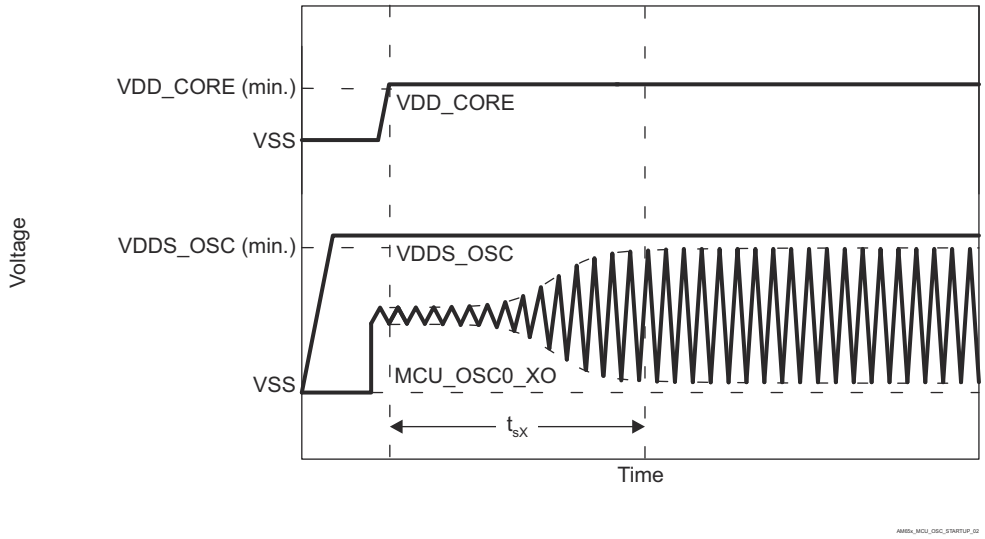


図 6-16. MCU_OSC0 スタートアップ時間

6.10.4.1.1.1 負荷容量

水晶振動子回路は、水晶振動子メーカーの定義に従って、水晶振動子に適切な容量性負荷がかかるように設計する必要があります。この回路の容量性負荷 C_L は、ディスクリート コンデンサ C_{L1}、C_{L2}、およびいくつかの寄生成分から構成されています。水晶振動子回路の部品を MCU_OSC0_XI および MCU_OSC0_XO に接続する PCB 信号パターンには、グランド への寄生容量 C_{PCBXI} および C_{PCBXO} があり、PCB 設計者は各信号パターンの寄生容量を把握する必要があります。MCU_OSC0 回路およびデバイス パッケージには、グランドへの寄生容量 C_{PCBXI} および C_{PCBXO} があります。ここで、これらの寄生容量の値は、表 6-20 で定義されています。

Copyright © 2024 Texas Instruments Incorporated

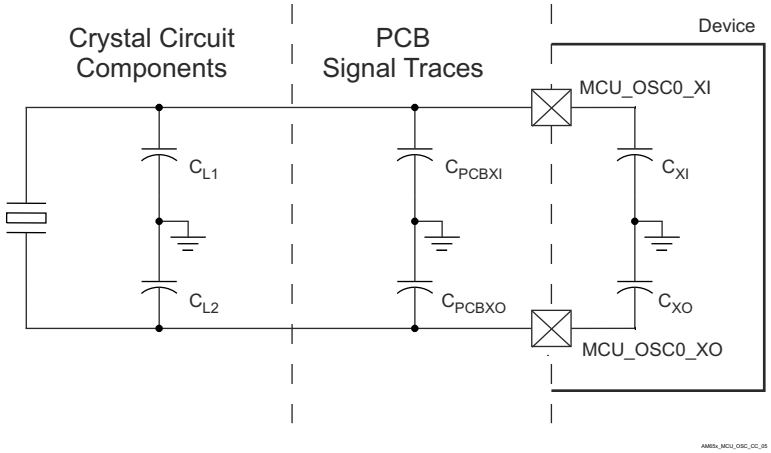


図 6-17. 負荷容量

図 6-15 の負荷コンデンサ C_{L1} および C_{L2} は 、次の式が満足されるように選択する必要があります。この式の C_L は、水晶振動子のメーカーによって指定された負荷です。

$C_L = [(C_{L1} + C_{PCBXI} + C_{XI}) \times (C_{L2} + C_{PCBXO} + C_{XO})] / [(C_{L1} + C_{PCBXI} + C_{XI}) + (C_{L2} + C_{PCBXO} + C_{XO})]$

C_{L1} と C_{L2} の値を決定するには、まず、容量性負荷の値 C_L に 2 を乗算します。この結果に対して、$C_{PCBXI} + C_{XI}$ の合成値を減算すれば C_{L1} の値が得られます。また、$C_{PCBXO} + C_{XO}$ の合成値 を減算すれば、C_{L2} の値が得られます。たとえば、C_L = 10pF、C_{PCBXI} = 2.9pF、C_{XI} = 0.5pF、C PCBXO = 3.7pF、C_{XO} = 0.5pF の場合、$C_{L1} = [(2C_L) - (C_{PCBXI} + C_{XI})] = [(2 \times 10pF) - 2.9pF - 0.5pF)] = 16.6pF$ および $C_{L2} = [(2C_L) - (C_{PCBXO} + C_{XO})] = [(2 \times 10pF) - 3.7pF - 0.5pF)] = 15.8pF$ となります。

6.10.4.1.1.2 シャント容量

また、水晶振動子回路は、表 6-19 に定義された MCU_OSC0 動作条件の最大シャント容量を超えないように設計する必要があります 。水晶振動子回路のシャント容量 C_{shunt} は、水晶振動子のシャント容量と寄生成分の組み合わせです。水晶振動子回路の部品を MCU_OSC0 に接続する PCB 信号パターンには、相互寄生容量 WKUP_OSC0 があります。PCB 設計者は、これらの信号パターン間の相互寄生容量を導出できる必要があります。デバイス パッケージには、相互寄生容量 C_{XIXO} もあります。ここで、この相互寄生容量の値は 表 6-20 で定義されています。

PCB 配線は、XI 信号パターンと XO 信号パターンの間の相互容量を最小限に抑えるよう設計する必要があります。これは通常、信号パターンを短くし、近接した場所に配線しないことで行われます。レイアウトで信号を互いに近接して配線する必要がある場合は、これらの信号の間にグランド パターンを配置することで、相互容量を最小化することもできます。水晶振動子を選択する際に、可能な限り大きなマージンを確保するために、PCB 上の相互容量を最小化することが重要です。

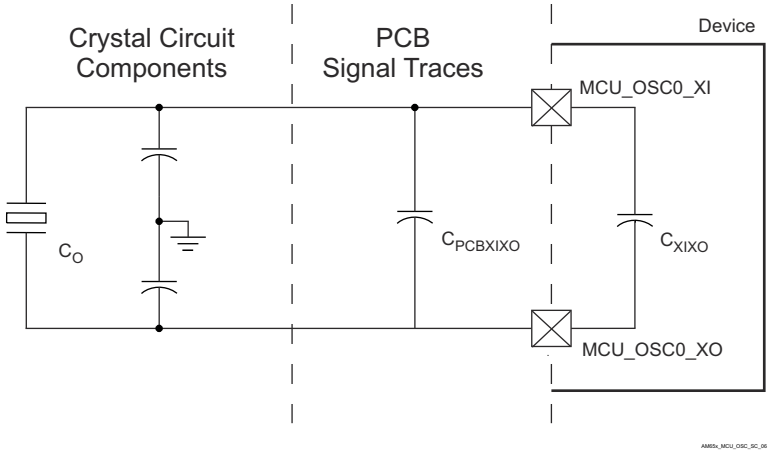


図 6-18. シャント容量

水晶振動子は、次の式が満たされるように選択する必要があります。この式の C_O は、水晶振動子のメーカーによって指定された最大シャント容量です。

$C_{shunt} \geq C_O + C_{PCBXIXO} + C_{XIXO}$

たとえば、使用する水晶振動子が ESR = 30Ω、$C_{PCBXIXO}$ = 0.04pF、C_{XIXO} = 0.01pF の 25MHz であり、水晶振動子のシャント容量が 6.95pF 以下の場合、この式が満たされます。

Copyright © 2024 Texas Instruments Incorporated

6.10.4.1.2 MCU_OSC0 LVCMOS デジタル クロック ソース

図 6-19 に、MCU_OSC0_XI を 1.8V LVCMOS 方形波デジタル クロック ソースに接続する場合に推奨される発振器接続を示します。

注

発振器が電源オンのとき、MCU_OSC0_XI を DC 定常状態にすることは許容されません。MCU_OSC0_XI は内部でコンパレータに AC 結合されており、入力に DC が印加されると未知の状態になる可能性があるため、これは許容されません。したがって、MCU_OSC0_XI がロジック状態間をトグルしていない場合は、アプリケーション ソフトウェアで MCU_OSC0 の電源をオフにする必要があります。

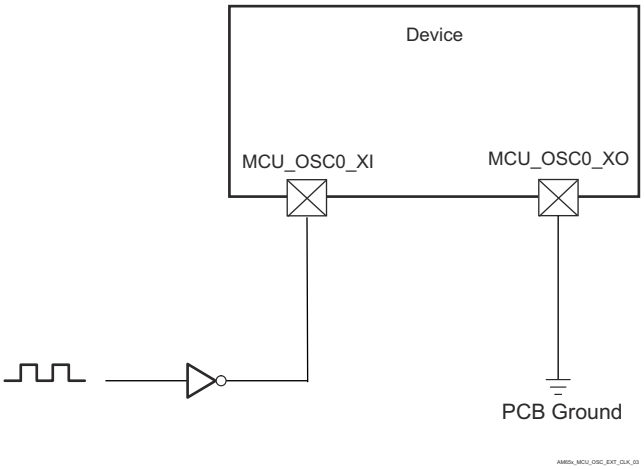


図 6-19. 1.8V LVCMOS 互換クロック入力

6.10.4.2 出力クロック

このデバイスには、複数のシステム クロック出力があります。これらの出力クロックの概要は、以下のとおりです。

- **MCU_SYSCLKOUT0**
  - MCU_SYSCLKOUT0 は、MCU ドメインのシステム クロック (MCU_SYSCK0) を 4 分周したものです。このクロック出力は、テストとデバッグのみを目的としています。
- **MCU_OBSCLK0**
  - 監視クロック出力は、テストとデバッグのみを目的としています。
- **SYSCLKOUT0**
  - SYSCLKOUT0 は、MAIN ドメインのシステム クロック (MAIN_SYSCLK0) を 4 分周したものです。このクロック出力は、テストとデバッグのみを目的としています。
- **CLKOUT0**
  - CLKOUT0 は、イーサネット サブシステム クロック (MAIN_PLL0_HSDIV4_CLKOUT) を 5 分周または 10 分周したものです。このクロック出力は、外部 PHY のソースとして供給されます。RMII クロック ソース (50MHz) として動作するように構成するときは、デバイスが適切に動作するように信号を RMII_REF_CLK ピンにも配線する必要があります。
- **OBSCLK0**
  - 監視クロック出力は、テストとデバッグのみを目的としています。
- **GPMC_FCLK_MUX**
  - GPMC_FCLK_MUX は、GPMC0 機能クロック (GPMC_FCLK) です。このクロックは、接続されているデバイスが連続的に動作するクロックを必要とするとき、代替の GPMC インターフェイス クロックとして供給されます。

詳細については、デバイス TRM の「クロック処理」の章にある「クロック出力」セクション、および「ペリフェラル」の章にある「GPMC クロックの構成」セクションを参照してください。

6.10.4.3 PLL

フェーズ ロック ループ回路 (PLL) の電力は、オフチップ電源から電力を得る内部レギュレータによって供給されます。

MCU ドメインには 1 つの PLL があります。

- MCU0_PLL

MAIN ドメインには 6 つの PLL があります。

- ARM0_PLL
- MAIN_PLL
- PER0_PLL
- PER1_PLL
- DDR PLL
- R5F PLL

注

詳細については、以下を参照してください。

- デバイスのテクニカル リファレンス マニュアルの「デバイス構成」「クロッキング」「PLL」セクション
- デバイスのテクニカル リファレンス マニュアルの「プログラマブル リアルタイム ユニット サブシステムおよび産業用通信サブシステム - ギガビット (PRU_ICSSG)」セクション

注

入力基準クロック (MCU_OSC0_XI/MCU_OSC0_XO) は、デバイスのテクニカル リファレンス マニュアルにある「デバイス構成」の章の記載に従って規定され、ロック時間が PLL コントローラによって保証されます。

Copyright © 2024 Texas Instruments Incorporated

6.10.4.4 クロックおよび制御信号の遷移に関する推奨システム上の注意事項

すべてのクロック信号とストローブ信号は、V_{IH} と V_{IL} (または V_{IL} と V_{IH})の間で単調に遷移する必要があります。

高速な信号遷移では、単調な遷移が発生する可能性が高くなります。遷移が低速な信号に対しては、ノイズにより容易に非単調なイベントが発生します。そのため、すべてのクロック信号と制御信号で低速な信号遷移は避けてください。これは、デバイス内でグリッチが発生する可能性が高いためです。

6.10.5 ペリフェラル

6.10.5.1 CPSW3G

本デバイスのギガビット イーサネット MAC の機能の詳細と追加の説明情報については、「信号の説明」および「詳細説明」セクションの対応するサブセクションを参照してください。

注

CPSW3G MDIO0、CPSW3G RMII1、CPSW3G RMII2、CPSW3G RGMII1 は、複数のピンに多重化できる 1 つ以上の信号を持っています。このセクションで定義されているタイミング要件とスイッチング特性は、IOSET と呼ばれる特定のピンの組み合わせにのみ有効です。これらのインターフェイスの有効なピンの組み合わせ (IOSET) については、CPSW3G IOSET セクションの表を参照してください。

6.10.5.1.1 CPSW3G MDIO のタイミング

表 6-21、表 6-22、表 6-23、図 6-20 に、CPSW3G MDIO のタイミング条件、要件、スイッチング特性を示します。

表 6-21. CPSW3G MDIO のタイミング条件

パラメータ		最小値	最大値	単位
入力条件				
SR_I	入力スルーレート	0.9	3.6	V/ns
出力条件				
C_L	出力負荷容量	10	470	pF
PCB 接続要件				
$t_{d(Trace\ Delay)}$	各パターンの伝搬遅延	0	5	ns
$t_{d(Trace\ Mismatch\ Delay)}$	すべてのパターンにわたる伝搬遅延の不整合		1	ns

表 6-22. CPSW3G MDIO のタイミング要件

図 6-20 参照

番号	パラメータ		最小値	最大値	単位
MDIO1	$t_{su(MDIO_MDC)}$	セットアップ時間、MDIO[x]_MDIO 有効から MDIO[x]_MDC high まで	45		ns
MDIO2	$t_{h(MDC_MDIO)}$	ホールド時間、MDIO[x]_MDC high から MDIO[x]_MDIO 有効の間	0		ns

表 6-23. CPWS3G MDIO のスイッチング特性

図 6-20 を参照

番号	パラメータ		最小値	最大値	単位
MDIO3	$t_{c(MDC)}$	サイクル時間、MDIO[x]_MDC	400		ns
MDIO4	$t_{w(MDCH)}$	パルス幅、MDIO[x]_MDC high	160		ns
MDIO5	$t_{w(MDCL)}$	パルス幅、MDIO[x]_MDC low	160		ns
MDIO7	$t_{d(MDC_MDIO)}$	遅延時間、MDIO[x]_MDC low から MDIO[x]_MDIO 有効まで	-10	10	ns

Copyright © 2024 Texas Instruments Incorporated

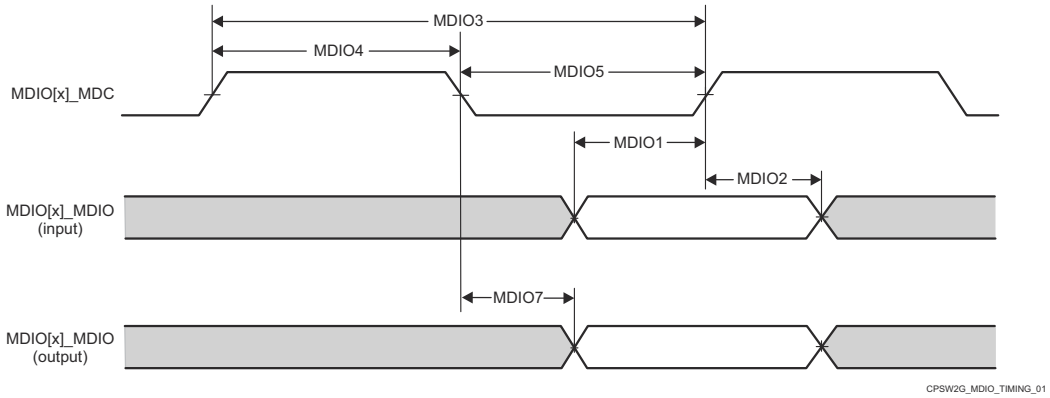


図 6-20. CPSW3G MDIO のタイミング要件およびスイッチング特性

6.10.5.1.2 CPSW3G RMII のタイミング

表 6-24、表 6-25、図 6-21、表 6-26、図 6-22 表 6-27、図 6-23 に、CPSW3G RMII のタイミング条件、要件、スイッチング特性を示します。

表 6-24. CPSW3G RMII のタイミング条件

パラメータ			最小値	最大値	単位
入力条件					
SR_I	入力スルーレート	VDD[(1)] = 1.8V	0.18	0.54	V/ns
		VDD[(1)] = 3.3V	0.4	1.2	V/ns
出力条件					
C_L	出力負荷容量		3	25	pF

(1) VDD は、対応する電源を表します。電源名および対応するボールの詳細については、「ピン属性」表の「電源」列を参照してください。

表 6-25. RMII[x]_REF_CLK のタイミング要件 - RMII モード

図 6-21 参照

番号	パラメータ	説明	最小値	最大値	単位
RMII1	$t_{c(REF_CLK)}$	サイクル時間、RMII[x]_REF_CLK	19.999	20.001	ns
RMII2	$t_{w(REF_CLKH)}$	パルス幅、RMII[x]_REF_CLK High	7	13	ns
RMII3	$t_{w(REF_CLKL)}$	パルス幅、RMII[x]_REF_CLK Low	7	13	ns

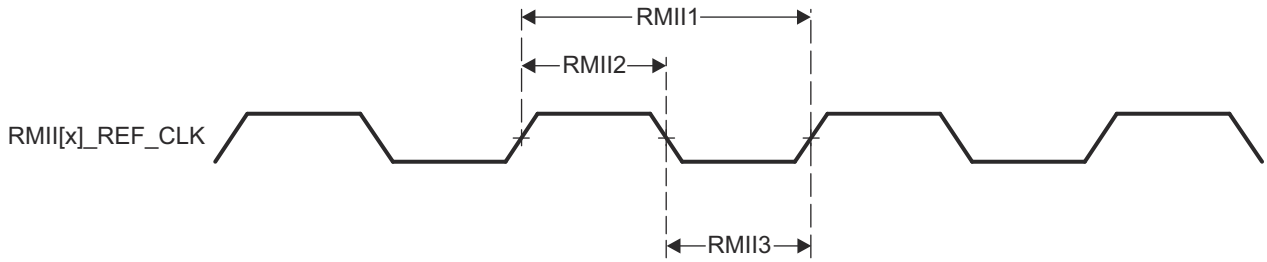


図 6-21. CPSW3G RMII[x]_REF_CLK のタイミング要件 – RMII モード

表 6-26. RMII[x]_RXD[1:0]、RMII[x]_CRS_DV、RMII[x]_RX_ER のタイミング要件 – RMII モード

図 6-22 参照

番号	パラメータ	説明	最小値	最大値	単位
RMII4	$t_{su(RXD\text{-}REF_CLK)}$	セットアップ時間、RMII[x]_RXD[1:0] 有効から RMII[x]_REF_CLK まで	4		ns
	$t_{su(CRS_DV\text{-}REF_CLK)}$	セットアップ時間、RMII[x]_CRS_DV 有効から RMII[x]_REF_CLK まで	4		ns
	$t_{su(RX_ER\text{-}REF_CLK)}$	セットアップ時間、RMII[x]_RX_ER 有効から RMII[x]_REF_CLK まで	4		ns
RMII5	$t_{h(REF_CLK\text{-}RXD)}$	ホールド時間、RMII[x]_REF_CLK の後で RMII[x]_RXD[1:0] 有効まで	2		ns
	$t_{h(REF_CLK\text{-}CRS_DV)}$	ホールド時間、RMII[x]_REF_CLK の後で RMII[x]_CRS_DV 有効まで	2		ns
	$T_{h(REF_CLK\text{-}RX_ER)}$	ホールド時間、RMII[x]_REF_CLK の後で RMII[x]_RX_ER 有効まで	2		ns

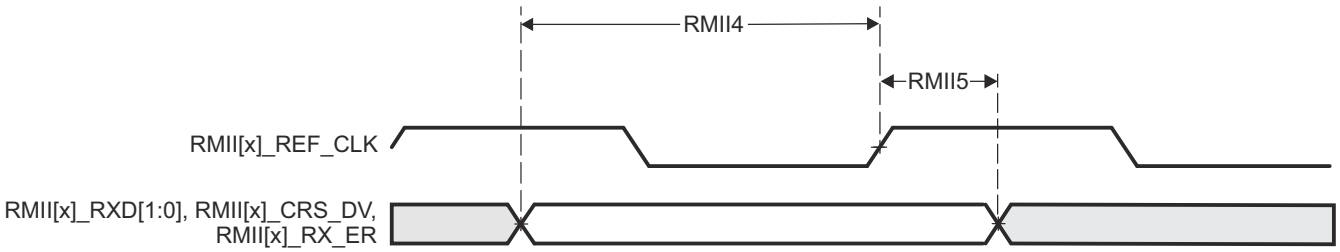


図 6-22. CPSW3G RMII[x]_RXD[1:0]、RMII[x]_CRS_DV、RMII[x]_RX_ER のタイミング要件 – RMII モード

Copyright © 2024 Texas Instruments Incorporated

表 6-27. RMII[x]_TXD[1:0]、RMII[x]_TX_EN のスイッチング特性 – RMII モード

図 6-23 参照

番号	パラメータ	説明	最小値	最大値	単位
RMII6	$t_{d(REF_CLK-TXD)}$	遅延時間、RMII[x]_REF_CLK High から RMII[x]_TXD[1:0] 有効まで	2	10	ns
	$t_{d(REF_CLK-TX_EN)}$	遅延時間、RMII[x]_REF_CLK から RMII[x]_TX_EN 有効まで	2	10	ns

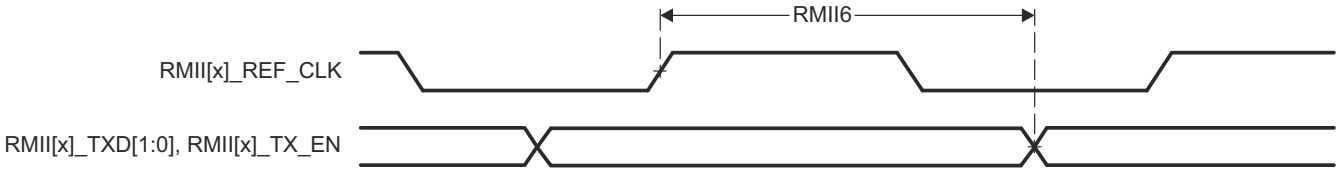


図 6-23. RMII[x]_TXD[1:0]、RMII[x]_TX_EN のスイッチング特性 – RMII モード

6.10.5.1.3 CPSW3G RGMII のタイミング

表 6-28、表 6-29、表 6-30、図 6-24、表 6-31、表 6-32、図 6-25 に、CPSW3G RGMII のタイミング条件、タイミング要件、スイッチング特性を示します。

表 6-28. CPSW3G RGMII のタイミング条件

パラメータ			最小値	最大値	単位
入力条件					
SR_I	入力スルーレート		2.64	5	V/ns
出力条件					
C_L	出力負荷容量		2	20	pF
PCB 接続要件					
$t_{d(Trace\ Mismatch\ Delay)}$	すべてのパターンにわたる伝搬遅延の不整合	RGMII[x]_RXC、RGMII[x]_RD[3:0]、RGMII[x]_RX_CTL		50	ps
		RGMII[x]_TXC、RGMII[x]_TD[3:0]、RGMII[x]_TX_CTL		50	ps

Copyright © 2024 Texas Instruments Incorporated

表 6-29. RGMII[x]_RXC のタイミング要件 – RGMII モード

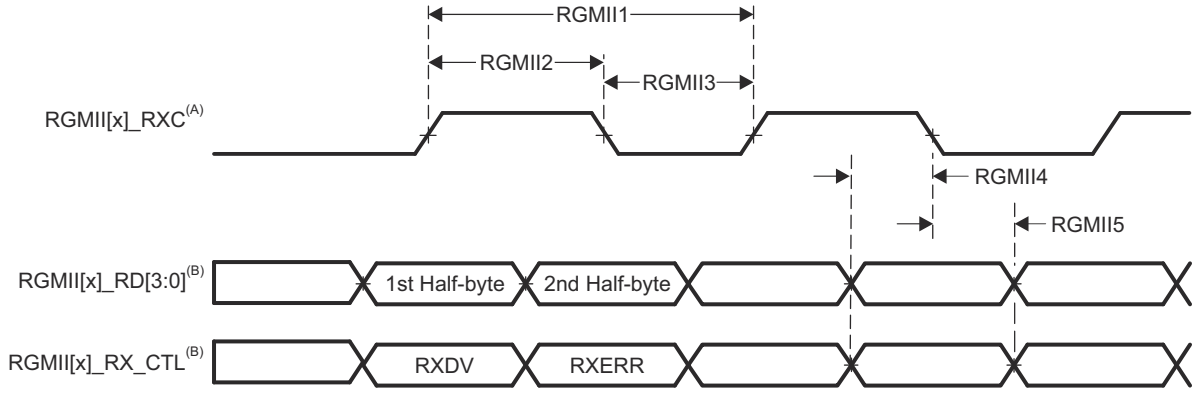
図 6-24 参照

番号	パラメータ	説明	モード	最小値	最大値	単位
RGMII1	$t_{c(RXC)}$	サイクル時間、RGMII[x]_RXC	10Mbps	360	440	ns
			100Mbps	36	44	ns
			1000Mbps	7.2	8.8	ns
RGMII2	$t_{w(RXCH)}$	パルス幅、RGMII[x]_RXC high	10Mbps	160	240	ns
			100Mbps	16	24	ns
			1000Mbps	3.6	4.4	ns
RGMII3	$t_{w(RXCL)}$	パルス幅、RGMII[x]_RXC low	10Mbps	160	240	ns
			100Mbps	16	24	ns
			1000Mbps	3.6	4.4	ns

表 6-30. RGMII[x]_RD[3:0] と RGMII[x]_RX_CTL のタイミング要件 – RGMII モード

図 6-24 参照

番号	パラメータ	説明	モード	最小値	最大値	単位
RGMII4	$t_{su(RD-RXC)}$	セットアップ時間、RGMII[x]_RD[3:0] 有効から RGMII[x]_RXC High/Low まで	10Mbps	1		ns
			100Mbps	1		ns
			1000Mbps	1		ns
	$t_{su(RX_CTL-RXC)}$	セットアップ時間、RGMII[x]_RX_CTL 有効から RGMII[x]_RXC High/Low まで	10Mbps	1		ns
			100Mbps	1		ns
			1000Mbps	1		ns
RGMII5	$t_{h(RXC-RD)}$	ホールド時間、RGMII[x]_RXC High/Low から RGMII[x]_RD[3:0] 有効の間	10Mbps	1		ns
			100Mbps	1		ns
			1000Mbps	1		ns
	$t_{h(RXC-RX_CTL)}$	ホールド時間、RGMII[x]_RXC High/Low から RGMII[x]_RX_CTL 有効の間	10Mbps	1		ns
			100Mbps	1		ns
			1000Mbps	1		ns



A. RGMII[x]_RXC は、データ ピンと制御ピンに対して、外部的に遅延させる必要があります。

B. データおよび制御情報は、クロックの両方のエッジを使用して受信されます。RGMII[x]_RD[3:0] は、RGMII[x]_RXC の立ち上がりエッジでデータ ビット 3～0 を、RGMII[x]_RXC の立ち下がりエッジでデータ ビット 7～4 を伝送します。同様に、RGMII[x]_RX_CTL は、RGMII[x]_RXC の立ち上がりエッジで RXDV を、RGMII[x]_RXC の立ち下がりエッジで RXERR を伝送します。

図 6-24. CPSW3G RGMII[x]_RXC、RGMII[x]_RD[3:0]、RGMII[x]_RX_CTL のタイミング要件 - RGMII モード

表 6-31. RGMII[x]_TXC のスイッチング特性 – RGMII モード

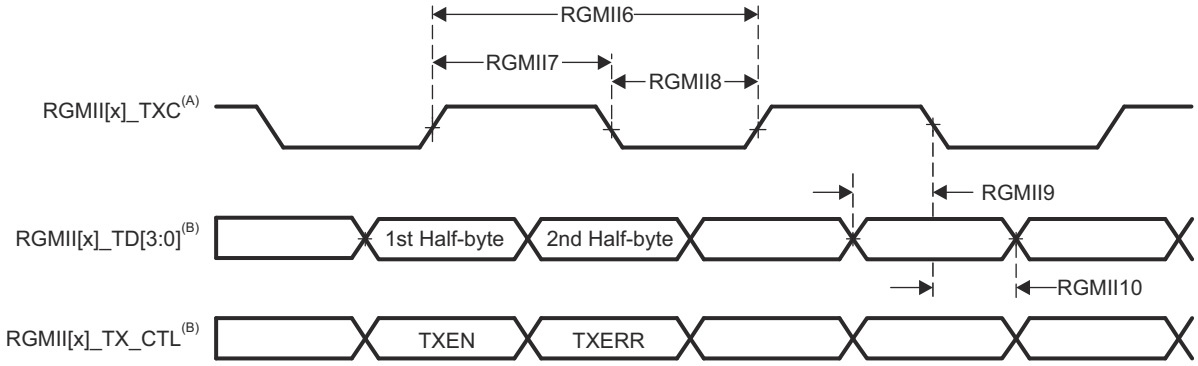
図 6-25 参照

番号	パラメータ	説明	モード	最小値	最大値	単位
RGMII6	$t_{c(TXC)}$	サイクル時間、RGMII[x]_TXC	10Mbps	360	440	ns
			100Mbps	36	44	ns
			1000Mbps	7.2	8.8	ns
RGMII7	$t_{w(TXCH)}$	パルス幅、RGMII[x]_TXC high	10Mbps	160	240	ns
			100Mbps	16	24	ns
			1000Mbps	3.6	4.4	ns
RGMII8	$t_{w(TXCL)}$	パルス幅、RGMII[x]_TXC low	10Mbps	160	240	ns
			100Mbps	16	24	ns
			1000Mbps	3.6	4.4	ns

表 6-32. RGMII[x]_TD[3:0]、RGMII[x]_TX_CTL のスイッチング特性 – RGMII モード

図 6-25 参照

番号	パラメータ	説明	モード	最小値	最大値	単位
RGMII9	$t_{osu(TD-TXC)}$	出力セットアップ時間、RGMII[x]_TD[3:0] 有効から RGMII[x]_TXC High/Low まで	10Mbps	1.2		ns
			100Mbps	1.2		ns
			1000Mbps	1.2		ns
	$t_{osu(TX_CTL-TXC)}$	出力セットアップ時間、RGMII[x]_TX_CTL 有効から RGMII[x]_TXC High/Low まで	10Mbps	1.2		ns
			100Mbps	1.2		ns
			1000Mbps	1.2		ns
RGMII10	$t_{oh(TXC-TD)}$	出力ホールド時間、RGMII[x]_TXC High/Low から RGMII[x]_TD[3:0] 有効の間	10Mbps	1.2		ns
			100Mbps	1.2		ns
			1000Mbps	1.2		ns
	$t_{oh(TXC-TX_CTL)}$	出力ホールド時間、RGMII[x]_TXC High/Low から RGMII[x]_TX_CTL 有効の間	10Mbps	1.2		ns
			100Mbps	1.2		ns
			1000Mbps	1.2		ns



A. TXC は内部で遅延されてから、RGMII[x]_TXC ピンを駆動します。この内部遅延は常にイネーブルになっています。

B. データおよび制御情報は、クロックの両方のエッジを使用して受信されます。RGMII[x]_TD[3:0] は、RGMII[x]_TXC の立ち上がりエッジでデータビット 3～0 を、RGMII[x]_TXC の立ち下がりエッジでデータ ビット 7～4 を伝送します。同様に、RGMII[x]_TX_CTL は RGMII[x]_TXC の立ち上がりエッジで TXEN を、RGMII[x]_TXC の立ち下がりエッジで TXERR を伝送します。

図 6-25. CPSW3G RGMII[x]_TXC、RGMII[x]_TD[3:0]、RGMII[x]_TX_CTL のスイッチング特性 – RGMII モード

Copyright © 2024 Texas Instruments Incorporated

6.10.5.1.4 CPSW3G IOSET

表 6-33 に、各 CPSW3G MDIO0 IOSET の有効なピンの組み合わせを示します。

表 6-33. CPSW3G MDIO0 IOSET

信号	IOSET1		IOSET2	
	ボール名	MUXMODE	ボール名	MUXMODE
MDIO0_MDIO	PRG0_PRU1_GPO18	4	PRG1_MDIO0_MDIO	4
MDIO0_MDC	PRG0_PRU1_GPO19	4	PRG1_MDIO0_MDC	4

表 6-34 に、各 CPSW3G RMII1 および RMII2 IOSET の有効なピンの組み合わせを示します。

表 6-34. CPSW3G RMII1 と RMII2 IOSET

信号	IOSET1		IOSET2	
	ボール名	MUXMODE	ボール名	MUXMODE
RMII_REF_CLK (1)	PRG1_PRU0_GPO10	5	PRG0_PRU0_GPO10	5
RMII1_CRS_DV	PRG1_PRU1_GPO19	5	PRG0_PRU1_GPO19	5
RMII1_RX_ER	PRG1_PRU0_GPO9	5	PRG0_PRU0_GPO9	5
RMII1_RXD0	PRG1_PRU1_GPO7	5	PRG0_PRU1_GPO7	5
RMII1_RXD1	PRG1_PRU1_GPO9	5	PRG0_PRU1_GPO9	5
RMII1_TXD0	PRG1_PRU1_GPO10	5	PRG0_PRU1_GPO10	5
RMII1_TXD1	PRG1_PRU1_GPO17	5	PRG0_PRU1_GPO17	5
RMII1_TX_EN	PRG1_PRU1_GPO18	5	PRG0_PRU1_GPO18	5
RMII2_CRS_DV	PRG1_PRU1_GPO13	5	PRG1_PRU1_GPO13	5
RMII2_RX_ER	PRG1_PRU1_GPO4	5	PRG1_PRU1_GPO4	5
RMII2_RXD0	PRG1_PRU1_GPO0	5	PRG1_PRU1_GPO0	5
RMII2_RXD1	PRG1_PRU1_GPO1	5	PRG1_PRU1_GPO1	5
RMII2_TXD0	PRG1_PRU1_GPO11	5	PRG1_PRU1_GPO11	5
RMII2_TXD1	PRG1_PRU1_GPO12	5	PRG1_PRU1_GPO12	5
RMII2_TX_EN	PRG1_PRU1_GPO15	5	PRG1_PRU1_GPO15	5

(1) RMII_REF_CLK は RMII1 と RMII2 の両方に共通です。適切に動作させるには、ピン多重化された信号割り当てはすべて、同じ IOSET を使用する必要があります。

表 6-35 に、各 CPSW3G RGMII1 IOSET の有効なピンの組み合わせを示します。

表 6-35. CPSW3G RGMII1 IOSET

信号	IOSET1		IOSET2	
	ボール名	MUXMODE	ボール名	MUXMODE
RGMII1_TX_CTL	PRG1_PRU0_GPO9	4	PRG1_PRU0_GPO9	4
RGMII1_TXC	PRG1_PRU0_GPO10	4	PRG1_PRU0_GPO10	4
RGMII1_TD0	PRG1_PRU1_GPO7	4	PRG1_PRU1_GPO7	4
RGMII1_TD1	PRG1_PRU1_GPO9	4	PRG1_PRU1_GPO9	4
RGMII1_TD2	PRG1_PRU1_GPO10	4	PRG1_PRU1_GPO10	4
RGMII1_TD3	PRG1_PRU1_GPO17	4	PRG1_PRU1_GPO17	4
RGMII1_RX_CTL	PRG0_PRU0_GPO9	4	PRG1_PRU0_GPO5	4
RGMII1_RXC	PRG0_PRU0_GPO10	4	PRG1_PRU0_GPO8	4
RGMII1_RD0	PRG0_PRU1_GPO7	4	PRG1_PRU1_GPO5	4
RGMII1_RD1	PRG0_PRU1_GPO9	4	PRG1_PRU1_GPO8	4
RGMII1_RD2	PRG0_PRU1_GPO10	4	PRG1_PRU1_GPO18	4

Copyright © 2024 Texas Instruments Incorporated

表 6-35. CPSW3G RGMII1 IOSET (続き)

信号	IOSET1		IOSET2	
	ボール名	MUXMODE	ボール名	MUXMODE
RGMII1_RD3	PRG0_PRU1_GPO17	4	PRG1_PRU1_GPO19	4

6.10.5.2 DDRSS

本デバイスの (LP)DDR4 メモリ インターフェイスの機能の詳細と追加の説明情報については、「信号の説明」および「詳細説明」セクションの対応するサブセクションを参照してください。

表 6-36 および 図 6-26 に、DDRSS のスイッチング特性を示します。

表 6-36. DDRSS のスイッチング特性

図 6-26 参照

番号	パラメータ		DDR タイプ	最小値	最大値	単位
1	$t_{c(DDR_CKP/DDR_CKN)}$	サイクル時間、DDR_CKP および DDR_CKN	LPDDR4	1.25[(1)]	20	ns
			DDR4	1.25[(1)]	1.6	ns

(1) 最小 DDR クロック サイクル時間は、システムで使用されている特定のメモリ タイプ (ベンダ) と PCB 実装に基づいて制限されます。最大 DDR 周波数を実現するための適切な PCB 実装については、『AM64x\AM243x DDR 基板の設計およびレイアウトのガイドライン』を参照してください。

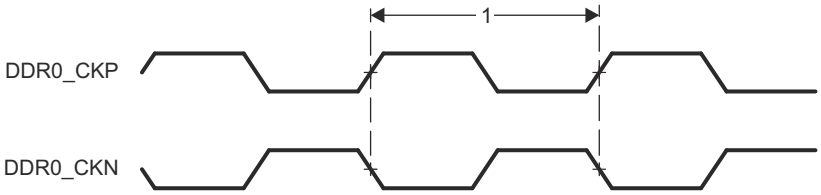


図 6-26. DDRSS のスイッチング特性

詳細については、デバイスのテクニカル リファレンス マニュアルで「メモリ コントローラ」の章にある「DDR サブシステム (DDRSS)」セクションを参照してください。

Copyright © 2024 Texas Instruments Incorporated

6.10.5.3 ECAP

表 6-37、表 6-38、図 6-27、表 6-39、図 6-28 に、ECAP のタイミング条件、タイミング要件、スイッチング特性を示します。

表 6-37. ECAP のタイミング条件

パラメータ		最小値	最大値	単位
入力条件				
SR_I	入力スルーレート	1	4	V/ns
出力条件				
C_L	出力負荷容量	2	7	pF

表 6-38. ECAP のタイミング要件

図 6-27 参照

番号	パラメータ	説明	最小値	最大値	単位
CAP1	$t_{w(CAP)}$	パルス幅、CAP (非同期)	2 + 2P [(1)]		ns

(1) P = sysclk 周期 (ns)。

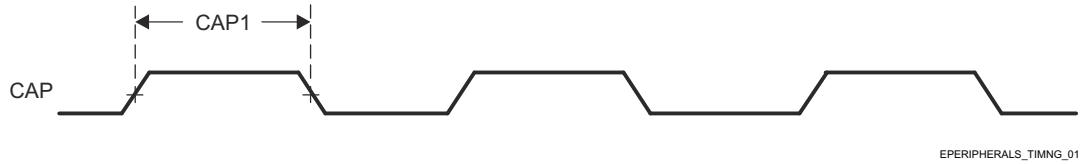


図 6-27. ECAP のタイミング要件

表 6-39. ECAP のスイッチング特性

図 6-28 参照

番号	パラメータ	説明	最小値	最大値	単位
CAP2	$t_{w(APWM)}$	パルス幅、APWMx High/Low	-2 + 2P [(1)]		ns

(1) P = sysclk 周期 (ns)。

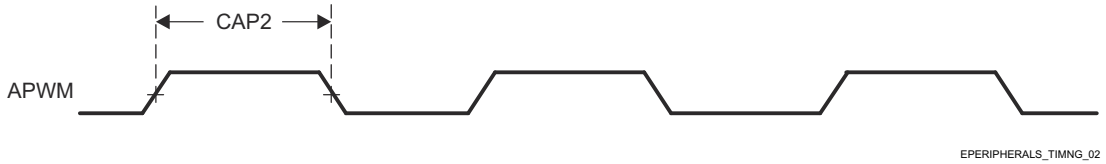


図 6-28. ECAP のスイッチング特性

詳細については、デバイスのテクニカル リファレンス マニュアルで「ペリフェラル」の章にある「拡張キャプチャ (ECAP) モジュール」セクションを参照してください。

6.10.5.4 EPWM

表 6-40、表 6-41、図 6-29、表 6-42、図 6-30、図 6-31、図 6-32 に、EPWM のタイミング条件、タイミング要件、スイッチング特性を示します。

表 6-40. EPWM のタイミング条件

パラメータ		最小値	最大値	単位
入力条件				
SR_I	入力スルーレート	1	4	V/ns
出力条件				
C_L	出力負荷容量	2	7	pF

表 6-41. EPWM のタイミング要件

図 6-29 参照

番号	パラメータ	説明	最小値	最大値	単位
PWM6	$t_{w(SYNCIN)}$	パルス幅、EHRPWM_SYNCI	2 + 2P(1)		ns
PWM7	$t_{w(TZ)}$	パルス幅、EHRPWM_TZn_IN low	2 + 3P(1)		ns

(1) P = sysclk 周期 (ns 単位)。

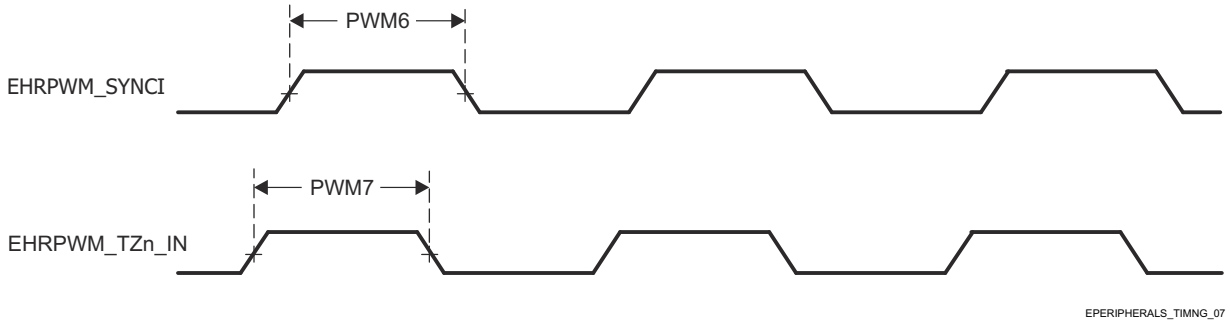


図 6-29. EPWM のタイミング要件

Copyright © 2024 Texas Instruments Incorporated

表 6-42. EPWM のスイッチング特性

図 6-30、図 6-31、図 6-32 を参照

番号	パラメータ	説明	最小値	最大値	単位
PWM1	$t_{w(PWM)}$	パルス幅、EHRPWM_A/B High または Low	P - 3[(1)]		ns
PWM2	$t_{w(SYNCOUT)}$	パルス幅、EHRPWM_SYNCO	P - 3[(1)]		ns
PWM3	$t_{d(TZ-PWM)}$	遅延時間、EHRPWM_TZn_IN アクティブから EHRPWM_A/B が強制的に High/Low になるまで		11	ns
PWM4	$t_{d(TZ-PWMZ)}$	遅延時間、EHRPWM_TZn_IN アクティブから EHRPWM_A/B Hi-Z まで		11	ns
PWM5	$t_{w(SOC)}$	パルス幅、EHRPWM_SOCA/B 出力	P - 3[(1)]		ns

(1) P = sysclk 周期 (ns 単位)。

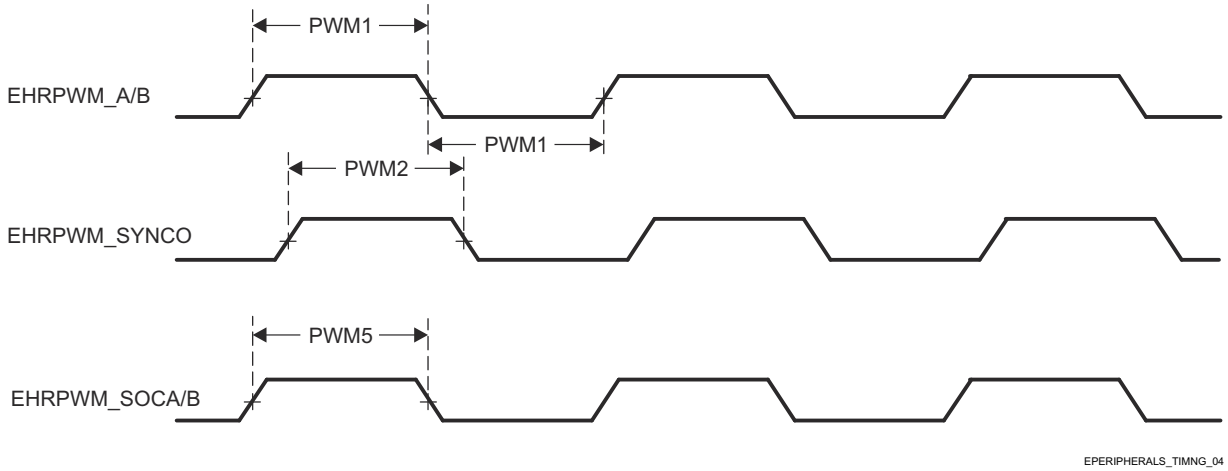


図 6-30. EHRPWM のスイッチング特性

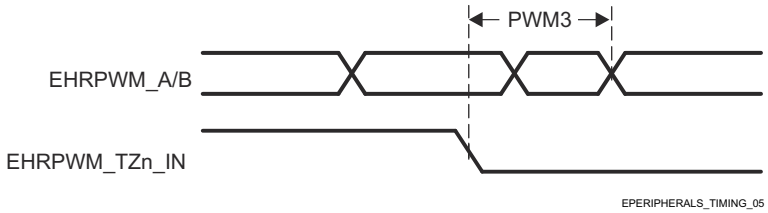


図 6-31. EHRPWM_TZn_IN から EHRPWM_A/B への強制スイッチング特性

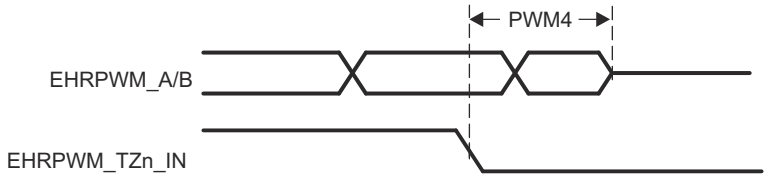


図 6-32. EHRPWM_TZn_IN から EHRPWM_A/B Hi-Z へのスイッチング特性

詳細については、デバイスのテクニカル リファレンス マニュアルで「ペリフェラル」の章にある「拡張パルス幅変調 (EPWM) モジュール」セクションを参照してください。

6.10.5.5 EQEP

表 6-43、表 6-44、図 6-33、表 6-45 に、EQEP のタイミング条件、タイミング要件、スイッチング特性を示します。

表 6-43. EQEP のタイミング条件

パラメータ		最小値	最大値	単位
入力条件				
SR_I	入力スルーレート	1	4	V/ns
出力条件				
C_L	出力負荷容量	2	7	pF

表 6-44. EQEP のタイミング要件

図 6-33 参照

番号	パラメータ	説明	最小値	最大値	単位
QEP1	$t_{w(QEP)}$	パルス幅、QEP_A/B	2 + 2P (1)		ns
QEP2	$t_{w(QEPIH)}$	パルス幅、QEP_I high	2 + 2P (1)		ns
QEP3	$t_{w(QEPIL)}$	パルス幅、QEP_I low	2 + 2P (1)		ns
QEP4	$t_{w(QEPSH)}$	パルス幅、QEP_S high	2 + 2P (1)		ns
QEP5	$t_{w(QEPSL)}$	パルス幅、QEP_S low	2 + 2P (1)		ns

(1) P = sysclk 周期 (ns 単位)

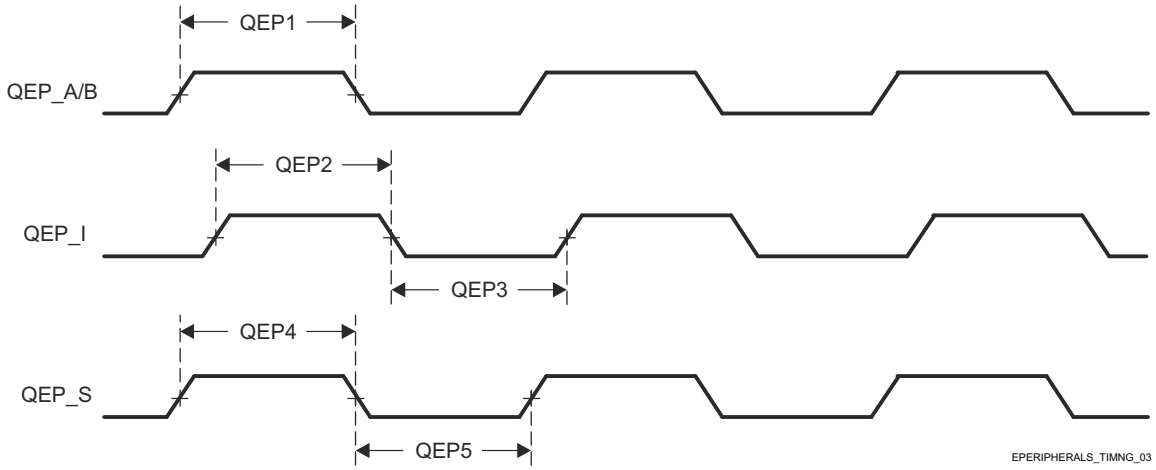


図 6-33. EQEP のタイミング要件

表 6-45. EQEP のスイッチング特性

番号	パラメータ	説明	最小値	最大値	単位
QEP6	$t_{d(QEP-CNTR)}$	遅延時間、外部クロックからカウンタ インクリメントまで		24	ns

詳細については、デバイスのテクニカル リファレンス マニュアルで「ペリフェラル」の章にある「拡張直交エンコーダ パルス (eQEP) モジュール」セクションを参照してください。

Copyright © 2024 Texas Instruments Incorporated

6.10.5.6 FSI

表 6-46、表 6-47、図 6-34、表 6-48、図 6-35、表 6-49、図 6-36 に、FSI のタイミング条件、タイミング要件、スイッチング特性を示します。

表 6-46. FSI のタイミング条件

パラメータ		最小値	最大値	単位
入力条件				
SR_I	入力スルーレート	0.8	4	V/ns
出力条件				
C_L	出力負荷容量	1	7	pF

表 6-47. FSI のタイミング要件

図 6-34 参照

番号			最小値	最大値	単位
FSIR1	$t_{c(RX_CLK)}$	サイクル時間、FSI_RXn_CLK	20		ns
FSIR2	$t_{w(RX_CLK)}$	パルス幅、FSI_RXn_CLK Low または FSI_RXn_CLK High	0.5P - 1 (1)	0.5P + 1 (1)	ns
FSIR3	$t_{su(RX_D-RX_CLK)}$	セットアップ時間、FSI_RXn_D[1:0] 有効から FSI_RXn_CLK まで	3		ns
FSIR4	$t_{h(RX_CLK-RX_D)}$	ホールド時間、FSI_RXn_CLK から FSI_RXn_D[1:0] 有効の間	2.5		ns

(1) P = FSI_RXn_CLK 周期 (ns 単位)。

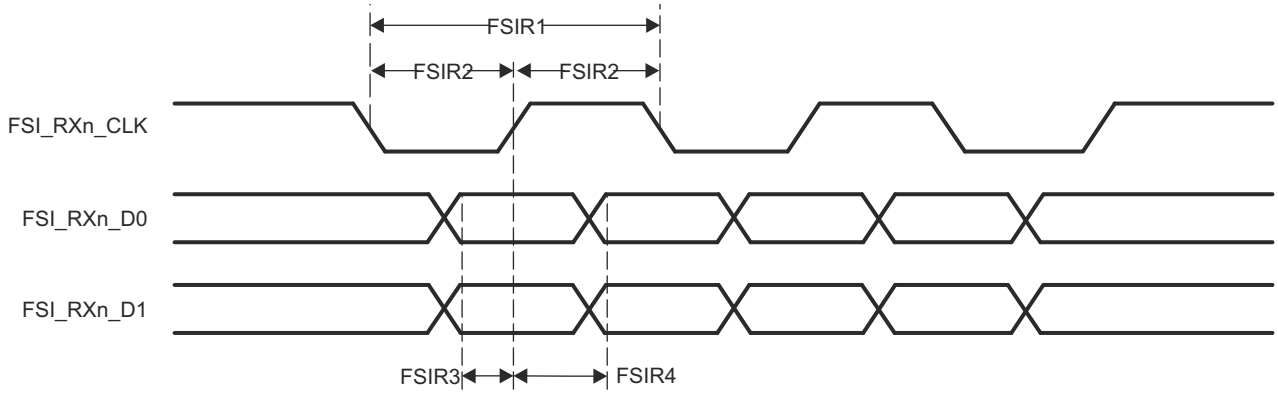


図 6-34. FSI のタイミング要件

表 6-48. FSI のスイッチング特性 - FSI モード

図 6-35 参照

番号	パラメータ		モード	最小値	最大値	単位
FSIT1	$t_{c(TX_CLK)}$	サイクル時間、FSI_TXn_CLK	FSI モード	20		ns
FSIT2	$t_{w(TX_CLK)}$	パルス幅、FSI_TXn_CLK Low または FSI_TXn_CLK High	FSI モード	0.5p + 1 (1)	0.5P - 1 (1)	ns
FSIT3	$t_{d(TX_CLK-TX_D)}$	遅延時間、(FSI_TXn_CLK High または FSI_TXn_CLK Low) から FSI_TXn_D[1:0] 有効まで	FSI モード	0.25P - 2 (1)	0.25P + 2.5 (1)	ns

(1) P = FSI_TXn_CLK 周期 (ns 単位)。

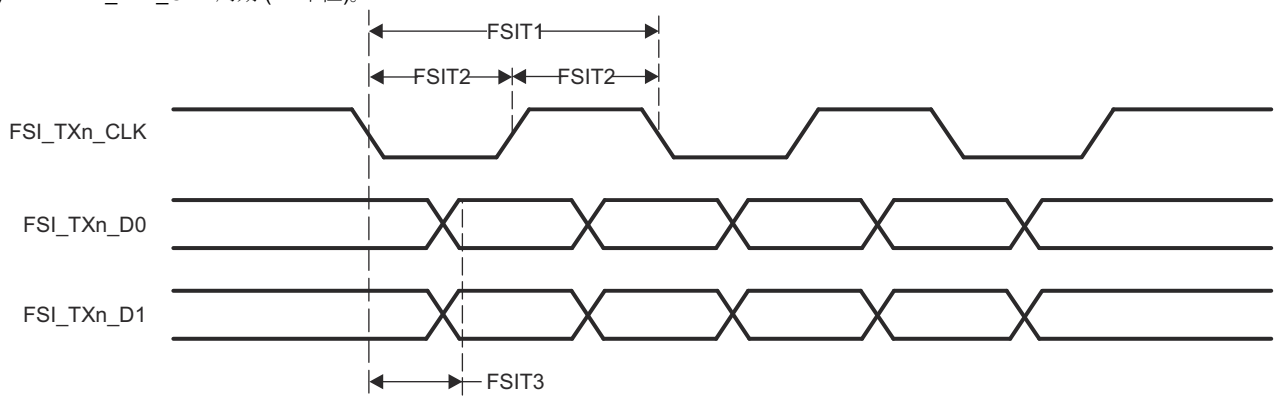


図 6-35. FSI のスイッチング特性 - FSI モード

表 6-49. FSI のスイッチング特性 - SPI モード

図 6-36 参照

番号	パラメータ		モード	最小値	最大値	単位
FSIT4	$t_{c(TX_CLK)}$	サイクル時間、FSI_TXn_CLK	SPI モード	20		ns
FSIT5	$t_{w(TX_CLK)}$	パルス幅、FSI_TXn_CLK Low または FSI_TXn_CLK High	SPI モード	0.5P + 1 (1)	0.5P - 1 (1)	ns
FSIT6	$t_{d(TX_CLKH-TX_D0)}$	遅延時間、FSI_TXn_CLK High から FSI_TXn_D0 有効まで	SPI モード		3	ns
FSIT7	$t_{d(TX_D1-TX_CLK)}$	遅延時間、FSI_TXn_D1 Low から FSI_TXn_CLK High まで	SPI モード	P - 3 (1)		ns
FSIT8	$t_{d(TX_CLK-TX_D1)}$	遅延時間、FSI_TXn_CLK Low から FSI_TXn_D1 High まで	SPI モード	P - 2 (1)		ns

(1) P = FSI_TXn_CLK 周期 (ns 単位)。

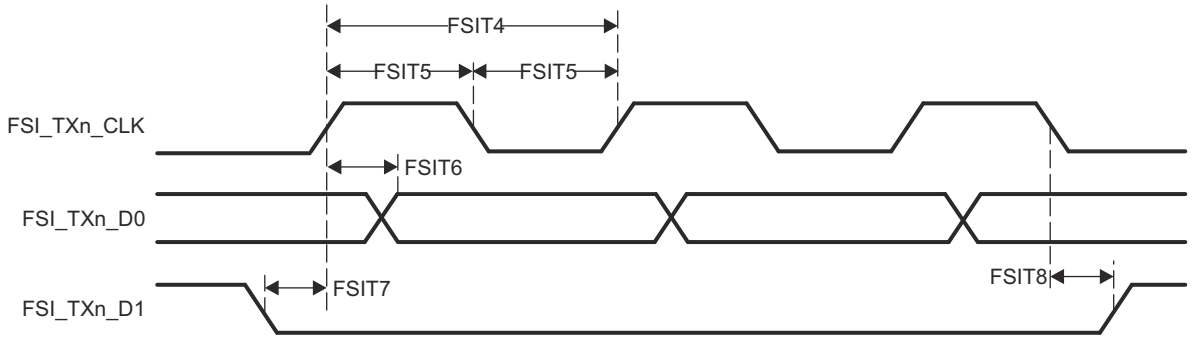


図 6-36. FSI のスイッチング特性 - SPI モード

Copyright © 2024 Texas Instruments Incorporated

詳細については、デバイスのテクニカル リファレンス マニュアルで「ペリフェラル」の章にある「高速シリアル インターフェイス」セクションを参照してください。

6.10.5.7 GPIO

表 6-50、表 6-51 および 表 6-52 に、GPIO のタイミング条件、要件、スイッチング特性を示します。

このデバイスには、3 個の GPIO モジュール インスタンスがあります。

- MCU_GPIO0
- GPIO0
- GPIO1

注

GPIOn_x は、GPIO 信号を記述するために使用される一般的な名前です。ここで、n は特定の GPIO モジュールを表し、x はモジュールに関連付けられた入出力信号の 1 つを表します。

本デバイスの GPIO の追加の説明情報については、「信号説明」および「詳細説明」セクションの対応するサブセクションを参照してください。

表 6-50. GPIO のタイミング条件

パラメータ		バッファのタイプ	最小値	最大値	単位
入力条件					
SR_I	入力スルーレート	LVCMOS	0.2	6.6	V/ns
		I2C OD FS	0.2	0.8	V/ns
出力条件					
C_L	出力負荷容量	LVCMOS	3	10	pF
		I2C OD FS	3	100	pF

表 6-51. GPIO のタイミング要件

番号	パラメータ	説明	モード	最小値	最大値	単位
GPIO1	$t_{w(GPIO_IN)}$	パルス幅、GPIOn_x	1.8 V	2P + 2.6 (1)		ns
			3.3 V	2P + 3.5 (1)		ns

(1) P = 機能クロック周期 (ns 単位)。

表 6-52. GPIO のスイッチング特性

番号	パラメータ	説明	バッファのタイプ	最小値	最大値	単位
GPIO2	$t_{w(GPIO_OUT)}$	パルス幅、GPIOn_x	LVCMOS	0.975P(1) - 3.6		ns
			I2C OD FS	160		ns

(1) P = 機能クロック周期 (ns 単位)。

詳細については、デバイスのテクニカル リファレンス マニュアルで「ペリフェラル」の章にある「汎用インターフェイス (GPIO)」セクションを参照してください。

Copyright © 2024 Texas Instruments Incorporated

6.10.5.8 GPMC

本デバイスの汎用メモリ コントローラの機能の詳細と追加の説明情報については、「信号の説明」および「詳細説明」セクションの対応するサブセクションを参照してください。

注

GPMC には、複数のピンに多重化可能な信号が 1 つ以上あります。このセクションで定義されているタイミング要件とスイッチング特性は、IOSET と呼ばれる特定のピンの組み合わせにのみ有効です。セクション 5.3.12.1.1 に、このインターフェイスの有効なピンの組み合わせ (IOSET) を示します。

表 6-53 に、GPMC のタイミング条件を示します。

表 6-53. GPMC のタイミング条件

パラメータ			最小値	最大値	単位
入力条件					
SR_I	入力スルーレート		1.65	4	V/ns
出力条件					
C_L	出力負荷容量		5	20	pF
PCB 接続要件					
$t_{d(Trace\ Delay)}$	各パターンの伝搬遅延	133MHz 同期モード	140	360	ps
		その他のすべてのモード	140	720	ps
$t_{d(Trace\ Mismatch\ Delay)}$	すべてのパターンにわたる伝搬遅延の不整合			200	ps

詳細については、デバイスのテクニカル リファレンス マニュアルで「ペリフェラル」の章にある「汎用メモリ コントローラ (GPMC)」セクションを参照してください。

6.10.5.8.1 GPMC および NOR フラッシュ — 同期モード

ホールド時間、出力クロック GPMC_CLK High ($t_{h(clkH-waitV)}$) から入力待機 GPMC_WAIT[j] 有効まで

表 6-54 および 表 6-55 に、GPMC および NOR フラッシュ (同期モード) のタイミング要件とスイッチング特性を示します。

表 6-54. GPMC および NOR フラッシュのタイミング要件 — 同期モード

図 6-37、図 6-38、図 6-41 を参照

番号	パラメータ	説明	モード[5]	最小値　最大値 GPMC_FCLK = 100MHz[2]	最小値　最大値 GPMC_FCLK = 133MHz[2]	単位
F12	$t_{su(dV-clkH)}$	セットアップ時間、入力データ GPMC_AD[n:0][1] 有効から出力クロック GPMC_CLK High まで	div_by_1_mode、GPMC_FCLK_MUX、TIMEPARAGRANULARITY_X1	1.81	1.12	ns
			not_div_by_1_mode、GPMC_FCLK_MUX、TIMEPARAGRANULARITY_X1	1.06	3.5	ns
F13	$t_{h(clkH-dV)}$	ホールド時間、出力クロック GPMC_CLK High から入力データ GPMC_AD[n:0][1] 有効まで	div_by_1_mode、GPMC_FCLK_MUX、TIMEPARAGRANULARITY_X1	2.29	2.29	ns
			not_div_by_1_mode、GPMC_FCLK_MUX、TIMEPARAGRANULARITY_X1	2.29	2.29	ns

表 6-54. GPMC および NOR フラッシュのタイミング要件 — 同期モード (続き)

図 6-37、図 6-38、図 6-41 を参照

番号	パラメータ	説明	モード(5)	最小値　最大値 GPMC_FCLK = 100MHz(2)	最小値　最大値 GPMC_FCLK = 133MHz(2)	単位
F21	$t_{su(waitV-clkH)}$	セットアップ時間、入力待機 GPMC_WAIT[j](3) (4) 有効から出力クロック GPMC_CLK High まで	div_by_1_mode、GPMC_FCLK_MUX、TIMEPARAGRANULARITY_X1	1.81	1.12	ns
			not_div_by_1_mode、GPMC_FCLK_MUX、TIMEPARAGRANULARITY_X1	1.06	3.5	ns
F22	$t_{h(clkH-waitV)}$	ホールド時間、出力クロック GPMC_CLK High から入力待機 GPMC_WAIT[j](3) (4) 有効まで	div_by_1_mode、GPMC_FCLK_MUX、TIMEPARAGRANULARITY_X1	2.29	2.29	ns
			not_div_by_1_mode、GPMC_FCLK_MUX、TIMEPARAGRANULARITY_X1	2.29	2.29	ns

(1) 同期モードでは 133MHz までの 16 ビット データ バスと、100MHz までの 32 ビット データ バスをサポート
(2) GPMC_FCLK の選択
- gpmc_fclk_sel[1:0] = 2b01 で 100MHz の GPMC_FCLK を選択
- gpmc_fclk_sel[1:0] = 2b00 で 133MHz の GPMC_FCLK を選択

(3) GPMC_WAIT[j] で、j は 0 または 1 です。
(4) 待機モニタリングのサポートは、WaitMonitoringTime の値 > 0 に制限されます。待機監視機能の詳細な説明については、デバイスのテクニカル リファレンス マニュアルで「汎用メモリ コントローラ (GPMC)」セクションを参照してください。
(5) div_by_1_mode に対し:
- GPMC_CONFIG1_i レジスタ:GPMCFCLKDIVIDER = 0h:
  – GPMC_CLK 周波数 = GPMC_FCLK 周波数

not_div_by_1_mode に対し:
- GPMC_CONFIG1_i レジスタ:GPMCFCLKDIVIDER = 1h～3h:
  – GPMC_CLK 周波数 = GPMC_FCLK 周波数 / (2～4)

GPMC_FCLK_MUX に対し:
- CTRLMMR_GPMC_CLKSEL[1-0] CLK_SEL = 01 = PER1_PLL_CLKOUT / 3 = 300 / 3 = 100MHz

TIMEPARAGRANULARITY_X1 に対し:
- GPMC_CONFIG1_i レジスタ:TIMEPARAGRANULARITY = 0h = x1 レイテンシ (RD/WRCYCLETIME、RD/WRACCESSTIME、PAGEBURSTACCESSTIME、CSONTIME、CSRD/WROFFTIME、ADVONTIME、ADVRD/WROFFTIME、OEONTIME、OEOFFTIME、WEONTIME、WEOFFTIME、CYCLE2CYCLEDELAY、BUSTURNAROUND、TIMEOUTSTARTVALUE、WRDATAONADMUXBUS に影響)

表 6-55. GPMC および NOR フラッシュのスイッチング特性 - 同期モード

図 6-37、図 6-38、図 6-39、図 6-40、図 6-41 を参照

番号(3)	パラメータ	説明	モード(17)	最小値　最大値 100MHz	最小値　最大値 133MHz	単位
F0	1 / tc(clk)	周期、出力クロック GPMC_CLK(16)	div_by_1_mode、GPMC_FCLK_MUX、TIMEPARAGRANULARITY_X1	10.00	7.52	ns
F1	$t_{w(clkH)}$	標準パルス幅、出力クロック GPMC_CLK H	div_by_1_mode、GPMC_FCLK_MUX、TIMEPARAGRANULARITY_X1	0.475P - 0.3(15)	0.475P - 0.3(15)	ns
F1	$t_{w(clkL)}$	標準パルス幅、出力クロック GPMC_CLK Low	div_by_1_mode、GPMC_FCLK_MUX、TIMEPARAGRANULARITY_X1	0.475P - 0.3(15)	0.475P - 0.3(15)	ns

Copyright © 2024 Texas Instruments Incorporated

表 6-55. GPMC および NOR フラッシュのスイッチング特性 - 同期モード (続き)

図 6-37、図 6-38、図 6-39、図 6-40、図 6-41 を参照

番号 (3)	パラメータ	説明	モード (17)	最小値	最大値	最小値	最大値	単位
				100MHz		133MHz		
F2	$t_{d(clkH-csnV)}$	遅延時間、出力クロック GPMC_CLK 立ち上がりエッジから出力チップ セレクト GPMC_CSN[i] 遷移まで (14)	div_by_1_mode、GPMC_FCLK_MUX、TIMEPARAGRANULARITY_X1、extra_delay なし	F - 2.2 (6)	F + 3.75	F - 2.2 (6)	F + 3.75	ns
F3	$t_{d(clkH-CSn[i]V)}$	遅延時間、出力クロック GPMC_CLK 立ち上がりエッジから出力チップ セレクト GPMC_CSn[i] 無効まで (14)	div_by_1_mode、GPMC_FCLK_MUX、TIMEPARAGRANULARITY_X1、extra_delay なし	E - 2.2 (5)	E + 3.18	E - 2.2 (5)	E + 4.5	ns
F4	$t_{d(aV-clk)}$	遅延時間、出力アドレス GPMC_A[27:1] 有効から出力クロック GPMC_CLK の最初のエッジまで	div_by_1_mode、GPMC_FCLK_MUX、TIMEPARAGRANULARITY_X1	B - 2.3 (3)	B + 4.5	B - 2.3 (3)	B + 4.5	ns
F5	$t_{d(clkH-aIV)}$	遅延時間、出力クロック GPMC_CLK 立ち上がりエッジから出力アドレス GPMC_A[27:1] 無効まで	div_by_1_mode、GPMC_FCLK_MUX、TIMEPARAGRANULARITY_X1	-2.3	4.5	-2.3	4.5	ns
F6	$t_{d(be[x]nV-clk)}$	遅延時間、出力下位バイト イネーブルおよびコマンド ラッチ イネーブル GPMC_BE0n_CLE、出力上位バイト イネーブル GPMC_BE1n 有効から出力クロック GPMC_CLK の最初のエッジまで	div_by_1_mode、GPMC_FCLK_MUX、TIMEPARAGRANULARITY_X1	B - 2.3 (3)	B + 1.9	B - 2.3 (3)	B + 1.9	ns
F7	$t_{d(clkH-be[x]nIV)}$	遅延時間、出力クロック GPMC_CLK 立ち上がりエッジから出力下位バイトのイネーブルおよびコマンド ラッチのイネーブル GPMC_BE0n_CLE、出力上位バイトのイネーブル GPMC_BE1n 無効まで (11)	div_by_1_mode、GPMC_FCLK_MUX、TIMEPARAGRANULARITY_X1	D - 2.3 (4)	D + 1.9	D - 2.3 (4)	D + 1.9	ns
F7	$t_{d(clkL-be[x]nIV)}$	遅延時間、GPMC_CLK 立下りエッジから GPMC_BE0n_CLE、GPMC_BE1n 無効まで(12)	div_by_1_mode、GPMC_FCLK_MUX、TIMEPARAGRANULARITY_X1	D - 2.3 (4)	D + 1.9	D - 2.3 (4)	D + 1.9	ns
F7	$t_{d(clkL-be[x]nIV)}$.	遅延時間、GPMC_CLK 立下りエッジから GPMC_BE0n_CLE、GPMC_BE1n 無効まで(13)	div_by_1_mode、GPMC_FCLK_MUX、TIMEPARAGRANULARITY_X1	D - 2.3 (4)	D + 1.9	D - 2.3 (4)	D + 1.9	ns
F8	$t_{d(clkH-advn)}$	遅延時間、出力クロック GPMC_CLK 立ち上がりエッジから出力アドレス有効およびアドレス ラッチ イネーブル GPMC_ADVn_ALE 遷移まで	div_by_1_mode、GPMC_FCLK_MUX、TIMEPARAGRANULARITY_X1、extra_delay なし	G - 2.3(7)	G + 4.5	G - 2.3 (7)	G + 4.5	ns
F9	$t_{d(clkH-advnIV)}$	遅延時間、出力クロック GPMC_CLK 立ち上がりエッジから出力アドレス有効およびアドレス ラッチ イネーブル GPMC_ADVn_ALE 無効まで	div_by_1_mode、GPMC_FCLK_MUX、TIMEPARAGRANULARITY_X1、extra_delay なし	D - 2.3 (4)	D + 4.5	D - 2.3 (4)	D + 4.5	ns
F10	$t_{d(clkH-oen)}$	遅延時間、出力クロック GPMC_CLK 立ち上がりエッジから出力イネーブル GPMC_OEn_REn 遷移まで	div_by_1_mode、GPMC_FCLK_MUX、TIMEPARAGRANULARITY_X1、extra_delay なし	H - 2.3(8)	H + 3.5	H - 2.3(8)	H + 3.5	ns
F11	$t_{d(clkH-oenIV)}$	遅延時間、出力クロック GPMC_CLK 立ち上がりエッジから出力イネーブル GPMC_OEn_REn 無効まで	div_by_1_mode、GPMC_FCLK_MUX、TIMEPARAGRANULARITY_X1、extra_delay なし	H - 2.3(8)	H + 3.5	H - 2.3(8)	H + 3.5	ns
F14	$t_{d(clkH-wen)}$	遅延時間、出力クロック GPMC_CLK 立ち上がりエッジから出力書き込みイネーブル GPMC_WEn 遷移まで	div_by_1_mode、GPMC_FCLK_MUX、TIMEPARAGRANULARITY_X1、extra_delay なし	I - 2.3 (9)	I + 4.5	I - 2.3 (9)	I + 4.5	ns

表 6-55. GPMC および NOR フラッシュのスイッチング特性 - 同期モード (続き)

図 6-37、図 6-38、図 6-39、図 6-40、図 6-41 を参照

番号 (3)	パラメータ	説明	モード (17)	最小値 最大値 100MHz	最小値 最大値 133MHz	単位
F15	$t_{d(clkH-do)}$	遅延時間、出力クロック GPMC_CLK 立ち上がりエッジから出力データ GPMC_AD[n:0] (1)遷移 (11) まで	div_by_1_mode、GPMC_FCLK_MUX、TIMEPARAGRANULARITY_X1	J - 2.3 J + 2.7 (10)	J - 2.3 J + 2.7 (10)	ns
F15	$t_{d(clkL-do)}$	遅延時間、GPMC_CLK 立ち下がりエッジから GPMC_AD[n:0](1) データ バス遷移まで (12)	div_by_1_mode、GPMC_FCLK_MUX、TIMEPARAGRANULARITY_X1	J - 2.3 J + 2.7 (10)	J - 2.3 J + 2.7 (10)	ns
F15	$t_{d(clkL-do)}$	遅延時間、GPMC_CLK 立ち下がりエッジから GPMC_AD[n:0](1) データ バス遷移まで (13)	div_by_1_mode、GPMC_FCLK_MUX、TIMEPARAGRANULARITY_X1	J - 2.3 J + 2.7 (10)	J - 2.3 J + 2.7 (10)	ns
F17	$t_{d(clkH-be[x]n)}$	遅延時間、出力クロック GPMC_CLK 立ち上がりエッジから出力下位バイト イネーブルおよびコマンド ラッチ イネーブル GPMC_BE0n_CLE 遷移まで (11)	div_by_1_mode、GPMC_FCLK_MUX、TIMEPARAGRANULARITY_X1	J - 2.3 J + 1.9 (10)	J - 2.3 J + 1.9 (10)	ns
F17	$t_{d(clkL-be[x]n)}$	遅延時間、GPMC_CLK 立ち下がりエッジから GPMC_BE0n_CLE、GPMC_BE1n 遷移まで (12)	div_by_1_mode、GPMC_FCLK_MUX、TIMEPARAGRANULARITY_X1	J - 2.3 J + 1.9 (10)	J - 2.3 J + 1.9 (10)	ns
F17	$t_{d(clkL-be[x]n)}$	遅延時間、GPMC_CLK 立ち下がりエッジから GPMC_BE0n_CLE、GPMC_BE1n 遷移まで (13)	div_by_1_mode、GPMC_FCLK_MUX、TIMEPARAGRANULARITY_X1	J - 2.3 J + 1.9 (10)	J - 2.3 J + 1.9 (10)	ns
F18	$t_{w(csnV)}$	パルス幅、出力チップ セレクト GPMC_CSn[i] (14) Low	読み出し	A	A	ns
			書き込み	A	A	ns
F19	$t_{w(be[x]nV)}$	パルス幅、出力下位バイト イネーブルおよびコマンド ラッチ イネーブル GPMC_BE0n_CLE、出力上位バイト イネーブル GPMC_BE1n Low	読み出し	C	C	ns
			書き込み	C	C	ns
F20	$t_{w(advnV)}$	パルス幅、出力アドレス有効およびアドレス ラッチ イネーブル GPMC_ADVn_ALE Low	読み出し	K	K	ns
			書き込み	K	K	ns

(1) 同期モードでは 133MHz までの 16 ビット データ バスと、100MHz までの 32 ビット データ バスをサポート
(2) 単一読み取りの場合:A = (CSRdOffTime - CSOnTime) × (TimeParaGranularity + 1) × GPMC_FCLK(15)
バースト読み取りの場合:A = (CSRdOffTime - CSOnTime + (n - 1) × PageBurstAccessTime) × (TimeParaGranularity + 1) × GPMC_FCLK(15)
バースト書き込みの場合:A = (CSWrOffTime - CSOnTime + (n - 1) × PageBurstAccessTime) × (TimeParaGranularity + 1) × GPMC_FCLK(15)
n はページ バースト アクセス数。
(3) B = ClkActivationTime × GPMC_FCLK(15)
(4) 単一読み取りの場合:D = (RdCycleTime - AccessTime) × (TimeParaGranularity + 1) × GPMC_FCLK(15)
バースト読み取りの場合:D = (RdCycleTime - AccessTime) × (TimeParaGranularity + 1) × GPMC_FCLK(15)
バースト書き込みの場合:D = (WrCycleTime - AccessTime) × (TimeParaGranularity + 1) × GPMC_FCLK(15)
(5) 単一読み取りの場合:E = (CSRdOffTime - AccessTime) × (TimeParaGranularity + 1) × GPMC_FCLK(15)
バースト読み取りの場合:E = (CSRdOffTime - AccessTime) × (TimeParaGranularity + 1) × GPMC_FCLK(15)
バースト書き込みの場合:E = (CSWrOffTime - AccessTime) × (TimeParaGranularity + 1) × GPMC_FCLK(15)
(6) csn 立ち下がりエッジ (CS がアクティブ) の場合:
- Case GPMCFCLKDIVIDER = 0:
  - F = 0.5 × CSExtraDelay × GPMC_FCLK(15)
- Case GPMCFCLKDIVIDER = 1:
  - F = 0.5 × CSExtraDelay × GPMC_FCLK(15) if (ClkActivationTime および CSOnTime が奇数) or (ClkActivationTime および CSOnTime が偶数)
  - F = (1 + 0.5 × CSExtraDelay) × GPMC_FCLK(15) otherwise
- Case GPMCFCLKDIVIDER = 2:
  - f = 0.5 × CSExtraDelay × GPMC_FCLK(15) if ((CSOnTime - ClkActivationTime) が 3 の倍数)

Copyright © 2024 Texas Instruments Incorporated

  - F = (1 + 0.5 × CSExtraDelay) × GPMC_FCLK[15] if ((CSOnTime - ClkActivationTime - 1) が 3 の倍数)
  - F = (2 + 0.5 × CSExtraDelay) × GPMC_FCLK[15] if ((CSOnTime - ClkActivationTime - 2) が 3 の倍数)

(7) ADV 立ち下がりエッジ (ADV がアクティブ) の場合:

- Case GPMCFCLKDIVIDER = 0:
  - G = 0.5 × ADVExtraDelay × GPMC_FCLK[15]
- Case GPMCFCLKDIVIDER = 1:
  - G = 0.5 × ADVExtraDelay × GPMC_FCLK[15] if (ClkActivationTime および ADVOnTime が奇数) or (ClkActivationTime および ADVOnTime が偶数)
  - G = (1 + 0.5 × ADVExtraDelay) × GPMC_FCLK[15] otherwise
- Case GPMCFCLKDIVIDER = 2:
  - G = 0.5 × ADVExtraDelay × GPMC_FCLK[15] if ((ADVOnTime - ClkActivationTime) が 3 の倍数)
  - G = (1 + 0.5 × ADVExtraDelay) × GPMC_FCLK[15] if ((ADVOnTime - ClkActivationTime - 1) が 3 の倍数)
  - G = (2 + 0.5 × ADVExtraDelay) × GPMC_FCLK[15] ((ADVOnTime - ClkActivationTime - 2) が 3 の倍数) の場合

読み取りモードでの ADV 立ち上がりエッジ (ADV が非アクティブ) の場合:

- Case GPMCFCLKDIVIDER = 0:
  - G = 0.5 × ADVExtraDelay × GPMC_FCLK[15]
- Case GPMCFCLKDIVIDER = 1:
  - G = 0.5 × ADVExtraDelay × GPMC_FCLK[15] f (ClkActivationTime および ADVRdOffTime が奇数) or (ClkActivationTime および ADVRdOffTime が偶数)
  - G = (1 + 0.5 × ADVExtraDelay) × GPMC_FCLK[15] otherwise
- Case GPMCFCLKDIVIDER = 2:
  - G = 0.5 × ADVExtraDelay × GPMC_FCLK[15] if ((ADVRdOffTime - ClkActivationTime) が 3 の倍数)
  - G = (1 + 0.5 × ADVExtraDelay) × GPMC_FCLK[15] if ((ADVRdOffTime - ClkActivationTime - 1) が 3 の倍数)
  - G = (2 + 0.5 × ADVExtraDelay) × GPMC_FCLK[15] ((ADVRdOffTime - ClkActivationTime - 2) が 3 の倍数) の場合

書き込みモードでの ADV 立ち上がりエッジ (ADV が非アクティブ) の場合:

- Case GPMCFCLKDIVIDER = 0:
  - G = 0.5 × ADVExtraDelay × GPMC_FCLK[15]
- Case GPMCFCLKDIVIDER = 1:
  - G = 0.5 × ADVExtraDelay × GPMC_FCLK[15] if (ClkActivationTime および ADVWrOffTime が奇数) または (ClkActivationTime および ADVWrOffTime が偶数)
  - G = (1 + 0.5 × ADVExtraDelay) × GPMC_FCLK[15] otherwise
- Case GPMCFCLKDIVIDER = 2:
  - G = 0.5 × ADVExtraDelay × GPMC_FCLK[15] if ((ADVWrOffTime - ClkActivationTime) が 3 の倍数)
  - G = (1 + 0.5 × ADVExtraDelay) × GPMC_FCLK[15] if ((ADVWrOffTime - ClkActivationTime - 1) が 3 の倍数)
  - G = (2 + 0.5 × ADVExtraDelay) × GPMC_FCLK[15] ((ADVWrOffTime - ClkActivationTime - 2) が 3 の倍数) の場合

(8) OE の立ち下がりエッジ (OE がアクティブ) および IO DIR の立ち上がりエッジ (データ バスが入力方向) の場合:

- Case GPMCFCLKDIVIDER = 0:
  - H = 0.5 × OEExtraDelay × GPMC_FCLK[15]
- Case GPMCFCLKDIVIDER = 1:
  - H = 0.5 × OEExtraDelay × GPMC_FCLK[15] if (ClkActivationTime および OEOnTime が奇数) または (ClkActivationTime および OEOnTime が偶数)
  - H = (1 + 0.5 × OEExtraDelay) × GPMC_FCLK[15] otherwise
- Case GPMCFCLKDIVIDER = 2:
  - H = 0.5 × OEExtraDelay × GPMC_FCLK[15] if ((OEOnTime - ClkActivationTime) が 3 の倍数)
  - H = (1 + 0.5 × OEExtraDelay) × GPMC_FCLK[15] if ((OEOnTime - ClkActivationTime - 1) が 3 の倍数)
  - H = (2 + 0.5 × OEExtraDelay) × GPMC_FCLK[15] if ((OEOnTime - ClkActivationTime - 2) が 3 の倍数)

OE 立ち上がりエッジ (OE が非アクティブ) の場合:

- Case GPMCFCLKDIVIDER = 0:
  - H = 0.5 × OEExtraDelay × GPMC_FCLK[15]
- Case GPMCFCLKDIVIDER = 1:

  - H = 0.5 × OEExtraDelay × GPMC_FCLK[15] if (ClkActivationTime および OEOffTime が奇数) または (ClkActivationTime および OEOffTime が偶数)
  - それ以外の場合は、H = (1 + 0.5 × OEExtraDelay) × GPMC_FCLK[15]
- Case GPMCFCLKDIVIDER = 2:
  - H = 0.5 × OEExtraDelay × GPMC_FCLK[15] if ((OEOffTime - ClkActivationTime) が 3 の倍数)
  - H = (1 + 0.5 × OEExtraDelay) × GPMC_FCLK[15] if ((OEOffTime - ClkActivationTime - 1) が 3 の倍数)
  - H = (2 + 0.5 × OEExtraDelay) × GPMC_FCLK[15] ((OEOffTime - ClkActivationTime - 2) が 3 の倍数) の場合

(9) WE 立ち下がりエッジ (WE がアクティブ) の場合:
- Case GPMCFCLKDIVIDER = 0:
  - I = 0.5 × WEExtraDelay × GPMC_FCLK[15]
- Case GPMCFCLKDIVIDER = 1:
  - I = 0.5 × WEExtraDelay × GPMC_FCLK[15] if (ClkActivationTime および WEOnTime が奇数) or (ClkActivationTime および WEOnTime が偶数)
  - I = (1 + 0.5 × WEExtraDelay) × GPMC_FCLK[15] otherwise
- Case GPMCFCLKDIVIDER = 2:
  - I = 0.5 × WEExtraDelay × GPMC_FCLK[15] if ((WEOnTime - ClkActivationTime) が 3 の倍数)
  - I = (1 + 0.5 × WEExtraDelay) × GPMC_FCLK[15] if ((WEOnTime - ClkActivationTime - 1) が 3 の倍数)
  - I = (2 + 0.5 × WEExtraDelay) × GPMC_FCLK[15] if ((WEOnTime - ClkActivationTime - 2) が 3 の倍数)

WE 立ち上がりエッジ (WE が非アクティブ) の場合:
- Case GPMCFCLKDIVIDER = 0:
  - I = 0.5 × WEExtraDelay × GPMC_FCLK [15]
- Case GPMCFCLKDIVIDER = 1:
  - I = 0.5 × WEExtraDelay × GPMC_FCLK[15] if (ClkActivationTime および WEOffTime が奇数) or (ClkActivationTime および WEOffTime が偶数)
  - I = (1 + 0.5 × WEExtraDelay) × GPMC_FCLK[15] otherwise
- Case GPMCFCLKDIVIDER = 2:
  - I = 0.5 × WEExtraDelay × GPMC_FCLK[15] if ((WEOffTime - ClkActivationTime) が 3 の倍数)
  - I = (1 + 0.5 × WEExtraDelay) × GPMC_FCLK[15] if ((WEOffTime - ClkActivationTime - 1) が 3 の倍数)
  - I = (2 + 0.5 × WEExtraDelay) × GPMC_FCLK[15] if ((WEOffTime - ClkActivationTime - 2) が 3 の倍数)

(10) J = GPMC_FCLK[15]
(11) 最初の転送は、CLK DIV 1 モードのみです。
(12) CLK DIV 1 モードでの初期転送の後、すべてのデータは半サイクルです。
(13) CLK DIV 1 モード以外のモードでは、すべてのデータは GPMC_CLKOUT の半サイクルです。GPMC_FCLK から GPMC_CLKOUT を分周します。
(14) GPMC_CSn[i] で、i は 0、1、2、または 3 です。GPMC_WAIT[j] で、j は 0 または 1 です。
(15) P = GPMC_CLK 周期 (ns 単位)
(16) GPMC モジュールで、GPMC_CONFIG1_i 構成レジスタのビットフィールド GPMCFCLKDIVIDER の設定によりプログラム可能な、GPMC_CLK 出力クロックの最高および最低周波数に関連します。
(17) div_by_1_mode に対し:
- GPMC_CONFIG1_i レジスタ:GPMCFCLKDIVIDER = 0h:
  - GPMC_CLK 周波数 = GPMC_FCLK 周波数

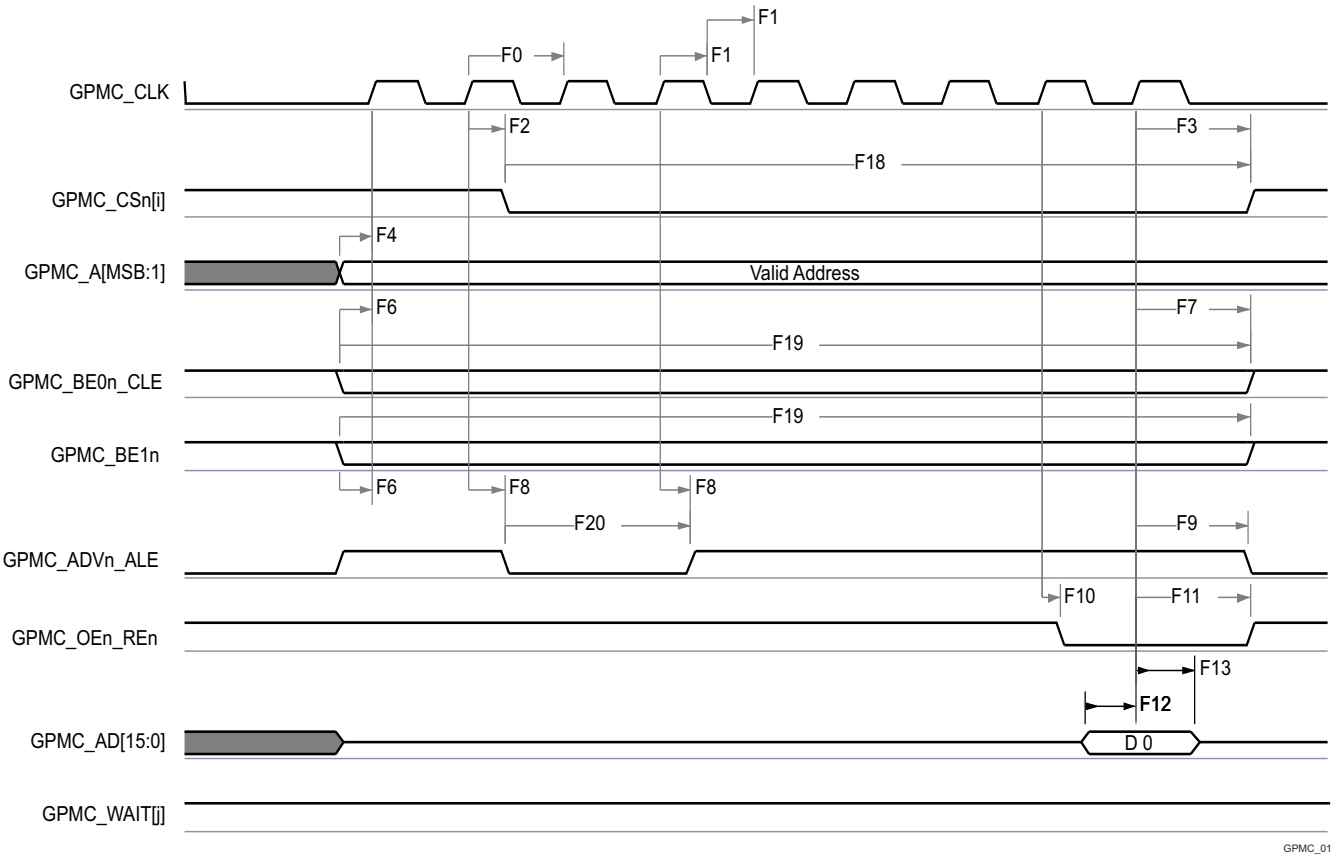
GPMC_FCLK_MUX に対し:
- CTRLMMR_GPMC_CLKSEL[1-0] CLK_SEL = 01 = PER1_PLL_CLKOUT / 3 = 300 / 3 = 100MHz

TIMEPARAGRANULARITY_X1 に対し:
- GPMC_CONFIG1_i レジスタ:TIMEPARAGRANULARITY = 0h = x1 レイテンシ (RD/WRCYCLETIME、RD/WRACCESSTIME、PAGEBURSTACCESSTIME、CSONTIME、CSRD/WROFFTIME、ADVONTIME、ADVRD/WROFFTIME、OEONTIME、OEOFFTIME、WEONTIME、WEOFFTIME、CYCLE2CYCLEDELAY、BUSTURNAROUND、TIMEOUTSTARTVALUE、WRDATAONADMUXBUS に影響)

extra_delay なしの場合:
- GPMC_CONFIG2_i レジスタ:CSEXTRADELAY = 0h = CSn タイミング制御信号は遅延しない
- GPMC_CONFIG4_i レジスタ:WEEXTRADELAY = 0h= nWE タイミング制御信号は遅延しない

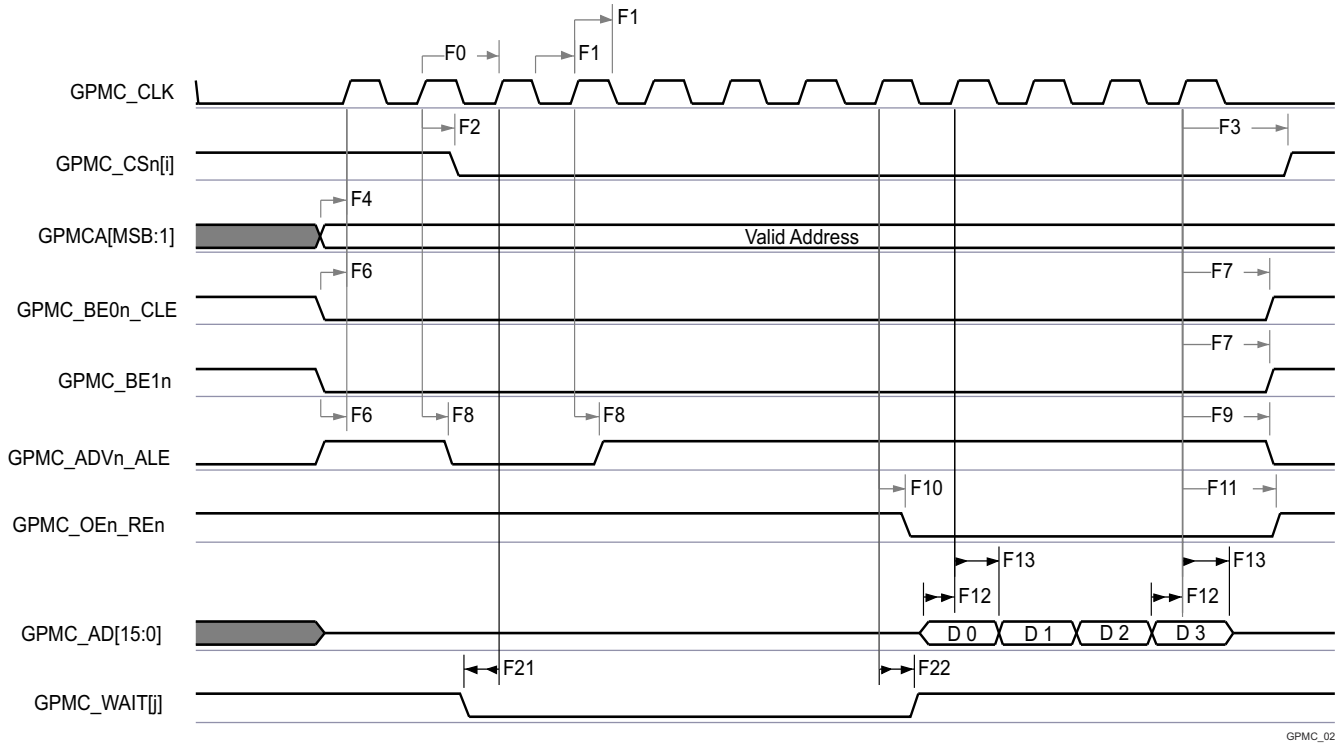
Copyright © 2024 Texas Instruments Incorporated

- GPMC_CONFIG4_i レジスタ:OEEXTRADELAY = 0h = nOE タイミング制御信号は遅延しない
- GPMC_CONFIG3_i レジスタ:ADVEXTRADELAY = 0h = nADV タイミング制御信号は遅延しない



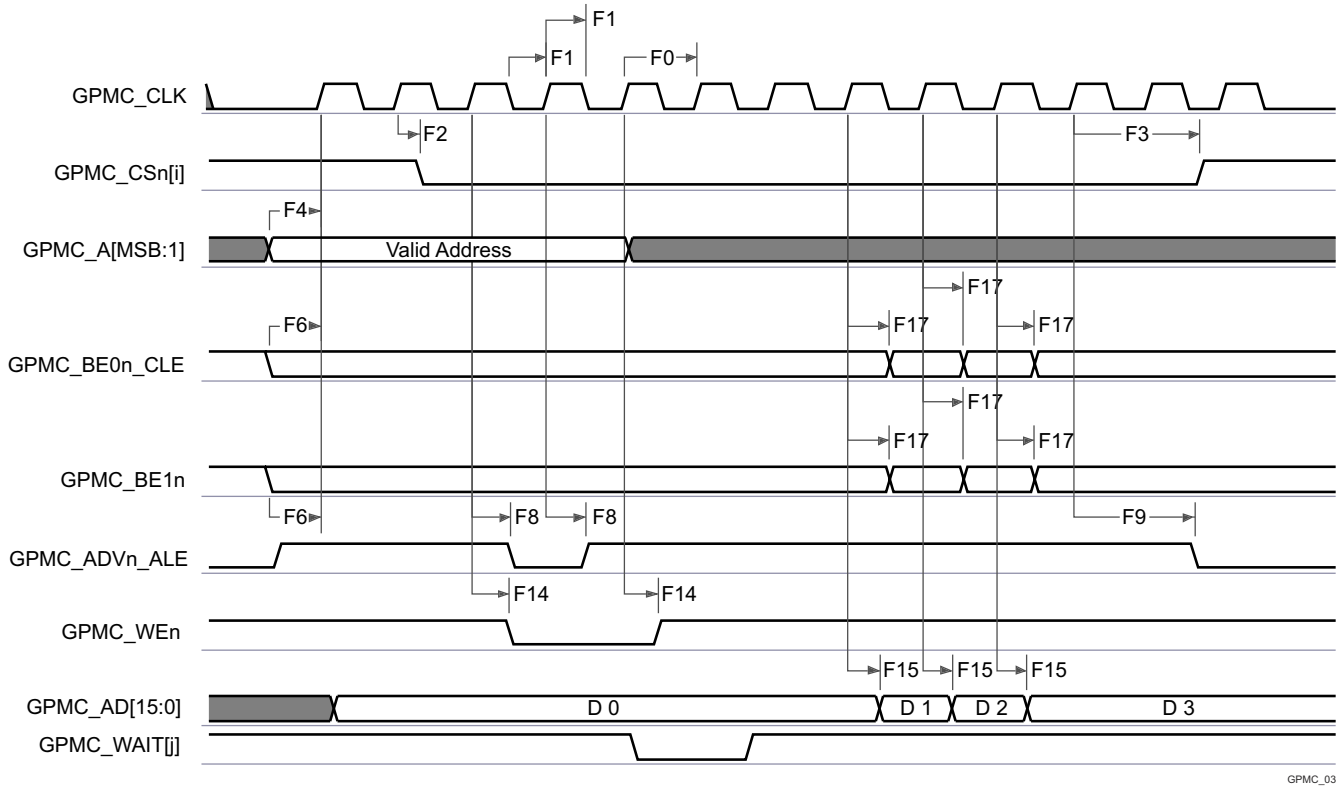
A. GPMC_CSn[i] で、i は 0、1、2、または 3 です。
B. GPMC_WAIT[j] で、j は 0 または 1 です。

図 6-37. GPMC および NOR フラッシュ — 同期単一読み出し (GPMCFCLKDIVIDER = 0)



A. GPMC_CSn[i] で、i は 0、1、2、または 3 です。
B. GPMC_WAIT[j] で、j は 0 または 1 です。

図 6-38. GPMC および NOR フラッシュ — 同期バースト読み出し — 4x16 ビット (GPMCFCLKDIVIDER = 0)

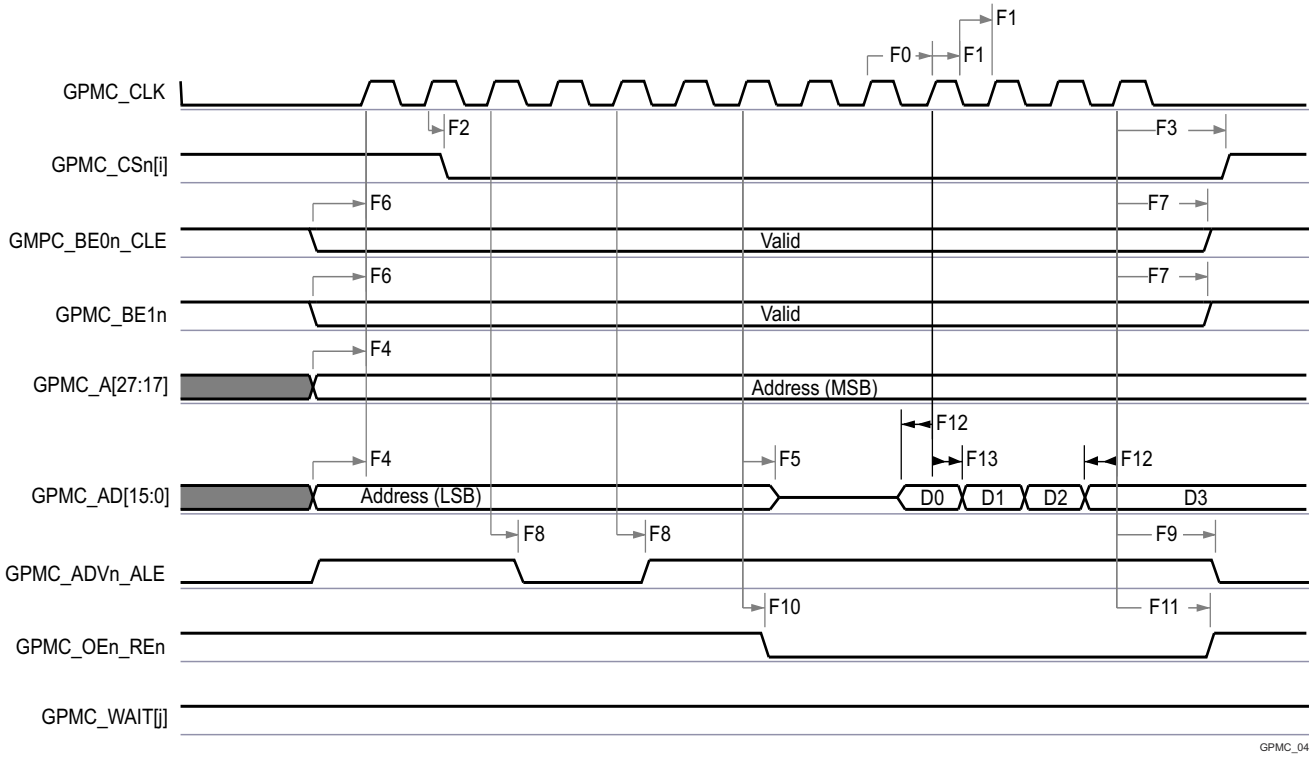


A. GPMC_CSn[i] で、i は 0、1、2、または 3 です。

Copyright © 2024 Texas Instruments Incorporated

B. GPMC_WAIT[j] で、j は 0 または 1 です。

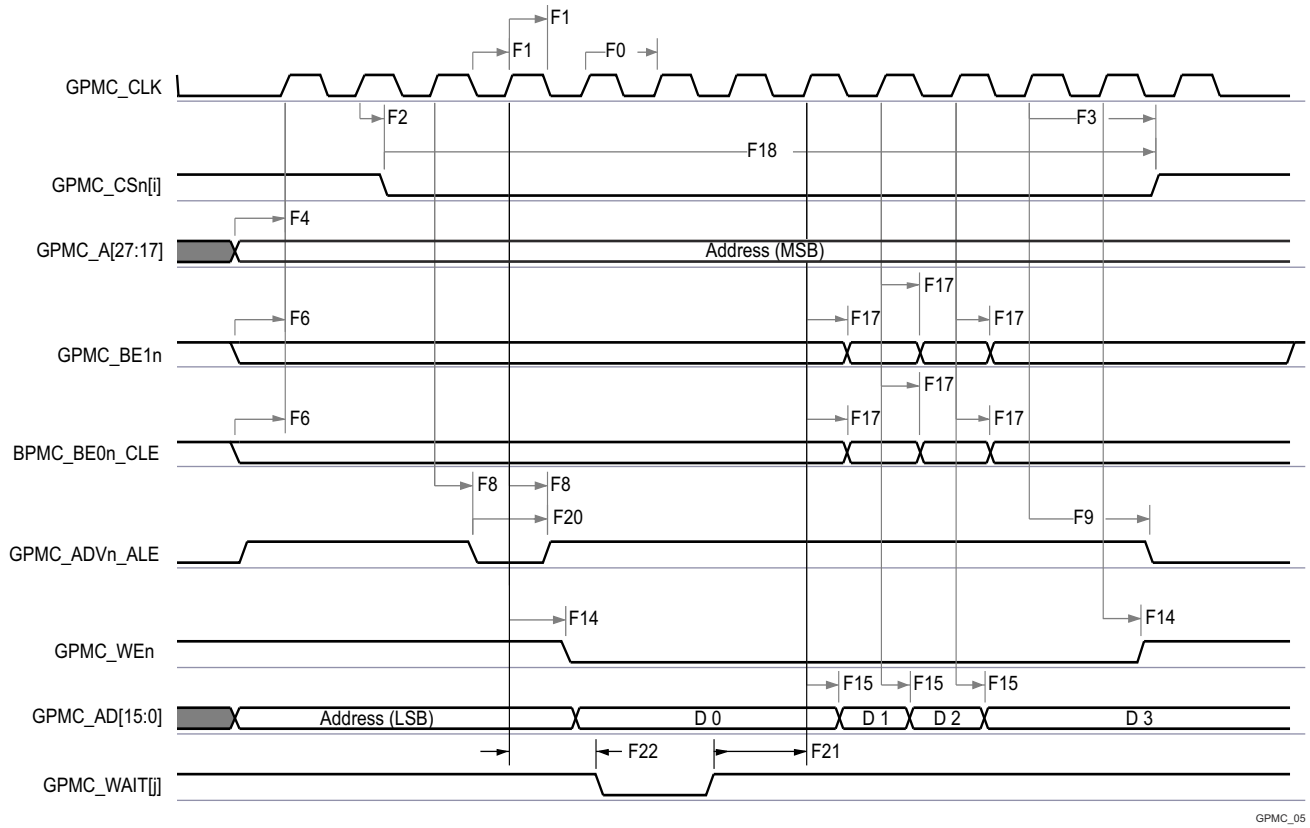
図 6-39. GPMC および NOR フラッシュ — 同期バースト書き込み (GPMCFCLKDIVIDER = 0)



A. GPMC_CSn[i] で、i は 0、1、2、または 3 です。

B. GPMC_WAIT[j] で、j は 0 または 1 です。

図 6-40. GPMC および多重化 NOR フラッシュ — 同期バースト読み出し



A. GPMC_CSn[i] で、i は 0、1、2、または 3 です。

B. GPMC_WAIT[j] で、j は 0 または 1 です。

図 6-41. GPMC および多重化 NOR フラッシュ — 同期バースト書き込み

Copyright © 2024 Texas Instruments Incorporated

6.10.5.8.2 GPMC および NOR フラッシュ — 非同期モード

表 6-56 および 表 6-57 に、GPMC および NOR フラッシュ - 非同期モードのタイミング要件とスイッチング特性を示します。

表 6-56. GPMC および NOR フラッシュのタイミング要件 – 非同期モード

図 6-42、図 6-43、図 6-44、図 6-46 を参照

番号	パラメータ	説明	モード	最小値	最大値	単位
FA5 (1)	$t_{acc(d)}$	データ アクセス時間	div_by_1_mode、GPMC_FCLK_MUX、TIMEPARAGRANULARITY_X1		H (4)	ns
FA20 (2)	$t_{acc1\text{-}pgmode(d)}$	ページ モードの連続データ アクセス時間	div_by_1_mode、GPMC_FCLK_MUX、TIMEPARAGRANULARITY_X1		P (3)	ns
FA21 (1)	$t_{acc2\text{-}pgmode(d)}$	ページ モードの最初のデータ アクセス時間	div_by_1_mode、GPMC_FCLK_MUX、TIMEPARAGRANULARITY_X1		H (4)	ns

(1) FA5 パラメータは、入力データを内部的にサンプリングするために必要な時間を示します。これは、GPMC 機能クロック サイクル数で表されます。読み取りサイクルの開始から FA5 機能クロック サイクル経過後、入力データはアクティブな機能クロック エッジによって内部的にサンプリングされます。FA5 の値は、AccessTime レジスタ ビット フィールドに保存する必要があります。
(2) FA20 パラメータは、連続する入力ページ データを内部でサンプリングするために必要な時間を示します。これは、GPMC 機能クロック サイクル数で表されます。入力ページ データへの各アクセスの後、FA20 機能クロック サイクル経過後、次の入力ページ データはアクティブな機能クロック エッジによって内部的にサンプリングされます。FA20 の値は、PageBurstAccessTime レジスタのビット フィールドに保存する必要があります。
(3) P = PageBurstAccessTime × (TimeParaGranularity + 1) × GPMC_FCLK(5)
(4) H = AccessTime × (TimeParaGranularity + 1) × GPMC_FCLK(5)
(5) GPMC_FCLK は、汎用メモリ コントローラの内部機能クロック周期で、ns 単位です。

表 6-57. GPMC および NOR フラッシュのスイッチング特性 – 非同期モード

図 6-42、図 6-43、図 6-44、図 6-45、図 6-46、図 6-47 参照

番号	パラメータ	説明	モード (15)	最小値	最大値	単位
				133MHz		
FA0	$t_{w(be[x]nV)}$	パルス幅、出力下位バイト イネーブルおよびコマンド ラッチ イネーブル GPMC_BE0n_CLE、出力上位バイト イネーブル GPMC_BE1n 有効時間	読み出し		N (12)	ns
			書き込み		N (12)	
FA1	$t_{w(csnV)}$	パルス幅、出力チップ セレクト GPMC_CSn[i](13) low	読み出し		A (1)	ns
			書き込み		A (1)	
FA3	$t_{d(csnV\text{-}advnlV)}$	遅延時間、出力チップ セレクト GPMC_CSn[i](13) 有効から出力アドレス有効およびアドレス ラッチ イネーブル GPMC_ADVn_ALE 無効まで	読み出し	B - 2.1 (2)	B + 2.1 (2)	ns
			書き込み	B - 2.1 (2)	B + 2.1 (2)	
FA4	$t_{d(csnV\text{-}oenlV)}$	遅延時間、出力チップセレクト GPMC_CSn[i](13) 有効から 出力イネーブル GPMC_OEn_REn 無効まで (単一読み取り)	div_by_1_mode、GPMC_FCLK_MUX、TIMEPARAGRANULARITY_X1	C - 2.1 (3)	C + 2.1 (3)	ns
FA9	$t_{d(aV\text{-}csnV)}$	遅延時間、出力アドレス GPMC_A[27:1] 有効から出力チップ セレクト GPMC_CSn[i](13) 有効まで	div_by_1_mode、GPMC_FCLK_MUX、TIMEPARAGRANULARITY_X1	J - 2.1 (9)	J + 2.1 (9)	ns
FA10	$t_{d(be[x]nV\text{-}csnV)}$	遅延時間、出力下位バイト イネーブルおよびコマンド ラッチ イネーブル GPMC_BE0n_CLE、出力上位バイト イネーブル GPMC_BE1n 有効から出力チップ セレクト GPMC_CSn[i](13) まで	div_by_1_mode、GPMC_FCLK_MUX、TIMEPARAGRANULARITY_X1	J - 2.1 (9)	J + 2.1 (9)	ns
FA12	$t_{d(csnV\text{-}advnV)}$	遅延時間、出力チップ セレクト GPMC_CSn[i](13) 有効から出力アドレス有効、アドレス ラッチ イネーブル GPMC_ADVn_ALE 有効まで	div_by_1_mode、GPMC_FCLK_MUX、TIMEPARAGRANULARITY_X1	K - 2.1 (10)	K + 2.1 (10)	ns
FA13	$t_{d(csnV\text{-}oenV)}$	遅延時間、出力チップ セレクト GPMC_CSn[i](13) 有効から出力イネーブル GPMC_OEn_REn 有効まで	div_by_1_mode、GPMC_FCLK_MUX、TIMEPARAGRANULARITY_X1	L - 2.1 (11)	L + 2.1 (11)	ns

表 6-57. GPMC および NOR フラッシュのスイッチング特性 – 非同期モード (続き)

図 6-42、図 6-43、図 6-44、図 6-45、図 6-46、図 6-47 参照

番号	パラメータ	説明	モード [15]	最小値	最大値	単位
				133MHz		
FA16	$t_{w(aIV)}$	2 つの連続する読み取りおよび書き込みアクセスの間で、出力アドレス GPMC_A[26:1] が無効になるパルス幅	div_by_1_mode、GPMC_FCLK_MUX、TIMEPARAGRANULARITY_X1	G [7]		ns
FA18	$t_{d(csnV-oenIV)}$	遅延時間、出力チップ セレクト GPMC_CSn[i][13] 有効から 出力イネーブル GPMC_OEn_REn 無効まで (バースト読み取り)	div_by_1_mode、GPMC_FCLK_MUX、TIMEPARAGRANULARITY_X1	I - 2.1 [8]	I + 2.1 [8]	ns
FA20	$t_{w(aV)}$	パルス幅、出力アドレス GPMC_A[27:1] 有効 - 2 回目、3 回目、4 回目のアクセス	div_by_1_mode、GPMC_FCLK_MUX、TIMEPARAGRANULARITY_X1	D [4]		ns
FA25	$t_{d(csnV-wenV)}$	遅延時間、出力チップ セレクト GPMC_CSn[i][13] 有効から出力書き込みイネーブル GPMC_WEn 有効まで	div_by_1_mode、GPMC_FCLK_MUX、TIMEPARAGRANULARITY_X1	E - 2.1 [5]	E + 2.1 [5]	ns
FA27	$t_{d(csnV-wenIV)}$	遅延時間、出力チップ セレクト GPMC_CSn[i][13] 有効から出力書き込みイネーブル GPMC_WEn 無効まで	div_by_1_mode、GPMC_FCLK_MUX、TIMEPARAGRANULARITY_X1	F - 2.1 [6]	F + 2.1 [6]	ns
FA28	$t_{d(wenV-dV)}$	遅延時間、出力書き込みイネーブル GPMC_WEn 有効から出力データ GPMC_AD[15:0] 有効まで	div_by_1_mode、GPMC_FCLK_MUX、TIMEPARAGRANULARITY_X1		2.1	ns
FA29	$t_{d(dV-csnV)}$	遅延時間、出力データ GPMC_AD[15:0] 有効から出力チップ セレクト GPMC_CSn[i][13] 有効まで	div_by_1_mode、GPMC_FCLK_MUX、TIMEPARAGRANULARITY_X1	J - 2.1 [9]	J + 2.1 [9]	ns
FA37	$t_{d(oenV-aIV)}$	遅延時間、出力イネーブル GPMC_OEn_REn 有効から出力アドレス GPMC_AD[15:0] フェーズ終了まで	div_by_1_mode、GPMC_FCLK_MUX、TIMEPARAGRANULARITY_X1		2.1	ns

(1) 単一読み取りの場合:A = (CSRdOffTime - CSOnTime) × (TimeParaGranularity + 1) × GPMC_FCLK[14]
単一書き込みの場合:A = (CSWrOffTime - CSOnTime) × (TimeParaGranularity + 1) × GPMC_FCLK[14]
バースト読み取りの場合:A = (CSRdOffTime - CSOnTime + (n - 1) × PageBurstAccessTime) × (TimeParaGranularity + 1) × GPMC_FCLK[14]
バースト書き込みの場合:A = (CSWrOffTime - CSOnTime + (n - 1) × PageBurstAccessTime) × (TimeParaGranularity + 1) × GPMC_FCLK[14]
n はページ バースト アクセス数
(2) 読み取りの場合:B = ((ADVRdOffTime - CSOnTime) × (TimeParaGranularity + 1) + 0.5 × (ADVExtraDelay - CSExtraDelay)) × GPMC_FCLK[14]
書き込みの場合:B = ((ADVWrOffTime - CSOnTime) × (TimeParaGranularity + 1) + 0.5 × (ADVExtraDelay - CSExtraDelay)) × GPMC_FCLK[14]
(3) C = ((OEOffTime - CSOnTime) × (TimeParaGranularity + 1) + 0.5 × (OEExtraDelay - CSExtraDelay)) × GPMC_FCLK[14]
(4) D = PageBurstAccessTime × (TimeParaGranularity + 1) × GPMC_FCLK[14]
(5) E = ((WEOnTime - CSOnTime) × (TimeParaGranularity + 1) + 0.5 × (WEExtraDelay - CSExtraDelay)) × GPMC_FCLK[14]
(6) F = ((WEOffTime - CSOnTime) × (TimeParaGranularity + 1) + 0.5 × (WEExtraDelay - CSExtraDelay)) × GPMC_FCLK[14]
(7) G = Cycle2CycleDelay × GPMC_FCLK[14]
(8) I = ((OEOffTime + (n - 1) × PageBurstAccessTime - CSOnTime) × (TimeParaGranularity + 1) + 0.5 × (OEExtraDelay - CSExtraDelay)) × GPMC_FCLK[14]
(9) J = (CSOnTime × (TimeParaGranularity + 1) + 0.5 × CSExtraDelay) × GPMC_FCLK[14]
(10) K = ((ADVOnTime - CSOnTime) × (TimeParaGranularity + 1) + 0.5 × (ADVExtraDelay - CSExtraDelay)) × GPMC_FCLK[14]
(11) L = ((OEOnTime - CSOnTime) × (TimeParaGranularity + 1) + 0.5 × (OEExtraDelay - CSExtraDelay)) × GPMC_FCLK[14]
(12) 単一読み取りの場合:N = RdCycleTime × (TimeParaGranularity + 1) × GPMC_FCLK[14]
単一書き込みの場合:N = WrCycleTime × (TimeParaGranularity + 1) × GPMC_FCLK[14]
バースト読み取りの場合:N = (RdCycleTime + (n - 1) × PageBurstAccessTime) × (TimeParaGranularity + 1) × GPMC_FCLK[14]
バースト書き込みの場合:N = (WrCycleTime + (n - 1) × PageBurstAccessTime) × (TimeParaGranularity + 1) × GPMC_FCLK[14]
(13) GPMC_CSn[i] で、i は 0、1、2、または 3 です。
(14) GPMC_FCLK は、汎用メモリ コントローラの内部機能クロック周期で、ns 単位です。
(15) div_by_1_mode に対し:
- GPMC_CONFIG1_i レジスタ:GPMCFCLKDIVIDER = 0h:
  - GPMC_CLK 周波数 = GPMC_FCLK 周波数

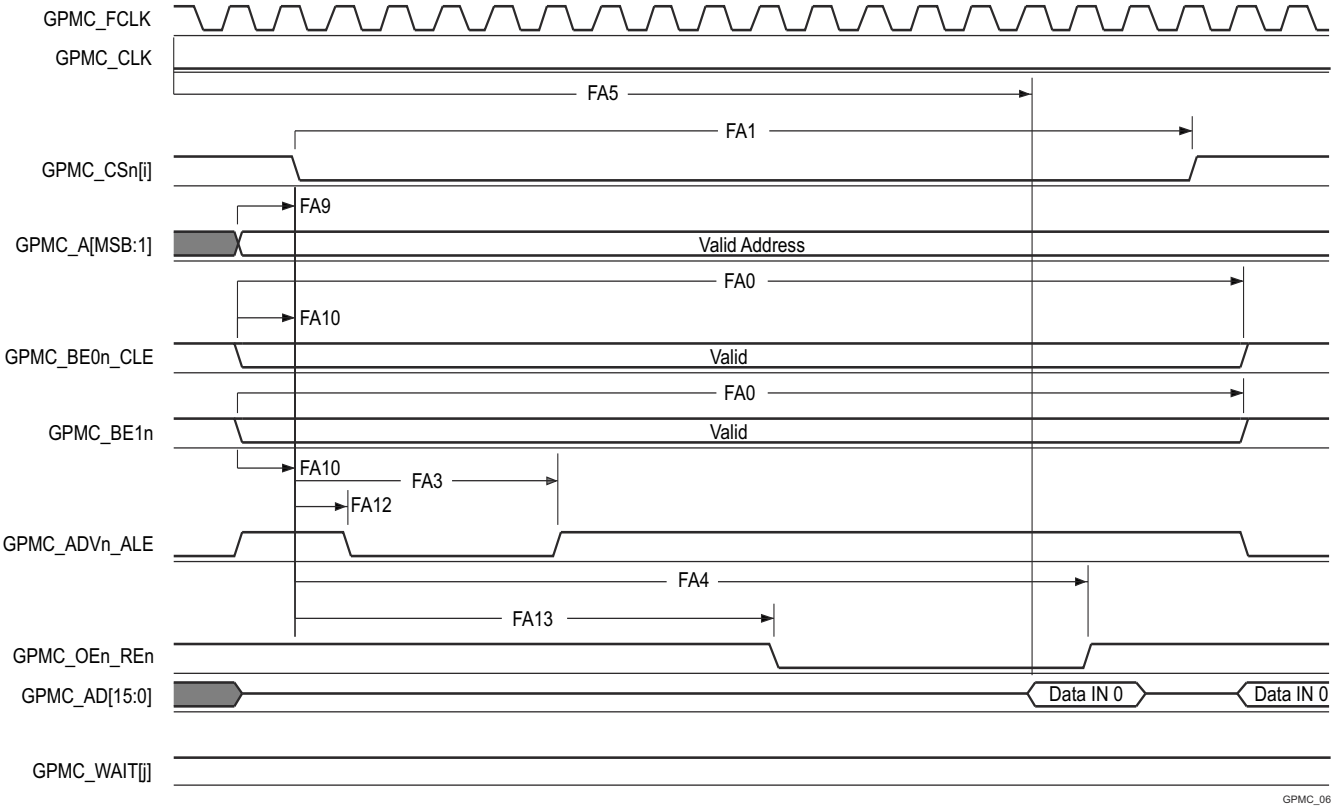
Copyright © 2024 Texas Instruments Incorporated

GPMC_FCLK_MUX に対し:

- CTRLMMR_GPMC_CLKSEL[1-0] CLK_SEL = 00 = CPSWHSDIV_CLKOUT3 = 2000/15 = 133.33MHz

TIMEPARAGRANULARITY_X1 に対し:

- GPMC_CONFIG1_i レジスタ:TIMEPARAGRANULARITY = 0h = x1 レイテンシ (RD/WRCYCLETIME、RD/WRACCESSTIME、PAGEBURSTACCESSTIME、CSONTIME、CSRD/WROFFTIME、ADVONTIME、ADVRD/WROFFTIME、OEONTIME、OEOFFTIME、WEONTIME、WEOFFTIME、CYCLE2CYCLEDELAY、BUSTURNAROUND、TIMEOUTSTARTVALUE、WRDATAONADMUXBUS に影響)

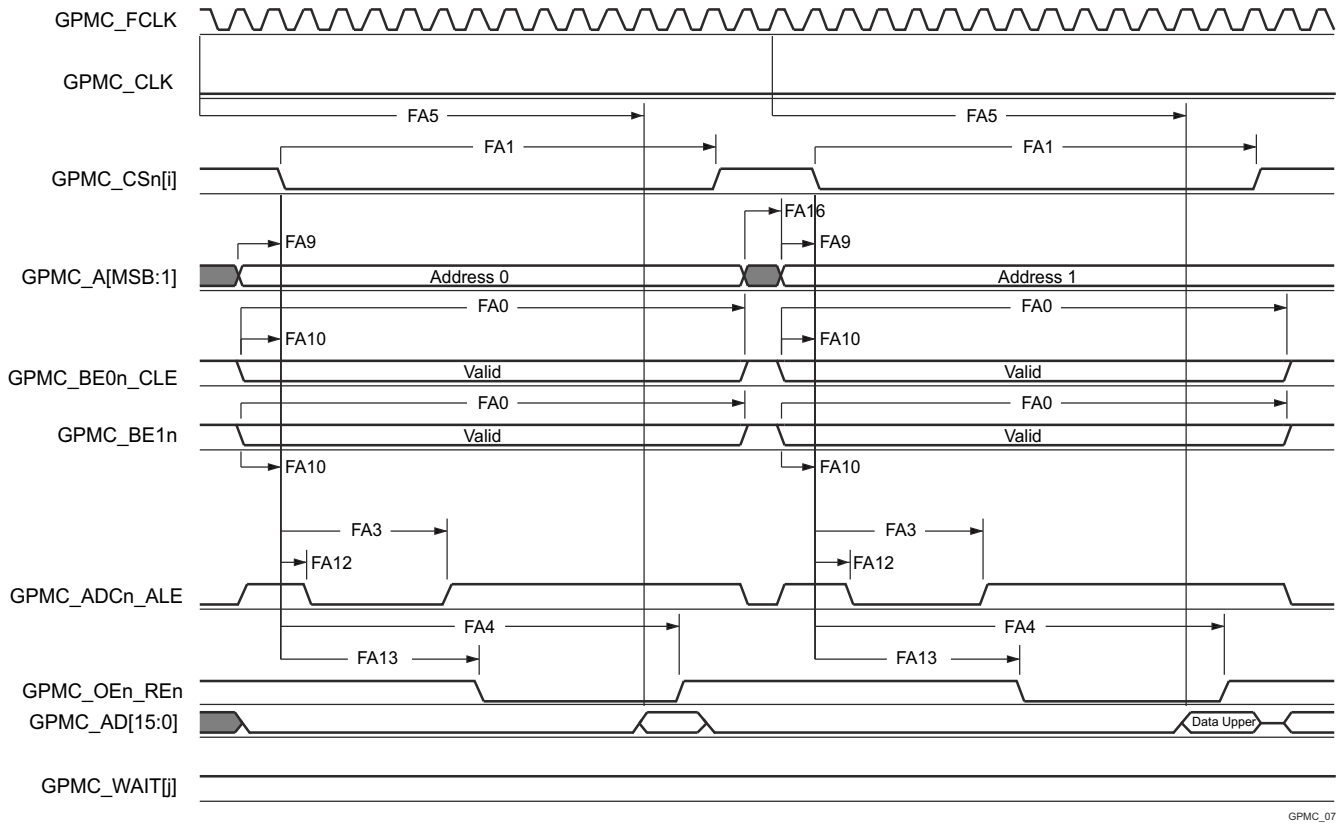


A. GPMC_CSn[i] で、i は 0、1、2、または 3 です。GPMC_WAIT[j] で、jis は 0 または 1 です。

B. FA5 パラメータは、入力データを内部でサンプリングするために必要な時間を示しています。これは、GPMC 機能クロック サイクル数で表されます。読み取りサイクルの開始から FA5 機能クロック サイクル経過後、入力データはアクティブな機能クロック エッジによって内部的にサンプリングされます。FA5 の値は、AccessTime レジスタ ビット フィールド内に格納する必要があります。

C. GPMC_FCLK は、外部に供給されない内部クロック (GPMC 機能クロック) です。

図 6-42. GPMC および NOR フラッシュ — 非同期読み取り — シングル ワード



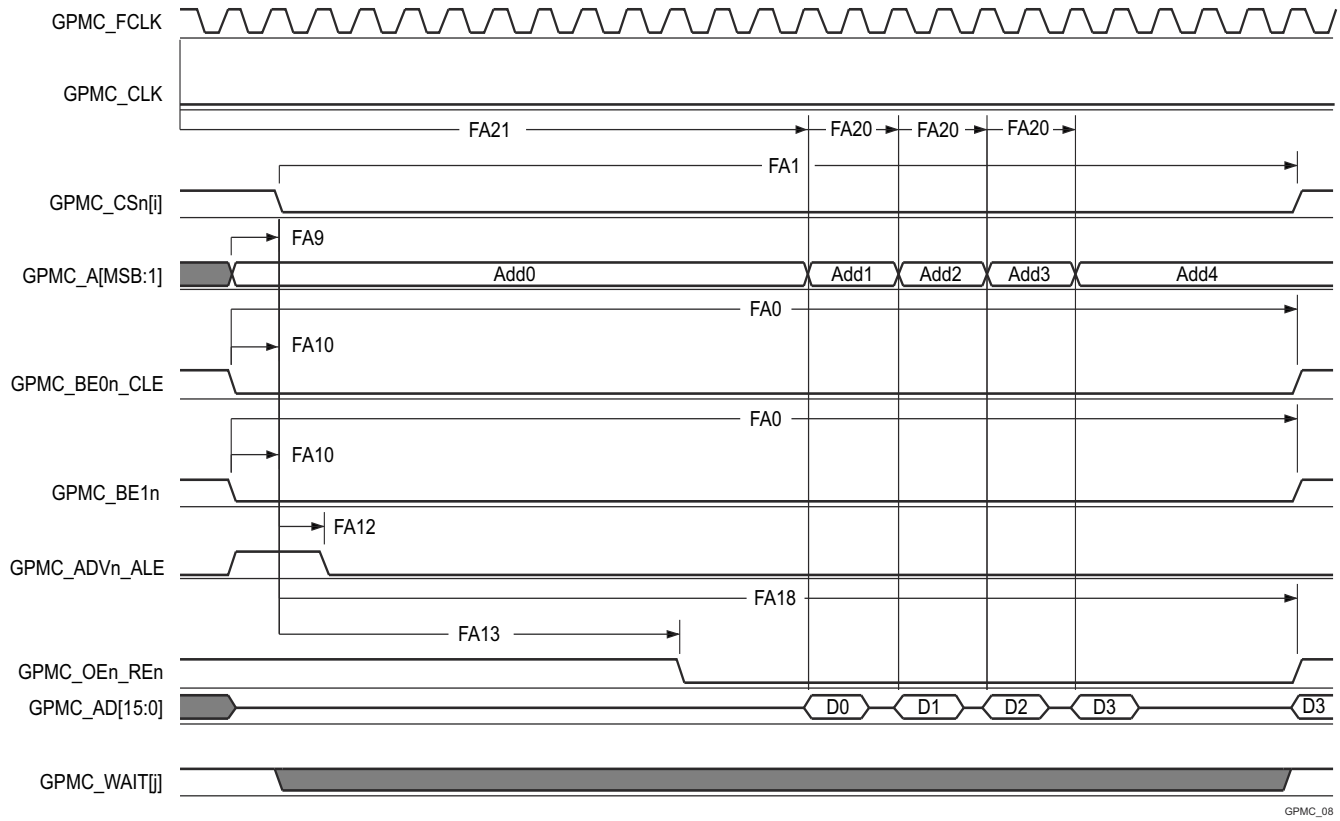
A. GPMC_CSn[i] で、i は 0、1、2、または 3 です。GPMC_WAIT[j] で、j は 0 または 1 です。

B. FA5 パラメータは、入力データを内部でサンプリングするために必要な時間を示しています。これは、GPMC 機能クロック サイクル数で表されます。読み取りサイクルの開始から FA5 機能クロック サイクル経過後、入力データはアクティブな機能クロック エッジによって内部的にサンプリングされます。FA5 の値は、AccessTime レジスタ ビット フィールド内に格納する必要があります。

C. GPMC_FCLK は、外部に供給されない内部クロック (GPMC 機能クロック) です。

図 6-43. GPMC および NOR フラッシュ — 非同期読み取り — 32 ビット

Copyright © 2024 Texas Instruments Incorporated



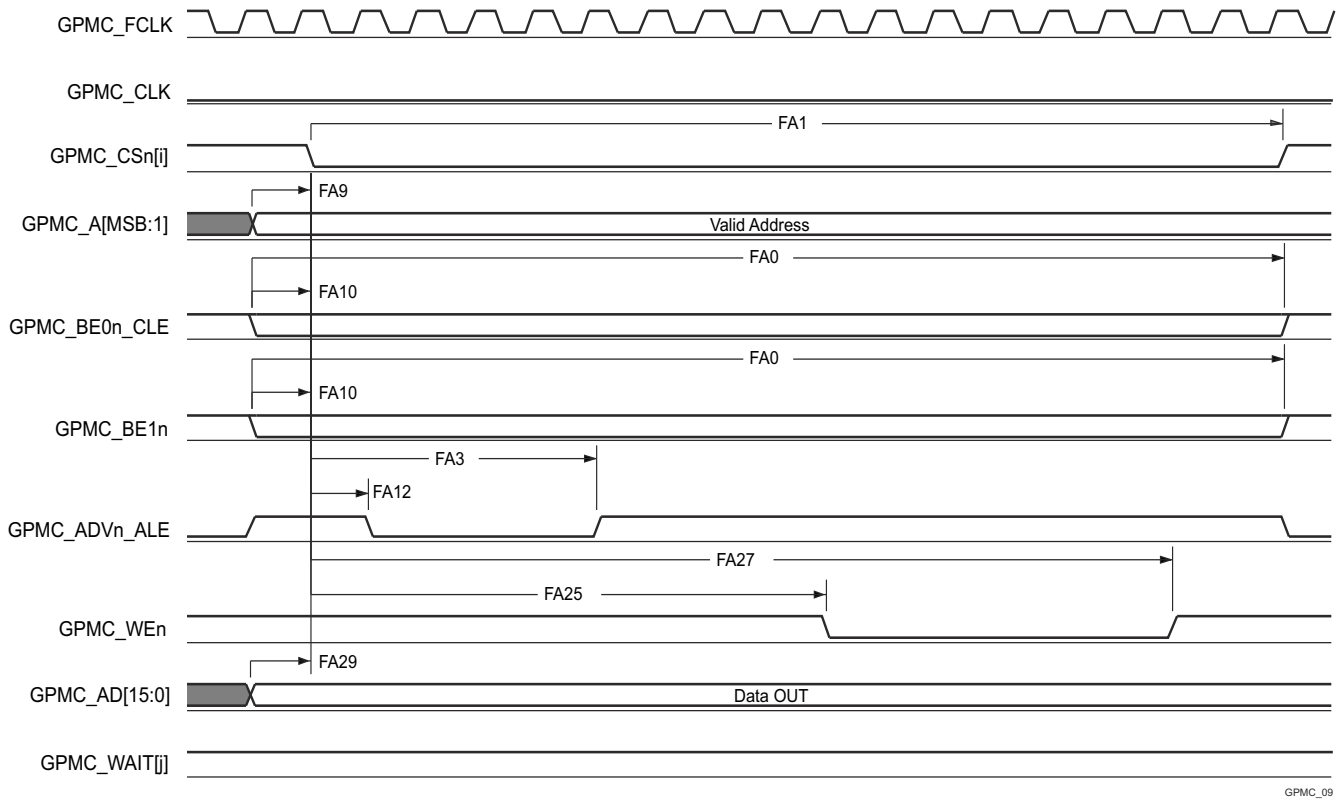
A. GPMC_CSn[i] で、i は 0、1、2、または 3 です。GPMC_WAIT[j] で、j は 0 または 1 です。

B. FA21 パラメータは、最初の入力ページ データを内部でサンプリングするために必要な時間を示します。これは、GPMC 機能クロック サイクル数で表されます。読み取りサイクルの開始から FA21 機能クロック サイクル経過後、最初の入力ページのデータが、アクティブな機能クロック エッジによって内部的にサンプリングされます。FA21 の計算値は、accessTime レジスタ ビット フィールド内に保存する必要があります。

C. FA20 パラメータは、連続する入力ページ データを内部でサンプリングするために必要な時間を示します。これは、GPMC 機能クロック サイクル数で表されます。入力ページ データへの各アクセスの後、FA20 機能クロック サイクル経過後、次の入力ページ データはアクティブな機能クロック エッジによって内部的にサンプリングされます。FA20 は、連続する入力ページ データ (最初の入力ページ データを除く) のアドレス フェーズ期間でもあります。FA20 の値は、PageBurstAccessTime レジスタ ビット フィールドに保存する必要があります。

D. GPMC_FCLK は、外部に供給されない内部クロック (GPMC 機能クロック) です。

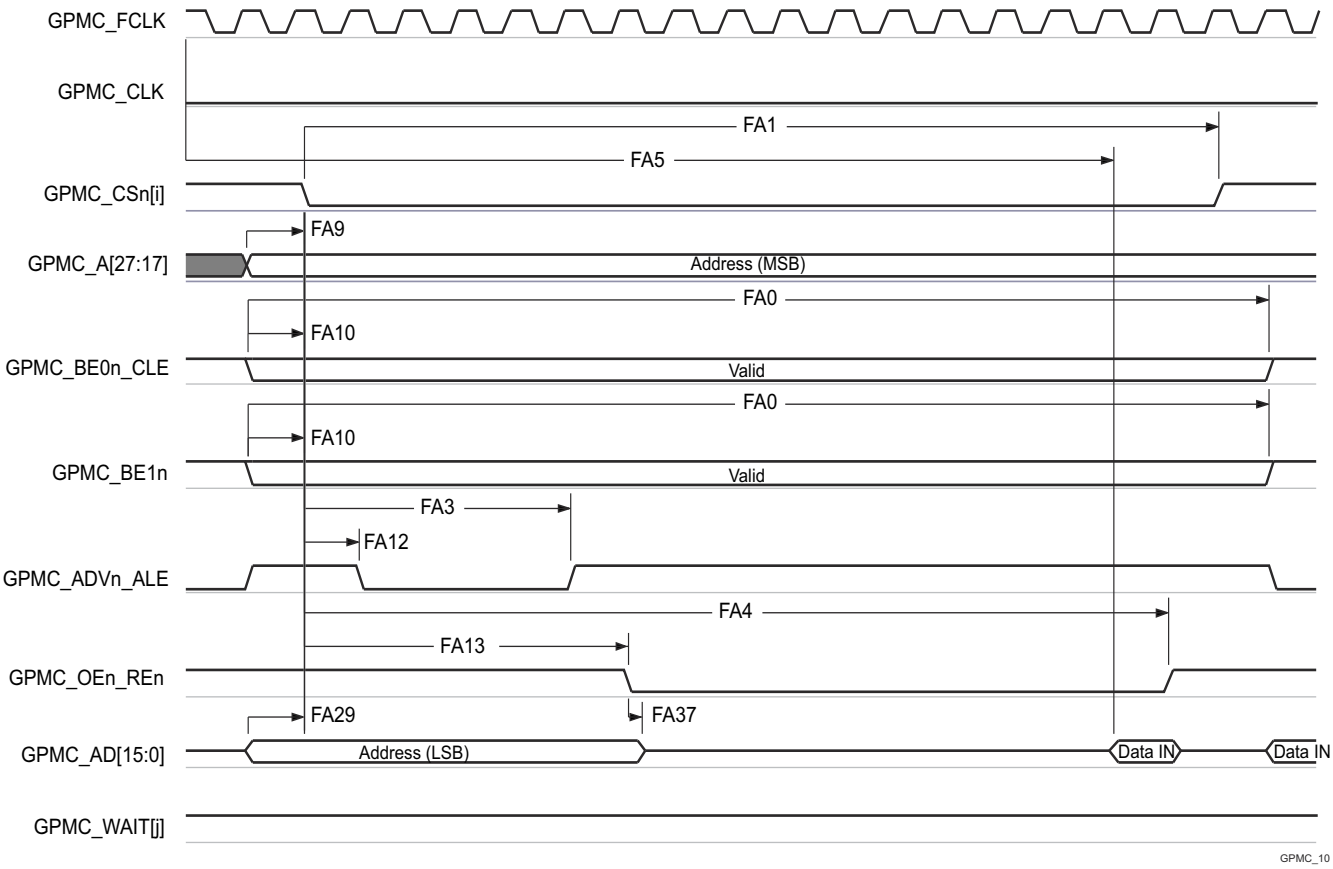
図 6-44. GPMC および NOR フラッシュ — 非同期読み取り — ページ モード 4x16 ビット



A. GPMC_CSn[i] で、i は 0、1、2、または 3 です。GPMC_WAIT[j] で、j は 0 または 1 です。

図 6-45. GPMC および NOR フラッシュ — 非同期書き込み — シングル ワード

Copyright © 2024 Texas Instruments Incorporated

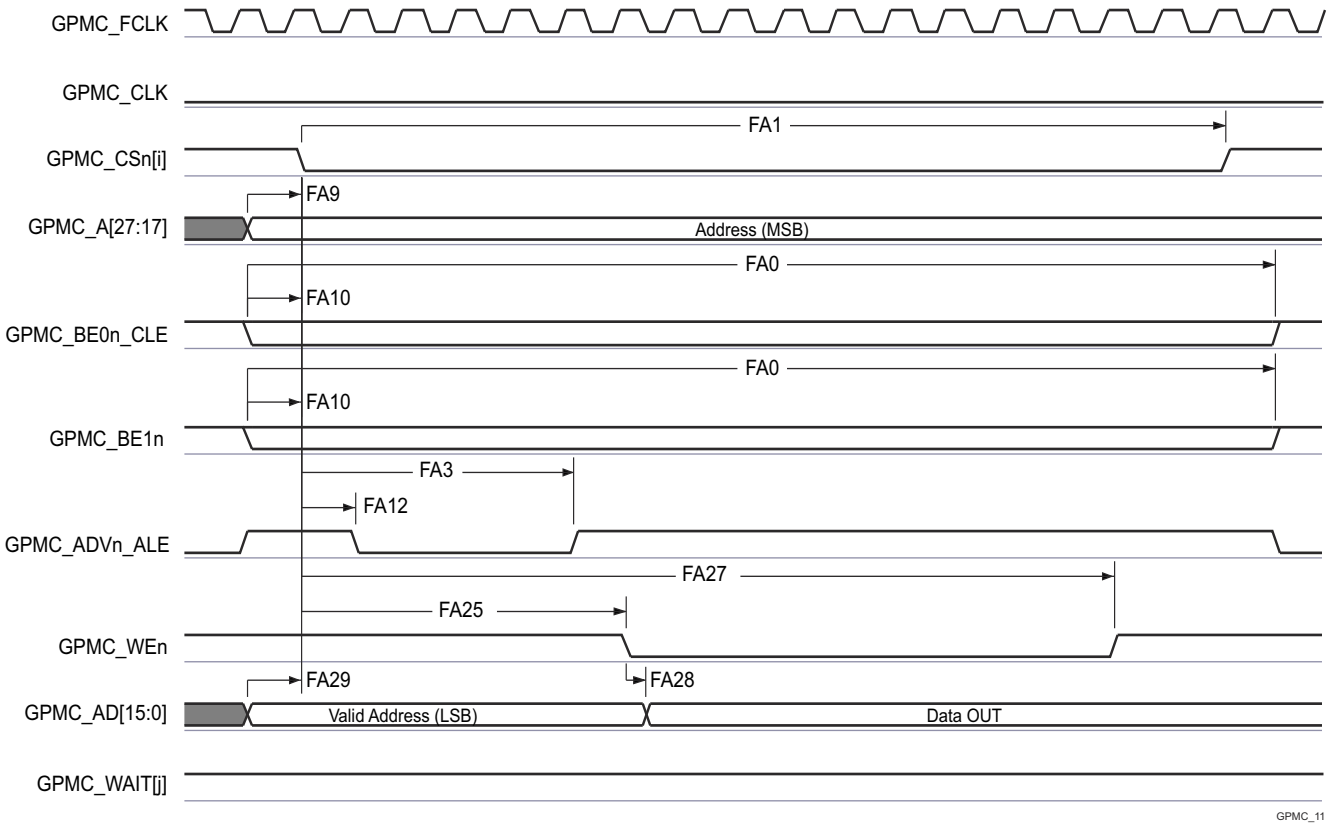


A. GPMC_CSn[i] で、i は 0、1、2、または 3 です。GPMC_WAIT[j] で、j は 0 または 1 です。

B. FA5 パラメータは、入力データを内部でサンプリングするために必要な時間を示しています。これは、GPMC 機能クロック サイクル数で表されます。読み取りサイクルの開始から FA5 機能クロック サイクル経過後、入力データはアクティブな機能クロック エッジによって内部的にサンプリングされます。FA5 の値は、AccessTime レジスタ ビット フィールド内に格納する必要があります。

C. GPMC_FCLK は、外部に供給されない内部クロック (GPMC 機能クロック) です。

図 6-46. GPMC および多重化 NOR フラッシュ — 非同期読み取り — シングル ワード



A. GPMC_CSn[i] で、i は 0、1、2、または 3 です。GPMC_WAIT[j] で、j は 0 または 1 です。

図 6-47. GPMC および多重化 NOR フラッシュ — 非同期書き込み — シングル ワード

Copyright © 2024 Texas Instruments Incorporated

6.10.5.8.3 GPMC および NAND フラッシュ — 非同期モード

表 6-58 および 表 6-59 に、GPMC および NAND フラッシュ - 非同期モードのタイミング要件とスイッチング特性を示します。

表 6-58. GPMC および NAND フラッシュのタイミング要件 – 非同期モード

図 6-50 参照

番号	パラメータ	説明	モード [(4)]	最小値	最大値	単位
				133MHz		
GNF12 [(1)]	$t_{acc(d)}$	アクセス時間、入力データ GPMC_AD[15:0] [(3)]	div_by_1_mode、GPMC_FCLK_MUX、TIMEPARAGRANULARITY_X1		J [(2)]	ns

(1) GNF12 パラメータは、入力データを内部的にサンプリングするために必要な時間を示します。これは、GPMC 機能クロック サイクル数で表されます。読み取りサイクルの開始から GNF12 機能クロック サイクル経過後、入力データはアクティブな機能クロック エッジによって内部的にサンプリングされます。GNF12 の値は、AccessTime レジスタ ビット フィールドに保存する必要があります。
(2) J = AccessTime × (TimeParaGranularity + 1) × GPMC_FCLK[(3)]
(3) GPMC_FCLK は、汎用メモリ コントローラの内部機能クロック周期で、ns 単位です。
(4) div_by_1_mode に対し:

- GPMC_CONFIG1_i レジスタ:GPMCFCLKDIVIDER = 0h:
  - GPMC_CLK 周波数 = GPMC_FCLK 周波数

GPMC_FCLK_MUX に対し:

- CTRLMMR_GPMC_CLKSEL[1-0] CLK_SEL = 00 = CPSWHSDIV_CLKOUT3 = 2000/15 = 133.33MHz

TIMEPARAGRANULARITY_X1 に対し:

- GPMC_CONFIG1_i レジスタ:TIMEPARAGRANULARITY = 0h = x1 レイテンシ (RD/WRCYCLETIME、RD/WRACCESSTIME、PAGEBURSTACCESSTIME、CSONTIME、CSRD/WROFFTIME、ADVONTIME、ADVRD/WROFFTIME、OEONTIME、OEOFFTIME、WEONTIME、WEOFFTIME、CYCLE2CYCLEDELAY、BUSTURNAROUND、TIMEOUTSTARTVALUE、WRDATAONADMUXBUS に影響)

表 6-59. GPMC および NAND フラッシュのスイッチング特性 – 非同期モード

図 6-48、図 6-49、図 6-50、図 6-51 を参照

番号	パラメータ		モード [(4)]	最小値	最大値	単位
GNF0	$t_{w(wenV)}$	パルス幅、出力書き込みイネーブル GPMC_WEn 有効	div_by_1_mode、GPMC_FCLK_MUX、TIMEPARAGRANULARITY_X1	A		ns
GNF1	$t_{d(csnV-wenV)}$	遅延時間、出力チップ セレクト GPMC_CSn[i][(2)] 有効から出力書き込みイネーブル GPMC_WEn 有効まで	div_by_1_mode、GPMC_FCLK_MUX、TIMEPARAGRANULARITY_X1	B - 2	B + 2	ns
GNF2	$t_{w(cleH-wenV)}$	遅延時間、出力下位バイト イネーブルおよびコマンド ラッチ イネーブル GPMC_BE0n_CLE high から出力書き込みイネーブル GPMC_WEn 有効まで	div_by_1_mode、GPMC_FCLK_MUX、TIMEPARAGRANULARITY_X1	C - 2	C + 2	ns
GNF3	$t_{w(wenV-dV)}$	遅延時間、出力データ GPMC_AD[15:0] 有効から出力書き込みイネーブル GPMC_WEn 有効まで	div_by_1_mode、GPMC_FCLK_MUX、TIMEPARAGRANULARITY_X1	D - 2	D + 2	ns
GNF4	$t_{w(wenIV-dIV)}$	遅延時間、出力書き込みイネーブル GPMC_WEn 無効から出力データ GPMC_AD[15:0] 無効まで	div_by_1_mode、GPMC_FCLK_MUX、TIMEPARAGRANULARITY_X1	E - 2	E + 2	ns
GNF5	$t_{w(wenIV-cleIV)}$	遅延時間、出力書き込みイネーブル GPMC_WEn 無効から下位バイト イネーブルおよびコマンド ラッチ イネーブル GPMC_BE0n_CLE 無効まで	div_by_1_mode、GPMC_FCLK_MUX、TIMEPARAGRANULARITY_X1	F - 2	F + 2	ns
GNF6	$t_{w(wenIV-CSn[i]V)}$	遅延時間、出力書き込みイネーブル GPMC_WEn 無効から出力チップ セレクト GPMC_CSn[i][(2)] 無効まで	div_by_1_mode、GPMC_FCLK_MUX、TIMEPARAGRANULARITY_X1	G - 2	G + 2	ns

表 6-59. GPMC および NAND フラッシュのスイッチング特性 – 非同期モード (続き)

図 6-48、図 6-49、図 6-50、図 6-51 を参照

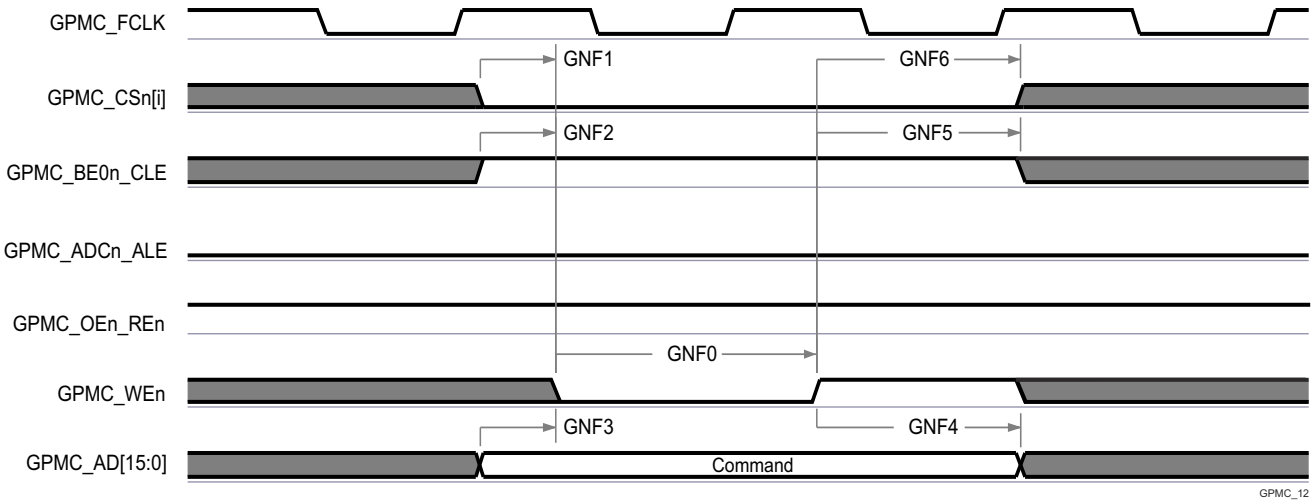
番号	パラメータ		モード [4]	最小値	最大値	単位
GNF7	$t_{w(aleH-wenV)}$	遅延時間、出力アドレス有効およびアドレス ラッチ イネーブル GPMC_ADVn_ALE high から出力書き込み イネーブル GPMC_WEn 有効まで	div_by_1_mode、GPMC_FCLK_MUX、TIMEPARAGRANULARITY_X1	C - 2	C + 2	ns
GNF8	$t_{w(wenIV-aleIV)}$	遅延時間、出力書き込みイネーブル GPMC_WEn 無効から出力アドレス有効およびアドレス ラッチ イネーブル GPMC_ADVn_ALE 無効まで	div_by_1_mode、GPMC_FCLK_MUX、TIMEPARAGRANULARITY_X1	F - 2	F + 2	ns
GNF9	$t_{c(wen)}$	サイクル時間、書き込み	div_by_1_mode、GPMC_FCLK_MUX、TIMEPARAGRANULARITY_X1		H	ns
GNF10	$t_{d(csnV-oenV)}$	遅延時間、出力チップ セレクト GPMC_CSn[i][2] 有効から出力イネーブル GPMC_OEn_REn 有効まで	div_by_1_mode、GPMC_FCLK_MUX、TIMEPARAGRANULARITY_X1	I - 2	I + 2	ns
GNF13	$t_{w(oenV)}$	パルス幅、出力イネーブル GPMC_OEn_REn 有効	div_by_1_mode、GPMC_FCLK_MUX、TIMEPARAGRANULARITY_X1		K	ns
GNF14	$t_{c(oen)}$	サイクル時間、読み取り	div_by_1_mode、GPMC_FCLK_MUX、TIMEPARAGRANULARITY_X1	L		ns
GNF15	$t_{w(oenIV-CSn[i]V)}$	遅延時間、出力イネーブル GPMC_OEn_REn 無効から出力チップ セレクト GPMC_CSn[i][2] 無効まで	div_by_1_mode、GPMC_FCLK_MUX、TIMEPARAGRANULARITY_X1	M - 2	M + 2	ns

(1) A = (WEOffTime - WEOnTime) × (TimeParaGranularity + 1) × GPMC_FCLK[3]
(2) GPMC_CSn[i] で、i は 0、1、2、または 3 です。
(3) GPMC_FCLK は、汎用メモリ コントローラの内部機能クロック周期で、ns 単位です。
(4) div_by_1_mode に対し:
- GPMC_CONFIG1_i レジスタ:GPMCFCLKDIVIDER = 0h:
  - GPMC_CLK 周波数 = GPMC_FCLK 周波数

GPMC_FCLK_MUX に対し:
- CTRLMMR_GPMC_CLKSEL[1-0] CLK_SEL = 00 = CPSWHSDIV_CLKOUT3 = 2000/15 = 133.33MHz

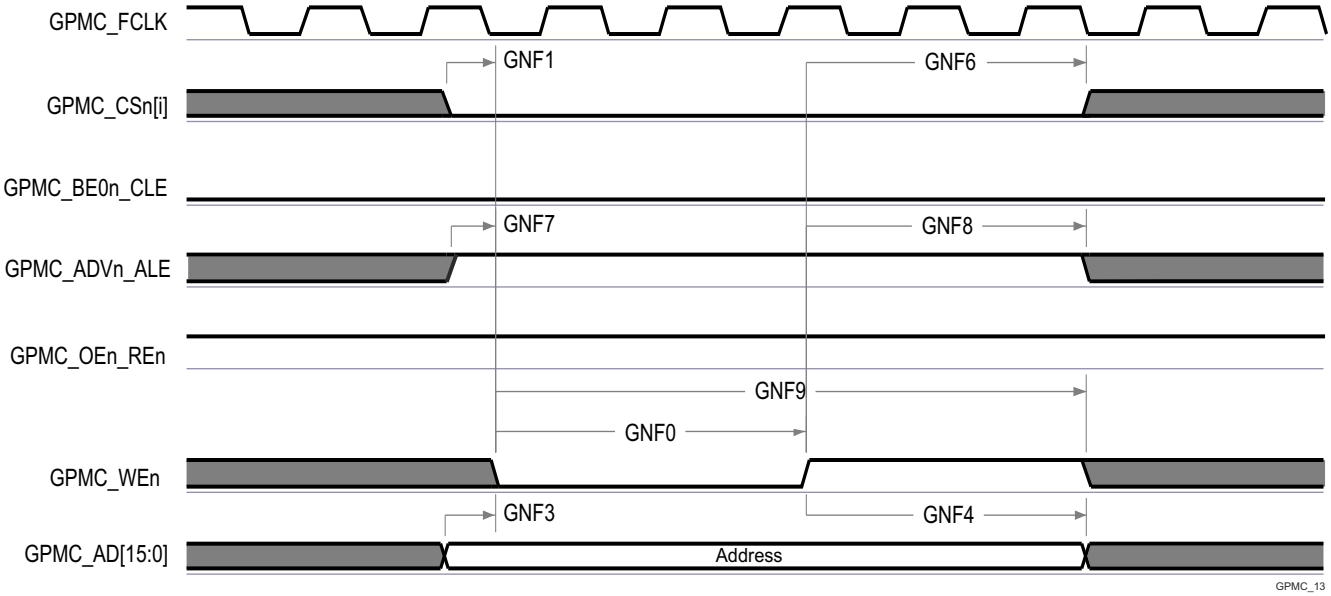
TIMEPARAGRANULARITY_X1 に対し:
- GPMC_CONFIG1_i レジスタ:TIMEPARAGRANULARITY = 0h = x1 レイテンシ (RD/WRCYCLETIME、RD/WRACCESSTIME、PAGEBURSTACCESSTIME、CSONTIME、CSRD/WROFFTIME、ADVONTIME、ADVRD/WROFFTIME、OEONTIME、OEOFFTIME、WEONTIME、WEOFFTIME、CYCLE2CYCLEDELAY、BUSTURNAROUND、TIMEOUTSTARTVALUE、WRDATAONADMUXBUS に影響)

Copyright © 2024 Texas Instruments Incorporated



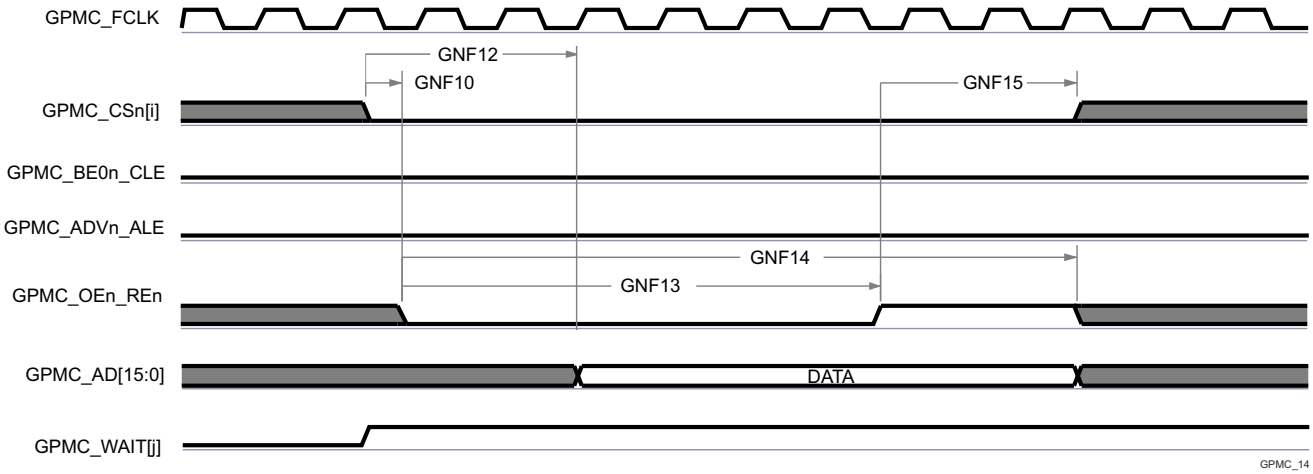
A. GPMC_CSn[i] で、i は 0、1、2、または 3 です。

図 6-48. GPMC および NAND フラッシュ — コマンド ラッチ サイクル



A. GPMC_CSn[i] で、i は 0、1、2、または 3 です。

図 6-49. GPMC および NAND フラッシュ — アドレス ラッチ サイクル

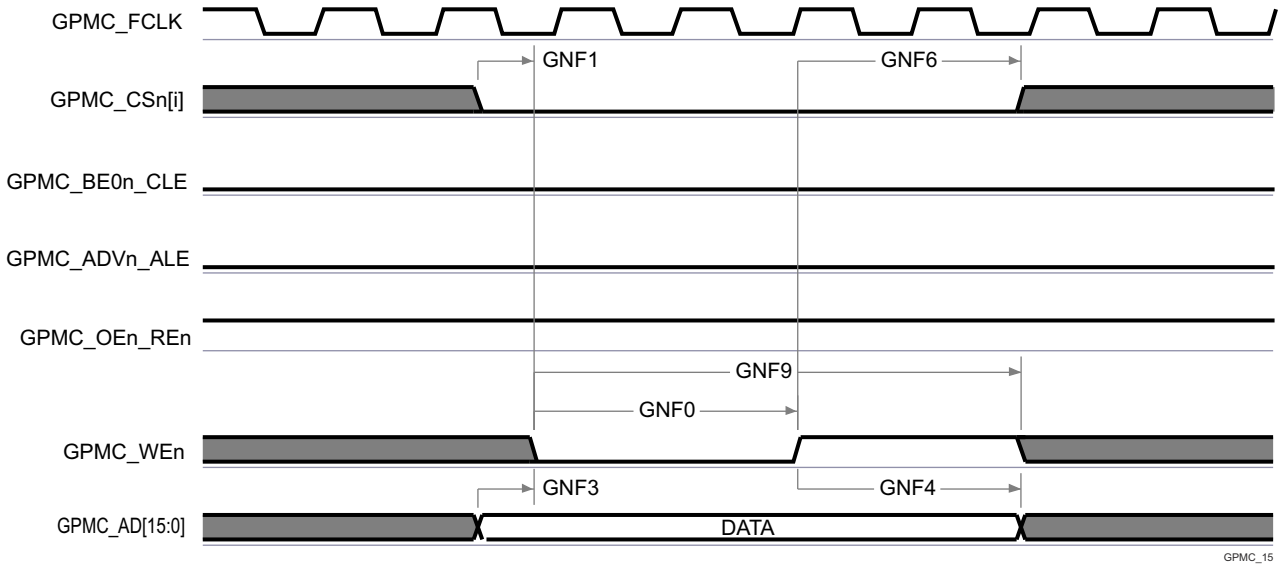


A. GNF12 パラメータは、入力データを内部でサンプリングするために必要な時間を示しています。これは、GPMC 機能クロック サイクル数で表されます。読み取りサイクルの開始から GNF12 機能クロック サイクル経過後、入力データはアクティブな機能クロック エッジによって内部的にサンプリングされます。GNF12 の値は、AccessTime レジスタ ビット フィールド内に格納する必要があります。

B. GPMC_FCLK は、外部に供給されない内部クロック (GPMC 機能クロック) です。

C. GPMC_CSn[i] で、i は 0、1、2、または 3 です。GPMC_WAIT[j] で、j は 0 または 1 です。

図 6-50. GPMC および NAND フラッシュ — データ読み取りサイクル



A. In GPMC_CSn[i] で、i は 0、1、2、または 3 です。

図 6-51. GPMC および NAND フラッシュ — データ書き込みサイクル

Copyright © 2024 Texas Instruments Incorporated

6.10.5.8.4 GPMC0 の IOSET (ALV)

表 6-60 に、ALV パッケージの GPMC0 の各 IOSET の有効なピンの組み合わせを示します。

表 6-60. GPMC0 の IOSET (ALV)

信号	IOSET1		IOSET2	
	ボール名 (ALV)	MUXMODE	ボール名 (ALV)	MUXMODE
GPMC0_AD0	GPMC0_AD0	0	GPMC0_AD0	0
GPMC0_AD1	GPMC0_AD1	0	GPMC0_AD1	0
GPMC0_AD2	GPMC0_AD2	0	GPMC0_AD2	0
GPMC0_AD3	GPMC0_AD3	0	GPMC0_AD3	0
GPMC0_AD4	GPMC0_AD4	0	GPMC0_AD4	0
GPMC0_AD5	GPMC0_AD5	0	GPMC0_AD5	0
GPMC0_AD6	GPMC0_AD6	0	GPMC0_AD6	0
GPMC0_AD7	GPMC0_AD7	0	GPMC0_AD7	0
GPMC0_AD8	GPMC0_AD8	0	GPMC0_AD8	0
GPMC0_AD9	GPMC0_AD9	0	GPMC0_AD9	0
GPMC0_AD10	GPMC0_AD10	0	GPMC0_AD10	0
GPMC0_AD11	GPMC0_AD11	0	GPMC0_AD11	0
GPMC0_AD12	GPMC0_AD12	0	GPMC0_AD12	0
GPMC0_AD13	GPMC0_AD13	0	GPMC0_AD13	0
GPMC0_AD14	GPMC0_AD14	0	GPMC0_AD14	0
GPMC0_AD15	GPMC0_AD15	0	GPMC0_AD15	0
GPMC0_CLK	GPMC0_CLK	0	GPMC0_CLK	0
GPMC0_ADVn_ALE	GPMC0_ADVn_ALE	0	GPMC0_ADVn_ALE	0
GPMC0_OEn_REn	GPMC0_OEn_REn	0	GPMC0_OEn_REn	0
GPMC0_WEn	GPMC0_WEn	0	GPMC0_WEn	0
GPMC0_BE0n_CLE	GPMC0_BE0n_CLE	0	GPMC0_BE0n_CLE	0
GPMC0_BE1n	GPMC0_BE1n	0	GPMC0_BE1n	0
GPMC0_WAIT0	GPMC0_WAIT0	0	GPMC0_WAIT0	0
GPMC0_WAIT1	GPMC0_WAIT1	0	GPMC0_WAIT1	0
GPMC0_WPn	GPMC0_WPn	0	GPMC0_WPn	0
GPMC0_DIR	GPMC0_DIR	0	GPMC0_DIR	0
GPMC0_CSn0	GPMC0_CSn0	0	GPMC0_CSn0	0
GPMC0_CSn1	GPMC0_CSn1	0	GPMC0_CSn1	0
GPMC0_CSn2	GPMC0_CSn2	0	GPMC0_CSn2	0
GPMC0_CSn3	GPMC0_CSn3	0	GPMC0_CSn3	0
GPMC0_AD16	PRG1_PRU0_GPO0	8	PRG1_PRU0_GPO0	8
GPMC0_AD17	PRG1_PRU0_GPO1	8	PRG1_PRU0_GPO1	8
GPMC0_AD18	PRG1_PRU0_GPO2	8	PRG1_PRU0_GPO2	8
GPMC0_AD19	PRG1_PRU0_GPO3	8	PRG1_PRU0_GPO3	8
GPMC0_AD20	PRG1_PRU0_GPO4	8	PRG1_PRU0_GPO4	8
GPMC0_AD21	PRG1_PRU0_GPO5	8	PRG1_PRU0_GPO5	8
GPMC0_AD22	PRG1_PRU0_GPO6	8	PRG1_PRU0_GPO6	8
GPMC0_AD23	PRG1_PRU0_GPO7	8	PRG1_PRU0_GPO7	8
GPMC0_AD24	PRG1_PRU0_GPO8	8	PRG1_PRU0_GPO8	8
GPMC0_AD25	PRG1_PRU0_GPO9	8	PRG1_PRU0_GPO9	8
GPMC0_AD26	PRG1_PRU0_GPO10	8	PRG1_PRU0_GPO10	8

表 6-60. GPMC0 の IOSET (ALV) (続き)

信号	IOSET1		IOSET2	
	ボール名 (ALV)	MUXMODE	ボール名 (ALV)	MUXMODE
GPMC0_AD27	PRG1_PRU0_GPO11	8	PRG1_PRU0_GPO11	8
GPMC0_AD28	PRG1_PRU0_GPO12	8	PRG1_PRU0_GPO12	8
GPMC0_AD29	PRG1_PRU0_GPO13	8	PRG1_PRU0_GPO13	8
GPMC0_AD30	PRG1_PRU0_GPO14	8	PRG1_PRU0_GPO14	8
GPMC0_AD31	PRG1_PRU0_GPO15	8	PRG1_PRU0_GPO15	8
GPMC0_BE2n	PRG1_PRU0_GPO16	8	PRG1_PRU0_GPO16	8
GPMC0_A0	PRG1_PRU0_GPO17	8	PRG0_PRU0_GPO2	9
GPMC0_A1	PRG1_PRU0_GPO18	8	PRG0_PRU0_GPO4	9
GPMC0_A2	PRG1_PRU0_GPO19	8	PRG0_PRU0_GPO8	9
GPMC0_A3	PRG1_PRU1_GPO0	8	PRG0_PRU0_GPO14	9
GPMC0_A4	PRG1_PRU1_GPO1	8	PRG0_PRU0_GPO16	9
GPMC0_A5	PRG1_PRU1_GPO2	8	PRG0_PRU0_GPO18	9
GPMC0_A6	PRG1_PRU1_GPO3	8	PRG0_PRU0_GPO19	9
GPMC0_A7	PRG1_PRU1_GPO4	8	PRG0_PRU1_GPO12	9
GPMC0_A8	PRG1_PRU1_GPO5	8	PRG0_PRU1_GPO13	9
GPMC0_A9	PRG1_PRU1_GPO6	8	PRG0_PRU1_GPO14	9
GPMC0_A10	PRG1_PRU1_GPO7	8	PRG0_PRU1_GPO15	9
GPMC0_A11	PRG1_PRU1_GPO8	8	PRG0_PRU1_GPO16	9
GPMC0_A12	PRG1_PRU1_GPO9	8	PRG0_MDIO0_MDIO	9
GPMC0_A13	PRG1_PRU1_GPO10	8	PRG0_MDIO0_MDC	9
GPMC0_A14	PRG1_PRU1_GPO11	8	PRG0_PRU0_GPO12	9
GPMC0_A15	PRG1_PRU1_GPO12	8	PRG0_PRU0_GPO13	9
GPMC0_A16	PRG1_PRU1_GPO13	8	PRG0_PRU0_GPO15	9
GPMC0_A17	PRG1_PRU1_GPO14	8	PRG0_PRU0_GPO17	9
GPMC0_A18	PRG1_PRU1_GPO15	8	PRG0_PRU1_GPO3	9
GPMC0_A19	PRG1_PRU1_GPO16	8	PRG0_PRU1_GPO6	9
GPMC0_BE3n	PRG1_PRU1_GPO17	8	PRG1_PRU1_GPO17	8
GPMC0_A20	GPMC0_CSn3	4	GPMC0_CSn3	4
GPMC0_A21	GPMC0_WAIT1	4	GPMC0_WAIT1	4
GPMC0_A22	GPMC0_WPn	4	GPMC0_WPn	4

Copyright © 2024 Texas Instruments Incorporated

6.10.5.9 I2C

このデバイスには、6 つの マルチコントローラ I2C (Inter-Integrated Circuit) コントローラが搭載されています。各 I2C コントローラは、Philips I²C-bus™ 仕様バージョン 2.1 に準拠するように設計されています。ただし、本デバイスの IO は、I2C の電気的仕様に完全には準拠していません。サポートされる速度と例外については、以下のポートごとに説明します。

- MCU_I2C1、I2C1、I2C2、I2C3
  - 速度:
    - 標準モード (最大 100Kbit/s)
      - 1.8 V
      - 3.3 V
    - ファースト モード (最大 400Kbit/s)
      - 1.8 V
      - 3.3 V
  - 例外:
    - これらのポートに関連付けられている IO は、I2C 仕様で定義されている立ち下がり時間要件に準拠していません。これらの I/O には、I2C 互換の IO では実装できなかった他の信号機能をサポートするように設計された、より高性能の LVCMOS プッシュプル IO が実装されているからです。これらのポートで使用されている LVCMOS IO は、オープン ドレイン出力をエミュレートするように接続されます。このエミュレーションは、強制的に常に Low を出力し、出力バッファを無効にして、Hi-Z 状態にすることにより実行されます。
    - I2C 仕様では、最大入力電圧 V_{IH} が ($V_{DD_{max}}$ + 0.5V) と定義されています。これは、デバイスの IO の絶対最大定格を超えています。I2C 信号が、このデータシートの「絶対最大定格」セクションに定義された制限を超えないようにシステムを設計する必要があります。
- MCU_I2C0、I2C0
  - 速度:
    - 標準モード (最大 100Kbit/s)
      - 1.8 V
      - 3.3 V
    - ファースト モード (最大 400Kbit/s)
      - 1.8 V
      - 3.3 V
    - Hs モード (最大 3.4Mbit/s)
      - 1.8 V
  - 例外:
    - これらのポートに関連付けられている IO は、3.3V で動作しているときに Hs モードをサポートするようには設計されていません。したがって、Hs モードは 1.8V 動作に制限されます。
    - これらのポートに接続された I2C 信号の立ち上がりおよび立ち下がり時間は、スルーレート 0.8V/ns (すなわち 8E+7 V/s) を超えないようにする必要があります。この制限は、I2C 仕様で定義されている最小立ち下がり時間の制限よりも厳しいものです。したがって、立ち上がりおよび立ち下がり時間が 0.8V/ns のスルーレートを上回らないように、I2C 信号に容量を追加する必要がある場合があります。
    - I2C 仕様では、最大入力電圧 V_{IH} が ($V_{DD_{max}}$ + 0.5V) と定義されています。これは、デバイスの IO の絶対最大定格を超えています。I2C 信号が、このデータシートの「絶対最大定格」セクションに定義された制限を超えないようにシステムを設計する必要があります。

タイミングの詳細については、Philips I2C-bus 仕様バージョン 2.1 を参照してください。

本デバイスの I2C (Inter-Integrated Circuit) の機能の詳細と追加の説明情報については、「信号の説明」および「詳細説明」セクションの対応するサブセクションを参照してください。

6.10.5.10 MCAN

表 6-61 と表 6-62 に、MCAN のタイミング条件とスイッチング特性を示します。

本デバイスのコントローラ エリア ネットワーク インターフェイスの機能の詳細と追加の説明情報については、「信号の説明」および「詳細説明」セクションの対応するサブセクションを参照してください。

注

このデバイスは、複数の MCAN モジュールを備えています。MCANn は、MCAN 信号名に適用される全般的な接頭辞です。ここで、n は特定の MCAN モジュールを表します。

表 6-61. MCAN のタイミング条件

パラメータ		最小値	最大値	単位
入力条件				
SR_I	入力スルーレート	2	15	V/ns
出力条件				
C_L	出力負荷容量	5	20	pF

表 6-62. MCAN のスイッチング特性

番号	パラメータ	説明	最小値	最大値	単位
MCAN1	$t_{d(MCAN_TX)}$	遅延時間、送信シフト レジスタから MCANn_TX まで		10	ns
MCAN2	$t_{d(MCAN_RX)}$	遅延時間、MCANn_RX から受信シフト レジスタまで		10	ns

詳細については、デバイスのテクニカル リファレンス マニュアルで「ペリフェラル」の章にある「コントローラ エリア ネットワーク (MCAN)」セクションを参照してください。

Copyright © 2024 Texas Instruments Incorporated

6.10.5.11 MCSPI

デバイスのシリアル ポート インターフェイスの機能の詳細と追加の説明情報については、「信号の説明」および「詳細説明」の対応するサブセクションを参照してください。

MCSPI のタイミング条件を、表 6-63 に示します。

表 6-63. MCSPI のタイミング条件

パラメータ		最小値	最大値	単位
入力条件				
SR_I	入力スルーレート	2	8.5	V/ns
出力条件				
C_L	出力負荷容量	6	12	pF

詳細については、デバイスのテクニカル リファレンス マニュアルで「ペリフェラル」の章にある「マルチチャネル シリアル ペリフェラル インターフェイス (MCSPI)」セクションを参照してください。

6.10.5.11.1 MCSPI — コントローラ モード

表 6-64、図 6-52、表 6-65、図 6-53 に、SPI –コントローラ モードのタイミング要件とスイッチング特性を示します。

表 6-64. MCSPI のタイミング要件 - コントローラ モード

図 6-52 参照

番号	パラメータ	説明	最小値	最大値	単位
SM4	$t_{su(POCI-SPICLK)}$	セットアップ時間、SPIn_D[x] 有効から SPIn_CLK アクティブ エッジまで	2.8		ns
SM5	$t_{h(SPICLK-POCI)}$	ホールド時間、SPIn_D[x] 有効から SPIn_CLK アクティブ エッジまで	3		ns

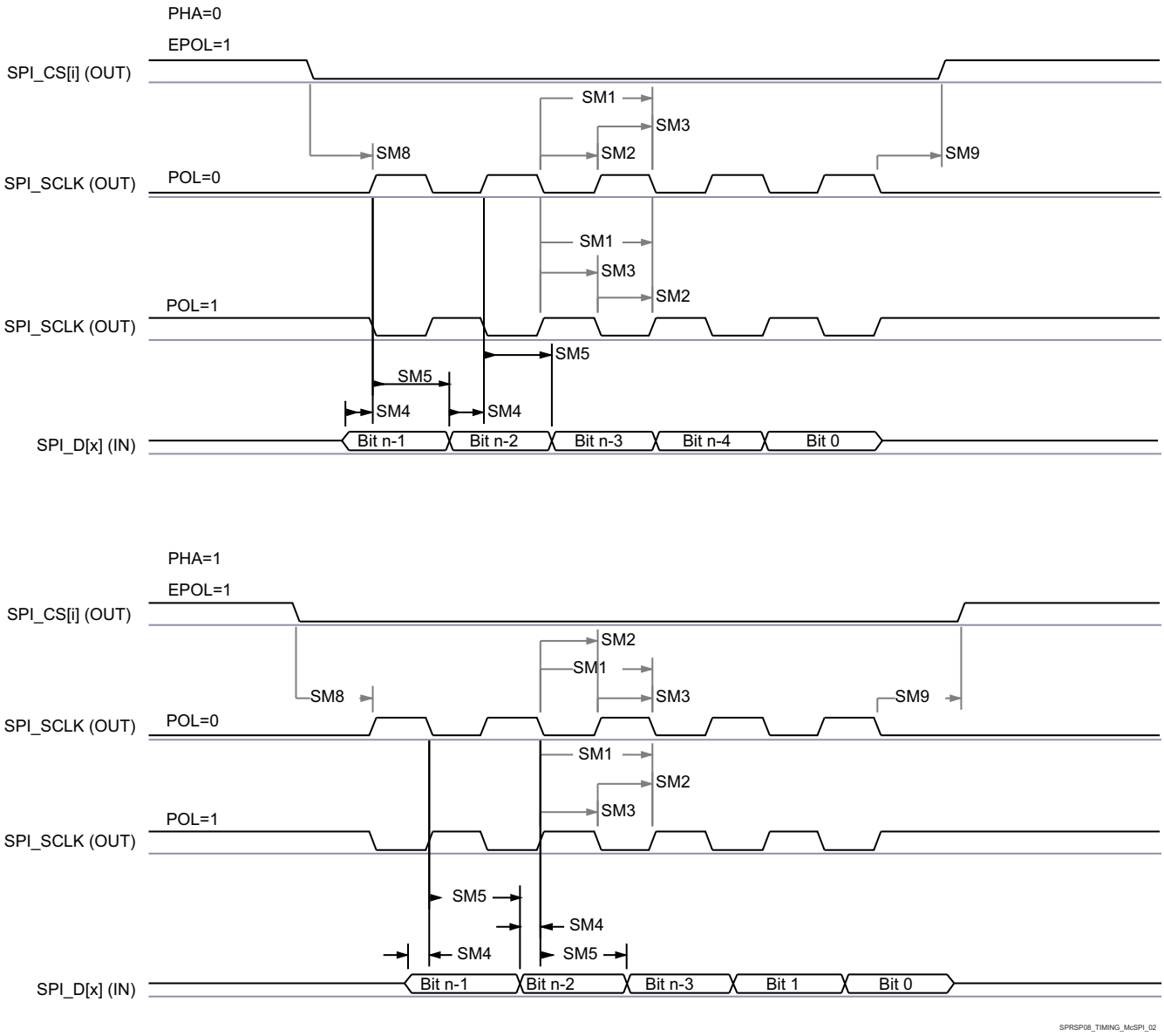


図 6-52. MCSPI コントローラ モードの受信タイミング

Copyright © 2024 Texas Instruments Incorporated

表 6-65. MCSPI のスイッチング特性 - コントローラ モード

図 6-53 参照

番号	パラメータ			最小値	最大値	単位
SM1	$t_{c(SPICLK)}$	サイクル時間、SPIn_CLK		20		ns
SM2	$t_{w(SPICLKL)}$	パルス幅、SPIn_CLK Low		0.5P - 1 (1)		ns
SM3	$t_{w(SPICLKH)}$	パルス幅、SPIn_CLK High		0.5P - 1 (1)		ns
SM6	$t_{d(SPICLK-PICO)}$	遅延時間、SPIn_CLK アクティブ エッジから SPIn_D[x] まで		-3	2.5	ns
SM7	$t_{d(CS-PICO)}$	遅延時間、SPIn_CSi アクティブ エッジから SPIn_D[x] まで		5		ns
SM8	$t_{d(CS-SPICLK)}$	遅延時間、SPIn_CSi アクティブから SPIn_CLK の最初のエッジまで	PHA = 0	B - 4(2)		ns
			PHA = 1	A - 4(3)		ns
SM9	$t_{d(SPICLK-CS)}$	遅延時間、SPIn_CLK の最後のエッジから SPIn_CSi 非アクティブまで	PHA = 0	A - 4(4)		ns
			PHA = 1	B - 4(5)		ns

(1) P = SPI_CLK 周期 (ns 単位)。

(2) T_ref は、McSPI 機能クロックの周期です (ns 単位)。Fratio は、McSPI 機能クロックの周波数と SPIn_CLK クロックの周波数との分周比で、MSPI_CH(i)CONF レジスタの CLKD および CLKG ビット フィールド、および MSPI_CH(i)CTRL レジスタの EXTCLK ビット フィールドによって制御されます。TCS(i) は、MSPI_CH(i)CONF レジスタのチップ セレクト時間制御ビット フィールドにプログラムされる値です。

- Fratio = 1 のとき、B = (TCS(i) + 0.5) * T_ref。
- Fratio ≧ 2 かつ偶数のとき、B = (TCS(i) + 0.5) * Fratio * T_ref。
- Fratio ≧ 3 かつ奇数のとき、B = ((TCS(i) * Fratio) + ((Fratio + 1) / 2)) * T_ref。

(3) T_ref は、McSPI 機能クロックの周期です。Fratio は、McSPI 機能クロックの周波数と SPIn_CLK クロックの周波数との分周比で、MSPI_CH(i)CONF レジスタの CLKD および CLKG ビット フィールド、および MSPI_CH(i)CTRL レジスタの EXTCLK ビット フィールドによって制御されます。TCS(i) は、MSPI_CH(i)CONF レジスタのチップ セレクト時間制御ビット フィールドにプログラムされる値です。

- Fratio = 1 のとき、A = (TCS(i) + 1) * T_ref。
- Fratio ≧ 2 かつ偶数のとき、A = (TCS(i) + 0.5) * Fratio * T_ref。
- Fratio ≧ 3 かつ奇数のとき、A = ((TCS(i) * Fratio) + ((Fratio - 1) / 2)) * T_ref。

(4) T_ref は、McSPI 機能クロックの周期です。Fratio は、McSPI 機能クロックの周波数と SPIn_CLK クロックの周波数との分周比で、MSPI_CH(i)CONF レジスタの CLKD および CLKG ビット フィールド、および MSPI_CH(i)CTRL レジスタの EXTCLK ビット フィールドによって制御されます。TCS(i) は、MSPI_CH(i)CONF レジスタのチップ セレクト時間制御ビット フィールドにプログラムされる値です。

- Fratio = 1 のとき、A = (TCS(i) + 1) * T_ref。
- Fratio ≧ 2 かつ偶数のとき、A = (TCS(i) + 0.5) * Fratio * T_ref。
- Fratio ≧ 3 かつ奇数のとき、A = ((TCS(i) * Fratio) + ((Fratio + 1) / 2)) * T_ref。

(5) T_ref は、McSPI 機能クロックの周期です。Fratio は、McSPI 機能クロックの周波数と SPIn_CLK クロックの周波数との分周比で、MSPI_CH(i)CONF レジスタの CLKD および CLKG ビット フィールド、および MSPI_CH(i)CTRL レジスタの EXTCLK ビット フィールドによって制御されます。TCS(i) は、MSPI_CH(i)CONF レジスタのチップ セレクト時間制御ビット フィールドにプログラムされる値です。

- Fratio = 1 のとき、B = (TCS(i) + 0.5) * T_ref。
- Fratio ≧ 2 かつ偶数のとき、B = (TCS(i) + 0.5) * Fratio * T_ref。
- Fratio ≧ 3 かつ奇数のとき、B = ((TCS(i) * Fratio) + ((Fratio - 1) / 2)) * T_ref。

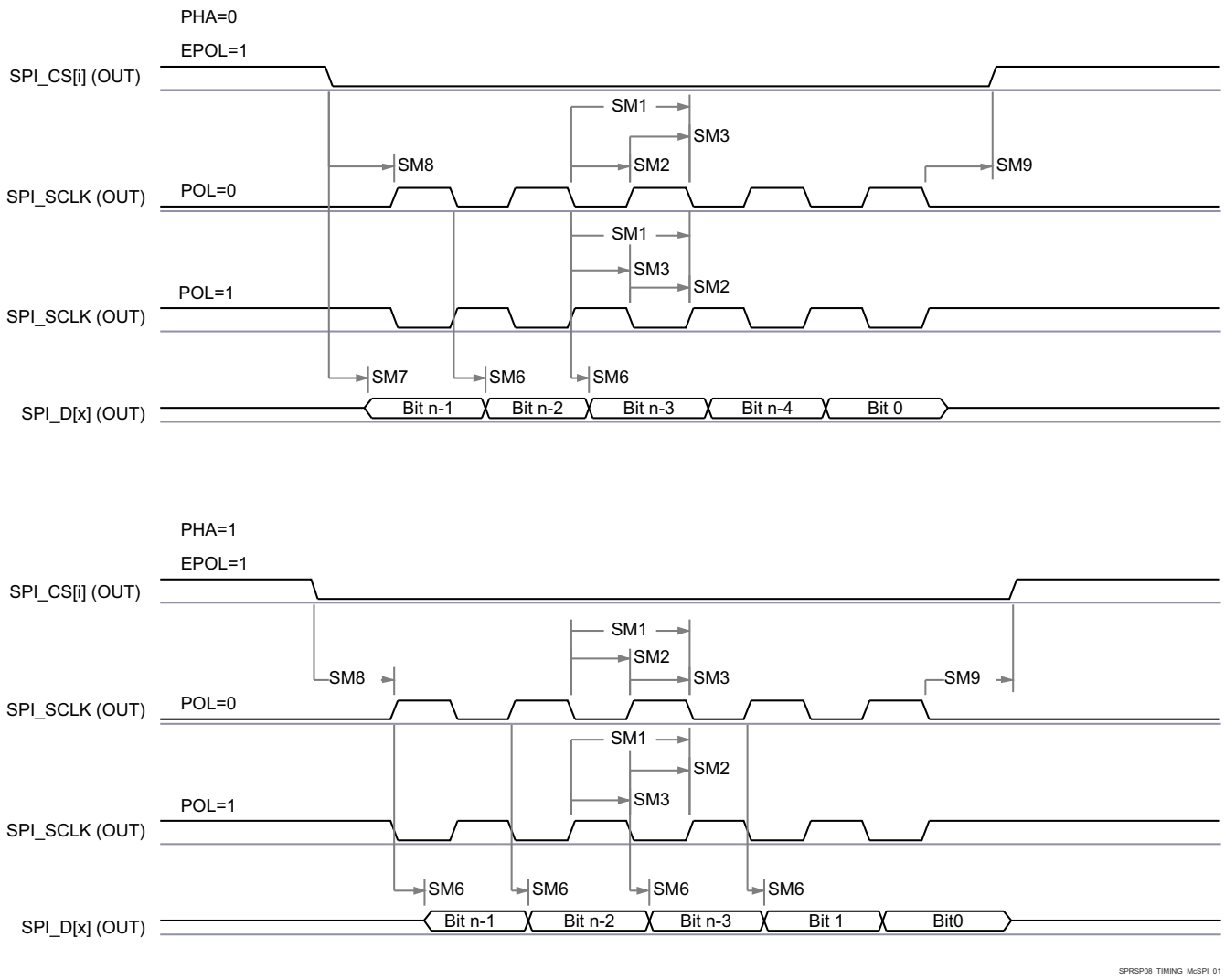


図 6-53. MCSPI コントローラ モードの送信タイミング

Copyright © 2024 Texas Instruments Incorporated

6.10.5.11.2 MCSPI — ペリフェラル モード

表 6-66、図 6-54、表 6-67、図 6-55 に、SPI –ペリフェラル モードのタイミング要件とスイッチング特性を示します。

表 6-66. MCSPI のタイミング要件 – ペリフェラル モード

図 6-54 参照

番号	パラメータ	説明	最小値	最大値	単位
SS1	$t_{c(SPICLK)}$	サイクル時間、SPIn_CLK	20		ns
SS2	$t_{w(SPICLKL)}$	パルス幅、SPIn_CLK Low	0.45P (1)		ns
SS3	$t_{w(SPICLKH)}$	パルス幅、SPIn_CLK High	0.45P (1)		ns
SS4	$t_{su(PICO-SPICLK)}$	セットアップ時間、SPIn_D[x] 有効から SPIn_CLK アクティブ エッジまで	5		ns
SS5	$t_{h(SPICLK-PICO)}$	ホールド時間、SPIn_CLK アクティブ エッジから SPIn_D[x] 有効の間	5		ns
SS8	$t_{su(CS-SPICLK)}$	セットアップ時間、SPIn_CSi 有効から SPIn_CLK の最初のエッジまで	5		ns
SS9	$t_{h(SPICLK-CS)}$	ホールド時間、SPIn_CLK の最後のエッジから SPIn_CSi 有効の間	5		ns

(1) P = SPIn_CLK 周期 (ns 単位)。

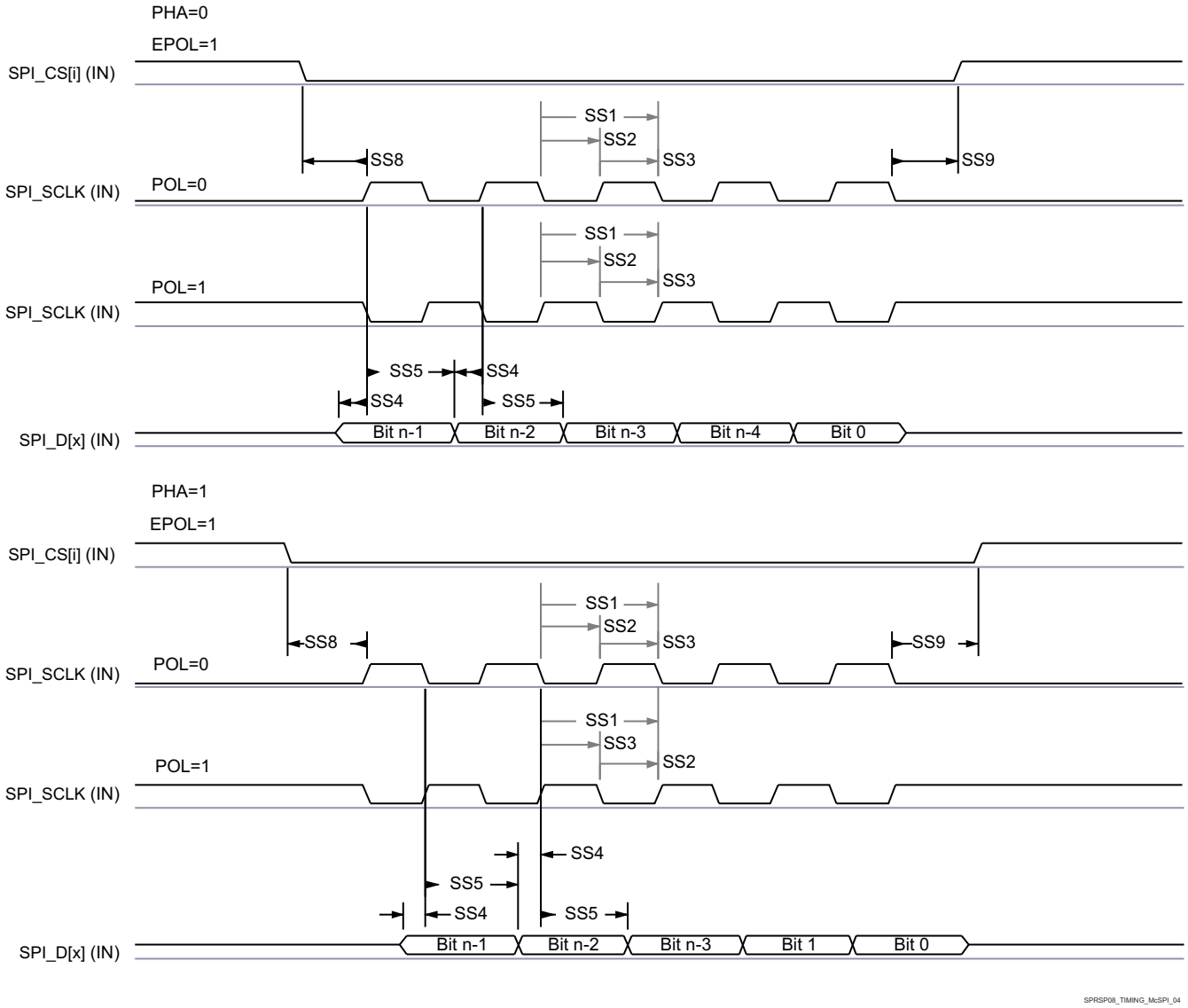


図 6-54. SPI ペリフェラル モードの受信タイミング

表 6-67. MCSPI のスイッチング特性 – ペリフェラル モード

図 6-55 参照

番号	パラメータ	説明	最小値	最大値	単位
SS6	$t_{d(SPICLK-POCI)}$	遅延時間、SPIn_CLK アクティブ エッジから SPIn_D[x] まで	2	17.12	ns
SS7	$t_{sk(CS-POCI)}$	遅延時間、SPIn_CSi アクティブ エッジから SPIn_D[x] まで	20.95		ns

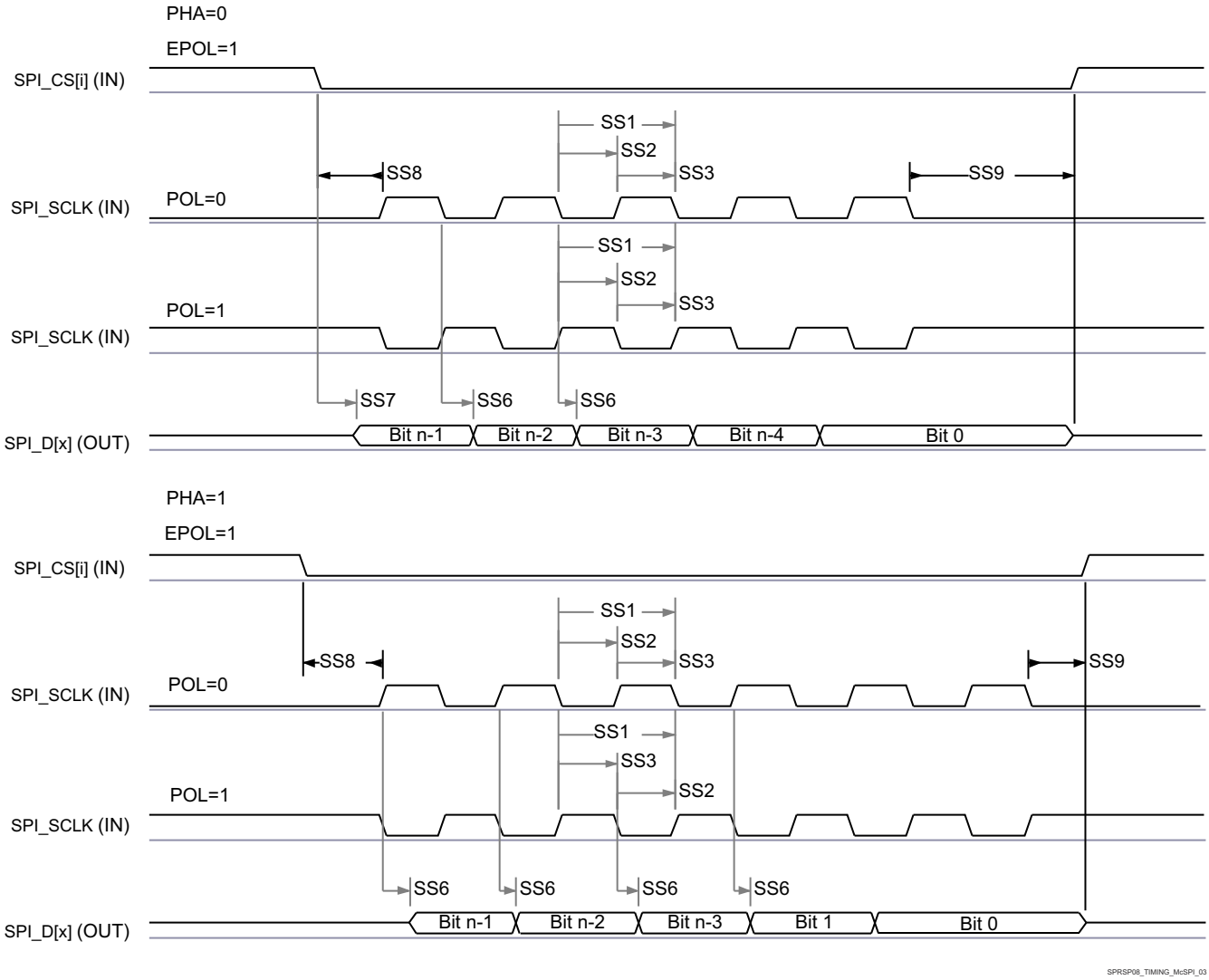


図 6-55. SPI ペリフェラル モードの送信タイミング

Copyright © 2024 Texas Instruments Incorporated

6.10.5.12 MMCSD

MMCSD ホスト コントローラは、組込みマルチメディア カード (MMC)、セキュア デジタル (SD)、セキュア デジタル IO (SDIO) デバイスへのインターフェイスとして機能します。MMCSD ホスト コントローラは、送信レベルでの MMC/SD/SDIO プロトコル、データ パッキング、巡回冗長検査 (CRC) の追加、開始 / 終了ビットの挿入、構文の正確性チェックを処理します。

MMCSD インターフェイスの詳細については、「信号の説明」および「詳細説明」セクションの対応する MMC0 および MMC1 サブセクションを参照してください。

注

一部の動作モードでは、表 6-68 および 表 6-77 に示すように、MMC DLL 遅延設定のソフトウェア設定が必要です 。

表 6-68 と表 6-77 で、ITAPDLYSEL 列に「チューニング」の値が表示されているモードでは、入力タイミングを最適化するためにチューニング アルゴリズムを使用する必要があります。入力タイミングを最適化するために必要なチューニング アルゴリズムと入力遅延の構成の詳細については、デバイス TRM の「MMCSD プログラミング ガイド」を参照してください。

詳細については、デバイスのテクニカル リファレンス マニュアルで「ペリフェラル」の章にある「マルチメディアカード / セキュア デジタル (MMCSD) インターフェイス」セクションを参照してください。

6.10.5.12.1 MMC0 - eMMC インターフェイス

MMC0 インターフェイスは、JEDEC eMMC 電気規格 v5.1 (JESD84-B51) に準拠しており、以下に示す eMMC アプリケーションをサポートしています。

- レガシー スピード
- ハイスピード SDR
- ハイスピード DDR
- HS200

表 6-68 に、MMC0 タイミング モードに必要な DLL ソフトウェア構成設定を示します。

表 6-68. すべてのタイミング モードに対する MMC0 DLL 遅延マッピング

レジスタ名		MMCSD0_SS_PHY_CTRL_4_REG					MMCSD0_SS_PHY_CTRL_5_REG		
ビット フィールド		[31:24]	[20]	[15:12]	[8]	[4:0]	[17:16]	[10:8]	[2:0]
ビット フィールド名		STRBSEL	OTAPDLYENA	OTAPDLYSEL	ITAPDLYENA	ITAPDLYSEL	SELDLYTXCLK SELDLYRXCLK	FRQSEL	CLKBUFSEL
モード	説明	ストローブ 遅延	出力 遅延 イネーブル	出力 遅延 値	入力 遅延 イネーブル	入力 遅延 値	DLL 遅延チェーン 選択	DLL REF 周波数	遅延 バッファ 時間
レガシー SDR	8 ビット PHY、1.8V、25MHz	0x0	0x0	NA(1)	0x1	0x10	0x1	0x0	0x7
ハイスピード SDR	8 ビット PHY、1.8V、50MHz	0x0	0x0	NA(1)	0x1	0xA	0x1	0x0	0x7
ハイスピード DDR	8 ビット PHY、1.8V、50MHz	0x0	0x1	0x6	0x1	0x3	0x0	0x4	0x7
HS200	8 ビット PHY、1.8V、200MHz	0x0	0x1	0x7	0x1	チューニング(2)	0x0	0x0	0x7

(1) NA は該当なしを意味します。
(2) 「チューニング」とは、入力タイミングを最適化するためのチューニング アルゴリズムをこのモードが必要とすることを意味します。

表 6-69 に、MMC0 のタイミング条件を示します。

表 6-69. MMC0 のタイミング条件

パラメータ			最小値	最大値	単位
入力条件					
SR_I	入力スルーレート	レガシー SDR	0.14	1.44	V/ns
		ハイスピード SDR	0.3	0.9	V/ns
		ハイスピード DDR (CMD)	0.3	0.9	V/ns
		ハイスピード DDR (DAT[7:0])	0.45	0.9	V/ns
出力条件					
C_L	出力負荷容量	レガシー SDR	1	12	pF
		ハイスピード SDR	1	12	pF
		ハイスピード DDR	1	12	pF
		HS200	1	6	pF
		PCB 接続要件			
$t_{d(Trace\ Delay)}$	各パターンの伝搬遅延	すべてのモード	126	756	ps
$t_{d(Trace\ Mismatch\ Delay)}$	すべてのパターンにわたる伝搬遅延の不整合	レガシー SDR、ハイスピード SDR		100	ps
		ハイスピード DDR、HS200		8	ps

Copyright © 2024 Texas Instruments Incorporated

6.10.5.12.1.1 レガシー SDR モード

表 6-70、図 6-56、表 6-71、図 6-57 に、「MMC0 のタイミング要件とスイッチング特性 – レガシー SDR モード」を示します。

表 6-70. MMC0 のタイミング要件 – レガシー SDR モード

図 6-56 参照

番号			最小値	最大値	単位
LSDR1	$t_{su(cmdV-clkH)}$	セットアップ時間、MC0_CMD 有効から MMC0_CLK 立ち上がりエッジまで	1.56		ns
LSDR2	$t_{h(clkH-cmdV)}$	ホールド時間、MMC0_CLK 立ち上がりエッジから MMC0_CMD 有効の間	5.44		ns
LSDR3	$t_{su(dV-clkH)}$	セットアップ時間、MMC0_DAT[7:0] 有効から MMC0_CLK 立ち上がりエッジまで	1.56		ns
LSDR4	$t_{h(clkH-dV)}$	ホールド時間、MMC0_CLK 立ち上がりエッジから MMC0_DAT[7:0] 有効の間	5.44		ns

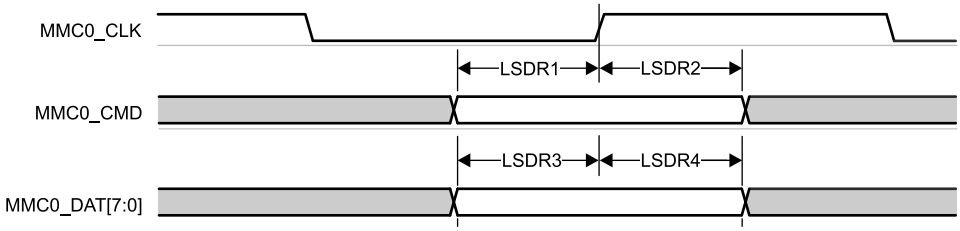


図 6-56. MMC0 – レガシー SDR – 受信モード

表 6-71. MMC0 のスイッチング特性 – レガシー SDR モード

図 6-57 参照

番号	パラメータ		最小値	最大値	単位
	$f_{op(clk)}$	動作周波数、MMC0_CLK		25	MHz
LSDR5	$t_{c(clk)}$	サイクル時間、MMC0_CLK	40		ns
LSDR6	$t_{w(clkH)}$	パルス幅、MMC0_CLK high	18.7		ns
LSDR7	$t_{w(clkL)}$	パルス幅、MMC0_CLK low	18.7		ns
LSDR8	$t_{d(clkL-cmdV)}$	遅延時間、MMC0_CLK 立ち下がりエッジから MMC0_CMD 遷移まで	-2.3	2.9	ns
LSDR9	$t_{d(clkL-dV)}$	遅延時間、MMC0_CLK 立ち下がりエッジから MMC0_DAT[7:0] 遷移まで	-2.3	2.9	ns

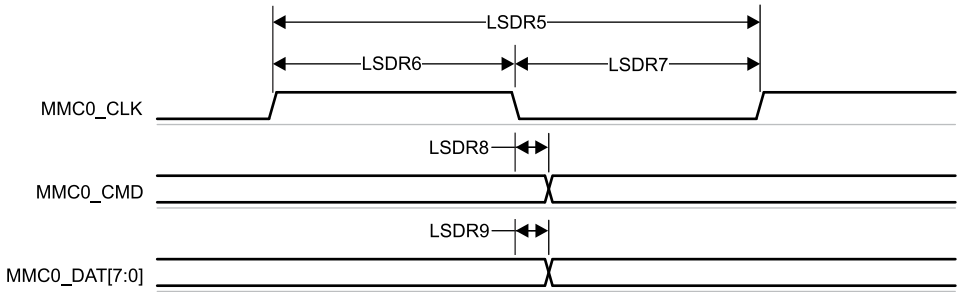


図 6-57. MMC0 – レガシー SDR – 送信モード

6.10.5.12.1.2 ハイスピード SDR モード

表 6-72、図 6-58、表 6-73、図 6-59 に、「MMC0 のタイミング要件とスイッチング特性 – ハイスピード SDR モード」を示します。

表 6-72. MMC0 のタイミング要件 – ハイスピード SDR モード

図 6-58 参照

番号			最小値	最大値	単位
HSSDR1	$t_{su(cmdV-clkH)}$	セットアップ時間、MC0_CMD 有効から MMC0_CLK 立ち上がりエッジまで	2.55		ns
HSSDR2	$t_{h(clkH-cmdV)}$	ホールド時間、MMC0_CLK 立ち上がりエッジから MMC0_CMD 有効の間	2.67		ns
HSSDR3	$t_{su(dV-clkH)}$	セットアップ時間、MMC0_DAT[7:0] 有効から MMC0_CLK 立ち上がりエッジまで	2.55		ns
HSSDR4	$t_{h(clkH-dV)}$	ホールド時間、MMC0_CLK 立ち上がりエッジから MMC0_DAT[7:0] 有効の間	2.67		ns

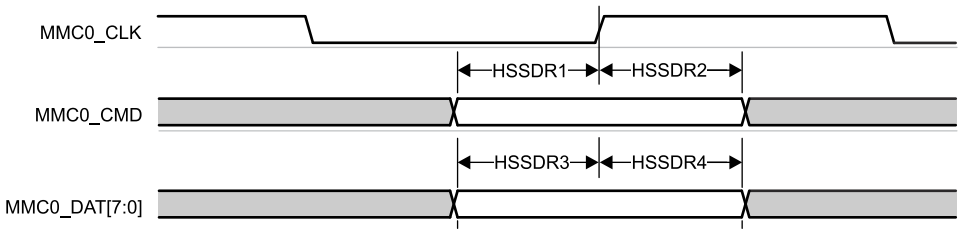


図 6-58. MMC0 – ハイスピード SDR モード – 受信モード

表 6-73. MMC0 のスイッチング特性 – ハイスピード SDR モード

図 6-59 参照

番号	パラメータ		最小値	最大値	単位
	$f_{op(clk)}$	動作周波数、MMC0_CLK		50	MHz
HSSDR5	$t_{c(clk)}$	サイクル時間、MMC0_CLK	20		ns
HSSDR6	$t_{w(clkH)}$	パルス幅、MMC0_CLK high	9.2		ns
HSSDR7	$t_{w(clkL)}$	パルス幅、MMC0_CLK low	9.2		ns
HSSDR8	$t_{d(clkL-cmdV)}$	遅延時間、MMC0_CLK 立ち下がりエッジから MMC0_CMD 遷移まで	-2.3	2.9	ns
HSSDR9	$t_{d(clkL-dV)}$	遅延時間、MMC0_CLK 立ち下がりエッジから MMC0_DAT[7:0] 遷移まで	-2.3	2.9	ns

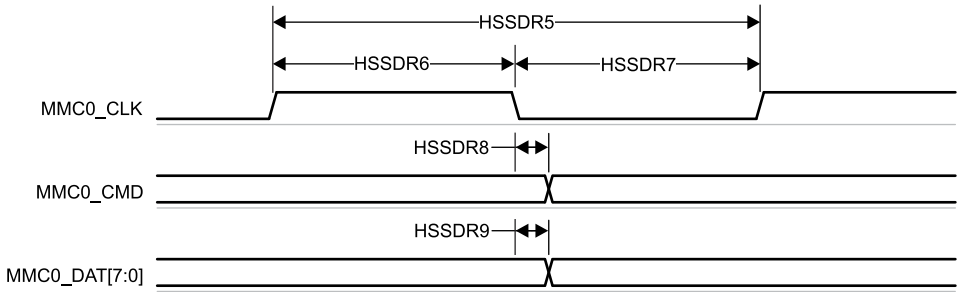


図 6-59. MMC0 – ハイスピード SDR モード – 送信モード

Copyright © 2024 Texas Instruments Incorporated

6.10.5.12.1.3 ハイスピード DDR モード

表 6-74、図 6-60、表 6-75、図 6-61 に、「MMC0 のタイミング要件とスイッチング特性 – ハイスピード DDR モード」を示します。

表 6-74. MMC0 のタイミング要件 – ハイスピード DDR モード

図 6-60 参照

番号			最小値	最大値	単位
HSDDR1	$t_{su(cmdV-clk)}$	セットアップ時間、MC0_CMD 有効から MMC0_CLK 立ち上がりエッジまで	1.62		ns
HSDDR2	$t_{h(clk-cmdV)}$	ホールド時間、MMC0_CLK 立ち上がりエッジから MMC0_CMD 有効の間	2.52		ns
HSDDR3	$t_{su(dV-clk)}$	セットアップ時間、MMC0_DAT[7:0] 有効から MMC0_CLK 遷移まで	0.83		ns
HSDDR4	$t_{h(clk-dV)}$	ホールド時間、MMC0_CLK 遷移から MMC0_DAT[7:0] 有効の間	1.76		ns

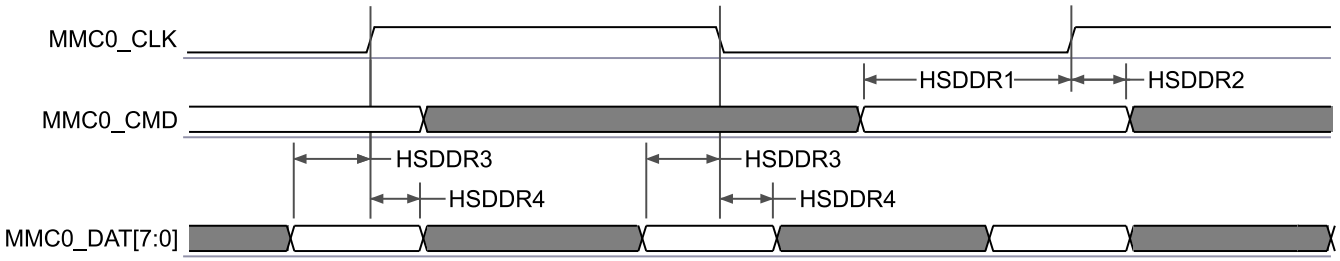


図 6-60. MMC0 – ハイスピード DDR モード – 受信モード

表 6-75. MMC0 のスイッチング特性 – ハイスピード DDR モード

図 6-61 参照

番号	パラメータ		最小値	最大値	単位
	$f_{op(clk)}$	動作周波数、MMC0_CLK		50	MHz
HSDDR5	$t_{c(clk)}$	サイクル時間、MMC0_CLK	20		ns
HSDDR6	$t_{w(clkH)}$	パルス幅、MMC0_CLK high	9.2		ns
HSDDR7	$t_{w(clkL)}$	パルス幅、MMC0_CLK low	9.2		ns
HSDDR8	$t_{d(clk-cmdV)}$	遅延時間、MMC0_CLK 立ち上がりエッジから MMC0_CMD 遷移まで	3.31	7.65	ns
HSDDR9	$t_{d(clk-dV)}$	遅延時間、MMC0_CLK 遷移から MMC0_DAT[7:0] 遷移まで	2.81	6.94	ns

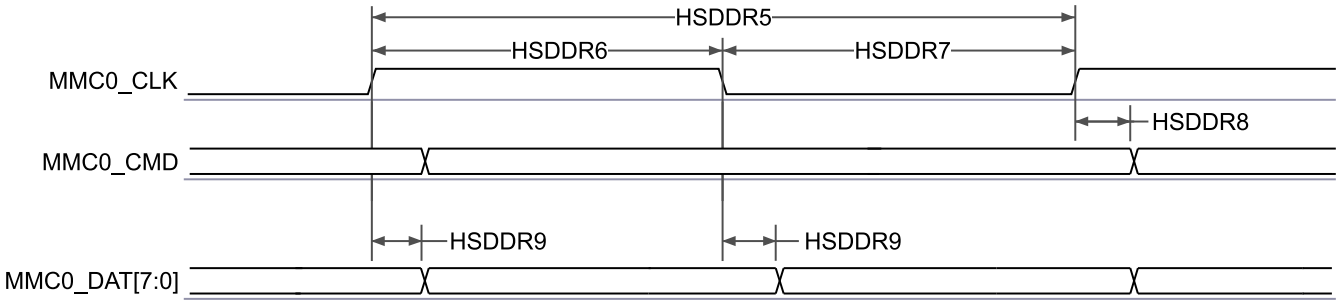


図 6-61. MMC0 – ハイスピード DDR モード – 送信モード

6.10.5.12.1.4 HS200 Mode

表 6-76 および 図 6-62 に、MMC0 – HS200 モードのスイッチング特性を示します。

表 6-76. MMC0 のスイッチング特性 – HS200 モード

図 6-62 参照

番号	パラメータ		最小値	最大値	単位
	$f_{op(clk)}$	動作周波数、MMC0_CLK		200	MHz
HS2005	$t_{c(clk)}$	サイクル時間、MMC0_CLK	5		ns
HS2006	$t_{w(clkH)}$	パルス幅、MMC0_CLK high	2.08		ns
HS2007	$t_{w(clkL)}$	パルス幅、MMC0_CLK low	2.08		ns
HS2008	$t_{d(clkL-cmdV)}$	遅延時間、MMC0_CLK 立ち上がりエッジから MMC0_CMD 遷移まで	0.99	3.28	ns
HS2009	$t_{d(clkL-dV)}$	遅延時間、MMC0_CLK 立ち上がりエッジから MMC0_DAT[7:0] 遷移まで	0.99	3.28	ns

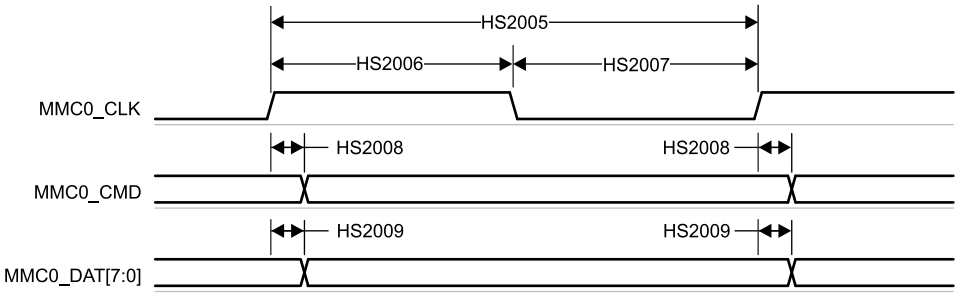


図 6-62. MMC0 – HS200 モード – 送信モード

Copyright © 2024 Texas Instruments Incorporated

6.10.5.12.2 MMC1 - SD/SDIO インターフェイス

MMC1 インターフェイスは、SDIO 仕様 v3.00 だけでなく、SD ホスト コントローラ標準仕様 4.10 と SD 物理層仕様 v3.01 に準拠しており、以下の SD カード アプリケーションをサポートしています。

- デフォルト スピード
- ハイスピード
- UHS–I SDR12
- UHS–I SDR25
- UHS–I SDR50
- UHS–I SDR104
- UHS–I DDR50

表 6-77 に、MMC1 タイミング モードに必要な DLL ソフトウェア構成設定を示します。

表 6-77. すべてのタイミング モードに対する MMC1 DLL 遅延マッピング

レジスタ名		MMCSD1_SS_PHY_CTRL_4_REG				MMCSD1_SS_PHY_CTRL_5_REG
ビット フィールド		[20]	[15:12]	[8]	[4:0]	[2:0]
ビット フィールド名		OTAPDLYENA	OTAPDLYSEL	ITAPDLYENA	ITAPDLYSEL	CLKBUFSEL
モード	説明	遅延 イネーブル	遅延 値	入力 遅延 イネーブル	入力 遅延 値	遅延 バッファ 時間
デフォルト スピード	4 ビット PHY 動作 3.3V、25MHz	0x1	0x0	0x1	0x0	0x7
ハイ スピード	4 ビット PHY 動作 3.3V、50MHz	0x1	0x0	0x1	0x0	0x7
UHS-I SDR12	4 ビット PHY 動作 1.8V、25MHz	0x1	0xF	0x1	0x0	0x7
UHS-I SDR25	4 ビット PHY 動作 1.8V、50MHz	0x1	0xF	0x1	0x0	0x7
UHS-I SDR50	4 ビット PHY 動作 1.8V、100MHz	0x1	0xC	0x1	チューニング (1)	0x7
UHS-I DDR50	4 ビット PHY 動作 1.8V、50MHz	0x1	0x9	0x1	チューニング (1)	0x7
UHS-I SDR104	4 ビット PHY 動作 1.8V、200MHz	0x1	0x6	0x1	チューニング (1)	0x7

(1) 「チューニング」とは、最適な入力タイミングで使用するために、このモードではチューニング アルゴリズムを使用する必要があることを意味します。

表 6-78 に、MMC1 のタイミング条件を示します。

表 6-78. MMC1 のタイミング条件

パラメータ			最小値	最大値	単位
入力条件					
SR_I	入力スルーレート	デフォルト スピード、ハイスピード	0.69	2.06	V/ns
		UHS–I SDR12、UHS–I SDR25	0.34	1.34	V/ns
		UHS–I DDR50	1	2	V/ns
出力条件					
C_L	出力負荷容量	UHS–I DDR50	3	10	pF
		その他のすべてのモード	1	10	pF
PCB 接続要件					
$t_{d(Trace\ Delay)}$	各パターンの伝搬遅延	UHS–I DDR50	240	1134	ps
		その他のすべてのモード	126	1386	ps
$t_{d(Trace\ Mismatch\ Delay)}$	すべてのパターンにわたる伝搬遅延の不整合	UHS–I DDR50、UHS–I SDR104		20	ps
		その他のすべてのモード		100	ps

Copyright © 2024 Texas Instruments Incorporated

6.10.5.12.2.1 デフォルト速度モード

表 6-79、図 6-63、表 6-80、図 6-64 に、MMC1 – デフォルト速度モードのタイミング要件とスイッチング特性を示します。

表 6-79. MMC1 のタイミング要件 – デフォルト速度モード

図 6-63 参照

番号			最小値	最大値	単位
DS1	$t_{su(cmdV-clkH)}$	セットアップ時間、MMC1_CMD 有効から MMCi_CLK の立ち上がりエッジまで	2.15		ns
DS2	$t_{h(clkH-cmdV)}$	ホールド時間、MMC1_CLK 立ち上がりエッジから MMC1_CMD 有効の間	1.67		ns
DS3	$t_{su(dV-clkH)}$	セットアップ時間、MMC1_DAT[3:0] 有効から MMC1_CLK 立ち上がりエッジまで	2.15		ns
DS4	$t_{h(clkH-dV)}$	ホールド時間、MMC1_CLK 立ち上がりエッジから MMC1_DAT[3:0] 有効の間	1.67		ns

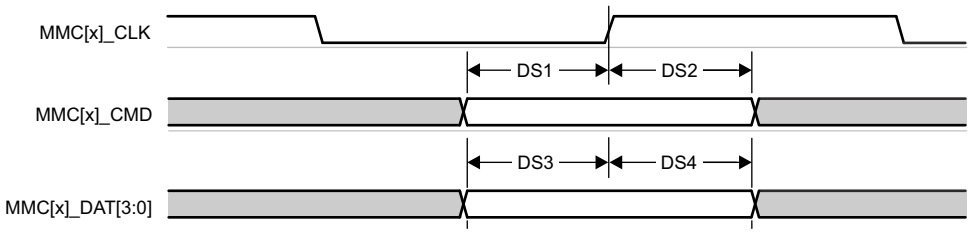


図 6-63. MMC1 – デフォルト速度 – 受信モード

表 6-80. MMC1 のスイッチング特性 - デフォルト速度モード

図 6-64 参照

番号	パラメータ		最小値	最大値	単位
	$f_{op(clk)}$	動作周波数、MMC1_CLK		25	MHz
DS5	$t_{c(clk)}$	サイクル時間、MMC1_CLK	40		ns
DS6	$t_{w(clkH)}$	パルス幅、MMC1_CLK high	18.7		ns
DS7	$t_{w(clkL)}$	パルス幅、MMC1_CLK low	18.7		ns
DS8	$t_{d(clkL-cmdV)}$	遅延時間、MMC1_CLK 立ち下がりエッジから MMC1_CMD 遷移まで	-1.8	1.8	ns
DS9	$t_{d(clkL-dV)}$	遅延時間、MMC1_CLK 立ち下がりエッジから MMC1_DAT[3:0] 遷移まで	-1.8	1.8	ns

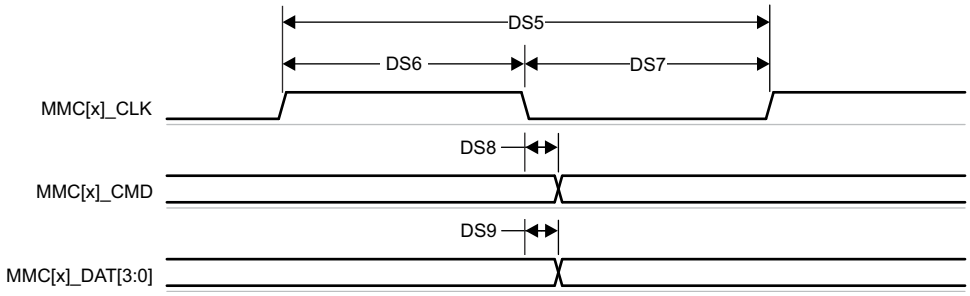


図 6-64. MMC1 – デフォルト速度 – 送信モード

6.10.5.12.2.2 ハイスピード モード

表 6-81、図 6-65、表 6-82、図 6-66 に、「MMC1 のタイミング要件とスイッチング特性 – ハイスピード モード」を示します。

表 6-81. MMC1 のタイミング要件 – ハイスピード モード

図 6-65 参照

番号			最小値	最大値	単位
HS1	$t_{su(cmdV-clkH)}$	セットアップ時間、MMC1_CMD 有効から MMC1_CLK 立ち上がりエッジまで	2.15		ns
HS2	$t_{h(clkH-cmdV)}$	ホールド時間、MMC1_CLK 立ち上がりエッジから MMC1_CMD 有効の間	1.67		ns
HS3	$t_{su(dV-clkH)}$	セットアップ時間、MMC1_DAT[3:0] 有効から MMC1_CLK 立ち上がりエッジまで	2.15		ns
HS4	$t_{h(clkH-dV)}$	ホールド時間、MMC1_CLK 立ち上がりエッジから MMC1_DAT[3:0] 有効の間	1.67		ns

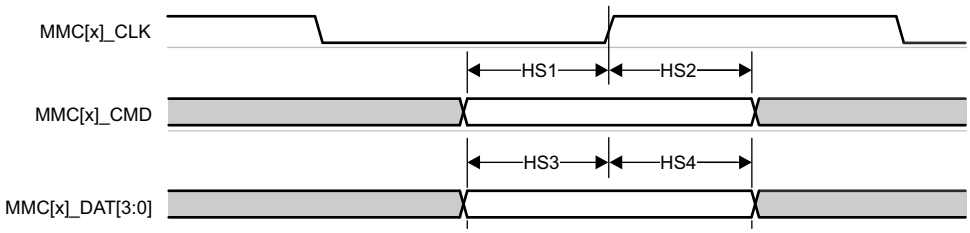


図 6-65. MMC1 – ハイスピード – 受信モード

表 6-82. MMC1 のスイッチング特性 – ハイスピード モード

図 6-66 参照

番号	パラメータ		最小値	最大値	単位
	$f_{op(clk)}$	動作周波数、MMC1_CLK		50	MHz
HS5	$t_{c(clk)}$	サイクル時間、MMC1_CLK	20		ns
HS6	$t_{w(clkH)}$	パルス幅、MMC1_CLK high	9.2		ns
HS7	$t_{w(clkL)}$	パルス幅、MMC1_CLK low	9.2		ns
HS8	$t_{d(clkL-cmdV)}$	遅延時間、MMC1_CLK 立ち下がりエッジから MMC1_CMD 遷移まで	-1.8	1.8	ns
HS9	$t_{d(clkL-dV)}$	遅延時間、MMC1_CLK 立ち下がりエッジから MMC1_DAT[3:0] 遷移まで	-1.8	1.8	ns

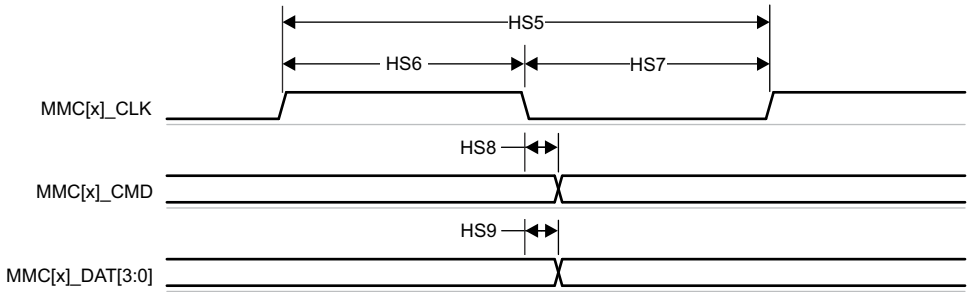


図 6-66. MMC1 – ハイスピード – 送信モード

Copyright © 2024 Texas Instruments Incorporated

6.10.5.12.2.3 UHS–I SDR12 モード

表 6-83、図 6-67、表 6-84、図 6-68 に、「MMC1 のタイミング要件とスイッチング特性 – UHS-I SDR12 モード」を示します。

表 6-83. MMC1 のタイミング要件 – UHS-I SDR12 モード

図 6-67 参照

番号			最小値	最大値	単位
SDR121	$t_{su(cmdV-clkH)}$	セットアップ時間、MMC1_CMD 有効から MMC1_CLK 立ち上がりエッジまで	2.35		ns
SDR122	$t_{h(clkH-cmdV)}$	ホールド時間、MMC1_CLK 立ち上がりエッジから MMC1_CMD 有効の間	1.67		ns
SDR123	$t_{su(dV-clkH)}$	セットアップ時間、MMC1_DAT[3:0] 有効から MMC1_CLK 立ち上がりエッジまで	2.35		ns
SDR124	$t_{h(clkH-dV)}$	ホールド時間、MMC1_CLK 立ち上がりエッジから MMC1_DAT[3:0] 有効の間	1.67		ns

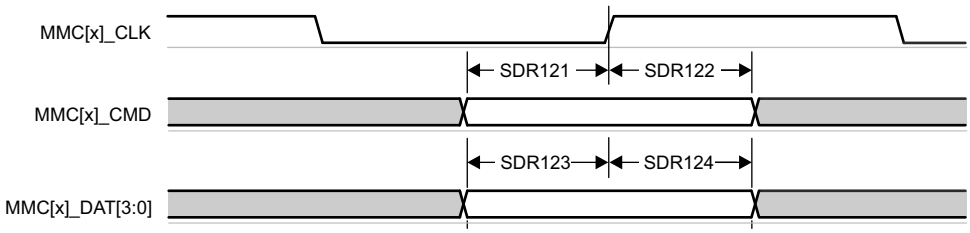


図 6-67. MMC1 – UHS-I SDR12 – 受信モード

表 6-84. MMC1 のスイッチング特性 – UHS-I SDR12 モード

図 6-68 参照

番号	パラメータ		最小値	最大値	単位
	$f_{op(clk)}$	動作周波数、MMC1_CLK		25	MHz
SDR125	$t_{c(clk)}$	サイクル時間、MMC1_CLK	40		ns
SDR126	$t_{w(clkH)}$	パルス幅、MMC1_CLK high	18.7		ns
SDR127	$t_{w(clkL)}$	パルス幅、MMC1_CLK low	18.7		ns
SDR128	$t_{d(clkL-cmdV)}$	遅延時間、MMC1_CLK 立ち上がりエッジから MMC1_CMD 遷移まで	1.2	8	ns
SDR129	$t_{d(clkL-dV)}$	遅延時間、MMC1_CLK 立ち上がりエッジから MMC1_DAT[3:0] 遷移まで	1.2	8	ns

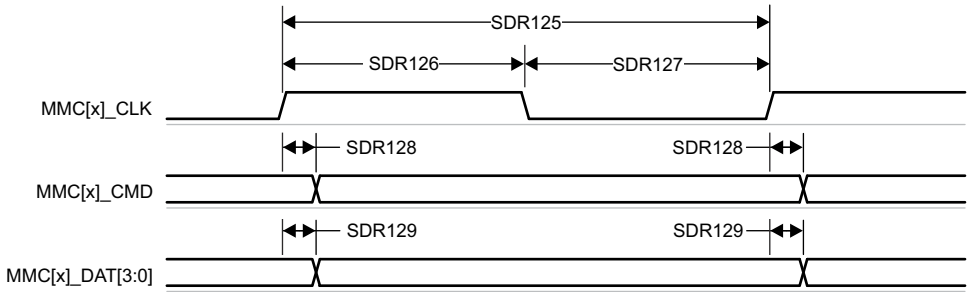


図 6-68. MMC1 – UHS-I SDR12 – 送信モード

6.10.5.12.2.4 UHS–I SDR25 モード

表 6-85、図 6-69、表 6-86、図 6-70 に、「MMC1 のタイミング要件とスイッチング特性 – UHS-I SDR25 モード」を示します。

表 6-85. MMC1 のタイミング要件 – UHS-I SDR25 モード

図 6-69 参照

番号			最小値	最大値	単位
SDR251	$t_{su(cmdV-clkH)}$	セットアップ時間、MMC1_CMD 有効から MMC1_CLK 立ち上がりエッジまで	1.95		ns
SDR252	$t_{h(clkH-cmdV)}$	ホールド時間、MMC1_CLK 立ち上がりエッジから MMC1_CMD 有効の間	1.67		ns
SDR253	$t_{su(dV-clkH)}$	セットアップ時間、MMC1_DAT[3:0] 有効から MMC1_CLK 立ち上がりエッジまで	1.95		ns
SDR254	$t_{h(clkH-dV)}$	ホールド時間、MMC1_CLK 立ち上がりエッジから MMC1_DAT[3:0] 有効の間	1.67		ns

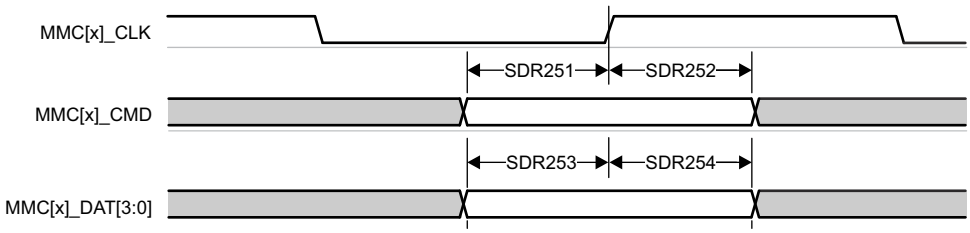


図 6-69. MMC1 – UHS-I SDR25 – 受信モード

表 6-86. MMC1 のスイッチング特性 – UHS-I SDR25 モード

図 6-70 参照

番号	パラメータ		最小値	最大値	単位
	$f_{op(clk)}$	動作周波数、MMC1_CLK		50	MHz
SDR255	$t_{c(clk)}$	サイクル時間、MMC1_CLK	20		ns
SDR256	$t_{w(clkH)}$	パルス幅、MMC1_CLK high	9.2		ns
SDR257	$t_{w(clkL)}$	パルス幅、MMC1_CLK low	9.2		ns
SDR258	$t_{d(clkL-cmdV)}$	遅延時間、MMC1_CLK 立ち上がりエッジから MMC1_CMD 遷移まで	2.4	8	ns
SDR259	$t_{d(clkL-dV)}$	遅延時間、MMC1_CLK 立ち上がりエッジから MMC1_DAT[3:0] 遷移まで	2.4	8	ns

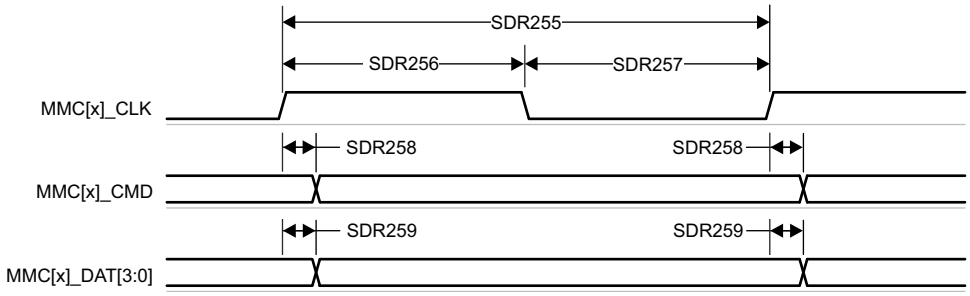


図 6-70. MMC1 – UHS-I SDR25 – 送信モード

Copyright © 2024 Texas Instruments Incorporated

6.10.5.12.2.5 UHS–I SDR50 モード

表 6-87、図 6-71 に、「MMC1 のスイッチング特性 – UHS-I SDR50 モード」を示します。

表 6-87. MMC1 のスイッチング特性 – UHS-I SDR50 モード

図 6-71 参照

番号	パラメータ		最小値	最大値	単位
	$f_{op(clk)}$	動作周波数、MMC1_CLK		100	MHz
SDR505	$t_{c(clk)}$	サイクル時間、MMC1_CLK	10		ns
SDR506	$t_{w(clkH)}$	パルス幅、MMC1_CLK high	4.45		ns
SDR507	$t_{w(clkL)}$	パルス幅、MMC1_CLK low	4.45		ns
SDR508	$t_{d(clkL-cmdV)}$	遅延時間、MMC1_CLK 立ち上がりエッジから MMC1_CMD 遷移まで	1.2	6.35	ns
SDR509	$t_{d(clkL-dV)}$	遅延時間、MMC1_CLK 立ち上がりエッジから MMC1_DAT[3:0] 遷移まで	1.2	6.35	ns

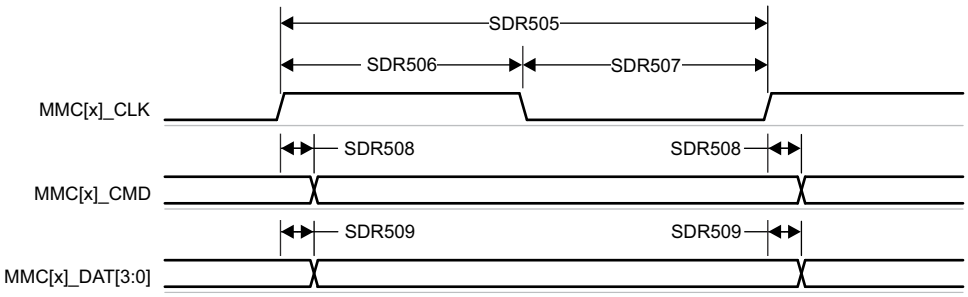


図 6-71. MMC1 – UHS-I SDR50 – 送信モード

6.10.5.12.2.6 UHS–I DDR50 モード

表 6-88、図 6-72 に、「MMC1 のスイッチング特性 – UHS-I DDR50 モード」を示します。

表 6-88. MMC1 のスイッチング特性 – UHS-I DDR50 モード

図 6-72 参照

番号	パラメータ		最小値	最大値	単位
	$f_{op(clk)}$	動作周波数、MMC1_CLK		50	MHz
DDR505	$t_{c(clk)}$	サイクル時間、MMC1_CLK	20		ns
DDR506	$t_{w(clkH)}$	パルス幅、MMC1_CLK high	9.2		ns
DDR507	$t_{w(clkL)}$	パルス幅、MMC1_CLK low	9.2		ns
DDR508	$t_{d(clk-cmdV)}$	遅延時間、MMC1_CLK 立ち上がりエッジから MMC1_CMD 遷移まで	1.2	6.35	ns
DDR509	$t_{d(clk-dV)}$	遅延時間、MMC1_CLK 遷移から MMC1_DAT[3:0] 遷移まで	1.2	6.35	ns

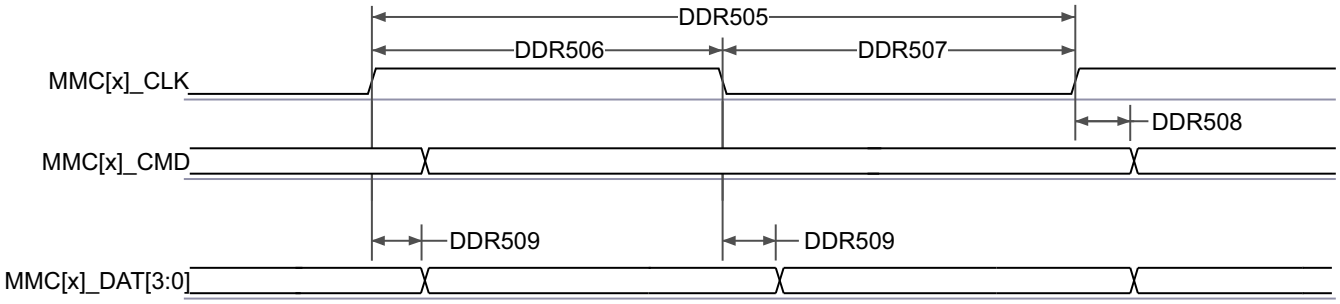


図 6-72. MMC1 – UHS-I DDR50 – 送信モード

Copyright © 2024 Texas Instruments Incorporated

6.10.5.12.2.7 UHS–I SDR104 モード

表 6-89、図 6-73 に、「MMC1 のスイッチング特性 – UHS-I SDR104 モード」を示します。

表 6-89. MMC1 のスイッチング特性 – UHS-I SDR104 モード

図 6-73 参照

番号	パラメータ		最小値	最大値	単位
	$f_{op(clk)}$	動作周波数、MMC1_CLK		200	MHz
SDR1045	$t_{c(clk)}$	サイクル時間、MMC1_CLK	5		ns
SDR1046	$t_{w(clkH)}$	パルス幅、MMC1_CLK high	2.12		ns
SDR1047	$t_{w(clkL)}$	パルス幅、MMC1_CLK low	2.12		ns
SDR1048	$t_{d(clkL-cmdV)}$	遅延時間、MMC1_CLK 立ち上がりエッジから MMC1_CMD 遷移まで	1.08	3.2	ns
SDR1049	$t_{d(clkL-dV)}$	遅延時間、MMC1_CLK 立ち上がりエッジから MMC1_DAT[3:0] 遷移まで	1.08	3.2	ns

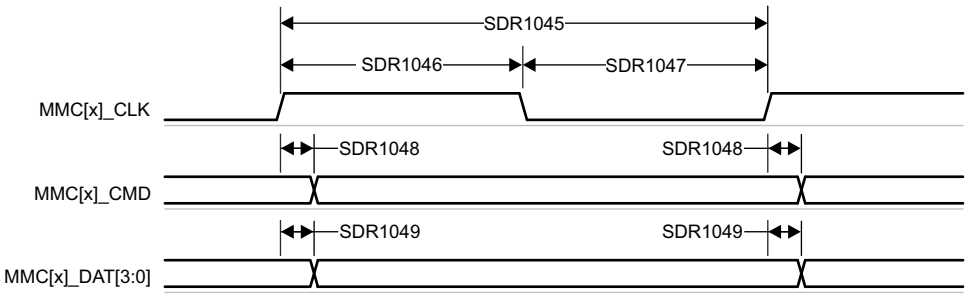


図 6-73. MMC1 – UHS-I SDR104 – 送信モード

6.10.5.13 CPTS

表 6-90、表 6-91、図 6-74、表 6-92、図 6-75 に、CPTS のタイミング条件、要件、スイッチング特性を示します。

表 6-90. CPTS のタイミング条件

パラメータ		最小値	最大値	単位
入力条件				
SR_I	入力スルーレート	0.5	5	V/ns
出力条件				
C_L	出力負荷容量	2	10	pF

表 6-91. CPTS のタイミング要件

図 6-74 参照

番号	パラメータ	説明	最小値	最大値	単位
T1	$t_{w(HWTSPUSHH)}$	パルス幅、HWnTSPUSH High	12P(1) + 2		ns
T2	$t_{w(HWTSPUSHL)}$	パルス幅、HWnTSPUSH Low	12P(1) + 2		ns
T3	$t_{c(RFT_CLK)}$	サイクル時間、RFT_CLK	5	8	ns
T4	$t_{w(RFT_CLKH)}$	パルス幅、RFT_CLK high	0.45T(2)		ns
T5	$t_{w(RFT_CLKL)}$	パルス幅、RFT_CLK low	0.45T(2)		ns

(1) P = 機能クロック周期 (ns 単位)。
(2) T = RFT_CLK 周期 (ns 単位)。

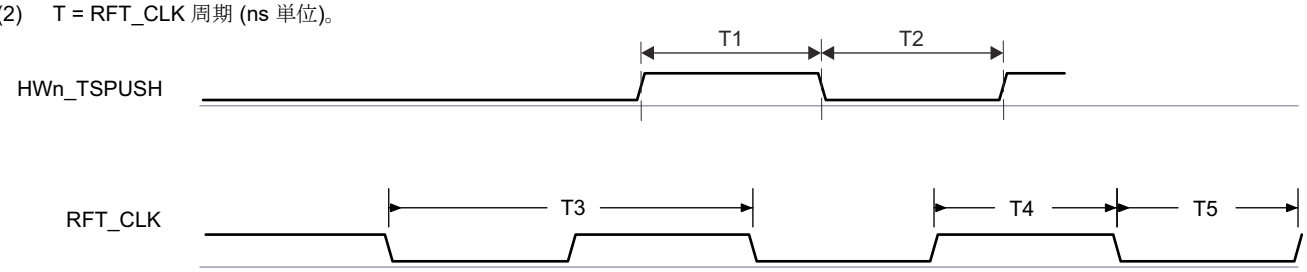


図 6-74. CPTS のタイミング要件

Copyright © 2024 Texas Instruments Incorporated

表 6-92. CPTS のスイッチング特性

図 6-75 参照

番号	パラメータ	説明	ソース	最小値	最大値	単位
T6	$t_{w(TS_COMPH)}$	パルス幅、TS_COMP high		36P(1) - 2		ns
T7	$t_{w(TS_COMPL)}$	パルス幅、TS_COMP low		36P(1) - 2		ns
T8	$t_{w(TS_SYNCH)}$	パルス幅、TS_SYNC high		36P(1) - 2		ns
T9	$t_{w(TS_SYNCL)}$	パルス幅、TS_SYNC low		36P(1) - 2		ns
T10	$t_{w(SYNC_OUTH)}$	パルス幅、SYNCn_OUT High	TS_SYNC	36P(1) - 2		ns
			GENF	5P(1) - 2		ns
T11	$t_{w(SYNC_OUTL)}$	パルス幅、SYNCn_OUT Low	TS_SYNC	36P(1) - 2		ns
			GENF	5P(1) - 2		ns

(1) P = 機能クロック周期 (ns 単位)。

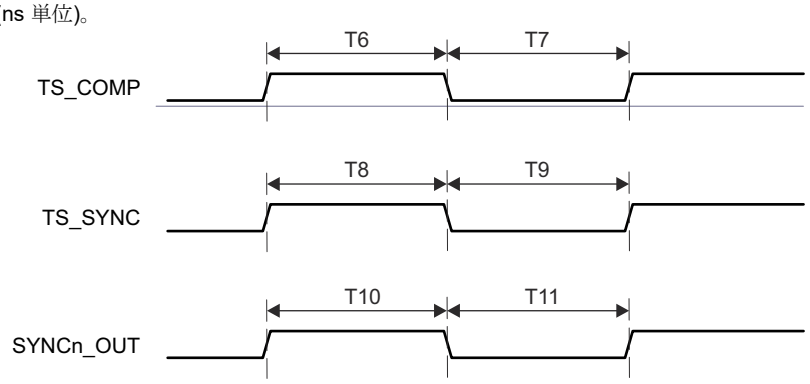


図 6-75. CPTS のスイッチング特性

詳細については、デバイスのテクニカル リファレンス マニュアルで「データ移動アーキテクチャ (DMA)」の章を参照してください。

6.10.5.14 OSPI

OSPI0 には、PHY モードと Tap モードの 2 つのデータ キャプチャ モードがあります。

PHY モードでは、内部リファレンス クロックを使用し、DLL ベースの PHY 経由でデータを送受信します。ここで、各リファレンス クロック サイクルは、シングル データ レート (SDR) 転送の場合は OSPI0_CLK の 1 サイクル、ダブル データ レート (DDR) 転送の場合は OSPI0_CLK の半サイクルを生成します。PHY モードは、受信データ キャプチャ クロックについて 4 つのクロック トポロジをサポートしています。内部 PHY ループバック - 内部リファレンス クロックを PHY 受信データ キャプチャ クロックとして使用します。内部 Pad ループバック - OSPI0_LBCLKO ピンから PHY にループバックされた OSPI0_LBCLKO を、PHY 受信データ キャプチャ クロックとして使用します。外部ボード ループバック - OSPI0_DQS ピンから PHY にループバックされた OSPI0_LBCLKO を、PHY 受信データ キャプチャ クロックとして使用します。DQS - 接続されたデバイスからの DQS 出力を、PHY 受信データ キャプチャ クロックとして使用します。内部 Pad ループバックおよび DQS クロック トポロジを使用するとき、SDR 転送はサポートされません。内部 PHY ループバックまたは内部 Pad ループバック クロック トポロジを使用するとき、DDR 転送はサポートされません。

Tap モードは、タップを選択可能な内部リファレンス クロックを使用し、OSPI0_CLK に相対的なデータの送受信キャプチャ遅延を調整します。OSPI0_CLK は、SDR 転送では内部リファレンス クロックの 4 分周、DDR 転送では内部リファレンス クロックの 8 分周です。Tap モードは、受信データ キャプチャ クロックについて 1 つのクロック トポロジのみをサポートします。ループバックなし - 内部リファレンス クロックを Tap 受信データ キャプチャ クロックとして使用します。このクロック トポロジは、最大 200MHz の内部リファレンス クロック レートをサポートし、SDR モードでは 50MHz、DDR モードでは 25MHz までの OSPI0_CLK レートを生成します。

オクタル シリアル ペリフェラル インターフェイスの機能の詳細および追加の説明情報については、「信号の説明」および「詳細説明」セクションの対応するサブセクションを参照してください。

セクション 6.10.5.14.1 は PHY モードに関連するタイミング要件とスイッチング特性を、セクション 6.10.5.14.2 は Tap モードに関連するタイミング要件とスイッチング特性を、それぞれ定義します。

OSPI0 のタイミング条件を、表 6-93 に示します。

表 6-93. OSPI0 のタイミング条件

パラメータ		モード	最小値	最大値	単位
入力条件					
SR_I	入力スルーレート		1	6	V/ns
出力条件					
C_L	出力負荷容量		3	10	pF
PCB 接続要件					
$t_{d(Trace\ Delay)}$	OSPI0_CLK パターンの伝搬遅延	ループバックなし 内部 PHY ループバック 内部 Pad ループバック		450	ps
	OSPI0_LBCLKO パターンの伝搬遅延	外部ボードのループバック	2L(1) - 30	2L(1) + 30	ps
	OSPI0_DQS パターンの伝搬遅延	DQS	L(1) - 30	L(1) + 30	ps
$t_{d(Trace\ Mismatch\ Delay)}$	OSPI0_CLK に対する OSPI0_D[7:0] と OSPI0_CSn[3:0] の伝搬遅延ミスマッチ	すべてのモード		60	ps

(1) L = OSPI0_CLK パターンの伝搬遅延

詳細については、デバイスのテクニカル リファレンス マニュアルで「ペリフェラル」の章にある「オクタル シリアル ペリフェラル インターフェイス (OSPI)」セクションを参照してください。

Copyright © 2024 Texas Instruments Incorporated

6.10.5.14.1 OSPI0 PHY モード

6.10.5.14.1.1 PHY データ トレーニング付き OSPI0

読み出し/ 書き込みデータ有効ウィンドウは、プロセス、電圧、温度、動作周波数の変動によって変化します。最適な読み出し / 書き込みタイミングを動的に構成するために、データ トレーニング手法を実装することもできます。データ トレーニングを実装すると、特定のプロセス、電圧、周波数の動作条件において、温度範囲全体にわたって適切な動作を実現すると同時に、より高い動作周波数を実現できます。

データの送受信タイミング パラメータは、動作条件に基づいて動的に調整されるため、データ トレーニングの使用事例では定義されていません。

表 6-94 は、データ トレーニング付きの OSPI0 に必要な DLL 遅延を定義しています。表 6-95、図 6-76、表 6-96、図 6-77 に、データ トレーニング付き OSPI0 のタイミング要件とスイッチング特性を示します。

表 6-94. PHY データ トレーニング用の OSPI0 DLL 遅延マッピング

モード	OSPI_PHY_CONFIGURATION_REG ビット フィールド	遅延値
送信		
すべてのモード	PHY_CONFIG_TX_DLL_DELAY_FLD	(1)
受信		
すべてのモード	PHY_CONFIG_RX_DLL_DELAY_FLD	(2)

(1) トレーニング ソフトウェアによって決定される送信 DLL 遅延の値
(2) トレーニング ソフトウェアによって決定される受信 DLL 遅延の値

表 6-95. OSPI0 のタイミング要件 – PHY データ トレーニング

図 6-76 を参照

番号			モード	最小値	最大値	単位
O15	$t_{su(D-LBCLK)}$	セットアップ時間、OSPI0_D[7:0] 有効からアクティブ OSPI0_DQS エッジまで	DQS 付き DDR	(1)		ns
O16	$t_{h(LBCLK-D)}$	ホールド時間、アクティブ OSPI0_DQS エッジから OSPI0_D[7:0] 有効の間	DQS 付き DDR	(1)		ns

(1) データ トレーニングを使用して最適なデータ有効ウィンドウを見つける場合、OSPI0_D[7:0] 入力の最小セットアップ時間およびホールド時間の要件は定義されません。

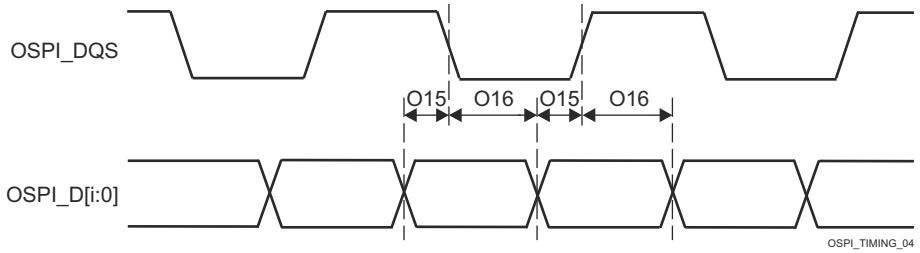


図 6-76. OSPI0 のタイミング要件 – PHY データ トレーニング、DQS 付き DDR

表 6-96. OSPI のスイッチング特性 – PHY データ トレーニング

図 6-77 を参照

番号	パラメータ		モード	最小値	最大値	単位
O1	$t_{c(CLK)}$	サイクル時間、OSPI0_CLK	1.8V、DDR	6.02	7.52	ns
			3.3V、DDR	7.52	7.52	ns
O2	$t_{w(CLKL)}$	パルス幅、OSPI0_CLK low	DDR	((0.475P(1)) - 0.3)		ns
O3	$t_{w(CLKH)}$	パルス幅、OSPI0_CLK high	DDR	((0.475P(1)) - 0.3)		ns
O4	$t_{d(CSn-CLK)}$	遅延時間、OSPI0_CSn[3:0] アクティブ エッジから OSPI0_CLK 立ち上がりエッジまで	DDR	((0.475P(1)) + (0.975M(2)R(4)) + (0.04TD(5)) - 1)	((0.525P(1)) + (1.025M(2)R(4)) + (0.11TD(5)) + 1)	ns
O5	$t_{d(CLK-CSn)}$	遅延時間、OSPI0_CLK 立ち上がりエッジから OSPI0_CSn[3:0] 非アクティブ エッジまで	DDR	((0.475P(1)) + (0.975N(3)R(4)) - (0.04TD(5)) - 1)	((0.525P(1)) + (1.025N(3)R(4)) - (0.11TD(5)) + 1)	ns
O6	$t_{d(CLK-D)}$	遅延時間、OSPI0_CLK アクティブ エッジから OSPI0_D[7:0] 遷移まで	DDR	(6)	(6)	ns

(1) P = SCLK サイクル時間 (ns) = OSPI0_CLK 周期 (ns)
(2) M = OSPI_DEV_DELAY_REG[D_INIT_FLD]
(3) N = OSPI_DEV_DELAY_REG[D_AFTER_FLD]
(4) R = 基準クロック サイクル時間 (ns)
(5) TD = PHY_CONFIG_TX_DLL_DELAY_FLD
(6) データトレーニングを使用して最適なデータ有効ウィンドウを見つける場合、OSPI0_D[7:0] 出力の最小および最大遅延時間は定義されません。

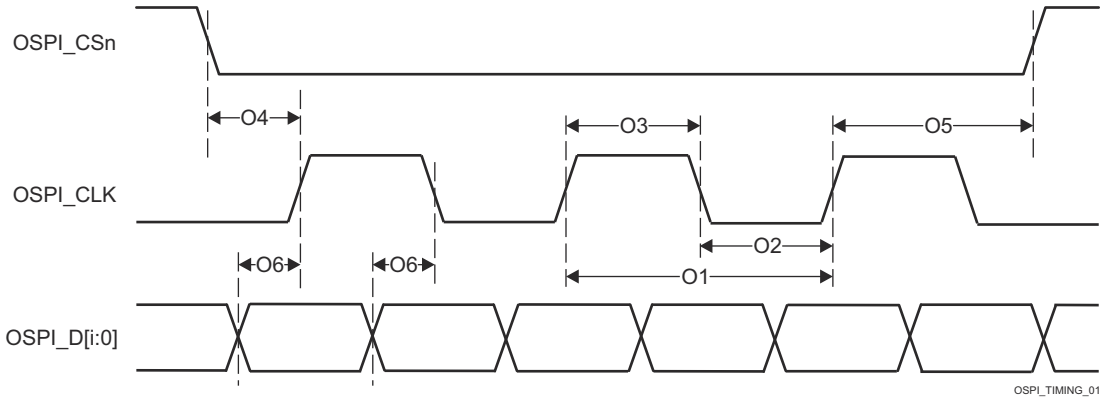


図 6-77. OSPI0 のスイッチング特性 - PHY DDR データ トレーニング

Copyright © 2024 Texas Instruments Incorporated

6.10.5.14.1.2 データ トレーニングなし OSPI0

注

このセクションで定義されるタイミング パラメータは、データ トレーニングが実装されておらず、かつ表 6-97 と表 6-100 に示すように DLL 遅延が設定されている場合にのみ適用されます。

6.10.5.14.1.2.1 OSPI0 PHY SDR のタイミング

表 6-97 に、OSPI0 PHY SDR モードに必要な DLL 遅延を定義します。表 6-98、図 6-78、図 6-79、表 6-99、図 6-80 に、OSPI0 PHY SDR モードのタイミング要件とスイッチング特性を示します。

表 6-97. PHY SDR タイミング モードについての OSPI0 DLL 遅延マッピング

モード	OSPI_PHY_CONFIGURATION_REG ビット フィールド	遅延値
送信		
すべてのモード	PHY_CONFIG_TX_DLL_DELAY_FLD、	0x0
受信		
すべてのモード	PHY_CONFIG_RX_DLL_DELAY_FLD	0x0

表 6-98. OSPI0 のタイミング要件 – PHY SDR モード

図 6-78 および図 6-79 を参照

番号			モード	最小値	最大値	単位
O19	$t_{su(D-CLK)}$	セットアップ時間、OSPI0_D[7:0] 有効からアクティブな OSPI0_CLK のエッジまで	1.8V、PHY ループバック内蔵 SDR	4.8		ns
			3.3V、PHY ループバック内蔵 SDR	5.19		ns
O20	$t_{h(CLK-D)}$	ホールド時間、アクティブな OSPI0_CLK のエッジの後で OSPI0_D[7:0] が有効	1.8V、PHY ループバック内蔵 SDR	-0.5		ns
			3.3V、PHY ループバック内蔵 SDR	-0.5		ns
O21	$t_{su(D-LBCLK)}$	セットアップ時間、OSPI0_D[7:0] 有効から OSPI0_DQS のエッジまで	1.8V、外部ボード ループバック付き SDR	0.6		ns
			3.3V、外部ボード ループバック付き SDR	0.9		ns
O22	$t_{h(LBCLK-D)}$	ホールド時間、アクティブな OSPI0_DQS のエッジの後で OSPI0_D[7:0] が有効	1.8V、外部ボード ループバック付き SDR	1.7		ns
			3.3V、外部ボード ループバック付き SDR	2.0		ns

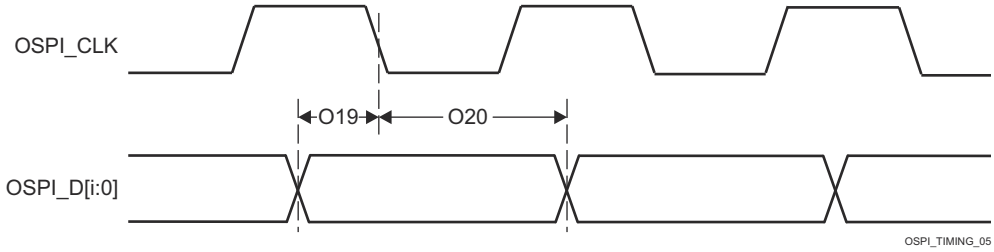


図 6-78. OSPI0 のタイミング要件 – PHY ループバック内蔵 PHY SDR

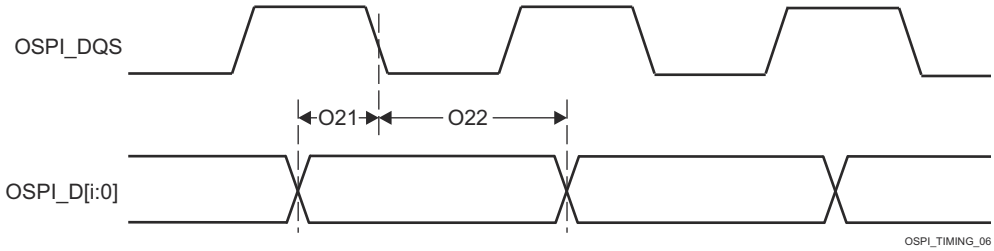


図 6-79. OSPI0 のタイミング要件 – 外部ボード ループバック付き PHY SDR

表 6-99. OSPI0 のスイッチング特性 – PHY SDR モード

図 6-80 参照

番号	パラメータ		モード	最小値	最大値	単位
O7	$t_{c(CLK)}$	サイクル時間、OSPI0_CLK	1.8V	7		ns
			3.3V	6.03		ns
O8	$t_{w(CLKL)}$	パルス幅、OSPI0_CLK low		((0.475P(1)) - 0.3)		ns
O9	$t_{w(CLKH)}$	パルス幅、OSPI0_CLK high		((0.475P(1)) - 0.3)		ns
O10	$t_{d(CSn-CLK)}$	遅延時間、OSPI0_CSn[3:0] アクティブ エッジから OSPI0_CLK 立ち上がりエッジまで		((0.475P(1)) + (0.975M(2)R(4)) - 1)	((0.525P(1)) + (1.025M(2)R(4)) + 1)	ns
O11	$t_{d(CLK-CSn)}$	遅延時間、OSPI0_CLK 立ち上がりエッジから OSPI0_CSn[3:0] 非アクティブ エッジまで		((0.475P(1)) + (0.975N(3)R(4)) - 1)	((0.525P(1)) + (1.025N(3)R(4)) + 1)	ns
O12	$t_{d(CLK-D)}$	遅延時間、OSPI0_CLK アクティブ エッジから OSPI0_D[7:0] 遷移まで	1.8V	-1.16	1.25	ns
			3.3V	-1.33	1.51	ns

(1) P = SCLK サイクル時間 (ns 単位) = OSPI0_CLK 周期 (ns 単位)
(2) M = OSPI_DEV_DELAY_REG[D_INIT_FLD]
(3) N = OSPI_DEV_DELAY_REG[D_AFTER_FLD]
(4) R = リファレンス クロック サイクル時間 (ns 単位)

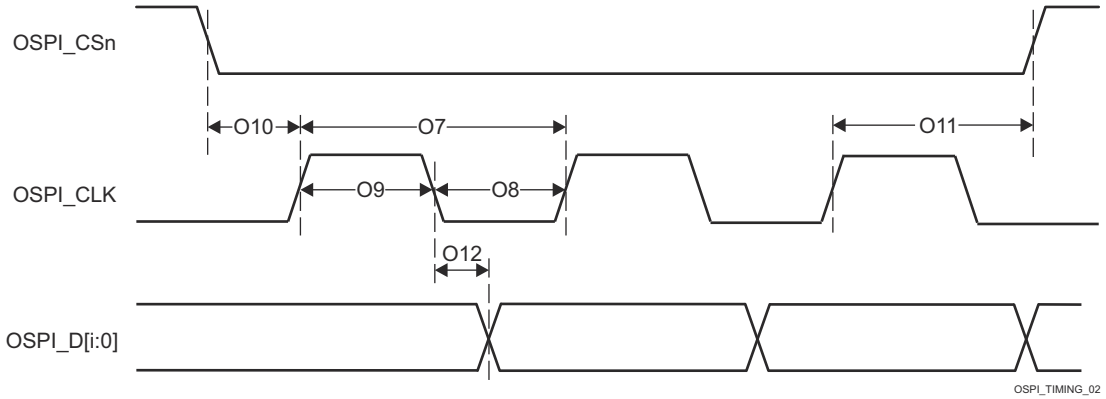


図 6-80. OSPI0 のスイッチング特性 – PHY SDR モード

Copyright © 2024 Texas Instruments Incorporated

6.10.5.14.1.2.2 OSPI0 PHY DDR のタイミング

表 6-100 に、OSPI0 PHY DDR モードに必要な DLL 遅延を定義します。表 6-101、図 6-81、表 6-102、図 6-82 に、OSPI0 PHY DDR モードのタイミング要件とスイッチング特性を示します。

表 6-100. OSPI0 の DLL 遅延マッピング – PHY DDR タイミング モード

モード	OSPI_PHY_CONFIGURATION_REG ビット フィールド	遅延値
送信		
1.8V	PHY_CONFIG_TX_DLL_DELAY_FLD	0x3E
3.3V	PHY_CONFIG_TX_DLL_DELAY_FLD	0x3B
受信		
1.8V、DQS	PHY_CONFIG_RX_DLL_DELAY_FLD	0x15
3.3V、DQS	PHY_CONFIG_RX_DLL_DELAY_FLD	0x3A
その他のすべてのモード	PHY_CONFIG_RX_DLL_DELAY_FLD	0x0

表 6-101. OSPI0 のタイミング要件 – PHY DDR モード

図 6-81 参照

番号			モード	最小値	最大値	単位
O15	$t_{su(D-LBCLK)}$	セットアップ時間、OSPI0_D[7:0] 有効からアクティブ OSPI0_DQS エッジまで	1.8V、外部ボード ループバック付き DDR	0.53		ns
			1.8V、DQS 付き DDR	-0.46		ns
			3.3V、外部ボード ループバック付き DDR	1.23		ns
			3.3V、DQS 付き DDR	-0.66		ns
O16	$t_{h(LBCLK-D)}$	ホールド時間、アクティブ OSPI0_DQS エッジから OSPI0_D[7:0] 有効の間	1.8V、外部ボード ループバック付き DDR	1.24[(1)]		ns
			1.8V、DQS 付き DDR	3.59		ns
			3.3V、外部ボード ループバック付き DDR	1.44[(1)]		ns
			3.3V、DQS 付き DDR	7.92		ns

(1) このホールド時間の要件は、一般的な OSPI/QSPI/SPI デバイスのホールド時間よりも長いです。したがって、SoC と、接続された OSPI/QSPI/SPI デバイスとの間のパターン長は、SoC でのホールド時間を確実に満たすのに十分な長さにする必要があります。補償のため、SoC の外部ループバック クロック (OSPI0_LBCLKO から OSPI0_DQS まで) の長さを短くする必要がある場合があります。

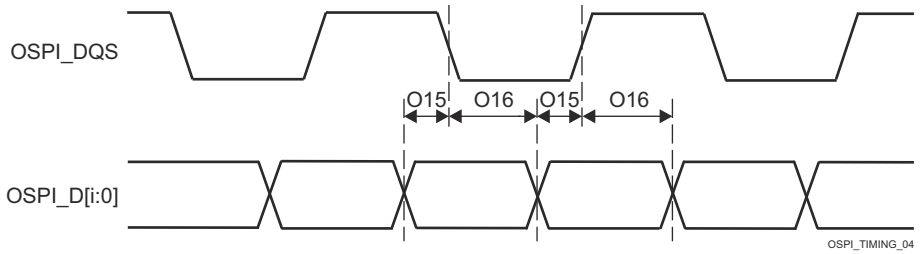


図 6-81. OSPI0 のタイミング要件 – 外部ボード ループバックまたは DQS 付き PHY DDR

表 6-102. OSPI0 のスイッチング特性 – PHY DDR モード

図 6-82 参照

番号	パラメータ		モード	最小値	最大値	単位
O1	$t_{c(CLK)}$	サイクル時間、OSPI0_CLK		19		ns
O2	$t_{w(CLKL)}$	パルス幅、OSPI0_CLK low		((0.475P[1]) - 0.3)		ns
O3	$t_{w(CLKH)}$	パルス幅、OSPI0_CLK high		((0.475P[1]) - 0.3)		ns
O4	$t_{d(CSn-CLK)}$	遅延時間、OSPI0_CSn[3:0] アクティブ エッジから OSPI0_CLK 立ち上がりエッジまで		((0.475P[1]) - (0.975M[2]R[4]))	((0.525P[1]) - (1.025M[2]R[4]) + 7)	ns
O5	$t_{d(CLK-CSn)}$	遅延時間、OSPI0_CLK 立ち上がりエッジから OSPI0_CSn[3:0] 非アクティブ エッジまで		((0.475P[1]) + (0.975N[3]R[4]) - 7)	((0.525P[1]) + (1.025N[3]R[4]))	ns
O6	$t_{d(CLK-D)}$	遅延時間、OSPI0_CLK アクティブ エッジから OSPI0_D[7:0] 遷移まで	1.8V	-7.71	-1.56	ns
			3.3V	-7.71	-1.56	ns

(1) P = SCLK サイクル時間 (ns) = OSPI0_CLK サイクル時間 (ns)
(2) M = OSPI_DEV_DELAY_REG[D_INIT_FLD]
(3) N = OSPI_DEV_DELAY_REG[D_AFTER_FLD]
(4) R = 基準クロック サイクル時間 (ns)

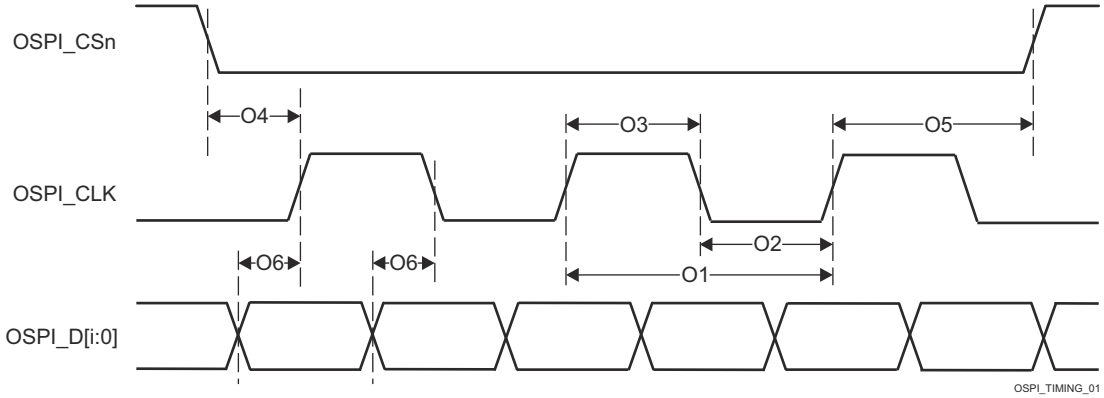


図 6-82. OSPI0 のスイッチング特性 – PHY DDR

Copyright © 2024 Texas Instruments Incorporated

6.10.5.14.2 OSPI0 タップ モード

6.10.5.14.2.1 OSPI0 タップ SDR のタイミング

表 6-103、図 6-83、表 6-104、図 6-84 に、OSPI0 タップ SDR モードのタイミング要件とスイッチング特性を示します。

表 6-103. OSPI0 のタイミング要件 – タップ SDR モード

図 6-83 参照

番号			モード	最小値	最大値	単位
O19	$t_{su(D-CLK)}$	セットアップ時間、OSPI0_D[7:0] 有効からアクティブ OSPI0_CLK エッジまで	ループバックなし	(15.4 - (0.975T(1)R(2)))		ns
O20	$t_{h(CLK-D)}$	ホールド時間、アクティブ OSPI0_CLK エッジから OSPI0_D[7:0] 有効の間	ループバックなし	(- 4.3 + (0.975T(1)R(2)))		ns

(1) T = OSPI_RD_DATA_CAPTURE_REG[DELAY_FLD]
(2) R = 基準クロック サイクル時間 (ns)

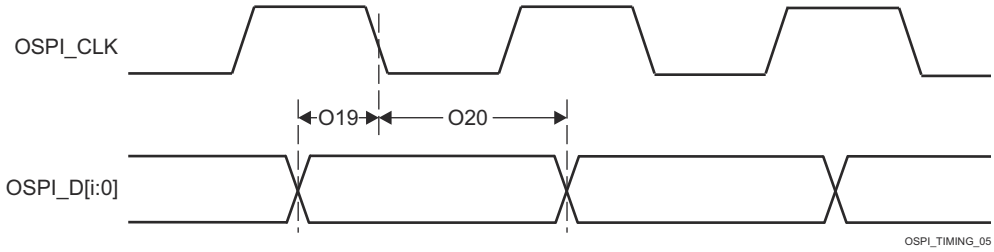


図 6-83. OSPI0 のタイミング要件 – タップ SDR、ループバックなし

表 6-104. OSPI0 のスイッチング特性 – タップ SDR モード

図 6-84 参照

番号	パラメータ		モード	最小値	最大値	単位
O7	$t_{c(CLK)}$	サイクル時間、OSPI0_CLK		20		ns
O8	$t_{w(CLKL)}$	パルス幅、OSPI0_CLK low		((0.475P[1]) - 0.3)		ns
O9	$t_{w(CLKH)}$	パルス幅、OSPI0_CLK high		((0.475P[1]) - 0.3)		ns
O10	$t_{d(CSn-CLK)}$	遅延時間、OSPI0_CSn[3:0] アクティブ エッジから OSPI0_CLK 立ち上がりエッジまで		((0.475P[1]) + (0.975M[2]R[4]) - 1)	((0.525P[1]) + (1.025M[2]R[4]) + 1)	ns
O11	$t_{d(CLK-CSn)}$	遅延時間、OSPI0_CLK 立ち上がりエッジから OSPI0_CSn[3:0] 非アクティブ エッジまで		((0.475P[1]) + (0.975N[3]R[4]) - 1)	((0.525P[1]) + (1.025N[3]R[4]) + 1)	ns
O12	$t_{d(CLK-D)}$	遅延時間、OSPI0_CLK アクティブ エッジから OSPI0_D[7:0] 遷移まで		- 4.25	7.25	ns

(1) P = SCLK サイクル時間 (ns) = OSPI0_CLK サイクル時間 (ns)
(2) M = OSPI_DEV_DELAY_REG[D_INIT_FLD]
(3) N = OSPI_DEV_DELAY_REG[D_AFTER_FLD]
(4) R = 基準クロック サイクル時間 (ns)

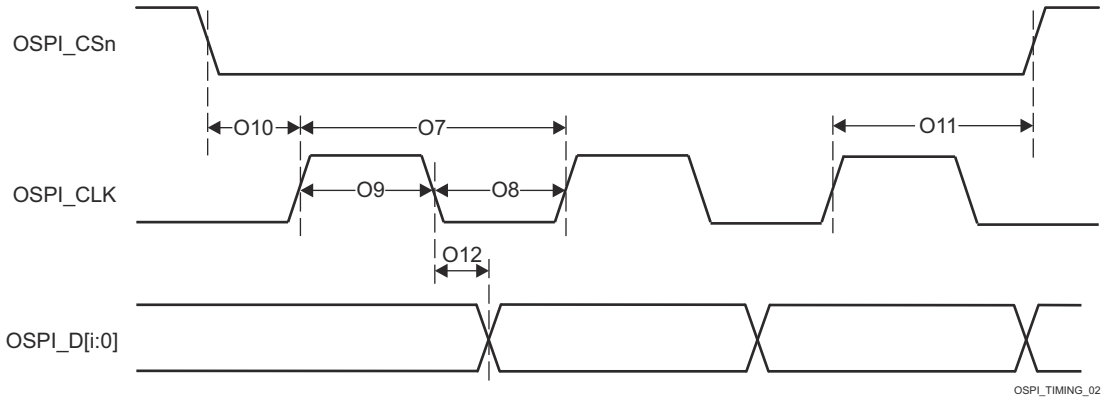


図 6-84. OSPI0 のスイッチング特性 – タップ SDR、ループバックなし

Copyright © 2024 Texas Instruments Incorporated

6.10.5.14.2.2 OSPI0 タップ DDR のタイミング

表 6-105、図 6-85、表 6-106、図 6-86 に、OSPI0 タップ DDR モードのタイミング要件とスイッチング特性を示します。

表 6-105. OSPI0 のタイミング要件 – タップ DDR モード

図 6-85 参照

番号			モード	最小値	最大値	単位
O13	$t_{su(D-CLK)}$	セットアップ時間、OSPI0_D[7:0] 有効からアクティブ OSPI0_CLK エッジまで	ループバックなし	(17.04 - (0.975T(1)R(2)))		ns
O14	$t_{h(CLK-D)}$	ホールド時間、アクティブ OSPI0_CLK エッジから OSPI0_D[7:0] 有効の間	ループバックなし	(- 3.16 + (0.975T(1)R(2)))		ns

(1) T = OSPI_RD_DATA_CAPTURE_REG[DELAY_FLD]
(2) R = 基準クロック サイクル時間 (ns)

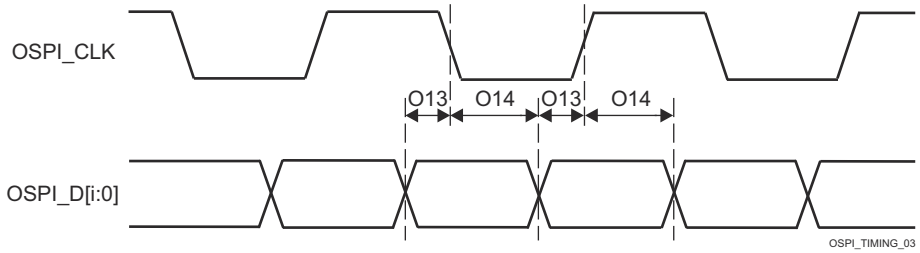


図 6-85. OSPI0 のタイミング要件 – タップ DDR、ループバックなし

表 6-106. OSPI0 のスイッチング特性 – タップ DDR モード

図 6-86 参照

番号	パラメータ		モード	最小値	最大値	単位
O1	$t_{c(CLK)}$	サイクル時間、OSPI0_CLK		40		ns
O2	$t_{w(CLKL)}$	パルス幅、OSPI0_CLK low		((0.475P(1)) - 0.3)		ns
O3	$t_{w(CLKH)}$	パルス幅、OSPI0_CLK high		((0.475P(1)) - 0.3)		ns
O4	$t_{d(CSn-CLK)}$	遅延時間、OSPI0_CSn[3:0] アクティブ エッジから OSPI0_CLK 立ち上がりエッジまで		((0.475P(1)) + ((0.975M(2)R(5)) - 1)	((0.525P(1)) + (1.025M(2)R(5)) + 1)	ns
O5	$t_{d(CLK-CSn)}$	遅延時間、OSPI0_CLK 立ち上がりエッジから OSPI0_CSn[3:0] 非アクティブ エッジまで		((0.475P(1)) + (0.975N(3)R(5)) - 1)	((0.525P(1)) + (1.025N(3)R(5)) + 1)	ns
O6	$t_{d(CLK-D)}$	遅延時間、OSPI0_CLK アクティブ エッジから OSPI0_D[7:0] 遷移まで		(- 5.04 + (0.975(T(4) + 1)R(5)) - (0.525P(1)))	(3.64 + (1.025(T(4) + 1)R(5)) - (0.475P(1)))	ns

(1) P = SCLK サイクル時間 (ns) = OSPI0_CLK サイクル時間 (ns)
(2) M = OSPI_DEV_DELAY_REG[D_INIT_FLD]
(3) N = OSPI_DEV_DELAY_REG[D_AFTER_FLD]
(4) T = OSPI_RD_DATA_CAPTURE_REG[DDR_READ_DELAY_FLD]
(5) R = 基準クロック サイクル時間 (ns)

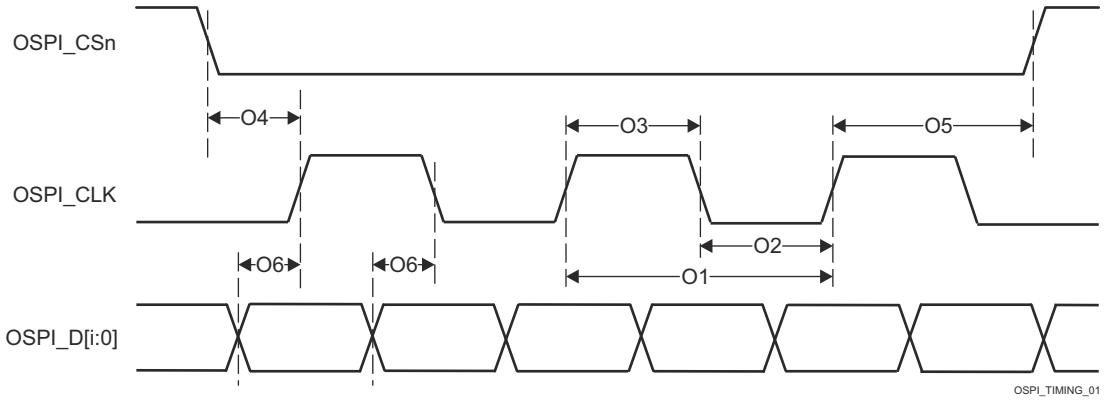


図 6-86. OSPI0 のスイッチング特性 – タップ DDR、ループバックなし

6.10.5.15 PCIe

PCI-Express サブシステムは、PCIe® ベース仕様、レビジョン 4.0 に準拠しています。タイミングの詳細については、仕様を参照してください。

このデバイスの PCIe (Peripheral Component Interconnect Express) の機能の詳細と追加の説明情報については、「SERDES0 信号の説明」と、「詳細説明」の対応するサブセクションを参照してください。

詳細については、本デバイスのテクニカル リファレンス マニュアルの「ペリフェラル」の章にある「PCIe (Peripheral Component Interconnect Express) サブシステム」セクションを参照してください。

Copyright © 2024 Texas Instruments Incorporated

6.10.5.16 PRU_ICSSG

このデバイスには、2 つの同一のプログラマブル リアルタイム ユニット サブシステムおよび産業用通信サブシステム (ギガビット PRU_ICSSG (PRU_ICSSG0、PRU_ICSSG1)) が内蔵されています。PRU-ICSS のプログラム可能な性質と、ピン、イベント、およびすべてのデバイス リソースにアクセスできることから、高速でリアルタイムの応答、特化したデータ処理操作、カスタム ペリフェラル インターフェイスを柔軟に実装でき、デバイスの他のプロセッサ コアをタスクの負荷から解放できます。

本デバイスの PRU_ICSSG の機能の詳細と追加の説明情報については、「信号の説明」および「詳細説明」セクションの対応するサブセクションを参照してください。

注

PRU_ICSSG には、多重化の第 2 層が含まれており、PRU GPO および GPI 信号の機能を追加できます。この内部ラッパー多重化については、デバイス テクニカル リファレンス マニュアルの「PRU_ICSSG」の章に記載されています。

6.10.5.16.1 PRU_ICSSG プログラマブル リアルタイム ユニット (PRU)

注

PRU_ICSSG PRU 信号は、動作モードに応じて機能が異なります。このセクションの信号の名称は、デバイスのテクニカル リファレンス マニュアルの「PRU モジュール インターフェイス」セクションで使用される名称と一致します。

表 6-107. PRU_ICSSG PRU のタイミング条件

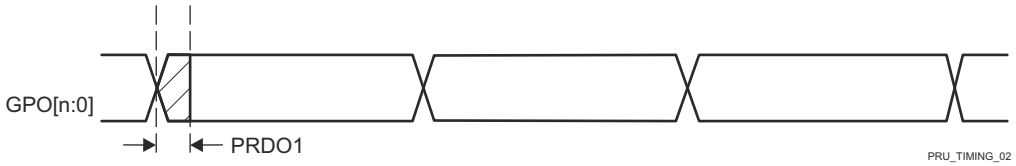
パラメータ		最小値	最大値	単位
入力条件				
SR_I	入力スルーレート	1	3	V/ns
出力条件				
C_L	出力負荷容量	2	30	pF

6.10.5.16.1.1 PRU_ICSSG PRU 直接出力モードのタイミング

表 6-108. PRU_ICSSG PRU のスイッチング特性 – 直接出力モード

図 6-87 参照

番号	パラメータ	説明	最小値	最大値	単位
PRDO1	$t_{sk(GPO-GPO)}$	スキュー、GPO 間		2	ns



A. GPO[n:0] で、n は 19。

図 6-87. PRU_ICSSG PRU 直接出力タイミング

6.10.5.16.1.2 PRU_ICSSG PRU パラレル キャプチャ モードのタイミング

表 6-109. PRU_ICSSG PRU のタイミング要件 – パラレル キャプチャ モード

図 6-88 と図 6-89 を参照

番号	パラメータ	説明	最小値	最大値	単位
PRPC1	$t_{c(CLOCK)}$	サイクル時間、CLOCKIN	20		ns
PRPC2	$t_{w(CLOCKL)}$	パルス幅、CLOCKIN Low	0.45P(1)		ns
PRPC3	$t_{w(CLOCKH)}$	パルス幅、CLOCKIN High	0.45P(1)		ns
PRPC4	$t_{su(DATAIN-CLOCK)}$	セットアップ時間、DATAIN 有効から CLOCKIN アクティブ エッジまで	4		ns
PRPC5	$t_{h(CLOCK-DATAIN)}$	ホールド時間、CLOCKIN アクティブ エッジから DATAIN 有効の間	0		ns

(1) P = CLOCKIN サイクル時間 (ns 単位)

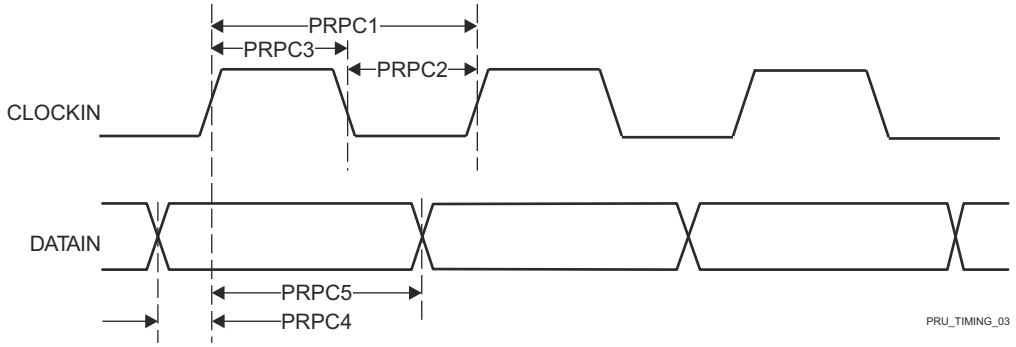


図 6-88. PRU_ICSSG PRU パラレル キャプチャのタイミング要件 – 立ち上がりエッジ モード

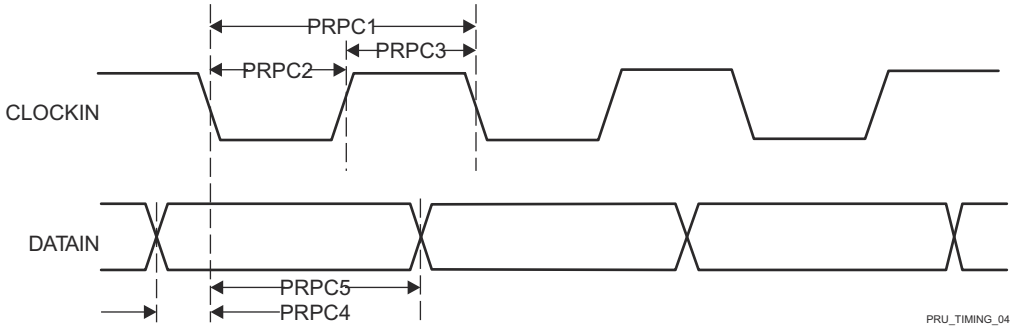


図 6-89. PRU_ICSSG PRU パラレル キャプチャのタイミング要件 – 立ち下がりエッジ モード

Copyright © 2024 Texas Instruments Incorporated

6.10.5.16.1.3 PRU_ICSSG PRU のシフト モードのタイミング

表 6-110. PRU_ICSSG PRU のタイミング要件 - シフト イン モード

図 6-90 参照

番号	パラメータ	説明	最小値	最大値	単位
PRSI1	$t_{w(DATAINH)}$	パルス幅、DATAIN high	2P[(1)] + 2		ns
PRSI2	$t_{w(DATAINL)}$	パルス幅、DATAIN low	2P[(1)] + 2		ns

(1) P = クロック周期の内部シフトで、ICSSG_GPCFGn_REG レジスタの PRUn_GPI_DIV0 および PRUn_GPI_DIV1 ビット フィールドで定義されます。PRUn は、対応する PRU0 または PRU1 インスタンスを表します。

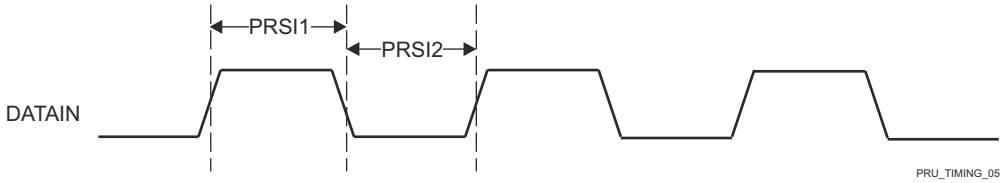


図 6-90. PRU_ICSSG PRU のシフト インのタイミング

表 6-111. PRU_ICSSG PRU のスイッチング特性 – シフト アウト モード

図 6-91 参照

番号	パラメータ	説明	最小値	最大値	単位
PRSO1	$t_{c(CLOCKOUT)}$	サイクル時間、CLOCKOUT	10		ns
PRSO2L	$t_{w(CLOCKOUTL)}$	パルス幅、CLOCKOUT Low	0.475P(1)Z(2) - 0.3		ns
PRSO2H	$t_{w(CLOCKOUTH)}$	パルス幅、CLOCKOUT High	0.475P(1)Y(3) - 0.3		ns
PRSO3	$t_{d(CLOCKOUT-DATAOUT)}$	遅延時間、CLOCKOUT から DATAOUT 有効まで	-1	4	ns

(1) P = ソフトウェアでプログラマブルなシフト アウト クロック周期。ICSSG_GPCFGn_REG レジスタの PRUn_GPO_DIV0 および PRUn_GPO_DIV1 ビット フィールドで定義されます。ここで、PRUn は対応する PRU0 または PRU1 インスタンスを表します。

(2) Z パラメータは次のように定義されます。ここで、PRUn は対応する PRU0 または PRU1 インスタンスを表します。
- a. PRUn_GPI_DIV0 と PRUn_GPI_DIV1 が整数の場合、または PRUn_GPI_DIV0 が非整数で PRUn_GPI_DIV1 が偶数の場合、Z は (PRUn_GPI_DIV0 * PRUn_GPI_DIV1) に等しくなります。
- b. PRUn_GPI_DIV0 が非整数で PRUn_GPI_DIV1 が 奇数の場合、Z は (PRUn_GPI_DIV0 * PRUn_GPI_DIV1 + 0.5) に等しくなります。
- c. PRUn_GPI_DIV0 が整数で、PRUn_GPI_DIV1 が非整数の場合、Z は (PRUn_GPI_DIV0 * PRUn_GPI_DIV1 + 0.5 * PRUn_GPI_DIV0) に等しくなります。
- d. PRUn_GPI_DIV0 と PRUn_GPI_DIV1 が非整数の場合、Z は (PRUn_GPI_DIV0 * PRUn_GPI_DIV1 + 0.25 * PRUn_GPI_DIV0) に等しくなります。

(3) Y パラメータは次のように定義されます。ここで、PRUn は対応する PRU0 または PRU1 インスタンスを表します。
- a. PRUn_GPI_DIV0 と PRUn_GPI_DIV1 が整数の場合、または PRUn_GPI_DIV0 が非整数で PRUn_GPI_DIV1 が偶数の場合、Y は (PRUn_GPI_DIV0 * PRUn_GPI_DIV1) に等しくなります。
- b. PRUn_GPI_DIV0 が非整数で PRUn_GPI_DIV1 が 奇数の場合、Y は (PRUn_GPI_DIV0 * PRUn_GPI_DIV1 - 0.5) に等しくなります。
- c. PRUn_GPI_DIV0 が整数で PRUn_GPI_DIV1 が非整数の場合、Y は (PRUn_GPI_DIV0 * PRUn_GPI_DIV1 - 0.5 * PRUn_GPI_DIV0) に等しくなります。
- d. PRUn_GPI_DIV0 および PRUn_GPI_DIV1 が非整数の場合、Y1 は (PRUn_GPI_DIV0 * PRUn_GPI_DIV1 - 0.25 * PRUn_GPI_DIV0)、Y2 は (PRUn_GPI_DIV0 * PRUn_GPI_DIV1 + 0.25 * PRUn_GPI_DIV0) に等しくなります。ここで、Y1 は 1 番目の high パルス、Y2 は 2 番目の high パルスです。

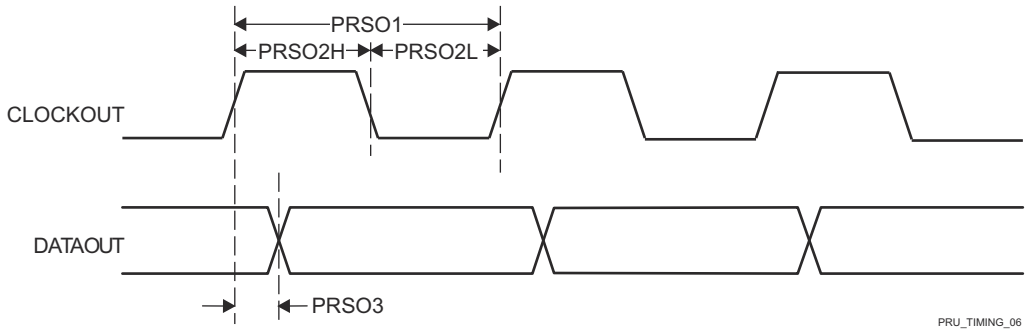


図 6-91. PRU_ICSSG PRU のシフトアウト タイミング

Copyright © 2024 Texas Instruments Incorporated

6.10.5.16.1.4 PRU_ICSSG PRU シグマ デルタおよびペリフェラル インターフェイス

表 6-112. PRU_ICSSG PRU シグマ デルタおよびペリフェラル インターフェイスのタイミング条件

パラメータ		最小値	最大値	単位
入力条件				
SR_I	入力スルーレート	1	3	V/ns
出力条件				
C_L	出力負荷容量	2	18	pF

6.10.5.16.1.4.1 PRU_ICSSG PRU シグマ デルタおよびペリフェラル インターフェイスのタイミング

表 6-113. PRU_ICSSG PRU のタイミング要件 – シグマ デルタ モード

図 6-92 と図 6-93 を参照

番号	パラメータ	説明	最小値	最大値	単位
PRSD1	$t_{c(SD_CLK)}$	サイクル時間、SDx_CLK	40		ns
PRSD2L	$t_{w(SD_CLKL)}$	パルス幅、SDx_CLK Low	20		ns
PRSD2H	$t_{w(SD_CLKH)}$	パルス幅、SDx_CLK High	20		ns
PRSD3	$t_{su(SD_D-SD_CLK)}$	セットアップ時間、SDx_D 有効から SDx_CLK アクティブ エッジまで	10		ns
PRSD4	$t_{h(SD_CLK-SD_D)}$	ホールド時間、SDx_CLK アクティブ エッジから SDx_D 有効の間	5		ns

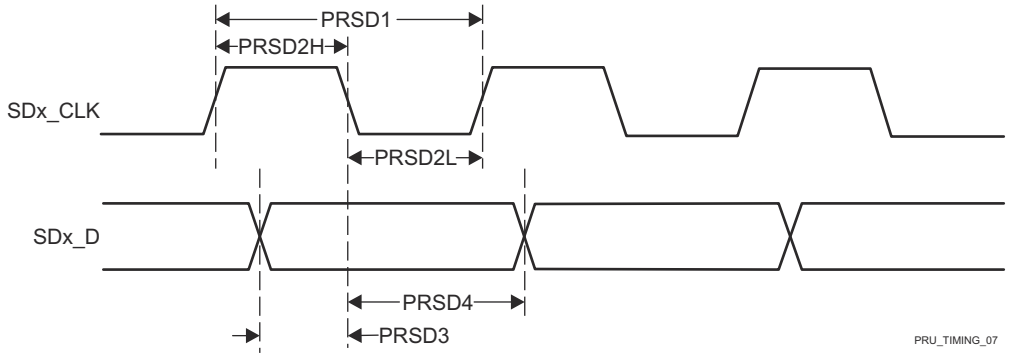


図 6-92. PRU_ICSSG PRU SD_CLK 立ち下がりアクティブ エッジ

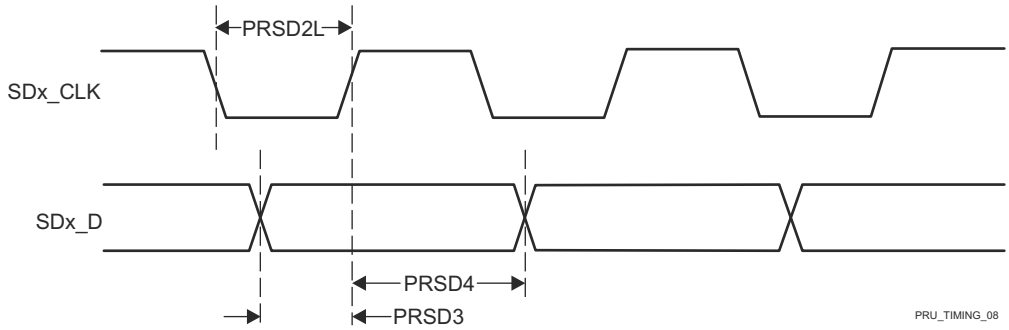


図 6-93. PRU_ICSSG PRU SD_CLK の立ち上がりアクティブ エッジ

表 6-114. PRU_ICSSG PRU のタイミング要件 – ペリフェラル インターフェイス モード

図 6-94 参照

番号	パラメータ	説明	最小値	最大値	単位
PRPIF1	$t_{w(PIF_DATA_INH)}$	パルス幅、PIF_DATA_IN High	2 + 0.475*(4*P) (1)		ns
PRPIF2	$t_{w(PIF_DATA_INL)}$	パルス幅、PIF_DATA_IN Low	2 + 0.475*(4*P) (1)		ns

(1) P = 1x (または TX) クロック周期 (ns)。ICSSG_PRUN_ED_TX_CFG_REG レジスタの PRUn_ED_TX_DIV_FACTOR および PRUn_ED_TX_DIV_FACTOR_FRAC で定義されます。PRUn は、PRU0 または PRU1 インスタンスをそれぞれ表します。

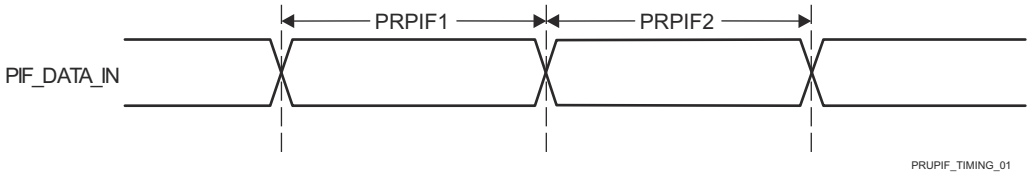


図 6-94. PRU_ICSSG PRU ペリフェラル インターフェイスのタイミング要件

表 6-115. PRU_ICSSG PRU のスイッチング特性 – ペリフェラル インターフェイス モード

図 6-95 参照

番号	パラメータ	説明	最小値	最大値	単位
PRPIF3	$t_{c(PIF_CLK)}$	サイクル時間、PIF_CLK	30		ns
PRPIF4	$t_{w(PIF_CLKH)}$	パルス幅、PIF_CLK High	0.475*P (1)		ns
PRPIF5	$t_{w(PIF_CLKL)}$	パルス幅、PIF_CLK Low	0.475*P (1)		ns
PRPIF6	$t_{d(PIF_CLK-PIF_DATA_OUT)}$	遅延時間、PIF_CLK 立ち下がりから PIF_DATA_OUT まで	-5	5	ns
PRPIF7	$t_{d(PIF_CLK-PIF_DATA_EN)}$	遅延時間、PIF_CLK 立ち下がりから PIF_DATA_EN まで	-5	5	ns

(1) P = 1x (または TX) クロック周期 (ns)。ICSSG_PRUN_ED_TX_CFG_REG レジスタの PRUn_ED_TX_DIV_FACTOR および PRUn_ED_TX_DIV_FACTOR_FRAC で定義されます。PRUn は、PRU0 または PRU1 インスタンスをそれぞれ表します。

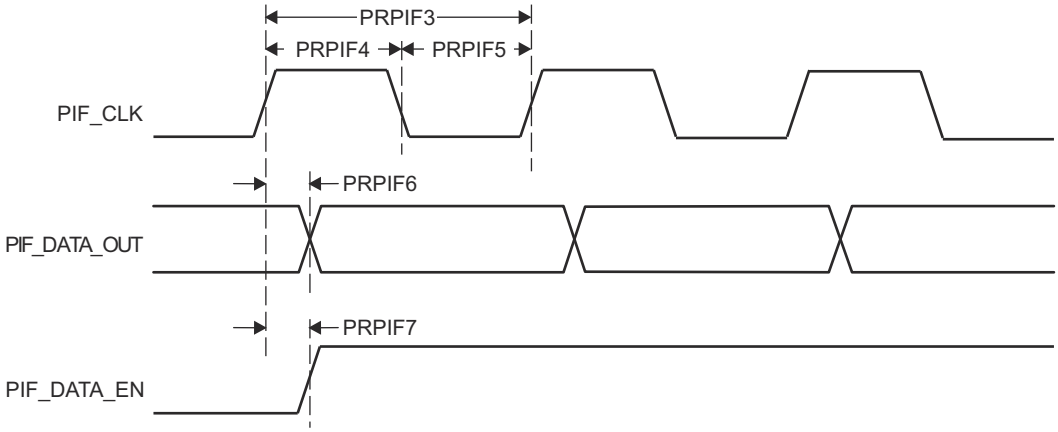


図 6-95. PRU_ICSSG PRU ペリフェラル インターフェイスのスイッチング特性

Copyright © 2024 Texas Instruments Incorporated

6.10.5.16.2 PRU_ICSSG パルス幅変調(PWM)

表 6-116. PRU_ICSSG PWM のタイミング条件

パラメータ		最小値	最大値	単位
入力条件				
SR_I	入力スルーレート	1	4	V/ns
出力条件				
C_L	出力負荷容量	2	7	pF

6.10.5.16.2.1 PRU_ICSSG PWM のタイミング

表 6-117. PRU_ICSSG PWM のスイッチング特性

図 6-96 参照

番号	パラメータ	説明	最小値	最大値	単位
PRPWM1	$t_{sk(PWM_A-PWM_B)}$	スキュー、PWM_A と PWM_B の間		5	ns

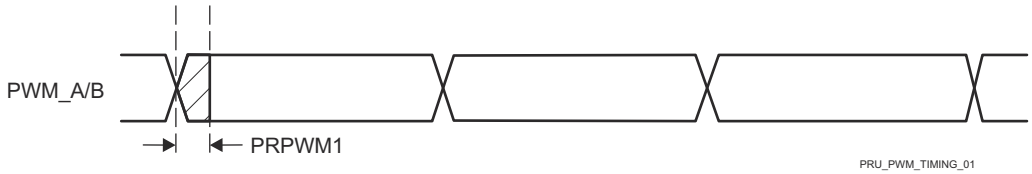


図 6-96. PRU_ICSSG PWM のタイミング

6.10.5.16.3 PRU_ICSSG 産業用イーサネット ペリフェラル (IEP)

表 6-118. PRU_ICSSG IEP のタイミング条件

パラメータ			最小値	最大値	単位
入力条件					
SR_I	入力スルーレート		1	3	V/ns
出力条件					
C_L	出力負荷容量	EDC_SYNC_OUTx EDIO_OUTVALID	2	7	pF
		EDIO_DATA_OUT	3	10	pF

6.10.5.16.3.1 PRU_ICSSG IEP のタイミング

表 6-119. PRU_ICSSG IEP のタイミング要件 – SYNC による入力有効化

図 6-97 参照

番号	パラメータ	説明	最小値	最大値	単位
PRIEP1	$t_{w(EDC_SYNC_OUTxL)}$	パルス幅、EDC_SYNC_OUTx Low	20P[(1)] - 2		ns
PRIEP2	$t_{w(EDC_SYNC_OUTxH)}$	パルス幅、EDC_SYNC_OUTx High	20P[(1)] - 2		ns
PRIEP3	$t_{su(EDIO_DATA_IN-EDC_SYNC_OUTx)}$	セットアップ時間、EDIO_DATA_IN 有効から EDC_SYNC_OUTx アクティブ エッジまで	20		ns
PRIEP4	$t_{h(EDC_SYNC_OUTx-EDIO_DATA_IN)}$	ホールド時間、EDC_SYNC_OUTx アクティブ エッジから EDIO_DATA_IN 有効の間	20		ns

(1) P = PRU_ICSSG IEP クロック ソース周期 (ns 単位)。

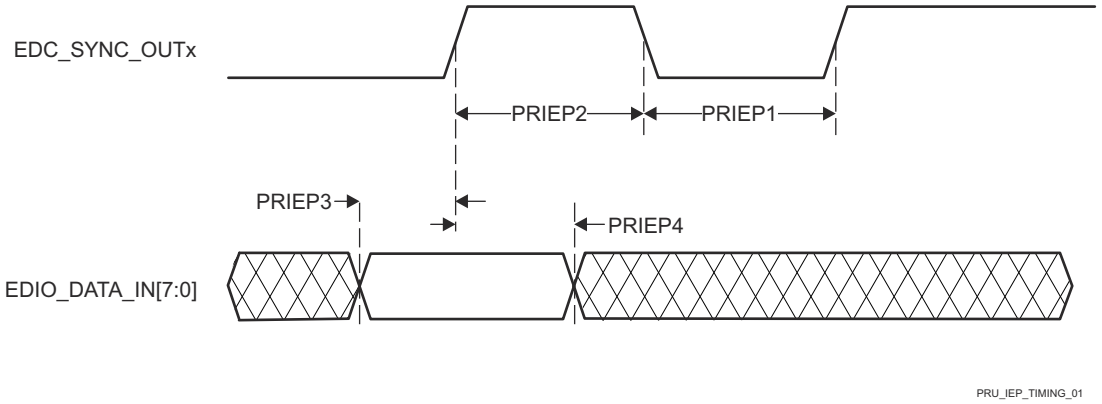


図 6-97. PRU_ICSSG IEP SYNC のタイミング要件

Copyright © 2024 Texas Instruments Incorporated

表 6-120. PRU_ICSSG IEP のスイッチング特性 – デジタル IO

図 6-98 参照

番号	パラメータ	説明	最小値	最大値	単位
IEPIO1	$t_{w(EDIO_OUTVALIDL)}$	パルス幅、EDIO_OUTVALID Low	14P[(1)] - 2		ns
IEPIO2	$t_{w(EDIO_OUTVALIDH)}$	パルス幅、EDIO_OUTVALID High	32P[(1)] - 2		ns
IEPIO3	$t_{d(EDIO_OUTVALID-EDIO_DATA_OUT)}$	遅延時間、EDIO_OUTVALID から EDIO_DATA_OUT まで	0	18P[(1)]	ns
IEPIO4	$t_{sk(EDIO_DATA_OUT)}$	EDIO_DATA_OUT スキュー		5	ns

(1) P = PRU_ICSSG IEP クロック ソース周期 (ns 単位)。

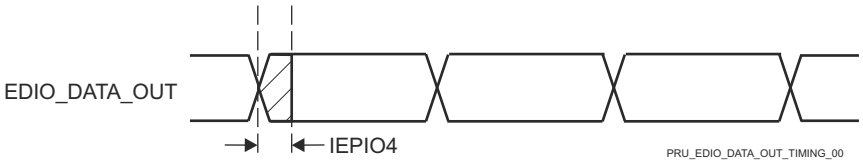


図 6-98. PRU_ICSSG IEP デジタル IO のタイミング要件

表 6-121. PRU_ICSSG IEP のタイミング要件 – LATCH_INx

図 6-99 参照

番号	パラメータ	説明	最小値	最大値	単位
PRLA1	$t_{w(EDC_LATCH_INxL)}$	パルス幅、EDC_LATCH_INx Low	3P[(1)] + 2		ns
PRLA2	$t_{w(EDC_LATCH_INxH)}$	パルス幅、EDC_LATCH_INx High	3P[(1)] + 2		ns

(1) P = PRU_ICSSG IEP クロック ソース周期 (ns 単位)。

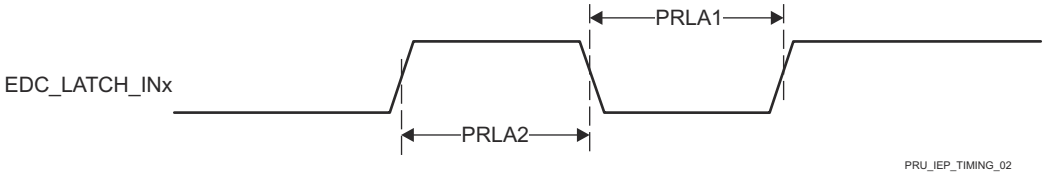


図 6-99. PRU_ICSSG IEP LATCH_INx のタイミング要件

6.10.5.16.4 PRU_ICSSG UART (Universal Asynchronous Receiver/Transmitter)

表 6-122. PRU_ICSSG UART のタイミング条件

パラメータ		最小値	最大値	単位
入力条件				
SR_I	入力スルーレート	0.5	5	V/ns
出力条件				
C_L	出力負荷容量	1	30(1)	pF

(1) この値は、絶対最大負荷容量を表します。UART のボーレートが上昇するにつれて、接続されているデバイスに十分なタイミング マージンを確保するために、負荷容量をこの最大制限より小さい値に減らす必要がある場合があります。容量性負荷の増加に伴い、出力の立ち上がり / 立ち下がり時間が長くなり、接続されているデバイスのレシーバに対してデータが有効である時間が短くなります。したがって、接続されたデバイスが動作ボーレートで必要とする最小データ有効時間を理解することが重要です。次に、デバイス IBIS モデルを使用して、UART 信号上の実際の負荷容量によって、接続されているデバイスの最小データ有効時間を超えて立ち上がり / 立ち下がり時間が増加しないことを確認します。

6.10.5.16.4.1 PRU_ICSSG UART のタイミング

表 6-123. PRU_ICSSG UART のタイミング要件

図 6-100 参照

番号	パラメータ	説明	最小値	最大値	単位
1	$t_{w(RXD)}$	パルス幅、受信データ ビット High または Low	0.95U(1)(2)	1.05U(1)(2)	ns
2	$t_{w(RXDS)}$	パルス幅、受信スタート ビット Low	0.95U(1)(2)		ns

(1) U = UART のボー時間 (ns) = 1/ プログラムされたボーレート。
(2) この値はデータ有効時間を規定します。ここで、入力電圧は V_{IH} を上回る、または V_{IL} を下回る必要があります。

表 6-124. PRU_ICSSG UART のスイッチング特性

図 6-100 参照

番号	パラメータ	説明	最小値	最大値	単位
	f (ボー)	プログラムされたボーレート		12	Mbps
3	$t_{w(TXD)}$	パルス幅、送信データ ビット High または Low	U(1) - 2	U(1) + 2	ns
4	$t_{w(TXDS)}$	パルス幅、送信スタート ビット Low	U(1) - 2	U(1) + 2	ns

(1) U = UART ボー時間 (ns) = 1/ 実際のボーレート。ここで、実際のボーレートはデバイス TRM の UART ボーレート設定表で規定されています。

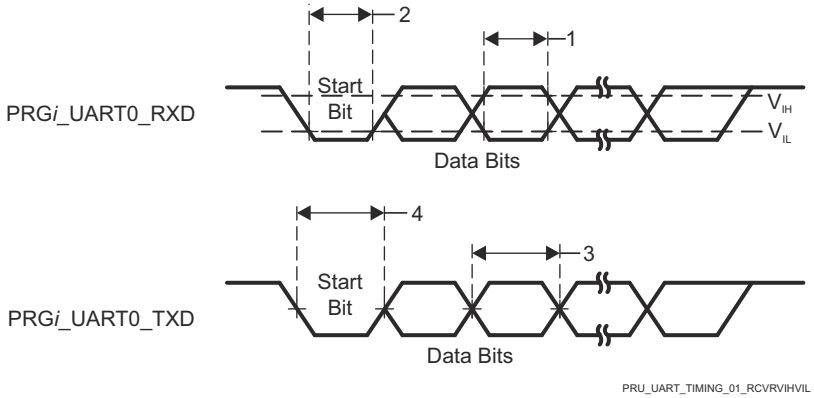


図 6-100. PRU_ICSSG UART のタイミング要件とスイッチング特性

Copyright © 2024 Texas Instruments Incorporated

6.10.5.16.5 PRU_ICSSG 拡張キャプチャ ペリフェラル (ECAP)

表 6-125. PRU_ICSSG ECAP のタイミング条件

パラメータ		最小値	最大値	単位
入力条件				
SR_I	入力スルーレート	1	3	V/ns
出力条件				
C_L	出力負荷容量	2	7	pF

6.10.5.16.5.1 PRU_ICSSG ECAP のタイミング

表 6-126. PRU_ICSSG ECAP のタイミング要件

図 6-101 参照

番号	パラメータ	説明	最小値	最大値	単位
PREP1	$t_{w(CAP)}$	パルス幅、CAP (非同期)	2P(1) + 2		ns
PREP2	$t_{w(SYNCI)}$	パルス幅、SYNCI (非同期)	2P(1) + 2		ns

(1) P = CORE_CLK 周期 (ns 単位)。

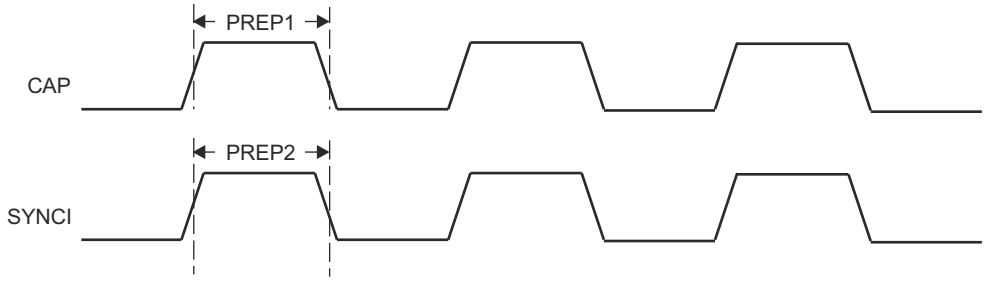


図 6-101. PRU_ICSSG ECAP のタイミング

表 6-127. PRU_ICSSG ECAP のスイッチング特性

図 6-102 参照

番号	パラメータ	説明	最小値	最大値	単位
PREP3	$t_{w(APWM)}$	パルス幅 APWM High/Low	2P(1) - 2		ns
PREP4	$t_{w(SYNCO)}$	パルス幅、SYNCO (非同期)	P(1) - 2		ns

(1) P = CORE_CLK 周期 (ns 単位)。

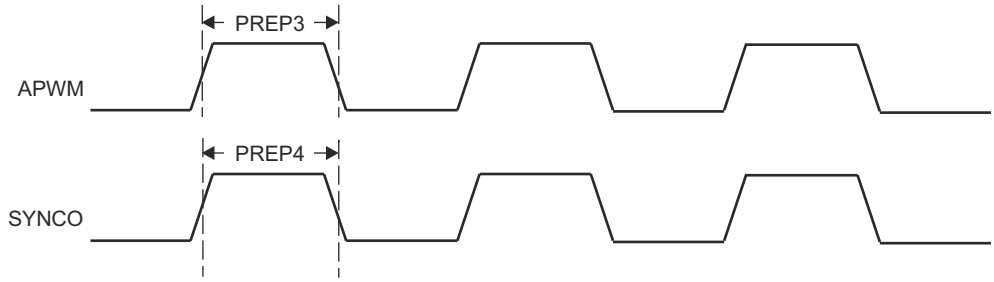


図 6-102. PRU_ICSSG ECAP のスイッチング特性

6.10.5.16.6 PRU_ICSSG RGMII、MII_RT、スイッチ

詳細については、デバイスのテクニカル リファレンス マニュアルで「プロセッサおよびアクセラレータ」の章にある「プログラマブル リアルタイム ユニット サブシステムおよび産業用通信サブシステム - ギガビット (PRU_ICSSG)」セクションを参照してください。

6.10.5.16.6.1 PRU_ICSSG MDIO のタイミング

表 6-128、表 6-129、表 6-130、図 6-103 に、PRU_ICSSG MDIO のタイミング条件、要件、スイッチング特性を示します。

表 6-128. PRU_ICSSG MDIO のタイミング条件

パラメータ		最小値	最大値	単位
入力条件				
SR_I	入力スルーレート	0.9	3.6	V/ns
出力条件				
C_L	出力負荷容量	10	470	pF

表 6-129. PRU_ICSSG MDIO のタイミング要件

図 6-103 参照

番号	パラメータ		最小値	最大値	単位
MDIO1	$t_{su(MDIO_MDC)}$	セットアップ時間、MDIO[x]_MDIO 有効から MDIO[x]_MDC high まで	90		ns
MDIO2	$t_{h(MDC_MDIO)}$	ホールド時間、MDIO[x]_MDC high から MDIO[x]_MDIO 有効の間	0		ns

表 6-130. PRU_ICSSG MDIO のスイッチング特性

図 6-103 参照

番号	パラメータ		最小値	最大値	単位
MDIO3	$t_{c(MDC)}$	サイクル時間、MDIO[x]_MDC	400		ns
MDIO4	$t_{w(MDCH)}$	パルス幅、MDIO[x]_MDC high	160		ns
MDIO5	$t_{w(MDCL)}$	パルス幅、MDIO[x]_MDC low	160		ns
MDIO7	$t_{d(MDC_MDIO)}$	遅延時間、MDIO[x]_MDC Low から MDIO[x]_MDIO 有効まで	-150	150	ns

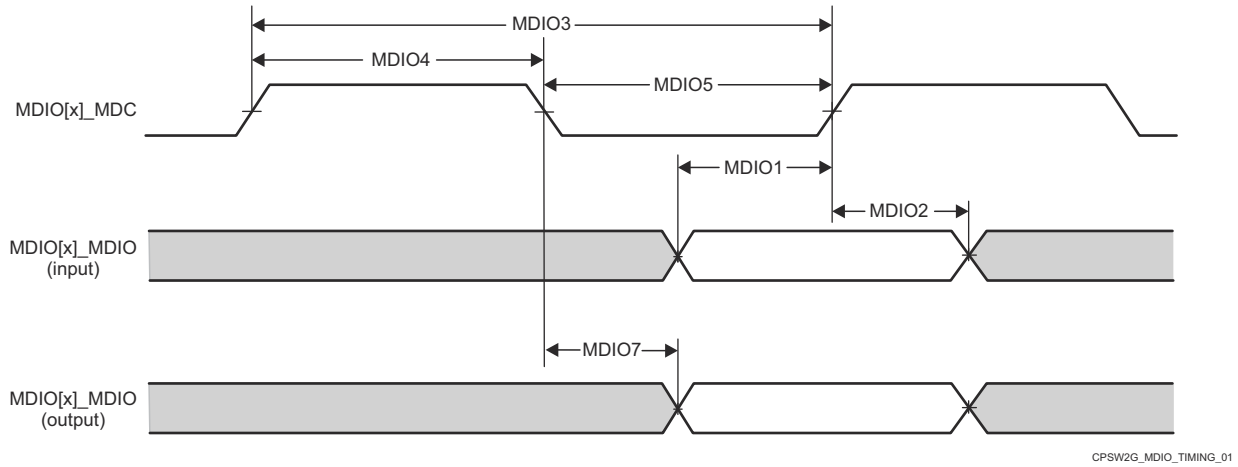


図 6-103. PRU_ICSSG MDIO のタイミング要件とスイッチング特性

Copyright © 2024 Texas Instruments Incorporated

6.10.5.16.6.2 PRU_ICSSG MII のタイミング

注

本デバイスのデータシートに記載された MII_G_RT I/O のタイミング値を確保するには、PRU_ICSSG ICSSGn_CORE_CLK (ここで n = 0～1) コア クロックを 200MHz、225MHz、250MHz のいずれか、かつ ICSSG_TXCFG0/1 レジスタの TX_CLK_DELAYn (ここで n = 0 または 1) ビット フィールドを 0h (デフォルト値) に設定する必要があります。

表 6-131、表 6-132、図 6-104、表 6-133、図 6-105、表 6-134、図 6-106、表 6-135、図 6-107 に、PRU_ICSSG MII のタイミング条件、タイミング要件、スイッチング特性を示します。

表 6-131. PRU_ICSSG MII のタイミング条件

パラメータ		最小値	最大値	単位
入力条件				
SR_I	入力スルーレート	0.9	3.6	V/ns
出力条件				
C_L	出力負荷容量	2	20	pF

表 6-132. PRU_ICSSG MII のタイミング要件 – MII[x]_RX_CLK

図 6-104 参照

番号	パラメータ	説明	モード	最小値	最大値	単位
PMIR1	$t_{c(RX_CLK)}$	サイクル時間、MII[x]_RX_CLK	10Mbps	399.96	400.04	ns
			100Mbps	39.996	40.004	ns
PMIR2	$t_{w(RX_CLKH)}$	パルス幅、MII[x]_RX_CLK High	10Mbps	140	260	ns
			100Mbps	14	26	ns
PMIR3	$t_{w(RX_CLKL)}$	パルス幅、MII[x]_RX_CLK Low	10Mbps	140	260	ns
			100Mbps	14	26	ns

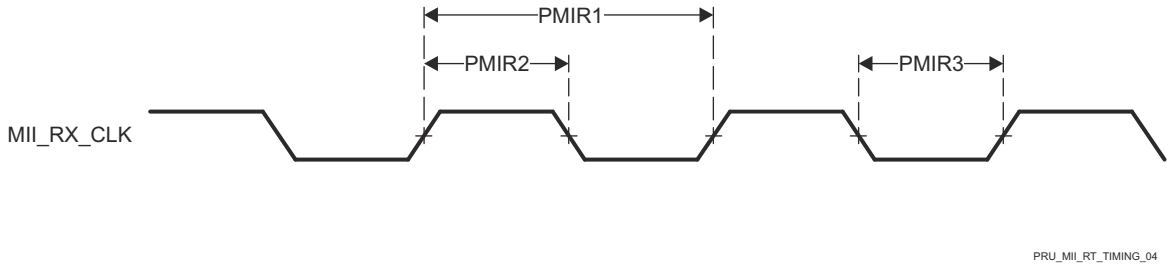


図 6-104. PRU_ICSSG MII[x]_RX_CLK のタイミング

表 6-133. PRU_ICSSG MII のタイミング要件 – MII[x]_RXD[3:0]、MII[x]_RX_DV、MII[x]_RX_ER

図 6-105 参照

番号	パラメータ	説明	モード	最小値	最大値	単位
PMIR4	$t_{su(RXD-RX_CLK)}$	セットアップ時間、MII[x]_RXD[3:0] 有効から MII[x]_RX_CLK まで	10Mbps	8		ns
	$t_{su(RX_DV-RX_CLK)}$	セットアップ時間、MII[x]_RX_DV 有効から MII[x]_RX_CLK まで		8		ns
	$t_{su(RX_ER-RX_CLK)}$	セットアップ時間、MII[x]_RX_ER 有効から MII[x]_RX_CLK まで		8		ns
	$t_{su(RXD-RX_CLK)}$	セットアップ時間、MII[x]_RXD[3:0] 有効から MII[x]_RX_CLK まで	100Mbps	8		ns
	$t_{su(RX_DV-RX_CLK)}$	セットアップ時間、MII[x]_RX_DV 有効から MII[x]_RX_CLK まで		8		ns
	$t_{su(RX_ER-RX_CLK)}$	セットアップ時間、MII[x]_RX_ER 有効から MII[x]_RX_CLK まで		8		ns
PMIR5	$t_{h(RX_CLK-RXD)}$	ホールド時間、MII[x]_ RX_CLK から MII[x]_RXD[3:0] 有効の間	10Mbps	8		ns
	$t_{h(RX_CLK-RX_DV)}$	ホールド時間、MII[x]_RX_CLK から MII[x]_RX_DV 有効の間		8		ns
	$t_{h(RX_CLK-RX_ER)}$	ホールド時間、MII[x]_RX_CLK から MII[x]_RX_ER 有効の間		8		ns
	$t_{h(RX_CLK-RXD)}$	ホールド時間、MII[x]_ RX_CLK から MII[x]_RXD[3:0] 有効の間	100Mbps	8		ns
	$t_{h(RX_CLK-RX_DV)}$	ホールド時間、MII[x]_RX_CLK から MII[x]_RX_DV 有効の間		8		ns
	$t_{h(RX_CLK-RX_ER)}$	ホールド時間、MII[x]_RX_CLK から MII[x]_RX_ER 有効の間		8		ns

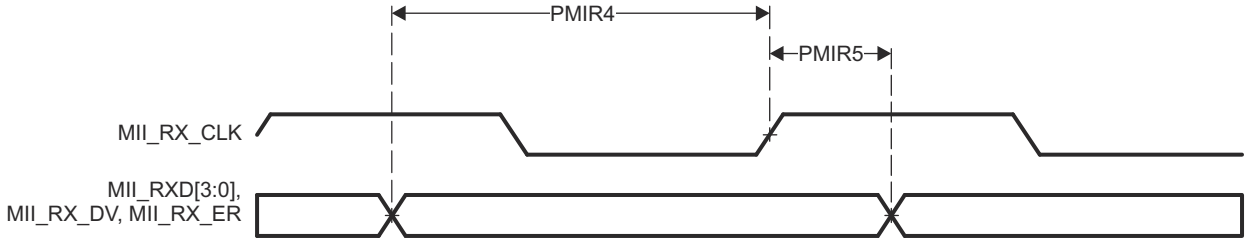


図 6-105. PRU_ICSSG MII[x]_RXD[3:0]、MII[x]_RX_DV、MII[x]_RX_ER のタイミング

表 6-134. PRU_ICSSG MII のタイミング要件 – MII[x]_TX_CLK

図 6-106 参照

番号	パラメータ	説明	モード	最小値	最大値	単位
PMIT1	$t_{c(TX_CLK)}$	サイクル時間、MII[x]_TX_CLK	10Mbps	399.96	400.04	ns
			100Mbps	39.996	40.004	ns
PMIT2	$t_{w(TX_CLKH)}$	パルス幅、MII[x]_TX_CLK High	10Mbps	140	260	ns
			100Mbps	14	26	ns
PMIT3	$t_{w(TX_CLKL)}$	パルス幅、MII[x]_TX_CLK Low	10Mbps	140	260	ns
			100Mbps	14	26	ns

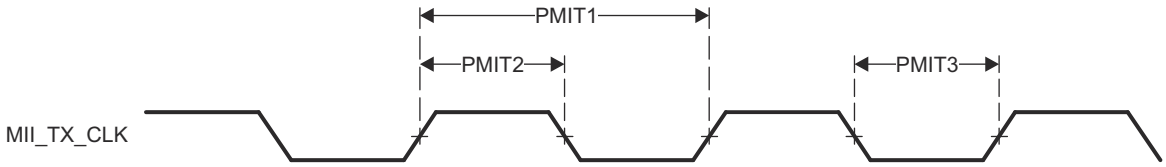


図 6-106. PRU_ICSSG MII[x]_TX_CLK のタイミング

Copyright © 2024 Texas Instruments Incorporated

表 6-135. PRU_ICSSG MII のスイッチング特性 – MII[x]_TXD[3:0] および MII[x]_TX_EN

図 6-107 参照

番号	パラメータ	説明	モード	最小値	最大値	単位
PMIT4	$t_{d(TX_CLK-TXD)}$	遅延時間、MII[x]_TX_CLK High から MII[x]_TXD[3:0] 有効まで	10Mbps	0	25	ns
	$t_{d(TX_CLK-TX_EN)}$	遅延時間、MII[x]_TX_CLK から MII[x]_TX_EN 有効まで		0	25	ns
	$t_{d(TX_CLK-TXD)}$	遅延時間、MII[x]_TX_CLK High から MII[x]_TXD[3:0] 有効まで	100Mbps	0	25	ns
	$t_{d(TX_CLK-TX_EN)}$	遅延時間、MII[x]_TX_CLK から MII[x]_TX_EN 有効まで		0	25	ns

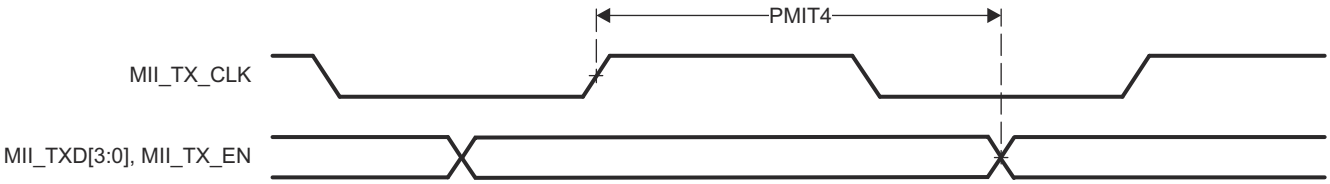


図 6-107. PRU_ICSSG MII[x]_TXD[3:0]、MII[x]_TX_EN のタイミング

6.10.5.16.6.3 PRU_ICSSG RGMII のタイミング

表 6-136、表 6-137、表 6-138、図 6-108、表 6-139、表 6-140、図 6-109 に、PRU_ICSSG RGMII のタイミング条件、タイミング要件、スイッチング特性を示します。

表 6-136. PRU_ICSSG RGMII のタイミング条件

パラメータ			最小値	最大値	単位
入力条件					
SR_I	入力スルーレート	VDD = 1.8V	1.44	5	V/ns
		VDD = 3.3V	2.65	5	V/ns
出力条件					
C_L	出力負荷容量		2	20	pF
PCB 接続要件					
$t_{d(Trace\ Mismatch\ Delay)}$	すべてのパターンにわたる伝搬遅延の不整合	RGMII[x]_RXC、RGMII[x]_RD[3:0]、RGMII[x]_RX_CTL		50	ps
		RGMII[x]_TXC、RGMII[x]_TD[3:0]、RGMII[x]_TX_CTL		50	ps

Copyright © 2024 Texas Instruments Incorporated

表 6-137. PRU_ICSSG RGMII のタイミング要件 – RGMII[x]_RXC

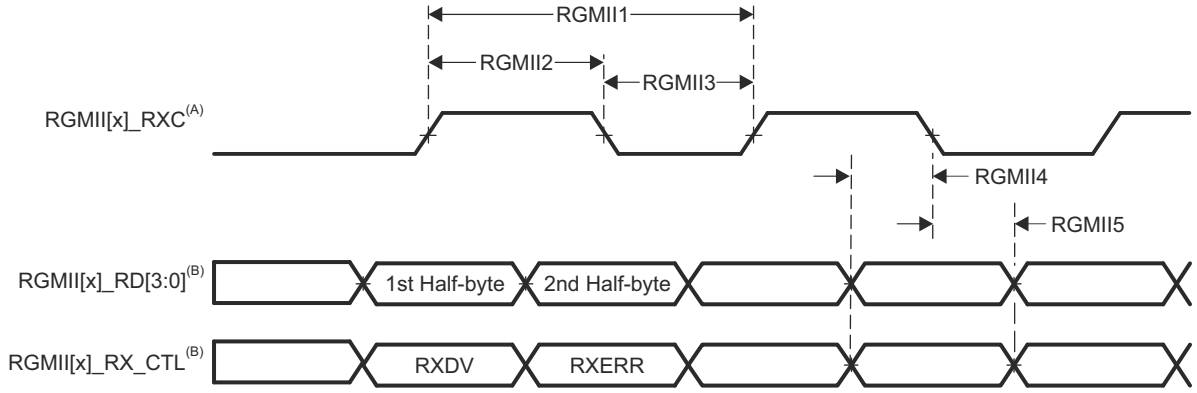
図 6-108 参照

番号	パラメータ	説明	モード	最小値	最大値	単位
RGMII1	$t_{c(RXC)}$	サイクル時間、RGMII[x]_RXC	10Mbps	360	440	ns
			100Mbps	36	44	ns
			1000Mbps	7.2	8.8	ns
RGMII2	$t_{w(RXCH)}$	パルス幅、RGMII[x]_RXC high	10Mbps	160	240	ns
			100Mbps	16	24	ns
			1000Mbps	3.6	4.4	ns
RGMII3	$t_{w(RXCL)}$	パルス幅、RGMII[x]_RXC low	10Mbps	160	240	ns
			100Mbps	16	24	ns
			1000Mbps	3.6	4.4	ns

表 6-138. PRU_ICSSG RGMII のタイミング要件 – RGMII[x]_RD[3:0] および RGMII[x]_RX_CTL

図 6-108 参照

番号	パラメータ	説明	モード	最小値	最大値	単位
RGMII4	$t_{su(RD-RXC)}$	セットアップ時間、RGMII[x]_RD[3:0] 有効から RXC High/Low まで	10Mbps	1		ns
			100Mbps	1		ns
			1000Mbps	1		ns
	$t_{su(RX_CTL-RXC)}$	セットアップ時間、RGMII[x]_RX_CTL 有効から RGMII[x]_RXC High/Low まで	10Mbps	1		ns
			100Mbps	1		ns
			1000Mbps	1		ns
RGMII5	$t_{h(RXC-RD)}$	ホールド時間、RGMII[x]_RXC High/Low から RGMII[x]_RD[3:0] 有効の間	10Mbps	1		ns
			100Mbps	1		ns
			1000Mbps	1		ns
	$t_{h(RXC-RX_CTL)}$	ホールド時間、RGMII[x]_RXC High/Low から RGMII[x]_RX_CTL 有効の間	10Mbps	1		ns
			100Mbps	1		ns
			1000Mbps	1		ns



A. RGMII[x]_RXC は、データ ピンおよび制御ピンに対して、外部的に遅延させる必要があります。

B. データおよび制御情報は、クロックの両方のエッジを使用して受信されます。RGMII[x]_RD[3:0] は、RGMII[x]_RXC の立ち上がりエッジでデータ ビット 3～0 を、RGMII[x]_RXC の立ち下がりエッジでデータ ビット 7～4 を伝送します。同様に、RGMII[x]_RX_CTL は、RGMII[x]_RXC の立ち上がりエッジで RXDV を、RGMII[x]_RXC の立ち下がりエッジで RXERR を伝送します。

図 6-108. PRU_ICSSG RGMII[x]_RXC、RGMII[x]_RD[3:0]、RGMII[x]_RX_CTL のタイミング要件 - RGMII モード

表 6-139. PRU_ICSSG RGMII のスイッチング特性 – RGMII[x]_TXC

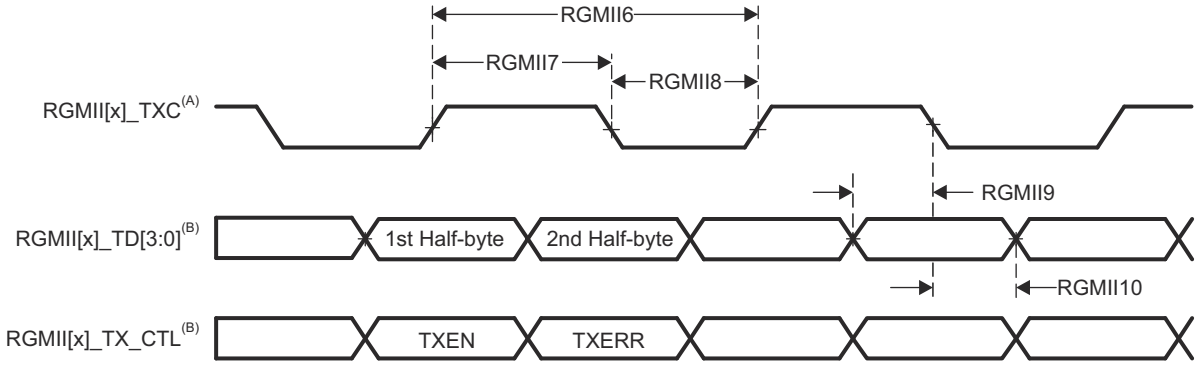
図 6-109 参照

番号	パラメータ	説明	モード	最小値	最大値	単位
RGMII6	$t_{c(TXC)}$	サイクル時間、RGMII[x]_TXC	10Mbps	360	440	ns
			100Mbps	36	44	ns
			1000Mbps	7.2	8.8	ns
RGMII7	$t_{w(TXCH)}$	パルス幅、RGMII[x]_TXC high	10Mbps	160	240	ns
			100Mbps	16	24	ns
			1000Mbps	3.6	4.4	ns
RGMII8	$t_{w(TXCL)}$	パルス幅、RGMII[x]_TXC low	10Mbps	160	240	ns
			100Mbps	16	24	ns
			1000Mbps	3.6	4.4	ns

表 6-140. PRU_ICSSG RGMII のスイッチング特性 – RGMII[x]_TD[3:0] および RGMII[x]_TX_CTL

図 6-109 参照

番号	パラメータ	説明	モード	最小値	最大値	単位
RGMII9	$t_{osu(TD-TXC)}$	出力セットアップ時間、RGMII[x]_TD[3:0] 有効から RGMII[x]_TXC High/Low まで	10Mbps	1.2		ns
			100Mbps	1.2		ns
			1000Mbps	1.2		ns
	$t_{osu(TX_CTL-TXC)}$	出力セットアップ時間、RGMII[x]_TX_CTL 有効から RGMII[x]_TXC High/Low まで	10Mbps	1.2		ns
			100Mbps	1.2		ns
			1000Mbps	1.2		ns
RGMII10	$t_{oh(TXC-TD)}$	出力セットアップ時間、RGMII[x]_TXC High/Low の後、RGMII[x]_TD[3:0] 有効	10Mbps	1.2		ns
			100Mbps	1.2		ns
			1000Mbps	1.2		ns
	$t_{oh(TXC-TX_CTL)}$	出力セットアップ時間、RGMII[x]_TXC High/Low の後、RGMII[x]_TX_CTL 有効	10Mbps	1.2		ns
			100Mbps	1.2		ns
			1000Mbps	1.2		ns



A. TXC は内部で遅延されてから、RGMII[x]_TXC ピンを駆動します。この内部遅延は常にイネーブルになっています。

B. データおよび制御情報は、クロックの両方のエッジを使用して受信されます。RGMII[x]_TD[3:0] は、RGMII[x]_TXC の立ち上がりエッジでデータビット 3～0 を、RGMII[x]_TXC の立ち下がりエッジでデータ ビット 7～4 を伝送します。同様に、RGMII[x]_TX_CTL は RGMII[x]_TXC の立ち上がりエッジで TXEN を、RGMII[x]_TXC の立ち下がりエッジで TXERR を伝送します。

図 6-109. PRU_ICSSG RGMII[x]_TXC、RGMII[x]_TD[3:0]、RGMII[x]_TX_CTL のスイッチング特性 - RGMII モード

Copyright © 2024 Texas Instruments Incorporated

6.10.5.17 タイマ

タイマ デバイスの機能の詳細と追加の説明情報については、「信号の説明」および「詳細説明」セクションの対応するサブセクションを参照してください。

表 6-141. タイマのタイミング条件

パラメータ		最小値	最大値	単位
入力条件				
SR_I	入力スルーレート	0.5	5	V/ns
出力条件				
C_L	出力負荷容量	2	10	pF

表 6-142. タイマ入力のタイミング要件

図 6-110 参照

番号	パラメータ	説明	モード	最小値	最大値	単位
T1	$t_{w(TINPH)}$	パルス幅、High	キャプチャ	2 + 4P (1)		ns
T2	$t_{w(TINPL)}$	パルス幅、Low	キャプチャ	2 + 4P (1)		ns

(1) P = 機能クロック周期 (ns 単位)。

表 6-143. タイマ出力のスイッチング特性

図 6-110 参照

番号	パラメータ	説明	モード	最小値	最大値	単位
T3	$t_{w(TOUTH)}$	パルス幅、High	PWM	-2 + 4P (1)		ns
T4	$t_{w(TOUTL)}$	パルス幅、Low	PWM	-2 + 4P (1)		ns

(1) P = 機能クロック周期 (ns 単位)。

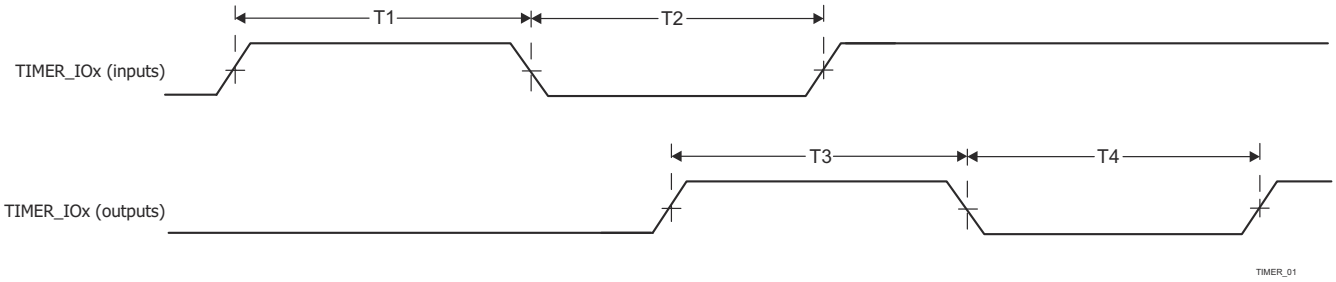


図 6-110. タイマのタイミング要件およびスイッチング特性

詳細については、デバイスのテクニカル リファレンス マニュアルで「ペリフェラル」の章にある「タイマ」セクションを参照してください。

6.10.5.18 UART

ユニバーサル非同期レシーバ / トランスミッタ デバイスの機能の詳細および追加説明情報については、「信号の説明」および「詳細説明」の対応するサブセクションを参照してください。

表 6-144. UART のタイミング条件

パラメータ		最小値	最大値	単位
入力条件				
SR_I	入力スルーレート	0.5	5	V/ns
出力条件				
C_L	出力負荷容量	1	30 (1)	pF

(1) この値は、絶対最大負荷容量を表します。UART のボーレートが上昇するにつれて、接続されているデバイスに十分なタイミング マージンを確保するために、負荷容量をこの最大制限より小さい値に減らす必要がある場合があります。容量性負荷の増加に伴い、出力の立ち上がり / 立ち下がり時間が長くなり、接続されているデバイスのレシーバに対してデータが有効である時間が短くなります。したがって、接続されたデバイスが動作ボーレートで必要とする最小データ有効時間を理解することが重要です。次に、デバイス IBIS モデルを使用して、UART 信号上の実際の負荷容量によって、接続されているデバイスの最小データ有効時間を超えて立ち上がり / 立ち下がり時間が増加しないことを確認します。

表 6-145. UART のタイミング要件

図 6-111 を参照

番号	パラメータ	説明	最小値	最大値	単位
1	$t_{w(RXD)}$	パルス幅、受信データ ビット High または Low	0.95U (1) (2)	1.05U (1) (2)	ns
2	$t_{w(RXDS)}$	パルス幅、受信スタート ビット Low	0.95U (1) (2)		ns

(1) U = UART のボー時間 (ns) = 1/ プログラムされたボーレート。
(2) この値はデータ有効時間を規定します。ここで、入力電圧は V_{IH} を上回る、または V_{IL} を下回る必要があります。

表 6-146. UART のスイッチング特性

図 6-111 を参照

番号	パラメータ	説明	最小値	最大値	単位
	$f_{(baud)}$	メイン ドメイン UART のプログラム可能なボーレート		12	Mbps
		MCU ドメイン UART のプログラム可能なボーレート		3.7	Mbps
3	$t_{w(TXD)}$	パルス幅、送信データ ビット High または Low	U (1) - 2.2	U (1) + 2.2	ns
4	$t_{w(TXDS)}$	パルス幅、送信スタート ビット Low	U (1) - 2.2		ns

(1) U = UART のボー時間 (ns) = 1/ プログラムされたボーレート。

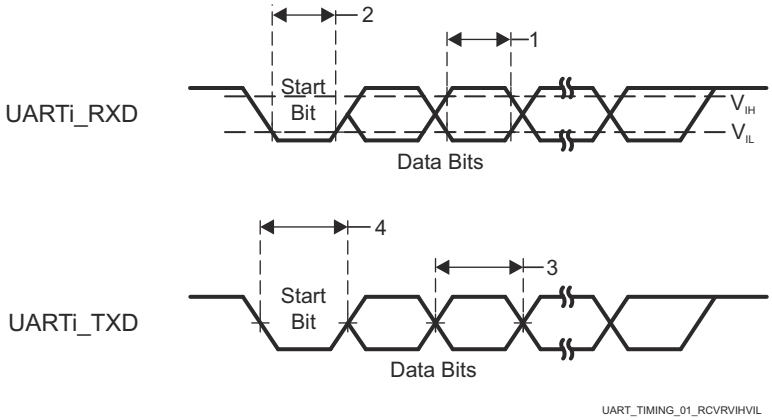


図 6-111. UART のタイミング要件およびスイッチング特性

詳細については、デバイスのテクニカル リファレンス マニュアルで「ペリフェラル」の章にある「ユニバーサル非同期レシーバ / トランスミッタ (UART)」セクションを参照してください。

Copyright © 2024 Texas Instruments Incorporated

6.10.5.19 USB

USB 2.0 サブシステムは、ユニバーサル シリアル バス (USB) 仕様、リビジョン 2.0 に準拠しています。タイミングの詳細については、仕様を参照してください。

USB 3.1 Gen1 サブシステムは、USB (Universal Serial Bus) 3.1 仕様、リビジョン 1.0 に準拠しています。タイミングの詳細については、仕様を参照してください。

このデバイスの USB (Universal Serial Bus) サブシステムの追加説明情報については、SERDES0 信号の説明と、「詳細説明」の対応するサブセクションを参照してください。

6.10.6 エミュレーションおよびデバッグ

本デバイスのトレースおよび JTAG インターフェイスの機能および追加の説明情報については、「信号の説明」および「詳細説明」セクションの対応するサブセクションを参照してください。

6.10.6.1 トレース

表 6-147. トレースのタイミング条件

パラメータ			最小値	最大値	単位
出力条件					
C_L	出力負荷容量		2	5	pF
PCB 接続要件					
$t_{d(Trace\ Mismatch)}$	すべてのパターンにわたる伝搬遅延の不整合	VDDSHV3 = 1.8V		200	ps
		VDDSHV3 =3.3V		100	ps

表 6-148. トレースのスイッチング特性

番号	パラメータ		最小値	最大値	単位
1.8V モード					
DBTR1	$t_{c(TRC_CLK)}$	サイクル時間、TRC_CLK	6.50		ns
DBTR2	$t_{w(TRC_CLKH)}$	パルス幅、TRC_CLK High	2.50		ns
DBTR3	$t_{w(TRC_CLKL)}$	パルス幅、TRC_CLK Low	2.50		ns
DBTR4	$t_{osu(TRC_DATAV-TRC_CLK)}$	出力セットアップ時間、TRC_DATA 有効から TRC_CLK エッジまで	0.81		ns
DBTR5	$t_{oh(TRC_CLK-TRC_DATAI)}$	出力ホールド時間、TRC_CLK エッジから TRC_DATA 無効まで	0.81		ns
DBTR6	$T_{osu(TRC_CTLV-TRC_CLK)}$	出力セットアップ時間、TRC_CTL 有効から TRC_CLK エッジまで	0.81		ns
DBTR7	$t_{oh(TRC_CLK-TRC_CTLI)}$	出力ホールド時間、TRC_CLK エッジから TRC_CTL 無効まで	0.81		ns
3.3V モード					
DBTR1	$t_{c(TRC_CLK)}$	サイクル時間、TRC_CLK	8.67		ns
DBTR2	$t_{w(TRC_CLKH)}$	パルス幅 TRC_CLK High	3.58		ns
DBTR3	$t_{w(TRC_CLKL)}$	パルス幅、TRC_CLK Low	3.58		ns
DBTR4	$t_{osu(TRC_DATAV-TRC_CLK)}$	出力セットアップ時間、TRC_DATA 有効から TRC_CLK エッジまで	1.08		ns
DBTR5	$t_{oh(TRC_CLK-TRC_DATAI)}$	出力ホールド時間、TRC_CLK エッジから TRC_DATA 無効まで	1.08		ns
DBTR6	$T_{osu(TRC_CTLV-TRC_CLK)}$	出力セットアップ時間、TRC_CTL 有効から TRC_CLK エッジまで	1.08		ns
DBTR7	$t_{oh(TRC_CLK-TRC_CTLI)}$	出力ホールド時間、TRC_CLK エッジから TRC_CTL 無効まで	1.08		ns

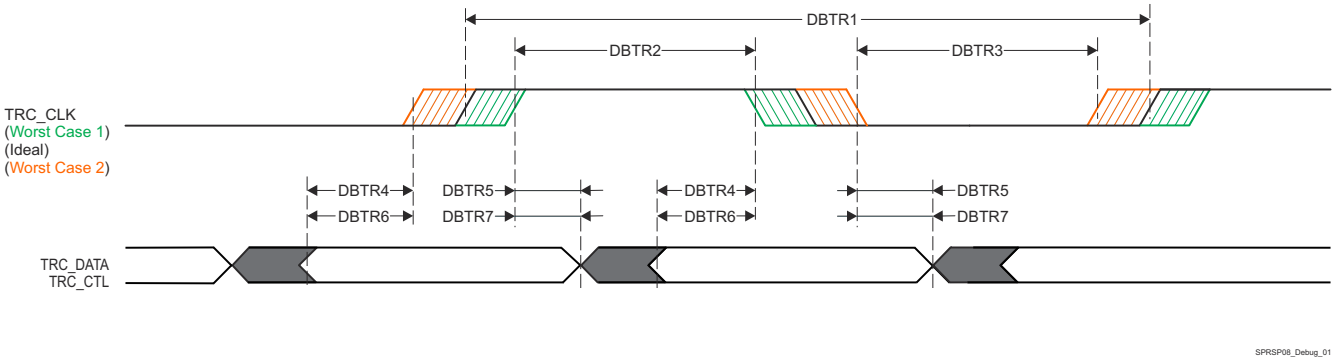


図 6-112. トレースのスイッチング特性

Copyright © 2024 Texas Instruments Incorporated

6.10.6.2 JTAG

表 6-149. JTAG のタイミング条件

パラメータ		最小値	最大値	単位
入力条件				
SR_I	入力スルーレート	0.5	2.0	V/ns
出力条件				
C_L	出力負荷容量	5	15	pF
PCB 接続要件				
$t_{d(Trace\ Delay)}$	各パターンの伝搬遅延	83.5	1000(1)	ps
$t_{d(Trace\ Mismatch\ Delay)}$	すべてのパターンにわたる伝搬遅延の不整合		100	ps

(1) JTAG 信号トレースに関連する最大伝搬遅延は、最大 TCK 動作周波数に大きな影響を及ぼします。トレース遅延をこの値より大きくすることも可能ですが、追加のトレース遅延を考慮するため、TCK の動作周波数を下げる必要があります。

表 6-150. JTAG のタイミング要件

図 6-113 参照

番号			最小値	最大値	単位
J1	$t_{c(TCK)}$	最小サイクル時間、TCK	45.5(1)		ns
J2	$t_{w(TCKH)}$	最小パルス幅、TCK High	0.4P(2)		ns
J3	$t_{w(TCKL)}$	最小パルス幅、TCK Low	0.4P(2)		ns
J4	$t_{su(TDI-TCK)}$	最小入力セットアップ時間、TDI 有効から TCK High まで	4		ns
	$t_{su(TMS-TCK)}$	最小入力セットアップ時間、TMS 有効から TCK High まで	4		ns
J5	$t_{h(TCK-TDI)}$	最小入力ホールド時間、TDI 有効から TCK High まで	2		ns
	$t_{h(TCK-TMS)}$	最小入力ホールド時間、TMS 有効から TCK High まで	2		ns

(1) 最大 TCK 動作周波数は、接続されているデバッガについて、次のタイミング要件およびスイッチング特性を想定しています。デバッガがこれらの前提のいずれかを上回る場合、適切なタイミング マージンを確保するために、TCK の動作周波数を下げる必要があります。
- 最小 TDO セットアップ時間は、TCK の立ち上がりエッジに対して 2.2ns
- TCK の立ち下がりエッジに対して -16.1ns～14.1ns の範囲の TDI および TMS 出力遅延

(2) P = TCK サイクル時間 (ns 単位)

表 6-151. JTAG のスイッチング特性

図 6-113 参照

番号	パラメータ		最小値	最大値	単位
J6	$t_{d(TCKL-TDOI)}$	最小遅延時間、TCK Low から TDO 無効まで	0		ns
J7	$t_{d(TCKL-TDOV)}$	最大遅延時間、TCK Low から TDO 有効まで		14	ns

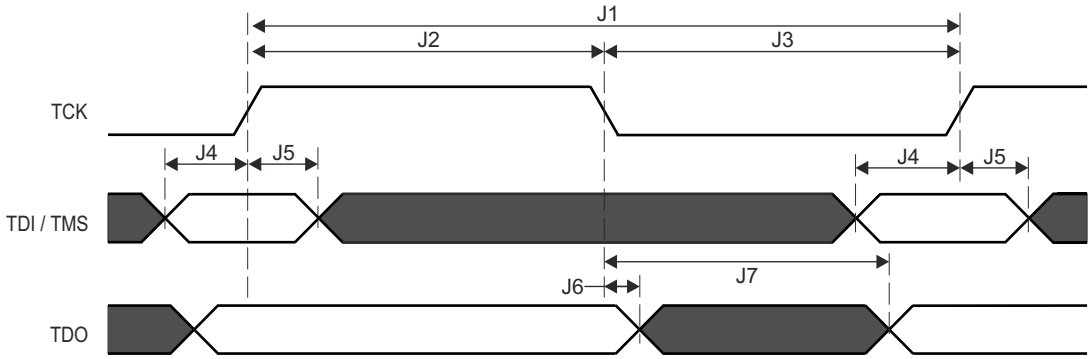


図 6-113. JTAG のタイミング要件およびスイッチング特性

7 詳細説明

7.1 概要

AM243x は、Sitara™ 産業用グレード ファミリを拡張したヘテロジニアス Arm プロセッサです。AM243x は、リアルタイムの処理とアプリケーション処理を伴う通信との独自な組み合わせが求められる、モーター ドライブやプログラマブル ロジック コントローラ (PLC) のような産業用アプリケーション向けに構築されています。AM243x は、Sitara のギガビット TSN 対応 PRU-ICSS のインスタンスを 2 つ搭載しており、最大 4 つの Cortex-R5F MCU、および 1 つの Cortex-M4F MCU ドメインを搭載しています。

AM243x は、高性能 R5F、密結合メモリ バンク、構成可能な SRAM パーティショニング、SoC 内外の高速データ移動を可能にする対ペリフェラル用の低レイテンシ パスを使用して、リアルタイム性能を発揮するように設計されています。この決定論的アーキテクチャは、サーボ ドライブに見られる厳密な制御ループを AM243x が処理することを可能にし、そのペリフェラル (例：FSI、GPMC、PWM、シグマ デルタ デシメーション フィルタ、アブソリュート エンコーダ インターフェイス) は、これらのシステムに見られる各種アーキテクチャを実現するのに役立ちます。

AM243x の PRU_ICSSG は、ギガビット TSN、EtherCAT、PROFINET、EtherNet/IP、その他の各種プロトコルの実行に必要な柔軟な産業用通信機能を備えています。また、PRU_ICSSG を使うと、シグマ デルタ デシメーション フィルタ モジュール、アブソリュート エンコーダ インターフェイスなどのインターフェイスも SoC に追加できます。

機能安全のための機能は、内蔵の Cortex-M4F と専用ペリフェラル セットを備えた MCU ドメインによって実現されます。これらのペリフェラルはすべて、SoC のその他の部分によって共有され、または SoC のその他の部分から分離できます。AM243x はセキュア ブートもサポートしています。

注

スーパーセット デバイスのシステム オン チップ (SoC) の機能、サブシステム、アーキテクチャの詳細については、デバイスのテクニカル リファレンス マニュアル を参照してください。

Copyright © 2024 Texas Instruments Incorporated

7.2 プロセッサ サブシステム

7.2.1 Arm Cortex-R5F サブシステム (R5FSS)

R5FSS は、デュアル / シングル コア動作用に構成された Arm® Cortex®-R5F プロセッサのデュアル コア実装です。また、付属のメモリ (L1 キャッシュおよび密結合メモリ)、標準的な Arm® CoreSight™ デバッグおよびトレース アーキテクチャ、統合型のベクタ割り込みマネージャ (VIM)、ECC アグリゲータ、SoC への統合を容易にするプロトコル変換およびアドレス変換用の各種ラッパーも搭載しています。

注

Cortex®-R5F プロセッサは、オプションの浮動小数点ユニット (FPU) 拡張機能を備えた Cortex-R5 プロセッサです。

詳細については、本デバイスのテクニカル リファレンス マニュアルの「プロセッサとアクセラレータ」の章にある「デュアル R5F サブシステム (R5FSS)」セクションを参照してください。

7.2.2 Arm Cortex-M4F (M4FSS)

AM243x デバイスの M4FSS モジュールは、安全チャネル (セカンダリ チャネル - 外部マイクロコントローラと連携して動作) または汎用 MCU として機能します。

M4FSS モジュールは、以下の機能をサポートしています。

- MPU (メモリ保護ユニット) 付き Cortex M4F
- ARMv7-M アーキテクチャ
- 64 入力のネスト型ベクタ割り込みコントローラ (NVIC) をサポート
- 内部または外部メモリからコードを実行可能
- 192KB の SRAM (I コード)
- 64KB の SRAM (D コード)
- 内部メモリへの外部アクセス (許可されている場合)
- デバッグ サポート:
  - CPU コアに対する DAP ベースのデバッグ
  - CPU コアの全デバッグ機能に対応
  - 標準的な ITM トレース
  - CTM クロストリガ
  - ETM トレースをサポート
- エラー検出および訂正
  - I コードでの SECDED ECC 保護
  - D コードでの SECDED ECC 保護
  - フォルト エラー割り込み出力

詳細については、本デバイスのテクニカル リファレンス マニュアルの「プロセッサとアクセラレータ」の章にある「Arm Cortex M4F サブシステム (M4FSS)」セクションを参照してください。

7.3 アクセラレータとコプロセッサ

7.3.1 プログラマブル リアルタイム ユニット サブシステムおよび産業用通信サブシステム (PRU_ICSSG)

PRU_ICSSG モジュールは、以下の主な機能をサポートしています。

- 3 つの PRU
  - 汎用 PRU (PRU)
  - リアルタイム PRU (RTU_PRU)
  - 送信 PRU (TX_PRU)
- PRU への 2 つのイーサネット MII_G_RT 構成可能接続
  - 最大 2 つの RGMII ポート
  - 最大 2 つの MII ポート
  - RX クラシファイア
- 産業用イーサネット機能を管理および生成する 2 つの産業用イーサネット ペリフェラル (IEP)
- 10 個のキャプチャ イベントと 16 個の比較イベントを搭載した 2 つの産業用 64 ビット タイマと、低速および高速の補正
- 1x MDIO
- 1 つの UART (専用 192MHz クロック入力付き)
- 最大 4 組の 3 相モーター制御をサポート (12 の 1 次側 PWM 出力、12 の相補プログラマブル PWM 出力)
- 最大 9 つの安全イベントと、任意の PWM セットごとの外部トリップ I/O (ハードウェア グリッチ フィルタ付き) をサポート
- 1 つの拡張キャプチャ モジュール (ECAP)
- 1 つの割り込みコントローラ (INTC)
  - 160 の入力イベントをサポート – 外部 96、内部 64
- フレキシブルな電源管理サポート
- 優先順位をプログラム可能な統合型スイッチ セントラル リソース
- すべてのメモリがサポートする ECC

詳細については、デバイスのテクニカル リファレンス マニュアルで「プロセッサおよびアクセラレータ」の章にある「プログラマブル リアルタイム ユニット サブシステムおよび産業用通信サブシステム - ギガビット (PRU_ICSSG)」セクションを参照してください。

7.4 その他のサブシステム

7.4.1 PDMA コントローラ

ペリフェラル DMA は、特にペリフェラルのデータ転送ニーズを満たすように設計されたシンプルな DMA です。ペリフェラル DMA は、コヒーレントではない標準のバス ファブリック経由でアクセスされる、メモリ マップされたレジスタを使用してデータ転送を実行します。PDMA モジュールは、データ移動用に外部 DMA を必要とする 1 つまたは複数のペリフェラルの近くに配置することを意図しており、VBUSP インターフェイスを使用してコストを削減し、静的に構成された転送要求 (TR) 動作のみをサポートするように設計されています。

PDMA は、ペリフェラル自体とデータをやり取りするデータ移動トランザクションの実行のみを担当します。指定されたペリフェラルから読み取られたデータは、PDMA ソース チャネルによって PSI-L データ ストリームにパックされます。その後、リモート ピア UDMA-P デスティネーション チャネルに送信され、メモリへのデータ移動が実行されます。同様に、リモート UDMA-P ソース チャネルはメモリからデータをフェッチし、PSI-L 経由でピア PDMA デスティネーション チャネルに転送し、次にペリフェラルへの書き込みを実行します。

PDMA アーキテクチャは意図的に異種混合 (UDMA-P + PDMA) を採用しており、システム内の各ポイントでデータ転送の複雑度を適切なサイズに設定して、送受信するデータのさまざまな要件に適合できます。ペリフェラルは通常 FIFO ベースであり、FIFO の次元の要件を超える多次元転送を必要としないため、PDMA 転送エンジンは、わずかな大きさ (通常はサンプル サイズと FIFO の深さによる)、ハードコードされたアドレス マップ、シンプルなトリガ機能だけという簡潔さが保たれています。

Copyright © 2024 Texas Instruments Incorporated

PDMA には複数のソースおよびデスティネーション チャネルが用意されており、複数の同時転送動作を実行できます。DMA コントローラは、基盤となる DMA ハードウェアを共有するために、各チャネルの状態情報を維持し、チャネル間のラウンド ロビン スケジューリングを採用しています。

このデバイスには 5 つの PDMA モジュールが内蔵されています。

詳細については 、デバイスのテクニカル リファレンス マニュアルで「DMA コントローラ」の章にある「PDMA コントローラ」セクションを参照してください。

7.4.2 ペリフェラル

7.4.2.1 ADC

A/D コンバータ (ADC) モジュールは、8 入力のアナログ マルチプレクサを内蔵したシングル チャネルの汎用 A/D コンバータで、アナログ フロント エンド (AFE) からの 12 ビット変換サンプルをサポートしています。

このデバイスには ADC モジュールが 1 つ搭載されています。

注

AM243x_ALX パッケージは、12 ビット変換からの 10 ビット データのみをサポートします。

詳細については、デバイスのテクニカル リファレンス マニュアルで「ペリフェラル」の章にある「A/D コンバータ (ADC)」セクションを参照してください。

7.4.2.2 DCC

デュアル クロック コンパレータ (DCC) は、アプリケーションの実行中にクロック信号の精度を判定するために使用されます。特に、DCC は、期待されるクロック周波数からのドリフトを検出するように設計されています。必要な精度は、各アプリケーションの計算に基づいてプログラムできます。DCC は、別の入力クロックを基準として、選択可能なクロック ソースの周波数を測定します。

このデバイスには、7 個の DCC モジュール インスタンスがあります。

詳細については、デバイスのテクニカル リファレンス マニュアルで「ペリフェラル」の章にある「デュアル クロック コンパレータ (DCC)」セクションを参照してください。

7.4.2.3 デュアル データ レート (DDR) 外部メモリ インターフェイス (DDRSS)

MAIN ドメインへの統合：DDR サブシステム (DDRSS) の 1 つのインスタンスが外部 RAM デバイスへのインターフェイスとして使用され、プログラムやデータの保存に利用できます。DDRSS の主な特長は次のとおりです。

- DDR4/LPDDR4 メモリ タイプをサポート
- インライン ECC 付きの 16 ビット メモリ バス インターフェイス
- システム バス インターフェイス：リトル エンディアン専用、128 ビットのデータ幅
- 構成バス インターフェイス：リトル エンディアン専用、32 ビットの・データ幅
- デュアル ランク構成をサポート
- アクティビティが検出されない、または検出されたアクティビティが低いときの自動アイドル パワー セービング モードのサポート
- サービスクラス (CoS)：3 つのレイテンシ クラスをサポート
- 優先順位付きの更新スケジュールの設定
- パフォーマンス管理用の統計カウンタ

詳細については、デバイスのテクニカル リファレンス マニュアルで「ペリフェラル」の章にある「DDR サブシステム (DDRSS)」セクションを参照してください。

7.4.2.4 ECAP

このセクションでは、本デバイスの拡張キャプチャ (ECAP) モジュールについて説明します。

詳細については、デバイスのテクニカル リファレンス マニュアルで「ペリフェラル」の章にある「拡張キャプチャ (ECAP) モジュール」セクションを参照してください。

7.4.2.5 EPWM

効果的な PWM ペリフェラルは、最小限の CPU オーバーヘッドまたは介入で、複雑なパルス幅波形を生成できる必要があります。高度にプログラマブルで、フレキシビリティが高く、しかも理解しやすく、使いやすいことが求められます。ここで説明する EPWM ユニットは、必要なすべてのタイミングおよび制御リソースを PWM チャネルごとに割り当てることで、これらの要件に対応しています。リソースの交換も共有も行われていません。その代わりに本 EPWM は、必要に応じて連携して動作できる、独立したリソースを備えた複数の小さなシングル チャネル モジュールで構成されています。このモジュール式手法により直交アーキテクチャが可能となり、ペリフェラルの構造をより透過的に観察できるようになるため、ユーザーはその動作をすぐに理解できます。

これ以降の説明では、信号またはモジュール名の中で文字「x」を使って、デバイス上の EPWM インスタンスの総称を表しています。たとえば、出力信号 EPWMxA および EPWMxB は、EPWM_x インスタンスからの出力信号を意味しています。すなわち、EPWM1A および EPWM1B は EPWM1 に属しており、EPWM2A および EPWM2B は EPWM2 に属し、以下同様になります。

さらに、EPWM が統合されているため、この同期方式をキャプチャ ペリフェラル モジュール (ECAP) に拡張できます。モジュールの数はデバイスによって異なり、ターゲット アプリケーションの要求に基づいて決定されます。モジュールはスタンドアロンでも動作できます。

このデバイスには、6 個の EPWM モジュール インスタンスがあります。

詳細については、デバイスのテクニカル リファレンス マニュアルで「ペリフェラル」の章にある「拡張パルス幅変調 (EPWM) モジュール」セクションを参照してください。

7.4.2.6 ELM

エラー特定モジュール (ELM) は、GPMC と組み合わせて使用されます。NAND フラッシュ ページを読み出す際にオンザフライで生成され、GPMC レジスタに保存されたシンドローム多項式が、ELM に渡されます。その後、ホスト プロセッサは、ELM エラー特定出力が示すビットを反転することで、データ ブロックを修正できます。

NAND フラッシュ メモリから読み出す場合、ある程度の誤り訂正が必要です。ベア NAND とも呼ばれる、訂正機能を内蔵していない NAND モジュールの場合、訂正処理はメモリ コントローラに委任されます。ELM は、パラレル NOR フラッシュまたは NAND フラッシュをサポートするためにも使用できます。

汎用メモリ コントローラ (GPMC) は、外部 NAND フラッシュから読み出したデータを調べ、これを使用して、シンドローム多項式と呼ばれる、チェックサムに似た情報をブロック単位で計算します。各シンドローム多項式は、512 バイトのデータ、パリティ ビット、オプションのスペアエリア データ フィールド (最大ブロックサイズは 1023 バイト) を含むフル ブロックの読み出し動作のステータスを与えます。計算は BCH (Bose-Chaudhuri-Hocquenghem) アルゴリズムに基づいて行われます。ELM はこれらのシンドローム多項式からエラー アドレスを抽出します。

詳細については、デバイスのテクニカル リファレンス マニュアルで「ペリフェラル」の章にある「エラー特定モジュール (ELM)」セクションを参照してください。

7.4.2.7 ESM

エラー通知モジュール (ESM) は、デバイス全体の安全関連イベントやエラーを 1 つの場所に集約します。本モジュールは、安全イベントに対処するために、優先度の低い割り込みおよび高い割り込みをプロセッサに通知したり、I/O エラー ピンを操作して、エラーが発生したことを外部ハードウェアに通知したりすることができます。このため、外部コントローラは本デバイスをリセットし、またはシステムを安全な既知の状態に維持できます。

詳細については、デバイスのテクニカル リファレンス マニュアルで「ペリフェラル」の章にある「エラー通知モジュール (ESM)」セクションを参照してください。

Copyright © 2024 Texas Instruments Incorporated

7.4.2.8 GPIO

汎用入出力 (GPIO) ペリフェラルは、入力または出力として構成可能な専用の汎用ピンを備えています。出力として構成すると、内部レジスタに書き込むことにより、出力ピンの状態を制御できます。入力として構成すると、内部レジスタの状態を読み取ることにより、入力の状態を取得できます。

さらに、GPIO ペリフェラルは、さまざまな割り込み/イベント生成モードで、ホスト CPU 割り込みおよび DMA 同期イベントを生成できます。

詳細については、デバイスのテクニカル リファレンス マニュアルで「ペリフェラル」の章にある「汎用インターフェイス (GPIO)」セクションを参照してください。

7.4.2.9 EQEP

拡張直交エンコーダ パルス (eQEP) ペリフェラルを、リニアまたはロータリー インクリメンタル エンコーダとの直接インターフェイスとして使用することにより、高性能な動作および位置制御システムで利用される位置、方向、速度の情報を、回転する機械から取得できます。インクリメンタル エンコーダのディスクは、シングル トラックのスロットパターンでパターン化されています。これらのスロットは、暗いラインと明るいラインの交互パターンを生成します。ディスクでの計数は、1 回転あたりに発生する暗いラインと明るいラインのペアの数 (1 回転あたりのライン数) で決まります。一般的に、2 番目のトラックを追加して、1 回転に 1 回発生する信号を生成します (インデックス信号:QEPI)。これは、絶対位置を示すために使用できます。エンコーダのメーカーは、このインデックスパルスに対して、インデックス、マーカー、ホーム位置、ゼロ基準などのさまざまな用語を使用しています。

円盤上の線は、円盤のパターンを「検出」する 2 つの異なる受光素子によって読み取られます。方向の情報を得るため、これらの 2 つの受光素子の入射範囲は、円盤上の線のピッチの 1/4 だけ機械的にシフトして配置されています。このシフトは、受光素子の入射範囲を円盤の線の必要な部分に制限するレチクルまたはマスクによって実現されます。円盤が回転すると、2 つの受光素子は互いに 90 度ずれた位相を持つ信号を生成します。これらは一般に直交 QEPA および QEPB 信号と呼ばれます。ほとんどのエンコーダの時計回り方向は、「QEPB チャネルが正になる前に、QEPA チャネルが正になる方向」と定義されており、反時計回り方向はその逆と定義されています。

エンコーダ ホイールは通常、モーターが 1 回転するごとに 1 回転します。または、モーターの回転に対してエンコーダ ホイールを歯車で減速させることもできます。したがって、QEPA および QEPB 出力から得られるデジタル信号の周波数は、モーターの速度に比例して変化します。たとえば、毎分 5000 回転 (rpm) で動作するモーターに 2000 ラインのエンコーダを直接結合すると、周波数は 166.6kHz となるため、QEPA 出力と QEPB 出力のどちらかの周波数を測定することで、プロセッサはモーターの速度を求めることができます。

詳細については、デバイスのテクニカル リファレンス マニュアルで「ペリフェラル」の章にある「拡張直交エンコーダ パルス (eQEP) モジュール」セクションを参照してください。

7.4.2.10 汎用メモリ コントローラ (GPMC)

汎用メモリ コントローラは、以下に示すような外部メモリ デバイスとのインターフェイス専用の統合メモリ コントローラです。

- 非同期 SRAM などのメモリおよび ASIC (特定用途向け集積回路) デバイス
- 非同期、同期、ページ モード (非多重化モードでのみ使用可能) バースト NOR フラッシュ デバイス
- NAND フラッシュ
- 疑似 SRAM デバイス

詳細については、デバイスのテクニカル リファレンス マニュアルの「ペリフェラル」の章にある「汎用メモリ コントローラ」セクションを参照してください。

7.4.2.11 I2C

I2C (Inter-IC Bus) インターフェイスは、mshsi2c モジュールを使用して実装されています。このペリフェラルはマルチコントローラ I2C バスを実装しており、2 線式インターフェイスを介して、その他の I2C コントローラおよびターゲット デバイスとの間で 8 ビット データをシリアル転送できます。

I2C モジュールは、以下の主な機能をサポートしています。

- Philips I2C 仕様バージョン 2.1 に準拠

- サポートされている速度:
  - スタンダード モード (最大 100Kbit/s)
  - ファースト モード (最大 400Kbit/s)
  - ハイスピード モード (最大 3.4Mbits/s)、I2C0 と MCU_I2C0 のみ
- マルチコントローラ トランスミッタ / ターゲット レシーバ モード
- マルチコントローラ レシーバ / ターゲット トランスミッタ モード
- コントローラ送信 / 受信、受信 / 送信の組み合わせモード
- 7 ビットおよび 10 ビットのデバイス アドレッシング モード
- 32 バイト FIFO を内蔵し、バッファ付き読み取り / 書き込みに対応
- プログラム可能なマルチターゲット チャネル (4 つの独立したアドレスに応答)
- プログラマブル クロック生成
- 非同期ウェークアップのサポート
- 1 つの割り込みライン

詳細については、本デバイスのテクニカル リファレンス マニュアルの「ペリフェラル」の章にある「I2C (Inter-Integrated Circuit) インターフェイス」セクションを参照してください。

7.4.2.12 MCAN

コントローラ エリア ネットワーク (CAN) は、高い安全性で分散リアルタイム制御を効率的にサポートするシリアル通信プロトコルです。CAN は電気的干渉に対する高い耐性を持ち、自己診断およびデータ エラー修正機能を備えています。CAN ネットワークでは、多くの短いメッセージがネットワーク全体にブロードキャストされるため、システムのすべてのノードでデータの整合性が確保されます。

MCAN モジュールは、従来型 CAN および CAN FD (フレキシブル なデータ レートの CAN) の両方のプロトコルをサポートしています。CAN FD 機能により、データ フレームあたりのスループットが向上し、ペイロードが増加します。従来型 CAN デバイスと CAN FD デバイスは、競合することなく、同じネットワーク上に共存できます。

このデバイスは 2 つの MCAN モジュールを備えています。

詳細については、デバイスのテクニカル リファレンス マニュアルで「ペリフェラル」の章にある「モジュラー コントローラ エリア ネットワーク (MCAN)」セクションを参照してください。

7.4.2.13 MCRC (エアコン) コントローラ

VBUSM CRC コントローラは、CRC (巡回冗長検査) を実行してメモリ システムの整合性を検証するために使用されるモジュールです。メモリの内容が MCRC コントローラに読み込まれるとき、メモリの内容を表すシグネチャを取得します。MCRC コントローラの役割は、一連のデータに対するシグネチャを計算して、その計算されたシグネチャ値と、あらかじめ設定された正しいシグネチャ値を比較することです。MCRC コントローラには 4 つのチャネルがあり、複数のメモリに対して並行して CRC 計算を実行します。これは、あらゆるメモリ システムで使用できます。また、チャネル 1 をデータ トレース モードに移行させることもできます。このモードでは、MCRC コントローラは CPU 読み出しデータ バス経由で読み出される各データを圧縮します。

詳細については、デバイスのテクニカル リファレンス マニュアルで「プロセッサ間通信」の章にある「MCRC コントローラ」セクションを参照してください。

7.4.2.14 MCSPI

MCSPI モジュールは、マルチチャネル送信 / 受信、コントローラ / ペリフェラル同期シリアル バスです。

このデバイスには合計 7 つの MCSPI モジュールが内蔵されています。

詳細については、デバイスのテクニカル リファレンス マニュアルで「ペリフェラル」の章にある「マルチチャネル シリアル ペリフェラル インターフェイス (MCSPI)」セクションを参照してください。

Copyright © 2024 Texas Instruments Incorporated

7.4.2.15 MMCSD

本デバイスには 2 つのマルチメディア カード / セキュア デジタル (MMCSD) モジュール (MMCSD0、MMCSD1) が内蔵されています。各 MMCSD モジュールには 1 つの MMCSD ホスト コントローラが含まれており、MMCSD0 は MMC0 に関連付けられ、MMCSD1 は MMC1 に関連付けられています。

MMCSD ホスト コントローラは、以下をサポートしています。

- 8 ビット幅のデータ バスを備えた 1 つのコントローラ
- 4 ビット幅のデータ バスを備えた 1 つのコントローラ
- eMMC5.1 ホスト仕様 (JESD84-B51)
- SD ホスト コントローラ標準仕様 - SDIO 3.00
- SD Advanced DMA をサポートする内蔵 DMA コントローラ - ADMA2 および ADMA3
- eMMC 電気規格 5.1 (JESD84-B51)
- マルチメディア カード機能:
  - 従来の eMMC 規格との下位互換性
  - レガシー MMC SDR:1.8V、8/4/1 ビット バス幅、0～25MHz、25/12.5/3.125MB/s
  - ハイスピード SDR:1.8V、8/4/1 ビット バス幅、0～50MHz、50/25/6.25 MB/s
  - ハイスピード DDR:1.8V、8/4 ビット バス幅、0～50MHz、100/50MB/s
  - HS200 SDR:1.8V、0～200MHz、8/4 ビット バス幅、200/100MB/s
- SD カード:SDIO、SDR12、SDR25、SDR50、DDR50
- システム バス インターフェイス:CBA 4.0 VBUSM イニシエータ ポート (64 ビット データ幅、64 ビット アドレス、リトル エンディアンのみ)
- 構成バス インターフェイス:CBA 4.0 VBUSM (32 ビット データ幅、32 ビット アライン アクセスのみ、リニア インクリメント アドレッシング モード、リトル エンディアンのみ)

詳細については、デバイスのテクニカル リファレンス マニュアルで「ペリフェラル」の章にある「マルチメディアカード / セキュア デジタル (MMCSD) インターフェイス」セクションを参照してください。

7.4.2.16 OSPI

オクタル シリアル ペリフェラル インターフェイス (OSPI) モジュールは、シリアル ペリフェラル インターフェイス (SPI) モジュールの一種で、外部フラッシュ デバイスへのシングル、デュアル、クワッド、またはオクタルの読み取りおよび書き込みアクセスを可能にします。このモジュールは、メモリ マップ レジスタ インターフェイスを備えており、外部フラッシュ デバイスからデータにアクセスするためのダイレクト メモリ インターフェイスとして機能するので、ソフトウェア要件が簡素化されます。

OSPI モジュールは、メモリ マップ直接モード (たとえば、プロセッサが外部フラッシュ メモリからコードを直接実行しようとする場合) または間接モード (要求された動作をサイレントに実行し、割り込みやステータス レジスタによって動作が完了したことを通知するようにモジュールが設定されている状態) でデータを転送するために使用します。間接動作の場合、データは内部 SRAM を経由してシステム メモリと外部フラッシュ メモリの間で転送されます。この SRAM は書き込みのためにロードされ、読み出しのためにアンロードされます。読み出しはデバイス コントローラによって低レイテンシのシステム速度で行われます。この SRAM にアクセスする具体的な時期は、割り込みまたはステータス レジスタを使用して識別します。この設定は、ユーザー プログラマブルな構成レジスタによって行います。

詳細については、デバイスのテクニカル リファレンス マニュアルで「ペリフェラル」の章にある「オクタル シリアル ペリフェラル インターフェイス (OSPI)」セクションを参照してください。

7.4.2.17 PCIe (Peripheral Component Interconnect Express)

PCIe サブシステムは以下の主な機能をサポートしています。

- デュアル モード – ルート ポート (RP) またはエンド ポイント (EP) モード
- 1 レーン構成、最大 5.0GT/レーン
- PIPE インターフェイス上で、Gen1/Gen2 としてそれぞれ 62.5/125MHz 動作
- Gen1/Gen2 モードの PIPE 幅:32 ビット、一定

- 最大アウトバウンド ペイロード サイズ:128 バイト
- 最大インバウンド ペイロード サイズ:128 バイト
- リモート読み取り要求の最大サイズ:4K バイト
- nonposted 未処理トランザクションの最大数:8 (各 VBUSM インターフェイス)
- 4 つの仮想チャネル (4VC)
- サイズ変更可能な BAR 機能
- SRIS のサポート
- パワー マネージメント
  - L1 パワー マネージメント サブステートのサポート
  - D1 のサポート
  - L1 電源シャットオフのサポート
- レガシー、MSI、MSI-X 割り込みのサポート
- 32 のアウトバウンド アドレス変換リージョン
- PTM (Precision Time Measurement:高精度時間測定)

詳細については 、デバイスのテクニカル リファレンス マニュアルで「ペリフェラル」の章にある「Peripheral Component Interconnect Express (PCIe) サブシステム」セクションを参照してください。

7.4.2.18 シリアライザ / デシリアライザ (SerDes) PHY

MAIN ドメインには、高速差動インターフェイスのインスタンスが 1 つ統合され、以下に示すメイン ブロックを持つシリアライザ / デシリアライザ (SerDes) マルチプロトコル マルチリンク PHY が実装されています。

- 共通のモジュールでペリフェラルと Tx のクロック処理を行う、シングル レーンの SerDes PHY
- パラレル インターフェイスとの間のデータ変換、データのエンコード / デコード、シンボル アライメントを行う物理的コーディング サブブロック
- 単一の SerDes レーン (Tx および Rx) へのデバイス インターフェイス多重化用のマルチプレクサ モジュール
- SerDes とマルチプレクサから制御信号とレポート ステータス信号を送信するラッパー

詳細については、デバイスのテクニカル リファレンス マニュアルで「ペリフェラル」の章にある「シリアライザ / デシリアライザ (SerDes)」セクションを参照してください。

7.4.2.19 リアルタイム割り込み (RTI/WWDT)

このセクションでは、デバイスのウィンドウ ウォッチドッグ タイマ (WWDT) 機能を備えたリアルタイム割り込み (RTI) モジュールについて説明します。

詳細については、デバイスのテクニカル リファレンス マニュアルで、「ペリフェラル」の章にある「リアルタイム割り込み (RTI/WWDT) モジュール」セクションを参照してください。

7.4.2.20 デュアル モード タイマ (DMTIMER)

デュアル モード タイマ (DMTIMER) モジュールは、主に次のような機能をサポートしています。

- オーバーフロー、比較、キャプチャの各イベントについて割り込みを生成
- フリーランニングの 32 ビット加算カウンタ
- サポートされている動作モード:
  - 比較およびキャプチャ モード
  - 自動リロード モード
  - スタート - ストップ モード
- プログラマブルなデバイダ クロック ソース (n=[0:8] で 2n)
- キャプチャ モード専用の入力トリガと、専用の出力トリガ / PWM (パルス幅変調) 信号
- カウント中のオンザフライの読み出し / 書き込みレジスタ
- 32768Hz の機能クロックで 1ms のティックを生成

Copyright © 2024 Texas Instruments Incorporated

詳細については、デバイスのテクニカル リファレンス マニュアルで「ペリフェラル」の章にある「タイマ」セクションを参照してください。

7.4.2.21 UART

UART モジュールは、以下の主な機能をサポートしています。

- 16C750 互換
- 300bps～12Mbps のボーレート (MCU_UART0 と MCU_UART1 は 3.7Mbps に制限)
- 1200bps～115.2Kbps の自動ボーレート
- ソフトウェア / ハードウェア フロー制御
  - Xon/Xoff 文字をプログラム可能
  - Auto-RTS および Auto-CTS をプログラム可能
- シリアル インターフェイスの特性をプログラム可能
  - 5、6、7、8 ビット文字
  - 偶数、奇数、マーク (常時 1)、スペース (常時 0)、パリティなし (パリティなしビット フレーム) ビットの生成と検出
  - 1、1.5、または 2 ストップ ビットの生成
- 任意のマルチドロップ転送
- 構成可能なタイム ガード機能
- 不正スタート ビットの検出
- 改行の生成と検出
- UART0 でのモデム制御機能 (CTS、RTS、DSR、DTR、RI、DCD)
- 完全に優先順位付けされた割り込みシステム制御
- 内部テストおよびループバック機能
- RS-485 外部トランシーバ自動フロー制御をサポート

詳細については、デバイスのテクニカル リファレンス マニュアルで「ペリフェラル」の章にある「ユニバーサル同期 / 非同期レシーバ / トランスミッタ (UART)」セクションを参照してください。

7.4.2.22 ユニバーサル シリアル バス サブシステム (USBSS)

ユニバーサル シリアル バス サブシステム (USBSS) モジュールは、以下の主な機能をサポートしています。

汎用 USB インターフェイス:

- USB 3.1 仕様に準拠
- xHCI 1.1 仕様に準拠
- ポートを次のように構成可能:
  - USB ホスト:
    - スーパースピード Gen 1 (5Gbps)
    - ハイスピード (480Mbps)
    - フルスピード (12Mbps)
    - ロースピード (1.5Mbps)
  - USB デバイス / ペリフェラル:
    - ハイスピード (480Mbps)
    - フルスピード (12Mbps)
  - USB デュアルロール デバイス

USB ホスト モードの機能:

- 64 スロット
- 最大 96 の定期的な同時エンドポイント
- 256 のプライマリ ストリーム
- MSI
- ルート ハブ

詳細については、デバイスのテクニカル リファレンス マニュアルで「ペリフェラル」の章にある「ユニバーサル シリアル バス (USB) サブシステム」を参照してください。

Copyright © 2024 Texas Instruments Incorporated

8 アプリケーション、実装、およびレイアウト

注

以下のアプリケーション情報は、TI の製品仕様に含まれるものではなく、TI ではその正確性または完全性を保証いたしません。個々の目的に対する製品の適合性については、お客様の責任で判断していただくことになります。お客様は自身の設計実装を検証しテストすることで、システムの機能を確認する必要があります。

8.1 デバイスの接続およびレイアウトの基礎

8.1.1 電源

8.1.1.1 電源の設計

統合型電源ソリューションには、**LP8733** または **TPS65219** PMIC (Power Management Integrated Circuit：パワー マネージメント IC) を推奨します。TPS65219。この低コストかつ省スペースのソリューションは、本デバイスとその主要なペリフェラルへの電力供給専用に設計されています。LP87334DRHDR は、本デバイスに電力を供給するように工場出荷時に設定されており、2 つの GPO を利用して、イーサネット PHY または外部メモリへの電力を供給するための追加レギュレータをシーケンス制御できます。完全なアプリケーション ノートと関連する動作の詳細については、『LP8733xx および TPS652xx PMIC による AM243x Sitara プロセッサへの電力供給』を参照してください。

- 工場出荷時に設定済みの構成によって、電源レールの負荷ステップ、電源電圧精度、最大負荷電流をマージンを確保してサポート
- すべての電源シーケンス要件に適合 (「電源シーケンス」を参照)

注

AM243x も、ディスクリート電源トポロジと、各種システム要件満たすカスタム電源設計をサポートしています。

8.1.1.2 電源供給回路の実装ガイド

『Sitara プロセッサ電源供給回路：実装と分析』は、電源供給回路を正しく実装するためのガイダンスを提供します。これには、PCB スタックアップ ガイダンスと、デカップリング コンデンサの選択および配置を最適化するためのガイダンスが含まれます。テキサス・インスツルメンツは、このアプリケーション レポートに記載されているボード設計ガイドラインに従った設計のみをサポートしています。

8.1.2 外部発振器

外部発振器の詳細については、*「クロック仕様」*セクションを参照してください。

8.1.3 JTAG、EMU、およびトレース

テキサス・インスツルメンツは、JTAG のサポートだけでなく、さまざまなデバッグ機能を備えた各種の拡張開発システム (XDS) JTAG コントローラをサポートしています。この情報の概要については、『XDS ターゲット接続ガイド』を参照してください。

JTAG、EMU、およびトレース配線の推奨事項については、『エミュレーションおよびトレース ヘッダー テクニカル リファレンス マニュアル』を参照してください。

8.1.4 未使用のピン

未使用のピンの詳細については、「ピン接続要件」セクションを参照してください。

8.2 ペリフェラルおよびインターフェイス固有の設計情報

8.2.1 一般的な配線ガイドライン

以下の段落では、各種機能の LVCMOS インターフェイスを配線する際に遵守する必要のある配線ガイドラインについて詳しく説明します。

- 配線間隔:
  - 配線の幅が W に等しい場合、2 本の配線の間隔は 2W 以上とする必要があります。これにより、異なる配線間のスイッチング信号によるクロストークが最小化されます。このルールは、PCB 上のあらゆる場所で実現できるとは限りません (デバイス パッケージから信号を引き出す場合など) が、可能な限りこのルールに従うことを推奨します。このガイドラインに違反する場合、互いに並走するパターンの長さを最小にします (図 8-1 を参照)。

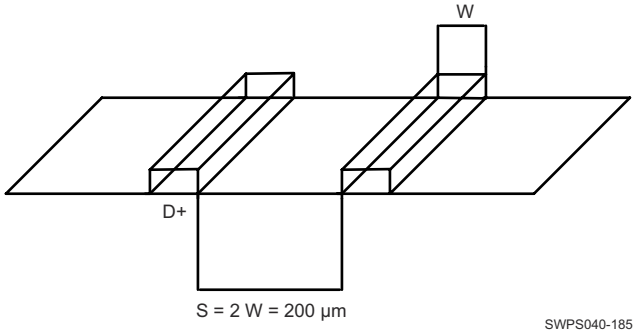


図 8-1. グラウンド ガードの図

- 長さのマッチング (特に記述のない限り):
  - 10MHz 未満の周波数のバスまたは配線の場合、配線長マッチング (最長の配線と最短の配線の長さの差の最大値) は 25mm 未満にする必要があります。
  - 10MHz を超える周波数のバスまたは配線の場合、配線長マッチング (最長の配線と最短の配線の長さの差の最大値) は 2.5mm 未満にする必要があります。
- 特性インピーダンス
  - 特に記述のない限り、シングルエンド インターフェイスの特性インピーダンスは 35Ω～65Ω の間にすることを推奨します。
- 複数のペリフェラルのサポート
  - スター型トポロジで複数のペリフェラルをサポートする必要があるインターフェイスでは、各分岐の長さを合わせる必要があります。PCB 設計を完了する前に、実際の PCB 抽出を含めたシミュレーションに基づいてシグナル インテグリティを検証することを強く推奨します。

8.2.2 DDR 基板の設計およびレイアウトのガイドライン

『AM64x\AM243x DDR 基板の設計およびレイアウトのガイドライン』の目標は、すべての設計者に対して DDR システムの実装を明快にすることです。要件を一連のレイアウトおよび配線ルールに絞り込んで、設計者が、テキサス・インスツルメンツのサポートするトポロジに対応した堅牢な設計を正しく実装できるようにしています。テキサス・インスツルメンツは、DDR4 または LPDDR4 メモリを使用したボード設計において、このドキュメントのガイドラインに従ったものだけをサポートしています。

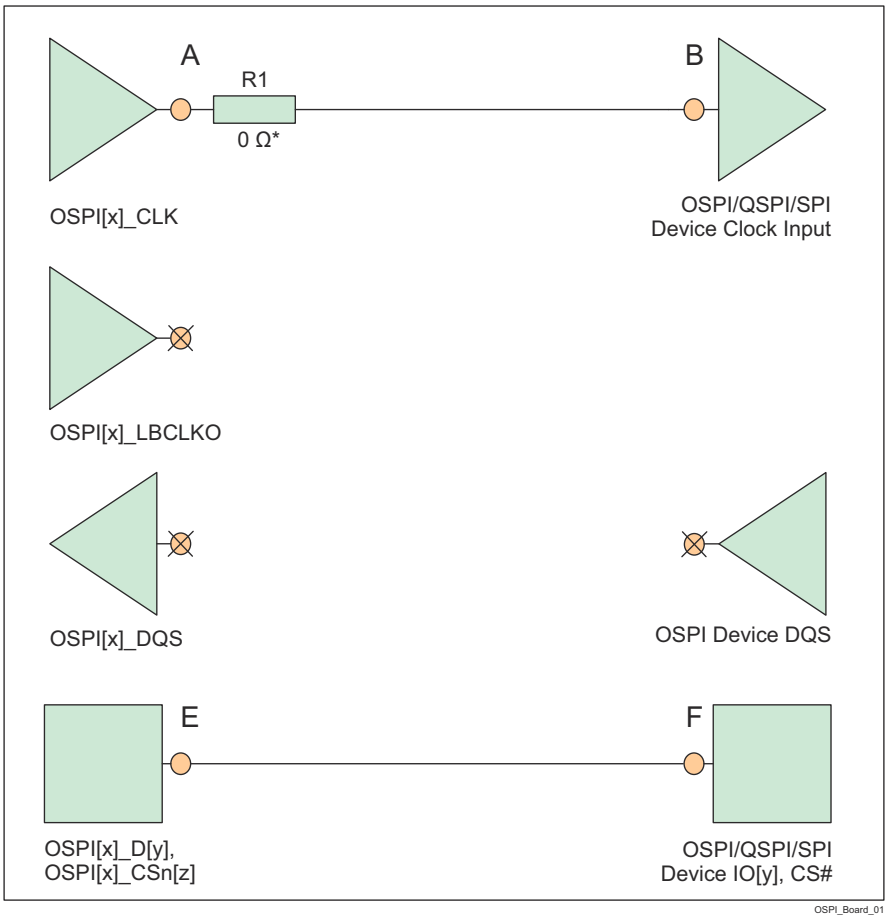
Copyright © 2024 Texas Instruments Incorporated

8.2.3 OSPI/QSPI/SPI 基板の設計およびレイアウトのガイドライン

以下のセクションでは、OSPI、QSPI および SPI デバイスの接続にあたって従うべき PCB の配線ガイドラインについて詳しく説明します。

8.2.3.1 ループバックなし、内部 PHY ループバックおよび内部パッド ループバック

- OSPI[x]_CLK 出力ピンは、接続されている OSPI/QSPI/SPI デバイスの CLK 入力ピンに接続する必要があります
- OSPI[x]_CLK ピンから接続されている OSPI/QSPI/SPI デバイスの CLK ピン (A から B) までの信号伝搬遅延は 450ps 未満 (ストリップラインの場合は約 7cm、マイクロストリップの場合は約 8cm) とする必要があります
- 各 OSPI[x]_D[y] および OSPI[x]_CSn[z] ピンから、対応する接続された OSPI/QSPI/SPI デバイス データおよび制御ピン (E から F、または F から E) までの信号伝搬遅延は、OSPI[x]_CLK ピンから接続された OSPI/QSPI/SPI デバイス CLK ピン (A から B) までの信号伝搬遅延にほぼ等しい必要があります
- 図 8-2 に示すように、50Ω の PCB 配線および直列終端を推奨します
- 伝搬遅延とマッチング：
  - (A から B) ≤ 450ps
  - (E から F、または F から E) = ((A から B) ± 60ps)



* 0Ω 抵抗 (R1) は、OSPI[x]_CLK ピンのできるだけ近くに配置して、必要に応じて微調整するためのプレースホルダです。

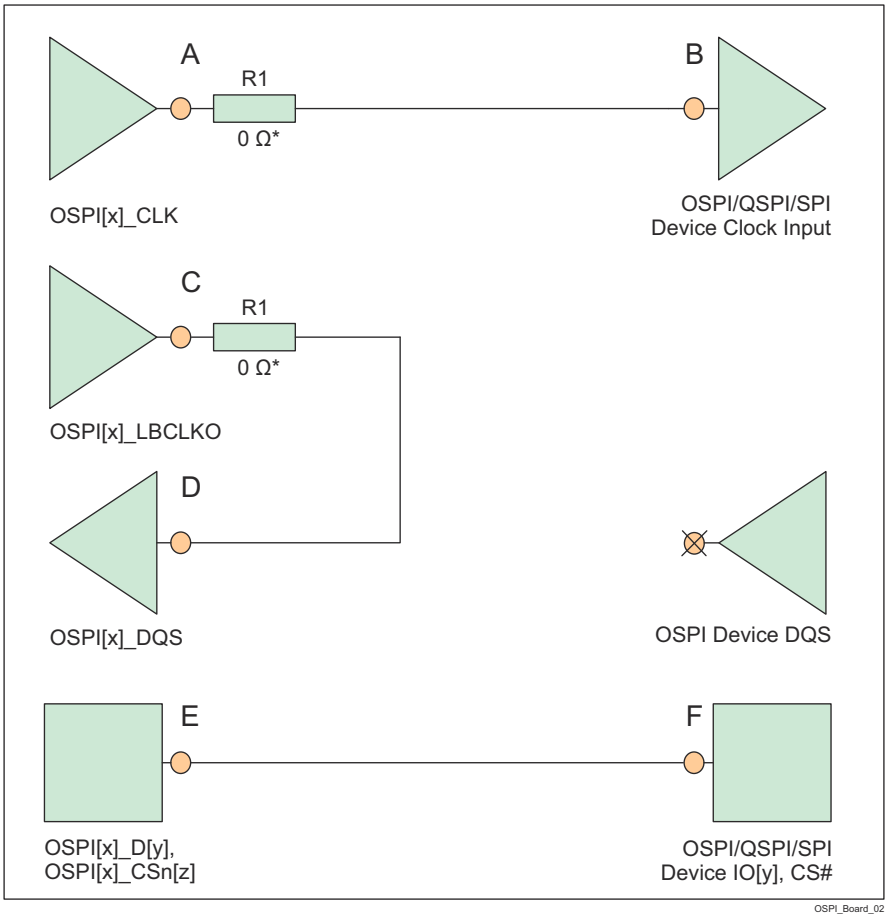
図 8-2. ループバックなし、内部 PHY ループバック、内部パッド ループバックの OSPI 接続回路図

8.2.3.2 外部ボードのループバック

- OSPI[x]_CLK 出力ピンは、接続されている OSPI/QSPI/SPI デバイスの CLK 入力ピンに接続する必要があります。
- OSPI[x]_LBCLKO 出力ピンは、OSPI[x]_DQS 入力ピンにループバックする必要があります。
- OSPI[x]_LBCLKO ピンから OSPI[x]_DQS ピン (C から D) までの信号伝搬遅延は、OSPI[x]_CLK ピンから、接続された OSPI/QSPI/SPI デバイスの CLK ピン (A から B) までの伝搬遅延の約 2 倍である必要があります。
- 各 OSPI[x]_D[y] および OSPI[x]_CSn[z] ピンから、対応する接続された OSPI/QSPI/SPI デバイスのデータおよび制御ピン (E から F、または F から E) までの信号伝搬遅延は、OSPI[x]_CLK ピンから接続された OSPI/QSPI/SPI デバイスの CLK ピン (A から B) までの信号伝搬遅延にほぼ等しい必要があります。
- 図 8-3 に示すように、50Ω の PCB 配線および直列終端を推奨します
- 伝搬遅延とマッチング:
  - (C から D) = 2 x ((A から B) ± 30ps)、下の例外の注を参照してください。
  - (E から F、または F から E) = ((A から B) ± 60ps)

注

外部ボード ループバック ホールド時間要件 (「OSPI0 のタイミング要件 - PHY DDR モード」表 6-101 のパラメータ番号 O16 で規定) は、標準的な OSPI/QSPI/SPI デバイスで提供されるホールド時間よりも長い場合があります。この場合、ホールド時間を増やすため、OPSI[x]_LBCLKO ピンから OSPI[x]_DQS ピン (C から D) までの伝搬遅延を短くすることができます。



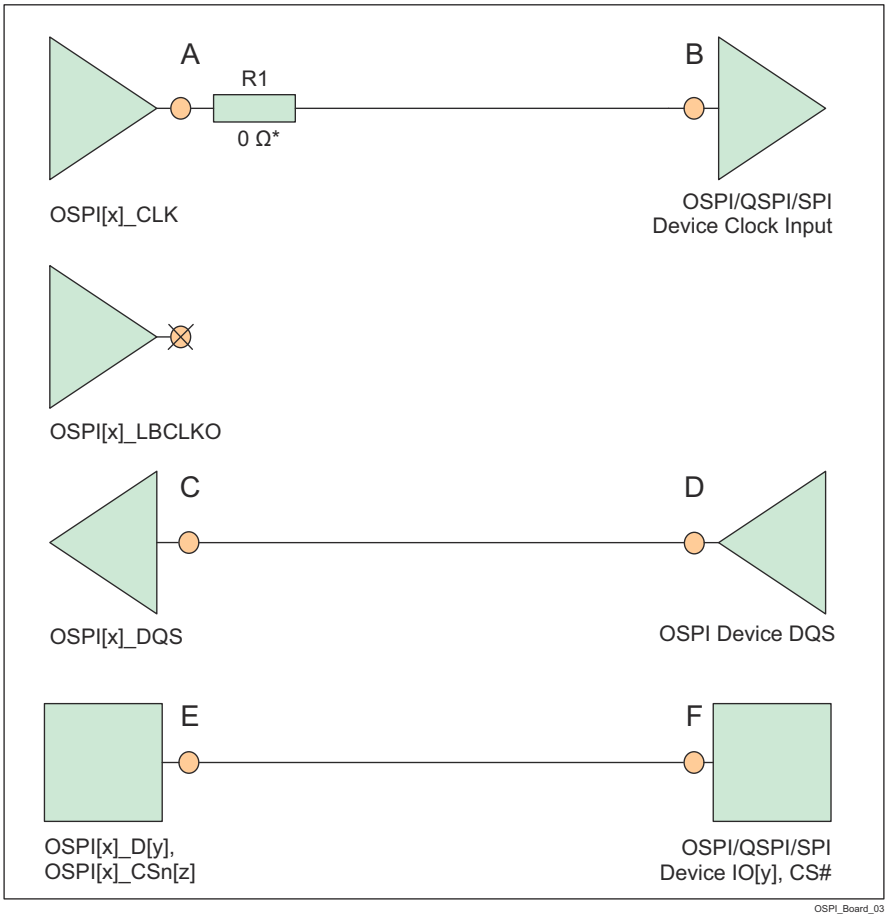
* OSPI[x]_CLK ピンおよび OSPI[x]_LBCLKO ピンのできるだけ近くに配置された 0Ω 抵抗 (R1) は、必要に応じて微調整するためのプレースホルダです。

図 8-3. 外部ボード ループバックの OSPI 接続回路図

Copyright © 2024 Texas Instruments Incorporated

8.2.3.3 DQS (オクタル SPI デバイスでのみ使用可能)

- OSPI[x]_CLK 出力信号は、接続されている OSPI/QSPI/SPI デバイスの CLK 入力ピンに接続する必要があります
- 接続されている OSPI/QSPI/SPI デバイスの DQS ピンは、OSPI[x]_DQS ピンに接続する必要があります
- 接続された OSPI/QSPI/SPI デバイスの DQS ピンから OSPI[x]_DQS ピン (D から C) までの信号伝搬遅延は、OSPI[x]_CLK ピンから接続された OSPI/QSPI/SPI デバイスの CLK ピン (A から B) までの信号伝搬遅延にほぼ等しくなる必要があります
- 各 OSPI[x]_D[y] および OSPI[x]_CSn[z] ピンから、対応する接続された OSPI/QSPI/SPI デバイス データおよび制御ピン (E から F、または F から E) までの信号伝搬遅延は、OSPI[x]_CLK ピンから接続された OSPI/QSPI/SPI デバイス CLK ピン (A から B) までの信号伝搬遅延にほぼ等しくなる必要があります
- 図 8-4 に示すように、50Ω の PCB 配線および直列終端を推奨します
- 伝搬遅延とマッチング:
  - (D から C) = ((A から B) ± 30ps)
  - (E から F、または F から E) = ((A から B) ± 60ps)



* 0Ω 抵抗 (R1) は、OSPI[x]_CLK ピンのできるだけ近くに配置して、必要に応じて微調整するためのプレースホルダです。

図 8-4. DQS の OSPI 接続回路図

8.2.4 USB VBUS 設計ガイドライン

USB 3.1 仕様では、VBUS 電圧は通常動作で最大 5.5V であり、「パワー デリバリー」追補がサポートされている場合は最大 20V になることが許容されています。一部の車載アプリケーションは、最大電圧を 30V にする必要があります。

このデバイスでは、外付けの分圧抵抗を使用して VBUS 信号電圧を下げる必要があります (図 8-5 を参照)。これにより、実際のデバイス ピン (USB0_VBUS) に印加される電圧が制限されます。これらの外部抵抗の許容誤差は 1% 以下、ツェナー ダイオードの 5V でのリーク電流は 100nA 未満の必要があります。

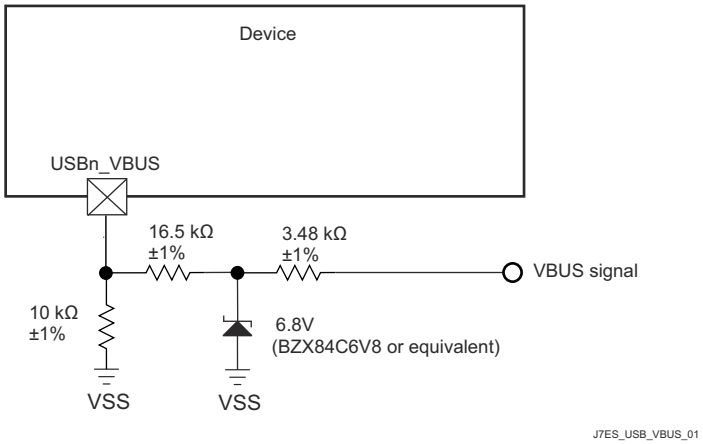


図 8-5. USB VBUS 検出分圧器 / クランプ回路

デバイスの電源がオフのときに VBUS が印加された場合、図 8-5 に示す外部回路によって実際のデバイス ピンへの入力電流が制限されるため、USB0_VBUS ピンはフェイルセーフであると考えることができます。

8.2.5 システム電源監視設計ガイドライン

VMON_VSYS ピンは、システム電源を監視する手段を提供します。このシステム電源は通常、全体システムのために事前に安定化された 1 つの電源であり、外付け抵抗分圧回路を介して VMON_VSYS ピンに接続できます。このシステム電源は、外部分圧器の出力電圧を内部基準電圧と比較することによって監視されます。VMON_VSYS に印加された電圧が内部基準電圧を下回ると、パワー フェイル イベントがトリガされます。実際のシステム電源電圧トリップ ポイントは、外付け抵抗による分圧回路の実装に使用する部品の値を選択するときに、システム設計者が決定します。

抵抗分圧回路を設計する際は、システム電源監視のトリップ ポイントの変動に寄与するさまざまな要因を理解する必要があります。最初に考慮するのは、VMON_VSYS 入力スレッショルドの初期精度です。このスレッショルドの公称値は 0.45V で、変動は ±3% です。分圧抵抗回路の実装には、同程度の熱係数で高精度の 1% 抵抗を推奨します。これにより、抵抗値の誤差に起因する変動を最小限に抑えることができます。VMON_VSYS に関連する入力リーク電流も考慮する必要があります。これは、ピンに流入する電流によって分圧器出力に負荷誤差が生じるためです。VMON_VSYS 入力のリーク電流は、0.45V 印加時に 10nA～2.5μA の範囲となる場合があります。

注

抵抗分圧器は、通常動作条件において、その出力電圧が「推奨動作条件」セクションに定義された最大値を決して超えないように設計するものとします。

システム電源が公称 5V で、最大トリガ スレッショルドが 5V - 10%、すなわち 4.5V の場合の例を図 8-6 に示します。

この例では、抵抗値を選択する際に、どの変数が最大トリガ スレッショルドに影響を与えるかを理解する必要があります。システム電源が 10% 低下するまでトリップしない分圧器を設計するには、VMON_VSYS 入力スレッショルドが 0.45V + 3% であるデバイスを検討する必要があります。抵抗の許容誤差と入力リーク電流の影響も考慮する必要がありますが、最大トリガ ポイントに対する寄与は明らかではありません。最大トリガ電圧を生成する部品値を選択するときは、VMON_VSYS ピンの入力リーク電流が 2.5μA であるという条件と、R1 の値が 1% 低く、R2 の値が 1% 高いという条件

Copyright © 2024 Texas Instruments Incorporated

を考慮する必要があります。R1 = 4.81kΩ および R2 = 40.2kΩ の抵抗分圧器を実装すると、結果として最大トリガ スレッショルドは 4.517 V になります。

上記のように最大トリガ電圧を満たすように部品の値を選択すると、システム設計者は、R1 の値が 1% 高く、R2 の値が 1% 低い場合、および入力リーク電流が 10nA またはゼロの場合、出力電圧が 0.45V - 3% になる印加電圧を計算することにより、最小トリガ電圧を決定できます。上記の抵抗値とゼロの入力リーク電流を組み合わせた結果、最小トリガ スレッショルドは 4.013 V となります。

ここでは、システム電源電圧トリップ ポイントが 4.013V～4.517V の範囲となる例を示しています。この範囲のうち約 250mV は、VMON_VSYS の入力スレッショルド精度 ±3% によって発生し、この範囲の約 150mV は抵抗の誤差 ±1% によって発生します。また、この範囲の約 100mV は、VMON_VSYS の入力リーク電流が 2.5μA である場合の負荷誤差により発生します。

この例で選択した抵抗値では、システム電源が 4.5V のとき、分圧抵抗により約 100μA のバイアス電流が発生します。上記の 100mV の負荷誤差は、分圧抵抗を流れるバイアス電流を約 1mA に増やすことにより、約 10mV に低減できます。したがって、抵抗分圧器のバイアス電流と負荷誤差の関係は、部品の値を選択するときにシステム設計者が考慮する必要がある事項です。

VMON_VSYS は、最小のヒステリシスで、過渡に対する高帯域応答を備えているため、システム設計者は分圧器出力にノイズ フィルタを実装することも考慮する必要があります。これは、図 8-6 に示すように、R1 の両端にコンデンサを取り付けることで実現できます。ただし、システム設計者は、システムの電源ノイズと、過渡現象に対して予測される応答に基づいて、このフィルタの応答時間を決定する必要があります。

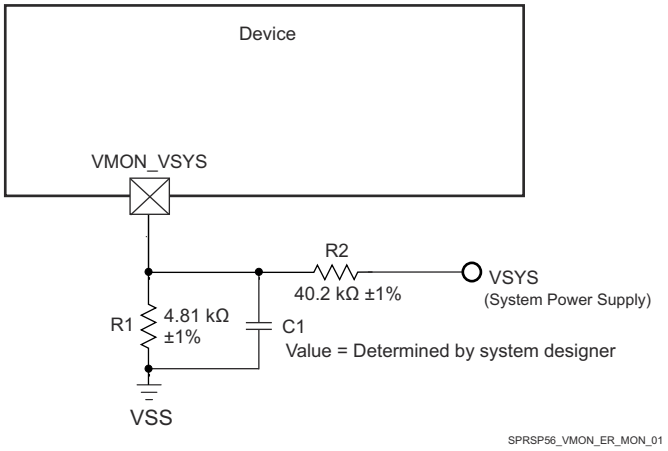


図 8-6. システム電源監視分圧回路

VMON_1P8_MCU および VMON_1P8_SOC ピンは、外部の 1.8V 電源を監視する手段を提供します。これらのピンは、それぞれの電源に直接接続する必要があります。この SoC には、これらの各ピンのための、ソフトウェア制御の内部抵抗分圧器が実装されています。ソフトウェアにより、各内部抵抗分圧器を設定することで、適切な低電圧および過電圧割り込みを生成できます。

VMON_3P3_MCU および VMON_3P3_SOC ピンは、外部の 3.3V 電源を監視する手段を提供します。これらのピンは、それぞれの電源に直接接続する必要があります。この SoC には、これらの各ピンのための、ソフトウェア制御の内部抵抗分圧器が実装されています。ソフトウェアにより、各内部抵抗分圧器を設定することで、適切な低電圧および過電圧割り込みを生成できます。

8.2.6 高速差動信号のルーティング ガイド

『高速インターフェイスのレイアウト ガイドライン』には、高速差動信号を正しく配線するためのガイダンスが示されています。これには、PCB スタックアップと材料のガイダンス、配線スキュー、長さ、間隔の制限が含まれます。テキサス・インスツルメンツは、このアプリケーション ノートに記載されているボード設計ガイドラインに従った設計のみをサポートしています。

8.2.7 熱ソリューション ガイダンス

『DSP および ARM アプリケーション プロセッサ用の熱設計ガイド』は、このデバイスを搭載したシステム設計の熱ソリューションを正しく実装するための指針を提供しています。この資料は、熱ソリューションに関連する一般的な用語と方法に関する背景情報を記載しています。テキサス・インスツルメンツは、このアプリケーション ノートに記載されているシステム設計ガイドラインに従った設計のみをサポートしています。

Copyright © 2024 Texas Instruments Incorporated

8.3 クロック配線のガイドライン

8.3.1 発振器の配線

プリント基板を設計する際、以下のことに留意してください。

- 水晶振動子回路の部品はすべて、各デバイス ピンのできるだけ近くに配置します。
- 水晶振動子回路のパターンは PCB の外層に配線します。そして、寄生容量を減らし、その他の信号からのクロストークを最小化するため、パターン長を最小限に抑えます。
- すべての水晶振動子回路部品と水晶振動子回路パターンの下になるように、隣接する PCB 層に連続的なグランド プレーンを配置します。
- 水晶振動子回路部品の周囲にグランド ガードを配置し、水晶振動子回路パターンと同じ層に配線された隣接信号から、これらの部品をシールドします。グランド ガードが未終端のスタブを持たないように、複数のビアを挿入して、グランド ガードをグランド プレーンに接続します。
- MCU_OSC0_XI 信号と MCU_OSC0_XO 信号の間にグランド ガードを配置し、MCU_OSC0_XI 信号を MCU_OSC0_X0 信号からシールドします。グランド ガードが未終端のスタブを持たないように、複数のビアを挿入して、グランド ガードをグランドに接続します。
- 水晶振動子回路のすべてのグランド接続とグランド ガード接続は、隣接する層のグランド プレーンに直接接続します (PCB の異なる層に個別に実装されている場合、デバイス VSS グランド プレーンに接続します)。

注

MCU_OSC0_XI 信号と MCU_OSC0_XO 信号の間にグランド ガードを実装することは、2 つの信号間のシャント容量を最小化するために重要です。これらの 2 つの信号の間にグランド ガードを配置しないで、これらの 2 つの信号を隣接して配線すると、発振器アンプのゲインが実質的に低下し、発振開始能力が低下します。

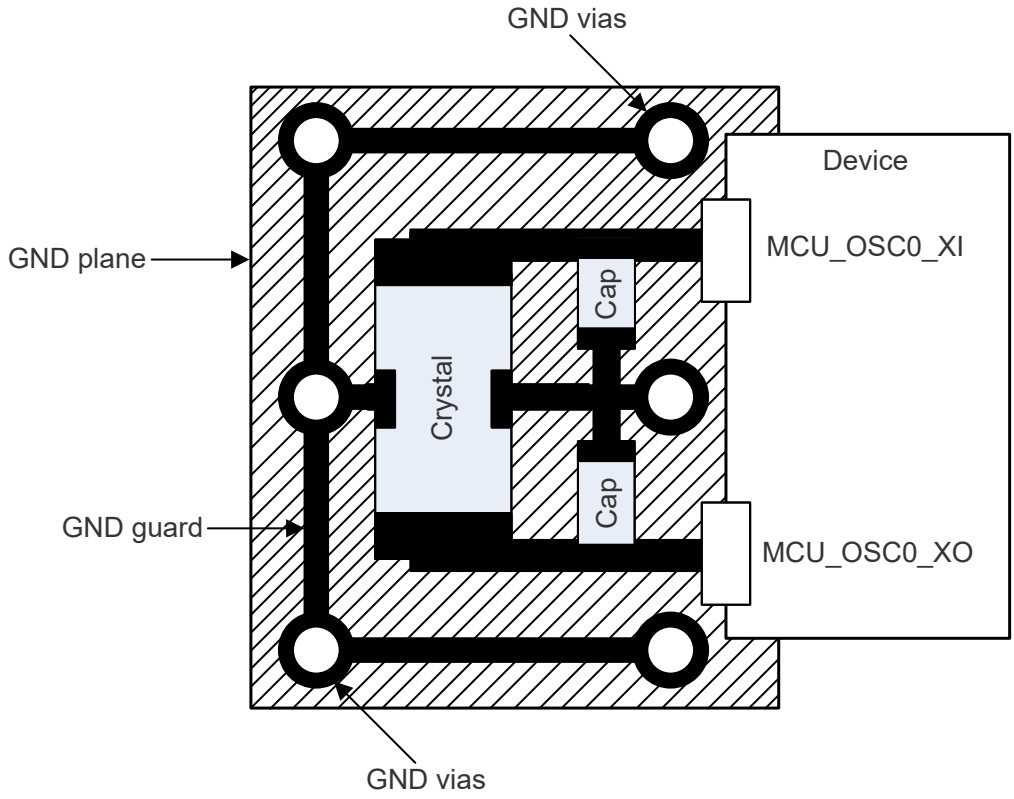


図 8-7. MCU_OSC0 の PCB の要件

8.3.2 発振器のグランド接続

発振器のグランド接続図については、セクション 6.10.4.1.1 を参照してください。

Copyright © 2024 Texas Instruments Incorporated

9 デバイスおよびドキュメントのサポート

9.1 デバイスの命名規則

製品開発サイクルの段階を示すために、テキサス・インスツルメンツは組み込みプロセッサ デバイスとサポート ツールのすべての型番に接頭辞を割り当てています。各デバイスには次の 3 つのいずれかの接頭辞があります。X、P、空白 (接頭辞なし) (例：XAM2434ASFGGAALX)。テキサス・インスツルメンツでは、関連のサポート ツールについて、使用可能な 3 つの接頭辞のうち TMDX および TMDS の 2 つを推奨しています。これらの接頭辞は、製品開発の進展段階を表します。段階には、エンジニアリング プロトタイプ (TMDX) から、完全認定済みの量産デバイス / ツール (TMDS) までありません。

デバイスの開発進展フロー：

X 実験的デバイスで、最終デバイスの電気的特性を必ずしも表さず、量産アセンブリ フローを使用しない可能性があります。

P プロトタイプ デバイス。最終的なシリコン ダイとは限らず、最終的な電気的特性を満たさない可能性があります。

(空白) 完全に認定済みで、最終的な電気的仕様を満たすシリコン ダイの量産バージョン。

サポート ツールの開発進展フロー:

TMDX 開発サポート製品。テキサス・インスツルメンツの社内認定試験はまだ完了していません。

TMDS 完全に認定済みの開発サポート製品。

X および P デバイスと TMDX 開発サポート ツールは、以下の免責事項の下で出荷されます。

「開発中の製品は、社内での評価用です。」

量産デバイスおよび TMDS 開発サポート ツールの特性は完全に明確化されており、デバイスの品質と信頼性が十分に示されています。テキサス・インスツルメンツの標準保証が適用されます。

プロトタイプ デバイス(X または P)の方が標準的な量産デバイスに比べて故障率が大きいと予測されます。これらのデバイスは予測される最終使用時の故障率が未定義であるため、テキサス・インスツルメンツではそれらのデバイスを量産システムで使用しないよう推奨しています。認定済みの量産デバイスのみを使用する必要があります。

ALV または ALX パッケージ タイプの AM243x デバイスの注文可能な型番については、このドキュメントの末尾にある「パッケージ オプション」の付録や、テキサス・インスツルメンツの Web サイト (tij.co.jp) を参照するか、テキサス・インスツルメンツの販売代理店にお問い合わせください。

9.1.1 標準パッケージの記号化

注

一部のデバイスには、パッケージの上面に装飾的な円形のマーキングがあります。これは、量産テスト プロセスの結果として添付されます。さらに、一部のデバイスでは、パッケージのサブストレートの製造元によって、パッケージのサブストレートに色のばらつきが見られる場合があります。このばらつきは外見上だけのものであって、信頼性には影響しません。

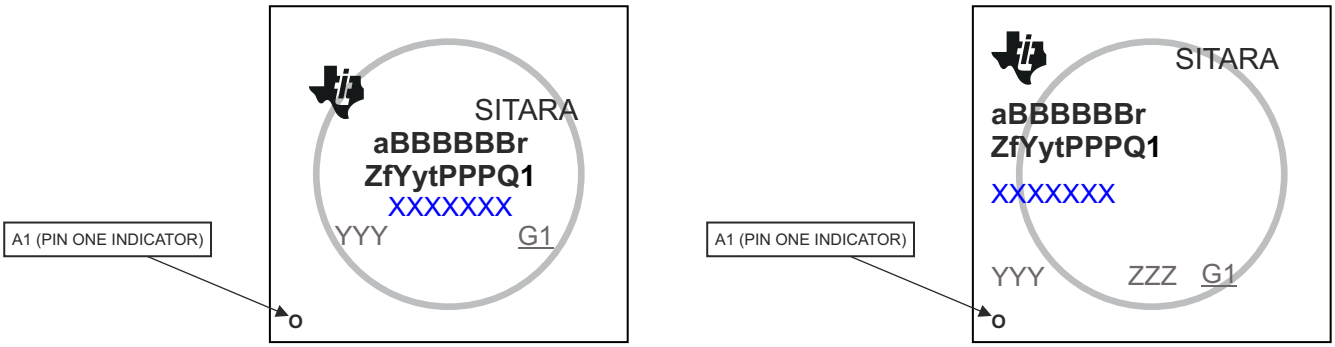


図 9-1. 印刷されたデバイス参照

9.1.2 デバイスの命名規則

フィールド パラメータ	フィールドの説明	値	説明
a [1]	デバイスの開発段階	X	プロトタイプ
		P	量産前(量産テスト フロー、信頼性データなし)
		空白 [2]	量産出荷中
BBBBBB	基本量産型番	AM2434	(製品比較表を参照してください。)
		AM2432	
		AM2431	
r	デバイス リビジョン	A	シリコン リビジョン (SR) 1.0
		B	シリコン リビジョン (SR) 2.0
Z	デバイス速度グレード	S	(「速度グレードの最大周波数」を参照してください。)
		K	
f	特長 (「デバイスの比較」を参照)	C	産業用通信のサポートを除くすべての PRU_ICSSG 機能が有効化されます。PRU_ICSSG 産業用通信インターフェイスには、イーサネット ネットワーク (MII/RGMII、MDIO)、シグマ デルタ (SD) デシメーション、3 チャネル ペリフェラル インターフェイス (EnDat 2.2 と BiSS) が含まれます。
		D	C と、PRU_ICSSG 産業用通信サブシステムによってサポートされる機能を有効化
		E	D と、EtherCAT HW アクセラレータおよび CAN-FD によってサポートされる機能を有効化
		F	E と、事前に統合されたスタックによってサポートされる機能を有効化
Y	機能安全	G	非機能安全
		F	機能安全
y	セキュリティ	G	非セキュア
		H	セキュアな機能

Copyright © 2024 Texas Instruments Incorporated

フィールド パラメータ	フィールドの説明	値	説明
t	温度 (3)	A	-40℃～105℃ - 拡張産業用 (「推奨動作条件」を参照)
		I	-40℃～125℃ - 拡張産業用 (「推奨動作条件」を参照)
PPP	パッケージ記号	ALV	ALV パッケージ FCBGA-N441 (17.2mm × 17.2mm - 0.8mm ピッチ)
		ALX	ALX パッケージ FCCSP-N293 (11.0mm × 11.0mm - 0.5mm ピッチ)
c	キャリア タイプ	R	テープ アンド リール
		空白	トレイ
Q1	車載識別記号	Q	車載規格準拠 (Q100)
		EP	エンハンスド製品
		空白 (2)	標準
XXXXXXX			ロットのトレース コード(LTC)
YYY			量産コード、テキサス・インスツルメンツでのみ使用
O			ピン 1 の指定子
G1			ECAT—グリーン パッケージ 指定子

(1) 製品開発サイクルの段階を示すために、TI では型番に接頭辞を割り当てます。これらの接頭辞は、製品開発の進展段階を表します。段階には、エンジニアリング プロトタイプから、完全認定済みの量産デバイスまであります。
プロトタイプ デバイスは、次の免責事項付きで出荷されます。
「この製品はまだ開発中であり、社内での評価を目的としています」。
テキサス・インスツルメンツはこれらのデバイスについて、これに反するような条項が存在していても、明示的、暗黙的、法定にかかわらず、商用性や特定目的への適合性への暗黙的な保証も含め、一切の責任を負いません。

(2) 記号または型番の空白欄は省略されるため、前後の文字は連続して表記されます。

(3) デバイスの接合部の最大温度に適用されます。詳細については、「電源投入時間 (POH)」を参照してください。

9.2 ツールとソフトウェア

以下の開発ツールは、テキサス・インスツルメンツの組込みプロセッシング プラットフォームの開発をサポートしています。

開発ツール

Code Composer Studio™ 統合開発環境 Code Composer Studio (CCS) 統合開発環境 (IDE) は、テキサス・インスツルメンツのマイクロコントローラと組込みプロセッサのポートフォリオをサポートする開発環境です。Code Composer Studio は、組み込みアプリケーションの開発およびデバッグに必要な一連のツールで構成されています。最適化 C/C++ コンパイラ、ソース コード エディタ、プロジェクト ビルド環境、デバッガ、プロファイラなど、多数の機能が含まれています。IDE は直感的で、アプリケーションの開発フローの各段階を、すべて同一のユーザー インターフェイスで実行できます。使い慣れたツールとインターフェイスにより、ユーザーは従来より迅速に作業を開始できます。Code Composer Studio は、Eclipse ソフトウェア フレームワークの利点と、テキサス・インスツルメンツの先進的な組み込みデバッグ機能の利点を組み合わせて、組み込み製品の開発者向けの魅力的で機能豊富な開発環境を実現します。

SysConfig-PinMux ツール SysConfig-PinMux ツールは、テキサス・インスツルメンツの組み込みプロセッサ デバイスのピン多重化設定を構成し、競合を解決し、I/O セルの特性を指定するためのグラフィカル ユーザー インターフェイスを提供するソフトウェア ツールです。このツールを使用すると、入力したシステム要件を満たすために最適なピン マルチプレクサ構成を自動的に計算できます。このツールは C ヘッダ / コード ファイルを出力し、これらのファイルをソフトウェア開発キット (SDK) にインポートしたり、カスタム ハードウェア要件を満たすためにカスタム ソフトウェアを構成したりするために使用できます。クラウド ベースの **SysConfig-PinMux ツール**も利用できます。

プロセッサ プラットフォーム用の開発サポート ツールすべての一覧については、テキサス・インスツルメンツの Web サイト (ti.com) を参照してください。価格と在庫状況については、お近くのフィールド セールス オフィスまたは認可代理店にお問い合わせください。

9.3 ドキュメントのサポート

ドキュメントの更新についての通知を受け取るには、ti.com のデバイス製品フォルダを開いてください。右上の隅にある「更新の通知を受け取る」のベルをクリックして登録すると、変更されたすべての製品情報に関するダイジェストを毎週受け取れます。変更の詳細については、修正されたドキュメントに含まれている改訂履歴をご覧ください。

プロセッサおよび関連ペリフェラルに関する最新ドキュメント、その他の技術資料を以下に示します。

以下のドキュメントは、AM243x デバイスについて記載しています。

テクニカル リファレンス マニュアル

『AM243x/AM64x プロセッサ テクニカル リファレンス マニュアル』(SPRUIM2) 本テクニカル リファレンス マニュアルには、AM243x デバイス ファミリの各ペリフェラルおよびサブシステムの概要、統合、環境、プログラミング モデル、機能説明が詳しく記載されています。

エラッタ

『AM243x/AM64x プロセッサ シリコン エラッタ』(SPRZ457) 本シリコン エラッタ文書には、本デバイスの機能仕様に関する既知の例外が記載されています。

注

ti.com で文献番号を検索してください。

9.3.1 注意事項および警告に関する情報

本書には注意事項および警告が記載されている場合があります。

警告

文書内の警告は、傷害や死亡の危険を回避するための行動または予防措置を行う必要があることを示しています。

Copyright © 2024 Texas Instruments Incorporated

注意

文書内の注意事項は、コンポーネントまたは機器の損傷のリスクを回避するための行動または予防措置を行う必要があることを示しています。

注意事項または警告に記載されている情報は、お客様の保護のために提供されています。それぞれの注意事項および警告をよくお読みください。

9.4 サポート・リソース

テキサス・インスツルメンツ E2E™ サポート・フォーラムは、エンジニアが検証済みの回答と設計に関するヒントをエキスパートから迅速かつ直接得ることができる場所です。既存の回答を検索したり、独自の質問をしたりすることで、設計で必要な支援を迅速に得ることができます。

リンクされているコンテンツは、各寄稿者により「現状のまま」提供されるものです。これらはテキサス・インスツルメンツの仕様を構成するものではなく、必ずしもテキサス・インスツルメンツの見解を反映したものではありません。テキサス・インスツルメンツの使用条件を参照してください。

9.5 商標

Sitara™, Code Composer Studio™, and テキサス・インスツルメンツ E2E™ are trademarks of Texas Instruments.
CoreSight™ is a trademark of Arm Limited (or its subsidiaries) in the US and/or elsewhere.
TrustZone®, Arm® are registered trademarks of Arm.
Cortex® is a registered trademark of Arm Limited (or its subsidiaries) in the US and/or elsewhere.
PCI-Express® is a registered trademark of PCI-SIG.
EtherCAT® is a registered trademark of Beckhoff Automation GmbH.
すべての商標は、それぞれの所有者に帰属します。

9.6 静電気放電に関する注意事項

この IC は、ESD によって破損する可能性があります。テキサス・インスツルメンツは、IC を取り扱う際には常に適切な注意を払うことを推奨します。正しい取り扱いおよび設置手順に従わない場合、デバイスを破損するおそれがあります。

ESD による破損は、わずかな性能低下からデバイスの完全な故障まで多岐にわたります。精密な IC の場合、パラメータがわずかに変化するだけで公表されている仕様から外れる可能性があるため、破損が発生しやすくなっています。

9.7 用語集

テキサス・インスツルメンツ用語集　　この用語集には、用語や略語の一覧および定義が記載されています。

10 改訂履歴

Changes from JANUARY 30, 2023 to MAY 1, 2024 (from Revision F (January 2023) to Revision G (May 2024)) **Page**

- (特長):ALX パッケージの説明を SIP からオーバーモールドに更新 1
- (特長):取得した機能安全準拠認証を含むように「機能安全」の箇条書き項目を更新 / 変更 1
- グローバル:「改訂履歴」セクションをドキュメントの末尾に移動 1
- (アプリケーション):ファクトリ オートメーション ロボット、産業用ロボット / 協力ロボット (コボット)、産業用移動型ロボット、ホーム オートメーション ロボットの箇条書き項目を追加 4
- (ピン接続要件):「接続要件」表に続く注の 2 番目の段落を更新。構成可能なデバイス IO の動作を明確化し、フローティング信号がデバイスの入力バッファを損傷させることを防止するために必要な注意事項を記載 109
- (速度グレードの最大周波数);スピード グレード K の ICSSG を 250MHz から 333MHz に増加 121
- (SDIO の電気的特性):V_{IL}/V_{ILSS}/V_{IH}/V_{IHSS}/V_{OL}/V_{OH} パラメータ値を定義するために使用される VDDSHV5 電源レール名 (該当する場合) を、汎用電源レール名 (VDD) を参照して変更し、関連する表の注を追加 124
- (DDR の電気的特性):それぞれの JEDEC 規格への参照を追加 129

- (パワーアップ シーケンシング):パワーアップ シーケンシングの図の VDDSHV5 と脚注を独立させ、その他の電源レールに依存せずに、この電源レールがパワーアップ、パワーダウン、動的電圧変化をサポートすることを明確化。..135
- (電源切断シーケンシング):電源切断シーケンシングの図の VDDSHV5 と脚注を独立させ、その他の電源レールに依存せずに、この電源レールがパワーアップ、パワーダウン、動的電圧変化をサポートすることを明確化。.....137
- (リセットのタイミング条件):VDD = 1.8V と VDD = 3.3V の入力スルーレートの最小値を変更 (元の値が交換されました。).....138
- (MCU_RESETSTATz と RESETSTATz のスイッチング特性):パラメータ RST13 の最小値を「0」から「960」に変更 138
- (CPSW3G MDIO のタイミング):PCB の接続性要件を「タイミング条件」表に追加、最小セットアップ時間の値 (パラメータ MDIO1) を「90」から「45」に変更、最小および最大出力遅延時間の値 (パラメータ MDIO7) をそれぞれ「-150」と「150」から「-10」と「10」に変更.....154
- (MCSPI のスイッチング特性 - コントローラ モード):以前の表にあった注 2 および 3 を、新しい表の注 2、3、4、5 に置き換え.....198
- (MMC1 のスイッチング特性 – UHS-I SDR104 モード):SDR1046 と SDR1047 の最小値を 2.08 から 2.12 に変更し、SDR1048 と SDR1049 の最小値を 1.12 から 1.08 に変更し、SDR1048 と SDR1049 の最大値を 3.16 から 3.2 に変更.....217
- (OSPI のスイッチング特性 – PHY データ トレーニング):OSPI0_CLK サイクル タイム パラメータ (O1) に最大値を追加し、133MHz の最小動作周波数を定義。注 1 および注 4 も更新、注 1 の OSPI_CLK サイクル時間基準に「ns 単位」を追加、TRM で使用されるクロック名と一致するように、注 4 の「refclk」を「基準クロック」に変更.....221
- (OSPI0 のスイッチング特性 - レガシー SDR モード):注 1 および注 4 を更新。注 1 の OSPI_CLK サイクル時間基準に「(ns 単位)」を追加、テクニカル リファレンス マニュアルで使用されているクロック名と一致するよう、注 4 の「refclk」を「基準クロック」に変更.....223
- (OSPI0 のスイッチング特性 – PHY DDR モード):注 1 および注 4 を更新。注 1 の OSPI_CLK サイクル時間基準に「(ns 単位)」を追加、テクニカル リファレンス マニュアルで使用されているクロック名と一致するよう、注 4 の「refclk」を「基準クロック」に変更.....225
- (OSPI0 のタイミング要件 – タップ SDR モード):パラメータ O19 および O20 の最小セットアップと最小ホールドの式に関連する定数値を更新。注 2 も更新し、テクニカル リファレンス マニュアルで使用されているクロック名と一致するように「refclk」を「基準クロック」に変更.....227
- (OSPI0 のスイッチング特性 – タップ SDR モード):注 1 および注 4 を更新。注 1 の OSPI_CLK サイクル時間基準に「(ns 単位)」を追加、テクニカル リファレンス マニュアルで使用されているクロック名と一致するよう、注 4 の「refclk」を「基準クロック」に変更.....227
- (OSPI0 のタイミング要件 – タップ DDR モード):パラメータ O13 および O14 の最小セットアップおよび最小ホールドの式に関連する定数値を更新。注 2 も更新し、テクニカル リファレンス マニュアルで使用されているクロック名と一致するように「refclk」を「基準クロック」に変更.....229
- (OSPI0 のスイッチング特性 – タップ DDR モード):パラメータ O6 のデータ出力遅延の最小値とデータ出力遅延の最大値の式を更新。注 1 および注 5 も更新、注 1 の OSPI_CLK サイクル時間基準に「ns 単位」を追加、TRM で使用されるクロック名と一致するように、注 5 の「refclk」を「基準クロック」に変更.....229
- (PCIe):「機能の詳細と ... については ...」の段落を更新。.....230
- (PRUSS PRU のスイッチング特性 – 直接出力モード):GPO 間スキュー パラメータ (PRDO1) の最大値を 3ns から 2ns に変更.....231
- (PRU_ICSSG UART のスイッチング特性):TRM UART のボーレート設定の参照を注 1 に追加.....240
- (USB):「機能および ... の詳細については ...」の段落を更新。.....251
- (USB VBUS 設計ガイドライン):3.5kΩ は 1% 抵抗の標準値ではないため、3.5kΩ 抵抗の値を 3.48kΩ に変更.. 270

Copyright © 2024 Texas Instruments Incorporated

11 メカニカル、パッケージ、および注文情報

11.1 パッケージ情報

以降のページには、メカニカル、パッケージ、および注文に関する情報が記載されています。この情報はそのデバイスについて利用可能な最新のデータです。このデータは、予告なく、このドキュメントを改訂せずに変更される場合があります。本データシートのブラウザ版を使用されている場合は、左側のナビゲーションを参照してください。

重要なお知らせと免責事項

テキサス・インスツルメンツは、技術データと信頼性データ (データシートを含みます)、設計リソース (リファレンス デザインを含みます)、アプリケーションや設計に関する各種アドバイス、Web ツール、安全性情報、その他のリソースを、欠陥が存在する可能性のある「現状のまま」提供しており、商品性および特定目的に対する適合性の黙示保証、第三者の知的財産権の非侵害保証を含むいかなる保証も、明示的または黙示的にかかわらず拒否します。

これらのリソースは、テキサス・インスツルメンツ製品を使用する設計の経験を積んだ開発者への提供を意図したものです。(1) お客様のアプリケーションに適した テキサス・インスツルメンツ製品の選定、(2) お客様のアプリケーションの設計、検証、試験、(3) お客様のアプリケーションに該当する各種規格や、その他のあらゆる安全性、セキュリティ、規制、または他の要件への確実な適合に関する責任を、お客様のみが単独で負うものとします。

上記の各種リソースは、予告なく変更される可能性があります。これらのリソースは、リソースで説明されている テキサス・インスツルメンツ製品を使用するアプリケーションの開発の目的でのみ、テキサス・インスツルメンツはその使用をお客様に許諾します。これらのリソースに関して、他の目的で複製することや掲載することは禁止されています。テキサス・インスツルメンツや第三者の知的財産権のライセンスが付与されている訳ではありません。お客様は、これらのリソースを自身で使用した結果発生するあらゆる申し立て、損害、費用、損失、責任について、テキサス・インスツルメンツおよびその代理人を完全に補償するものとし、テキサス・インスツルメンツは一切の責任を拒否します。

テキサス・インスツルメンツの製品は、テキサス・インスツルメンツの販売条件、または ti.com やかかる テキサス・インスツルメンツ製品の関連資料などのいずれかを通じて提供する適用可能な条項の下で提供されています。テキサス・インスツルメンツがこれらのリソースを提供することは、適用される テキサス・インスツルメンツの保証または他の保証の放棄の拡大や変更を意味するものではありません。

お客様がいかなる追加条項または代替条項を提案した場合でも、テキサス・インスツルメンツはそれらに異議を唱え、拒否します。

郵送先住所：Texas Instruments, Post Office Box 655303, Dallas, Texas 75265
Copyright © 2024, Texas Instruments Incorporated

PACKAGING INFORMATION

Orderable part number	Status (1)	Material type (2)	Package | Pins	Package qty | Carrier	RoHS (3)	Lead finish/ Ball material (4)	MSL rating/ Peak reflow (5)	Op temp (°C)	Part marking (6)
AM2431BSDFHIALVR	Active	Production	FCBGA (ALV) | 441	500 | LARGE T&R	Yes	Call TI	Level-3-250C-168 HR	-40 to 125	AM2431B SDFHIALV 709
AM2431BSDFHIALVR.B	Active	Production	FCBGA (ALV) | 441	500 | LARGE T&R	Yes	Call TI	Level-3-250C-168 HR	-40 to 125	AM2431B SDFHIALV 709
AM2431BSDFHIALXR	Active	Production	FCCSP (ALX) | 293	1000 | LARGE T&R	Yes	Call TI	Level-3-250C-168 HR	-40 to 125	AM2431B SDFHIALX 709
AM2431BSDFHIALXR.B	Active	Production	FCCSP (ALX) | 293	1000 | LARGE T&R	Yes	Call TI	Level-3-250C-168 HR	-40 to 125	AM2431B SDFHIALX 709
AM2431BSDGHIALVR	Active	Production	FCBGA (ALV) | 441	500 | LARGE T&R	Yes	Call TI	Level-3-250C-168 HR	-40 to 125	AM2431B SDGHIALV 709
AM2431BSDGHIALVR.B	Active	Production	FCBGA (ALV) | 441	500 | LARGE T&R	Yes	Call TI	Level-3-250C-168 HR	-40 to 125	AM2431B SDGHIALV 709
AM2431BSDGHIALXR	Active	Production	FCCSP (ALX) | 293	1000 | LARGE T&R	Yes	Call TI	Level-3-250C-168 HR	-40 to 125	AM2431B SDGHIALX 709
AM2431BSDGHIALXR.B	Active	Production	FCCSP (ALX) | 293	1000 | LARGE T&R	Yes	Call TI	Level-3-250C-168 HR	-40 to 125	AM2431B SDGHIALX 709
AM2432BKEGHIALXR	Active	Production	FCCSP (ALX) | 293	1000 | LARGE T&R	Yes	Call TI	Level-3-250C-168 HR	-40 to 125	AM2432B KEGHIALX 709
AM2432BKEGHIALXR.B	Active	Production	FCCSP (ALX) | 293	1000 | LARGE T&R	Yes	Call TI	Level-3-250C-168 HR	-40 to 125	AM2432B KEGHIALX 709
AM2432BKFGHIALXR	Active	Production	FCCSP (ALX) | 293	1000 | LARGE T&R	Yes	Call TI	Level-3-250C-168 HR	-40 to 125	AM2432B KFGHIALX 709

Orderable part number	Status (1)	Material type (2)	Package | Pins	Package qty | Carrier	RoHS (3)	Lead finish/ Ball material (4)	MSL rating/ Peak reflow (5)	Op temp (°C)	Part marking (6)
AM2432BKFGHIALXR.B	Active	Production	FCCSP (ALX) | 293	1000 | LARGE T&R	Yes	Call TI	Level-3-250C-168 HR	-40 to 125	AM2432B KFGHIALX 709
AM2432BSDFHIALVR	Active	Production	FCBGA (ALV) | 441	500 | LARGE T&R	Yes	Call TI	Level-3-250C-168 HR	-40 to 125	AM2432B SDFHIALV 709
AM2432BSDFHIALVR.B	Active	Production	FCBGA (ALV) | 441	500 | LARGE T&R	Yes	Call TI	Level-3-250C-168 HR	-40 to 125	AM2432B SDFHIALV 709
AM2432BSDFHIALXR	Active	Production	FCCSP (ALX) | 293	1000 | LARGE T&R	Yes	Call TI	Level-3-250C-168 HR	-40 to 125	AM2432B SDFHIALX 709
AM2432BSDFHIALXR.B	Active	Production	FCCSP (ALX) | 293	1000 | LARGE T&R	Yes	Call TI	Level-3-250C-168 HR	-40 to 125	AM2432B SDFHIALX 709
AM2432BSDGHIALVR	Active	Production	FCBGA (ALV) | 441	500 | LARGE T&R	Yes	Call TI	Level-3-250C-168 HR	-40 to 125	AM2432B SDGHIALV 709
AM2432BSDGHIALVR.B	Active	Production	FCBGA (ALV) | 441	500 | LARGE T&R	Yes	Call TI	Level-3-250C-168 HR	-40 to 125	AM2432B SDGHIALV 709
AM2432BSDGHIALXR	Active	Production	FCCSP (ALX) | 293	1000 | LARGE T&R	Yes	Call TI	Level-3-250C-168 HR	-40 to 125	AM2432B SDGHIALX 709
AM2432BSDGHIALXR.B	Active	Production	FCCSP (ALX) | 293	1000 | LARGE T&R	Yes	Call TI	Level-3-250C-168 HR	-40 to 125	AM2432B SDGHIALX 709
AM2432BSEFHIALVR	Active	Production	FCBGA (ALV) | 441	500 | LARGE T&R	Yes	Call TI	Level-3-250C-168 HR	-40 to 125	AM2432B SEFHIALV 709
AM2432BSEFHIALVR.B	Active	Production	FCBGA (ALV) | 441	500 | LARGE T&R	Yes	Call TI	Level-3-250C-168 HR	-40 to 125	AM2432B SEFHIALV 709
AM2432BSEFHIALXR	Active	Production	FCCSP (ALX) | 293	1000 | LARGE T&R	Yes	Call TI	Level-3-250C-168 HR	-40 to 125	AM2432B SEFHIALX 709

Orderable part number	Status (1)	Material type (2)	Package | Pins	Package qty | Carrier	RoHS (3)	Lead finish/ Ball material (4)	MSL rating/ Peak reflow (5)	Op temp (°C)	Part marking (6)
AM2432BSEFHIALXR.B	Active	Production	FCCSP (ALX) | 293	1000 | LARGE T&R	Yes	Call TI	Level-3-250C-168 HR	-40 to 125	AM2432B SEFHIALX 709
AM2432BSFFHIALVR	Active	Production	FCBGA (ALV) | 441	500 | LARGE T&R	Yes	Call TI	Level-3-250C-168 HR	-40 to 125	AM2432B SFFHIALV 709
AM2432BSFFHIALVR.B	Active	Production	FCBGA (ALV) | 441	500 | LARGE T&R	Yes	Call TI	Level-3-250C-168 HR	-40 to 125	AM2432B SFFHIALV 709
AM2432BSFFHIALXR	Active	Production	FCCSP (ALX) | 293	1000 | LARGE T&R	Yes	Call TI	Level-3-250C-168 HR	-40 to 125	AM2432B SFFHIALX 709
AM2432BSFFHIALXR.B	Active	Production	FCCSP (ALX) | 293	1000 | LARGE T&R	Yes	Call TI	Level-3-250C-168 HR	-40 to 125	AM2432B SFFHIALX 709
AM2434BSDFHIALVR	Active	Production	FCBGA (ALV) | 441	500 | LARGE T&R	Yes	Call TI	Level-3-250C-168 HR	-40 to 125	AM2434B SDFHIALV 709
AM2434BSDFHIALVR.B	Active	Production	FCBGA (ALV) | 441	500 | LARGE T&R	Yes	Call TI	Level-3-250C-168 HR	-40 to 125	AM2434B SDFHIALV 709
AM2434BSDFHIALXR	Active	Production	FCCSP (ALX) | 293	1000 | LARGE T&R	Yes	Call TI	Level-3-250C-168 HR	-40 to 125	AM2434B SDFHIALX 709
AM2434BSDFHIALXR.B	Active	Production	FCCSP (ALX) | 293	1000 | LARGE T&R	Yes	Call TI	Level-3-250C-168 HR	-40 to 125	AM2434B SDFHIALX 709
AM2434BSDGHIALVR	Active	Production	FCBGA (ALV) | 441	500 | LARGE T&R	Yes	Call TI	Level-3-250C-168 HR	-40 to 125	AM2434B SDGHIALV 709
AM2434BSDGHIALVR.B	Active	Production	FCBGA (ALV) | 441	500 | LARGE T&R	Yes	Call TI	Level-3-250C-168 HR	-40 to 125	AM2434B SDGHIALV 709
AM2434BSDGHIALXR	Active	Production	FCCSP (ALX) | 293	1000 | LARGE T&R	Yes	Call TI	Level-3-250C-168 HR	-40 to 125	AM2434B SDGHIALX 709

Orderable part number	Status (1)	Material type (2)	Package | Pins	Package qty | Carrier	RoHS (3)	Lead finish/ Ball material (4)	MSL rating/ Peak reflow (5)	Op temp (°C)	Part marking (6)
AM2434BSDGHIALXR.B	Active	Production	FCCSP (ALX) | 293	1000 | LARGE T&R	Yes	Call TI	Level-3-250C-168 HR	-40 to 125	AM2434B SDGHIALX 709
AM2434BSEFHIALVR	Active	Production	FCBGA (ALV) | 441	500 | LARGE T&R	Yes	Call TI	Level-3-250C-168 HR	-40 to 125	AM2434B SEFHIALV 709
AM2434BSEFHIALVR.B	Active	Production	FCBGA (ALV) | 441	500 | LARGE T&R	Yes	Call TI	Level-3-250C-168 HR	-40 to 125	AM2434B SEFHIALV 709
AM2434BSEFHIALXR	Active	Production	FCCSP (ALX) | 293	1000 | LARGE T&R	Yes	Call TI	Level-3-250C-168 HR	-40 to 125	AM2434B SEFHIALX 709
AM2434BSEFHIALXR.B	Active	Production	FCCSP (ALX) | 293	1000 | LARGE T&R	Yes	Call TI	Level-3-250C-168 HR	-40 to 125	AM2434B SEFHIALX 709
AM2434BSFFHIALVR	Active	Production	FCBGA (ALV) | 441	500 | LARGE T&R	Yes	Call TI	Level-3-250C-168 HR	-40 to 125	AM2434B SFFHIALV 709
AM2434BSFFHIALVR.B	Active	Production	FCBGA (ALV) | 441	500 | LARGE T&R	Yes	Call TI	Level-3-250C-168 HR	-40 to 125	AM2434B SFFHIALV 709
AM2434BSFFHIALXR	Active	Production	FCCSP (ALX) | 293	1000 | LARGE T&R	Yes	Call TI	Level-3-250C-168 HR	-40 to 125	AM2434B SFFHIALX 709
AM2434BSFFHIALXR.B	Active	Production	FCCSP (ALX) | 293	1000 | LARGE T&R	Yes	Call TI	Level-3-250C-168 HR	-40 to 125	AM2434B SFFHIALX 709

(1) **Status:** For more details on status, see our product life cycle.

(2) **Material type:** When designated, preproduction parts are prototypes/experimental devices, and are not yet approved or released for full production. Testing and final process, including without limitation quality assurance, reliability performance testing, and/or process qualification, may not yet be complete, and this item is subject to further changes or possible discontinuation. If available for ordering, purchases will be subject to an additional waiver at checkout, and are intended for early internal evaluation purposes only. These items are sold without warranties of any kind.

(3) **RoHS values:** Yes, No, RoHS Exempt. See the TI RoHS Statement for additional information and value definition.

(4) **Lead finish/Ball material:** Parts may have multiple material finish options. Finish options are separated by a vertical ruled line. Lead finish/Ball material values may wrap to two lines if the finish value exceeds the maximum column width.

(5) **MSL rating/Peak reflow:** The moisture sensitivity level ratings and peak solder (reflow) temperatures. In the event that a part has multiple moisture sensitivity ratings, only the lowest level per JEDEC standards is shown. Refer to the shipping label for the actual reflow temperature that will be used to mount the part to the printed circuit board.

(6) **Part marking:** There may be an additional marking, which relates to the logo, the lot trace code information, or the environmental category of the part.

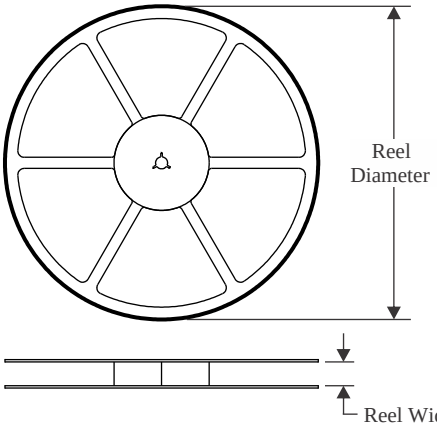
Multiple part markings will be inside parentheses. Only one part marking contained in parentheses and separated by a "~" will appear on a part. If a line is indented then it is a continuation of the previous line and the two combined represent the entire part marking for that device.

Important Information and Disclaimer: The information provided on this page represents TI's knowledge and belief as of the date that it is provided. TI bases its knowledge and belief on information provided by third parties, and makes no representation or warranty as to the accuracy of such information. Efforts are underway to better integrate information from third parties. TI has taken and continues to take reasonable steps to provide representative and accurate information but may not have conducted destructive testing or chemical analysis on incoming materials and chemicals. TI and TI suppliers consider certain information to be proprietary, and thus CAS numbers and other limited information may not be available for release.

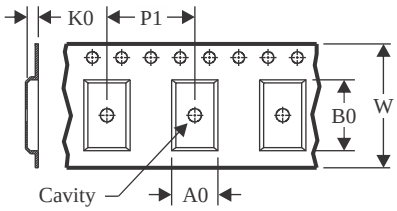
In no event shall TI's liability arising out of such information exceed the total purchase price of the TI part(s) at issue in this document sold by TI to Customer on an annual basis.

TAPE AND REEL INFORMATION

REEL DIMENSIONS

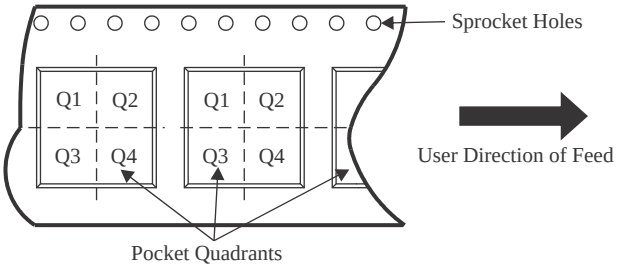


TAPE DIMENSIONS



A0	Dimension designed to accommodate the component width
B0	Dimension designed to accommodate the component length
K0	Dimension designed to accommodate the component thickness
W	Overall width of the carrier tape
P1	Pitch between successive cavity centers

QUADRANT ASSIGNMENTS FOR PIN 1 ORIENTATION IN TAPE

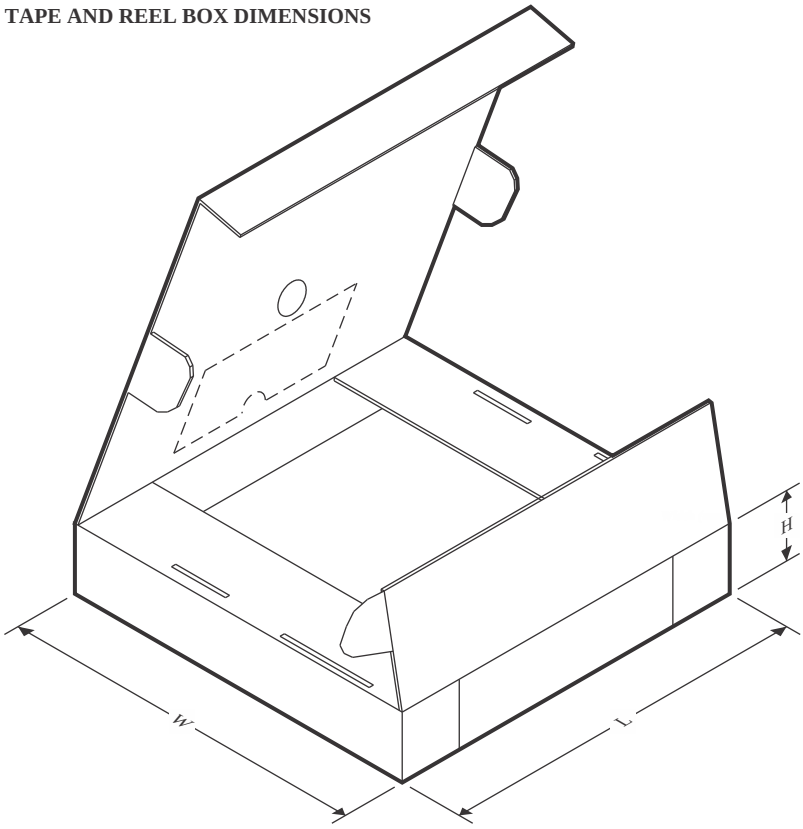


*All dimensions are nominal

Device	Package Type	Package Drawing	Pins	SPQ	Reel Diameter (mm)	Reel Width W1 (mm)	A0 (mm)	B0 (mm)	K0 (mm)	P1 (mm)	W (mm)	Pin1 Quadrant
AM2431BSDFHIALVR	FCBGA	ALV	441	500	330.0	32.4	17.6	17.6	3.74	24.0	32.0	Q1
AM2431BSDFHIALXR	FCCSP	ALX	293	1000	330.0	24.4	11.4	11.4	1.75	16.0	24.0	Q1
AM2431BSDGHIALVR	FCBGA	ALV	441	500	330.0	32.4	17.6	17.6	3.74	24.0	32.0	Q1
AM2431BSDGHIALXR	FCCSP	ALX	293	1000	330.0	24.4	11.4	11.4	1.75	16.0	24.0	Q1
AM2432BKEGHIALXR	FCCSP	ALX	293	1000	330.0	24.4	11.4	11.4	1.75	16.0	24.0	Q1
AM2432BKFGHIALXR	FCCSP	ALX	293	1000	330.0	24.4	11.4	11.4	1.75	16.0	24.0	Q1
AM2432BSDFHIALVR	FCBGA	ALV	441	500	330.0	32.4	17.6	17.6	3.74	24.0	32.0	Q1
AM2432BSDFHIALXR	FCCSP	ALX	293	1000	330.0	24.4	11.4	11.4	1.75	16.0	24.0	Q1
AM2432BSDGHIALVR	FCBGA	ALV	441	500	330.0	32.4	17.6	17.6	3.74	24.0	32.0	Q1
AM2432BSDGHIALXR	FCCSP	ALX	293	1000	330.0	24.4	11.4	11.4	1.75	16.0	24.0	Q1
AM2432BSEFHIALVR	FCBGA	ALV	441	500	330.0	32.4	17.6	17.6	3.74	24.0	32.0	Q1
AM2432BSEFHIALXR	FCCSP	ALX	293	1000	330.0	24.4	11.4	11.4	1.75	16.0	24.0	Q1
AM2432BSFFHIALVR	FCBGA	ALV	441	500	330.0	32.4	17.6	17.6	3.74	24.0	32.0	Q1
AM2432BSFFHIALXR	FCCSP	ALX	293	1000	330.0	24.4	11.4	11.4	1.75	16.0	24.0	Q1
AM2434BSDFHIALVR	FCBGA	ALV	441	500	330.0	32.4	17.6	17.6	3.74	24.0	32.0	Q1
AM2434BSDFHIALXR	FCCSP	ALX	293	1000	330.0	24.4	11.4	11.4	1.75	16.0	24.0	Q1

Device	Package Type	Package Drawing	Pins	SPQ	Reel Diameter (mm)	Reel Width W1 (mm)	A0 (mm)	B0 (mm)	K0 (mm)	P1 (mm)	W (mm)	Pin1 Quadrant
AM2434BSDGHIALVR	FCBGA	ALV	441	500	330.0	32.4	17.6	17.6	3.74	24.0	32.0	Q1
AM2434BSDGHIALXR	FCCSP	ALX	293	1000	330.0	24.4	11.4	11.4	1.75	16.0	24.0	Q1
AM2434BSEFHIALVR	FCBGA	ALV	441	500	330.0	32.4	17.6	17.6	3.74	24.0	32.0	Q1
AM2434BSEFHIALXR	FCCSP	ALX	293	1000	330.0	24.4	11.4	11.4	1.75	16.0	24.0	Q1
AM2434BSFFHIALVR	FCBGA	ALV	441	500	330.0	32.4	17.6	17.6	3.74	24.0	32.0	Q1
AM2434BSFFHIALXR	FCCSP	ALX	293	1000	330.0	24.4	11.4	11.4	1.75	16.0	24.0	Q1

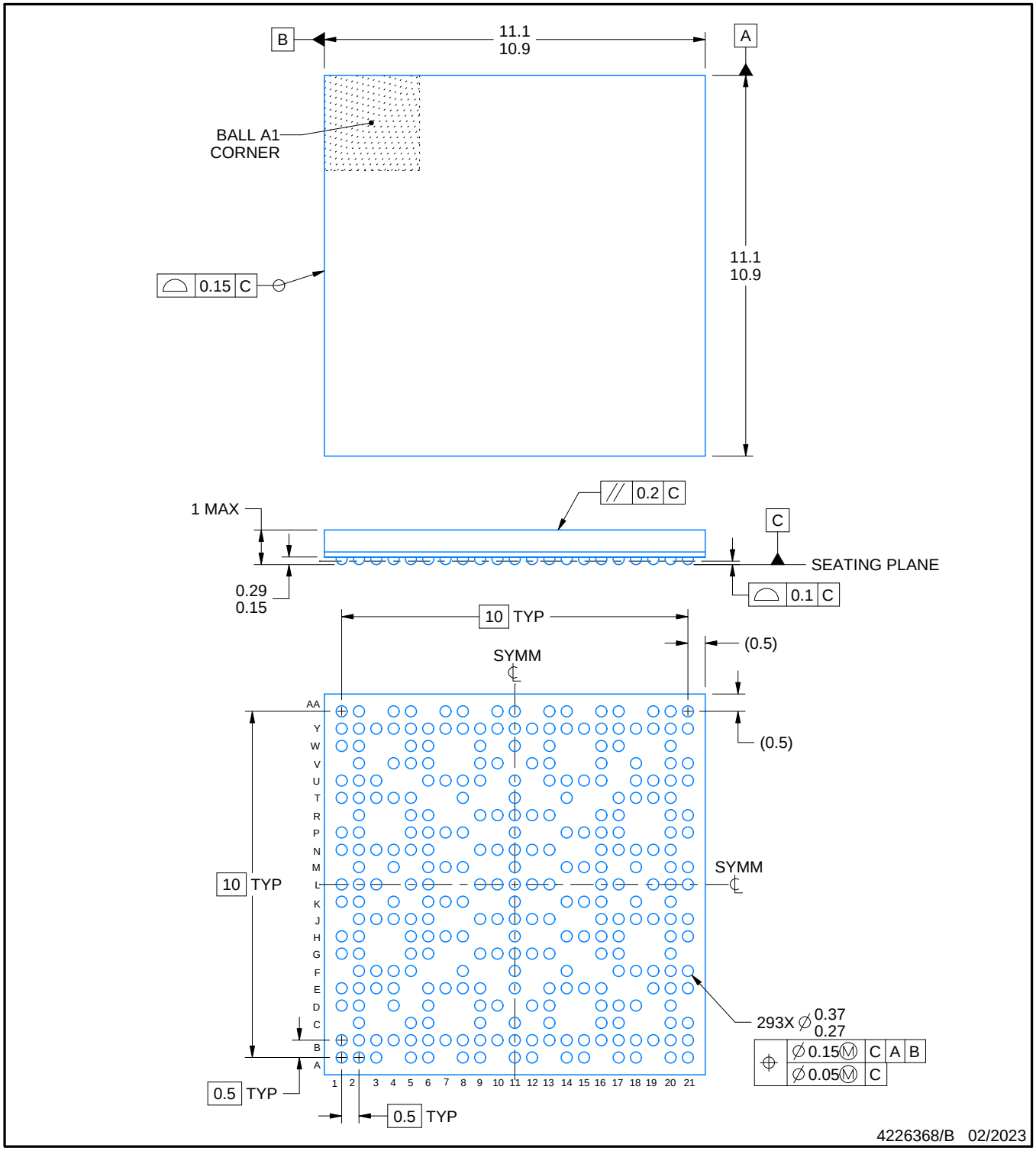
TAPE AND REEL BOX DIMENSIONS



*All dimensions are nominal

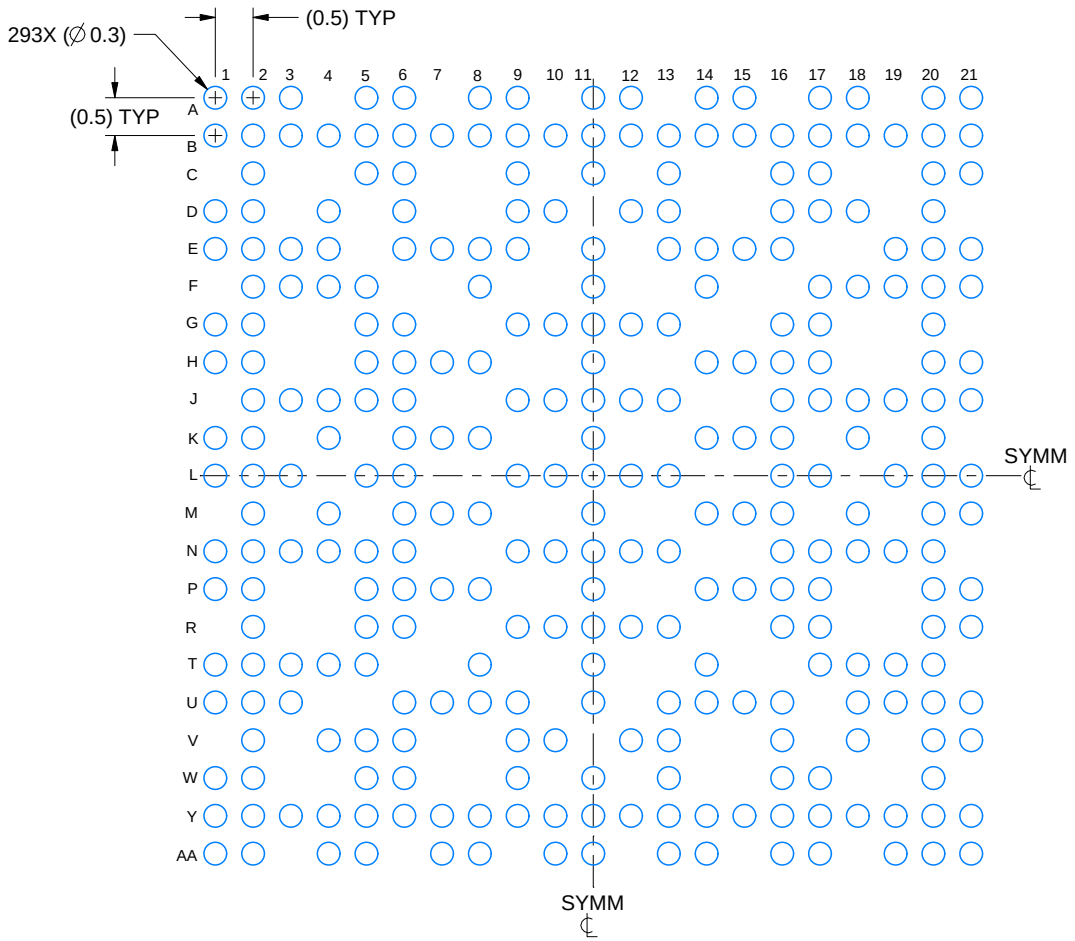
Device	Package Type	Package Drawing	Pins	SPQ	Length (mm)	Width (mm)	Height (mm)
AM2431BSDFHIALVR	FCBGA	ALV	441	500	336.6	336.6	41.3
AM2431BSDFHIALXR	FCCSP	ALX	293	1000	336.6	336.6	41.3
AM2431BSDGHIALVR	FCBGA	ALV	441	500	336.6	336.6	41.3
AM2431BSDGHIALXR	FCCSP	ALX	293	1000	336.6	336.6	41.3
AM2432BKEGHIALXR	FCCSP	ALX	293	1000	336.6	336.6	41.3
AM2432BKFGHIALXR	FCCSP	ALX	293	1000	336.6	336.6	41.3
AM2432BSDFHIALVR	FCBGA	ALV	441	500	336.6	336.6	41.3
AM2432BSDFHIALXR	FCCSP	ALX	293	1000	336.6	336.6	41.3
AM2432BSDGHIALVR	FCBGA	ALV	441	500	336.6	336.6	41.3
AM2432BSDGHIALXR	FCCSP	ALX	293	1000	336.6	336.6	41.3
AM2432BSEFHIALVR	FCBGA	ALV	441	500	336.6	336.6	41.3
AM2432BSEFHIALXR	FCCSP	ALX	293	1000	336.6	336.6	41.3
AM2432BSFFHIALVR	FCBGA	ALV	441	500	336.6	336.6	41.3
AM2432BSFFHIALXR	FCCSP	ALX	293	1000	336.6	336.6	41.3
AM2434BSDFHIALVR	FCBGA	ALV	441	500	336.6	336.6	41.3
AM2434BSDFHIALXR	FCCSP	ALX	293	1000	336.6	336.6	41.3
AM2434BSDGHIALVR	FCBGA	ALV	441	500	336.6	336.6	41.3
AM2434BSDGHIALXR	FCCSP	ALX	293	1000	336.6	336.6	41.3

Device	Package Type	Package Drawing	Pins	SPQ	Length (mm)	Width (mm)	Height (mm)
AM2434BSEFHIALVR	FCBGA	ALV	441	500	336.6	336.6	41.3
AM2434BSEFHIALXR	FCCSP	ALX	293	1000	336.6	336.6	41.3
AM2434BSFFHIALVR	FCBGA	ALV	441	500	336.6	336.6	41.3
AM2434BSFFHIALXR	FCCSP	ALX	293	1000	336.6	336.6	41.3

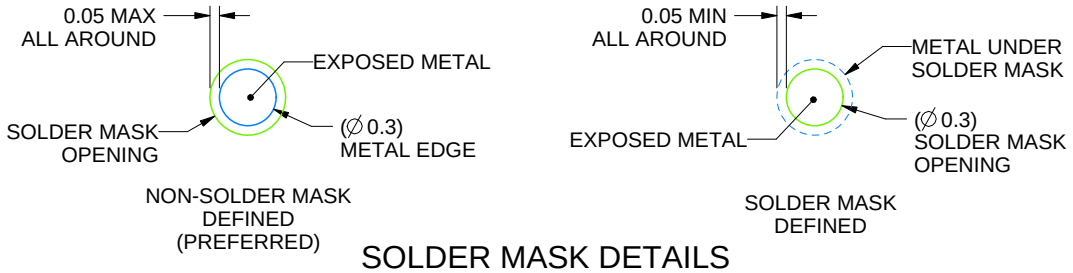


NOTES:

1. All linear dimensions are in millimeters. Any dimensions in parenthesis are for reference only. Dimensioning and tolerancing per ASME Y14.5M.
2. This drawing is subject to change without notice.



LAND PATTERN EXAMPLE
EXPOSED METAL SHOWN
SCALE: 10X

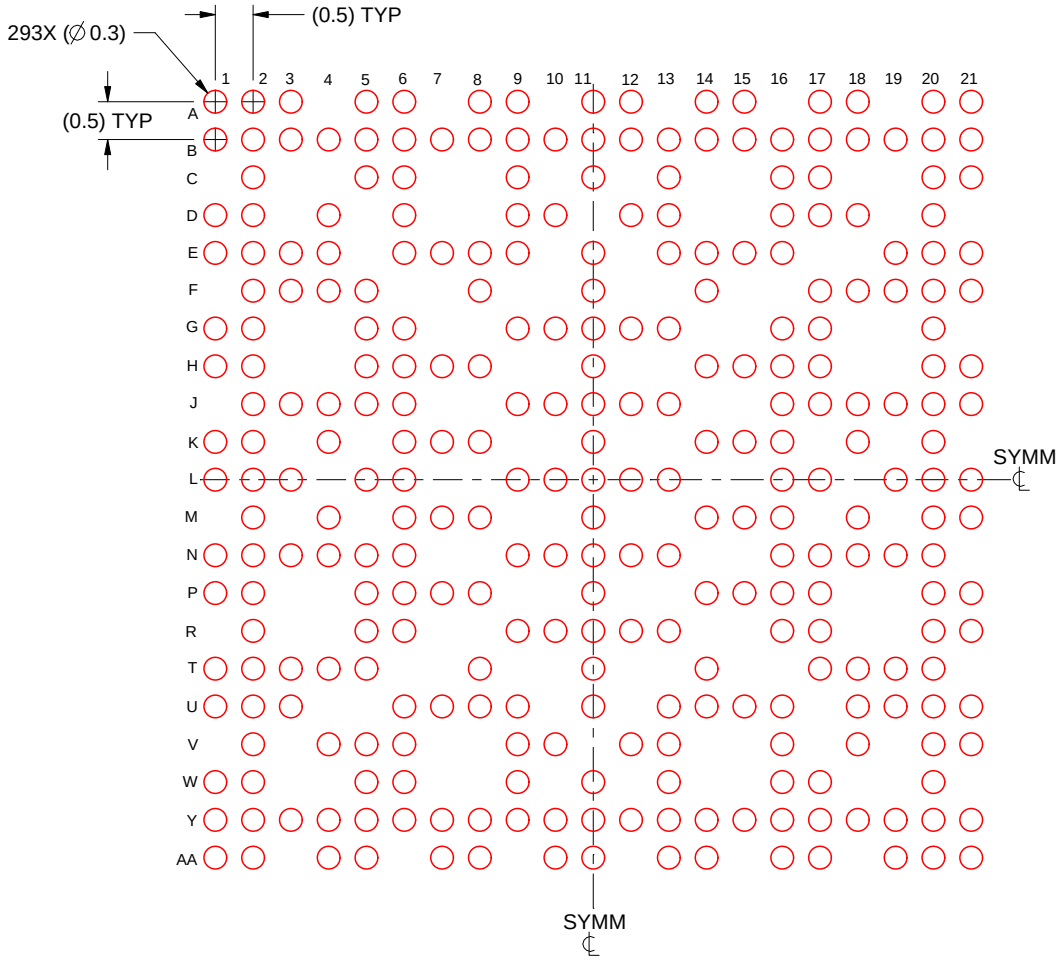


SOLDER MASK DETAILS
NOT TO SCALE

4226368/B 02/2023

NOTES: (continued)

3. Final dimensions may vary due to manufacturing tolerance considerations and also routing constraints.
   For information, see Texas Instruments literature number SPRAA99 (www.ti.com/lit/spraa99).

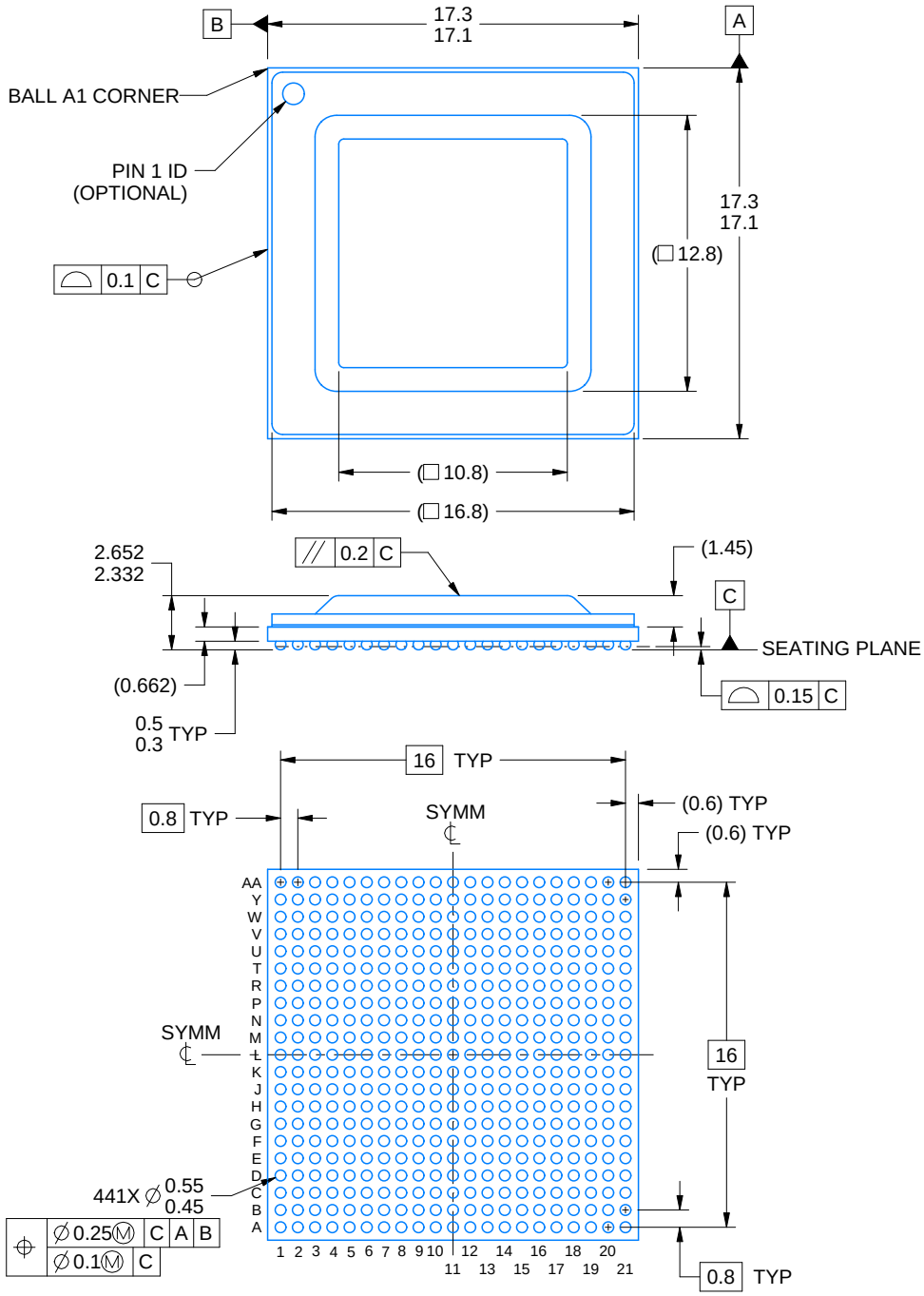


SOLDER PASTE EXAMPLE
BASED ON 0.125 mm THICK STENCIL
SCALE: 10X

4226368/B 02/2023

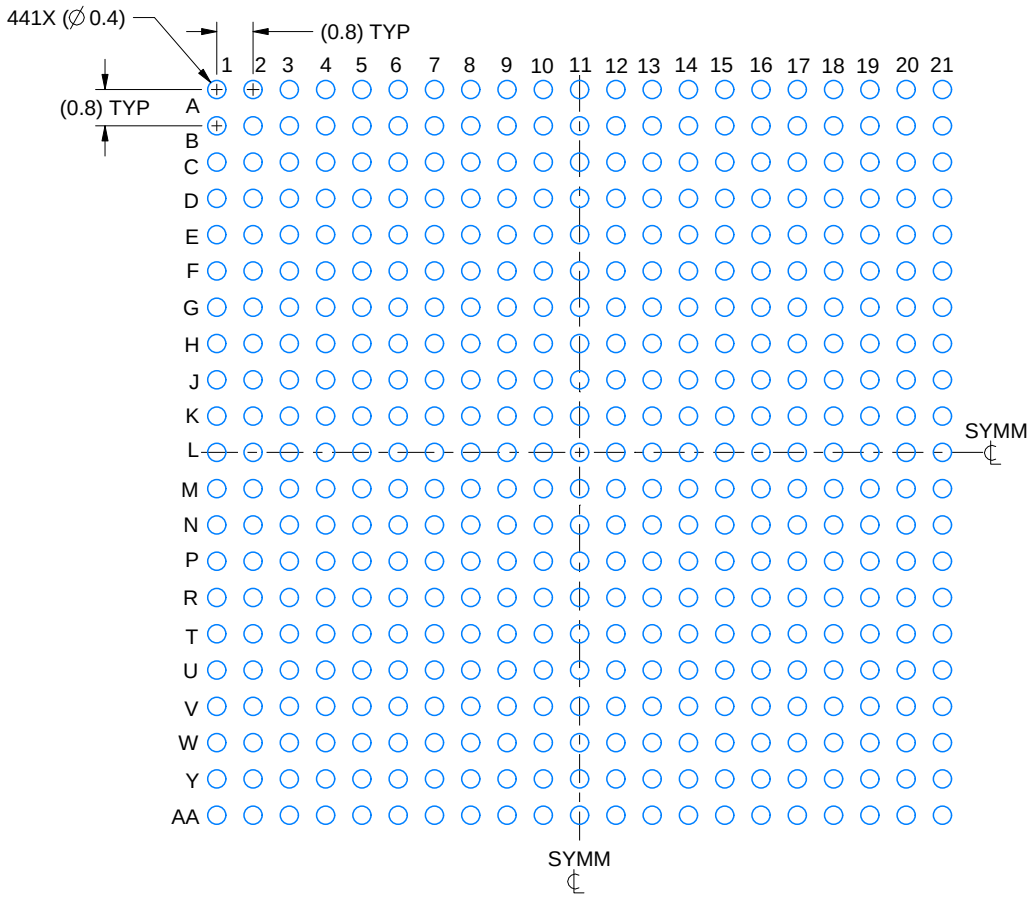
NOTES: (continued)

4. Laser cutting apertures with trapezoidal walls and rounded corners may offer better paste release.

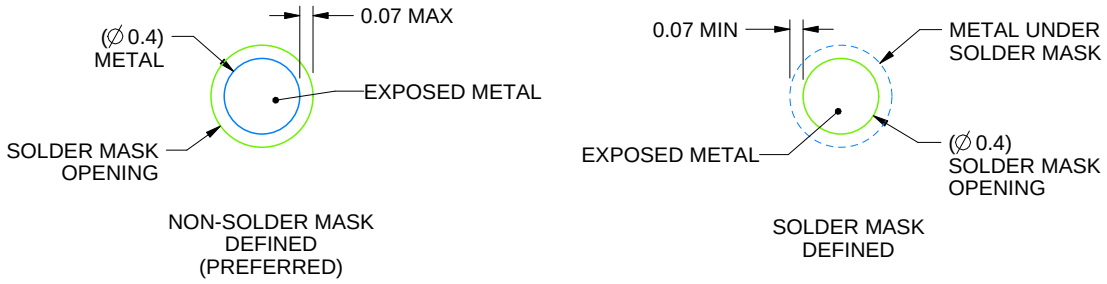


NOTES:

1. All linear dimensions are in millimeters. Any dimensions in parenthesis are for reference only. Dimensioning and tolerancing per ASME Y14.5M.
2. This drawing is subject to change without notice.



LAND PATTERN EXAMPLE
EXPOSED METAL SNOWN
SCALE:6X

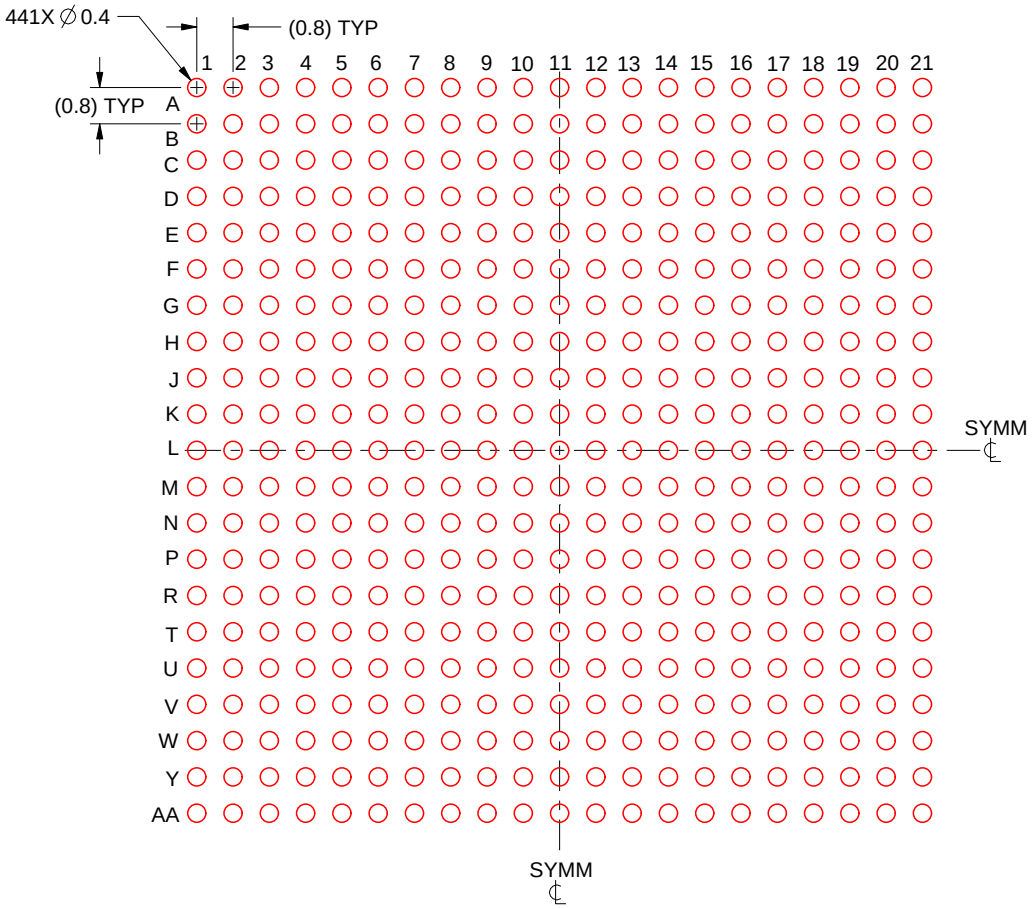


SOLDER MASK DETAILS
NOT TO SCALE

4225999/A 06/2020

NOTES: (continued)

3. Final dimensions may vary due to manufacturing tolerance considerations and also routing constraints.
   For more information, see Texas Instruments literature number SPRU811 (www.ti.com/lit/spru811).



SOLDER PASTE EXAMPLE
BASED ON 0.15 mm THICK STENCIL
SCALE: 6X

4225999/A 06/2020

NOTES: (continued)

4. Laser cutting apertures with trapezoidal walls and rounded corners may offer better paste release.

重要なお知らせと免責事項

TI は、技術データと信頼性データ (データシートを含みます)、設計リソース (リファレンス デザインを含みます)、アプリケーションや設計に関する各種アドバイス、Web ツール、安全性情報、その他のリソースを、欠陥が存在する可能性のある「現状のまま」提供しており、商品性および特定目的に対する適合性の黙示保証、第三者の知的財産権の非侵害保証を含むいかなる保証も、明示的または黙示的にかかわらず拒否します。

これらのリソースは、TI 製品を使用する設計の経験を積んだ開発者への提供を意図したものです。(1) お客様のアプリケーションに適した TI 製品の選定、(2) お客様のアプリケーションの設計、検証、試験、(3) お客様のアプリケーションに該当する各種規格や、その他のあらゆる安全性、セキュリティ、規制、または他の要件への確実な適合に関する責任を、お客様のみが単独で負うものとします。

上記の各種リソースは、予告なく変更される可能性があります。これらのリソースは、リソースで説明されている TI 製品を使用するアプリケーションの開発の目的でのみ、TI はその使用をお客様に許諾します。これらのリソースに関して、他の目的で複製することや掲載することは禁止されています。TI や第三者の知的財産権のライセンスが付与されている訳ではありません。お客様は、これらのリソースを自身で使用した結果発生するあらゆる申し立て、損害、費用、損失、責任について、TI およびその代理人を完全に補償するものとし、TI は一切の責任を拒否します。

TI の製品は、 TI の販売条件 、 TI の総合的な品質ガイドライン 、 ti.com または TI 製品などに関連して提供される他の適用条件に従い提供されます。TI がこれらのリソースを提供することは、適用される TI の保証または他の保証の放棄の拡大や変更を意味するものではありません。 TI がカスタム、またはカスタマー仕様として明示的に指定していない限り、TI の製品は標準的なカタログに掲載される汎用機器です。

お客様がいかなる追加条項または代替条項を提案する場合も、TI はそれらに異議を唱え、拒否します。

Copyright © 2025, Texas Instruments Incorporated

最終更新日：2025 年 10 月