



# AFE58JD48 16 チャンネル超音波 AFE、出力 140mW/チャンネル、 ノイズ $0.8\text{-nV}/\sqrt{\text{Hz}}$ 、16 ビット / 125MSPS ADC、JESD または LVDS イ ンターフェイス、デジタル復調器、パッシブ CW ミキサー搭載

## 1 特長

- 超音波アプリケーション用の 16 チャンネル AFE
  - プログラム可能な 4 つの TGC 設定プロファイル
- アクティブ終端付き低ノイズ・アンプ (LNA)
  - プログラム可能なゲイン: 21dB、18dB、15dB
  - リニア入力振幅: 0.37/0.5/0.71V<sub>pp</sub>
  - 最大入力振幅: 1V<sub>pp</sub>
- 電圧制御アッテネータ (VCAT)
  - 減衰範囲: 0dB~36dB
- プログラマブル・ゲイン・アンプ (PGA)
  - 18dB~27dB で 3dB 刻み
- 3 次、10~60MHz のローパス・フィルタ (LPF)
- ADC アイドル・チャンネル SNR
  - 16 ビット、125MSPS モード: 80dBFS
  - 14 ビット、80MSPS モード: 79dBFS
- 非常に優れた近接場 SNR: 74dBFS
- TGC モード JESD204B 出力
  - 140mW/Ch、 $0.8\text{nV}/\sqrt{\text{Hz}}$ 、125MSPS、16 ビット
  - 120mW/Ch、 $0.8\text{nV}/\sqrt{\text{Hz}}$ 、80MSPS、16 ビット
  - 115mW/Ch、 $0.8\text{nV}/\sqrt{\text{Hz}}$ 、65MSPS、16 ビット
  - 105mW/Ch、 $0.8\text{nV}/\sqrt{\text{Hz}}$ 、40MSPS、16 ビット
- TGC モード LVDS 出力
  - 120mW/Ch、 $0.8\text{nV}/\sqrt{\text{Hz}}$ 、80MSPS、16 ビット
  - 115mW/Ch、 $0.8\text{nV}/\sqrt{\text{Hz}}$ 、65MSPS、16 ビット
  - 150mW/Ch、 $0.8\text{nV}/\sqrt{\text{Hz}}$ 、125MSPS、16 ビット、2  
による間引き、LVDS 0.5x モード
- CW モード: 63mW/Ch、 $1.15\text{nV}/\sqrt{\text{Hz}}$
- $\pm 0.4\text{dB}$  (標準値) のデバイス間ゲインばらつき
- 高速で安定した過負荷回復
- 連続波形 (CW) パス

- 位相ノイズ:  $-159\text{dBc}/\text{Hz}$  (キャリアから 1kHz 離調)
- 位相分解能:  $\lambda/16$
- 16x および 8x CW クロックをサポート
- 3 次および 5 次高調波の抑制: 12dB
- データ圧縮機能付きデジタル I/Q 復調器
  - フラクショナル間引きフィルタ:  $M = 1 \sim 63$ 、増分 0.25
  - 32 のプリセット・プロファイルを持つオンチップ RAM
- 最高速度 1.28Gbps の LVDS インターフェイス
- 10Gbps の JESD204B サブクラス 0、1、2
  - 10cm の PCB 配線で最高 12.8Gbps
  - JESD レーンごとに 2、4、8 チャンネル

## 2 アプリケーション

- 医療用超音波画像処理
- 高周波超音波イメージング
- 非破壊検査 (NDT)
- ソナー、レーダー、LIDAR イメージング機器
- マルチチャンネルのデータ取得

## 3 概要

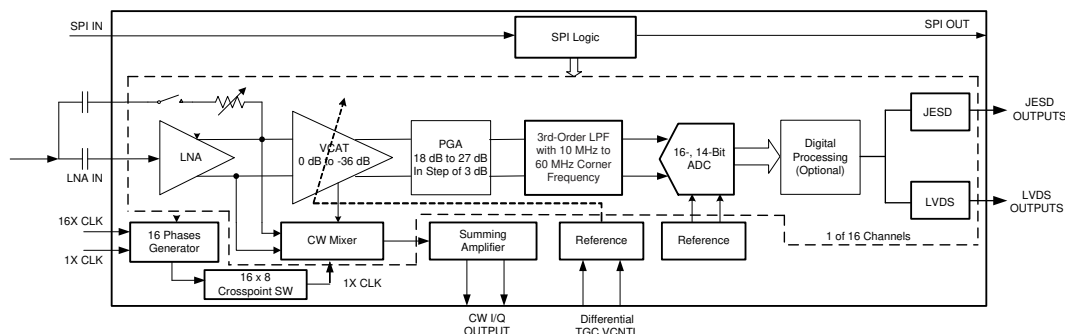
AFE58JD48 デバイスは、高品質超音波システムに特化して設計された高集積アナログ・フロントエンド (AFE) ソリューションです。

### 製品情報<sup>(1)</sup>

型番	パッケージ	本体サイズ (公称)
AFE58JD48	NFBGA (289)	15.00mm×15.00mm

(1) 利用可能なすべてのパッケージについては、このデータシートの末尾にあるパッケージ・オプションについての付録を参照してください。

### ブロック概略図



## 4 改訂履歴

2019年10月発行のものから更新

Page

- 
- デバイスを事前情報から量産データに変更..... 1
-

## 5 概要 (続き)

AFE58JD48 は、高品質医療用超音波アプリケーション向けに最適化された統合 AFE です。このデバイスは、3 つのダイ (1 つの 16-ch 電圧制御アンプ (VCA) と 2 つの 8-ch アナログ/デジタル・コンバータ (ADC)) によるマルチチップ・モジュール (MCM) で実現されています。

VCAダイの各チャネルは、時間ゲイン補償(TGC)モード、または連続波形(CW)モードに設定できます。TGCモードでは、各チャネルに低ノイズのアンプ(LNA)、電圧制御アッテネータ(VCAT)、プログラム可能なゲイン・アンプ(PGA)、3次のローパス・フィルタ(LPF)が含まれます。LNAのゲインは、21dB、18dB、15dBにプログラム可能です。また、LNAはアクティブ・ターミネーションをサポートしています。VCATは0dB～36dBの減衰範囲をサポートし、アナログ電圧制御により減衰を実行します。PGAのゲイン・オプションは、3dB単位で18dB～27dBです。LPF のカットオフ周波数は、各種の周波数の超音波アプリケーション、特に新しい高周波数超音波イメージング・アプリケーションに対応するため、10MHz～60MHz に設定できます。CWモードでは、LNAの出力は低消費電力のパス・ミキサーに送られ、16種類の位相遅延を選択できます。その後で出力は、バンドパス・フィルタ付きの加算アンプへ送られます。それぞれのアナログ入力信号へ各種の位相遅延を適用することで、オンチップのビームフォーミングを実行できます。CWミキサーの高調波フィルタは、3次および5次の高調波を抑制し、CWドップラー測定感度を向上させます。

ADC ダイは、16 ビットまたは 14 ビットの分解能で動作するよう設定できます。この ADC は、最高 12.8Gbps で動作する JESD204B インターフェイスを主にサポートしており、多チャネル数システムでの回路基板の配線の課題を軽減します。ADC の出力インターフェイスは、低コストのフィールド・プログラマブル・ゲート・アレイ (FPGA) と簡単に接続できる小振幅差動信号方式 (LVDS: Low Voltage Differential Signaling) としても設定できます。この ADC は、最高 125MSPS、16 ビットの速度で動作し、デジタル・データを JESD204B インターフェイスで送信します。LVDS インターフェイスを使用する場合、この ADC のサンプリング速度と分解能は 1.28Gbps (16 ビット分解能で 80MSPS) の LVDS 出力レートで制限されます。この場合、14 ビット分解能の ADC を構成することで、同じ出力データ・レートを維持しながら、より高速でサンプリングできます。ADC は、サンプリング速度に合わせて電力がスケールされるように設計されています。

AFE58JD48 は、追加のデジタル復調器ブロックを備えています。デジタル同相および直交 (I/Q) 復調器とプログラム可能な間引きフィルタにより、計算量の多いアルゴリズムを低消費電力で高速化できます。

このデバイスは、システム性能を最適化するため、各種の電力とノイズの組み合わせを選択できます。このため、壁コンセントまたはバッテリーで電力を供給する高品質システムの超音波 AFE ソリューションに適しています。

このデバイスは 15mm × 15mm の NFBGA-289 パッケージで供給され、AFE58JD28 および AFE58JD18 デバイスとピン互換です。

## 6 デバイスおよびドキュメントのサポート

### 6.1 ドキュメントのサポート

#### 6.1.1 関連資料

関連資料については、以下を参照してください。

- 『[AFE5828 16 チャンネル超音波 AFE、電力 102mW/チャンネル、ノイズ 0.8nV/√Hz、14 ビット / 65MSPS または 12ビット / 80MSPS ADC、およびパッシブ CW ミキサー](#)』
- 『[AFE58JD28 16 チャンネル超音波 AFE、電力 102mW/チャンネル、ノイズ 0.8nV/√Hz、14 ビット / 65MSPS または 12ビット / 80MSPS ADC、およびパッシブ CW ミキサー](#)』
- 『[AFE5818 16チャンネル、超音波アナログ・フロントエンド、電力140mW/チャンネル、ノイズ0.75nV/√Hz、14ビット / 65MSPSまたは12ビット/80MSPS ADC、およびパッシブCWミキサー](#)』
- 『[AFE5816 16チャンネル、超音波AFE、電力90mW/チャンネル、ノイズ1nV/√Hz、14ビット/65MSPSまたは12ビット / 80MSPS ADC、およびパッシブCWミキサー](#)』
- 『[AFE58JD18 16チャンネル、超音波AFE、14ビット/65MSPSまたは12ビット/80MSPS ADC、パッシブCWミキサー、I/Q 復調器、およびLVDS、JESD204B出力](#)』
- 『[TLV5626 内部基準電圧およびパワー・ダウン搭載、2.7V~5.5Vの低消費電力デュアル8ビット・デジタル/アナログ・コンバータ](#)』
- 『[DAC7821 12ビット、並列入力、マルチプライ・デジタル/アナログ・コンバータ](#)』
- 『[THS413x 高速、低ノイズ、完全差動I/Oアンプ](#)』
- 『[OPA1632 高性能、完全差動オーディオ・オペアンプ](#)』
- 『[広帯域の差動トランスインピーダンスDAC出力](#)』
- 『[LMK0482x 超低ノイズ、JESD204B準拠のクロック・ジッタ・クリーナ、デュアル・ループPLL搭載](#)』
- 『[CDCM7005 3.3V、高性能クロック・シンクロナイザ/ジッタ・クリーナ](#)』
- 『[CDCE72010 10出力の高性能クロック・シンセサイザ、ジッタ・クリーナ、およびクロック分配器](#)』
- 『[OPA2x11 ノイズ1.1nV/√Hz、低消費電力、高精度オペアンプ](#)』
- 『[ADS8413 16ビット、2MSPS、LVDSシリアル・インターフェイス、SARアナログ/デジタル・コンバータ](#)』
- 『[ADS8472 16ビット、1MSPS、疑似バイポーラ、完全差動入力、Micropowerサンプリングのアナログ/デジタル・コンバータ、パラレル・インターフェイスおよび基準電圧搭載](#)』
- 『[高速データ・コンバータのクロック処理](#)』テクニカル・ブリーフ
- 『[ISO724x 高速、クワッド・チャンネルのデジタル・アイソレータ](#)』
- 『[SN74AUP1T04 低消費電力、1.8/2.5/3.3V入力、3.3V CMOS出力、シングル・インバータ・ゲート](#)』
- 『[MicroStar BGA パッケージング・リファレンス・ガイド](#)』

### 6.2 ドキュメントの更新通知を受け取る方法

ドキュメントの更新についての通知を受け取るには、[ti.com](http://ti.com)のデバイス製品フォルダを開いてください。右上の「アラートを受け取る」をクリックして登録すると、変更されたすべての製品情報に関するダイジェストを毎週受け取れます。変更の詳細については、修正されたドキュメントに含まれている改訂履歴をご覧ください。

### 6.3 サポート・リソース

[TI E2E™ support forums](#) are an engineer's go-to source for fast, verified answers and design help — straight from the experts. Search existing answers or ask your own question to get the quick design help you need.

Linked content is provided "AS IS" by the respective contributors. They do not constitute TI specifications and do not necessarily reflect TI's views; see TI's [Terms of Use](#).

### 6.4 商標

E2E is a trademark of Texas Instruments.

All other trademarks are the property of their respective owners.

## 6.5 静電気放電に関する注意事項



これらのデバイスは、限定的なESD(静電破壊)保護機能を内蔵しています。保存時または取り扱い時は、MOSゲートに対する静電破壊を防止するために、リード線同士をショートさせておくか、デバイスを導電フォームに入れる必要があります。

## 6.6 Glossary

[SLYZ022](#) — *TI Glossary*.

This glossary lists and explains terms, acronyms, and definitions.

## 7 メカニカル、パッケージ、および注文情報

以降のページには、メカニカル、パッケージ、および注文に関する情報が記載されています。この情報は、そのデバイスについて利用可能な最新のデータです。このデータは予告なく変更されることがあり、ドキュメントが改訂される場合もあります。本データシートのブラウザ版を使用されている場合は、画面左側の説明をご覧ください。

## PACKAGING INFORMATION

Orderable part number	Status (1)	Material type (2)	Package   Pins	Package qty   Carrier	RoHS (3)	Lead finish/ Ball material (4)	MSL rating/ Peak reflow (5)	Op temp (°C)	Part marking (6)
<a href="#">AFE58JD48ZAV</a>	Active	Production	NFBGA (ZAV)   289	126   JEDEC TRAY (5+1)	Yes	SNAGCU	Level-3-260C-168 HR	0 to 85	AFE58JD48
AFE58JD48ZAV.A	Active	Production	NFBGA (ZAV)   289	126   JEDEC TRAY (5+1)	Yes	SNAGCU	Level-3-260C-168 HR	0 to 85	AFE58JD48
AFE58JD48ZAV.B	Active	Production	NFBGA (ZAV)   289	126   JEDEC TRAY (5+1)	-	Call TI	Call TI	0 to 85	

<sup>(1)</sup> **Status:** For more details on status, see our [product life cycle](#).

<sup>(2)</sup> **Material type:** When designated, preproduction parts are prototypes/experimental devices, and are not yet approved or released for full production. Testing and final process, including without limitation quality assurance, reliability performance testing, and/or process qualification, may not yet be complete, and this item is subject to further changes or possible discontinuation. If available for ordering, purchases will be subject to an additional waiver at checkout, and are intended for early internal evaluation purposes only. These items are sold without warranties of any kind.

<sup>(3)</sup> **RoHS values:** Yes, No, RoHS Exempt. See the [TI RoHS Statement](#) for additional information and value definition.

<sup>(4)</sup> **Lead finish/Ball material:** Parts may have multiple material finish options. Finish options are separated by a vertical ruled line. Lead finish/Ball material values may wrap to two lines if the finish value exceeds the maximum column width.

<sup>(5)</sup> **MSL rating/Peak reflow:** The moisture sensitivity level ratings and peak solder (reflow) temperatures. In the event that a part has multiple moisture sensitivity ratings, only the lowest level per JEDEC standards is shown. Refer to the shipping label for the actual reflow temperature that will be used to mount the part to the printed circuit board.

<sup>(6)</sup> **Part marking:** There may be an additional marking, which relates to the logo, the lot trace code information, or the environmental category of the part.

Multiple part markings will be inside parentheses. Only one part marking contained in parentheses and separated by a "~" will appear on a part. If a line is indented then it is a continuation of the previous line and the two combined represent the entire part marking for that device.

**Important Information and Disclaimer:** The information provided on this page represents TI's knowledge and belief as of the date that it is provided. TI bases its knowledge and belief on information provided by third parties, and makes no representation or warranty as to the accuracy of such information. Efforts are underway to better integrate information from third parties. TI has taken and continues to take reasonable steps to provide representative and accurate information but may not have conducted destructive testing or chemical analysis on incoming materials and chemicals. TI and TI suppliers consider certain information to be proprietary, and thus CAS numbers and other limited information may not be available for release.

In no event shall TI's liability arising out of such information exceed the total purchase price of the TI part(s) at issue in this document sold by TI to Customer on an annual basis.

## TRAY



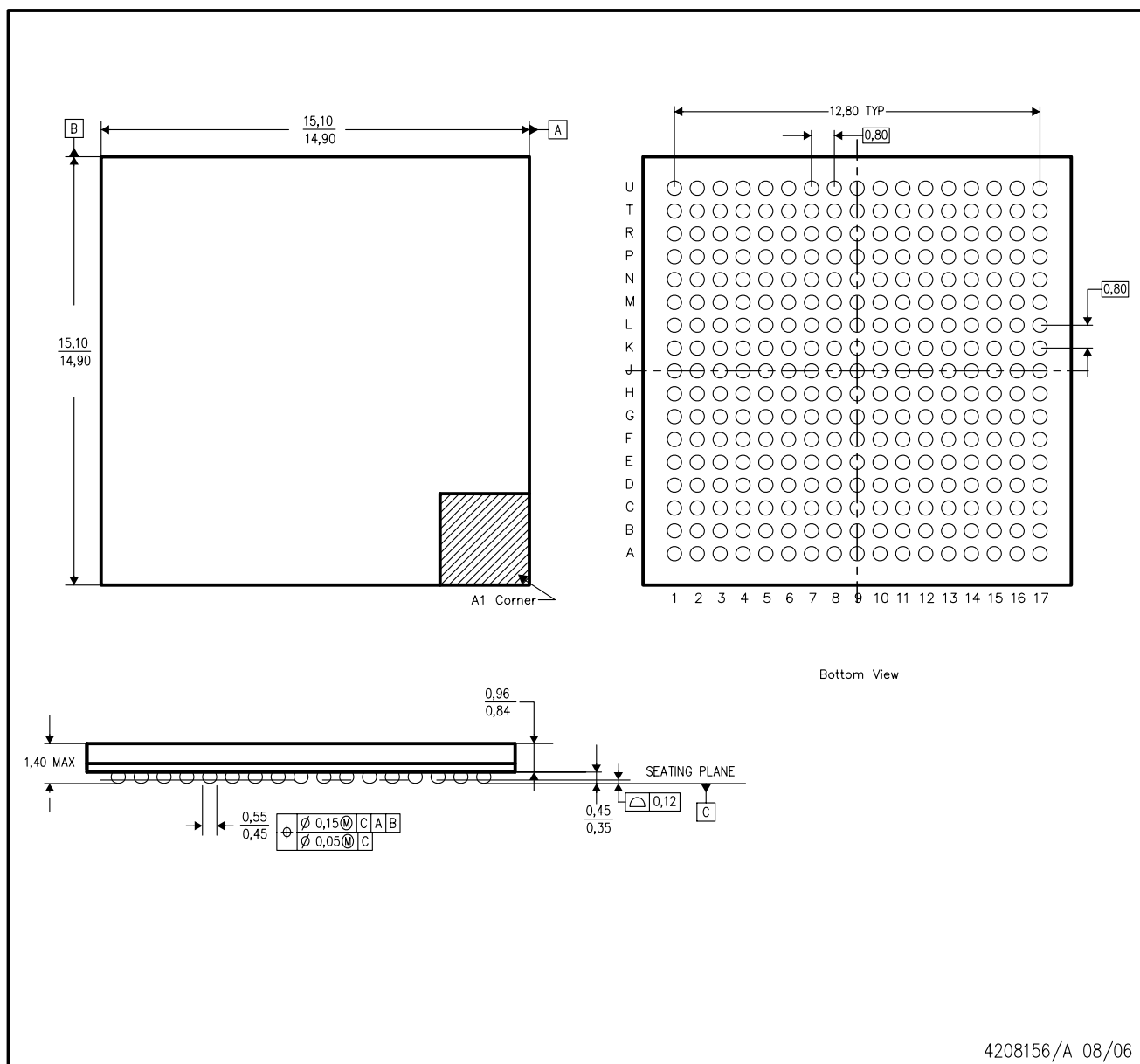
Chamfer on Tray corner indicates Pin 1 orientation of packed units.

\*All dimensions are nominal

Device	Package Name	Package Type	Pins	SPQ	Unit array matrix	Max temperature (°C)	L (mm)	W (mm)	K0 (μm)	P1 (mm)	CL (mm)	CW (mm)
AFE58JD48ZAV	ZAV	NFBGA	289	126	7 X 18	150	315	135.9	7620	17.2	11.3	16.35
AFE58JD48ZAV.A	ZAV	NFBGA	289	126	7 X 18	150	315	135.9	7620	17.2	11.3	16.35

## ZAV (S-PBGA-N289)

## PLASTIC BALL GRID ARRAY



- NOTES:
- A. All linear dimensions are in millimeters.
  - B. This drawing is subject to change without notice.
  - C. This is a lead-free solder ball design.



## 重要なお知らせと免責事項

TI は、技術データと信頼性データ (データシートを含みます)、設計リソース (リファレンス デザインを含みます)、アプリケーションや設計に関する各種アドバイス、Web ツール、安全性情報、その他のリソースを、欠陥が存在する可能性のある「現状のまま」提供しており、商品性および特定目的に対する適合性の黙示保証、第三者の知的財産権の非侵害保証を含むいかなる保証も、明示的または黙示的にかかわらず拒否します。

これらのリソースは、TI 製品を使用する設計の経験を積んだ開発者への提供を意図したものです。(1) お客様のアプリケーションに適した TI 製品の選定、(2) お客様のアプリケーションの設計、検証、試験、(3) お客様のアプリケーションに該当する各種規格や、その他のあらゆる安全性、セキュリティ、規制、または他の要件への確実な適合に関する責任を、お客様のみが単独で負うものとし、TI は一切の責任を拒否します。

上記の各種リソースは、予告なく変更される可能性があります。これらのリソースは、リソースで説明されている TI 製品を使用するアプリケーションの開発の目的でのみ、TI はその使用をお客様に許諾します。これらのリソースに関して、他の目的で複製することや掲載することは禁止されています。TI や第三者の知的財産権のライセンスが付与されている訳ではありません。お客様は、これらのリソースを自身で使用した結果発生するあらゆる申し立て、損害、費用、損失、責任について、TI およびその代理人を完全に補償するものとし、TI は一切の責任を拒否します。

TI の製品は、[TI の販売条件](#)、[TI の総合的な品質ガイドライン](#)、[ti.com](#) または TI 製品などに関連して提供される他の適用条件に従い提供されます。TI がこれらのリソースを提供することは、適用される TI の保証または他の保証の放棄の拡大や変更を意味するものではありません。TI がカスタム、またはカスタマー仕様として明示的に指定していない限り、TI の製品は標準的なカタログに掲載される汎用機器です。

お客様がいかなる追加条項または代替条項を提案する場合も、TI はそれらに異議を唱え、拒否します。

Copyright © 2025, Texas Instruments Incorporated

最終更新日：2025 年 10 月