

AFEEx3004W 10 ビット、12 ビット、クワッド電圧および電流出力、10 ビット ADC、スマート AFE、DSBGA パッケージ

1 特長

- 柔軟な構成でプログラム可能な電圧または電流出力:
 - 電圧出力:
 - 1LSB DNL
 - 1×、1.5×、2×、3×、4× のゲイン
 - 電流出力:
 - 1LSB INL および DNL (8 ビット)
 - 25µA ~ 250µA のユニポーラおよびバイポーラ出力範囲オプション
- 10 ビット ADC 入力
 - 2LSB INL, 1LSB DNL
- すべてのチャネルでコンパレータ モードをプログラム可能
- VDD オフ時はハイインピーダンス出力
- ハイインピーダンスまたは抵抗性プルダウンのパワーダウン モード
- 50MHz SPI 互換インターフェイス
- I²C、SPI、PMBus[®] インターフェイスを自動検出
 - 1.62V V_{IH} (V_{DD} = 5.5V の場合)
- 汎用入出力 (GPIO) をさまざまな機能に構成可能
- あらかじめ定義された波形生成: 正弦波、三角波、のこぎり波
- ユーザーがプログラム可能な不揮発性メモリ (NVM)
- 基準電圧として、内部、外部または電源を使用可能
- 広い動作範囲:
 - 電源: 1.8V ~ 5.5V
 - 温度範囲: -40°C ~ +125°C
- 超小型パッケージ: 16 ピン DSBGA (1.76mm × 1.76mm)

2 アプリケーション

- 光学モジュール
- 標準的ノート PC

3 説明

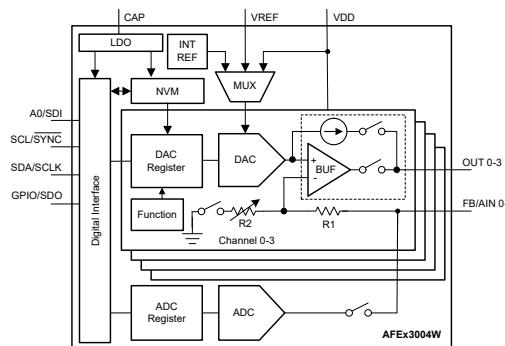
10 ビット AFE53004W および 12 ビット AFE63004W (AFEEx3004W) は、4 チャネル、超低消費電力のスマートアナログ フロントエンド (AFE) デバイス ファミリです。これらのデバイスは、1 つの共有 10 ビット アナログ/デジタルコンバータ (ADC) と 4 つの独立したチャネルを備えています。各チャネルは、バッファ付き電圧出力の D/A コンバータ (DAC)、プログラム可能な電流出力 DAC、または共有 ADC への入力として個別に構成可能です。このデバイスは、ハイインピーダンスのパワーダウン モードと、電源オフ状態でのハイインピーダンス出力をサポートしています。アナログ出力は、プログラマブルなコンパレータおよび電流シンクとして使用するためのフォース センス オプションを備えています。このスマート AFE は、多機能 GPIO、関数生成、NVM によって、プロセッサレス アプリケーションや設計の再利用を実現できます。I²C、PMBus、SPI を自動的に検出します。また、内部リファレンスを搭載しています。

スマート AFE の柔軟性と機能セットを、超小型パッケージと超低動作電力と組み合わせることで、これらのデバイスは小型のバッテリ駆動システムに最適です。

製品情報

部品番号	分解能	パッケージ ⁽¹⁾
AFE53004W	10 ビット	YBH (DSBGA、16)
AFE63004W	12 ビット	

(1) 詳細については、セクション 11 を参照してください。



概略ブロック図



このリソースの元の言語は英語です。翻訳は概要を便宜的に提供するもので、自動化ツール (機械翻訳) を使用していることがあり、TI では翻訳の正確性および妥当性につきましては一切保証いたしません。実際の設計などの前には、ti.com で必ず最新の英語版をご参照くださいますようお願いいたします。

目次

1 特長	1	7.8 DAC-X-DATA レジスタ (アドレス = 19h、1Ah、1Bh、1Ch) [リセット = 0000h].....	73
2 アプリケーション	1	7.9 ADC-CONFIG-TRIG レジスタ (アドレス = 1Dh) [リセット = 0000h].....	74
3 説明	1	7.10 ADC-DATA レジスタ (アドレス = 1Eh) [リセット = 0000h].....	75
4 ピン構成および機能	3	7.11 COMMON-CONFIG レジスタ (アドレス = 1Fh) [リセット = 0FFFh].....	75
5 仕様	5	7.12 COMMON-TRIGGER レジスタ (アドレス = 20h) [リセット = 0000h].....	77
5.1 絶対最大定格.....	5	7.13 COMMON-DAC-TRIG レジスタ (アドレス = 21h) [リセット = 0000h].....	78
5.2 ESD 定格.....	5	7.14 GENERAL-STATUS レジスタ (アドレス = 22h) [リセット = 00h、DEVICE-ID、VERSION-ID].....	79
5.3 推奨動作条件.....	5	7.15 CMP-STATUS レジスタ (アドレス = 23h) [リセット = 0000h].....	80
5.4 熱に関する情報.....	5	7.16 GPIO-CONFIG レジスタ (アドレス = 24h) [リセット = 0000h].....	80
5.5 電気的特性、電圧出力.....	6	7.17 DEVICE-MODE-CONFIG レジスタ (アドレス = 25h) [リセット = 0000h].....	82
5.6 電気的特性、電流出力.....	8	7.18 INTERFACE-CONFIG レジスタ (アドレス = 26h) [リセット = 0000h].....	82
5.7 電気的特性、コンパレータ モード.....	9	7.19 SRAM-CONFIG レジスタ (アドレス = 2Bh) [リセット = 0000h].....	83
5.8 電気的特性、ADC 入力.....	9	7.20 SRAM-DATA レジスタ (アドレス = 2Ch) [リセット = 0000h].....	83
5.9 電気的特性、一般論.....	11	7.21 DAC-X-DATA-8BIT レジスタ (アドレス = 40h、41h、42h、43h) [リセット = 0000h].....	84
5.10 タイミング要件、I ² C 標準モード.....	12	7.22 BRDCAST-DATA レジスタ (アドレス = 50h) [リセット = 0000h].....	84
5.11 タイミング要件、I ² C 高速モード.....	12	7.23 PMBUS ページ レジスタ [リセット = 0300h].....	84
5.12 タイミング要件、I ² C 高速モード プラス.....	12	7.24 PMBUS-OP-CMD-X レジスタ [リセット = 0000h].....	85
5.13 タイミング要件、SPI 書き込み動作.....	13	7.25 PMBUS-CML レジスタ [リセット = 0000h].....	85
5.14 タイミング要件、SPI 読み出しおよびデイジーチェーン動作 (FSDO = 0).....	13	7.26 PMBUS バージョン レジスタ [リセット = 2200h].....	85
5.15 タイミング要件、SPI 読み出しおよびデイジーチェーン動作 (FSDO = 1).....	13	8 アプリケーションと実装	87
5.16 タイミング要件、GPIO.....	15	8.1 アプリケーション情報.....	87
5.17 タイミング図.....	15	8.2 代表的なアプリケーション.....	87
5.18 代表的特性: 電圧出力.....	17	8.3 電源に関する推奨事項.....	91
5.19 代表的特性: 電流出力.....	22	8.4 レイアウト.....	91
5.20 代表的特性: ADC.....	26	9 デバイスおよびドキュメントのサポート	92
5.21 代表的特性: コンパレータ.....	28	9.1 ドキュメントのサポート.....	92
5.22 代表的特性: 総則.....	29	9.2 ドキュメントの更新通知を受け取る方法.....	92
6 詳細説明	30	9.3 サポート・リソース.....	92
6.1 概要.....	30	9.4 商標.....	92
6.2 機能ブロック図.....	31	9.5 静電気放電に関する注意事項.....	92
6.3 機能説明.....	32	9.6 用語集.....	92
6.4 デバイスの機能モード.....	34	10 改訂履歴	92
6.5 プログラミング.....	52	11 メカニカル、パッケージ、および注文情報	93
7 レジスタ マップ	62		
7.1 NOP レジスタ (アドレス = 00h) [リセット = 0000h].....	67		
7.2 DAC-X-MARGIN-HIGH レジスタ (アドレス = 01h、07h、0Dh、13h) [リセット = 0000h].....	67		
7.3 DAC-X-MARGIN-LOW レジスタ (アドレス = 02h、08h、0Eh、14h) [リセット = 0000h].....	67		
7.4 DAC-X-VOUT-CMP-CONFIG レジスタ (アドレス = 03h、09h、0Fh、15h) [リセット = 0000h].....	68		
7.5 DAC-X-IOUT-MISC-CONFIG レジスタ (アドレス = 04h、0Ah、10h、16h) [リセット = 0000h].....	69		
7.6 DAC-X-CMP-MODE-CONFIG レジスタ (アドレス = 05h、0Bh、11h、17h) [リセット = 0000h].....	69		
7.7 DAC-X-FUNC-CONFIG レジスタ (アドレス = 06h、0Ch、12h、18h) [リセット = 0000h].....	70		

4 ピン構成および機能

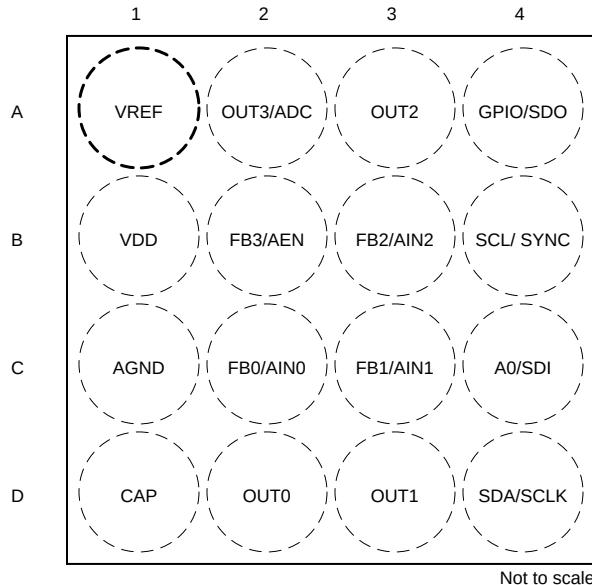


図 4-1. YBH パッケージ、16 ピン DSBGA (上面図)

表 4-1. ピンの機能

番号	ピン 名称	タイプ	説明
A1	VREF	電源	外部基準電圧入力ピン (1) VREF と AGND の間にコンデンサ (おおよそ $0.1\mu\text{F}$) を接続します。 外部基準電圧を使用しない場合は、VDD にプルアップ抵抗を使用します。このピンは、VDD より前に上昇させないでください。外部基準電圧を使用する場合は、必ず VDD の後にリファレンス電圧が上昇します。
A2	OUT3/ADC	出力	電圧または電流出力モードでの DAC チャネル 3 からのアナログ出力。ADC モードで ADC チャネル 3 への入力。
A3	OUT2	出力	DAC チャネル 2 からのアナログ出力。ADC モードでは接続なし、フローティングのままにします。
A4	GPIO/SDO	入力 / 出力	LDAC、PD、PROTECT、RESET、SDO、STATUS として構成可能な汎用入出力。STATUS および SDO の場合、外部プルアップ抵抗を使用してピンを IO 電圧に接続します。使用しない場合は、外部抵抗を使用して GPIO ピンを VDD または AGND に接続します。このピンは、VDD より前にランプアップすることができます。
B1	VDD	電源	電源電圧。
B2	FB3/AEN	入力	チャネル 3 の電圧フィードバックピン。電圧出力モードでは、閉ループアンプ出力の場合は OUT3 に接続します。電流出力モードでは、リーコ電流を最小限に抑えるため、FB3 ピンを未接続のままにします。ADC モードでは、プルアップ抵抗を使用して VDD に接続します。
B3	FB2/AIN2	入力	チャネル 2 の電圧フィードバックピン。電圧出力モードでは、閉ループアンプ出力の場合は OUT2 に接続します。電流出力モードでは、リーコ電流を最小限に抑えるため、FB2 ピンを未接続のままにします。ADC モードでは、ADC チャネル 2 への入力を行います。
B4	SCL/SYNC	出力	I ² C シリアルインターフェースクロックまたは SPI チップセレクト入力。これを外付けプルアップ抵抗を使用して IO 電圧に接続します。このピンは、VDD より前にランプアップすることができます。
C1	AGND	グランド	デバイスの全回路のグランド基準点。
C2	FB0/AINO	入力	チャネル 0 の電圧フィードバックピン。電圧出力モードでは、閉ループアンプ出力の場合は OUT0 に接続します。電流出力モードでは、リーコ電流を最小限に抑えるため、FB0 ピンを未接続のままにします。ADC モードでは、ADC チャネル 0 への入力を行います。
C3	FB1/AIN1	入力	チャネル 1 の電圧フィードバックピン。電圧出力モードでは、閉ループアンプ出力の場合は OUT1 に接続します。電流出力モードでは、リーコ電流を最小限に抑えるため、FB1 ピンを未接続のままにします。ADC モードでは、ADC チャネル 1 への入力を行います。
C4	A0/SDI	入力	I ² C または SPI のシリアルデータ入力のアドレス構成ピン。 A0 の場合、アドレス構成のためにこのピンを VDD、AGND、SDA、SCL のいずれかに接続します (セクション 6.5.2.2.1)。 SDI の場合は、このピンをプルアップする必要も、プルダウンする必要もありません。このピンは、VDD より前にランプアップすることができます。
D1	CAP	電源	内部 LDO の外部バイパスコンデンサ。CAP と AGND の間にコンデンサ (おおよそ $1.5\mu\text{F}$) を接続します。

表 4-1. ピンの機能 (続き)

番号	ピン 名称	タイプ	説明
D2	OUT0	出力	DAC チャネル 0 からのアナログ出力。ADC モードでは接続なし、フローティングのままにします。
D3	OUT1	出力	DAC チャネル 1 からのアナログ出力。ADC モードでは接続なし、フローティングのままにします。
D4	SDA/SCLK	入力 / 出力	双方向 I ² C シリアル データ バスまたは SPI クロック入力。このピンは、I ² C モードでは外付けプルアップ抵抗を使用して IO 電圧に接続します。このピンは、VDD より前にランプアップすることができます。

5 仕様

5.1 絶対最大定格

自由気流での動作温度範囲内 (特に記述のない限り) ⁽¹⁾

		最小値	最大値	単位
V_{DD}	電源電圧、 V_{DD} から AGND へ	-0.3	6	V
	デジタル入力から AGND へ	-0.3	$V_{DD} + 0.3$	V
	V_{OUTX} または A_{INx} または V_{FBx} から AGND へ	-0.3	$V_{DD} + 0.3$	V
V_{REF}	外部リファレンス電圧、 V_{REF} から AGND へ	-0.3	$V_{DD} + 0.3$	V
	OUTx、VDD、AGND ピンを除く任意のピンに流れ込む電流	-10	10	mA
T_J	接合部温度	-40	150	°C
T_{stg}	保存温度	-65	150	°C

(1) 「絶対最大定格」を超えた動作は、デバイスに恒久的な損傷を与える可能性があります。「絶対最大定格」は、これらの条件において、または「推奨動作条件」に示された値を超える他のいかなる条件でも、本製品が正しく動作することを暗に示すものではありません。「絶対最大定格」の範囲内であっても「推奨動作条件」の範囲外で使用した場合、本デバイスは完全に機能するとは限らず、このことが本デバイスの信頼性、機能、性能に影響を及ぼし、本デバイスの寿命を縮める可能性があります。

5.2 ESD 定格

		値	単位
$V_{(ESD)}$	静電放電	人体モデル (HBM)、ANSI/ESDA/JEDEC JS-001 に準拠、すべてのピン ⁽¹⁾	V
		デバイス帯電モデル (CDM)、ANSI/ESDA/JEDEC JS-002 に準拠、すべてのピン ⁽²⁾	

(1) JEDEC のドキュメント JEP155 に、500V HBM では標準の ESD 管理プロセスで安全な製造が可能であると規定されています。

(2) JEDEC のドキュメント JEP157 に、250V CDM では標準の ESD 管理プロセスで安全な製造が可能であると規定されています。

5.3 推奨動作条件

自由気流での動作温度範囲内 (特に記述のない限り)

		最小値	公称値	最大値	単位
V_{DD}	グランド (AGND) への正の電源電圧		1.7	5.5	V
V_{REF}	グランドへの外部基準電圧 (AGND)		1.7	V_{DD}	V
V_{IH}	デジタル入力高電圧、 $1.7V < V_{DD} \leq 5.5V$		1.62		V
V_{IL}	デジタル入力低電圧			0.4	V
C_{CAP}	CAP ピンの外部コンデンサ		0.5	15	μF
T_A	周囲温度	-40		125	°C

5.4 热に関する情報

热評価基準 ⁽¹⁾		AFEx3004W	単位
		YBH (DSBGA)	
		16 ピン	
$R_{\theta JA}$	接合部から周囲への熱抵抗	81.2	°C/W
$R_{\theta JC(\text{top})}$	接合部からケース (上面) への熱抵抗	0.3	°C/W
$R_{\theta JB}$	接合部から基板への熱抵抗	20.3	°C/W
Ψ_{JT}	接合部から上面への特性パラメータ	0.2	°C/W
Ψ_{JB}	接合部から基板への特性パラメータ	20.3	°C/W

(1) 従来および最新の熱評価基準の詳細については、『半導体および IC パッケージの熱評価基準』アプリケーション レポートを参照してください。

5.5 電気的特性、電圧出力

すべての最小/最大仕様は $T_A = -40^\circ\text{C} \sim +125^\circ\text{C}$ で、標準仕様は $T_A = 25^\circ\text{C}$ 、 $1.7\text{V} \leq V_{DD} \leq 5.5\text{V}$ 、DAC リファレンスは V_{DD} に接続、ゲイン = $1 \times$ 、DAC 出力ピン (OUT) には抵抗負荷 ($R_L = 5\text{k}\Omega \sim \text{AGND}$) および容量負荷 ($C_L = 200\text{pF} \sim \text{AGND}$)、およびデジタル入力は V_{DD} または AGND です (特に明記しない限り)

パラメータ	テスト条件	最小値	標準値	最大値	単位	
安定動作						
分解能	AFE63004W	12			ビット	
	AFE53004W	10				
INL	AFE63004W	-5	5	1.25	LSB	
	AFE53004W	-1.25				
DNL	微分非直線性 ⁽¹⁾	-1	1	1	LSB	
ゼロコード誤差 ⁽⁴⁾	コード 0d を DAC に入力、外部リファレンス電圧、 $V_{DD} = 5.5\text{V}$	6	12	15	mV	
	コード 0d を DAC に入力、内部 V_{REF} 、ゲイン = $4 \times$ 、 $V_{DD} = 5.5\text{V}$	6				
ゼロコード誤差の温度係数 ⁽⁴⁾		± 10		$\mu\text{V}/^\circ\text{C}$		
オフセット誤差 ^{(4) (6)}	$1.7\text{V} \leq V_{DD} < 2.7\text{V}$ 、 V_{FB} ピンを V_{OUT} に短絡、DAC コード:12 ビット分解能の場合は 32d	-0.75	0.3	0.75	%FSR	
	$2.7\text{V} \leq V_{DD} \leq 5.5\text{V}$ 、 V_{FB} ピンを V_{OUT} に短絡、DAC コード:12 ビット分解能の場合は 32d	-0.5	0.25	0.5		
オフセット誤差の温度係数 ⁽⁴⁾	V_{FB} ピンを V_{OUT} に短絡、DAC コード:12 ビット分解能の場合は 32d、10 ビット分解能の場合は 8d	± 0.0003		%FSR/°C		
ゲイン誤差 ⁽⁴⁾	エンドポイントコード間:12 ビット分解能の場合は 32d ~ 4064d、10 ビット分解能の場合は 8d ~ 1016d	-0.5	0.25	0.5	%FSR	
ゲイン誤差の温度係数 ⁽⁴⁾	エンドポイントコード間:12 ビット分解能の場合は 32d ~ 4064d、10 ビット分解能の場合は 8d ~ 1016d	± 0.0008		%FSR/°C		
フルスケール誤差 ^{(4) (6)}	$1.7\text{V} \leq V_{DD} < 2.7\text{V}$ 、フルスケールの DAC	-1	1	1	%FSR	
	$2.7\text{V} \leq V_{DD} \leq 5.5\text{V}$ 、フルスケールの DAC	-0.5	0.5	0.5		
フルスケール誤差の温度係数 ⁽⁴⁾	フルスケールでの DAC	± 0.0008		%FSR/°C		
出力						
出力電圧	リファレンス電圧を V_{DD} に接続	0	V_{DD}	V		
C_L	容量性負荷 ⁽²⁾	$R_L = \text{無限}$ 、位相マージン = 30°		200	pF	
		位相マージン = 30°		1000		
短絡電流		$V_{DD} = 1.7\text{V}$ 、フルスケール出力を AGND に短絡またはゼロスケール出力を V_{DD} に短絡	15	mA		
		$V_{DD} = 2.7\text{V}$ 、フルスケール出力を AGND に短絡またはゼロスケール出力を V_{DD} に短絡	50			
		$V_{DD} = 5.5\text{V}$ 、フルスケール出力を AGND に短絡またはゼロスケール出力を V_{DD} に短絡	60			
出力電圧ヘッドルーム ⁽²⁾		V_{DD} まで (DAC 出力無負荷、内部リファレンス = 1.21V)、 $V_{DD} \geq 1.21\text{V} \times \text{ゲイン} + 0.2\text{V}$	0.2	%FSR		
		V_{DD} および $\text{AGND} \sim (DAC$ 出力無負荷、 V_{DD} での外部リファレンス電圧 (ゲイン = $1 \times$)、 V_{REF} ピンは V_{DD} と短絡していません)	0.8			
		V_{DD} および $\text{AGND} \sim (V_{DD} = 5.5\text{V}$ で $I_{LOAD} = 10\text{mA}$ 、 $V_{DD} = 2.7\text{V}$ で $I_{LOAD} = 3\text{mA}$ 、 $V_{DD} = 1.8\text{V}$ で $I_{LOAD} = 1\text{mA}$)、 V_{DD} での外部リファレンス (ゲイン = $1 \times$)、 V_{REF} ピンは V_{DD} に短絡されていません)	10			

5.5 電気的特性、電圧出力 (続き)

すべての最小/最大仕様は $T_A = -40^\circ\text{C} \sim +125^\circ\text{C}$ で、標準仕様は $T_A = 25^\circ\text{C}$ 、 $1.7V \leq V_{DD} \leq 5.5V$ 、DAC リファレンスは VDD に接続、ゲイン = $1 \times$ 、DAC 出力ピン (OUT) には抵抗負荷 ($R_L = 5\text{k}\Omega \sim \text{AGND}$) および容量負荷 ($C_L = 200\text{pF} \sim \text{AGND}$)、およびデジタル入力は VDD または AGND です (特に明記しない限り)

パラメータ		テスト条件	最小値	標準値	最大値	単位		
Z_o	V_{FB} DC 出力インピーダンス ⁽³⁾	DAC 出力イネーブル、内部リファレンス (ゲイン = $1.5 \times$ または $2 \times$)、または V_{DD} での外部リファレンス電圧 (ゲイン = $1 \times$)、 V_{REF} ピンは V_{DD} に短絡していません	400	500	600	$\text{k}\Omega$		
		DAC 出力イネーブル、内部 V_{REF} 、ゲイン = $3 \times$ または $4 \times$	325	400	485			
電源除去比 (DC)		内部 V_{REF} 、ゲイン = $2 \times$ 、ミッドスケールでの DAC、 $V_{DD} = 5\text{V} \pm 10\%$	0.25		mV/V			
ダイナミック性能								
t_{sett}	出力電圧セッティング時間	1/4 から 3/4 へのスケール、3/4 から 1/4 へのスケールで 10% FSR にセッティング、 $V_{DD} = 5.5\text{V}$	20		μs			
		1/4 から 3/4 へのスケール、3/4 から 1/4 へのスケールで 10% FSR にセッティング、 $V_{DD} = 5.5\text{V}$ 、内部 V_{REF} 、ゲイン = $4 \times$	25					
スルーレート		$V_{DD} = 5.5\text{V}$	0.3		$\text{V}/\mu\text{s}$			
	電源オン時のグリッチ振幅	スタートアップ時 (DAC 出力ディセーブル)	75		mV			
		スタートアップ時 (DAC 出力無効)、 $R_L = 100\text{k}\Omega$	200					
出力イネーブルのグリッチ振幅		DAC 出力を無効化して有効にする (DAC レジスタがゼロスケール)、 $R_L = 100\text{k}\Omega$	250		mV			
V_n	出力ノイズ電圧 (ピークツーピーク)	$f = 0.1\text{Hz} \sim 10\text{Hz}$ 、ミッドスケールでの DAC、 $V_{DD} = 5.5\text{V}$	50		μV_{PP}			
		内部 V_{REF} 、ゲイン = $4 \times$ 、 $f = 0.1\text{Hz} \sim 10\text{Hz}$ 、ミッドスケールでの DAC、 $V_{DD} = 5.5\text{V}$	90					
	出力ノイズ 密度	$f = 1\text{kHz}$ 、ミッドスケールでの DAC、 $V_{DD} = 5.5\text{V}$	0.35		$\mu\text{V}/\sqrt{\text{Hz}}$			
		内部 V_{REF} 、ゲイン = $4 \times$ 、 $f = 1\text{kHz}$ 、ミッドスケールでの DAC、 $V_{DD} = 5.5\text{V}$	0.9					
電源除去比 (ac) ⁽³⁾		内部 V_{REF} 、ゲイン = $4 \times$ 、電源電圧に重ね合わせた 200mV 50Hz または 60Hz 正弦波、ミッドスケールでの DAC	-68		dB			
コード書き換えによるグリッチ インパルス		ミッドスケール付近で $\pm 1\text{LSB}$ の変化 (フィードスルーを含む)	10		$\text{nV}\cdot\text{s}$			
コード書き換えによるグリッチ インパルス振幅		ミッドスケール付近で $\pm 1\text{LSB}$ の変化 (フィードスルーを含む)	15		mV			
電源								
I_{DD}	VDD に流れる電流 ^{(4) (5)}	通常動作、フルスケールでの DAC、デジタルピンは静的、 V_{DD} での外部リファレンス電圧ですが、 V_{REF} ピンは V_{DD} に短絡していません	35	50	$\mu\text{A}/\text{ch}$			

- (1) DAC 出力を無負荷の状態で測定しています。外部リファレンス電圧と内部リファレンス $V_{DD} \geq 1.21 \times \text{ゲイン} + 0.2\text{V}$ の場合、エンドポイントコードの間: 12 ビット分解能の場合は $32d \sim 4064d$ 、10 ビット分解能の場合は $8d \sim 1016d$ 。
- (2) 設計と特性評価による仕様で、製造テストは未実施。
- (3) 内部リファレンスを使用する場合、リファレンス値に対して 200mV のヘッドルームで規定。
- (4) DAC 出力を無負荷の状態で測定しています。
- (5) 総消費電力は、 $I_{DD} \times (\text{電源オンされるチャネルの合計数}) + (\text{スリープモード電流})$ で計算されます。
- (6) DAC チャネルが長期的に IOUT モードに構成されてから、VOUT モードに切り換わると、VOUT モードにパラメータドリフトを表示できます。

5.6 電気的特性、電流出力

すべての最小および最大値は $T_A = -40^\circ\text{C} \sim +125^\circ\text{C}$ で、標準値は $T_A = 25^\circ\text{C}$ 、 $1.7\text{V} \leq V_{DD} \leq 5.5\text{V}$ 、 $\pm 250\mu\text{A}$ 出力範囲、およびデジタル入力が VDD または AGND の場合です (特に明記しない限り)

パラメータ	テスト条件	最小値	標準値	最大値	単位
安定動作					
分解能		8			ビット
INL	積分非直線性 その場合は 0d ~ 255d の DAC コード	-1	1	1	LSB
DNL	微分非直線性 その場合は 0d ~ 255d の DAC コード	-1	1	1	LSB
オフセット エラー	DAC 出力範囲: $\pm 25\mu\text{A}$, $\pm 50\mu\text{A}$, $\pm 125\mu\text{A}$, $\pm 250\mu\text{A}$, ミッドスケールの DAC		± 1		%FSR
ゲイン誤差	DAC 出力範囲: $\pm 25\mu\text{A}$, $\pm 50\mu\text{A}$, $\pm 125\mu\text{A}$, $\pm 250\mu\text{A}$, DAC コードは 0d ~ 255d		± 1.3		%FSR
出力					
	出力コンプライアンス電圧 ⁽¹⁾	DAC 出力範囲: $\pm 25\mu\text{A}$, $\pm 50\mu\text{A}$, $\pm 125\mu\text{A}$, $\pm 250\mu\text{A}$, V_{DD} および AGND へ	400		mV
Z_o	I_{OUT} DC 出力インピーダンス ⁽²⁾	ミッドスケールでの DAC、DAC 出力は $V_{DD}/2$ に維持	60		MΩ
	電源除去比 (DC)	ミッドスケールでの DAC、すべてのバイポーラ範囲、 V_{DD} が 4.5V から 5.5V に変化	0.23		LSB/V
ダイナミック性能					
t_{sett}	出力電流セッティング時間	1/4 から 3/4 スケール、および 3/4 から 1/4 へのスケールで 1LSB にセッティング、8 ビット分解能、 $V_{DD} = 5.5\text{V}$ 、OUTx ピンの同相電圧は $V_{DD}/2$ です	60		μs
V_n	出力ノイズ電流 (ピークツーピーク)	0.1Hz ~ 10Hz、ミッドスケールの DAC、 $V_{DD} = 5.5\text{V}$ 、 $\pm 250\mu\text{A}$ の出力範囲	150		nA _{PP}
	出力ノイズ 密度	$f = 1\text{kHz}$ 、ミッドスケールの DAC、 $V_{DD} = 5.5\text{V}$ 、出力範囲 $\pm 250\mu\text{A}$	1		nA/ $\sqrt{\text{Hz}}$
	電源除去比 (ac) ⁽³⁾	$\pm 250\mu\text{A}$ 出力範囲、200mV 50Hz または 60Hz の正弦波を電源電圧に重ね合わせる (ミッドスケールの DAC)	0.65		LSB/V
電源					
I_{DD}	VDD に流れる電流 ^{(3) (4)}	通常動作、フルスケールでの DAC、 $\pm 25\mu\text{A}$ の出力範囲、デジタル ピンの静電容量	42	50	μA/ch
		通常動作、フルスケールでの DAC、 $\pm 50\mu\text{A}$ の出力範囲、デジタル ピンの静電容量	56	70	
		通常動作、フルスケールでの DAC、 $\pm 125\mu\text{A}$ の出力範囲、デジタル ピンの静電容量	98	120	
		通常動作、フルスケールでの DAC、 $\pm 250\mu\text{A}$ の出力範囲、デジタル ピンの静電容量	167	200	

(1) DAC コード 0d と 255d の間で測定。

(2) 設計と特性評価による仕様で、製造テストは未実施。

(3) V_{DD} に流れる電流は、OUTx ピンに供給またはシンクされる負荷電流を考慮していません。 V_{REF} ピンは V_{DD} に接続されます。

(4) 総消費電力は、 $I_{DD} \times$ (電源オンされるチャネルの合計数) + (スリープ モード電流) で計算されます。

5.7 電気的特性、コンパレータモード

すべての最小および最大値は $T_A = -40^\circ\text{C} \sim +125^\circ\text{C}$ で、標準値は $T_A = 25^\circ\text{C}$ 、 $1.7\text{V} \leq V_{DD} \leq 5.5\text{V}$ 、DAC リファレンスは VDD に接続、ゲイン = $1 \times$ 電圧出力モード、DAC 出力ピン (OUT) には抵抗負荷 ($R_L = 5\text{k}\Omega \sim \text{AGND}$) および容量負荷 ($C_L = 200\text{pF} \sim \text{AGND}$)、およびデジタル入力は VDD または AGND です (特に明記しない限り)

パラメータ	テスト条件	最小値	標準値	最大値	単位
安定動作					
オフセット誤差 ^{(1) (2)}	$1.7\text{V} \leq V_{DD} \leq 5.5\text{V}$ 、ミッドスケールの DAC、Hi-Z のコンパレータ入力、外部基準電圧で動作する DAC。	-6	0	6	mV
オフセット誤差の時間ドリフト ⁽¹⁾	$V_{DD} = 5.5\text{V}$ 、外部リファレンス電圧、 $T_A = 125^\circ\text{C}$ 、Hi-Z モードの FB、フルスケールの DAC、0V の V_{FB} または ゼロスケールの DAC、1.84V の V_{FB} 、10 年間の連続動作に対してドリフトを規定		4		mV
出力					
入力電圧	V_{REF} を V_{DD} に接続、 V_{FB} 抵抗ネットワークをグランドに接続します	0		V_{DD}	V
	V_{REF} を V_{DD} に接続、 V_{FB} 抵抗ネットワークをグランドから切断	0	$V_{DD} \times (1/3 - 1/100)$		
V_{OL}	ロジック Low 出力電圧	$I_{LOAD} = 100\mu\text{A}$ 、オープンドレインモードで出力	0.1		V
ダイナミック性能					
t_{resp}	出力応答時間	DAC はミッドスケールで 10 ビットの分解能、FB 入力は Hi-Z、FB ノードでの遷移ステップは $(V_{DAC} - 2\text{LSB})$ から $(V_{DAC} + 2\text{LSB})$ 、遷移時間は出力の 10% から 90% の間で測定、出力電流は $100\mu\text{A}$ 、コンパレータ出力はプッシュプルモードに設定、DAC 出力での負荷コンデンサは 25pF	10		μs

- (1) 設計と特性評価による仕様で、製造テストは未実施。
(2) この仕様には、DAC の総合未調整誤差 (TUE) は含まれていません。

5.8 電気的特性、ADC 入力

すべての最小値と最大値は $-40^\circ\text{C} \leq T_A \leq +125^\circ\text{C}$ で、標準値は $T_A = 25^\circ\text{C}$ 、 $1.7\text{V} \leq VDD \leq 5.5\text{V}$ 、リファレンスは VDD に接続、ゲイン = $1 \times$ 、デジタル入力は VDD または AGND で (特に明記しない限り)、容量性負荷 ($C_L = 200\text{pF}$ 対 AGND)、デジタル入力は VDD または AGND で (特に明記しない限り)

パラメータ	テスト条件	最小値	標準値	最大値	単位
安定動作					
分解能		10			ビット
INL 積分非直線性 ^{(1) (2)}		-2	2		LSB
DNL 微分非直線性 ^{(1) (2)}		-1	1		LSB
オフセット誤差 ^{(1) (2) (3)}	$1.7\text{V} \leq V_{DD} < 5.5\text{V}$	-5	0	+5	mV
	$2.7\text{V} \leq V_{DD} \leq 5.5\text{V}$	-5	0	+5	
ゲイン誤差 ^{(1) (2) (3)}		-1	1		%FSR
入力					
入力電圧範囲	外部 $V_{REF} = V_{DD}$ 、 V_{FB} 減衰は 1 です	0	V_{DD}		V
ダイナミック性能					
データレート ⁽²⁾	ADC 平均化設定は 4 サンプル	1406	2008		SPS
サンプリングコンデンサ			10		pF

- (1) 外部リファレンス電圧と内部リファレンス $VDD \geq 1.21 \times \text{ゲイン} + 0.2\text{V}$ の場合、エンドポイントコードの間: 10 ビット分解能の場合は 8d ~ 1016d
(2) 設計と特性評価による仕様で、製造テストは未実施。

- (3) ミッドスケール、Hi-Z 入力構成、外部リファレンスを使用してアナログ入力で測定。

5.9 電気的特性、一般論

すべての最小および最大値は $T_A = -40^\circ\text{C} \sim +125^\circ\text{C}$ で、標準値は $T_A = 25^\circ\text{C}$ 、 $1.7\text{V} \leq V_{\text{DD}} \leq 5.5\text{V}$ 、DAC リファレンスは V_{DD} に接続、ゲイン = $1 \times$ (電圧出力モード)、または $\pm 250\mu\text{A}$ 出力範囲 (電流出力モード)、DAC 出力ピン (OUT) には電圧出力モードの抵抗負荷 ($R_L = 5\text{k}\Omega \sim \text{AGND}$) および容量負荷 ($C_L = 200\text{pF} \sim \text{AGND}$)、およびデジタル入力は V_{DD} または AGND です (特に明記しない限り)

パラメータ	テスト条件	最小値	標準値	最大値	単位
内部リファレンス					
初期精度	$T_A = 25^\circ\text{C}$	1.1979	1.212	1.224	V
リファレンス出力の温度係数 ^{(1) (2)}			50		ppm/ $^\circ\text{C}$
EXTERNAL REFERENCE					
V_{REF} 入力インピーダンス ^{(1) (3)}			192		$\text{k}\Omega\text{-ch}$
EEPROM					
耐久性 ⁽¹⁾	$-40^\circ\text{C} \leq T_A \leq +85^\circ\text{C}$	20000			サイクル
	$T_A = 125^\circ\text{C}$	1000			
データ保持期間 ⁽¹⁾	$T_A = 25^\circ\text{C}$	50			年
EEPROM プログラミング書き込みサイクル時間 ⁽¹⁾			200		ms
デバイスのブートアップ時間 ⁽¹⁾	電源有効 ($V_{\text{DD}} \geq 1.7\text{V}$) から出力有効状態 (EEPROM にプログラムされた出力状態) までに要する時間、CAP ピンの $0.5\mu\text{F}$ コンデンサ	5			ms
デジタル入力					
デジタル フィードスルー	電圧出力モード、ミッドスケールでの DAC 静的出力、高速モード プラス、SCL トグル	20			nV-s
ピン容量 1	ピンごと	10			pF
電源					
I_{DD}	V_{DD} に流れる電流	スリープ モード、内部リファレンスはパワーダウン、 5.5V での外部リファレンス電圧	28		μA
I_{DD}	V_{DD} に流れる電流 ⁽¹⁾	スリープ モード、内部リファレンス イネーブル、内部リファレンスを流れる追加電流	10		μA
I_{DD}	V_{DD} に流れる電流 ⁽¹⁾	すべてのチャネル イネーブル、内部リファレンス イネーブル、チャネルごとに内部リファレンスを流れる追加電流	12.5		μA
ハイインピーダンス出力					
I_{LEAK}	V_{OUTX} および V_{FBX} に流れる電流	DAC はハイインピーダンス出力モード、 $1.7\text{V} \leq V_{\text{DD}} \leq 5.5\text{V}$	10		nA
		$V_{\text{DD}} = 0\text{V}$ 、 $V_{\text{OUT}} \leq 1.5\text{V}$ 、 V_{DD} と $\text{AGND} = 0.1\mu\text{F}$ の間のデカップリング コンデンサ	200		nA
		$V_{\text{DD}} = 0\text{V}$ 、 $1.5\text{V} < V_{\text{OUT}} \leq 5.5\text{V}$ 、 V_{DD} と $\text{AGND} = 0.1\mu\text{F}$ の間のデカップリング コンデンサ	500		nA
		V_{DD} と AGND の間の $100\text{k}\Omega$ 、 $V_{\text{OUT}} \leq 1.25\text{V}$ 、OUT ピンの $10\text{k}\Omega$ の直列抵抗	± 2		μA

- (1) 設計と特性評価による仕様で、製造テストは未実施。
(2) -40°C および 125°C で測定し、勾配を計算しています。
(3) DAC チャネルのインピーダンスは並列に接続されています。

5.10 タイミング要件、I²C 標準モード

すべての入力信号は、V_{IIL} から V_{pull-up} の 70%、1.7V ≤ V_{DD} ≤ 5.5V、−40°C ≤ T_A ≤ +125°C、1.7V ≤ V_{pull-up} ≤ V_{DD} まででタイミング設定されます

		最小値	公称値	最大値	単位
f _{SCL}	SCL 周波数			100	kHz
t _{BUF}	停止条件と始動条件の間のバス解放時間	4.7			μs
t _{HDSTA}	リピート スタート後のホールド時間	4			μs
t _{SUSTA}	繰り返しスタートのセットアップ時間	4.7			μs
t _{SUSTO}	STOP 条件のセットアップ時間	4			μs
t _{HDDAT}	データ ホールド時間	0			ns
t _{SUDAT}	データ セットアップ時間	250			ns
t _{LOW}	SCL クロックの Low 期間	4700			ns
t _{HIGH}	SCL クロックの High 期間	4000			ns
t _F	クロック / データの立ち下がり時間			300	ns
t _R	クロック / データの立ち上がり時間			1000	ns
t _{VDDAT}	データ有効時間、R = 360Ω、C _{trace} = 23pF、C _{probe} = 10pF			3.45	μs
t _{VDACK}	データ有効アクリシッジ時間、R = 360Ω、C _{trace} = 23pF、C _{probe} = 10pF			3.45	μs

5.11 タイミング要件、I²C 高速モード

すべての入力信号は、V_{IIL} から V_{pull-up} の 70%、1.7V ≤ V_{DD} ≤ 5.5V、−40°C ≤ T_A ≤ +125°C、1.7V ≤ V_{pull-up} ≤ V_{DD} まででタイミング設定されます

		最小値	公称値	最大値	単位
f _{SCL}	SCL 周波数			400	kHz
t _{BUF}	停止条件と始動条件の間のバス解放時間	1.3			μs
t _{HDSTA}	リピート スタート後のホールド時間	0.6			μs
t _{SUSTA}	繰り返しスタートのセットアップ時間	0.6			μs
t _{SUSTO}	STOP 条件のセットアップ時間	0.6			μs
t _{HDDAT}	データ ホールド時間	0			ns
t _{SUDAT}	データ セットアップ時間	100			ns
t _{LOW}	SCL クロックの Low 期間	1300			ns
t _{HIGH}	SCL クロックの High 期間	600			ns
t _F	クロック / データの立ち下がり時間			300	ns
t _R	クロック / データの立ち上がり時間			300	ns
t _{VDDAT}	データ有効時間、R = 360Ω、C _{trace} = 23pF、C _{probe} = 10pF			0.9	μs
t _{VDACK}	データ有効アクリシッジ時間、R = 360Ω、C _{trace} = 23pF、C _{probe} = 10pF			0.9	μs

5.12 タイミング要件、I²C 高速モード プラス

すべての入力信号は、V_{IIL} から V_{pull-up} の 70%、1.7V ≤ V_{DD} ≤ 5.5V、−40°C ≤ T_A ≤ +125°C、1.7V ≤ V_{pull-up} ≤ V_{DD} まででタイミング設定されます

		最小値	公称値	最大値	単位
f _{SCL}	SCL 周波数			1	MHz
t _{BUF}	停止条件と始動条件の間のバス解放時間	0.5			μs
t _{HDSTA}	リピート スタート後のホールド時間	0.26			μs
t _{SUSTA}	繰り返しスタートのセットアップ時間	0.26			μs
t _{SUSTO}	STOP 条件のセットアップ時間	0.26			μs
t _{HDDAT}	データ ホールド時間	0			ns
t _{SUDAT}	データ セットアップ時間	50			ns
t _{LOW}	SCL クロックの Low 期間	0.5			μs
t _{HIGH}	SCL クロックの High 期間	0.26			μs

すべての入力信号は、V_I から V_{pull-up} の 70%、1.7V ≤ V_{DD} ≤ 5.5V、-40°C ≤ T_A ≤ +125°C、1.7V ≤ V_{pull-up} ≤ V_{DD} まででタイミング設定されます

		最小値	公称値	最大値	単位
t _F	クロック / データの立ち下がり時間			120	ns
t _R	クロック / データの立ち上がり時間			120	ns
t _{VDDAT}	データ有効時間、R = 360Ω、C _{trace} = 23pF、C _{probe} = 10pF			0.45	μs
t _{VDACK}	データ有効アノリジジ時間、R = 360Ω、C _{trace} = 23pF、C _{probe} = 10pF			0.45	μs

5.13 タイミング要件、SPI 書き込み動作

すべての入力信号は t_F = t_R = 1V/ns (V_{IO} の 10% ~ 90%) で規定され、(V_I + V_{II}) / 2、
1.7V ≤ V_{IO} ≤ 5.5V、1.7V ≤ V_{DD} ≤ 5.5V、および -40°C ≤ T_A ≤ +125°C の電圧レベルからタイミングが規定されています

		最小値	公称値	最大値	単位
f _{SCLK}	シリアル クロック周波数			50	MHz
t _{SCLKHIGH}	SCLK High 時間	9			ns
t _{SCLKLOW}	SCLK Low 時間	9			ns
t _{SDIS}	SDI のセットアップ時間	8			ns
t _{SDIH}	SDI のホールド時間	8			ns
t _{css}	CS から SCLK 立ち下がりエッジまでのセットアップ時間	18			ns
t _{CSH}	SCLK 立ち下がりエッジから CS 立ち上がりエッジまで	10			ns
t _{CSHIGH}	CS High 時間	50			ns
t _{DACWAIT}	同じチャネルのシーケンシャル DAC の更新待機時間 (後続の LDAC 立ち下がりエッジまでの時間)	2			μs
t _{BCASTWAIT}	ブロードキャスト DAC の更新待機時間 (後続の LDAC 立ち下がりエッジまでの時間)	2			μs

5.14 タイミング要件、SPI 読み出しおよびデイジー チェーン動作 (FSDO = 0)

すべての入力信号は t_F = t_R = 1V/ns (V_{IO} の 10% ~ 90%) で規定され、(V_I + V_{II}) / 2、
1.7V ≤ V_{IO} ≤ 5.5V、1.7V ≤ V_{DD} ≤ 5.5V、-40°C ≤ T_A ≤ +125°C、および FSDO = 0

		最小値	公称値	最大値	単位
f _{SCLK}	シリアル クロック周波数			1.25	MHz
t _{SCLKHIGH}	SCLK High 時間	350			ns
t _{SCLKLOW}	SCLK Low 時間	350			ns
t _{SDIS}	SDI のセットアップ時間	8			ns
t _{SDIH}	SDI のホールド時間	8			ns
t _{css}	SYNC から SCLK 立ち下がりエッジまでのセットアップ時間	400			ns
t _{CSH}	SCLK 立ち下がりエッジから SYNC 立ち上がりエッジまで	400			ns
t _{CSHIGH}	SYNC High 時間	1			μs
t _{SDODLY}	SCLK 立ち上がりエッジから SDO 立ち下がりエッジまで、I _{OL} ≤ 5mA、C _L = 20pF。			300	ns

5.15 タイミング要件、SPI 読み出しおよびデイジー チェーン動作 (FSDO = 1)

すべての入力信号は t_F = t_R = 1V/ns (V_{IO} の 10% ~ 90%) で規定され、(V_I + V_{II}) / 2、
1.7V ≤ V_{IO} ≤ 5.5V、1.7V ≤ V_{DD} ≤ 5.5V、-40°C ≤ T_A ≤ +125°C、および FSDO = 1

		最小値	公称値	最大値	単位
f _{SCLK}	シリアル クロック周波数			2.5	MHz
t _{SCLKHIGH}	SCLK High 時間	175			ns

すべての入力信号は $t_r = t_f = 1V/ns$ (V_{IO} の 10% ~ 90%) で規定され、 $(V_{IL} + V_{IH}) / 2$ 、
 $1.7V \leq V_{IO} \leq 5.5V$ 、 $1.7V \leq V_{DD} \leq 5.5V$ 、 $-40^\circ C \leq T_A \leq +125^\circ C$ 、および $FSDO = 1$

		最小値	公称値	最大値	単位
$t_{SCLKLOW}$	SCLK Low 時間		175		ns
t_{SDIS}	SDI のセットアップ時間		8		ns
t_{SDIH}	SDI のホールド時間		8		ns
t_{CSS}	SYNC から SCLK 立ち下がりエッジまでのセットアップ時間		300		ns
t_{CSH}	SCLK 立ち下がりエッジから SYNC 立ち上がりエッジまで		300		ns
t_{CSHIGH}	SYNC High 時間		1		μs
t_{SDODLY}	SCLK 立ち上がりエッジから SDO 立ち下がりエッジまで、 $I_{OL} \leq 5mA$ 、 $C_L = 20pF$ 。			300	ns

5.16 タイミング要件、GPIO

すべての入力信号は $t_f = t_r = 1V/ns$ (V_{IO} の 10% ~ 90%) で規定され、 $(V_{IL} + V_{IH}) / 2$ 、
 $1.7V \leq V_{IO} \leq 5.5V$ 、 $1.7V \leq V_{DD} \leq 5.5V$ 、および $-40^\circ C \leq T_A \leq +125^\circ C$ の電圧レベルからタイミングが規定されています

		最小値	公称値	最大値	単位
$t_{GPIHIGH}$	GPI High 時間		2		μs
t_{GPILOW}	GPI Low 時間		2		μs
t_{GPAWGD}	LDAC 立ち下がりエッジから DAC 更新までの遅延			2	μs
$t_{CS2LDAC}$	SYNC 立ち上がりエッジから \overline{LDAC} 立ち下がりエッジまで		1		μs
$t_{STP2LDAC}$	I^2C ストップ ビット立ち上がりエッジから \overline{LDAC} 立ち下がりエッジまで		1		μs
t_{LDACW}	LDAC Low 時間		2		μs

5.17 タイミング図

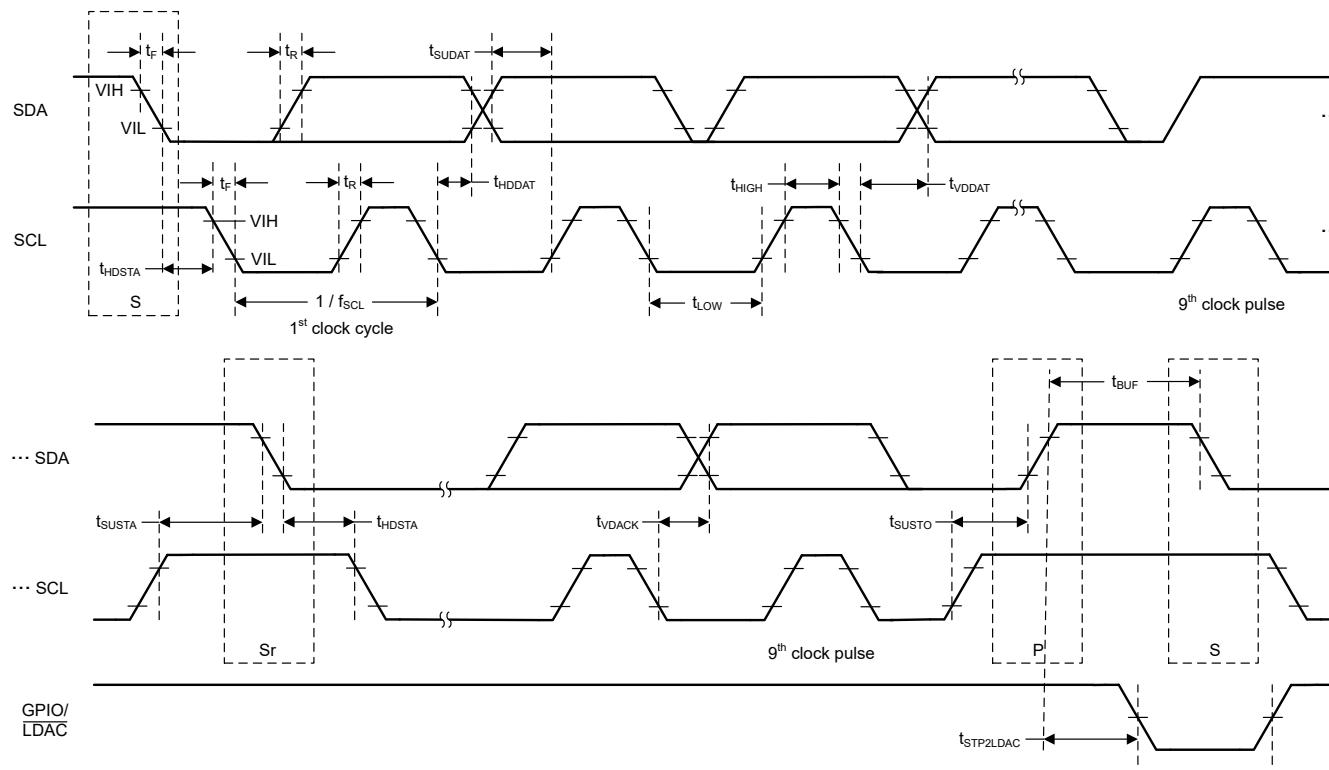


図 5-1. I^2C のタイミング図

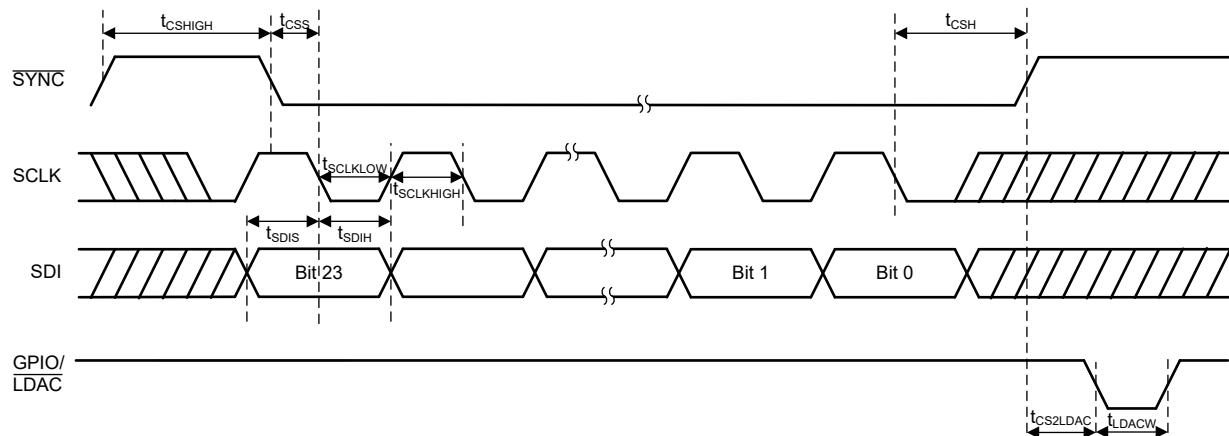


図 5-2. SPI 書き込みタイミング図

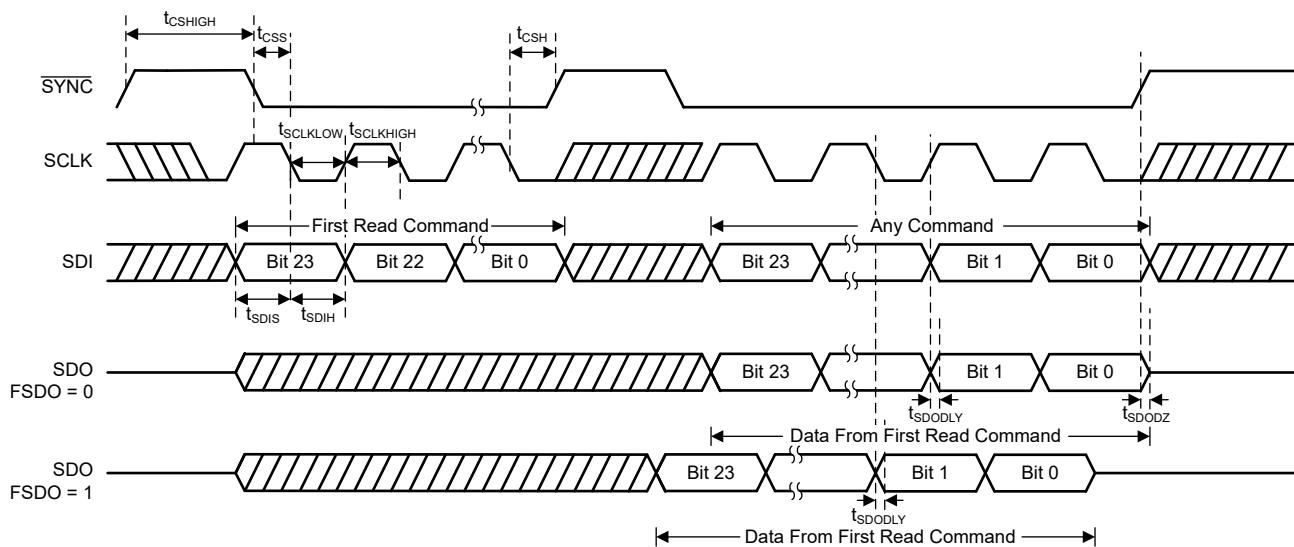


図 5-3. SPI 読み出しのタイミング図

5.18 代表的特性：電圧出力

$T_A = 25^\circ\text{C}$ 、 $V_{DD} = 5.5\text{V}$ 、外部リファレンス = 5.5V 、ゲイン = $1 \times$ 、12 ビット分解能、DAC 出力は無負荷時 (特に記述のない限り)

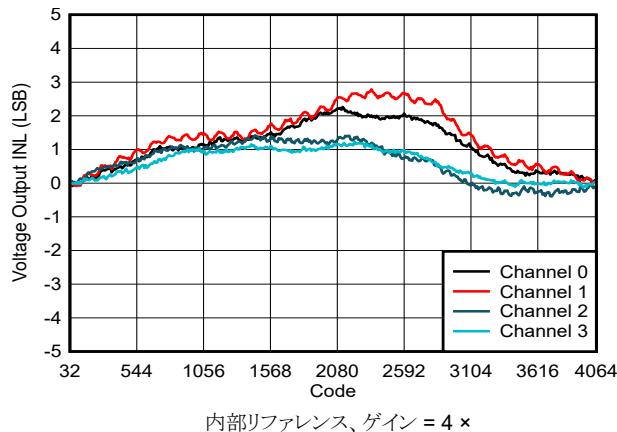


図 5-4. 電圧出力 INL とデジタル入力コードとの関係

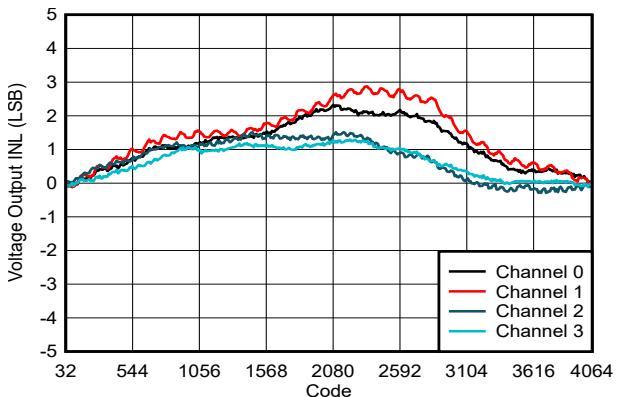


図 5-5. 電圧出力 INL とデジタル入力コードとの関係

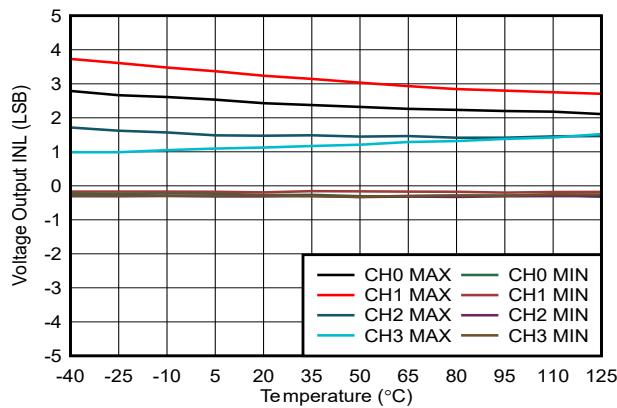


図 5-6. 電圧出力 INL と温度との関係

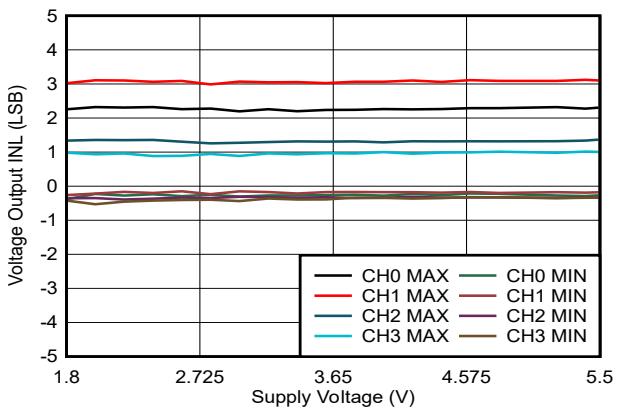


図 5-7. 電圧出力 INL と電源電圧との関係

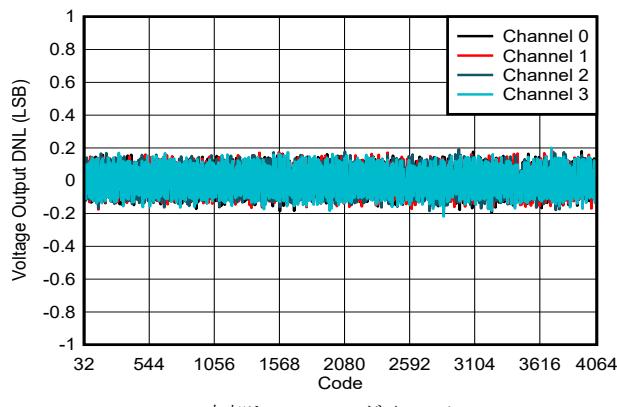


図 5-8. 電圧出力 DNL とデジタル入力コードとの関係

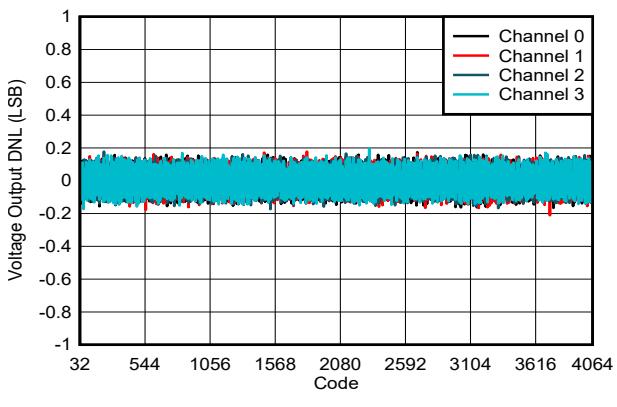


図 5-9. 電圧出力 DNL とデジタル入力コードとの関係

5.18 代表的特性：電圧出力 (続き)

$T_A = 25^\circ\text{C}$ 、 $V_{DD} = 5.5\text{V}$ 、外部リファレンス = 5.5V 、ゲイン = $1 \times$ 、12 ビット分解能、DAC 出力は無負荷時 (特に記述のない限り)

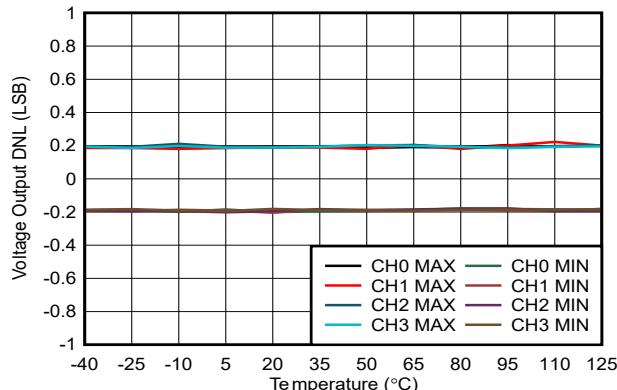


図 5-10. 電圧出力 DNL と温度との関係

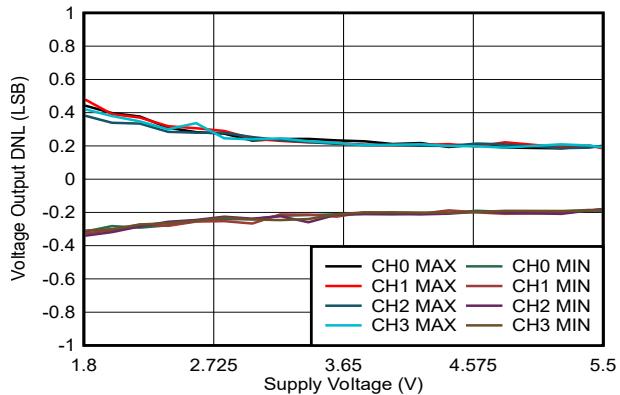
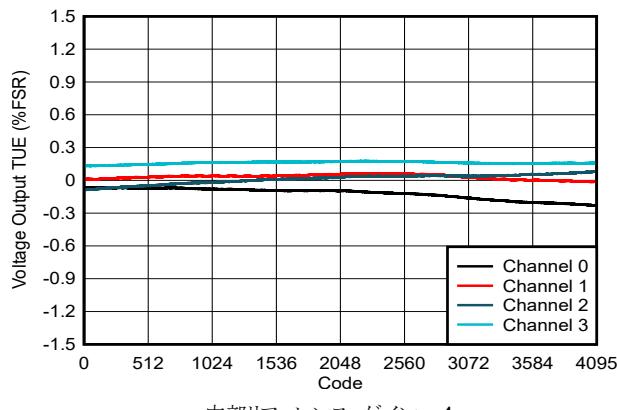


図 5-11. 電圧出力 DNL と電源電圧との関係



内部リファレンス、ゲイン = $4 \times$

図 5-12. 電圧出力 TUE とデジタル入力コードとの関係

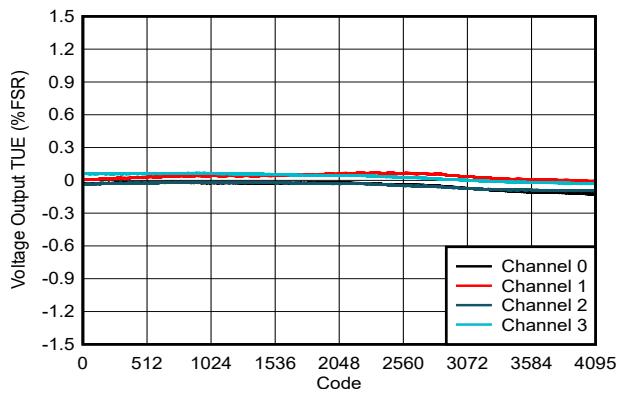
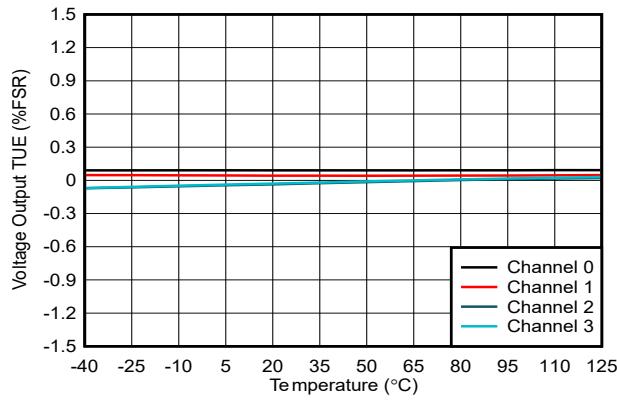
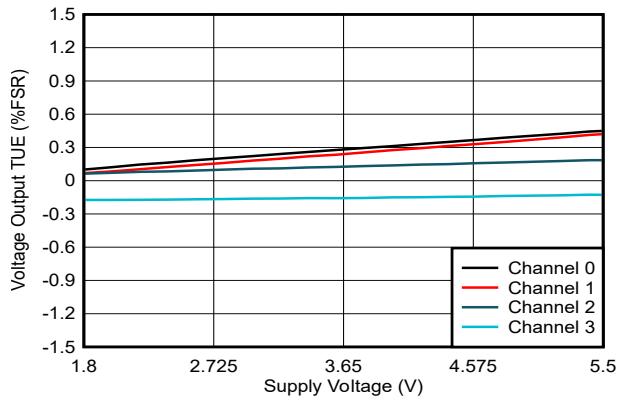


図 5-13. 電圧出力 TUE とデジタル入力コードとの関係



ミッドスケールでの DAC チャネル

図 5-14. 電圧出力 TUE と温度との関係



ミッドスケールでの DAC チャネル

図 5-15. 電圧出力 TUE と電源電圧との関係

5.18 代表的特性：電圧出力 (続き)

$T_A = 25^\circ\text{C}$ 、 $V_{DD} = 5.5\text{V}$ 、外部リファレンス = 5.5V 、ゲイン = $1 \times$ 、12 ビット分解能、DAC 出力は無負荷時 (特に記述のない限り)

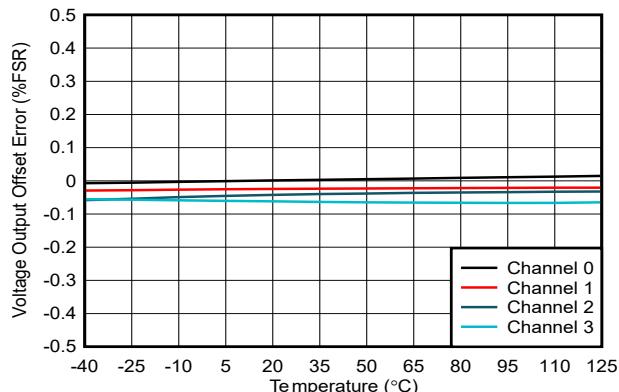


図 5-16. 電圧出力オフセット誤差と温度との関係

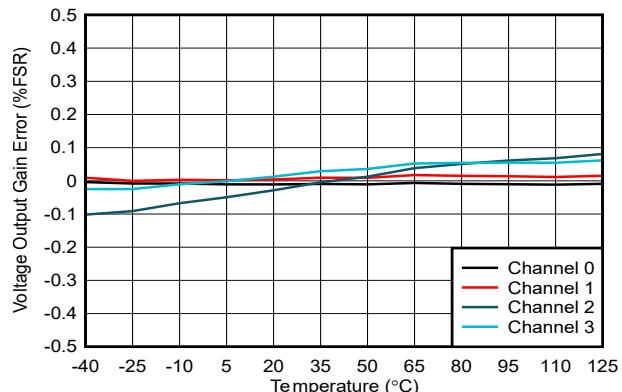


図 5-17. 電圧出力ゲイン誤差と温度との関係

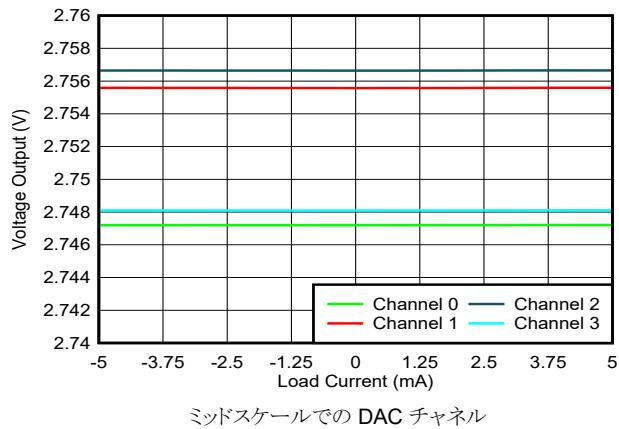


図 5-18. 電圧出力と負荷電流との関係

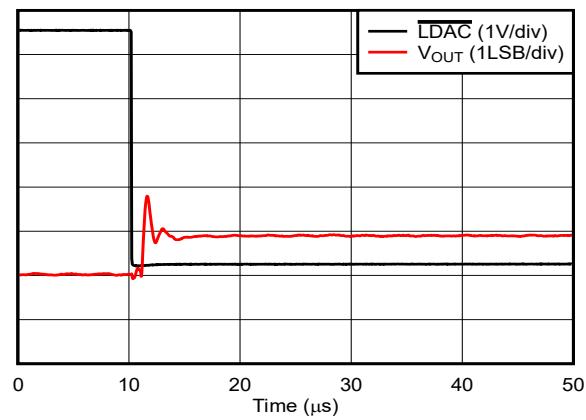


図 5-19. 電圧出力コードからコードへのグリッチ - 立ち上がりエッジ

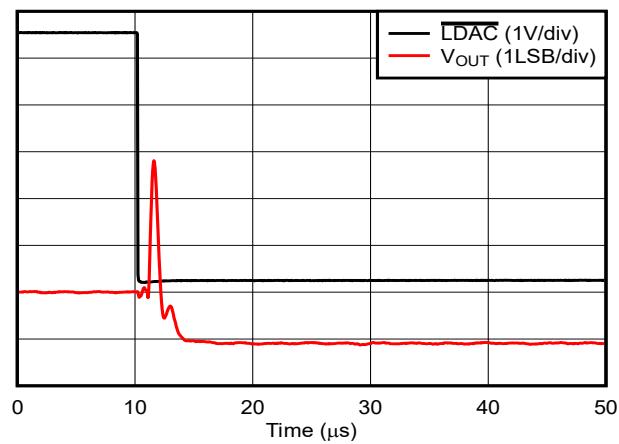


図 5-20. 電圧出力のコード間グリッチ：立ち下がりエッジ

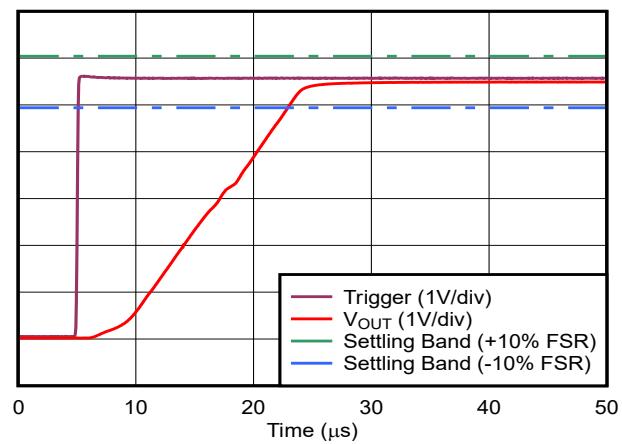


図 5-21. 出力電圧セッティング時間：立ち上がりエッジ

5.18 代表的特性：電圧出力 (続き)

$T_A = 25^\circ\text{C}$ 、 $V_{DD} = 5.5\text{V}$ 、外部リファレンス = 5.5V 、ゲイン = $1 \times$ 、12 ビット分解能、DAC 出力は無負荷時 (特に記述のない限り)

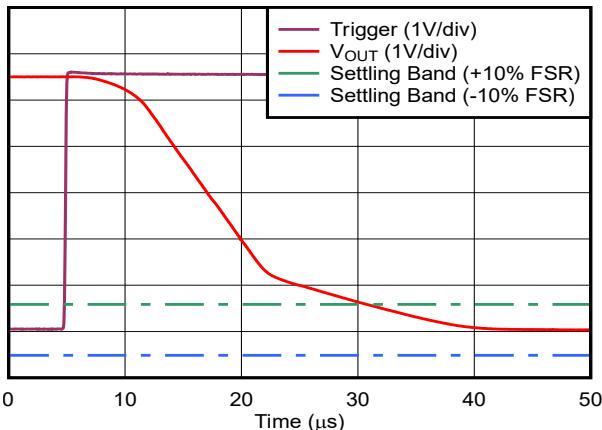


図 5-22. 出力電圧セッティング時間：立ち下がりエッジ

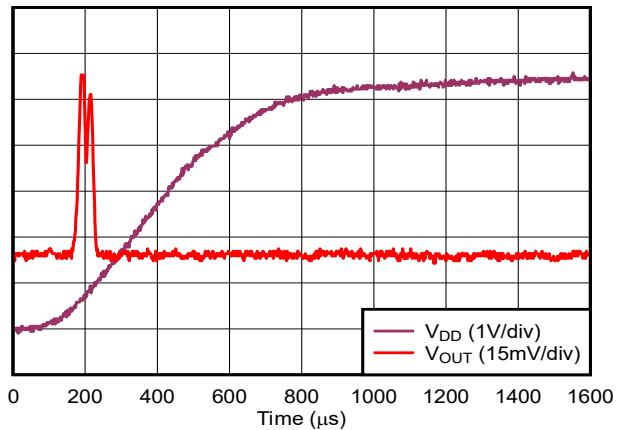


図 5-23. 電圧出力パワーオン グリッチ

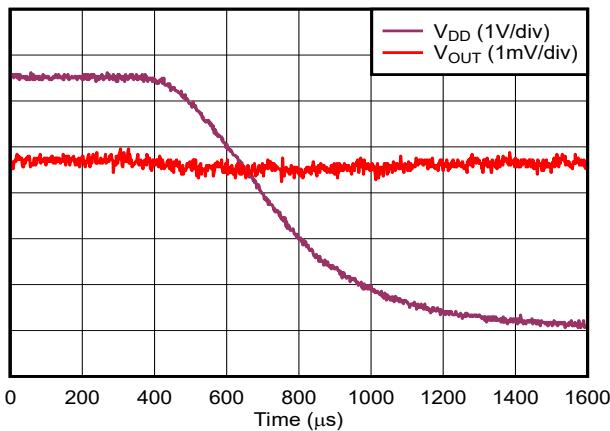


図 5-24. 電圧出力パワーオフ グリッチ

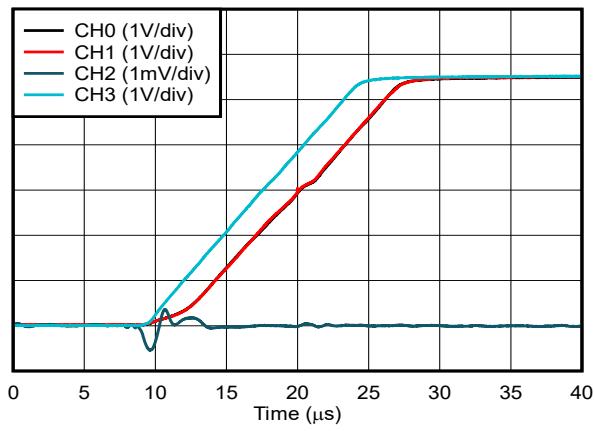


図 5-25. 電圧出力チャネル間クロストーク

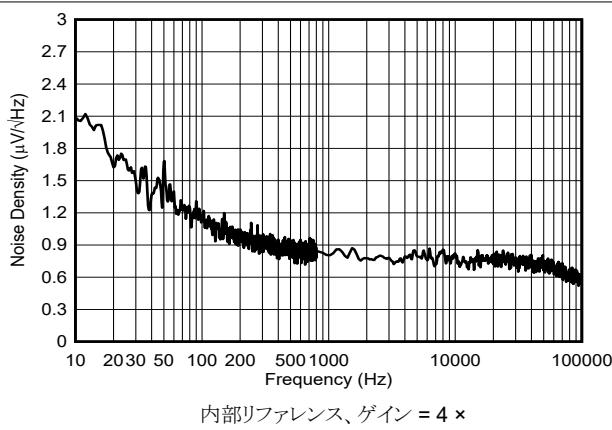


図 5-26. 電圧出力ノイズ密度

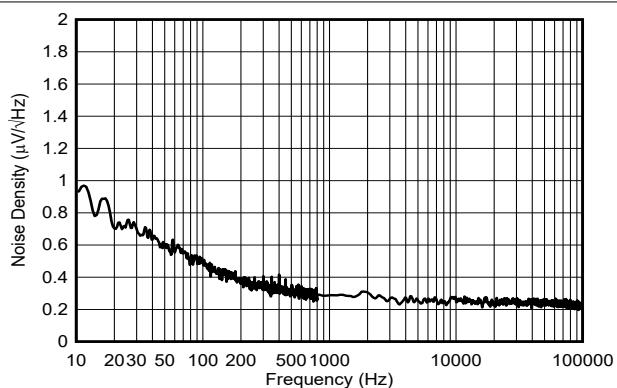


図 5-27. 電圧出力ノイズ密度

5.18 代表的特性：電圧出力 (続き)

$T_A = 25^\circ\text{C}$ 、 $V_{DD} = 5.5\text{V}$ 、外部リファレンス = 5.5V 、ゲイン = $1 \times$ 、12 ビット分解能、DAC 出力は無負荷時 (特に記述のない限り)

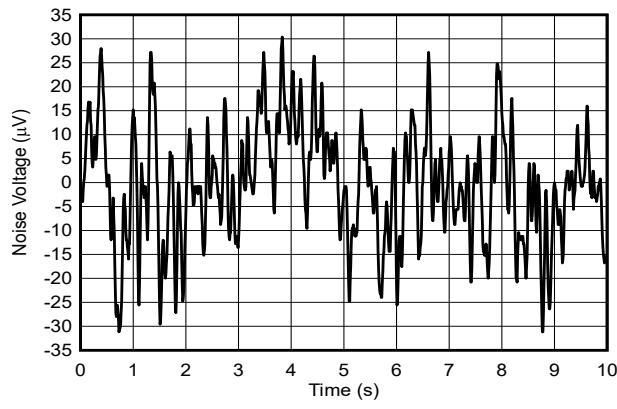


図 5-28. 電圧出力フリッカーノイズ

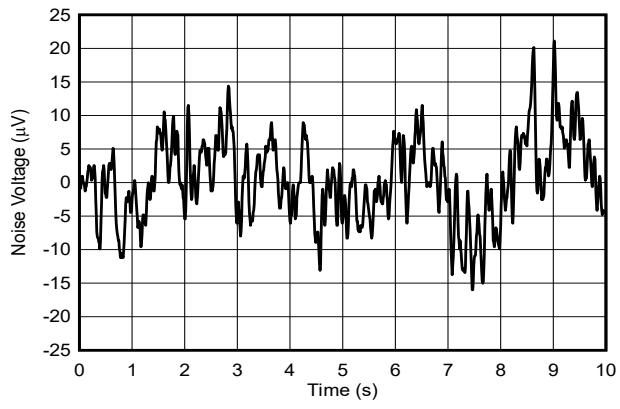


図 5-29. 電圧出力フリッカーノイズ

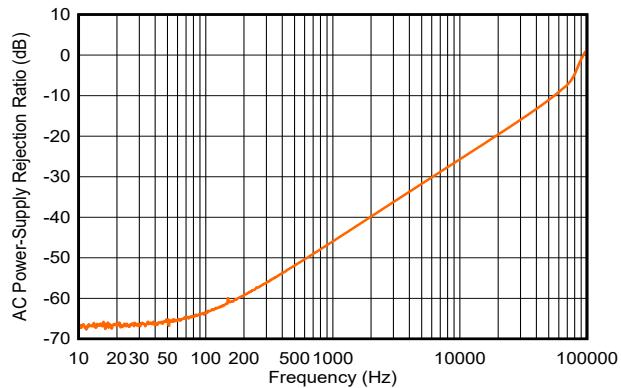


図 5-30. 電圧出力 AC PSRR と周波数との関係

5.19 代表的特性：電流出力

$T_A = 25^\circ\text{C}$ 、 $V_{DD} = 5.5\text{V}$ 、出力範囲： $\pm 250\mu\text{A}$ (特に記述のない限り)

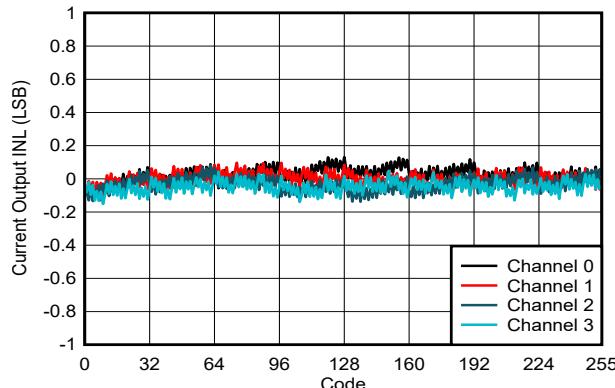


図 5-31. 電流出力 INL とデジタル入力コードとの関係

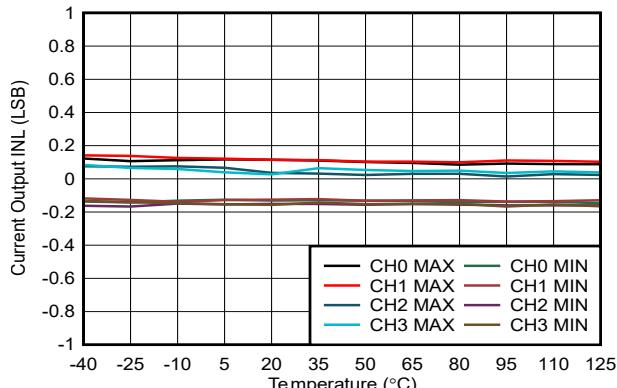


図 5-32. 電流出力 INL と温度との関係

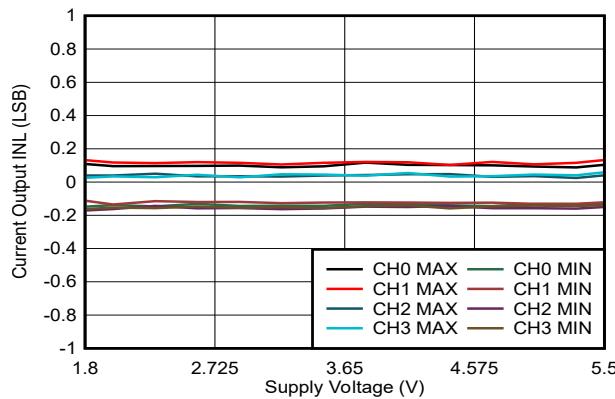


図 5-33. 電流出力 INL と電源電圧との関係

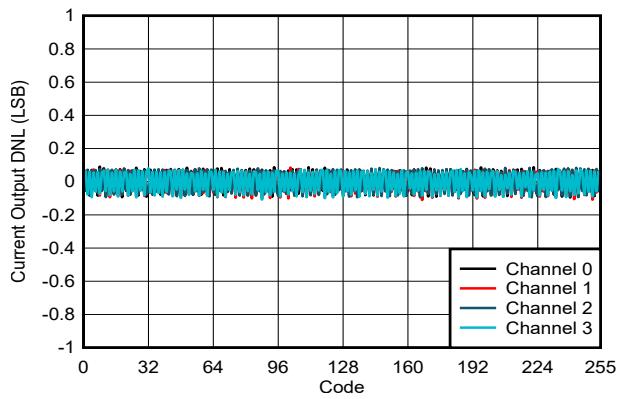


図 5-34. 電流出力 DNL とデジタル入力コードとの関係

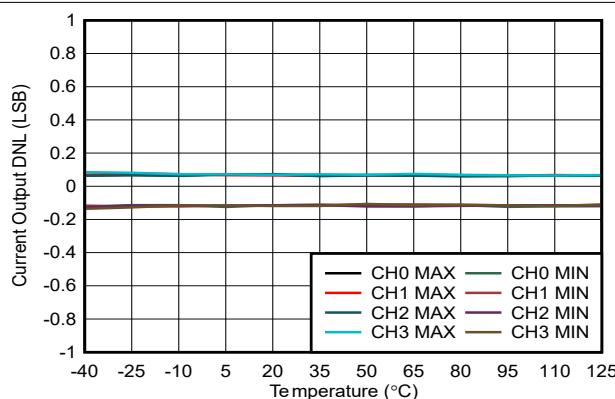


図 5-35. 電流出力 DNL と温度との関係

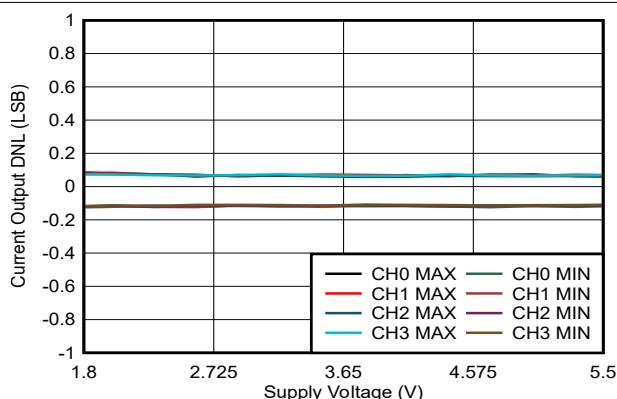


図 5-36. 電流出力 DNL と電源電圧との関係

5.19 代表的特性：電流出力 (続き)

$T_A = 25^\circ\text{C}$ 、 $V_{DD} = 5.5\text{V}$ 、出力範囲： $\pm 250\mu\text{A}$ (特に記述のない限り)

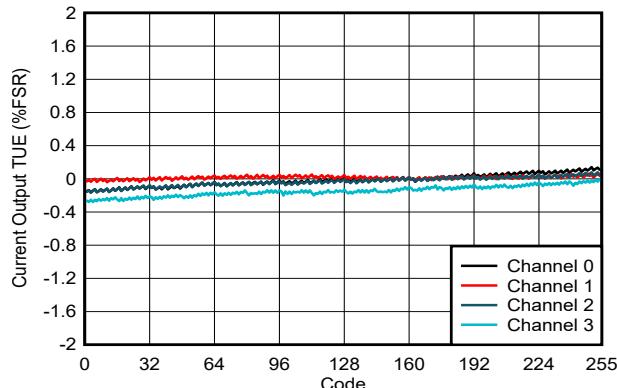
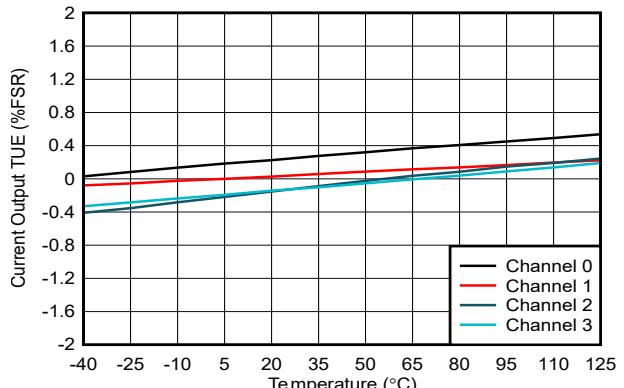
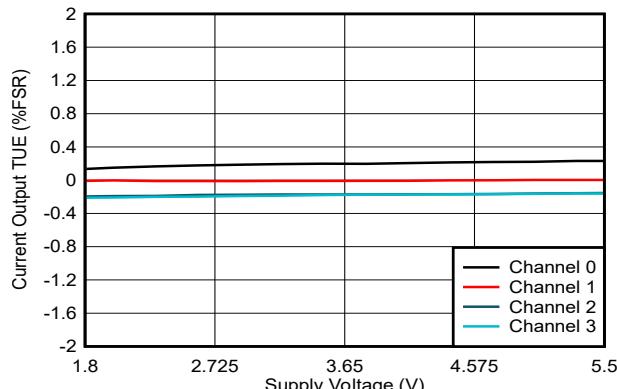


図 5-37. 電流出力 TUE とデジタル入力コードとの関係



ミッドスケールでの DAC チャネル

図 5-38. 電流出力 TUE と温度との関係



ミッドスケールでの DAC チャネル

図 5-39. 電流出力 TUE と電源電圧との関係

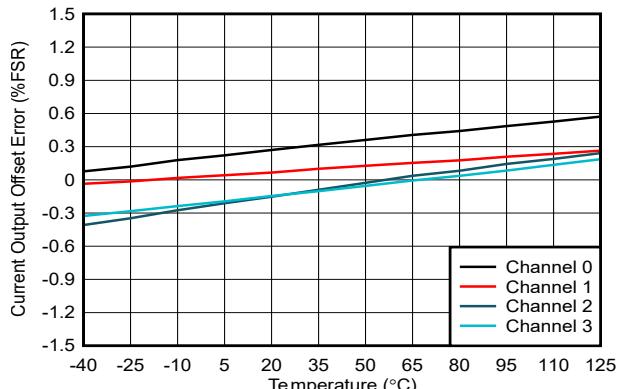


図 5-40. 電流出力オフセット誤差と温度との関係

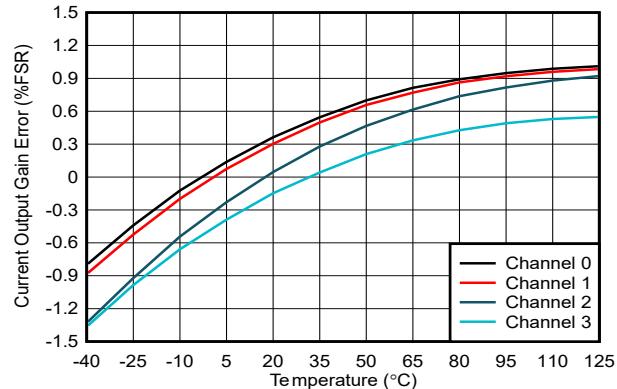


図 5-41. 電流出力ゲイン誤差と温度との関係

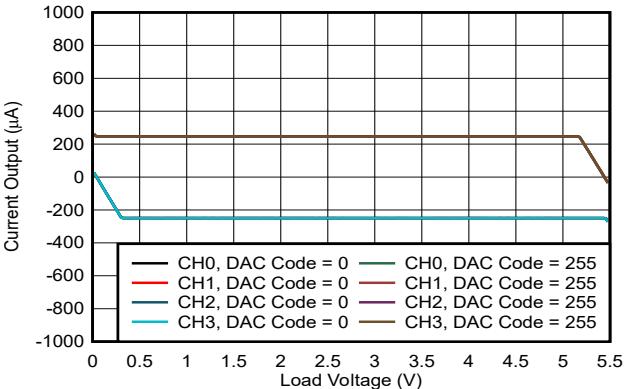


図 5-42. 電流出力と負荷電圧との関係

5.19 代表的特性：電流出力 (続き)

$T_A = 25^\circ\text{C}$ 、 $V_{DD} = 5.5\text{V}$ 、出力範囲: $\pm 250\mu\text{A}$ (特に記述のない限り)

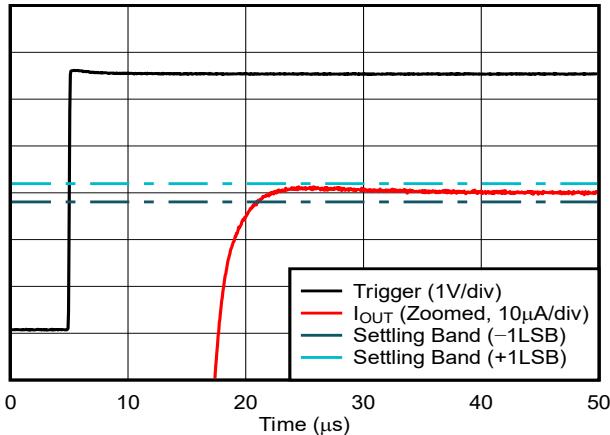


図 5-43. 電流出力セッティング時間：立ち上がりリエッジ ($\frac{1}{4} \sim \frac{3}{4}$ スケール)

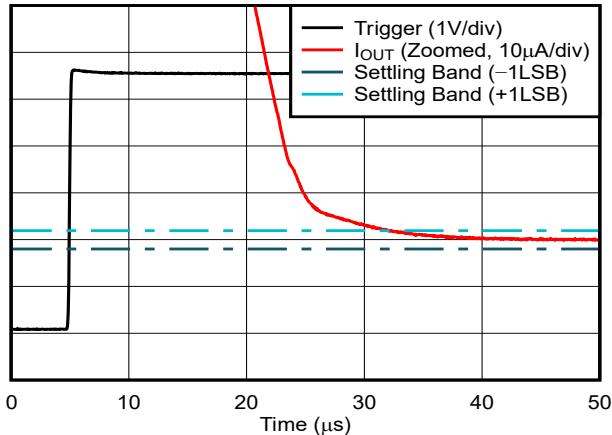
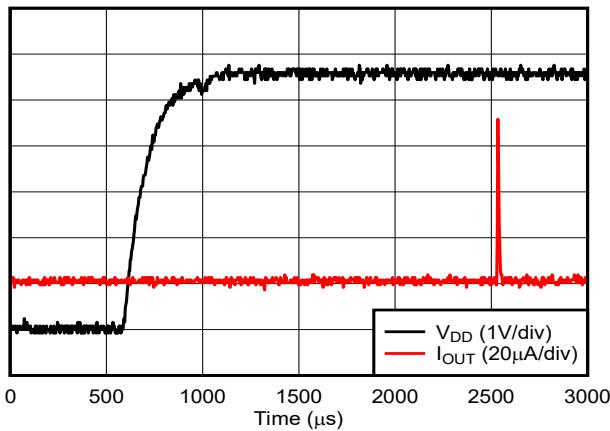
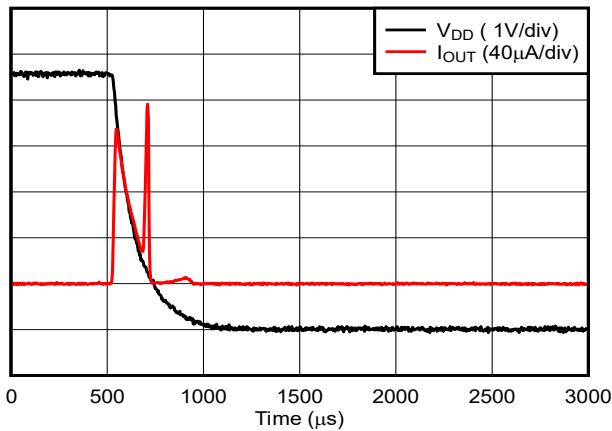


図 5-44. 電流出力セッティング時間：立ち下がりリエッジ ($\frac{3}{4} \sim \frac{1}{4}$ スケール)



ミッドスケールでの DAC (0μA)、EEPROM に保存

図 5-45. 電流出力パワーオン グリッチ

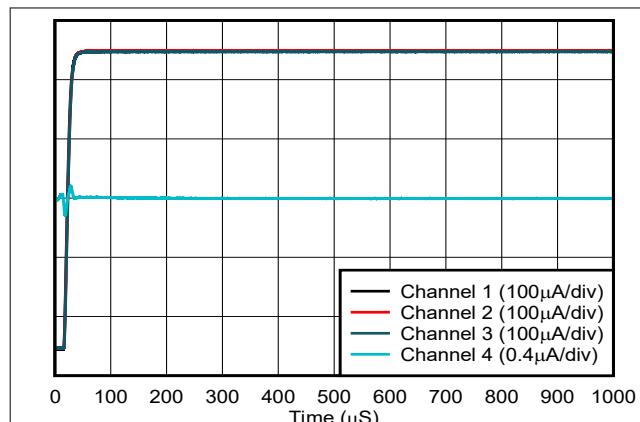


ミッドスケールでの DAC (0μA)

図 5-46. 電流出力電源オフ グリッチ

5.19 代表的特性：電流出力 (続き)

$T_A = 25^\circ\text{C}$ 、 $V_{DD} = 5.5\text{V}$ 、出力範囲: $\pm 250\mu\text{A}$ (特に記述のない限り)



チャネル 4 は常駐し、他のすべてのチャネルは干渉です

図 5-47. 電流出力チャネル間クロストーク

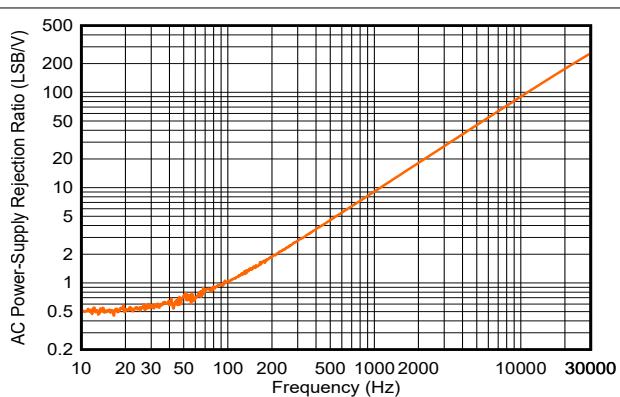


図 5-48. 電流出力 AC PSRR と周波数との関係

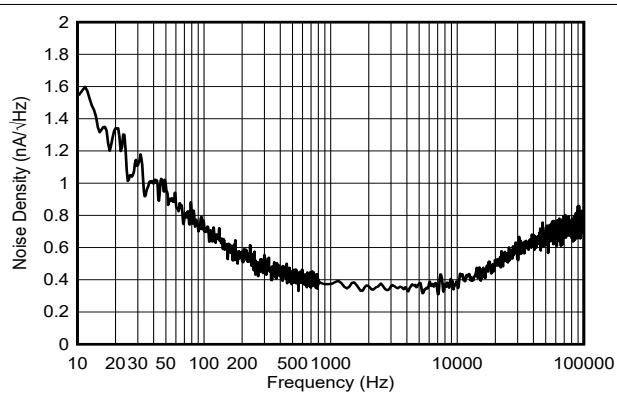


図 5-49. 電流出力ノイズ密度

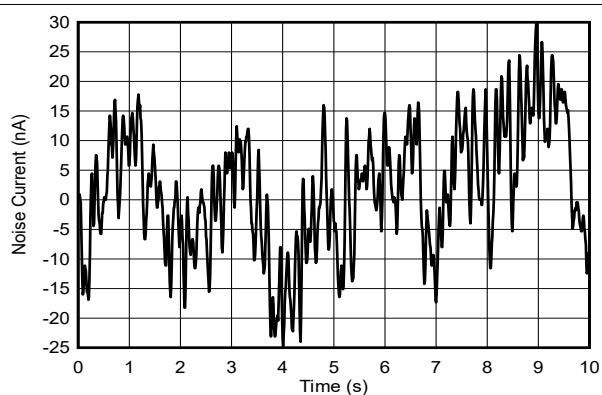


図 5-50. 電流出力フリッカー ノイズ

5.20 代表的特性：ADC

$T_A = 25^\circ\text{C}$ の場合、 $V_{DD} = 5.5\text{V}$ 、外部のリファレンス = 5.5V、ゲイン = 1 \times 、10 ビット分解能、ハイインピーダンス入力 (特に記述のない限り)

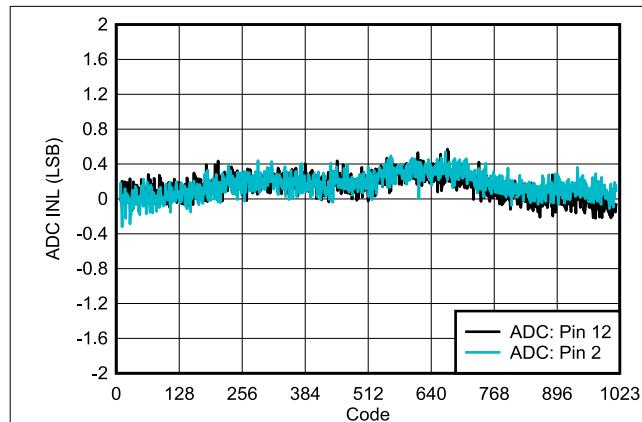


図 5-51. ADC INL とデジタル出力コードとの関係

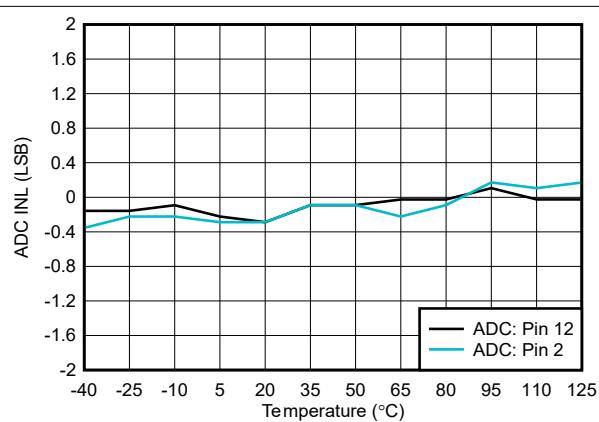


図 5-52. ADC INL と温度との関係

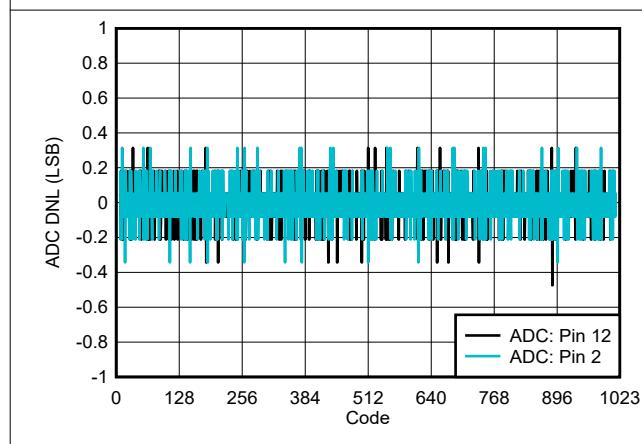


図 5-53. ADC DNL とデジタル出力コードとの関係

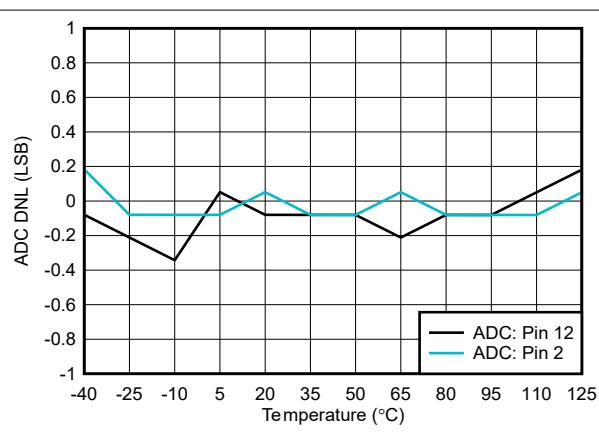


図 5-54. ADC DNL と温度との関係

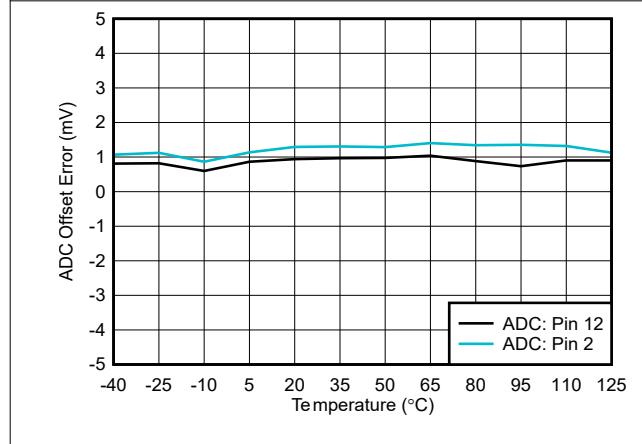


図 5-55. ADC オフセット誤差と温度との関係

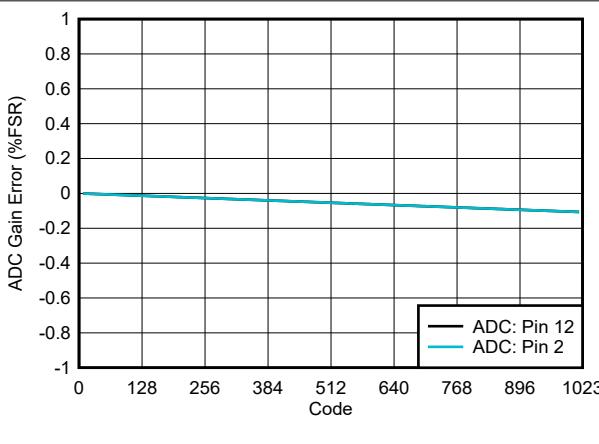


図 5-56. ADC ゲイン誤差とデジタル出力コードとの関係

5.20 代表的特性：ADC (続き)

$T_A = 25^\circ\text{C}$ の場合、 $V_{DD} = 5.5\text{V}$ 、外部のリファレンス = 5.5V、ゲイン = 1 \times 、10 ビット分解能、ハイインピーダンス入力 (特に記述のない限り)

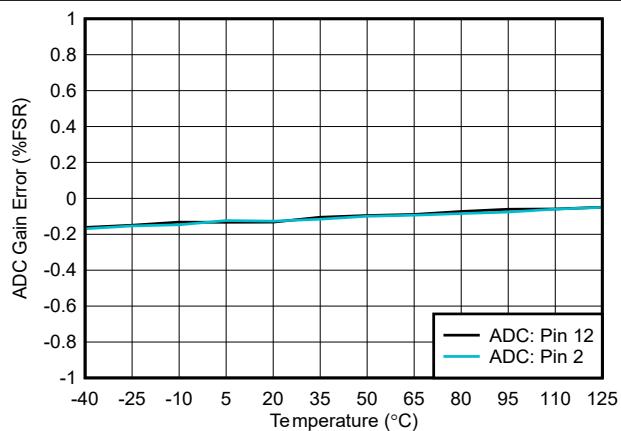
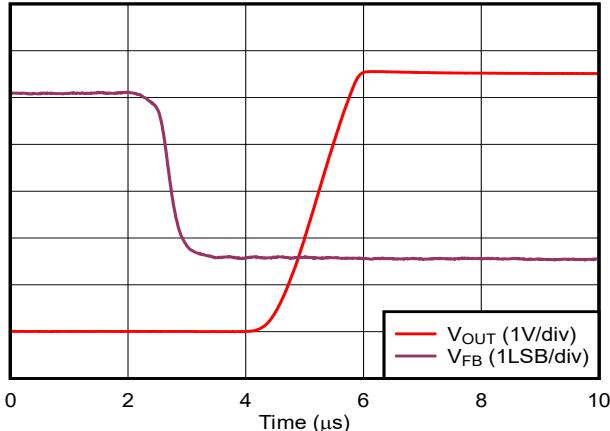


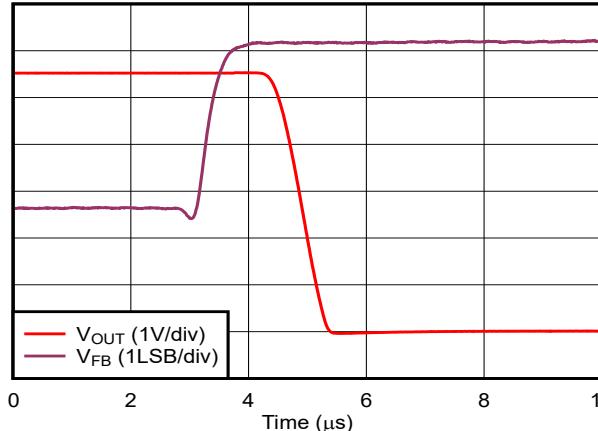
図 5-57. ADC ゲイン誤差と温度との関係

5.21 代表的特性：コンパレータ

$T_A = 25^\circ\text{C}$ 、 $V_{DD} = 5.5\text{V}$ で、外部リファレンス = 5.5V、ゲイン = 1x、12 ビット分解能、FBx ピン (Hi-Z モード)、DAC 出力は無負荷 (特に記述のない限り)



プッシュプル モードでのコンパレータ出力



プッシュプル モードでのコンパレータ出力

図 5-58. コンパレータ応答時間：Low から High への遷移

図 5-59. コンパレータ応答時間：High から Low への遷移

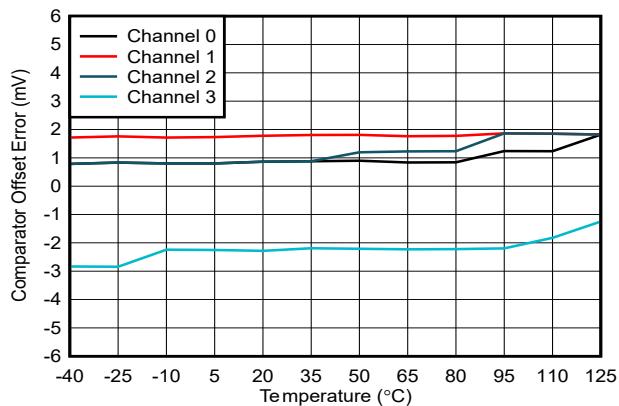


図 5-60. コンパレータ オフセット誤差と温度との関係

5.22 代表的特性：総則

$T_A = 25^\circ\text{C}$ の場合、 $V_{DD} = 5.5\text{V}$ 、DAC 出力は無負荷 (特に記述のない限り)

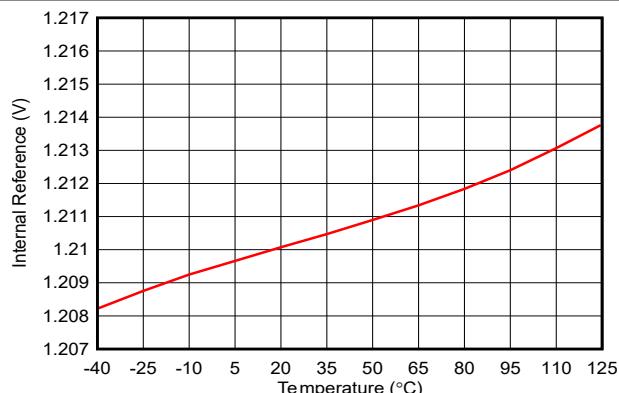
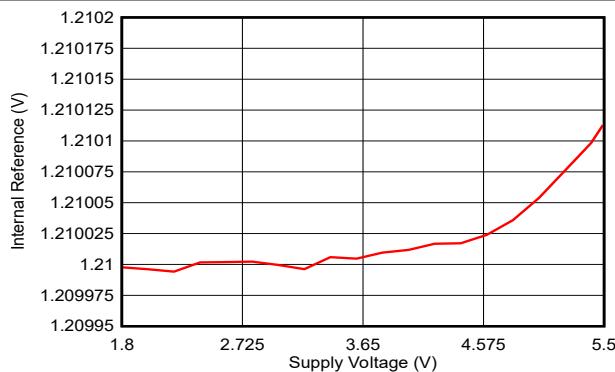
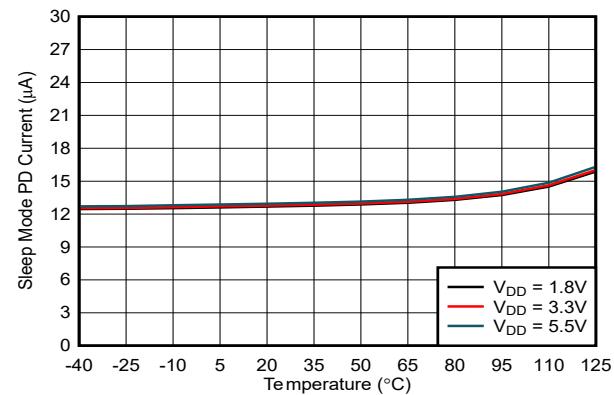


図 5-61. 内部リファレンスと温度との関係



内部リファレンス

図 5-62. 内部リファレンスと電源電圧との関係



スリープ モード、内部リファレンス ディスエーブル

図 5-63. パワーダウン電流と温度との関係

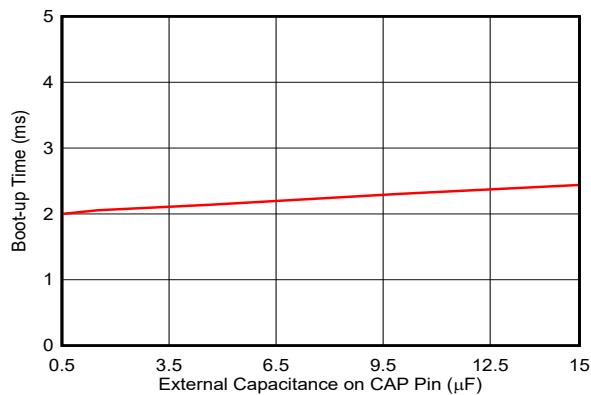


図 5-64. ブートアップ時間と CAP ピンの容量との関係

6 詳細説明

6.1 概要

10 ビット AFE53004W および 12 ビット AFE63004W (AFEx3004W) は、単一の超小型 WCSP でアナログ機能とデジタル機能の独自の組み合わせを提供する 4 チャネルのスマート アナログ フロントエンド (AFE) デバイスのピン互換ファミリです。AFE のアナログ チャネルは、10 ビット (AFE53004W) または 12 ビット (AFE63004W) のバッファ付き電圧出力、8 ビットのユニポーラまたはバイポーラの電流出力、10 ビットのアナログ/デジタル コンバータ (ADC) に多重化されたアナログ入力として、個別に構成できます。このスマート AFE は不揮発性メモリ (NVM)、内部リファレンス、自動検出可能な SPI または I²C インターフェイス、I²C モードでの PMBus 互換性、フォースセンス出力、および汎用入力を内蔵しています。これらのデバイスはデフォルトで Hi-Z パワーダウン モードをサポートしており、NVM を使用して 10kΩ-GND または 100kΩ-GND に設定できます。また、VDD がオフのときはアナログ出力は Hi-Z になります。AFEx3004W にはパワー オン リセット (POR) 回路があり、すべてのレジスタがデフォルト設定、または NVM を使用してユーザーがプログラムした設定から確実に開始されます。AFEx3004W は、内部リファレンス、外部リファレンス、またはリファレンスとして電源を使用して動作し、1.8V ~ 5.5V のフルスケール出力を提供します。

AFEx3004W デバイスは、I²C 標準モード (100Kbps)、高速モード (400Kbps)、高速モード プラス (1Mbps) をサポートします。I²C インターフェイスは、A0 ピンを使用して 4 つのターゲット アドレスで構成できます。これらのデバイスは、オン/オフ、マージン *high* または *low* などの特定の PMBus コマンドもサポートしています。SPI モードでは、デフォルトで最大 50MHz の SCLK 入力を持つ 3 線式インターフェイスをサポートしています。GPIO 入力は、NVM で SDO として構成して、SPI 読み取り機能を実現できます。GPIO 入力は、LDAC、PD、STATUS、FAULT-DUMP、RESET、または PROTECT 機能としても構成できます。

また、AFEx3004W はデジタル スルーレート制御機能を備えており、正弦および余弦、三角波、のこぎり波などの標準的な波形生成をサポートしています。これらのデバイスは、三角波またはのこぎり波と FB ピンの組み合わせにより、パルス幅変調 (PWM) 出力を生成できます。アナログ チャネルのフォース センス出力は、プログラマブル コンバレータとして使用できます。コンバレータ モードでは、プログラマブル ヒステリシス、ラッチ コンバレータ、ウィンドウ コンバレータ、NVM へのフォルトダンプが可能です。

6.2 機能ブロック図

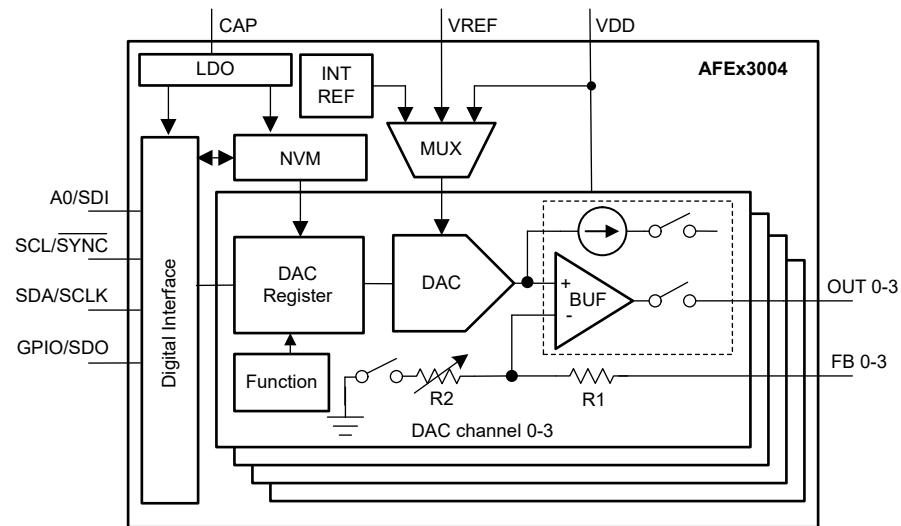


図 6-1. ADC デバイスの機能図を無効化

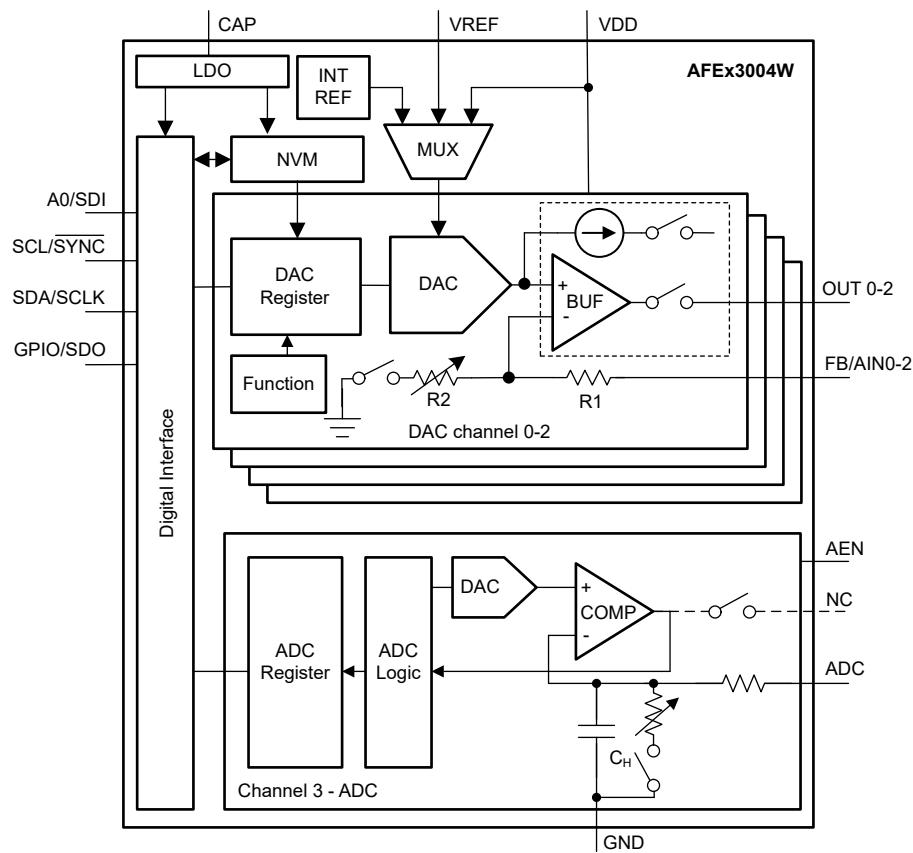


図 6-2. 有効化された ADC デバイスの機能図

6.3 機能説明

6.3.1 スマートアナログフロントエンドコンバーター(AFE)アーキテクチャ

AFEx3004W DAC チャンネルはストリング アーキテクチャで構成され、電圧出力アンプと外部 FB ピンおよび電圧/電流コンバータが構成されています。セクション 6.2 に、ブロック図内の DAC アーキテクチャを示します。この DAC アーキテクチャは、1.8V から 5.5V の電源で動作します。AFE の内部基準電圧は 1.21V です。VREF ピンで外部リファレンス、電源をリファレンスとして、内部基準電圧 (ゲインを設定可能) を選択するオプションがあります。電圧出力モードはこれら 3 つのリファレンス オプションのいずれかを使用し、DAC チャンネルごとに個別に構成できます。電流出力モードでは、内部バンド ギャップを使用して電流出力を生成します。電圧出力モードと電流出力モードはどちらも、プログラム可能な複数の出力範囲に対応しています。

AFEx3004W は、チャネル 3 に 10 ビットの逐次比較レジスタ (SAR) ADC を内蔵しています。チャネル 3 が ADC モードに設定されている場合は、他のすべてのアナログ チャンネルを ADC 入力として構成できます。ADC リファレンスはチャネルごとに個別に構成でき、DAC 構成で同じリファレンス オプションを使用できます。次の図に、ADC が有効になっている AFE アーキテクチャを示します。

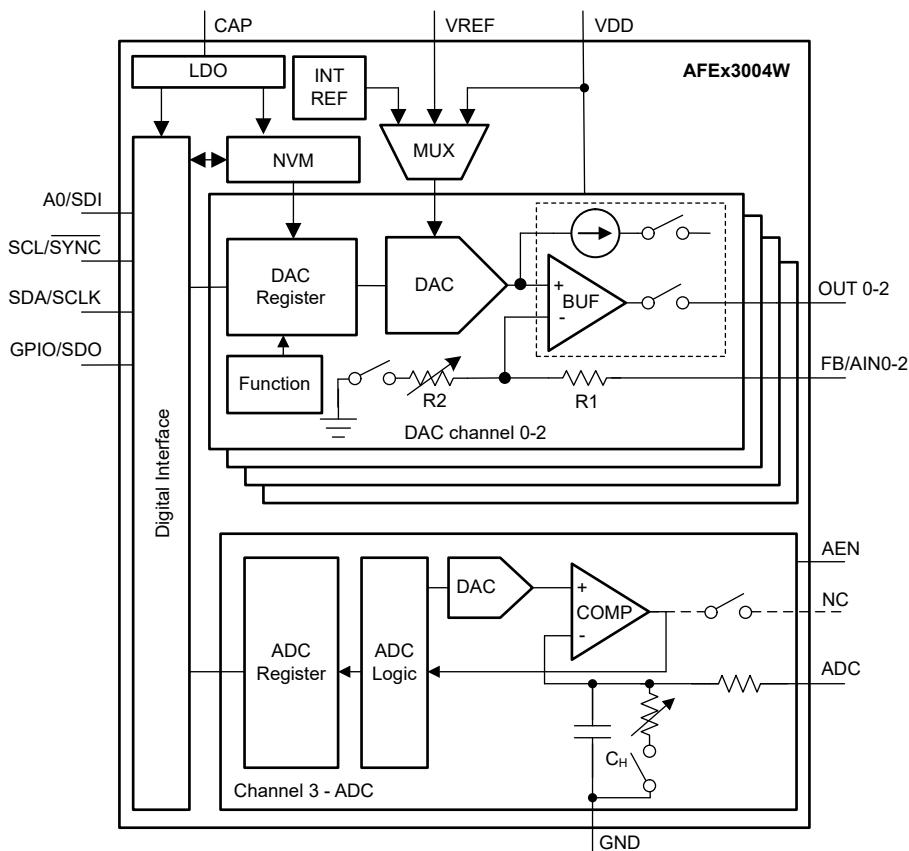


図 6-3. 有効化された ADC デバイスの機能図

AFEx3004W デバイスは、VDD がオフのときはハイインピーダンス出力をサポートするため、最大 1.25V の強制電圧で出力ピンで非常に低いリーク電流を維持できます。また、アナログ出力ピンは、デフォルトで高インピーダンス モードで起動します。パワーアップ モードを $10k\Omega$ -GND または $100k\Omega$ -GND に変更するには、COMMON-CONFIG レジスタの対応する VOUT-PDN-X フィールドをプログラムし、これらのビットをデバイス NVM にロードします。

AFEx3004W デバイスは、チャネルごとに独立したプログラム可能なコンパレータ モードをサポートしています。各 FBx ピンは、コンパレータの入力として機能します。AFE アーキテクチャは、レジスタ設定を使用してコンパレータ出力の反転をサポートしています。コンパレータ出力は、プッシュプルまたはオープン ドレインとして使用できます。コンパレータ モー

ドは、マージン *high* および マージン *low* のレジスタ フィールド、ラッチ コンパレータ、およびウインドウ コンパレータを使用してプログラム可能なヒステリシスをサポートしています。コンパレータ出力は、デバイスから内部アクセスできます。

AFEEx3004W デバイスには、プロセッサレスでの動作と高集積を可能にする スマート機能セットが含まれています。NVM により、予測可能な起動が可能になります。プロセッサがない場合、またはプロセッサまたはソフトウェアの障害が発生した場合、GPIO は I²C インターフェイスなしでアナログ出力をトリガします。統合された機能と FB_x ピンにより、制御アプリケーションの PWM 出力が可能になります。FB_x ピンにより、このデバイスをプログラマブル コンパレータとして使用できます。また、AFE はデジタル スルーレート制御機能も備えています。

6.3.2 デジタル入力/出力

AFEEx3004W には 4 つのデジタル IO ピンがあり、I²C、SPI、PMBus、GPIO インターフェイスを備えています。これらのデバイスは、電源投入後の最初の通信が成功したときに I²C および SPI プロトコルを自動的に検出し、検出されたインターフェイスに接続します。インターフェイス プロトコルが接続されると、プロトコルの変更は無視されます。I²C インターフェイスは、A0 ピンを使用して 4 つのアドレス オプションから選択します。SPI インターフェイスは、デフォルトでは 3 線式インターフェイスです。このモードでは、読み戻し機能は使用できません。GPIO ピンはレジスタ マップで設定して、SDO ピンとして NVM にプログラムできます。SPI 読み戻しモードは書き込みモードよりも低速です。プログラミング インターフェイス ピンは次のとおりです。

- I²C: SCL、SDA、A0
- SPI: SCLK、SDI、SYNC、SDO/GPIO

GPIO は、SDO 以外の複数の機能として構成できます。これらは LDAC、PD、STATUS、PROTECT、FAULT-DUMP、RESET です。出力として使用する場合、すべてのデジタル ピンはオープン ドレインです。したがって、すべての出力ピンは、外付け抵抗を使用して目的の IO 電圧にプルアップする必要があります。

6.3.3 不揮発性メモリ (NVM)

AFEEx3004W には不揮発性メモリ (NVM) ビットが搭載されています。これらのメモリ ビットはユーザーがプログラムおよび消去することができ、電源がない場合でも設定値が保持されます。「レジスタ マップ」セクションの強調表示された灰色のセルに示すように、すべてのレジスタビットは、共通トリガ レジスタの NVM-PROG = 1 を設定することで、NVM に保存できます。NVM-PROG は自動リセット ビットです。AFEEx3004W のすべてのレジスタのデフォルト値は、POR イベントが発行された直後に NVM から読み込まれます。

また、AFEEx3004W は、COMMON-TRIGGER レジスタに NVM-RELOAD ビットも実装しています。本デバイスが NVM リロード動作を開始するには、このビットを 1 に設定します。完了後、デバイスは NVM-RELOAD ビットを 0 に自動的に設定します。NVM の書き込みまたはリロード動作中は、デバイスに対するすべての読み取り/書き込み動作がブロックされます。「電気的特性: 全般」セクションに、NVM 書き込みサイクルのタイミング仕様を示します。プロセッサは、SPI または I²C インターフェイスでの読み取りまたは書き込み動作を再開する前に、指定された期間待機する必要があります。

6.4 デバイスの機能モード

6.4.1 電圧出力モード

各 AFE チャネルの電圧出力モードには、COMMON-CONFIG レジスタの VOUT-PDN-X フィールドのパワーアップ オプションを選択することで移行できます。また、同じレジスタの IOUT-PDN-X ビットを使用して、それぞれのチャネルの電流出力オプションをパワーダウンします。閉ループアンプ出力に対して、各チャネルの OUTx ピンと FBx ピンを外部で短絡します。オープンな FBx ピンにより、アンプ出力は飽和します。目的の電圧出力を得るには、適切な基準電圧オプションを選択し、必要な出力範囲に合わせてアンプ ゲインを選択し、それぞれのチャネルの DAC-X-DATA レジスタに DAC コードをプログラムします。

6.4.1.1 基準電圧と DAC 伝達関数

AFEx3004W では、3 つの電圧リファレンスオプションがあり、内部リファレンス、外部リファレンス、電源のます (図 6-4 を参照)。電圧出力モードとコンバレータモードの DAC 伝達関数は、電圧リファレンスの選択に基づいて異なります。

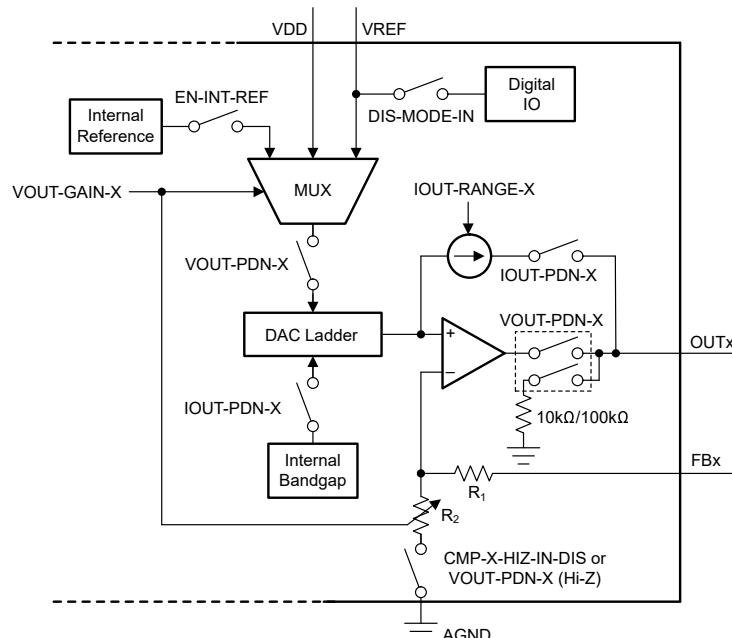


図 6-4. 電圧リファレンスの選択とパワーダウン ロジック

6.4.1.1.1 内部リファレンス

AFEx3004W には内部リファレンスが搭載されており、デフォルトでディセーブルになっています。内部リファレンスを有効にするには、COMMON-CONFIG レジスタのビット EN-INT-REF に 1 を書き込みます。内部リファレンスは、固定 1.21V 電圧 (標準値) を生成します。DAC-X-VOUT-CMP-CONFIG レジスタの VOUT-GAIN-X ビットを使用して、DAC 出力電圧 (V_{OUT}) に $1.5\times$ 、 $2\times$ 、 $3\times$ 、 $4\times$ のゲインを実現します。式 1 に、内部基準電圧を使用した DAC 伝達関数を示します。

$$V_{OUT} = \frac{DAC_DATA}{2^N} \times V_{REF} \times GAIN \quad (1)$$

ここで

- N はビット単位の解像度で、12 (AFE63004W) または 10 (AFE53004W) です。
- DAC_DATA は、DAC-X-DATA レジスタの DAC-X-DATA ビットにロードされるバイナリコードに等価な 10 進数です。DAC_DATA 範囲は $0 \sim 2^N - 1$ です。
- V_{REF} は内部リファレンス電圧 = 1.21V (標準値) です。
- VOUT-GAIN-X ビットに基づき、 $GAIN = 1.5\times$ 、 $2\times$ 、 $3\times$ 、 $4\times$ 。

6.4.1.1.2 外部リファレンス

デフォルトでは、AFE3004W は外部リファレンス入力で動作します。外部リファレンス オプションは、DAC-X-VOUT-CMP-CONFIG レジスタの VOUT-GAIN-X フィールドを適切に構成することで選択することもできます。DEVICE-MODE-CONFIG レジスタの DIS-MODE-IN ビットに 1 を書き込んで、 I_{DD} を最小化します。外部リファレンスは、1.7V と VDD の間にすることができます。[式 2](#) に、外部基準電圧を使用する場合の DAC 伝達関数を示します。DAC の出力段のゲインは、外部リファレンス モードの場合、常に 1 倍です。

注

外部基準電圧は、過渡状態と定常状態の両方で、VDD を下回る必要があります。したがって、外部リファレンスは VDD の後に上昇し、VDD の前に下降する必要があります。

$$V_{OUT} = \frac{DAC_DATA}{2^N} \times V_{REF} \quad (2)$$

ここで

- N はビット単位の解像度で、12 (AFE63004W) または 10 (AFE53004W) です。
- DAC_DATA は、DAC-X-DATA レジスタの DAC-X-DATA フィールドにロードされるバイナリコードに等価な 10 進数です。DAC_DATA 範囲は 0 ~ $2^N - 1$ です。
- V_REF は外部リファレンス電圧です。

6.4.1.1.3 基準電圧としての電源

AFE3004W は、電源ピン (VDD) を基準電圧として動作できます。[式 3](#) に、電源ピンを基準として使用した場合の DAC 伝達関数を示します。出力段のゲインは常に 1x です。

$$V_{OUT} = \frac{DAC_DATA}{2^N} \times V_{DD} \quad (3)$$

ここで

- N はビット単位の解像度で、10 (AFE63004W) または 12 (AFE53004W) です。
- DAC_DATA は、DAC-X-DATA レジスタの DAC-X-DATA ビットにロードされるバイナリコードに等価な 10 進数です。
- DAC_DATA 範囲は 0 ~ $2^N - 1$ です。
- V_DD は、DAC の基準電圧として使用されます。

6.4.2 電流出力モード

各 AFE チャネルで電流出力モードに入るには、COMMON-CONFIG レジスタのそれぞれの IOUT-PDN-X ビットをディセーブルにし、同じレジスタのそれぞれの VOUT-PDN-X ビットを Hi-Z パワーダウン モードに設定します。DAC-X-IOUT-MISC-CONFIG レジスタの IOUT-RANGE-X ビットに書き込み、目的の電流出力範囲を選択します。電流出力モードでのリーク電流を最小限に抑えるため、FBx ピンを切断します。最高のパワーオン グリッチ性能を得るには、出力チャネルに電力を供給する前に最小の出力範囲を使用して NVM モードを IOUT モードでプログラムします。その後、DAC コードと目的の出力範囲をただちにプログラムします。出力電流の伝達関数は次の式で表されます。

$$I_{OUT} = \frac{DAC_DATA \times (I_{MAX} - I_{MIN})}{2^8} + I_{MIN} \quad (4)$$

ここで

- DAC_DATA は、[セクション 7.8](#) で指定された DAC-X-DATA ビット、または[セクション 7.21](#) で指定された DAC-X-DATA-8BIT にロードされるバイナリコードに等価な 10 進数です。DAC_DATA 範囲は 0 ~ 255 です。
- I_{MAX} は、[セクション 7.5](#) で規定されている IOUT-RANGE-X 設定における符号付き最大電流です。
- I_{MIN} は、[セクション 7.5](#) で規定されている IOUT-RANGE-X 設定での符号付き最小電流です。

6.4.3 A/D コンバータ (ADC) の特性

AFEx3004W は ADC を内蔵しています。アナログ チャネルは、図 6-5 に示すように、独立した ADC 入力に変換できます。メイン ADC チャネルは ADC3 で、他の入力は ADC3 に多重化されます。ADC3 はコンパレータとして構成し、いずれかのチャネルが ADC として選択されている場合、FB3/AIN3 ピンをプルアップ抵抗を使用して VDD に接続する必要があります。式 5 に、ADC の伝達関数を示します。

$$\text{ADC_DATA} = (\text{INTEGER}) \left(\frac{V_{\text{IN}}}{V_{\text{FS}}} \right) \times 2^{10} \quad (5)$$

ここで、

- ADC_DATA は、レジスタ マップの ADC 読み戻しの出力です。ADC_DATA は (2¹⁰-1) に制限されます。
- V_{IN} は AINx ピンの入力電圧です。
- 表 6-1 に示されているように、 V_{FS} はフルスケール入力電圧です。
- (INTEGER) は整数除算を表します。

チャネル x の ADC を構成し、データを読み取るには、次の手順に従います。

1. DAC-X-VOUT-CMP-CONFIG レジスタの対応するチャネルの VOUT-GAIN-X を使用してフルスケール電圧を構成します。
2. DAC-3-VOUT-CMP-CONFIG レジスタの CMP-X-EN ビットに 1 を書き込むことで、DAC チャネル 3 をコンパレータとして構成します。チャネル 3 では Hi-Z 入力のみが許可されます。
3. DAC-X-VOUT-CMP-CONFIG レジスタの CMP-X-EN ビットに 1 を書き込むことで、DAC チャネル x をコンパレータとして設定します。
4. 平均化の数、ADC チャネルを選択し、ADC-CONFIG-TRIG レジスタを使用して ADC 変換をトリガします。
5. ADC-DATA レジスタを使用して ADC データを読み取ります。データは、ADC - DRDY ビットが 1 のとき有効です。
6. ADC の読み戻しごとに、手順 4 と 5 を繰り返します。

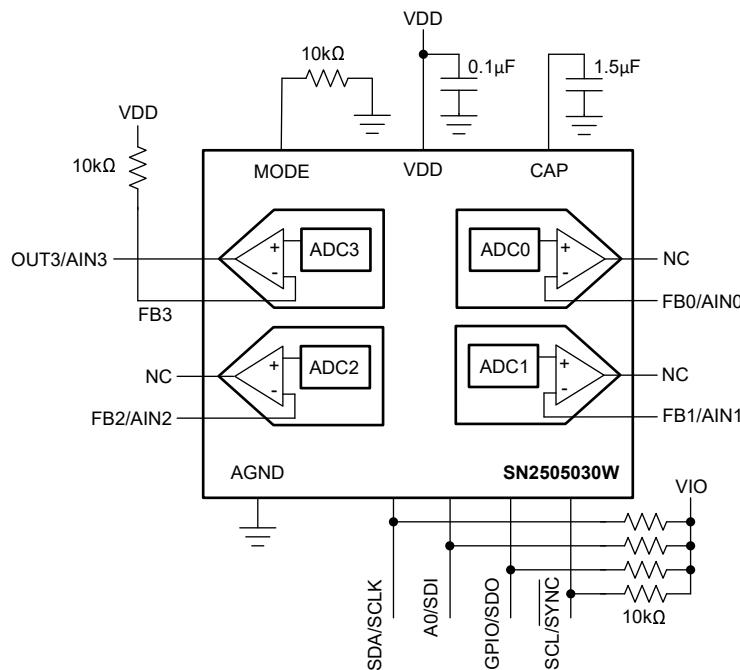


図 6-5. ADC インターフェイス

表 6-1. フルスケール アナログ入力 (V_{FS})

リファレンス (VREF)	ゲイン	V_{FS} (ハイインピーダンス入力モード)	V_{FS} (有限インピーダンス入力モード)
電源	1 ×	VDD / 3	VDD
外部	1 ×	VREF / 3	VREF
内部	1.5 ×	(VREF × ゲイン) / 3	VREF × ゲイン
	2 ×	(VREF × ゲイン) / 3	VREF × ゲイン
	3 ×	(VREF × ゲイン) / 6	(VREF × ゲイン) / 2
	4 ×	(VREF × ゲイン) / 6	(VREF × ゲイン) / 2

6.4.4 コンパレータ モード

すべての AFE チャネルは、電圧出力モードでプログラマブル コンパレータとして構成できます。チャネルのコンパレータモードを開始するには、それぞれの DAC-X-VOUT-CMP-CONFIG レジスタの **CMP-X-EN** ビットに 1 を書き込みます。コンパレータの出力は、**CMP-X-OD-EN** ビットを使用して、プッシュプルまたはオープンドレインとして構成できます。出力ピンのコンパレータ出力をイネーブルにするには、**CMP-X-OUT-EN** ビットに 1 を書き込みます。コンパレータの出力を反転するには、**CMP-X-INV-EN** ビットに 1 を書き込みます。FBx ピンのインピーダンスは有限です。デフォルトでは、FBx ピンはハイインピーダンス モードになっています。FBx ピンの高インピーダンスをディセーブルにするには、**CMP-X-HIZ-IN-DIS** ビットに 1 を書き込みます。表 6-2 に、各種ビット設定に対するピンのコンパレータ出力を示します。

注

ハイインピーダンス入力モードでは、コンパレータの入力範囲は次のように制限されます。

- ゲイン = 1x、1.5x、または 2x の場合: $V_{FB} \leq (V_{REF} \times \text{ゲイン}) / 3$
- ゲイン = 3x、または 4x の場合: $V_{FB} \leq (V_{REF} \times \text{ゲイン}) / 6$

それより高い入力電圧はクリップされます。

表 6-2. コンパレータ出力構成

CMP-X-EN	CMP-X-OUT-EN	CMP-X-OD-EN	CMP-X-INV-EN	CMPX-OUT ピン
0	X	X	X	コンパレータ ディスエーブル
1	0	X	X	出力なし
1	1	0	0	プッシュプル出力
1	1	0	1	プッシュプルと反転出力
1	1	1	0	オープンドレイン出力
1	1	1	1	オープンドレインと反転出力

図 6-6 に、すべての DAC チャネルをコンパレータとして構成した場合のインターフェイス回路を示します。図 6-7 に、プログラマブル コンパレータ動作を示します。表 6-3 に示すように、各 DAC-X-CMP-MODE-CONFIG レジスタの **CMP-X-MODE** ビットを使用して、個々のコンパレータ チャネルをヒステリシスなし、ヒステリシスあり、ウインドウ コンパレータ モードに構成できます。

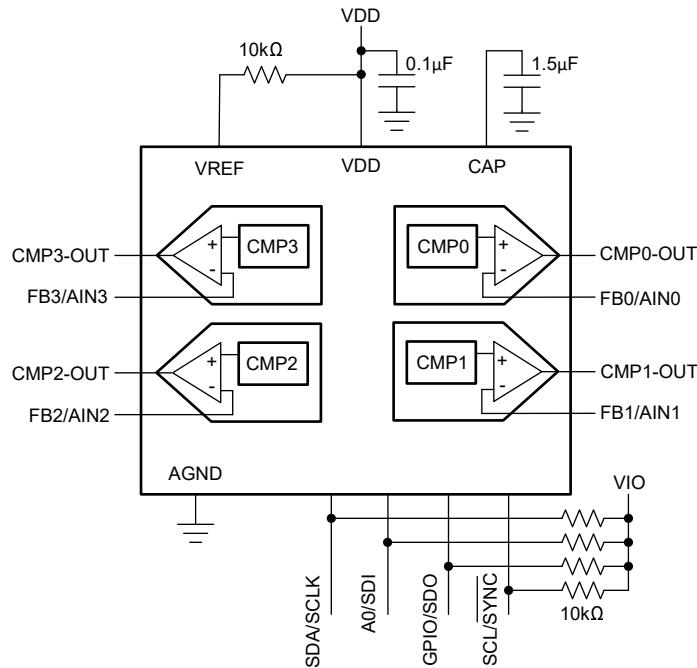


図 6-6. コンパレータ インターフェイス

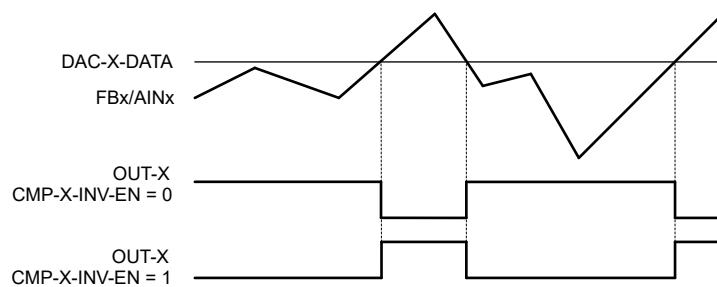


図 6-7. プログラマブル コンパレータ動作

表 6-3. コンパレータ モードの選択

CMP-X-MODE のビットフィールド	コンパレータの構成
00	通常のコンパレータ モード。ヒステリシスまたはウンドウ動作はありません。
01	ヒステリシス コンパレータ モード。DAC-X-MARGIN-HIGH および DAC-X-MARGIN-LOW レジスタは、ヒステリシスを設定します。
10	ウンドウ コンパレータ モード。DAC-X-MARGIN-HIGH および DAC-X-MARGIN-LOW レジスタは、ウンドウ境界を設定します。
11	無効な設定

6.4.4.1 プログラマブル ヒステリシス コンパレータ

表 6-3 に示すように、コンパレータ モードは、CMP-X-MODE ビットが 01b に設定されるとヒステリシスを提供します。ヒステリシスは、図 6-8 に示すように、DAC-X-MARGIN-HIGH レジスタと DAC-X-MARGIN-LOW レジスタによって生成されます。

DAC-X-MARGIN-HIGH がフルコードに設定されるか、DAC-X-MARGIN-LOW がゼロコードに設定されると、コンパレータはラッチ コンパレータとして動作し、スレッショルドを超えた後に出力がラッチされます。ラッチされた出力は、COMMON-DAC-TRIG レジスタの対応する RST-CMP-FLAG-X ビットに書き込むことでリセットできます。図 6-9 に、アクティブ low 出力のラッチ コンパレータの動作を示し、図 6-10 に、アクティブ high 出力のラッチ コンパレータの動作を示します。

注

DAC-X-MARGIN-HIGH レジスタの値は、DAC-X-MARGIN-LOW レジスタの値より大きい必要があります。ヒステリシス モードのコンパレータ出力は非反転のみ可能です。つまり、DAC-X-VOUT-CMP-CONFIG レジスタの CMP-X-INV-EN ビットを 0 に設定する必要があります。ラッチ モードでリセットを有効にするには、入力電圧が DAC-X-MARGIN-HIGH と DAC-X-MARGIN-LOW の範囲内である必要があります。

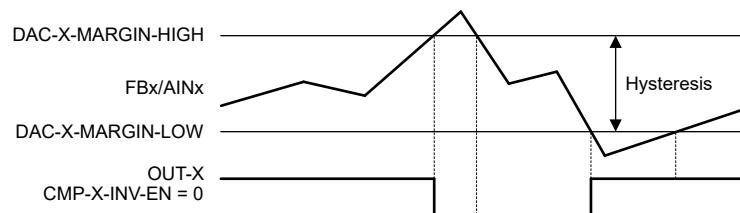


図 6-8. プログラマブル ヒステリシス (出力のラッチなし)

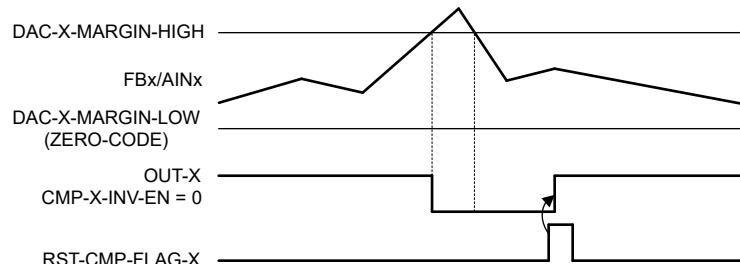


図 6-9. ラッチ コンパレータ (アクティブ Low 出力)

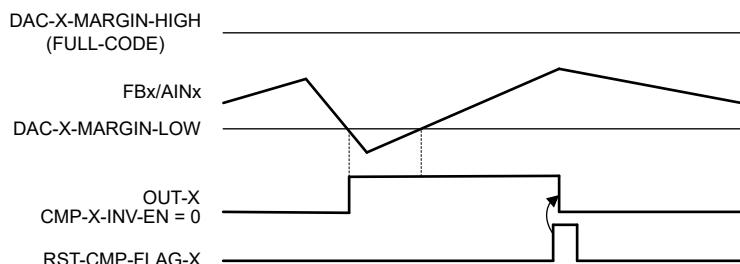


図 6-10. ラッチ コンパレータ (アクティブ High 出力)

6.4.4.2 プログラマブル ウィンドウ コンパレータ

ウィンドウ コンパレータ モードは、CMP-X-MODE ビットを 10b に設定することでイネーブルになります (表 6-3 を参照)。図 6-11 に示すように、ウィンドウ境界は、DAC-X-MARGIN-HIGH および DAC-X-MARGIN-LOW レジスタによって設定されます。特定のチャネルのウィンドウ コンパレータの出力は、CMP ステータス レジスタの該当する WIN-CMP-X ビットによって示されます。コンパレータの出力 (WIN-CMP-X) は、COMMON-CONFIG レジスタの WIN-LATCH-EN ビットに 1 を書き込むことでラッチできます。ラッチされた後、コンパレータ出力は、COMMON-DAC-TRIG レジスタの対応する RST-CMP-FLAG-X ビットを使用してリセットできます。リセットを有効にするには、入力がウィンドウ範囲内にある必要があります。

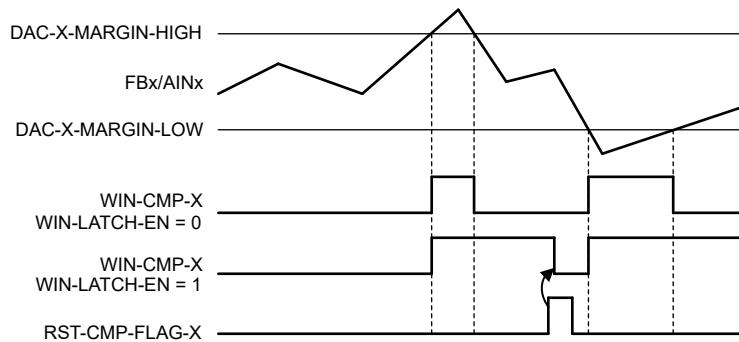


図 6-11. ウィンドウ コンパレータの動作

チャネルごとに 1 つのコンパレータを使用して、ウィンドウの「margin-high」と「margin-low」の両方をチェックします。そのため、ウィンドウ コンパレータ機能は、「電気的特性:コンパレータ モード」セクション。また、WIN-CMP-X ビットの静的動作は出力ピンに反映されません。CMP-X-OUT-EN ビットを 0 に設定します。WIN-CMP-X ビットは、通信インターフェイスを使用してデジタル形式で読み取る必要があります。表 6-20 に示すように、このビットは GPIO ピンに割り当てることができます。

注

- DAC-X-MARGIN-HIGH レジスタの値は、DAC-X-MARGIN-LOW レジスタの値より大きくする必要があります。
- ウィンドウ コンパレータから最適な応答時間を得るには、DAC-X-FUNC-CONFIG レジスタの SLEW-RATE-X ビットを 0000b (スルーなし) に、LOG-SLEW-EN-X ビットを 0b に設定します。
- DAC-X-VOUT-CMP-CONFIG レジスタの CMP-X-OUT-EN ビットを 0b に設定することで、OUT ピンが不要になります。

6.4.5 プログラマブルスルーレート制御

DAC データレジスタに書き込むと、DAC 出力の電圧は、「電気的特性」に規定されているスルーレートとセトリング時間に沿って新しいコードに直ちに遷移します。

スルーレート制御機能により、ユーザーは出力電圧が変化するレートを制御できます。この機能を有効にすると (SLEW-RATE-X[3:0] ビットを使用)、DAC-X-FUNC-CONFIG レジスタの CODE-STEP-X および SLEW-RATE-X ビットで設定されたステップサイズとステップあたりの時間を使用して、DAC 出力が現在のコードから DAC-X-MARGIN-HIGH または DAC-X-MARGIN-LOW レジスタのコードに変化します (DAC にマージン high または low コマンドが発行された場合)。

- スルーレート X は、デジタルスルーレートを更新するステップあたりの時間を定義します。
- CODE-STEP-X は、対応するチャネルの各更新時に出力値が変化する LSB の数を定義します。

表 6-4 および表 6-5 に、CODE-STEP-X および SLEW-RATE-X で利用可能なさまざまな設定を示します。デフォルトのスルーレート制御設定がスルーレートなしの場合、出力は出力駆動回路と接続された負荷によって制限されたレートで直ちに変化します。

スルーレート制御機能を使用する場合、プログラムされたスルーレートで出力の変化が発生します。この構成では、図 6-12 に示すように、出力で階段が形成されます。出力スルーレート動作中は、CODE-STEP-X、SLEW-RATE-X、DAC-X-DATA に書き込まないでください。式 6 に、スルーレート時間 (t_{SLEW}) を計算する式を示します。

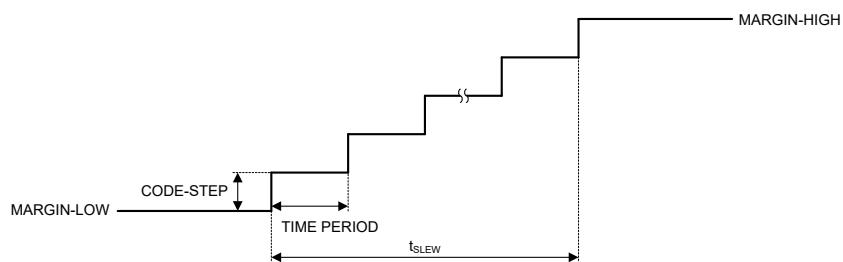


図 6-12. プログラマブルスルーレート制御

$$t_{SLEW} = SLEW_RATE \times \text{CEILING}\left(\frac{\text{MARGIN_HIGH} - \text{MARGIN_LOW}}{\text{CODE_STEP}} + 1\right) \quad (6)$$

ここで

- SLEW_RATE は、表 6-5 に規定されている SLEW_RATE 設定です。
- CODE_STEP は、表 6-4 で指定されている CODE-STEP-X 設定です。
- MARGIN_HIGH は、DAC-X-MARGIN-HIGH レジスタで指定された DAC-X-MARGIN HIGH ビットの 10 進値です。
- MARGIN_LOW は、DAC-X-MARGIN-LOW レジスタで指定された DAC-X-MARGIN LOW ビットの 10 進値です。

表 6-4. コードステップ

レジスタ	CODE-STEP-X[2]	CODE-STEP-X[1]	CODE-STEP-X[0]	コードステップサイズ
DAC-X-FUNC-CONFIG	0	0	0	1 LSB (デフォルト)
	0	0	1	2 LSB
	0	1	0	3 LSB
	0	1	1	4 LSB
	1	0	0	6 LSB
	1	0	1	8 LSB
	1	1	0	16 LSB
	1	1	1	32 LSB

表 6-5. スルー レート

レジスタ	SLEW-RATE-X[3]	SLEW-RATE-X[2]	SLEW-RATE-X[1]	SLEW-RATE-X[0]	期間 (ステップごと)
DAC-X-FUNC-CONFIG	0	0	0	0	スルーなし (デフォルト)
	0	0	0	1	4 μ s
	0	0	1	0	8 μ s
	0	0	1	1	12 μ s
	0	1	0	0	18 μ s
	0	1	0	1	27.04 μ s
	0	1	1	0	40.48 μ s
	0	1	1	1	60.72 μ s
	1	0	0	0	91.12 μ s
	1	0	0	1	136.72 μ s
	1	0	1	0	239.2 μ s
	1	0	1	1	418.64 μ s
	1	1	0	0	732.56 μ s
	1	1	0	1	1282 μ s
	1	1	1	0	2563.96 μ s
	1	1	1	1	5127.92 μ s

6.4.6 フォルトダンプ モード

AFEx3004W は、フォルトダンプ ビットがトリガされたときや、FAULT-DUMP にマッピングされた GPIO (表 6-19 を参照) がトリガされたときに、いくつかのレジスタを NVM に保存する機能を備えています。この機能は、システム レベルの障害管理で、故障がトリガされる直前にデバイスまたはシステムの状態をキャプチャして、故障が発生した後に診断できるようになります。フォルトダンプがトリガされたときに保存されるレジスタは次のとおりです。

- CMP-STATUS[7:0]
- DAC-0-DATA[15:8]
- DAC-1-DATA[15:8]
- DAC-2-DATA[15:8]
- DAC-3-DATA[15:8]
- ADC-DATA [15:0]

注

フォルトダンプ サイクルの進行中は、データに変更を加えると最終的な結果が破損する可能性があります。
NVM 書き込みサイクル中は、コンパレータと DAC コードが安定していることを確認してください。

表 6-6 に、NVM のレジスタの保存形式を示します。

表 6-6. フォルトダンプの NVM 保存形式

NVM 行	B31-B24	B23-B16	B15-B8	B7-B0
Row1	CMP-STATUS[7:0]		ADC-DATA[15:0]	未使用
Row2	DAC-0-DATA[15:8]	DAC-1-DATA[15:8]	DAC-2-DATA[15:8]	DAC-3-DATA[15:8]

フォルトダンプ後に NVM でキャプチャされたデータは、次の特定のシーケンスで読み取ることができます。

1. COMMON-CONFIG レジスタで EE-READ-ADDR ビットを 0b に設定し、NVM の row1 を選択します。
2. COMMON-TRIGGER レジスタの READ-ONE-TRIG に 1 を書き込んで、選択された NVM 行の読み出しをトリガします。このビットは自動リセットされます。このアクションにより、選択された NVM 行からのデータが SRAM アドレス 0x9D (NVM の LSB 16 ビット) および 0x9E (NVM の MSB 16 ビット) にコピーされます。
3. SRAM データを読み取るには、次の手順に従います。
 - a. SRAM-CONFIG レジスタに 0x009D を書き込みます。

- b. SRAM-DATA レジスタからデータを読み取り、LSB 16 ビットを取得します。
 - c. SRAM-CONFIG レジスタに 0x009E を書き込みます。
 - d. SRAM-DATA レジスタからデータを再度読み取り、MSB ビットを取得します。
4. COMMON-CONFIG レジスタで EE-READ-ADDR ビットを 1b に設定し、NVM の row2 を選択します。手順 2 ~ 3 を繰り返します。

6.4.7 ハイ インピーダンス出力および~~PROTECT~~ 入力

VDD がオフのとき、すべての DAC 出力チャネルは高インピーダンス (Hi-Z) に維持されます。図 6-13 に、電圧マージン測定アプリケーションで使用される AFEEx3004W の概略回路図を示します。直列抵抗 R_S は電圧出力モードで必要ですが、電流出力モードではオプションです。大半のリニア レギュレータと DC/DC コンバータの帰還電圧は、 $\leq 1.25V$ です。 $\leq 1.25V$ の V_{FB} に対して、出力の低リーク電流が維持されます。そのため、すべての実用的な目的で、電圧マージン測定およびスケーリング アプリケーションでは、DAC の VDD がオフになっているとき、DAC 出力は Hi-Z として表示されます。この機能により、DAC の電源シーケンスを追加しなくても、AFEEx3004W システムにシームレスに統合できます。

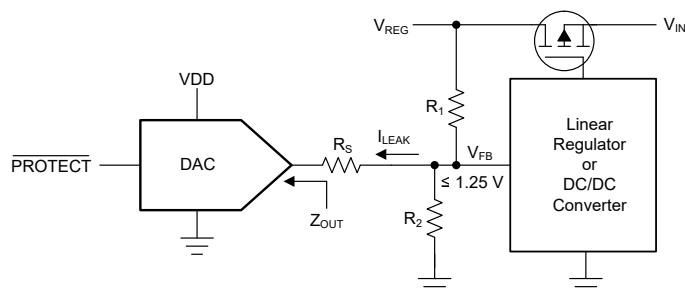


図 6-13. ハイ インピーダンス (Hi-Z) 出力および~~PROTECT~~ 入力

DAC チャネルは、ブートアップ時にハイ インピーダンスへのパワーダウンを行います。出力は、DC/DC コンバータまたはリニア レギュレータの公称出力に対応するように事前にプログラムされたコードで起動できます。この機能により、DC/DC コンバータやリニア レギュレータの帰還ループに影響を及ぼすことなく、DAC のスムーズなパワーアップとパワーダウンが可能になります。

表 6-19 に示すように、AFEEx3004W の GPIO ピンは~~保護~~ 機能として構成できます。~~PROTECT~~ は、DAC 出力を予測可能な状態にし、スルーまたは直接遷移します。この機能は、フォルト状態 (電圧低下など)、サブシステム障害、ソフトウェアクラッシュに起因して、プロセッサの関与なしに DAC 出力が事前定義された状態に達する必要があるシステムで役立ちます。検出されたイベントは、~~保護~~ 入力として構成されている GPIO ピンに供給することができます。~~PROTECT~~ 機能は、COMMON-TRIGGER レジスタの~~PROTECT~~ ビットを使用してトリガすることもできます。表 6-7 にも示すように、DEVICE-MODE-CONFIG レジスタの~~PROTECT-CONFIG~~ フィールドで~~保護~~ 機能の動作を構成します。

注

- ~~PROTECT~~ 機能がトリガされた後、機能が完了するまで、通信インターフェイスで書き込み機能は無効になります。
- ~~PROTECT~~ 機能がトリガされると、CMP-STATUS レジスタの~~PROTECT-FLAG~~ ビットは 1 に設定されます。このビットをポーリングするには、CMP ステータスレジスタを読み出します。~~PROTECT~~ 機能の完了後、CMP-STATUS レジスタの読み取りコマンドによって~~PROTECT-FLAG~~ ビットがリセットされます。

表 6-7. ~~PROTECT~~ 機能の構成

PROTECT-CONFIG フィールド	機能
00	ハイ インピーダンス パワーダウン (スルーなし) に切り換えます。
01	NVM に保存された DAC コード (スルーなし) に切り換えてから、ハイ インピーダンス パワーダウンに切り換えます。
10	margin-low コードまでスルーしてから、ハイ インピーダンス パワーダウンに切り換えます。

表 6-7. **PROTECT** 機能の構成 (続き)

PROTECT-CONFIG フィールド	機能
11	margin-high コードまでスルーしてから、ハイインピーダンスパワーダウンに切り替えます。

6.4.8 PMBus 互換モード

PMBus プロトコルは、電源管理のための I²C ベースの通信規格です。PMBus には、電源アプリケーション向けにカスタマイズされた標準コマンドコードが含まれています。AFEEx3004W には、ターンオフ、ターンオン、マージン *low*、マージン *high*、通信障害アラートビット (CML)、PMBUS リビジョンなどのいくつかの PMBus コマンドが実装されています。図 6-14 に、代表的な PMBus 接続を示します。PMBus プロトコルをイネーブルにするには、INTERFACE-CONFIG レジスタの EN-PMBUS ビットを 1 にセットする必要があります。

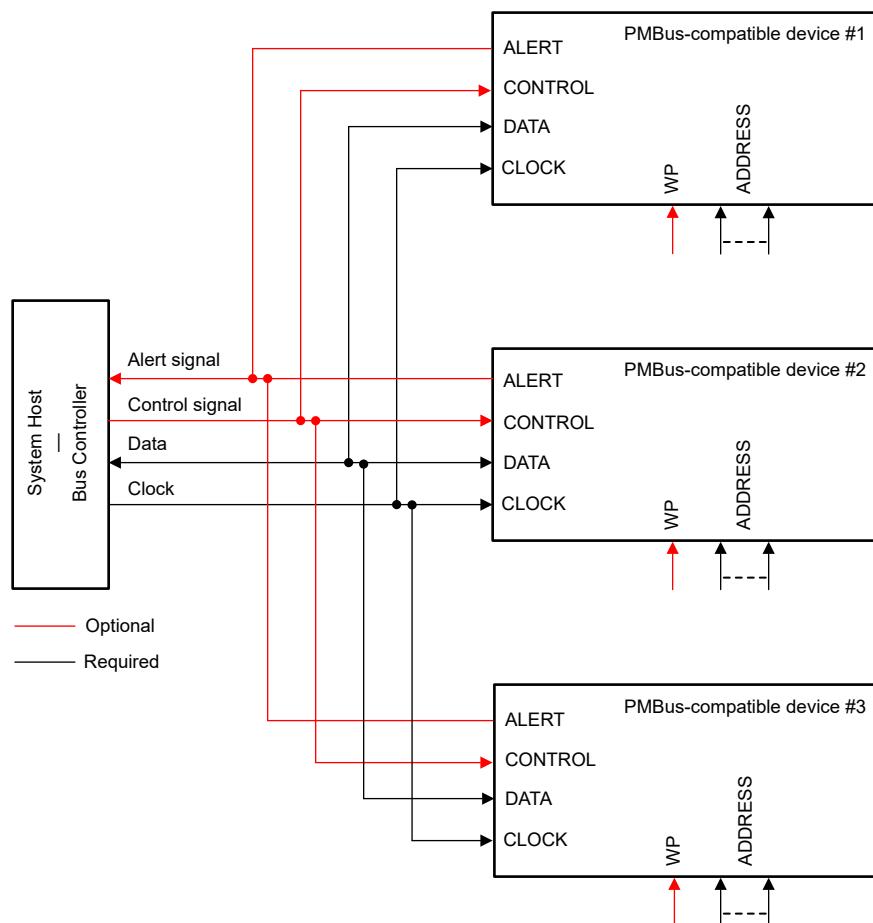


図 6-14. PMBus の接続

I²C と同様に、PMBus は 8 ビットデータ バイトの可変長パケットであり、それぞれにレシーバ アクノリッジ (受信確認) があり、開始ビットと停止ビットの間でラップされます。最初のバイトは常に 7 ビットの ターゲット アドレスであり、その後に書き込みビットが続きます。この書き込みビットは、パケットの目的のレシーバを識別する 偶数アドレスと呼ばれることがあります。2 番目のバイトは 8 ビットの コマンド バイトで、それぞれのコマンドコードを使用して、送信される PMBus コマンドを識別します。コマンド バイトの後、トランスマッタは、レシーバ コマンド レジスタに書き込むコマンドに関連するデータ (表 6-8 に示すように、最下位バイトから最上位バイトまで) を送信するか、コマンド レジスタに関連するデータをレシーバから読みたいことを示す新しいスタートビットを送信します。次に、レシーバは、同じ最下位バイトの最初の形式に従うデータを送信します (表 6-9 を参照)。

表 6-8. PMBus 更新シーケンス

MSB	...	LSB	ACK	MSB	...	LSB	ACK	MSB	...	LSB	ACK	MSB	...	LSB	ACK
アドレス (A) バイト セクション 6.5.2.2.1				コマンド バイト セクション 6.5.2.2.2				データ バイト - LSDB				データ バイト - MSDB (オプション)			
DB [31:24]				DB [23:16]				DB [15:8]				DB [7:0]			

表 6-9. PMBus 読み出しシーケンス

S	MSB	...	R/W (0)	ACK	MSB	...	LSB	ACK	Sr	MSB	...	R/W (1)	ACK	MSB	...	LSB	ACK	MSB	...	LSB	ACK
	アドレス バイト セクション 6.5.2.2.1				コマンド バイト セクション 6.5.2.2.2				Sr	アドレス バイト セクション 6.5.2.2.1				LSDB				MSDB (オプション)			
	コントローラから	ターゲット			コントローラから		ターゲット			コントローラから		ターゲット		ターゲットから		コントローラ		ターゲットから		コントローラ	

AFEx3004W の I²C インターフェイスには、一部の PMBus コマンドが実装されています。表 6-10 に、AFEx3004W に実装されているサポートされている PMBus コマンドを示します。DAC は、PMBus-OPERATION-CMD-X に DAC-X-MARGIN-LOW、DAC-X-MARGIN-HIGH ビット、SLEW-RATE-X ビット、および CODE-STEP-X ビットを使用します。複数のチャネルにアクセスするには、最初に「レジスタ マップ」セクションの レジスタ名表で指定されている PMBus ページ アドレスを PMBUS ページ レジスタに書き込み、その後でチャネル固有のレジスタに書き込みます。

表 6-10. PMBus 動作コマンド

レジスタ	PMBUS-OPERATION-CMD-X[15:8]	説明
PMBUS-OP-CMD-X	00h	ターンオフ
	80h	ターンオン
	94h	マージン low
	A4h	マージン high

AFEx3004W には、グループ コマンド プロトコルや通信タイムアウト障害などの PMBus 機能も実装されています。PMBUS-CML レジスタの CML ビットは、PMBus の通信フォルトを示します。このビットは、1 を書き込むことでリセットされます。

PMBus バージョン入手するには、PMBUS バージョン レジスタを読み出します。

6.4.9 機能の生成

AFEEx3004W は、連続機能または波形生成機能を実装しています。これらのデバイスは、すべてのチャネルに対して三角波、のこぎり波、正弦波を独立して生成できます。

6.4.9.1 三角波生成

図 6-15 は、三角波で、最小レベルと最大レベルに対して、それぞれ DAC-X-MARGIN-LOW (FUNCTION-MIN) および DAC-X-MARGIN-HIGH (FUNCTION-MAX) レジスタを使用することを示しています。波形の周波数は、最小レベルと最大レベル、CODE-STEP と SLEW-RATE の設定によって異なります (式 7 を参照)。時定数がスルーレート設定よりも大きい外部 RC 負荷は、内部周波数の計算で支配的になります。CODE-STEP-X および SLEW-RATE-X 設定は、DAC-X-FUNC-CONFIG レジスタで利用できます。DAC-X-FUNC-CONFIG レジスタの FUNC-CONFIG-X ビットフィールドに 0b000 を書き込むと、三角波が選択されます。

$$f_{\text{TRIANGLE}} = \frac{1}{2 \times \text{TIME_STEP} \times \text{CEILING}\left(\frac{\text{FUNCTION_MAX} - \text{FUNCTION_MIN}}{\text{CODE_STEP}}\right)} \quad (7)$$

ここで

- TIME_STEP は、表 6-5 に規定されている SLEW-RATE-X 設定です。
- CODE_STEP は、表 6-4 で指定されている CODE-STEP-X 設定です。
- FUNCTION_MAX は、DAC-X-MARGIN-HIGH レジスタで指定された DAC-X-MARGIN HIGH ビットの 10 進値です。
- FUNCTION_MIN は、DAC-X-MARGIN-LOW レジスタで指定された DAC-X-MARGIN-LOW ビットの 10 進値です。

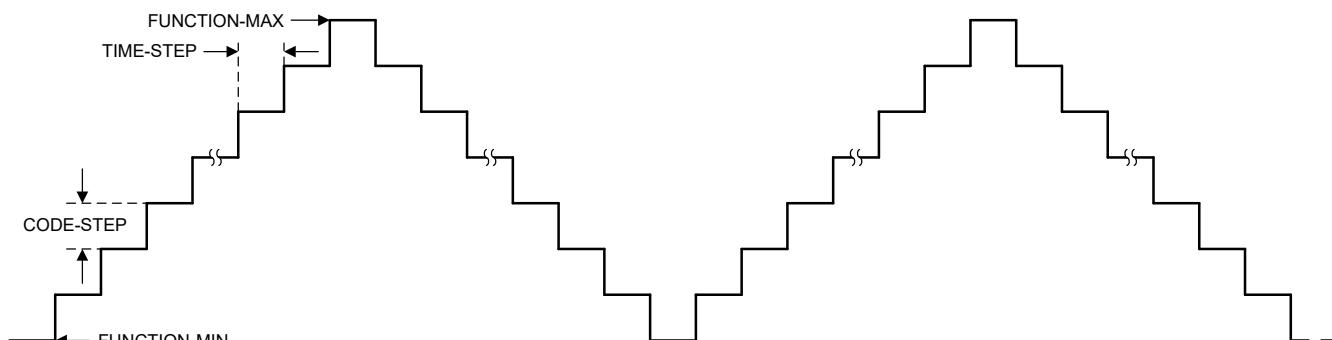


図 6-15. 三角波

6.4.9.2 のこぎり波生成

図 6-16 に、のこぎり波と逆のこぎり波では、最小レベルと最大レベルについて、それぞれ **DAC-X-MARGIN-LOW (FUNCTION-MIN)** および **DAC-X-MARGIN-HIGH (FUNCTION-MAX)** レジスタを使用しています。波形の周波数は、最小レベルと最大レベル、**CODE-STEP** と **SLEW-RATE** の設定によって異なります (式 8 を参照)。時定数がスルーレート設定よりも大きい外部 RC 負荷は、内部周波数の計算で支配的になります。**CODE-STEP-X** および **SLEW-RATE-X** 設定は、**DAC-X-FUNC-CONFIG** レジスタで利用できます。**DAC-X-FUNC-CONFIG** レジスタの **FUNC-CONFIG-X** ビットフィールドに 0b001 を書き込み、のこぎり波を選択し、逆のこぎり波を選択するには 0b010 を書き込みます。

$$f_{SAWTOOTH} = \frac{1}{TIME_STEP \times CEILING\left(\frac{FUNCTION_MAX - FUNCTION_MIN}{CODE_STEP} + 1\right)} \quad (8)$$

ここで

- **TIME_STEP** は、表 6-5 に規定されている **SLEW-RATE-X** 設定です。
- **CODE_STEP** は、表 6-4 で指定されている **CODE-STEP-X** 設定です。
- **FUNCTION_MAX** は、**DAC-X-MARGIN-HIGH** レジスタで指定された **DAC-X-MARGIN HIGH** ビットの 10 進値です。
- **FUNCTION_MIN** は、**DAC-X-MARGIN-LOW** ビットで指定された **DAC-X-MARGIN LOW** ビットの 10 進値です。

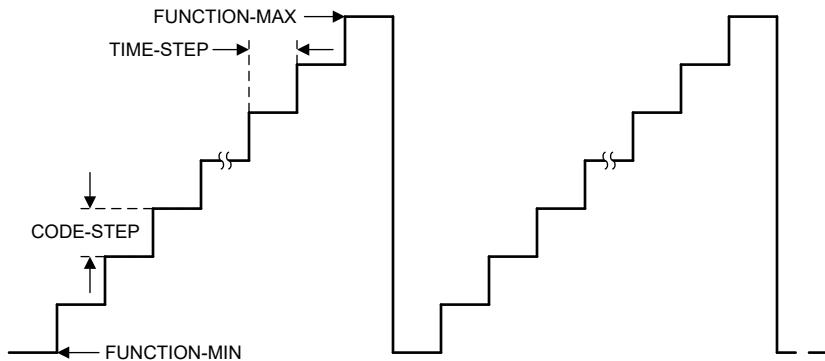


図 6-16. のこぎり波

6.4.9.3 正弦波形生成

正弦波機能では、サイクルごとに 24 のプログラムされたポイントを使用します。正弦波の周波数は、SLEW-RATE 設定で決まります (式 9 を参照)。

$$f_{\text{SINE_WAVE}} = \frac{1}{24 \times \text{SLEW_RATE}} \quad (9)$$

ここで、SLEW_RATE は、表 6-5 に規定されている SLEW_RATE 設定です。

時定数がスルーレート設定よりも大きい外部 RC 負荷は、内部周波数の計算で支配的になります。スルーレート X 設定は、DAC-X-FUNC-CONFIG レジスタで利用できます。DAC-X-FUNC-CONFIG レジスタの FUNC-CONFIG-X ビットフィールドに 0b100 を書き込むと、正弦波が選択されます。正弦波のコードは固定されています。内部リファレンス電圧オプションでフルスケール出力を変更するには、出力アンプのゲイン設定を使用します。ゲイン設定は、DAC-X-VOUT-CMP-CONFIG レジスタの VOUT-GAIN-X ビットからアクセスできます。表 6-11 に、12 ビット分解能の正弦波にハードコードされたディスクリート ポイントのリストを示します。図 6-17 に、正弦波の画像表現を示します。正弦波には、DAC-X-FUNC-CONFIG レジスタの PHASE-SEL-X ビットを使用して選択する 4 つの位相設定があります。

表 6-11. 正弦波データ ポイント

シーケンス	12-BIT の値	シーケンス	12-BIT の値
0 (0° 位相開始)	0x800	12	0x800
1	0x9A8	13	0x658
2	0xB33	14	0x4CD
3	0xC87	15	0x379
4	0xD8B	16 (240° 位相開始)	0x275
5	0xE2F	17	0x1D1
6 (90° 位相開始)	0xE66	18	0x19A
7	0xE2F	19	0x1D1
8 (120° 位相開始)	0xD8B	20	0x275
9	0xC87	21	0x379
10	0xB33	22	0x4CD
11	0x9A8	23	0x658

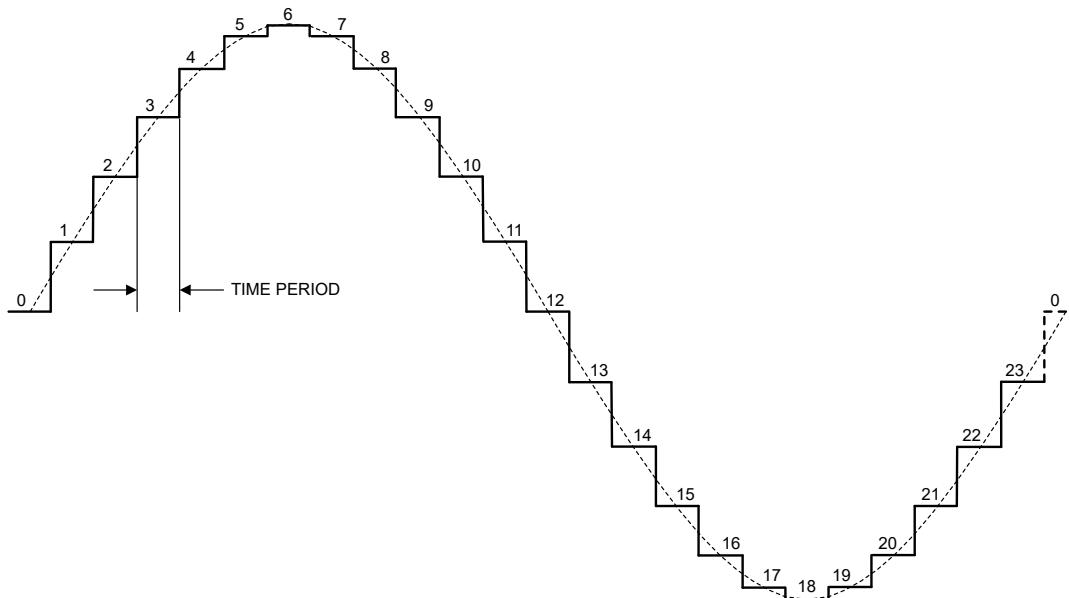


図 6-17. 正弦波生成

6.4.10 デバイスのリセットと障害管理

このセクションでは、AFEx3004W のパワーオンリセット (POR)、ソフトウェアリセット、その他の診断、および障害管理機能について詳しく説明します。

6.4.10.1 パワーオンリセット (POR)

AFEx3004W ファミリは、電源投入時に出力電圧を制御するパワーオンリセット (POR) 機能を備えています。 V_{DD} 電源が立ち上がるとき、POR イベントが発行されます。POR によりすべてのレジスタがデフォルト値に初期化され、デバイスとの通信は POR (ブートアップ) 遅延後にのみ有効になります。AFEx3004W のすべての構成レジスタのデフォルト値は、POR イベントが発行された後、NVM から読み込まれます。

デバイスに電源投入されると、POR 回路によってデバイスがデフォルトモードに設定されます。POR 回路では、電源投入時に内部コンデンサが放電されデバイスがリセットされるように、図 6-18 に示すように特定の V_{DD} レベルが必要です。POR を開始するには、 V_{DD} が 1ms 以上にわたって 0.7V 未満であることを確認します。 V_{DD} が 1.65V 未満に低下しても 0.7V を超えている場合 (未定義領域として表示)、指定されたすべての温度および電源条件下でデバイスが必ずしもリセットされるとは限りません。この場合は、POR を開始します。 V_{DD} が 1.65V を超えると、POR は発生しません。

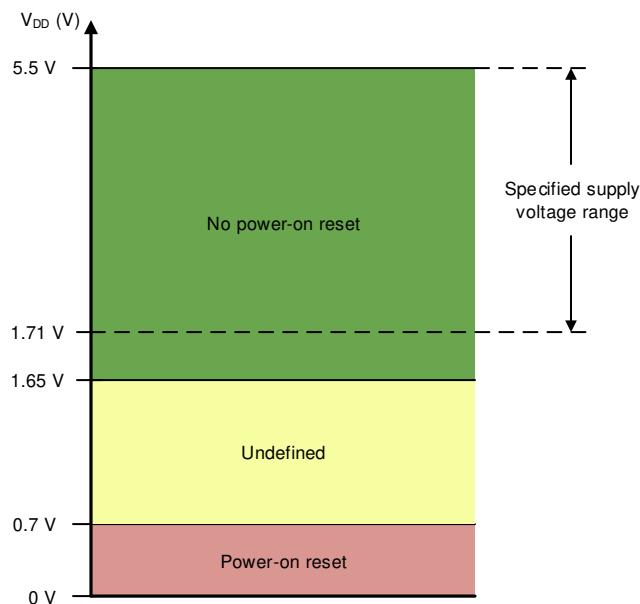


図 6-18. V_{DD} POR 回路のスレッショルド レベル

6.4.10.2 外部リセット

デバイスへの外部リセットは、GPIO ピンまたはレジスタマップを介してトリガできます。デバイスソフトウェアリセットイベントを開始するには、COMMON-TRIGGER レジスタの RESET フィールドに予約コード 1010b を書き込みます。ソフトウェアリセットにより、POR イベントが開始されます。GPIO ピンは、表 6-19 に示すように $\overline{\text{RESET}}$ ピンとして設定できます。デバイスのリセット後に設定がクリアされないように、この構成を NVM にプログラムする必要があります。 $\overline{\text{RESET}}$ 入力は Low パルスである必要があります。 $\overline{\text{RESET}}$ 入力の立ち下がりエッジの後、デバイスはブートアップシーケンスを開始します。 $\overline{\text{RESET}}$ 入力の立ち上がりエッジは、何の影響も及ぼしません。

6.4.10.3 レジスタマップロック

AFEx3004W は、DAC レジスタへの偶発的な (意図しない) 書き込みを防止するレジスタマップロック機能を実装しています。COMMON-CONFIG レジスタの DEV-LOCK ビットが 1 に設定されると、デバイスはすべてのレジスタをロックします。ただし、I²C インターフェイスを使用している場合、コモントリガーレジスタによるソフトウェアリセット機能はブロックされません。DEV-LOCK 設定をバイパスするには、COMMON-TRIGGER レジスタの DEV-UNLOCK ビットに 0101b を書き込みます。

6.4.10.4 NVM 巡回冗長検査 (CRC)

AFEEx3004W には、NVM に保存されたデータが破損していないように、NVM に巡回冗長検査 (CRC) 機能が実装されています。AFEEx3004W には、次の 2 種類の CRC アラーム ビットが実装されています。

- NVM-CRC-FAIL-USER
- NVM-CRC-FAIL-INT

NVM-CRC-FAIL-USER ビットはユーザーがプログラム可能な NVM ビットのステータスを示し、NVM-CRC-FAIL-INT ビットは内部 NVM ビットのステータスを示します。NVM プログラム動作 (書き込みまたはリロード) が実行されるたびおよびデバイスの起動中に、16 ビットの CRC (CRC-16-CCITT) と NVM データを保存することにより CRC 機能が実装されています。デバイスは NVM データを読み取り、保存されている CRC を使用してデータを検証します。CRC アラーム ビット (GENERAL-STATUS レジスタの NVM-CRC-FAIL-USER と NVM-CRC-FAIL-INT) は、デバイスの NVM からデータが読み取られた後、エラーを報告します。アラーム ビットはブートアップ時にのみ設定されます。

6.4.10.4.1 NVM-CRC-FAIL-USER ビット

NVM-CRC-FAIL-USER ビットのロジック 1 は、ユーザーがプログラム可能な NVM データが破損していることを示しています。この条件の間、DAC 内のすべてのレジスタが工場出荷時リセットの値で初期化され、任意の DAC レジスタへの書き込みまたは読み出しが可能になります。このアラーム ビットを 0 にリセットするには、ソフトウェアリセット ([セクション 6.4.10.2 を参照](#)) コマンドを発行するか、DAC の電源を入れ直します。ソフトウェアリセット時やパワー サイクル時も、ユーザーがプログラム可能な NVM ビットがリロードされます。問題が解決しない場合は、NVM を再プログラムします。

6.4.10.4.2 NVM-CRC-FAIL-INT ビット

NVM-CRC-FAIL-INT ビットのロジック 1 は、内部 NVM データが破損していることを示しています。この条件の間、DAC 内のすべてのレジスタが工場出荷時リセットの値で初期化され、任意の DAC レジスタへの書き込みまたは読み出しが可能になります。一時的な障害が発生した場合、アラーム ビットを 0 にリセットするには、ソフトウェアリセット ([セクション 6.4.10.2 を参照](#)) コマンドを発行するか、DAC の電源を入れ直します。NVM に永続的な障害が発生すると、デバイスは使用できなくなります。

6.4.11 パワーダウン モード

AFEEx3004W 出力アンプと内部リファレンスは、[図 6-4](#) に示すように、COMMON-CONFIG レジスタの EN-INT-REF、VOUT-PDN-X、IOUT-PDN-X ビットにより、個別にパワーダウンできます。電源オン時に、DAC 出力と内部リファレンスはデフォルトでディセーブルになります。パワーダウン モードでは、DAC 出力 (OUTx ピン) は高インピーダンス状態になります。電圧出力モード (電源投入時) でこの状態を $10k\Omega$ -AGND または $100k\Omega$ -AGND に変更するには、VOUT-PDN-X ビットを使用します。電流出力モードのパワーダウン状態は常に高インピーダンスです。

DAC の電源オン状態は、NVM を使用して、任意の状態 (パワーダウンまたは通常モード) にプログラムできます。[表 6-12](#) に、DAC のパワーダウン ビットを示します。個別のチャネル パワーダウン ビットまたはグローバル デバイス パワーダウン機能は、GPIO-CONFIG レジスタを使用して GPIO ピンに割り当てることができます。

表 6-12. DAC パワーダウン ビット

レジスタ	VOUT-PDN-X[1]	VOUT-PDN-X[0]	IOUT-PDN-X	説明
COMMON-CONFIG	0	0	1	VOUT-X をパワーアップします。
	0	1	1	$10k\Omega$ を AGND に接続して VOUT-X をパワーダウンします。 IOUT-X を Hi-Z にパワーダウンします。
	1	0	1	$100k\Omega$ を AGND に接続して VOUT-X をパワーダウンします。 IOUT-X を Hi-Z にパワーダウンします。
	1	1	1	VOUT-X を Hi-Z にパワーダウンします。 IOUT-X を Hi-Z にパワーダウンします (デフォルト)。
	1	1	0	VOUT-X を Hi-Z にパワーダウンします。 IOUT-X をパワーアップします。

6.5 プログラミング

AFEx3004W は、3 線式 SPI または 2 線式 I²C インターフェイスでプログラムされます。4 線式 SPI モードは、GPIO ピンを SDO にマッピングすることでイネーブルになります。SPI 読み戻しは、標準の SPI 書き込み動作よりも低い SCLK で動作します。インターフェイスのタイプは、デバイスの電源投入後に通信する最初のプロトコルに基づいて決定されます。インターフェイスのタイプが判別されると、デバイスはデバイスの電源が入っている間、タイプの変更を無視します。インターフェイスのタイプは、パワーサイクル後に変更できます。

6.5.1 SPI プログラミング モード

AFEx3004W の SPI アクセス サイクルを開始するには、SYNC ピンを Low にアサートします。シリアル クロック SCLK は、連続クロックとしても、ゲートクロックとしても動作します。SDI データは、SCLK の立ち下がりエッジに同期します。AFEx3004W の SPI フレームは 24 ビット長です。そのため、SYNC は、少なくとも 24 の SCLK の立ち下がりエッジの間、Low に維持されます。SYNC ピンが High にデアサートされると、アクセス サイクルは終了します。アクセス サイクルに最小クロック エッジよりも短い場合、通信は無視されます。デフォルトでは、SDO ピンはイネーブルになっていません (3 線式 SPI)。3 線式 SPI モードでは、アクセス サイクルで最小クロック エッジ数を超える場合、デバイスは最初の 24 ビットのみを使用します。SYNC が High のとき、SCLK および SDI 信号がブロックされ、SDO はハイインピーダンスになります。バスに接続されている他のデバイスからのデータの読み戻しが可能になります。

表 6-13 および 図 6-19 に、24 ビット SPI アクセス サイクルの形式を示します。SDI への最初のバイト入力は命令サイクルです。命令サイクルは、要求を読み取りコマンドまたは書き込みコマンドとして識別し、アクセスする 7 ビット アドレスを特定します。サイクルの最後の 16 ビットは、データ サイクルを形成します。

表 6-13. SPI 読み取り/書き込みアクセス サイクル

ビット	フィールド	説明
23	R/W	アドレス指定されたレジスタに対する読み取りまたは書き込みコマンドとして通信を識別します。R/W = 0 は書き込み動作を設定します。R/W = 1 は読み取り動作を設定します
22-16	A[6:0]	レジスタ アドレス: 読み取りまたは書き込み操作中にアクセスするレジスタを指定します
15-0	D[15:0]	データ サイクル ビット。書き込みコマンドの場合、データ サイクルのビットはアドレス A[6:0] のレジスタに書き込まれる値となります。読み取りコマンドの場合、データ サイクルのビットは「無効」値となります。

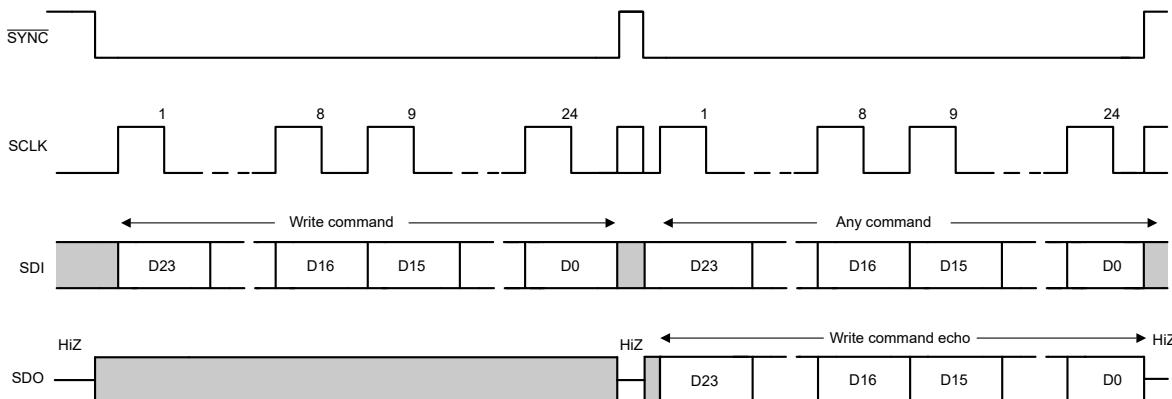


図 6-19. SPI 書き込みサイクル

読み取り操作を行うには、まず INTERFACE-CONFIG レジスタの SDO-EN ビットを設定して SDO ピンを有効にする必要があります。この構成を 4 線式 SPI と呼びます。読み取り操作は、読み取りコマンドのアクセス サイクルを発行することで開始されます。読み取りコマンドの後、要求したデータを取得するために 2 回目のアクセス サイクルを発行します。表 6-14 および 図 6-20 に、出力データ フォーマットを示します。データは、FSDO ビットに応じて、SCLK の立ち下がりエッジまたは立ち上がりエッジで SDO ピンにクロックアウトされます。図 5-3 も参照してください。

表 6-14. SDO 出力アクセス サイクル

ビット	フィールド	説明
23	R/W	前回のアクセス サイクルのエコー R/W

表 6-14. SDO 出力アクセスサイクル (続き)

ビット	フィールド	説明
22-16	A[6:0]	前回のアクセス サイクルのエコー レジスタ アドレス
15-0	DI[15:0]	前のアクセス サイクルで要求されたデータの読み戻し

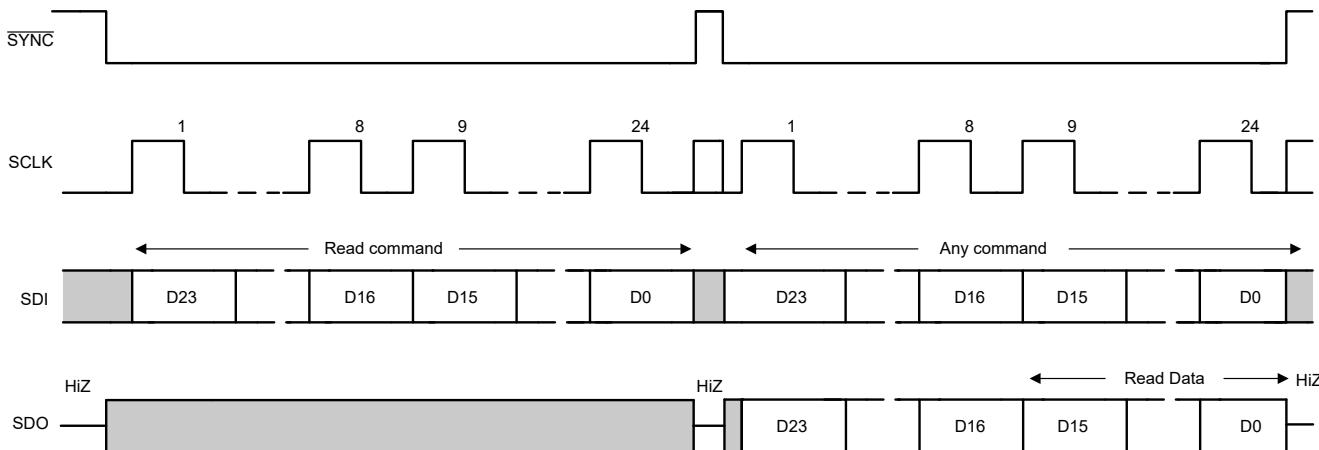


図 6-20. SPI 読み取りサイクル

デイジーチェーン動作は、SDO ピンでも有効です。デイジーチェーン モードでは、複数のデバイスが チェーンで接続され、図 6-21 に示すように、1 つのデバイスの SDO ピンを以下のデバイスの SDI ピンに接続します。SPI ホストは、チェーン内の最初のデバイスの SDI ピンを駆動します。チェーン内の最後のデバイスの SDO ピンは、SPI ホストの POCI ピンに接続されます。4 線式 SPI モードでは、アクセス サイクルに 24 のクロック エッジの倍数が含まれる場合、チェーン内のデバイス最初のデバイスで最後の 24 ビットのみが使用されます。アクセス サイクルに、24 の倍数でないクロック エッジが含まれている場合、SPI パケットはデバイスによって無視されます。図 6-22 に、デイジーチェーン書き込みサイクルのパケット形式を示します。

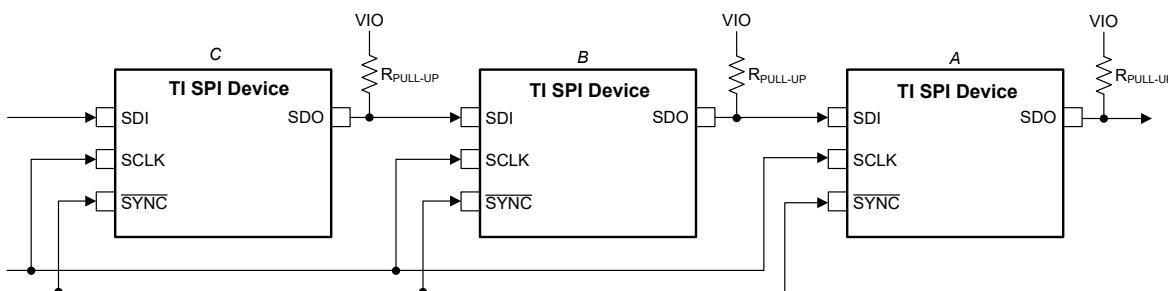


図 6-21. SPI デイジーチェーン接続

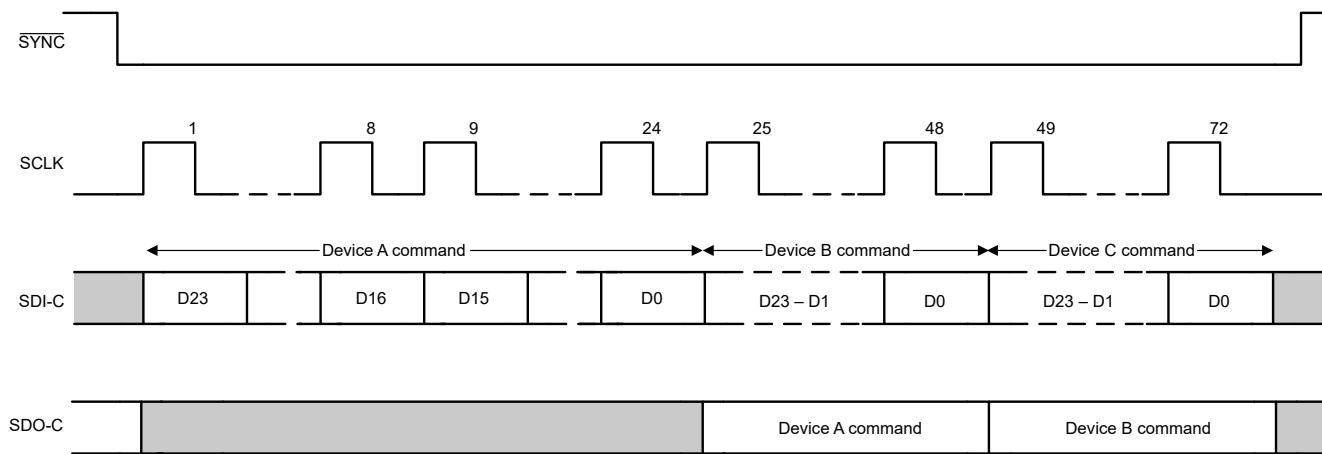


図 6-22. SPI デイジーチェーン書き込みサイクル

6.5.2 I²C プログラミング モード

AFEEx3004W デバイスは、「ピン構成および機能」セクションのピン図に示すように、2 線式シリアル インターフェイス (SCL および SDA) と 1 つのアドレスピン (A0) を備えています。I²C バスは、プルアップ構造を持つデータライン (SDA) とクロックライン (SCL) で構成されます。バスがアイドルのときは、SDA ラインと SCL ラインの両方が High にプルされます。I²C 互換のデバイスはすべて、オープンドレインの I/O ピンである SDA および SCL を介して I²C バスに接続します。

I²C 仕様では、通信を制御するデバイスを「コントローラ」、コントローラによって制御されるデバイスを「ターゲット」と呼んでいます。コントローラは SCL 信号を生成します。また、コントローラは、バス上に特別なタイミング条件 (スタート条件、繰り返しスタート条件、停止条件) を生成し、データ転送の開始または停止を示します。デバイス アドレッシングはコントローラが実行します。I²C バス上のコントローラは通常、マイコンまたはデジタル信号プロセッサ (DSP) です。AFEEx3004W ファミリは、I²C バス上でターゲットとして動作します。ターゲットは、コントローラのコマンドに対してアクノリッジ (受信確認) を返し、コントローラの制御時にデータを受信または送信します。

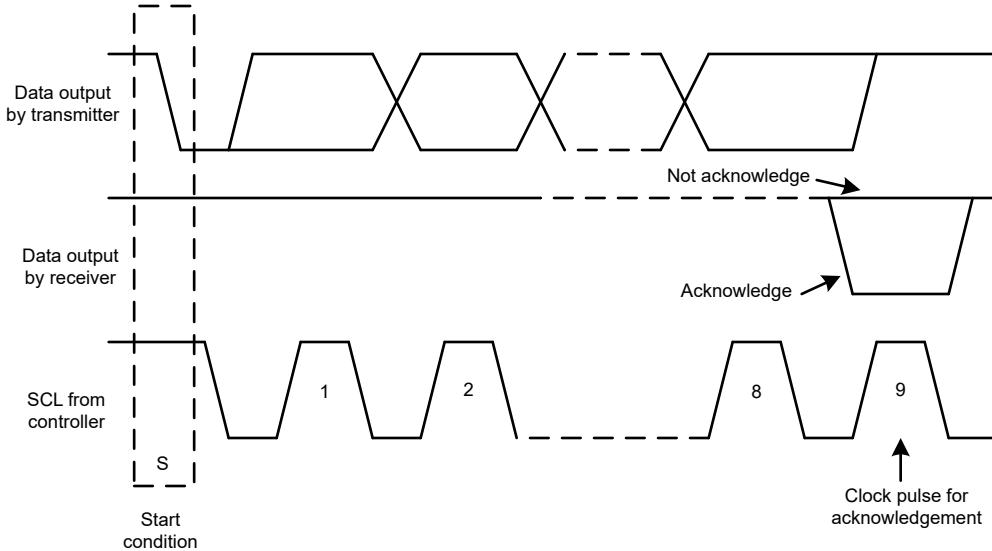
通常、AFEEx3004W ファミリはターゲット レシーバとして動作します。コントローラはターゲット レシーバである AFEEx3004W に書き込みます。しかし、コントローラが AFEEx3004W の内部レジスタ データを必要とする場合、AFEEx3004W はターゲットトランシッタとして動作します。この場合、コントローラは AFEEx3004W から読み取りを行います。I²C の用語によっては、読み出しと書き込みとはコントローラを指しています。

AFEEx3004W ファミリは、以下のデータ転送モードをサポートしています。

- スタンダード モード (100Kbps)
- 高速モード (400Kbps)
- 高速モード プラス (1.0Mbps)

スタンダード モードと高速モードのデータ転送プロトコルは全く同じであるため、本文書ではこれらのモードを F/S モードと呼びます。高速モード プラス プロトコルは、データ転送速度の点でサポートされていますが、出力電流はサポートされていません。Low レベル出力電流は 3mA で、スタンダード モードおよび高速モードの場合と同様です。AFEEx3004W ファミリは 7 ビット アドレッシングをサポートしています。10 ビット アドレッシング モードはサポートしていません。また、ジェネラル コール リセット機能をサポートしています。次のシーケンスを送信すると、デバイス内でソフトウェアリセットが起動します。スタートまたは繰り返しスタート、0x00、0x06、停止。リセットは、2 番目のバイトに続く ACK ビットの立ち上がりエッジでデバイス内でアサートされます。

指定のタイミング信号を除いて、I²C インターフェイスではシリアル バイトを扱います。各バイトの最後に、9 回目のクロックサイクルで確認応答信号が生成および検出されます。アクノリッジは、9 回目のクロック サイクルの High 期間中 SDA ラインを Low にすることで行われます。否定応答は、図 6-23 に示すように 9 回目のクロック サイクルの high 期間中 SDA ラインを high のまま保持することで行われます。

図 6-23. I²C バスにおけるアクノリッジとアクノリッジなし

6.5.2.1 F/S モードのプロトコル

次の手順では、F/S モードでのトランザクションの完了について説明します。

1. コントローラは、スタート条件を生成することで、データ転送を開始します。図 6-24 で示されているように、SCL がハイの状態で SDA ラインにハイからローへの遷移が発生すると、スタート条件となります。すべての I²C 互換デバイスは、スタート条件を認識します。
2. 次に、コントローラは SCL パルスを生成し、7 ビットのアドレスと読み取り/書き込み方向ビット (R/W) を SDA ライン上で送信します。すべての送信中、コントローラはデータが有効であることを確認します。有効なデータ条件では、図 6-25 に示されているように、ロック パルスのハイ期間全体にわたって SDA ラインが安定している必要があります。すべてのデバイスは、コントローラによって送信されたアドレスを認識して、そのアドレスをそれぞれの内部固定アドレスと比較します。一致するアドレスを持つターゲット デバイスのみが、図 6-23 に示すように、9 番目の SCL サイクルのハイ期間全体にわたって SDA ラインをローに引き下げて確認応答を生成します。コントローラがこのアクノリッジを検出すると、ターゲットとの通信リンクが確立されます。
3. コントローラはさらに SCL サイクルを生成して、ターゲットにデータを送信 (R/W ビット 0) または受信 (R/W ビット 1) します。どちらの場合も、トランシミッタから送信されたデータに対してレシーバがアクノリッジを返す必要があります。したがって、アクノリッジ信号は、どちらがレシーバかに応じて、コントローラが生成する場合とターゲットが生成する場合があります。9 ビットの有効なデータシーケンスは、8 つのデータビットと 1 つのアクノリッジビットで構成され、必要なだけ継続できます。
4. データ転送の終了を通知するために、図 6-24 に示されているように、コントローラは SCL ラインがハイの状態で SDA ラインをローからハイに引き上げることでストップ条件を生成します。このアクションによってバスが解放され、アドレス指定されたターゲットとの通信リンクが停止します。すべての I²C 互換デバイスが、ストップ条件を認識します。ストップ条件の受信によって、バスは解放され、すべてのターゲット デバイスはスタート条件および一致するアドレスが送信されるのを待ちます。

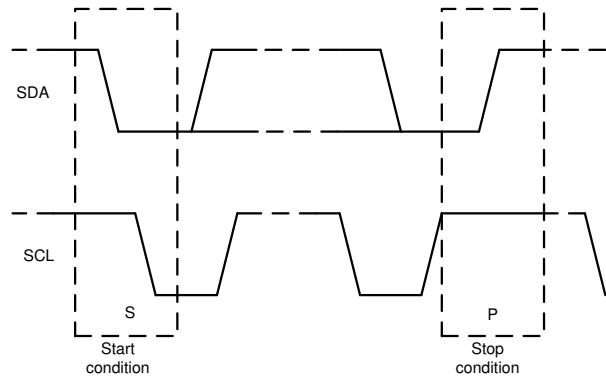


図 6-24. START 条件と STOP 条件

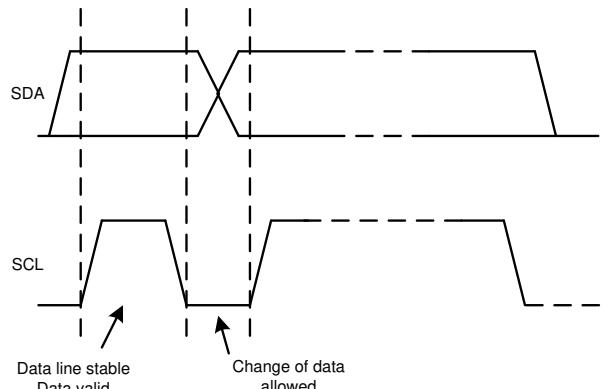


図 6-25. I²C バスでのビット転送

6.5.2.2 I²C 更新シーケンス

表 6-15 に示すように、AFEEx3004W で 1 回の更新のために、スタート条件、有効な I²C アドレス バイト、コマンド バイト、2 つのデータ バイトを必要とします。

表 6-15. シーケンスの更新

MSB	...	LSB	ACK	MSB	...	LSB	ACK	MSB	...	LSB	ACK	MSB	...	LSB	ACK
アドレス (A) バイト セクション 6.5.2.2.1	コマンド バイト セクション 6.5.2.2.2			データ バイト - MSDB			データ バイト - LSDB								
DB [31:24]	DB [23:16]			DB [15:8]			DB [7:0]								

図 6-26 に示すように、各バイトの受信後、AFEEx3004W ファミリは 1 つのクロック パルスの high 期間中に SDA ラインを low にすることで、確認応答を行います。この 4 つのバイトと確認応答サイクルにより、1 回の更新を実行するために必要な 36 のクロック サイクルが生成されます。有効な I²C アドレス バイトによって、AFEEx3004W が選択されます。

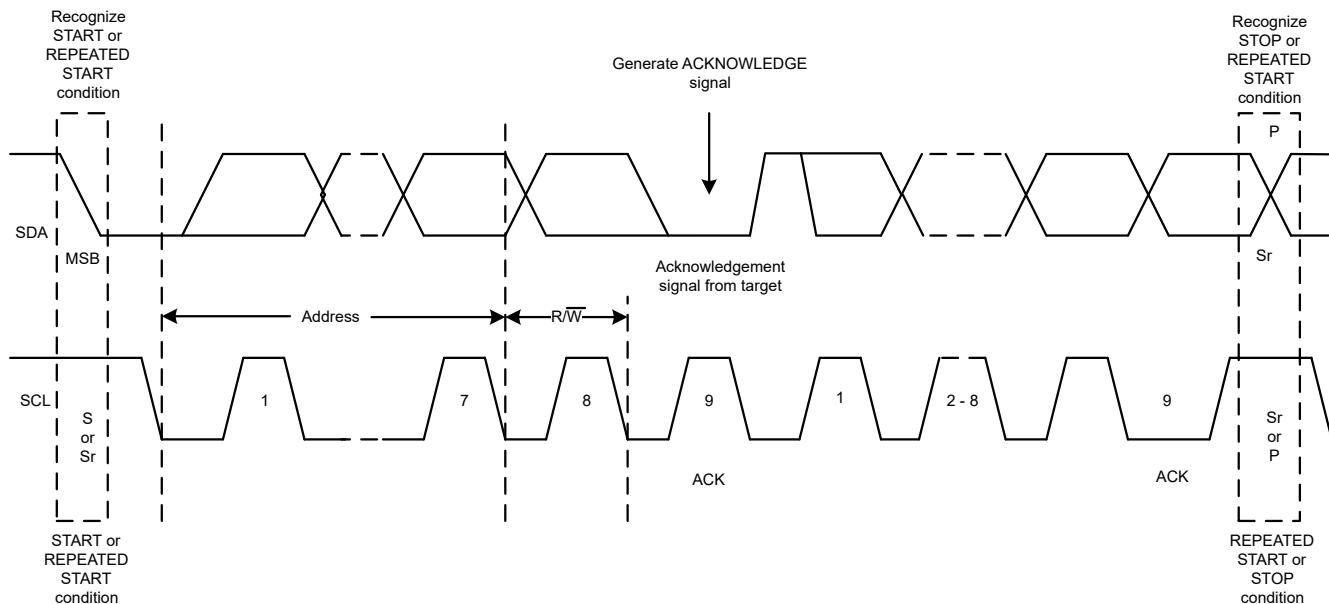


図 6-26. I²C バス プロトコル

コマンド バイトは、選択された AFEEx3004W デバイスの動作モードを設定します。このバイトによって動作モードが選択されると、データ更新を実行するために、AFEEx3004W デバイスは最上位データ バイト (MSDB) と最下位データ バイト (LSDB) の 2 つのデータ バイトを受信する必要があります。AFEEx3004W デバイスは、LSDB に続くアクリシジ信号の立ち下がりエッジで更新を実行します。

高速モード (クロック = 400kHz) を使用する場合、最大 DAC 更新レートは 10kSPS に制限されます。高速モード プラス (クロック = 1MHz) を使用すると、最大 DAC 更新レートは 25kSPS に制限されます。ストップ条件を受信すると、AFEEx3004W デバイスは I²C バスを解放し、新しいスタート条件を待ちます。

6.5.2.2.1 アドレス バイト

表 6-16 に示すアドレス バイトは、開始条件に続いてコントローラ デバイスから受信される最初のバイトです。アドレスの最初の 4 ビット (MSB) は工場出荷時に 1001 にプリセットされています。アドレスの次の 3 ビットは、A0 ピンによって制御されます。A0 ピン入力は、VDD、AGND、SCL、SDA に接続できます。各データ フレームの最初のバイトにおいて A0 ピンがサンプリングされて、アドレスが決定します。デバイスはアドレス ピンの値をラッチし、その結果として、表 6-17 に従つてその特定のアドレスに応答します。

表 6-16. アドレス バイト

備考	MSB								LSB
	AD6	AD5	AD4	AD3	AD2	AD1	AD0	R/W	
一般アドレス	1	0	0	1	表 6-17 を参照 (ターゲット アドレス列)			0 または 1	
ブロードキャスト アドレス	1	0	0	0	1	1	1	0	

表 6-17. アドレス形式

ターゲット アドレス	A0 ピン
000	AGND
001	VDD
010	SDA
011	SCL

AFE3004W は、複数の AFE3004W デバイスの同期更新やパワーダウンに使用できるブロードキャスト アドレス指定をサポートしています。ブロードキャスト アドレスを使用すると、アドレス ピンの状態に関係なく、AFE3004W は応答します。ブロードキャストは、書き込みモードでのみサポートされます。

6.5.2.2.2 コマンド バイト

「レジスタ マップ」セクションの「レジスタ名」表に、ADDRESS 列のコマンド バイトが一覧されています。

6.5.2.3 I²C 読み出しシーケンス

レジスタを読み取るには、次のコマンド シーケンスを使用する必要があります。

1. スタートまたは繰り返しスタートコマンドとターゲットアドレスおよび書き込みを 0 に設定した R/W ビットを送信します。デバイスは、このイベントをアクノリッジします。
2. 読み取り対象レジスタのコマンド バイトを送信します。デバイスは、このイベントを再度アクノリッジします。
3. 繰り返しスタートとターゲットアドレス、読み取りを 1 に設定した R/W ビットを送信します。デバイスは、このイベントをアクノリッジします。
4. デバイスは、アドレス指定されたレジスタの MSDB バイトを書き込みます。コントローラはこのバイトをアクノリッジする必要があります。
5. 最後にデバイスは、レジスタの LSDB を書き込みます。

プロードキャストアドレスを読み取りに使用することはできません。

表 6-18. 読み出しシーケンス

S	MSB	...	R/W (0)	ACK	MSB	...	LSB	ACK	Sr	MSB	...	R/W (1)	ACK	MSB	...	LSB	ACK	MSB	...	LSB	ACK	
	アドレス バイト セクション 6.5.2.2.1				コマンド バイト セクション 6.5.2.2.2				Sr	アドレス バイト セクション 6.5.2.2.1				MSDB				LSDB				
コントローラから			ターゲット	コントローラから			ターゲット	コントローラから			ターゲット	ターゲットから			コントローラ	ターゲットから			コントローラ			

6.5.3 汎用入出力(GPIO) モード

AFEx3004W は、I²C および SPI に加えて、NVM で複数の機能用に構成できる GPIO もサポート。このピンにより、プログラミングインターフェイスを使わずに DAC 出力チャネルとステータスビットを更新できるため、プロセッサレス動作が可能になります。GPIO-CONFIG レジスタで、GPI-EN ビットに 1 を書き込んで GPIO ピンを入力として設定するか、GPO-EN ビットに 1 を書き込んでピンを出力として設定します。GPIO ピンには、グローバルおよびチャネル固有の機能が割り当てられています。チャネル固有の機能については、GPIO-CONFIG レジスタの GPI-CH-SEL フィールドを使用してチャネルを選択します。表 6-19 に、入力として GPIO で利用可能な機能オプションを示します。表 6-20 に、出力としての GPIO のオプションを示します。GP 入力動作の一部は、デバイスがブートアップした後にエッジトリガれます。電源投入後、デバイスは GPI レベルを登録し、関連するコマンドを実行します。この機能により、電源オンでの初期出力状態を構成できます。デフォルトでは、GPIO ピンはどの動作にもマッピングされません。GPIO ピンが特定の入力機能にマップされると、競合状態を回避するため、対応するソフトウェア ビット機能がディセーブルになります。RESET 入力として使用する場合、デバイスリセットをトリガするために、GPIO ピンはアクティブ low のパルスを送信する必要があります。機能の他すべての制約は、GPIO ベースのトリガに適用されます。

注

未使用時は、GPIO ピンを high または low にします。GPIO ピンを RESET として使用するときは、その構成を NVM にプログラムする必要があります。それ以外の場合は、デバイスのリセット後に設定はクリアされます。

表 6-19. 汎用入力機能マップ

レジスタ	ビット フィールド	値	チャネル	GPIO エッジレベル	機能
GPIO-CONFIG	GPI-CONFIG	0010	すべて	立ち下がりエッジ	FAULT-DUMP をトリガ
				立ち上がりエッジ	影響なし
		0011	GPI-CH-SEL に従います	立ち下がりエッジ	IOUT パワーダウン
				立ち上がりエッジ	IOUT 電源オン
		0100	GPI-CH-SEL に従います	立ち下がりエッジ	VOUT パワーダウン。VOUT-PDN-X 設定に準拠するプルダウン抵抗
				立ち上がりエッジ	VOUT 電源オン
		0101	すべて	立ち下がりエッジ	PROTECT 機能をトリガ
				立ち上がりエッジ	影響なし
		0111	すべて	立ち下がりエッジ	CLR 機能をトリガ
				立ち上がりエッジ	影響なし
		1000	GPI-CH-SEL に従います。 SYNC-CONFIG-X と GPI-CH-SEL の両方をすべてのチャネルに対して設定する必要があります。	立ち下がりエッジ	LDAC 機能をトリガ
				立ち上がりエッジ	影響なし
		1001	GPI-CH-SEL に従います	立ち下がりエッジ	機能生成を停止
				立ち上がりエッジ	機能生成を開始
		1010	GPI-CH-SEL に従います	立ち下がりエッジ	margin-low をトリガします
				立ち上がりエッジ	margin-high をトリガします
		1011	すべて	Low パルス	デバイス RESET をトリガします。 RESET 構成は NVM にプログラムする必要があります。
				立ち上がりエッジ	影響なし
		1100	すべて	立ち下がりエッジ	NVM プログラミングを許可
				立ち上がりエッジ	NVM プログラミングをロック
		1101	すべて	立ち下がりエッジ	レジスタ マップの更新を許可
				立ち上がりエッジ	レジスタ マップの書き込みをロック (I ² C または SPI 経由の DEV-UNLOCK フィールドおよび I ² C 経由の RESET フィールドへの書き込みを除く)
		その他	該当なし	該当なし	該当なし

表 6-20. 汎用出力 (STATUS) 機能マップ

レジスタ	ビット フィールド	値	機能
GPIO-CONFIG	GPO-CONFIG	0001	NVM-BUSY
		0100	DAC-0-BUSY
		0101	DAC-1-BUSY
		0110	DAC-2-BUSY
		0111	DAC-3-BUSY
		1000	WIN-CMP-0
		1001	WIN-CMP-1
		1010	WIN-CMP-2
		1011	WIN-CMP-3
		その他	該当なし

7 レジスタ マップ

表 7-1. レジスタ マップ

レジスタ ⁽¹⁾	最上位データ バイト (MSDB)									最下位データ バイト (LSDB)													
	BIT15	BIT14	BIT13	BIT12	BIT11	BIT10	BIT9	BIT8	BIT7	BIT6	BIT5	BIT4	BIT3	BIT2	BIT1	BIT0							
NOP	NOP																						
DAC-X-MARGIN-HIGH	DAC-X-MARGIN-HIGH																	x					
DAC-X-MARGIN-LOW	DAC-X-MARGIN-LOW																	x					
DAC-X-VOUT-CMP-CONFIG	x	VOUT-GAIN-X			x					CMP-X-OD-EN	CMP-X-OUT-EN	CMP-X-HIZ-IN-DIS	CMP-X-INV-EN	CMP-X-EN									
DAC-X-IOUT-MISC-CONFIG	x	IOUT-X-RANGE				x																	
DAC-X-CMP-MODE-CONFIG	x			CMP-X-MODE		x																	
DAC-X-FUNC-CONFIG	CLR-SEL-X	SYNC-CONFIG-X	BRD-CONFIG-X	FUNC-GEN-CONFIG-BLOCK-X																			
DAC-X-DATA	DAC-X-DATA																	x					
ADC-CONFIG-TRIG	予約済み	ADC-EN	ADC-AVG		ADC-MUX-SEL			予約済み			x				x			ADC-TRIG					
ADC-DATA	ADC-DATA																	ADC-DRDY					
COMMON-CONFIG	WIN-LATCH-EN	DEV-LOCK	EE-READ-ADDR	EN-INT-REF	VOUT-PDN-3	IOUT-PDN-3	VOUT-PDN-2	IOUT-PDN-2	VOUT-PDN-1	IOUT-PDN-1	VOUT-PDN-0		IOUT-PDN-0										
COMMON-TRIGGER	DEV-UNLOCK				リセット				LDAC	CLR	x	FAULT-DUMP	PROTECT	READ-ONE-TRIG	NVM-PROG	NVM-RELOAD							
COMMON-DAC-TRIG	RST-CMP-FLAG-0	TRIG-MAR-LO-0	TRIG-MAR-HI-0	START-FUNC-0	RST-CMP-FLAG-1	TRIG-MAR-LO-1	TRIG-MAR-HI-1	START-FUNC-1	RST-CMP-FLAG-2	TRIG-MAR-LO-2	TRIG-MAR-HI-2	START-FUNC-2	RST-CMP-FLAG-3	TRIG-MAR-LO-3	TRIG-MAR-HI-3	START-FUNC-3							
GENERAL-STATUS	NVM-CRC-FAIL-INT	NVM-CRC-FAIL-USER	x	DAC-BUSY-3	DAC-BUSY-2	DAC-BUSY-1	DAC-BUSY-0	NVM-BUSY	DEVICE-ID														
CMP-STATUS	x							PROTECT-FLAG	WIN-CMP-3	WIN-CMP-2	WIN-CMP-1	WIN-CMP-0	CMP-FLAG-3	CMP-FLAG-2	CMP-FLAG-1	CMP-FLAG-0							
GPIO-CONFIG	GF-EN	x	GPO-EN	GPO-CONFIG				GPI-CH-SEL				GPI-CONFIG				GPI-EN							
DEVICE-MODE-CONFIG	予約済み	DIS-MODE-IN	予約済み			PROTECT-CONFIG		予約済み			x												
INTERFACE-CONFIG	x			TIMEOUT-EN	x			EN-PMBUS	x						FSDO-EN	x	SDO-EN						
SRAM-CONFIG	x									SRAM-ADDR													
SRAM-DATA	SRAM-DATA																						
DAC-X-DATA-8BIT	DAC-X-DATA-8BIT									x													
BRDCAST-DATA	BRDCAST-DATA																	x					
PMBUS-PAGE	PMBUS-PAGE									該当なし													
PMBUS-OP-CMD	PMBUS-OPERATION-CMD-X									該当なし													
PMBUS-CML	x					CML	x	該当なし															

表 7-1. レジスタ マップ (続き)

レジスタ ⁽¹⁾	最上位データ パイト (MSDB)								最下位データ パイト (LSDB)							
	BIT15	BIT14	BIT13	BIT12	BIT11	BIT10	BIT9	BIT8	BIT7	BIT6	BIT5	BIT4	BIT3	BIT2	BIT1	BIT0
PMBUS-VERSION	PMBUS-VERSON								該当なし							

(1) 灰色で強調表示されているセルは、NVM に保存されているレジスタ ビットまたはフィールドを示しています。

表 7-2. レジスタ名

I ² C/SPI アドレス	PMBUS ページ ADDR	PMBUS レジスタ ADDR	レジスタ名	セクション
00h	FFh	D0h	NOP	セクション 7.1
01h	00h	25h	DAC-0-MARGIN-HIGH	セクション 7.2
02h	00h	26h	DAC-0-MARGIN-LOW	セクション 7.3
03h	FFh	D1h	DAC-0-VOUT-CMP-CONFIG	セクション 7.4
04h	FFh	D2h	DAC-0-IOUT-MISC-CONFIG	セクション 7.5
05h	FFh	D3h	DAC-0-CMP-MODE-CONFIG	セクション 7.6
06h	FFh	D4h	DAC-0-FUNC-CONFIG	セクション 7.7
07h	01h	25h	DAC-1-MARGIN-HIGH	セクション 7.2
08h	01h	26h	DAC-1-MARGIN-LOW	セクション 7.3
09h	FFh	D5h	DAC-1-VOUT-CMP-CONFIG	セクション 7.4
0Ah	FFh	D6h	DAC-1-IOUT-MISC-CONFIG	セクション 7.5
0Bh	FFh	D7h	DAC-1-CMP-MODE-CONFIG	セクション 7.6
0Ch	FFh	D8h	DAC-1-FUNC-CONFIG	セクション 7.7
0Dh	02h	25h	DAC-2-MARGIN-HIGH	セクション 7.2
0Eh	02h	26h	DAC-2-MARGIN-LOW	セクション 7.3
0Fh	FFh	D9h	DAC-2-VOUT-CMP-CONFIG	セクション 7.4
10h	FFh	DAh	DAC-2-IOUT-MISC-CONFIG	セクション 7.5
11h	FFh	DBh	DAC-2-CMP-MODE-CONFIG	セクション 7.6
12h	FFh	DCh	DAC-2-FUNC-CONFIG	セクション 7.7
13h	03h	25h	DAC-3-MARGIN-HIGH	セクション 7.2
14h	03h	26h	DAC-3-MARGIN-LOW	セクション 7.3
15h	FFh	DDh	DAC-3-VOUT-CMP-CONFIG	セクション 7.4
16h	FFh	DEh	DAC-3-IOUT-MISC-CONFIG	セクション 7.5
17h	FFh	DFh	DAC-3-CMP-MODE-CONFIG	セクション 7.6
18h	FFh	E0h	DAC-3-FUNC-CONFIG	セクション 7.7
19h	00h	21h	DAC-0-DATA	セクション 7.8
1Ah	01h	21h	DAC-1-DATA	セクション 7.8
1Bh	02h	21h	DAC-2-DATA	セクション 7.8
1Ch	03h	21h	DAC-3-DATA	セクション 7.8

表 7-2. レジスタ名 (続き)

I ² C/SPI アドレス	PMBUS ページ ADDR	PMBUS レジスタ ADDR	レジスタ名	セクション
1Dh	FFh	E1h	ADC-CONFIG-TRIG	セクション 7.9
1Eh	FFh	E2h	ADC-DATA	セクション 7.10
1Fh	FFh	E3h	COMMON-CONFIG	セクション 7.11
20h	FFh	E4h	COMMON-TRIGGER	セクション 7.12
21h	FFh	E5h	COMMON-DAC-TRIG	セクション 7.13
22h	FFh	E6h	GENERAL-STATUS	セクション 7.14
23h	FFh	E7h	CMP-STATUS	セクション 7.15
24h	FFh	E8h	GPIO-CONFIG	セクション 7.16
25h	FFh	E9h	DEVICE-MODE-CONFIG	セクション 7.17
26h	FFh	EAh	INTERFACE-CONFIG	セクション 7.18
2Bh	FFh	EFh	SRAM-CONFIG	セクション 7.19
2Ch	FFh	F0h	SRAM-DATA	セクション 7.20
40h	該当なし	該当なし	DAC-0-DATA-8BIT	セクション 7.21
41h	該当なし	該当なし	DAC-1-DATA-8BIT	セクション 7.21
42h	該当なし	該当なし	DAC-2-DATA-8BIT	セクション 7.21
43h	該当なし	該当なし	DAC-3-DATA-8BIT	セクション 7.21
50h	FFh	F1h	BRDCAST-DATA	セクション 7.22
該当なし	すべてのページ	00h	PMBUS-PAGE	セクション 7.23
該当なし	00h	01h	PMBUS-OP-CMD-0	セクション 7.24
該当なし	01h	01h	PMBUS-OP-CMD-1	セクション 7.24
該当なし	02h	01h	PMBUS-OP-CMD-2	セクション 7.24
該当なし	03h	01h	PMBUS-OP-CMD-3	セクション 7.24
該当なし	すべてのページ	78h	PMBUS-CML	セクション 7.25
該当なし	すべてのページ	98h	PMBUS-VERSION	セクション 7.26

表 7-3. アクセス タイプ コード

アクセス タイプ	コード	説明
x	x	未使用
読み取りタイプ		

表 7-3. アクセス タイプ コード (続き)

アクセス タイプ	コード	説明
R	R	読み出し
書き込み タイプ		
W	W	書き込み
リセットまたはデフォルト 値		
-n		リセット後の 値またはデフォルト 値

7.1 NOP レジスタ (アドレス = 00h) [リセット = 0000h]

PMBus ページアドレス = FFh, PMBus レジスタ アドレス = D0h

図 7-1. NOP レジスタ

15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
NOP															
R-0h															

表 7-4. NOP レジスタ フィールドの説明

ビット	フィールド	タイプ	リセット	説明
15-0	NOP	R	0000h	無操作

7.2 DAC-X-MARGIN-HIGH レジスタ (アドレス = 01h、07h、0Dh、13h) [リセット = 0000h]

PMBus のページアドレス = 00h、01h、02h、03h, PMBus レジスタ アドレス = 25h

図 7-2. DAC-X-MARGIN-HIGH レジスタ (X = 0, 1, 2, 3)

15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
DAC-X-MARGIN-HIGH[11:0]															x
DAC-X-MARGIN-HIGH[9:0]															
DAC-X-MARGIN-HIGH[7:0]															
R/W-000h															x-0h

表 7-5. DAC-X-MARGIN-HIGH レジスタ フィールドの説明

ビット	フィールド	タイプ	リセット	説明
15-4	DAC-X-MARGIN-HIGH[11:0] DAC-X-MARGIN-HIGH[9:0] DAC-X-MARGIN-HIGH[7:0]	R/W	000h	DAC 出力データのマージン high コード ストレートバイナリ形式です。MSB 左揃え。 以下のビット整列を使用します： AFE53004W VOUT: {DAC-X-MARGIN-HIGH[11:0]} AFE63004W VOUT: {DAC-X-MARGIN-HIGH[9:0], X, X, X} IOUT: {DAC-X-MARGIN-HIGH[7:0], X, X, X, X} x = ドントケアビット。
3-0	x	x	0	ドントケアビット

7.3 DAC-X-MARGIN-LOW レジスタ (アドレス = 02h、08h、0Eh、14h) [リセット = 0000h]

PMBus のページアドレス = 00h、01h、02h、03h, PMBus レジスタ アドレス = 26h

図 7-3. DAC-X-MARGIN-LOW レジスタ (X = 0, 1, 2, 3)

15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
DAC-X-MARGIN-LOW[11:0]															x
DAC-X-MARGIN-LOW[9:0]															
DAC-X-MARGIN-LOW[7:0]															
R/W-000h															x-0h

表 7-6. DAC-X-MARGIN-LOW レジスタ フィールドの説明

ビット	フィールド	タイプ	リセット	説明
15-4	DAC-X-MARGIN-LOW[11:0] DAC-X-MARGIN-LOW[9:0] DAC-X-MARGIN-LOW[7:0]	R/W	000h	DAC 出力データのマージン low コード ストレート バイナリ形式です。MSB 左揃え。 以下のビット整列を使用します： AFE53004W VOUT:{DAC-X-MARGIN-LOW[11:0]} AFE63004W VOUT: {DAC-X-MARGIN-LOW[9:0], x, x} IOUT: {DAC-X-MARGIN-LOW[7:0], x, x, x} x = ドントケアビット。
3-0	x	x	0	未使用

7.4 DAC-X-VOUT-CMP-CONFIG レジスタ (アドレス = 03h、09h、0Fh、15h) [リセット = 0000h]

PMBus ページアドレス = FFh、PMBus レジスタアドレス = D1h、D5h、D9h、DDh

図 7-4. DAC-X-VOUT-CMP-CONFIG レジスタ (X = 0, 1, 2, 3)

15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
x			VOUT-GAIN-X			x				CMP-X-OD-EN	CMP-X-OUT-EN	CMP-X-HIZ-IN-DIS	CMP-X-INV-EN	CMP-X-EN	
x-0h			R/W-0h			x-0h				R/W-0h	R/W-0h	R/W-0h	R/W-0h	R/W-0h	R/W-0h

表 7-7. DAC-X-VOUT-CMP-CONFIG レジスタ フィールドの説明

ビット	フィールド	タイプ	リセット	説明
15-13	x	x	0h	未使用
12-10	VOUT-GAIN-X	R/W	0h	DAC または ADC モードでの電圧リファレンス。 000: ゲイン = 1x、VREF ピンの外部リファレンス 001: ゲイン = 1x、リファレンスとして VDD 010: ゲイン = 1.5x、内部リファレンス 011: ゲイン = 2x、内部リファレンス 100: ゲイン = 3x、内部リファレンス 101: ゲイン = 4x、内部リファレンス その他: 無効
9-5	x	x	0h	未使用
4	CMP-X-OD-EN	R/W	0	0: OUTx ピンをプッシュプルとして設定します 1: コンパレータ モードで OUTx ピンをオーブンドレインとして設定 (CMP-X-EN = 1 および CMP-X-OUT-EN = 1)
3	CMP-X-OUT-EN	R/W	0	0: コンパレータ出力を生成しますが、内部で消費されます 1: コンパレータ出力をそれぞれの OUTx ピンに接続します
2	CMP-X-HIZ-IN-DIS	R/W	0	0: FBx 入力は高インピーダンスです。入力電圧範囲は制限されています。 1: FBx 入力は分圧抵抗に接続され、有限なインピーダンスを持っています。入力電圧範囲は、フルスケールと同じです。
1	CMP-X-INV-EN	R/W	0	0: コンパレータ出力を反転しません 1: コンパレータ出力を反転
0	CMP-X-EN	R/W	0	コンパレータモードまたは ADC モードの場合は 1 に設定します。 0: コンパレータ モードを無効化 1: コンパレータ モードを有効にします。電流出力はパワーダウン状態でなければなりません。電圧出力モードはイネーブルにする必要があります。

7.5 DAC-X-IOUT-MISC-CONFIG レジスタ (アドレス = 04h、0Ah、10h、16h) [リセット = 0000h]

PMBus ページアドレス = FFh、PMBus レジスタアドレス = D2h、D6h、DAh、DEh

図 7-5. DAC-X-IOUT-MISC-CONFIG レジスタ (X=0, 1, 2, 3)

15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
x												x			
x-0h												x-0h			

表 7-8. DAC-X-IOUT-MISC-CONFIG レジスタ フィールドの説明

ビット	フィールド	タイプ	リセット	説明
15-13	x	x	0h	未使用
12-9	IOUT-RANGE-X	R/W	0000	0000: 0μA ~ 25μA 0001: 0μA ~ 50μA 0010: 0μA ~ 125μA 0011: 0μA ~ 250μA 0100: 0μA ~ -24μA 0101: 0μA ~ -48μA 0110: 0μA ~ -120μA 0111: 0μA ~ -240μA 1000: -25μA ~ +25μA 1001: -50μA ~ +50μA 1010: -125μA ~ +125μA 1011: -250μA ~ +250μA その他:無効
8-0	x	x	000h	未使用

7.6 DAC-X-CMP-MODE-CONFIG レジスタ (アドレス = 05h、0Bh、11h、17h) [リセット = 0000h]

PMBus のページアドレス = FFh、PMBus レジスタアドレス = D3h、D7h、DBh、DFh

図 7-6. DAC-X-CMP-MODE-CONFIG レジスタ (X= 0, 1, 2, 3)

15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
x												x			
x-0h												x-0h			

表 7-9. DAC-X-CMP-MODE-CONFIG レジスタ フィールドの説明

ビット	フィールド	タイプ	リセット	説明
15-12	x	x	00h	未使用
11-10	CMP-X-MODE	R/W	00	00:ヒステリシスまたはウインドウ機能なし 01:DAC-X-MARGIN-HIGH および DAC-X-MARGIN-LOW レジスタを使用してヒステリシス 10:DAC-X-MARGIN-HIGH および DAC-X-MARGIN-LOW レジスタでウインドウ境界を設定するウインドウコンバーラモード 11:無効
9-0	x	x	000h	未使用

7.7 DAC-X-FUNC-CONFIG レジスタ (アドレス = 06h、0Ch、12h、18h) [リセット = 0000h]

PMBus ページアドレス = FFh、PMBus レジスタアドレス = D4h、D8h、DCh、E0h

図 7-7. DAC-X-FUNC-CONFIG レジスタ (X=0, 1, 2, 3)

FUNC-GEN-CONFIG-BLOCK															
CLR-SEL-X	SYNC- CONFIG-X	BRD- CONFIG-X													
R/W-0h	R/W-0h	R/W-0h													R/W-000h

表 7-10. DAC-X-FUNC-CONFIG レジスタ フィールドの説明

ビット	フィールド	タイプ	リセット	説明
15	CLR-SEL-X	R/W	0	0: DAC-X をゼロ スケールにクリアします 1: DAC-X をミッド スケールにクリアします
14	SYNC-CONFIG-X	R/W	0	0: 書き込みコマンドの直後に DAC-X 出力を更新 b1: DAC-X 出力は、LDAC ピンの立ち下がりエッジ、または共通トリガ レジスタの LDAC ビットが 1 にセットされたときに更新されます
13	BRD-CONFIG-X	R/W	0	0: プロードキャスト コマンドで DAC-X を更新しないでください 1: プロードキャスト コマンドで DAC-X を更新

表 7-11. リニア スルー モード : FUNC-GEN-CONFIG-BLOCK フィールドの説明

ビット	フィールド	タイプ	リセット	説明
12-11	PHASE-SEL-X	R/W	0	00:0° 01:120° 10:240° 11:90°
10-8	FUNC-CONFIG-X	R/W	0	000:三角波 001:のこぎり波 010:逆のこぎり波 100:正弦波 111:機能生成を無効化します その他:無効
7	LOG-SLEW-EN-X	R/W	0	0:リニア スルーを有効化します
6-4	CODE-STEP-X	R/W	0	リニア スルー モードの CODE-STEP: 000:1-LSB 001:2-LSB 010:3-LSB 011:4-LSB 100:6-LSB 101:8-LSB 110:16-LSB 111:32-LSB

表 7-11. リニアスルー モード : FUNC-GEN-CONFIG-BLOCK フィールドの説明 (続き)

ビット	フィールド	タイプ	リセット	説明
3-0	SLEW-RATE-X	R/W	0	リニアスルー モードの SLEW-RATE: 0000:margin-high および margin-low ではスルーなし。波形生成で無効。 0001:4μs/ステップ 0010:8μs/ステップ 0011:12μs/ステップ 0100:18μs/ステップ 0101:27.04μs/ステップ 0110:40.48μs/ステップ 0111:60.72μs/ステップ 1000:91.12μs/ステップ 1001:136.72μs/ステップ 1010:239.2μs/ステップ 1011:418.64μs/ステップ 1100:732.56μs/ステップ 1101:1282μs/ステップ 1110:2563.96μs/ステップ 1111:5127.92μs/ステップ

表 7-12. 対数スルー モード : FUNC-GEN-CONFIG-BLOCK フィールドの説明

ビット	フィールド	タイプ	リセット	説明
12-11	PHASE-SEL-X	R/W	0	00:0° 01:120° 10:240° 11:90°
10 - 8	FUNC-CONFIG-X	R/W	0	000:三角波 001:のこぎり波 010:逆のこぎり波 100:正弦波 111:機能生成を無効化します その他:無効
7	LOG-SLEW-EN-X	R/W	0	1:対数スルーを有効化します。 対数スルー モードでは、DAC 出力は 3.125% ステップで DAC-X-MARGIN-LOW コードから DAC-X-MARGIN-HIGH コードへ、またはその逆へ移動します。 正方向にスルーリングする場合、次のステップは (1+0.03125) に現在のステップを掛けます。 負方向にスルーリングする場合、次のステップは (1 ~ 0.03125) に現在のステップを掛けます。 DAC-X-MARGIN-LOW が 0 の場合、スルーはコード 1 から開始されます。 各ステップの時間間隔は、立ち上がり SLEW-X と立ち下がり SLEW-X によって定義されます。
6-4	RISE-SLEW-X	R/W	0	対数スルーモード (DAC-X-MARGIN-LOW から DAC-X-MARGIN-HIGH まで) のスルーレート: 000:4μs/ステップ 001:12μs/ステップ 010:27.04μs/ステップ 011:60.72μs/ステップ 100:136.72μs/ステップ 101:418.64μs/ステップ 110:1282μs/ステップ 111:5127.92μs/ステップ

表 7-12. 対数スルーモード : FUNC-GEN-CONFIG-BLOCK フィールドの説明 (続き)

ビット	フィールド	タイプ	リセット	説明
3-1	FALL-SLEW-X	R/W	0	対数スルーモード (DAC-X-MARGIN-HIGH から DAC-X-MARGIN-LOW まで) のスルーレート: 000:4 μ s/ステップ 001:12 μ s/ステップ 010:27.04 μ s/ステップ 011:60.72 μ s/ステップ 100:136.72 μ s/ステップ 101:418.64 μ s/ステップ 110:1282 μ s/ステップ 111:5127.92 μ s/ステップ
0	x	x	0	未使用

7.8 DAC-X-DATA レジスタ (アドレス = 19h、1Ah、1Bh、1Ch) [リセット = 0000h]

PMBus のページアドレス = 00h、01h、02h、03h、PMBus レジスタアドレス = 21h

図 7-8. DAC-X-DATA レジスタ (X = 0, 1, 2, 3)

15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
DAC-X-DATA[11:0]												x			
DAC-X-DATA[9:0]												x-0h			
DAC-X-DATA[7:0]												x-0h			
R/W-000h												x-0h			

表 7-13. DAC-X-DATA レジスタのフィールドの説明

ビット	フィールド	タイプ	リセット	説明
15-4	DAC-X-DATA[11:0] DAC-X-DATA[9:0] DAC-X-DATA[7:0]	R/W	000h	DAC 出力データ データはストレートバイナリ形式です。MSB 左揃え。 以下のビット整列を使用します： AFE53004W VOUT: {DAC-X-DATA[11:0]} AFE63004W VOUT: {DAC-X-DATA[9:0], x, x} IOUT: {DAC-X-DATA[7:0], x, x, x} x = ドントケアビット。
3-0	x	x	0h	未使用

7.9 ADC-CONFIG-TRIG レジスタ (アドレス = 1Dh) [リセット = 0000h]

図 7-9. ADC-CONFIG-TRIG レジスタ

15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
予約済み	ADC-EN	ADC-AVG		ADC-MUX-SEL		予約済み				x					ADC-TRIG
R/W-0h	R/W-0h	R/W-0h		R/W-0h		R/W-0h				x-0h					W-0h

表 7-14. ADC-CONFIG-TRIG レジスタのフィールドの説明

ピット	フィールド	タイプ	リセット	説明
15-14	予約済み	R/W	0	常に 000b を書き込みます。
13	ADC-EN	R/W	0	0:ADC がディセーブル。 1:ADC をイネーブル。
12 - 11	ADC-AVG	R/W	00	平均化する ADC サンプルの数: 00: 4 01: 8 10: 16 11: 32
10 - 8	ADC-MUX-SEL	R/W	000	000:Hi-Z 入力モードでの ADC0。 001:Hi-Z 入力モードでの ADC1。 010:Hi-Z 入力モードでの ADC2。 011:Hi-Z 入力モードでの ADC3。 100:有限インピーダンス入力モードでの ADC0。 101:有限インピーダンス入力モードでの ADC1。 110:有限インピーダンス入力モードでの ADC2。 111:無効。
7 - 5	予約済み	R/W	0h	常に 110b を書き込みます。
4 - 1	x	x	0h	未使用。
0	ADC-TRIG	W	0	0:ドントケア。 1:トリガ ADC。このピットは自動リセットされます。

注

ADC-TRIG ピットをセットする前に、次の手順を実行します。

- ADC-EN を 1 に設定します。
- チャネル 3 の基準電圧とゲインを構成します。
- チャネル 3 をコンバレータとして構成します。
- 目的のチャネルに合わせて基準とゲインを設定します。
- チャネル 3 をコンバレータとして構成します。

7.10 ADC-DATA レジスタ (アドレス = 1Eh) [リセット = 0000h]

図 7-10. ADC - DATA レジスタ

15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
ADC-DATA[9:0]										x	ADC-MUX-READBACK			ADC-DRDY	
R-0h										x-0h	R-0h			R-0h	

表 7-15. ADC-DATA レジスタのフィールドの説明

ビット	フィールド	タイプ	リセット	説明
15 - 6	ADC-DATA[9:0]	R	000h	ADC から読み取られたデータ データはストレートバイナリ形式です。MSB 左揃え。
5-4	x	x	00	未使用。
3 - 1	ADC-MUX-READBACK	R	0h	000:Hi-Z 入力モードでの ADC0。 001:Hi-Z 入力モードでの ADC1。 010:Hi-Z 入力モードでの ADC2。 011:Hi-Z 入力モードでの ADC3。 100:有限インピーダンス入力モードでの ADC0。 101:有限インピーダンス入力モードでの ADC1。 110:有限インピーダンス入力モードでの ADC2。 111:無効。
0	ADC-DRDY	R	0	0:ADC 変換が進行中。ADC-DATA が無効。 1:ADC 変換が完了しました。ADC-DATA が無効。

7.11 COMMON-CONFIG レジスタ (アドレス = 1Fh) [リセット = 0FFFh]

PMBus ページアドレス = FFh、PMBus レジスタアドレス = E3h

図 7-11. COMMON-CONFIG レジスタ

15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
WIN-LATCH-EN	DEV-LOCK	EE-READ-ADDR	EN-INT-REF	VOUT-PDN-3	IOUT-PDN-3	VOUT-PDN-2	IOUT-PDN-2	VOUT-PDN-1	IOUT-PDN-1	VOUT-PDN-0	IOUT-PDN-0				
R/W-0h	R/W-0h	R/W-0h	R/W-0h	R/W-11b	R/W-1b	R/W-11b	R/W-1b	R/W-11b	R/W-1b	R/W-1b	R/W-1b	R/W-11b	R/W-1b		

表 7-16. COMMON-CONFIG レジスタのフィールドの説明

ビット	フィールド	タイプ	リセット	説明
15	WIN-LATCH-EN	R/W	0	0:ラッチなしウインドウ コンパレータ出力 1:ラッチ付きウンドウ コンパレータ出力
14	DEV-LOCK	R/W	0	0:デバイスはロックされていません。 1:デバイスはロックされています。デバイスはすべてのレジスタをロックします。このビットを 0 (デバイスのロックを解除) に戻すには、まず COMMON-TRIGGER レジスタの DEV-UNLOCK フィールドに unlock コードを書き込み、その後 DEV-LOCK ビットに 0 を書き込みます。
13	EE-READ-ADDR	R/W	0	0:アドレス 0x00 でのフルトランプ読み取りイネーブル 1:アドレス 0x01 のフルトランプ読み取りイネーブル
12	EN-INT-REF	R/W	0	0:内部リファレンスを無効化します。 1:内部リファレンスを有効化します。内部リファレンス ゲイン設定を使用する前に、このビットを設定する必要があります。
11~10, 8~7, 5~4, 2~1	VOUT-PDN-X	R/W	11	00:電源投入 VOUT-X 01:10kΩ を AGND に接続して VOUT-X をパワーダウンします 10:100kΩ を AGND に接続して VOUT-X をパワーダウンします 11:Hi-Z を AGND に接続した VOUT-X のパワーダウン

表 7-16. COMMON-CONFIG レジスタのフィールドの説明 (続き)

ビット	フィールド	タイプ	リセット	説明
9, 6, 3, 0	IOUT-PDN-X	R/W	1	0:電源投入 IOUT-X 1:パワーダウン IOUT-X

7.12 COMMON-TRIGGER レジスタ (アドレス = 20h) [リセット = 0000h]

PMBus ページアドレス = FFh, PMBus レジスタ アドレス = E4h

図 7-12. COMMON-TRIGGER レジスタ

15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
DEV-UNLOCK				リセット			LDAC	CLR	x	FAULT-DUMP	PROTECT	READ-ONE-TRIG	NVM-PROG	NVM-RELOAD	
R/W-0h				R/W-0h			R/W-0h	R/W-0h	x-0h	R/W-0h	R/W-0h	R/W-0h	R/W-0h	R/W-0h	

表 7-17. COMMON-TRIGGER レジスタのフィールドの説明

ビット	フィールド	タイプ	リセット	説明
15-12	DEV-UNLOCK	R/W	0000	0101:デバイスのロック解除パスワード。デバイスのロックを解除するには、最初にこのロック解除パスワードを書き込み、次に COMMON-CONFIG レジスタの DEV-LOCK ビットに 0 を書き込みます。 その他:未使用
11 - 8	リセット	W	0000	1010:POR リセットがトリガされました。このビットはセルフ リセットします。 その他:未使用
7	LDAC	R/W	0	0:LDAC 操作はトリガされません 1:DAC-X-FUNC-CONFIG レジスタのそれぞれの SYNC-CONFIG-X ビットが 1 の場合、LDAC 操作がトリガされます。このビットはセルフ リセットします。
6	CLR	R/W	0	0:DAC レジスタと出力は影響なし 1:DAC レジスタおよび出力は、DAC-X-FUNC-CONFIG レジスタのそれぞれの CLR-SEL-X ビットに基づいて、ゼロ コードまたは中間コードに設定されます。このビットはセルフ リセットします。
5	x	x	0	未使用
4	FAULT-DUMP	R/W	0	0:フォルトダンプはトリガされません 1:フォルトダンプ シーケンスをトリガします。このビットはセルフ リセットします。
3	PROTECT	R/W	0	0:PROTECT 機能はトリガーされません 1:PROTECT 機能をトリガします。このビットは自動的にリセットされます。
2	READ-ONE-TRIG	R/W	0	0:フォルトダンプ読み取りはトリガされません 1:フォルトダンプのために NVM の 1 行を読み出します。このビットはセルフ リセットします。
1	NVM-PROG	R/W	0	0:NVM 書き込みはトリガされません 1:NVM 書き込みをトリガします。このビットはセルフ リセットします。
0	NVM-RELOAD	R/W	0	0:NVM のリロードはトリガされません 1:NVM からレジスタ マップにデータをリロードします。このビットはセルフ リセットします。

7.13 COMMON-DAC-TRIG レジスタ (アドレス = 21h) [リセット = 0000h]

PMBus ページアドレス = FFh, PMBus レジスタ アドレス = E5h

図 7-13. COMMON-DAC-TRIG レジスタ

15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
RESET-CMP-FLAG-0	TRIG-MAR-LO-0	TRIG-MAR-HI-0	START-FUNC-0	RESET-CMP-FLAG-1	TRIG-MAR-LO-1	TRIG-MAR-HI-1	START-FUNC-1	RESET-CMP-FLAG-2	TRIG-MAR-LO-2	TRIG-MAR-HI-2	START-FUNC-2	RESET-CMP-FLAG-2	TRIG-MAR-LO-3	TRIG-MAR-HI-3	START-FUNC-3
W-0h	W-0h	W-0h	R/W-0h												

表 7-18. COMMON-DAC-TRIG レジスタのフィールドの説明

ビット	フィールド	タイプ	リセット	説明
15, 11, 7, 3	RESET_CMP-FLAG-X	W	0	0:ラッチ コンパレータ出力には影響なし 1:ラッチ コンパレータとウインドウ コンパレータ出力をリセットします。このビットはセルフリセットします。
14, 10, 6, 2	TRIG-MAR-LO-X	W	0	0:ドントケア 1:margin-low コマンドをトリガします。このビットはセルフリセットします。
13, 9, 5, 1	TRIG-MAR-HI-X	W	0	0:ドントケア 1:margin-high コマンドをトリガします。このビットはセルフリセットします。
12, 8, 4, 0	START-FUNC-X	R/W	0	0:機能生成を停止 1:DAC-X-FUNC-CONFIG レジスタの FUNC-GEN-CONFIG-X に従って、機能生成を開始します。

7.14 GENERAL-STATUS レジスタ (アドレス = 22h) [リセット = 00h、DEVICE-ID、VERSION-ID]

PMBus ページアドレス = FFh、PMBus レジスタアドレス = E6h

図 7-14. GENERAL-STATUS レジスタ

15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
NVM-CRC-FAIL-INT	NVM-CRC-FAIL-USER	x	DAC-3-BUSY	DAC-2-BUSY	DAC-1-BUSY	DAC-0-BUSY	x					DEVICE-ID		VERSION-ID	
R-0h	R-0h	R-0h	R-0h	R-0h	R-0h	R-0h	x-0h					R		R-0h	

表 7-19. GENERAL-STATUS レジスタのフィールドの説明

ピット	フィールド	タイプ	リセット	説明
15	NVM-CRC-FAIL-INT	R	0	0:OTP に CRC エラーなし 1:OTP ロードの障害を示します。一時的な障害が発生した場合、ソフトウェアリセットまたはパワー サイクルによって、デバイスはこの状態から回復することができます。
14	NVM-CRC-FAIL-USER	R	0	0:NVM ロードでの CRC エラーはありません 1:NVM ロードの障害を示します。レジスタ設定が破損しています。デバイスは、このエラー条件でのすべての動作を許可します。元の状態を取得するため、NVM を再プログラムします。ソフトウェアリセットにより、デバイスはこの一時的なエラー状態から回復します。
13	x	R	0	未使用
12	DAC-3-BUSY	R	0	0:DAC-3 チャネルは次のコマンドに対応できます 1:DAC-3 チャネルはコマンドを受け入れません
11	DAC-2-BUSY	R	0	0:DAC-2 チャネルは次のコマンドに対応できます 1:DAC-2 チャネルはコマンドを受け入れません
10	DAC-1-BUSY	R	0	0:DAC-1 チャネルは次のコマンドに対応できます 1:DAC-1 チャネルはコマンドを受け入れません
9	DAC-0-BUSY	R	0	0:DAC-0 チャネルは次のコマンドに対応できます 1:DAC-0 チャネルはコマンドを受け入れません
8	x	R	0	未使用
7-2	DEVICE-ID	R	AFE63004W:09h AFE53004W: Ah	デバイス識別子。
1-0	VERSION-ID	R	00	バージョン識別子。

7.15 CMP-STATUS レジスタ (アドレス = 23h) [リセット = 0000h]

PMBus ページアドレス = FFh、PMBus レジスタ アドレス = E7h

図 7-15. CMP-STATUS レジスタ

15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
			x				PROTECT-FLAG	WIN-CMP-3	WIN-CMP-2	WIN-CMP-1	WIN-CMP-0	CMP-FLAG-3	CMP-FLAG-2	CMP-FLAG-1	CMP-FLAG-0
			x-0h				R-0h	R-0h	R-0h	R-0h	R-0h	R-0h	R-0h	R-0h	R-0h

表 7-20. CMP-STATUS レジスタのフィールドの説明

ビット	フィールド	タイプ	リセット	説明
15-9	x	x	0	未使用
8	PROTECT-FLAG	R	0	0:PROTECT 動作がトリガーされません。 1:PROTECT 機能が完了したか、実行中です。読み出されると、このビットは 0 にリセットされます。
7, 6, 5, 4	WIN-CMP-X	R	0	各チャネルからのウインドウ コンパレータ出力。出力がラッチされるかラッチされないかは、COMMON-CONFIG レジスタの WINDOW-LATCH-EN 設定に基づきます。
3, 2, 1, 0	CMP-FLAG-X	R	0	各チャネルからの同期されたコンパレータ出力。

7.16 GPIO-CONFIG レジスタ (アドレス = 24h) [リセット = 0000h]

PMBus ページアドレス = FFh、PMBus レジスタ アドレス = E8h

図 7-16. GPIO-CONFIG レジスタ

15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
GF-EN	x	GPO-EN	GPO-CONFIG		GPI-CH-SEL		GPI-CONFIG		GPI-EN						
R/W-0h	x-0h	R/W-0h	R/W-0h		R/W-0h		R/W-0h		R/W-0h						

表 7-21. GPIO-CONFIG レジスタのフィールドの説明

ビット	フィールド	タイプ	リセット	説明
15	GF-EN	R/W	0	0:GP 入力のグリッチ フィルタ ディスエーブル。この設定により、応答が高速化されます。 1:GPI のグリッチ フィルタ イネーブル。この設定では伝搬遅延が長くなりますが、堅牢性が得られます。
14	x	x	0	未使用。
13	GPO-EN	R/W	0	0:GPIO ピンの出力モードをディセーブルにします。 1:GPIO ピンの出力モードを有効にします。
12 - 9	GPO-CONFIG	R/W	0000	STATUS 機能の設定。GPIO ピンは、出力として次のレジスタ ビットにマップされます 0001:NVM-BUSY 0100:DAC-0-BUSY 0101:DAC-1-BUSY 0110:DAC-2-BUSY 0111:DAC-3-BUSY 1000:WIN-CMP-0 1001:WIN-CMP-1 1010:WIN-CMP-2 1011:WIN-CMP-3 その他:該当なし

表 7-21. GPIO-CONFIG レジスタのフィールドの説明 (続き)

ビット	フィールド	タイプ	リセット	説明
8 - 5	GPI-CH-SEL	R/W	0000	<p>各ビットは DAC チャネルに対応します。0b は「無効」で、1b は「有効」。</p> <p>GPI-CH-SEL[0]: チャネル 0 GPI-CH-SEL[1]: チャネル 1 GPI-CH-SEL[2]: チャネル 2 GPI-CH-SEL[3]: チャネル 3</p> <p>の例: GPI-CH-SEL が 0101 の場合、チャネル 0 とチャネル 2 の両方がイネーブルになり、チャネル 1 とチャネル 3 の両方がディセーブルになります。</p>
4 - 1	GPI-CONFIG	R/W	0000	<p>GPIO ピンの入力構成。グローバル設定はデバイス全体で動作します。チャネル固有の設定は、GPI-CH-SEL ビットによるチャネル選択によって異なります。</p> <p>0010: <u>FAULT-DUMP</u> (グローバル)。GPIO 立ち下がりエッジで <u>FAULT-DUMP</u> がトリガされ、GPIO = 1 は影響しません。</p> <p>0011: <u>IOUT</u> 電源オン-ダウン (チャネル固有)。GPIO の立ち下がりエッジはパワーダウンをトリガし、GPIO の立ち上がりエッジはパワーアップをトリガします。</p> <p>0100: <u>VOUT</u> 電源オン-ダウン (チャネル固有)。出力負荷は、<u>VOUT-PDN-X</u> 設定に従っています。GPIO 立ち下がりエッジによって <u>ECT</u> 入力 (グローバル) がトリガされます。GPIO 立ち下がりエッジで <u>PROTECT</u> 機能をアサートし、GPIO = 1 は影響を与えません。</p> <p>0111: <u>CLR</u> 入力 (グローバル)。GPIO = 0 は <u>CLR</u> 機能をアサートし、GPIO = 1 は影響しません。</p> <p>1000: <u>LDAC</u> 入力 (チャネル固有)。GPIO 立ち下がりエッジは <u>LDAC</u> 機能をアサートし、GPIO = 1 は影響しません。<u>SYNC-CONFIG-X</u> と GPI-CH-SEL の両方をすべてのチャネルに対して設定する必要があります。</p> <p>1001: 機能生成の開始/停止 (チャネル固有)。GPIO の立ち下がりエッジは機能の生成を停止します。GPIO の立ち上がりエッジは機能の生成を開始します。</p> <p>1010: <u>margin-high/low</u> のトリガ (チャネル固有)。GPIO の立ち下がりエッジは <u>margin low</u> をトリガします。GPIO の立ち上がりエッジは <u>margin high</u> をトリガします。</p> <p>1011: <u>RESET</u> 入力 (グローバル)。GPIO ピンの立ち下がりエッジは <u>RESET</u> 機能をアサートします。RESET 入力はパルスである必要があります。GPIO の立ち上がりエッジはデバイスをリセットから復帰させます。RESET 構成は <u>NVM</u> にプログラムする必要があります。それ以外の場合、デバイスのリセット後に設定はクリアされます。</p> <p>1100: <u>NVM</u> 書き込み保護 (グローバル)。GPIO の立ち下がりエッジは <u>NVM</u> プログラミングを可能にします。GPIO の立ち上がりエッジは <u>NVM</u> プログラミングをブロックします。</p> <p>1101: レジスタ マップ ロック (グローバル)。GPIO の立ち下がりエッジはレジスタ マップの更新を可能にします。GPIO の立ち上がりエッジは、<u>I²C</u> または <u>SPI</u> 経由の <u>DEV-UNLOCK</u> フィールドへの書き込みと <u>I²C</u> 経由の <u>RESET</u> フィールドへの書き込みを除くすべてのレジスタ マップの更新をブロックします。</p> <p>その他: 無効</p>
0	GPI-EN	R/W	0	0: GPIO ピンの入力モードをディセーブルします。 1: GPIO ピンのイネーブル入力モード。

7.17 DEVICE-MODE-CONFIG レジスタ (アドレス = 25h) [リセット = 0000h]

PMBus ページアドレス = FFh、PMBus レジスタ アドレス = E9h

図 7-17. DEVICE-MODE-CONFIG レジスタ

15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
予約済み	DIS-MODE-IN		予約済み	PROTECT-CONFIG		予約済み						x			
R/W-0h	R/W-0h		R/W-0h		R/W-0h		R/W-0h		R/W-0h			x-0h			

表 7-22. DEVICE-MODE-CONFIG レジスタのフィールドの説明

ビット	フィールド	タイプ	リセット	説明
15-14	予約済み	R/W	00	常に 0b00 を書き込む
13	DIS-MODE-IN	R/W	0	低消費電力を実現するには、このビットに 1 を書き込みます。
12-10	予約済み	R/W	0	常に 0b000 を書き込む
9-8	PROTECT-CONFIG	R/W	00	00:ハイインピーダンスパワーダウンへの切り替え (スルーなし) 01:NVM に保存された DAC コードに切り替え (スルーなし) でから、ハイインピーダンスパワーダウンに切り替え 10:margin-low コードまでスルーしてから、ハイインピーダンスパワーダウンに切り替え 11:margin-high コードまでスルーしてから、ハイインピーダンスパワーダウンに切り替え
7-5	予約済み	R/W	0	常に 0b000 を書き込む
4-0	x	R/W	00h	未使用

7.18 INTERFACE-CONFIG レジスタ (アドレス = 26h) [リセット = 0000h]

図 7-18. INTERFACE-CONFIG レジスタ

15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
x	TIMEOUT-EN		x	EN-PMBUS		x		x				FSDO-EN	x	SDO-EN	
x-0h	R/W-0h		x-0h	R/W-0h		x-0h		x-0h		R/W-0h	x-0h	R/W-0h			

表 7-23. INTERFACE-CONFIG レジスタのフィールドの説明

ビット	フィールド	タイプ	リセット	説明
15-13	x	x	0h	未使用
12	TIMEOUT-EN	R/W	0	0:I ² C タイムアウト ディスエーブル 1:I ² C タイムアウト イネーブル
11-9	x	x	0h	未使用
8	EN-PMBUS	R/W	0	0:PMBus ディセーブル 1:PMBus をイネーブル
7-3	x	x	00h	未使用
2	FSDO-EN	R/W	0	0:高速 SDO (FSDO) ディセーブル 1:高速 SDO イネーブル
1	x	x	0	未使用
0	SDO-EN	R/W	0	0:SDO ディスエーブル 1:GPIO ピンで SDO イネーブル

7.19 SRAM-CONFIG レジスタ (アドレス = 2Bh) [リセット = 0000h]

PMBus ページアドレス = FFh、PMBus レジスタアドレス = EFh

図 7-19. SRAM-CONFIG レジスタ

15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
x								SRAM-ADDR							
x-00h								R/W-00h							

表 7-24. SRAM-CONFIG レジスタのフィールドの説明

ピット	フィールド	タイプ	リセット	説明
15-8	x	x	00h	未使用
7-0	SRAM-ADDR	R/W	00h	8 ビット SRAM アドレス。このレジスタ フィールドに書き込むと、次にアクセスする SRAM アドレスが設定されます。このアドレスは、SRAM への書き込み後に自動的にインクリメントされます。

7.20 SRAM-DATA レジスタ (アドレス = 2Ch) [リセット = 0000h]

PMBus ページアドレス = FFh、PMBus レジスタアドレス = F0h

図 7-20. SRAM - DATA レジスタ

15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
SRAM-DATA															
R/W-0000h															

表 7-25. SRAM-DATA レジスタのフィールドの説明

ピット	フィールド	タイプ	リセット	説明
15-0	SRAM-DATA	R/W	0000h	16 ビット SRAM データ。SRAM-CONFIG レジスタで設定されたアドレスとの間で、データが書き込みまたは読み取りされます。

7.21 DAC-X-DATA-8BIT レジスタ (アドレス = 40h、41h、42h、43h) [リセット = 0000h]

PMBus ページアドレス = 該当なし、PMBus レジスタアドレス = 該当なし

図 7-21. DAC-X-DATA-8BIT レジスタ

15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
DAC-X-DATA-8BIT[7:0]								x							
R/W-00h								x-00h							

表 7-26. DAC-X-DATA-8BIT レジスタのフィールドの説明

ビット	フィールド	タイプ	リセット	説明
15-8	DAC-X-DATA-8BIT[7:0]	R/W	00h	電流出力の 8 ビットデータ。このレジスタは、I ² C モードでより高速な更新レートを提供します。データはストレートバイナリ形式です。
7-0	x	x	00h	該当なし

7.22 BRDCAST-DATA レジスタ (アドレス = 50h) [リセット = 0000h]

PMBus ページアドレス = FFh、PMBus レジスタアドレス = F1h

図 7-22. BRDCAST-DATA レジスタ

15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
BRDCAST-DATA[11:0]								x							
BRDCAST-DATA[9:0]								x-00h							

表 7-27. BRDCAST-DATA レジスタのフィールドの説明

ビット	フィールド	タイプ	リセット	説明
15-4	BRDCAST-DATA[11:0] BRDCAST-DATA[9:0] BRDCAST-DATA[7:0]	R/W	000h	すべての DAC チャネルのブロードキャストコード データはストレートバイナリ形式です。MSB 左揃え。 以下のビット整列を使用します： AFE53004W VOUT: {BRDCAST-DATA[11:0]} AFE63004W VOUT: {BRDCAST-DATA[9:0], X, X, X} IOUT: {BRDCAST-DATA[7:0], X, X, X} X = ドントケアビット。 DAC-X-FUNC-CONFIG レジスタの BRD-CONFIG-X ビットは、それぞれのチャネルでインエーブルになっている必要があります。
3-0	x	x	0h	未使用。

7.23 PMBUS ページ レジスタ [リセット = 0300h]

PMBus ページアドレス = X、PMBus レジスタアドレス = 00h

図 7-23. PMBUS-PAGE レジスタ

15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
PMBUS-PAGE								x							
R/W-03h								x-00h							

表 7-28. PMBUS-PAGE レジスタのフィールドの説明

ビット	フィールド	タイプ	リセット	説明
15-8	PMBUS-PAGE	R/W	03h	「レジスタマップ」セクションの「レジスタ名」表に規定された 8 ビット PMBUS ページアドレス。
7-0	x	x	00h	該当なし

7.24 PMBUS-OP-CMD-X レジスタ [リセット = 0000h]

PMBus のページアドレス = 00h、01h、02h、03h、PMBus レジスタアドレス = 01h

図 7-24. PMBUS-OP-CMD-X レジスタ (X = 0, 1, 2, 3)

15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
PMBUS-OPERATION-CMD-X								x							
R/W-00h								x-00h							

表 7-29. PMBUS-OP-CMD-X レジスタのフィールドの説明

ビット	フィールド	タイプ	リセット	説明
15-8	PMBUS-OPERATION-CMD-X	R/W	00h	PMBus 動作コマンド: 00h:オフ 80h:A4h をオン :マージン high、DAC 出力マージン high から DAC-X-MARGIN-HIGH コード 94h まで :マージン low。DAC 出力マージン low から DAC-X-MARGIN-LOW コードまで
7-0	x	x	00h	該当なし

7.25 PMBUS-CML レジスタ [リセット = 0000h]

PMBus ページアドレス = X、PMBus レジスタアドレス = 78h

図 7-25. PMBUS - CML レジスタ

15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
x								該当なし							
x-00h								x-00h							

表 7-30. PMBUS-CML レジスタのフィールドの説明

ビット	フィールド	タイプ	リセット	説明
15-10	x	x	00h	未使用
9	CML	R/W	0	0:通信故障なし 1:誤ったクロック数による書き込み、書き込みコマンド前の読み出し、無効なコマンドアドレス、無効またはサポートされていないデータ値による PMBus 通信フォルト。1 を書き込むことでこのビットをリセットします。
8	x	x	0h	未使用
7-0	x	x	00h	該当なし

7.26 PMBUS バージョン レジスタ [リセット = 2200h]

PMBus ページアドレス = X、PMBus レジスタアドレス = 98h

図 7-26. PMBUS バージョン レジスタ

15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
PMBUS-VERSION								x							
R-22h								x-00h							

表 7-31. PMBUS-VERSION レジスタ フィールドの説明

ビット	フィールド	タイプ	リセット	説明
15-8	PMBUS-VERSION	R	22h	PMBus バージョン

表 7-31. PMBUS-VERSION レジスタ フィールドの説明 (続き)

ビット	フィールド	タイプ	リセット	説明
7-0	X	X	00h	該当なし

8 アプリケーションと実装

注

以下のアプリケーション情報は、テキサス・インスツルメンツの製品仕様に含まれるものではなく、テキサス・インスツルメンツはその正確性も完全性も保証いたしません。個々の目的に対する製品の適合性については、お客様の責任で判断していただくことになります。また、お客様は自身の設計実装を検証しテストすることで、システムの機能を確認する必要があります。

8.1 アプリケーション情報

AFEx3004W はクワッドチャネル、バッファ付き、フォース センス出力、電圧出力および電流出力のスマート DAC で、NVM と内部リファレンスを内蔵しており、超小型の 1.76mm×1.76mm DSBGA パッケージで供給されます。過渡状態または定常状態のとき、外部リファレンスは V_{DD} を超えないようにする必要があります。最高の Hi-Z 出力性能を得るには、VREF ピンの VDD へのプルアップ抵抗を使用します。オフ状態の間に VDD ピンがフローティング状態に維持される場合は、 VDD ピンの オフ 状態を適切に検出するために、100k Ω 抵抗を AGND に接続します。すべてのデジタル出力はオープンドレインであるため、これらのピンに外付けプルアップ抵抗を使用します。電源投入時にインターフェイスプロトコルは検出され、 V_{DD} がオンになっている限り、デバイスはプロトコルにロックします。I²C モードでは、システムで I²C アドレスを割り当てる場合、ブロードキャスト アドレスも考慮します。I²C タイムアウトにより、堅牢性を向上させることができます。SPI モードは、デフォルトで 3 線式です。SPI 読み戻し機能のために NVM で GPIO ピンを SDO として構成します。リードバック モードでの SPI クロック速度は、書き込みモードよりも低速です。パワーダウン モードにより、DAC 出力はデフォルトで Hi-Z に設定されます。さまざまな電源オフ設定に合わせて構成を適切に変更します。DAC チャネルは、NVM のプログラムされた DAC コードを使用して電源を投入することもできます。

8.2 代表的なアプリケーション

AFEx3004W は、250 μ A を超える電流値に対して外付け MOSFET を使用するプログラマブル電流源として使用するように構成できます。AFEx3004W のフォース センス出力を使用して、MOSFET の温度、ドレイン電流、経年劣化に起因するゲートとソース間電圧降下を補償できます。GPIO ピンを使うと、ランタイム ソフトウェアを使わずに出力電流のオン/オフを切り替えることができます。オン値とオフ値の間のスルーフィードバック (ご意見やお問い合わせ) を送信

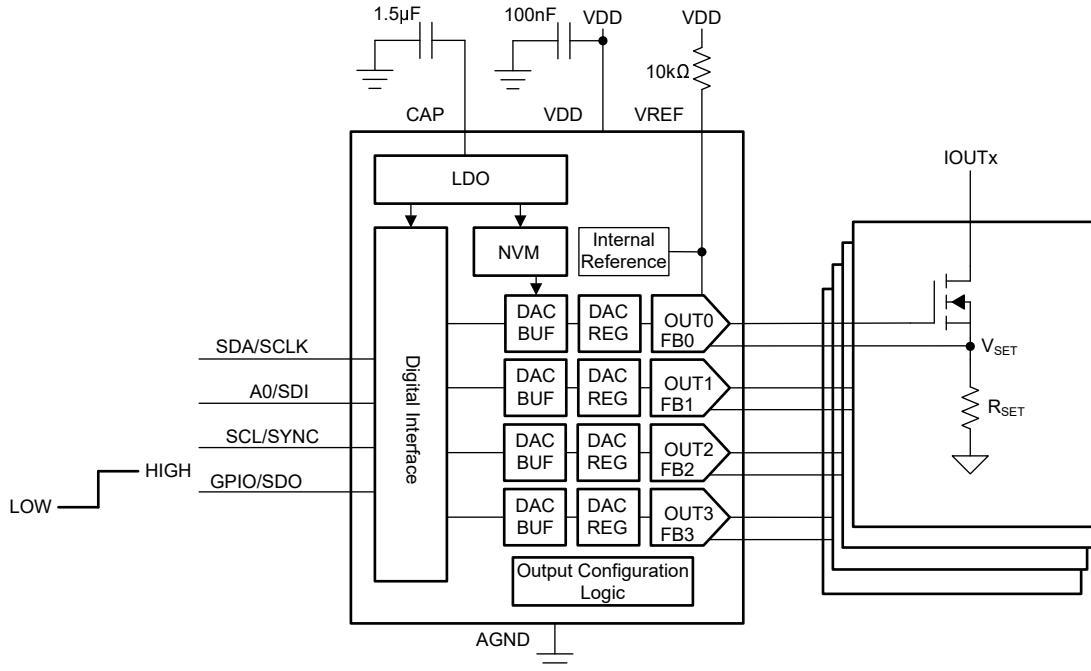


図 8-1. 電流源

8.2.1 設計要件

表 8-1. 設計パラメータ

パラメータ	値
電流出力範囲	0mA~200mA
DAC 範囲	0V ~ 0.6V
R_{SET}	Ω

8.2.2 詳細な設計手順

V_{SET} は AFE53004W によって制御され、電流出力を調整します。 R_{SET} は、電流源の出力範囲を設定します。 R_{SET} の両端の消費電力が最小になるように、小さな V_{SET} を選択します。式 10 は R_{SET} を計算します。

$$R_{SET} = \frac{V_{SET}}{I_{OUT}} \quad (10)$$

この例では、0.6V の最大 V_{SET} を使用しています。式 11 は、 R_{SET} は 3Ω と計算されることを示しています。定格電力が 120mW 以上の R_{SET} を選択します。

$$R_{SET} = \frac{0.6V}{200mA} = 3\Omega \quad (11)$$

与えられた出力電圧、リファレンス、ゲイン設定について、DAC コードを計算する方法を、式 12 に示します。

$$DAC_DATA = \frac{V_{OUT} \times 2^N}{V_{REF} \times GAIN} \quad (12)$$

式 13 は、出力電圧 V_{SET} が 0.6V、内部 1.21V 基準電圧、1.5 倍のゲイン設定について、DAC コードを計算します。

$$DAC_DATA = \frac{0.6V \times 2^{12}}{1.21V \times 1.5} = 1354d \quad (13)$$

GPIO ピンを入力として構成して、DACx3x04W 出力をオン/オフして電流源をオン/オフにできます。GPIO-CONFIG レジスタで GPIO を構成します。GPI-EN ビットは、GPIO ピンを入力として有効化します。GPI-CH-SEL フィールドは、GPI によって制御されるチャネルを選択します。GPI-CONFIG フィールドは、GPI 機能を選択します。[表 6-19](#) に、GPI-CONFIG フィールドの関数を定義します。プログラム可能なスルーが必要な場合は、トリガ マージン high またはマージン low 機能を選択します。または、プログラム可能なスルーが必要ない場合は、VOUT のパワーアップ/ダウンを選択します。

プログラム可能なスルーは、DAC-X-FUNC-CONFIG レジスタのコードステップおよびスルーレート フィールドにより設定されます。プログラム可能なスルーは、DAC-X-MARGIN-HIGH レジスタと DAC-X-MARGIN-LOW レジスタに保存されている 2 つの値の間で切り替える場合のみ利用できます。[セクション 6.4.5](#) は、プログラマブル スルーの設定方法について説明しています。このアプリケーション例では、8 μ V/s のスルーレートと 8LSB の CODE-STEP を使用して、1.36ms のスルー時間を実現します。

このアプリケーション例の疑似コードは次のとおりです。

```

//SYNTAX: WRITE <REGISTER NAME (Hex code>, <MSB DATA>, <LSB DATA>
//Set gain setting to 1.5x internal reference (1.8V) (repeat for all channels)
WRITE DAC-0-VOUT-CMP-CONFIG(0x3), 0x08, 0x00
//Power-up voltage output on all channels and enable the internal reference
WRITE COMMON-CONFIG(0x1F), 0x12, 0x49
//Configure GPIO for Margin-High, Low trigger for all channels
WRITE GPIO-CONFIG(0x24), 0x01, 0xF5
//Set slew rate and code step (repeat for all channels)
//CODE_STEP: 8 LSB, SLEW_RATE: 8µs/step
WRITE DAC-0-FUNC-CONFIG(0x06), 0x00, 0x52
//Write DAC margin high code (repeat for all channels)
//For a 1.8V output range, the 12-bit hex code for 0.6V is 0x54A. with 16-bit left alignment,
//this becomes 0x54A0
WRITE DAC-0-MARGIN-HIGH(0x01), 0x54, 0xA0
//Write DAC margin low code (repeat for all channels)
//The 12-bit hex code for 0V is 0x000. with 16-bit left alignment, this
//becomes 0x0000
WRITE DAC-0-MARGIN-LOW(0x02), 0x00, 0x00
//Save settings to NVM
WRITE COMMON-TRIGGER(0x20), 0x00, 0x02

```

8.2.3 アプリケーション曲線

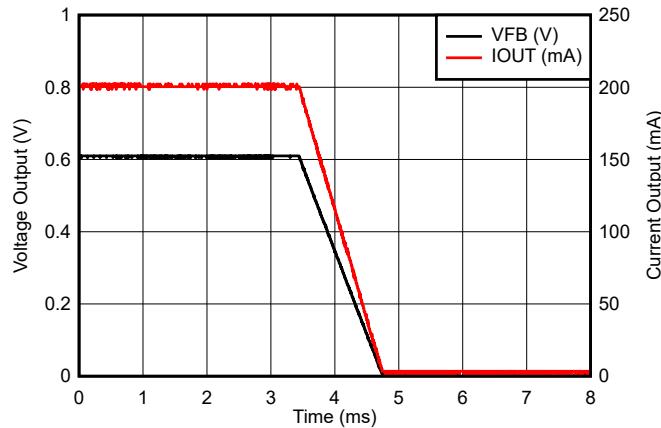


図 8-2. IOUT および VFB のオンからオフへの遷移

8.3 電源に関する推奨事項

AFEx3004W ファミリのデバイスは、特定の電源シーケンスを必要としません。これらのデバイスは、単一の電源 V_{DD} を必要とします。ただし、 V_{DD} の後に外部電圧リファレンスが印加されるようにしてください。 V_{DD} ピンには $0.1\mu F$ のデカップリングコンデンサを使用します。CAP ピンには約 $1.5\mu F$ のバイパスコンデンサを使用します。

8.4 レイアウト

8.4.1 レイアウトのガイドライン

AFEx3004W のピン構成では、レイアウトを最適化できるようにアナログピン、デジタルピン、電源ピンを離しています。信号の整合性を確保するには、デジタルトレースとアナログトレースを分離し、デカップリングコンデンサをデバイスピンの近くに配置します。

8.4.2 レイアウト例

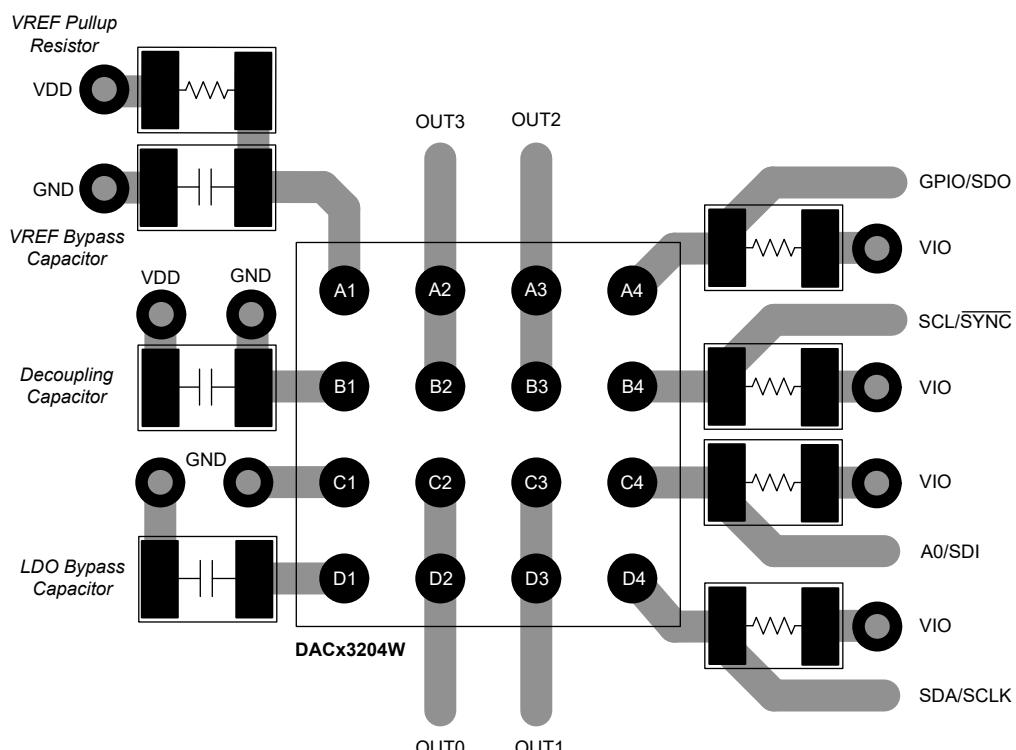


図 8-3. レイアウト例

注:明確化のために、グランドプレーンと電源プレーンは省略しています。

9 デバイスおよびドキュメントのサポート

テキサス・インスツルメンツでは、幅広い開発ツールを提供しています。デバイスの性能の評価、コードの生成、システムの統合を支援するツールやソフトウェアを、以下に挙げます。

9.1 ドキュメントのサポート

注

テキサス・インスツルメンツでは、より包括的な用語を使用するように移行を進めています。一部の言語は、特定のテクノロジー分野で期待される言語とは異なる場合があります。

9.1.1 関連資料

以下の EVM ユーザー ガイドが提供されています。[DAC63004 評価基板 ユーザー ガイド](#)

9.2 ドキュメントの更新通知を受け取る方法

ドキュメントの更新についての通知を受け取るには、www.tij.co.jp のデバイス製品フォルダを開いてください。[通知] をクリックして登録すると、変更されたすべての製品情報に関するダイジェストを毎週受け取ることができます。変更の詳細については、改訂されたドキュメントに含まれている改訂履歴をご覧ください。

9.3 サポート・リソース

テキサス・インスツルメンツ E2E™ サポート・フォーラムは、エンジニアが検証済みの回答と設計に関するヒントをエキスパートから迅速かつ直接得ることができる場所です。既存の回答を検索したり、独自の質問をしたりすることで、設計で必要な支援を迅速に得ることができます。

リンクされているコンテンツは、各寄稿者により「現状のまま」提供されるものです。これらはテキサス・インスツルメンツの仕様を構成するものではなく、必ずしもテキサス・インスツルメンツの見解を反映したものではありません。テキサス・インスツルメンツの[使用条件](#)を参照してください。

9.4 商標

テキサス・インスツルメンツ E2E™ is a trademark of Texas Instruments.

PMBus® is a registered trademark of SMIF, Inc.

すべての商標は、それぞれの所有者に帰属します。

9.5 静電気放電に関する注意事項



この IC は、ESD によって破損する可能性があります。テキサス・インスツルメンツは、IC を取り扱う際には常に適切な注意を払うことをお勧めします。正しい取り扱いおよび設置手順に従わない場合、デバイスを破損するおそれがあります。

ESD による破損は、わずかな性能低下からデバイスの完全な故障まで多岐にわたります。精密な IC の場合、パラメータがわずかに変化するだけで公表されている仕様から外れる可能性があるため、破損が発生しやすくなっています。

9.6 用語集

テキサス・インスツルメンツ用語集

この用語集には、用語や略語の一覧および定義が記載されています。

10 改訂履歴

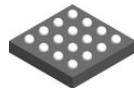
資料番号末尾の英字は改訂を表しています。その改訂履歴は英語版に準じています。

日付	改訂	注
July 2025	*	初版リリース

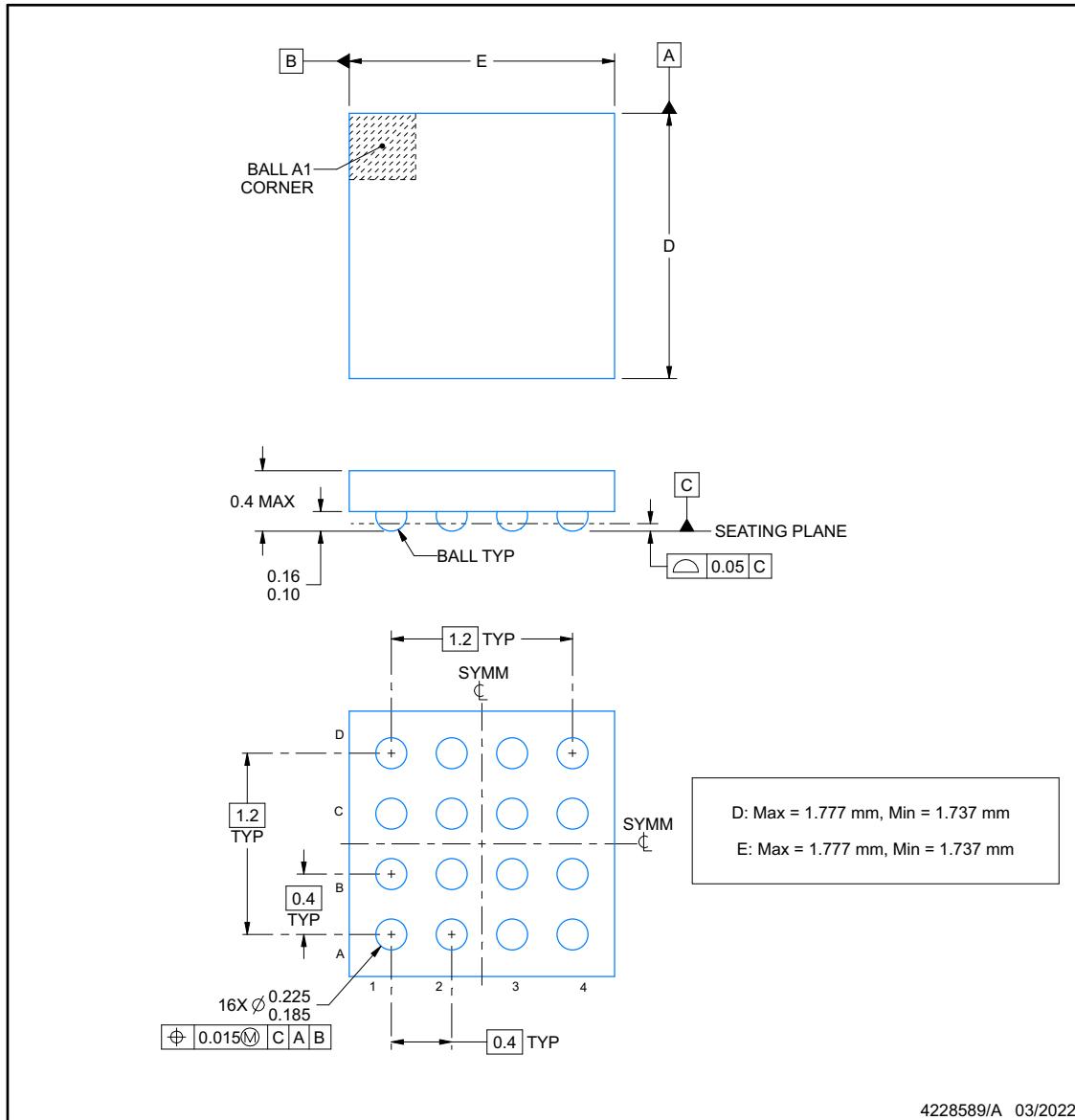
11 メカニカル、パッケージ、および注文情報

以降のページには、メカニカル、パッケージ、および注文に関する情報が記載されています。この情報は、指定のデバイスに使用できる最新のデータです。このデータは、予告なく、このドキュメントを改訂せずに変更される場合があります。本データシートのブラウザ版を使用されている場合は、画面左側の説明をご覧ください。

PACKAGE OUTLINE

YBH0016-C03

DSBGA - 0.4 mm max height

DIE SIZE BALL GRID ARRAY



4228589/A 03/2022

NOTES:

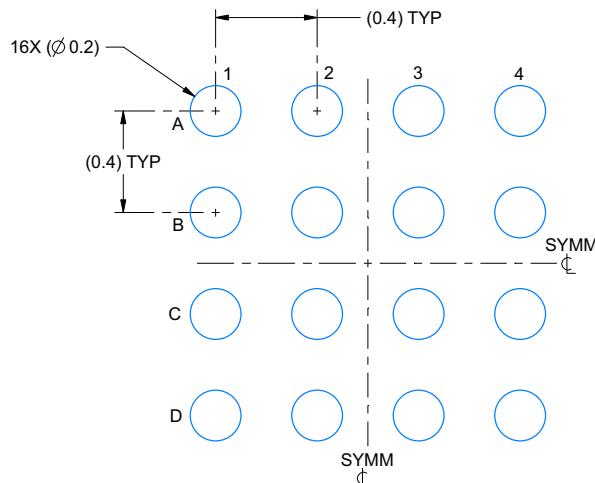
1. All linear dimensions are in millimeters. Any dimensions in parenthesis are for reference only. Dimensioning and tolerancing per ASME Y14.5M.
2. This drawing is subject to change without notice.

EXAMPLE BOARD LAYOUT

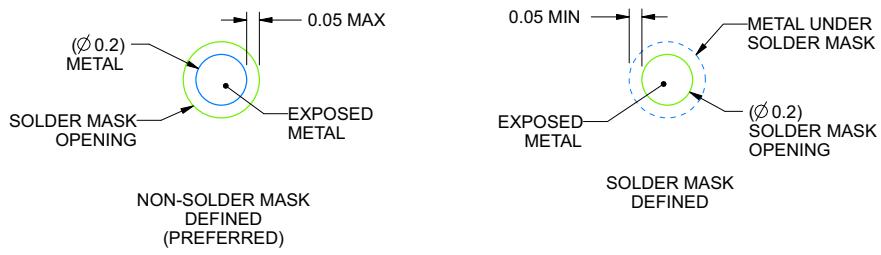
YBH0016-C03

DSBGa - 0.4 mm max height

DIE SIZE BALL GRID ARRAY



LAND PATTERN EXAMPLE
EXPOSED METAL SHOWN
SCALE: 40X



SOLDER MASK DETAILS
NOT TO SCALE

4228589/A 03/2022

NOTES: (continued)

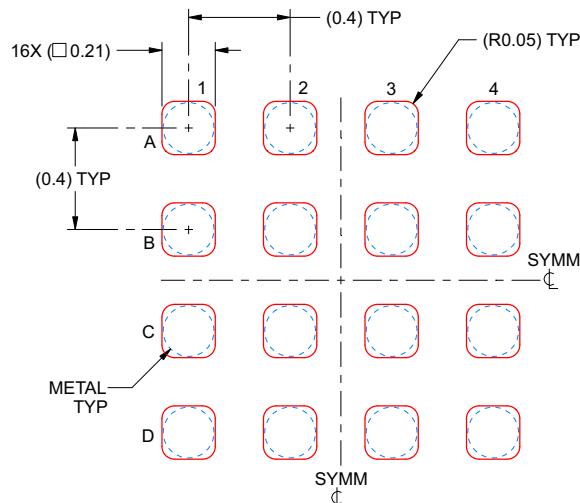
3. Final dimensions may vary due to manufacturing tolerance considerations and also routing constraints.
See Texas Instruments Literature No. SNVA009 (www.ti.com/lit/snva009).

EXAMPLE STENCIL DESIGN

YBH0016-C03

DSBGA - 0.4 mm max height

DIE SIZE BALL GRID ARRAY



SOLDER PASTE EXAMPLE
 BASED ON 0.075 mm THICK STENCIL
 SCALE: 40X

4228589/A 03/2022

NOTES: (continued)

4. Laser cutting apertures with trapezoidal walls and rounded corners may offer better paste release.

重要なお知らせと免責事項

テキサス・インスツルメンツは、技術データと信頼性データ（データシートを含みます）、設計リソース（リファレンス デザインを含みます）、アプリケーションや設計に関する各種アドバイス、Web ツール、安全性情報、その他のリソースを、欠陥が存在する可能性のある「現状のまま」提供しており、商品性および特定目的に対する適合性の默示保証、第三者の知的財産権の非侵害保証を含むいかなる保証も、明示的または默示的にかかわらず拒否します。

これらのリソースは、テキサス・インスツルメンツ製品を使用する設計の経験を積んだ開発者への提供を意図したものです。(1) お客様のアプリケーションに適した テキサス・インスツルメンツ製品の選定、(2) お客様のアプリケーションの設計、検証、試験、(3) お客様のアプリケーションに該当する各種規格や、その他のあらゆる安全性、セキュリティ、規制、または他の要件への確実な適合に関する責任を、お客様のみが単独で負うものとします。

上記の各種リソースは、予告なく変更される可能性があります。これらのリソースは、リソースで説明されている テキサス・インスツルメンツ製品を使用するアプリケーションの開発の目的でのみ、テキサス・インスツルメンツはその使用をお客様に許諾します。これらのリソースに関して、他の目的で複製することや掲載することは禁止されています。テキサス・インスツルメンツや第三者の知的財産権のライセンスが付与されている訳ではありません。お客様は、これらのリソースを自身で使用した結果発生するあらゆる申し立て、損害、費用、損失、責任について、テキサス・インスツルメンツおよびその代理人を完全に補償するものとし、テキサス・インスツルメンツは一切の責任を拒否します。

テキサス・インスツルメンツの製品は、[テキサス・インスツルメンツの販売条件](#)、または ti.com やかかる テキサス・インスツルメンツ製品の関連資料などのいづれかを通じて提供する適用可能な条項の下で提供されています。テキサス・インスツルメンツがこれらのリソースを提供することは、適用されるテキサス・インスツルメンツの保証または他の保証の放棄の拡大や変更を意味するものではありません。

お客様がいかなる追加条項または代替条項を提案した場合でも、テキサス・インスツルメンツはそれらに異議を唱え、拒否します。

郵送先住所: Texas Instruments, Post Office Box 655303, Dallas, Texas 75265

Copyright © 2025, Texas Instruments Incorporated

PACKAGING INFORMATION

Orderable part number	Status (1)	Material type (2)	Package Pins	Package qty Carrier	RoHS (3)	Lead finish/ Ball material (4)	MSL rating/ Peak reflow (5)	Op temp (°C)	Part marking (6)
AFE53004YBHR	Active	Production	DSBGA (YBH) 16	3000 LARGE T&R	Yes	SNAGCU	Level-1-260C-UNLIM	-	AFE 53004

⁽¹⁾ **Status:** For more details on status, see our [product life cycle](#).

⁽²⁾ **Material type:** When designated, preproduction parts are prototypes/experimental devices, and are not yet approved or released for full production. Testing and final process, including without limitation quality assurance, reliability performance testing, and/or process qualification, may not yet be complete, and this item is subject to further changes or possible discontinuation. If available for ordering, purchases will be subject to an additional waiver at checkout, and are intended for early internal evaluation purposes only. These items are sold without warranties of any kind.

⁽³⁾ **RoHS values:** Yes, No, RoHS Exempt. See the [TI RoHS Statement](#) for additional information and value definition.

⁽⁴⁾ **Lead finish/Ball material:** Parts may have multiple material finish options. Finish options are separated by a vertical ruled line. Lead finish/Ball material values may wrap to two lines if the finish value exceeds the maximum column width.

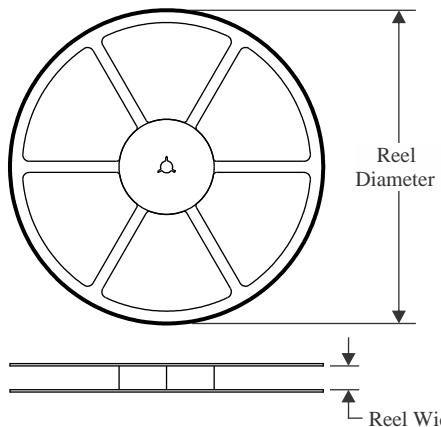
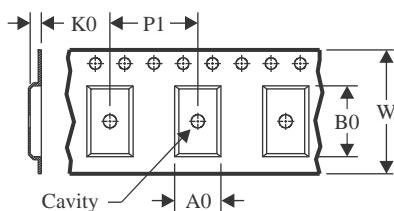
⁽⁵⁾ **MSL rating/Peak reflow:** The moisture sensitivity level ratings and peak solder (reflow) temperatures. In the event that a part has multiple moisture sensitivity ratings, only the lowest level per JEDEC standards is shown. Refer to the shipping label for the actual reflow temperature that will be used to mount the part to the printed circuit board.

⁽⁶⁾ **Part marking:** There may be an additional marking, which relates to the logo, the lot trace code information, or the environmental category of the part.

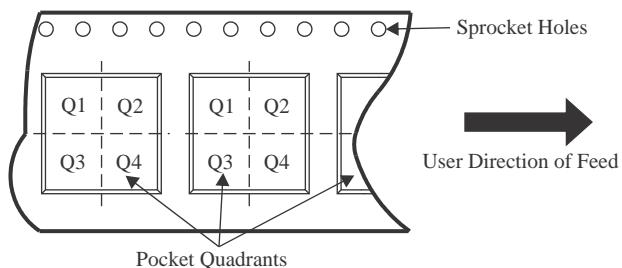
Multiple part markings will be inside parentheses. Only one part marking contained in parentheses and separated by a "~" will appear on a part. If a line is indented then it is a continuation of the previous line and the two combined represent the entire part marking for that device.

Important Information and Disclaimer: The information provided on this page represents TI's knowledge and belief as of the date that it is provided. TI bases its knowledge and belief on information provided by third parties, and makes no representation or warranty as to the accuracy of such information. Efforts are underway to better integrate information from third parties. TI has taken and continues to take reasonable steps to provide representative and accurate information but may not have conducted destructive testing or chemical analysis on incoming materials and chemicals. TI and TI suppliers consider certain information to be proprietary, and thus CAS numbers and other limited information may not be available for release.

In no event shall TI's liability arising out of such information exceed the total purchase price of the TI part(s) at issue in this document sold by TI to Customer on an annual basis.

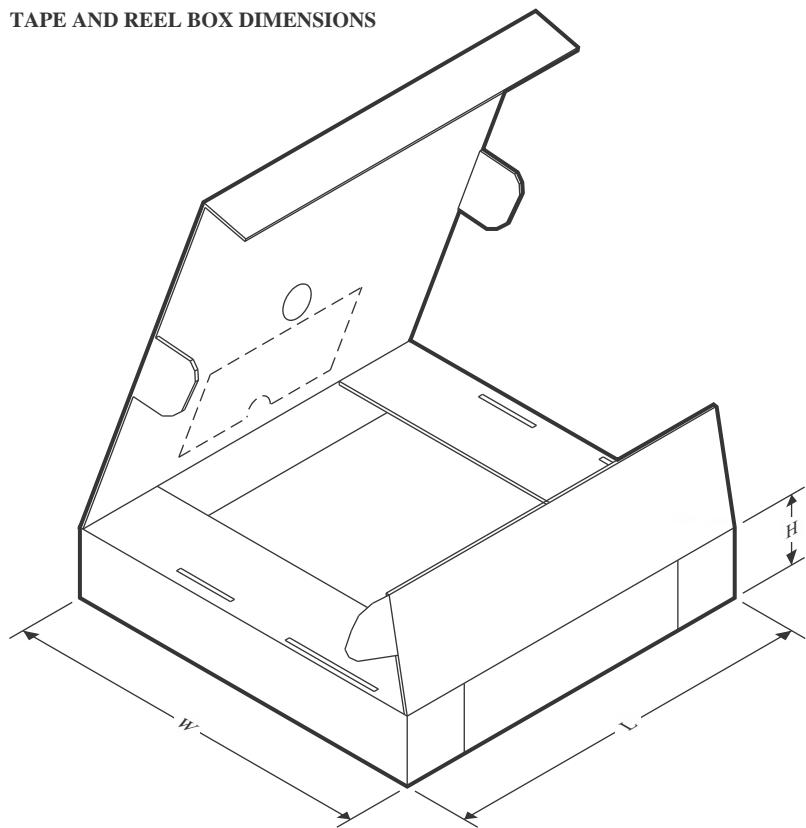
TAPE AND REEL INFORMATION
REEL DIMENSIONS

TAPE DIMENSIONS


A0	Dimension designed to accommodate the component width
B0	Dimension designed to accommodate the component length
K0	Dimension designed to accommodate the component thickness
W	Overall width of the carrier tape
P1	Pitch between successive cavity centers

QUADRANT ASSIGNMENTS FOR PIN 1 ORIENTATION IN TAPE


*All dimensions are nominal

Device	Package Type	Package Drawing	Pins	SPQ	Reel Diameter (mm)	Reel Width W1 (mm)	A0 (mm)	B0 (mm)	K0 (mm)	P1 (mm)	W (mm)	Pin1 Quadrant
AFE53004YBHR	DSBGA	YBH	16	3000	180.0	8.4	1.94	1.94	0.69	4.0	8.0	Q1

TAPE AND REEL BOX DIMENSIONS


*All dimensions are nominal

Device	Package Type	Package Drawing	Pins	SPQ	Length (mm)	Width (mm)	Height (mm)
AFE53004YBHR	DSBGA	YBH	16	3000	182.0	182.0	20.0

重要なお知らせと免責事項

テキサス・インスツルメンツは、技術データと信頼性データ（データシートを含みます）、設計リソース（リファレンス デザインを含みます）、アプリケーションや設計に関する各種アドバイス、Web ツール、安全性情報、その他のリソースを、欠陥が存在する可能性のある「現状のまま」提供しており、商品性および特定目的に対する適合性の默示保証、第三者の知的財産権の非侵害保証を含むいかなる保証も、明示的または默示的にかかわらず拒否します。

これらのリソースは、テキサス・インスツルメンツ製品を使用する設計の経験を積んだ開発者への提供を意図したものです。(1) お客様のアプリケーションに適したテキサス・インスツルメンツ製品の選定、(2) お客様のアプリケーションの設計、検証、試験、(3) お客様のアプリケーションに該当する各種規格や、その他のあらゆる安全性、セキュリティ、規制、または他の要件への確実な適合に関する責任を、お客様のみが単独で負うものとします。

上記の各種リソースは、予告なく変更される可能性があります。これらのリソースは、リソースで説明されているテキサス・インスツルメンツ製品を使用するアプリケーションの開発の目的でのみ、テキサス・インスツルメンツはその使用をお客様に許諾します。これらのリソースに関して、他の目的で複製することや掲載することは禁止されています。テキサス・インスツルメンツや第三者の知的財産権のライセンスが付与されている訳ではありません。お客様は、これらのリソースを自身で使用した結果発生するあらゆる申し立て、損害、費用、損失、責任について、テキサス・インスツルメンツおよびその代理人を完全に補償するものとし、テキサス・インスツルメンツは一切の責任を拒否します。

テキサス・インスツルメンツの製品は、[テキサス・インスツルメンツの販売条件](#)、または ti.com やかかるテキサス・インスツルメンツ製品の関連資料などのいずれかを通じて提供する適用可能な条項の下で提供されています。テキサス・インスツルメンツがこれらのリソースを提供することは、適用されるテキサス・インスツルメンツの保証または他の保証の放棄の拡大や変更を意味するものではありません。

お客様がいかなる追加条項または代替条項を提案した場合でも、テキサス・インスツルメンツはそれらに異議を唱え、拒否します。

郵送先住所 : Texas Instruments, Post Office Box 655303, Dallas, Texas 75265
Copyright © 2025, Texas Instruments Incorporated