

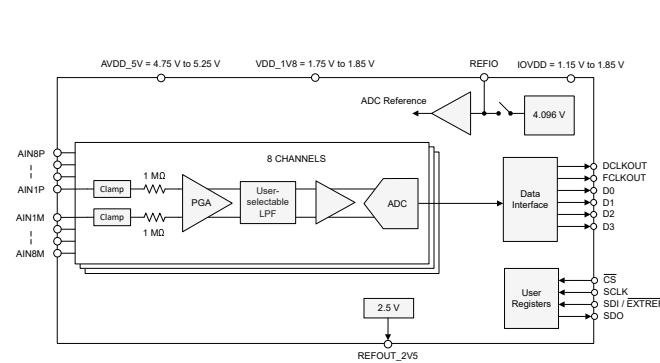
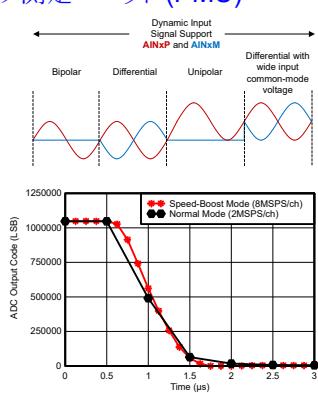
# ADS980x 20 ビット、2MSPS/チャネル、8 チャネル、アナログ フロントエンド 内蔵同時サンプリング ADC

## 1 特長

- アナログ フロントエンド内蔵の 8 チャネル、20 ビット ADC:
  - 同時サンプリング
  - 1MΩ 固定入力インピーダンスのフロントエンド
  - 8 チャネルで 2MSPS/チャネル速度
  - スピード昇圧モード: 2 チャネルで 8MSPS/チャネル
- プログラム可能なアナログ入力範囲:
  - ±12V, ±10V, ±7V, ±5V, ±3.5V, ±2.5V
  - シングルエンドおよび差動入力
  - 同相モード電圧範囲: ±12V
  - 入力過電圧保護: 最大 ±18V
- アナログ入力帯域幅をユーザーが選択可能:
  - 22.7kHz と 700kHz
- 低ドリフトの高精度リファレンスを内蔵:
  - ADC リファレンス: 4.096V
  - 外部回路用の 2.5V リファレンス出力
- フルスループットでの非常に優れた AC および DC 性能:
  - DNL: ±0.5ppm, INL: ±2.5ppm
  - 信号対雑音比: 90.3dBFS, THD: -113dB
- 電源:
  - アナログおよびデジタル: 5V および 1.8V
  - デジタルインターフェイス: 1.2V ~ 1.8V
- 温度範囲: -40°C ~ +125°C

## 2 アプリケーション

- 半導体試験装置
- プログラマブル DC 電源
- パラメトリック測定ユニット (PMU)



デバイスのブロック図

## 3 説明

ADS9803 は、同時サンプリング、20 ビットの逐次比較型 (SAR) A/D コンバータ (ADC) を使用した 8 チャネルのデータ アクイジョン (DAQ) システムです。ADS9803 は、入力クランプ付きの完全なアナログ フロントエンド (AFE) を各チャネルに備えていることを特徴としています。また、1MΩ の入力インピーダンスと、ユーザーが選択可能な帯域幅オプションを備えたプログラマブル ゲイン アンプ (PGA) も特徴です。入力インピーダンスが高いため、センサや変圧器と直接接続でき、外付けのドライバ回路が必要ありません。最大 ±12V の入力同相電圧の、±12V、±10V、±7V、±5V、±3.5V、±2.5V バイポーラ入力を受け入れるように ADS9803 を構成します。

1.2V ~ 1.8V での動作をサポートするデジタル インタフェイスにより、ADS9803 は外部電圧レベル変換なしで使用できます。

### パッケージ情報

部品番号	パッケージ <sup>(1)</sup>	パッケージ サイズ <sup>(2)</sup>
ADS9801 <sup>(3)</sup> ADS9803	RSH (VQFN, 56)	7mm × 7mm

- (1) 詳細については、[メカニカル、パッケージ、および注文情報](#)をご覧ください。  
(2) パッケージ サイズ (長さ × 幅) は公称値であり、該当する場合はピンを含みます。  
(3) 開発中製品情報 (量産データではありません)。

### 製品情報

部品番号	SPEED	総電力
ADS9803	2MSPS / チャネル	220 mW
ADS9801	1MSPS / チャネル	160 mW

 このリソースの元の言語は英語です。翻訳は概要を便宜的に提供するもので、自動化ツール（機械翻訳）を使用していることがあります。TI では翻訳の正確性および妥当性につきましては一切保証いたしません。実際の設計などの前には、ti.com で必ず最新の英語版をご参照くださいますようお願いいたします。

## 目次

1 特長.....	1	6.5 プログラミング.....	33
2 アプリケーション.....	1	7 レジスタ マップ.....	37
3 説明.....	1	7.1 レジスタ バンク 0.....	37
4 ピン構成および機能.....	3	7.2 レジスタ バンク 1.....	40
5 仕様.....	6	7.3 レジスタ バンク 2.....	56
5.1 絶対最大定格.....	6	8 アプリケーションと実装.....	57
5.2 ESD 定格.....	6	8.1 アプリケーション情報.....	57
5.3 推奨動作条件.....	7	8.2 代表的なアプリケーション.....	57
5.4 熱に関する情報.....	7	8.3 電源に関する推奨事項.....	60
5.5 電気的特性.....	8	8.4 レイアウト.....	61
5.6 タイミング要件.....	11	9 デバイスおよびドキュメントのサポート.....	62
5.7 スイッチング特性.....	12	9.1 ドキュメントの更新通知を受け取る方法.....	62
5.8 タイミング図.....	12	9.2 サポート・リソース.....	62
5.9 代表的特性.....	15	9.3 商標.....	62
6 詳細説明.....	20	9.4 静電気放電に関する注意事項.....	62
6.1 概要.....	20	9.5 用語集.....	62
6.2 機能ブロック図.....	20	10 改訂履歴.....	62
6.3 機能説明.....	21	11 メカニカル、パッケージ、および注文情報.....	62
6.4 デバイスの機能モード.....	31		

## 4 ピン構成および機能

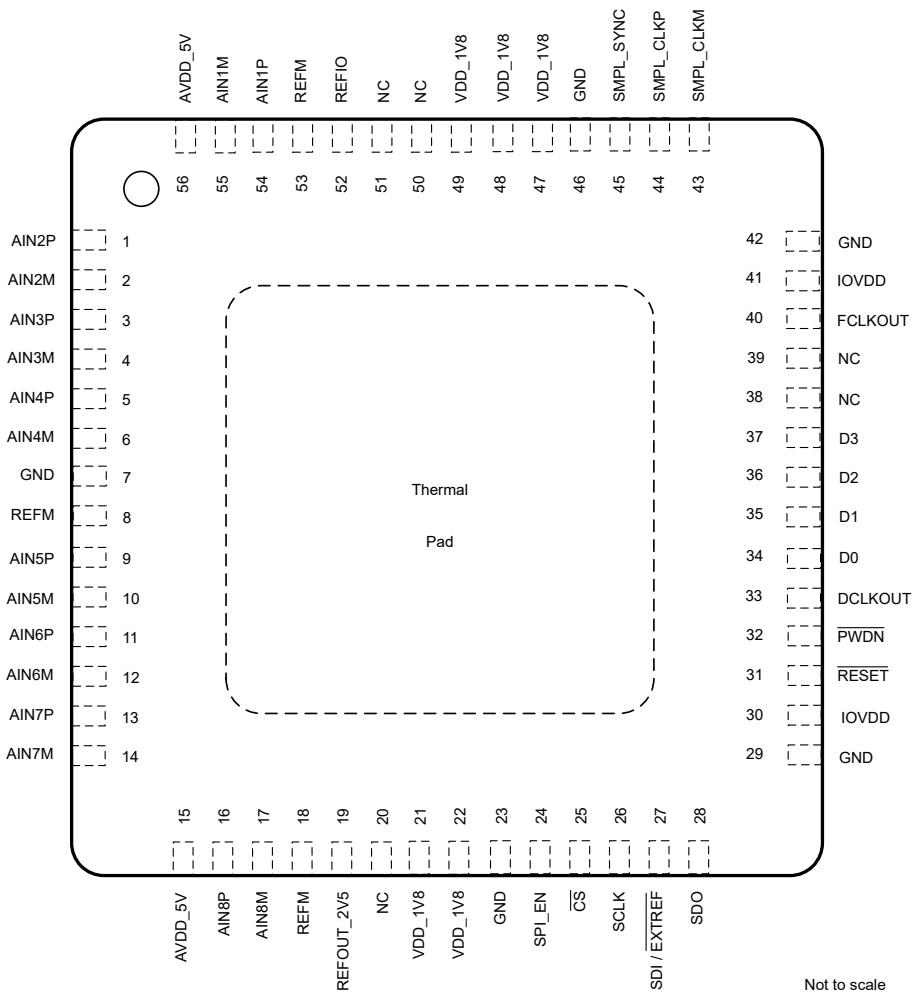


図 4-1. RSH パッケージ、56 ピン VQFN (上面図)

表 4-1. ピンの機能

ピン		タイプ <sup>(1)</sup>	説明
名称	番号		
AIN1M	55	AI	アナログ入力チャネル 1、負入力。
AIN1P	54	AI	アナログ入力チャネル 1、正入力。
AIN2M	2	AI	アナログ入力チャネル 2、負入力。
AIN2P	1	AI	アナログ入力チャネル 2、正入力。
AIN3M	4	AI	アナログ入力チャネル 3、負入力。
AIN3P	3	AI	アナログ入力チャネル 3、正入力。
AIN4M	6	AI	アナログ入力チャネル 4、負入力。
AIN4P	5	AI	アナログ入力チャネル 4、正入力。
AIN5M	10	AI	アナログ入力チャネル 5、負入力。
AIN5P	9	AI	アナログ入力チャネル 5、正入力。
AIN6M	12	AI	アナログ入力チャネル 6、負入力。
AIN6P	11	AI	アナログ入力チャネル 6、正入力。

表 4-1. ピンの機能(続き)

ピン		タイプ <sup>(1)</sup>	説明
名称	番号		
AIN7M	14	AI	アナログ入力チャネル 7、負入力。
AIN7P	13	AI	アナログ入力チャネル 7、正入力。
AIN8M	17	AI	アナログ入力チャネル 8、負入力。
AIN8P	16	AI	アナログ入力チャネル 8、正入力。
AVDD_5V	15, 56	P	5V アナログ電源。1μF と 0.1μF のデカップリングコンデンサを GND に接続します。
CS	25	DI	SPI 構成用のチップセレクト入力、アクティブ Low。このピンには、IOVDD に接続された内部の 100kΩ プルアップ抵抗が搭載されています。
D0	34	DO	シリアル出力データレーン 0。
D1	35	DO	シリアルデータ出力データレーン 1。
D2	36	DO	シリアルデータ出力データレーン 2。
D3	37	DO	シリアルデータ出力データレーン 3。
DCLKOUT	33	DO	データインターフェイスのクロック出力。
FCLKOUT	40	DO	データインターフェイスのフレーム同期出力。
GND	7, 23, 29, 42, 46	P	グランド。
IOVDD	30, 41	P	データインターフェイスのデジタル I/O 電源。1μF と 0.1μF のデカップリングコンデンサを GND に接続します。
NC	20, 38, 39, 50, 51	—	接続なし。外部接続なし。
PWDN	32	DI	パワーダウン制御、アクティブ Low。PWDN には、デジタルインターフェイス電源への 100kΩ プルアップ抵抗が内蔵されています。
REFIO	52	AI/AO	REFIO は、内部リファレンスがイネーブルになっている場合に内部リファレンス出力として機能します。内部リファレンスがディスエーブルのとき、REFIO は外部リファレンスの入力ピンとして機能します。10μF のデカップリングコンデンサを REFM ピンに接続します。
REFM	8, 18, 53	AI	リファレンスグランド電位。GND に接続。
REFOUT_2V5	19	AO	2.5V リファレンス出力。デカップリング 10μF コンデンサを REFM ピンに接続します。
RESET	31	DI	デバイスのリセット入力、アクティブ Low。RESET には、デジタルインターフェイス電源への 100kΩ プルアップ抵抗が内蔵されています。
SCLK	26	DI	構成インターフェイスのシリアルクロック入力。SCLK には、デジタルインターフェイスのグランドへの 100kΩ プルダウン抵抗があります。
SDI/EXTREF	27	DI	SDI はマルチファンクションロジック入力です。ピンの機能は、SPI_EN ピンによって決定されます。SDI には、GND への 100kΩ 内部プルダウン抵抗があります。 SPI_EN = 0b: SDI は、内部リファレンスと外部リファレンスのいずれかを選択するためのロジック入力です。外部リファレンスの場合は、SDI を GND に接続します。内部リファレンスの場合は、SDI を IOVDD に接続します。 SPI_EN = 1b: 構成インターフェイスのシリアルデータ入力。
SDO	28	DO	構成インターフェイスのシリアルデータ出力。
SMPL_CLKM	43	DI	シングルエンド ADC サンプリングクロック入力の場合は、SMPL_CLKM を GND に接続します。SMPL_CLKM は、ADC の差動サンプリングクロック入力の負入力です。
SMPL_CLKP	44	DI	シングルエンド ADC サンプリングクロック入力。SMPL_CLKP は、ADC の差動サンプリングクロック入力への正の入力です。
SMPL_SYNC	45	DI	同期入力。SMPL_SYNC ピンの使用方法については、複数の ADC の同期セクションを参照してください。
SPI_EN	24	DI	SPI 構成 (CS, SCLK, SDI, SDO) をイネーブルするロジック入力。SPI_EN には、デジタルインターフェイス電源に対して内部に 100kΩ のプルアップ抵抗が搭載されています。
VDD_1V8	21, 22, 47, 48, 49	P	1.8V 電源。1μF と 0.1μF のデカップリングコンデンサを GND に接続します。

表 4-1. ピンの機能 (続き)

ピン		タイプ <sup>(1)</sup>	説明
名称	番号		
サーマル パッド	—	P	露出しているサーマル パッド、GND に接続します。

(1) I = 入力、O = 出力、I/O = 入力または出力、G = グランド、および P = 電源。

## 5 仕様

### 5.1 絶対最大定格

動作時周囲温度範囲内 (特に記述のない限り) <sup>(1)</sup>

	最小値	最大値	単位
AVDD_5V から GND へ	-0.3	6	V
VDD_1V8 から GND へ	-0.3	2.1	V
IOVDD から GND へ	-0.3	2.1	V
AINxP および AINxM から GND	-18	18	V
REFI から REFM へ	REFM - 0.3	AVDD_5V + 0.3	V
REFM から GND へ	GND - 0.3	GND + 0.3	V
デジタル入力から GND へ	GND - 0.3	2.1	V
電源ピンを除く任意のピンへの入力電流 <sup>(2)</sup>	-10	10	mA
接合部温度、T <sub>J</sub>	-40	150	°C
保管温度、T <sub>stg</sub>	-60	150	°C

- (1) 「絶対最大定格」を超えた動作は、デバイスに恒久的な損傷を与える可能性があります。「絶対最大定格」は、これらの条件において、または「推奨動作条件」に示された値を超える他のいかなる条件でも、本製品が正しく動作することを暗に示すものではありません。「絶対最大定格」の範囲内であっても「推奨動作条件」の範囲外で使用した場合、本デバイスは完全に機能するとは限らず、このことが本デバイスの信頼性、機能、性能に影響を及ぼし、本デバイスの寿命を縮める可能性があります。
- (2) ピンの電流を 10 mA 以下に制限します。

### 5.2 ESD 定格

			値	単位
V <sub>(ESD)</sub>	静電放電	人体モデル (HBM)、ANSI/ESDA/JEDEC JS-001 に準拠、すべてのピン <sup>(1)</sup>	±2000	V
		静電気デバイス モデル (CDM)、JEDEC 規格 ANSI/ESDA/JEDEC JS-002 に基づき、全ピン <sup>(2)</sup>	±500	

- (1) JEDEC のドキュメント JEP155 に、500V HBM では標準の ESD 管理プロセスで安全な製造が可能であると規定されています。
- (2) JEDEC のドキュメント JEP157 に、250V CDM では標準の ESD 管理プロセスで安全な製造が可能であると規定されています。

### 5.3 推奨動作条件

自由気流での動作温度範囲内 (特に記述のない限り)

パラメータ		テスト条件	最小値	標準値	最大値	単位
<b>電源</b>						
AVDD_5V	アナログ電源	AVDD_5V から GND へ	4.75	5	5.25	V
VDD_1V8	電源	VDD_1V8 から GND へ	1.75	1.8	1.85	V
IOVDD	デジタルインターフェイス電源	IOVDD から GND へ	1.15	1.8	1.85	V
<b>基準電圧</b>						
V <sub>REF</sub>	ADC へのリファレンス電圧	外部リファレンス	4.088	4.096	4.104	V
<b>アナログ入力</b>						
V <sub>FSR</sub>	フルスケール入力レンジ	RANGE_CHx = 2	-2.5	2.5		V
		RANGE_CHx = 1	-3.5	3.5		
		RANGE_CHx = 0	-5	5		
		RANGE_CHx = 3	-7	7		
		RANGE_CHx = 4	-10	10		
		RANGE_CHx = 5	-12	12		
AINxP	動作入力電圧、正入力	AINxP から GND へ	-17	17		V
AINxM	動作入力電圧、負入力	AINxM から GND へ	-17	17		V
<b>温度範囲</b>						
T <sub>A</sub>	周囲温度		-40	25	125	°C

### 5.4 热に関する情報

熱評価基準 <sup>(1)</sup>		ADS980x	単位
		RSH (VQFN)	
		56 ピン	
R <sub>θJA</sub>	接合部から周囲への熱抵抗	23.2	°C/W
R <sub>θJC(top)</sub>	接合部からケース(上面)への熱抵抗	10.5	°C/W
R <sub>θJB</sub>	接合部から基板への熱抵抗	6.1	°C/W
Ψ <sub>JT</sub>	接合部から上面への特性パラメータ	0.1	°C/W
Ψ <sub>JB</sub>	接合部から基板への特性パラメータ	6.0	°C/W
R <sub>θJC(bot)</sub>	接合部からケース(底面)への熱抵抗	0.9	°C/W

(1) 従来および最新の熱評価基準の詳細については、『半導体およびICパッケージの熱評価基準』アプリケーションノートを参照してください。

## 5.5 電気的特性

AVDD\_5V = 4.75V~5.25V、VDD\_1V8 = 1.75V~1.85V、IOVDD = 1.15V~1.85V、V<sub>REF</sub> = 4.096V (外部)、および最大スループット (特に記述のない限り)、T<sub>A</sub> = -40°C~+125°C における最小値と最大値、T<sub>A</sub> = 25°C における標準値

パラメータ		テスト条件	最小値	標準値	最大値	単位
<b>アナログ入力</b>						
R <sub>IN</sub>	入力インピーダンス	すべての入力範囲	0.8	1	1.2	MΩ
	入力インピーダンスの熱ドリフト	すべての入力範囲		10	30	ppm/°C
	入力容量			10		pF
<b>アナログ入力フィルタ</b>						
BW <sub>(-3 dB)</sub>	アナログ入力 LPF 帯域幅 -3dB	低帯域幅フィルタ、すべての入力範囲	22.7			kHz
		広帯域フィルタ、入力範囲 = ±2.5V	221			
		広帯域フィルタ、入力範囲 = ±3.5V	325			
		広帯域フィルタ、入力範囲 = ±5V	500			
		広帯域フィルタ、入力範囲 = ±7V	700			
		広帯域フィルタ、入力範囲 = ±10V	691			
		広帯域フィルタ、入力範囲 = ±12V	664			
<b>DC 性能<sup>(3) (4)</sup></b>						
	分解能	ミッシング コードなし	20			ビット
DNL	微分非直線性	ワイド CM のイネーブル/ディスエーブル、すべての範囲	-0.99	±0.5	0.99	ppm
INL	積分非直線性	RANGE = ±5V および ±10V、TA = 20°C~60°C, AVDD_5V = 4.9V~5.1V	-7	±3	7	ppm
		全範囲	-16	±3.2	16	ppm
オフセット誤差	オフセット誤差	RANGE = ±5V、±10V、および ±12V	-300	±60	300	ppm
		RANGE = ±5V、±10V、および ±12V	-400	±100	400	
		RANGE = ±5V、±10V、および ±12V	-700	±100	700	
		RANGE = ±5V、±10V、および ±12V			±200	
	オフセット誤差の温度係数	全範囲、T <sub>A</sub> = 0°C~70°C		0.6	2	ppm/°C
		全範囲		0.6		
	ゲイン誤差	全範囲	-0.038	±0.008	0.038	%FSR
	ゲイン誤差の熱ドリフト	全範囲、T <sub>A</sub> = 0°C~70°C		0.6	3	ppm/°C
		全範囲		0.6		

## 5.5 電気的特性 (続き)

AVDD\_5V = 4.75V~5.25V、VDD\_1V8 = 1.75V~1.85V、IOVDD = 1.15V~1.85V、V<sub>REF</sub> = 4.096V (外部)、および最大スループット (特に記述のない限り)、T<sub>A</sub> = -40°C~+125°C における最小値と最大値、T<sub>A</sub> = 25°C における標準値

パラメータ	テスト条件	最小値	標準値	最大値	単位
<b>AC 性能 (3) (4)</b>					
SNR	信号対雑音比	低ノイズ フィルタ、f <sub>IN</sub> = 2kHz、範囲 = ±2.5V	85.3	87.4	dBFS
		低ノイズ フィルタ、f <sub>IN</sub> = 2kHz、範囲 = ±3.5V	86.3	88.4	
		低ノイズ フィルタ、f <sub>IN</sub> = 2kHz、範囲 = ±5V	87	89.1	
		低ノイズ フィルタ、f <sub>IN</sub> = 2kHz、範囲 = ±7V	87.5	89.8	
		低ノイズ フィルタ、f <sub>IN</sub> = 2kHz、範囲 = ±10V	88	90.2	
		低ノイズ フィルタ、f <sub>IN</sub> = 2kHz、範囲 = ±12V	88.1	90.3	
		広帯域フィルタ、f <sub>IN</sub> = 2kHz、範囲 = ±2.5V	77.1	79.1	
		広帯域フィルタ、f <sub>IN</sub> = 2kHz、範囲 = ±3.5V	77.4	79.4	
		広帯域フィルタ、f <sub>IN</sub> = 2kHz、範囲 = ±5V	77.5	79.7	
		広帯域フィルタ、f <sub>IN</sub> = 2kHz、範囲 = ±7V	77.7	79.9	
SINAD	信号対雑音比 + 歪み比	広帯域フィルタ、f <sub>IN</sub> = 2kHz、範囲 = ±10V	79.5	81.6	dB
		広帯域フィルタ、f <sub>IN</sub> = 2kHz、範囲 = ±12V	80.2	82.4	
		低ノイズ フィルタ、f <sub>IN</sub> = 2kHz、範囲 = ±2.5V	85.2	87.3	
		低ノイズ フィルタ、f <sub>IN</sub> = 2kHz、範囲 = ±3.5V	86.2	88.3	
		低ノイズ フィルタ、f <sub>IN</sub> = 2kHz、範囲 = ±5V	86.9	89	
		低ノイズ フィルタ、f <sub>IN</sub> = 2kHz、範囲 = ±7V	87.4	89.7	
		低ノイズ フィルタ、f <sub>IN</sub> = 2kHz、範囲 = ±10V	87.9	90.1	
		低ノイズ フィルタ、f <sub>IN</sub> = 2kHz、範囲 = ±12V	88	90.2	
		広帯域フィルタ、f <sub>IN</sub> = 2kHz、範囲 = ±2.5V	77	79	
		広帯域フィルタ、f <sub>IN</sub> = 2kHz、範囲 = ±3.5V	77.3	79.3	
THD	全高調波歪	広帯域フィルタ、f <sub>IN</sub> = 2kHz、範囲 = ±5V	77.4	79.6	dB
		広帯域フィルタ、f <sub>IN</sub> = 2kHz、範囲 = ±7V	77.6	79.8	
SFDR	スプリアスフリー ダイナミックレンジ	広帯域フィルタ、f <sub>IN</sub> = 2kHz、範囲 = ±10V	79.4	81.5	dB
		広帯域フィルタ、f <sub>IN</sub> = 2kHz、範囲 = ±12V	80.1	82.3	
CMRR	DC 時	低ノイズ フィルタ、f <sub>IN</sub> = 2kHz、すべての範囲	-113	-113	dB
		広帯域フィルタ、f <sub>IN</sub> = 2kHz、すべての範囲	-113	-113	
CMRR	DC 時	f <sub>IN</sub> = 2kHz	102	102	dB
		f <sub>IN</sub> = 2kHz、データ平均化はイネーブル	113	113	
CMRR	DC 時	絶縁クロストーク	-70	-70	dB
		DC 時	-100	-100	

## 5.5 電気的特性 (続き)

AVDD\_5V = 4.75V~5.25V、VDD\_1V8 = 1.75V~1.85V、IOVDD = 1.15V~1.85V、 $V_{REF}$  = 4.096V (外部)、および最大スループット (特に記述のない限り)、 $T_A = -40^\circ\text{C} \sim +125^\circ\text{C}$  における最小値と最大値、 $T_A = 25^\circ\text{C}$  における標準値

パラメータ	テスト条件	最小値	標準値	最大値	単位
<b>内部リファレンス</b>					
$V_{REF}$ <sup>(1)</sup>	REFIO ピンの電圧 (出力として構成) REFIO ピンの 1 $\mu\text{F}$ コンデンサ、 $T_A = 25^\circ\text{C}$	4.092	4.096	4.1	V
	基準温度ドリフト		7	20	ppm/ $^\circ\text{C}$
<b>デジタル入力</b>					
$V_{IL}$	入力 Low ロジック レベル	-0.3	0.3 IOVDD	V	
$V_{IH}$	入力 High ロジック レベル	0.7 IOVDD	IOVDD	V	
	入力容量		6	pF	
<b>LVDS サンプリング クロック入力</b>					
$V_{TH}$	High レベル入力電圧 (P – M)	AC 結合	100		mV
		DC 結合	300		
$V_{TL}$	Low レベル入力電圧 (P – M)	AC 結合		-100	mV
		DC 結合		-300	
$V_{ICM}$	入力同相電圧	0.5	1.2	1.4	V
<b>デジタル出力</b>					
$V_{OL}$	出力 Low ロジック レベル	$I_{OL} = 200 \mu\text{A}$ シンク	0	0.2 IOVDD	V
$V_{OH}$	出力 High ロジック レベル	$I_{OH} = 200 \mu\text{A}$ ソース	0.8 IOVDD	IOVDD	V
<b>電源 - ADS9803</b>					
	全消費電力	最大スループット	244	304	mW
$I_{AVDD\_5V}$	AVDD_5V からの電源電流	最大スループット、内部リファレンス	28.3	32	mA
		パワーダウン	0.2	2	
$I_{VDD\_1V8}$	VDD_1V8 からの電源電流	最大スループット、内部リファレンス	52	70	mA
		パワーダウン	0.2	8	
$I_{IOVDD}$	IOVDD からの消費電流	最大スループット、 $C_L = 10\text{pF}$	5	10	mA
		パワーダウン	0.1	2	
<b>電源 - ADS9801</b>					
	全消費電力	最大スループット	177	215	mW
$I_{AVDD\_5V}$	AVDD_5V からの電源電流	最大スループット、内部リファレンス	21.3	25	mA
		パワーダウン	0.2	2	
$I_{VDD\_1V8}$	VDD_1V8 からの電源電流	最大スループット、内部リファレンス	35	43	mA
		パワーダウン	0.2	8	
$I_{IOVDD}$	IOVDD からの消費電流	最大スループット、 $C_L = 10\text{pF}$	4	7	mA
		パワーダウン	0.1	2	

(1) 半田シフトの影響による電圧の変動は含まれていません。

(2) 「[差動入力用の広帯域の同相モード構成](#)」で説明されているように、アナログ入力同相電圧範囲  $\leq \pm \text{RANGE}/2$  で測定

(3) 低帯域幅フィルタ設定には、最小および最大の仕様が適用されます。

## 5.6 タイミング要件

at AVDD\_5V = 4.75V~5.25V、VDD\_1V8 = 1.75V~1.85V、IOVDD = 1.15V~1.85V、V<sub>REF</sub> = 4.096V (内部または外部)、および最大スループット (特に記述のない限り)、T<sub>A</sub> = -40°C ~ +125°C 最小値および最大値、T<sub>A</sub> = 25°C での標準値

			最小値	最大値	単位
<b>変換サイクル</b>					
f <sub>SMPL_CLK</sub>	サンプリング周波数	ADS9803	3.9	8.1	MHz
f <sub>SMPL_CLK</sub>	サンプリング周波数	ADS9801	3.9	4.1	MHz
t <sub>SMPL_CLK</sub>	サンプリング時間間隔		1 / f <sub>SMPL_CLK</sub>		ns
t <sub>PL_SMPL_CLK</sub>	SMPL_CLK Low 時間		0.45 t <sub>SMPL_CLK</sub>	0.55 t <sub>SMPL_CLK</sub>	ns
t <sub>PH_SMPL_CLK</sub>	SMPL_CLK High 時間		0.45 t <sub>SMPL_CLK</sub>	0.55 t <sub>SMPL_CLK</sub>	ns
<b>SPI インターフェイスのタイミング (構成インターフェイス)</b>					
f <sub>SCLK</sub>	SCLK の最大周波数		20		MHz
t <sub>PH_CK</sub>	SCLK High 時間		0.48	0.52	t <sub>CLK</sub>
t <sub>PL_CK</sub>	SCLK Low 時間		0.48	0.52	t <sub>CLK</sub>
t <sub>hi_CS</sub>	パルス幅 CS high		220		ns
t <sub>d_CSCK</sub>	遅延時間:CS 立ち下がりから最初の SCLK キャプチャエッジ		20		ns
t <sub>su_CKDI</sub>	セットアップ時間:SDI データが有効になってから SCLK の立ち上がりエッジまでの時間		10		ns
t <sub>ht_CKDI</sub>	ホールド時間:SCLK の立ち上がりエッジから SDI データ有効までの時間		5		ns
t <sub>D_CKCS</sub>	遅延時間:最後の SCLK 立ち下がりエッジから CS 立ち上がりまでの時間		5		ns
<b>CMOS データ インターフェイス</b>					
t <sub>su_SS</sub>	セットアップ時間:SMPL_SYNC 立ち上がりエッジから SMPL_CLK 立ち下がりエッジまで		10		ns
t <sub>ht_SS</sub>	ホールド時間:SMPL_CLK 立ち下がりエッジから SMPL_SYNC High まで		10		ns

## 5.7 スイッチング特性

at AVDD\_5V = 4.75V~5.25V、VDD\_1V8 = 1.75V~1.85V、IOVDD = 1.15V~1.85V、V<sub>REF</sub> = 4.096V (内部または外部)、および最大スループット (特に記述のない限り)、T<sub>A</sub> = -40°C ~ +125°C 最小値および最大値、T<sub>A</sub> = 25°C での標準値

パラメータ		テスト条件	最小値	最大値	単位
リセット					
t <sub>PU</sub>	デバイスのパワーアップ時間			30	ms
SPI インターフェイスのタイミング (構成インターフェイス)					
t <sub>d_en_CKDO</sub>	遅延時間:8 回目の SCLK 立ち上がりエッジからデータ有効化まで			22	ns
t <sub>dz_CKDO</sub>	遅延時間:24 回目の SCLK 立ち上がりエッジから SDO がハイインピーダンスになるまで			50	ns
t <sub>d_CKDO</sub>	遅延時間:SCLK 立ち下がりエッジから SDO での対応するデータ有効まで			16	ns
t <sub>ht_CKDO</sub>	遅延時間:SCLK の立ち下がりエッジから前データが SDO で有効になるまでの時間		2		ns
CMOS データインターフェイス					
t <sub>DCLK</sub>	データクロック出力	DDR モード	10		ns
		SDR モード	20		
	クロック デューティサイクル		45	55	%
t <sub>off_DCLKDO_r</sub>	時間オフセット:DCLK 立ち上がりから対応するデータ有効まで	DDR モード	t <sub>DCLK</sub> / 4 - 1.5	t <sub>DCLK</sub> / 4 + 1.5	ns
t <sub>off_DCLKDO_f</sub>	時間オフセット:DCLK 立ち下がりから対応するデータ有効まで	DDR モード	t <sub>DCLK</sub> / 4 - 1.5	t <sub>DCLK</sub> / 4 + 1.5	ns
t <sub>d_DCLKDO</sub>	時間遅延:DCLK 立ち上がりから対応するデータ有効まで	SDR モード	-1	1	ns
t <sub>d_SYNC_FCLK</sub>	時間遅延:SYNC 信号を伴う SMPL_CLK の立ち下がりエッジから、それに対応する FCLKOUT の立ち上がりエッジまで		3	4	t <sub>SMPL_CLK</sub>

## 5.8 タイミング図

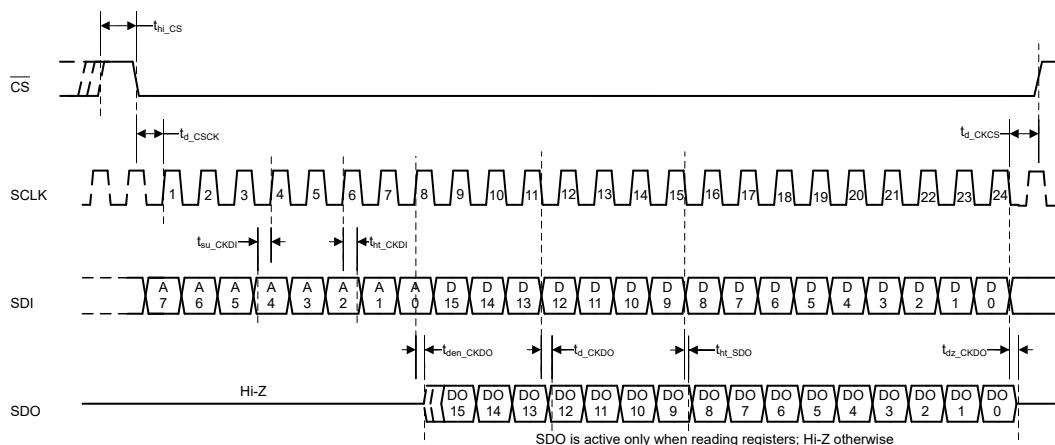


図 5-1. SPI 構成インターフェイス

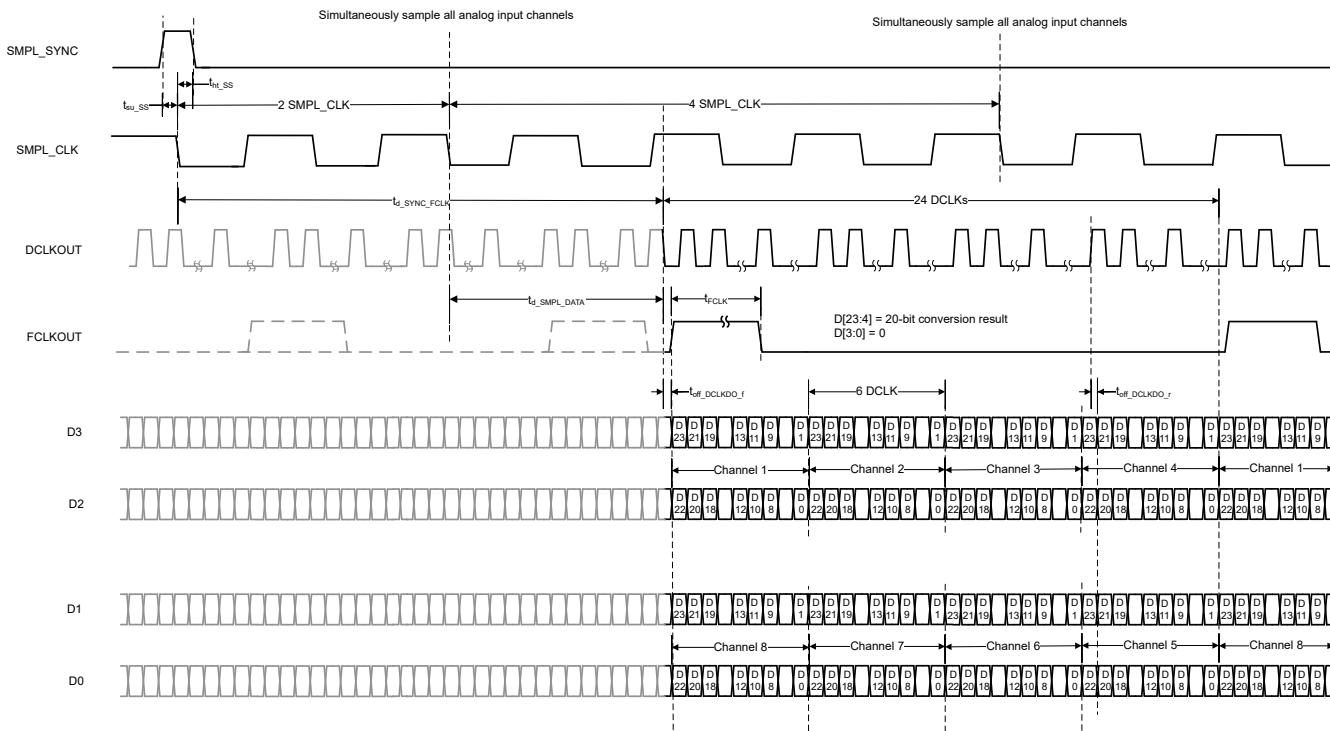


図 5-2. 4-SDO DDR CMOS データ インターフェイス

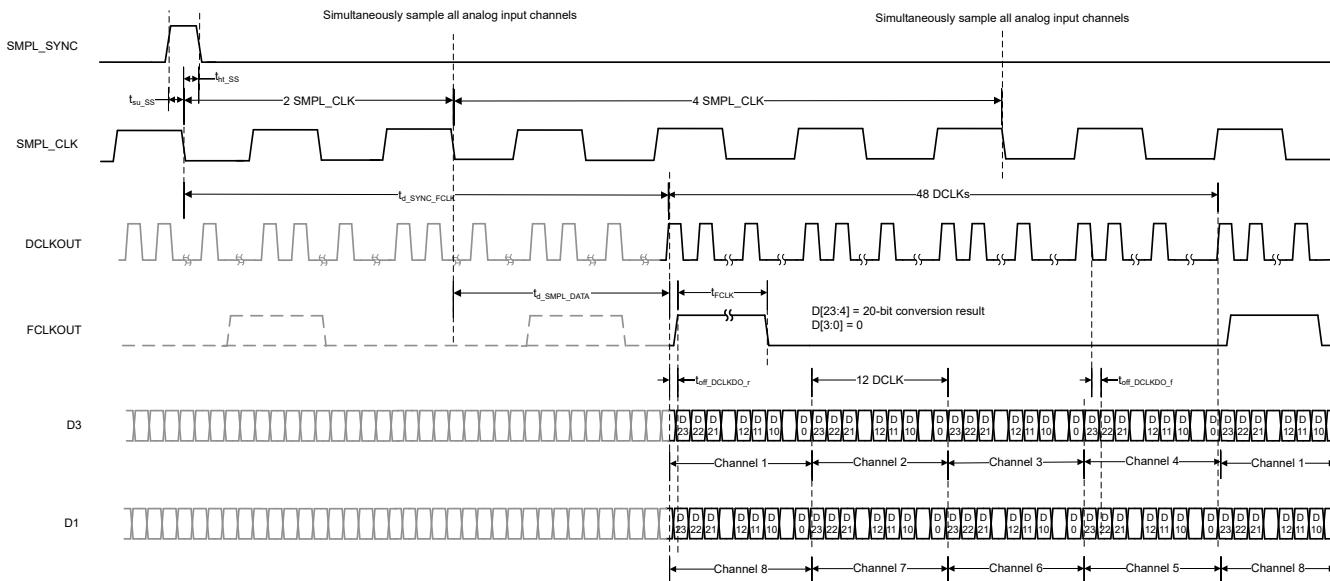


図 5-3. 2-SDO DDR CMOS データ インターフェイス

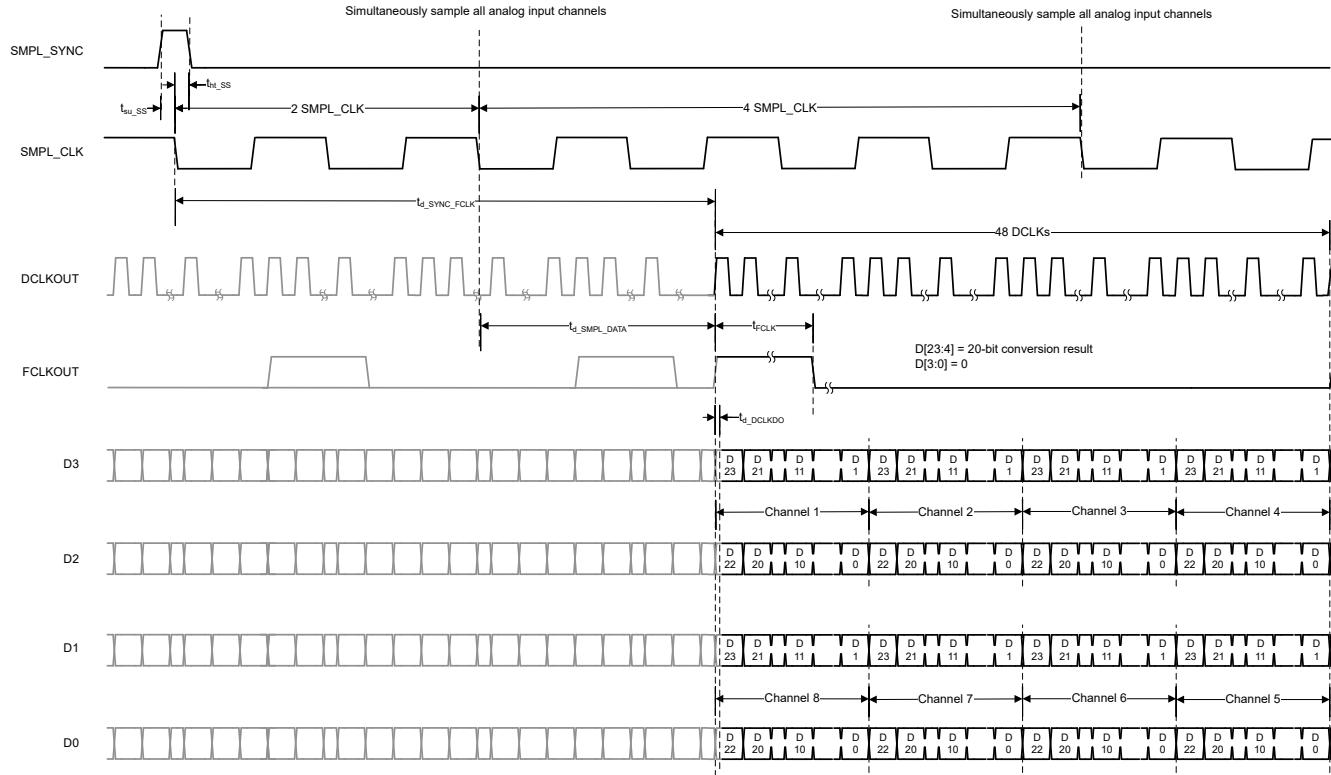


図 5-4. 4-SDO SDR CMOS データ インターフェイス

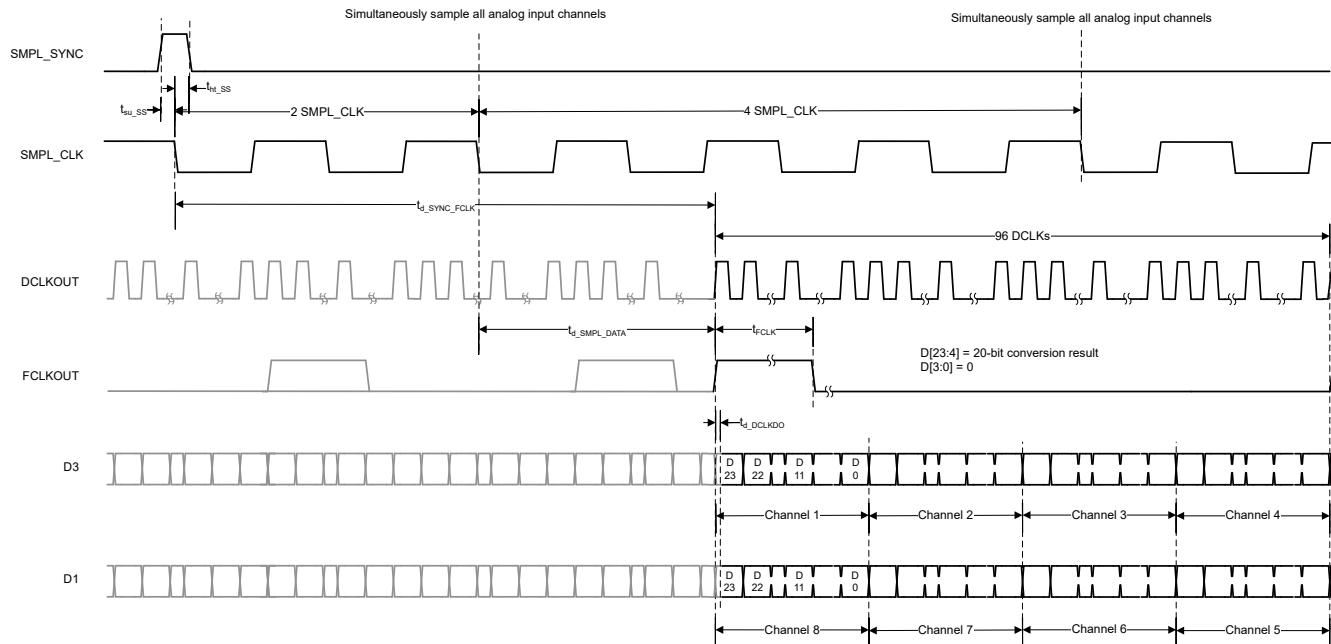


図 5-5. 2-SDO SDR CMOS データ インターフェイス

## 5.9 代表的特性

$T_A = 25^\circ\text{C}$ 、AVDD\_5V = 5V、AVDD\_1V8 = 1.8V、DVDD\_1V8 = 1.8V、内部  $V_{\text{REF}} = 4.096\text{V}$ 、最大スループット (特に記述のない限り)

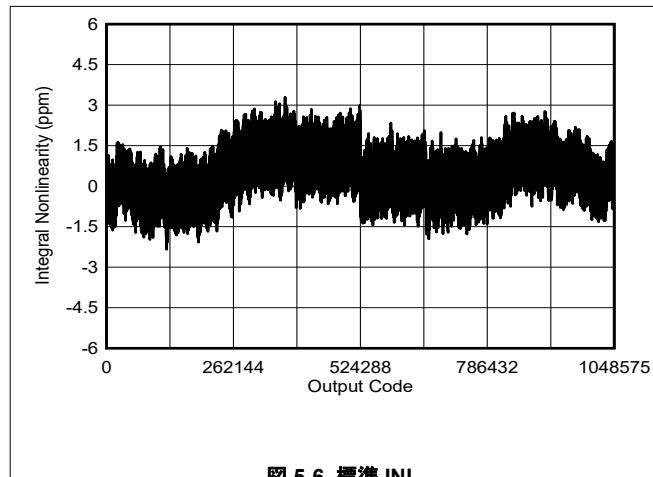


図 5-6. 標準 INL

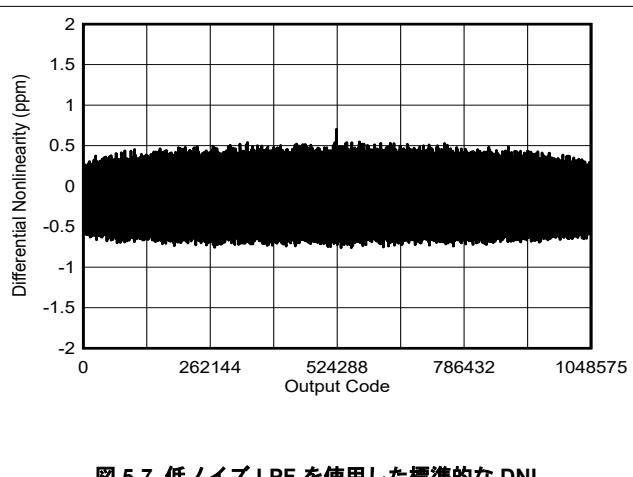
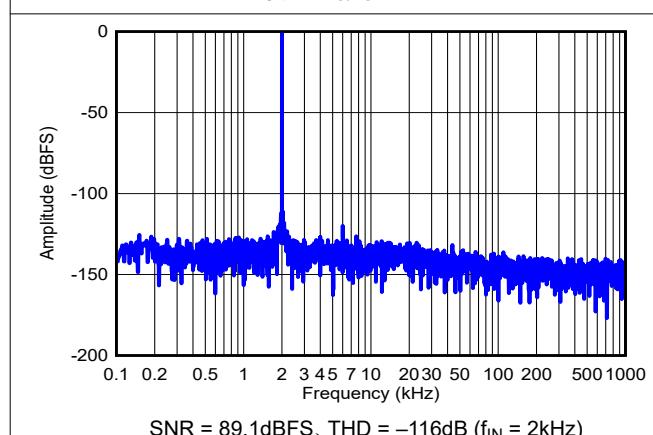
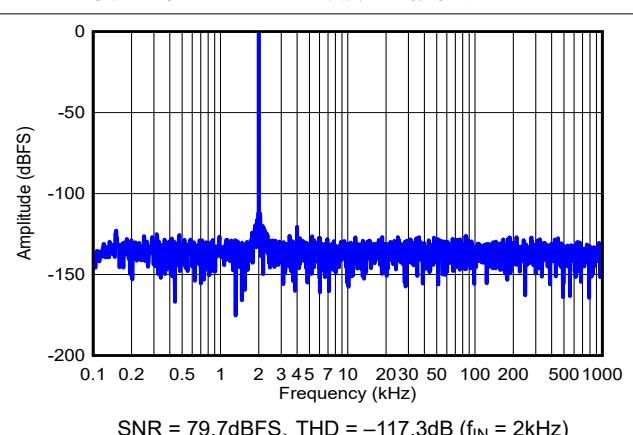


図 5-7. 低ノイズ LPF を使用した標準的な DNL



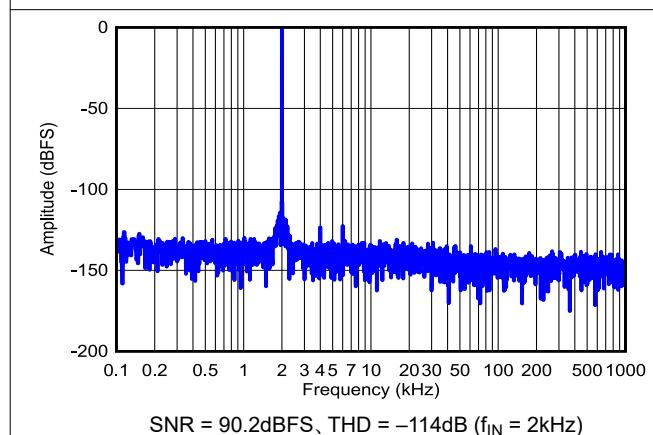
SNR = 89.1dBFS, THD = -116dB ( $f_{\text{IN}} = 2\text{kHz}$ )

図 5-8. 低帯域幅 LPF を用いた標準的な FFT、  
範囲 =  $\pm 5\text{V}$



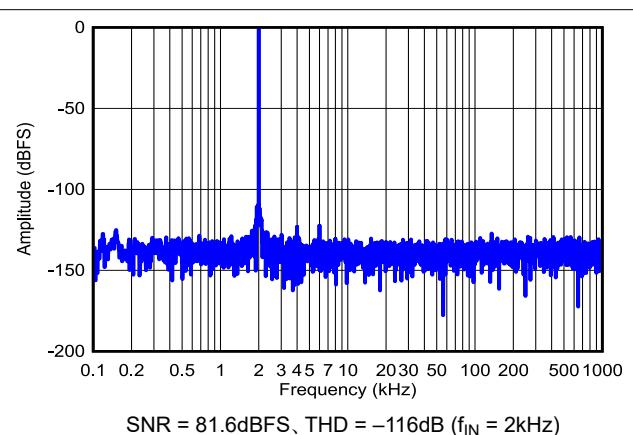
SNR = 79.7dBFS, THD = -117.3dB ( $f_{\text{IN}} = 2\text{kHz}$ )

図 5-9. 広帯域幅 LPF を用いた標準的な FFT、  
範囲 =  $\pm 5\text{V}$



SNR = 90.2dBFS, THD = -114dB ( $f_{\text{IN}} = 2\text{kHz}$ )

図 5-10. 低帯域幅 LPF を用いた標準的な FFT、  
範囲 =  $\pm 10\text{V}$



SNR = 81.6dBFS, THD = -116dB ( $f_{\text{IN}} = 2\text{kHz}$ )

図 5-11. 広帯域幅 LPF を用いた標準的な FFT、  
範囲 =  $\pm 10\text{V}$

## 5.9 代表的特性 (続き)

$T_A = 25^\circ\text{C}$ 、AVDD\_5V = 5V、AVDD\_1V8 = 1.8V、DVDD\_1V8 = 1.8V、内部  $V_{\text{REF}} = 4.096\text{V}$ 、最大スループット (特に記述のない限り)

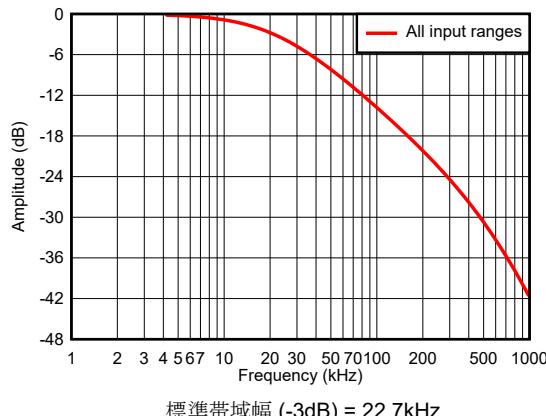


図 5-12. 複数の入力範囲にわたって低ノイズの LPF 周波数応答

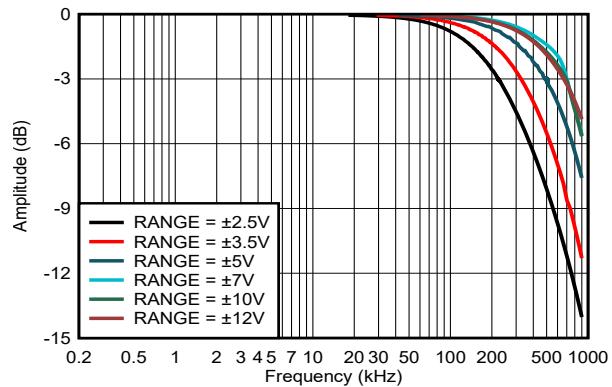


図 5-13. 入力範囲全体における広帯域幅 LPF の周波数応答

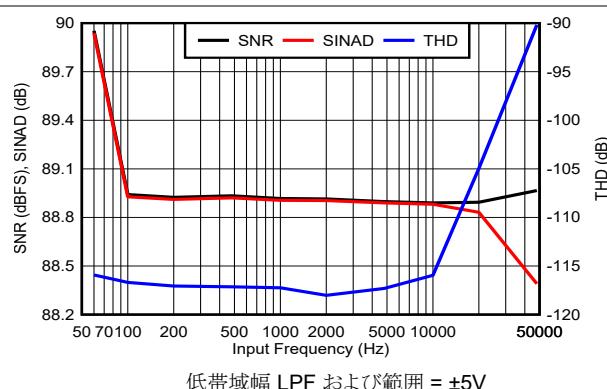


図 5-14. SNR、SINAD、THD と入力信号周波数との関係

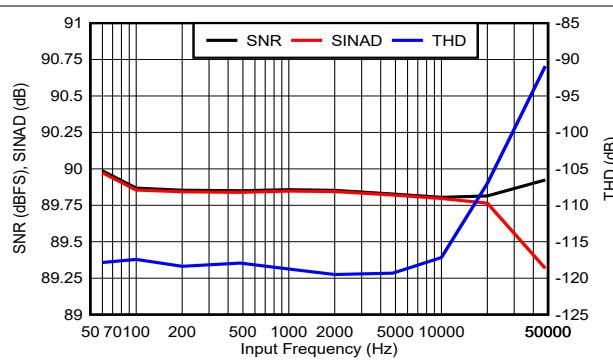


図 5-15. SNR、SINAD、THD と入力信号周波数との関係

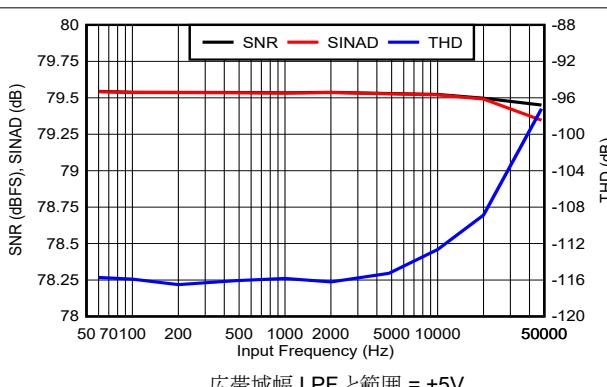


図 5-16. SNR、SINAD、THD と入力信号周波数との関係

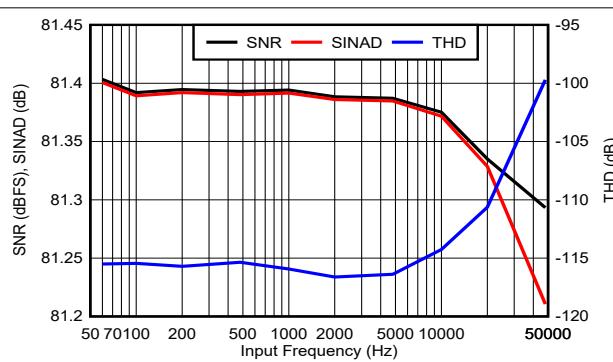


図 5-17. SNR、SINAD、THD と入力信号周波数との関係

## 5.9 代表的特性 (続き)

$T_A = 25^\circ\text{C}$ 、AVDD\_5V = 5V、AVDD\_1V8 = 1.8V、DVDD\_1V8 = 1.8V、内部  $V_{\text{REF}} = 4.096\text{V}$ 、最大スループット (特に記述のない限り)

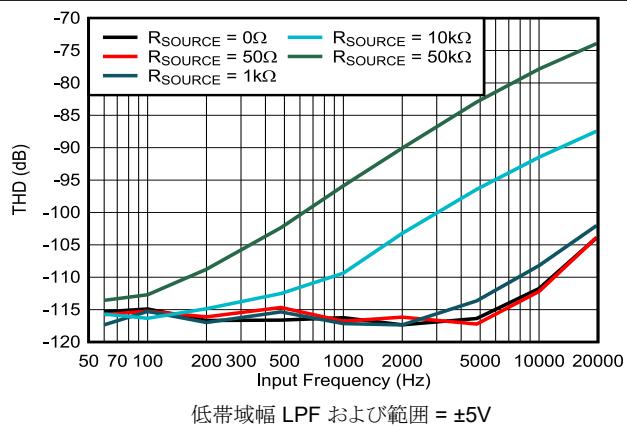


図 5-18. 外部ソース インピーダンス全体における入力信号周波数に対する THD

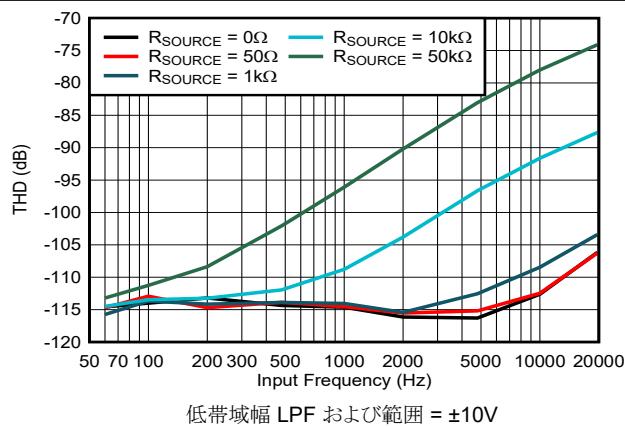


図 5-19. 外部ソース インピーダンス全体における入力信号周波数に対する THD

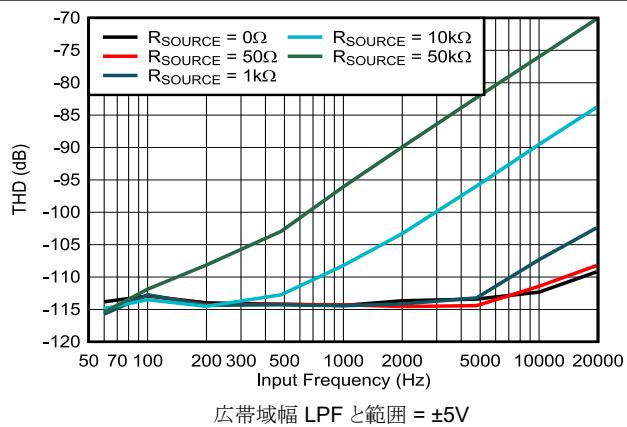


図 5-20. 外部ソース インピーダンス全体における入力信号周波数に対する THD

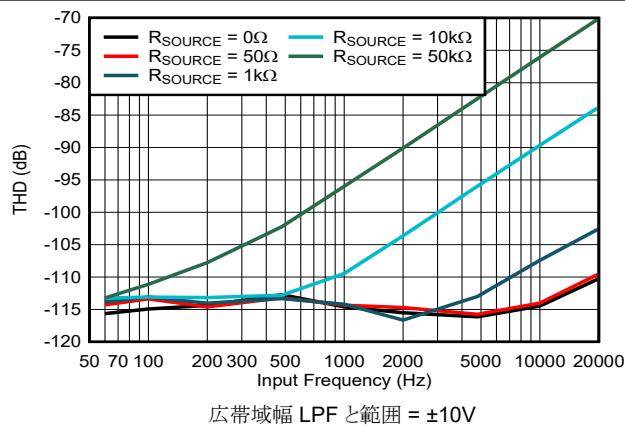


図 5-21. 外部ソース インピーダンス全体における入力信号周波数に対する THD

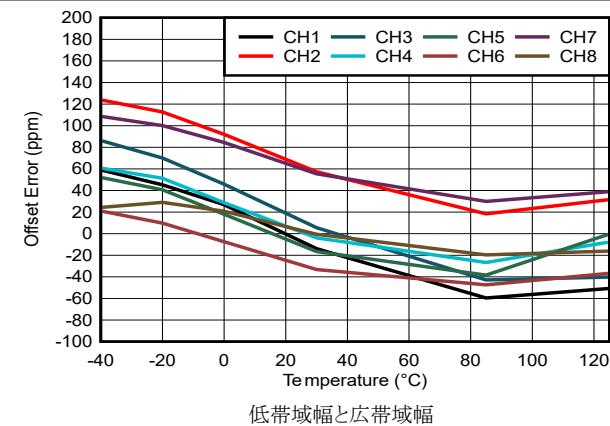


図 5-22. オフセット誤差と温度との関係、範囲 = ±5V

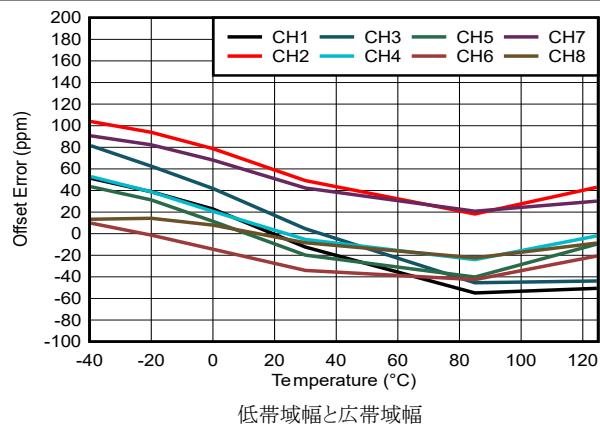


図 5-23. オフセット誤差と温度との関係、範囲 = ±10V

## 5.9 代表的特性 (続き)

$T_A = 25^\circ\text{C}$ 、AVDD\_5V = 5V、AVDD\_1V8 = 1.8V、DVDD\_1V8 = 1.8V、内部  $V_{\text{REF}} = 4.096\text{V}$ 、最大スループット (特に記述のない限り)

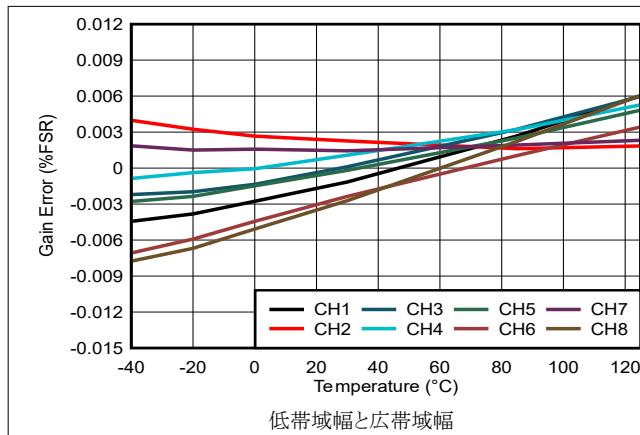


図 5-24. ゲイン誤差と温度の関係、範囲 =  $\pm 5\text{V}$

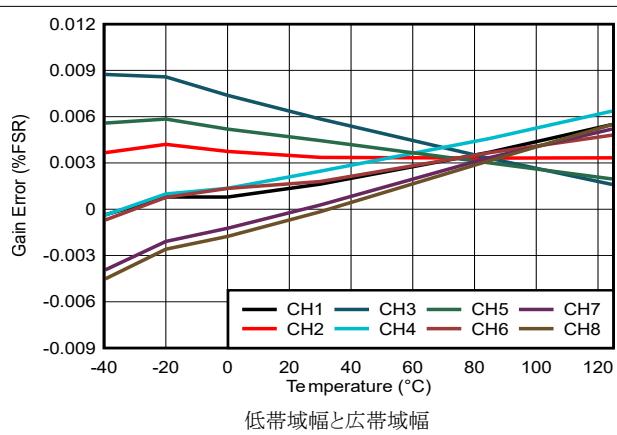


図 5-25. ゲイン誤差と温度との関係、温度 =  $\pm 10\text{V}$

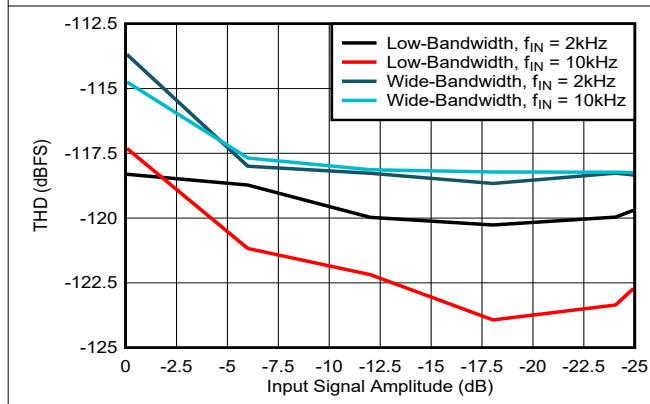


図 5-26. 入力信号周波数全体における入力信号振幅に対する THD、範囲 =  $\pm 5\text{V}$

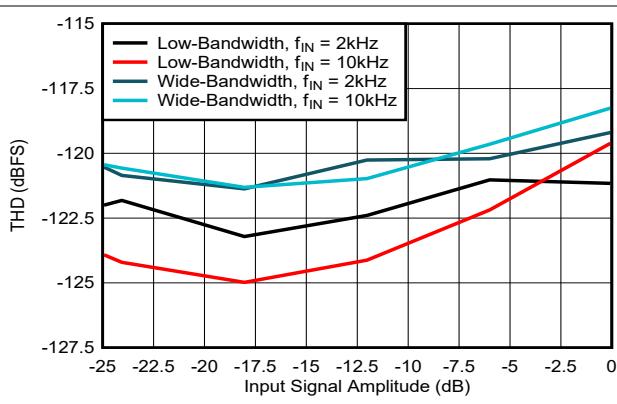
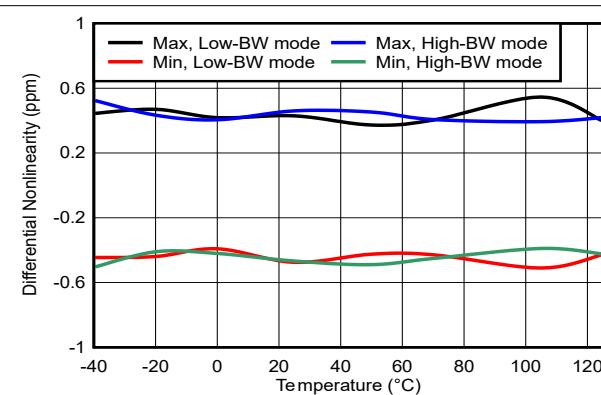
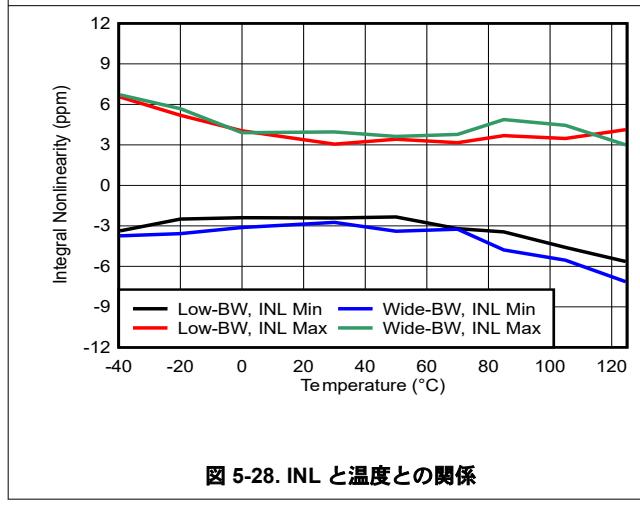
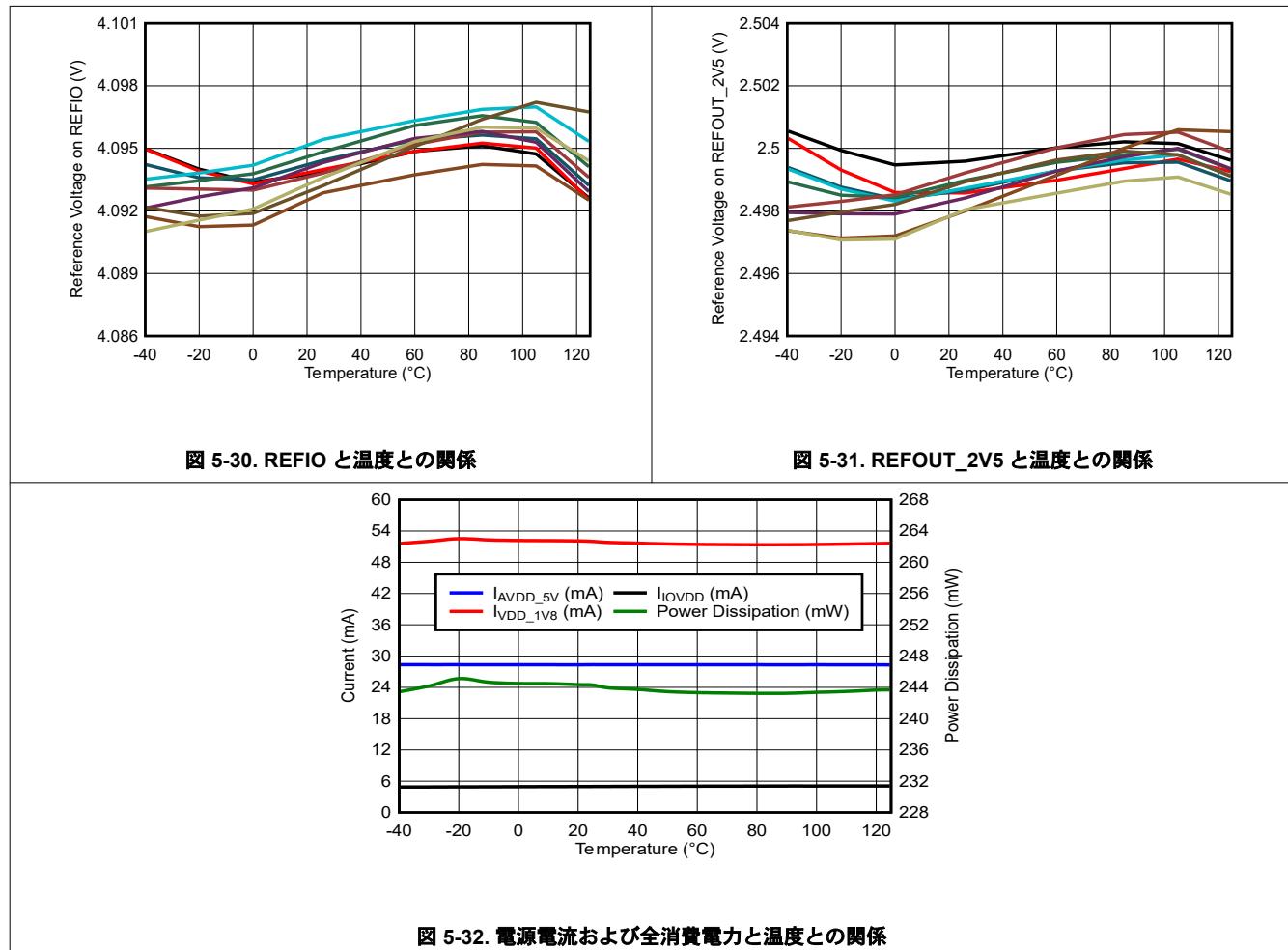


図 5-27. 入力信号周波数全体における入力信号振幅に対する THD、範囲 =  $\pm 10\text{V}$



## 5.9 代表的特性 (続き)

$T_A = 25^\circ\text{C}$ 、AVDD\_5V = 5V、AVDD\_1V8 = 1.8V、DVDD\_1V8 = 1.8V、内部  $V_{\text{REF}} = 4.096\text{V}$ 、最大スループット (特に記述のない限り)



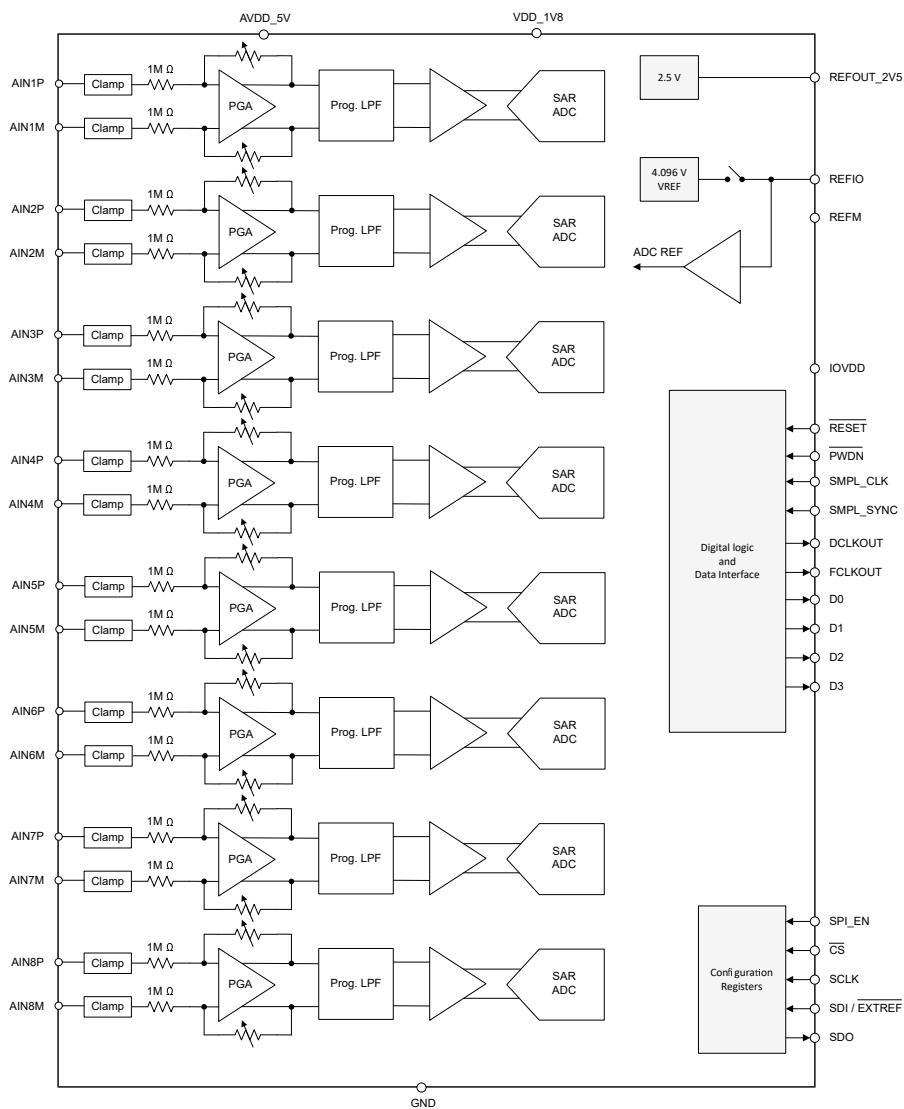
## 6 詳細説明

### 6.1 概要

ADS9803 は 20 ビット データ アクイジション (DAQ) システムで、8 つのアナログ入力チャネルを備えており、シングルエンドまたは差動に構成できます。各アナログ入力チャネルは、入力クランプ保護回路およびユーザー選択可能な帯域幅オプションを備えたプログラマブル ゲイン アンプ (PGA) で構成されています。入力信号は、逐次比較型 (SAR) アーキテクチャに基づいた 20 ビットの A/D コンバータ (ADC) でデジタル化されます。このシステム全体で、すべてのチャネルで最大 2MSPS のスループットを達成しています。このデバイスには 4.096V の内部リファレンスが搭載されており、さまざまなデジタル ホストとの通信を可能にする複数の機能を備えています。これらの機能には、高速セッティング バッファ、ノイズ性能を向上させるプログラマブルなデジタル平均化フィルタ、そして高速データインターフェースが含まれます。

このデバイスは 5V および 1.8V のアナログ電源で動作し、真のバイポーラ入力信号に対応します。入力クランプ保護回路は、最大  $\pm 18$ V の電圧に耐えられます。このデバイスは、サンプリング周波数や選択された入力レンジに関係なく、一定の  $1\text{M}\Omega$  の抵抗性入力インピーダンスを提供します。ADS9803 は、外部の高電圧バイポーラ電源や複雑なドライバ回路を必要とせず、簡素化された最終設計を実現します。

### 6.2 機能ブロック図



## 6.3 機能説明

### 6.3.1 アナログ入力

ADS9803 には、同時サンプリング可能な 20 ビット逐次比較型 (SAR) A/D コンバータ (ADC) が 8 チャネル組み込まれています。このデバイスには、合計 8 つのアナログ入力ペアがあります。ADC は、アナログ入力ペア  $\text{AINxP}$  -  $\text{AINxM}$  の電圧差をデジタル化します。図 6-1 に、各アナログ入力チャネルの概略回路図を示します。この図には、入力クランプ保護回路、プログラマブル ゲイン アンプ (PGA)、ローパス フィルタ、高速 ADC ドライバ、および高精度 20 ビット SAR ADC も示されています。アナログ入力範囲と入力同相モード範囲に対する代表的な SNR は、低帯域幅モードでは 表 6-5 に、広帯域幅モードでは 表 6-6 に示されています。

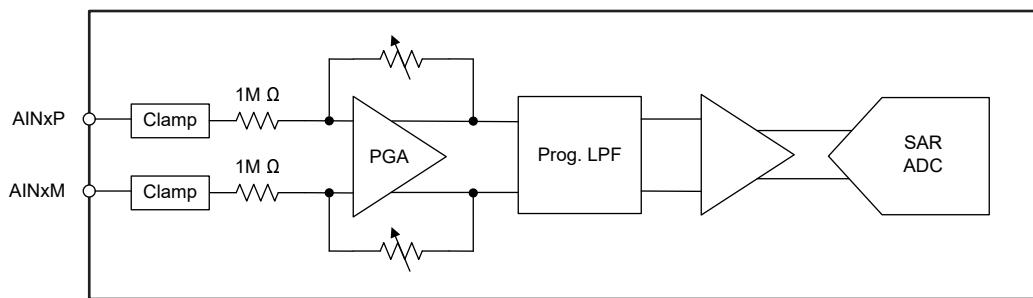


図 6-1. 選択したアナログ入力チャネルのフロントエンド回路図

#### 6.3.1.1 入力クランプ保護回路

ADS9803 は、8 つのアナログ入力チャネルそれぞれに内部クランプ保護回路 (図 6-1) を備えています。入力クランプ保護回路により、各アナログ入力は最大  $\pm 18V$  までスイングできます。入力電圧が  $\pm 18V$  を超えると、入力クランプ回路がオンになります。单一の 5V 電源で引き続き動作します。図 6-2 に、入力クランプの電流と電圧特性の代表的な曲線を示します。

クランプ スレッショルドを超える入力電圧に対しては、入力電流が  $\pm 10mA$  を超えないことを確認します。アナログ入力に直列に配置された抵抗は、入力電流を制限する効果的な方法です。入力電流を制限するだけでなく、シリーズ抵抗はコンデンサと組み合わせることで、アンチ エイリアス機能を備えたローパス フィルタ (LPF) としても機能します。 $\text{AINxP}$  および  $\text{AINxM}$  ピンにおける外部ソース インピーダンスを一致させることで、追加のオフセット誤差が相殺されます。

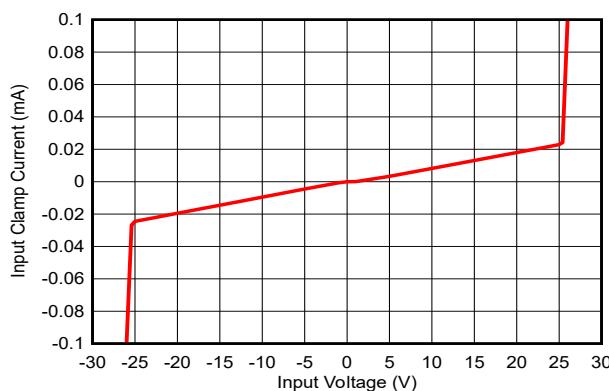


図 6-2. 入力保護クランプ プロファイル、入力クランプ電流とソース電圧との関係

### 6.3.1.2 プログラマブル ゲイン アンプ (PGA)

ADS9803 は、すべてのアナログ入力チャネルに PGA を備えています。PGA は、シングルエンド入力および差動入力の両方に対応しており、バイポーラ信号スイングをサポートします。表 6-1 に、サポートされているアナログ入力範囲を示します。各チャネルのアナログ入力範囲は、アドレス 0xC2 および 0xC3 にある RANGE\_CHx レジスタフィールドを使用して個別に設定できます。

表 6-1. アナログ入力範囲

差動入力	シングルエンド入力	RANGE_CHx 構成
±12V	±12V	5
±10V	±10V	4
±7V	±7V	3
±5V	±5V	0
±3.5V	±3.5V	1
±2.5V	±2.5V	2

各アナログ入力チャネルには、PGA の出力にアンチ エイリアス用のローパス フィルタ (LPF) が備わっています。表 6-2 に、アナログ入力範囲に対応する ADS9803 で使用可能な各種のプログラマブル LPF オプションを示します。図 5-12 および図 5-13 に、低帯域幅および広帯域幅の LPF 構成の周波数応答を示します。8 つのアナログ入力チャネルの帯域幅は、レジスタ バンク 1 のアドレス 0xC0 にある ANA\_BW[7:0] ビットを使用して選択します。

表 6-2. ローパス フィルタのコーナー周波数

LPF	アナログ入力電圧範囲	コーナー周波数 (-3dB)
低帯域幅	すべての入力範囲	22.7kHz
広い帯域幅	±12V	664kHz
	±10V	691kHz
	±7V	700kHz
	±5V	500kHz
	±3.5V	325kHz
	±2.5V	221kHz

### 6.3.1.3 広い同相電圧除去回路

ADS9803 は、最大 ±12V の CM 電圧をサポートするアナログ入力の同相モード (CM) 除去回路を備えています。差動入力の CM 電圧は 式 1 で求められます。起動時またはリセット後、アナログ入力チャネルの同相電圧範囲は ±12V です (CM\_CTRL\_EN = 0b の場合)。いずれの場合も、アナログ入力の電圧が 絶対最大定格 の範囲内にあることを確認します。

$$\text{Common mode voltage} = \frac{(\text{Voltage on AINP}) + (\text{Voltage on AINM})}{2} \quad (1)$$

表 6-3 で説明しているように、差動入力のさまざまな CM 電圧に対して CM 電圧除去回路を最適化します。

表 6-3. 差動入力向けの広い同相モード構成

同相モード (CM) 範囲	CM_CTRL_EN	アナログ入力チャネル 1-4		アナログ入力チャネル 5-8	
		CM_EN_CH[4:1]	CM_RNG_CH[4:1]	CM_EN_CH[8:5]	CM_RNG_CH[8:5]
CM ≤ ±1V	1	0	未使用	0	未使用
CM ≤ ±RANGE / 2		1	0	1	0
CM ≤ ±6V			1		1
CM ≤ ±12V			2		2

シングルエンド入力を使用する場合、CM 電圧除去回路は PGA のアナログ入力範囲に応じて構成されます。表 6-4 には、さまざまなアナログ入力電圧範囲に対するシングルエンド入力の推奨設定が示されています。

**表 6-4. シングルエンド入力用の広い同相モード構成**

PGA アナログ入力範囲	CM_CTRL_EN	アナログ入力チャネル 1-4		アナログ入力チャネル 5-8	
		CM_EN_CH[4:1]	CM_RNG_CH[4:1]	CM_EN_CH[8:5]	CM_RNG_CH[8:5]
±2.5V, ±3.5V, ±5V	1	0	未使用	0	未使用
±7V, ±10V, ±12V		1	0	1	0

アナログ入力範囲と入力同相モード範囲に対する代表的な SNR は、低帯域幅モードでは 表 6-5 に、広帯域幅モードでは 表 6-6 に示されています。

**表 6-5. 低帯域幅モードにおけるアナログ入力範囲と同相モード範囲に対する代表的な SNR (dBFS)**

RANGE	CM $\leq \pm 1V$	CM $\leq \pm \text{RANGE} / 2$	CM $\leq \pm 6V$	CM $\leq \pm 12V$
±2.5V	88.3	87.4	85.2	83.4
±3.5V	88.3	88.4	87.0	85.4
±5V	90.1	89.1	88.4	87.2
±7V	-	89.8	89.4	88.5
±10V	-	90.2	90.2	89.5
±12V	-	90.3	90.3	89.9

**表 6-6. 広帯域幅モードにおけるアナログ入力範囲と同相モード範囲に対する代表的な SNR (dBFS)**

RANGE	CM $\leq \pm 1V$	CM $\leq \pm \text{RANGE} / 2$	CM $\leq \pm 6V$	CM $\leq \pm 12V$
±2.5V	80.5	79.1	76.7	74.7
±3.5V	81.1	79.4	77.6	75.8
±5V	81.6	79.7	78.4	76.7
±7V	-	80.0	79.2	77.5
±10V	-	81.6	81.2	79.7
±12V	-	82.4	82.4	80.9

### 6.3.2 ADC の伝達関数

ADS9803 は、変換データを 20 ビットで出力し、ストレート バイナリ形式または 2 の補数バイナリ形式のいずれかを選択できます。出力コードの形式は、すべてのアナログ チャネルで同じです。DATA\_FORMAT レジスタ ビットで出力コードの形式を選択します。図 6-3 および表 6-7 は、ADS9803 の転送特性を示します。 LSB サイズは、選択したアナログ入力範囲に依存します。

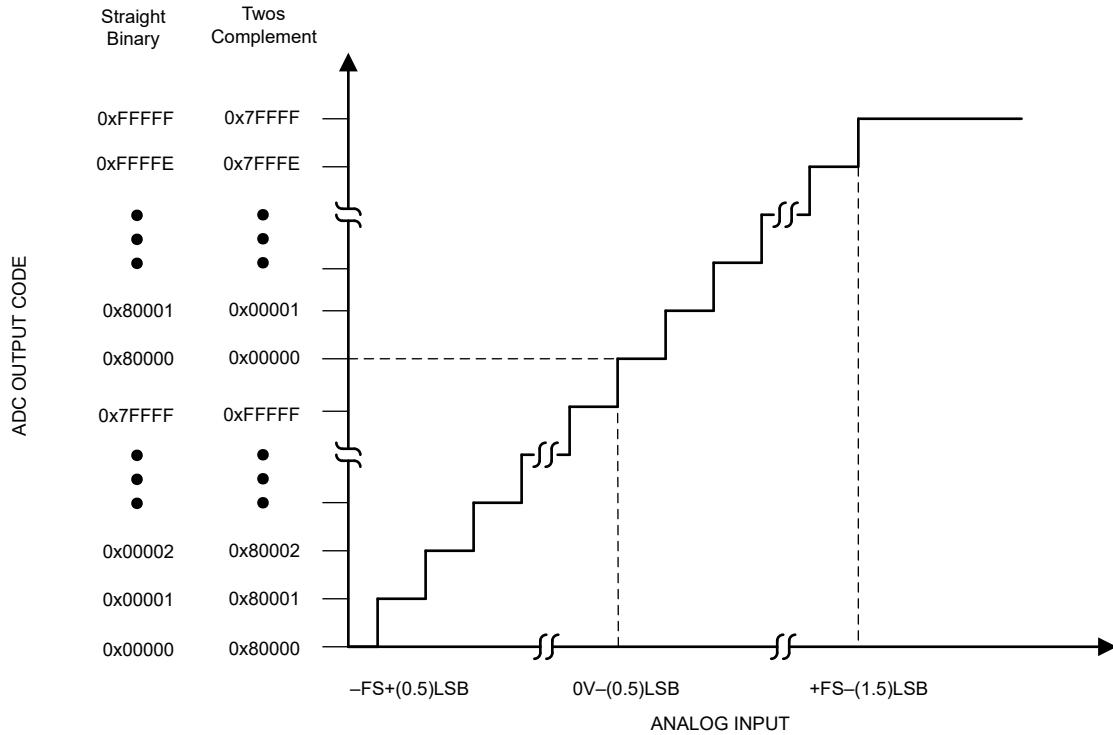


図 6-3. 伝達特性

表 6-7. ADC のフルスケール レンジと LSB サイズ

RANGE	+FS	ミッドスケール	-FS	LSB
±2.5V	2.5V	0V	-2.5V	4.77µV
±3.5V	3.5V	0V	-3.5V	6.68µV
±5V	5V	0V	-5V	9.54µV
±7V	7V	0V	-7V	1.34µV
±10V	10V	0V	-10V	19.07µV
±12V	12V	0V	-12V	22.89µV

### 6.3.3 ADC サンプリングクロック入力

ADS9803 は、差動クロック入力またはシングルエンドクロック入力で動作可能であり、シングルエンドクロックの方が消費電力を抑えることができます。サンプリングクロックには、フリーランニングの連続クロックを使用します。フリーランニングのサンプリングクロックが印加されると、ADC は有効な出力データ、データクロック、およびフレームクロック  $t_{PU\_SMPL\_CLK}$  を生成します。これらのパラメータは、スイッチング特性セクションで規定されています。サンプリングクロックが停止すると、ADC 出力データ、データクロック、フレームクロックは無効になります。

図 6-4 と図 6-5 に、サンプリングクロックがそれぞれ差動とシングルエンドのどちらかであることを示します。

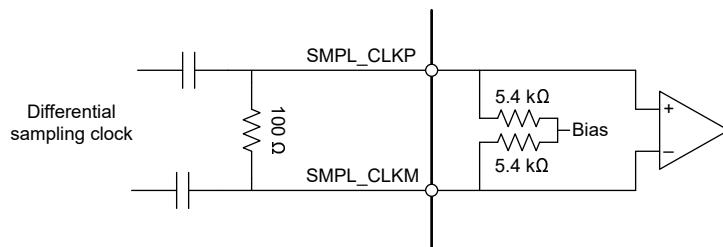


図 6-4. AC 結合差動サンプリングクロック

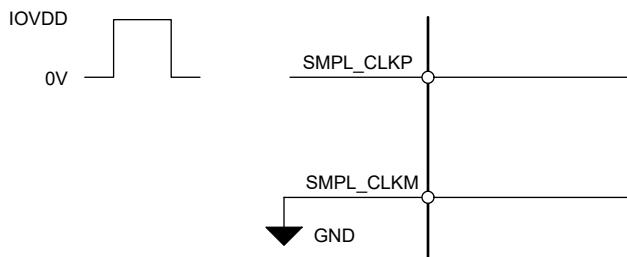


図 6-5. シングルエンドサンプリングクロック

### 6.3.4 複数の ADC の同期

SMPL\_SYNC 信号を使用して、複数の ADS9803 デバイスのすべてのアナログ入力チャネルを同時にサンプリングします。すべての ADS9803 デバイスは、同一の SMPL\_CLK 信号と SMPL\_SYNC 信号を共有しており、これらの信号は ADC 外部において同一の遅延を持ちます。SMPL\_SYNC ピンの正のパルスは SMPL\_CLK 信号の立ち下がりエッジを中心にしてすべての ADC を同期します。図 5-2 を参照してください。同期信号は、電源投入後にサンプリングクロックがフリーランニングで動作しているとき、またはサンプリングクロックを再起動したとき、あるいはデバイスをリセットしたときに、一度だけ必要です。図 5-2、図 5-3、図 5-4 および図 5-5 に示すように、SYNC 信号は内部のアナログチャネル選択ロジックをリセットし、FCLKOUT 信号をデータフレームに整列させます。SYNC 信号が与えられない場合、内部のアナログチャネル選択ロジックと FCLKOUT は同期せず、チャネル出力データの並びと FCLKOUT との整列がずれてしまいます。同一のサンプリングクロックを使用して複数の ADC を動作させる場合、SYNC 信号によって、すべての ADC が同じ対応するアナログ入力チャネルを同時にサンプリングすることが保証されます。

### 6.3.5 基準電圧

ADS9803 は、高精度で低ドリフトの電圧リファレンスをデバイスに内蔵しています。最高のパフォーマンスを得るには、 $10\mu F$  のセラミック バイパス コンデンサを REFIO ピンに接続して、内部リファレンスノイズをフィルタリングします (図 6-6 を参照)。図 6-7 に示すように、REFIO ピンには外部リファレンスも接続されます。外部リファレンスを使用するときは、次の 2 つのオプションのいずれかで内部リファレンス電圧を無効にします。

- SPI を構成します (SPI\_EN ピン = ロジック 1)。レジスタ バンク 1 のアドレス 0xC1 に PD\_REF = 1b を書き込みます。
- SDI/EXTREF ピン (SPI\_EN ピン = ロジック 0) を使用します。プルダウン抵抗を使用して SDI/EXTREF ピンをロジック 0 に設定します。

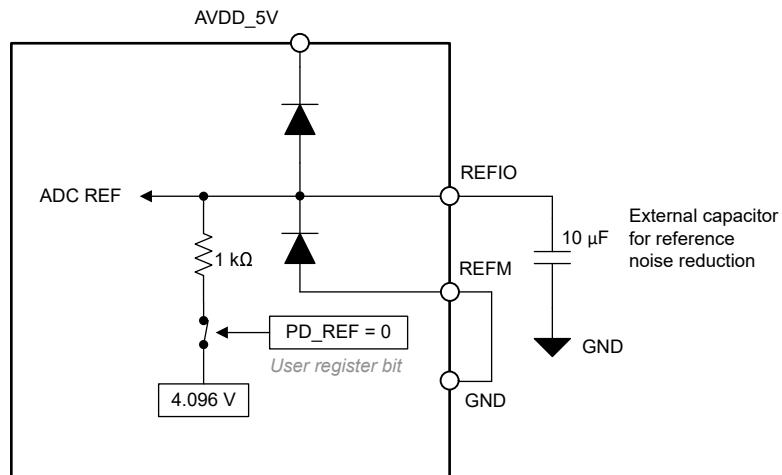


図 6-6. 内部リファレンス電圧

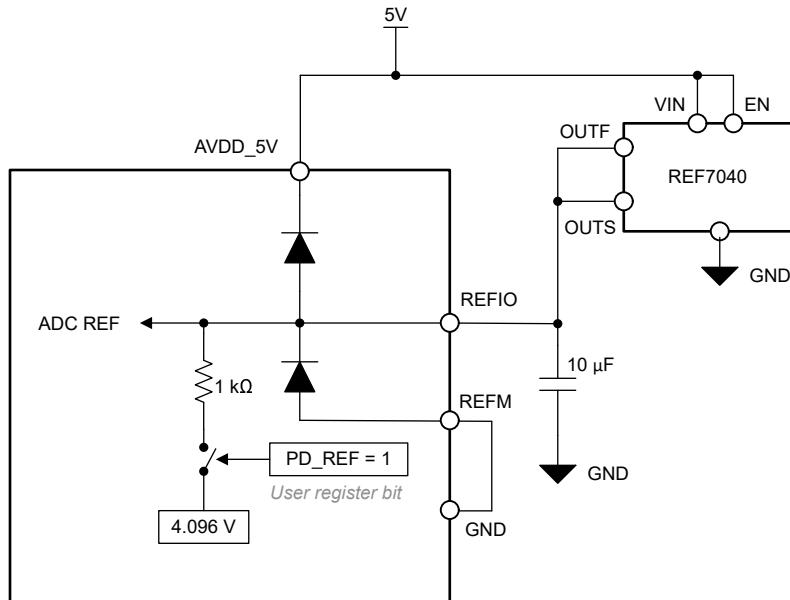


図 6-7. 外部基準電圧

### 6.3.6 データインターフェイス

ADS9803 は、2 レーンおよび 4 レーン モードをサポートしており、シングル データ レート (SDR) とダブル データ レート (DDR) のインターフェース モードに対応します。表 6-8 に示すように、構成 SPI を使用してデータインターフェイスを選択します。ADC は、SMPL\_CLK 入力ピンに与えられるサンプリング クロック信号に応答して、データ (D[3:0])、データクロック (DCLKOUT)、およびフレーム クロック (FCLKOUT) を生成します。20 ビットの ADC 変換結果は、24 ビットのデータ パケット内で MSB から順に出力され、最後の 6 ビットはゼロになります。

データインターフェイス信号は次のように説明されています:

- D[3:0]: ADC からのデータ出力。4 レーン モードでは 4 本すべてのレーンが使用されますが、2 レーン モードでは D3 と D1 が ADC データの出力に使用されます。
- DCLKOUT: ADC からのデータクロック出力。
- FCLKOUT: ADC からのフレーム クロック出力により、の 2 チャネル データを区切ります。

表 6-8 のレジスタを使用して、データインターフェイスを構成します。

**表 6-8. インターフェイス モード用のレジスタ構成**

インターフェイス モード	図	DATA_RATE (アドレス = 0xC1)	DATA_LANES (アドレス = 0xC1)
4 レーン、DDR	図 5-2	0	0
2 レーン、DDR	図 5-3	0	1
4 レーン、SDR	図 5-4	1	0
2 レーン、SDR	図 5-5	1	1

#### 6.3.6.1 データ クロック出力

ADS9803 にはソース同期データインターフェイスがあり、ADC は出力データとクロックを供給してデータをキャプチャします。データをキャプチャするためのクロックは DCLKOUT ピンに出力されます。クロック周波数は、サンプリング クロック速度、データ レート (SDR または DDR)、出力レーン数 (4 レーンまたは 2 レーン) に依存し、式 2 で与えられます。フレームクロック周波数は 式 3 で求められます。

$$\text{Data clock frequency} = \frac{24 \text{ bits/channel} \times 8 \text{ channels}}{\text{Number of data lanes} \times \text{Data rate (SDR = 1, DDR = 2)}} \times \text{Frame clock frequency} \quad (2)$$

$$\text{Frame clock frequency} = \frac{\text{Sampling clock frequency}}{4} \quad (3)$$

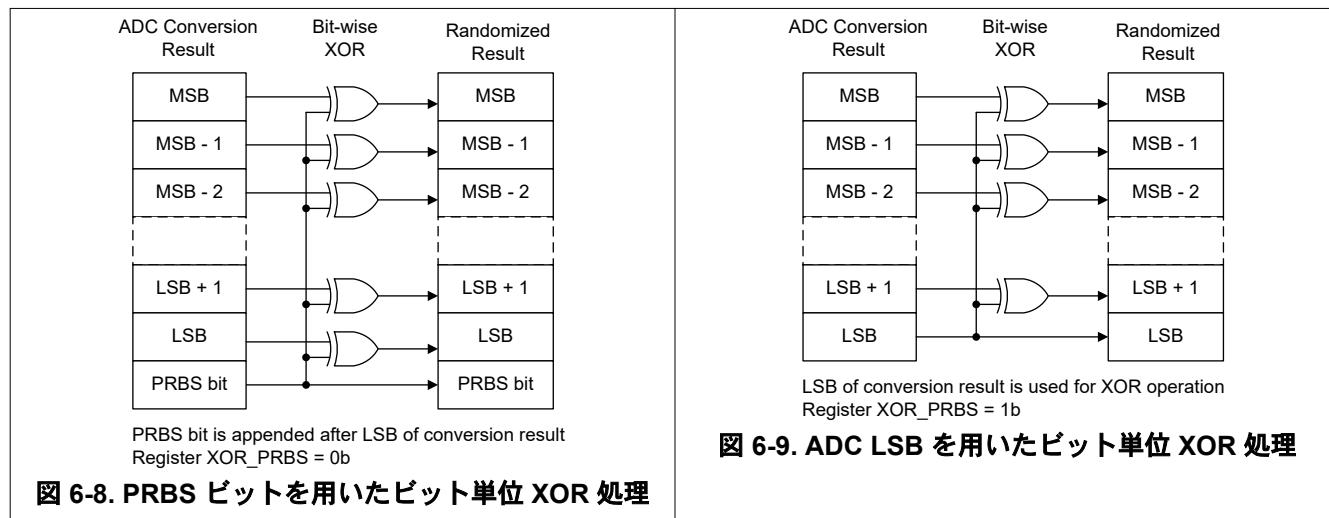
表 6-9 には、さまざまなインターフェイス モードにおける ADS9803 および の最大サンプリング レートに対応するデータクロック周波数が示されています。

**表 6-9. インターフェイス モードのデータ クロック周波数**

インターフェイス モード	(f <sub>SMPL_CLK</sub> = 4MHz)	(f <sub>SMPL_CLK</sub> = 8MHz)
4 レーン、DDR	24MHz	48MHz
2 レーン、DDR	48MHz	96MHz
4 レーン、SDR	48MHz	96MHz
2 レーン、SDR	96MHz	非対応

### 6.3.6.2 ADC 出力データ ランダマイザー

ADS9803 には、データ出力ランダマイザーがあります。有効化されると、ADC の変換結果はビット単位で排他的論理和 Ored (XOR) が実行され、変換結果の LSB (図 6-9) (最下位ビット) または ADC データ出力に付加された XOR\_PRBS ビット (図 6-8) と組み合わされます。ADC 変換結果の LSB と XOR\_PRBS は、1 または 0 の確率が同じです。XOR 動作の結果、ADS9803 からのデータ出力はランダム化されます。データ インターフェイス上でランダム化された結果を送信することにより発生するグランド バウンスは、アナログ入力電圧とは相関していません。この無相関転送により、PCB レイアウトでグランド バウンスが最小限に抑えられないときに、データ転送と ADC のアナログ性能との間の干渉を最小限に抑えることができます。



### 6.3.6.3 データの平均化

ADS9803 には、SNR を向上させるための 2 つのデータ平均化モード — 単純平均と移動平均 — が搭載されています。単純平均は出力データレートを 1/2 に低下させますが、移動平均は出力データレートに影響を与えません。表 6-10 および表 6-11 に、単純な平均と移動平均をそれぞれイネーブルとディセーブルにするためのレジスタの動作を示します。

**表 6-10. 単純平均のレジスタ操作**

ステップ #	レジスタ フィールド	単純平均をイネーブル	単純平均をディスエーブル
1	REG_BANK_SEL	2	2
2	EN_AVG	1	0
3	AVG_CFG3	1	0
4	AVG_CFG2	3	0
5	AVG_CFG1	1	0
6	AVG_CFG4	3	0

**表 6-11. 移動平均のレジスタ操作**

ステップ #	レジスタ フィールド	単純平均をイネーブル	単純平均をディスエーブル
1	REG_BANK_SEL	2	2
2	EN_AVG	1	0
3	EN_MVG_AVG	1	0

### 6.3.6.4 データ インターフェイスのテスト パターン

ADS9803 は、データ インターフェイスのデバッグと検証のためにホストで使用されるテスト パターンを備えています。テスト パターンは、ADC 出力データを事前定義済みデジタル データに置き換えます。バンク 1 の対応するレジスタ アドレス 0x13 ~ 0x1B を構成することで、テスト パターンを有効にします。

表 6-12 に、ADS9803 でサポートされているテスト パターンが示されています。

Register Address	Bit 15	Bit 8	Bit 7	Bit 0
0x13	CH[4:1] Test Pattern Control Register			
0x14	TP0_A			LSB
0x15	TP1_A	LSB	MSB	TP0_A
0x16	MSB	TP1_A		
0x18	CH[8:5] Test Pattern Control Register			
0x19	TP0_B			LSB
0x1A	TP1_B	LSB	MSB	TP0_B
0x1B	MSB	TP1_B		

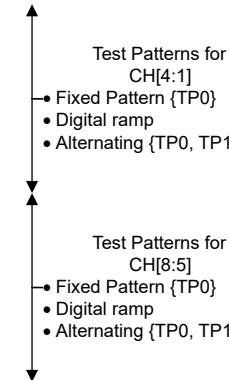


図 6-10. テスト パターンのレジスタ バンク

表 6-12. テスト パターン構成

ADC 出力	TP_EN_CH[4:1] TP_EN_CH[8:5]	TP_MODE_CH[4:1] TP_MODE_CH[8:5]	セクション	結果 1
ADC 変換結果	0			
固定パターン	1	0 または 1	固定パターン	CH[4:1] = TP0_A CH[8:5] = TP0_B
デジタル ランプ	1	2	デジタル ランプ	CH[4:1] = デジタル ランプ CH[8:5] = デジタル ランプ
テスト パターンの交互配置	1	3	交互テスト パターン	CH[1], CH[3] = TP0_A CH[2], CH[4] = TP1_A CH[8], CH[6] = TP0_B CH[7], CH[5] = TP1_B

#### 注

- 2 つの独立したチャネル グループ CH[4:1] と CH[8:5] のテスト パターンを設定します。

### 6.3.6.4.1 固定パターン

ADC は、CH[4:1] および CH[8:5] のデータの代わりに、TP0\_A レジスタおよび TP0\_B レジスタで定義された固定パターンをそれぞれ出力します。

- TP0\_A と TP0\_B のテスト パターンを構成します
- TP\_EN\_CH[4:1] = 1, TP\_MODE\_CH[4:1] = 0 (アドレス = 0x13)、TP\_EN\_CH[8:5] = 1, TP\_MODE\_CH[8:5] = 0 (アドレス = 0x18) に設定します

### 6.3.6.4.2 デジタル ランプ

ADC は、CH[4:1] データおよび CH[8:5] データの代わりに、それぞれ RAMP\_INC\_A レジスタおよび RAMP\_INC\_B レジスタで指定された増分を持つデジタル ランプ値を出力します。

- RAMP\_INC\_A (アドレス = 0x13) および RAMP\_INC\_B (アドレス = 0x18) レジスタのデジタルランプの 2 つの連続する手順間のインクリメント値をそれぞれ構成します。デジタルランプは N+1 だけインクリメントします。ここで、N はこれらのレジスタで構成された値です。
- TP\_EN\_CH[4:1] = 1, TP\_MODE\_CH[4:1] = 2 (アドレス = 0x13), TP\_EN\_CH[8:5] = 1, TP\_MODE\_CH[8:5] = 2 (アドレス = 0x18) に設定します

#### 6.3.6.4.3 交互テストパターン

ADC は、CH[4:1] データおよび CH[8:5] データの代わりに、それぞれ TP0\_A, TP1\_A レジスタおよび TP0\_B, TP1\_B レジスタで定義された交互のテストパターンを出力します。

- TP0\_A, TP1\_A, TP0\_B, TP1\_B のテストパターンを構成します
- TP\_EN\_CH[4:1] = 1, TP\_MODE\_CH[4:1] = 3 (アドレス = 0x13), TP\_EN\_CH[8:5] = 1, TP\_MODE\_CH[8:5] = 3 (アドレス = 0x18) に設定します

## 6.4 デバイスの機能モード

### 6.4.1 リセット

**RESET** ピンのロジック 0 を使用して ADS9803 をパワーダウンするか、**RESET** フィールド アドレス 0x00、レジスタ バンク 0 に 1b を書き込みます。デバイスのレジスタは、リセット後にデフォルト値へ初期化され、その後、一連のレジスタ書き込み操作によってデバイスが初期化されます。詳細については、「[初期化シーケンス](#)」セクションを参照してください。

### 6.4.2 パワーダウン

**PWDN** ピンのロジック 0 を使用して ADS9803 をパワーダウンするか、**PD\_CH** フィールド アドレス 0xC0、レジスタ バンク 1 に 11b を書き込みます。デバイスのレジスタは、電源投入後にデフォルト値へ初期化され、その後、一連のレジスタ書き込み操作によってデバイスが初期化されます。詳細については、「[初期化シーケンス](#)」セクションを参照してください。

### 6.4.3 初期化シーケンス

表 6-13 に示すように、デバイスの電源投入またはリセット後に、レジスタ書き込みシーケンスを使用して ADS9803 初期化します。初期化シーケンスを実行する前に、フリーランニングのサンプリング クロックを **ADC** に接続します。初期化シーケンスの完了後、ADS9803 のレジスタはデフォルト値で初期化されます。

**表 6-13. ADS9803 の初期化シーケンス**

ステップ	レジスタ			備考
	バンク	アドレス	VALUE[15:0]	
1	0	0x04	0x000B	INIT_1 構成
2	0	0x03	0x0002	レジスタ バンク 1 を選択
3	2	0x92	0x0002	INIT_2 構成
3	2	0xC5	0x0604	PGA を初期化し、INIT_3 を設定します

表 6-14 に示すように、ADS9803 のユーザー定義構成のデフォルト設定を変更します。アナログ入力の変更により、アナログ入力範囲、帯域幅、同相電圧の範囲が変化します。データインターフェイスが変更されると、出力レーン数 (シングルまたはダブルのデータレート) が変更されます。

**表 6-14. ADS9803 ユーザー構成**

ステップ	レジスタ			備考
	バンク	アドレス	VALUE[15:0]	
1	1	0xC1	ユーザー定義	データインターフェイスを構成し、内部または外部リファレンスを選択します
2	1	0xC2 および 0xC3	ユーザー定義	アナログ入力範囲を選択します (表 6-1 を参照)
3	1	0xC0	ユーザー定義	アナログ入力帯域幅を選択します (表 6-2 を参照)
4	1	0xC4 および 0xC5	ユーザー定義	アナログ入力の同相範囲を選択します (表 6-3 および表 6-4 を参照)

### 6.4.4 通常動作

ADS9803 が初期化されると (初期化シーケンスセクション参照)、ADS9803 はアナログ入力電圧をデジタル出力電圧に変換します。通常のデバイス動作には、フリーランニング サンプリング クロックが必要です。[ADC サンプリング クロック入力](#) セクションを参照してください。

#### 6.4.5 スピード昇圧モード

ADS9803 は、ユーザーが選択したアナログ入力チャネルのペアに対して、最大 8MSPS のサンプリング レートを可能にするスピード昇圧モードをサポートしています。スピード昇圧モードでは、ユーザーが選択したチャネルペアのみが変換され、残りの 6 つのアナログ入力チャネルはアイドル状態になります。サンプリング レートはサンプリング クロック周波数と等しくなります。ユーザーは、以下のリストから、アナログ入力の任意のペアの組み合わせを選択できます：

- CH1 および CH8
- CH2 および CH7
- CH3 および CH6
- CH4 および CH5

データ出力インターフェイスの仕様は、通常の動作モードと同じです。スピード昇圧モードでは、ユーザーが選択したチャネルペアがサンプリング クロックごとに変換されます。

表 6-15 に、スピード昇圧モードをイネーブルまたはディスエーブルにするためのレジスタ動作を示します。

**表 6-15. スピード昇圧モードでのレジスタ動作**

ステップ #	レジスタ フィールド	スピード昇圧をイネーブルします	スピード昇圧をディスエーブルします
1	REG_BANK_SEL	2	2
2	BOOST_CFG1	3	0
3	BOOST_CFG2	1	0
4	EN_BOOST	1	0
5	SEL_CH_BOOST	<ul style="list-style-type: none"> <li>• CH1 および CH8 に対して 0</li> <li>• CH2 および CH7 に対して 1</li> <li>• CH3 および CH6 に対して 2</li> <li>• CH4 および CH5 に対して 3</li> </ul>	0
6	REG_BANK_SEL	16	16
7	BOOST_CFG3	1	0
8	BOOST_CFG4	1	0

## 6.5 プログラミング

### 6.5.1 レジスタ書き込み

レジスタ書き込みアクセスは、**SPI\_RD\_EN = 0b** を設定することで有効化されます。16 ビットの構成レジスタは 3 つのレジスタ バンクにグループ化されており、8 ビットのレジスタ アドレスでアドレス指定されます。**REG\_BANK\_SEL** ビットを設定して、レジスタ バンク 1 とレジスタ バンク 2 を読み取りまたは書き込み操作用に選択します。バンク 0 のレジスタは、**REG\_BANK\_SEL** ビットに関係なく、常にアクセスできます。これらのレジスタ アドレスは固有であり、したがってレジスタ バンク 1 および 2 では使用されません。

図 6-11 に示されているように、レジスタに書き込む手順は以下の通りです。

- フレーム 1: 次のレジスタ書き込みのためにレジスタ バンク 1 またはバンク 2 を選択するには、レジスタ バンク 0 のレジスタ アドレス **0x03** に書き込みます。バンク 0 のレジスタに書き込む場合、このフレームは影響を与えません。
- フレーム 2: フレーム 1 で選択されたバンクのレジスタに書き込みます。同じレジスタ バンク内の複数のレジスタに書き込む場合は、この手順を繰り返します。

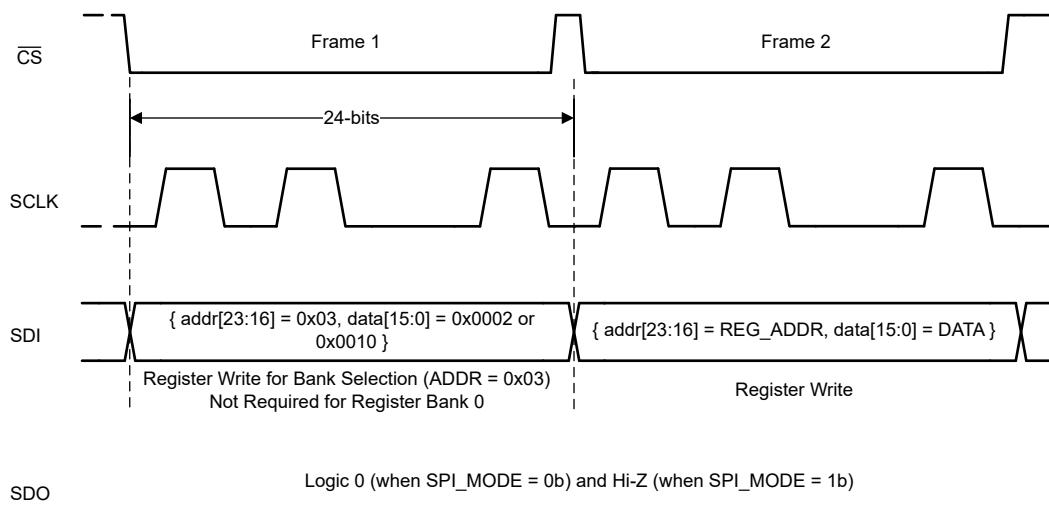


図 6-11. レジスタ書き込み

### 6.5.2 レジスタ読み出し

レジスタ バンク 0 のレジスタ アドレス **0x03** に書き込み、目的のレジスタ バンクを選択します。レジスタ読み出しアクセスは、レジスタ バンク 0 で **SPI\_RD\_EN = 1b** および **SPI\_MODE = 1b** を設定することで有効化されます。図 6-12 に示されているように、**SPI\_RD\_EN** ビットおよび **SPI\_MODE** ビットを設定した後、2 つの 24 ビット SPI フレームを使用してレジスタを読み取ります。最初の SPI フレームでレジスタ バンクが選択されます。ADC は、8 ビットのレジスタ アドレスに対応する 2 番目の SPI フレームで 16 ビットのレジスタ値を返します。

図 6-12 に示されているように、レジスタを読み出す手順は以下の通りです：

- フレーム 1:**SPI\_RD\_EN = 0b** の場合、レジスタ バンク 0 のレジスタ アドレス **0x03** に書き込み、読み出し対象のレジスタ バンク 0 を選択します。
- フレーム 2: レジスタ バンク 0 のレジスタ アドレス **0x00** で **SPI\_RD\_EN = 1b**、**SPI\_MODE = 1b** に設定します。
- フレーム 3: 目的のレジスタ アドレスを含む 24 ビットの SPI フレームを使用して、選択されたバンクのいずれかのレジスタを読み出します。選択したバンクのいずれかのレジスタのアドレスで、対応するレジスタを読み出し、この手順を繰り返します。
- フレーム 4:**SPI\_RD\_EN** を 0 に設定すると、レジスタ読み出しが無効になり、レジスタ書き込みが再度有効になります。
- 手順 1 ~ 4 を繰り返して、別のバンクのレジスタを読み出します。

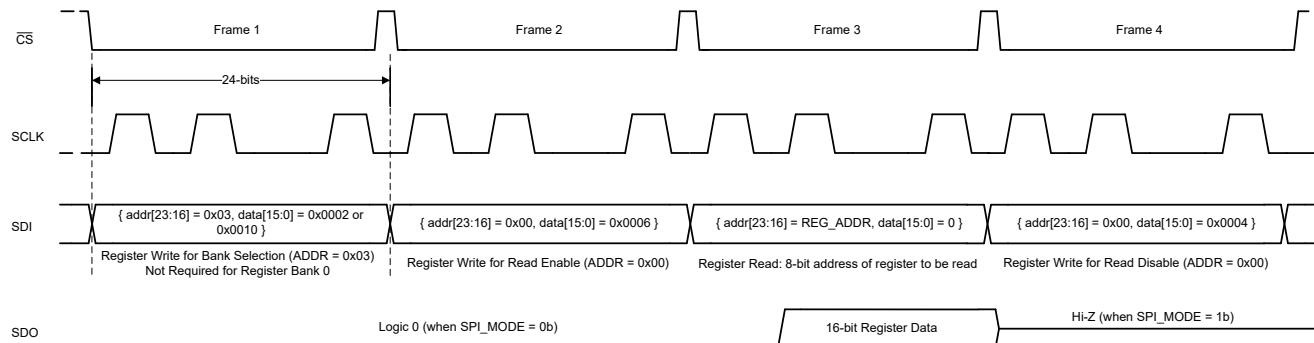


図 6-12. レジスタ読み出し

### 6.5.3 SPI 設定用デイジーチェーントポロジにおける複数デバイス

図 6-13 に、デイジーチェーントポロジで複数のデバイスを使用した一般的な接続図が示されています。

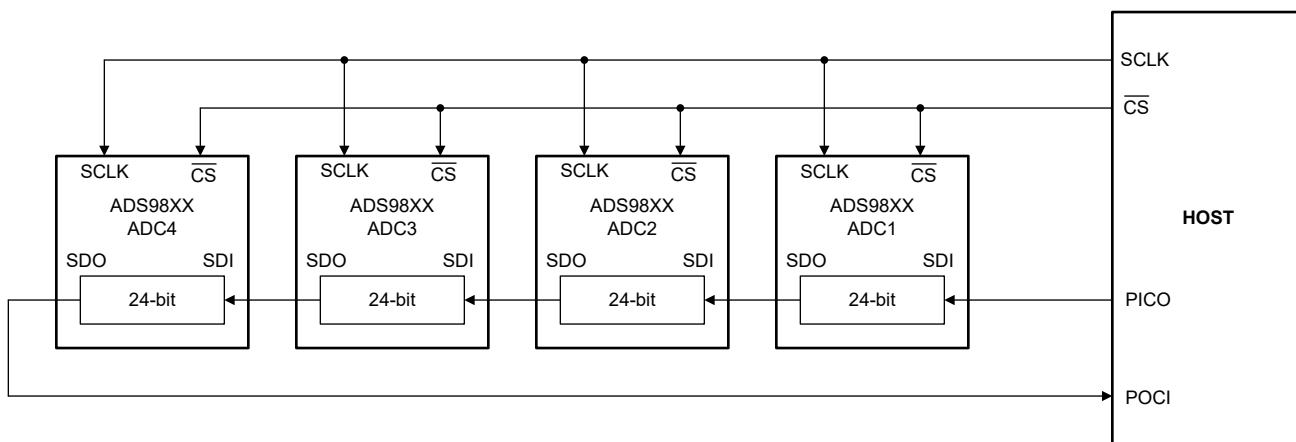


図 6-13. SPI 構成のデイジーチェーン接続

すべての ADC の **CS** および **SCLK** 入力は互いに接続され、それぞれコントローラの单一の **CS** および **SCLK** ピンによって制御されます。チェーンの最初の ADC (ADC1) の **SDI** 入力ピンは、コントローラのペリフェラル入力コントローラ出力 (PICO) ピンに接続されています。その後、ADC1 の **SDO** 出力ピンは、ADC2 の **SDI** 入力ピンに接続され、以下同様に接続されます。チェーン内の最後の ADC の **SDO** 出力ピン (ADC4) は、コントローラのペリフェラル出力コントローラ入力 (POCI) ピンに接続されます。POCI ピンのデータは、**CS** がアクティブである限り、24 **SCLK** の遅延で ADC1 を通過します。

パワーアップ後またはデバイスのリセット後に、デイジーチェーンを有効にします。デイジーチェーン モードを有効にするには、**DAISY\_CHANE\_LEN** レジスタのデイジーチェーンの長さを設定します。デイジーチェーンの長さは、ADC1 を除くチェーン内の ADC の数です。図 6-13 では、**DAISE\_CHANE\_LEN** は 3 です。

### 6.5.3.1 デイジーチェーンでのレジスタ書き込み

デイジーチェーンでレジスタに書き込むには、1つの SPI フレームで  $N \times 24$  の SCLK が必要です。図 6-13 に示すように、4 個の ADC を含むデイジーチェーンでのレジスタ書き込み操作には、96 SCLK が必要です。

デイジーチェーン モードは、パワーアップ時またはデバイスのリセット後に有効になります。DAISY\_CHAIN\_LEN フィールドを構成して、デイジーチェーン モードを有効にします。図 6-14 に示す波形を N 回繰り返します。ここで、N はデイジーチェーン内の ADC の数です。図 6-15 に、N ADC のデイジーチェーン モードを有効にするための N SPI フレームを含む SPI 波形が示されています。

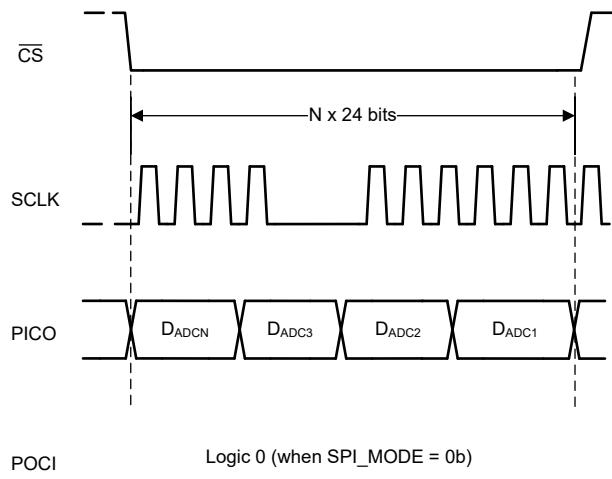


図 6-14. デイジーチェーンでのレジスタ書き込み

$$D_{ADC1}[23:0] = D_{ADC2}[23:0] = D_{ADC3}[23:0] = D_{ADCN}[23:0] = \{ 0000\ 0001, 0000\ 0000, N-1, 00 \}$$

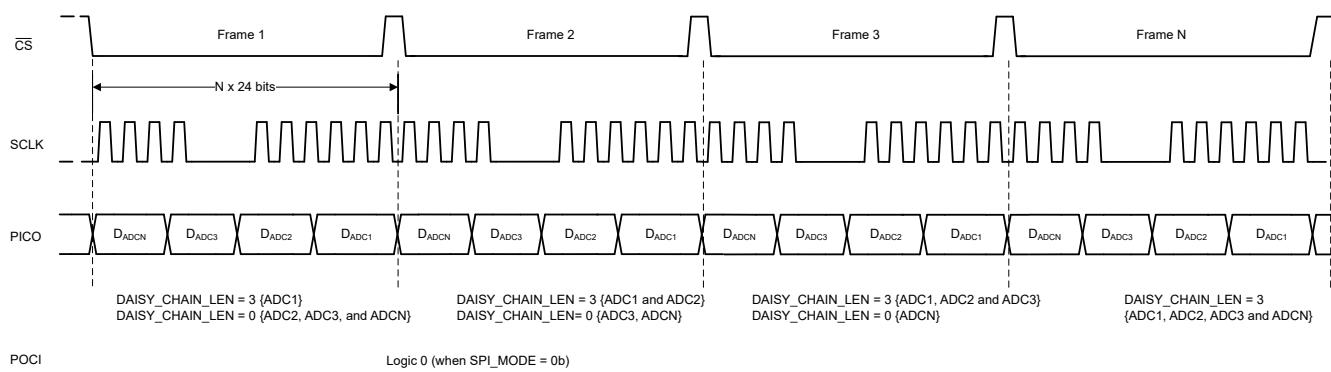


図 6-15. デイジーチェーンの長さを構成するためのレジスタ書き込み

### 6.5.3.2 デイジーチェーンでのレジスタ読み出し

図 6-16 は、デイジーチェーンでレジスタを読み出すための SPI 波形を示しています。デイジーチェーン接続された N 個の ADC からレジスタを読み出す手順は以下の通りです。

1. [デイジーチェーン動作でのレジスタ書き込み](#)を使用して、以下のレジスタに書き込むことでレジスタ読み出しが有効になります:
  - a. REG\_BANK\_SEL に書き込み、目的のレジスタ バンクを選択します
  - b. SPI\_RD\_EN = 0b を書き込み、レジスタ読み出しを有効にします (パワーアップ時のデフォルト)
2. レジスタ バンクが選択され、SPI\_RD\_EN = 0b の場合、コントローラは次の 2 手順でレジスタデータを読み出します:
  - a. 8 ビットのレジスタアドレスを含む  $N \times 24$  ビットの SPI フレームが読み出されます: N 回繰 {0xFE, 0x00, 8 ビット レジスタアドレス}
  - b. レジスタデータを読み出すための  $N \times 24$  ビット SPI フレームを読み出します: N 回 {0xFF, 0xFF, 0xFF}

手順 2a の 0xFE は、指定された 8 ビット アドレスからのレジスタ読み出しのための ADC を構成します。手順 2a が終了すると、ADC の出力シフトレジスタにレジスタのデータがロードされます。ADC は、8 ビットのレジスタアドレス、およびそれに対応する 16 ビットのレジスタデータを手順 2b で返します。

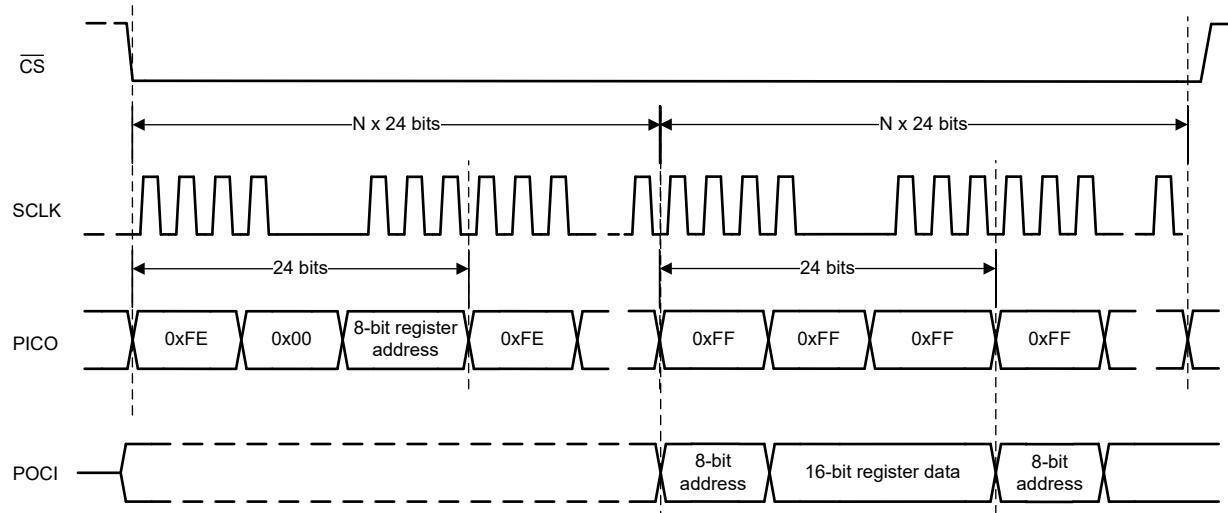


図 6-16. デイジーチェーンでのレジスタ読み出し

## 7 レジスタ マップ

### 7.1 レジスタ バンク 0

図 7-1. レジスタ バンク 0 マップ

追加	D15	D14	D13	D12	D11	D10	D9	D8	D7	D6	D5	D4	D3	D2	D1	D0
00h	RESERVED												SPI_MO DE	SPI_RD _EN	リセット	
01h	RESERVED								DAISY_CHAIN_LEN				RESERVED			
03h	RESERVED								REG_BANK_SEL							
04h	RESERVED												INIT_1			
06h	REG_00H_READBACK															

表 7-1. レジスタ セクション / ブロック アクセス タイプ コード

アクセス タイプ	コード	説明
R	R	読み出し
W	W	書き込み
R/W	R/W	読み出しありまたは書き込み
リセットまたはデフォルト値		
-n		リセット後の値またはデフォルト値

#### 7.1.1 レジスタ 00h (オフセット = 0h) [リセット = 0h]

図 7-2. レジスタ 00h

15	14	13	12	11	10	9	8
RESERVED							
W-0h							
7	6	5	4	3	2	1	0
RESERVED					SPI_MODE	SPI_RD_EN	リセット
W-0h					W-0h	W-0h	W-0h

図 7-3. レジスタ 00h のフィールドの説明

ピット	フィールド	タイプ	リセット	説明
15-3	RESERVED	W	0h	予約済み。デフォルトのリセット値から変更しないでください。
2	SPI_MODE	W	0h	レジスタ アクセスの構成インターフェイスとして、SPI モードとデイジーチェーン SPI モードのどちらかを選択します。 0:デイジーチェーン SPI モード 1:SPI モード
1	SPI_RD_EN	W	0h	レガ SPI モードでレジスタ読み出しアクセスを有効にします。このピットは、デイジーチェーン SPI モードでは無効です。 0:レジスタ読み出しは無効化 1:レジスタ読み出しは有効化
0	リセット	W	0h	ADC リセット制御。 0:通常のデバイス動作 1:ADC とすべてのレジスタのリセット

### 7.1.2 レジスタ 01h (オフセット = 1h) [リセット = 0h]

図 7-4. レジスタ 01h

15	14	13	12	11	10	9	8
RESERVED							
R/W-0h							
7	6	5	4	3	2	1	0
DAISY_CHAIN_LEN							
R/W-0h							

図 7-5. レジスタ 01h のフィールドの説明

ビット	フィールド	タイプ	リセット	説明
15-7	RESERVED	R/W	0h	予約済み。デフォルトのリセット値から変更しないでください。
6-2	DAISY_CHAIN_L EN	R/W	0h	SPI デイジーチェーン接続されている ADC の数 0:1 ADC 1:2 ADC 31:32 ADC
1-0	RESERVED	R/W	0h	予約済み。デフォルトのリセット値から変更しないでください。

### 7.1.3 レジスタ 03h (オフセット = 3h) [リセット = 2h]

図 7-6. レジスタ 03h

15	14	13	12	11	10	9	8
RESERVED							
R/W-0h							
7	6	5	4	3	2	1	0
REG_BANK_SEL							
R/W-2h							

図 7-7. レジスタ 03h のフィールドの説明

ビット	フィールド	タイプ	リセット	説明
15-8	RESERVED	R/W	0h	予約済み。デフォルトのリセット値から変更しないでください。
7-0	REG_BANK_SEL	R/W	2h	読み出しおよび書き込み動作のレジスタ バンクの選択。 0:レジスタ バンク 0 を選択 2:レジスタ バンク 1 を選択 16:レジスタ バンク 2 を選択

### 7.1.4 レジスタ 04h (オフセット = 4h) [リセット = 0h]

図 7-8. レジスタ 04h

15	14	13	12	11	10	9	8
RESERVED							
R/W-0h							
7	6	5	4	3	2	1	0
RESERVED				INIT_1			
R/W-0h				R/W-0h			

図 7-9. レジスタ 04h のフィールドの説明

ビット	フィールド	タイプ	リセット	説明
15-4	RESERVED	R/W	0h	予約済み。デフォルトのリセット値から変更しないでください。
3-0	INIT_1	R/W	0h	通常動作時に 1011b を書き込みます。詳細については、初期化シーケンス セクションを参照してください。

### 7.1.5 レジスタ 06h (オフセット = 6h) [リセット = 2h]

図 7-10. レジスタ 06h

15	14	13	12	11	10	9	8
REG_00H_READBACK							
R-0h							
7	6	5	4	3	2	1	0
REG_00H_READBACK							
R-5h							

図 7-11. レジスタ 06h のフィールドの説明

ビット	フィールド	タイプ	リセット	説明
15-0	REG_00H_READBACK	R	2h	このレジスタは、読み戻しのためのレジスタ アドレス 0x00 のコピーです。

## 7.2 レジスタ バンク 1

図 7-12. レジスタ バンク 1 マップ

追加	D15	D14	D13	D12	D11	D10	D9	D8	D7	D6	D5	D4	D3	D2	D1	D0							
0Dh	RESERVED	DATA_FORMAT		RESERVED					EN_AVG	RESERVED					EN_MV_G_AVG								
12h	RESERVED					XOR_PRBS	XOR_EN	RESERVED															
13h	RESERVED					RAMP_INC_A			TP_MODE_A	TP_EN_A	RESERVED												
14h	TP0_A																						
15h	TP1_A				TP0_A																		
16h	TP1_A																						
18h	RESERVED					RAMP_INC_B			TP_MODE_B	TP_EN_B	RESERVED												
19h	TP0_B																						
1Ah	TP1_B				TP0_B																		
1Bh	TP1_B																						
1Ch	RESERVED	USER_BITS_CH[8:5]				RESERVED	USER_BITS_CH[4:1]																
37h	RESERVED					Avg_Cfg3	RESERVED					Boost_Ch_Sel	EN_BOOST										
3Ch	RESERVED					RESERVED																	
44h	USER_GAIN_CAL_CH[4:1][21:6]																						
45h	RESERVED					USER_GAIN_CAL_CH[4:1][5:0]																	
4Ah	USER_GAIN_CAL_CH[8:5][21:6]																						
4Bh	RESERVED					USER_GAIN_CAL_CH[8:5][5:0]																	
92h	RESERVED										INIT_2			RESERVED									
C0h	RESERVED					ANA_BW					PD_CH												
C1h	RESERVED	PD_Ref	RESERVED	Data_Lanes	Data_Rate	RESERVED																	
C2h	RANGE_CH4				RANGE_CH3			RANGE_CH2			RANGE_CH1												
C3h	RANGE_CH8				RANGE_CH7			RANGE_CH6			RANGE_CH5												
C4h	RESERVED				CM_RNG_CH[8:5]	CM_RNG_CH[4:1]	AVG_CFG2		CM_EN_CH[8:5]	CM_EN_CH[4:1]	Avg_Cfg1	PD_Chip											
C5h	Boost_Cfg1	RESERVED			Init_3	PGA_IN1T2	RESERVED		Avg_Cfg4	CM_CT_RL_EN	Boost_Cfg2	PGA_IN1T1	RESERVED										

表 7-2. レジスタ セクション / ブロック アクセス タイプ コード

アクセス タイプ	コード	説明
R	R	読み出し
W	W	書き込み
R/W	R/W	読み出しありまたは書き込み
リセットまたはデフォルト値		
-n		リセット後の値またはデフォルト値

### 7.2.1 レジスタ 0Dh (オフセット = Dh) [リセット = 2002h]

図 7-13. レジスタ 0Dh

15	14	13	12	11	10	9	8
RESERVED	DATA_FORMAT	RESERVED					
R/W-0h	R/W-1h	R/W-0h					
7	6	5	4	3	2	1	0
RESERVED	EN_AVG	RESERVED				EN_MVG_AVG	
R/W-0h	R/W-0h	R/W-1h				R/W-0h	

図 7-14. レジスタ 0Dh のフィールドの説明

ビット	フィールド	タイプ	リセット	説明
15-14	RESERVED	R/W	0h	予約済み。デフォルトのリセット値から変更しないでください。
13	DATA_FORMAT	R/W	1h	ADC 変換結果のデータフォーマットを選択します。 0:ストレートバイナリ形式 1:2 の補数形式
12-7	RESERVED	R/W	0h	予約済み。デフォルトのリセット値から変更しないでください。
6	EN_AVG	R/W	0h	データの平均化を有効にするには、1b を設定します。詳細については、表 6-10 と表 6-11 を参照してください。
5-1	RESERVED	R/W	1h	予約済み。デフォルトのリセット値から変更しないでください。
0	EN_MVG_AVG	R/W	0h	移動データ平均を有効にするには、1b を設定します。詳細については、表 6-11 を参照してください。

### レジスタ 12h (オフセット = 12h) [リセット = 2h]

図 7-15. レジスタ 12h

15	14	13	12	11	10	9	8
RESERVED							
R/W-0h							
7	6	5	4	3	2	1	0
RESERVED			XOR_PRBS	XOR_EN	RESERVED		
R/W-0h			R/W-0h	R/W-0h	R/W-2h		

図 7-16. レジスタ 12h のフィールドの説明

ビット	フィールド	タイプ	リセット	説明
15-5	RESERVED	R/W	0h	予約済み。デフォルトのリセット値から変更しないでください。
4	XOR_PRBS	R/W	0h	XOR EN = 1b のときの XOR 動作のビットを選択します。 0:PRBS は、ADC 変換結果の LSB の後に付加されます。 ADC 変換結果は、PRBS ビットとビット単位で XOR されます。 1:ADC 変換結果は、ADC 変換結果の LSB ビットとビット単位で XOR されます。
3	XOR_EN	R/W	0h	ADC 変換結果に対する XOR 处理をイネーブルにします。 0:XOR 動作はディスエーブルです 1:ADC 変換結果に対するビット単位の XOR 演算がイネーブルになります
2-0	RESERVED	R/W	2h	予約済み。デフォルトのリセット値から変更しないでください。

### 7.2.2 レジスタ 13h (オフセット = 13h) [リセット = 0h]

図 7-17. レジスタ 13h

15	14	13	12	11	10	9	8
RESERVED							
R/W-0h							
7	6	5	4	3	2	1	0
RAMP_INC_A				TP_MODE_A		TP_EN_A	
R/W-0h				R/W-0h		R/W-0h	
R/W-0h							

図 7-18. レジスタ 13h のフィールドの説明

ビット	フィールド	タイプ	リセット	説明
15-8	RESERVED	R/W	0h	予約済み。デフォルトのリセット値から変更しないでください。
7-4	RAMP_INC_A	R/W	0h	ランプ パターン出力のインクリメント値。出力ランプは N+1 だけインクリメントします。ここで、N はこのレジスタに構成されている値です。
3-2	TP_MODE_A	R/W	0h	アナログ入力チャネル 1、2、3、および 4 に対するデジタル テストパターンを選択します。 0:TP0_A レジスタからの固定パターン 1:TP0_A レジスタからの固定パターン 2:デジタル ランプ出力 3:TP0_A および TP1_A レジスタからの代替固定パターン出力
1	TP_EN_A	R/W	0h	チャネル 1、2、3、および 4 に対応するデータのデジタル テストパターンをイネーブルにします。 0:データ出力は ADC 変換結果です。 1:チャネル 1、2、3、および 4 のデータ出力はデジタル テストパターンです
0	RESERVED	R/W	0h	予約済み。デフォルトのリセット値から変更しないでください。

### 7.2.3 レジスタ 14h (オフセット = 14h) [リセット = 0h]

図 7-19. レジスタ 14h

15	14	13	12	11	10	9	8
TP0_A[15:0]							
R/W-0h							
7	6	5	4	3	2	1	0
TP0_A[15:0]				R/W-0h			

図 7-20. レジスタ 14h のフィールドの説明

ビット	フィールド	タイプ	リセット	説明
15-0	TP0_A[15:0]	R/W	0h	テスト パターン 0 の下位 16 ビット

### 7.2.4 レジスタ 15h (オフセット = 15h) [リセット = 0h]

図 7-21. レジスタ 15h

15	14	13	12	11	10	9	8
TP1_A[7:0]							
R/W-0h							
7	6	5	4	3	2	1	0
TP0_A[23:16]							
R/W-0h							

図 7-22. レジスタ 15h のフィールドの説明

ビット	フィールド	タイプ	リセット	説明
15-8	TP1_A[7:0]	R/W	0h	テストパターン 1 の下位 8 ビット
7-0	TP0_A[23:16]	R/W	0h	テストパターン 0 の上位 8 ビット

### 7.2.5 レジスタ 16h (オフセット = 16h) [リセット = 0h]

図 7-23. レジスタ 16h

15	14	13	12	11	10	9	8
TP1_A[23:8]							
R/W-0h							
7	6	5	4	3	2	1	0
TP1_A[23:8]							
R/W-0h							

図 7-24. レジスタ 16h のフィールドの説明

ビット	フィールド	タイプ	リセット	説明
15-0	TP1_A[23:8]	R/W	0h	テストパターン 1 の上位 16 ビット

## 7.2.6 レジスタ 18h (オフセット = 18h) [リセット = 0h]

図 7-25. レジスタ 18h

15	14	13	12	11	10	9	8
RESERVED							
R/W-0h							
7	6	5	4	3	2	1	0
RAMP_INC_B				TP_MODE_B		TP_EN_B	
R/W-0h				R/W-0h		R/W-0h	
R/W-0h							

図 7-26. レジスタ 18h のフィールドの説明

ビット	フィールド	タイプ	リセット	説明
15-8	RESERVED	R/W	0h	予約済み。デフォルトのリセット値から変更しないでください。
7-4	RAMP_INC_B	R/W	0h	ランプ パターン出力のインクリメント値。出力ランプは N+1 だけインクリメントします。ここで、N はこのレジスタに構成されている値です。
3-2	TP_MODE_B	R/W	0h	アナログ入力チャネル 5、6、7、および 8 に対するデジタル テストパターンを選択します。 0:TP0_B レジスタからの固定パターン 1:TP0_B レジスタからの固定パターン 2:デジタル ランプ出力 3:TP0_B および TP1_B レジスタからの代替固定パターン出力
1	TP_EN_B	R/W	0h	チャネル 5、6、7、および 8 に対応するデータのデジタル テストパターンをイネーブルにします。 0:データ出力は ADC 変換結果です。 1:データ出力はデジタル テストパターンです
0	RESERVED	R/W	0h	予約済み。デフォルトのリセット値から変更しないでください。

## 7.2.7 レジスタ 19h (オフセット = 19h) [リセット = 0h]

図 7-27. レジスタ 19h

15	14	13	12	11	10	9	8
TP0_B[15:0]							
R/W-0h							
7	6	5	4	3	2	1	0
TP0_B[15:0]				R/W-0h			

図 7-28. レジスタ 19h のフィールドの説明

ビット	フィールド	タイプ	リセット	説明
15-0	TP0_B[15:0]	R/W	0h	テスト パターン 0 の下位 16 ビット

### 7.2.8 レジスタ 1Ah (オフセット = 1Ah) [リセット = 0h]

図 7-29. レジスタ 1Ah

15	14	13	12	11	10	9	8
TP1_B[7:0]							
R/W-0h							
7	6	5	4	3	2	1	0
TP0_B[23:16]							
R/W-0h							

図 7-30. レジスタ 1Ah のフィールドの説明

ビット	フィールド	タイプ	リセット	説明
15-8	TP1_B[7:0]	R/W	0h	テストパターン 1 の下位 8 ビット
7-0	TP0_B[23:16]	R/W	0h	テストパターン 0 の上位 8 ビット

### 7.2.9 レジスタ 1Bh (オフセット = 1Bh) [リセット = 0h]

図 7-31. レジスタ 1Bh

15	14	13	12	11	10	9	8
TP1_B[23:8]							
R/W-0h							
7	6	5	4	3	2	1	0
TP1_B[23:8]							
R/W-0h							

図 7-32. レジスタ 1Bh のフィールドの説明

ビット	フィールド	タイプ	リセット	説明
15-0	TP1_B[23:8]	R/W	0h	テストパターン 1 の上位 16 ビット

### レジスタ 1Ch (オフセット = 1Ch) [リセット = 0h]

図 7-33. レジスタ 1Ch

15	14	13	12	11	10	9	8	
RESERVED		USER_BITS_CH[8:5]						
R/W-0h		R/W-0h						
7	6	5	4	3	2	1	0	
RESERVED		USER_BITS_CH[4:1]						
R/W-0h		R/W-0h						

図 7-34. レジスタ 1Ch のフィールドの説明

ビット	フィールド	タイプ	リセット	説明
15-14	RESERVED	R/W	0h	予約済み。デフォルトのリセット値から変更しないでください。
13-8	USER_BITS_CH[8:5]	R/W	0h	チャネル 5、6、7、および 8 の ADC 変換結果にユーザー定義ビットが付加されます。
7-6	RESERVED	R/W	0h	予約済み。デフォルトのリセット値から変更しないでください。

図 7-34. レジスタ 1Ch のフィールドの説明 (続き)

ビット	フィールド	タイプ	リセット	説明
5-0	USER_BITS_CH[4:1]	R/W	0h	チャネル 1、2、3、および 4 の ADC 変換結果にユーザー定義ビットが付加されます。

### 7.2.10 レジスタ 37h (オフセット = 37h) [リセット = 0h]

図 7-35. レジスタ 37h

15	14	13	12	11	10	9	8
RESERVED							
R/W-0h							
7	6	5	4	3	2	1	0
RESERVED					BOOST_CH_SEL	EN_BOOST	
R/W-0h					R/W-0h	R/W-0h	

図 7-36. レジスタ 37h のフィールドの説明

ビット	フィールド	タイプ	リセット	説明
15-3	RESERVED	R/W	0h	予約済み。デフォルトのリセット値から変更しないでください。
2-1	BOOST_CH_SEL	R/W	0h	スピード昇圧モード用のアナログ入力チャネルペアを選択します。 0:CH1 および CH8 1:CH2 および CH7 2:CH3 および CH6 3:CH4 および CH5
0	EN_BOOST	R/W	0h	スピード昇圧モードをイネーブルにします。詳細については、「 <a href="#">スピード昇圧モード</a> 」セクションを参照してください。

### 7.2.11 レジスタ 3Ch (オフセット = 3Ch) [リセット = 0h]

図 7-37. レジスタ 3Ch

15	14	13	12	11	10	9	8
RESERVED							
R/W-0h							
7	6	5	4	3	2	1	0
RESERVED							
R/W-0h							

図 7-38. レジスタ 3Ch のフィールドの説明

ビット	フィールド	タイプ	リセット	説明
15-8	RESERVED	R/W	0h	予約済み。デフォルトのリセット値から変更しないでください。
7	AVG_CFG3	R/W	0h	単純平均化の構成。詳細については、表 6-10 を参照してください。
6-0	RESERVED	R/W	0h	予約済み。デフォルトのリセット値から変更しないでください。

### 7.2.12 レジスタ 44h (オフセット = 44h) [リセット = 0h]

図 7-39. レジスタ 44h

15	14	13	12	11	10	9	8
USER_GAIN_CAL_CH[4:1][21:6]							
R/W-0h							
7	6	5	4	3	2	1	0
USER_GAIN_CAL_CH[4:1][21:6]							

図 7-39. レジスタ 44h (続き)

R/W-0h

図 7-40. レジスタ 44 のフィールドの説明

ビット	フィールド	タイプ	リセット	説明
15-0	USER_GAIN_CAL_CH[4:1][21:6]	R/W	0h	ADC A

### 7.2.13 レジスタ 45h (オフセット = 45h) [リセット = 0h]

図 7-41. レジスタ 45h

15	14	13	12	11	10	9	8
RESERVED							
R/W-0h							
7	6	5	4	3	2	1	0
RESERVED	USER_GAIN_CAL_CH[4:1][5:0]						
R/W-0h	R/W-0h						

図 7-42. レジスタ 45h のフィールドの説明

ビット	フィールド	タイプ	リセット	説明
15-6	RESERVED	R/W	0h	予約済み。デフォルトのリセット値から変更しないでください。
5-0	USER_GAIN_CAL_CH[4:1][5:0]	R/W	0h	ADC A

### 7.2.14 レジスタ 4Ah (オフセット = 4Ah) [リセット = 0h]

図 7-43. レジスタ 4Ah

15	14	13	12	11	10	9	8
USER_GAIN_CAL_CH[8:5][21:6]							
R/W-0h							
7	6	5	4	3	2	1	0
USER_GAIN_CAL_CH[8:5][21:6]							
R/W-0h							

図 7-44. レジスタ 4Ah のフィールドの説明

ビット	フィールド	タイプ	リセット	説明
15-0	USER_GAIN_CAL_CH[8:5][21:6]	R/W	0h	ADC B

### 7.2.15 レジスタ 4Bh (オフセット = 4Bh) [リセット = 0h]

図 7-45. レジスタ 4Bh

15	14	13	12	11	10	9	8
RESERVED							
R/W-0h							
7	6	5	4	3	2	1	0
USER_GAIN_CAL_CH[8:5][5:0]							
R/W-0h							

図 7-46. レジスタ 4Bh のフィールドの説明

ビット	フィールド	タイプ	リセット	説明
15-6	RESERVED	R/W	0h	予約済み。デフォルトのリセット値から変更しないでください。
5-0	USER_GAIN_CAL_CH[8:5][5:0]	R/W	0h	UADC B

### 7.2.16 レジスタ 92h (オフセット = 92h) [リセット = 0h]

図 7-47. レジスタ 92h

15	14	13	12	11	10	9	8
RESERVED							
R/W-0h							
7	6	5	4	3	2	1	0
RESERVED						INIT_2	RESERVED
R/W-0h						R/W-0h	R/W-0h

図 7-48. レジスタ 92h のフィールドの説明

ビット	フィールド	タイプ	リセット	説明
15-2	RESERVED	R/W	0h	予約済み。デフォルトのリセット値から変更しないでください。
1	INIT_2	R/W	0h	通常動作用に 1b を書き込みます。詳細については、初期化シーケンスセクションを参照してください。
0	RESERVED	R/W	0h	予約済み。デフォルトのリセット値から変更しないでください。

### 7.2.17 レジスタ C0h (オフセット = C0h) [リセット = 0h]

図 7-49. レジスタ C0h

15	14	13	12	11	10	9	8
RESERVED						ANA_BW	
R/W-0h						R/W-0h	
7	6	5	4	3	2	1	0
ANA_BW						PD_CH	
R/W-0h						R/W-0h	

図 7-50. レジスタ C0h のフィールドの説明

ビット	フィールド	タイプ	リセット	説明
15-10	RESERVED	R/W	0h	予約済み。デフォルトのリセット値から変更しないでください。
9-2	ANA_BW	R/W	0h	対応するアナログ入力チャネルのアナログ入力帯域幅を選択します。 チャネル 8 の MSB = BW 制御 LSB = チャネル 1 の BW 制御 0: 低ノイズモード 1: 広帯域幅モード
1-0	PD_CH	R/W	0h	アナログ入力チャネルのパワーダウン制御。 0: 通常動作 1: チャネル 5, 6, 7, 8 はパワーダウン 2: チャネル 1, 2, 3, 4 はパワーダウン 3: すべてのチャネルをパワーダウンします

### 7.2.18 レジスタ C1h (オフセット = C1h) [リセット = 0h]

図 7-51. レジスタ C1h

15	14	13	12	11	10	9	8
RESERVED			PD_REF	RESERVED		DATA_LANES	DATA_RATE
R/W-0h			R/W-0h	R/W-0h		R/W-0h	R/W-0h
7	6	5	4	3	2	1	0
RESERVED			R/W-0h				

図 7-52. レジスタ C1h のフィールドの説明

ビット	フィールド	タイプ	リセット	説明
15-12	RESERVED	R/W	0h	予約済み。デフォルトのリセット値から変更しないでください。
11	PD_REF	R/W	0h	ADC リファレンス電圧源の選択。 0: 内部リファレンスは有効化。 1: 内部リファレンスは無効化。外部リファレンス電圧を REFIO ピンに接続します。
10	RESERVED	R/W	0h	予約済み。デフォルトのリセット値から変更しないでください。
9	DATA_LANES	R/W	0h	ADC チャネルごとの出力データレーン数を選択します。 0: 4 レーン モード。CH[4:1] のデータは D3 および D2 ピンから出力されます。CH[8:5] のデータは D1 および D0 ピンから出力されます。 1: 2 レーン モード。CH[4:1] のデータは D3 ピンから出力されます。CH[8:5] のデータは D1 ピンから出力されます。
8	DATA_RATE	R/W	0h	データインターフェイスのデータレートを選択します。 0: デュアル データレート (DDR) 1: シングル データレート (SDR)
7-0	RESERVED	R/W	0h	予約済み。デフォルトのリセット値から変更しないでください。

### 7.2.19 レジスタ C2h (オフセット = C2h) [リセット = 0h]

図 7-53. レジスタ C2h

15	14	13	12	11	10	9	8
RANGE_CH4			RANGE_CH3				
R/W-0h			R/W-0h				
7	6	5	4	3	2	1	0
RANGE_CH2			RANGE_CH1				
R/W-0h			R/W-0h				

図 7-54. レジスタ C2h のフィールドの説明

ビット	フィールド	タイプ	リセット	説明
15-12	RANGE_CH4	R/W	0h	アナログ入力電圧範囲を選択します。 0: ±5V 1: ±3.5V 2: ±2.5V 3: ±7V 4: ±10V 5: ±12V
11-8	RANGE_CH3	R/W	0h	0: ±5V 1: ±3.5V 2: ±2.5V 3: ±7V 4: ±10V 5: ±12V
7-4	RANGE_CH2	R/W	0h	0: ±5V 1: ±3.5V 2: ±2.5V 3: ±7V 4: ±10V 5: ±12V
3-0	RANGE_CH1	R/W	0h	0: ±5V 1: ±3.5V 2: ±2.5V 3: ±7V 4: ±10V 5: ±12V

### 7.2.20 レジスタ C3h (オフセット = C3h) [リセット = 0h]

図 7-55. レジスタ C3h

15	14	13	12	11	10	9	8
RANGE_CH8				RANGE_CH7			
R/W-0h				R/W-0h			
7	6	5	4	3	2	1	0
RANGE_CH6				RANGE_CH5			
R/W-0h				R/W-0h			

図 7-56. レジスタ C3h のフィールドの説明

ビット	フィールド	タイプ	リセット	説明
15-12	RANGE_CH8	R/W	0h	アナログ入力電圧範囲を選択します。 0: ±5V 1: ±3.5V 2: ±2.5V 3: ±7V 4: ±10V 5: ±12V
11-8	RANGE_CH7	R/W	0h	
7-4	RANGE_CH6	R/W	0h	
3-0	RANGE_CH5	R/W	0h	

### レジスタ C4h (オフセット = C4h) [リセット = 0h]

図 7-57. レジスタ C4h

15	14	13	12	11	10	9	8
RESERVED						CM_RNG_CH[8:5]	
R/W-0h						R/W-0h	
7	6	5	4	3	2	1	0
CM_RNG_CH[4:1]		AVG_CFG2		CM_EN_CH[8:5]	CM_EN_CH[4:1]	AVG_CFG1	PD_CHIP
R/W-0h		R/W-0h		R/W-0h	R/W-0h	R/W-0h	R/W-0h

図 7-58. レジスタ C4h のフィールドの説明

ビット	フィールド	タイプ	リセット	説明
15-10	RESERVED	R/W	0h	予約済み。デフォルトのリセット値から変更しないでください。
9-8	CM_RNG_CH[8:5]	R/W	0h	CM_RNG_CH[4:1] は、チャネル 1、2、3、および 4 の同相モード範囲を設定します。 CM_RNG_CH[8:5] は、チャネル 5、6、7、および 8 の同相モード範囲を設定します。
7-6	CM_RNG_CH[4:1]	R/W	0h	0: CM 範囲は ± 範囲/2 1: CM 範囲は ±6V と同等 2: CM 範囲は ±12V と同等
5-4	AVG_CFG2	R/W	0h	単純平均化の構成。詳細については、表 6-10 を参照してください。
3	CM_EN_CH[8:5]	R/W	0h	CM_EN_CH[4:1] は、チャネル 1 から 4 までの広範囲な同相モード範囲制御をイネーブルにします。 CM_EN_CH[8:5] は、チャネル 5 から 8 までの広帯域同相モード範囲制御をイネーブルにします。
2	CM_EN_CH[4:1]	R/W	0h	0: 広い同相モード範囲制御をディスエーブル 1: 広い同相モード範囲制御をイネーブル
1	AVG_CFG1	R/W	0h	単純平均化の構成。詳細については、表 6-10 を参照してください。

図 7-58. レジスタ C4h のフィールドの説明 (続き)

ビット	フィールド	タイプ	リセット	説明
0	PD_CHIP	R/W	0h	フル チップ パワーダウン制御。 0:通常のデバイス動作 1:フル デバイス パワーダウン

### 7.2.21 レジスタ C5h (オフセット = C5h) [リセット = 0h]

図 7-59. レジスタ C5h

15	14	13	12	11	10	9	8
BOOST_CFG1	RESERVED			INIT_3	PGA_INIT2	RESERVED	
R/W-0h	R/W-0h			R/W-0h	R/W-0h	R/W-0h	
7	6	5	4	3	2	1	0
RESERVED	AVG_CFG4		CM_CTRL_EN	BOOST_CFG2	PGA_INIT2	RESERVED	
R/W-0h	R/W-0h		R/W-0h	R/W-0h	R/W-0h	R/W-0h	

図 7-60. レジスタ C5h のフィールドの説明

ビット	フィールド	タイプ	リセット	説明
15-14	BOOST_CFG1	R/W	0h	スピード昇圧モードの構成。詳細については、表 6-15 を参照してください。
13-11	RESERVED	R/W	0h	予約済み。デフォルトのリセット値から変更しないでください。
10	INIT_3	R/W	0h	通常動作の場合は 1 に設定します。詳細については、初期化シーケンスを参照してください。
9	PGA_INIT2	R/W	0h	PGA 初期化の構成。通常動作の場合は 1 に設定します。詳細については、初期化シーケンスを参照してください。
8-7	RESERVED	R/W	0h	予約済み。デフォルトのリセット値から変更しないでください。
6-5	AVG_CFG4	R/W	0h	単純平均化の構成。詳細については、表 6-10 を参照してください。
4	CM_CTRL_EN	R/W	0h	すべてのアナログ入力チャネルについて、広い同相モード範囲制御をイネーブルします。 0:すべてのアナログ入力チャネルの CM 範囲は ±12V です 1:CM 範囲は、CM_EN_CH[4:1]、CM_EN_CH[8:5]、CM_RNG_CH[4:1]、および CM_RNG_CH[8:5] レジスタでユーザー定義されます
3	BOOST_CFG2	R/W	0h	スピード昇圧モードの構成。詳細については、表 6-15 を参照してください。
2	PGA_INIT1	R/W	0h	PGA 初期化の構成。通常動作の場合は 1 に設定します。詳細については、初期化シーケンスを参照してください。
1-0	RESERVED	R/W	0h	予約済み。デフォルトのリセット値から変更しないでください。

## 7.3 レジスタ バンク 2

図 7-61. レジスタ バンク 2 マップ

追加	D15	D14	D13	D12	D11	D10	D9	D8	D7	D6	D5	D4	D3	D2	D1	D0
25h	RESERVED				BOOST_CFG4	RESERV ED	BOOST_CFG3									RESERVED

表 7-3. レジスタ セクション / ブロック アクセス タイプ コード

アクセス タイプ	コード	説明
R	R	読み出し
W	W	書き込み
R/W	R/W	読み出しありまたは書き込み
リセットまたはデフォルト値		
-n		リセット後の値またはデフォルト値

### 7.3.1 レジスタ 19h (オフセット = 19h) [リセット = 0h]

図 7-62. レジスタ 19h

15	14	13	12	11	10	9	8
RESERVED				BOOST_CFG4	RESERVED	BOOST_CFG3	RESERVED
R/W-0h				R/W-0h	R/W-0h	R/W-0h	R/W-0h
7	6	5	4	3	2	1	0
RESERVED							R/W-0h

図 7-63. レジスタ 19h のフィールドの説明

ビット	フィールド	タイプ	リセット	説明
15-12	RESERVED	R/W	0h	予約済み。デフォルトのリセット値から変更しないでください。
11	BOOST_CFG4	R/W	0h	スピード昇圧モードの構成。詳細については、表 6-15 を参照してください。
10	RESERVED	R/W	0h	予約済み。デフォルトのリセット値から変更しないでください。
9	BOOST_CFG3	R/W	0h	スピード昇圧モードの構成。詳細については、表 6-15 を参照してください。
8-0	RESERVED	R/W	0h	予約済み。デフォルトのリセット値から変更しないでください。

## 8 アプリケーションと実装

### 注

以下のアプリケーションに関するセクションの情報は、TI の部品仕様の一部ではなく、TI はこれらの情報の正確性や完全性を保証しません。個々の目的に対する製品の適合性については、お客様の責任で判断していただくことになります。また、お客様は自身の設計実装を検証しテストすることで、システムの機能を確認する必要があります。

### 8.1 アプリケーション情報

ADS9803 は、最大 2 チャンネルのアナログ信号を高精度に測定できます。次のセクションでは、ADS9803 を使用する際の、アプリケーション回路例と推奨事項を示します。

### 8.2 代表的なアプリケーション

#### 8.2.1 パラメトリック測定ユニット (PMU)

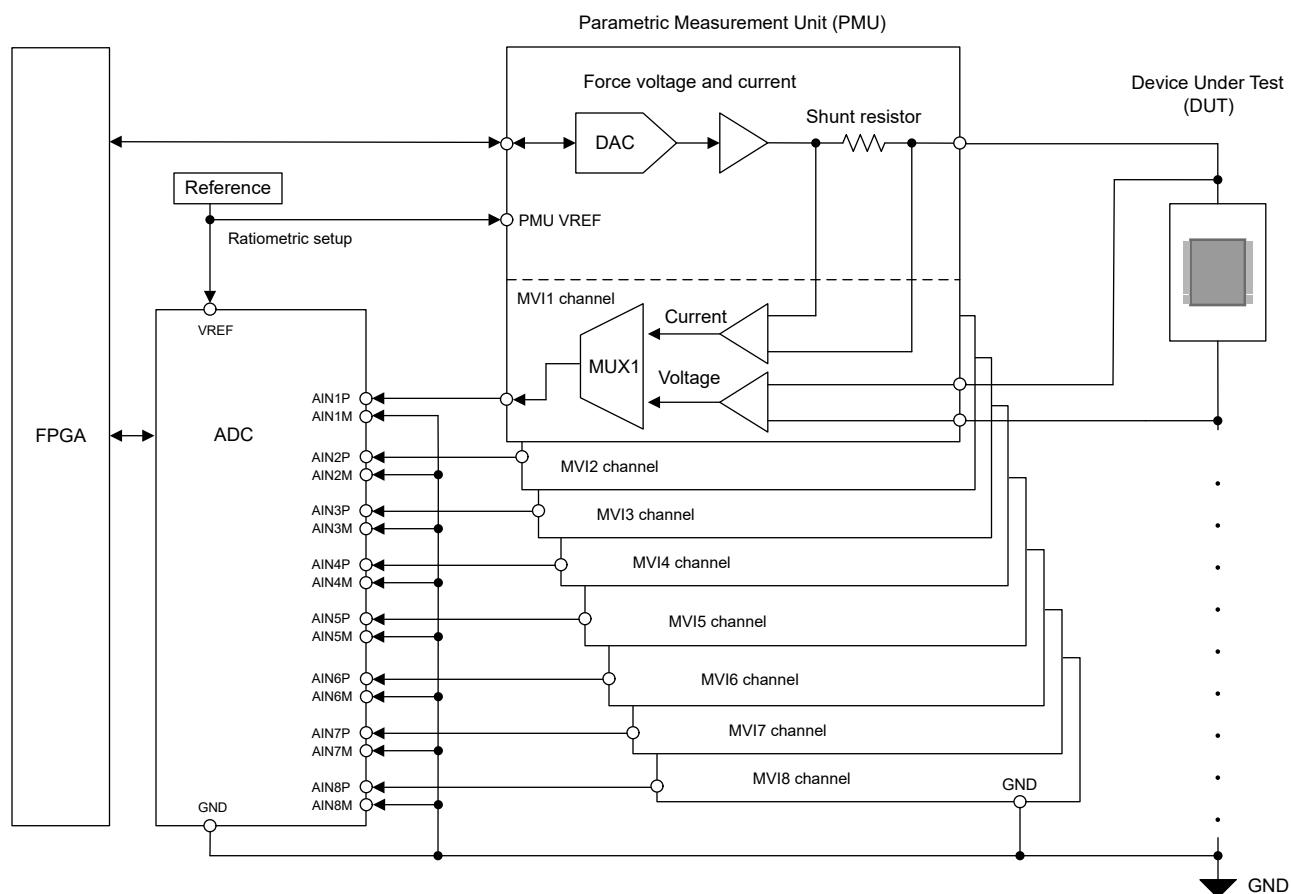


図 8-1. 標準 PMU

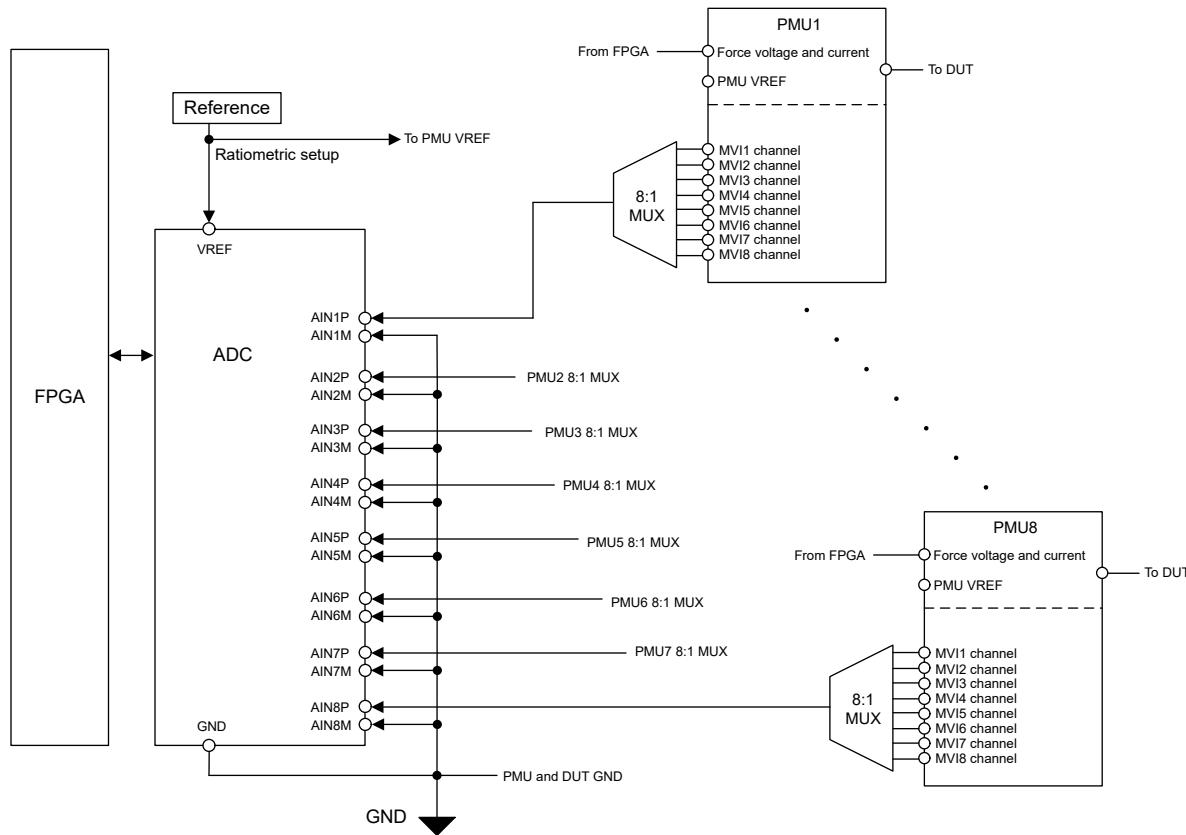


図 8-2. マルチプレクサ搭載 PMU

### 8.2.2 設計要件

このアプリケーションの目的は、ATE アプリケーション向けに ADC を選定することです。表 8-1 には、この設計例のパラメータが示されています。

表 8-1. 設計パラメータ

パラメータ	値
サンプリング レート	最大 2MSPS/チャネル
25°C ±5°C における総末調整誤差 (TUE)	キャリブレーション時 <0.01%
外部スイッチまたはマルチプレクサをサポート	フルスケール ステップが <10μs でフルスケールの 99.95% に収束

### 8.2.3 詳細な設計手順

ADS9803 は 8 チャネル、20 ビット、2MSPS のデータ アクイジション (DAQ) システムです。このデバイスにはアナログ フロントエンドが内蔵されており、ATE の信号チェーン設計を容易にし、精度も高めます。

ADC の精度は総合未調整誤差 (TUE) に基づいています。これは INL、オフセット、およびゲイン誤差を組み合わせたものです。指定された温度と電源電圧で、外部システムのオフセット誤差とゲイン誤差をキャリブレーションします。キャリブレーションされている場合 (表 8-2 で説明)、INL、温度オフセットドリフト、ゲインのみが TUE に寄与します。ADS9803 は、 $25^{\circ}\text{C} \pm 5^{\circ}\text{C}$  の条件でキャリブレーション後に TUE が 0.0015% となり、設計誤差要件を満たしています。

**表 8-2.  $T_A = 25^{\circ}\text{C}$  における TUE の計算 (RANGE =  $\pm 5\text{V}$ )**

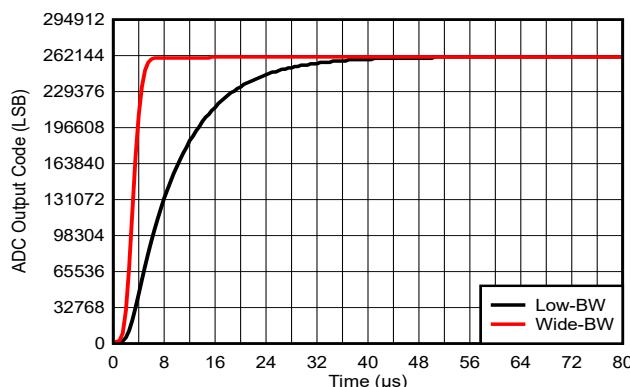
キャリブレーション	INL (ppm)	オフセット誤差 (ppm)	ゲイン誤差 (ppm)	TUE (ppm)	エラー (%)
キャリブレーションなし	7	495.9	183.1	528.8	0.053
キャリブレーション後	7	0	0	15.3	0.0015
キャリブレーション $\pm 5^{\circ}\text{C}$	7	2.5	3.5	15.9	0.0016

ピン エレクトロニクス サブシステムは、PMU 出力を管理します。このサブシステムは、各 PMU 出力を個別の ADC チャネルに接続する (図 8-1) か、またはマルチプレクサを使用して複数の PMU 出力を 1 つの ADC チャネルに接続します (図 8-2)。このサブシステムにより、カード上のピン エレクトロニクス チャネルの数を増やすことができます。ADC は、PMU チャネルをスイッチングするときに高速なセトリングを実現するため、マルチプレクサ (表 8-3) により広い帯域幅を必要とします。ADS9803 には 2 つの帯域幅モードがあります: 低ノイズ (最大 22.7kHz) と広帯域幅 (最大 700kHz)。図 8-3 に記載されているように、広帯域幅モードは多重化された PMU 信号をサンプリングし、7.5μs で FS の 99.95% にセトリングします。

**表 8-3. ステップ セトリング性能 (RANGE =  $\pm 5\text{V}$ )**

アナログ入力帯域幅	セトリングタイム (FS の 99.95%)	SNR (標準値)
低 BW (22.7kHz)	55μs	89.1dB
広い BW (500kHz)	7.5μs	79.7dB

### 8.2.4 アプリケーション曲線



**図 8-3. ステップ セトリング性能**

### 8.3 電源に関する推奨事項

ADS9803 には、次の三つの電源が必要です。AVDD\_5V、VDD\_1V8 および IOVDD。特定の電源オンシーケンス要件はありません。データおよび構成デジタルインターフェイスには、IOVDD から電力が供給されます。共通の 1.8V 電源で VDD\_1V8 ピンと IOVDD ピンに電力を供給します。図 8-4 に、それぞれの電源のデカップリングコンデンサの接続を示します。各電源ピンには、それぞれ個別のデカップリングコンデンサがあることを確認します。

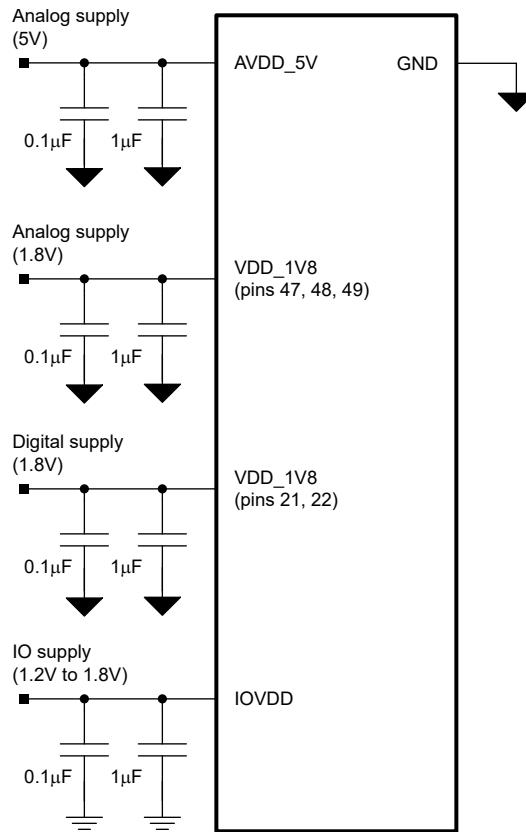


図 8-4. 電源のデカップリング

## 8.4 レイアウト

### 8.4.1 レイアウトのガイドライン

図 8-5 に、ADS9803 の基板レイアウト例を示します。デジタル ラインはアナログ信号パスで交差することを避け、アナログ入力信号と基準信号はノイズ源から遠ざけます。

AVDD\_5V、VDD\_1V8、および IOVDD 電源ピンの近くに  $0.1\mu F$  のセラミック バイパス コンデンサを配置して使用してください。電源ピンとバイパス コンデンサの間にビアを配置しないでください。

リファレンス デカップリング コンデンサをデバイスの REFIO ピンと REFM ピンの近くに配置します。REFIO ピンとバイパス コンデンサの間にビアを配置しないでください。GND ピンと REFM ピンを短い低インピーダンスのパスを使用してグラウンド プレーンに接続します。

### 8.4.2 レイアウト例

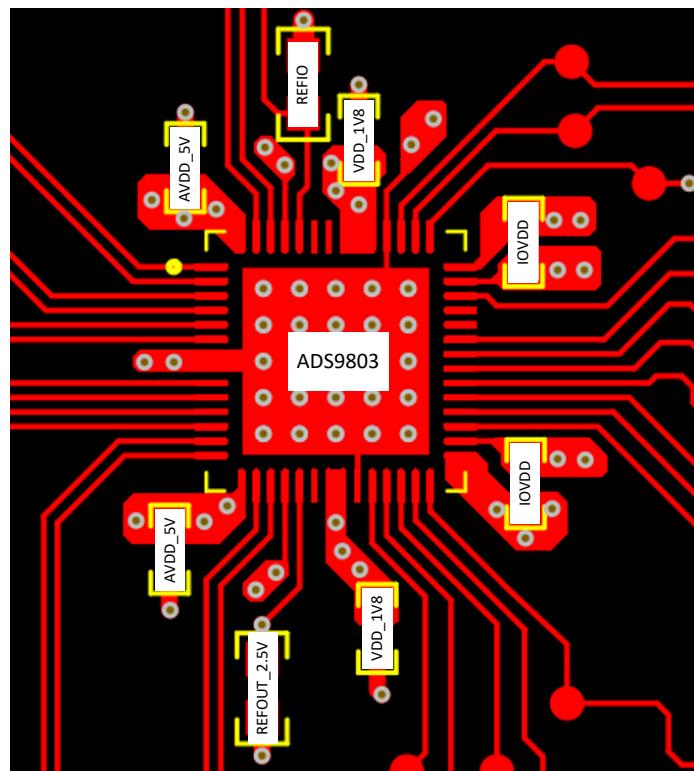


図 8-5. レイアウト例

## 9 デバイスおよびドキュメントのサポート

テキサス・インスツルメンツでは、幅広い開発ツールを提供しています。デバイスの性能の評価、コードの生成、システムの開発を行うためのツールやソフトウェアを、以下に挙げます。

### 9.1 ドキュメントの更新通知を受け取る方法

ドキュメントの更新についての通知を受け取るには、[www.tij.co.jp](http://www.tij.co.jp) のデバイス製品フォルダを開いてください。[通知] をクリックして登録すると、変更されたすべての製品情報に関するダイジェストを毎週受け取ることができます。変更の詳細については、改訂されたドキュメントに含まれている改訂履歴をご覧ください。

### 9.2 サポート・リソース

テキサス・インスツルメンツ E2E™ サポート・フォーラムは、エンジニアが検証済みの回答と設計に関するヒントをエキスパートから迅速かつ直接得ることができる場所です。既存の回答を検索したり、独自の質問をしたりすることで、設計で必要な支援を迅速に得ることができます。

リンクされているコンテンツは、各寄稿者により「現状のまま」提供されるものです。これらはテキサス・インスツルメンツの仕様を構成するものではなく、必ずしもテキサス・インスツルメンツの見解を反映したものではありません。テキサス・インスツルメンツの使用条件を参照してください。

### 9.3 商標

テキサス・インスツルメンツ E2E™ is a trademark of Texas Instruments.

すべての商標は、それぞれの所有者に帰属します。

### 9.4 静電気放電に関する注意事項



この IC は、ESD によって破損する可能性があります。テキサス・インスツルメンツは、IC を取り扱う際には常に適切な注意を払うことをお勧めします。正しい取り扱いおよび設置手順に従わない場合、デバイスを破損するおそれがあります。

ESD による破損は、わずかな性能低下からデバイスの完全な故障まで多岐にわたります。精密な IC の場合、パラメータがわずかに変化するだけで公表されている仕様から外れる可能性があるため、破損が発生しやすくなっています。

### 9.5 用語集

#### テキサス・インスツルメンツ用語集

この用語集には、用語や略語の一覧および定義が記載されています。

## 10 改訂履歴

資料番号末尾の英字は改訂を表しています。その改訂履歴は英語版に準じています。

日付	改訂	注
August 2025	*	初版リリース

## 11 メカニカル、パッケージ、および注文情報

以降のページには、メカニカル、パッケージ、および注文に関する情報が記載されています。この情報は、指定のデバイスに使用できる最新のデータです。このデータは、予告なく、このドキュメントを改訂せずに変更される場合があります。本データシートのブラウザ版を使用されている場合は、画面左側の説明をご覧ください。

## 重要なお知らせと免責事項

テキサス・インスツルメンツは、技術データと信頼性データ（データシートを含みます）、設計リソース（リファレンス デザインを含みます）、アプリケーションや設計に関する各種アドバイス、Web ツール、安全性情報、その他のリソースを、欠陥が存在する可能性のある「現状のまま」提供しており、商品性および特定目的に対する適合性の默示保証、第三者の知的財産権の非侵害保証を含むいかなる保証も、明示的または默示的にかかわらず拒否します。

これらのリソースは、テキサス・インスツルメンツ製品を使用する設計の経験を積んだ開発者への提供を意図したものです。(1) お客様のアプリケーションに適した テキサス・インスツルメンツ製品の選定、(2) お客様のアプリケーションの設計、検証、試験、(3) お客様のアプリケーションに該当する各種規格や、その他のあらゆる安全性、セキュリティ、規制、または他の要件への確実な適合に関する責任を、お客様のみが単独で負うものとします。

上記の各種リソースは、予告なく変更される可能性があります。これらのリソースは、リソースで説明されている テキサス・インスツルメンツ製品を使用するアプリケーションの開発の目的でのみ、テキサス・インスツルメンツはその使用をお客様に許諾します。これらのリソースに関して、他の目的で複製することや掲載することは禁止されています。テキサス・インスツルメンツや第三者の知的財産権のライセンスが付与されている訳ではありません。お客様は、これらのリソースを自身で使用した結果発生するあらゆる申し立て、損害、費用、損失、責任について、テキサス・インスツルメンツおよびその代理人を完全に補償するものとし、テキサス・インスツルメンツは一切の責任を拒否します。

テキサス・インスツルメンツの製品は、[テキサス・インスツルメンツの販売条件](#)、または [ti.com](http://ti.com) やかかる テキサス・インスツルメンツ製品の関連資料などのいづれかを通じて提供する適用可能な条項の下で提供されています。テキサス・インスツルメンツがこれらのリソースを提供することは、適用されるテキサス・インスツルメンツの保証または他の保証の放棄の拡大や変更を意味するものではありません。

お客様がいかなる追加条項または代替条項を提案した場合でも、テキサス・インスツルメンツはそれらに異議を唱え、拒否します。

郵送先住所: Texas Instruments, Post Office Box 655303, Dallas, Texas 75265

Copyright © 2025, Texas Instruments Incorporated

**PACKAGING INFORMATION**

Orderable part number	Status (1)	Material type (2)	Package   Pins	Package qty   Carrier	RoHS (3)	Lead finish/ Ball material (4)	MSL rating/ Peak reflow (5)	Op temp (°C)	Part marking (6)
ADS9803RSHR	Active	Production	VQFN (RSH)   56	4000   LARGE T&R	Yes	NIPDAU	Level-3-260C-168 HR	-40 to 125	ADS9803

<sup>(1)</sup> **Status:** For more details on status, see our [product life cycle](#).

<sup>(2)</sup> **Material type:** When designated, preproduction parts are prototypes/experimental devices, and are not yet approved or released for full production. Testing and final process, including without limitation quality assurance, reliability performance testing, and/or process qualification, may not yet be complete, and this item is subject to further changes or possible discontinuation. If available for ordering, purchases will be subject to an additional waiver at checkout, and are intended for early internal evaluation purposes only. These items are sold without warranties of any kind.

<sup>(3)</sup> **RoHS values:** Yes, No, RoHS Exempt. See the [TI RoHS Statement](#) for additional information and value definition.

<sup>(4)</sup> **Lead finish/Ball material:** Parts may have multiple material finish options. Finish options are separated by a vertical ruled line. Lead finish/Ball material values may wrap to two lines if the finish value exceeds the maximum column width.

<sup>(5)</sup> **MSL rating/Peak reflow:** The moisture sensitivity level ratings and peak solder (reflow) temperatures. In the event that a part has multiple moisture sensitivity ratings, only the lowest level per JEDEC standards is shown. Refer to the shipping label for the actual reflow temperature that will be used to mount the part to the printed circuit board.

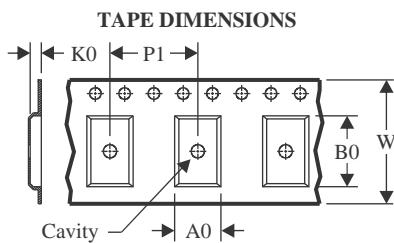
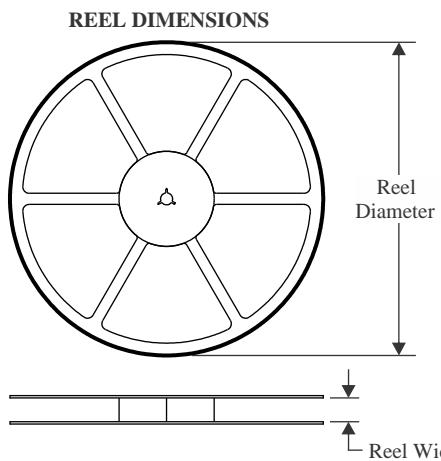
<sup>(6)</sup> **Part marking:** There may be an additional marking, which relates to the logo, the lot trace code information, or the environmental category of the part.

Multiple part markings will be inside parentheses. Only one part marking contained in parentheses and separated by a "~" will appear on a part. If a line is indented then it is a continuation of the previous line and the two combined represent the entire part marking for that device.

**Important Information and Disclaimer:** The information provided on this page represents TI's knowledge and belief as of the date that it is provided. TI bases its knowledge and belief on information provided by third parties, and makes no representation or warranty as to the accuracy of such information. Efforts are underway to better integrate information from third parties. TI has taken and continues to take reasonable steps to provide representative and accurate information but may not have conducted destructive testing or chemical analysis on incoming materials and chemicals. TI and TI suppliers consider certain information to be proprietary, and thus CAS numbers and other limited information may not be available for release.

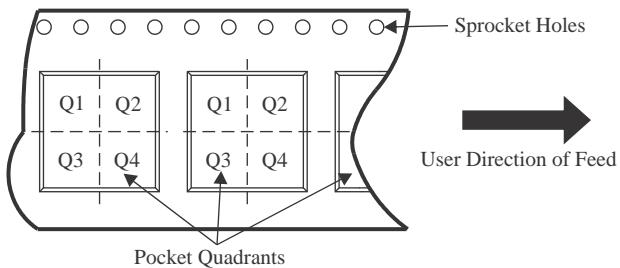
In no event shall TI's liability arising out of such information exceed the total purchase price of the TI part(s) at issue in this document sold by TI to Customer on an annual basis.

## TAPE AND REEL INFORMATION



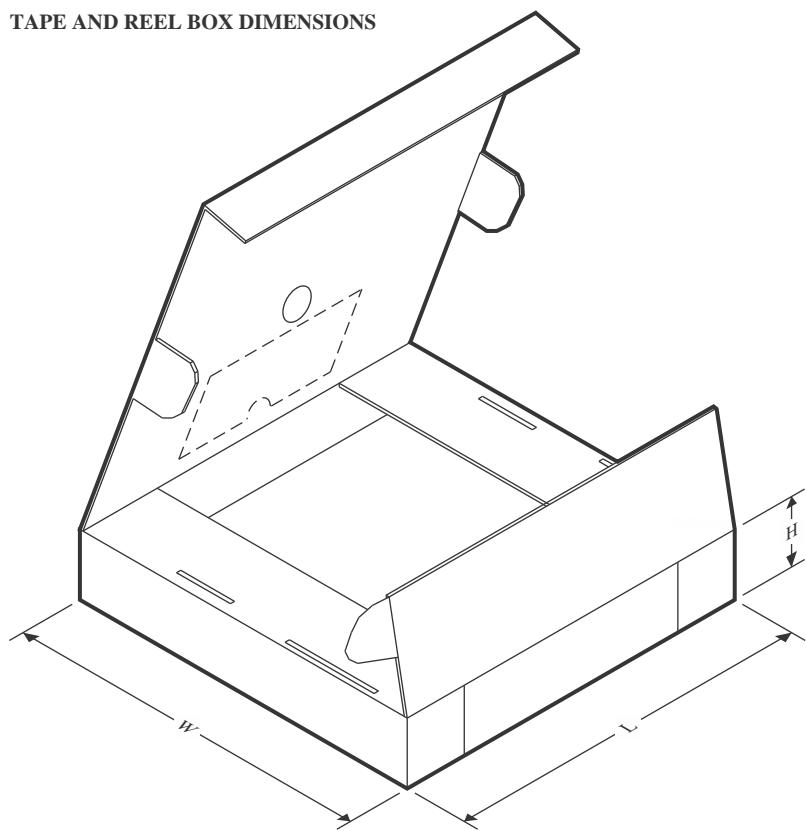
A0	Dimension designed to accommodate the component width
B0	Dimension designed to accommodate the component length
K0	Dimension designed to accommodate the component thickness
W	Overall width of the carrier tape
P1	Pitch between successive cavity centers

**QUADRANT ASSIGNMENTS FOR PIN 1 ORIENTATION IN TAPE**



\*All dimensions are nominal

Device	Package Type	Package Drawing	Pins	SPQ	Reel Diameter (mm)	Reel Width W1 (mm)	A0 (mm)	B0 (mm)	K0 (mm)	P1 (mm)	W (mm)	Pin1 Quadrant
ADS9803RSHR	VQFN	RSH	56	4000	330.0	16.4	7.3	7.3	1.1	12.0	16.0	Q2

**TAPE AND REEL BOX DIMENSIONS**


\*All dimensions are nominal

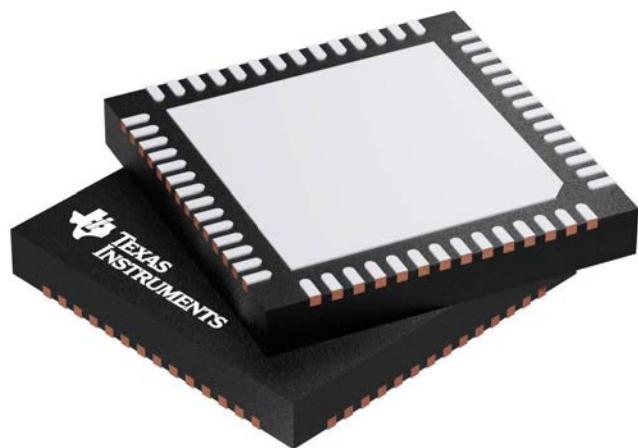
Device	Package Type	Package Drawing	Pins	SPQ	Length (mm)	Width (mm)	Height (mm)
ADS9803RSHR	VQFN	RSH	56	4000	367.0	367.0	35.0

## GENERIC PACKAGE VIEW

RSH 56

VQFN - 1 mm max height

PLASTIC QUAD FLATPACK - NO LEAD



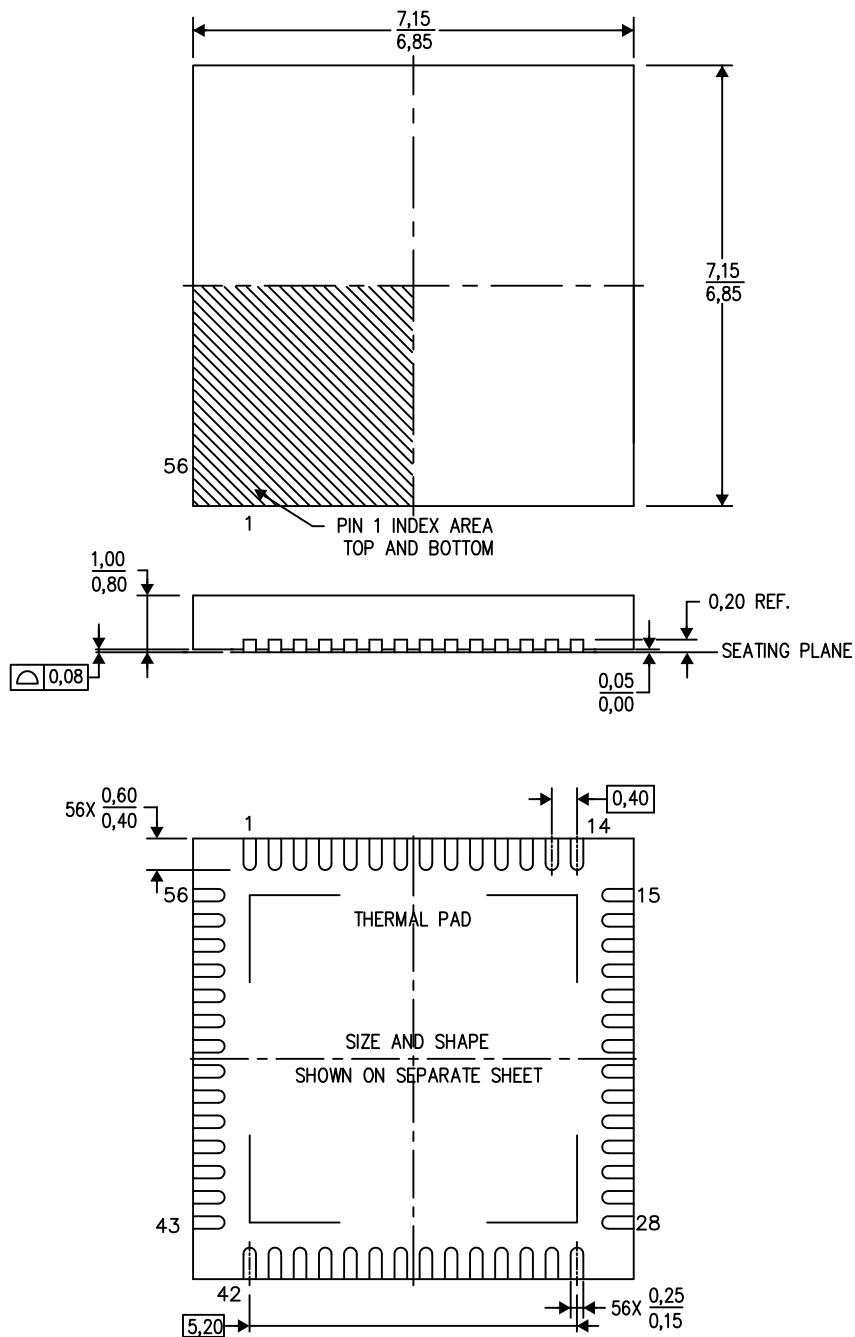
Images above are just a representation of the package family, actual package may vary.  
Refer to the product data sheet for package details.

4207513/D

## MECHANICAL DATA

RSH (S-PVQFN-N56)

PLASTIC QUAD FLATPACK NO-LEAD



4207513/C 03/13

- NOTES:
- A. All linear dimensions are in millimeters. Dimensioning and tolerancing per ASME Y14.5M-1994.
  - B. This drawing is subject to change without notice.
  - C. Quad Flatpack, No-leads (QFN) package configuration.
  - D. The package thermal pad must be soldered to the board for thermal and mechanical performance.
  - E. See the additional figure in the Product Data Sheet for details regarding the exposed thermal pad features and dimensions.

# THERMAL PAD MECHANICAL DATA

RSH (S-PVQFN-N56)

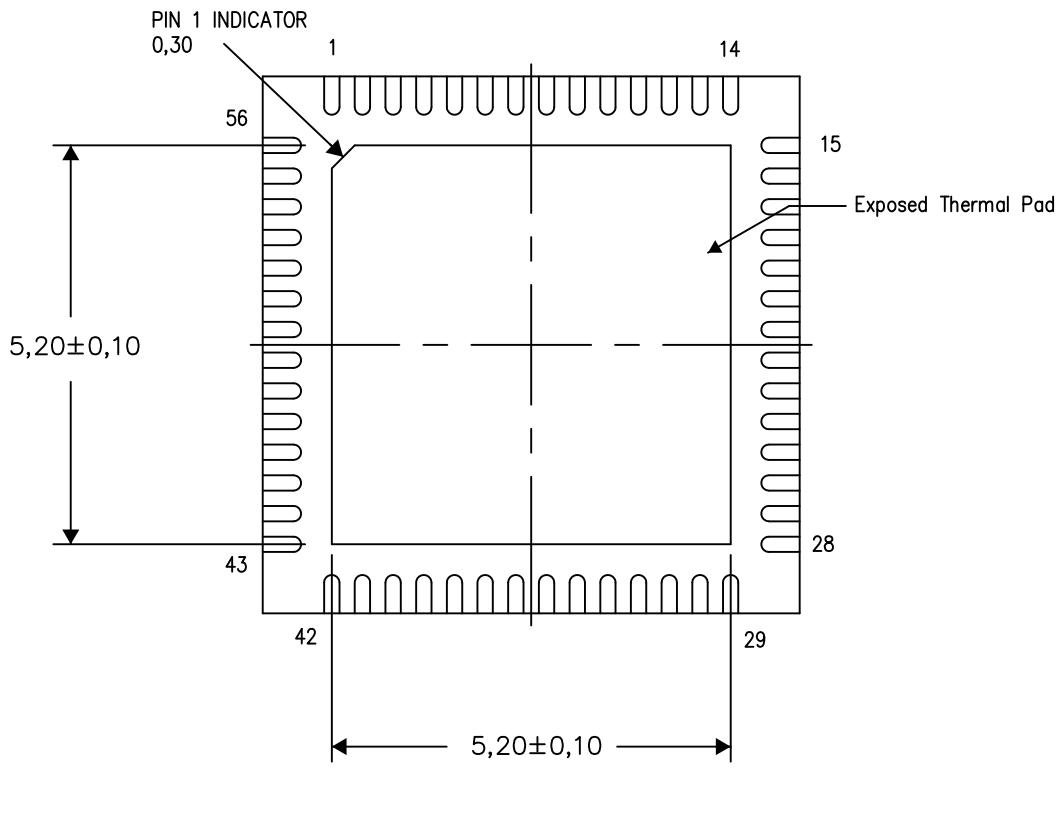
PLASTIC QUAD FLATPACK NO-LEAD

## THERMAL INFORMATION

This package incorporates an exposed thermal pad that is designed to be attached directly to an external heatsink. The thermal pad must be soldered directly to the printed circuit board (PCB). After soldering, the PCB can be used as a heatsink. In addition, through the use of thermal vias, the thermal pad can be attached directly to the appropriate copper plane shown in the electrical schematic for the device, or alternatively, can be attached to a special heatsink structure designed into the PCB. This design optimizes the heat transfer from the integrated circuit (IC).

For information on the Quad Flatpack No-Lead (QFN) package and its advantages, refer to Application Report, QFN/SON PCB Attachment, Texas Instruments Literature No. SLUA271. This document is available at [www.ti.com](http://www.ti.com).

The exposed thermal pad dimensions for this package are shown in the following illustration.



Bottom View

Exposed Thermal Pad Dimensions

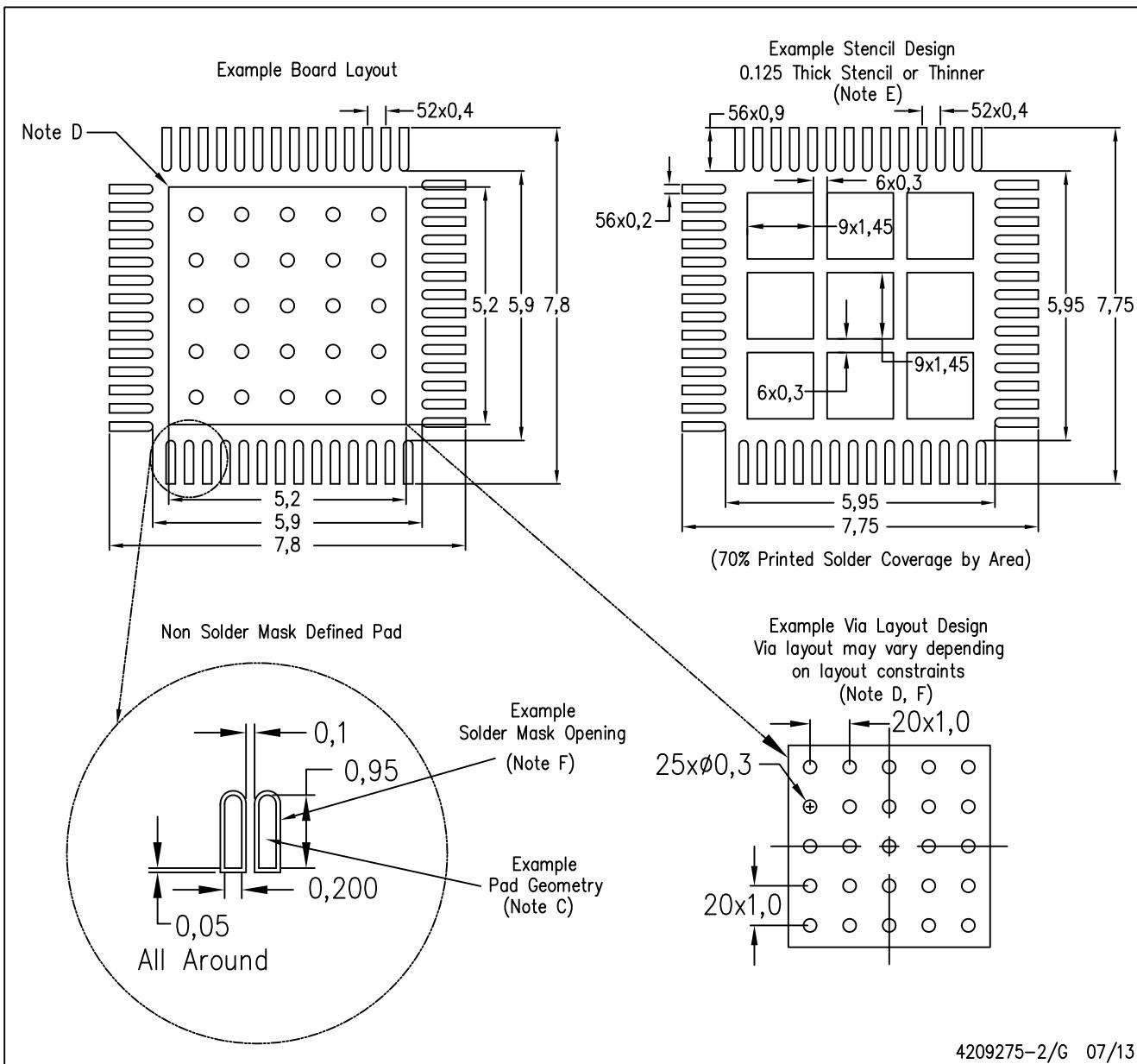
4207553-2/l 07/13

NOTE: All linear dimensions are in millimeters

# LAND PATTERN DATA

RSH (S-PVQFN-N56)

PLASTIC QUAD FLATPACK NO-LEAD



- NOTES:
- A. All linear dimensions are in millimeters.
  - B. This drawing is subject to change without notice.
  - C. Publication IPC-7351 is recommended for alternate designs.
  - D. This package is designed to be soldered to a thermal pad on the board. Refer to Application Note, Quad Flat-Pack Packages, Texas Instruments Literature No. SLUA271, and also the Product Data Sheets for specific thermal information, via requirements, and recommended board layout. These documents are available at [www.ti.com](http://www.ti.com) <<http://www.ti.com>>.
  - E. Laser cutting apertures with trapezoidal walls and also rounding corners will offer better paste release. Customers should contact their board assembly site for stencil design recommendations. Refer to IPC 7525 for stencil design considerations.
  - F. Customers should contact their board fabrication site for recommended solder mask tolerances and via tenting recommendations for vias placed in the thermal pad.

## 重要なお知らせと免責事項

TIは、技術データと信頼性データ(データシートを含みます)、設計リソース(リファレンス デザインを含みます)、アプリケーションや設計に関する各種アドバイス、Webツール、安全性情報、その他のリソースを、欠陥が存在する可能性のある「現状のまま」提供しており、商品性および特定目的に対する適合性の默示保証、第三者の知的財産権の非侵害保証を含むいかなる保証も、明示的または默示的にかかわらず拒否します。

これらのリソースは、TI製品を使用する設計の経験を積んだ開発者への提供を意図したもので、(1)お客様のアプリケーションに適したTI製品の選定、(2)お客様のアプリケーションの設計、検証、試験、(3)お客様のアプリケーションに該当する各種規格や、その他のあらゆる安全性、セキュリティ、規制、または他の要件への確実な適合に関する責任を、お客様のみが単独で負うものとします。

上記の各種リソースは、予告なく変更される可能性があります。これらのリソースは、リソースで説明されているTI製品を使用するアプリケーションの開発の目的でのみ、TIはその使用をお客様に許諾します。これらのリソースに関して、他の目的で複製することや掲載することは禁止されています。TIや第三者の知的財産権のライセンスが付与されている訳ではありません。お客様は、これらのリソースを自身で使用した結果発生するあらゆる申し立て、損害、費用、損失、責任について、TIおよびその代理人を完全に補償するものとし、TIは一切の責任を拒否します。

TIの製品は、[TIの販売条件](#)、[TIの総合的な品質ガイドライン](#)、[ti.com](#)またはTI製品などに関連して提供される他の適用条件に従い提供されます。TIがこれらのリソースを提供することは、適用されるTIの保証または他の保証の放棄の拡大や変更を意味するものではありません。TIがカスタム、またはカスタマー仕様として明示的に指定していない限り、TIの製品は標準的なカタログに掲載される汎用機器です。

お客様がいかなる追加条項または代替条項を提案する場合も、TIはそれらに異議を唱え、拒否します。

Copyright © 2025, Texas Instruments Incorporated

最終更新日：2025年10月