

# ADS932x デュアル、同時サンプリング、小型、16 ビット、5 MSPS SAR ADC

## 1 特長

- 16 ビット SAR ADC
  - ADS9327: チャンネルあたり 5MSPS
  - ADS9326: チャンネルあたり 3MSPS
- 二つの差動、同時サンプリングチャンネル
- 5V と 3.3V のアナログ電源動作をサポート
- 優れた DC および AC 性能:
  - 信号対雑音比: 5MSPS 時に 93dB
  - INL:  $\pm 1$ LSB, DNL:  $\pm 0.75$ LSB
- 内蔵機能:
  - 内部リファレンス
  - 同相電圧出力バッファ
  - 外部基準電圧入力用のバッファを内蔵
  - 最大 128 サンプルのシンプル データ平均
  - 最大 8 サンプルの移動データ平均
- 構成可能なシリアル インターフェイス:
  - 各 ADC チャンネルに 2 つのシリアル出力
  - 各 ADC チャンネルに 1 つのシリアル出力
  - 両方の ADC チャンネルで 1 つのシリアル出力
  - デジタイズ機能をサポートしています
- シリアル インターフェイスの 8 ビット CRC
- 拡張温度範囲:  $-40^{\circ}\text{C} \sim +125^{\circ}\text{C}$

## 2 アプリケーション

- アブソリュート光エンコーダ
- アブソリュート磁気エンコーダ
- サーボドライブ位置フィードバック
- 超音波スキャナ
- プログラマブル DC 電源、電子負荷
- ソナー

## 3 説明

ADS932x は、リファレンスとリファレンス バッファを統合した高速、デュアル、同時サンプリングのアナログ/デジタルコンバータ (ADC) です。ADS932x は、優れた AC 性能を備えているため、広帯域データ収集 (DAQ) システムに最適なデバイスです。

このデバイスは、SPI 互換のシリアル・インターフェイスをサポートしています。このインターフェイスにより、ADS932x はさまざまなマイクロコントローラ、デジタル信号プロセッサ (DSP)、フィールド プログラマブル ゲート アレイ (FPGA) と簡単に組み合わせることができます。また、雑音環境での AC 性能を向上させるデータ平均化機能もサポートしています。

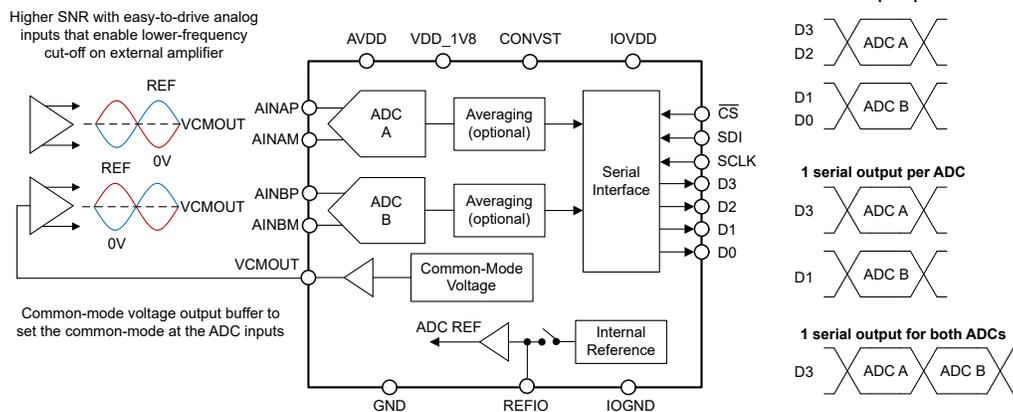
### パッケージ情報

部品番号	パッケージ (1)	パッケージ サイズ(2)
ADS932x	VAE (VQFN, 22)	3.5mm × 3.5mm

- 詳細については、[メカニカル](#)、[パッケージ](#)、および[注文情報](#)をご覧ください。
- パッケージ サイズ (長さ × 幅) は公称値であり、該当する場合はピンも含まれます。

### 製品情報

部品番号	分解能	SNR	INL
ADS932x	16 ビット	93dB	$\pm 1$ LSB



デバイスのブロック図

## 目次

1 特長.....	1	8 レジスタ マップ: ADS9327.....	38
2 アプリケーション.....	1	8.1 レジスタ バンク 0.....	38
3 説明.....	1	8.2 レジスタ バンク 1.....	43
4 デバイスの比較.....	2	8.3 レジスタ バンク 2.....	56
5 ピン構成および機能.....	3	9 レジスタ マップ: ADS9326.....	57
6 仕様.....	5	9.1 レジスタ バンク 0.....	57
6.1 絶対最大定格.....	5	9.2 レジスタ バンク 1.....	62
6.2 ESD 定格.....	5	9.3 レジスタ バンク 2.....	73
6.3 熱に関する情報.....	5	10 アプリケーションと実装.....	74
6.4 推奨動作条件.....	6	10.1 アプリケーション情報.....	74
6.5 電気的特性.....	7	10.2 代表的なアプリケーション.....	74
6.6 電気的特性: AVDD = 5V.....	8	10.3 電源に関する推奨事項.....	76
6.7 電気的特性: AVDD = 3.3V.....	9	10.4 レイアウト.....	76
6.8 タイミング要件.....	10	11 デバイスおよびドキュメントのサポート.....	78
6.9 スイッチング特性.....	10	11.1 ドキュメントのサポート.....	78
6.10 タイミング図.....	11	11.2 ドキュメントの更新通知を受け取る方法.....	78
6.11 代表的特性.....	14	11.3 サポート・リソース.....	78
7 詳細説明.....	22	11.4 商標.....	78
7.1 概要.....	22	11.5 静電気放電に関する注意事項.....	78
7.2 機能ブロック図.....	22	11.6 用語集.....	78
7.3 機能説明.....	22	12 改訂履歴.....	78
7.4 デバイスの機能モード.....	33	13 メカニカル、パッケージ、および注文情報.....	79
7.5 プログラミング.....	35	13.1 メカニカル データ.....	80

## 4 デバイスの比較

分解能 (ビット数)	5MSPS	3MSPS
18	ADS9317	ADS9316
16	ADS9327	ADS9326
14	ADS9337	ADS9336
12	ADS9347	ADS9346

## 5 ピン構成および機能

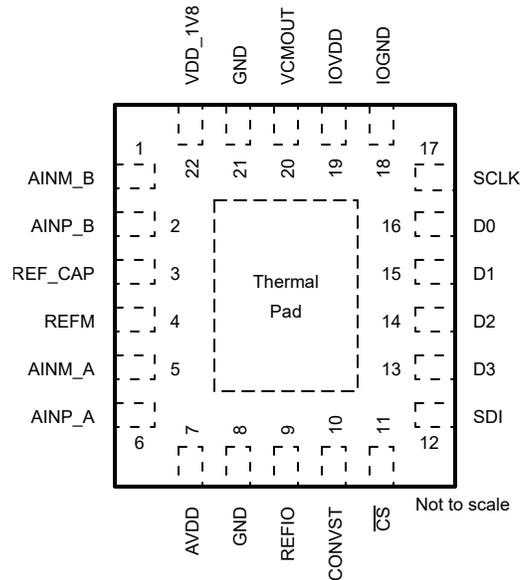


図 5-1. VAE パッケージ、22 ピン VQFN (上面図)

表 5-1. ピンの機能

ピン		タイプ <sup>(1)</sup>	説明
名称	番号		
AINM_A	5	I	ADC A の負アナログ入力
AINM_B	1	I	ADC B の負アナログ入力
AINP_A	6	I	ADC A の正アナログ入力
AINP_B	2	I	ADC B の正アナログ入力
AVDD	7	P	5V アナログ電源ピン。1μF デカップリング コンデンサをピン 7 とピン 8 の間に接続します。
CONVST	10	I	変換開始入力ピン。CONVST の立ち下がりエッジにより、ADC A と ADC B の変換が開始します
CS	11	I	チップ・セレクト入力ピン。アクティブ Low。 CS が Low のとき、ホストとデバイスは通信します。CS を "High" にすると、データ出力ピンは Hi-Z になります。
D0	16	O	シリアル通信ピン: データ出力 0。
D1	15	O	シリアル通信ピン: データ出力 1。
D2	14	O	シリアル通信ピン: データ出力 2。
D3	13	O	シリアル通信ピン: データ出力 3。
GND	8, 21	G	グラウンド。
IOGND	18	G	FB IOVDD 電源用グラウンド。GND に接続
IOVDD	19	P	インターフェイス電源ピン。 0.1μF デカップリング コンデンサをピン 18 とピン 19 の間に接続します。
REFIO	9	I/O	内部リファレンス電圧出力。外部基準電圧入力ピン (I)1μF のデカップリング コンデンサを GND に接続します。
REF_CAP	3	O	内部リファレンス電圧出力。1μF デカップリング コンデンサをピン 3 とピン 4 の間に接続します。
REFM	4	G	ADC の負のリファレンス入力。デバイスの GND に外部で接続。
SCLK	17	I	シリアル インターフェースのクロック入力ピン。

表 5-1. ピンの機能 (続き)

ピン		タイプ <sup>(1)</sup>	説明
名称	番号		
SDI	12	I	シリアル データ入力ピン。 このピンは、デバイスのレジスタをプログラムします。
VCMOUT <sup>(2)</sup>	20	O	同相電圧出力。VCMOUT を使用して、ADC 入力の同相電圧を設定します。100nF のデカップリング コンデンサを接地します。
VDD_1V8	22	P	1.8V アナログ電源ピン。1μF デカップリング コンデンサをピン 21 とピン 22 の間に接続します。
サーマル パッド	パッド	P	露出したサーマル パッド。GND に接続。

- (1) I = 入力、O = 出力、I/O = 入力または出力、G = グランド、P = 電源。  
(2) PADS9326VAER には適用されません。100nF のデカップリング コンデンサを接地します。

## 6 仕様

### 6.1 絶対最大定格

動作時周囲温度範囲内 (特に記述のない限り)<sup>(1)</sup>

	最小値	最大値	単位
AVDD から GND	-0.3	5.5	V
VDD_1V8 から GND へ	-0.3	2.1	V
IOVDD から IOGND へ	-0.3	3.7	V
AINAP, AINAM, AINBP, AINBM から GND へ	-0.3	AVDD + 0.3	V
REFIO から REFM へ	-0.3	AVDD + 0.3	V
デジタル入力から IOGND へ	-0.3	IOVDD + 0.3	V
REFM から GND へ	-0.3	0.3	V
IOGND から GND へ	-0.3	0.3	V
電源ピンを除く任意のピンへの入力電流 <sup>(2)</sup>	-10	10	mA
接合部温度、T <sub>J</sub>	-40	150	°C
保管温度、T <sub>stg</sub>	-60	150	°C

- (1) 絶対最大定格外での操作は、デバイスに恒久的な損傷を引き起こす可能性があります。「絶対最大定格」は、これらの条件において、または「推奨動作条件」に示された値を超える他のいかなる条件でも、本製品が正しく動作することを暗に示すものではありません。絶対最大定格の範囲内であっても推奨動作条件の範囲外で使用した場合、本デバイスは完全に機能するとは限らず、このことが本デバイスの信頼性、機能、性能に影響を及ぼし、本デバイスの寿命を縮める可能性があります。
- (2) ピンの電流を 10 mA 以下に制限します。

### 6.2 ESD 定格

		値	単位
V <sub>(ESD)</sub>	静電放電	人体モデル (HBM)、ANSI/ESDA/JEDEC JS-001 に準拠、すべてのピン <sup>(1)</sup>	V
		デバイス帯電モデル (CDM)、ANSI/ESDA/JEDEC JS-002 に準拠、すべてのピン <sup>(2)</sup>	

- (1) JEDEC のドキュメント JEP155 に、500V HBM では標準の ESD 管理プロセスで安全な製造が可能であると規定されています。
- (2) JEDEC のドキュメント JEP157 に、250V CDM では標準の ESD 管理プロセスで安全な製造が可能であると規定されています。

### 6.3 熱に関する情報

熱評価基準 <sup>(1)</sup>		ADS93x7	単位
		VAE (VQFN)	
		22 ピン	
R <sub>θJA</sub>	接合部から周囲への熱抵抗	36.5	°C/W
R <sub>θJC(top)</sub>	接合部からケース (上面) への熱抵抗	26.5	°C/W
R <sub>θJB</sub>	接合部から基板への熱抵抗	7.9	°C/W
Ψ <sub>JT</sub>	接合部から上面への特性パラメータ	0.8	°C/W
Ψ <sub>JB</sub>	接合部から基板への特性パラメータ	7.8	°C/W
R <sub>θJC(bot)</sub>	接合部からケース (底面) への熱抵抗	11.8	°C/W

- (1) 従来および最新の熱評価基準の詳細については、『[半導体および IC パッケージの熱評価基準](#)』アプリケーション ノートを参照してください。

## 6.4 推奨動作条件

外気温度範囲での動作時 (特に記述がない限り)

パラメータ		テスト条件	最小値	標準値	最大値	単位
<b>電源</b>						
AVDD	アナログ電源	AVDD から GND、AVDD = 5V	4.5	5	5.25	V
		AVDD から GND、AVDD = 3.3V	3.1	3.3	3.5	
VDD_1V8	電源	VDD_1V8 から GND へ	1.75	1.8	1.85	V
IOVDD	インターフェイス電源	IOVDD から IOGND へ	1.75		3.5	V
<b>基準電圧</b>						
V <sub>REF</sub>	ADC へのリファレンス電圧	外部リファレンス電圧、AVDD = 5V	2.48	4.096	4.116	V
		外部リファレンス電圧、AVDD = 3.3V	2.48	2.5	2.52	
<b>アナログ入力</b>						
V <sub>IN</sub>	絶対入力電圧	AINx <sup>(1)</sup> から GND へ	0		AVDD	V
FSR	フルスケール入力レンジ	(AINP_x – AINM_x)	-V <sub>REF</sub>		V <sub>REF</sub>	V
V <sub>CM</sub>	同相入力範囲	(AINP_x + AINM_x) / 2	V <sub>CMOUT</sub> – 0.04		V <sub>CMOUT</sub> + 0.04	V
<b>温度範囲</b>						
T <sub>A</sub>	周囲温度		-40	25	125	°C

(1) AINx とは、アナログ入力の AINAP、AINAM、AINBP、AINBM を指します。

## 6.5 電気的特性

AVDD\_ = 3V~5.25V、VDD\_1V8 = 1.75V~1.85V、内部リファレンス、最大スループット (特に記述のない限り)、T<sub>A</sub> = -40°C~+125°C での最小値および最大値、T<sub>A</sub> = 25°C での標準値

パラメータ		テスト条件	最小値	標準値	最大値	単位
<b>DC 特性</b>						
	分解能	ミッシング コードなし		16		ビット
DNL	微分非直線性		-0.75	±0.4	0.75	LSB
INL	積分非直線性		-1	±0.25	1	LSB
V <sub>(OS)</sub>	入力オフセット誤差		-2	±0.4	2	LSB
dV <sub>OS</sub> /dT	入力オフセット誤差の熱ドリフト			0.6	2	μV/°C
	オフセット誤差の一致	V <sub>(OS)</sub> (ADC_A – ADC_B)		1		LSB
G <sub>E</sub>	ゲイン誤差 <sup>(1)</sup>		-0.02	±0.002	0.02	%FSR
dG <sub>E</sub> /dT	ゲイン誤差の熱ドリフト	リファレンス バッファがオン <sup>(1)</sup>		0.8	2.2	ppm/°C
dG <sub>E</sub> /dT	ゲイン誤差の熱ドリフト	リファレンス バッファがオフ <sup>(2)</sup>		0.25	0.9	ppm/°C
	ゲイン誤差の一致	G <sub>E</sub> (ADC_A – ADC_B)		±0.002		%FSR
<b>電源</b>						
PSRR	電源除去比	周波数 < 100kHz の AVDD で 100mV <sub>pp</sub> のリップル		80		dB
<b>アナログ入力</b>						
CSH	サンプリング容量			18		pF
BW	アナログ入力帯域幅	-0.1dB の入力信号		1.5		MHz
I <sub>B</sub>	アナログ入力リーク電流	アイドル チャネル		0.5	1	μA
<b>同相モード出力バッファ</b>						
V <sub>CMOUT</sub>	同相出力電圧	V <sub>REF</sub> = 4.096 V	2.2	2.24	2.28	V
	出力電流駆動		0		15	μA
<b>内部リファレンス</b>						
V <sub>REF</sub>	REFIO ピンの電圧 (出力として構成)	REFIO ピンの 1μF コンデンサ、T <sub>A</sub> = 25°C	V <sub>REF</sub> - 0.005	V <sub>REF</sub>	V <sub>REF</sub> + 0.005	V
	基準温度ドリフト			5	15	ppm/°C
<b>デジタル入力</b>						
V <sub>IL</sub>	入力 Low ロジックレベル		-0.1		0.5	V
V <sub>IH</sub>	入力 High ロジックレベル		IOVDD - 0.5		IOVDD	V
<b>デジタル出力</b>						
V <sub>OL</sub>	出力 Low ロジックレベル	I <sub>OL</sub> = 200 μA シンク	0		0.4	V
V <sub>OH</sub>	出力 High ロジックレベル	I <sub>OH</sub> = 200 μA ソース	IOVDD - 0.4		IOVDD	V
<b>サンプリングのダイナミック特性</b>						
t <sub>A</sub>	アパーチャの遅延			4		ns
	アパーチャの不一致			100		ps
t <sub>JITTER</sub>	アパーチャ ジッタ			1		ps

(1) これらの仕様は全動作温度範囲での変動を想定していますが、誤差が内部リファレンスから寄与するものではありません。

(2) 詳細については、「外部リファレンス バッファ付き外部リファレンス」を参照してください。

### 6.6 電気的特性 : AVDD = 5V

AVDD = 4.75V~5.25V、VDD\_1V8 = 1.75V~1.85V、IOVDD = 1.75V~3.3V、内部 V<sub>REF</sub> = 4.096V、最大スループット (特に記述のない限り)、T<sub>A</sub> = -40°C~+125°C での最小値および最大値、T<sub>A</sub> = 25°C での標準値

パラメータ		テスト条件	最小値	標準値	最大値	単位
<b>AC 特性</b>						
SINAD	信号対雑音比 + 歪み比	f <sub>IN</sub> = 2kHz	90.5	92.9		dB
		f <sub>IN</sub> = 1MHz		91.4		
SNR	信号対雑音比	f <sub>IN</sub> = 2kHz	90.8	93		dB
		f <sub>IN</sub> = 1MHz		91.5		
THD	全高調波歪	f <sub>IN</sub> = 2kHz		-115		dB
		f <sub>IN</sub> = 1MHz		-100		
SFDR	スプリアスフリー ダイナミックレンジ	f <sub>IN</sub> = 2kHz		115		dB
		f <sub>IN</sub> = 1MHz		100		
CMRR	同相除去比	f <sub>IN</sub> = dc~1kHz, V <sub>IN</sub> = 50mV <sub>PP</sub>		70		dB
	チャンネル間アイソレーション	V <sub>IN_ADCA</sub> = 0V、 f <sub>IN_ADCB</sub> = 10kHz (100% FSR の場合)		-110		dB
<b>電源</b>						
I <sub>AVDD</sub>	AVDD からの消費電流	フルスピード (ADS9327)		4.2	4.9	mA
		フルスピード (ADS9326)		2.8	3.1	
		応答なし (アイドル) (ADS9327)		1.5	1.8	
		応答なし (アイドル) (ADS9326)		1.35	1.65	
		パワーダウン		0.4	0.8	
I <sub>VDD_1V8</sub>	VDD_1V8 からの電源電流	フルスピード (ADS9327)		9.5	10.3	mA
		フルスピード (ADS9326)		6.9	7.4	
		応答なし (アイドル) (ADS9327)		6.4	7.2	
		応答なし (アイドル) (ADS9326)		4.9	5.5	
		パワーダウン		0.9	1.1	
I <sub>IOVDD</sub>	IOVDD からの消費電流	フルスピード (ADS9327)、C <sub>LOAD</sub> = 10pF		2.7	3	mA
		フルスピード (ADS9326)、C <sub>LOAD</sub> = 10pF		1.6	1.8	
		変換なし (アイドル)、C <sub>LOAD</sub> = 10pF		0.25	0.35	
		パワーダウン、C <sub>LOAD</sub> = 10pF		0.25	0.35	

## 6.7 電気的特性 : AVDD = 3.3V

AVDD = 3.1V~3.5V、VDD\_1V8 = 1.75V~1.85V、IOVDD = 1.75V~3.3V、内部 V<sub>REF</sub> = 2.5V、最大スループット (特に記述のない限り)、T<sub>A</sub> = -40°C~+125°C での最小値および最大値、T<sub>A</sub> = 25°C での標準値

パラメータ		テスト条件	最小値	標準値	最大値	単位
<b>AC 特性</b>						
SINAD	信号対雑音比 + 歪み比	f <sub>IN</sub> = 2kHz	87.9	90.3		dB
		f <sub>IN</sub> = 1MHz		88.4		
SNR	信号対雑音比	f <sub>IN</sub> = 2kHz	88.1	90.4		dB
		f <sub>IN</sub> = 1MHz		88.5		
THD	全高調波歪	f <sub>IN</sub> = 2kHz		-112		dB
		f <sub>IN</sub> = 1MHz		-100		
SFDR	スプリアスフリー ダイナミックレンジ	f <sub>IN</sub> = 2kHz		112		dB
		f <sub>IN</sub> = 1MHz		100		
CMRR	同相除去比	f <sub>IN</sub> = dc~1kHz, V <sub>IN</sub> = 50mV <sub>PP</sub>		70		dB
	チャンネル間アイソレーション	V <sub>IN_ADCA</sub> = 0V、 f <sub>IN_ADCB</sub> = 10kHz (100% FSR の場合)		-110		dB
<b>電源</b>						
I <sub>AVDD</sub>	AVDD からの消費電流	フルスピード (ADS9327)		3	3.4	mA
		フルスピード (ADS9326)		2.1	2.5	
		応答なし (アイドル) (ADS9327)		1.2	1.5	
		応答なし (アイドル) (ADS9326)		1.2	1.5	
		パワーダウン		0.4	0.8	
I <sub>VDD_1V8</sub>	VDD_1V8 からの電源電流	フルスピード (ADS9327)		9.5	10.3	mA
		フルスピード (ADS9326)		6.9	7.4	
		応答なし (アイドル) (ADS9327)		6.4	7.2	
		応答なし (アイドル) (ADS9326)		4.9	5.5	
		パワーダウン		0.9	1.1	
I <sub>IOVDD</sub>	IOVDD からの消費電流	フルスピード (ADS9327)、C <sub>LOAD</sub> = 10pF		2.7	3	mA
		フルスピード (ADS9326)、C <sub>LOAD</sub> = 10pF		1.6	1.8	
		変換なし (アイドル)、C <sub>LOAD</sub> = 10pF		0.25	0.35	
		パワーダウン、C <sub>LOAD</sub> = 10pF		0.25	0.35	

## 6.8 タイミング要件

AVDD\_5V = 3V~5.25V で、VDD\_1V8 = 1.75V ~1.85V、IOVDD = 1.75V~3.3V、内部リファレンス、および最大スループット (特に記述のない限り)、 $C_L = 10\text{pF}$ 、 $T_A = -40^\circ\text{C} \sim +125^\circ\text{C}$  での最小値および最大値、 $T_A = 25^\circ\text{C}$  での標準値

			最小値	最大値	単位
<b>変換サイクル</b>					
f <sub>CYCLE</sub>	サンプリング周波数	ADS9327		5	MHz
		ADS9326		3	
t <sub>CYCLE</sub>	ADC サイクル時間周期		1 / f サイクル		s
f <sub>CLK</sub>	SCLK の最大周波数			80	MHz
t <sub>CLK</sub>	最小 SCLK 時間周期		12.5		ns
t <sub>ACQ</sub>	アキュイジション時間	ADS9327	70		ns
		ADS9326	133.33		
t <sub>PH_CV</sub>	CONVST High 時間		10		ns
t <sub>PL_CV</sub>	CONVST Low 時間		10		ns
<b>SPI インターフェイスのタイミング</b>					
t <sub>hi_CSZ</sub>	パルス幅 $\overline{\text{CS}}$ High		5		ns
t <sub>PH_CK</sub>	SCLK High 時間		0.40	0.60	t <sub>CLK</sub>
t <sub>PL_CK</sub>	SCLK Low 時間		0.40	0.60	t <sub>CLK</sub>
t <sub>d_CSCK</sub>	セットアップ時間: $\overline{\text{CS}}$ 立ち下がりから最初の SCLK の立ち上がりエッジまで		17		ns
t <sub>su_CKDI</sub>	セットアップ時間: SDI データ有効から対応する SCLK 立ち上がりエッジまで		3		ns
t <sub>ht_CKDI</sub>	ホールド時間: SCLK 立ち上がりエッジから SDI での対応するデータ有効まで		1		ns
t <sub>ht_CVCS</sub>	ホールド時間: CONVST の立ち下がりエッジから $\overline{\text{CS}}$ が安定するまで		5		ns
t <sub>ht_CKCS</sub>	遅延時間: 最後の SCLK 立ち下がりエッジから $\overline{\text{CS}}$ 立ち上がりまで		10		ns

## 6.9 スイッチング特性

AVDD\_5V = 3V~5.25V で、VDD\_1V8 = 1.75V ~1.85V、IOVDD = 1.75V~3.3V、内部リファレンス、および最大スループット (特に記述のない限り)、 $C_L = 10\text{pF}$ 、 $T_A = -40^\circ\text{C} \sim +125^\circ\text{C}$  での最小値および最大値、 $T_A = 25^\circ\text{C}$  での標準値

パラメータ	テスト条件	最小値	最大値	単位
<b>変換サイクル</b>				
t <sub>CONV</sub>	ADC 変換時間	ADS9327	130	ns
		ADS9326	200	
<b>リセット</b>				
t <sub>PU</sub>	デバイスのパワーアップ時間		100	ms
<b>SPI インターフェイスのタイミング</b>				
t <sub>den_CSDO</sub>	時間遅延: $\overline{\text{CS}}$ 立ち下がりエッジから SDO で有効なデータまで		16	ns
t <sub>dz_CSDO</sub>	時間遅延: $\overline{\text{CS}}$ の立ち上がりエッジから SDOHI-Z になる SDO まで		7.5	ns
t <sub>ht_CKDO</sub>	ホールド時間: SCLK 起動エッジから SDO での前のデータ有効まで	7.6		ns
t <sub>d_CKDO</sub>	時間遅延: SCLK 起動エッジから SDO での対応するデータ有効まで		17	ns

## 6.10 タイミング図

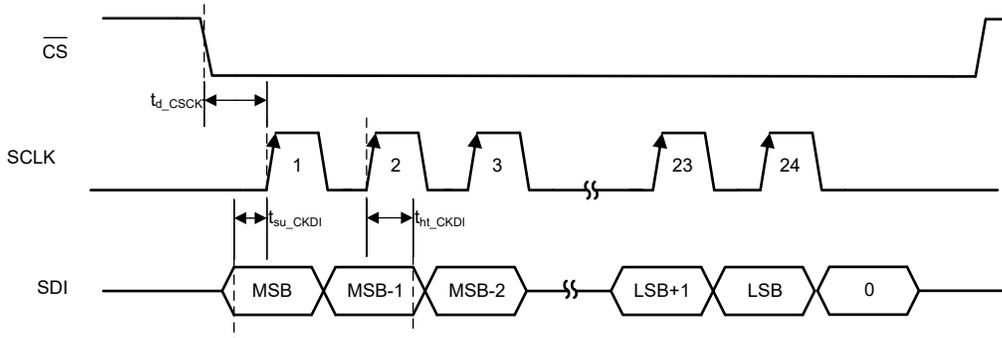


図 6-1. レジスタ動作の SDI タイミング

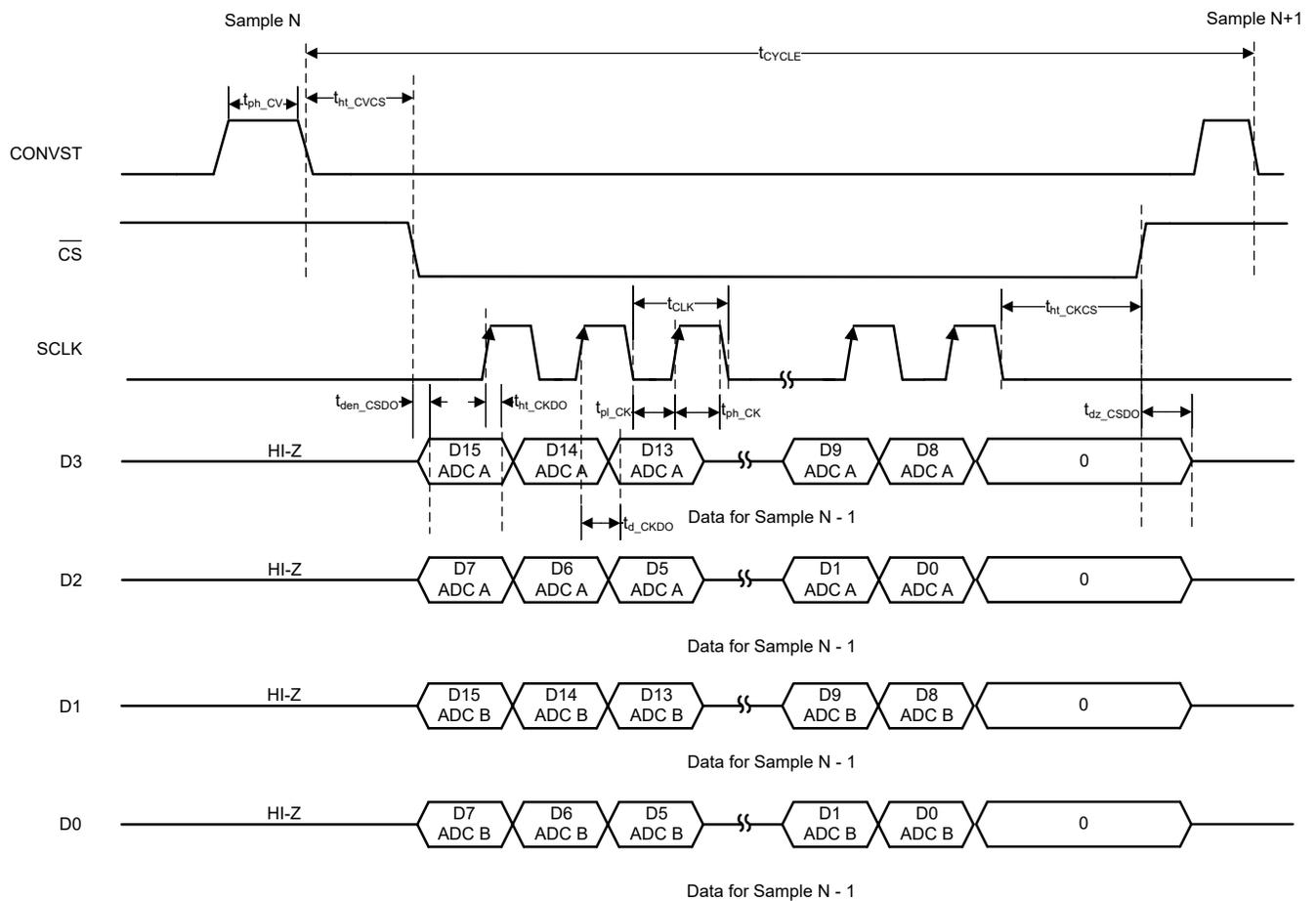


図 6-2. 変換サイクルのタイミング: 4 レーンのデフォルト動作

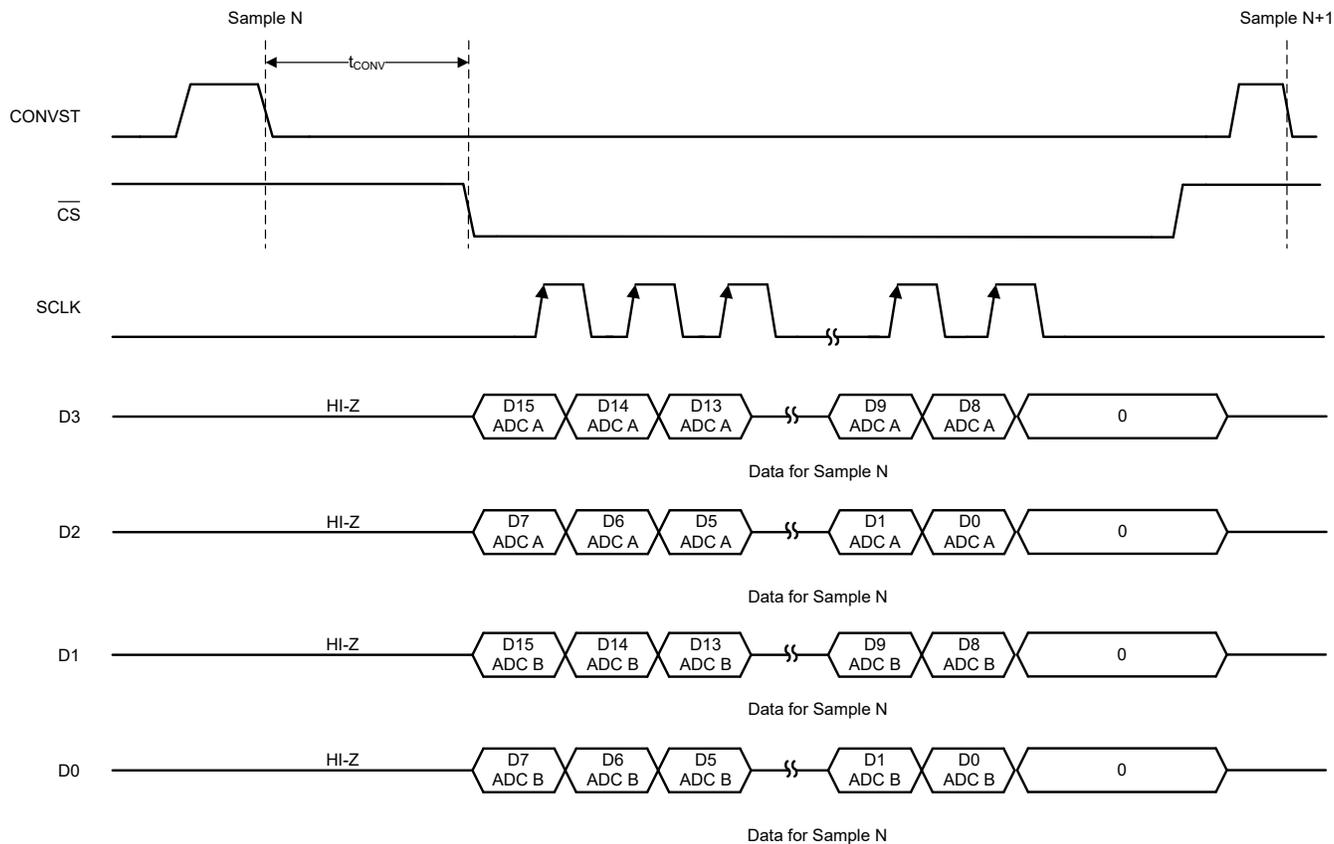


図 6-3. 変換サイクルのタイミング: 4 レーンの低レイテンシ モード

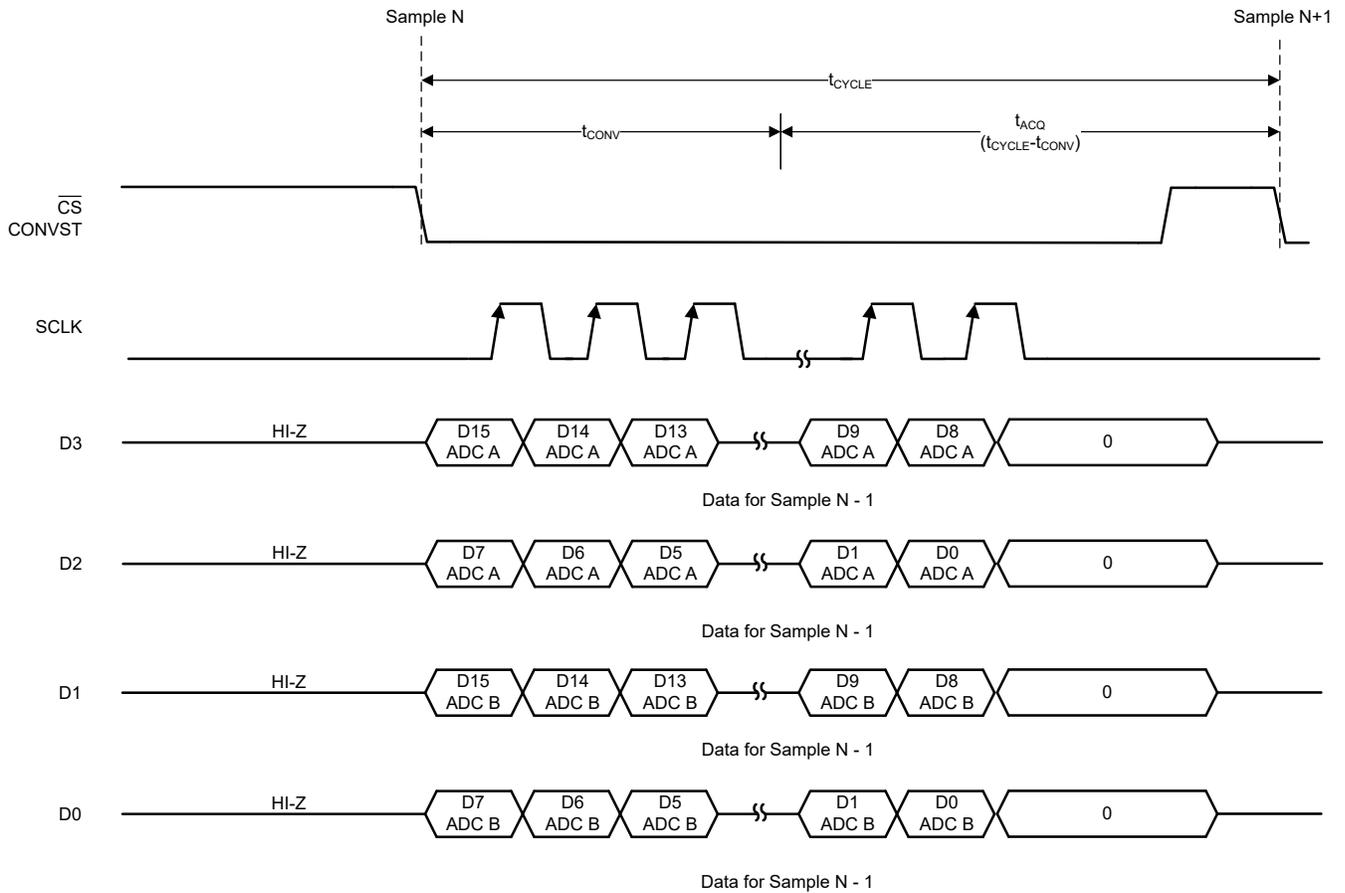


図 6-4. 変換サイクルのタイミング:  $\overline{CS}$  および CONVST を短絡した 4 レーン モード

## 6.11 代表的特性

$T_A = 25^\circ\text{C}$ 、 $AVDD = 5\text{V}$ 、 $VDD_{1V8} = 1.8\text{V}$ 、外部  $V_{REF} = 4.096\text{V}$ 、最大スループット【特に記述のない限り】

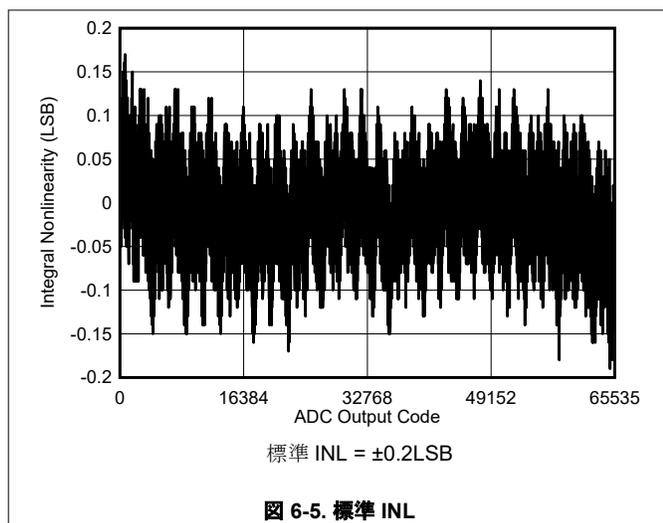


図 6-5. 標準 INL

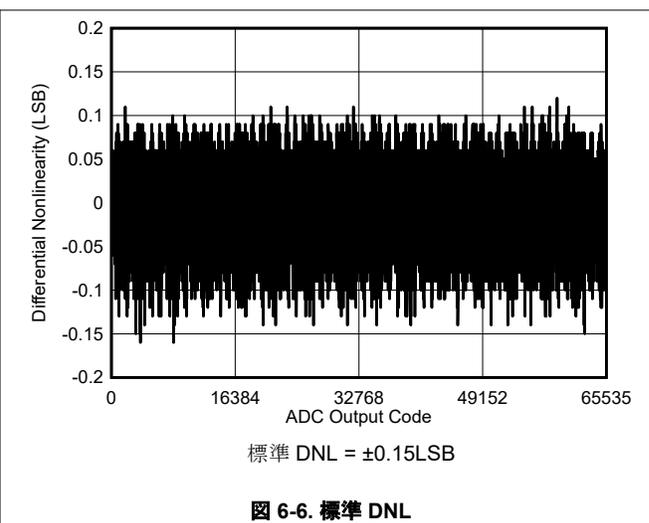


図 6-6. 標準 DNL

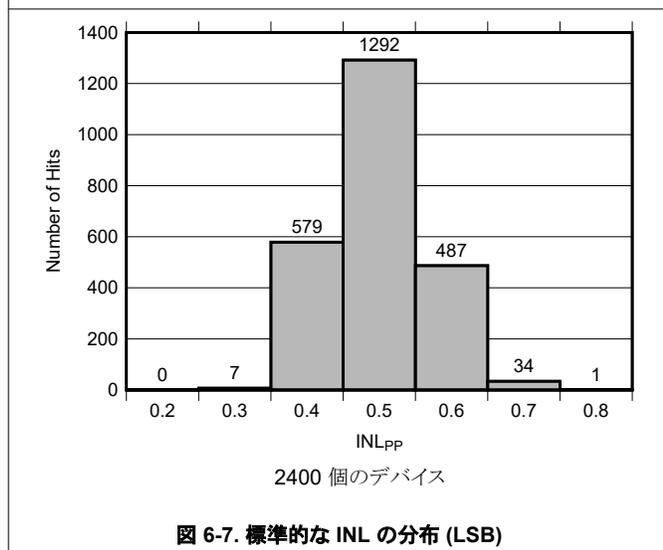


図 6-7. 標準的な INL の分布 (LSB)

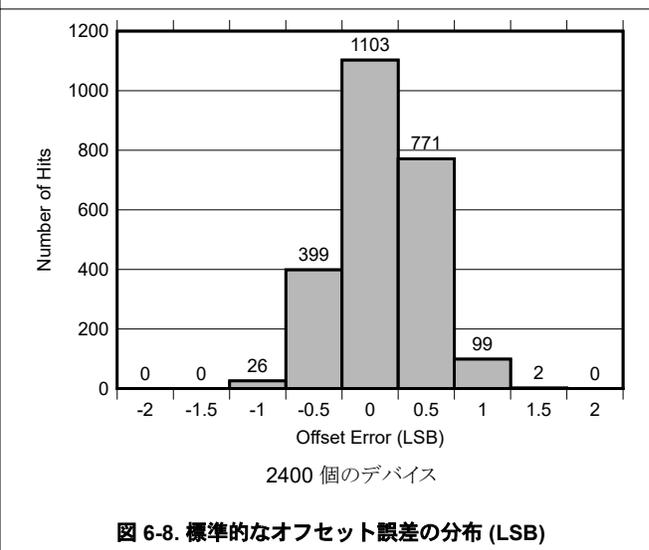


図 6-8. 標準的なオフセット誤差の分布 (LSB)

## 6.11 代表的特性 (続き)

$T_A = 25^\circ\text{C}$ 、 $AV_{DD} = 5\text{V}$ 、 $V_{DD\_1V8} = 1.8\text{V}$ 、外部  $V_{REF} = 4.096\text{V}$ 、最大スループット【特に記述のない限り】

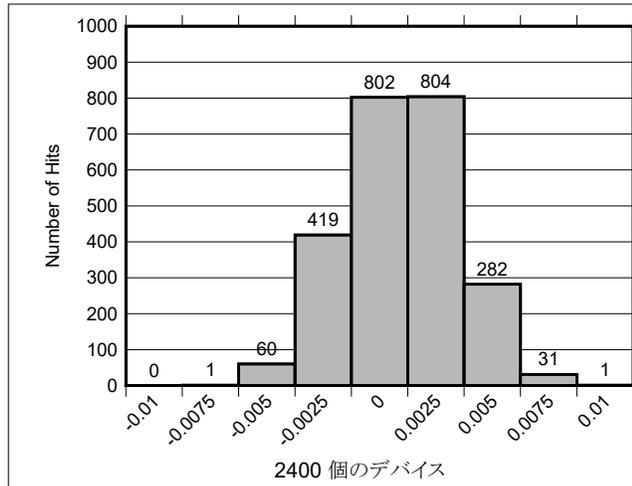
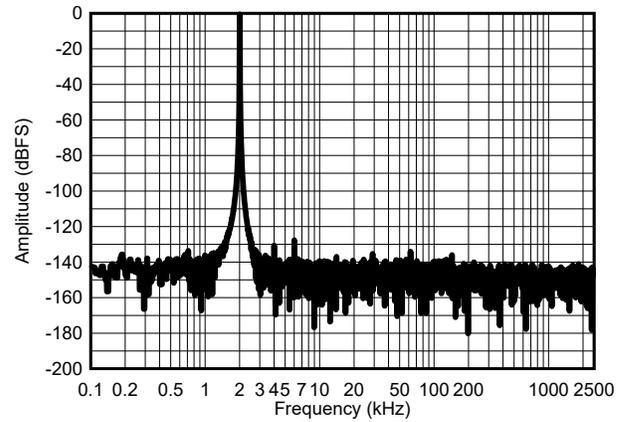
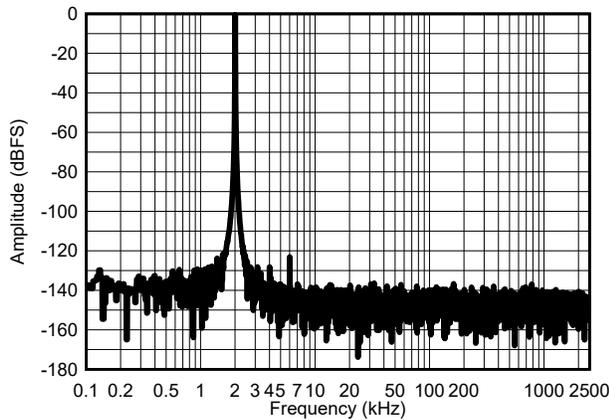


図 6-9. 標準的なゲイン誤差の分布 (%FSR)



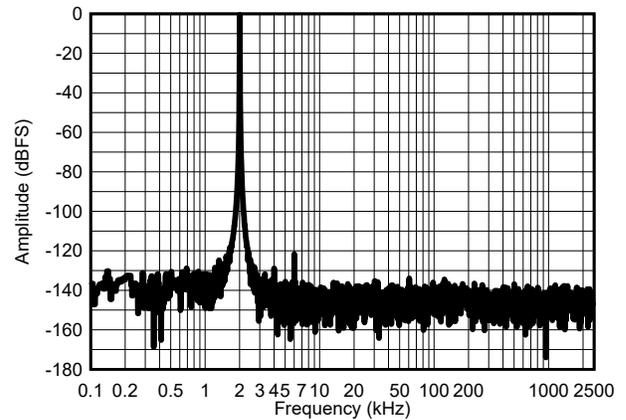
$f_{IN} = 2\text{kHz}$ 、 $\text{SNR} = 93\text{dB}$ 、 $\text{THD} = -120\text{dB}$

図 6-10.  $f_{IN} = 2\text{kHz}$  の標準 FFT



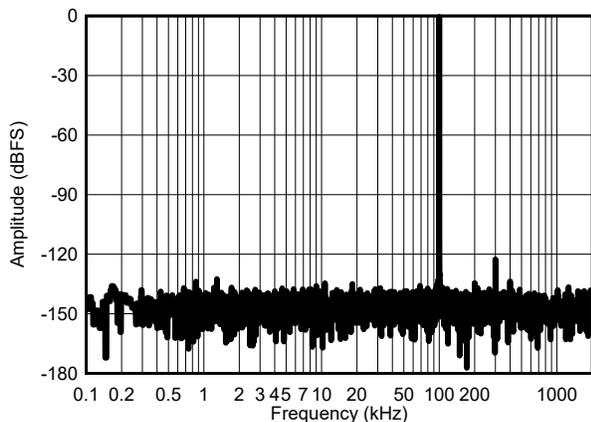
$f_{IN} = 2\text{kHz}$ 、 $\text{SNR} = 91.5\text{dB}$ 、 $\text{THD} = -119\text{dB}$

図 6-11.  $f_{IN} = 2\text{kHz}$ 、外部  $V_{REF} = 3.3\text{V}$  の標準的な FFT



$f_{IN} = 2\text{kHz}$ 、 $\text{SNR} = 90.4\text{dB}$ 、 $\text{THD} = -117\text{dB}$

図 6-12.  $f_{IN} = 2\text{kHz}$ 、外部  $V_{REF} = 2.5\text{V}$  の標準的な FFT



$f_{IN} = 2\text{kHz}$ 、 $\text{SNR} = 92.6\text{dB}$ 、 $\text{THD} = -115\text{dB}$

図 6-13.  $f_{IN} = 100\text{kHz}$  の標準 FFT

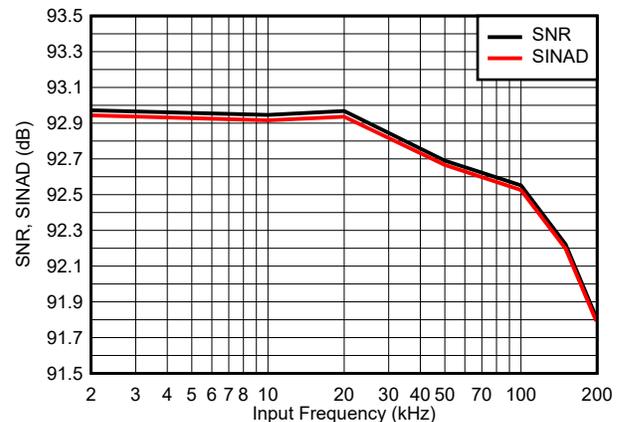


図 6-14. SNR および SINAD と入力信号周波数との関係

### 6.11 代表的特性 (続き)

$T_A = 25^\circ\text{C}$ 、 $AVDD = 5\text{V}$ 、 $VDD\_1V8 = 1.8\text{V}$ 、外部  $V_{REF} = 4.096\text{V}$ 、最大スループット【特に記述のない限り】

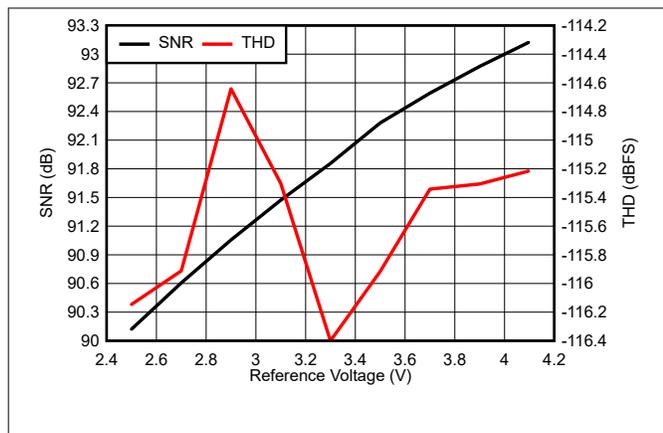


図 6-15. SNR および THD とリファレンス電圧との関係

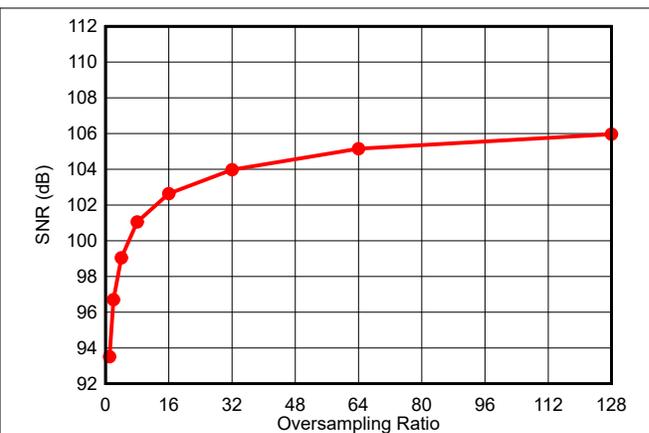


図 6-16. SNR と単純平均オーバーサンプリングレートとの関係

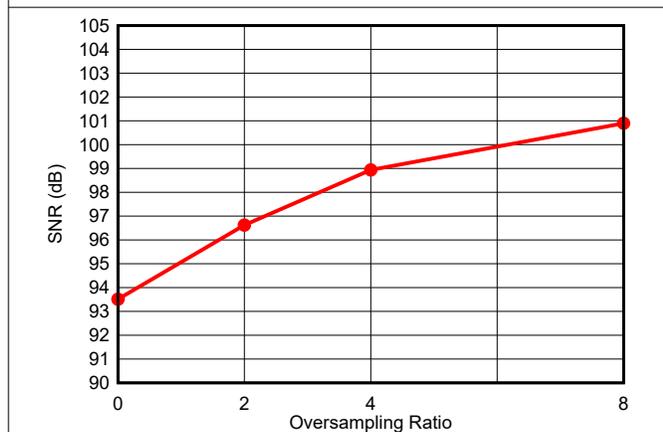


図 6-17. SNR と移動平均オーバーサンプリングレートとの関係

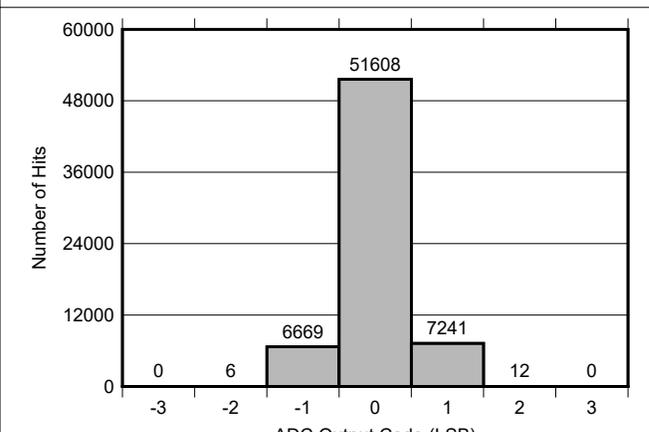


図 6-18. DC 入力ヒストグラム

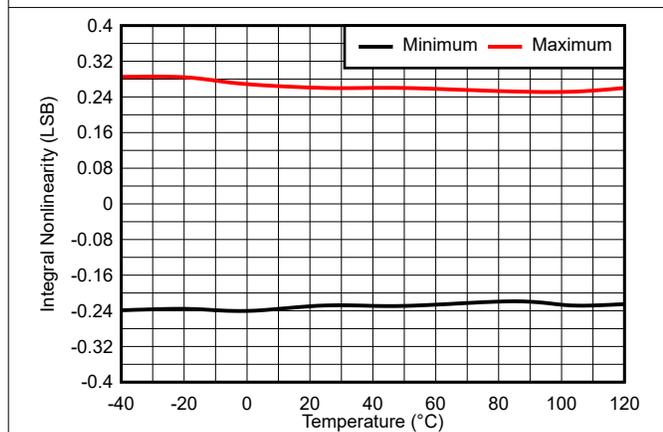


図 6-19. INL と温度との関係

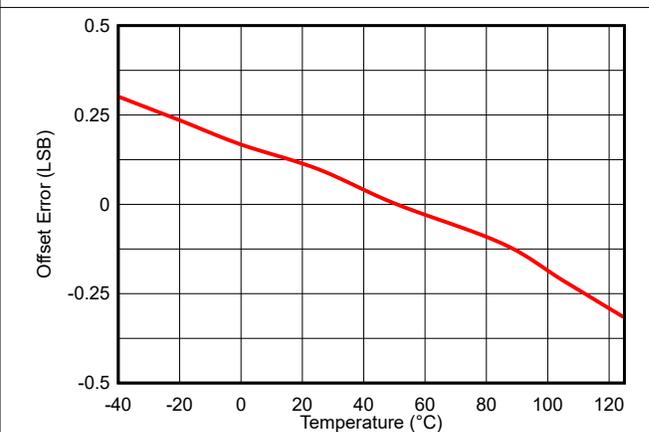


図 6-20. オフセット誤差と温度との関係

## 6.11 代表的特性 (続き)

$T_A = 25^\circ\text{C}$ 、 $AVDD = 5\text{V}$ 、 $VDD\_1V8 = 1.8\text{V}$ 、外部  $V_{REF} = 4.096\text{V}$ 、最大スループット【特に記述のない限り】

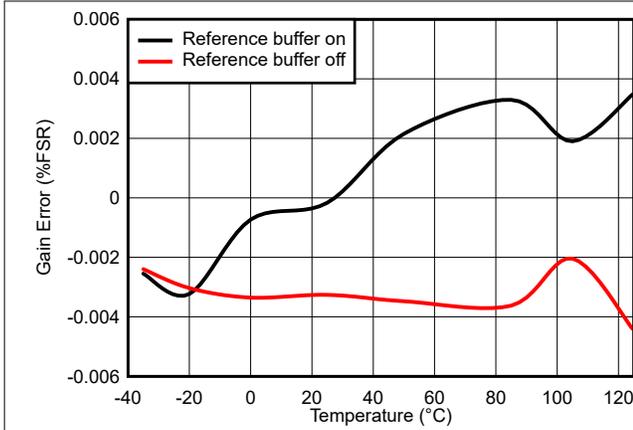


図 6-21. ゲイン誤差と温度との関係

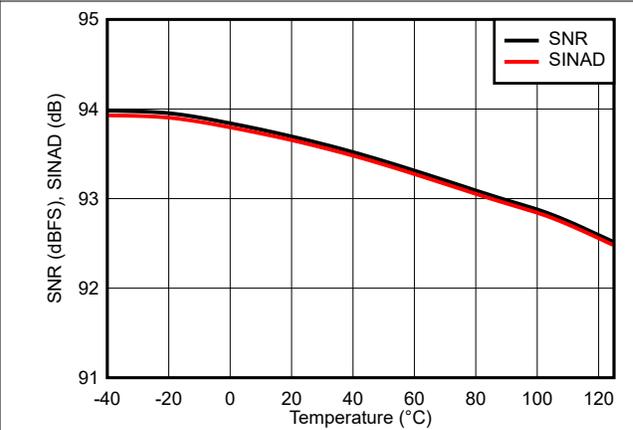


図 6-22. SNR および SINAD と温度との関係

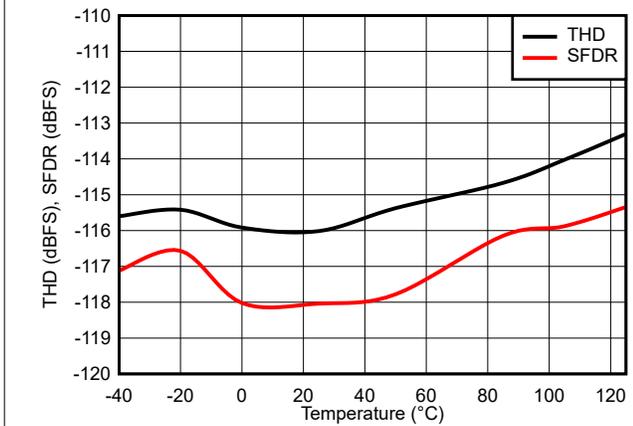


図 6-23. THD および SFDR と温度との関係

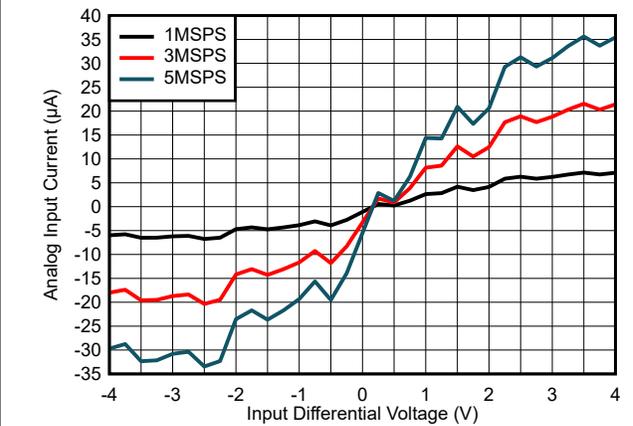


図 6-24. アナログ入力電流と入力差動電圧との関係

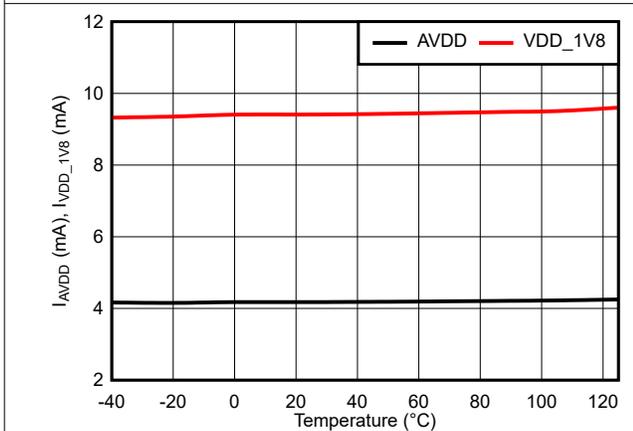


図 6-25. AVDD および VDD\_1V8 電流と温度との関係

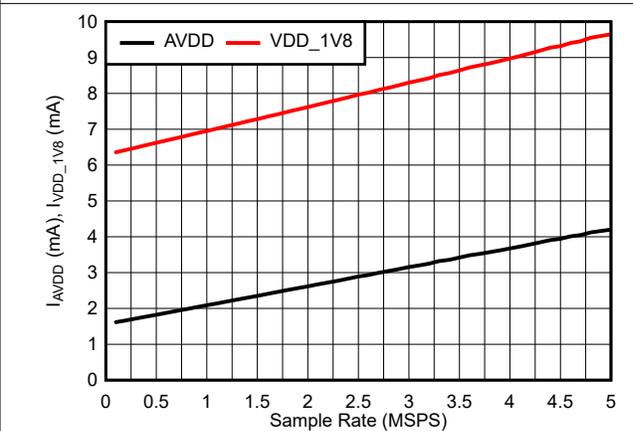


図 6-26. AVDD および VDD\_1V8 電流とサンプルレートとの関係

### 6.11 代表的特性 (続き)

$T_A = 25^\circ\text{C}$ 、 $AVDD = 5\text{V}$ 、 $VDD\_1V8 = 1.8\text{V}$ 、外部  $V_{REF} = 4.096\text{V}$ 、最大スループット【特に記述のない限り】

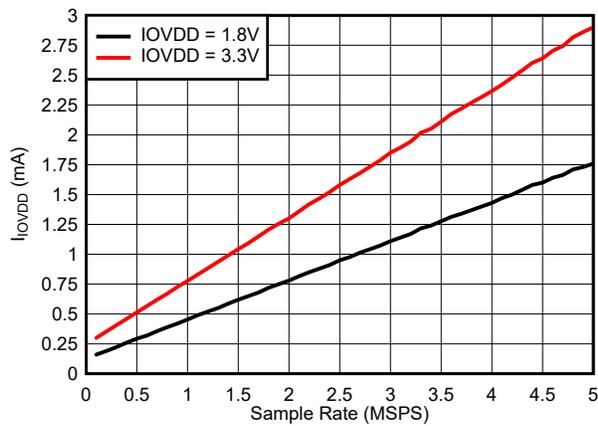


図 6-27. IOVDD 電流とサンプルレートとの関係

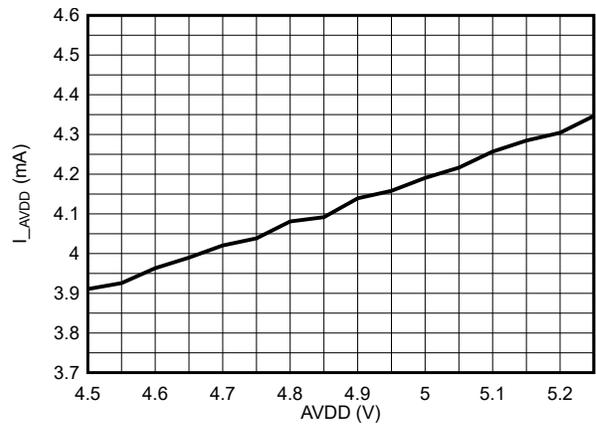


図 6-28. 4.096V リファレンスでの AVDD 電流と AVDD 電圧との関係

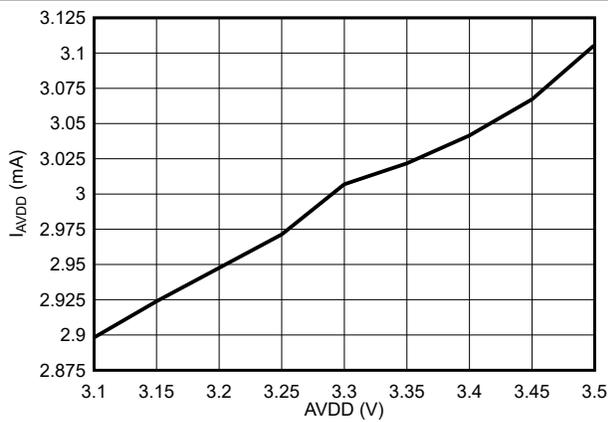


図 6-29. 2.5V リファレンスでの AVDD 電流と AVDD 電圧との関係

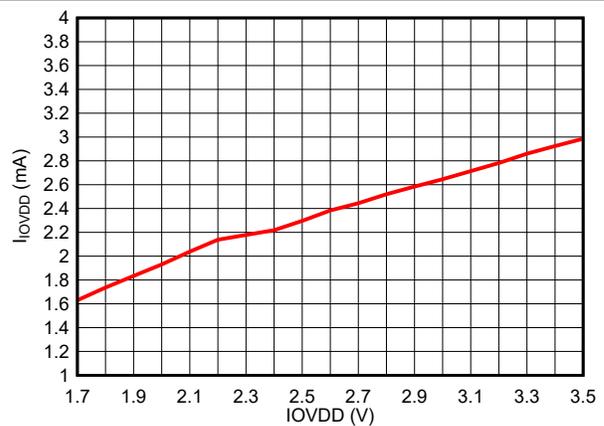


図 6-30. IOVDD 電流と IOVDD 電圧との関係

## 6.11 代表的特性 (続き)

$T_A = 25^\circ\text{C}$ 、 $AVDD = 5\text{V}$ 、 $VDD\_1V8 = 1.8\text{V}$ 、外部  $V_{REF} = 4.096\text{V}$ 、最大スループット【特に記述のない限り】

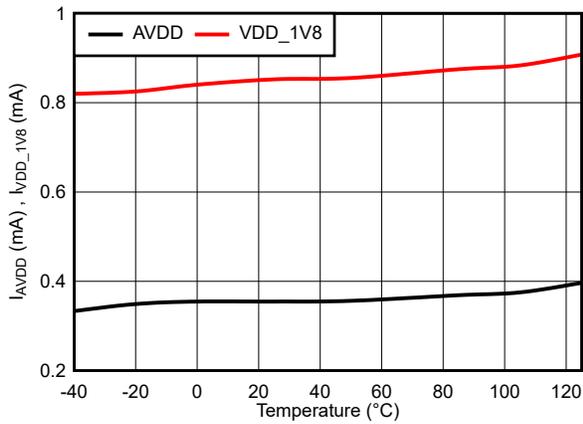


図 6-31. AVDD および VDD\_1V8 パワーダウン電流と温度との関係

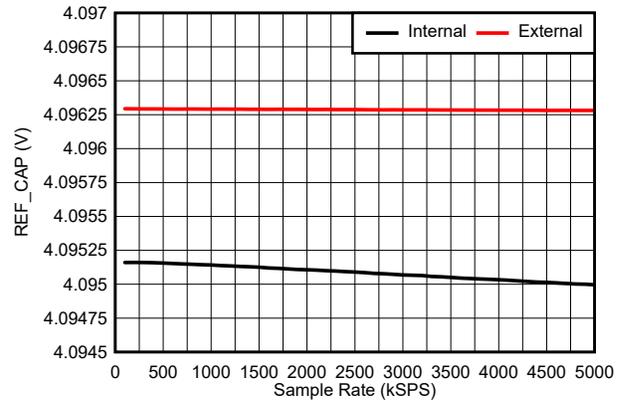


図 6-32. 4.096V リファレンスでの REF\_CAP とサンプルレートとの関係

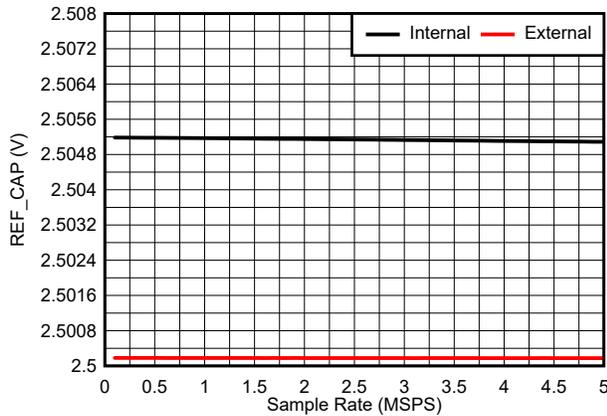


図 6-33. 2.5V リファレンスでの REF\_CAP とサンプルレートとの関係

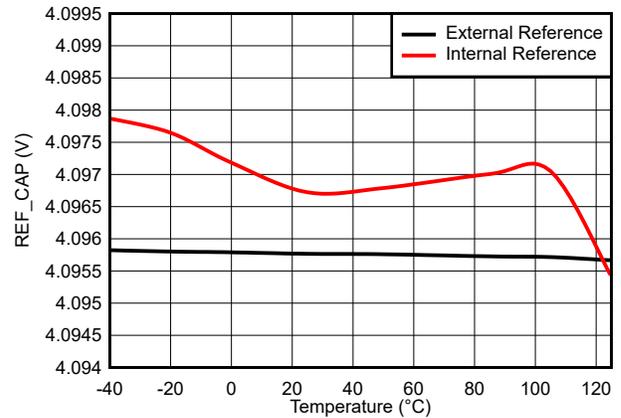


図 6-34. REF\_CAP 電圧と温度との関係

### 6.11 代表的特性 (続き)

$T_A = 25^\circ\text{C}$ 、 $AVDD = 5\text{V}$ 、 $VDD\_1V8 = 1.8\text{V}$ 、外部  $V_{REF} = 4.096\text{V}$ 、最大スループット【特に記述のない限り】

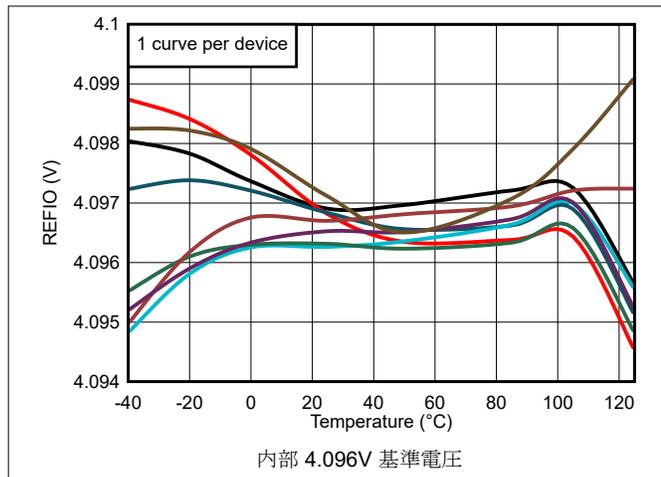


図 6-35. 4.096V リファレンスでの REFIO 電圧と温度との関係

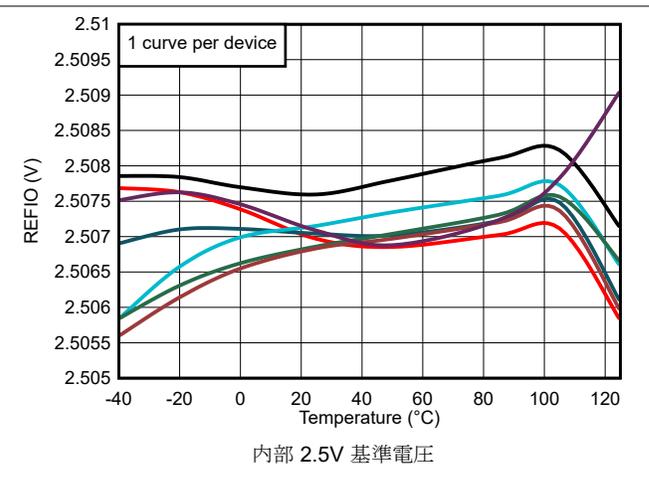


図 6-36. 2.5V リファレンスでの REFIO 電圧と温度との関係

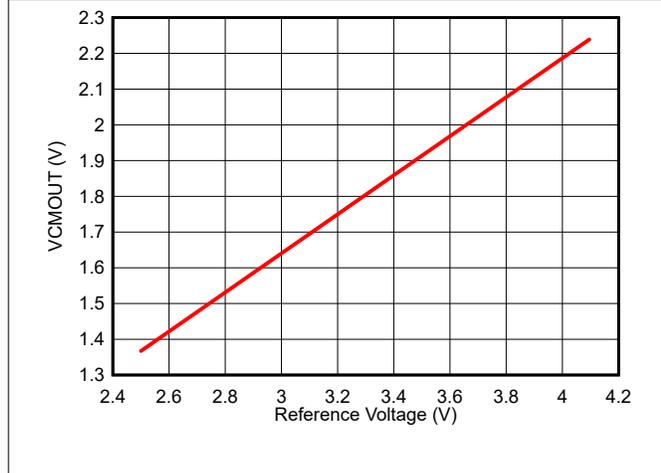


図 6-37. VCMOUT 電圧とリファレンス電圧との関係

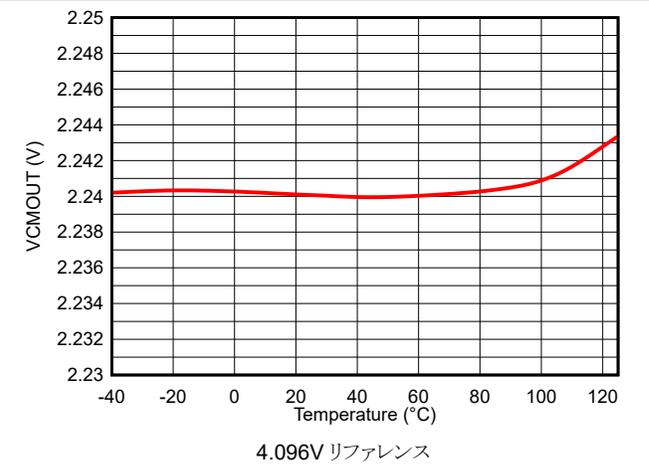


図 6-38. 4.096V リファレンスでの VCMOUT 電圧と温度との関係

## 6.11 代表的特性 (続き)

$T_A = 25^\circ\text{C}$ 、 $AVDD = 5\text{V}$ 、 $VDD\_1V8 = 1.8\text{V}$ 、外部  $V_{REF} = 4.096\text{V}$ 、最大スループット【特に記述のない限り】

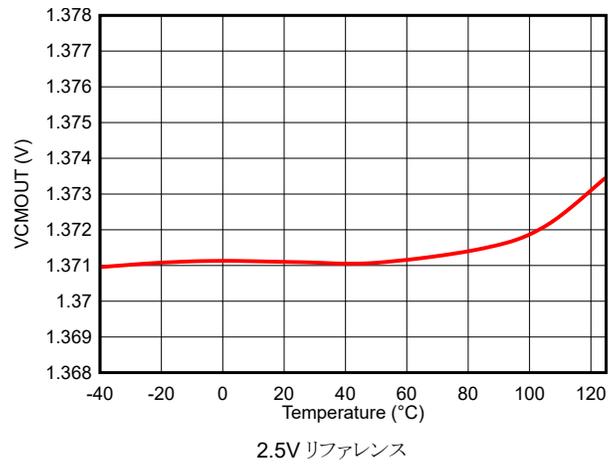


図 6-39. 2.5V リファレンスでの VCMOUT 電圧と温度との関係

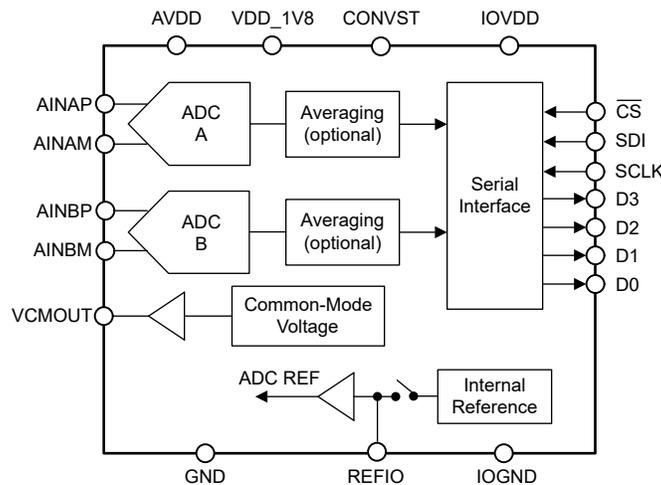
## 7 詳細説明

### 7.1 概要

ADS932x (ADS9326, ADS9327) は 16 ビット、デュアル チャネル、同時サンプリングのアナログ / デジタル コンバータ (ADC) で、基準電圧バッファを内蔵しています。ADS932x は完全差動アナログ入力信号をサポートし、データ平均化機能を内蔵しています。

ADS932x は、ホスト コントローラと接続するための単純なシリアル インターフェイスを備え、幅広いアナログおよびデジタル電源で動作します。シリアル インターフェイスは、従来の SPI プロトコルと互換性があり、デイジーチェーン接続をサポートしています。

### 7.2 機能ブロック図



## 7.3 機能説明

### 7.3.1 アナログ入力

このデバイスは、ユニポーラかつ完全差動のアナログ入力信号に対応しています。図 7-1 サンプル/ホールド回路の小信号の等価回路を、に示します。各サンプリングスイッチは、サンプリングスイッチ (SW<sub>1</sub> および SW<sub>2</sub>) と直列に接続された抵抗 (R<sub>S1</sub> および R<sub>S2</sub>、通常は 25 Ω) で表されまサンプリング コンデンサ C<sub>S1</sub> および C<sub>S2</sub> は通常 18pF です。

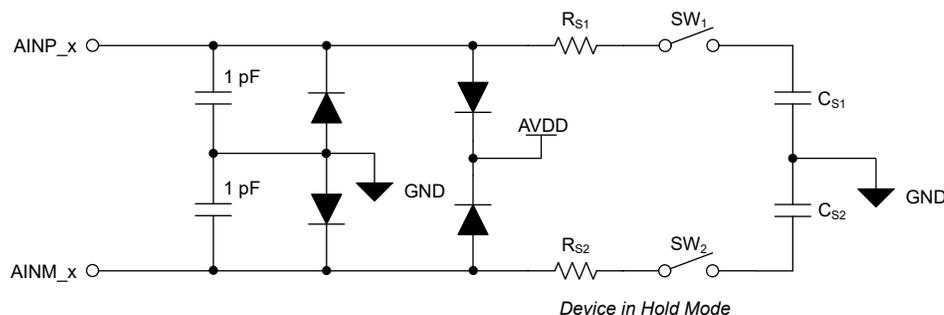


図 7-1. アナログ入力

### 7.3.2 リファレンス

ADS932x は、高精度で低ドリフトの電圧リファレンスをデバイスに内蔵しています。最高の性能を得るため、 $1\mu\text{F}$  セラミックバイパスコンデンサを REFIO ピンに接続して、内部リファレンスノイズをフィルタします。パワーアップ時に、表 7-1 で説明しているとおり、リファレンスソースは、レジスタバンク 1 のアドレス 0x0C の PD\_REF に書き込むことで選択されます。

表 7-1. 基準電源の選択

PD_REF レジスタ値	ADC 基準電圧ソース
10b	内部リファレンスが有効です。
11b	内部リファレンスは非アクティブです。外部リファレンスを REFIO (ピン 9) に強制します。

#### 7.3.2.1 内部リファレンス

ADS932x は、 $\text{AVDD} = 5\text{V}$  のとき公称出力電圧が  $4.096\text{V}$  で、 $\text{AVDD} = 3.3\text{V}$  のときに  $2.5\text{V}$  の内部リファレンス電圧を搭載しています。内部リファレンスを無効にするには、レジスタバンク 1 の PD\_REF に 10b を書き込みます。図 7-2 および 図 7-3、に示すとおり、REFIO ピンと REFM ピンの間に、最小  $1\mu\text{F}$  のデカップリングコンデンサを配置します。

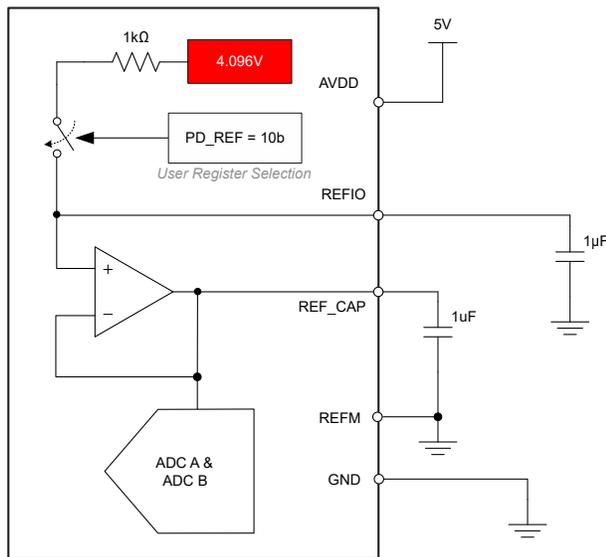


図 7-2. 内部リファレンス :  $\text{AVDD} = 5\text{V}$

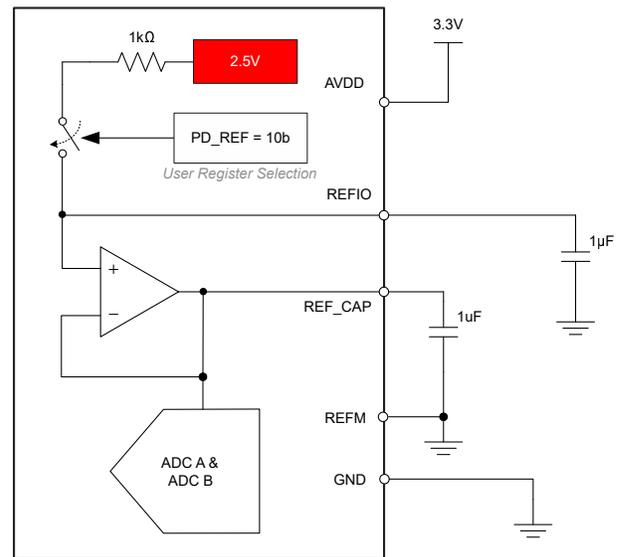


図 7-3. 内部リファレンス :  $\text{AVDD} = 3.3\text{V}$

##### 7.3.2.1.1 5V AVDD で選択可能な内部リファレンス

$\text{AVDD} = 5\text{V}$  のとき、ADS932x  $4.096\text{V}$ 、 $3.3\text{V}$ 、または  $2.5\text{V}$  の選択可能な内部リファレンス値をもたらします。表 7-2 に示すように、レジスタバンク 1 に INT\_REF\_MODE に書き込むことで内部リファレンス値を選択します。

表 7-2.  $\text{AVDD} = 5\text{V}$  のときの内部リファレンスの選択

内部リファレンスの値	INT_REF_MODE
$4.096\text{V}$	0b
$3.3\text{V}$	11b
$2.5\text{V}$	1b

- このセクションは、PADS9326VAER には適用されません。

### 7.3.2.2 外部リファレンス

図 7-4 に示すとおり、REFIO ピンと REFM ピンの間に適切なデカップリング コンデンサを配置して、REFIO ピンに外部基準電圧を接続します。熱ドリフト性能を向上させるために、REF7040 を使用します。内部リファレンスを無効にするには、セクション [リファレンス](#) で説明するとおり、レジスタバンク 1 のアドレス 0x0C で PD\_REF = 11b を設定します。REFIO ピンには、AVDD ピンおよび REFM ピンに接続された静電気放電 (ESD) 保護ダイオードが搭載されています。

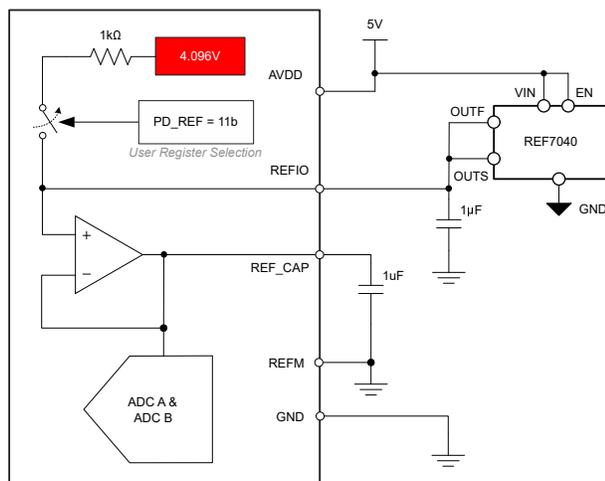


図 7-4. 外部リファレンス : AVDD = 5V

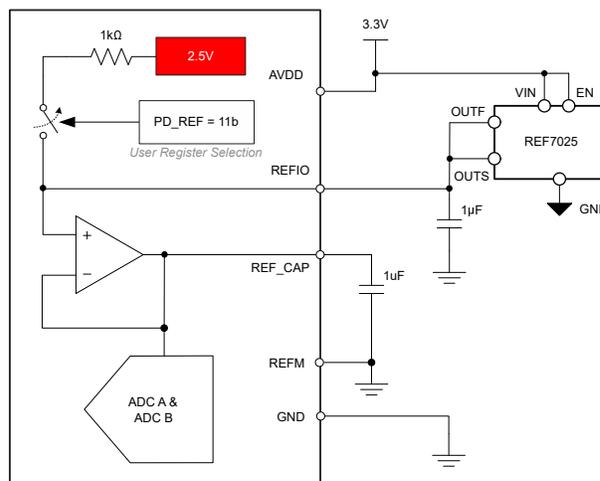


図 7-5. 外部リファレンス : AVDD = 3.3V

### 7.3.2.3 外部基準電圧、外部基準バッファ付き

システム ゲイン誤差の温度ドリフトを改善するには、内部デバイス基準バッファをオフにし、外部の低ドリフト基準バッファをデバイスに接続します。図 7-6 に示すように、外部リファレンスバッファの出力を REFIO および REF\_CAP ピンに接続して、内部リファレンスバッファをパワーダウンします。REF\_CAP への接続が 2 Ω 未満であることを確認します。内部リファレンス バッファのパワーダウン シーケンスを表 7-3 に示します。

表 7-3. 内部リファレンス バッファをパワーダウンするためのシーケンス

フレーム番号	レジスタ		説明
	アドレス	VALUE[15:0]	
1	0x02	0x0002	レジスタ バンク 1 を選択
2	0x0C	0x0300	内部リファレンスをパワーダウンします
3	0x03	0x000B	レジスタバンク 2 のロックを解除する
4	0x02	0x0008	レジスタ バンク 2 を選択
5	0x09	0x0010	内部リファレンス バッファをパワーダウンします
6	0x02	0x0002	レジスタ バンク 1 を選択

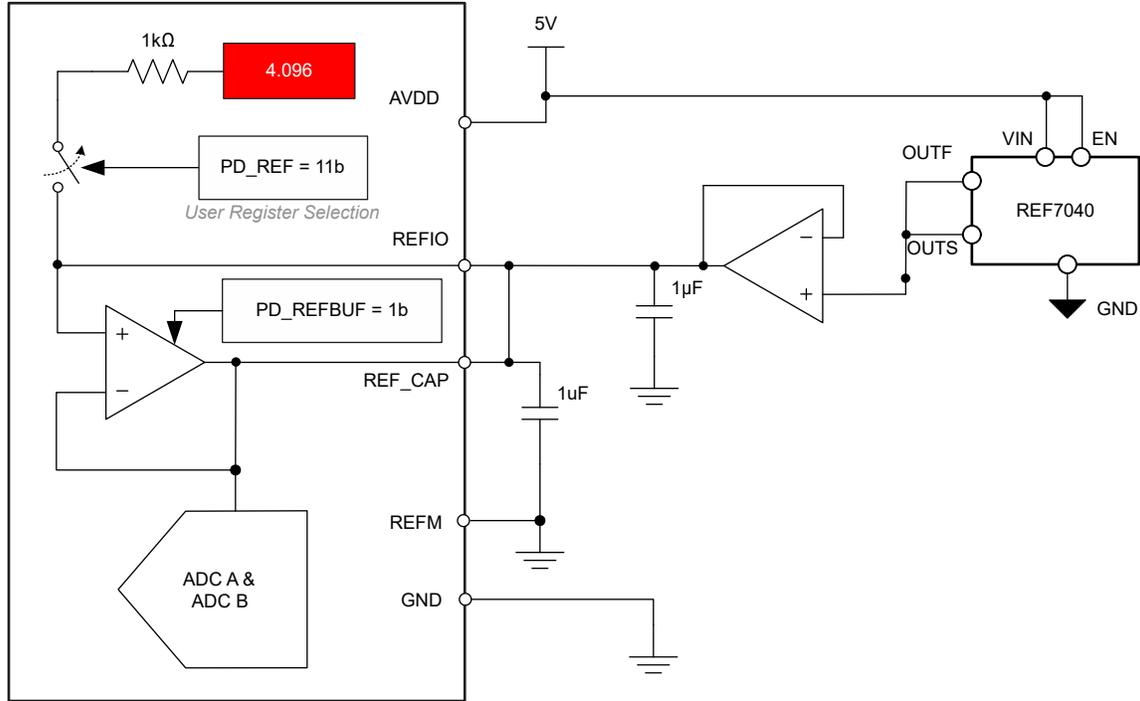


図 7-6. 外部基準電圧、外部基準バッファ付き

### 7.3.3 ADC の伝達関数

ADS932x は 16 ビットの変換データを、二つの補数形式またはストレート バイナリ形式で出力します。デフォルトでは、変換データは二つの補数形式で出力されます。ストレートバイナリ形式をイネーブルにするには、アドレス 0x0D の DATA\_FORMAT に 1b を書き込みます。表 7-4 および図 7-7 に、ADS932x の転送特性を示します。式 1 ADC の最下位ビット (LSB) を与えます。

$$1\text{LSB} = (2 \times V_{\text{REFIO}}) / 2^N \quad (1)$$

ここで

- N = デバイスの分解能

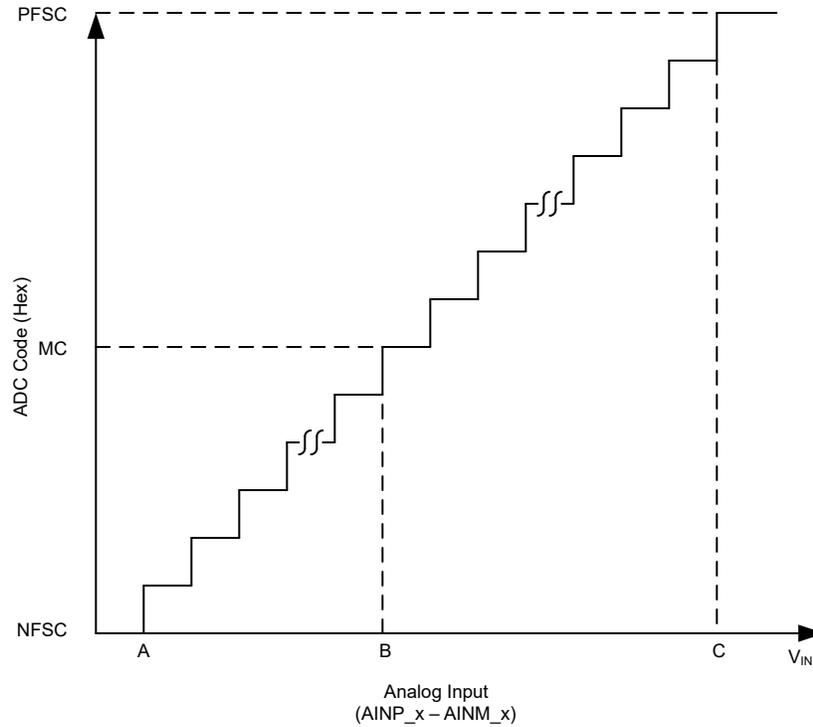


図 7-7. 伝達特性

表 7-4. 伝達特性

ステップ	入力電圧 (AINP <sub>x</sub> - AINM <sub>x</sub> )	コード	説明	16 ビットの出力コード (二つの補数)	16 ビットの出力コード (ストレート・バイナリ)
A	$\leq (V_{REFIO} + 1\text{LSB})$	NFSC	負のフルスケール コード	0x8000	0x0000
B	$0V + 1\text{LSB}$	MC	ミッドコード	0x0000	0x8000
C	$\geq (V_{REFIO} - 1\text{LSB})$	PFSC	正のフルスケール コード	0x7FFF	0xFFFF

### 7.3.4 データ インターフェイス

The ADS932x は、SPI 互換のシリアルインターフェースを備えており、データ出力用に 1 レーン、2 レーン、4 レーンのオプションをサポートしています。表 7-5 出力データ レーン数と、対応する各シリアル データ出力ピンの ADC 変換データ出力を構成するためのレジスタ設定を、に示します。

表 7-5. 出力データ インターフェイスの構成設定

出力データ レーン数	num_data_lanes レジスタの値	シリアルデータ出力端子	ADC 変換データ出力
4 レーン	000b	D3	ADC A[15:8]
		D2	ADC A[7:0]
		D1	ADC B[15:8]
		D0	ADC B[7:0]
2 レーン	101b	D3	ADC A[15:0]
		D2	ハイ インピーダンス
		D1	ADC B[15:0]
		D0	ハイ インピーダンス
1 レーン	110b	D3	ADC A[15:0], 0x00, ADC B[15:0], 0x00
		D2	ハイ インピーダンス
		D1	ハイ インピーダンス
		D0	ハイ インピーダンス

### 7.3.5 プログラム可能な平均化フィルタ

ADS932x は、ADC からの変換結果の平均化を行うデシメーション フィルタを二つ内蔵しています。

- 単純平均: ADC 出力は固定されたウィンドウ サイズでの変換結果の平均値であり、ウィンドウ サイズが大きくなると出力データ レートは低下します。
- 移動平均 (1): ADC 出力は、移動ウィンドウ サイズでの変換結果の平均です。ウィンドウ サイズが大きくなっても、出力データ レートは一定の値のままです。

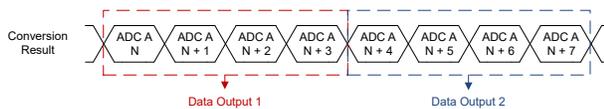


図 7-8. 単純な平均データ出力

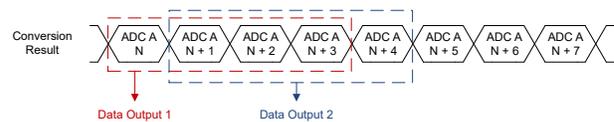


図 7-9. 移動平均データ出力

1. 移動平均は、PADS9326VAER には適用されません。

#### 7.3.5.1 単純平均

単純なデータ平均化をイネーブルにするには、アドレス 0x0D の SAVG\_EN に 1b を書き込み、アドレス 0x0D の SAVG\_MODE に書き込むことでウィンドウサイズを選択します。

表 7-6 に、簡易データ平均化と、それに対応する ADC 出力レートへの影響による SNR の改善を示します。図 7-10 に、四つのサンプルの単純平均の ADC 出力タイミングを示します。平均化がイネーブルのとき、データ フレーム幅セクションで説明されているように、出力データ フレームの幅は 四つのビット増加します。

表 7-6. 単純平均 - ADC 出力のデータ レートおよび SNR とデータ平均化との関係

オーバーサンプリング レート	SNR - ADS9327 (16 ビット)	最大データ レート
平均化なし	93.5dB	5MSPS
2	96.7dB	2.5MSPS
4	99dB	1.25MSPS
8	101.1dB	625kSPS

表 7-6. 単純平均 - ADC 出力のデータ レートおよび SNR とデータ平均化との関係 (続き)

オーバーサンプリング レート	SNR - ADS9327 (16 ビット)	最大データ レート
16	102.6dB	312.5kSPS
32	103.9dB	156.25kSPS
64	105.2dB	78.125kSPS
128	105.9dB	39.0625kSPS

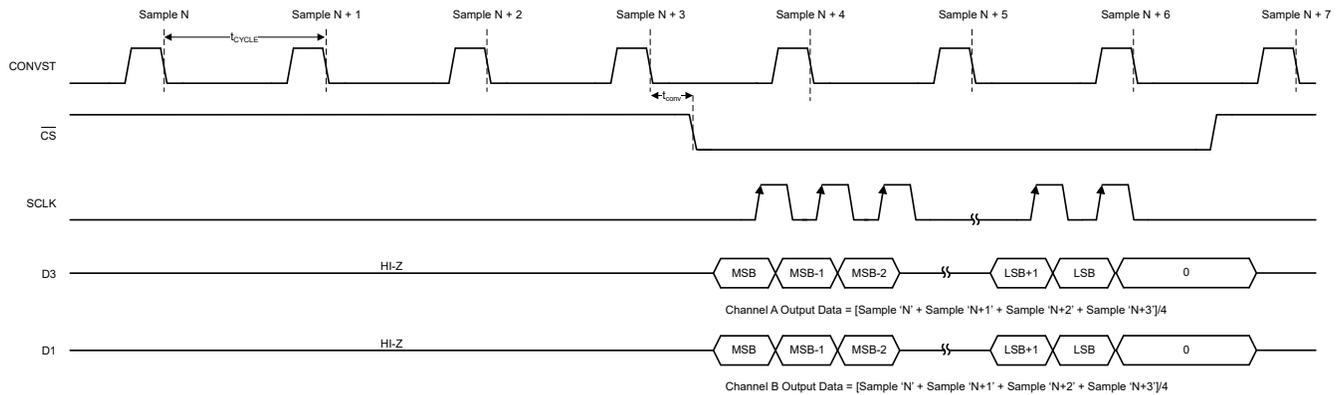


図 7-10. 2 レーンのデータ インターフェイス モードで 4 サンプルの単純平均の ADC 出力例

7.3.5.1.1 非連続 CONVST による単純平均

非連続 CONVST による平均化を有効にするには、表 7-7 のシーケンスに従ってください。

表 7-7. 非連続 CONVST の単純平均初期化シーケンス

ステップ	説明
1	デバイスレジスタ マップのロックを解除します。
2	SAVG_EN に 1b を書き込み、SAVG_MODE でウィンドウ サイズを選択することで、単純平均を有効にします。
3	AVG_SYNC に 1b を書き込みます。
4	CONVST の 1 パルスを入力します。
5	AVG_SYNC に 0b を書き込みます。
6	CONVST の 2 つの追加パルスを入力します。このステップは、AVG_SYNC を切り替えた後に必要となります。

図 7-11 に、不連続な CONVST による 2 つのサンプルの平均について単純な平均化を可能にするタイミングを示します。

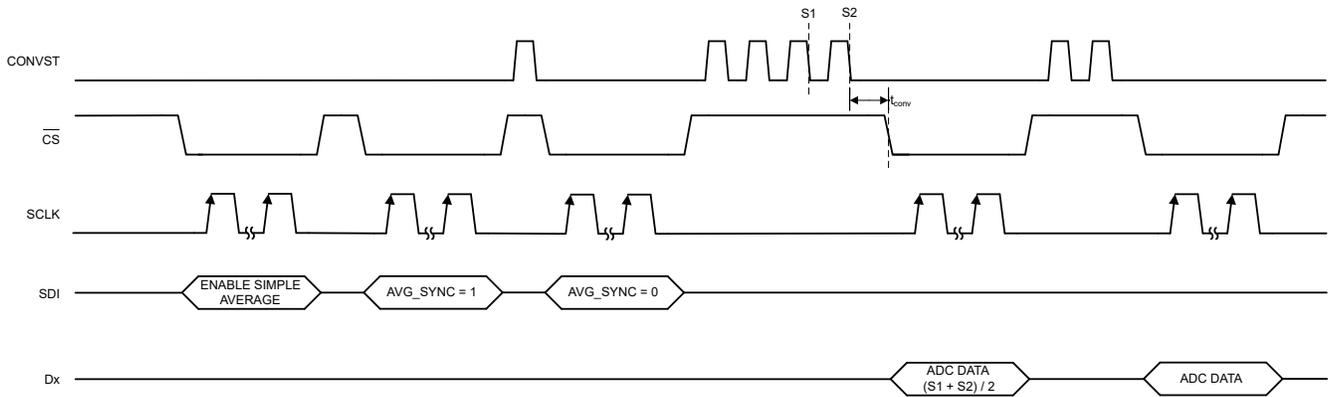


図 7-11. 2 つのサンプルの平均に対する非連続な CONVST による単純平均有効化シーケンスのタイミング

### 7.3.5.2 移動平均

データの移動平均化を有効にするには、レジスタ バンク 1 のアドレス 0x0D の MAVG\_MODE に書き込んで平均化ウィンドウ サイズを選択します。移動平均ウィンドウのサイズは、2、4、8 の変換結果からユーザーが選択できます。

表 7-8 に、移動データの平均化による SNR の改善を指定します。図 7-12 に、四つのサンプルの移動平均の ADC 出力タイミングを示します。

表 7-8. 移動平均 - ADC 出力のデータ レートおよび SNR とデータ平均化との関係

オーバーサンプリング レート	SNR - ADS9327 (16 ビット)	最大データレート
平均化なし	93.5dB	5MSPS
2	96.6dB	5MSPS
4	98.9dB	5MSPS
8	100.9dB	5MSPS

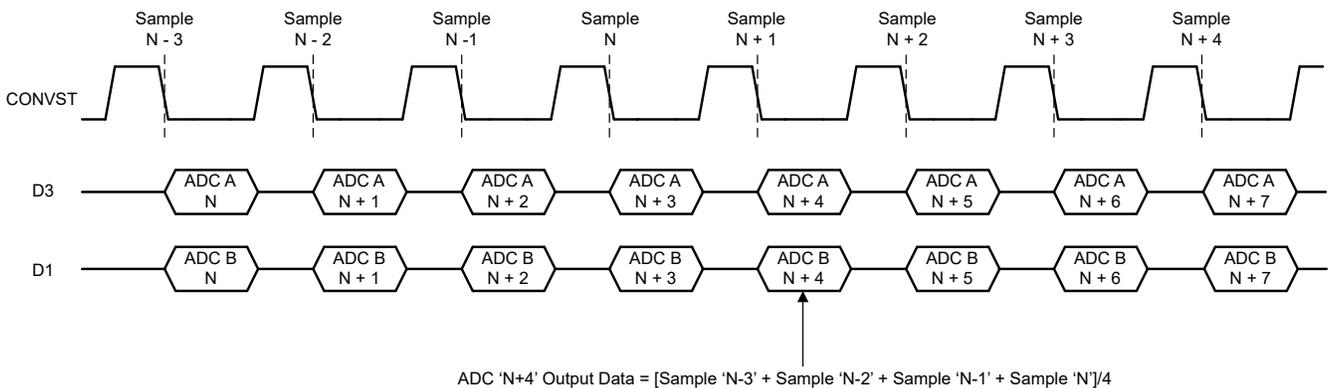


図 7-12. 4 サンプルの移動平均の ADC 出力の例

### 7.3.6 出力データ インターフェイスでの CRC

巡回冗長性検査 (CRC) は、ホストへの通信エラーを検出するエラー チェック コードです。CRC は、データ固定多項式によるペイロード バイトの除算剰余です。CRC モードはオプションであり、レジスタ バンク 1 のアドレス 0x0D の CRC\_EN ビットによってイネーブルされます。ADS932x の CRC は出力データ インターフェイスにのみ実装されており、レジスタの読み取りまたは書き込み動作には使用されません。CRC がイネーブルされている場合、CRC データバイトが ADC 変換結果に追加されます。データフレーム幅セクションを参照してください。

CRC 値は、CRC 多項式を使用した可変長引数のビット単位排他論理和 (XOR) 演算の、8 ビットの剰余です。CRC 多項式は、CRC-8-CCITT:  $X^8 + X^2 + X^1 + 1$  に基づいています。CRC 計算は 0b11111111 でプリセットされています。

### 7.3.7 ADC 出力データ ランダマイザー

ADS932x には、データ出力ランダムマイザーがあります。イネーブルのとき、ADC 変換結果はビット単位の排他論理和 (XOR) になり、四つの疑似ランダムバイナリシーケンス (PRBS) ビットが ADC データ出力に追加されます。データフレーム幅 セクションを参照してください。XOR PRBS ビットは 1 または 0 になる確率が等しくなります。XOR 動作の結果、ADS932x からのデータはランダム化されます。データ インターフェイス上でランダム化された結果を送信することにより発生するグラウンド バウンスは、アナログ入力電圧とは関連していません。この無相関転送により、PCB レイアウトでグラウンド バウンスが最小限に抑えられないときに、データ転送と ADC のアナログ性能との間の干渉を最小限に抑えることができます。出力データランダム化をイネーブルにするには、レジスタバンク 1 のアドレス 0x0D の XOR\_EN に 01111b を書き込みます。図 7-13 に、データ出力ランダムマイザーがイネーブルのときのデータ出力を示します。

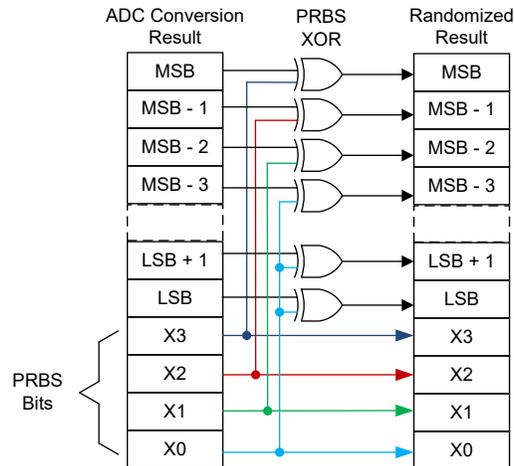


図 7-13. 4 ビット PRBS による XOR 動作

### 7.3.8 データ フレーム幅

ADS932x は 16 ビット、20 ビットおよび 24 ビットのデータ フレーム幅オプションをサポートしています。デフォルトの出力データフレーム幅は 16 ビットです。表 7-9 に示すように、出力データフレーム幅は、平均化、XOR、CRC の使用に応じて 20 ビットまたは 24 ビットに増加します。

表 7-9. 出力データ フレーム

CRC_EN	SAVG_EN	XOR_EN	出力幅 (ビット)	出力データ フレーム
CRC モジュールがディセーブル	平均化なし	XOR はディセーブル	16	{変換結果 [15:0]}
		XOR はイネーブル	20	{変換結果 [15:0]、PRBS[3:0]}
	平均化はイネーブル	XOR はディセーブル	20	{変換結果 [17:0]、0b00}
		XOR はイネーブル	24	{変換結果 [17:0]、PRBS[3:0]、0b00}
CRC モジュールはイネーブル	平均化なし	XOR はディセーブル	24	{変換結果 [15:0]、CRC[7:0]}
		XOR はイネーブル	該当なし	非対応
	平均化はイネーブル	XOR はディセーブル	該当なし	非対応
		XOR はイネーブル	該当なし	非対応

### 7.3.9 デイジー チェーン モード

ADS932x、単一のコンバータとして動作するか、複数のコンバータを搭載したシステムとして動作します。複数のコンバータを使用するときは、シンプルで高速の SPI シリアル インターフェイス、カスケード コンバータをデイジー チェーン構成で

活用します。デジチェーンモードを有効にするには、レジスタを設定する必要はありません。図 7-14 に、デジチェーンモードでの三つのコンバータの代表的な接続を示します。

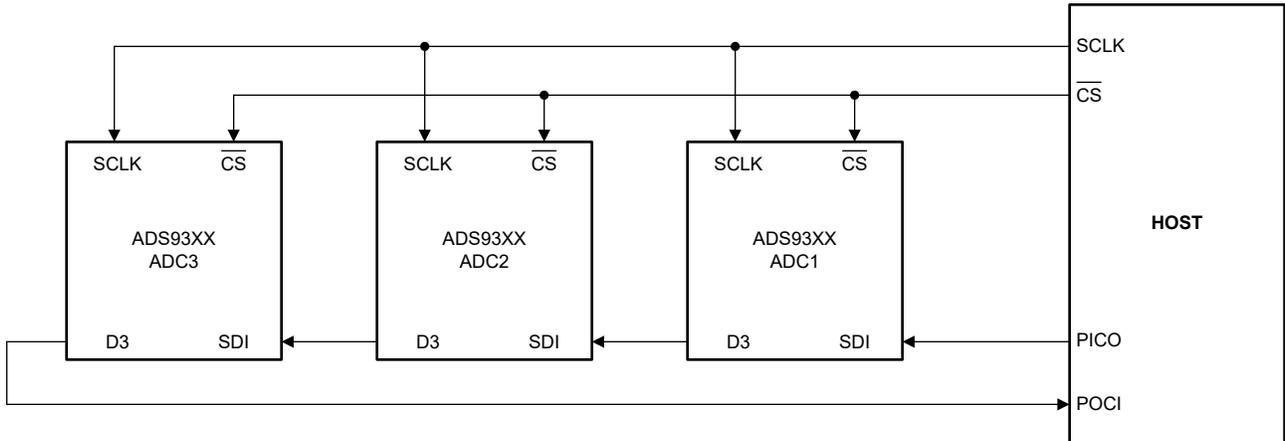


図 7-14. デジチェーン接続

ADS932x がデジチェーンモードで接続されているときは、NUM\_DATA\_LANES に 110b を書き込むことで、デバイスが 1 レーンインターフェイスモードで動作することを確認します。データインターフェイス セクションを参照してください。シリアル入力データは、CS がアクティブである限り、48 SCLK の遅延でデバイスを通過します。図 7-15 は、各コンバータの変換を同時に実行した場合のこのモードの詳細なタイミング図を示します。

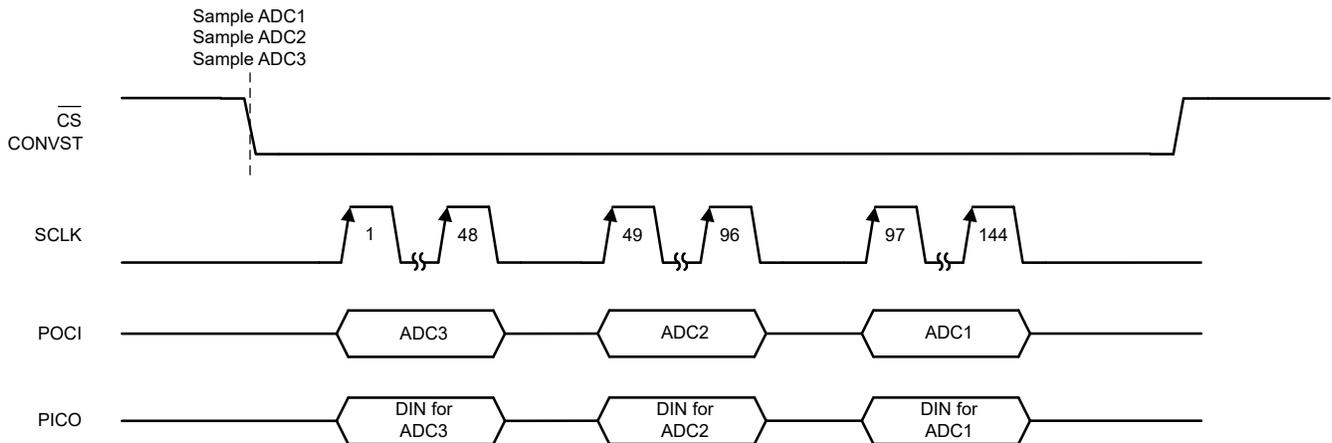


図 7-15. 簡素化デジチェーンのタイミング

### 7.3.9.1 デイジー・クロック モード

図 7-16 に示すようにデジチェーン構成で動作している場合、ADS932x は D0 に SCLK をフィードスルーするオプションを備えています。デジチェーンクロックモードをイネーブルするには、アドレス 0x09 の DAISY\_CLK に 1b を書き込みます。

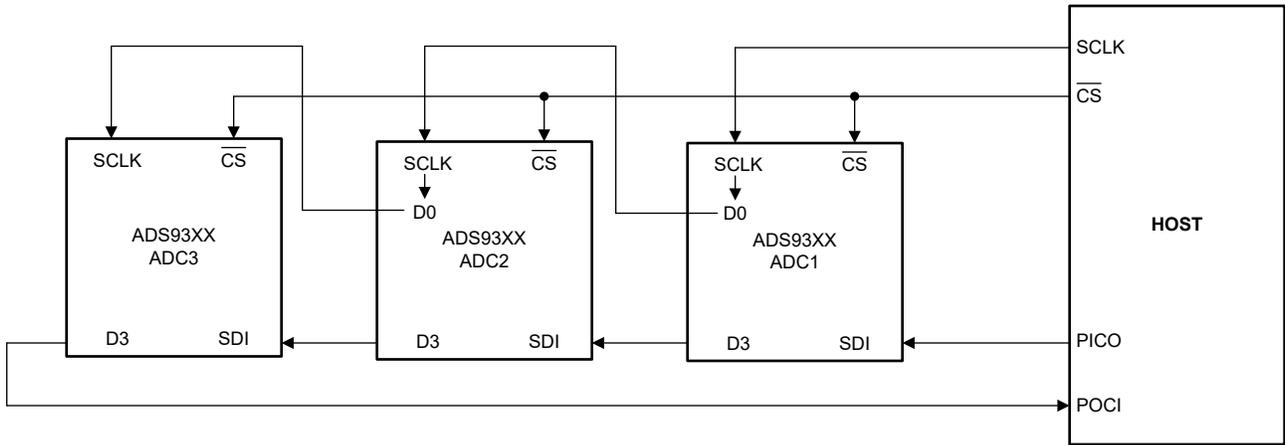


図 7-16. デイジー クロック モードを有効にした場合のデイジーチェーン接続

## 7.4 デバイスの機能モード

### 7.4.1 リセット

リセットしアドレス 0x01 の RESET フィールドに 1b を書き込むことで、ADS932x をリセットします。デバイスレジスタは、リセット後にデフォルト値に初期化されます。

### 7.4.2 通常動作

通常動作モードでは、ADS932x が起動し、CONVST の立ち下がりエッジでサンプル N をデジタル化します。サンプル N-1 に対応するデータは、[図 6-2](#) に示すように、CS の立ち下がりエッジでデジタルインターフェイスで起動します。

### 7.4.3 低レイテンシモード

低レイテンシモードでは、CONVST の立ち下がりエッジでサンプリング N の変換が開始します。サンプル N に対応するデータは、CS の立ち下がりエッジでデジタルインターフェイスで起動されます。[図 6-3](#) に示すように、ホストは CONVST の立ち下がりエッジと CS の間での  $t_{CONV}$  の最小時間を供給します。低レイテンシモードに移行するには、アドレス 0x09 の LATENCY\_MODE に 1b を書き込みます。

### 7.4.4 CS-CONVST ショートモード

CS-CONVST ショートモードでは、CS と CONVST を外部で互いに接続します。[図 6-4](#) に示すように、ADS932x は CONVST の立ち下がりエッジでサンプル N をデジタル化します。サンプル N-1 に対応するデータは CS の立ち下がりエッジでデジタルインターフェイス上で起動します。CS-CONVST 短絡モードはデフォルト (1) でサポートされており、CONVST と CS の立ち下がりエッジの間に 5ns の内部遅延を生成します。アドレス 0x13 の CSZ\_CONVST\_DELAY\_DIS に 1b を書き込むことで、CONVST と CS の間の内部遅延が無効化します。

1. PADS9326VAER では、デフォルトで CS-CONVST ショートモードはサポートされていません。

### 7.4.5 レジスタ読み出しモード

レジスタ読み取りモードでは、デバイスは要求されたデバイスレジスタデータを D3 で起動します。レジスタ読み取りモードに移行するには、[レジスタ読み出し](#)セクションで説明されているように、DATA\_SEL = 1b に設定します。

### 7.4.6 初期化シーケンス

[表 7-10](#) および [表 7-11](#) に示すように、デバイスの電源投入またはリセット後に、レジスタ書き込みシーケンスを使用して ADS9326 および ADS9327 をそれぞれ初期化します。デバイスレジスタは、初期化シーケンスが完了した後にデフォルト値に初期化されます。

表 7-10. ADS9326 の初期化シーケンス

手順番号	レジスタ			説明
	バンク	アドレス	VALUE[15:0]	
1	0	0xFE	0xB38F	レジスタ マップのロック解除 シーケンスフレーム 1
2		0xFE	0xABCD	レジスタ マップのロック解除 シーケンスフレーム 2
3	0	0x01	0x0002	ソフトウェア・リセット
4	1ms 待ちます			
5	0	0x01	0x0000	ソフトウェアリセットをクリア します
6	0	0xFE	0xB38F	レジスタ マップのロック解除 シーケンスフレーム 1
7	0	0xFE	0xABCD	レジスタ マップのロック解除 シーケンスフレーム 2
8	0	0x02	0x0002	レジスタバンク 1 を選択

**表 7-10. ADS9326 の初期化シーケンス (続き)**

手順番号	レジスタ			説明
	バンク	アドレス	VALUE[15:0]	
9	1	0x0C	0x1200	内部リファレンスを選択し、INIT_0(0xC[12]) = 1 を選択します
10	25ms 待ちます			
11	1	0x0C	0x0200	INIT_0(0xC[12]) = 0
12	0	0x03	0x000B	レジスタ バンク 2 のロックを解除
13	0	0x02	0x0008	レジスタ バンク 2 を選択
14	2	0x22	0x0080	INIT_2 = 1
15	0	0x02	0x0002	レジスタ バンク 1 を選択
16	0	0xFE	0x1234	レジスタ マップ ロックのシーケンス

**表 7-11. ADS9327 の初期化シーケンス**

手順番号	レジスタ			説明
	バンク	アドレス	VALUE[15:0]	
1	0	0xFE	0xB38F	レジスタ マップのロック解除シーケンス フレーム 1
2	0	0xFE	0xABCD	レジスタ マップのロック解除シーケンス フレーム 2
3	0	0x01	0x0002	ソフトウェア・リセット
4	1ms 待ちます			
5	0	0x01	0x0000	ソフトウェア リセットをクリアします
6	0	0xFE	0xB38F	レジスタ マップのロック解除シーケンス フレーム 1
7	0	0xFE	0xABCD	レジスタ マップのロック解除シーケンス フレーム 2
8	0	0x02	0x0002	レジスタ バンク 1 を選択
9	1	0x0C	0x0200	内部リファレンスを選択します。
10	0	0x03	0x000B	レジスタ バンク 2 のロックを解除します。
11	0	0x02	0x0008	レジスタ バンク 2 を選択します。
12	2	0x0F	0x4000	INIT_1 = 1
13	0	0x02	0x0002	レジスタ バンク 1 を選択
14	0	0xFE	0x1234	レジスタ マップ ロックのシーケンス

## 7.5 プログラミング

### 7.5.1 レジスタ動作の SPI フレーム長

表 7-12 で説明しているように、レジスタの読み取りまたは書き込み動作には、使用する出力データレーンの数に応じて、24 ビットまたは 48 ビットの SPI を使用します。SPI フレーム長が必要よりも長いまたは短い場合、この不一致により、ユーザー レジスタへの意図しない書き込みが発生します。

表 7-12. SPI フレーム長の要件

出力データレーン数	必要な SCLK の数
4	24
2	24
1	24 または 48

### 7.5.2 レジスタマップロック

ADS932x は、デバイスのレジスタへの偶発的な (意図しない) 書き込みを防止するレジスタ マップ ロック機能を実装しています。デフォルトでは、デバイスのレジスタ マップはロックされています。レジスタの書き込みまたは読み取りを行う前に、表 7-13 に示すシーケンスに従って、レジスタ マップのロックを解除します。

表 7-13. ADS932x レジスタ マップ ロック解除シーケンス

手順番号	レジスタ		
	バンク	アドレス	VALUE[15:0]
1	0	0xFE	0xB38F
2	0	0xFE	0xABCD

レジスタの書き込みまたは読み出し後に、意図しないレジスタへの書き込みを防止するため、レジスタ マップをロックします。レジスタ マップのロック解除シーケンス以外の値をアドレス 0xFE に書き込むと、レジスタ マップがロックされます。デバイス レジスタ マップをロックするシーケンスの例を表 7-14、に示します。

表 7-14. ADS932x レジスタ マップ ロック シーケンスの例

手順番号	レジスタ		
	バンク	アドレス	VALUE[15:0]
1	0	0xFE	0x1234

### 7.5.3 レジスタ書き込み

レジスタ書き込みアクセスは、セクション [レジスタマップロック](#) に記載されているレジスタマップのロック解除シーケンスに従うことでイネーブルされます。16 ビットの構成レジスタは、三つのレジスタ バンクにグループ化されており、8 ビットのレジスタ アドレスでアドレス指定されます。アドレス 0x02 の REG\_BANK\_SEL に 0x02 を書き込むことで、レジスタ バンク 1 が読み出しまたは書き込み動作のために選択されます。バンク 0 のレジスタは、REG\_BANK\_SEL ビットに関係なく、常にアクセスできます。バンク 0 のレジスタ アドレスは固有であり、レジスタ バンク 1 では使用されません。SDI の 24 ビット データは、8 ビット アドレスと 16 ビット データで構成されます。SDI のデータは SCLK の立ち上がりエッジでラッチされます。このデバイスは、CS の立ち上がりエッジで書き込みコマンドをデコードし、レジスタ書き込み動作で指定された 16 ビット データで指定されたレジスタを更新します。図 7-17 に、レジスタ書き込み用の 24 ビット SPI フレームを示し、表 7-15 に、レジスタ書き込みに必要なステップを示します。

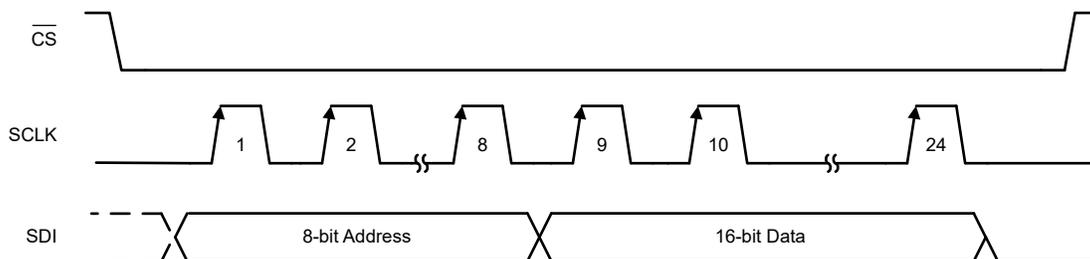


図 7-17. レジスタ書き込みフレーム

表 7-15. レジスタ書き込みシーケンス

フレーム番号	レジスタ		概要
	アドレス	VALUE[15:0]	
1	0xFE	0xB38F	レジスタ マップのロックを解除します。
2	0xFE	0xABCD	
3	0x02	0x02	レジスタ バンク 1 を選択します。この手順は、レジスタバンク 1 にのみ必要です。
4	REG_ADDR	データ	ユーザー データを目的のアドレスに書き込みます。必要なレジスタ書き込みの数だけ、この手順を繰り返します。
5	0xFE	0x1234	レジスタの書き込みが完了した後にレジスタマップをロックします。

### 7.5.4 レジスタ読み出し

レジスタ アクセスは、セクション [レジスタマップロック](#) に記載されているレジスタ マップのロック解除シーケンスに従うことでイネーブルされます。バンク 1 のレジスタを読み出すには、レジスタ・アドレス 0x02 に 0x02 を書き込みます。図 7-18 に示すように、レジスタを読み取るには 24 ビットまたは 48 ビットの SPI フレームが必要です。表 7-16 に、レジスタを読み取るために必要なシーケンスを記載しています。レジスタ マップがロック解除され、レジスタ バンクが選択された後で、REG\_READ\_ADDR に読み取るレジスタ アドレスを書き込みます。アドレス 0x01 で DATA\_SEL = 1 に設定して、次のフレームで D3 のレジスタ データを起動します。CS の立ち上がりエッジでは、読み出しコマンドがデコードされ、要求されたレジスタ データは次のフレームで読み出すことが可能になります。次のフレームで、D3 の最初の 16 ビットは要求されたレジスタ読み出しに対応します。SDI を使用して別の操作を開始するか、SDI を 0 に設定します。次のフレームのデジタル インターフェイスで ADC 変換結果を開始するには、DATA\_SEL = 0b に設定します。レジスタ動作が完了した後、セクション [レジスタマップロック](#) で説明するようにレジスタマップをロックします。

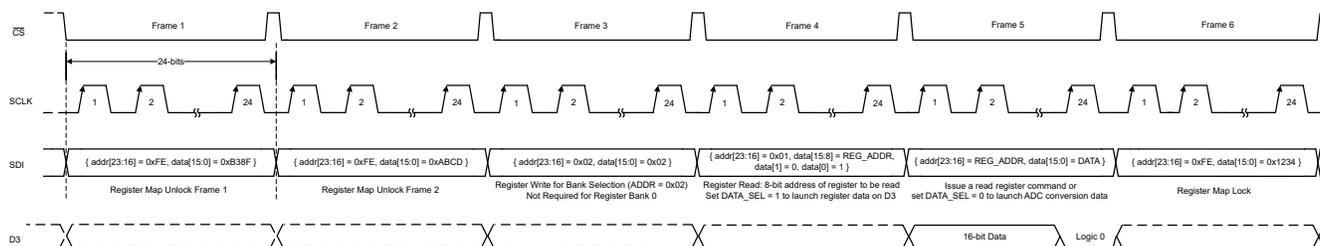


図 7-18. レジスタ読み出し

**表 7-16. レジスタ読み出しシーケンス**

フレーム番号	レジスタ		概要
	アドレス	VALUE[15:0]	
1	0xFE	0xB38F	レジスタ マップのロックを解除します。
2	0xFE	0xABCD	
3	0x02	0x02	レジスタ バンク 1 を選択します。この手順は、レジスタ バンク 1 にのみ必要です。
4	0x01	REG_READ_ADDR[15:8] = REG_ADDR、 RESET[1] = 0、DATA_SEL[0] = 1	REG_READ_ADDR は読み取るアドレスを選択し、DATA_SEL は次のフレームの D3 で選択されたレジスタ データを起動します。
5	REG_ADDR	データ	前のフレームで要求された 16 ビットデータは、D3 で利用できます。このフレームでは、別のレジスタ読み取りコマンドを発行するか、アドレス 0x01 で DATA_SEL = 0 を書き込みます。この設定は、次のフレームでデータインターフェイスで ADC 変換データを起動します。必要なレジスタ読み出しの数だけこの手順を繰り返します。
6	0xFE	0x1234	レジスタ操作が完了した後にレジスタマップをロックします。

## 8 レジスタ マップ : ADS9327

### 8.1 レジスタ バンク 0

表 8-1 に、レジスタ バンク 0 のレジスタに対応するメモリマップド レジスタを一覧表示します。表 8-1 にないレジスタ オフセット アドレスはすべて予約済みと見なします。レジスタの内容は変更してはいけません。

表 8-1. レジスタ バンク 0

アドレス	略称	ビット 15	ビット 14	ビット 13	ビット 12	ビット 11	ビット 10	ビット 9	ビット 8
		ビット 7	ビット 6	ビット 5	ビット 4	ビット 3	ビット 2	ビット 1	ビット 0
0x01	レジスタ 01h	REG_READ_ADDR[7:0]							
		予約済み						リセット	DATA_SEL
0x02	レジスタ 02h	予約済み							
		予約済み				REG_BANK_SEL[3:0]			
0x03	レジスタ 03h	予約済み							
		予約済み				BANK_2_UNLOCK[3:0]			
0xFE	レジスタ FEh	REG_LOCK[15:0]							
		REG_LOCK[15:0]							

表の小さなセルに収まるように、複雑なビット アクセス タイプを記号で表記しています。表 8-2 に、このセクションでアクセス タイプに使用しているコードを示します。

表 8-2. レジスタ バンク 0 アクセス タイプ コード

アクセス タイプ	コード	説明
読み取りタイプ		
R	R	読み出し
書き込みタイプ		
W	W	書き込み
リセットまたはデフォルト値		
-n		リセット後の値またはデフォルト値

### 8.1.1 レジスタ 01h (アドレス = 0x01) [リセット = 0x0000]

概略表に戻ります。

図 8-1. レジスタ 01h

15	14	13	12	11	10	9	8
REG_READ_ADDR[7:0]							
R/W-0000000b							
7	6	5	4	3	2	1	0
予約済み						リセット	DATA_SEL
R/W-000000b						R/W-0b	R/W-0b

表 8-3. レジスタ 01h のフィールドの説明

ビット	フィールド	タイプ	リセット	説明
15:8	REG_READ_ADDR[7:0]	R/W	0000000b	読み取るレジスタの 8 ビットアドレス。
7:2	予約済み	R/W	000000b	予約済み。デフォルトのリセット値から変更しないでください。
1	リセット	R/W	0b	ADC リセット制御。 0b = 通常のデバイス動作。 1b = ADC とすべてのレジスタのリセット
0	DATA_SEL	R/W	0b	ADC のシリアル インターフェイスで起動するデータを選択します。 0b = ADC 変換結果が出力されます。 1b = レジスタ データは D3 に出力されます。

### 8.1.2 レジスタ 02h (アドレス = 0x02) [リセット = 0x0000]

概略表に戻ります。

図 8-2. レジスタ 02h

15	14	13	12	11	10	9	8
予約済み							
R/W-000000000000b							
7	6	5	4	3	2	1	0
予約済み				REG_BANK_SEL[3:0]			
R/W-000000000000b				R/W-0000b			

表 8-4. レジスタ 02h のフィールドの説明

ビット	フィールド	タイプ	リセット	説明
15:4	予約済み	R/W	000000000000b	予約済み。デフォルトのリセット値から変更しないでください。
3:0	REG_BANK_SEL[3:0]	R/W	0000b	読み出しおよび書き込み動作のレジスタ バンクの選択。 0000b = レジスタ バンク 0 を選択します。 0010b = レジスタ バンク 1 を選択します。 1000b = レジスタ バンク 2 を選択します。

### 8.1.3 レジスタ 03h (アドレス = 0x03) [リセット = 0x0000]

[概略表](#)に戻ります。

**図 8-3. レジスタ 03h**

15	14	13	12	11	10	9	8
予約済み							
R/W-000000000000b							
7	6	5	4	3	2	1	0
予約済み				BANK_2_UNLOCK[3:0]			
R/W-000000000000b				R/W-0000b			

**表 8-5. レジスタ 03h のフィールドの説明**

ビット	フィールド	タイプ	リセット	説明
15:4	予約済み	R/W	000000000000b	予約済み。デフォルトのリセット値から変更しないでください。
3:0	BANK_2_UNLOCK[3:0]	R/W	0000b	レジスタバンク 2 のロックを解除するキー。 1011b = レジスタ バンク 2 のロックを解除します。

### 8.1.4 レジスタ FEh (アドレス = 0xFE) [リセット = 0x0000]

[概略表](#)に戻ります。

図 8-4. レジスタ FEh

15	14	13	12	11	10	9	8
REG_LOCK[15:0]							
R/W-0000000000000000b							
7	6	5	4	3	2	1	0
REG_LOCK[15:0]							
R/W-0000000000000000b							

表 8-6. レジスタ FEh のフィールドの説明

ビット	フィールド	タイプ	リセット	説明
15:0	REG_LOCK[15:0]	R/W	0000000000000000000b	キーを押してレジスタ マップのロックを解除し、ロックします。 レジスタ マップのロックを解除するには、0xB38F を書き込み、その後、0xABCD を書き込みます。 レジスタ マップをロックするには、0x1234 を書き込みます。

## 8.2 レジスタ バンク 1

表 8-7 に、レジスタ バンク 1 のレジスタに対応するメモリマップド レジスタを一覧表示します。表 8-7 にないレジスタ オフセット アドレスはすべて予約済みと見なして、レジスタの内容は変更しないでください。

表 8-7. レジスタ バンク 1

アドレス	略称	ビット 15	ビット 14	ビット 13	ビット 12	ビット 11	ビット 10	ビット 9	ビット 8	
		ビット 7	ビット 6	ビット 5	ビット 4	ビット 3	ビット 2	ビット 1	ビット 0	
0x08	レジスタ 08h	予約済み								
		予約済み				PDN_CH[1:0]		予約済み	PDN_CTL	
0x09	レジスタ 09h	予約済み						LATENCY_M ODE	予約済み	
		予約済み	num_data_lanes[2:0]			予約済み				DAISY_CLK
0x0A	レジスタ 0Ah	予約済み								
		予約済み				DIG_DELAY_EN	DRIVE_STRENGTH[2:0]			
0x0B	レジスタ 0Bh	予約済み						DIG_DELAY_D3[2:0]		DIG_DELAY_D2[2:0]
		DIG_DELAY_D2[2:0]		DIG_DELAY_D1[2:0]			DIG_DELAY_D0[2:0]			
0x0C	レジスタ 0Ch	予約済み							PD_REF[1:0]	
		予約済み	CLK_PWR[2:0]			予約済み				
0x0D	レジスタ 0Dh	XOR_EN[4:0]					CRC_EN	予約済み	DATA_FORMAT	
		SAVG_MODE[3:0]				MAVG_MODE[1:0]		AVG_SYNC	SAVG_EN	
0x0F	レジスタ 0Fh	予約済み	TEST_PATT_2_LSB[3:0]				TEST_PATT_1_LSB[3:0]			
		TEST_PATT_1_LSB[3:0]	TEST_RAMP_RST	予約済み		TEST_PATT_MODE[1:0]		TEST_PATT_EN_CHB	TEST_PATT_EN_CHA	
0x10	レジスタ 10h	TEST_PATT_1_MSB[15:0]								
		TEST_PATT_1_MSB[15:0]								
0x11	レジスタ 11h	TEST_PATT_2_MSB[15:0]								
		TEST_PATT_2_MSB[15:0]								
0x13	レジスタ 13h	予約済み								
		CSZ_CONVST_DELAY_DISS	予約済み							
0x14	レジスタ 14h	予約済み								
		予約済み						DIS_INT_BUFFER	INT_REF_MODE[1:0]	
0x39	レジスタ 39h	予約済み	DIS_VCMOUT	予約済み						
		予約済み								

表の小さなセルに収まるように、複雑なビット アクセス タイプを記号で表記しています。表 8-8 に、このセクションでアクセス タイプに使用しているコードを示します。

表 8-8. レジスタ バンク 1 アクセス タイプ コード

アクセス タイプ	コード	説明
読み取りタイプ		
R	R	読み出し
書き込みタイプ		
W	W	書き込み
リセットまたはデフォルト値		
-n		リセット後の値またはデフォルト値

### 8.2.1 レジスタ (アドレス = 0x08) [リセット値 = 0x0000]

概略表に戻ります。

図 8-5. レジスタ 08h

15	14	13	12	11	10	9	8
予約済み							
R/W-000000000000b							
7	6	5	4	3	2	1	0
予約済み				PDN_CH[1:0]		予約済み	PDN_CTL
R/W-000000000000b				R/W-00b		R/W-0b	R/W-0b

表 8-9. レジスタ 08h のフィールドの説明

ビット	フィールド	タイプ	リセット	説明
15:4	予約済み	R/W	000000000000b	予約済み。デフォルトのリセット値から変更しないでください。
3:2	PDN_CH[1:0]	R/W	00b	アナログ入力チャネルのパワーダウン制御。 00b = 通常のデバイス動作。 01b = チャネル A がパワーダウンします。 10b = チャネル B がパワーダウンします。 11b = 双方のチャネルがパワーダウンします。
1	予約済み	R/W	0b	予約済み。デフォルトのリセット値から変更しないでください。
0	PDN_CTL	R/W	0b	フル チップ パワーダウン制御。 0b = 通常のデバイス動作。 1b = デバイス全体のパワーダウン制御。

## 8.2.2 レジスタ 09 h (アドレス = 0x09) [リセット = 0x0000]

概略表に戻ります。

図 8-6. レジスタ 09h

15	14	13	12	11	10	9	8
予約済み					LATENCY_MODE	予約済み	
R/W-00000b					R/W-0b	R/W-000b	
7	6	5	4	3	2	1	0
予約済み	num_data_lanes[2:0]			予約済み			DAISY_CLK
R/W-000b	R/W-000b			R/W-000b			R/W-0b

表 8-10. レジスタ 09h のフィールドの説明

ビット	フィールド	タイプ	リセット	説明
15:11	予約済み	R/W	00000b	予約済み。デフォルトのリセット値から変更しないでください。
10	LATENCY_MODE	R/W	0b	遅延モードを選択するために制御します。 0b = サンプル N - 1 に対応するデータは、サンプル N フレーム中に $\overline{CS}$ の立ち下がりエッジで起動されます。 1b = 低レイテンシ モードはアクティブです。サンプル N に対応するデータは、サンプル N フレーム中に $\overline{CS}$ の立ち下がりエッジで起動されます。CS は、 $t_{CONV} (max)$ まで "High" です。
9:7	予約済み	R/W	000b	予約済み。デフォルトのリセット値から変更しないでください。
6:4	num_data_lanes[2:0]	R/W	000b	シリアル データインターフェイスに使用されるレーン数を選択するには、インターフェイス制御機能を使用します。 000b = D[3:2] に ADC A のデータ出力、D[1:0] に ADC B のデータ出力が行われます。 101b = D3 に ADC A データ出力、D1 に ADC B データ出力。D2 と D0 は HI-Z です。 110b = D3 上の ADC A および ADC B データ出力。D[2:0] は HI-Z です。
3:1	予約済み	R/W	000b	予約済み。デフォルトのリセット値から変更しないでください。
0	DAISY_CLK	R/W	0b	複数のデバイスがデイズー チェーン接続されている場合には、D0 (ピン 16) の SCLK (ピン 17) を介して給電するよう制御します。 0b = D0 はデータ インターフェイス構成に従ってデータを出力します。 1b = D0 は SCLK 経由で供給されます。

### 8.2.3 レジスタ 0Ah (アドレス = 0x0A) [リセット = 0x0000]

概略表に戻ります。

図 8-7. レジスタ 0Ah

15	14	13	12	11	10	9	8
予約済み							
R/W-000000000000b							
7	6	5	4	3	2	1	0
予約済み				DIG_DELAY_EN	DRIVE_STRENGTH[2:0]		
R/W-000000000000b				R/W-0b	R/W-000b		

表 8-11. レジスタ 0Ah のフィールドの説明

ビット	フィールド	タイプ	リセット	説明
15:4	予約済み	R/W	000000000000b	予約済み。デフォルトのリセット値から変更しないでください。
3	DIG_DELAY_EN	R/W	0b	出力バッファパスでのデジタル遅延の制御。 0b = 通常のデバイス動作。 1b = 出力バッファパスのデジタル遅延がイネーブルになります。振幅は、アドレス 0Bh の DIG_DELAY_Dx フィールドで制御されます。
2:0	DRIVE_STRENGTH[2:0]	R/W	000b	デジタル出力バッファの駆動能力を構成するための制御機能。 000b = 通常のデバイス動作。 101b = ゲートドライブ強度の 0.5 倍です。 110b = ゲートドライブ強度の 2 倍です。 111b = ゲートドライブ強度の 1.5 倍です。

## 8.2.4 レジスタ 0Bh (アドレス = 0x0B) [リセット = 0x0000]

概略表に戻ります。

図 8-8. レジスタ 0Bh

15	14	13	12	11	10	9	8
予約済み				DIG_DELAY_D3[2:0]			DIG_DELAY_D2[2:0]
R/W-0000b				R/W-000b			R/W-000b
7	6	5	4	3	2	1	0
DIG_DELAY_D2[2:0]		DIG_DELAY_D1[2:0]			DIG_DELAY_D0[2:0]		
R/W-000b		R/W-000b			R/W-000b		

表 8-12. レジスタ 0Bh のフィールドの説明

ビット	フィールド	タイプ	リセット	説明
15:12	予約済み	R/W	0000b	予約済み。デフォルトのリセット値から変更しないでください。
11:9	DIG_DELAY_D3[2:0]	R/W	000b	D3 上のプログラム可能なデジタル遅延。 000b = 0ns 遅延あり。 001b = 1ns 遅延あり。 010b = 2ns 遅延あり。 011b = 3ns 遅延あり。 100b = 4ns 遅延あり。 101b = 5ns 遅延あり。
8:6	DIG_DELAY_D2[2:0]	R/W	000b	D2 上のプログラム可能なデジタル遅延。 000b = 0ns 遅延あり。 001b = 1ns 遅延あり。 010b = 2ns 遅延あり。 011b = 3ns 遅延あり。 100b = 4ns 遅延あり。 101b = 5ns 遅延あり。
5:3	DIG_DELAY_D1[2:0]	R/W	000b	D1 上のプログラム可能なデジタル遅延。 000b = 0ns 遅延あり。 001b = 1ns 遅延あり。 010b = 2ns 遅延あり。 011b = 3ns 遅延あり。 100b = 4ns 遅延あり。 101b = 5ns 遅延あり。
2:0	DIG_DELAY_D0[2:0]	R/W	000b	D0 上のプログラム可能なデジタル遅延。 000b = 0ns 遅延あり。 001b = 1ns 遅延あり。 010b = 2ns 遅延あり。 011b = 3ns 遅延あり。 100b = 4ns 遅延あり。 101b = 5ns 遅延あり。

### 8.2.5 レジスタ 0Ch (アドレス = 0x0C) [リセット = 0x0000]

概略表に戻ります。

図 8-9. レジスタ 0Ch

15	14	13	12	11	10	9	8
予約済み						PD_REF[1:0]	
R/W-000000b						R/W-00b	
7	6	5	4	3	2	1	0
予約済み	CLK_PWR[2:0]			予約済み			
R/W-0b	R/W-000b			R/W-0000b			

表 8-13. レジスタ 0Ch のフィールドの説明

ビット	フィールド	タイプ	リセット	説明
15:10	予約済み	R/W	000000b	予約済み。デフォルトのリセット値から変更しないでください。
9:8	PD_REF[1:0]	R/W	00b	ADC リファレンス電圧源の選択。 10b = 内部リファレンス電圧はオンであると仮定 11b = 内部リファレンスは非アクティブです。外部リファレンスを REFIO (ピン 9) に強制します。
7	予約済み	R/W	0b	予約済み。デフォルトのリセット値から変更しないでください。
6:4	CLK_PWR[2:0]	R/W	000b	入力クロックの電源ドメインを選択するために制御します。 000b = IOVDD ドメインです。 101b = VDD_1V8 ドメインです。
3:0	予約済み	R/W	0000b	予約済み。デフォルトのリセット値から変更しないでください。

## 8.2.6 レジスタ 0Dh (アドレス = 0x0D) [リセット = 0x0000]

概略表に戻ります。

図 8-10. レジスタ 0Dh

15	14	13	12	11	10	9	8
XOR_EN[4:0]				CRC_EN		予約済み	DATA_FORMAT
R/W-00000b				R/W-0b		R/W-0b	R/W-0b
7	6	5	4	3	2	1	0
SAVG_MODE[3:0]				MAVG_MODE[1:0]		AVG_SYNC	SAVG_EN
R/W-0000b				R/W-00b		R/W-0b	R/W-0b

表 8-14. レジスタ 0Dh のフィールドの説明

ビット	フィールド	タイプ	リセット	説明
15:11	XOR_EN[4:0]	R/W	00000b	ADC 変換結果で XOR 動作を有効にします。 00000b = XOR 動作は非アクティブです。 01111b = ADC 変換結果のビット単位 XOR 動作がアクティブです。
10	CRC_EN	R/W	0b	制御を使用して、データインターフェイスで CRC をイネーブルにします。 0b = CRC モジュールは非アクティブです。 1b = CRC モジュールはアクティブです。
9	予約済み	R/W	0b	予約済み。デフォルトのリセット値から変更しないでください。
8	DATA_FORMAT	R/W	0b	ADC 変換結果のデータフォーマットを選択します。 0b = 二つの補数形式です。 1b = ストレートバイナリ形式です。
7:4	SAVG_MODE[3:0]	R/W	0000b	単純な平均化モードで平均化するサンプル数を制御します。 0000b = 2 サンプルの平均です。 0001b - 4 サンプルの平均です。 0010b - 8 サンプルの平均です。 0011b - 16 サンプルの平均です。 0100b - 32 サンプルの平均です。 0101b - 64 サンプルの平均です。 0110b - 128 サンプルの平均です。
3:2	MAVG_MODE[1:0]	R/W	00b	移動平均モードで平均化するサンプル数を制御します。 00b = 移動平均は非アクティブです。 01b = 2 つの移動サンプルの平均化です。 10b = 4 つの移動サンプルの平均化です。 11b = 8 つの移動サンプルの平均化です。
1	AVG_SYNC	R/W	0b	内部平均化フィルタの同期制御。 次のサイクルから平均化が開始すると、1b を書き込むとトリガされます。
0	SAVG_EN	R/W	0b	データ平均化を有効にするための制御。SAVG_MODE で平均化するサンプル数を選択します。 0b = 単純な平均化は非アクティブです。 1b = 単純な平均化はアクティブです。

### 8.2.7 レジスタ 0Fh (アドレス = 0x0F) [リセット = 0x0000]

概略表に戻ります。

図 8-11. レジスタ 0Fh

15		14		13		12		11		10		9		8	
予約済み		TEST_PATT_2_LSB[3:0]						TEST_PATT_1_LSB[3:0]							
R/W-0b		R/W-0000b						R/W-0000b							
7		6		5		4		3		2		1		0	
TEST_PATT_1_LSB[3:0]		TEST_RAMP_RST		予約済み		TEST_PATT_MODE[1:0]		TEST_PATT_EN_CH B		TEST_PATT_EN_CH A					
R/W-0000b		R/W-0b		R/W-00b		R/W-00b		R/W-00b		R/W-0b		R/W-0b		R/W-0b	

表 8-15. レジスタ 0Fh のフィールドの説明

ビット	フィールド	タイプ	リセット	説明
15	予約済み	R/W	0b	予約済み。デフォルトのリセット値から変更しないでください。
14:11	TEST_PATT_2_LSB[3:0]	R/W	0000b	ADC B に対応する LSB 4 ビットテストパターンです。
10:7	TEST_PATT_1_LSB[3:0]	R/W	0000b	ADC A に対応する LSB 4 ビットテストパターンです。
6	TEST_RAMP_RST	R/W	0b	0 から開始するランプ パターンをリセットするように制御します。TEST_PATT_MODE がランプ パターンに設定されているとき、このレジスタ ビットを切り替えてランプ パターンをリセットします。
5:4	予約済み	R/W	00b	予約済み。デフォルトのリセット値から変更しないでください。
3:2	TEST_PATT_MODE[1:0]	R/W	00b	データ インターフェイスのテスト パターンのタイプ。 00b = ADC は、アドレス 0x10 の TEST_PATT_1_MSB、アドレス 0x0F の TEST_PATT_1_LSB に定義された定数パターンを出力します。ADC B のテストパターンは、アドレス 0x11 の TEST_PATT_2_MSB、アドレス 0x0F の TEST_PATT_2_LSB に定義されます。 01b = ランプ パターンです。 10b = AAAA と 5555 の交互パターンを読み出しごとに切り替えます。
1	TEST_PATT_EN_CHB	R/W	0b	ADC B のデジタル テスト パターンを有効化するよう制御します。 0b = ADC 変換結果がデータ インターフェイスで起動されます。 1b = デジタル テスト パターンがデータ インターフェイス上で起動されます。
0	TEST_PATT_EN_CHA	R/W	0b	ADC A のデジタル テスト パターンを有効化するよう制御します。 0b = ADC 変換結果がデータ インターフェイスで起動されます。 1b = デジタル テスト パターンがデータ インターフェイス上で起動されます。

### 8.2.8 レジスタ 10h (アドレス = 0x10) [リセット = 0x0000]

[概略表](#)に戻ります。

**図 8-12. レジスタ 10h**

15	14	13	12	11	10	9	8
TEST_PATT_1_MSB[15:0]							
R/W-0000000000000000b							
7	6	5	4	3	2	1	0
TEST_PATT_1_MSB[15:0]							
R/W-0000000000000000b							

**表 8-16. レジスタ 10h のフィールドの説明**

ビット	フィールド	タイプ	リセット	説明
15:0	TEST_PATT_1_MSB[15:0]	R/W	0000000000000000000b	ADC A に対応する MSB 16 ビットテストパターンです。

### 8.2.9 レジスタ 11h (アドレス = 0x11) [リセット = 0x0000]

[概略表](#)に戻ります。

図 8-13. レジスタ 11h

15	14	13	12	11	10	9	8
TEST_PATT_2_MSB[15:0]							
R/W-0000000000000000b							
7	6	5	4	3	2	1	0
TEST_PATT_2_MSB[15:0]							
R/W-0000000000000000b							

表 8-17. レジスタ 11h のフィールドの説明

ビット	フィールド	タイプ	リセット	説明
15:0	TEST_PATT_2_MSB[15:0]	R/W	0000000000000000000b	ADC B に対応する MSB 16 ビットテストパターンです。

### 8.2.10 レジスタ 13h (アドレス = 0x13) [リセット = 0x0000]

概略表に戻ります。

図 8-14. レジスタ 13h

15	14	13	12	11	10	9	8
予約済み							
R/W-0000000b							
7	6	5	4	3	2	1	0
CSZ_CONVST_DEL AY_DIS	予約済み						
R/W-0b	R/W-0000000b						

表 8-18. レジスタ 13h のフィールドの説明

ビット	フィールド	タイプ	リセット	説明
15:8	予約済み	R/W	0000000b	予約済み。デフォルトのリセット値から変更しないでください。
7	CSZ_CONVST_DELAY_DIS	R/W	0b	CONVST と $\overline{CS}$ の立ち下がりエッジ間の内部 5ns 遅延を無効化するように制御します。 0b = 通常のデバイス動作。 1b = CONVST と $\overline{CS}$ の間の内部 5ns 遅延を無効化します。t <sub>d_CCLK</sub> は 12ns に低下し、t <sub>ht_CVCS</sub> は 10ns に上昇します。
6:0	予約済み	R/W	0000000b	予約済み。デフォルトのリセット値から変更しないでください。

### 8.2.11 レジスタ 14h (アドレス = 0x14) [リセット = 0x0000]

概略表に戻ります。

図 8-15. レジスタ 14h

15	14	13	12	11	10	9	8
予約済み							
R/W-00000000000000b							
7	6	5	4	3	2	1	0
予約済み					DIS_INT_BUFFER	INT_REF_MODE[1:0]	
R/W-00000000000000b					R/W-0b	R/W-00b	

表 8-19. レジスタ 14h のフィールドの説明

ビット	フィールド	タイプ	リセット	説明
15:3	予約済み	R/W	00000000000000b	予約済み。デフォルトのリセット値から変更しないでください。
2	DIS_INT_BUFFER	R/W	0b	内部入力バッファを無効化し、AVDD 電流を低下させるよう制御します。 0b = 内部バッファはアクティブです。 1b = 内部バッファは非アクティブです。AVDD 電流は、5MSPS で最大 300uA に低下します。
1:0	INT_REF_MODE[1:0]	R/W	00b	AVDD が 5V のときに内部リファレンス電圧を選択するよう制御します。 00b = 4.096V 内部リファレンスです。 01b = 2.5V 内部リファレンスです。 11b = 3.3V 内部リファレンスです。

## 8.2.12 レジスタ 39h (アドレス = 0x39) [リセット = 0x0000]

[概略表](#)に戻ります。

**図 8-16. レジスタ 39h**

15	14	13	12	11	10	9	8
予約済み	DIS_VCMOUT						予約済み
R/W-0b	R/W-0b						R/W-00000000000000b
7	6	5	4	3	2	1	0
							予約済み
							R/W-00000000000000b

**表 8-20. レジスタ 39h のフィールドの説明**

ビット	フィールド	タイプ	リセット	説明
15	予約済み	R/W	0b	予約済み。デフォルトのリセット値から変更しないでください。
14	DIS_VCMOUT	R/W	0b	VCMOUT を無効化するように制御します。 0b = VCMOUT はアクティブです。 1b = VCMOUT は非アクティブです。
13:0	予約済み	R/W	00000000000000 0b	予約済み。デフォルトのリセット値から変更しないでください。

### 8.3 レジスタ バンク 2

表 8-21 レジスタバンク 2 のレジスタに対応するメモリマップドレジスタを一覧表示します。に示されていないすべてのレジスタ オフセット アドレスは予約済みであり、レジスタの内容は変更しないようにして表 8-21 ください。

表 8-21. レジスタ バンク 2

アドレス	略称	ビット 15	ビット 14	ビット 13	ビット 12	ビット 11	ビット 10	ビット 9	ビット 8
		ビット 7	ビット 6	ビット 5	ビット 4	ビット 3	ビット 2	ビット 1	ビット 0
0x09	レジスタ 09h	予約済み							
		予約済み			PD_REFBUF	予約済み			

表の小さなセルに収まるように、複雑なビット アクセス タイプを記号で表記しています。表 8-22 に、このセクションでアクセス タイプに使用しているコードを示します。

表 8-22. レジスタ バンク 2 アクセス タイプ コード

アクセス タイプ	コード	説明
読み取りタイプ		
R	R	読み出し
書き込みタイプ		
W	W	書き込み
リセットまたはデフォルト値		
-n		リセット後の値またはデフォルト値

#### 8.3.1 レジスタ 09 h (アドレス = 0x09) [リセット = 0x0000]

概略表に戻ります。

図 8-17. レジスタ 09h

15	14	13	12	11	10	9	8
予約済み							
R/W-00000000000b							
7	6	5	4	3	2	1	0
予約済み			PD_REFBUF	予約済み			
R/W-00000000000b			R/W-0b	R/W-0000b			

表 8-23. レジスタ 09h のフィールドの説明

ビット	フィールド	タイプ	リセット	説明
15:5	予約済み	R/W	00000000000b	予約済み。デフォルトのリセット値から変更しないでください。
4	PD_REFBUF	R/W	0b	内部リファレンス バッファのパワーダウンを制御します。 0b = 内部リファレンス バッファがアクティブです。 1b = 内部リファレンス バッファは非アクティブです。外部リファレンス バッファを使用し、外部リファレンスを REFIO ピンと REF_CAP ピンに接続します。
3:0	予約済み	R/W	0000b	予約済み。デフォルトのリセット値から変更しないでください。

## 9 レジスタ マップ : ADS9326

### 9.1 レジスタ バンク 0

表 9-1 に、レジスタ バンク 0 のレジスタに対応するメモリマップド レジスタを一覧表示します。表 9-1 にないレジスタ オフセット アドレスはすべて予約済みと見なします。レジスタの内容は変更してはいけません。

表 9-1. レジスタ バンク 0

アドレス	略称	ビット 15	ビット 14	ビット 13	ビット 12	ビット 11	ビット 10	ビット 9	ビット 8
		ビット 7	ビット 6	ビット 5	ビット 4	ビット 3	ビット 2	ビット 1	ビット 0
0x01	レジスタ 01h	REG_READ_ADDR[7:0]							
		予約済み						リセット	DATA_SEL
0x02	レジスタ 02h	予約済み							
		予約済み				REG_BANK_SEL[3:0]			
0x03	レジスタ 03h	予約済み							
		予約済み				BANK_2_UNLOCK[3:0]			
0xFE	レジスタ FEh	REG_LOCK[15:0]							
		REG_LOCK[15:0]							

表の小さなセルに収まるように、複雑なビット アクセス タイプを記号で表記しています。表 9-2 に、このセクションでアクセス タイプに使用しているコードを示します。

表 9-2. レジスタ バンク 0 アクセス タイプ コード

アクセス タイプ	コード	説明
読み取りタイプ		
R	R	読み出し
書き込みタイプ		
W	W	書き込み
リセットまたはデフォルト値		
-n		リセット後の値またはデフォルト値

### 9.1.1 レジスタ 01h (アドレス = 0x01) [リセット = 0x0000]

概略表に戻ります。

図 9-1. レジスタ 01h

15	14	13	12	11	10	9	8
REG_READ_ADDR[7:0]							
R/W-0000000b							
7	6	5	4	3	2	1	0
予約済み						リセット	DATA_SEL
R/W-000000b						R/W-0b	R/W-0b

表 9-3. レジスタ 01h のフィールドの説明

ビット	フィールド	タイプ	リセット	説明
15:8	REG_READ_ADDR[7:0]	R/W	0000000b	読み取るレジスタの 8 ビットアドレス。
7:2	予約済み	R/W	000000b	予約済み。デフォルトのリセット値から変更しないでください。
1	リセット	R/W	0b	ADC リセット制御。 0b = 通常のデバイス動作。 1b = ADC とすべてのレジスタのリセット
0	DATA_SEL	R/W	0b	ADC のシリアル インターフェイスで起動するデータを選択します。 0b = ADC 変換結果が出力されます。 1b = レジスタ データは D3 に出力されます。

### 9.1.2 レジスタ 02h (アドレス = 0x02) [リセット = 0x0000]

[概略表](#)に戻ります。

**図 9-2. レジスタ 02h**

15	14	13	12	11	10	9	8
予約済み							
R/W-000000000000b							
7	6	5	4	3	2	1	0
予約済み				REG_BANK_SEL[3:0]			
R/W-000000000000b				R/W-0000b			

**表 9-4. レジスタ 02h のフィールドの説明**

ビット	フィールド	タイプ	リセット	説明
15:4	予約済み	R/W	000000000000b	予約済み。デフォルトのリセット値から変更しないでください。
3:0	REG_BANK_SEL[3:0]	R/W	0000b	読み出しおよび書き込み動作のレジスタバンクの選択。 0000b = レジスタバンク 0 を選択します。 0010b = レジスタバンク 1 を選択します。 1000b = レジスタバンク 2 を選択します。

### 9.1.3 レジスタ 03h (アドレス = 0x03) [リセット = 0x0000]

[概略表](#)に戻ります。

図 9-3. レジスタ 03h

15	14	13	12	11	10	9	8
予約済み							
R/W-000000000000b							
7	6	5	4	3	2	1	0
予約済み				BANK_2_UNLOCK[3:0]			
R/W-000000000000b				R/W-0000b			

表 9-5. レジスタ 03h のフィールドの説明

ビット	フィールド	タイプ	リセット	説明
15:4	予約済み	R/W	000000000000b	予約済み。デフォルトのリセット値から変更しないでください。
3:0	BANK_2_UNLOCK[3:0]	R/W	0000b	レジスタバンク 2 のロックを解除するキー。 1011b = レジスタ バンク 2 のロックを解除します。

### 9.1.4 レジスタ FEh (アドレス = 0xFE) [リセット = 0x0000]

[概略表](#)に戻ります。

**図 9-4. レジスタ FEh**

15	14	13	12	11	10	9	8
REG_LOCK[15:0]							
R/W-0000000000000000b							
7	6	5	4	3	2	1	0
REG_LOCK[15:0]							
R/W-0000000000000000b							

**表 9-6. レジスタ FEh のフィールドの説明**

ビット	フィールド	タイプ	リセット	説明
15:0	REG_LOCK[15:0]	R/W	0000000000000000000b	キーを押してレジスタ マップのロックを解除し、ロックします。レジスタ マップのロックを解除するには、0xB38F を書き込み、その後に 0xABCD を書き込みます。レジスタ マップをロックするには、0x1234 を書き込みます。

## 9.2 レジスタ バンク 1

表 9-7 に、レジスタ バンク 1 のレジスタに対応するメモリマップド レジスタを一覧表示します。表 9-7 にないレジスタ オフセット アドレスはすべて予約済みと見なします。レジスタの内容は変更してはいけません。

表 9-7. レジスタ バンク 1

アドレス	略称	ビット 15	ビット 14	ビット 13	ビット 12	ビット 11	ビット 10	ビット 9	ビット 8	
		ビット 7	ビット 6	ビット 5	ビット 4	ビット 3	ビット 2	ビット 1	ビット 0	
0x08	レジスタ 08h	予約済み								
		予約済み				PDN_CH[1:0]		予約済み	PDN_CTL	
0x09	レジスタ 09h	予約済み						LATENCY_M ODE	予約済み	
		予約済み	num_data_lanes[2:0]			予約済み				DAISY_CLK
0x0A	レジスタ 0Ah	予約済み								
		予約済み				DIG_DELAY_EN	DRIVE_STRENGTH[2:0]			
0x0B	レジスタ 0Bh	予約済み						DIG_DELAY_D3[2:0]		DIG_DELAY_D2[2:0]
		DIG_DELAY_D2[2:0]		DIG_DELAY_D1[2:0]			DIG_DELAY_D0[2:0]			
0x0C	レジスタ 0Ch	予約済み						PD_REF[1:0]		
		予約済み	CLK_PWR[2:0]			予約済み				
0x0D	レジスタ 0Dh	XOR_EN[4:0]					CRC_EN	予約済み	DATA_FORMAT	
		SAVG_MODE[3:0]				予約済み		AVG_SYNC	SAVG_EN	
0x0F	レジスタ 0Fh	予約済み								
		予約済み	TEST_PATT_INCR[1:0]		TEST_PATT_MODE[1:0]		予約済み	TEST_PATT_EN		
0x10	レジスタ 10h	TEST_PATT_1[15:0]								
		TEST_PATT_1[15:0]								
0x11	レジスタ 11h	TEST_PATT_2[15:0]								
		TEST_PATT_2[15:0]								
0x13	レジスタ 13h	予約済み						CSZ_CONVST_SHORT_EN[2:0]		
		CSZ_CONVST_SHORT_EN[2:0]	予約済み							

表の小さなセルに収まるように、複雑なビット アクセス タイプを記号で表記しています。表 9-8 に、このセクションでアクセス タイプに使用しているコードを示します。

表 9-8. レジスタ バンク 1 アクセス タイプ コード

アクセス タイプ	コード	説明
読み取りタイプ		
R	R	読み出し
書き込みタイプ		
W	W	書き込み
リセットまたはデフォルト値		
-n		リセット後の値またはデフォルト値

### 9.2.1 レジスタ (アドレス = 0x08) [リセット値 = 0x0000]

概略表に戻ります。

図 9-5. レジスタ 08h

15	14	13	12	11	10	9	8
予約済み							
R/W-000000000000b							
7	6	5	4	3	2	1	0
予約済み				PDN_CH[1:0]		予約済み	PDN_CTL
R/W-000000000000b				R/W-00b		R/W-0b	R/W-0b

表 9-9. レジスタ 08h のフィールドの説明

ビット	フィールド	タイプ	リセット	説明
15:4	予約済み	R/W	000000000000b	予約済み。デフォルトのリセット値から変更しないでください。
3:2	PDN_CH[1:0]	R/W	00b	アナログ入力チャネルのパワーダウン制御。 00b = 通常のデバイス動作。 01b = チャネル A がパワーダウンします。 10b = チャネル B がパワーダウンします。 11b = 双方のチャネルがパワーダウンします。
1	予約済み	R/W	0b	予約済み。デフォルトのリセット値から変更しないでください。
0	PDN_CTL	R/W	0b	フル チップ パワーダウン制御。 0b = 通常のデバイス動作。 1b = デバイス全体のパワーダウン制御。

### 9.2.2 レジスタ 09 h (アドレス = 0x09) [リセット = 0x0000]

概略表に戻ります。

図 9-6. レジスタ 09h

15	14	13	12	11	10	9	8
予約済み					LATENCY_MODE	予約済み	
R/W-00000b					R/W-0b	R/W-000b	
7	6	5	4	3	2	1	0
予約済み	num_data_lanes[2:0]			予約済み			DAISY_CLK
R/W-000b	R/W-000b			R/W-000b			R/W-0b

表 9-10. レジスタ 09h のフィールドの説明

ビット	フィールド	タイプ	リセット	説明
15:11	予約済み	R/W	00000b	予約済み。デフォルトのリセット値から変更しないでください。
10	LATENCY_MODE	R/W	0b	遅延モードを選択するために制御します。 0b = サンプル N - 1 に対応するデータは、サンプル N フレーム中に $\overline{CS}$ の立ち下がりエッジで起動されます。 1b = 低レイテンシ モードはアクティブです。サンプル N に対応するデータは、サンプル N フレーム中に $\overline{CS}$ の立ち下がりエッジで起動されます。CS は、 $t_{CONV} (max)$ まで "High" です。
9:7	予約済み	R/W	000b	予約済み。デフォルトのリセット値から変更しないでください。
6:4	num_data_lanes[2:0]	R/W	000b	シリアル データインターフェイスに使用されるレーン数を選択するには、インターフェイス制御機能を使用します。 000b = D[3:2] に ADC A のデータ出力、D[1:0] に ADC B のデータ出力が行われます。 101b = D3 に ADC A データ出力、D1 に ADC B データ出力。D2 と D0 は HI-Z です。 110b = D3 上の ADC A および ADC B データ出力。D[2:0] は HI-Z です。
3:1	予約済み	R/W	000b	予約済み。デフォルトのリセット値から変更しないでください。
0	DAISY_CLK	R/W	0b	複数のデバイスがダイジー チェーン接続されている場合には、D0 (ピン 16) の SCLK (ピン 17) を介して給電するよう制御します。 0b = D0 はデータ インターフェイス構成に従ってデータを出力します。 1b = D0 は SCLK 経由で供給されます。

### 9.2.3 レジスタ 0Ah (アドレス = 0x0A) [リセット = 0x0000]

概略表に戻ります。

図 9-7. レジスタ 0Ah

15	14	13	12	11	10	9	8
予約済み							
R/W-000000000000b							
7	6	5	4	3	2	1	0
予約済み				DIG_DELAY_EN	DRIVE_STRENGTH[2:0]		
R/W-000000000000b				R/W-0b	R/W-000b		

表 9-11. レジスタ 0Ah のフィールドの説明

ビット	フィールド	タイプ	リセット	説明
15:4	予約済み	R/W	000000000000b	予約済み。デフォルトのリセット値から変更しないでください。
3	DIG_DELAY_EN	R/W	0b	出力バッファバスでのデジタル遅延の制御。 0b = 通常のデバイス動作。 1b = 出力バッファバスのデジタル遅延がイネーブルになります。振幅は、アドレス 0Bh の DIG_DELAY_Dx フィールドで制御されます。
2:0	DRIVE_STRENGTH[2:0]	R/W	000b	デジタル出力バッファの駆動能力を構成するための制御機能。 000b = 通常のデバイス動作。 101b = ゲートドライブ強度の 0.5 倍です。 110b = ゲートドライブ強度の 2 倍です。 111b = ゲートドライブ強度の 1.5 倍です。

### 9.2.4 レジスタ 0Bh (アドレス = 0x0B) [リセット = 0x0000]

概略表に戻ります。

図 9-8. レジスタ 0Bh

15		14		13		12		11		10		9		8	
予約済み								DIG_DELAY_D3[2:0]				DIG_DELAY_D2[2:0]			
R/W-000b								R/W-000b				R/W-000b			
7		6		5		4		3		2		1		0	
DIG_DELAY_D2[2:0]				DIG_DELAY_D1[2:0]				DIG_DELAY_D0[2:0]							
R/W-000b				R/W-000b				R/W-000b							

表 9-12. レジスタ 0Bh のフィールドの説明

ビット	フィールド	タイプ	リセット	説明
15:12	予約済み	R/W	0000b	予約済み。デフォルトのリセット値から変更しないでください。
11:9	DIG_DELAY_D3[2:0]	R/W	000b	D3 上のプログラム可能なデジタル遅延。 000b = 0ns 遅延あり。 001b = 1ns 遅延あり。 010b = 2ns 遅延あり。 011b = 3ns 遅延あり。 100b = 4ns 遅延あり。 101b = 5ns 遅延あり。
8:6	DIG_DELAY_D2[2:0]	R/W	000b	D2 上のプログラム可能なデジタル遅延。 000b = 0ns 遅延あり。 001b = 1ns 遅延あり。 010b = 2ns 遅延あり。 011b = 3ns 遅延あり。 100b = 4ns 遅延あり。 101b = 5ns 遅延あり。
5:3	DIG_DELAY_D1[2:0]	R/W	000b	D1 上のプログラム可能なデジタル遅延。 000b = 0ns 遅延あり。 001b = 1ns 遅延あり。 010b = 2ns 遅延あり。 011b = 3ns 遅延あり。 100b = 4ns 遅延あり。 101b = 5ns 遅延あり。
2:0	DIG_DELAY_D0[2:0]	R/W	000b	D0 上のプログラム可能なデジタル遅延。 000b = 0ns 遅延あり。 001b = 1ns 遅延あり。 010b = 2ns 遅延あり。 011b = 3ns 遅延あり。 100b = 4ns 遅延あり。 101b = 5ns 遅延あり。

## 9.2.5 レジスタ 0Ch (アドレス = 0x0C) [リセット = 0x0000]

概略表に戻ります。

図 9-9. レジスタ 0Ch

15	14	13	12	11	10	9	8
予約済み						PD_REF[1:0]	
R/W-000000b						R/W-00b	
7	6	5	4	3	2	1	0
予約済み	CLK_PWR[2:0]			予約済み			
R/W-0b	R/W-000b			R/W-0000b			

表 9-13. レジスタ 0Ch のフィールドの説明

ビット	フィールド	タイプ	リセット	説明
15:10	予約済み	R/W	000000b	予約済み。デフォルトのリセット値から変更しないでください。
9:8	PD_REF[1:0]	R/W	00b	ADC リファレンス電圧源の選択。 10b = 内部リファレンス電圧はオンであると仮定 11b = 内部リファレンスは非アクティブです。外部リファレンスを REFIO (ピン 9) に強制します。
7	予約済み	R/W	0b	予約済み。デフォルトのリセット値から変更しないでください。
6:4	CLK_PWR[2:0]	R/W	000b	入力クロックの電源ドメインを選択するために制御します。 000b = IOVDD ドメインです。 101b = VDD_1V8 ドメインです。
3:0	予約済み	R/W	0000b	予約済み。デフォルトのリセット値から変更しないでください。

### 9.2.6 レジスタ 0Dh (アドレス = 0x0D) [リセット = 0x0000]

概略表に戻ります。

図 9-10. レジスタ 0Dh

15	14	13	12	11	10	9	8
XOR_EN[4:0]				CRC_EN	予約済み	DATA_FORMAT	
R/W-00000b				R/W-0b	R/W-0b	R/W-0b	
7	6	5	4	3	2	1	0
SAVG_MODE[3:0]			予約済み		AVG_SYNC	SAVG_EN	
R/W-0000b			R/W-00b		R/W-0b	R/W-0b	

表 9-14. レジスタ 0Dh のフィールドの説明

ビット	フィールド	タイプ	リセット	説明
15:11	XOR_EN[4:0]	R/W	00000b	ADC 変換結果で XOR 動作を有効にします。 00000b = XOR 動作は非アクティブです。 01111b = ADC 変換結果のビット単位 XOR 動作がアクティブです。
10	CRC_EN	R/W	0b	制御を使用して、データインターフェイスで CRC をイネーブルにします。 0b = CRC モジュールは非アクティブです。 1b = CRC モジュールはアクティブです。
9	予約済み	R/W	0b	予約済み。デフォルトのリセット値から変更しないでください。
8	DATA_FORMAT	R/W	0b	ADC 変換結果のデータフォーマットを選択します。 0b = 二つの補数形式です。 1b = ストレート バイナリ形式です。
7:4	SAVG_MODE[3:0]	R/W	0000b	単純な平均化モードで平均化するサンプル数を制御します。 0000b = 2 サンプルの平均です。 0001b - 4 サンプルの平均です。 0010b - 8 サンプルの平均です。 0011b - 16 サンプルの平均です。 0100b - 32 サンプルの平均です。 0101b - 64 サンプルの平均です。 0110b - 128 サンプルの平均です。
3:2	予約済み	R/W	00b	予約済み。デフォルトのリセット値から変更しないでください。
1	AVG_SYNC	R/W	0b	内部平均化フィルタの同期制御。 次のサイクルから平均化が開始しなければならないとき、1b を書き込むとトリガされます。
0	SAVG_EN	R/W	0b	データ平均化を有効にするための制御。SAVG_MODE で平均化するサンプル数を選択します。 0b = 単純な平均化は非アクティブです。 1b = 単純な平均化はアクティブです。

## 9.2.7 レジスタ 0Fh (アドレス = 0x0F) [リセット = 0x0000]

概略表に戻ります。

図 9-11. レジスタ 0Fh

15	14	13	12	11	10	9	8
予約済み							
R/W-0000000000b							
7	6	5	4	3	2	1	0
予約済み	TEST_PATT_INCR[1:0]			TEST_PATT_MODE[1:0]		予約済み	TEST_PATT_EN
R/W-0000000000b	R/W-00b			R/W-00b		R/W-0b	R/W-0b

表 9-15. レジスタ 0Fh のフィールドの説明

ビット	フィールド	タイプ	リセット	説明
15:6	予約済み	R/W	0000000000b	予約済み。デフォルトのリセット値から変更しないでください。
5:4	TEST_PATT_INCR[1:0]	R/W	00b	ランブ パターン出力のインクリメント値。 00b = 1024 01b = 2048 10b = 3072 11b = 4096
3:2	TEST_PATT_MODE[1:0]	R/W	00b	データ インターフェイスのテスト パターンのタイプ。 00b = ADC は、ADC A と ADC B について、それぞれアドレス 0x10 の TEST_PATT_1、アドレス 0x11 の TEST_PATT_2 で定義された一定のパターンを出力します。 01b = ランブ パターンです。 10b = AAAA と 5555 の交互パターンを読み出しごとに切り替えます。
1	予約済み	R/W	0b	予約済み。デフォルトのリセット値から変更しないでください。
0	TEST_PATT_EN	R/W	0b	データのデジタルテストパターンを有効化する制御。 0b = ADC 変換結果がデータ インターフェイスで起動されます。 1b = デジタル テスト パターンがデータ インターフェイス上で起動されます。

### 9.2.8 レジスタ 10h (アドレス = 0x10) [リセット = 0x0000]

概略表に戻ります。

図 9-12. レジスタ 10h

15	14	13	12	11	10	9	8
TEST_PATT_1[15:0]							
R/W-0000000000000000b							
7	6	5	4	3	2	1	0
TEST_PATT_1[15:0]							
R/W-0000000000000000b							

表 9-16. レジスタ 10h のフィールドの説明

ビット	フィールド	タイプ	リセット	説明
15:0	TEST_PATT_1[15:0]	R/W	0000000000000000000b	ADC A に対応する 16 ビットテストパターン

### 9.2.9 レジスタ 11h (アドレス = 0x11) [リセット = 0x0000]

[概略表](#)に戻ります。

**図 9-13. レジスタ 11h**

15	14	13	12	11	10	9	8
TEST_PATT_2[15:0]							
R/W-0000000000000000b							
7	6	5	4	3	2	1	0
TEST_PATT_2[15:0]							
R/W-0000000000000000b							

**表 9-17. レジスタ 11h のフィールドの説明**

ビット	フィールド	タイプ	リセット	説明
15:0	TEST_PATT_2[15:0]	R/W	0000000000000000 000b	ADC B に対応する 16 ビットテストパターン

### 9.2.10 レジスタ 13h (アドレス = 0x13) [リセット = 0x0000]

概略表に戻ります。

図 9-14. レジスタ 13h

15	14	13	12	11	10	9	8
予約済み						CSZ_CONVST_SHORT_EN[2:0]	
R/W-000000b						R/W-000b	
7	6	5	4	3	2	1	0
CSZ_CONVST_SHORT_EN[2:0]		予約済み					
R/W-000b		R/W-0000000b					

表 9-18. レジスタ 13h のフィールドの説明

ビット	フィールド	タイプ	リセット	説明
15:10	予約済み	R/W	000000b	予約済み。デフォルトのリセット値から変更しないでください。
9:7	CSZ_CONVST_SHORT_EN[2:0]	R/W	000b	CS-CONVST ショートモードをイネーブルにするよう制御します。 000b = 通常のデバイス動作。 101b = CS-CONVST ショートモードがアクティブです。
6:0	予約済み	R/W	0000000b	予約済み。デフォルトのリセット値から変更しないでください。

## 9.3 レジスタ バンク 2

表 9-19 レジスタバンク 2 のレジスタに対応するメモリマップドレジスタを一覧表示します。に示されていないすべてのレジスタ オフセット アドレスは予約済みであり、レジスタの内容は変更しないようにして表 9-19 ください。

表 9-19. レジスタ バンク 2

アドレス	略称	ビット 15	ビット 14	ビット 13	ビット 12	ビット 11	ビット 10	ビット 9	ビット 8
		ビット 7	ビット 6	ビット 5	ビット 4	ビット 3	ビット 2	ビット 1	ビット 0
0x09	レジスタ 09h	予約済み							
		予約済み			PD_REFBUF	予約済み			

表の小さなセルに収まるように、複雑なビット アクセス タイプを記号で表記しています。表 9-20 に、このセクションでアクセス タイプに使用しているコードを示します。

表 9-20. レジスタ バンク 2 アクセス タイプ コード

アクセス タイプ	コード	説明
読み取りタイプ		
R	R	読み出し
書き込みタイプ		
W	W	書き込み
リセットまたはデフォルト値		
-n		リセット後の値またはデフォルト値

### 9.3.1 レジスタ 09 h (アドレス = 0x09) [リセット = 0x0000]

概略表に戻ります。

図 9-15. レジスタ 09h

15	14	13	12	11	10	9	8
予約済み							
R/W-00000000000b							
7	6	5	4	3	2	1	0
予約済み			PD_REFBUF	予約済み			
R/W-00000000000b			R/W-0b	R/W-0000b			

表 9-21. レジスタ 09h のフィールドの説明

ビット	フィールド	タイプ	リセット	説明
15:5	予約済み	R/W	00000000000b	予約済み。デフォルトのリセット値から変更しないでください。
4	PD_REFBUF	R/W	0b	内部リファレンス バッファのパワーダウンを制御します。 0b = 内部リファレンス バッファがアクティブです。 1b = 内部リファレンス バッファは非アクティブです。外部リファレンス バッファを使用し、外部リファレンスを REFIO ビンと REF_CAP ビンに接続します。
3:0	予約済み	R/W	0000b	予約済み。デフォルトのリセット値から変更しないでください。

## 10 アプリケーションと実装

### 注

以下のアプリケーション情報は、テキサス・インスツルメンツの製品仕様に含まれるものではなく、テキサス・インスツルメンツはその正確性も完全性も保証いたしません。個々の目的に対する製品の適合性については、お客様の責任で判断していただくことになります。また、お客様は自身の設計実装を検証しテストすることで、システムの機能を確認する必要があります。

### 10.1 アプリケーション情報

平均化フィルタを内蔵した ADS932x により、DC および AC 信号を低レイテンシで高精度に測定できます。以下のセクションでは ADS932x を使用してサインコサインエンコーダのアナログ  $1V_{pp}$  出力を測定するための回路例と推奨事項を示します。

### 10.2 代表的なアプリケーション

#### 10.2.1 アナログ $1V_{pp}$ の正弦・余弦エンコーダインターフェイス

図 10-1 のアプリケーション回路は、アナログの  $1V_{pp}$  正弦波余弦エンコーダの出力を測定する 2 チャンネル回路を示しています。THS4552 は、ADS932x を駆動する完全差動アンプとして使用します。

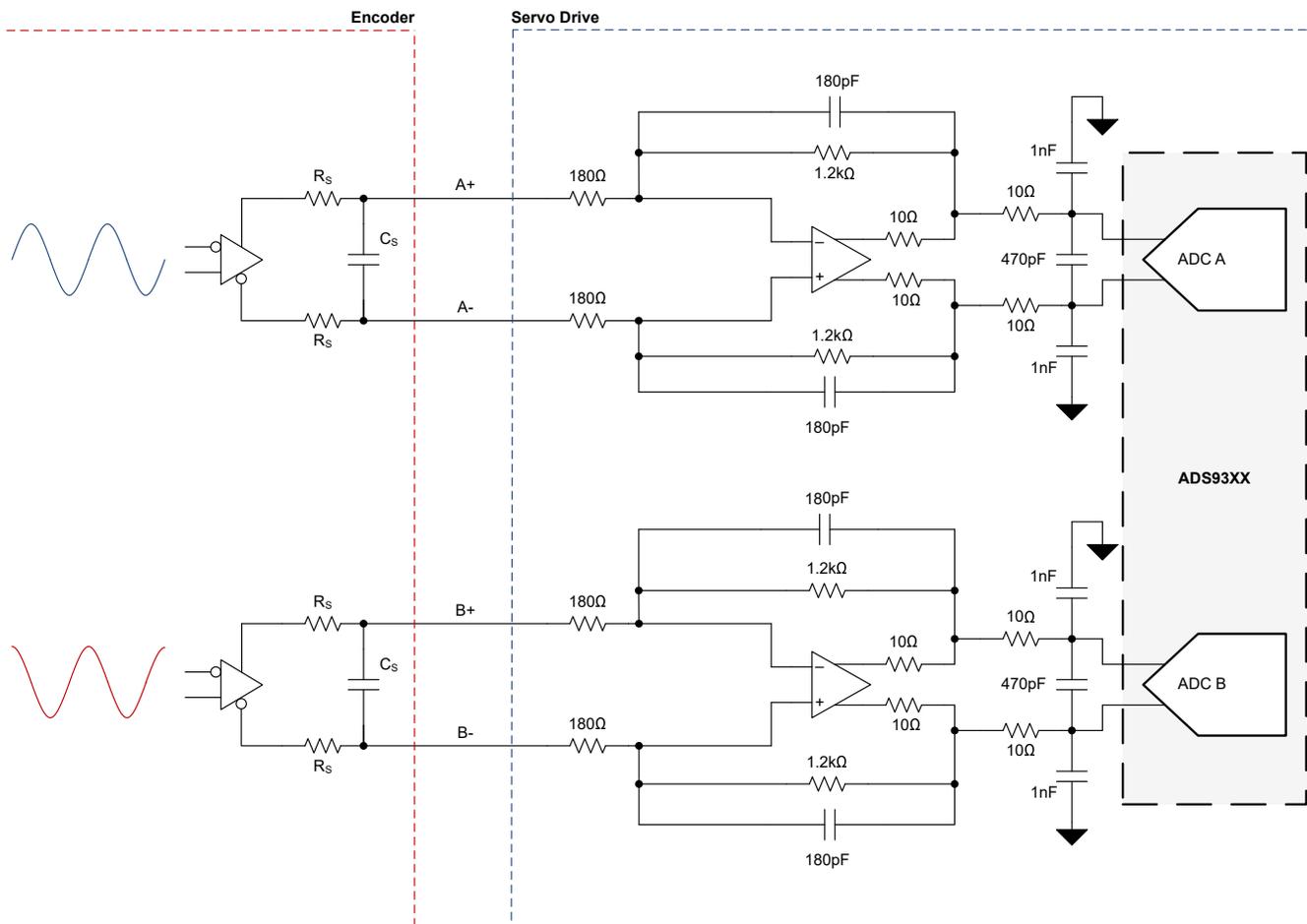


図 10-1. 500kHz の入力信号帯域幅の正弦/余弦エンコーダ インターフェイス回路

## 10.2.2 設計要件

表 10-1 に、 $1V_{pp}$  のサインコサイン エンコーダ インターフェイスのパラメータを示します。

表 10-1. 設計パラメータ

パラメータ	値
ADC の分解能	16 ビット
SNR	> 90dB
-3dB の信号帯域幅	> 500kHz

## 10.2.3 詳細な設計手順

$1V_{pp}$  をアナログ出力する標準的なエンコーダの最大信号周波数は 500kHz です。完全差動アンプ (FDA) 回路の -3dB カットオフ周波数は、500kHz を超えるように設計されています。したがって、エンコーダ出力の最大信号周波数までの信号をサポートするようになります。ADC のアキュイジション時間 ( $t_{ACQ}$ ) 内に ADC のサンプリング コンデンサからの過渡スイッチング負荷が FDA により安定するように FDA を選択します。

正弦波余弦エンコーダの出力は、標準値で振幅が  $1V_{pp}$ 、最大振幅は  $1.2V_{pp}$  です。ADS932x のフルスケール範囲は  $\pm V_{REF}$  であり、 $V_{REF}$  の標準値は 4.096V です。ADC の入力範囲を使用するため、FDA 回路のゲインは 6.8V/V に設定されています

信号チェーンの SNR を向上させるため、ADS932x には、セクション [プログラム可能な平均化フィルタ](#) で説明しているような平均化フィルタが内蔵されています。表 10-2 に結果を示しており、これには、異なる平均化ウィンドウサイズを持つ回路の標準的な SNR が含まれています。

表 10-2. こちらが THS4552 と ADS932x によるデータ要約

ウィンドウサイズの平均化 (単純平均)	出力データレート (MSPS)	SNR (dB)	ENOB (ビット)
0	5	93.5	15.23
2	2.5	96.7	15.77
4	1.25	99	16.15
8	0.625	101.1	16.5
16	0.3125	102.6	16.75
32	0.15625	103.9	16.96
64	0.078125	105.2	17.18
128	0.0390625	105.9	17.29

## 10.3 電源に関する推奨事項

ADS932x には、次の三つの電源が必要です。AVDD、VDD\_1V8、IOVDD。特定の電源オンシーケンス要件はありません。データおよび構成デジタルインターフェイスには、IOVDD から電力が供給されます。図 10-2 に、それぞれの電源のデカップリングコンデンサの接続を示します。各電源ピンに個別のデカップリングコンデンサがあることを確認します。

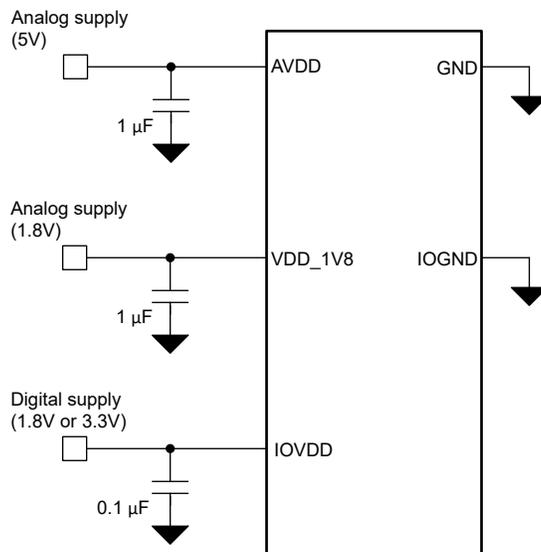


図 10-2. 電源のデカップリング

## 10.4 レイアウト

### 10.4.1 レイアウトのガイドライン

図 10-3 に、ADS932x の基板レイアウト例を示します。デジタルラインはアナログ信号パスで交差することを避け、アナログ入力信号と基準信号はノイズ源から遠ざけます。アナログ電源端子 (AVDD および VDD\_1V8) およびデジタル電源端子 (IOVDD) の近くに、 $1\mu\text{F}$  のセラミックバイパスコンデンサを配置してください。電源端子とバイパスコンデンサの間にはビアを配置しないでください。リファレンス用のデカップリングコンデンサは、デバイスの REF\_CAP ピンおよび REF\_M ピンの近くに配置してください。REF\_IO ピンとバイパスコンデンサの間にビアを配置しないでください。GND ピンと REF\_M ピンを短い低インピーダンスのパスを使用してグランドプレーンに接続します。

### 10.4.2 レイアウト例

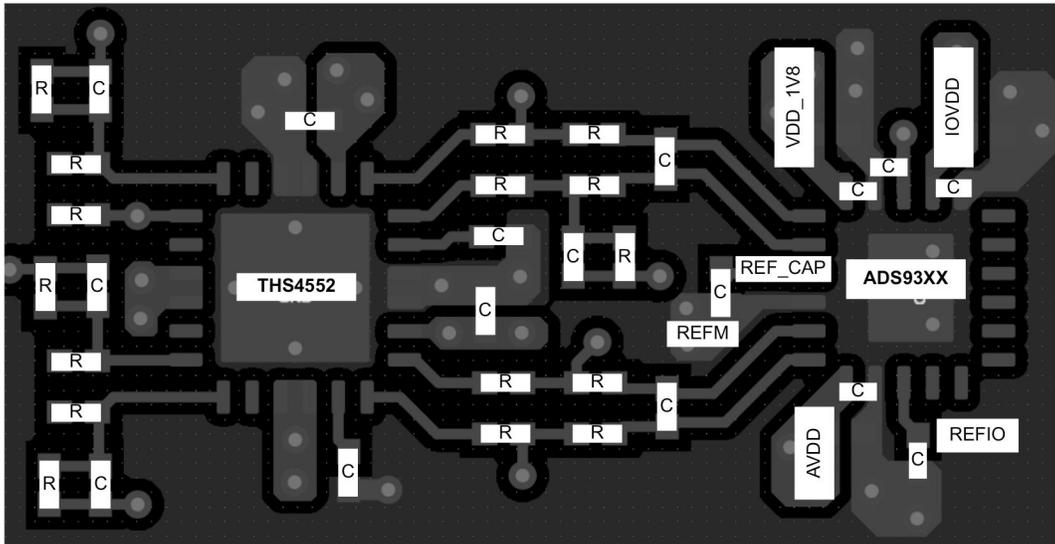


図 10-3. レイアウト例

## 11 デバイスおよびドキュメントのサポート

テキサス・インスツルメンツでは、幅広い開発ツールを提供しています。デバイスの性能の評価、コードの生成、ソリューションの開発を行うためのツールとソフトウェアを以下で紹介합니다。

### 11.1 ドキュメントのサポート

#### 11.1.1 関連資料

関連資料については、以下を参照してください。

- テキサス インスツルメンツ、『[REF70](#) ドリフト係数 2ppm/°C以下、1/f ノイズ 0.23 ppmp-p の高精度電圧リファレンス』データシート
- テキサス インスツルメンツ、『[THS4552](#) デュアル チャネル、低ノイズ、高精度、150MHz、完全差動アンプ』データシート

### 11.2 ドキュメントの更新通知を受け取る方法

ドキュメントの更新についての通知を受け取るには、[www.tij.co.jp](http://www.tij.co.jp) のデバイス製品フォルダを開いてください。[通知] をクリックして登録すると、変更されたすべての製品情報に関するダイジェストを毎週受け取ることができます。変更の詳細については、改訂されたドキュメントに含まれている改訂履歴をご覧ください。

### 11.3 サポート・リソース

テキサス・インスツルメンツ [E2E™ サポート・フォーラム](#) は、エンジニアが検証済みの回答と設計に関するヒントをエキスパートから迅速かつ直接得ることができる場所です。既存の回答を検索したり、独自の質問をしたりすることで、設計に必要な支援を迅速に得ることができます。

リンクされているコンテンツは、各寄稿者により「現状のまま」提供されるものです。これらはテキサス・インスツルメンツの仕様を構成するものではなく、必ずしもテキサス・インスツルメンツの見解を反映したものではありません。テキサス・インスツルメンツの[使用条件](#)を参照してください。

### 11.4 商標

テキサス・インスツルメンツ E2E™ is a trademark of Texas Instruments.

すべての商標は、それぞれの所有者に帰属します。

### 11.5 静電気放電に関する注意事項



この IC は、ESD によって破損する可能性があります。テキサス・インスツルメンツは、IC を取り扱う際には常に適切な注意を払うことを推奨します。正しい取り扱いおよび設置手順に従わない場合、デバイスを破損するおそれがあります。

ESD による破損は、わずかな性能低下からデバイスの完全な故障まで多岐にわたります。精密な IC の場合、パラメータがわずかに変化するだけで公表されている仕様から外れる可能性があるため、破損が発生しやすくなっています。

### 11.6 用語集

[テキサス・インスツルメンツ用語集](#) この用語集には、用語や略語の一覧および定義が記載されています。

## 12 改訂履歴

資料番号末尾の英字は改訂を表しています。その改訂履歴は英語版に準じています。

### Changes from Revision \* (April 2025) to Revision A (September 2025)

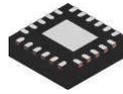
Page

- |  |   |
|--|---|
| • デバイス ステータスを「アドバンスト」から「量産データ」に変更..... | 1 |
|--|---|

### 13 メカニカル、パッケージ、および注文情報

以降のページには、メカニカル、パッケージ、および注文に関する情報が記載されています。この情報は、指定のデバイスに使用できる最新のデータです。このデータは、予告なく、このドキュメントを改訂せずに変更される場合があります。本データシートのブラウザ版を使用されている場合は、画面左側の説明をご覧ください。

### 13.1 メカニカル データ

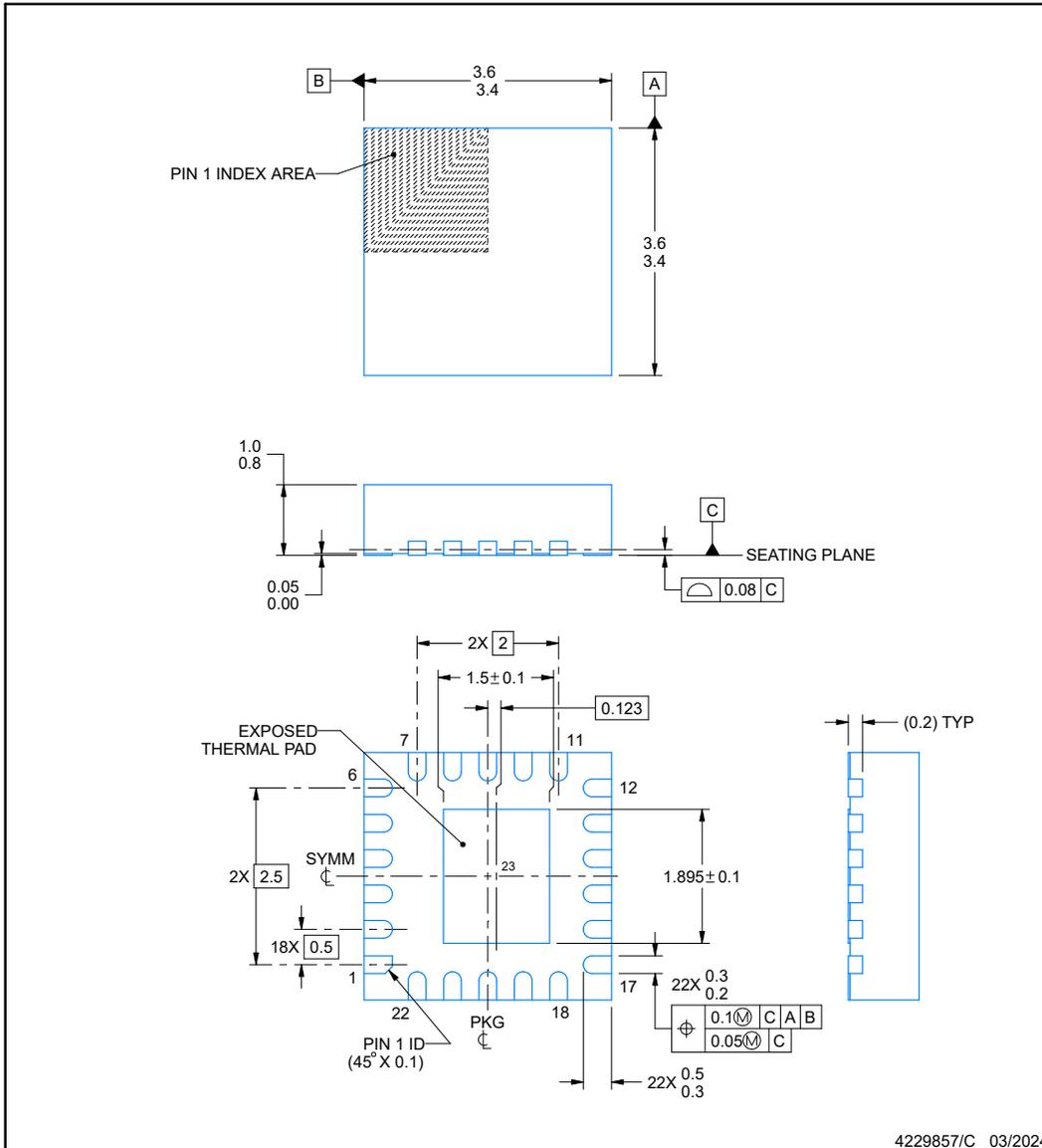


**VAE0022A**

## PACKAGE OUTLINE

**VQFN-HR - 1 mm max height**

PLASTIC QUAD FLATPACK - NO LEAD



**NOTES:**

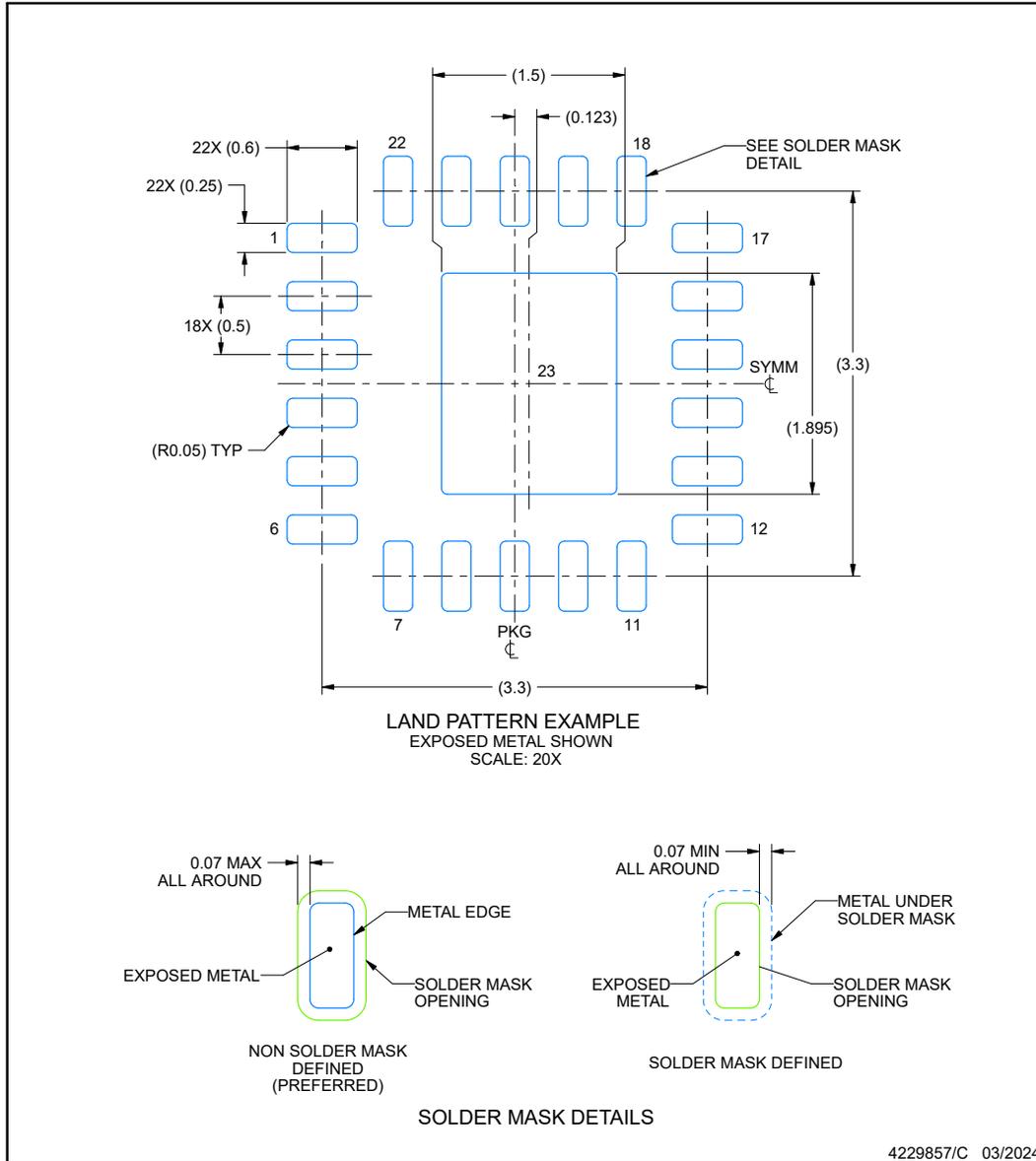
1. All linear dimensions are in millimeters. Any dimensions in parenthesis are for reference only. Dimensioning and tolerancing per ASME Y14.5M.
2. This drawing is subject to change without notice.
3. The package thermal pad must be soldered to the printed circuit board for thermal and mechanical performance.

## EXAMPLE BOARD LAYOUT

**VAE0022A**

**VQFN-HR - 1 mm max height**

PLASTIC QUAD FLATPACK - NO LEAD



NOTES: (continued)

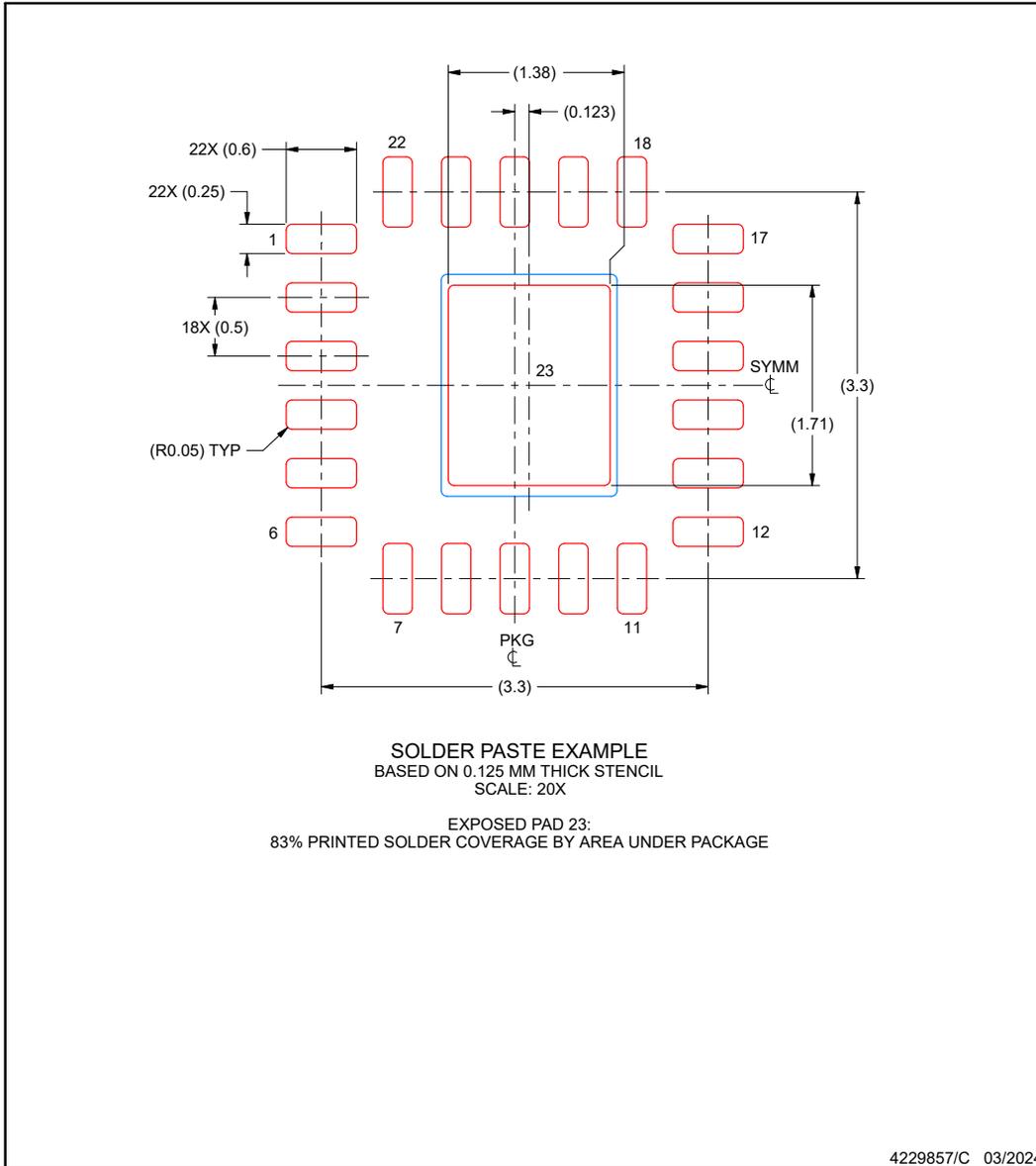
- This package is designed to be soldered to a thermal pad on the board. For more information, see Texas Instruments literature number SLUA271 ([www.ti.com/lit/sluea271](http://www.ti.com/lit/sluea271)).
- Vias are optional depending on application, refer to device data sheet. If any vias are implemented, refer to their locations shown on this view. It is recommended that vias under paste be filled, plugged or tented.

## EXAMPLE STENCIL DESIGN

**VAE0022A**

**VQFN-HR - 1 mm max height**

PLASTIC QUAD FLATPACK - NO LEAD



NOTES: (continued)

6. Laser cutting apertures with trapezoidal walls and rounded corners may offer better paste release. IPC-7525 may have alternate design recommendations.

## 重要なお知らせと免責事項

テキサス・インスツルメンツは、技術データと信頼性データ (データシートを含みます)、設計リソース (リファレンス デザインを含みます)、アプリケーションや設計に関する各種アドバイス、Web ツール、安全性情報、その他のリソースを、欠陥が存在する可能性のある「現状のまま」提供しており、商品性および特定目的に対する適合性の黙示保証、第三者の知的財産権の非侵害保証を含むいかなる保証も、明示的または黙示的にかかわらず拒否します。

これらのリソースは、テキサス・インスツルメンツ製品を使用する設計の経験を積んだ開発者への提供を意図したものです。(1) お客様のアプリケーションに適した テキサス・インスツルメンツ製品の選定、(2) お客様のアプリケーションの設計、検証、試験、(3) お客様のアプリケーションに該当する各種規格や、その他のあらゆる安全性、セキュリティ、規制、または他の要件への確実な適合に関する責任を、お客様のみが単独で負うものとします。

上記の各種リソースは、予告なく変更される可能性があります。これらのリソースは、リソースで説明されている テキサス・インスツルメンツ製品を使用するアプリケーションの開発の目的でのみ、テキサス・インスツルメンツはその使用をお客様に許諾します。これらのリソースに関して、他の目的で複製することや掲載することは禁止されています。テキサス・インスツルメンツや第三者の知的財産権のライセンスが付与されている訳ではありません。お客様は、これらのリソースを自身で使用した結果発生するあらゆる申し立て、損害、費用、損失、責任について、テキサス・インスツルメンツおよびその代理人を完全に補償するものとし、テキサス・インスツルメンツは一切の責任を拒否します。

テキサス・インスツルメンツの製品は、[テキサス・インスツルメンツの販売条件](#)、または [ti.com](https://www.ti.com) やかかる テキサス・インスツルメンツ製品の関連資料などのいずれかを通じて提供する適用可能な条項の下で提供されています。テキサス・インスツルメンツがこれらのリソースを提供することは、適用されるテキサス・インスツルメンツの保証または他の保証の放棄の拡大や変更を意味するものではありません。

お客様がいかなる追加条項または代替条項を提案した場合でも、テキサス・インスツルメンツはそれらに異議を唱え、拒否します。

郵送先住所: Texas Instruments, Post Office Box 655303, Dallas, Texas 75265

Copyright © 2025, Texas Instruments Incorporated

**PACKAGING INFORMATION**

Orderable part number	Status (1)	Material type (2)	Package   Pins	Package qty   Carrier	RoHS (3)	Lead finish/ Ball material (4)	MSL rating/ Peak reflow (5)	Op temp (°C)	Part marking (6)
<a href="#">ADS9327VAER</a>	Active	Production	VQFN-HR (VAE)   22	3000   LARGE T&R	Yes	NIPDAU	Level-3-260C-168 HR	-40 to 125	9327
<a href="#">PADS9326VAER</a>	Active	Preproduction	VQFN-HR (VAE)   22	3000   LARGE T&R	-	Call TI	Call TI	-40 to 125	
<a href="#">PADS9327VAER</a>	Active	Preproduction	VQFN-HR (VAE)   22	3000   LARGE T&R	-	Call TI	Call TI	-40 to 125	

(1) **Status:** For more details on status, see our [product life cycle](#).

(2) **Material type:** When designated, preproduction parts are prototypes/experimental devices, and are not yet approved or released for full production. Testing and final process, including without limitation quality assurance, reliability performance testing, and/or process qualification, may not yet be complete, and this item is subject to further changes or possible discontinuation. If available for ordering, purchases will be subject to an additional waiver at checkout, and are intended for early internal evaluation purposes only. These items are sold without warranties of any kind.

(3) **RoHS values:** Yes, No, RoHS Exempt. See the [TI RoHS Statement](#) for additional information and value definition.

(4) **Lead finish/Ball material:** Parts may have multiple material finish options. Finish options are separated by a vertical ruled line. Lead finish/Ball material values may wrap to two lines if the finish value exceeds the maximum column width.

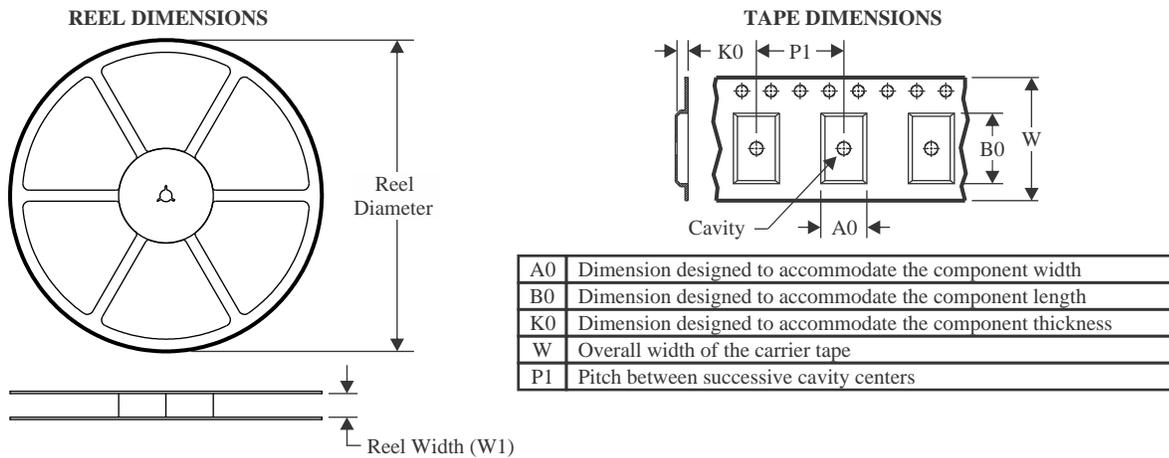
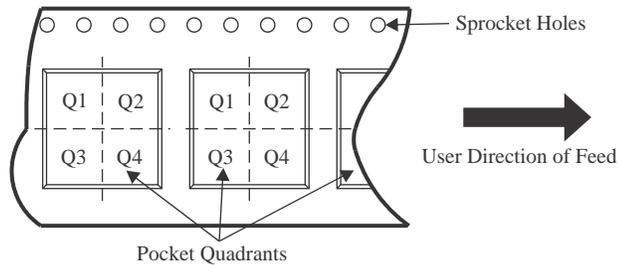
(5) **MSL rating/Peak reflow:** The moisture sensitivity level ratings and peak solder (reflow) temperatures. In the event that a part has multiple moisture sensitivity ratings, only the lowest level per JEDEC standards is shown. Refer to the shipping label for the actual reflow temperature that will be used to mount the part to the printed circuit board.

(6) **Part marking:** There may be an additional marking, which relates to the logo, the lot trace code information, or the environmental category of the part.

Multiple part markings will be inside parentheses. Only one part marking contained in parentheses and separated by a "-" will appear on a part. If a line is indented then it is a continuation of the previous line and the two combined represent the entire part marking for that device.

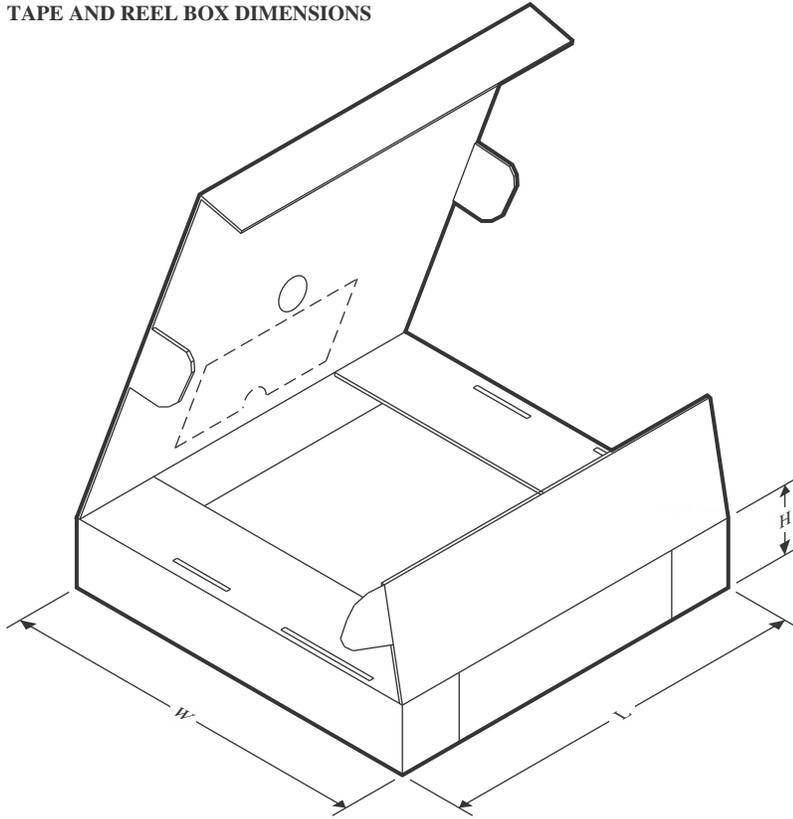
**Important Information and Disclaimer:** The information provided on this page represents TI's knowledge and belief as of the date that it is provided. TI bases its knowledge and belief on information provided by third parties, and makes no representation or warranty as to the accuracy of such information. Efforts are underway to better integrate information from third parties. TI has taken and continues to take reasonable steps to provide representative and accurate information but may not have conducted destructive testing or chemical analysis on incoming materials and chemicals. TI and TI suppliers consider certain information to be proprietary, and thus CAS numbers and other limited information may not be available for release.

In no event shall TI's liability arising out of such information exceed the total purchase price of the TI part(s) at issue in this document sold by TI to Customer on an annual basis.

**TAPE AND REEL INFORMATION**

**QUADRANT ASSIGNMENTS FOR PIN 1 ORIENTATION IN TAPE**


\*All dimensions are nominal

Device	Package Type	Package Drawing	Pins	SPQ	Reel Diameter (mm)	Reel Width W1 (mm)	A0 (mm)	B0 (mm)	K0 (mm)	P1 (mm)	W (mm)	Pin1 Quadrant
ADS9327VAER	VQFN-HR	VAE	22	3000	330.0	12.4	3.75	3.75	1.15	8.0	12.0	Q1

**TAPE AND REEL BOX DIMENSIONS**


\*All dimensions are nominal

Device	Package Type	Package Drawing	Pins	SPQ	Length (mm)	Width (mm)	Height (mm)
ADS9327VAER	VQFN-HR	VAE	22	3000	367.0	367.0	35.0

## 重要なお知らせと免責事項

TI は、技術データと信頼性データ（データシートを含みます）、設計リソース（リファレンス デザインを含みます）、アプリケーションや設計に関する各種アドバイス、Web ツール、安全性情報、その他のリソースを、欠陥が存在する可能性のある「現状のまま」提供しており、商品性および特定目的に対する適合性の黙示保証、第三者の知的財産権の非侵害保証を含むいかなる保証も、明示的または黙示的にかかわらず拒否します。

これらのリソースは、TI 製品を使用する設計の経験を積んだ開発者への提供を意図したものです。(1) お客様のアプリケーションに適した TI 製品の選定、(2) お客様のアプリケーションの設計、検証、試験、(3) お客様のアプリケーションに該当する各種規格や、その他のあらゆる安全性、セキュリティ、規制、または他の要件への確実な適合に関する責任を、お客様のみが単独で負うものとし、

上記の各種リソースは、予告なく変更される可能性があります。これらのリソースは、リソースで説明されている TI 製品を使用するアプリケーションの開発の目的でのみ、TI はその使用をお客様に許諾します。これらのリソースに関して、他の目的で複製することや掲載することは禁止されています。TI や第三者の知的財産権のライセンスが付与されている訳ではありません。お客様は、これらのリソースを自身で使用した結果発生するあらゆる申し立て、損害、費用、損失、責任について、TI およびその代理人を完全に補償するものとし、TI は一切の責任を拒否します。

TI の製品は、[TI の販売条件](#)、[TI の総合的な品質ガイドライン](#)、[ti.com](#) または TI 製品などに関連して提供される他の適用条件に従い提供されます。TI がこれらのリソースを提供することは、適用される TI の保証または他の保証の放棄の拡大や変更を意味するものではありません。TI がカスタム、またはカスタマー仕様として明示的に指定していない限り、TI の製品は標準的なカタログに掲載される汎用機器です。

お客様がいかなる追加条項または代替条項を提案する場合も、TI はそれらに異議を唱え、拒否します。

Copyright © 2025, Texas Instruments Incorporated

最終更新日：2025 年 10 月