

ADS868xW バイポーラ入力範囲をプログラム可能な 16 ビット、高速、単一電源 SAR (逐次比較) ADC データ アクイジションシステム

1 特長

- アナログ フロントエンド内蔵の 16 ビット ADC
- 高速度:
 - ADS8681W: 1MSPS
 - ADS8685W: 500kSPS
 - ADS8689W: 100kSPS
- 入力範囲をソフトウェアでプログラム可能
 - バイポーラ差動範囲: $\pm 12.288V$, $\pm 10.24V$, $\pm 6.144V$, $\pm 5.12V$, $\pm 2.56V$
 - ユニポーラ差動範囲: $0V \sim 12.288V$, $0V \sim 10.24V$, $0V \sim 6.144V$, $0V \sim 5.12V$
- アナログ電源 (5V): 1.65V~5V の I/O 電源
- $1M\Omega$ 以上の一定の抵抗性入力インピーダンス
- 入力帯域幅: 450kHz
- 入力過電圧保護: 最大 $\pm 20V$
- オンチップの低ドリフト 4.096V 基準電圧
- 優れた性能
 - DNL: $\pm 0.6LSB$, INL: $\pm 0.6LSB$
 - 信号対雑音比: 80dB, THD: -105dB
- 高 / 低スレッショルドのアラーム機能
- デイジタル チェーン対応の multiSPI™ インターフェイス
- 温度範囲: -40°C ~ +125°C

2 アプリケーション

- アナログ入力モジュール
- 半導体テスト
- サーボドライブ制御モジュール

3 説明

The ADS8681W, ADS8685W, および ADS8689W は、逐次比較型 (SAR) A/D コンバータ (ADC) トポロジを使った統合型データ アクイジション システム ファミリの製品です。これらのデバイスには、高速、高精度の SAR ADC と、統合型の差動アナログ フロントエンド (AFE) 入力ドライバ回路が。ADS868xW には、最大 $\pm 20V$ の過電圧保護回路と、温度ドリフトが非常に小さい 4.096V のオンチップ基準電圧が内蔵されています。

これらのデバイスは 5V の単一アナログ電源ですが、真のバイポーラ入力範囲とユニポーラ入力範囲をサポートします。バイポーラ入力範囲は $\pm 12.288V$, $\pm 6.144V$, $\pm 10.24V$, $\pm 5.12V$, $\pm 2.56V$ です。また、ユニポーラ入力範囲は $0V \sim 12.288V$, $10.24V$, $6.144V$, $5.12V$ です。これらのデバイスは、選択した入力範囲にかかわらず、高い抵抗性入力インピーダンス ($1M\Omega$ 以上) を実現しています。

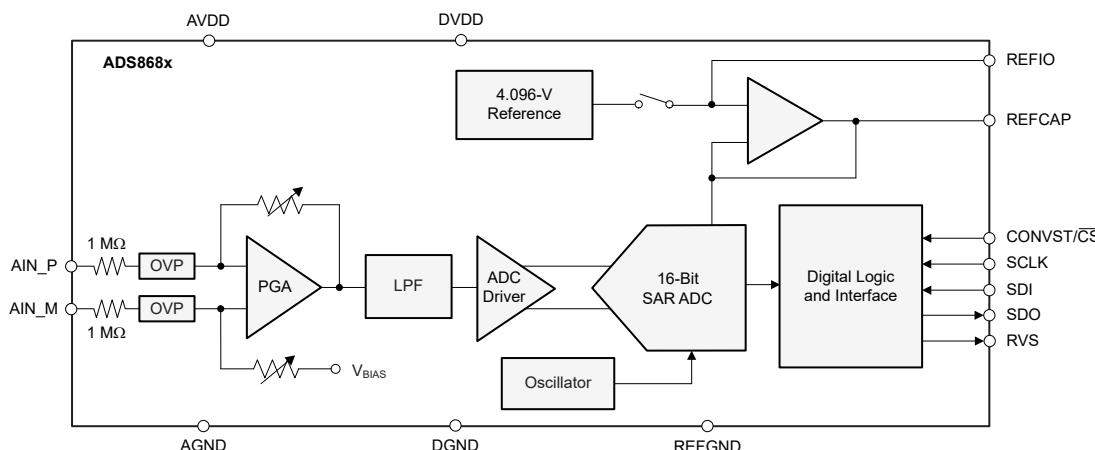
内蔵の multiSPI デジタル インターフェイスは、従来の SPI プロトコルと下位互換性があります。さらに、設定可能な機能により、広範なホストコントローラとの接続が簡素化されます。

パッケージ情報

部品番号	パッケージ ⁽¹⁾	パッケージ サイズ ⁽²⁾
ADS868xW	RUM (WQFN, 16)	4mm × 4mm

(1) 詳細については、[メカニカル、パッケージ、および注文情報](#)をご覧ください。

(2) パッケージ サイズ (長さ × 幅) は公称値であり、該当する場合はピンも含まれます。



ブロック図

目次

1 特長	1	6.4 デバイスの機能モード	36
2 アプリケーション	1	6.5 プログラミング	41
3 説明	1	7 レジスタ マップ	50
4 ピン構成および機能	3	7.1 デバイス構成およびレジスタ マップ	50
5 仕様	4	8 アプリケーションと実装	59
5.1 絶対最大定格	4	8.1 アプリケーション情報	59
5.2 ESD 定格	4	8.2 代表的なアプリケーション	59
5.3 推奨動作条件	5	8.3 電源に関する推奨事項	62
5.4 熱に関する情報	5	8.4 レイアウト	63
5.5 電気的特性	6	9 デバイスおよびドキュメントのサポート	65
5.6 タイミング要件	10	9.1 ドキュメントのサポート	65
5.7 スイッチング特性	11	9.2 ドキュメントの更新通知を受け取る方法	65
5.8 タイミング図	13	9.3 サポート・リソース	65
5.9 代表的特性	16	9.4 商標	65
6 詳細説明	22	9.5 静電気放電に関する注意事項	65
6.1 概要	22	9.6 用語集	65
6.2 機能ブロック図	22	10 改訂履歴	65
6.3 機能説明	23	11 メカニカル、パッケージ、および注文情報	65

4 ピン構成および機能

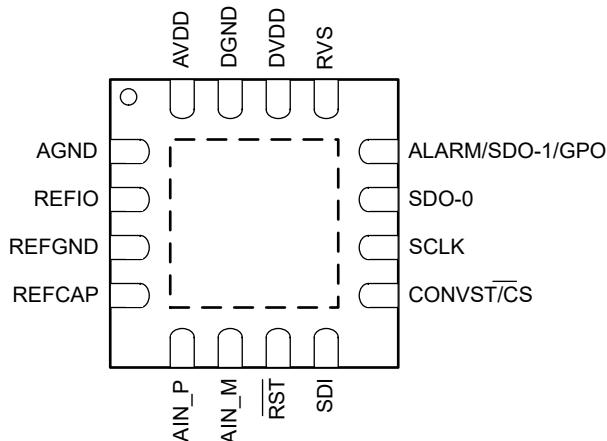


図 4-1. RUM パッケージ、16 ピン WQFN (上面図)

表 4-1. ピンの機能

名称	番号	種類 ⁽¹⁾	説明
AGND	1	P	アナログ グランドピン。AVDD ピンでデカッピング。
AIN_M	6	AI	アナログ入力: 負。AIN_P ピンでデカッピング。
AIN_P	5	AI	アナログ入力: 正。AIN_M ピンでデカッピング。
ALARM/SDO-1/GPO	12	DO	マルチファンクション出力ピン。アクティブ High アラーム。 シリアル通信用のデータ出力 1。汎用出力ピン。
AVDD	16	P	アナログ電源ピン。AGND ピンでデカッピング。
CONVST/CS	9	DI	デュアル機能ピン。 アクティブ High ロジック: 変換開始入力ピン。CONVST の立ち上がりエッジにより、デバイスがアクイジョンフェーズから変換フェーズに移行。 アクティブ Low ロジック: チップセレクト入力ピン。CS が Low のとき、デバイスがデータバスを制御。CS が High のとき、SDO-x ピンがトライステートに移行。
DGND	15	P	デジタルグランドピン。DVDD ピンでデカッピング。
DVDD	14	P	デジタル電源ピン。DGND ピンでデカッピング。
REFCAP	4	AO	ADC リファレンスバッファデカッピングコンデンサピン。REFGND ピンでデカッピング。
REFGND	3	P	リファレンスグランドピン。このピンをアナロググランドプレーンに短絡。REFIO および REFCAP ピンでデカッピング。
REFIO	2	AIO	内部リファレンス出力と外部リファレンス入力ピン。REFGND でデカッピング。
RST	7	DI	デバイスをリセットするためのアクティブ Low ロジック入力。
RVS	13	DO	シリアルインターフェイスのマルチファンクション出力ピン。「RESET 状態」セクションを参照。 CS を High に保持すると、RVS は内部 ADCST 信号のステータスを反映する。 CS が Low の場合、RVS のステータスは出力プロトコルの選択によって異なる。
SCLK	10	DI	シリアル通信: シリアルインターフェイスのクロック入力ピン。 すべてのシステム同期データ転送プロトコルは、SCLK 信号を基準にタイミングが調整されます。
SDI	8	DI	デュアル機能: シリアル通信用のデータ入力ピン。 デイジーチェーンモードでのシリアル通信中のチェーンデータ入力。
SDO-0	11	DO	シリアル通信: データ出力 0。

(1) AI = アナログ入力、AIO = アナログ入出力、DI = デジタル入力、DO = デジタル出力、P = 電源。

5 仕様

5.1 絶対最大定格

動作時周囲温度範囲内 (特に記述のない限り) ⁽¹⁾

		最小値	最大値	単位
AIN_P、AIN_M から GND	AVDD = 5V	-20	20	V
	AVDD = 電源オフ	-15	15	
AVDD から GND または DVDD から GND		-0.3	7	V
REFCAP から REFGND または REFIO から REFGND		-0.3	5.7	V
GND から REFGND		-0.3	0.3	V
デジタル入力ピンから GND		-0.3	DVDD + 0.3	V
デジタル出力ピンから GND		-0.3	DVDD + 0.3	V
電源ピンを除く任意のピンへの入力電流		-10	10	mA
接合部温度、 T_J		-40	150	°C
保管温度、 T_{stg}		-60	150	°C

- (1) 絶対最大定格を超えた動作は、デバイスに恒久的な損傷を与える可能性があります。絶対最大定格は、これらの条件において、または 推奨動作条件に示された値を超える他のいかなる条件でも、本製品が正しく動作することを暗に示すものではありません。「絶対最大定格」の範囲内であっても「推奨動作条件」の範囲外で使用した場合、本デバイスは完全に機能するとは限らず、このことが本デバイスの信頼性、機能、性能に影響を及ぼし、本デバイスの寿命を縮める可能性があります。

5.2 ESD 定格

			値	単位
$V_{(ESD)}$	静電放電	人体モデル (HBM)、ANSI/ESDA/JEDEC JS-001 準拠、アナログ入力ピン (AIN_P、AIN_M) ⁽¹⁾	±4000	V
		人体モデル (HBM)、ANSI/ESDA/JEDEC JS-001 に準拠、他すべてのピン ⁽¹⁾	±2000	
		デバイス帯電モデル (CDM)、ANSI/ESDA/JEDEC JS-002 に準拠、すべてのピン ⁽²⁾	±500	

(1) JEDEC のドキュメント JEP155 に、500V HBM では標準の ESD 管理プロセスで安全な製造が可能であると規定されています。

(2) JEDEC のドキュメント JEP157 に、250V CDM では標準の ESD 管理プロセスで安全な製造が可能であると規定されています。

5.3 推奨動作条件

自由気流での動作温度範囲内 (特に記述のない限り)

パラメータ		テスト条件	最小値	標準値	最大値	単位
電源						
AVDD	アナログ電源	AVDD から GND	4.75	5	5.25	V
DVDD	デジタル インターフェイス電源	DVDD から GND	1.65	3.3	AVDD	V
基準電圧						
V_{REFIO_EXT}	REFIO での外部リファレンス電圧	REFIO ピンは入力として構成	4.046	4.096	4.146	V
アナログ入力						
AIN_x	フルスケール入力範囲 (AIN_P から AIN_M)	入力範囲 = $\pm 3 \times V_{REF}$	-12.288	12.288	V	
		入力範囲 = $\pm 2.5 \times V_{REF}$	-10.24	10.24		
		入力範囲 = $\pm 1.5 \times V_{REF}$	-6.144	6.144		
		入力範囲 = $\pm 1.25 \times V_{REF}$	-5.12	5.12		
		入力範囲 = $\pm 0.625 \times V_{REF}$	-2.56	2.56		
		入力範囲 = $3 \times V_{REF}$	0	12.288		
		入力範囲 = $2.5 \times V_{REF}$	0	10.24		
		入力範囲 = $1.5 \times V_{REF}$	0	6.144		
		入力範囲 = $1.25 \times V_{REF}$	0	5.12		
温度範囲						
T_A	周囲温度		-40	25	125	°C

5.4 熱に関する情報

熱評価基準 ⁽¹⁾		ADS868xW	単位
		RUM (WQFN)	
		16 ピン	
$R_{\theta JA}$	接合部から周囲への熱抵抗	31.9	°C/W
$R_{\theta JC(top)}$	接合部からケース (上面) への熱抵抗	27.9	°C/W
$R_{\theta JB}$	接合部から基板への熱抵抗	7.4	°C/W
Ψ_{JT}	接合部から上面への特性パラメータ	0.3	°C/W
Ψ_{JB}	接合部から基板への特性パラメータ	7.4	°C/W
$R_{\theta JC(bot)}$	接合部からケース (底面) への熱抵抗	1.9	°C/W

(1) 従来および最新の熱評価基準の詳細については、『半導体および IC パッケージの熱評価基準』アプリケーション ノートを参照してください。

5.5 電気的特性

すべての最小値および最大値の仕様は $T_A = -40^\circ\text{C} \sim +125^\circ\text{C}$ 、標準仕様は $T_A = 25^\circ\text{C}$ 、AVDD = 5V、DVDD = 3.3V、 $V_{\text{REF}} = 4.096\text{V}$ (内部)、および最大スループット (特に記述のない限り)

パラメータ		テスト条件	最小値	標準値	最大値	単位
アナログ入力						
R_{IN}	入力インピーダンス	入力範囲 = $T_A = 25^\circ\text{C}$ で $\pm 3 \times V_{\text{REF}}$	1.02	1.2		$\text{M}\Omega$
		入力範囲 = $T_A = 25^\circ\text{C}$ で $\pm 2.5 \times V_{\text{REF}}$	0.85	1		
		入力範囲 = $T_A = 25^\circ\text{C}$ で $\pm 1.5 \times V_{\text{REF}}$	1.02	1.2		
		入力範囲 = $T_A = 25^\circ\text{C}$ で $\pm 1.25 \times V_{\text{REF}}$	0.85	1		
		入力範囲 = $T_A = 25^\circ\text{C}$ で $\pm 0.625 \times V_{\text{REF}}$	0.85	1		
		入力範囲 = $T_A = 25^\circ\text{C}$ で $3 \times V_{\text{REF}}$	1.02	1.2		
		入力範囲 = $T_A = 25^\circ\text{C}$ で $2.5 \times V_{\text{REF}}$	0.85	1		
		入力範囲 = $T_A = 25^\circ\text{C}$ で $1.5 \times V_{\text{REF}}$	1.02	1.2		
		入力範囲 = $T_A = 25^\circ\text{C}$ で $1.25 \times V_{\text{REF}}$	0.85	1		
I_{IN}	入力電流	入力範囲 $\pm 3 \times V_{\text{REF}}$ 、AIN_P ピン = V_{IN} および AIN_M = GND での電圧	$(V_{\text{IN}} - 2.5) / R_{\text{IN}}$			μA
		入力範囲 = $\pm 2.5 \times V_{\text{REF}}$ 、AIN_P ピン = V_{IN} および AIN_M = GND での電圧	$(V_{\text{IN}} - 2.2) / R_{\text{IN}}$			
		入力範囲 = $\pm 1.5 \times V_{\text{REF}}$ 、AIN_P ピン = V_{IN} および AIN_M = GND での電圧	$(V_{\text{IN}} - 2.0) / R_{\text{IN}}$			
		入力範囲 = $\pm 1.25 \times V_{\text{REF}}$ 、AIN_P ピン = V_{IN} および AIN_M = GND での電圧	$(V_{\text{IN}} - 2.0) / R_{\text{IN}}$			
		入力範囲 = $\pm 0.625 \times V_{\text{REF}}$ 、AIN_P ピン = V_{IN} および AIN_M = GND での電圧	$(V_{\text{IN}} - 1.6) / R_{\text{IN}}$			
		入力範囲 = $3 \times V_{\text{REF}}$ 、AIN_P ピン = V_{IN} および AIN_M = GND での電圧	$(V_{\text{IN}} - 2.6) / R_{\text{IN}}$			
		入力範囲 = $2.5 \times V_{\text{REF}}$ 、AIN_P ピン = V_{IN} および AIN_M = GND での電圧	$(V_{\text{IN}} - 2.5) / R_{\text{IN}}$			
		入力範囲 = $1.5 \times V_{\text{REF}}$ 、AIN_P ピン = V_{IN} および AIN_M = GND での電圧	$(V_{\text{IN}} - 2.7) / R_{\text{IN}}$			
		入力範囲 = $1.25 \times V_{\text{REF}}$ 、AIN_P ピン = V_{IN} および AIN_M = GND での電圧	$(V_{\text{IN}} - 2.5) / R_{\text{IN}}$			
入力過電圧保護回路						
V_{OVP}	すべての入力範囲	AVDD = 5V、すべての入力範囲	-20	20		V
		AVDD = フローティング、すべての入力範囲	-15	15		
入力帯域幅						
$f_{3\text{dB}}$	小信号入力帯域幅	-3dB 入力範囲 = $\pm 3 \times V_{\text{REF}}$	454			kHz
		-3dB 入力範囲 = $\pm 2.5 \times V_{\text{REF}}$	454			
		-3dB 入力範囲 = $\pm 1.5 \times V_{\text{REF}}$	449			
		-3dB 入力範囲 = $\pm 1.25 \times V_{\text{REF}}$	449			
		-3dB 入力範囲 = $\pm 0.625 \times V_{\text{REF}}$	385			
		-3dB 入力範囲 = $3 \times V_{\text{REF}}$	414			
		-3dB 入力範囲 = $2.5 \times V_{\text{REF}}$	414			
		-3dB 入力範囲 = $1.5 \times V_{\text{REF}}$	368			
		-3dB 入力範囲 = $1.25 \times V_{\text{REF}}$	368			

5.5 電気的特性 (続き)

すべての最小値および最大値の仕様は $T_A = -40^\circ\text{C} \sim +125^\circ\text{C}$ 、標準仕様は $T_A = 25^\circ\text{C}$ 、AVDD = 5V、DVDD = 3.3V、 $V_{\text{REF}} = 4.096\text{V}$ (内部)、および最大スループット (特に記述のない限り)

パラメータ		テスト条件	最小値	標準値	最大値	単位
$f_{-0.1\text{dB}}$	小信号入力帯域幅	-0.1dB 入力範囲 = $\pm 3 \times V_{\text{REF}}$	74			kHz
		-0.1dB 入力範囲 = $\pm 2.5 \times V_{\text{REF}}$	74			
		-0.1dB 入力範囲 = $\pm 1.5 \times V_{\text{REF}}$	85			
		-0.1dB 入力範囲 = $\pm 1.25 \times V_{\text{REF}}$	85			
		-0.1dB 入力範囲 = $\pm 0.625 \times V_{\text{REF}}$	64			
		-0.1dB 入力範囲 = $3 \times V_{\text{REF}}$	75			
		-0.1dB 入力範囲 = $2.5 \times V_{\text{REF}}$	75			
		-0.1dB 入力範囲 = $1.5 \times V_{\text{REF}}$	83			
		-0.1dB 入力範囲 = $1.25 \times V_{\text{REF}}$	83			
DC 特性						
	分解能		16			ビット
NMC	ミッシング コードなし		16			ビット
DNL	微分非直線性	すべての入力範囲	-0.9	± 0.6	0.9	LSB
INL	積分非直線性	すべての入力バイポーラ レンジ	-2	± 0.8	2	LSB
		すべてのユニポーラ レンジ	-2	± 0.6	2	
E_o	オフセット エラー	すべての入力バイポーラ レンジ $T_A = 25^\circ\text{C}$	-1.4	± 0.2	1.4	mV
		すべてのユニポーラ レンジ $T_A = 25^\circ\text{C}$	-2	± 0.2	2	
	温度によるオフセット誤差のドリフト	すべての入力範囲	-3	± 0.75	3	ppm/ $^\circ\text{C}$
E_G	ゲイン誤差	$T_A = 25^\circ\text{C}$ でのすべての入力範囲	-0.025	± 0.01	0.025	%FSR
	温度によるゲイン誤差のドリフト	すべての入力範囲	-5	± 1	5	ppm/ $^\circ\text{C}$
AC 特性						
SNR	信号対雑音比	入力範囲 = $\pm 3 \times V_{\text{REF}}$	79	80.4		dB
		入力範囲 = $\pm 2.5 \times V_{\text{REF}}$	79	80.6		
		入力範囲 = $\pm 1.5 \times V_{\text{REF}}$	78	79.3		
		入力範囲 = $\pm 1.25 \times V_{\text{REF}}$	78	79.2		
		入力範囲 = $\pm 0.625 \times V_{\text{REF}}$	76	77.2		
		入力範囲 = $3 \times V_{\text{REF}}$	77	78.8		
		入力範囲 = $2.5 \times V_{\text{REF}}$	77	78.8		
		入力範囲 = $1.5 \times V_{\text{REF}}$	76	77.5		
		入力範囲 = $1.25 \times V_{\text{REF}}$	76	77.3		
THD	全高調波歪	すべての入力範囲		-105		dB
SINAD	信号対雑音 + 歪み	入力範囲 = $\pm 3 \times V_{\text{REF}}$	79	80.4		dB
		入力範囲 = $\pm 2.5 \times V_{\text{REF}}$	79	80.6		
		入力範囲 = $\pm 1.5 \times V_{\text{REF}}$	78	79.4		
		入力範囲 = $\pm 1.25 \times V_{\text{REF}}$	78	79.3		
		入力範囲 = $\pm 0.625 \times V_{\text{REF}}$	76	77.3		
		入力範囲 = $3 \times V_{\text{REF}}$	77	78.9		
		入力範囲 = $2.5 \times V_{\text{REF}}$	77	78.8		
		入力範囲 = $1.5 \times V_{\text{REF}}$	76	77.5		
		入力範囲 = $1.25 \times V_{\text{REF}}$	76	77.4		

5.5 電気的特性 (続き)

すべての最小値および最大値の仕様は $T_A = -40^\circ\text{C} \sim +125^\circ\text{C}$ 、標準仕様は $T_A = 25^\circ\text{C}$ 、AVDD = 5V、DVDD = 3.3V、 $V_{\text{REF}} = 4.096\text{V}$ (内部)、および最大スループット (特に記述のない限り)

パラメータ		テスト条件	最小値	標準値	最大値	単位		
SFDR	スプリアスフリー ダイナミックレンジ	すべての入力範囲	109		dB			
内部リファレンス出力								
V_{REFIO}	REFIO ピン (出力として構成)	$T_A = 25^\circ\text{C}$ での WQFN (RUM)	4.094	4.096	4.098	V		
dV_{REFIO}/dT_A	内部リファレンス温度ドリフト			5		ppm/ $^\circ\text{C}$		
$C_{\text{OUT_REFIO}}$	REFIO ピンのデカップリング コンデンサ		4.7		μF			
V_{REFCAP}	ADC へのリファレンス電圧 (REFCAP ピン経由)		4.095	4.096	4.097	V		
	REFCAP 温度ドリフト			0.5	2	ppm/ $^\circ\text{C}$		
$C_{\text{OUT_REFCAP}}$	REFCAP ピンのデカップリング コンデンサ		10		μF			
	ターンオン時間	$C_{\text{OUT_REFCAP}} = 10\mu\text{F}, C_{\text{OUT_REFIO}} = 10\mu\text{F}$	20		ms			
AVDD コンパレータ								
$V_{\text{TH_HIGH}}$	High スレッショルド電圧		5.3		V			
$V_{\text{TH_LOW}}$	低スレッショルド電圧		4.7					
デジタル入力 (CMOS)								
V_{IH}	デジタル高入力電圧ロジック レベル	DVDD > 2.35V	0.7 × DVDD	DVDD + 0.3	V			
		DVDD ≤ 2.35V	0.8 × DVDD	DVDD + 0.3				
V_{IL}	デジタル低入力電圧ロジック レベル	DVDD > 2.35V	-0.3	0.3 × DVDD	V			
		DVDD ≤ 2.35V	-0.3	0.2 × DVDD				
	入力リーク電流		100		nA			
	入力ピン容量		5		pF			
デジタル出力 (CMOS)								
V_{OH}	デジタル高出力電圧ロジック レベル	$I_O = 500\mu\text{A}$ ソース	0.8 × DVDD	DVDD	V			
V_{OL}	デジタル低出力電圧ロジック レベル	$I_O = 500\mu\text{A}$ シンク	0	0.2 × DVDD	V			
	フローティング状態のリーク電流	デジタル出力ピンのみ	1		μA			
	内部ピン容量		5		pF			
電源要件								
AVDD	アナログ電源電圧	動作範囲	4.75	5	5.25	V		
DVDD	デジタル電源電圧	動作範囲	1.65	3.3	AVDD	V		
		規定性能の電源電圧範囲	2.7	3.3	AVDD			
$ I_{\text{AVDD_DY}} _N$	アナログ電源電流、デバイスは最大スループットで変換	内部リファレンス ADS8681W	8.2		10.5	mA		
		内部リファレンス ADS8681W	5.6		7.25			
		内部リファレンス ADS8685W	4		5			
		外部リファレンス ADS8689W	7.0		8.75			
		外部リファレンス ADS8685W	4.4		5.5			
		外部リファレンス ADS8689W	2.7		3.25			

5.5 電気的特性 (続き)

すべての最小値および最大値の仕様は $T_A = -40^{\circ}\text{C} \sim +125^{\circ}\text{C}$ 、標準仕様は $T_A = 25^{\circ}\text{C}$ 、AVDD = 5V、DVDD = 3.3V、 $V_{\text{REF}} = 4.096\text{V}$ (内部)、および最大スループット (特に記述のない限り)

パラメータ		テスト条件	最小値	標準値	最大値	単位
$I_{\text{AVDD_STC}}$	アナログ電源電流、デバイスは未変換	内部リファレンス ADS8681W	4.7	6.25		mA
		内部リファレンス ADS8685W、ADS8689W	3.5	4.7		
		外部リファレンス ADS8681W	3.5	4.5		
		外部リファレンス ADS8685W、ADS8689W	2.3	3		
$I_{\text{AVDD_STD BY}}$	アナログ電源電流、デバイスは STANDBY モード	内部リファレンス	2.8			mA
		外部リファレンス	1.6			
$I_{\text{AVDD_PD}}$	アナログ電源電流、デバイスは PD モード	内部リファレンス	10			μA
		外部リファレンス	10			
$I_{\text{DVDD_DYN}}$	デジタル電源電流、最大スループット		0.2	0.25		mA
$I_{\text{DVDD_STD BY}}$	デジタル電源電流、デバイスは STANDBY モード		1			μA
$I_{\text{DVDD_PD}}$	デジタル電源電流、デバイスは PD モード		1			μA

5.6 タイミング要件

すべての最小値および最大値の仕様は $T_A = -40^{\circ}\text{C} \sim +125^{\circ}\text{C}$ 、標準仕様は $T_A = 25^{\circ}\text{C}$ 、AVDD = 5V、DVDD = 3.3V、VREF = 4.096V (内部)、および最大スループット (特に記述のない限り)

			最小値	標準値	最大値	単位
変換サイクル						
f_{cycle}	サンプリング周波数	ADS8681W			1000	kSPS
		ADS8685W			500	
		ADS8689W			100	
t_{cycle}	ADC サイクル時間周期		$1 / f_{\text{cycle}}$			s
t_{acq}	アクイジョン時間	ADS8681W	335			ns
		ADS8685W	1000			
		ADS8689W	5000			
非同期リセット						
$t_{\text{wl_RST}}$	パルス幅 $\overline{\text{RST}}$ が Low		100			ns
SPI 互換シリアル インターフェイス						
f_{CLK}	シリアル クロック周波数			66.67	MHz	
t_{CLK}	シリアル クロック期間		$1/f_{\text{CLK}}$			
$t_{\text{PH_CK}}$	SCLK High 時間		0.45	0.55		t_{CLK}
$t_{\text{PL_CK}}$	SCLK Low 時間		0.45	0.55		t_{CLK}
$t_{\text{SU_CSCK}}$	セットアップ時間: CONVST/ $\overline{\text{CS}}$ 立ち下がりから最初の SCLK キャプチャエッジまで		7.5			ns
$t_{\text{SU_CKDI}}$	セットアップ時間: SDI データ有効から SCLK キャプチャエッジまで		7.5			ns
$t_{\text{HT_CKDI}}$	ホールド時間: SCLK キャプチャエッジから SDI での(前の)データ有効まで		7.5			ns
ソース同期シリアル インターフェイス (外部クロック)						
f_{CLK}	シリアル クロック周波数			66.67	MHz	
t_{CLK}	シリアル クロック期間		$1/f_{\text{CLK}}$			
$t_{\text{PH_CK}}$	SCLK High 時間		0.45	0.55		t_{CLK}
$t_{\text{PL_CK}}$	SCLK Low 時間		0.45	0.55		t_{CLK}

5.7 スイッチング特性

すべての最小値および最大値の仕様は $T_A = -40^\circ\text{C} \sim +125^\circ\text{C}$ 、標準仕様は $T_A = 25^\circ\text{C}$ 、AVDD = 5V、DVDD = 3.3V、VREF = 4.096V (内部)、および最大スループット (特に記述のない限り)

		最小値	標準値	最大値	単位
非同期リセット					
t_{conv}	変換時間	ADS8681W		665	ns
	変換時間	ADS8685W		1000	
	変換時間	ADS8689W		5000	
$t_{\text{D_RST_POR}}$	POR リセットの遅延時間: RST 立ち上がりから RVS 立ち上がりまで		20		ms
$t_{\text{D_RST_APP}}$	アプリケーションリセットの遅延時間: $\overline{\text{RST}}$ 立ち上がりから CONVST/ $\overline{\text{CS}}$ 立ち上がりまで		1		μs
$t_{\text{NAP_WKUP}}$	ウェークアップ時間: NAP モード		20		μs
t_{PWRUP}	パワーアップ時間: PD モード		20		ms
SPI 互換シリアル インターフェイス					
$t_{\text{HT_CKCS}}$	遅延時間: 最後の SCLK キャプチャエッジから CONVST/ $\overline{\text{CS}}$ 立ち上がりまで	7.5			ns
$t_{\text{DEN_CSDO}}$	遅延時間: CONVST/ $\overline{\text{CS}}$ 立ち下がりエッジからデータイネーブルまで		9.5		ns
$t_{\text{DZ_CSDO}}$	遅延時間: CONVST/ $\overline{\text{CS}}$ 立ち上がりから SDO-x のトライステートへの移行まで		10		ns
$t_{\text{D_CKDO}}$	遅延時間: SCLK 起動エッジから SDO-x での(次の)データ有効まで		12		ns
$t_{\text{D_CSRVS}}$	遅延時間: CONVST/CS 立ち下がりエッジから RVS 立ち下がりまで		14		ns
ソース同期シリアル インターフェイス (外部クロック)					
	遅延時間: CONVST/ $\overline{\text{CS}}$ 立ち下がりエッジからデータイネーブルまで		9.5		ns
	遅延時間: CONVST/ $\overline{\text{CS}}$ 立ち上がりから SDO-x のトライステートへの移行まで		10		ns
	遅延時間: SCLK 立ち上がりエッジから RVS 立ち上がりまで		14		ns
	遅延時間: SCLK 立ち下がりエッジから RVS 立ち下がりまで		14		ns
	遅延時間: RVS 立ち上がりから SDO-x での(次の)データ有効まで		2.5		ns
	遅延時間: CONVST/ $\overline{\text{CS}}$ 立ち上がりエッジから RVS で内部デバイスの状態が表示されるまで		15		ns
ソース同期シリアル インターフェイス (内部クロック)					
$t_{\text{DEN_CSDO}}$	遅延時間: CONVST/ $\overline{\text{CS}}$ 立ち下がりエッジからデータイネーブルまで		9.5		ns
$t_{\text{DZ_CSDO}}$	遅延時間: CONVST/ $\overline{\text{CS}}$ 立ち上がりから SDO-x のトライステートへの移行まで		10		ns
$t_{\text{DEN_CSRVS}}$	遅延時間: CONVST/ $\overline{\text{CS}}$ 立ち下がりエッジから RVS の最初の立ち上がりエッジまで		50		ns
$t_{\text{D_RVSDO}}$	遅延時間: RVS 立ち上がりから SDO-x での(次の)データ有効まで		2.5		ns
t_{INTCLK}	期間: 内部クロック	15			ns
$t_{\text{CYC_RVS}}$	期間: RVS 信号	15			ns
$t_{\text{WH_RVS}}$	RVS High 時間	0.4	0.6		t_{INTCLK}
$t_{\text{WL_RVS}}$	RVS Low 時間	0.4	0.6		t_{INTCLK}

5.7 スイッチング特性 (続き)

すべての最小値および最大値の仕様は $T_A = -40^\circ\text{C} \sim +125^\circ\text{C}$ 、標準仕様は $T_A = 25^\circ\text{C}$ 、AVDD = 5V、DVDD = 3.3V、VREF = 4.096V (内部)、および最大スループット (特に記述のない限り)

		最小値	標準値	最大値	単位
t_{D_CSRVS}	遅延時間: CONVST/CS 立ち上がりエッジから RVS で内部デバイスの状態が表示されるまで			15	ns

5.8 タイミング図

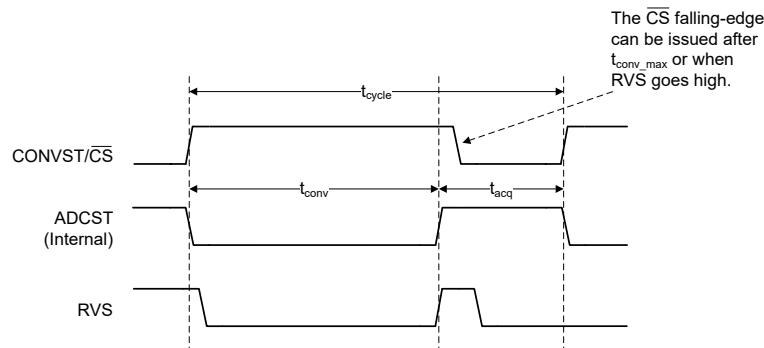


図 5-1. 変換サイクルのタイミング図

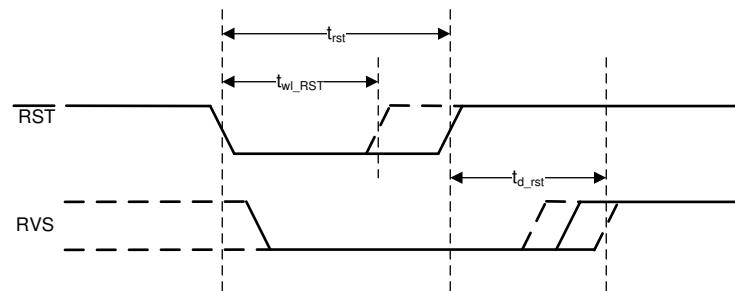


図 5-2. 非同期リセットのタイミング図

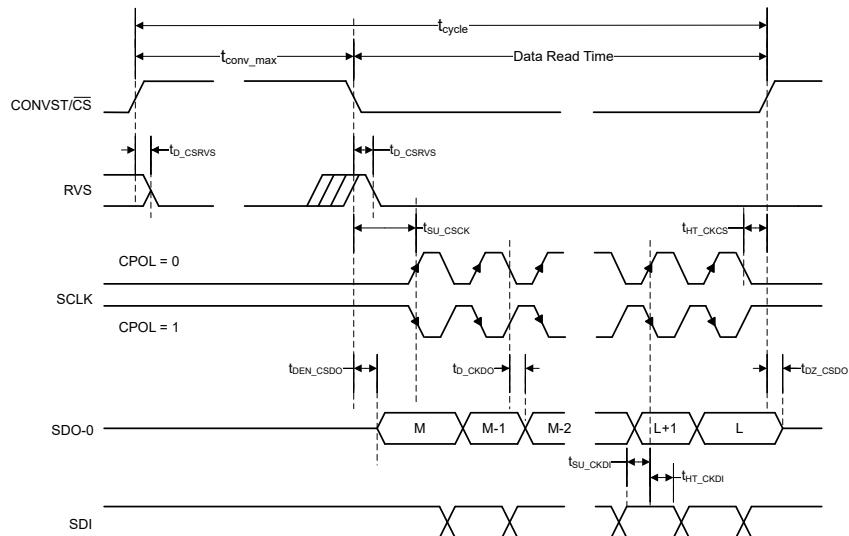


図 5-3. CPHA = 0 の標準 SPI インターフェイスのタイミング図

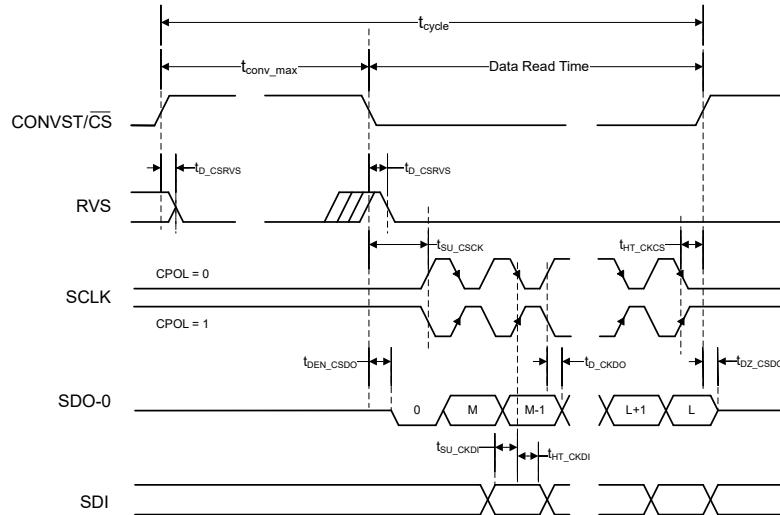


図 5-4. CPHA = 1 の標準 SPI インターフェイスのタイミング図

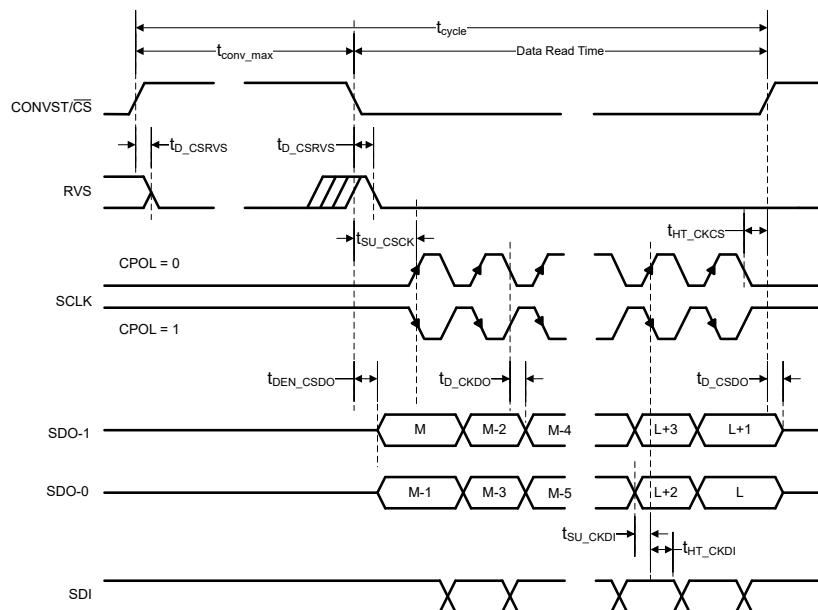


図 5-5. デュアル SDO-x および CPHA = 0 の multiSPI インターフェイスのタイミング図

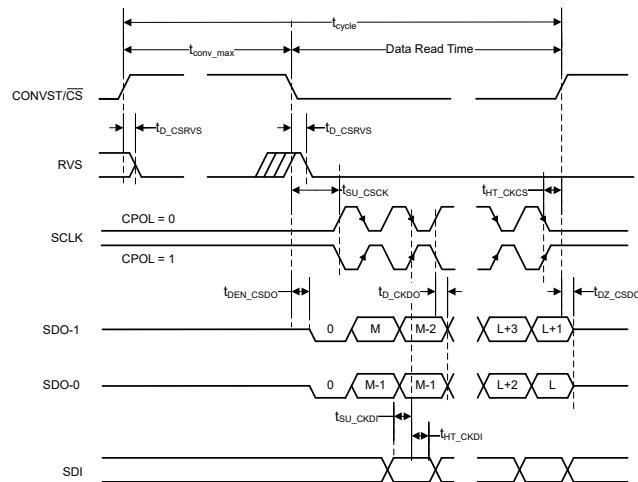


図 5-6. デュアル SDO-x および CPHA = 1 の multiSPI インターフェイスのタイミング図

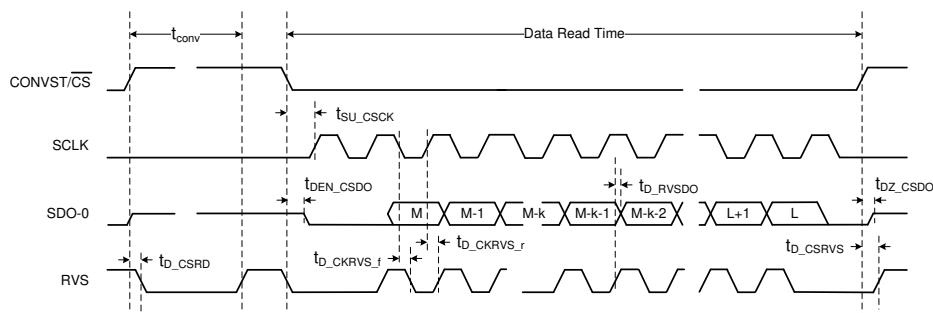


図 5-7. multiSPI ソース同期外部クロック シリアルインターフェイスのタイミング図

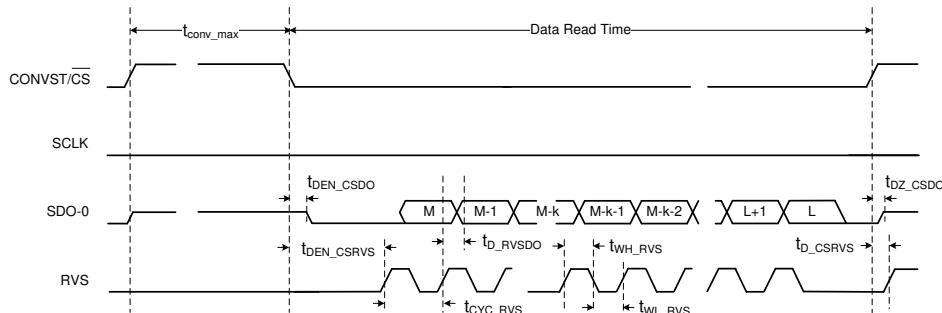


図 5-8. multiSPI ソース同期内部クロック シリアルインターフェイスのタイミング図

5.9 代表的特性

$T_A = 25^\circ\text{C}$ 、AVDD = 5V、DVDD = 3V、 $V_{\text{REF}} = 4.096\text{V}$ (内部)、および最大スループット (特に記述のない限り)

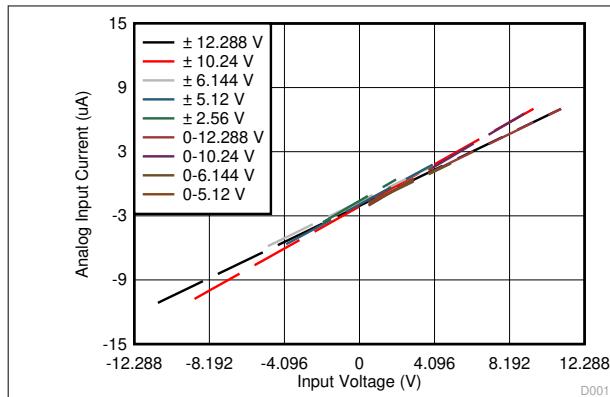
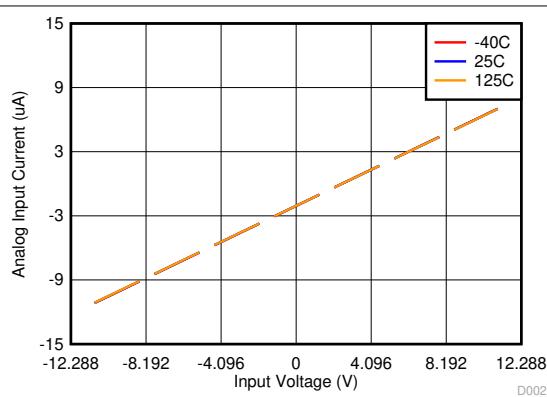


図 5-9.すべての入力範囲にわたる入力 I-V 特性



範囲 = $\pm 12.288\text{V}$

図 5-10.すべての温度にわたる入力 I-V 特性

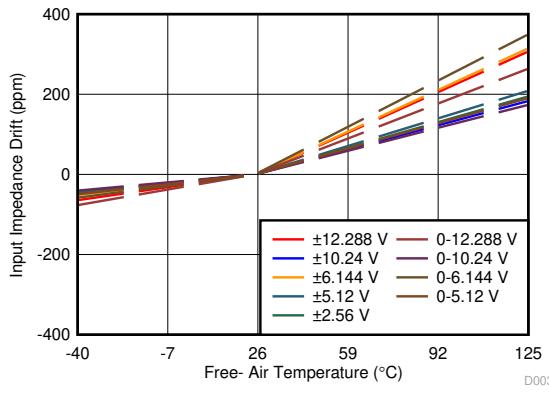


図 5-11.入力インピーダンス ドリフトと温度との関係

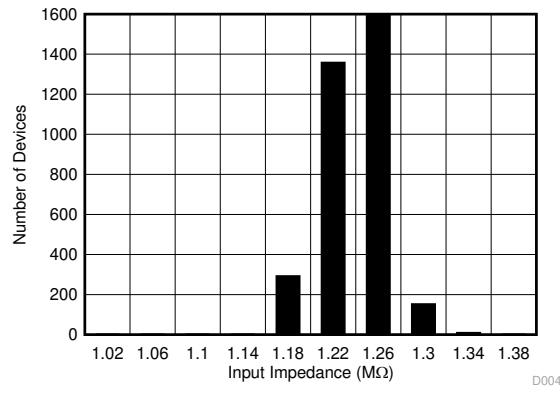
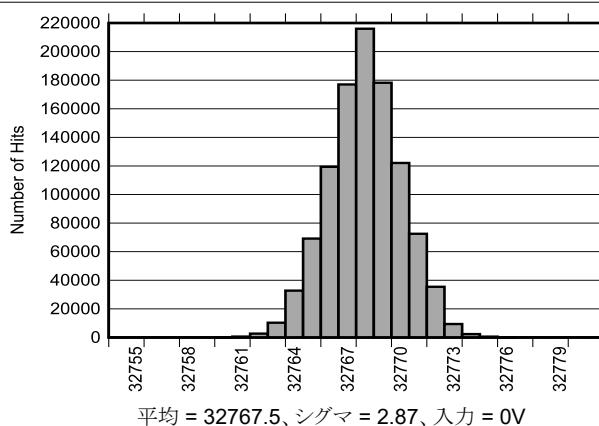
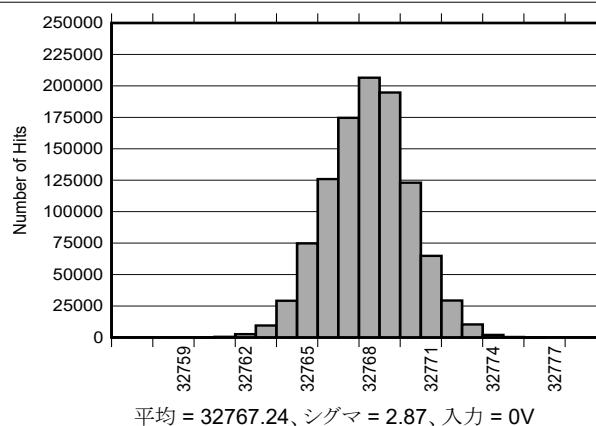


図 5-12.入力インピーダンスの標準的な分布



平均 = 32767.5、シグマ = 2.87、入力 = 0V



平均 = 32767.24、シグマ = 2.87、入力 = 0V

5.9 代表的特性 (続き)

$T_A = 25^\circ\text{C}$ 、 $\text{AVDD} = 5\text{V}$ 、 $\text{DVDD} = 3\text{V}$ 、 $V_{\text{REF}} = 4.096\text{V}$ (内部)、および最大スループット (特に記述のない限り)

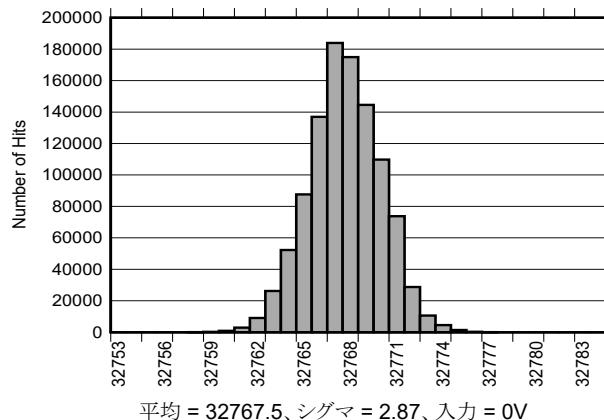


図 5-15. ミッドスケール入力の DC ヒストグラム ($\pm 6.144\text{V}$)

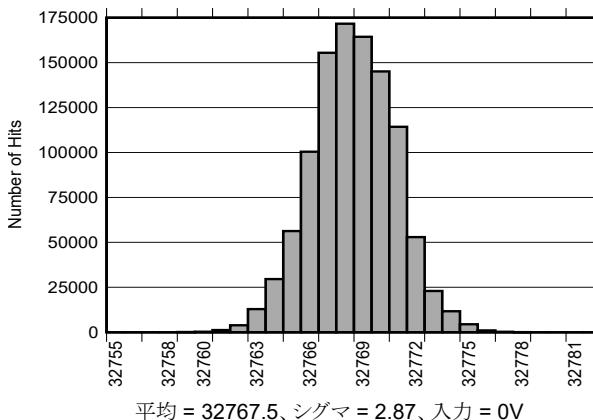


図 5-16. ミッドスケール入力の DC ヒストグラム ($\pm 5.12\text{V}$)

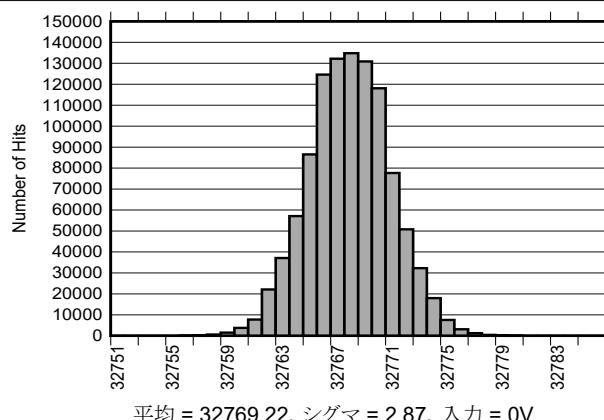


図 5-17. ミッドスケール入力の DC ヒストグラム ($\pm 2.56\text{V}$)

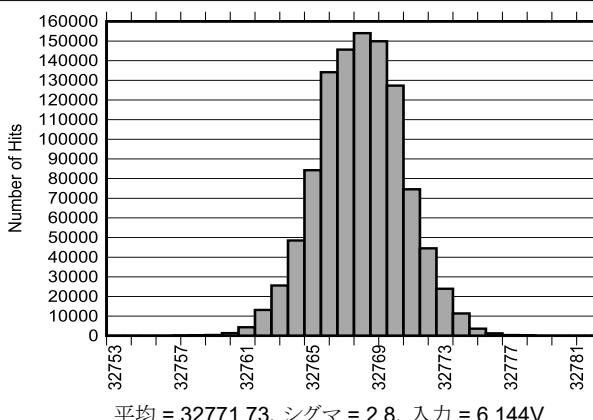


図 5-18. ミッドスケール入力の DC ヒストグラム (0V ~ 12.288V)

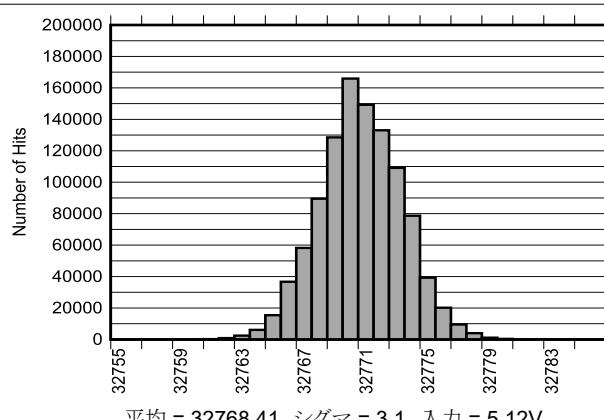


図 5-19. ミッドスケール入力の DC ヒストグラム (0V ~ 10.24V)

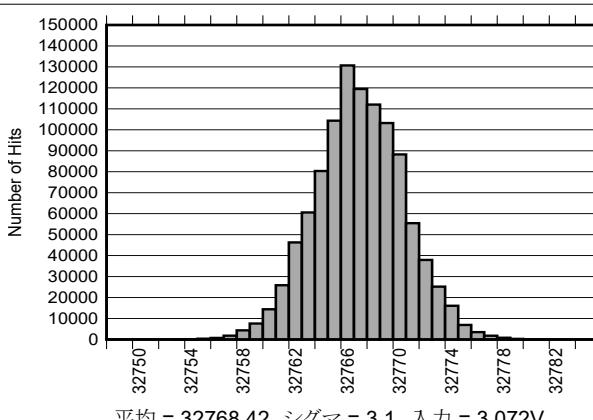


図 5-20. ミッドスケール入力の DC ヒストグラム (0V ~ 6.144V)

5.9 代表的特性 (続き)

$T_A = 25^\circ\text{C}$ 、AVDD = 5V、DVDD = 3V、 $V_{\text{REF}} = 4.096\text{V}$ (内部)、および最大スループット (特に記述のない限り)

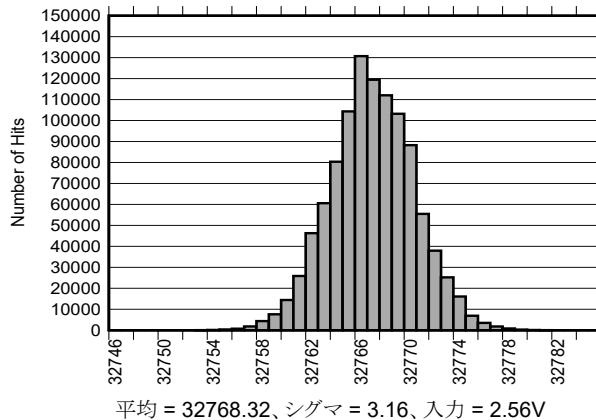


図 5-21. ミッドスケール入力の DC ヒストグラム (0V ~ 5.12V)

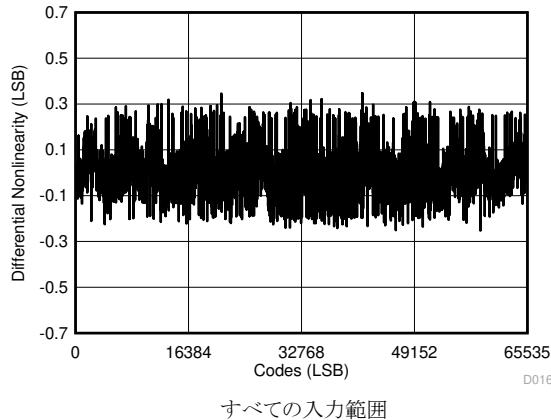


図 5-22. すべてのコードの標準 DNL

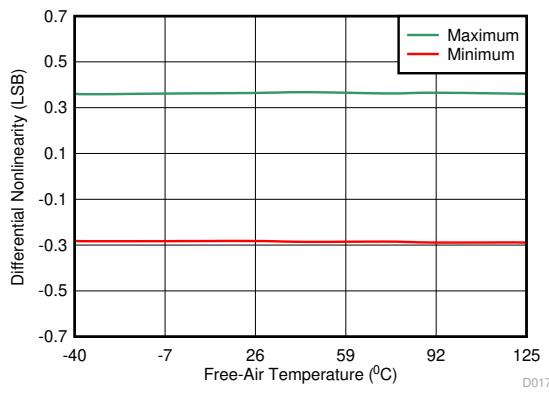


図 5-23. DNL と温度との関係

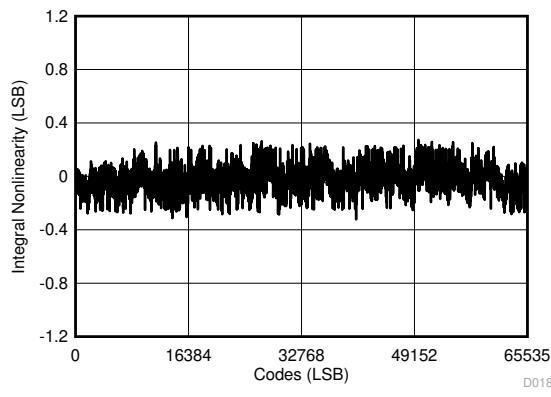
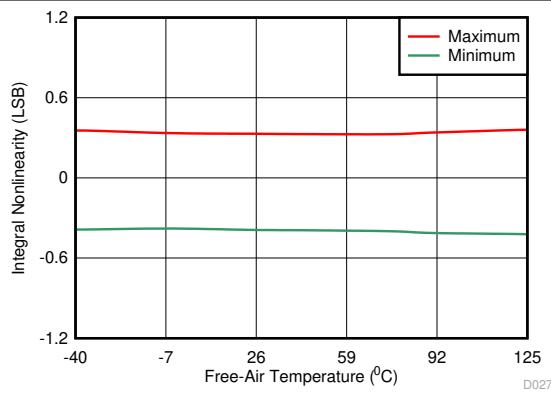
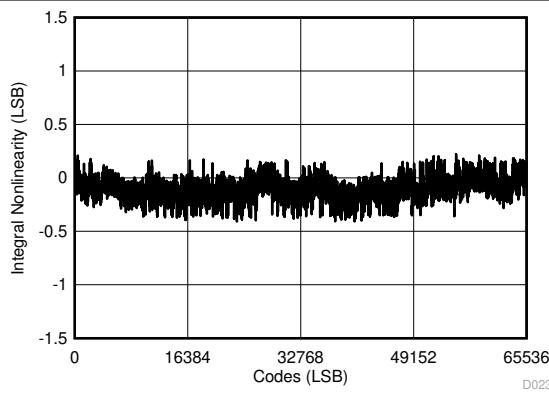


図 5-24. すべてのコードの標準 INL (すべてのバイポーラ レンジ)



5.9 代表的特性 (続き)

$T_A = 25^\circ\text{C}$ 、 $\text{AVDD} = 5\text{V}$ 、 $\text{DVDD} = 3\text{V}$ 、 $V_{\text{REF}} = 4.096\text{V}$ (内部)、および最大スループット (特に記述のない限り)

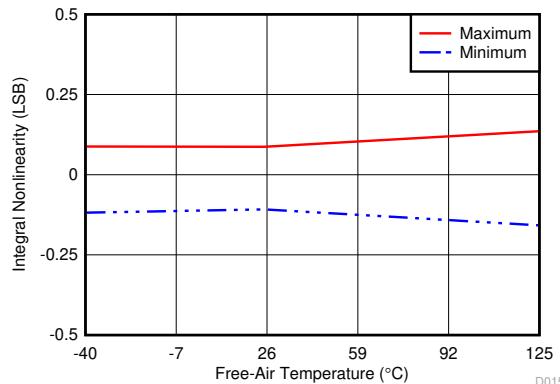


図 5-27. INL と温度との関係 (すべてのユニポーラ レンジ)

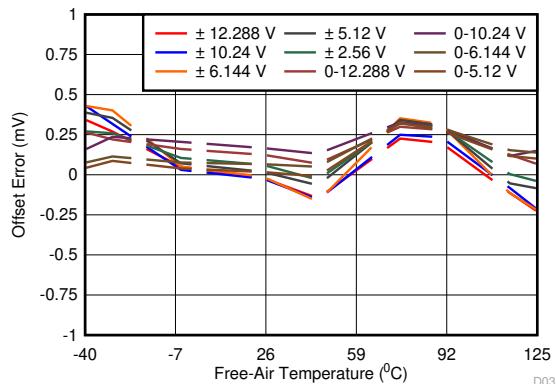


図 5-28. すべての入力範囲にわたるオフセット誤差と温度との関係

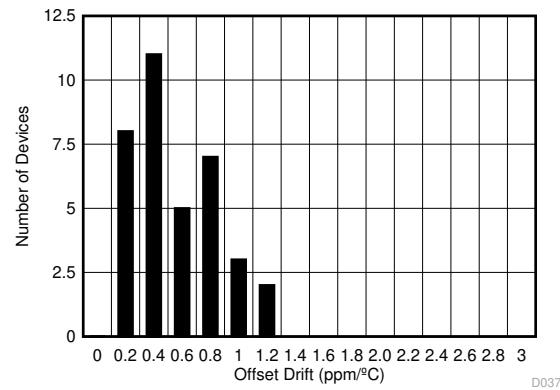


図 5-29. オフセット ドリフトの標準的なヒストグラム

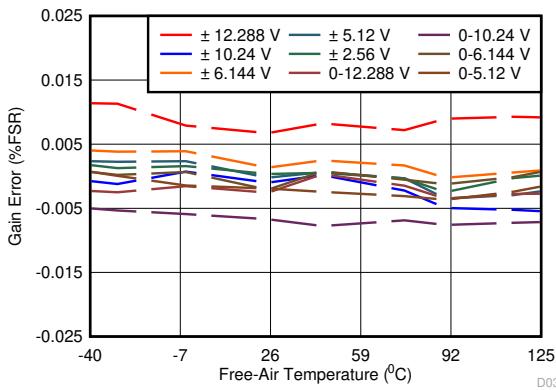


図 5-30. すべての入力範囲にわたるゲイン誤差と温度との関係

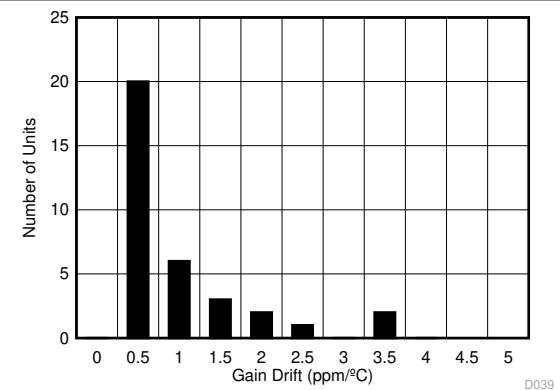


図 5-31. ゲイン誤差ドリフトの標準的なヒストグラム

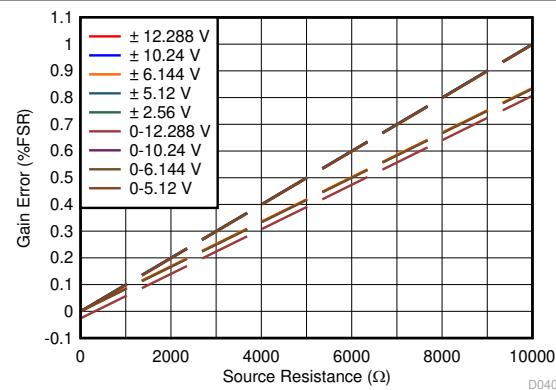


図 5-32. ゲイン誤差と外部抵抗との関係 (R_{EXT})

5.9 代表的特性 (続き)

$T_A = 25^\circ\text{C}$ 、 $\text{AVDD} = 5\text{V}$ 、 $\text{DVDD} = 3\text{V}$ 、 $V_{\text{REF}} = 4.096\text{V}$ (内部)、および最大スループット (特に記述のない限り)

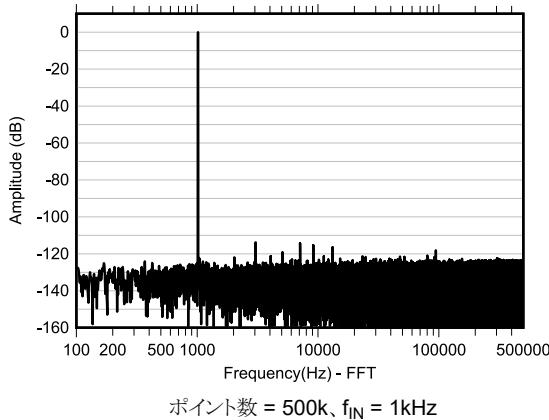


図 5-33. ADS8681W の標準的な FFT プロット (すべての範囲)

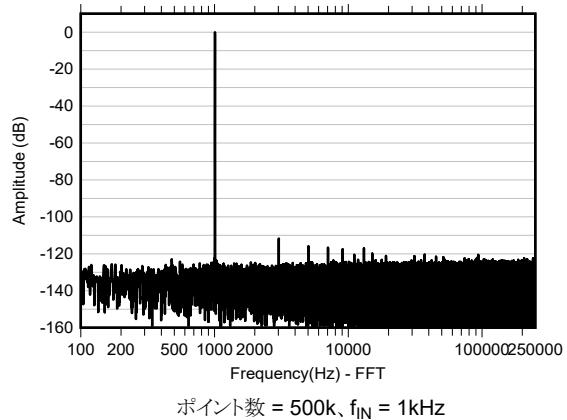


図 5-34. ADS8685W の標準的な FFT プロット (すべての範囲)

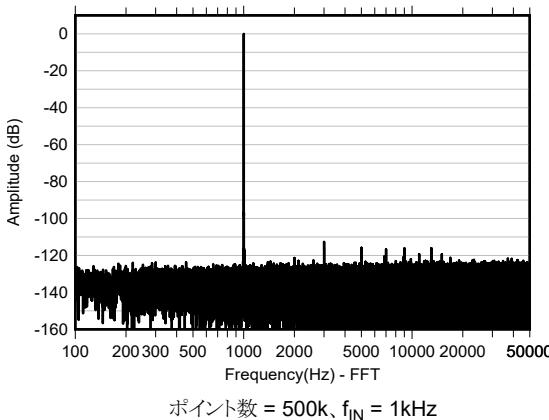


図 5-35. ADS8689W の標準的な FFT プロット (すべての範囲)

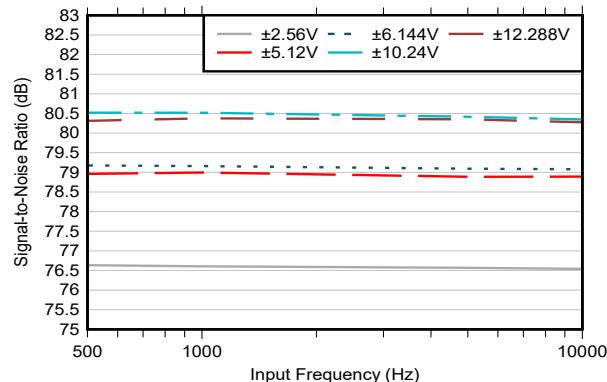


図 5-36. SNR と入力周波数との関係

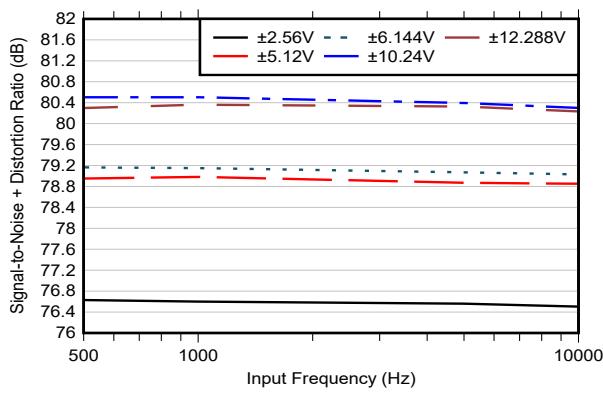


図 5-37. SINAD と入力周波数との関係

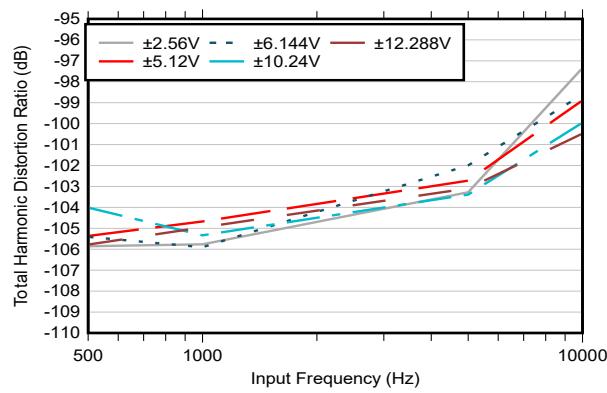
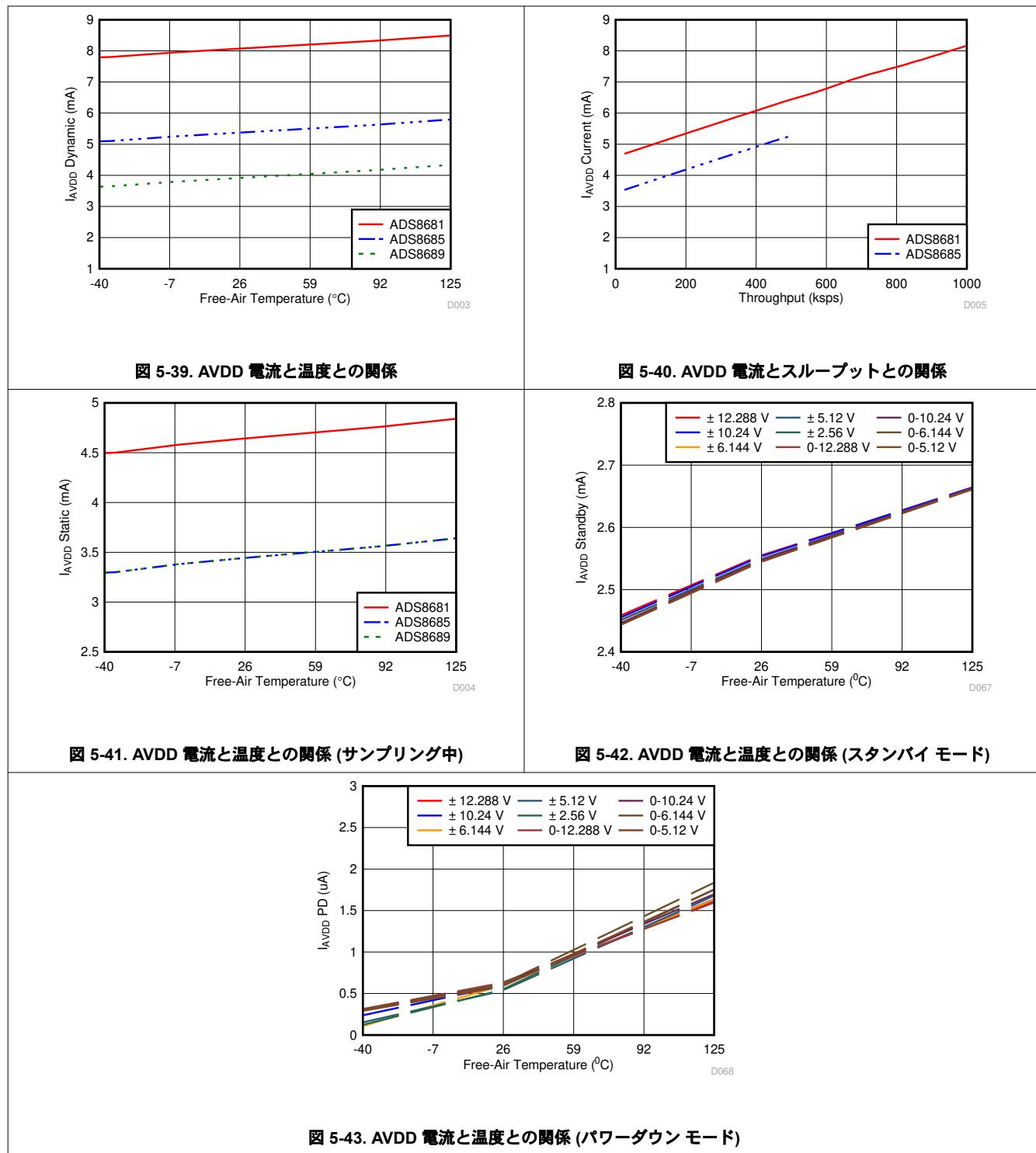


図 5-38. THD と入力周波数との関係

5.9 代表的特性 (続き)

$T_A = 25^\circ\text{C}$ 、AVDD = 5V、DVDD = 3V、 $V_{\text{REF}} = 4.096\text{V}$ (内部)、および最大スループット (特に記述のない限り)



6 詳細説明

6.1 概要

ADS868xW は、高速かつ高性能で使いやすい統合型データ アクイジション システム デバイスのファミリです。これらのシングル チャネル デバイスは、最大 $\pm 12.288V$ の真のバイポーラ差動およびシングルエンド入力電圧振幅をサポートし、単一の 5V アナログ電源で動作します。ADS868xW は拡張 SPI インターフェイス (multiSPI) を搭載しており、低速のホストコントローラでもサンプリング レートを最大化できます。

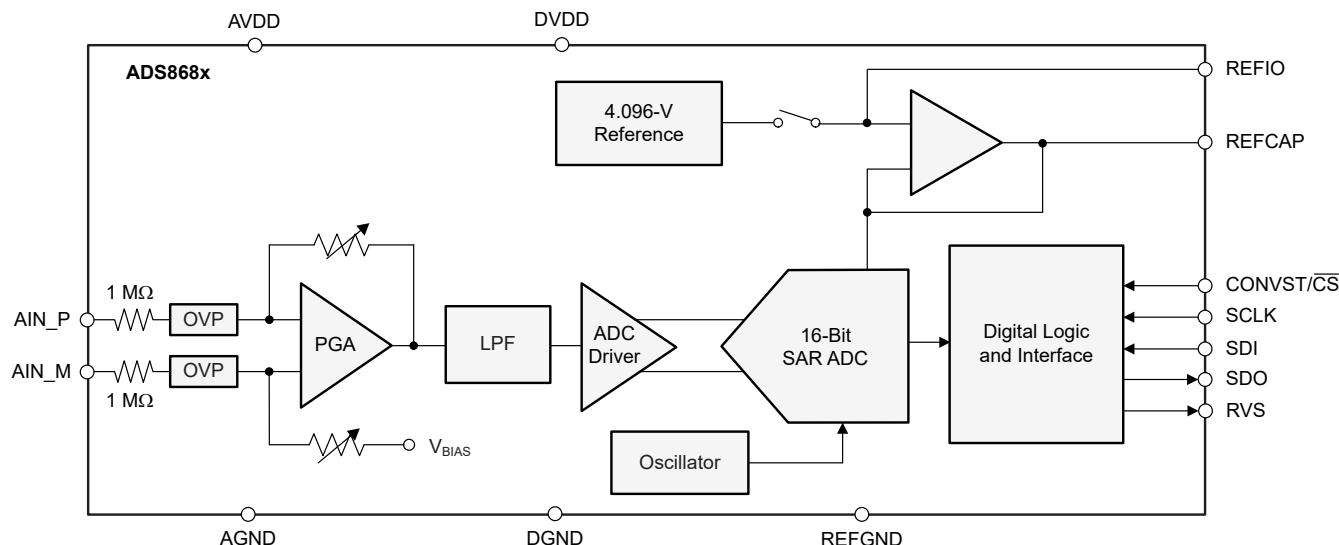
ADS868xW は、高精度の逐次比較型 (SAR) A/D コンバータ (ADC)、およびシグナル コンディショニング用に電力最適化されたアナログ フロントエンド (AFE) 回路で構成されています。ADS868xW は以下を備えています。

- サンプリング レートに依存しない高抵抗性入力インピーダンス ($\geq 1M\Omega$)
- 9つのソフトウェア プログラマブル ユニポーラおよびバイポーラ入力範囲をサポートする差動およびシングルエンド入力構成を備えたプログラマブル ゲイン アンプ (PGA)
- 2次ローパス アンチエイリアス フィルタ
- 高精度のために SAR ADC 入力の迅速なセトリングを実現する ADC ドライバ アンプ
- 最大 $\pm 20V$ の入力過電圧保護回路

このデバイスは、温度ドリフトが小さい 4.096V の内部リファレンスを搭載し、高速セトリング バッファ、およびデイジーチェーン (デイジー) とアラーム機能を搭載した multiSPI シリアル インターフェイスを特徴としています。

統合型の高精度 AFE 回路は、入力インピーダンスが高く、5V 単一電源で動作する高精度 ADC を内蔵しています。この AFE 回路は、外部高電圧バイポーラ電源や複雑なドライバ回路を必要とせずに、簡素化された最終ソリューションを実現します。

6.2 機能ブロック図



6.3 機能説明

6.3.1 アナログ入力構造

このデバイスは差動入力構造を採用しています。図 6-1 に、入力過電圧保護回路、PGA、ローパスフィルタ (LPF)、高速 ADC ドライバを含む、AFE 回路の概略回路図を示します。

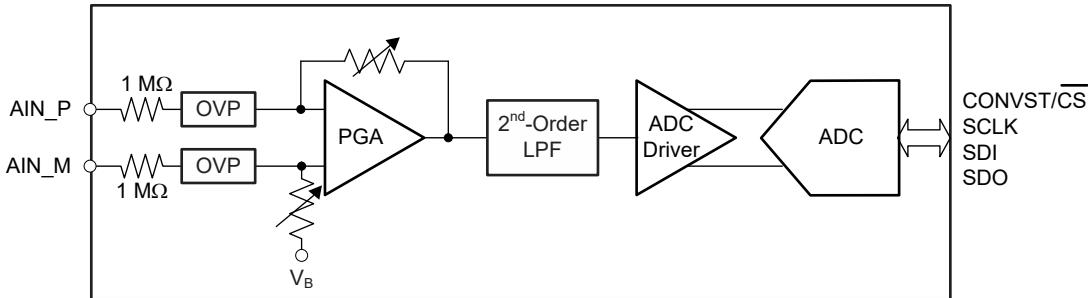


図 6-1. アナログ フロント エンド回路の概略回路図

ADS868xW は、プログラム レジスタ構成に基づいて、複数のユニポーラまたはバイポーラ、シングルエンドおよび差動入力電圧範囲をサポートしています。RANGE_SEL_REG レジスタで説明されているように、入力電圧範囲をバイポーラまたはユニポーラに設定します。バイポーラ レンジは、 $\pm 3V \times V_{REF}$ 、 $\pm 2.5V \times V_{REF}$ 、 $\pm 1.5V \times V_{REF}$ 、 $\pm 1.25V \times V_{REF}$ 、および $\pm 0.625V \times V_{REF}$ です。ユニポーラ レンジは、 $0V \sim 3V \times V_{REF}$ 、 $0V \sim 2.5V \times V_{REF}$ 、 $0V \sim 1.5 \times V_{REF}$ 、および $0V \sim 1.25 \times V_{REF}$ です。内部リファレンス電圧または外部リファレンス電圧を $4.096V$ に設定すると、デバイスの入力範囲をバイポーラ レンジまたはユニポーラ レンジに構成できます。構成されるバイポーラ レンジは、 $\pm 12.288V$ 、 $\pm 10.24V$ 、 $\pm 6.144V$ 、 $\pm 5.12V$ 、および $\pm 2.56V$ です。構成されるユニポーラ レンジは、 $0V \sim 12.288V$ 、 $0V \sim 10.24V$ 、 $0V \sim 6.144V$ 、および $0V \sim 5.12V$ です。

このデバイスは、AIN_P ピンと AIN_M ピンの電圧差をサンプリングします。最適な性能を達成するために、各入力バスに沿った入力電流とインピーダンスが一致していることを確認します。2 つのシングルエンド信号を AIN_P と AIN_M に、信号源から ADC 入力ピンまで、可能な限り対称的に配線します。

デバイスに対するアナログ入力ピン (AIN_P) または (AIN_M) がフローティングのままになっている場合、ADC の出力は内部バイアス電圧に対応します。デバイスがフローティング入力ピンで動作している場合、ADC の出力は無効と見なされます。この条件によってデバイスが損傷することではなく、ピンに有効な入力電圧が印加されると、完全に機能します。

6.3.2 アナログ入力インピーダンス

このデバイスは、各アナログ入力で $1M\Omega$ 以上の抵抗性入力インピーダンスを実現します。入力インピーダンスは、ADC サンプリング周波数や入力信号の周波数に依存しません。このような高インピーダンス入力の主な利点は、出力インピーダンスの低いアンプを駆動する必要がなく、ADC 入力を簡単に駆動できることです。この ADC は高電圧のフロント エンド ドライバを必要としないため、システムではバイポーラの高電圧電源は必要ありません。ほとんどのアプリケーションでは、信号源またはセンサ出力が ADC 入力に直接接続されるため、シグナル チェーンの設計を大幅に簡素化できます。

システムの DC 精度を維持するには、AIN_P 入力ピンの外部ソース インピーダンスを AIN_M ピンの等価抵抗と一致させます。一致させることで、外部抵抗に起因する追加のオフセット誤差を打ち消すのに役立ちます。

6.3.3 入力保護回路

このデバイスには、各アナログ入力に過電圧保護 (OVP) 回路が内蔵されています。最終アプリケーションでは、サーボ、静電放電 (ESD)、電気的高速過渡 (EFT) の状態から保護するために外部保護デバイスを使用してください。図 6-2 に、内部 OVP 回路の概念ブロック図を示します。

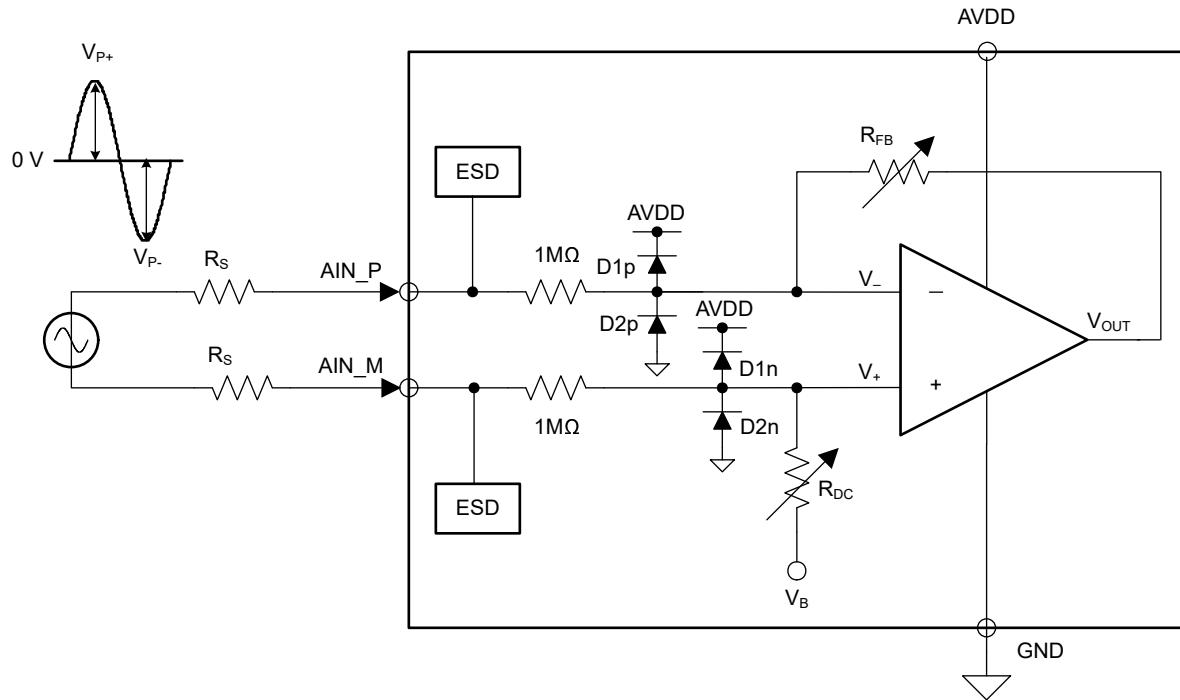


図 6-2. 入力過電圧保護回路の回路図

図 6-2 に示されているように、入力抵抗と PGA ゲイン設定抵抗 R_{FB} および R_{DC} の組み合わせにより、入力ピンに流れる電流が制限されます。適切な入力範囲としては、 $1\text{M}\Omega$ (または $1.2\text{M}\Omega$) の入力抵抗を使用します。逆並列ダイオード D1 および D2 の組み合わせを追加して、内部回路を保護し、過電圧保護制限を設定します。

表 6-1 に、電源オン時のデバイスのさまざまな動作条件を示します。デバイスの電源が正常にパワーアップされていること ($\text{AVDD} = 5\text{V}$)、または $30\text{k}\Omega$ 未満の低インピーダンスであることを確認します。適切に設定した場合、内部の過電圧保護回路はアナログ入力ピンで最大 $\pm 20\text{V}$ の耐性を持ちます。

表 6-1. $\text{AVDD} = 5\text{V}$ 時の入力過電圧保護制限

入力条件 ⁽¹⁾ ($ V_{OVP} = \pm 20\text{V}$)		テスト条件	ADC 出力	備考
条件	RANGE			
$ V_{IN} < V_{RANGE} $	動作範囲内	すべての入力範囲	有効	デバイスは、データシートの仕様に従って機能します。
$ V_{RANGE} < V_{IN} < V_{OVP} $	動作範囲を超えているが過電圧範囲内	すべての入力範囲	飽和状態	ADC 出力は飽和していますが、デバイスは内部的に保護されています（これは長時間にわたって使用することは推奨されません）。
$ V_{IN} > V_{OVP} $	過電圧範囲外	すべての入力範囲	飽和状態	この使用状態により、デバイスに回復できない損傷が発生する可能性があります。

(1) $\text{GND} = 0\text{V}$, $\text{AIN_M} = 0\text{V}$, $|V_{RANGE}|$ は、選択されたすべての入力範囲の最大入力電圧です。 $|V_{OVP}|$ は、内部 OVP 回路のブレークダウン電圧です。 R_S が約 0Ω であると仮定します。

表 6-1 に示されている結果は、アナログ入力ピンが非常に低いインピーダンスのソース (R_S が約 0Ω) で駆動されていると仮定しています。しかし、入力を駆動するソースのインピーダンスがより高い場合、保護ダイオードを流れる電流がさらに減少し、OVP 電圧範囲が拡大します。ソース インピーダンスが高いほど、ゲイン誤差が発生し、システム全体のノイズ性能に影響します。

図 6-3 に、デバイスのパワーアップ時の内部過電圧保護回路の電圧と電流応答の関係を示します。この I-V (電流から電圧へ) 応答によると、デバイスの入力ピンに流れる電流は入力インピーダンスによって制限されます。入力インピーダンス

は $1\text{M}\Omega$ (適切な入力範囲では $1.2\text{M}\Omega$) です。しかし、 $\pm 20\text{V}$ を超える電圧の場合、内部のノード電圧は内部トランジスタのブレークダウン電圧を上回ります。そのため、過電圧保護の限界は入力ピンで設定されます。



図 6-3. 入力 OVP 回路の I-V 曲線 (AVDD = 5V)

同じ過電圧保護回路によって、デバイスの電源がオンになっていない場合や AVDD がフローティングになっている場合に、デバイスが保護されます。この状態は、ADC の電源が完全にオンになる前に入力信号が印加された場合に発生します。[表 6-2](#) に、この状態の過電圧保護の限界を示します。

表 6-2. AVDD = フローティング時の入力過電圧保護の限界

入力条件 ⁽¹⁾ ($V_{OVP} = \pm 15\text{V}$)		テスト条件	ADC 出力	備考
条件	RANGE			
$ V_{IN} < V_{OVP} $	過電圧範囲内	すべての入力範囲	無効	このデバイスは機能しませんが、OVP 回路によって内部で保護されています。
$ V_{IN} > V_{OVP} $	過電圧範囲外	すべての入力範囲	無効	この使用状態により、デバイスに回復できない損傷が発生する可能性があります。

(1) AVDD = フローティング、GND = 0V、AIN_M = 0V、 $|V_{RANGE}|$ は、選択されたすべての入力範囲の最大入力電圧です。 $|V_{OVP}|$ は、内部 OVP 回路のブレークダウン電圧です。 R_S が約 0Ω であると仮定します。

[図 6-4](#) に、デバイスのパワーダウン時の内部過電圧保護回路の I-V 応答を示します。この I-V 応答によると、デバイスの入力ピンに流れる電流は入力インピーダンスによって制限されます。しかし、 $\pm 15\text{V}$ を超える電圧の場合、内部のノード電圧は内部トランジスタのブレークダウン電圧を上回ります。そのため、過電圧保護の限界は入力ピンで設定されます。

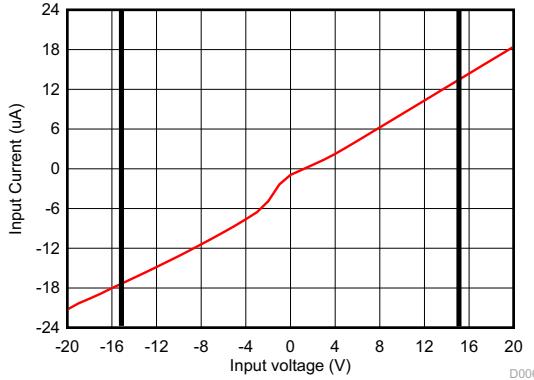


図 6-4. 入力 OVP 回路の I-V 曲線 (AVDD = フローティング)

6.3.4 プログラマブル ゲインアンプ(PGA)

このデバイスには、アナログ シグナルコンディショニング回路の一部としてプログラマブル ゲイン アンプ (PGA) が搭載されています。この回路は、元のシングルエンドまたは差動入力信号を、内部 SAR ADC を駆動する信号に変換します。また、PGA は、信号が SAR ADC に供給される前に、入力信号の同相レベルを調整します。このプロセスにより、ADC の入力ダイナミックレンジを最大限に使用できます。入力信号の範囲に応じて、構成レジスタの RANGE_SEL[3:0] ビットを設定して、PGA ゲインを調整します。『[RANGE_SEL_REG レジスタ](#)』を参照してください。RANGE_SEL[3:0] ビットのデフォルトまたはパワーオン状態は 0000 であり、 $\pm 3V \times V_{REF}$ の入力信号範囲に対応します。表 6-3 に、さまざまなアナログ入力電圧範囲に対する RANGE_SEL[3:0] ビットのさまざまな設定を示します。

PGA は、複数のゲイン構成に正確に一致した抵抗のネットワークを使用します。これらの抵抗間のマッチングは正確に調整され、すべての入力範囲にわたって総合的なゲイン誤差が低く保たれます。

表 6-3. 入力レンジ選択ビット構成

アナログ入力範囲 (AIN_P – AIN_M)	RANGE_SEL[3:0]			
	ビット 3	ビット 2	ビット 1	ビット 0
$\pm 3V \times V_{REF}$	0	0	0	0
$\pm 2.5V \times V_{REF}$	0	0	0	1
$\pm 1.5V \times V_{REF}$	0	0	1	0
$\pm 1.25V \times V_{REF}$	0	0	1	1
$\pm 0.625V \times V_{REF}$	0	1	0	0
$0V \sim 3V \times V_{REF}$	1	0	0	0
$0V \sim 2.5V \times V_{REF}$	1	0	0	1
$0V \sim 1.5V \times V_{REF}$	1	0	1	0
$0V \sim 1.25V \times V_{REF}$	1	0	1	1

6.3.5 2 次ローパス フィルタ (LPF)

フロントエンド アンプおよび PGA ゲイン抵抗のノイズを低減するために、デバイスの AFE 回路には PGA 出力に 2 次アンチエイリアス LPF が備わっています。図 6-5 および 図 6-6 に、それぞれのアナログ アンチエイリアス フィルタの振幅と位相応答を示します。最大限の性能を得るために、アンチエイリアス フィルタの -3dB カットオフ周波数は、通常 500kHz に設定します。フィルタの性能は、ADC でサポートされるすべての入力範囲にわたって一貫しています。

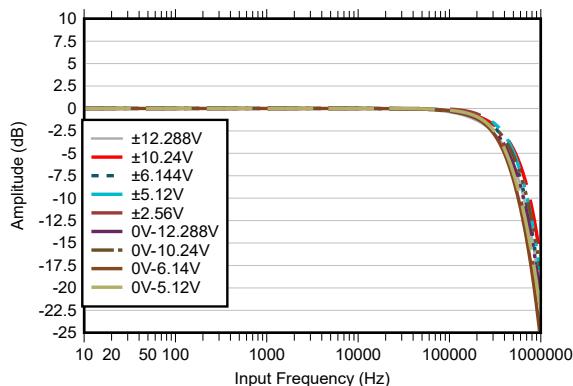


図 6-5. 2 次 LPF 振幅応答

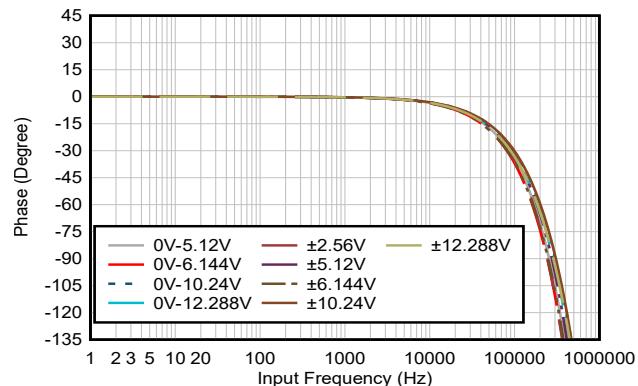


図 6-6. 2 次 LPF 位相応答

6.3.6 ADC ドライバ

最大サンプリング レートでデバイスの性能を満たすには、ADC 入力のサンプル/ホールド コンデンサが、アクイジョン時間枠内で正常に充放電できるようにします。ADC の入力時この駆動要件を満たすには、高帯域幅かつ低ノイズで安定したアンプ バッファを使用する必要があります。このような入力ドライバは、デバイスのアナログ入力チャネルのフロントエンド信号パスに組み込まれています。

6.3.7 リファレンス

デバイスは、内部バッファを使用して、内部電圧リファレンスまたは外部電圧リファレンスで動作します。内部リファレンスまたは外部リファレンスの選択は、**RANGE_SEL_REG** レジスタの **INTREF_DIS** ビットをプログラムすることで決まります。内部リファレンス ソースは、リセット後またはデバイスの起動時に、デフォルトで有効になります (**INTREF_DIS = 0**)。外部リファレンス ソースを使用するたびに、**INTREF_DIS** ビットをロジック 1 にプログラムして内部リファレンス ソースを無効化します。

6.3.7.1 内部リファレンス

デバイスには、公称出力値 4.096V の内部リファレンス ソースが備わっています。内部リファレンスを選択するには、**RANGE_SEL_REG** レジスタの **INTREF_DIS** ビットをロジック 0 にプログラムします。内部リファレンスを使用すると、**REFIO** ピンは内部リファレンス値での出力になります。**図 6-7** に示されているように、**REFIO** ピンと **REFGND** ピンの間に 4.7 μ F (最小) のデカップリング コンデンサを配置します。内部バンドギャップ回路の出力インピーダンスによって、このコンデンサと一緒にローパス フィルタが形成され、リファレンスのノイズを帯域制限します。この値の小さいコンデンサを使用すると、システムのリファレンス ノイズが大きくなり、信号対雑音比と SINAD の性能が低下する可能性があります。電流出力能力は制限されているため、**REFIO** ピンを使用して外部 AC または DC 負荷を駆動しないでください。許容可能なオペアンプ バッファ (**OPA320** など) が続く場合は、**REFIO** ピンをソースとして使用します。

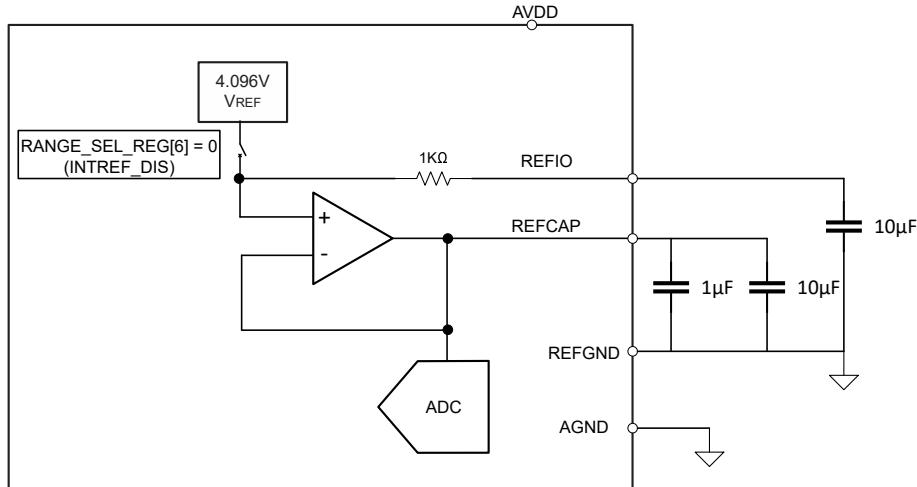


図 6-7. 4.096V 内部リファレンスを使用したデバイス接続

デバイスの内部リファレンス電圧は、初期精度仕様を提供するように工場出荷時に調整されます。図 6-8 のヒストグラムに、3420 を超える量産デバイスから取得した内部電圧リファレンス出力の分布を示します。

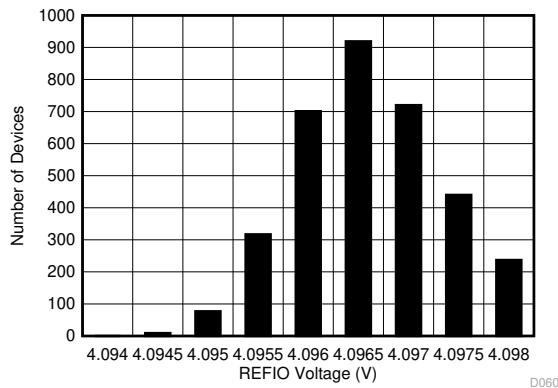


図 6-8. 室温での内部リファレンス精度ヒストグラム

ダイが機械的ストレスまたは熱ストレスにさらされると、内部リファレンスの初期精度の仕様が低下します。 V_{REF} 値が変動する主な原因是、プリント基板 (PCB) への半田付け時に発生するデバイスへの加熱、およびそれ以降の半田リフローです。熱ヒステリシスの主な原因是、ダイストレスの変化です。これは、パッケージ、ダイ接続材料、モールド化合物、デバイスレイアウトによって決まります。

この効果を説明するために、メーカーが推奨するリフロー プロファイルに従い、鉛フリー半田ペーストを使用して 30 個のデバイスをはんだ付けしました。このプロセスの説明は、『AN-2029 取り扱いおよびプロセスの推奨事項』アプリケーションノートに記載されています。図 6-9 に示されているように、内部電圧リファレンス出力をリフロー プロセスの前後で測定して、値の標準的なシフトを示しています。テストしたユニットすべてで、出力電圧に正のシフトが示されました。負のシフトも可能です。図 6-9 のヒストグラムは、単一のリフロー条件にさらされた際の典型的なシフトを示しています。両面に表面実装部品があるプリント基板では、複数回のリフローにさらされることが一般的であり、これが出力電圧にさらなるシフトを引き起します。PCB にリフローが何回も行われる場合は、ADS868xW を 2 回目のパスで半田付けすることで、デバイスへの熱ストレスを最小限に抑えることができます。

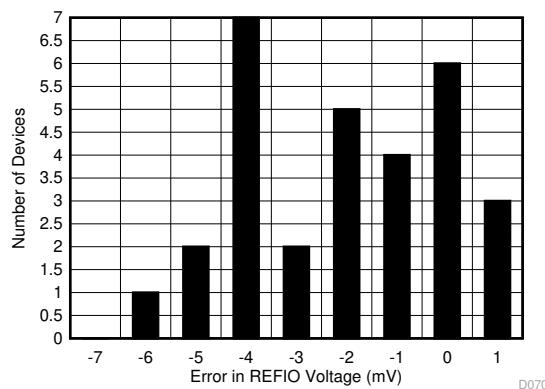


図 6-9. 半田付けの熱によるシフトの分布ヒストグラム

内部リファレンスも温度補償されており、-40°C ~ +125°C の拡張産業用温度範囲にわたって優れた温度ドリフトを提供します。図 6-10 に、AVDD 電源電圧の異なる値に対する温度全体の内部リファレンス電圧の変動を示します。図 6-11 に、WQFN (RUM) パッケージ

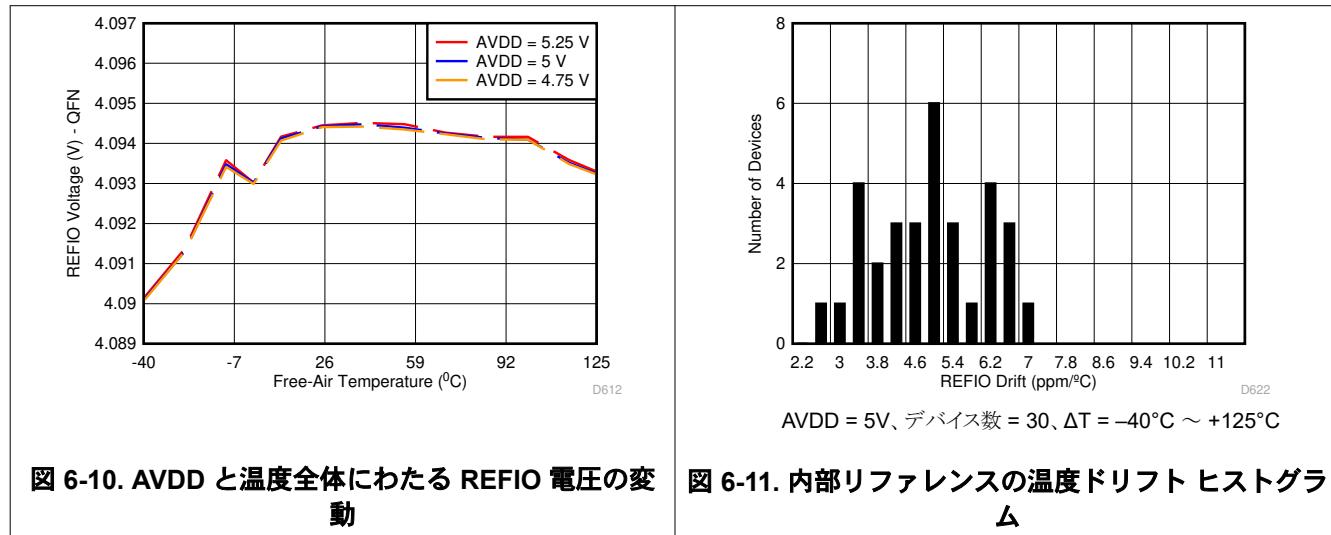


図 6-10. AVDD と温度全体にわたる REFIO 電圧の変動

図 6-11. 内部リファレンスの温度ドリフトヒストグラム

6.3.7.2 外部リファレンス

このデバイスは、より優れたリファレンス電圧または複数のデバイスの共通のリファレンス電圧を必要とするアプリケーションに適しています。このプロビジョニングでは、内部バッファとともに外部リファレンス ソースを使用して ADC リファレンス ピンを駆動できます。外部リファレンス モードを選択するには、RANGE_SEL_REG レジスタの INTREF_DIS ビットをロジック 1 にプログラムします。このモードでは、4.096V 外部リファレンスを REFIO ピンに適用します。これは、入力として機能します。内部バッファは、ADC リファレンス入力に内部接続されている REFCAP ピンの動的な負荷を処理するように最適に設計されています。このモードでは、ローパワー、低ドリフト、小さい外部リファレンスをすべて適用できます。外部リファレンス ノイズがシステム性能に及ぼす影響を最小限に抑えるために、外部リファレンスの出力を適切にフィルタリングします。図 6-12 に、このモードの一般的なピン配置を示します。

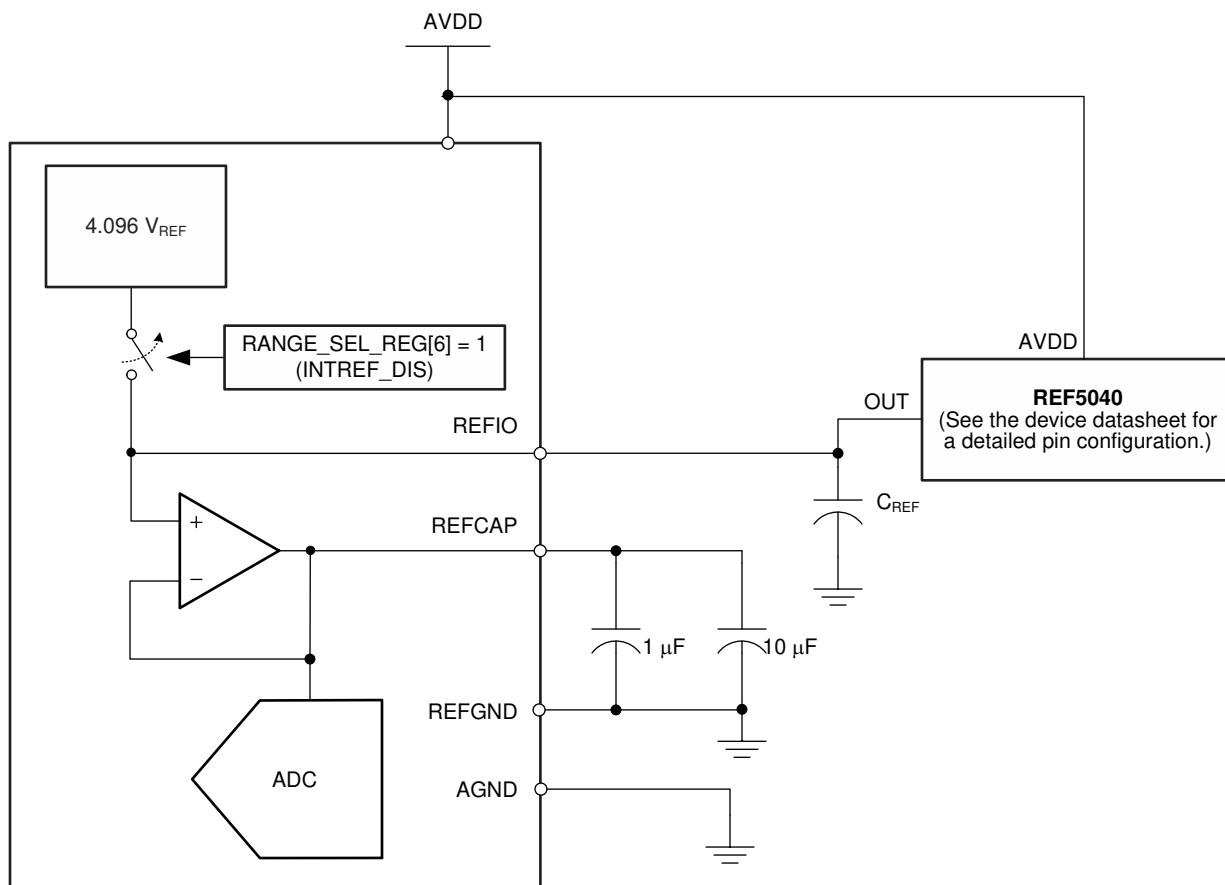


図 6-12. 4.096V 外部リファレンスを使用したデバイス接続

内部リファレンス バッファの出力は、REFCAP ピンに現われます。REFCAP ピンと REFGND ピンの間に 10 μ F 以上の容量を配置します。高周波信号のデカップリングのために、別の 1 μ F コンデンサを REFCAP ピンのできるだけ近くに配置します。このバッファの電流出力能力は制限されているため、内部バッファを使用して外部 AC 負荷または DC 負荷を駆動しないでください。

内部バッファ出力の性能は、 $-40^{\circ}\text{C} \sim 125^{\circ}\text{C}$ の動作温度範囲全体で非常に安定します。図 6-13 に、AVDD 電源電圧の異なる値について、温度範囲全体にわたる REFCAP 出力の変動を示します。図 6-14 に示されているように、温度範囲全体でのリファレンス バッファドリフトの規定の標準値は $0.5\text{ppm}/^{\circ}\text{C}$ です。規定の最大温度ドリフトは $2\text{ppm}/^{\circ}\text{C}$ です。

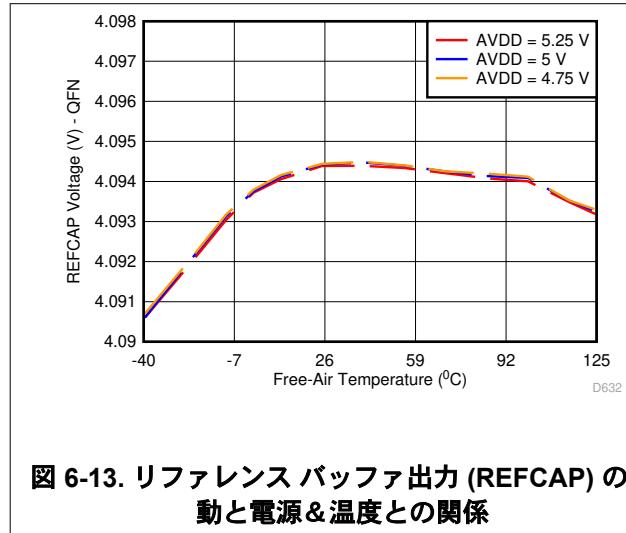


図 6-13. リファレンス バッファ出力 (REFCAP) の変動と電源& 温度との関係

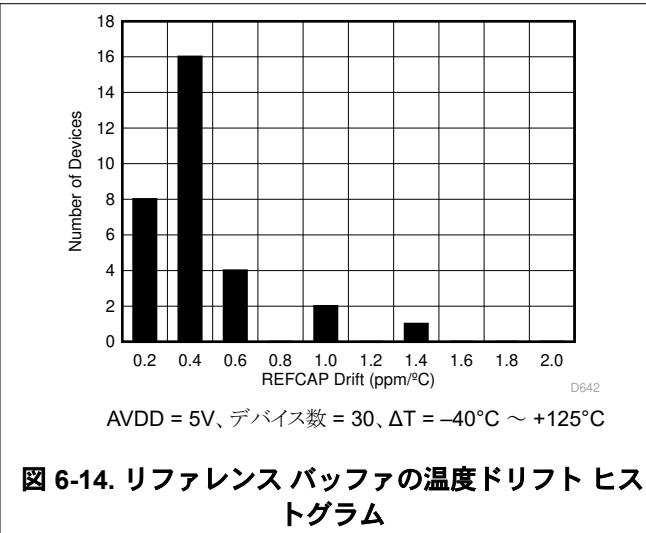


図 6-14. リファレンス バッファの温度ドリフトヒストグラム

6.3.8 ADC の伝達関数

このデバイスはシングルエンドおよび差動入力をサポートしており、バイポーラとユニポーラの両方の入力範囲に対応します。デバイスの出力は、バイポーラとユニポーラの両方の入力範囲に対して、ストレートバイナリ形式です。

図 6-15 に、すべての入力範囲の理想的な伝達特性を示します。各入力信号のフルスケール範囲 (FSR) は、正のフルスケール (PFS) と負のフルスケール (NFS) の入力電圧の差に等しくなります。 LSB サイズは、 $FSR/2^{16}$ と等しくなります。リファレンス電圧 $V_{REF} = 4.096V$ については、表 6-4 にそれぞれの入力範囲に対応する LSB の値を示します。

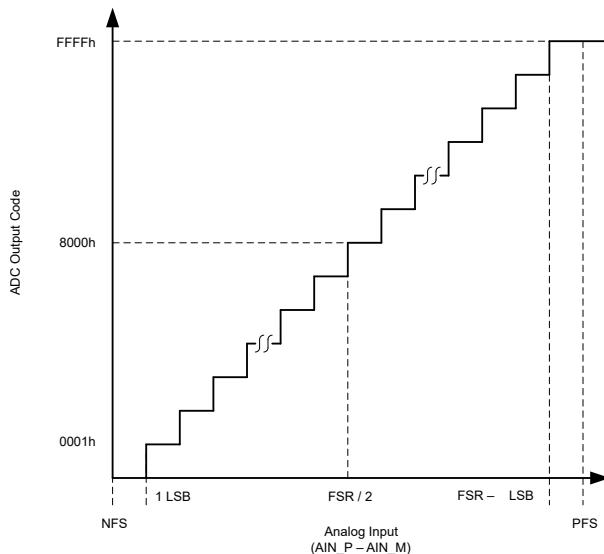


図 6-15. デバイスの伝達関数 (ストレートバイナリ形式)

表 6-4. 異なる入力範囲の ADC LSB 値 ($V_{REF} = 4.096V$)

入力範囲	正のフルスケール (V)	負のフルスケール (V)	フルスケール レンジ (V)	LSB
$\pm 3V \times V_{REF}$	12.288	-12.288	24.576	375.0 μ V
$\pm 2.5V \times V_{REF}$	10.24	-10.24	20.48	312.5 μ V
$\pm 1.5V \times V_{REF}$	6.144	-6.144	12.288	187.5 μ V
$\pm 1.25V \times V_{REF}$	5.12	-5.12	10.24	156.25 μ V
$\pm 0.625V \times V_{REF}$	2.56	-2.56	5.12	78.125 μ V
0V から $3V \times V_{REF}$	12.288	0	12.288	187.5 μ V
0V から $2.5V \times V_{REF}$	10.24	0	10.24	156.25 μ V
0V から $1.5V \times V_{REF}$	6.144	0	6.144	93.75 μ V
0V から $1.25V \times V_{REF}$	5.12	0	5.12	78.125 μ V

6.3.9 アラーム機能

このデバイスは、ピンがアラーム機能用に構成されている場合に限り、ALARM/SDO-1/GPO ピンにアクティブ High の ALARM 出力を備えています。マルチファンクション ピンで ALARM 出力を有効にするには、[SDO_CTL_REG レジスタ](#) の SDO1_CONFIG[1:0] ビットを 01b に設定します。

このデバイスには、入力アラームと AVDD アラームの 2 種類のアラーム機能があります。

- 入力アラームの場合、ADC 入力の電圧が監視され、ユーザーがプログラマブル High および Low スレッショルド値と比較されます。デバイスは、入力信号に対応するデジタル値がユーザーによって設定された High または Low スレッショルドを超えると、アクティブ High の ALARM 出力を設定します。入力アラーム機能の詳細については、「[入力アラーム](#)」セクションを参照してください。
- AVDD アラームの場合、ADC アナログ電源電圧 (AVDD) が監視され、AVDD 電源の指定された標準スレッショルド値と比較されます。Low スレッショルド値は 4.7V、High スレッショルド値は 5.3V です。AVDD 値が、指定された Low (4.7V) または High (5.3V) のスレッショルド値をどちらかの方向に交差すると、このデバイスはアクティブ High の ALARM 出力を設定します。

アラーム機能をオンにすると、入力アラーム機能と AVDD アラーム機能の両方がデフォルトで有効になります。これらのアラーム機能は、[RST_PWRCTL_REG レジスタ](#) の IN_AL_DIS ビットと VDD_AL_DIS ビットを (それぞれ) プログラムすることで選択的に無効化されます。

各アラーム (入力または AVDD) には、「アクティブ」アラーム フラグと「トリップ」アラーム フラグの 2 種類のアラーム フラグが関連付けられています。すべてのアラーム フラグは、[ALARM_REG レジスタ](#)で読み取られます。両方のフラグは、関連付けられたアラームがトリガーされると設定されます。アクティブなアラームは、現在の ADC 変換の終了時にクリアされます (アラーム状態が続く場合は、再度設定されます)。しかし、トリップしたフラグは、[ALARM_REG](#) が読み出された後でのみクリアされます。

ALARM 出力フラグは、変換の終了時に内部で更新されます。これらの出力フラグは、ユーザーが開始した任意のデータフレーム中に CONVST/CS 信号を Low レベルにして読み取られます。

ALARM 出力フラグを 3 通りの方法で読み取ります。これらのフラグは、ALARM 出力ピンを使用して、内部の ALARM レジスタを読み取るか、またはデータ出力に ALARM フラグを追加して読み取ります。

- ALARM ピンが High レベルの場合、これは AVDD またはデバイスのアナログ入力チャネルの過電圧または低電圧状態を示しています。このピンを配線して、ホスト入力を割り込みさせることができます。
- ALARM_REG レジスタの内部 ALARM フラグ ビットは、変換の終了時に更新されます。出力ピンで ALARM 割り込みを受信した後、内部アラーム フラグ レジスタでアラームを生成した条件の詳細を読み取ることができます。
- ALARM 出力フラグは、データ出力ビット ストリームに選択的に追加されます (構成の詳細については、『[DATAOUT_CTL_REG レジスタ](#)』を参照)。

図 6-16 は、デバイスアラーム機能の機能ブロック図を示しています。

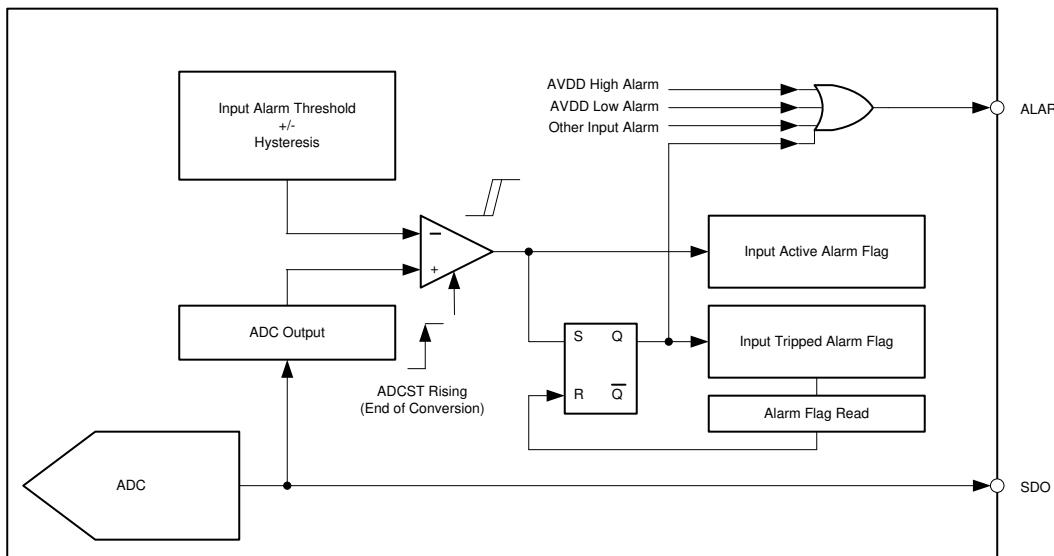


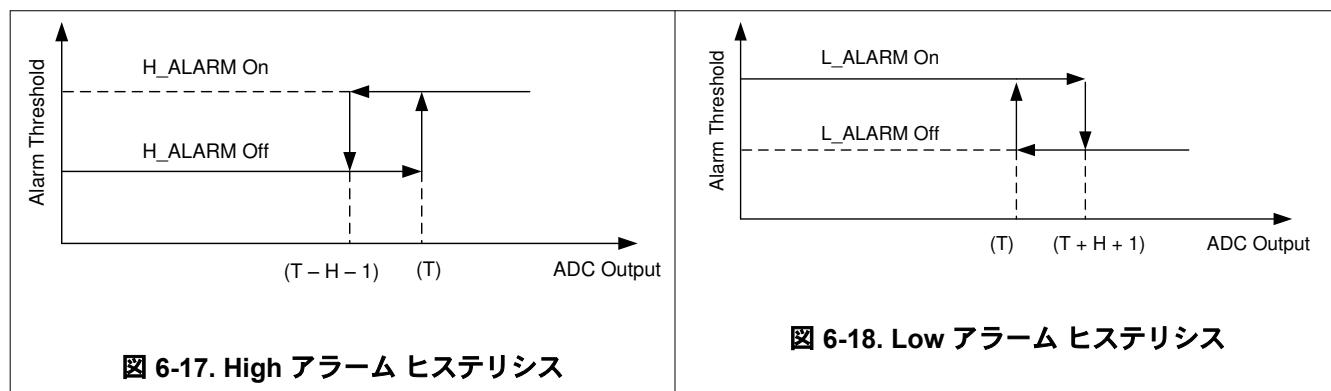
図 6-16. アラーム機能の回路図

6.3.9.1 入力アラーム

このデバイスは、アナログ入力に High および Low アラームを備えています。入力信号に対応するアラームでは、独立してプログラマブル スレッショルドと共にヒステリシス設定が **ALARM_H_TH_REG** および **ALARM_L_TH_REG** レジスタで制御されます。

デジタル出力が High アラーム上限値 [High アラーム スレッショルド (T)] を超えると、デバイスは入力 High アラームを設定します。デジタル出力が High アラーム下限値 [High アラーム (T) - H - 1] を下回ると、アラームはリセットされます。[図 6-17](#) に、この関数を示します。

同様に、デジタル出力が Low アラーム下限値 [Low アラーム スレッショルド (T)] を下回ると、入力 Low アラームがトリガれます。デジタル出力が Low アラーム上限値 [Low アラーム (T) + H + 1] 以上になると、アラームはリセットされます。[図 6-18](#) に、この関数を示します。



6.3.9.2 AVDD アラーム

このデバイスは、アナログ電源 AVDD に High および Low アラームを備えています。入力信号のアラームとは異なり、AVDD アラームには、設計で設定する固定トリップ ポイントがあります。このデバイスには、High および Low スレッショルド電圧に対してアナログ電源を定期的に監視する、内部アナログ コンパレータが搭載されています。High アラームは AVDD が標準値の 5.3V を超えた場合に設定され、AVDD が 4.7V 未満に低下すると Low アラームがアサートされます。この機能は、アナログ AVDD 電源のグリッチまたは電圧低下状況によって発生するデバイスの異常な動作をデバッging するのに特に役立ちます。

6.4 デバイスの機能モード

このデバイスには、デバイスとホストコントローラの間で通信およびデータ転送を行うための multiSPI デジタルインターフェイスが搭載されています。multiSPI インターフェイスは、ホストがデバイスとの間でデータおよびコマンドを交換するためには多くのデータ転送プロトコルをサポートしています。ホストは標準 SPI モードのいずれかを使用してデータをデバイスに転送します。しかし、スループットとレイテンシに関するアプリケーション固有の要求を満たすために、データを出力するためのさまざまな構成が用意されています。これらのモードのデータ出力はホストまたはデバイスによって制御され、タイミングはシステム同期またはソース同期です。サポートされているデータ転送プロトコルの詳細については、「[データ転送プロトコル](#)」セクションを参照してください。

このセクションでは、デジタルインターフェイスモジュールの主要コンポーネントと、サポートされている構成およびプロトコルについて説明します。[図 6-19](#) に示されているように、インターフェイスモジュールはシフトレジスタ（入力と出力の両方）、構成レジスタ、およびプロトコルユニットで構成されます。特定のデータフレーム中に、データはデバイスとの間で転送されます。その結果、ホストは常に 32 ビットの入出力シフトレジスタとしてデバイスを認識します。

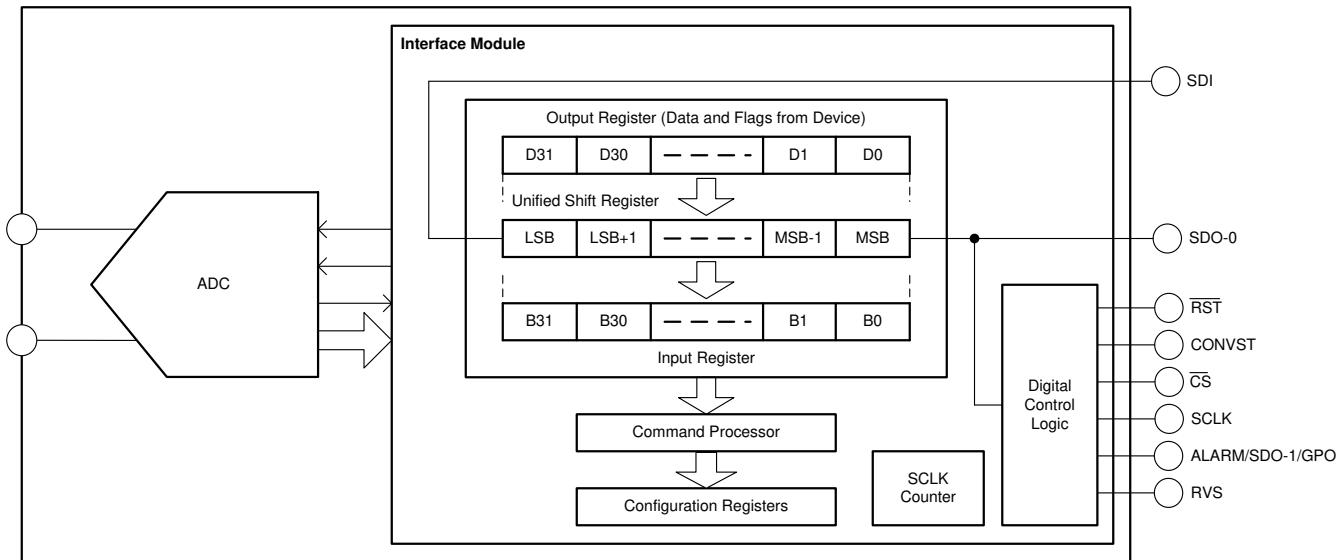


図 6-19. デバイスインターフェイスモジュール

「[ピン構成および機能](#)」セクションでは、インターフェイスピンについて説明します。「[データ転送フレーム](#)」セクションでは、シフトレジスタ、SCLK カウンタ、コマンドプロセッサの機能について詳しく説明します。「[データ転送フレーム](#)」セクションでは、サポートされているプロトコルの詳細について説明します。「[レジスタマップ](#)」セクションでは、構成レジスタとビット設定について説明します。

6.4.1 ホスト / デバイス間の接続トポロジ

multiSPI インターフェイスおよびデバイス構成レジスタにより、ホストコントローラがデバイスとデータまたはコマンドを交換する方法を柔軟に実現できます。ここでは、さまざまなシステム要件を満たすためにハードウェア接続トポロジを選択する方法について説明します。

6.4.1.1 シングル デバイス : すべての multiSPI オプション

図 6-20 に、ホストコントローラとスタンダードアローン デバイスの間のピン接続を示し、multiSPI インターフェイスに提供されるすべてのオプションを実行します。

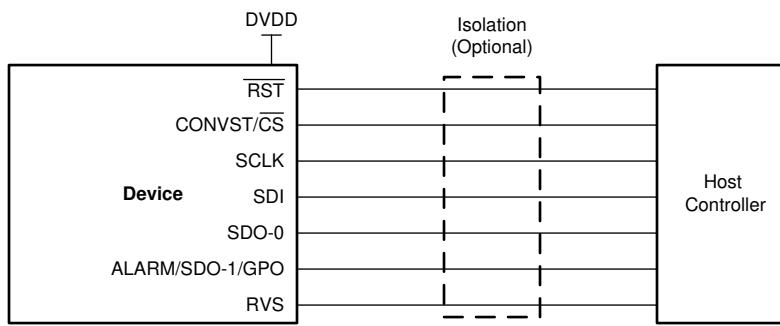


図 6-20. すべての multiSPI プロトコル ピン構成

6.4.1.2 シングル デバイス : 標準 SPI インターフェイス

図 6-21 に、標準 SPI プロトコルを使用したアプリケーションの最小ピンインターフェイスを示します。

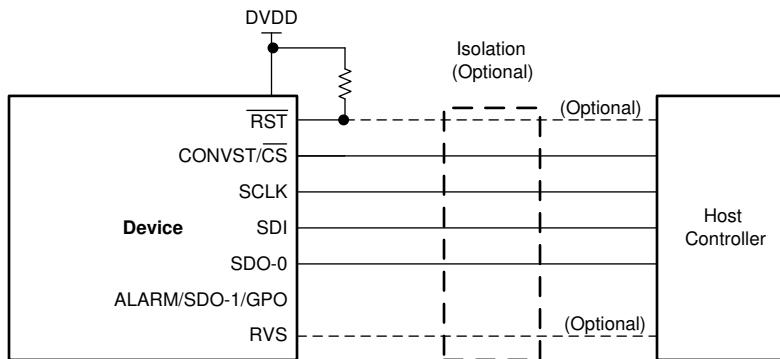


図 6-21. 標準 SPI プロトコル ピン構成

CONVST/CS、SCLK、SDI、および SDO-0 ピンは、ホストコントローラの標準 SPI ポートを構成します。RST ピンを DVDD に接続します。タイミングの利点を得るために、RVS ピンを監視します。ALARM/SDO-1/GPO ピンには、外部接続を行わないでください。

6.4.1.3 複数のデバイス：デイジーチェーントポロジ

図 6-22 に、デイジーチェーントポロジで複数のデバイスを使用した一般的な接続図が示されています。

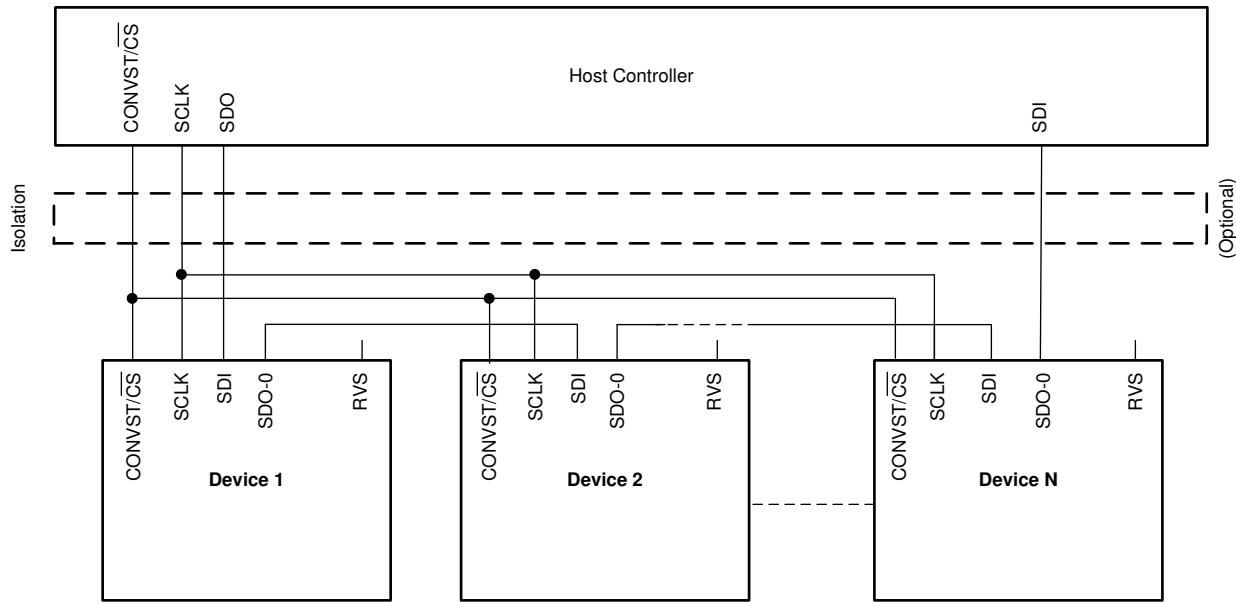


図 6-22. デイジーチェーン接続の回路図

すべてのデバイスの **CONVST/CS** および **SCLK** 入力は相互に接続され、それぞれホスト コントローラの单一の **CONVST/CS** および **SCLK** ピンによって制御されます。チェーンの最初のデバイス（デバイス 1）の **SDI** 入力ピンは、ホスト コントローラの **SDO-x** ピンに接続されます。デバイス 1 の **SDO-0** 出力ピンはデバイス 2 の **SDI** 入力ピンに接続され、以下同様に続きます。チェーンの最後のデバイス（デバイス N）の **SDO-0** 出力ピンは、ホスト コントローラの **SDI** ピンに接続されます。

デイジーチェーントポロジで複数のデバイスを動作させるには、ホスト コントローラによって各デバイスの構成レジスタを同じ値でプログラムします。このデバイスは、データ読み取りおよびデータ書き込み動作のため、任意のレガシー SPI 互換プロトコルと外部クロックを使用して、シングル **SDO-0** 出力で動作します。**SDO_CTL_REG レジスタ**で、ビット 7-0 を **00h** にプログラムします。

デイジーチェーントポロジ内のすべてのデバイスは、**CONVST/CS** 信号の立ち上がりエッジで、アナログ入力信号をサンプリングします。データ転送フレームは、同じ信号の立ち下がりエッジから開始します。**SCLK** 信号の起動エッジで、チェーン内のすべてのデバイスが **MSB** を **SDO-0** ピンにシフト アウトします。**SCLK** キャプチャエッジごとに、デイジーチェーン接続された各デバイスは、統合シフトレジスタの **LSB** ビットとして **SDI** ピンで受信したデータをシフトインします。図 6-19 に、このプロセスの図を示します。したがって、デイジーチェーン構成では、ホスト コントローラはデバイス N のデータを受信し、その後デバイス N-1 のデータを受信します（以下同様）。このプロセスは、**MSB** ファーストの方法で継続されます。**CONVST/CS** 信号の立ち上がりエッジで、各デバイスは統合シフトレジスタの内容をデコードし、適切な操作を実行します。

デイジーチェーントポロジで接続された N 個のデバイスの場合、最適なデータ転送フレームには $32 \times N$ **SCLK** キャプチャエッジを含めます（図 6-23 を参照）。データ転送フレームを短くすると、デバイス構成に誤りが生じるため、これは避けてください。> $32 \times N$ **SCLK** キャプチャエッジのデータ転送フレームの場合、ホスト コントローラは各デバイスの構成データを適切に揃えることができます。その後、ホストが **CONVST/CS** を High にします。

システム全体のスループットは、デイジーチェーントポロジで接続されるデバイスの数に比例して減少します。

図 6-23 に、デイジーチェーン接続で接続して、SPI-00-S プロトコルを使用した 3 つのデバイスの代表的タイミング図を示します。

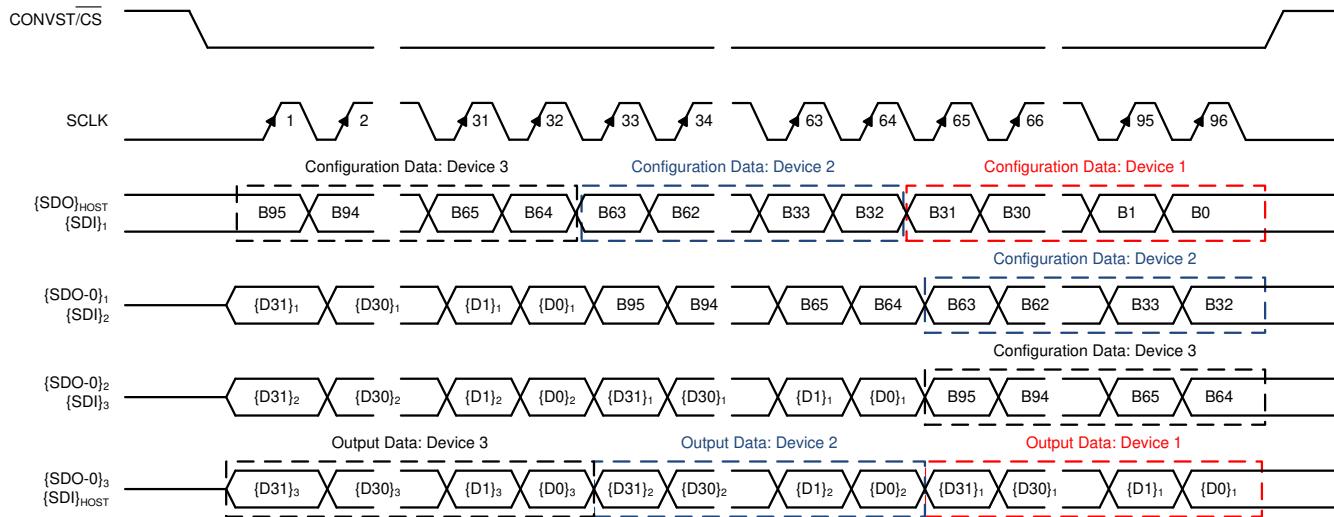


図 6-23. デイジーチェーン モードの 3 つのデバイスのタイミング図

6.4.2 デバイスの動作モード

図 6-24 に示されているように、このデバイスは以下の 3 つの状態をサポートしています。RESET、ACQ、CONV。デバイスの状態は、ホストコントローラから供給される CONVST/CS および RST 制御信号の状態によって決まります。

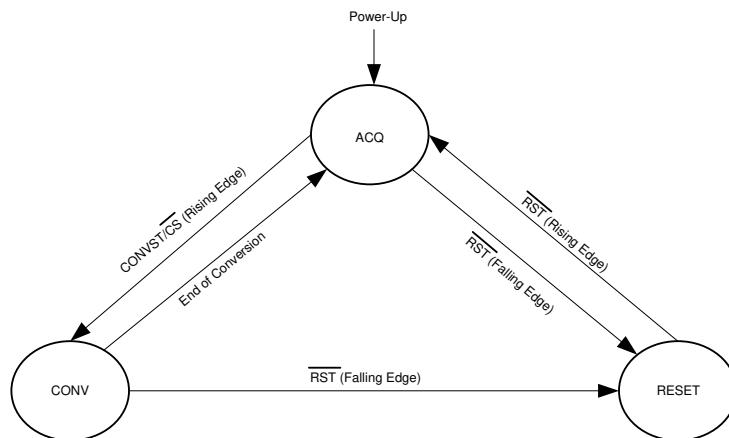


図 6-24. デバイスの機能状態

6.4.2.1 RESET 状態

デバイスは、非同期デジタル入力としてアクティブ Low の \overline{RST} ピンを備えています。RESET 状態に移行するには、(スイッチング特性の表に示されているように) t_{WL_RST} 期間にわたって、 \overline{RST} ピンを Low にプルして保持します。

デバイスには、アプリケーションリセットまたはパワーオンリセット (POR) という 2 種類のリセット機能が搭載されています。 \overline{RST} ピンの機能は、[RST_PWRCTL_REG レジスタ](#)の RSTn_APP ビットの状態によって決まります。

- \overline{RST} ピンを構成してアプリケーションリセットを発行するには、[RST_PWRCTL_REG レジスタ](#)の RSTn_APP ビットを 1b に設定します。このリセット状態では、すべての構成レジスタ (レジスタマップを参照) がデフォルト値にリセットされ、RVS ピンは Low のままで、SDO-x ピンはトライステートになります。
- \overline{RST} ピンのデフォルト構成は、Low レベルにプルされると、パワーオンリセットを発行します。この状態では、RSTn_APP ビットは 0b に設定されます。POR が発行されると、すべての内部デバイス回路 (PGA、ADC ドライバ、電圧リファレンスを含む) がリセットされます。デバイスが POR 状態から回復する際は、内部回路が正確に安定するように、 $t_{D_RST_POR}$ 時間の猶予を確保してください。 $t_{D_RST_POR}$ の期間については、スイッチング特性の表を参照してください。

いずれかのリセット状態を終了するには、CONVST/ \overline{CS} および SCLK を Low に保持した状態で、 \overline{RST} ピンを High にプルします。 $t_{D_RST_POR}$ または $t_{D_RST_APP}$ の遅延後 (スイッチング特性の表を参照)、デバイスは ACQ 状態に移行し、RVS ピンは High になります。

デバイスを他の 2 つの状態 (ACQ または CONV) のいずれかで動作させるには、 \overline{RST} ピンを High に保持します。 \overline{RST} ピンが High に保持されると、CONVST/ \overline{CS} ピンでの遷移により、デバイスの機能状態が決まります。[図 5-1](#) に、一般的な変換サイクルを示します。

6.4.2.2 ACQ 状態

ACQ 状態では、デバイスはアナログ入力信号を取得します。デバイスは、パワーアップ時、非同期リセットの後、または各変換が終了した後に、ACQ 状態に移行します。

\overline{RST} 立ち下がりエッジで、デバイスは ACQ 状態から RESET 状態になります。CCONVST/ \overline{CS} 信号の立ち上がりエッジで、デバイスは ACQ 状態から CONV 状態になります。

このデバイスは、低消費電力 NAP モードを備えており、ACQ 状態で消費電力を低減できます。NAP モードの詳細については、「[NAP モード](#)」セクションを参照してください。

6.4.2.3 CONV 状態

デバイスは、CONVST/ \overline{CS} 信号の立ち上がりエッジで、ACQ 状態から CONV 状態に移行します。変換プロセスでは内部クロックを使用し、進行中の変換が完了するまでデバイスは CONVST/ \overline{CS} 信号におけるさらなる遷移を無視します。つまり、デバイスは t_{conv} の時間間隔中、さらなる遷移を無視します。

変換が終了すると、デバイスは ACQ 状態に入ります。[式 1](#) の式で、デバイスのサイクル時間を計算します。

$$t_{cycle-min} = t_{conv} + t_{acq-min} \quad (1)$$

注

(スイッチング特性表に指定されているように) 変換時間 t_{conv} は、 t_{conv_min} および t_{conv_max} の制限内で変動します。変換の開始後、ホストコントローラは RVS ピンの Low から High への遷移を監視するか、 t_{conv_max} が経過するまで待機します。その後、ホストは新しい動作 (データ転送または変換) を開始します。RVS が監視されていない場合は、[式 1](#) の t_{conv} を t_{conv_max} に置き換えます。

6.5 プログラミング

このデバイスには（「レジスタ マップ」セクションで説明されているように）9つの構成レジスタが搭載されており、2種類のデータ転送動作をサポートしています。これらの動作は、データ書き込み（ホストがデバイスを構成）と、データの読み取り（ホストがデバイスからデータを読み取り）です。

6.5.1 データ転送フレーム

デバイスとホスト コントローラとの間のデータ転送フレームは、CONVST/CS ピンの立ち下がりエッジで開始されます。このフレームは、デバイスが次の立ち上がりエッジで変換を開始すると終了します。ホスト コントローラは、CONV 相が終了した後で CONVST/CS 信号を Low (図 6-25) にすることで、データ転送フレームを開始します。「CONV 状態」セクションに、このプロセスの説明が記載されています。

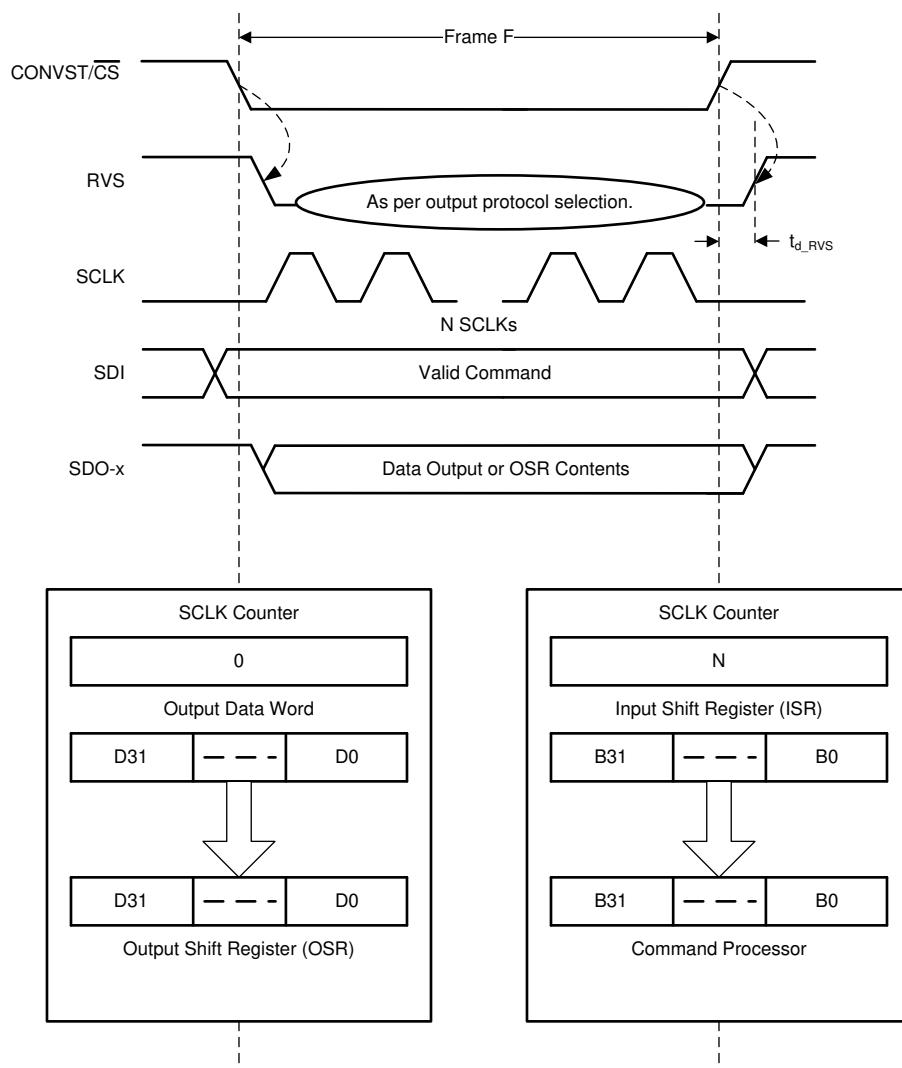


図 6-25. データ転送フレーム

標準的なデータ転送フレーム F の場合:

1. ホストコントローラは CONVST/CS を Low にプルし、データ転送フレームを開始します。CONVST/CS 信号の立ち上がりエッジで、以下が発生します。
 - RVS が Low になり、データ転送フレームの開始を示します。
 - 内部 SCLK カウンタが 0 にリセットされます。
 - デバイスはデータバスを制御します。図 6-25 に示されているように、出力データワードの内容は、32 ビットの出力シフトレジスタ (OSR) にロードされます。
 - 内部構成レジスタは、NOP コマンドに対応する 0000h にリセットされます。
2. フレーム中、ホストコントローラは SCLK ピンにクロックを供給します。
 - SCLK キャプチャエッジごとに、SCLK カウンタがインクリメントされます。SDI ピンで受信されたデータビットは、入力シフトレジスタの LSB にシフトインされます。
 - 出力クロックの起動エッジごとに、出力シフトレジスタデータの MSB は、選択された SDO-x ピンでシフトアウトされます。この場合、SCLK は出力クロックです。
 - RVS ピンのステータスは、出力プロトコルの選択によって異なります（「デバイスからの読み取りのプロトコル」セクションを参照）。
3. ホストコントローラは CONVST/CS ピンを High にして、データ転送フレームを終了します。CONVST/CS の立ち上がりエッジで、以下が発生します。
 - SDO-x ピンがトライステートになります。
 - 図 6-25 に示されているように、入力シフトレジスタの内容はコマンドプロセッサへ転送され、デコードとさらなる処理が行われます。
 - RVS 出力が Low になり、変換が開始することを示します。

CONVST/CS を High にすると、ホストコントローラは RVS ピンの Low から High への遷移を監視します。または、ホストコントローラは、新しいデータ転送フレームを開始する前に、 t_{conv_max} 時間（スイッチング特性の表を参照）が経過するまで待機します。

データ転送フレーム F の終了時に、以下が発生します。

- SCLK カウンタが 32 の場合、デバイスはフレーム F を読み取りまたは書き込み動作に「最適な」データ転送フレームとして扱います。最適なデータ転送フレームの終了時に、コマンドプロセッサは 32 ビットの入力シフトレジスタの内容を有効なコマンドワードとして扱います。
- SCLK カウンタが 32 未満の場合、デバイスはフレーム F を「短い」データ転送フレームとして扱います。
 - デバイスへのデータ書き込み動作が無効で、デバイスはこのフレームを NOP コマンドとして扱います。
 - SDO-x ピンで短いフレーム中に転送される出力データビットは、引き続き有効なデータです。ホストコントローラは、短いデータ転送フレームを使用して、32 ビット出力シフトレジスタから必要な MSB ビット数を読み出します。
- SCLK カウンタが 32 より大きい場合、デバイスはフレーム F を「長い」データ転送フレームとして扱います。長いデータ転送フレームの終了時に、コマンドプロセッサは、32 ビットの入力シフトレジスタの内容を有効なコマンドワードとして扱います。任意のデータ転送フレーム F 内に供給されるクロックの最大数に制限はありません。ホストが長いデータ転送フレームを提供する場合、CONVST/CS の立ち上がりエッジより前に、最後の 32 ビットがデバイスにシフトされて目的のコマンドが構成されます。

6.5.2 入力コマンド ワードおよびレジスタ書き込み動作

デバイスへのデータ書き込み動作は、常に SCLK ピンに供給される外部クロックと同期します。

このデバイスは、どのデバイスのプログラミング動作時にも、1 バイトまたは 2 バイト (ハーフワードに相当) の読み取りまたは書き込みを行うことができます。表 6-5 に、デバイスでサポートされている入力コマンドを一覧します。1 回の操作での 2 バイトの読み取りまたは書き込みに関連付けられる入力コマンドには「HWORD」のサフィックスが付きます。

すべての HWORD コマンドについて、9 ビット アドレスの LSB は常に無視され、0b とみなされます。たとえば、特定の HWORD コマンドにアドレス 04h と 05h のどちらが入力されているかに関わらず、デバイスは常にアドレス 04h でコマンドを実行します。

表 6-5. 入力コマンドのリスト

オペコード B[31:0]	コマンドの頭字語	コマンドの説明
00000000_00000000_00000000_00000000	NOP	無操作
11000_xx_<9-bit address>_<16-bit data> ⁽¹⁾	CLEAR_HWORD	<ul style="list-style-type: none"> レジスタのいずれかのビット (またはグループ) をクリアするために使用されるコマンド。 データ フィールドに 1 のマークが付いているビットがあると、指定されたレジスタの特定のビットは 0 にリセットされます。その他のビットは変更されません。 ハーフワードコマンド (つまり、コマンドが一度に 16 ビットで機能します)。 9 ビット アドレスの LSB は常に無視され、0b とみなされます。⁽²⁾
11001_xx_<9-bit address>_00000000_00000000	READ_HWORD	<ul style="list-style-type: none"> 16 ビット読み取り動作を実行するためのコマンド。 ハーフワードコマンド (つまり、デバイスは 16 ビットのレジスタ データを一度に出力します)。 9 ビット アドレスの LSB は常に無視され、0b とみなされます。 デバイスがこのコマンドを受信すると、次のフレームでレジスタの 16 ビットを送信します。
01001_xx_<9-bit address>_00000000_00000000	読み取り	<ul style="list-style-type: none"> READ_HWORD と同じですが、次のフレームでレジスタ (バイト読み出し) の 8 ビットのみが返される点が異なります。
11010_00_<9-bit address>_<16-bit data>	書き込み	<ul style="list-style-type: none"> ハーフワード書き込みコマンド (2 バイトの入力データが指定されたアドレスに書き込まれます)。 9 ビット アドレスの LSB は常に無視され、0b とみなされます。
11010_01_<9-bit address>_<16-bit data>		<ul style="list-style-type: none"> ハーフワード書き込みコマンド。 9 ビット アドレスの LSB は常に無視され、0b とみなされます。 このコマンドでは、16 ビットのデータワードの MS バイトのみが、指定されたレジスタ アドレスに書き込まれます。LSB は無視されます。
11010_10_<9-bit address>_<16-bit data>		<ul style="list-style-type: none"> ハーフワード書き込みコマンド。 9 ビット アドレスの LSB は常に無視され、0b とみなされます。 このコマンドでは、指定されたレジスタ アドレスに 16 ビットのデータワードの LSB のみが書き込まれます。MSB は無視されます。
11011_xx_<9-bit address>_<16-bit data>	SET_HWORD	<ul style="list-style-type: none"> レジスタの任意の (またはグループの) ビットを設定するために使用されるコマンド。 データ フィールドに 1 のマークが付いているビットがあると、指定されたレジスタの特定のビットは 1 に設定されます。その他のビットは変更されません。 ハーフワードコマンド (つまり、コマンドが一度に 16 ビットで機能します)。 9 ビット アドレスの LSB は常に無視され、0b とみなされます。
他すべての入力コマンドの組み合わせ	NOP	無操作

(1) 表 7-1 で定義されているように、<9-bit address> は、MSB 位置に 0 を追加し、その後に 8 ビットのレジスタ アドレスを追加することで実行されます。レジスタ 0x04h の <9-bit address> は 0x0-0000-0100b です。

(2) HWORD コマンドは、レジスタ マップの 16 ビットのセットに対して動作し、通常はそれぞれ 8 ビットの 2 つのレジスタとして識別されます。たとえば、コマンド「11000_xx_<0_0000_0101><16-bit data>」は、RST_PWRCTL_REG レジスタのビット 15:0 のコマンド「11000_xx_<0_0000_0100><16-bit data>」と同じように扱われます。

内部レジスタの構成に使用されるすべての入力コマンド（表 6-5 に示されている CLEAR_HWORD、WRITE、および SET_HWORD コマンドを含む）が 32 ビット長であることを確認します。これらのコマンドのいずれかが特定のデータフレーム F で提供されている場合、そのコマンドは CONVST/CS 信号の立ち上がりエッジで実行されます。

6.5.3 出力データワード

デバイスからのデータ読み出しは、構成レジスタをプログラムすることにより、SCLK ピンの外部クロックまたは内部デバイスクロックに同期します。詳細については、「[データ転送プロトコル](#)」セクションを参照してください。

データ転送フレームでは、内部出力シフトレジスタの内容が SDO-x ピンでシフトアウトされます。任意のフレーム (F+1) の出力データは、フレーム F で発行されたコマンドおよび DATA_VAL[2:0] ビットのステータスによって決まります。

- **DATAOUT_CTL_REG** レジスタの DATA_VAL[2:0] ビットが 1xxb に設定されている場合、フレームの出力データワード (F+1) に固定データパターンが含まれます。
- フレーム F で有効な読み取りコマンドが発行されると、フレームの出力データワード (F+1) に 8 ビットのレジスタデータが含まれ、その後に 0 が続きます。
- フレーム F で有効な READ_HWORD コマンドが発行されると、フレームの出力データワード (F+1) に 16 ビットのレジスタデータが含まれ、その後に 0 が続きます。
- その他の組み合わせの場合はすべて、フレームの出力データワード (F+1) に最新の 16 ビット変換結果が含まれます。変換結果に各種データフラグを追加するには、DATAOUT_CTL_REG レジスタをプログラムします。データフラグは、次のシーケンスに従って追加されます。
 1. DEVICE_ADDR_INCL ビットが 1 に設定されている場合、DEVICE_ADDR[3:0] ビットが追加されます。
 2. RANGE_INCL ビットが 1 に設定されている場合、ADC INPUT RANGE FLAGS が追加されます。
 3. VDD_ACTIVE_ALARM_INCL ビットが 1 に設定されている場合、AVDD ALARM FLAGS が追加されます。
 4. IN_ACTIVE_ALARM_INCL ビットが 1 に設定されている場合、INPUT ALARM FLAGS が追加されます。
 5. PAR_EN ビットが 1 に設定されている場合、PARITY ビットが追加されます。
 6. 32 ビット出力データワードの残りのビットはすべて 0 に設定されます。

表 6-6 に、すべてのデータフラグが有効のときの出力データワードを示します。

表 6-6. すべてのデータフラグが有効な出力データワード

DEVICE_ADDR_INCL = 1b、VDD_ACTIVE_ALARM_INCL = 1b、IN_ACTIVE_ALARM_INCL = 1b、RANGE_INCL = 1b、および PAR_EN = 1b						
D[31:16]	D[15:12]	D[11:8]	D[7:6]	D[5:4]	D[3:2]	D[1:0]
変換結果	デバイスアドレス	ADC 入力範囲	AVDD アラームフラグ	入力アラームフラグ	バリティビット	00b

表 6-7 に、一部のデータフラグのみが有効な状態の出力データワードを示します。

表 6-7. 一部のデータフラグのみが有効な出力データワード

DEVICE_ADDR_INCL = 0b、VDD_ACTIVE_ALARM_INCL = 1b、IN_ACTIVE_ALARM_INCL = 0b、RANGE_INCL = 1b、および PAR_EN = 1b				
D[31:16]	D[15:12]	D[11:10]	D[9:8]	D[7:0]
変換結果	ADC 入力範囲	AVDD アラームフラグ	バリティビット	00000000b

6.5.4 データ転送プロトコル

デバイスには、multiSPI インターフェイスが搭載されています。このインターフェイスにより、ホスト コントローラは低速の SCLK 速度で動作しながら、より高速な応答時間で必要なサイクル時間を実現できます。

- データ書き込み動作では、ホスト コントローラは 4 つのレガシー SPI 互換プロトコルのいずれかを使用してデバイスを構成します。「[デバイス構成のプロトコル](#)」セクションに、これらのプロトコルの説明が記載されています。
- デバイスからのデータ読み出し動作のとき、multiSPI インターフェイス モジュールには次のオプションがあります。
 - レガシーの SPI 互換プロトコルと単一の SDO-x（「[シングル SDO-x のレガシー SPI 互換 \(SYS-xy-S\) プロトコル](#)」セクションを参照）
 - レガシーの SPI 互換プロトコルとデュアル SDO-x（「[デュアル SDO-x のレガシー SPI 互換 \(SYS-xy-S\) プロトコル](#)」セクションを参照）
 - データ転送用の ADC コントローラ クロックまたはソース同期 (SRC) プロトコル（「[ソース同期 \(SRC\) プロトコル](#)」セクションを参照）

6.5.4.1 デバイス構成のプロトコル

表 6-8 に示されているように、ホスト コントローラは 4 つのレガシー SPI 互換プロトコルのいずれかを使用して、デバイスにデータを書き込みます。これらのプロトコルには、SPI-00-S、SPI-01-S、SPI-10-S、または SPI-11-S があります

表 6-8. デバイス構成の SPI プロトコル

プロトコル	SCLK の極性 (At CS 立ち下がりエッジ)	SCLK 位相 (キャプチャエッジ)	SDI_CTL_REG	SDO_CTL_REG	図
SPI-00-S	Low	立ち上がり	00h	00h	図 6-26
SPI-01-S	Low	立ち下がり	01h	00h	図 6-26
SPI-10-S	High	立ち下がり	02h	00h	図 6-27
SPI-11-S	High	立ち上がり	03h	00h	図 6-27

パワーアップ時、または非同期リセットから復帰した後に、データの読み取りおよびデータ書き込み動作のために、デバイスは SPI-00-S プロトコルをサポートします。別の SPI 互換プロトコルを選択するには、[SDI_CNTL_REG レジスタ](#) の SDI_MODE[1:0] ビットをプログラムします。この最初の書き込み動作は、SPI-00-S プロトコルに準拠します。それ以降のデータ転送フレームは、新しく選択したプロトコルに準拠します。SDI_MODE[1:0] の構成によって選択された SPI プロトコルは、読み取りと書き込みの両方の動作に適用できます。

[図 6-26](#) および [図 6-27](#) に、最適なデータフレームを使用した 4 つのプロトコルの詳細を示します。関連するタイミングパラメータについては、[スイッチング特性](#) の表を参照してください。

注

デバイスに対する有効な書き込み動作を行うには、データ転送フレーム内に最低 32 SCLK が供給されている必要があります。詳細については、「[データ転送フレーム](#)」セクションを参照してください。

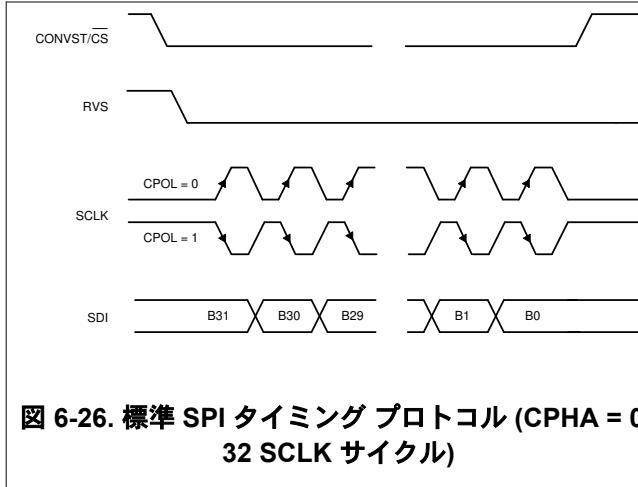


図 6-26. 標準 SPI タイミング プロトコル (CPHA = 0、
32 SCLK サイクル)

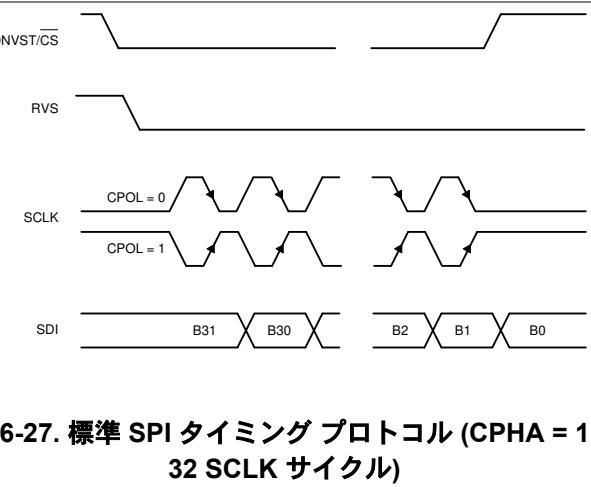


図 6-27. 標準 SPI タイミング プロトコル (CPHA = 1、
32 SCLK サイクル)

6.5.4.2 デバイスからの読み取りのプロトコル

データ読み取り動作のプロトコルは、大きく3つのカテゴリに分類されます。

1. シングル SDO-x のレガシー SPI 互換プロトコル
2. デュアル SDO-x のレガシー SPI 互換プロトコル
3. データ転送用の ADC コントローラ クロックまたはソース同期 (SRC) プロトコル

6.5.4.2.1 シングル SDO-x のレガシー SPI 互換 (SYS-xy-S) プロトコル

表 6-9 に示されているように、ホストコントローラは4つのレガシー SPI 互換プロトコルのいずれかを使用して、デバイスからデータを読み取ります。これらのプロトコルには、SPI-00-S, SPI-01-S, SPI-10-S、または SPI-11-S があります

表 6-9. デバイスから読み取りを行う SPI プロトコル

プロトコル	SCLK の極性 (\overline{CS} 立ち下がりエッジ時)	SCLK 位相 (キャプチャエッジ)	MSB ビット起動エッジ	SDI_CTL_REG	SDO_CTL_REG	図
SPI-00-S	Low	立ち上がり	\overline{CS} 立ち下がり	00h	00h	図 6-28
SPI-01-S	Low	立ち下がり	最初の SCLK 立ち上がり	01h	00h	図 6-28
SPI-10-S	High	立ち下がり	\overline{CS} 立ち下がり	02h	00h	図 6-29
SPI-11-S	High	立ち上がり	最初の SCLK 立ち下がり	03h	00h	図 6-29

パワーアップ時、または非同期リセットから復帰した後に、データの読み取りおよびデータ書き込み動作のために、デバイスは SPI-00-S プロトコルをサポートします。両方のデータ転送動作で、SPI 互換の別のプロトコルを選択するには、次の手順に従います。

1. **SDI_CTL_REG レジスタ** の SDI_MODE[1:0] ビットをプログラムします。この最初の書き込み動作は、SPI-00-S プロトコルに準拠します。それ以降のデータ転送フレームは、新しく選択したプロトコルに準拠します。
2. **SDO_CTL_REG レジスタ** の SDO_MODE[1:0] ビットを 00b に設定します。

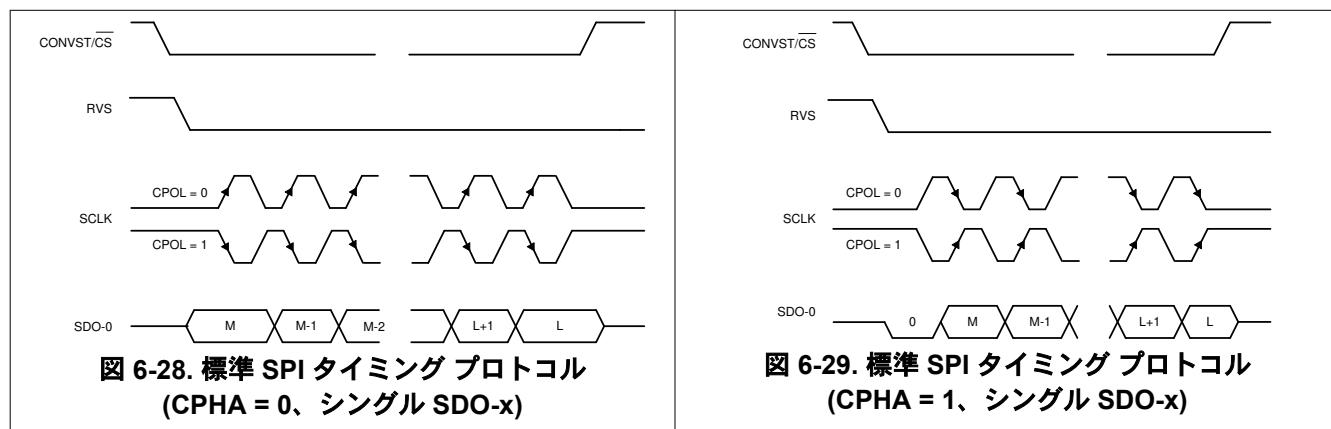
注

SDI_CTL_REG レジスタの SDI_MODE[1:0] ビットを構成することで選択された SPI 転送プロトコルによって、書き込み動作と読み取り動作の両方のデータ転送プロトコルが決まります。[ソース同期 \(SRC\) プロトコル](#) セクションで説明されているように、デバイスからデータを読み取るか、データの読み取り用に SRC プロトコルのいずれかを選択します。デバイスからデータを読み取る場合は、SDO_CTL_REG レジスタの SDO_MODE[1:0] ビットを 00b に構成して、選択した SPI プロトコルを使用します。

SPI 互換プロトコルのいずれかを使用すると、データ転送フレーム全体を通して、RVS 出力が Low に維持されます。関連するタイミング パラメータについては、[スイッチング特性](#) の表を参照してください。

図 6-28 および 図 6-29 に、4 つのプロトコルの詳細を示します。ホスト コントローラは、短いデータ転送フレームを使用して、32 ビット出力データ ワードから必要な MSB ビット数を読み出します。詳細については、「[データ転送フレーム](#)」セクションを参照してください。

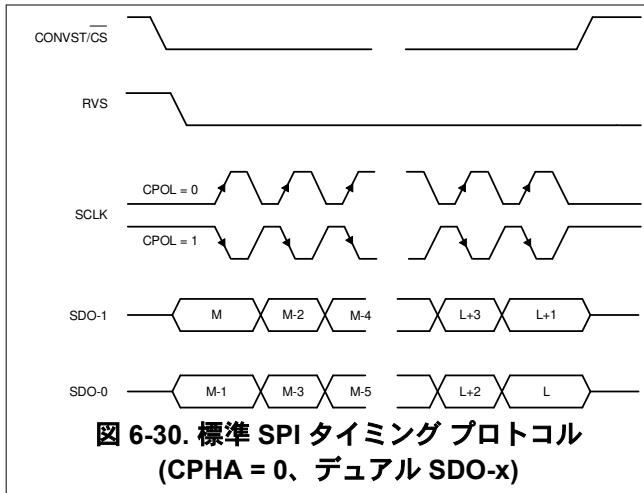
ホスト コントローラが SDO_CNTL_REG[7:0] = 00h の長いデータ転送フレームを使用する場合、デバイスはデイジーチェーン動作を示します。[複数のデバイス: デイジーチェーントポロジ](#) セクションを参照してください。



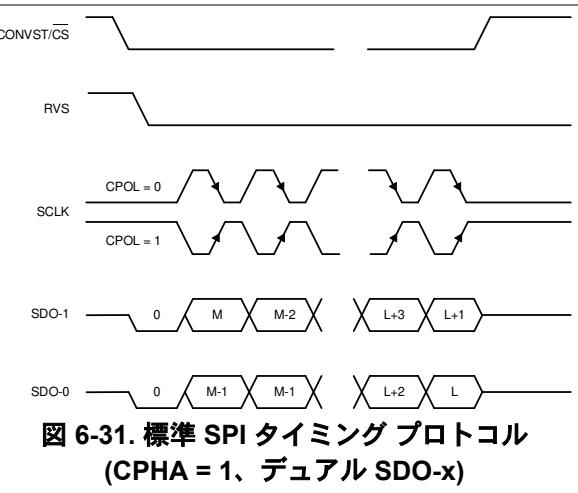
6.5.4.2.2 デュアル SDO-x のレガシー SPI 互換(SYS-xy-S) プロトコル

オプションとして、任意のデータ転送プロトコルで動作している際に、デバイスは SDO-x バス幅を 1 ビットから 2 ビット (デュアル SDO-x) に増やします。デフォルトのバス幅は 1 ビット (シングル SDO-x) です。デュアル SDO モードでデバイスを動作させるには、SDO_CTL_REG レジスタの SDO1_CONFIG[1:0] ビットを 11b に設定します。このモードでは、ALARM/SDO-1/GPO ピンが SDO-1 として機能します。

デュアル SDO モードでは、SCLK 起動エッジごとに、2 ビットのデータが 2 つの SDO-x ピン (SDO-0 および SDO-1) で起動されます。図 6-30 および 図 6-31 に、デュアル SDO モードのタイミング図を示します。



**図 6-30. 標準 SPI タイミング プロトコル
(CPHA = 0、デュアル SDO-x)**



**図 6-31. 標準 SPI タイミング プロトコル
(CPHA = 1、デュアル SDO-x)**

注

どのような特定の SPI プロトコルでも、デバイスはシングルおよびデュアル SDO モードで同じタイミング仕様に従っています。唯一の違いは、シングル SDO モードでは、同じ数のビットを出力するのにデバイスに必要な SCLK サイクルが半分になる点です。そのため、ADC の特定のサンプリング レートでは、必要な最小 SCLK 周波数が低下します。

6.5.4.2.3 ソース同期(SRC) プロトコル

multiSPI インターフェイスは、デバイスとホストコントローラの間で、ADC コントローラクロックまたはソース同期モードのデータ転送をサポートします。このモードでは、デバイスは出力データと同期した出力クロックを供給します。さらに、この動作モードで、ホストコントローラは出力クロックソースとデータバス幅のオプションも選択します。すべての SRC 動作モードで、RVS ピンはデバイスのデータ出力と同期して、出力クロックを供給します。

SRC プロトコルでは、SPI プロトコルと同様に、クロックソース(内部または外部)と出力バス幅を構成できます。

6.5.4.2.3.1 出力クロックソースのオプション

デバイスにより、RVS ピンの出力クロックは、外部クロックまたはデバイス内部クロックに同期できます。この場合、外部クロックは SCLK ピンに供給されます。[SDO_CTL_REG レジスタ](#)で説明されているように、SSYNC_CLK ビットを設定することでこの選択が行われます。[図 5-7](#) および [スイッチング特性](#) の表に、外部 CLK モードで SRC プロトコルを使用してデバイスを動作させる場合のタイミング図と仕様を示します。[図 5-8](#) および [スイッチング特性](#) の表に、内部 CLK モードで SRC プロトコルを使用してデバイスを動作させる場合のタイミング図と仕様を示します。

6.5.4.2.3.2 出力バス幅のオプション

オプションとして、任意の SRC プロトコルで動作している際に、デバイスは SDO-x バス幅を 1 ビットから 2 ビット(デュアル SDO-x)に増やします。デフォルトのバス幅は 1 ビット(シングル SDO-x)です。デュアル SDO モードでデバイスを動作させるには、[SDO_CTL_REG レジスタ](#)の SDO1_CONFIG[1:0] ビットを 11b に設定します。このモードでは、ALARM/SDO-1/GPO ピンが SDO-1 として機能します。

注

どのような特定の SRC プロトコルでも、デバイスはシングルおよびデュアル SDO モードで同じタイミング仕様に従っています。唯一の違いは、シングル SDO モードでは、同じ数のビットを出力するのにデバイスに必要なクロックサイクルが半分になる点です。そのため、ADC の特定のサンプリングレートでは、必要な最小クロック周波数が低下します。

7 レジスタ マップ

7.1 デバイス構成およびレジスタ マップ

デバイスには、表 7-1 で説明されているようにマッピングされた 9 つの構成レジスタがあります。各構成レジスタは 4 つのレジスタで構成され、それぞれにデータ バイトが含まれています。

表 7-1. 構成レジスタのマッピング

アドレス	レジスタ名	レジスタ機能
00h	DEVICE_ID_REG	デバイス ID レジスタ
04h	RST_PWRCTL_REG	リセットおよび電源制御レジスタ
08h	SDI_CTL_REG	SDI データ入力制御レジスタ
0Ch	SDO_CTL_REG	SDO-x データ入力制御レジスタ
10h	DATAOUT_CTL_REG	出力データ制御レジスタ
14h	RANGE_SEL_REG	入力範囲選択制御レジスタ
20h	ALARM_REG	ALARM 出力レジスタ
24h	ALARM_H_TH_REG	ALARM Low スレッショルドおよびヒステリシス レジスタ
28h	ALARM_L_TH_REG	ALARM Low スレッショルド レジスタ

表 7-2 に、構成レジスタのアクセス コードを一覧します。

表 7-2. レジスタ セクションアクセス タイプコード

アクセス タイプ	表記	説明
R	R	読み出し
W	W	書き込み
R/W	R/W	読み出しありまたは書き込み
-n		リセット後の値またはデフォルト値

7.1.1 DEVICE_ID_REG レジスタ (アドレス = 00h)

このレジスタには、1 つのデバイスに関連付けられた固有の識別番号が含まれています。複数のデバイスを含むデイジーチェーン構成で使用されます。

ビット 7-0、15-8、23-16、および 31-24 のアドレスは、それぞれ 00h、01h、02h、および 03h です。

図 7-1. DEVICE_ID_REG レジスタ

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
予約済み								予約済み		DEVICE_ADDR[3:0]					
R-00h								R-0000b		R/W-0001b					
15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
予約済み								R-0000h							

表 7-3. DEVICE_ID_REG レジスタのフィールドの説明

ビット	フィールド	タイプ	リセット	説明
31-24	予約済み	R	00h	予約済み。読み取り 00h を返す。
23-20	予約済み	R	0000b	予約済み。読み取り 0000b を返す。
19-16	DEVICE_ADDR[3:0] ⁽¹⁾	R/W	0001b	これらのビットは、システム内の最大 16 のデバイスを識別します。
15-0	予約済み	R	0000h	予約済み。読み取り 0000h を返す。

(1) これらのビットはデイジーチェーン モードで有用です。

7.1.2 RST_PWRCTL_REG レジスタ(アドレス = 04h)

このレジスタは、コンバータが提供するリセットおよびパワーダウン機能を制御します。

RST_PWRCTL_REG レジスタへの書き込み動作の前に、レジスタ アドレスが 05h に、レジスタ データが 69h に設定される書き込み動作が行われます。

ビット 7-0、15-8、23-16、および 31-24 のアドレスは、それぞれ 04h、05h、06h、および 07h です。

図 7-2. RST_PWRCTL_REG レジスタ

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
予約済み															
R-0000h															
15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
WKEY[7:0]				予約済み		VDD_AL_DIS	IN_AL_DIS	予約済み		RSTn_APP	NAP_EN	パワーダウン			
R/W-00h				R-00b		R/W-0b	R/W-0b	R-0b		R/W-<0>b	R/W-<0>b	R/W-0b			

表 7-4. RST_PWRCTL_REG レジスタのフィールドの説明

ビット	フィールド	タイプ	リセット	説明
31-16	予約済み	R	0000h	予約済み。読み取り 0000h を返す。
15-8	WKEY[7:0]	R/W	00h	この値は、ビット 5 ~ 0 への書き込みを有効にするための保護キーとして機能します。 WKEY が最初に 69h に設定されている場合にのみ、ビットが書き込まれます。
7-6	予約済み	R	00b	予約済み。読み取り 00b を返す
5	VDD_AL_DIS	R/W	0b	0b = VDD アラーム イネーブル 1b = VDD アラーム ディスエーブル
4	IN_AL_DIS	R/W	0b	0b = 入力アラーム イネーブル 1b = 入力アラーム ディスエーブル
3	予約済み	R	0b	予約済み。読み取り 0h を返す。
2	RSTn_APP ⁽¹⁾	R/W	0b	0b = $\overline{\text{RST}}$ ピンは POR クラス リセットとして機能します (デバイス全体が初期化される) 1b = $\overline{\text{RST}}$ ピンはアプリケーション リセットとして機能します (ユーザーがプログラミしたモードのみがクリアされる)
1	NAP_EN ⁽²⁾	R/W	0b	0b = コンバータの NAP モード ディスエーブル 1b = 電流変換の完了後、CONVST/CS が High に保持される場合は、コンバータが NAP モードに入る動作がイネーブル
0	PWRDN ⁽²⁾	R/W	0b	0b = コンバータがアクティブ モードに移行 1b = コンバータがパワーダウン モードに移行

(1) このビットを設定すると、 $\overline{\text{RST}}$ ピンは次のパワー サイクルまで、強制的にアプリケーション リセットとして機能します。

(2) 関連付けられるローパワー モードの開始時および終了時に発生するレイテンシの詳細については、[電気的特性](#) の表を参照してください。

7.1.3 SDI_CTL_REG レジスタ(アドレス = 08h)

このレジスタは、デバイスにデータを書き込むために使用されるプロトコルを構成します。

ビット 7-0、15-8、23-16、および 31-24 のアドレスは、それぞれ 08h、09h、0Ah、および 0Bh です。

図 7-3. SDI_CTL_REG レジスタ

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16						
予約済み																					
R-0000h																					
15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0						
予約済み										予約済み			SDI_MODE [1:0]								
R-00h								R-000000b													
R/W-<00>b																					

表 7-5. SDI_CTL_REG レジスタのフィールドの説明

ビット	フィールド	タイプ	リセット	説明
31-16	予約済み	R	0000h	予約済み。読み取り 0000h を返す。
15-8	予約済み	R	00h	予約済み。読み取り 00h を返す。
7-2	予約済み	R	000000b	予約済み。読み取り 000000b を返す。
1-0	SDI_MODE[1:0]	R/W	00b	これらのビットは、デバイスとの読み取りまたは書き込みのプロトコルを選択します。 00b = 標準 SPI、CPOL = 0 および CPHASE = 0 01b = 標準 SPI、CPOL = 0 および CPHASE = 1 10b = 標準 SPI、CPOL = 1 および CPHASE = 0 11b = 標準 SPI、CPOL = 1 および CPHASE = 1

7.1.4 SDO_CTL_REG レジスタ(アドレス = 0Ch)

このレジスタは、デバイスの SDO-x ピンからデータを送信するために使用されるデータプロトコルを制御します。

ビット 7-0、15-8、23-16、および 31-24 のアドレスは、それぞれ 0Ch、0Dh、0Eh、および 0Fh です。

図 7-4. SDO_CTL_REG レジスタ

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
予約済み															
R-0000h															
15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
予約済み	GPO_VAL		予約済み	SDO1_CONFIG[1:0]		予約済み	SSYNC_CLK		予約済み	SDO_MODE[1:0]					
R-000b	R/W-0b		R-00b	R/W-00b		R-0b	R/W-<0>b		R-0h	R/W-<0>b					

表 7-6. SDO_CTL_REG レジスタのフィールドの説明

ビット	フィールド	タイプ	リセット	説明
31-16	予約済み	R	0000h	予約済み。読み取り 0h を返す。
15-13	予約済み	R	000b	予約済み。読み取り 000b を返す。
12	GPO_VAL	R/W	0b	GPO ピンでの出力の 1 ビット値。
11-10	予約済み	R	00b	予約済み。読み取り 00b を返す。
9-8	SDO1_CONFIG[1:0]	R/W	00b	2 ビット構成 ALARM/SDO-1/GPO: 00b = SDO-1 は常にトライステート、1 ビット SDO モード 01b = SDO-1 はアラームとして機能、1 ビット SDO モード 10b = SDO-1 は GPO として機能、1 ビット SDO モード 11b = SDO-1 を SDO-0 と組み合わせて 2 ビット SDO モードを提供
7	予約済み	R	0b	予約済み。読み取り 0b を返す。
6	SSYNC_CLK ⁽¹⁾	R/W	0b	このビットは、ソース同期送信用に選択されたクロックのソースを制御します。 0b = 外部 SCLK (分割なし) 1b = 内部クロック (分割なし)
5-2	予約済み	R	0000b	予約済み。読み取り 0000b を返す。
1-0	SDO_MODE[1:0]	R/W	00b	これらのビットは、デバイスのデータ出力モードを制御します。 0xb = SDO モードは、SDI に使用するものと同じ SPI プロトコルに従う、 『SDI_CTL_REG レジスタ』を参照 10b = 無効な構成 11b = SDO モードは ADC コントローラ クロックまたはソース同期プロトコルに従う

(1) このビットは、ADC コントローラ クロックまたはソース同期モードでのみ有効になります。

7.1.5 DATAOUT_CTL_REG レジスタ(アドレス = 10h)

このレジスタは、デバイスによるデータ出力を制御します。

ビット 7-0、15-8、23-16、および 31-24 のアドレスは、それぞれ 10h、11h、12h、および 13h です。

図 7-5. DATAOUT_CTL_REG レジスタ

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
予約済み															
R-0000h															
15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
予約済み	DEVICE_ADDR_INCL	VDD_ACTIVE_ALARM_INCL[1:0]	IN_ACTIVE_ALARM_INCL[1:0]	予約済み	RANGE_INCL	予約済み	PAR_EN	DATA_VAL[2:0]							
R-0b	R/W-0b	R/W-0b	R/W-0b	R-0b	R/W-0b	R-0000b	R/W-<0>b	R/W-000b							

表 7-7. DATAOUT_CTL_REG レジスタのフィールドの説明

ビット	フィールド	タイプ	リセット	説明
31-16	予約済み	R	0000h	予約済み。読み取り 0000h を返す。
15	予約済み	R	0b	予約済み。読み取り 0b を返す。
14	DEVICE_ADDR_INCL	R/W	0b	4 ビットの DEVICE_ADDR レジスタ値を SDO-x 出力ビットストリームに含める制御。 0b = レジスタ値を含めない 1b = レジスタ値を含める
13-12	VDD_ACTIVE_ALARM_INCL[1:0]	R/W	00b	SDO-x 出力ビットストリームにアクティブ VDD ALARM フラグを含める制御。 00b = 含めない 01b = ACTIVE_VDD_H_FLAG を含める 10b = ACTIVE_VDD_L_FLAG を含める 11b = 両方のフラグを含める
11-10	IN_ACTIVE_ALARM_INCL[1:0]	R/W	00b	SDO-x 出力ビットストリームにアクティブ入力 ALARM フラグを含める制御。 00b = 含めない 01b = ACTIVE_IN_H_FLAG を含める 10b = ACTIVE_IN_L_FLAG を含める 11b = 両方のフラグを含める
9	予約済み	R	0b	予約済み。読み取り 0h を返す。
8	RANGE_INCL	R/W	0b	SDO-x 出力ビットストリームに 4 ビットの入力範囲設定を含める制御。 0b = 範囲構成レジスタ値を含めない 1b = 範囲構成レジスタ値を含める
7-4	予約済み	R	0000b	予約済み。読み取り 0000b を返す。
3	PAR_EN ⁽¹⁾	R/W	0b	0b = 出力データにパリティ情報が含まれていない 1b = 2 つのパリティビット (ADC 出力および出力データフレーム) が出力データの LSB に追加されている ADC 出力パリティビットが ADC 出力ビットのみの偶数パリティを反映している 出力データフレームのパリティビットは、出力データフレーム全体の偶数パリティシグネチャを反映しています。このシグネチャには、ADC 出力ビットと内部フラグまたはレジスタ設定が含まれます。ADC 出力パリティビットは、フレーム パリティビットの計算には含まれません。

表 7-7. DATAOUT_CTL_REG レジスタのフィールドの説明 (続き)

ビット	フィールド	タイプ	リセット	説明
2-0	DATA_VAL[2:0]	R/W	000b	これらのビットは、コンバータによる出力データ値を制御します。 0xxb = 値出力は変換データ 100b = 値の出力はすべて 0 101b = 値の出力はすべて 1 110b = 値の出力は 0 と 1 が交互に表示 111b = 値の出力は 00 と 11 が交互に表示

(1) このビットを設定すると、出力データの長さが 2 ビット増加します。

7.1.6 RANGE_SEL_REG レジスタ(アドレス = 14h)

このレジスタは、コンバータの内部リファレンスと入力電圧範囲の構成を制御します。

ビット 7-0、15-8、23-16、および 31-24 のアドレスは、それぞれ 14h、15h、16h、および 17h です。

図 7-6. RANGE_SEL_REG レジスタ

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
予約済み															
R-0000h															
15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
予約済み								予約済み	INTREF_DIS	予約済み	RANGE_SEL[3:0]				
R-00h								R-0b	R/W-0b	R-00b	R/W-<0000>b				

表 7-8. RANGE_SEL_REG レジスタのフィールドの説明

ビット	フィールド	タイプ	リセット	説明
31-16	予約済み	R	0000h	予約済み。読み取り 0000h を返す。
15-8	予約済み	R	00h	予約済み。読み取り 00h を返す。
7	予約済み	R	0b	予約済み。読み取り 0b を返す。
6	INTREF_DIS	R/W	0b	ADC の内部リファレンス電圧を無効化する制御。 0b = 内部リファレンス イネーブル 1b = 内部リファレンス ディスエーブル
5-4	予約済み	R	00b	予約済み。読み取り 00b を返す。
3-0	RANGE_SEL[3:0]	R/W	0000b	これらのビットは、ADC の 9 つの入力範囲を選択する 4 ビットのレジスタで構成されています。 0000b = $\pm 3V \times V_{REF}$ 0001b = $\pm 2.5V \times V_{REF}$ 0010b = $\pm 1.5V \times V_{REF}$ 0011b = $\pm 1.25V \times V_{REF}$ 0100b = $\pm 0.625V \times V_{REF}$ 1000b = $3V \times V_{REF}$ 1001b = $2.5V \times V_{REF}$ 1010b = $1.5V \times V_{REF}$ 1011b = $1.25V \times V_{REF}$

7.1.7 ALARM_REG レジスタ(アドレス = 20h)

このレジスタには、入力および AVDD アラームの出力 ALARM フラグ (アクティブおよびトリップ) が含まれます。

ビット 7-0、15-8、23-16、および 31-24 のアドレスは、それぞれ 20h、21h、22h、および 23h です。

図 7-7. ALARM_REG レジスタ

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
予約済み															
R-0000h															
15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
ACTIVE_VDD_L_FLAG	ACTIVE_VDD_H_FLAG	予約済み	ACTIVE_IN_L_FLAG	ACTIVE_IN_H_FLAG	予約済み	TRP_VDD_L_FLAG	TRP_VDD_H_FLAG	TRP_IN_L_FLAG	TRP_IN_H_FLAG	予約済み	OVW_ALARM				
R-0b	R-0b	R-00b	R-0b	R-0b	R-00b	R-0b	R-0b	R-0b	R-0b	R-0b	R-0b	R-000b	R-0b		

表 7-9. ALARM_REG レジスタのフィールドの説明

ビット	フィールド	タイプ	リセット	説明
31-16	予約済み	R	0000h	予約済み。読み取り 0000h を返す。
15	ACTIVE_VDD_L_FLAG	R	0b	低 AVDD 電圧のアクティブ ALARM 出力フラグ。 0b = ALARM 条件なし 1b = ALARM 条件あり
14	ACTIVE_VDD_H_FLAG	R	0b	高 AVDD 電圧のアクティブ ALARM 出力フラグ。 0b = ALARM 条件なし 1b = ALARM 条件あり
13-12	予約済み	R	00b	予約済み。読み取り 00b を返す。
11	ACTIVE_IN_L_FLAG	R	0b	低入力電圧のアクティブ ALARM 出力フラグ。 0b = アラーム状態なし 1b = アラーム状態あり
10	ACTIVE_IN_H_FLAG	R	0b	高入力電圧のアクティブ ALARM 出力フラグ。 0b = アラーム状態なし 1b = アラーム状態あり
9-8	予約済み	R	00b	予約済み。読み取り 00b を返す。
7	TRP_VDD_L_FLAG	R	0b	低 AVDD 電圧のトリップ ALARM 出力フラグ。 0b = アラーム状態なし 1b = アラーム状態あり
6	TRP_VDD_H_FLAG	R	0b	高 AVDD 電圧のトリップ ALARM 出力フラグ。 0b = アラーム状態なし 1b = アラーム状態あり
5	TRP_IN_L_FLAG	R	0b	低入力電圧のトリップ ALARM 出力フラグ。 0b = ALARM 条件なし 1b = ALARM 条件あり
4	TRP_IN_H_FLAG	R	0b	高入力電圧のトリップ ALARM 出力フラグ。 0b = ALARM 条件なし 1b = ALARM 条件あり
3-1	予約済み	R	000b	予約済み。読み取り 000b を返す。
0	OVW_ALARM	R	0b	論理 OR (論理和) は、すべてのトリップ ALARM フラグを出力します。 0b = ALARM 条件なし 1b = ALARM 条件あり

7.1.8 ALARM_H_TH_REG レジスタ (アドレス = 24h)

このレジスタは、入力アラームのヒステリシスと High スレッショルドを制御します。

ビット 7-0、15-8、23-16、および 31-24 のアドレスは、それぞれ 24h、25h、26h、および 27h です。

図 7-8. ALARM_H_TH_REG レジスタ

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
INP_ALRM_HYST[7:0]								予約済み							
R/W-00h								R-00h							
15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
INP_ALRM_HIGH_TH[15:0]								R/W-FFFFh							

表 7-10. ALARM_H_TH_REG レジスタのフィールドの説明

ビット	フィールド	タイプ	リセット	説明
31-24	INP_ALRM_HYST[7:0]	R/W	00h	INP_ALRM_HYST[7:2] ビットは入力アラームの 6 ビット ヒステリシス値です。 INP_ALRM_HYST[1:0] ビットを 00b に設定します。
23-16	予約済み	R	00h	予約済み。読み取り 00h を返す。
15-0	INP_ALRM_HIGH_TH[15:0]	R/W	FFFFh	これらのビットは比較のスレッショルドです。

7.1.9 ALARM_L_TH_REG レジスタ (アドレス = 28h)

このレジスタは、入力アラームの Low スレッショルドを制御します。

ビット 7-0、15-8、23-16、および 31-24 のアドレスは、それぞれ 28h、29h、2Ah、および 2Bh です。

図 7-9. ALARM_L_TH_REG レジスタ

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
予約済み															
R-0000h															
15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
INP_ALRM_LOW_TH[15:0]								R/W-0000h							

表 7-11. ALARM_L_TH_REG レジスタのフィールドの説明

ビット	フィールド	タイプ	リセット	説明
32:16	予約済み	R	0000h	予約済み。読み取り 0000h を返す。
15-0	INP_ALRM_LOW_TH[15:0]	R/W	0000h	これらのビットは比較のスレッショルドです。

8 アプリケーションと実装

注

以下のアプリケーション情報は、テキサス・インスツルメンツの製品仕様に含まれるものではなく、テキサス・インスツルメンツはその正確性も完全性も保証いたしません。個々の目的に対する製品の適合性については、お客様の責任で判断していただくことになります。また、お客様は自身の設計実装を検証しテストすることで、システムの機能を確認する必要があります。

8.1 アプリケーション情報

ADS868xW は、16 ビットの逐次比較型 (SAR) A/D コンバータ (ADC) をベースにした統合型の完全差動入力のデータアクイジション (DAQ) デバイスです。ADC の入力を駆動するための内蔵アナログ フロントエンド (AFE) 回路と、内蔵の高精度リファレンス電圧とバッファが含まれています。そのため、これらのデバイスでは、ADC のリファレンスまたはアナログ入力ピンを駆動するための追加の外部回路は必要ありません。

8.2 代表的なアプリケーション

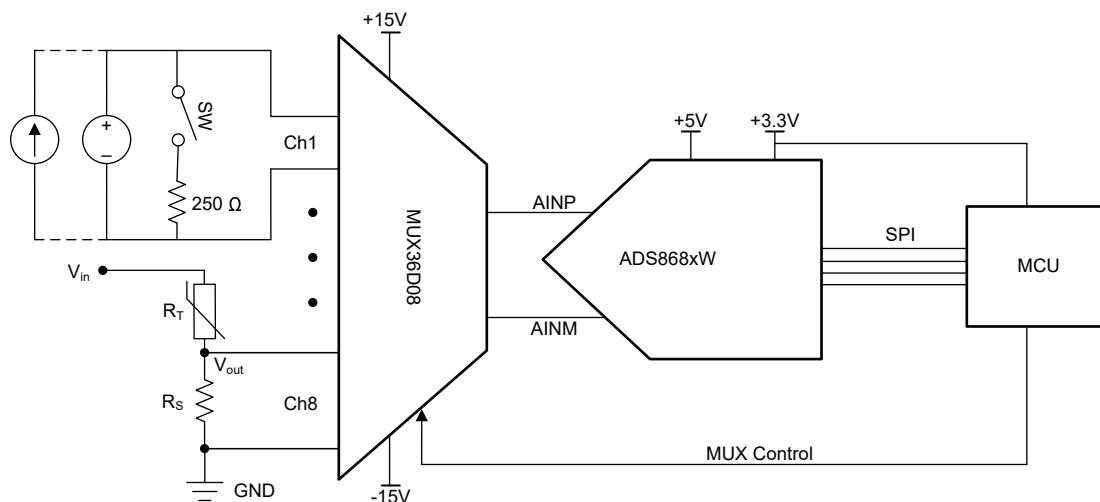


図 8-1. 16 ビット、8 チャネル、プログラマブル ロジック コントローラ (PLC) 用のアナログ入力モジュール

8.2.1 設計要件

このセクションでは、産業用アナログ入力モジュールでの ADS868xW の使用方法について説明します。この設計は、標準的なバイポーラまたはユニポーラの産業用入力を最大 $\pm 10V$ の入力範囲でデジタル化するプロセス制御最終製品の例です。最終製品にはプログラマブル ロジック コントローラ (PLC)、分散制御システム (DCS)、データ アクイジション システム (DAS) モジュールがあります。通常、アナログ電圧と電流の範囲には、 $\pm 2.5V$ 、 $\pm 5V$ 、 $\pm 10V$ 、 $0V \sim 5V$ 、 $0V \sim 10V$ 、 $4mA \sim 20mA$ 、および $0mA \sim 20mA$ が含まれます。これらの範囲は、産業用環境向けです。このリファレンス デザインは、標準的な産業用の電圧入力と電流入力をすべて測定できます。モジュールには 8 つのチャネルが実装されており、ソフトウェア設定を使用して、各チャネルを電流入力または電圧入力として設定できます。

表 8-1 に、この設計のパラメータを示します。

表 8-1. 設計パラメータ

パラメータ	値
迅速なチャネル スイッチングに適した高速なセトリング タイム	5μs、1% 精度
ユーザー プログラマブル 入力の完全差動アンプ チャネル	最大 8 チャネル
電圧入力 (標準値: $Z_{IN} = 1M\Omega$)	$\pm 12V$
16 ビット A/D コンバータ	3.3V デジタル出力ライン

8.2.2 詳細な設計手順

この設計では、シングル チャネル、16 ビット ADS8681W SAR ADC を 8 チャネル MUX36D08 差動マルチプレクサと組み合わせています。ADS8681W は、応答性の高いチャネル間動作を行うための外部ディスクリート マルチプレクサをサポートするために必要な高速セトリングと高帯域幅の性能を備えています。

ADS868xW は、-3dB で最大 400kHz の高い帯域幅入力により、5 μ s (図 8-2) 以下で 1% の精度までセトリングされます。ADS868xW には、プログラマブル ゲイン アンプ、ADC ドライバ、およびリファレンスも内蔵されています。このため、単一のアナログ電源で最大 $\pm 12.288V$ の振幅の信号を非常に簡単に接続できます。このデバイスは、過電圧保護、入力アラーム、AVDD アラームなどの各種の安全機能も備えています。

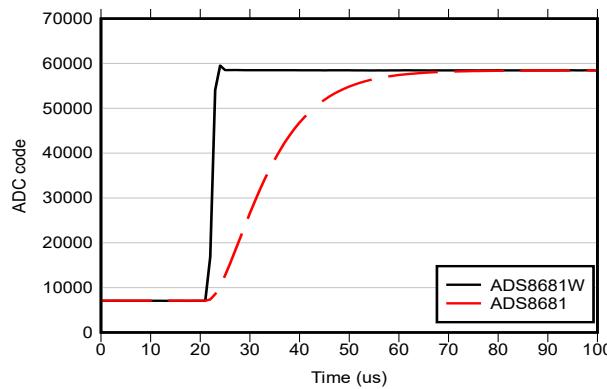


図 8-2. ステップ セトリング応答時間

MUX36D08 は差動マルチプレクサです。このマルチプレクサにより、最大 8 つの差動入力を使用して、広い入力電圧範囲にわたって高速かつ高精度の電圧、電流、温度センシングを実行できます。このデバイスは、アナログ入力を選択するために 3 つのデジタル制御ラインを受け付けます。

ADS8681W は、拡張 SPI 通信プロトコルによりコントローラと接続できるため、コントローラの速度要件を簡素化できます。全体として、このシステムはさまざまなシングルエンド信号または差動信号の接続を簡素化し、産業用環境でこれらの信号を安全に監視する機能を搭載しています。

8.2.2.1 アラーム機能

ADS868xW は、入力アラームと AVDD アラームを備えています。入力アラームの場合、Low スレッショルドと High スレッショルドはユーザーが設定でき、指定された範囲外の入力によってアラームが起動します。入力アラームにはヒステリシスも組み込まれており、これもユーザーがプログラム可能です。このセクションでは、温度検出のために負の温度係数 (NTC) サーミスタを使って、ユーザーがプログラム可能な入力アラームスレッショルドとヒステリシスを適用することに焦点を当てます。

温度が上昇すると、NTC サーミスタの抵抗値は減少します。温度が低下すると、NTC サーミスタの抵抗値が上昇します。図 8-3 に、センシング抵抗を使用した分圧回路内に NTC サーミスタを配置した図を示します。この図に示されているように、温度が上昇すると V_{out} は増加し、温度が低下すると減少します。温度感知アプリケーションでは、温度が過度に高いか低いかを監視します。入力アラームのスレッショルドをプログラミングおよび調整して、システムの動作が高温になったか、異常に温度が下がったかどうかを警告します。

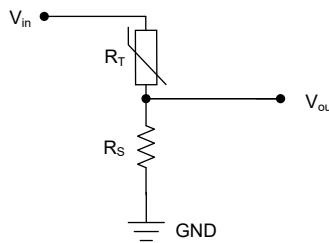


図 8-3. サーミスタ ベースの温度制御

温度がアラーム スレッショルド付近で変動すると、温度はプログラムされた限界値を超えて、連続して複数回スレッショルドに戻る可能性があります。ノイズや干渉によるアラームの誤作動を防ぐには、信号に適用されるヒステリシスを適用して調整します。

温度がアラームの High スレッショルドに近いかどうかを確認します。周囲のノイズにより、測定された電圧が一時的にこのスレッショルドを超える可能性があります。しかし、実際の温度は事前決定済み限界値を超えないため、誤ったアラームが発生します。温度が事前決定済み限界値を超えて、電圧が一時的にアラーム High スレッショルドを超えた場合、アラームが必要なときにアラームは出力されません。この状態は、周囲のノイズによって測定された電圧がアラームの High スレッショルドを下回ることが原因です。ヒステリシスの量を適用して適切に調整することで、このような状況を回避できます。さらに、入力アラーム機能のノイズ耐性を向上させ、システムの温度条件をより正確に反映させます。図 8-4 に、ヒステリシスを適用したときのアラーム機能を示します。

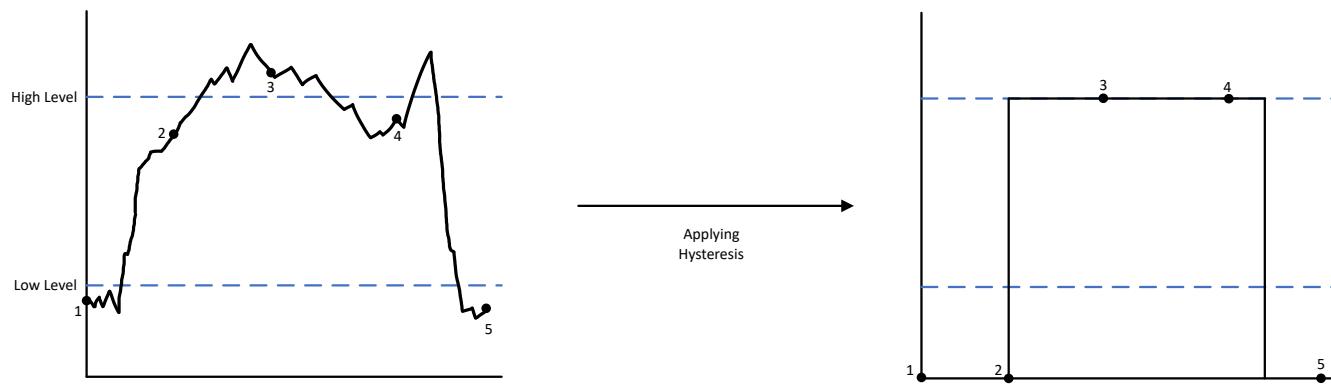


図 8-4. ヒステリシスを適用したアラーム機能

8.2.3 アプリケーション曲線

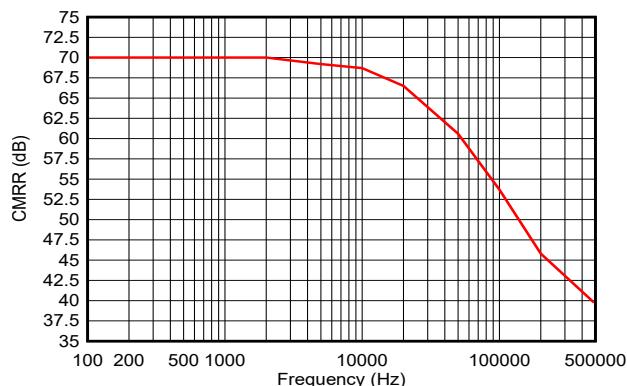


図 8-5. 同相除去比と周波数との関係

8.3 電源に関する推奨事項

デバイスは以下の 2 つの独立した電源を使用します。AVDD と DVDD。デバイスの内部回路は AVDD で動作し、DVDD はデジタル インターフェイスに使用されます。AVDD と DVDD は個別に、許容範囲内の任意の値に設定できます。

8.3.1 電源のデカップリング

各電源に最小でも $10\mu F$ および $1\mu F$ のコンデンサを使用して、AVDD 電源ピンを AGND でデカップリングします。 $1\mu F$ コンデンサは電源ピンのできるだけ近くに配置します。高周波デジタル スイッチング電流を供給するため、最小でも $10\mu F$ のデカップリング コンデンサを DVDD 電源のすぐ近くに配置します。デカップリング コンデンサを使用した場合の影響は、「デバイスの電源除去比 (PSRR) 性能の差」に示されています。図 8-6 に、デカップリング コンデンサを使用しないデバイスの PSRR を示します。図 8-7 に示されているように、デカップリング コンデンサを使用すると、PSRR が改善します。

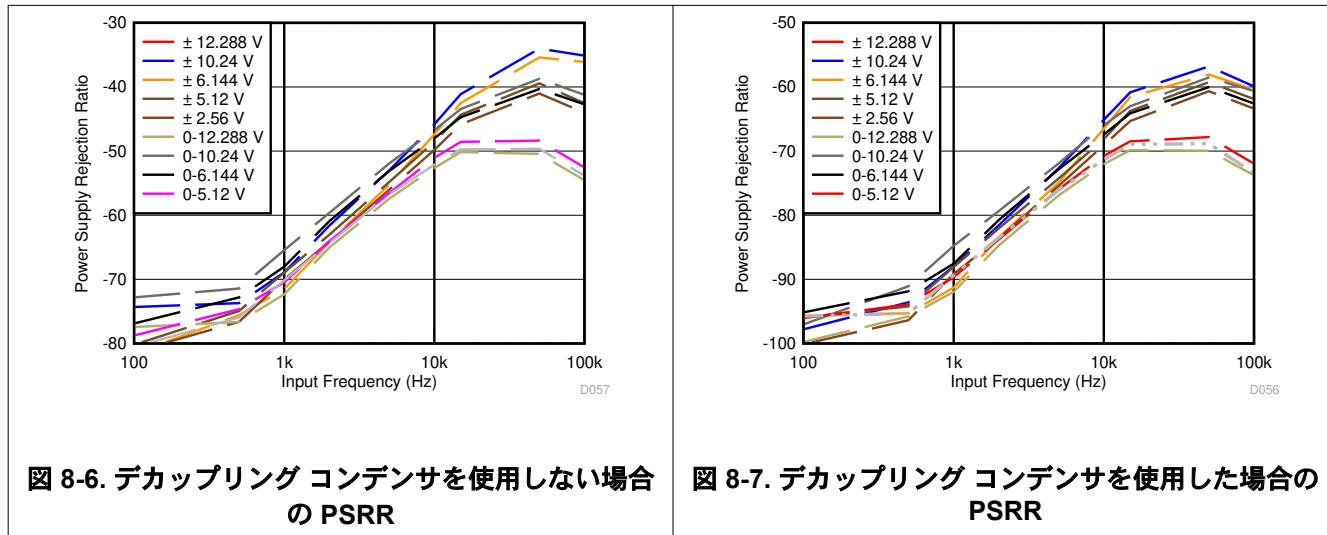


図 8-6. デカップリング コンデンサを使用しない場合の PSRR

図 8-7. デカップリング コンデンサを使用した場合の PSRR

8.3.2 節電

通常動作モードでは、変換の間にパワーダウンしないため、高スループットを実現します。しかし、デバイスには、以下の 2 つのプログラマブル ローパワー モードがあります。NAP およびパワーダウン (PD)。これらにより、デバイスが低スループット レートで動作するときに消費電力を低減します。

8.3.2.1 NAP モード

NAP モードでは、デバイスの内部ブロックがローパワー モードに移行して、ACQ 状態でのデバイス全体の消費電力が低減します。

NAP モードの有効化:

- レジスタ アドレス 05h に 69h を書き込んで、RST_PWRCTL_REG レジスタのロックを解除します。
- RST_PWRCTL_REG レジスタの NAP_EN ビットを 1b に設定します。変換プロセスの終了時に CONVST/CS ピンを High に維持します。その後、変換が終了するとデバイスが NAP モードに移行し、CONVST/CS ピンが High に保持されている限り、NAP モードを維持します。

CONVST/CS 立ち下がりエッジにより、デバイスが NAP モードから復帰します。しかし、 t_{NAP_WKUP} 時間が経過した後でのみ、ホストコントローラが新しい変換 (CONVST/CS の立ち上がりエッジ) を開始します (スイッチング特性 の表を参照)。

8.3.2.2 パワーダウン (PD) モード

また、デバイスにはディープ パワーダウン モード (PD) があり、非常に低いスループット レートで消費電力を低減できます。

PD モードにするには、次の手順を実行します。

- レジスタ アドレス 05h に 69h を書き込んで、[RST_PWRCTL_REG レジスタ](#)のロックを解除します。
- RST_PWRCTL_REG レジスタの PWRDN ビットを 1b に設定します。デバイスは、CONVST/CS 信号の立ち上がり エッジで PD モードに移行します。

PD モードでは、デバイスのすべてのアナログ ブロックがパワーダウンします。しかし、インターフェイスはアクティブのままで、レジスタの内容も保持されます。RVS ピンが High となります。これは、デバイスが次のコマンドを受信する準備ができていることを示しています。

PD モードを終了するには、次の手順を実行します。

- RST_PWRCTL_REG レジスタの PWRDN ビットを 0b にクリアします。
- RVS ピンが High になり、デバイスが PD モードから復帰し始めたことを示します。しかし、ホストコントローラは新しい変換を開始する前に、tPWRUP 時間 ([スイッチング特性](#) の表を参照) が経過するまで待機します。

8.4 レイアウト

8.4.1 レイアウトのガイドライン

図 8-8 に、シングルエンド入力構成で AINM を GND に接続した ADS868xW の PCB レイアウト例を示します。

- PCB をアナログ セクションとデジタル セクションに分割します。アナログ信号は必ずデジタル ラインから離れた位置に配置します。このレイアウトは、アナログ入力信号とリファレンス入力信号を、デジタル ノイズから遠ざける上で有用です。このレイアウト例では、アナログ入力信号とリファレンス信号を基板の下側で配線しています。また、ボードの上面にデジタル接続を取り回しています。
- 単一の専用グランド プレーンを使用します。
- ADS868xW への電源がクリーンで、適切にバイパスされていることを確認します。アナログ (AVDD) 電源ピンの近くに、1μF、X7R グレード、0603 サイズのセラミック コンデンサ (定格 10V 以上) を使用します。デジタル電源ピン (DVDD) のデカッピングには、1μF、X7R グレード、0603 サイズのセラミック コンデンサ (定格 10V 以上) を使用します。AVDD ピンと DVDD ピンとバイパス コンデンサの間にビアを配置しないでください。短い低インピーダンスのパスを使用して、すべてのグランド ピンをグランド プレーンに接続します。
- REFCAP ピンに 2 つのデカッピング コンデンサを使用します。1 つ目は、1μF の 0603 サイズの小型セラミック コンデンサです。高周波信号をデカッピングするために、デバイスのピンの近くに配置します。2 つ目は、10μF の 0805 サイズのセラミック コンデンサです。これにより、デバイスのリファレンス回路に必要な電荷を供給します。10μF コンデンサには、ESR が 0.2Ω 未満のコンデンサを使用します。ピンとコンデンサの間にビアを配置せず、両方のコンデンサをデバイスのピンに直接接続します。
- デバイスの内部リファレンス電圧を使用する場合は、最小でも 4.7μF セラミック コンデンサで REFIO ピンをデカッピングします。コンデンサをデバイスのピンの近くに配置します。

8.4.2 レイアウト例

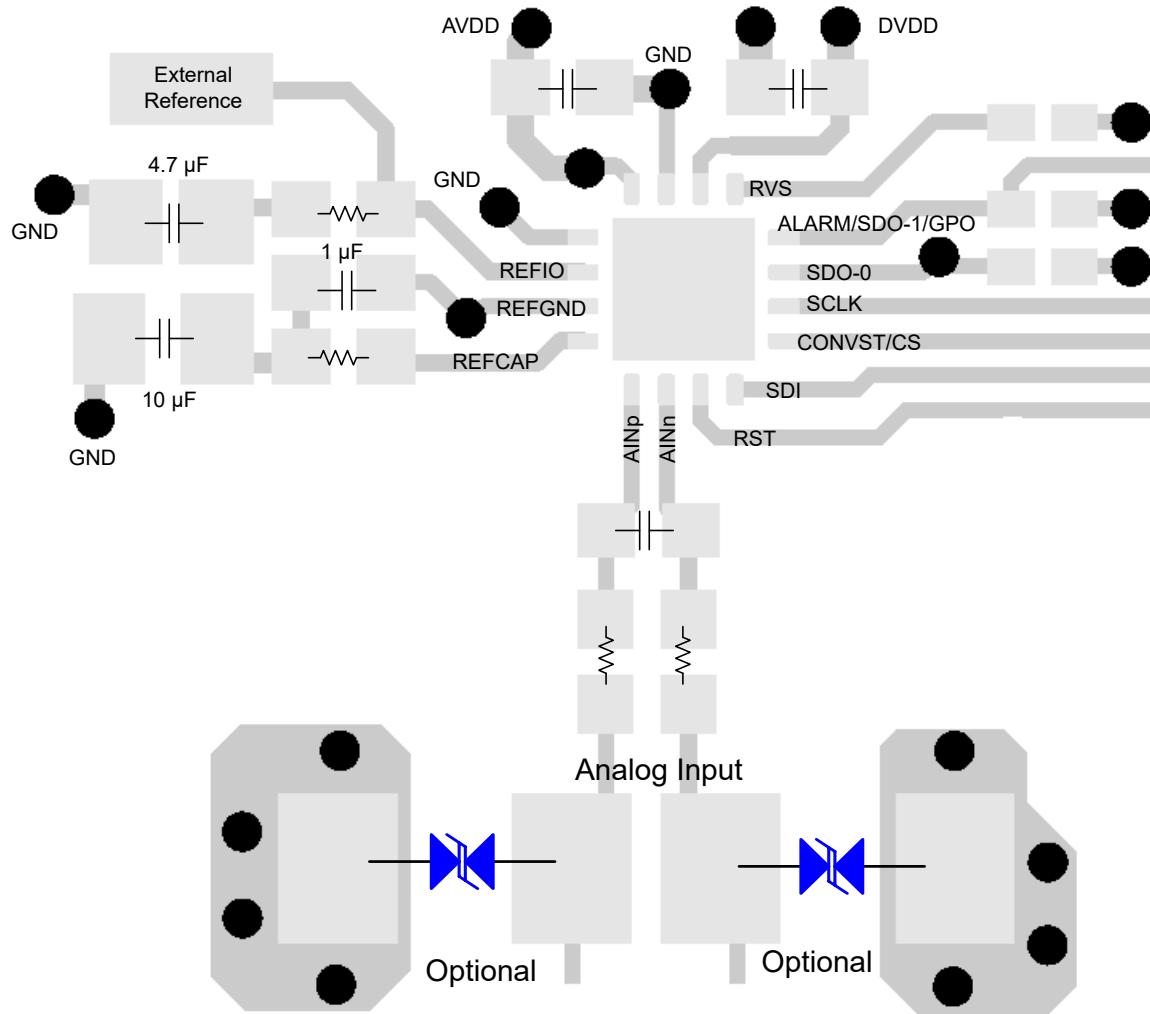


図 8-8. ADS868xW の基板レイアウト

9 デバイスおよびドキュメントのサポート

9.1 ドキュメントのサポート

9.1.1 関連資料

関連資料については、以下を参照してください。

- テキサス・インスツルメンツ、『[OPA320 高精度、20MHz、0.9pA、低ノイズ、RRIO、シャットダウン搭載の CMOS オペアンプ](#)』データシート
- テキサス・インスツルメンツ、『[SN6501 絶縁電源用のトランジistorドライバ](#)』データシート
- テキサス・インスツルメンツ、『[TPS7A49 36V、150mA、超低ノイズ、正のリニアレギュレータ](#)』データシート
- テキサス・インスツルメンツ、『[ISO764xFM ローパワークワッド チャネル デジタル アイソレータ](#)』データシート
- テキサス・インスツルメンツ、『[AN-2029 取り扱いおよびプロセスの推奨事項](#)』アプリケーションノート

9.2 ドキュメントの更新通知を受け取る方法

ドキュメントの更新についての通知を受け取るには、www.tij.co.jp のデバイス製品フォルダを開いてください。[通知] をクリックして登録すると、変更されたすべての製品情報に関するダイジェストを毎週受け取ることができます。変更の詳細については、改訂されたドキュメントに含まれている改訂履歴をご覧ください。

9.3 サポート・リソース

テキサス・インスツルメンツ E2E™ サポート・フォーラムは、エンジニアが検証済みの回答と設計に関するヒントをエキスパートから迅速かつ直接得ることができる場所です。既存の回答を検索したり、独自の質問をしたりすることで、設計で必要な支援を迅速に得ることができます。

リンクされているコンテンツは、各寄稿者により「現状のまま」提供されるものです。これらはテキサス・インスツルメンツの仕様を構成するものではなく、必ずしもテキサス・インスツルメンツの見解を反映したものではありません。テキサス・インスツルメンツの[使用条件](#)を参照してください。

9.4 商標

multiSPI™ and テキサス・インスツルメンツ E2E™ are trademarks of Texas Instruments.

すべての商標は、それぞれの所有者に帰属します。

9.5 静電気放電に関する注意事項



この IC は、ESD によって破損する可能性があります。テキサス・インスツルメンツは、IC を取り扱う際には常に適切な注意を払うことをお勧めします。正しい取り扱いおよび設置手順に従わない場合、デバイスを破損するおそれがあります。

ESD による破損は、わずかな性能低下からデバイスの完全な故障まで多岐にわたります。精密な IC の場合、パラメータがわずかに変化するだけで公表されている仕様から外れる可能性があるため、破損が発生しやすくなっています。

9.6 用語集

テキサス・インスツルメンツ用語集

この用語集には、用語や略語の一覧および定義が記載されています。

10 改訂履歴

資料番号末尾の英字は改訂を表しています。その改訂履歴は英語版に準じています。

Changes from Revision * (June 2024) to Revision A (May 2025)

Page

- ADS8685W および ADS8689W のドキュメントステータスを「事前情報」から「量産データ」に変更.....1

11 メカニカル、パッケージ、および注文情報

以降のページには、メカニカル、パッケージ、および注文に関する情報が記載されています。この情報は、指定のデバイスに使用できる最新のデータです。このデータは、予告なく、このドキュメントを改訂せずに変更される場合があります。本データシートのプラウザ版を使用している場合は、画面左側の説明をご覧ください。

重要なお知らせと免責事項

テキサス・インスツルメンツは、技術データと信頼性データ（データシートを含みます）、設計リソース（リファレンス デザインを含みます）、アプリケーションや設計に関する各種アドバイス、Web ツール、安全性情報、その他のリソースを、欠陥が存在する可能性のある「現状のまま」提供しており、商品性および特定目的に対する適合性の默示保証、第三者の知的財産権の非侵害保証を含むいかなる保証も、明示的または默示的にかかわらず拒否します。

これらのリソースは、テキサス・インスツルメンツ製品を使用する設計の経験を積んだ開発者への提供を意図したものです。(1) お客様のアプリケーションに適した テキサス・インスツルメンツ製品の選定、(2) お客様のアプリケーションの設計、検証、試験、(3) お客様のアプリケーションに該当する各種規格や、その他のあらゆる安全性、セキュリティ、規制、または他の要件への確実な適合に関する責任を、お客様のみが単独で負うものとします。

上記の各種リソースは、予告なく変更される可能性があります。これらのリソースは、リソースで説明されている テキサス・インスツルメンツ製品を使用するアプリケーションの開発の目的でのみ、テキサス・インスツルメンツはその使用をお客様に許諾します。これらのリソースに関して、他の目的で複製することや掲載することは禁止されています。テキサス・インスツルメンツや第三者の知的財産権のライセンスが付与されている訳ではありません。お客様は、これらのリソースを自身で使用した結果発生するあらゆる申し立て、損害、費用、損失、責任について、テキサス・インスツルメンツおよびその代理人を完全に補償するものとし、テキサス・インスツルメンツは一切の責任を拒否します。

テキサス・インスツルメンツの製品は、[テキサス・インスツルメンツの販売条件](#)、または ti.com やかかる テキサス・インスツルメンツ製品の関連資料などのいづれかを通じて提供する適用可能な条項の下で提供されています。テキサス・インスツルメンツがこれらのリソースを提供することは、適用されるテキサス・インスツルメンツの保証または他の保証の放棄の拡大や変更を意味するものではありません。

お客様がいかなる追加条項または代替条項を提案した場合でも、テキサス・インスツルメンツはそれらに異議を唱え、拒否します。

郵送先住所: Texas Instruments, Post Office Box 655303, Dallas, Texas 75265

Copyright © 2025, Texas Instruments Incorporated

PACKAGING INFORMATION

Orderable part number	Status (1)	Material type (2)	Package Pins	Package qty Carrier	RoHS (3)	Lead finish/ Ball material (4)	MSL rating/ Peak reflow (5)	Op temp (°C)	Part marking (6)
ADS8681WRUMR	Active	Production	WQFN (RUM) 16	3000 LARGE T&R	Yes	NIPDAU	Level-1-260C-UNLIM	-40 to 125	AD8681W
ADS8681WRUMR.B	Active	Production	WQFN (RUM) 16	3000 LARGE T&R	Yes	NIPDAU	Level-1-260C-UNLIM	-40 to 125	AD8681W
ADS8681WRUMT	Active	Production	WQFN (RUM) 16	250 SMALL T&R	Yes	NIPDAU	Level-1-260C-UNLIM	-40 to 125	AD8681W
ADS8681WRUMT.B	Active	Production	WQFN (RUM) 16	250 SMALL T&R	Yes	NIPDAU	Level-1-260C-UNLIM	-40 to 125	AD8681W
ADS8685WRUMR	Active	Production	WQFN (RUM) 16	3000 LARGE T&R	Yes	NIPDAU	Level-1-260C-UNLIM	-40 to 125	AD8685W
ADS8685WRUMR.B	Active	Production	WQFN (RUM) 16	3000 LARGE T&R	Yes	NIPDAU	Level-1-260C-UNLIM	-40 to 125	AD8685W
ADS8689WRUMR	Active	Production	WQFN (RUM) 16	3000 LARGE T&R	Yes	NIPDAU	Level-1-260C-UNLIM	-40 to 125	AD8689W

⁽¹⁾ **Status:** For more details on status, see our [product life cycle](#).

⁽²⁾ **Material type:** When designated, preproduction parts are prototypes/experimental devices, and are not yet approved or released for full production. Testing and final process, including without limitation quality assurance, reliability performance testing, and/or process qualification, may not yet be complete, and this item is subject to further changes or possible discontinuation. If available for ordering, purchases will be subject to an additional waiver at checkout, and are intended for early internal evaluation purposes only. These items are sold without warranties of any kind.

⁽³⁾ **RoHS values:** Yes, No, RoHS Exempt. See the [TI RoHS Statement](#) for additional information and value definition.

⁽⁴⁾ **Lead finish/Ball material:** Parts may have multiple material finish options. Finish options are separated by a vertical ruled line. Lead finish/Ball material values may wrap to two lines if the finish value exceeds the maximum column width.

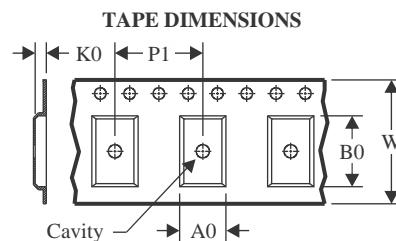
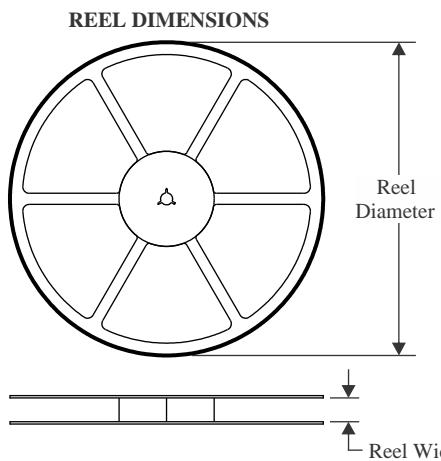
⁽⁵⁾ **MSL rating/Peak reflow:** The moisture sensitivity level ratings and peak solder (reflow) temperatures. In the event that a part has multiple moisture sensitivity ratings, only the lowest level per JEDEC standards is shown. Refer to the shipping label for the actual reflow temperature that will be used to mount the part to the printed circuit board.

⁽⁶⁾ **Part marking:** There may be an additional marking, which relates to the logo, the lot trace code information, or the environmental category of the part.

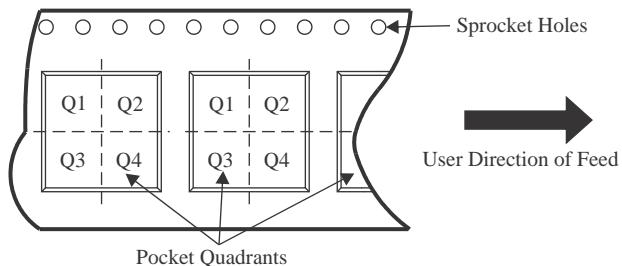
Multiple part markings will be inside parentheses. Only one part marking contained in parentheses and separated by a "~" will appear on a part. If a line is indented then it is a continuation of the previous line and the two combined represent the entire part marking for that device.

Important Information and Disclaimer: The information provided on this page represents TI's knowledge and belief as of the date that it is provided. TI bases its knowledge and belief on information provided by third parties, and makes no representation or warranty as to the accuracy of such information. Efforts are underway to better integrate information from third parties. TI has taken and continues to take reasonable steps to provide representative and accurate information but may not have conducted destructive testing or chemical analysis on incoming materials and chemicals. TI and TI suppliers consider certain information to be proprietary, and thus CAS numbers and other limited information may not be available for release.

In no event shall TI's liability arising out of such information exceed the total purchase price of the TI part(s) at issue in this document sold by TI to Customer on an annual basis.

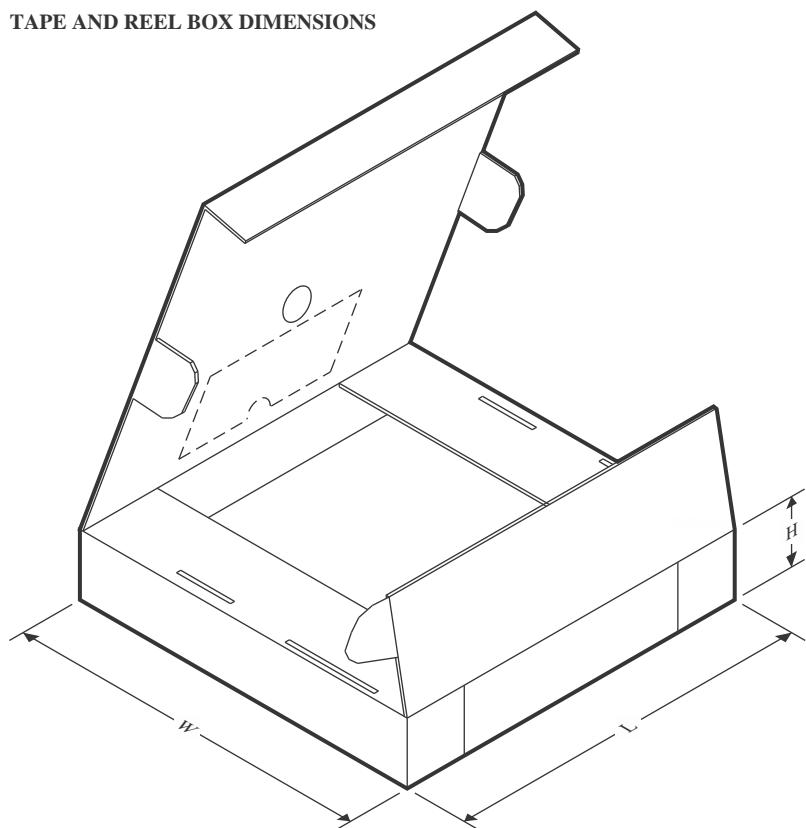
TAPE AND REEL INFORMATION

A0	Dimension designed to accommodate the component width
B0	Dimension designed to accommodate the component length
K0	Dimension designed to accommodate the component thickness
W	Overall width of the carrier tape
P1	Pitch between successive cavity centers

QUADRANT ASSIGNMENTS FOR PIN 1 ORIENTATION IN TAPE

*All dimensions are nominal

Device	Package Type	Package Drawing	Pins	SPQ	Reel Diameter (mm)	Reel Width W1 (mm)	A0 (mm)	B0 (mm)	K0 (mm)	P1 (mm)	W (mm)	Pin1 Quadrant
ADS8681WRUMR	WQFN	RUM	16	3000	330.0	12.4	4.25	4.25	1.15	8.0	12.0	Q2
ADS8681WRUMT	WQFN	RUM	16	250	180.0	12.4	4.25	4.25	1.15	8.0	12.0	Q2
ADS8685WRUMR	WQFN	RUM	16	3000	330.0	12.4	4.25	4.25	1.15	8.0	12.0	Q2
ADS8689WRUMR	WQFN	RUM	16	3000	330.0	12.4	4.25	4.25	1.15	8.0	12.0	Q2

TAPE AND REEL BOX DIMENSIONS


*All dimensions are nominal

Device	Package Type	Package Drawing	Pins	SPQ	Length (mm)	Width (mm)	Height (mm)
ADS8681WRUMR	WQFN	RUM	16	3000	346.0	346.0	33.0
ADS8681WRUMT	WQFN	RUM	16	250	182.0	182.0	20.0
ADS8685WRUMR	WQFN	RUM	16	3000	346.0	346.0	33.0
ADS8689WRUMR	WQFN	RUM	16	3000	346.0	346.0	33.0

GENERIC PACKAGE VIEW

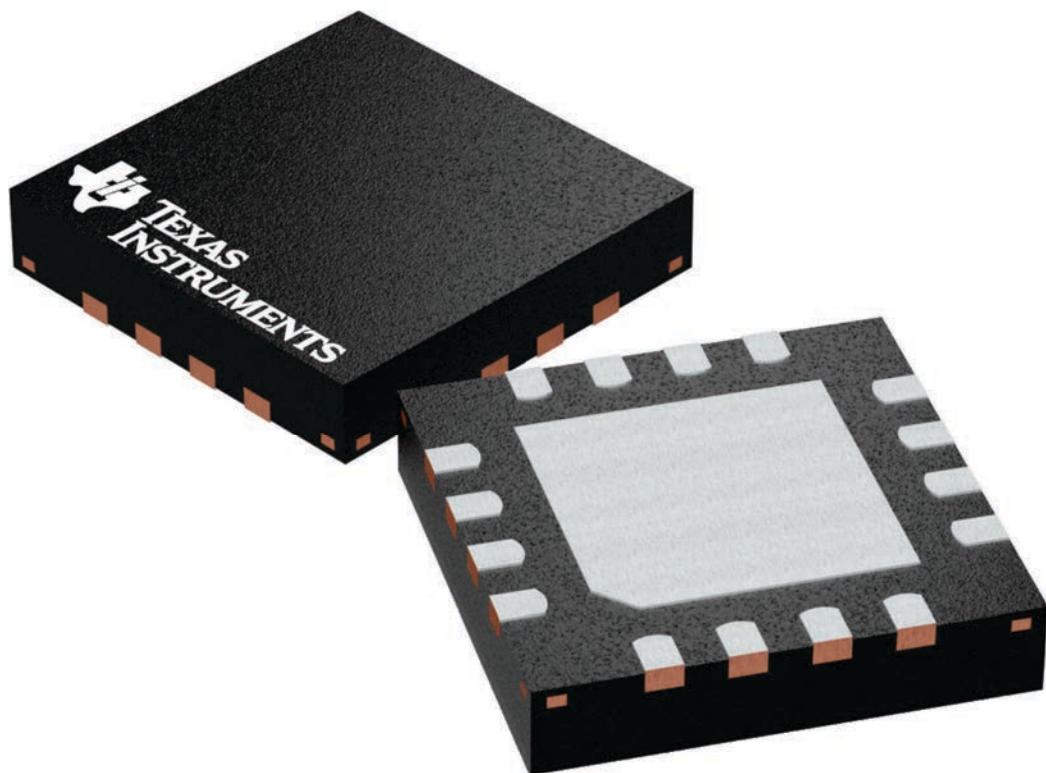
RUM 16

WQFN - 0.8 mm max height

4 x 4, 0.65 mm pitch

PLASTIC QUAD FLATPACK - NO LEAD

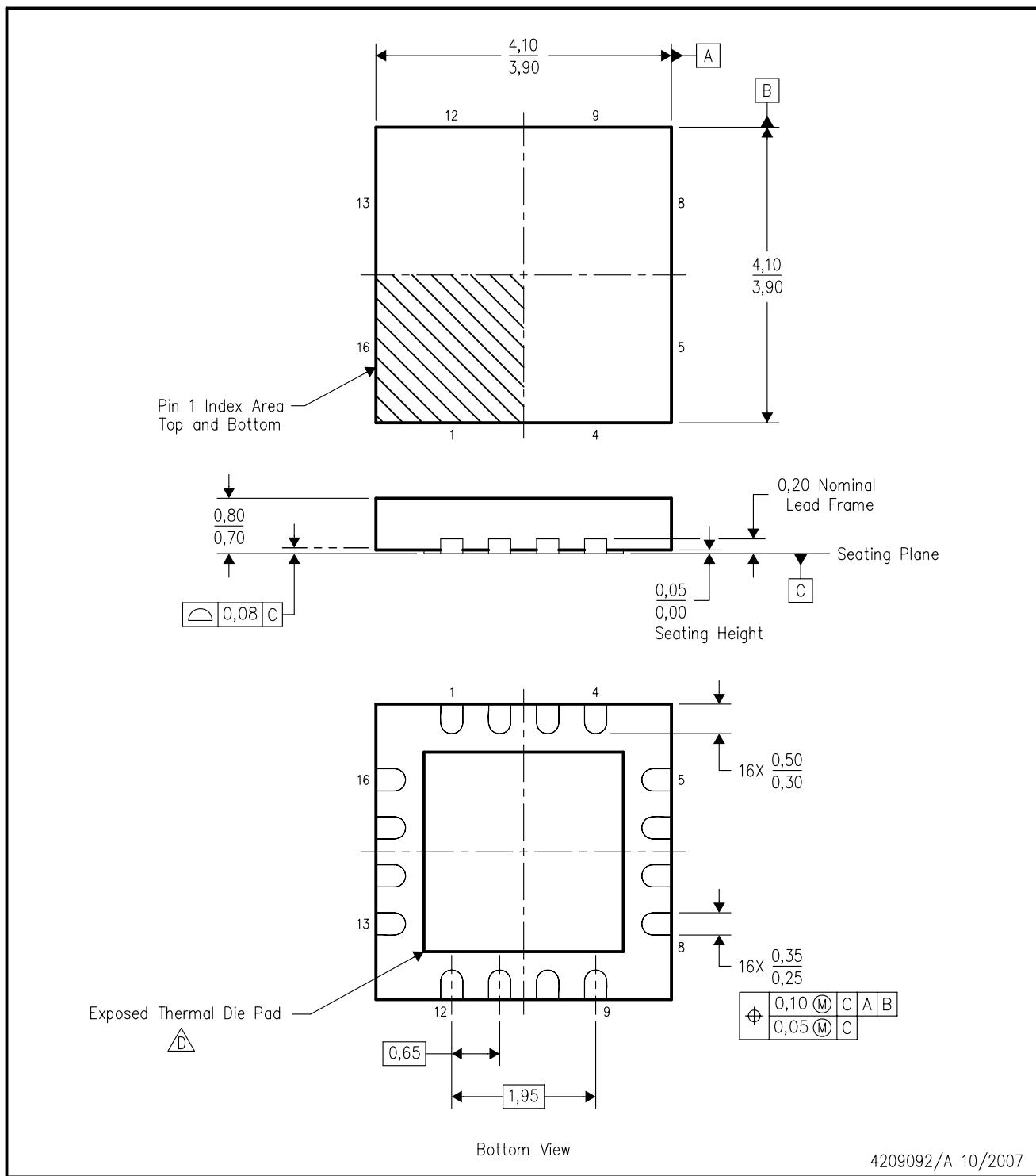
This image is a representation of the package family, actual package may vary.
Refer to the product data sheet for package details.



4224843/A

RUM (S-PQFP-N16)

PLASTIC QUAD FLATPACK



4209092/A 10/2007

NOTES: A. All linear dimensions are in millimeters. Dimensioning and tolerancing per ASME Y14.5M-1994.

B. This drawing is subject to change without notice.

C. QFN (Quad Flatpack No-Lead) package configuration.

D. The package thermal pad must be soldered to the board for thermal and mechanical performance.
See the Product Data Sheet for details regarding the exposed thermal pad dimensions.

E. Package complies to JEDEC MO-220 variation WGGC-3.

THERMAL PAD MECHANICAL DATA

RUM (S-PWQFN-N16)

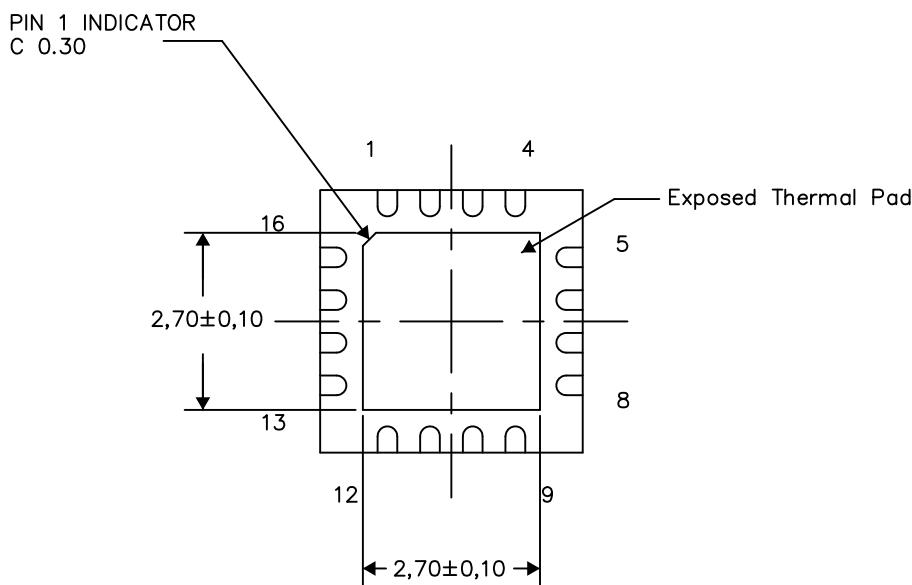
PLASTIC QUAD FLATPACK NO-LEAD

THERMAL INFORMATION

This package incorporates an exposed thermal pad that is designed to be attached directly to an external heatsink. The thermal pad must be soldered directly to the printed circuit board (PCB). After soldering, the PCB can be used as a heatsink. In addition, through the use of thermal vias, the thermal pad can be attached directly to the appropriate copper plane shown in the electrical schematic for the device, or alternatively, can be attached to a special heatsink structure designed into the PCB. This design optimizes the heat transfer from the integrated circuit (IC).

For information on the Quad Flatpack No-Lead (QFN) package and its advantages, refer to Application Report, QFN/SON PCB Attachment, Texas Instruments Literature No. SLUA271. This document is available at www.ti.com.

The exposed thermal pad dimensions for this package are shown in the following illustration.



Bottom View

Exposed Thermal Pad Dimensions

4209093-2/F 09/15

NOTES: All linear dimensions are in millimeters

重要なお知らせと免責事項

TIは、技術データと信頼性データ(データシートを含みます)、設計リソース(リファレンス デザインを含みます)、アプリケーションや設計に関する各種アドバイス、Webツール、安全性情報、その他のリソースを、欠陥が存在する可能性のある「現状のまま」提供しており、商品性および特定目的に対する適合性の默示保証、第三者の知的財産権の非侵害保証を含むいかなる保証も、明示的または默示的にかかわらず拒否します。

これらのリソースは、TI製品を使用する設計の経験を積んだ開発者への提供を意図したもので、(1)お客様のアプリケーションに適したTI製品の選定、(2)お客様のアプリケーションの設計、検証、試験、(3)お客様のアプリケーションに該当する各種規格や、その他のあらゆる安全性、セキュリティ、規制、または他の要件への確実な適合に関する責任を、お客様のみが単独で負うものとします。

上記の各種リソースは、予告なく変更される可能性があります。これらのリソースは、リソースで説明されているTI製品を使用するアプリケーションの開発の目的でのみ、TIはその使用をお客様に許諾します。これらのリソースに関して、他の目的で複製することや掲載することは禁止されています。TIや第三者の知的財産権のライセンスが付与されている訳ではありません。お客様は、これらのリソースを自身で使用した結果発生するあらゆる申し立て、損害、費用、損失、責任について、TIおよびその代理人を完全に補償するものとし、TIは一切の責任を拒否します。

TIの製品は、[TIの販売条件](#)、[TIの総合的な品質ガイドライン](#)、[ti.com](#)またはTI製品などに関連して提供される他の適用条件に従い提供されます。TIがこれらのリソースを提供することは、適用されるTIの保証または他の保証の放棄の拡大や変更を意味するものではありません。TIがカスタム、またはカスタマー仕様として明示的に指定していない限り、TIの製品は標準的なカタログに掲載される汎用機器です。

お客様がいかなる追加条項または代替条項を提案する場合も、TIはそれらに異議を唱え、拒否します。

Copyright © 2025, Texas Instruments Incorporated

最終更新日：2025年10月