



パラレル・インターフェイスとリファレンスを備えた、16ビット、1MSPS、疑似バイポーラ、完全差動入力、低消費電力サンプリングADコンバータ

特長

- サンプルング・レート：0~1MHz
- INL：±0.4LSB (標準)、±0.65LSB (最大)
- DNL：±0.3LSB (標準)、±0.5LSB (最大)
- 温度変化に対して保証された16ビットNMC
- オフセット誤差：±0.1mV
- オフセット誤差ドリフト：±0.05PPM/°C
- FSRゲイン誤差：±0.035%
- ゲイン誤差ドリフト：±0.4PPM/°C
- SNR：95dB、THD：120dB、SFDR：123dB
- ゼロ レイテンシ
- 低消費電力：225mW (1MSPS時)
- ユニポーラ差動入力範囲：V_{ref}~-V_{ref}
- オンボード・リファレンス (ドリフト：6PPM/°C)
- オンボード・リファレンス・バッファ
- 高速パラレル・インターフェイス
- 2.7V~5.25Vの幅広いデジタル電源
- 8ビット/16ビットのバス転送
- 48ピン7×7QFNパッケージ

アプリケーション

- 医療機器
- 光ネットワーク
- トランスデューサ・インターフェイス
- 高精度データ・アキュイジション・システム
- 磁力計

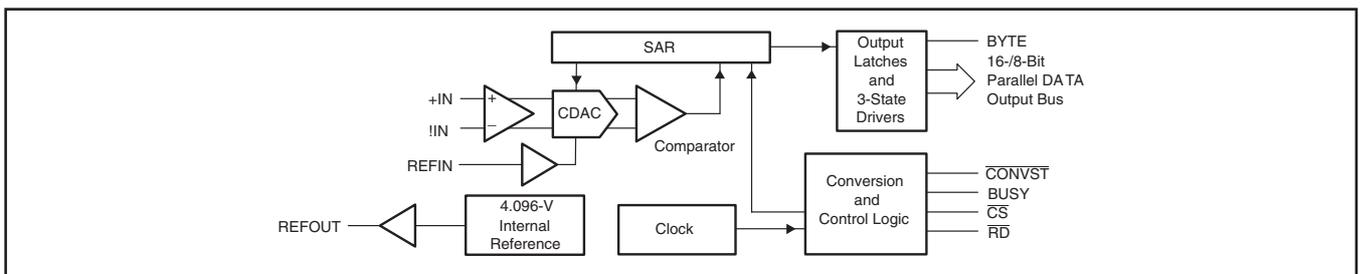
概要

ADS8472は、内部リファレンス4.096V、疑似バイポーラの完全差動入力を備えた、16ビットの1MSPS A/Cコンバータです。このデバイスには、サンプル/ホールド機能を備えた16ビットのキャパシタ・ベースのSAR ADコンバータが内蔵されています。ADS8472ではフル16ビット・インターフェイスを利用できますが、オプションとして2回の読み取りサイクルを使った8ビット・バスも使用できます。

ADS8472は48リードの7×7 QFNパッケージで提供され、工業標準温度範囲である-40°C~85°Cの温度範囲に対応しています。

高速SARコンバータ・ファミリー

TYPE/SPEED	500 kHz	~600 kHz	750 kHz	1 MHz	1.25 MHz	2 MHz	3 MHz	4 MHz
18-Bit Pseudo-Diff	ADS8383	ADS8381		ADS8481				
		ADS8380 (s)						
18-Bit Pseudo-Bipolar, Fully Diff		ADS8382 (s)		ADS8482				
16-Bit Pseudo-Diff	ADS8327	ADS8370 (s)	ADS8371	ADS8471	ADS8401	ADS8411		
	ADS8328	ADS8372 (s)			ADS8405	ADS8410 (s)		
16-Bit Pseudo-Bipolar, Fully Diff				ADS8472	ADS8402	ADS8412		ADS8422
					ADS8406	ADS8413 (s)		
14-Bit Pseudo-Diff					ADS7890 (s)		ADS7891	
12-Bit Pseudo-Diff				ADS7886		ADS7883		ADS7881



この資料は、Texas Instruments Incorporated (TI) が英文で記述した資料を、皆様のご理解の一助として頂くために日本テキサス・インスツルメンツ (日本TI) が英文から和文へ翻訳して作成したものです。資料によっては正規英語版資料の更新に対応していないものがあります。日本TIによる和文資料は、あくまでもTI正規英語版をご理解頂くための補助的参考資料としてご使用下さい。製品のご検討およびご採用にあたりましては必ず正規英語版の最新資料をご確認下さい。TIおよび日本TIは、正規英語版にて更新の情報を提供しているにもかかわらず、更新以前の情報に基づいて発生した問題や障害等につきましては如何なる責任も負いません。



静電気放電対策

これらのデバイスは、限定的な ESD (静電破壊) 保護機能を内蔵しています。保存時または取り扱い時は、MOS ゲートに対する静電破壊を防止するために、リード線どうしを短絡しておくか、デバイスを伝導性のフォームに入れる必要があります。

製品情報(1)

MODEL	MAXIMUM INTEGRAL LINEARITY (LSB)	MAXIMUM DIFFERENTIAL LINEARITY (LSB)	NO MISSING CODES RESOLUTION (BIT)	PACKAGE TYPE	PACKAGE DESIGNATOR	TEMPERATURE RANGE	ORDERING INFORMATION	TRANSPORT MEDIA QTY.
ADS8472I	±1	±0.75	16	7x7 48 Pin QFN	RGZ	-40°C to 85°C	ADS8472IRGZT	Tape and reel 250
							ADS8472IRGZR	Tape and reel 1000
ADS8472IB	±0.65	±0.5	16	7x7 48 Pin QFN	RGZ	-40°C to 85°C	ADS8472IBRGZT	Tape and reel 250
							ADS8472IBRGZR	Tape and reel 1000

(1) 最新のパッケージおよびご発注情報については、このドキュメントの巻末にある「付録：パッケージ・オプション」を参照するか、またはTIのWebサイト (www.ti.com) をご覧ください。

絶対最大定格(1)

動作温度範囲内 (特に記述のない限り)

		VALUE	単位
Voltage	+IN to AGND	-0.4 to +VA + 0.1	V
	-IN to AGND	-0.4 to +VA + 0.1	V
	+VA to AGND	-0.3 to 7	V
	+VBD to BDGND	-0.3 to 7	V
	+VA to +VBD	-0.3 to 2.55	V
Digital input voltage to BDGND		-0.3 to +VBD + 0.3	V
Digital output voltage to BDGND		-0.3 to +VBD + 0.3	V
T _A	Operating free-air temperature range	-40 to 85	°C
T _{stg}	Storage temperature range	-65 to 150	°C
Junction temperature (T _J max)		150	°C
QFN package	Power dissipation	(T _J Max - T _A)/θ _{JA}	
	θ _{JA} thermal impedance	22	°C/W
Lead temperature, soldering	Vapor phase (60 sec)	215	°C
	Infrared (15 sec)	220	°C

(1) 絶対最大定格以上のストレスは、致命的なダメージを製品に与えることがあります。これはストレスの定格のみについて示してあり、このデータシートの「推奨動作条件」に示された値を越える状態での本製品の機能動作は含まれていません。絶対最大定格の状態に長時間置くと、本製品の信頼性に影響を与えることがあります。

仕様

$T_A = -40^\circ\text{C} \sim 85^\circ\text{C}$ 、 $+V_A = 5\text{V}$ 、 $+V_{BD} = 3\text{V}$ または 5V 、 $V_{ref} = 4.096\text{V}$ 、 $f_{SAMPLE} = 1\text{MSPS}$ (特に指定のない限り)

パラメータ	テスト条件	MIN	TYP	MAX	単位	
ANALOG INPUT						
Full-scale input voltage ⁽¹⁾	+IN – (–IN)	$-V_{ref}$		V_{ref}	V	
Absolute input voltage	+IN	–0.2		$V_{ref} + 0.2$	V	
	–IN	–0.2		$V_{ref} + 0.2$		
Common-mode input range		$(V_{ref})/2 - 0.2$	$(V_{ref})/2$	$(V_{ref})/2 + 0.2$	V	
Input capacitance			65		pF	
Input leakage current			1		nA	
SYSTEM PERFORMANCE						
Resolution			16		Bits	
No missing codes	ADS8472I		16		Bits	
	ADS8472IB		16			
Integral linearity ⁽²⁾	ADS8472I	–1	± 0.4	1	LSB (16 bit) ⁽³⁾	
	ADS8472IB	–0.65	± 0.4	0.65		
Differential linearity	ADS8472I	–0.75	± 0.3	0.75	LSB (16 bit)	
	ADS8472IB	–0.5	± 0.3	0.5		
Offset error ⁽⁴⁾	ADS8472I	–0.5	± 0.1	0.5	mV	
	ADS8472IB	–0.5	± 0.1	0.5		
Offset error temperature drift	ADS8472I		± 0.05		ppm/°C	
	ADS8472IB		± 0.05			
Gain error ⁽⁴⁾⁽⁵⁾	ADS8472I	$V_{ref} = 4.096\text{ V}$	–0.1	± 0.035	0.1	%FS
	ADS8472IB	$V_{ref} = 4.096\text{ V}$	–0.1	± 0.035	0.1	%FS
Gain error temperature drift	ADS8472I		± 0.4		ppm/°C	
	ADS8472IB		± 0.4			
Common-mode rejection ratio		At dc ($\pm 0.2\text{ V}$ around $V_{ref}/2$)		65	dB	
		+IN – (–IN) = 1 Vpp at 1 MHz		55		
Noise			25		$\mu\text{V RMS}$	
Power supply rejection ratio		At 1FFFFh output code		60	dB	
SAMPLING DYNAMICS						
Conversion time			625	650	ns	
Acquisition time		320	350		ns	
Throughput rate				1	MHz	
Aperture delay			4		ns	
Aperture jitter			5		ps	
Step response			150		ns	
Over voltage recovery			150		ns	

(1) ゲイン誤差またはオフセット誤差を含まない、理想的な入力スパンです。

(2) これはエンドポイントINLであり、最適な値ではありません。

(3) LSBは、最下位ビットを意味します。

(4) 理想的なフルスケール入力 [+IN – (–IN)] である8.192Vを基準にした値です。

(5) この仕様には内部リファレンス電圧の誤差およびドリフトは含まれていません。

仕様

$T_A = -40^{\circ}\text{C} \sim 85^{\circ}\text{C}$ 、 $+VA = 5\text{V}$ 、 $+VBD = 3\text{V}$ または 5V 、 $V_{\text{ref}} = 4.096\text{V}$ 、 $f_{\text{SAMPLE}} = 1\text{MSPS}$ (特に指定のない限り)

パラメータ		テスト条件	MIN	TYP	MAX	単位
DYNAMIC CHARACTERISTICS						
Total harmonic distortion (THD) ⁽¹⁾	ADS8472I	$V_{\text{IN}} = 8 V_{\text{pp}}$ at 2 kHz	-120		dB	
	ADS8472IB		-121			
	ADS8472I	$V_{\text{IN}} = 8 V_{\text{pp}}$ at 20 kHz	-105			
	ADS8472IB		-110			
	ADS8472I	$V_{\text{IN}} = 8 V_{\text{pp}}$ at 100 kHz	-100			
	ADS8472IB		-103			
Signal to noise ratio (SNR) ⁽¹⁾	ADS8472I	$V_{\text{IN}} = 8 V_{\text{pp}}$ at 2 kHz	94	95.1	dB	
	ADS8472IB		94	95.3		
	ADS8472I	$V_{\text{IN}} = 8 V_{\text{pp}}$ at 20 kHz	95			
	ADS8472IB		95.1			
	ADS8472I	$V_{\text{IN}} = 8 V_{\text{pp}}$ at 100 kHz	93			
	ADS8472IB		94.5			
Signal to noise + distortion (SINAD) ⁽¹⁾	ADS8472I	$V_{\text{IN}} = 8 V_{\text{pp}}$ at 2 kHz	94	95	dB	
	ADS8472IB		94	95.2		
	ADS8472I	$V_{\text{IN}} = 8 V_{\text{pp}}$ at 20 kHz	94.5			
	ADS8472IB		95			
	ADS8472I	$V_{\text{IN}} = 8 V_{\text{pp}}$ at 100 kHz	92			
	ADS8472IB		94			
Spurious free dynamic range (SFDR) ⁽¹⁾	ADS8472I	$V_{\text{IN}} = 8 V_{\text{pp}}$ at 2 kHz	120		dB	
	ADS8472IB		123			
	ADS8472I	$V_{\text{IN}} = 8 V_{\text{pp}}$ at 20 kHz	107			
	ADS8472IB		113			
	ADS8472I	$V_{\text{IN}} = 8 V_{\text{pp}}$ at 100 kHz	102			
	ADS8472IB		105			
-3dB Small signal bandwidth			15		MHz	

(1) 入力周波数の最初の9個の高調波に基づいて計算されました。

仕様

$T_A = -40^{\circ}\text{C} \sim 85^{\circ}\text{C}$ 、 $+VA = 5\text{V}$ 、 $+VBD = 3\text{V}$ または 5V 、 $V_{\text{ref}} = 4.096\text{V}$ 、 $f_{\text{SAMPLE}} = 1\text{MSPS}$ (特に指定のない限り)

パラメータ	テスト条件	MIN	TYP	MAX	単位	
VOLTAGE REFERENCE INPUT						
Reference voltage at REFIN, V_{ref}		3.0	4.096	+VA - 0.8	V	
Reference resistance ⁽¹⁾			500		k Ω	
Reference current drain	$f_s = 1\text{ MHz}$			1	mA	
INTERNAL REFERENCE OUTPUT						
Internal reference start-up time	From 95% (+VA), with 1- μF storage capacitor			120	ms	
Reference voltage range, V_{ref}	$I_O = 0$	4.081	4.096	4.111	V	
Source current	Static load			10	μA	
Line regulation	+VA = 4.75 V ~ 5.25 V		60		μV	
Drift	$I_O = 0$		± 6		PPM/ $^{\circ}\text{C}$	
DIGITAL INPUT/OUTPUT						
Logic family –CMOS						
Logic level	V_{IH}	$I_{\text{IH}} = 5\ \mu\text{A}$	+VBD - 1	+VBD + 0.3	V	
	V_{IL}	$I_{\text{IL}} = 5\ \mu\text{A}$	-0.3	0.8		
	V_{OH}	$I_{\text{OH}} = 2\ \text{TTL loads}$	+VBD - 0.6			
	V_{OL}	$I_{\text{OL}} = 2\ \text{TTL loads}$				
Data format – Straight Binary						
POWER SUPPLY REQUIREMENTS						
Power supply voltage	+VBD		2.7	3.3	5.25	V
	+VA		4.75	5	5.25	V
Supply current ⁽²⁾	$f_s = 1\ \text{MHz}$		45	50	mA	
Power dissipation ⁽²⁾	$f_s = 1\ \text{MHz}$		225	250	mW	
TEMPERATURE RANGE						
Operating free-air			-40		85	$^{\circ}\text{C}$

(1) $\pm 20\%$ の範囲で変動します。

(2) これには+VA電流のみが含まれます。すべての出力ピンの負荷容量が5pFの場合、+VBD電流は標準で1mAになります。

タイミング特性

すべての仕様は、 $-40^{\circ}\text{C} \sim 85^{\circ}\text{C}$ 、 $+V_A = +V_{BD} = 5\text{V}$ における標準値⁽¹⁾⁽²⁾⁽³⁾

パラメータ		MIN	TYP	MAX	単位
$t_{(\text{CONV})}$	Conversion time		625	650	ns
$t_{(\text{ACQ})}$	Acquisition time	320	350		ns
$t_{(\text{HOLD})}$	Sample capacitor hold time			25	ns
t_{pd1}	$\overline{\text{CONVST}}$ low to BUSY high			40	ns
t_{pd2}	Propagation delay time, end of conversion to BUSY low			15	ns
t_{pd3}	Propagation delay time, start of convert state to rising edge of BUSY			15	ns
t_{w1}	Pulse duration, $\overline{\text{CONVST}}$ low	40			ns
t_{su1}	Setup time, $\overline{\text{CS}}$ low to $\overline{\text{CONVST}}$ low	20			ns
t_{w2}	Pulse duration, $\overline{\text{CONVST}}$ high	20			ns
	$\overline{\text{CONVST}}$ falling edge jitter			10	ps
t_{w3}	Pulse duration, BUSY signal low	$t_{(\text{ACQ})\text{min}}$			ns
t_{w4}	Pulse duration, BUSY signal high			650	ns
t_{h1}	Hold time, first data bus transition ($\overline{\text{RD}}$ low, or $\overline{\text{CS}}$ low for read cycle, or BYTE inputchanges) after $\overline{\text{CONVST}}$ low	40			ns
t_{d1}	Delay time, $\overline{\text{CS}}$ low to $\overline{\text{RD}}$ low	0			ns
t_{su2}	Setup time, $\overline{\text{RD}}$ high to $\overline{\text{CS}}$ high	0			ns
t_{w5}	Pulse duration, $\overline{\text{RD}}$ low	50			ns
t_{en}	Enable time, $\overline{\text{RD}}$ low (or $\overline{\text{CS}}$ low for read cycle) to data valid			20	ns
t_{d2}	Delay time, data hold from $\overline{\text{RD}}$ high	5			ns
t_{d3}	Delay time, BYTE rising edge or falling edge to data valid	10		20	ns
t_{w6}	Pulse duration, $\overline{\text{RD}}$ high	20			ns
t_{w7}	Pulse duration, $\overline{\text{CS}}$ high	20			ns
t_{h2}	Hold time, last $\overline{\text{RD}}$ (or $\overline{\text{CS}}$ for read cycle) rising edge to $\overline{\text{CONVST}}$ falling edge	50			ns
t_{pd4}	Propagation delay time, BUSY falling edge to next $\overline{\text{RD}}$ (or $\overline{\text{CS}}$ for read cycle) falling edge	0			ns
t_{d4}	Delay time, BYTE edge to edge skew	0			ns
t_{su3}	Setup time, BYTE transition to $\overline{\text{RD}}$ falling edge	10			ns
t_{h3}	Hold time, BYTE transition to $\overline{\text{RD}}$ falling edge	10			ns
t_{dis}	Disable time, $\overline{\text{RD}}$ high ($\overline{\text{CS}}$ high for read cycle) to 3-stated data bus			20	ns
t_{d5}	Delay time, BUSY low to MSB data valid delay			0	ns
t_{d6}	Delay time, $\overline{\text{CS}}$ rising edge to BUSY falling edge	50			ns
t_{d7}	Delay time, BUSY falling edge to $\overline{\text{CS}}$ rising edge	50			ns
t_{su5}	BYTE transition setup time, from BYTE transition to next BYTE transition.	50			ns
$t_{\text{su(ABORT)}}$	Setup time from the falling edge of $\overline{\text{CONVST}}$ (used to start the valid conversion) to the next falling edge of $\overline{\text{CONVST}}$ (when $\text{CS} = 0$ and $\overline{\text{CONVST}}$ are used to abort) or to the next falling edge of $\overline{\text{CS}}$ (when $\overline{\text{CS}}$ is used to abort).	60		550	ns

(1) すべての入力信号は、 $t_r = t_f = 5\text{ns}$ ($+V_{BD}$ の10%~90%)で指定され、電圧レベル ($V_{IL} + V_{IH}$)/2を基準にタイミング設定されます。

(2) タイミング図を参照してください。

(3) タイミングはすべて、全データ・ビットおよびBUSYピンに20pF相当の負荷がある状態で計測されたものです。

タイミング特性

すべての仕様は、 $-40^{\circ}\text{C} \sim 85^{\circ}\text{C}$ 、 $+VA = 5V + VBD = 3V$ における標準値⁽¹⁾⁽²⁾⁽³⁾

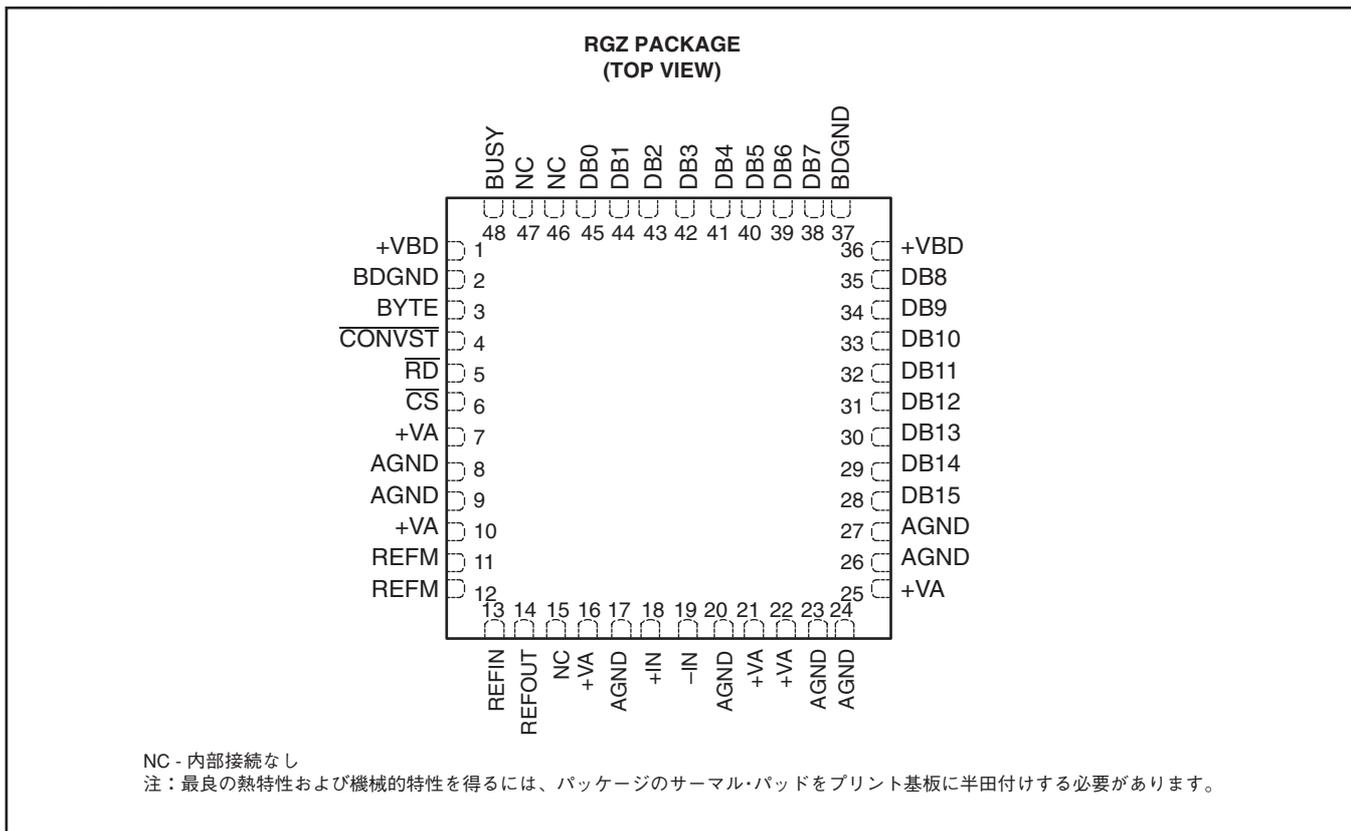
パラメータ		MIN	TYP	MAX	単位
$t_{\text{(CONV)}}$	Conversion time		625	650	ns
$t_{\text{(ACQ)}}$	Acquisition time	320	350		ns
$t_{\text{(HOLD)}}$	Sample capacitor hold time			25	ns
t_{pd1}	$\overline{\text{CONVST}}$ low to BUSY high			40	ns
t_{pd2}	Propagation delay time, end of conversion to BUSY low			25	ns
t_{pd3}	Propagation delay time, start of convert state to rising edge of BUSY			25	ns
t_{w1}	Pulse duration, $\overline{\text{CONVST}}$ low	40			ns
t_{su1}	Setup time, $\overline{\text{CS}}$ low to $\overline{\text{CONVST}}$ low	20			ns
t_{w2}	Pulse duration, CONVST high	20			ns
	$\overline{\text{CONVST}}$ falling edge jitter			10	ps
t_{w3}	Pulse duration, BUSY signal low	$t_{\text{(ACQ)min}}$			ns
t_{w4}	Pulse duration, BUSY signal high			650	ns
t_{h1}	Hold time, first data bus transition ($\overline{\text{RD}}$ low, or $\overline{\text{CS}}$ low for read cycle, or BYTE input changes) after $\overline{\text{CONVST}}$ low	40			ns
t_{d1}	Delay time, $\overline{\text{CS}}$ low to $\overline{\text{RD}}$ low	0			ns
t_{su2}	Setup time, $\overline{\text{RD}}$ high to $\overline{\text{CS}}$ high	0			ns
t_{w5}	Pulse duration, $\overline{\text{RD}}$ low	50			ns
t_{en}	Enable time, $\overline{\text{RD}}$ low (or $\overline{\text{CS}}$ low for read cycle) to data valid			30	ns
t_{d2}	Delay time, data hold from $\overline{\text{RD}}$ high	5			ns
t_{d3}	Delay time, BYTE rising edge or falling edge to data valid	10		30	ns
t_{w6}	Pulse duration, $\overline{\text{RD}}$ high	20			ns
t_{w7}	Pulse duration, $\overline{\text{CS}}$ high	20			ns
t_{h2}	Hold time, last $\overline{\text{RD}}$ (or $\overline{\text{CS}}$ for read cycle) rising edge to $\overline{\text{CONVST}}$ falling edge	50			ns
t_{pd4}	Propagation delay time, BUSY falling edge to next $\overline{\text{RD}}$ (or $\overline{\text{CS}}$ for read cycle) falling edge	0			ns
t_{d4}	Delay time, BYTE edge to edge skew	0			ns
t_{su3}	Setup time, BYTE transition to $\overline{\text{RD}}$ falling edge	10			ns
t_{h3}	Hold time, BYTE transition to $\overline{\text{RD}}$ falling edge	10			ns
t_{dis}	Disable time, $\overline{\text{RD}}$ high ($\overline{\text{CS}}$ high for read cycle) to 3-stated data bus			30	ns
t_{d5}	Delay time, BUSY low to MSB data valid delay			0	ns
t_{d6}	Delay time, $\overline{\text{CS}}$ rising edge to BUSY falling edge	50			ns
t_{d7}	Delay time, BUSY falling edge to $\overline{\text{CS}}$ rising edge	50			ns
t_{su5}	BYTE transition setup time, from BYTE transition to next BYTE transition.	50			ns
$t_{\text{su(ABORT)}}$	Setup time from the falling edge of $\overline{\text{CONVST}}$ (used to start the valid conversion) to the next falling edge of $\overline{\text{CONVST}}$ (when $\text{CS} = 0$ and $\overline{\text{CONVST}}$ are used to abort) or to the next falling edge of $\overline{\text{CS}}$ (when $\overline{\text{CS}}$ is used to abort).	70		550	ns

(1) すべての入力信号は、 $t_r = t_f = 5\text{ns}$ ($+VBD$ の10%~90%)で指定され、電圧レベル ($V_{\text{IL}} + V_{\text{IH}}$)/2を基準にタイミング設定されます。

(2) タイミング図を参照してください。

(3) タイミングはすべて、全データ・ビットおよびBUSYピンに20pF相当の負荷がある状態で計測されたものです。

ピン配置



端子機能

NAME	NO	I/O	概要		
AGND	8, 9, 17, 20, 23, 24, 26, 27	-	アナログ・グランド		
BDGND	2, 37	-	バス・インターフェイスのデジタル入力のためのデジタル・グランド		
BUSY	48	O	ステータス出力。変換の実行中は“High”になります。		
BYTE	3	I	バイト選択入力。8ビットのバス読み取りに使用されます。 0：フォールド・バックなし 1：上位16ビットの低位バイトD [9:2] が、上位16ビットの上位バイトDB [17:10] にフォールド・バックされます。		
CONVST	4	I	変換開始。この入力の立ち下がりがエッジで、アキュイジション期間が終了し、保持期間が開始されます。		
CS	6	I	チップ選択。この入力の立ち下がりがエッジで、アキュイジション期間が開始されます。		
Data Bus			8-BIT BUS		16-BIT BUS
			BYTE = 0	BYTE = 1	BYTE = 0
DB15	28	O	D15 (MSB)	D7	D15 (MSB)
DB14	29	O	D14	D6	D14
DB13	30	O	D13	D5	D13
DB12	31	O	D12	D4	D12
DB11	32	O	D11	D3	D11
DB10	33	O	D10	D2	D10
DB9	34	O	D9	All ones	D9
DB8	35	O	D8	All ones	D8
DB7	38	O	D7	All ones	D7
DB6	39	O	D6	All ones	D6
DB5	40	O	D5	All ones	D5
DB4	41	O	D4	All ones	D4
DB3	42	O	D3	All ones	D3

端子機能

NAME	NO	I/O	概要		
DB2	43	O	D2	All ones	D2
DB1	44	O	D1	All ones	D1
DB0	45	O	D0 (LSB)	All ones	D0 (LSB)
-IN	19	I	反転入力チャンネル		
+IN	18	I	非反転入力チャンネル		
NC	15, 46, 47		接続なし		
REFIN	13	I	リファレンス入力		
REFOUT	14	O	リファレンス出力。内部リファレンスを使用する場合、REFOUTピンとREFMピンの間に1 μ Fのキャパシタを追加します。		
REFM	11, 12	I	リファレンス・グランド		
\overline{RD}	5	I	パラレル出力の同期パルス。 \overline{CS} が“Low”の場合、これは出力イネーブルとして機能し、直前の変換結果をバスに出力します。		
+VA	7, 10, 16, 21, 22, 25	-	アナログ電源、5V DC		
+VBD	1, 36	-	バスのデジタル電源		

代表的特性

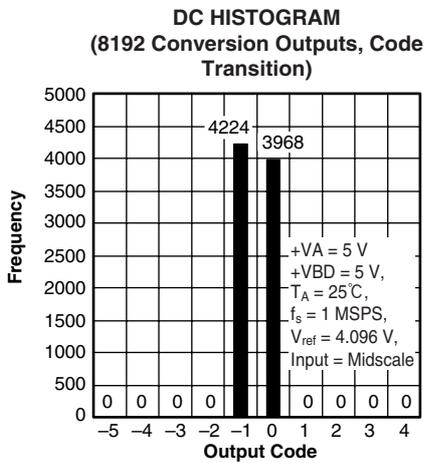


図1

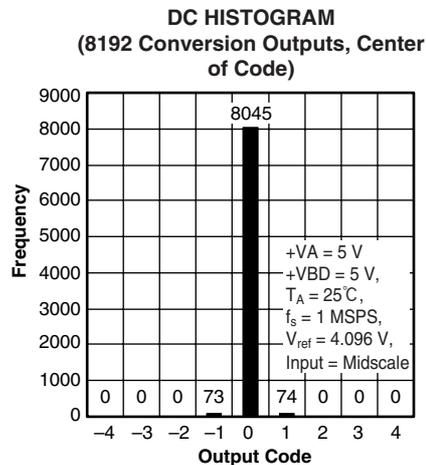


図2

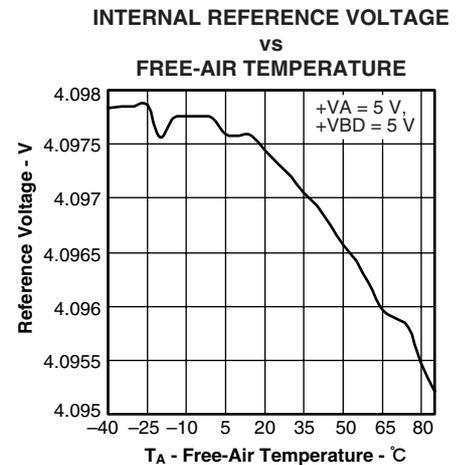


図3

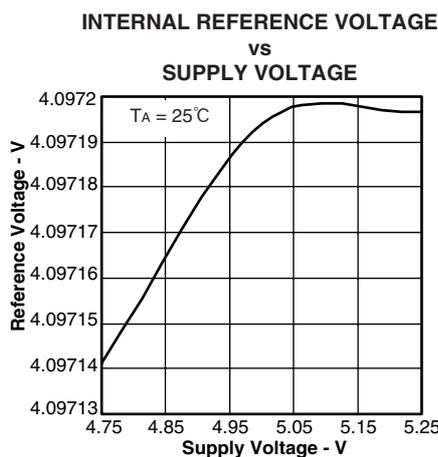


図4

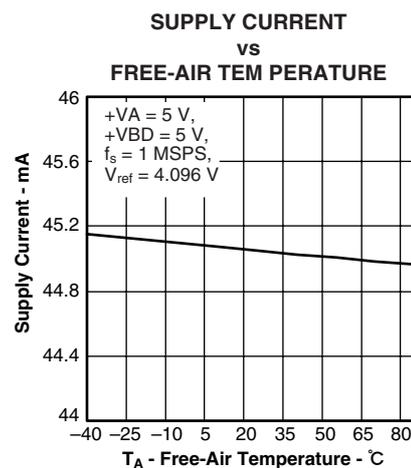


図5

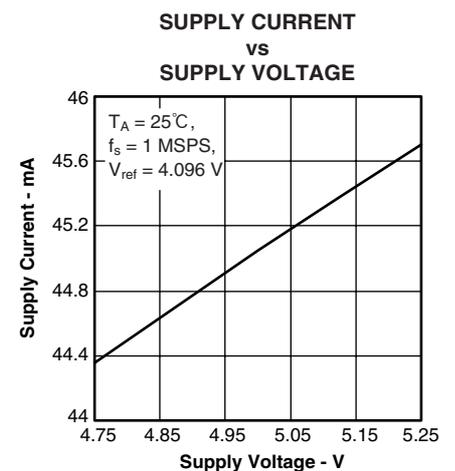


図6

代表的特性

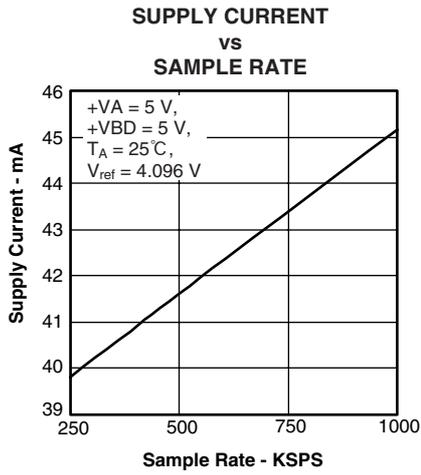


図7

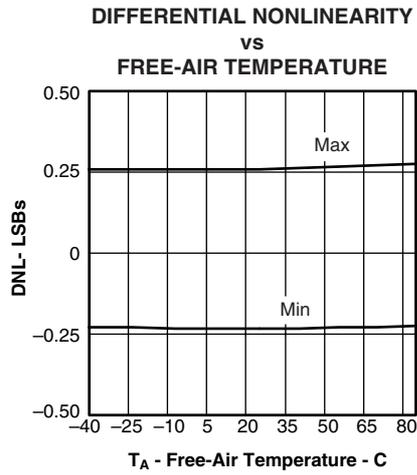


図8

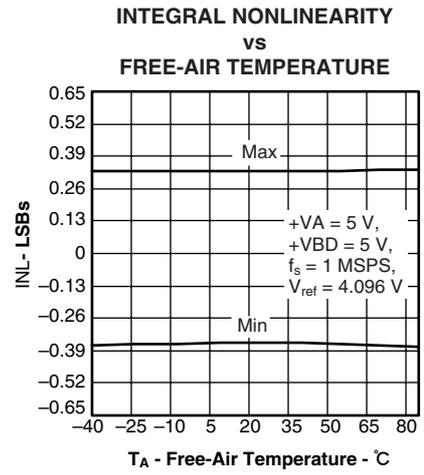


図9

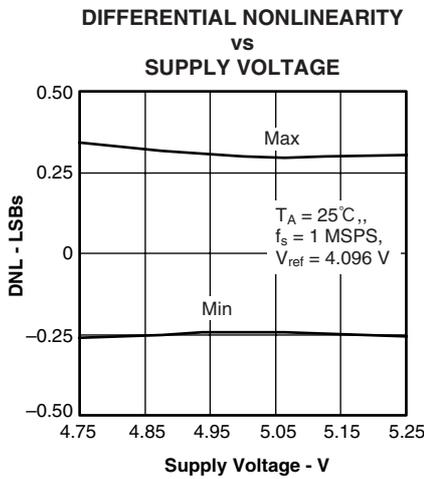


図10

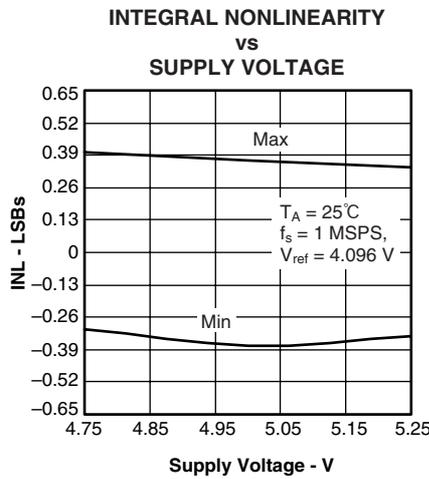


図11

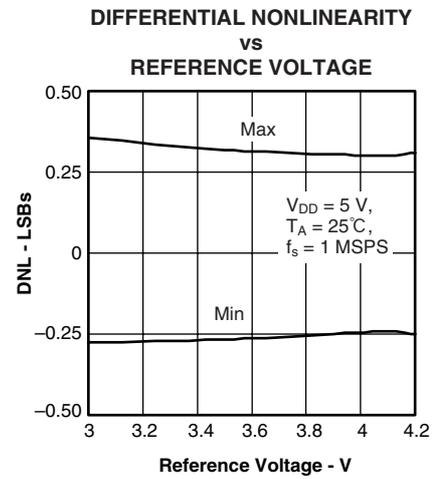


図12

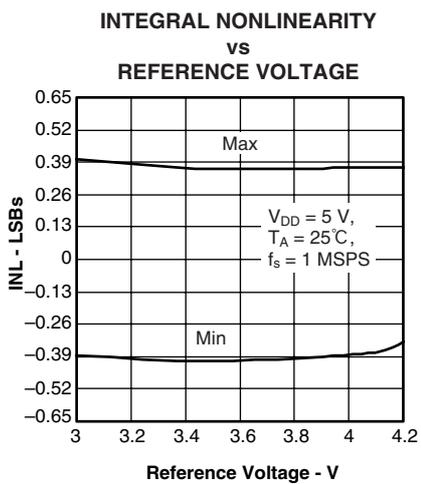


図13

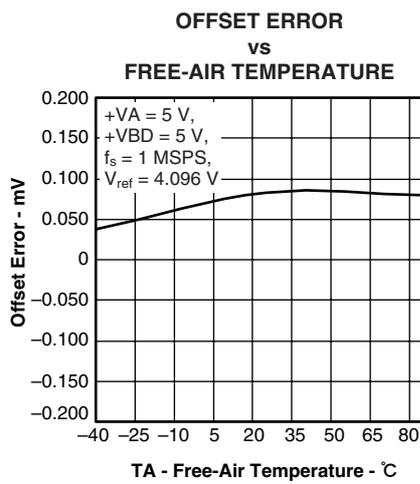


図14

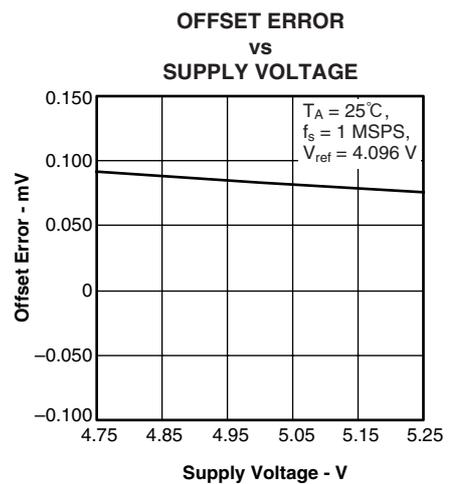


図15

代表的特性

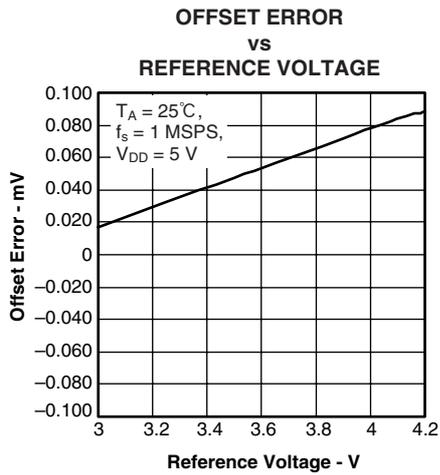


图16

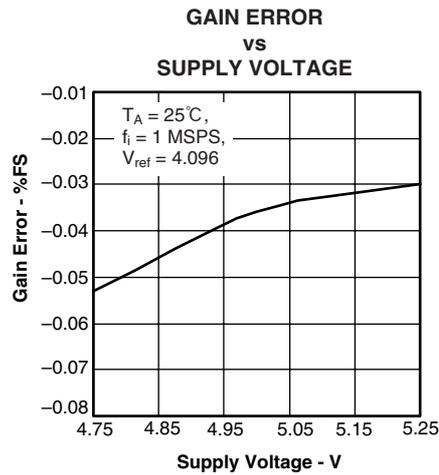


图17

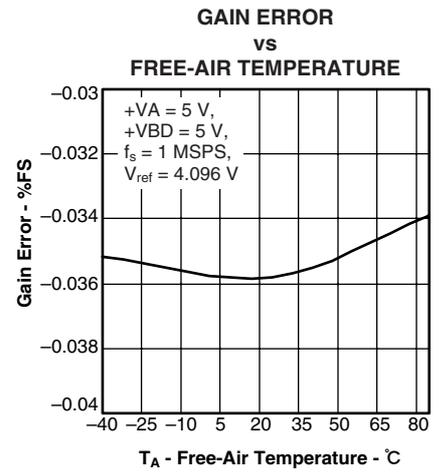


图18

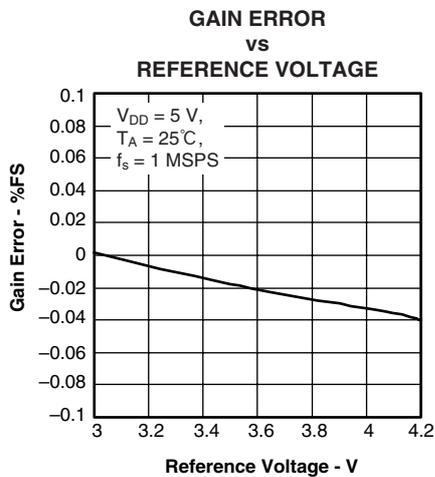


图19

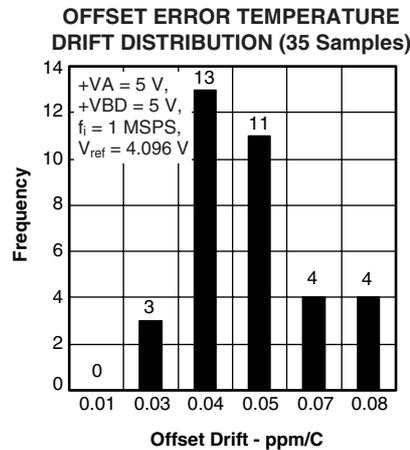


图20

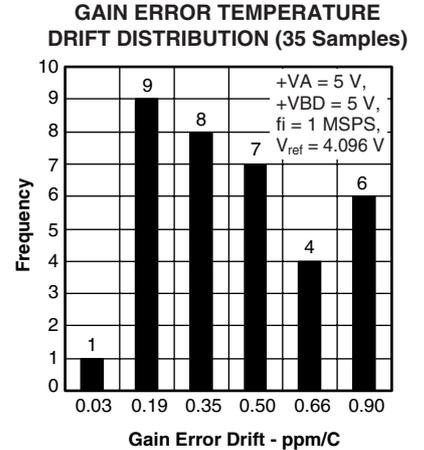


图21

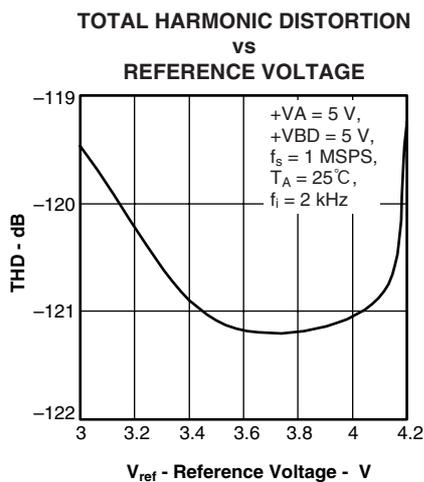


图22

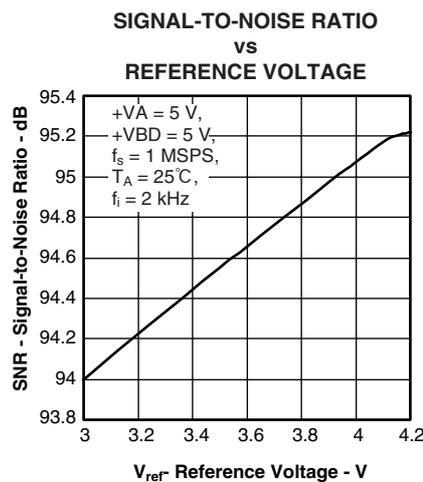


图23

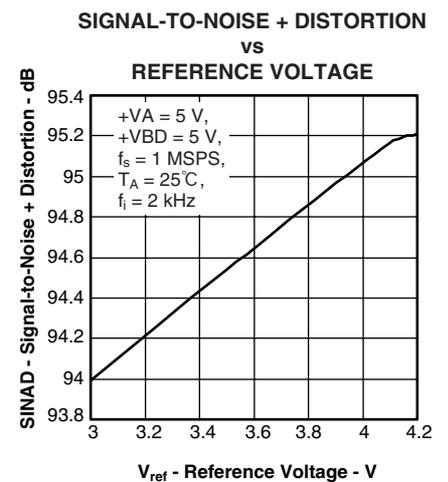


图24

代表的特性

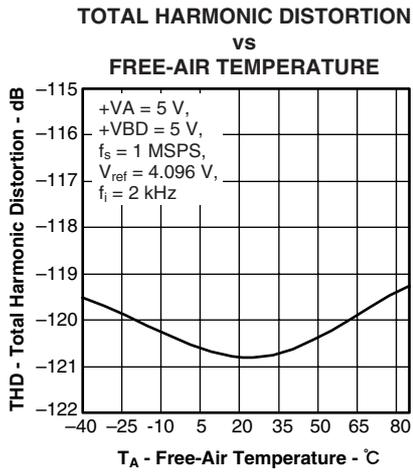


図25

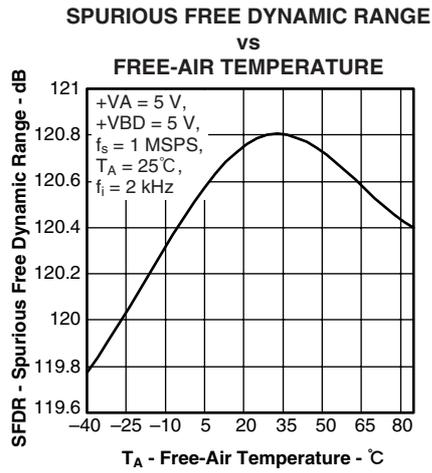


図26

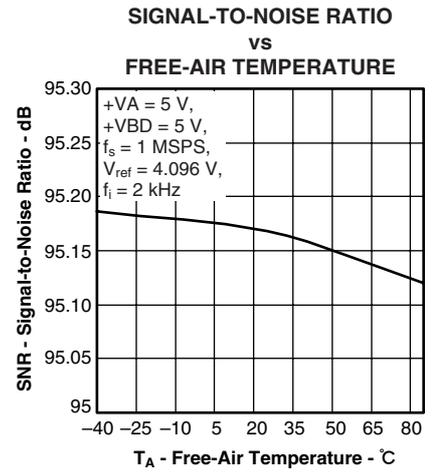


図27

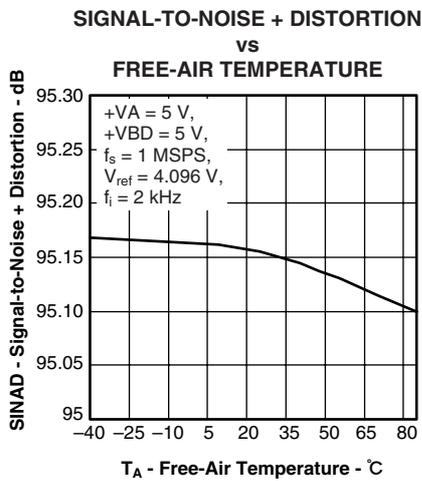


図28

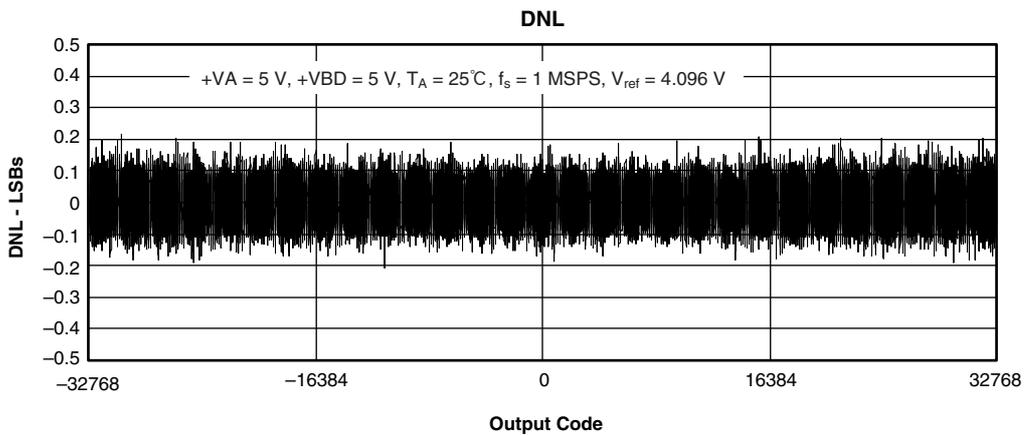


図29

代表的特性

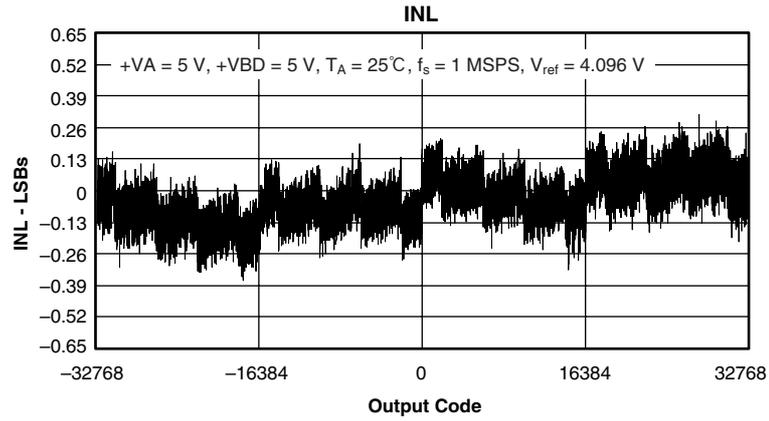


图30

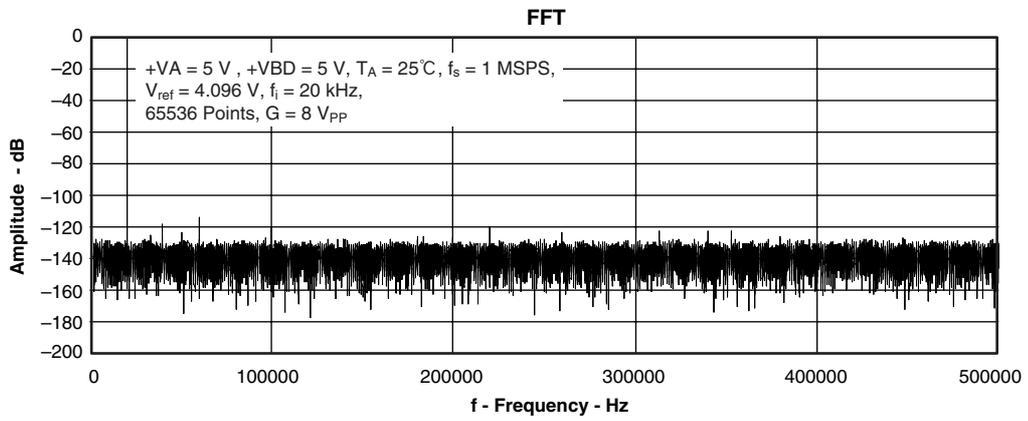


图30

代表的特性
タイミング図

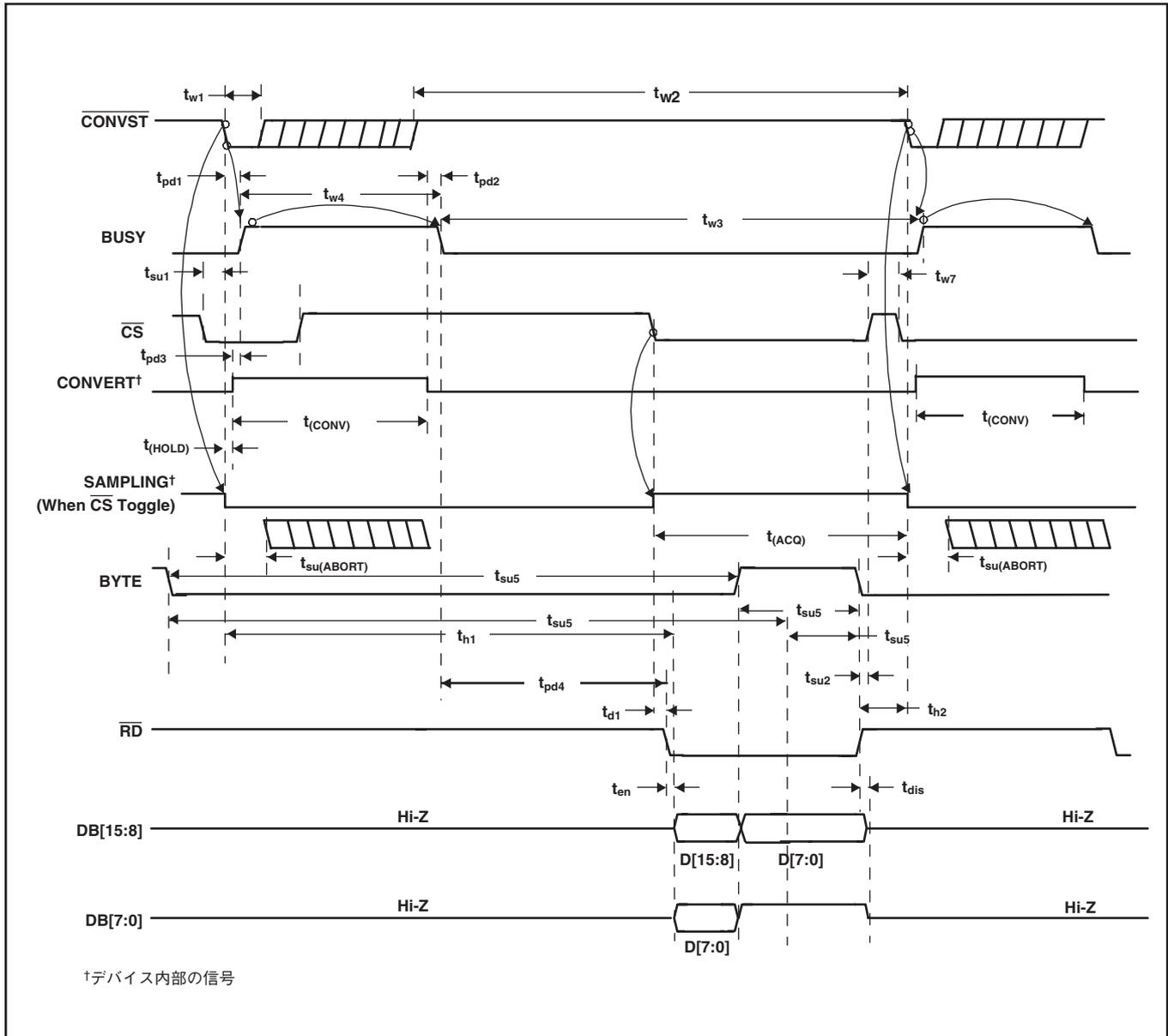


図32. \overline{CS} と \overline{RD} の切り替えによる変換サイクルおよびアキュイジション・サイクルのタイミング

代表的特性

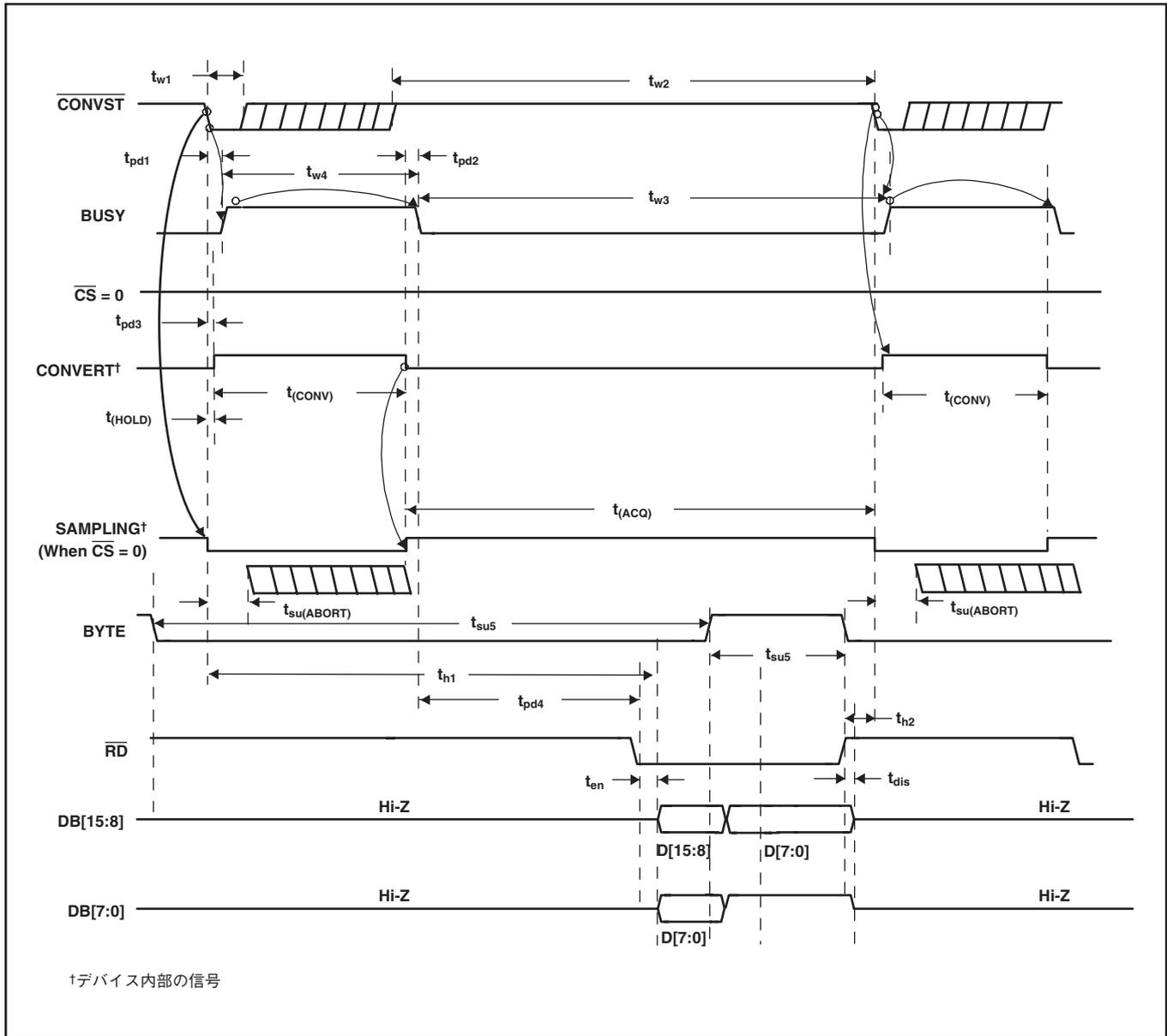


図34. \overline{CS} をBDGNDに固定し、 \overline{RD} を切り替えるときの変換サイクルおよびアキュイジション・サイクルのタイミング

代表的特性

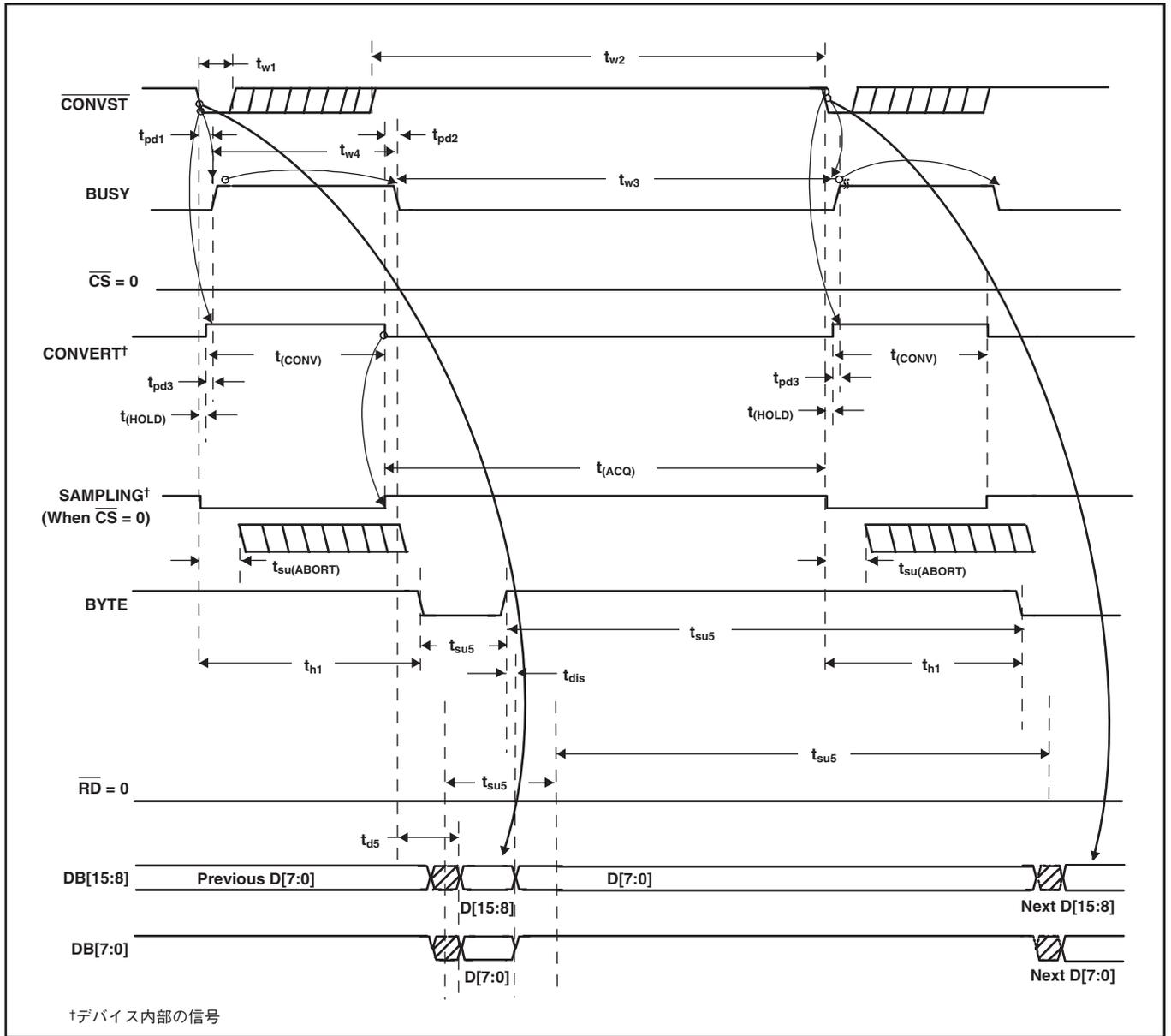


図35. \overline{CS} と \overline{RD} をBDGNDに固定するとき(自動読み取り)の変換サイクルおよびアキュイジション・サイクルのタイミング

代表的特性

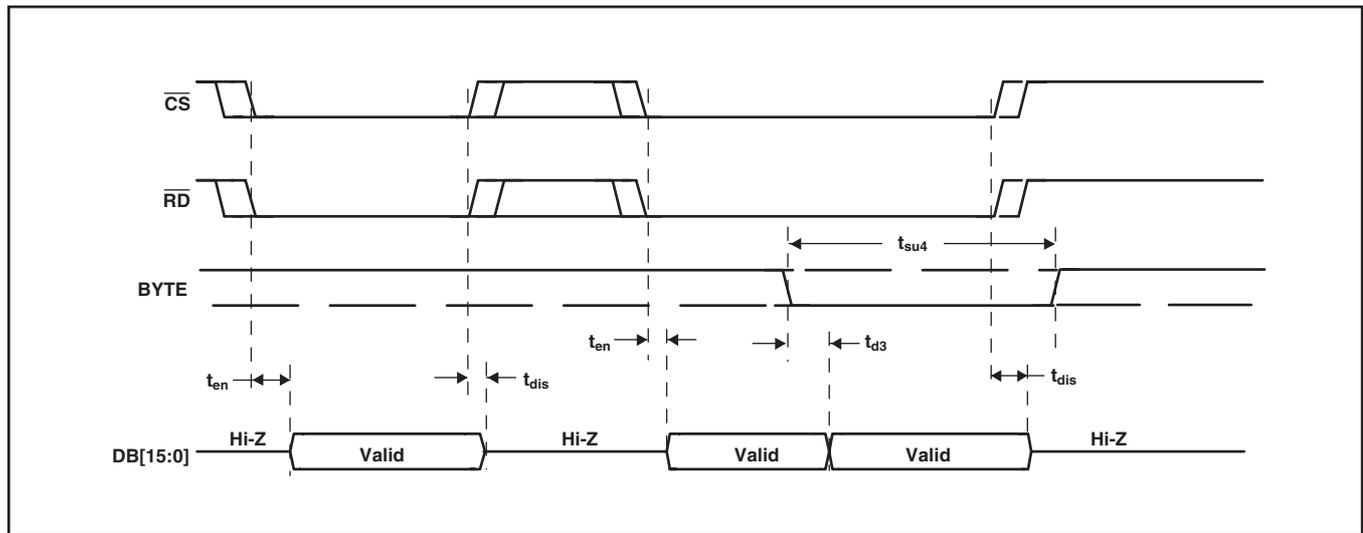


図36. 読み取りサイクルの詳細なタイミング

アプリケーション情報

高性能DSPインターフェイスを実現する ADS8472

図37に、フル16ビット・バスを使用してADS8472をTIの高性能DSP（ここではTMS320C6713）に接続したときのパラレル・インターフェイスを示します。ADS8472はTMS320C6713 DSPの $\overline{CE2}$ メモリ空間に割り当てられます。読み取り信号とリセット信号は3対8のデコーダを使用して生成されます。アドレス0xA000C000から読み取り処理が実行されると、データ・コンバータの \overline{RD} ピンにパルスが生成されます。一方で、ワード・アドレス0xA0014000から読み取り処理が実行されると、

$\overline{RESET}/\overline{PD1}$ ピンにパルスが生成されます。DSPの $\overline{CE2}$ 信号は、コンバータのCS（チップ選択）として機能します。TMS320C6713は32ビットの外部メモリ・インターフェイスを備えているため、コンバータのBYTE入力を永続的に“ロー”に固定することで、データ・バスのフォールド・バックを無効にできます。ADS8472のBUSY信号がDSPの割り込み入力である $\overline{EXT_INT6}$ に印加されると、EDMAコントローラはこの信号の立ち下がりエッジにตอบสนองして、変換結果を収集します。TMS320C6713のTOUT1（タイマ出力1）ピンを使用して、コンバータの \overline{CONVST} 信号を読み取ります。

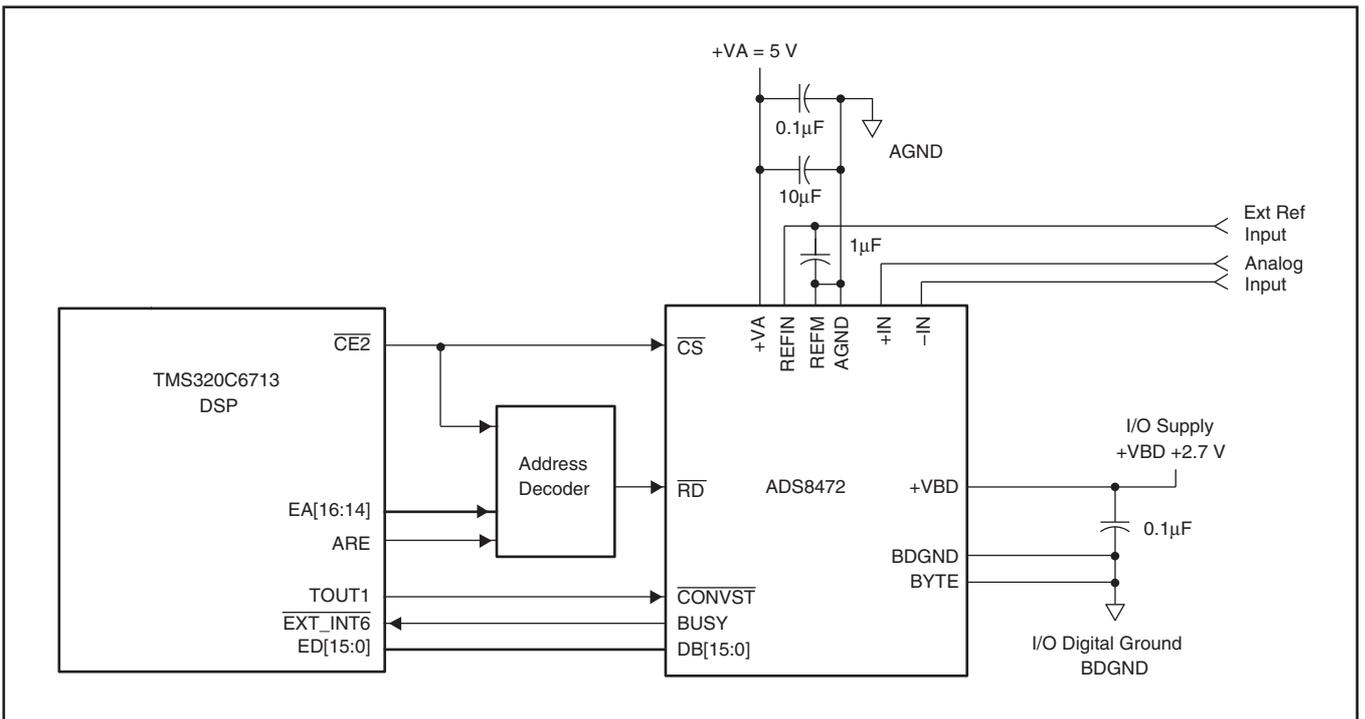


図37. ADS8472のアプリケーション回路

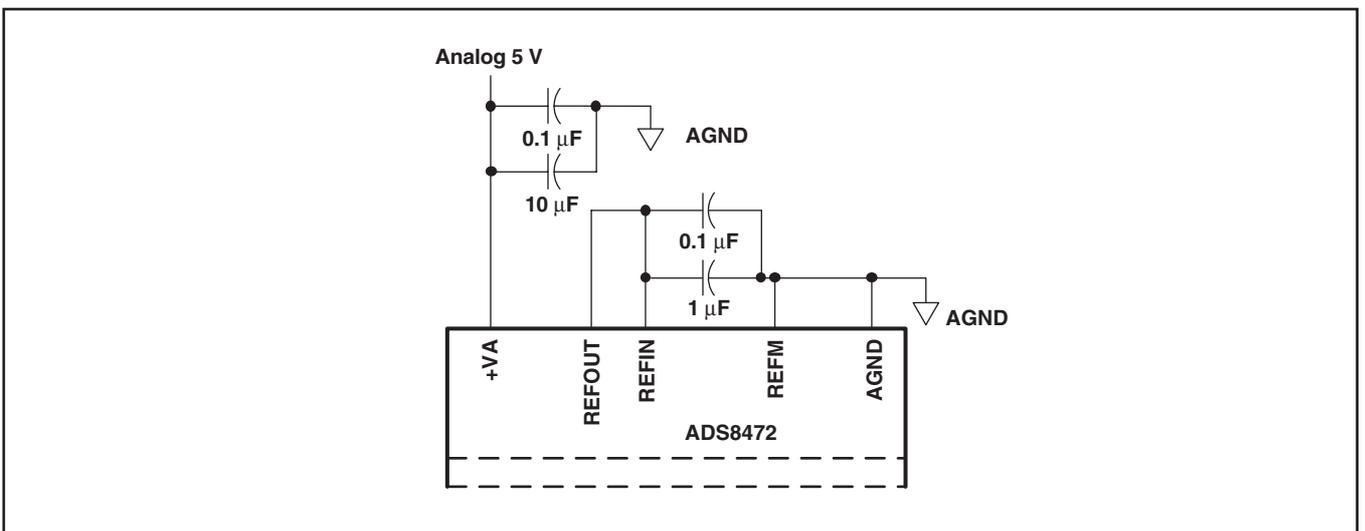


図38. ADS8472での内部リファレンスの使用

アナログ入力

コンバータがホールド・モードに入ると、+IN入力と-IN入力の電圧差が内部のキャパシタ・アレイで捕捉されます。+IN入力と-IN入力の電圧範囲は、 $-0.2V \sim V_{ref} + 0.2V$ です。入力スパン [+IN - (-IN)]は、 $-V_{ref} \sim V_{ref}$ に限定されます。

アナログ入力の入力電流は、サンプリング・レート、入力電圧、電源インピーダンスなど多数の要因によって決まります。基本的に、サンプリング期間にはADS8472に入力される電流によって内部キャパシタが充電されます。キャパシタが完全に充電されると、それ以上の電流は入力されません。アナログ入力によって、デバイスのアキュイジション時間 (320ns) 内に入力容量 (65pF) を16ビットレベルまで充電できることが必要です。コンバータがホールド・モードに入ると、入力インピーダンスは $1G\Omega$ よりも大きくなります。

絶対アナログ入力電圧については注意する必要があります。コンバータの直線性を維持するには、+IN入力と-IN入力、およびスパン [+IN - (-IN)] を指定された制限範囲内に収める必

要があります。このような範囲を逸脱すると、コンバータの直線性が仕様を満たさなくなる場合があります。ノイズを最小限に抑えるために、ローパス・フィルタを使用した低帯域入力信号が使用されます。

+IN入力と-IN入力をドライブする電源の出力インピーダンスが一致するように注意する必要があります。これに注意しなければ、2つの入力のセトリング時間が一致しなくなる可能性があります。その場合、温度や入力電圧に応じて、オフセット誤差、ゲイン誤差、直線性誤差が発生することがあります。

コンバータに対するアナログ入力は、THS4031のような低ノイズの高速オペアンプを使ってドライブする必要があります。電源のノイズをローパス・フィルタで除去するために、入力ピンにRCフィルタを使用することをお勧めします。コンバータへの入力は、 $0 \sim V_{ref}$ の範囲のユニポーラ入力電圧です。ソース・フォロ構成では、THS4031を使用してコンバータをドライブすることができます。

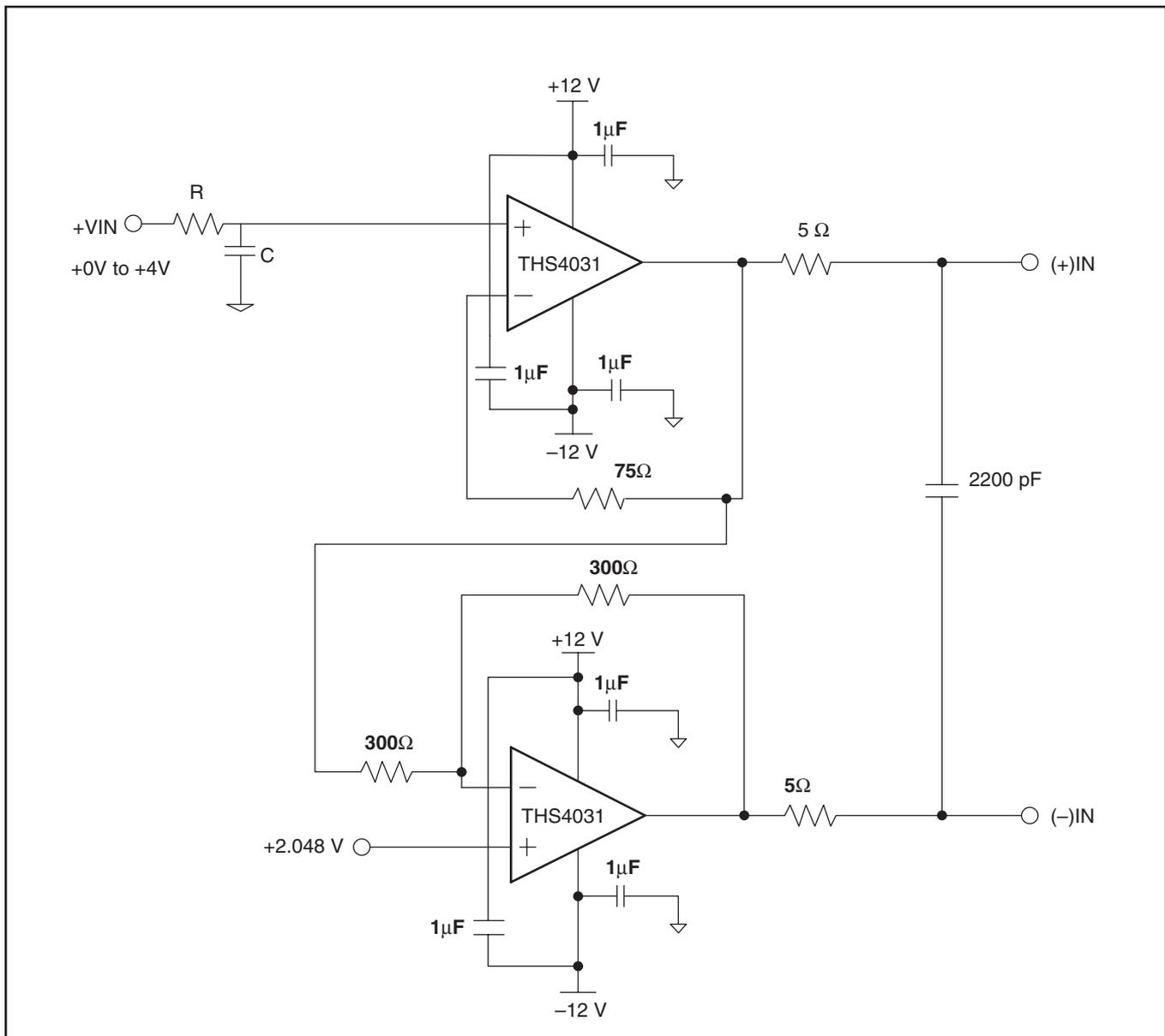


図41. シングルエンド入力、差動出力構成

入力が差動であるシステムでは、ADS8472への入力を定格動作電圧の範囲に収めるために、追加DCバイアスを+入力に印加した反転構成でTHS4031を使用できます。このDCバイアスは、REF3220またはREF3240リファレンス電圧ICを使用して得られます。以下に示す入力構成の場合、入力周波数100kHzで少なくともSNRが97dB、THDが-103dBの性能が得られます。バンドパス・フィルタを使用して入力をフィルタリングする場合、バンドパス・フィルタにより生じる歪を最小限に抑えるために、バンドパス・フィルタの入力の信号変動が小さくなるように注

意する必要があります。このような場合、以下に示す回路のゲインを増加することで、ADS8472への入力を大きい状態に維持し、システムのSNRを高くすることができます。このような構成では、+入力からTHS4031の出力へのシステム・ゲインは、AC信号のゲインとして機能します。コンバータの入力における電圧を定格動作範囲に収めるために、抵抗分割を使用してREF3220またはREF3240の出力をスケールし、THS4031のDC入力における電圧を下げるすることができます。

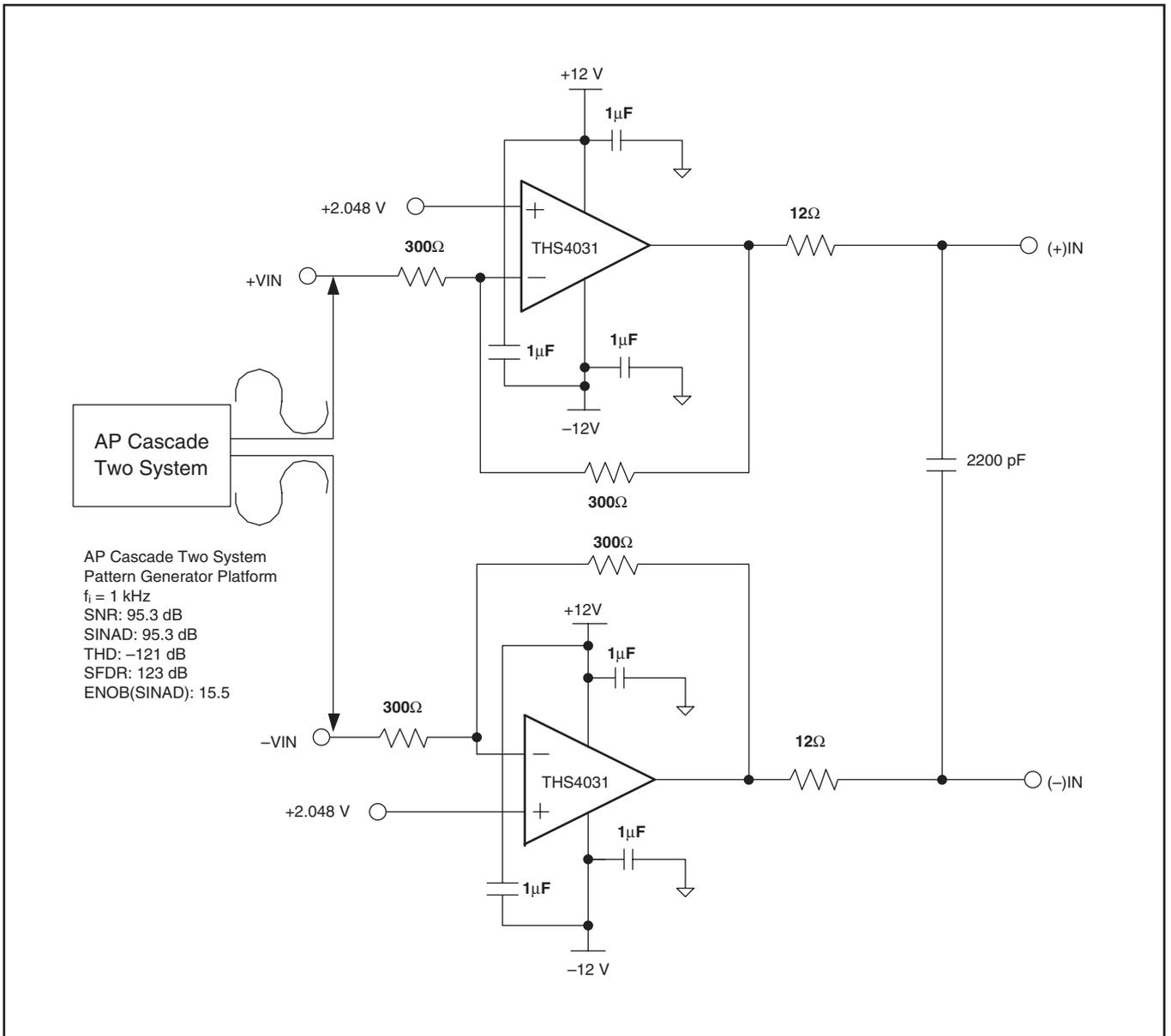


図42. 差動入力、差動出力構成

デジタル・インターフェイス

タイミングと制御

信号のタイミングおよびその要件の詳細については、「代表的特性」のタイミング図を参照してください。

ADS8472では、内部発信器により生成されたクロックにより変換レートを制御し、さらにコンバータのスループットを制御します。外部クロックの入力は不要です。

変換を開始するには、 \overline{CS} が“Low”のときに、 \overline{CONVST} ピンを20ns以上の間“Low”にします(20nsの最低要件が満たされた後で、 \overline{CONVST} ピンを“High”にできます)。 \overline{CONVST} コマンドの立ち下がりエッジで、ADS8472はサンプリング・モードからホールド・モードに移行します。コンバータのパフォーマンスを高めるためには、この信号の立ち下がりエッジが低ノイズでジッタが少ないことが重要です。 \overline{CONVST} が“Low”になると、その後BUSY出力が“High”になります。変換処理の実行中、BUSYは“High”を維持します。変換が終了すると、“Low”に戻ります。

サンプリングは、 \overline{CS} が“Low”に固定されている場合、BUSY信号の立ち下がりエッジで開始されます。また、BUSYが“Low”の場合、 \overline{CS} の立ち下がりエッジで開始されます。

1つの例外(\overline{CONVST} を“Low”にして変換を開始する際には \overline{CS} を“Low”にする必要がある)を除いて、変換中および変換前に \overline{RD} と \overline{CS} の両方を“High”にできます。変換でパラレル出力バスを有効にするには、 \overline{RD} ピンと \overline{CS} ピンの両方を“Low”にします。

データの読み取り

ADS8472は、表1に示す純粋なバイナリ形式で完全パラレルデータを出力します。パラレル出力は、 \overline{CS} と \overline{RD} が両方とも“Low”であるときにアクティブになります。 \overline{CONVST} の立ち下がりエッジの前後、最低限の範囲で低雑音が必須となります。この範囲は、 \overline{CONVST} の立ち下がりエッジの前50ns、後40nsです。この範囲内ではデータを読み取らないようにする必要があります。 \overline{CS} と \overline{RD} の組み合わせによって、パラレル出力は他に3つの状態に設定されます。マルチワード読み取り処理には

BYTEが使用されます。バスの下位ビットがバスの上位ビットで出力される場合、必ずBYTEが使用されます。理想的な出力コードを表1に示します。

BYTEが“Low”の場合、DB15~DB0ピンの出力データはフル16ビット・ワード(D15~D0)です。

必要に応じて、8ビット・バスで結果を読み出すこともできます。それには、DB15~DB8のピンのみを使用します。この場合、2回の読み取りが必要です。最初の読み取りは、先に説明したように、BYTEを“Low”にしたままピンDB15~DB8で上位8ビットを読み取り、その後でBYTEを“High”にします。BYTEが“High”のとき、ピンDB15~DB8に下位ビット(D7~D0)が出力されます。

このようなマルチワード読み取り動作は、複数の \overline{RD} をアクティブにする(切り替える)か、単純に \overline{RD} を“Low”に維持することで実行できます。この動作は、自動読み取り動作と呼ばれます

リセット

パワーアップ時、内部のパワーオン・リセット回路によってデバイスに必要なリセットが生成されます。コンバータの高精度を確保するために、パワーアップ後の最初の3つの変換を使用して、デバイスごとの工場出荷時のトリミング・データを読み込みます。最初の3つの変換の結果は無効なため、破棄する必要があります。

このデバイスは \overline{CS} と \overline{CONVST} を組み合わせることでリセットすることもできます。変換中、BUSY信号が“High”に維持されるため、以下のどちらかの条件が満たされるとコンバータの内部自己クリア・リセットがトリガされます。

DESCRIPTION	ANALOG VALUE	DIGITAL OUTPUT STRAIGHT BINARY	
		BINARY CODE	HEX CODE
Full scale range	$+V_{ref}$		
Least significant bit (LSB)	$2 \times (+V_{ref})/65536$		
+Full scale	$(+V_{ref}) - 1\text{LSB}$	0111 1111 1111 1111	1FFF
Midscale	0 V	0000 0000 0000 0000	0000
Midscale - 1LSB	$0\text{ V} - 1\text{LSB}$	1111 1111 1111 1111	3FFF
Zero	$-V_{ref}$	1000 0000 0000 0000	2000

表1. 理想的な入力電圧と出力コード

BYTE	DATA READ OUT	
	PINS DB15 - DB8	PINS DB7 - DB0
High	D7 - D0	All One's
Low	D15 - D8	D7 - D0

表2. 変換データの読み出し

- \overline{CS} が“Low”で内部変換状態が“High”のとき、 \overline{CONVST} が発生した場合、 \overline{CONVST} の立ち下がりがエッジでリセットが開始されます。
- 内部変換状態が“High”のとき、 \overline{CS} (デバイスの選択) を発生した場合、 \overline{CS} の立ち下がりがエッジでリセットが実行されます。

デバイスがリセットされると、すべての出力ラッチがクリアされ (0に設定され)、BUSY信号が“Low”になります。内部リセットの直後、BUSY信号の立ち下がりがエッジで新しいサンプリング期間が開始されます。

レイアウト

最適なパフォーマンスを得るためには、ADS8472回路の物理的なレイアウトに注意する必要があります。

ADS8472は単一電源動作が可能のため、多くの場合、デジタル・ロジック、マイクロコントローラ、マイクロプロセッサ、デジタル信号プロセッサの近くで使用されます。設計に多くのデジタル・ロジックが取り入れられ、スイッチング速度が大きくなると、それだけコンバータの性能を引き出すことが難しくなります。

基本的なSARアーキテクチャは、アナログ・コンパレータの出力をラッチする直前に電源、リファレンス、グランド接続、デジタル入力で発生する、グリッチや急激な変化に対して敏感です。そのため、nビットのSARコンバータの変換を1回ドライブするたびに、大きな外部過渡電圧によって変換結果に影響を及ぼす可能性があるウィンドウがn個以上存在します。このようなグリッチは、スイッチング電源や、付近のデジタル・ロジック、高電力デバイスなどから発生する可能性があります。

デジタル出力の誤差の程度は、リファレンス電圧やレイアウト、さらに外部イベントの正確なタイミングによって変化します。

ADS8472ではリファレンス電圧が内部でバッファリングされるため、平均的には外部リファレンスからはごくわずかの電流しか引き込まれません。リファレンス電圧が外部のオペアンプから供給される場合、バイパス・キャパシタを変動なく使用できることを確認してください。0.1 μ Fキャパシタをピン13 (REFIN) からピン12 (REFM) に直接接続することをお勧めします。REFMとAGNDをデバイスの下の同じグランド・プレーンに短絡する必要があります。

AGNDピンとBDGNDピンは、クリーンなグランド・ポイントに接続してください。多くの場合、これはアナログ・グランドとする必要があります。接続部分がマイクロコントローラやデジタル信号プロセッサのグランド・ポイントに近づきすぎないようにしてください。必要に応じて、コンバータから電源入力ポイントまで直結するグランド・パターンを作成してください。理想的なレイアウトは、コンバータおよび関連するアナログ回路に専用のアナログ・グランド・プレーンを使用することです。

AGND接続と同様に、+VAは5V電源プレーンに接続するか、デジタル・ロジックの接続から切り離されたパターンを経由して電源入力ポイントまで接続する必要があります。ADS8472に inputsする電源は、低ノイズで適切にバイパスされている必要があります。0.1 μ Fのセラミック・バイパス・キャパシタを、デバイスのできるだけ近くに配置してください。キャパシタの配置については表3を参照してください。さらに、1 μ F~10 μ Fのキャパシタが推奨されます。状況によっては、さらにバイパスが必要な場合もあります。100 μ Fの電解コンデンサや、場合によってはインダクタとキャパシタで構成される π フィルタが必要になります。基本的に、これらはすべて5V電源から高周波ノイズを排除するためのローパス・フィルタとして使用されます。

POWER SUPPLY PLANE	CONVERTER ANALOG SIDE	CONVERTER DIGITAL SIDE
SUPPLY PINS		
Pin pairs that require shortest path to decoupling capacitors	(7,8), (9,10), (16,17), (20,21), (22,23), (25,26)	(36,37)
Pins that require no decoupling	24, 26	(1,2)

表3. 電源デカップリング・キャパシタの配置

パッケージ情報

Orderable Device	Status ⁽¹⁾	Package Type	Package Drawing	Pins	Package Qty	Eco Plan ⁽²⁾	Lead/Ball Finish	MSL Peak Temp ⁽³⁾
ADS8472IBRGZR	ACTIVE	QFN	RGZ	48	2500	Green (RoHS & no Sb/Br)	CU NIPDAU	Level-2-260C-1 YEAR
ADS8472IBRGZRG4	ACTIVE	QFN	RGZ	48	2500	Green (RoHS & no Sb/Br)	CU NIPDAU	Level-2-260C-1 YEAR
ADS8472IBRGZT	ACTIVE	QFN	RGZ	48	250	Green (RoHS & no Sb/Br)	CU NIPDAU	Level-2-260C-1 YEAR
ADS8472IBRGZTG4	ACTIVE	QFN	RGZ	48	250	Green (RoHS & no Sb/Br)	CU NIPDAU	Level-2-260C-1 YEAR
ADS8472IRGZR	ACTIVE	QFN	RGZ	48	2500	Green (RoHS & no Sb/Br)	CU NIPDAU	Level-2-260C-1 YEAR
ADS8472IRGZRG4	ACTIVE	QFN	RGZ	48	2500	Green (RoHS & no Sb/Br)	CU NIPDAU	Level-2-260C-1 YEAR
ADS8472IRGZT	ACTIVE	QFN	RGZ	48	250	Green (RoHS & no Sb/Br)	CU NIPDAU	Level-2-260C-1 YEAR
ADS8472IRGZTG4	ACTIVE	QFN	RGZ	48	250	Green (RoHS & no Sb/Br)	CU NIPDAU	Level-2-260C-1 YEAR

(1) マーケティング・ステータスは次のように定義されています。

ACTIVE：製品デバイスが新規設計用に推奨されています。

LIFEBUY：TIによりデバイスの生産中止予定が発表され、ライフタイム購入期間が有効です。

NRND：新規設計用に推奨されていません。デバイスは既存の顧客をサポートするために生産されていますが、TIでは新規設計にこの部品を使用することを推奨していません。

PREVIEW：デバイスは発表済みですが、まだ生産が開始されていません。サンプルが提供される場合と、提供されない場合があります。

OBSOLETE：TIによりデバイスの生産が中止されました。

(2) エコ・プラン - 環境に配慮した製品分類プランであり、Pb-Free (RoHS)、Pb-Free (RoHS Expert) およびGreen (RoHS & no Sb/Br) があります。最新情報および製品内容の詳細については、<http://www.ti.com/productcontent> でご確認ください。

TBD：Pb-Free/Green変換プランが策定されていません。

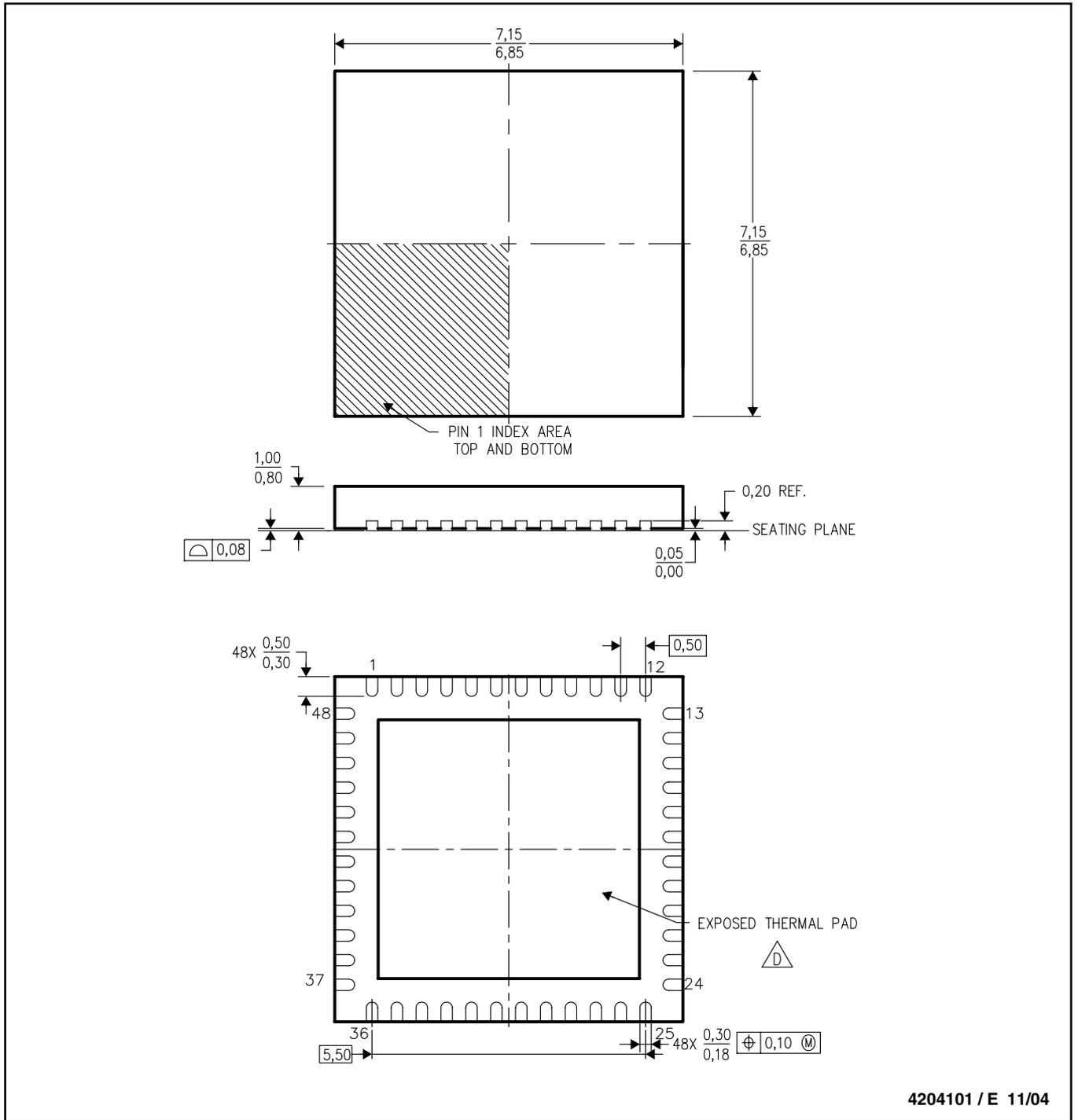
Pb-Free (RoHS)：TIにおける“Lead-Free”または“Pb-Free”(鉛フリー)は、6つの物質すべてに対して現在のRoHS要件を満たしている半導体製品を意味します。これには、同種の材質内で鉛の重量が0.1%を超えないという要件も含まれます。高温で半田付けするように設計されている場合、TIの鉛フリー製品は指定された鉛フリープロセスでの使用に適しています。

Pb-Free (RoHS Exempt)：この部品は、1) ダイとパッケージの間に鉛ベースの半田バンプ使用、または 2) ダイとリードフレーム間に鉛ベースの接着剤を使用、が除外されています。それ以外は上記の様にPb-Free (RoHS) と考えられます。

Green (RoHS & no Sb/Br)：TIにおける“Green”は、“Pb-Free”(RoHS互換)に加えて、臭素 (Br) およびアンチモン (Sb) をベースとした難燃材を含まない(均質な材質中のBrまたはSb重量が0.1%を超えない)ことを意味しています。

(3) MSL、ピーク温度 -- JEDEC業界標準分類に従った耐湿性レベル、およびピーク半田温度です。

重要な情報および免責事項：このページに記載された情報は、記載された日付時点でのTIの知識および見解を表しています。TIの知識および見解は、第三者によって提供された情報に基づいており、そのような情報の正確性について何らの表明および保証も行うものではありません。第三者からの情報をより良く統合するための努力は続けております。TIでは、事実を適切に表す正確な情報を提供すべく適切な手順を踏み、引き続きそれを継続してゆきますが、受け入れる部材および化学物質に対して破壊試験や化学分析は実行していない場合があります。TIおよびTI製品の供給者は、特定の情報を機密情報として扱っているため、CAS番号やその他の制限された情報が公開されない場合があります。



注：A. 全ての線寸法の単位はミリメートルです。寸法と許容差はASME Y14.5M-1994に従っています。

B. 図は予告なく変更することがあります。

C. QFN (Quad Flatpack No-Lead) パッケージ構成

D. 最良の熱特性および機械的特性を得るには、パッケージのサーマル・パッドを基板に半田付けする必要があります。

露出したサーマル・パッドの寸法に関する詳細は、製品データシートを参照してください。

E. JEDEC MO-220に適合しています。

サーマル・パッドメカニカル・データ

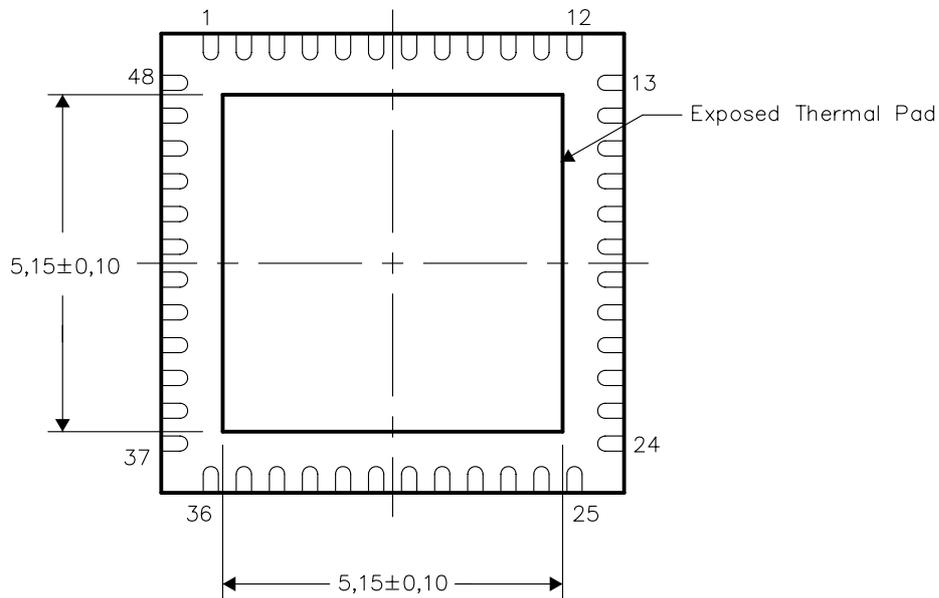
RGZ (S-PQFP-N48)

熱特性について

このパッケージには、外部ヒートシンクに直接接続するように設計された、露出したサーマル・パッドが装備されています。このサーマル・パッドは、プリント基板 (PCB) に直接半田付ける必要があります。半田付け後は、PCBをヒートシンクとして使用できます。また、サーマル・ビアを使用して、サーマル・パッドをグランド・プレーンまたは電源プレーン (いずれか適切な方)、あるいはPCB内に設計された特別なヒートシンク構造に直接接続することができます。この設計により、ICからの熱伝導が最適化されます。

QFN (Quad Flatpack No-Lead) パッケージとその利点については、アプリケーション・レポート『Quad Flatpack No-Lead Logic Packages』(Texas Instruments文献番号SCBA017)を参照してください。このドキュメントは、ホームページwww.ti.comで入手できます。

このパッケージの露出したサーマル・パッドの寸法を次の図に示します。



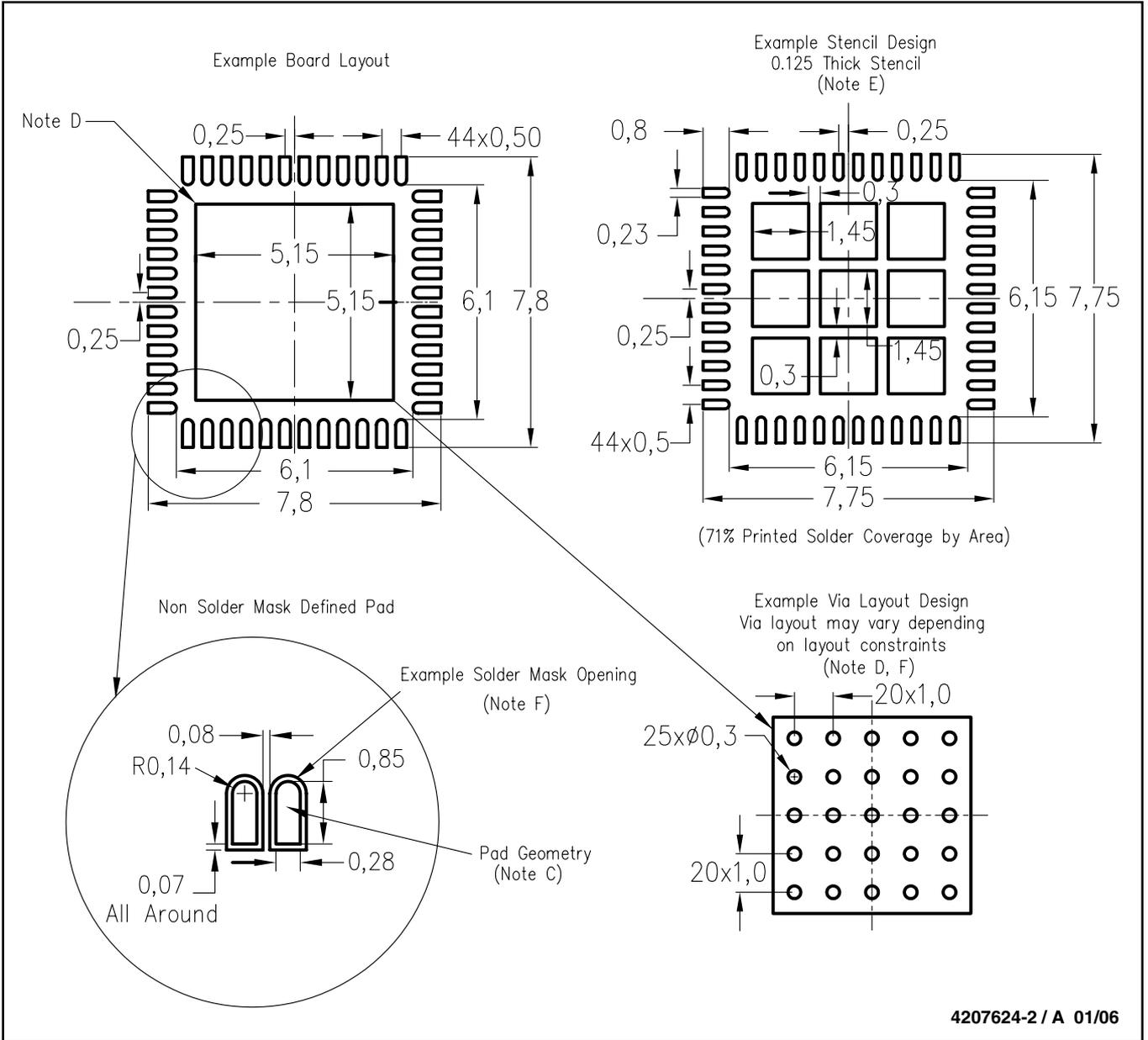
Bottom View

注：全ての線寸法の単位はミリメートルです。

サーマル・パッド寸法図

LAND PATTERN

RGZ (S-PQFP-N48)



- 注：A. 全ての線寸法の単位はミリメートルです。
 B. 図は予告なく変更することがあります。
 C. 代替設計については、資料IPC-7351を推奨します。
 D. このパッケージは、基板上的のサーマル・パッドに半田付けされるように設計されています。熱に関する具体的な情報、ビア要件、および推奨基板レイアウトについては、アプリケーション・ノート『Quad Flat-Pack Packages』(TI文献番号SCBA017、SLUA271)および製品データシートを参照してください。これらのドキュメントは、ホームページwww.ti.comで入手できます。
 E. レーザ切断開口部の壁面を台形にし、角に丸みを付けることで、ペーストの離れがよくなります。ステンシル設計要件については、基板組み立て拠点にお問い合わせください。ステンシル設計上の考慮事項については、IPC 7525を参照してください。
 F. 半田マスクの推奨許容差、およびサーマル・パッドに配置するビアのテンティングに関する推奨事項については、基板組み立て拠点にお問い合わせください。

(SLAS514)

重要なお知らせと免責事項

テキサス・インスツルメンツは、技術データと信頼性データ(データシートを含みます)、設計リソース(リファレンス デザインを含みます)、アプリケーションや設計に関する各種アドバイス、Web ツール、安全性情報、その他のリソースを、欠陥が存在する可能性のある「現状のまま」提供しており、商品性および特定目的に対する適合性の黙示保証、第三者の知的財産権の非侵害保証を含むいかなる保証も、明示的または黙示的にかかわらず拒否します。

これらのリソースは、テキサス・インスツルメンツ製品を使用する設計の経験を積んだ開発者への提供を意図したものです。(1) お客様のアプリケーションに適したテキサス・インスツルメンツ製品の選定、(2) お客様のアプリケーションの設計、検証、試験、(3) お客様のアプリケーションに該当する各種規格や、その他のあらゆる安全性、セキュリティ、規制、または他の要件への確実な適合に関する責任を、お客様のみが単独で負うものとします。

上記の各種リソースは、予告なく変更される可能性があります。これらのリソースは、リソースで説明されているテキサス・インスツルメンツ製品を使用するアプリケーションの開発の目的でのみ、テキサス・インスツルメンツはその使用をお客様に許諾します。これらのリソースに関して、他の目的で複製することや掲載することは禁止されています。テキサス・インスツルメンツや第三者の知的財産権のライセンスが付与されている訳ではありません。お客様は、これらのリソースを自身で使用した結果発生するあらゆる申し立て、損害、費用、損失、責任について、テキサス・インスツルメンツおよびその代理人を完全に補償するものとし、テキサス・インスツルメンツは一切の責任を拒否します。

テキサス・インスツルメンツの製品は、[テキサス・インスツルメンツの販売条件](#)、または [ti.com](https://www.ti.com) やかかるテキサス・インスツルメンツ製品の関連資料などのいずれかを通じて提供する適用可能な条項の下で提供されています。テキサス・インスツルメンツがこれらのリソースを提供することは、適用されるテキサス・インスツルメンツの保証または他の保証の放棄の拡大や変更を意味するものではありません。

お客様がいかなる追加条項または代替条項を提案した場合でも、テキサス・インスツルメンツはそれらに異議を唱え、拒否します。

郵送先住所：Texas Instruments, Post Office Box 655303, Dallas, Texas 75265
Copyright © 2025, Texas Instruments Incorporated