



16ビット、100kSPS、2.7V ~ 5V マイクロパワー サンプリング AD コンバータ

特 長

- 16 ビット、ノー・ミッシング・コード
- 超低雑音：3LSB_{pp}
- 優れたリニアリティ：±1.5LSB (typ)
- マイクロパワー：
 - 4.5mW、100kHz時
 - 1mW、10kHz時
- MSOP-8およびSON-8パッケージ (SONパッケージは3×3QFNと同じサイズ)
- 12ビットのADS7816およびADS7822に対する16ビット、アップ・グレード品
- ADS7816、ADS7822、ADS7826、ADS7827、ADS7829、およびADS8320とのピン互換
- シリアル (SPI™/SSI) インターフェイス

アプリケーション

- バッテリー動作のシステム
- リモート・データ・アキュイジション
- 絶縁型データ・アキュイジション
- 同時サンプリング、マルチチャネル・システム
- 産業用制御

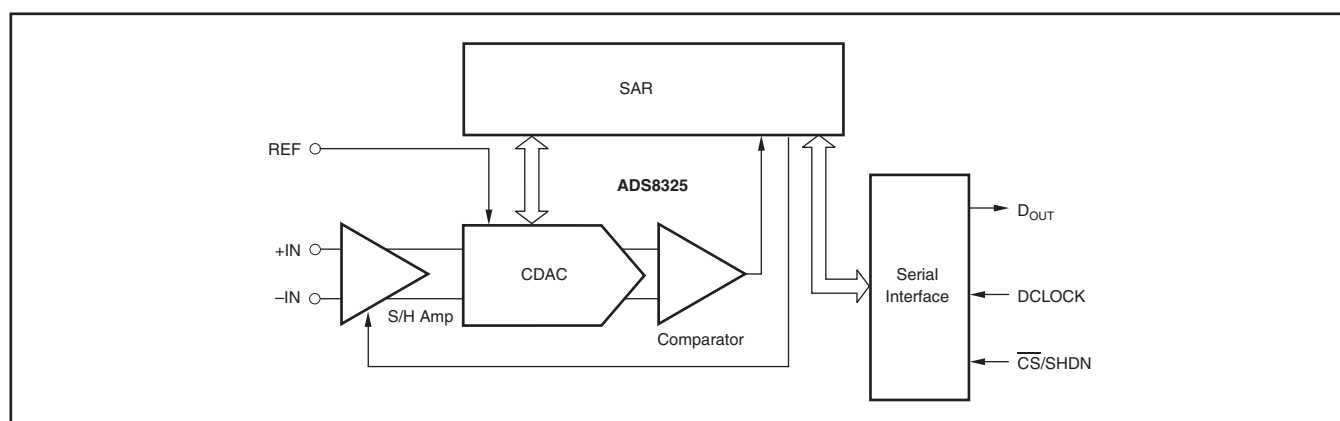
- ロボット工学
- 振動解析

概 要

ADS8325 は、16 ビットのサンプリングADコンバータであり、電源電圧範囲は2.7V~5.5Vです。100kHzのフル・データ・レートで動作している時でも、必要な電力は非常に微少です。それより低いデータ・レートでは、このデバイスの高速性により、大半の時間をパワー・ダウン・モードとすることができます。たとえば、平均消費電力は、10kHzのデータ・レート時で1mW未満です。

ADS8325は、優れたリニアリティ (直線性) と超低雑音および超低歪を実現しています。また、同期シリアル (SPI/SSI互換) インターフェイスと差動入力も採用しました。基準電圧は、2.5V~V_{DD}の範囲内で任意のレベルに設定できます。

低消費電力と小型サイズを実現したADS8325は、ポータブル・システムとバッテリー動作システムにとって理想的です。さらに、リモート・データ・アキュイジション・モジュール、同時マルチチャネル・システム、および絶縁型データ・アキュイジションに最適です。ADS8325は、MSOP-8およびSON-8パッケージで提供されています。SONのパッケージ・サイズは、3x3QFNパッケージと同じです。



すべての商標および登録商標は、それぞれの所有者に帰属します。

この資料は、Texas Instruments Incorporated (TI) が英文で記述した資料を、皆様のご理解の一助として頂くために日本テキサス・インスツルメンツ (日本TI) が英文から和文へ翻訳して作成したものです。資料によっては正規英語版資料の更新に対応していないものがあります。日本TIによる和文資料は、あくまでもTI正規英語版をご理解頂くための補助的参考資料としてご使用下さい。製品のご検討およびご採用にあたりましては必ず正規英語版の最新資料をご確認下さい。TIおよび日本TIは、正規英語版にて更新の情報を提供しているにもかかわらず、更新以前の情報に基づいて発生した問題や障害等につきましては如何なる責任も負いません。



静電気放電対策

これらのデバイスは、限定的なESD（静電破壊）保護機能を内蔵しています。保存時または取り扱い時に、MOSゲートに対する静電破壊を防止するために、リード線どうしを短絡しておくか、デバイスを伝導性のフォームに入れる必要があります。

製品情報(1)

製品名	最大積分直線性誤差 (LSB)	ノー・ミッシング・コード (LSB) ⁽²⁾	パッケージピン数	パッケージコード	動作温度範囲	パッケージ捺印	製品型番	出荷形態、数量
ADS8325I	±6	15	MSOP-8	DGK	-40°C ~ +85°C	B25	ADS8325IDGKT	テープ・リール、250
							ADS8325IDGKR	テープ・リール、2500
ADS8325IB	±4	16	MSOP-8	DGK	-40°C ~ +85°C	B25	ADS8325IBDGKT	テープ・リール、250
							ADS8325IBDGKR	テープ・リール、2500
ADS8325I	±6	15	SON-8	DRB	-40°C ~ +85°C	B25	ADS8325IDRBT	テープ・リール、250
							ADS8325IDRBR	テープ・リール、2500
ADS8325IB	±4	16	SON-8	DRB	-40°C ~ +85°C	B25	ADS8325IBDRBT	テープ・リール、250
							ADS8325IBDRBR	テープ・リール、2500

(1) 最新の仕様とパッケージ情報については、www.ti.com、またはwww.tij.co.jpにあるTIのWebサイトを参照してください。

(2) ノー・ミッシング・コードは、電源電圧5Vとリファレンス電圧5V指定時のものです。

絶対最大定格(1)

	規定値	単位
電源電圧 DGND~V _{DD} 間	-0.3 ~ 6V	
アナログ入力電圧 ⁽²⁾	-0.3 ~ V _{DD} + 0.3	V
リファレンス電圧 ⁽²⁾	-0.3 ~ V _{DD} + 0.3	V
デジタル入力電圧 ⁽²⁾	-0.3 ~ V _{DD} + 0.3	V
電源ピンを除く任意のピンへの入力電流	-20 ~ 20	mA
消費電力	パッケージ許容損失表を参照	
T _J 動作ジャンクション温度範囲	-40 ~ +150	°C
T _A 動作温度範囲	-40 ~ +85	°C
T _{STG} 保存温度範囲	-65 ~ +150	°C
端子温度、ケースから 1.6 mm (1/16 インチ)、10 秒	+260	°C

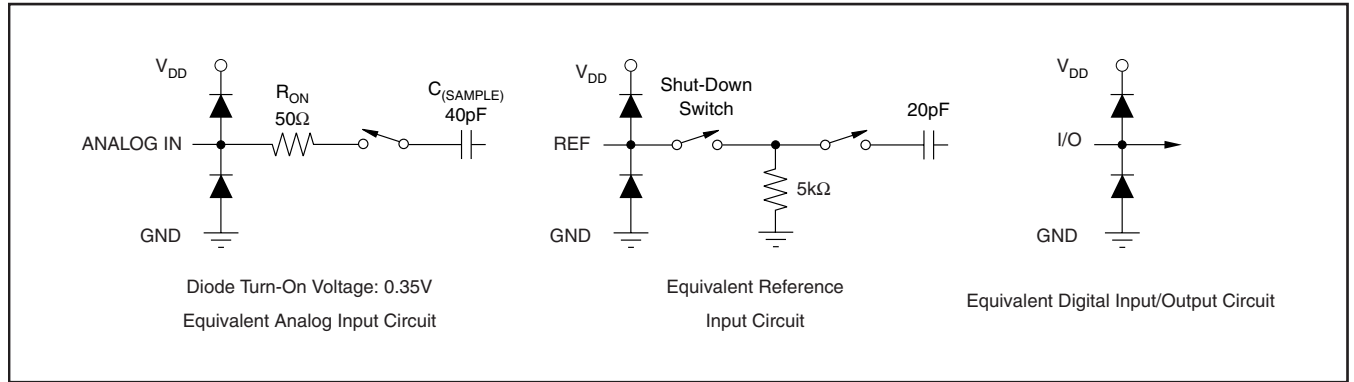
(1) 絶対最大定格で規定された値を上回るストレスが加わった場合、永続的な損傷が発生する恐れがあります。これはストレスの定格のみについて示してあり、推奨動作条件によって規定された値で、またはこれらの値を越える状態での本製品の機能動作を意味するものではありません。絶対最大定格の状態が長時間に亘ると、本製品の信頼性に影響を及ぼすことがあります。

(2) すべての電圧値は、グランド端子を基準としたものです。

パッケージ許容損失

パッケージ	R _{θJC}	R _{θJA}	ディレーティング係数 T _A > +25°C	T _A = +25°C の許容損失	T _A = +70°C の許容損失	T _A = +85°C の許容損失
DGK	39.1°C/W	206.3°C/W	4.847mW/°C	606mW	388mW	315mW
DRB	5°C/W	52.572°C/W	19.0mW/°C	2.378W	1.522W	1.236W

等価入力回路



推奨動作条件

$T_A = -40^{\circ}\text{C} \sim +85^{\circ}\text{C}$ (特に記述のない限り)

		MIN	TYP	MAX	単位
電源電圧、 $V_{DD} \sim \text{GND}$	低電圧ロジック・レベル	2.7		3.6	V
	5V ロジック・レベル	4.5	5.0	5.5	V
リファレンス電圧		2.5		V_{DD}	V
アナログ入力電圧	-IN	-0.3	0	0.5	V
	+IN - (-IN)	0		V_{REF}	V
T_J 動作ジャンクション温度範囲		-40		+125	$^{\circ}\text{C}$

電気的特性： $V_{DD} = +5\text{V}$

特に指定のない限り、 $T_A = -40^{\circ}\text{C} \sim +85^{\circ}\text{C}$ 、 $V_{REF} = 5\text{V}$ 、 $-\text{IN} = \text{GND}$ 、 $f_{\text{SAMPLE}} = 100\text{kHz}$ 、および $f_{\text{CLK}} = 24 \times f_{\text{SAMPLE}}$ です。

パラメータ	テスト条件	ADS8325I			ADS8325IB			単位
		MIN	TYP	MAX	MIN	TYP	MAX	
アナログ入力								
フルスケール範囲	FSR	+IN – (–IN)	0	V _{REF}	0	V _{REF}		V
同相信号範囲			–0.3	0.5	–0.3	0.5		V
入力抵抗		–IN = GND		5		5		GΩ
入力容量		–IN = GND、サンプリング中		45		45		pF
入力リーク電流		–IN = GND		±50		±50		nA
差動入力容量		(+IN) – (–IN) 間、サンプリング中		20		20		pF
フルパワー帯域幅	FSBW	f _S 正弦波、SINAD –3dB 時		20		20		kHz
DC 精度								
分解能			16		16			ビット
ノー・ミッシング・コード	NMC		15		16			ビット
積分直線性誤差	INL			±3	±6	±1.5	±4	LSB
オフセット誤差	V _{OS}			±0.75	±1.5	±0.5	±1	mV
オフセット・ドリフト	TCV _{OS}			±0.2		±0.2		ppm/°C
ゲイン誤差	G _{ERR}				±24		±12	LSB
ゲイン・ドリフト	TCG _{ERR}			±3		±3		ppm/°C
ノイズ				20		20		μVRMS
電源電圧変動除去		4.75V ≤ V _{DD} ≤ 5.25		3		3		LSB
サンプリング・ダイナミック特性								
変換時間	t _{CONV}	24kHz < f _{CLK} ≤ 2.4MHz	6.667	666.7	6.667	666.7		μs
アキュイジション・タイム	t _{AQ}	f _{CLK} = 2.4MHz	1.875		1.875			μs
スループット				100		100		kSPS
クロック周波数			0.024	2.4	0.024	2.4		MHz

電気的特性 : $V_{DD} = +5V$

特に指定のない限り、 $T_A = -40^{\circ}C \sim +85^{\circ}C$ 、 $V_{REF} = 5V$ 、 $-IN = GND$ 、 $f_{SAMPLE} = 100kHz$ 、および $f_{CLK} = 24 \times f_{SAMPLE}$ です。

パラメータ	テスト条件	ADS8325I			ADS8325IB			単位	
		MIN	TYP	MAX	MIN	TYP	MAX		
AC 精度									
全高調波歪	THD	5Vp-p 正弦波、1kHz 時	−100			−106			dB
スプリアスフリー・ダイナミック・レンジ	SFDR	5Vp-p 正弦波、1kHz 時	−100			−108			dB
信号/雑音比	SNR		−90			−91			dB
信号/(雑音+歪)比	SINAD	5Vp-p 正弦波、1kHz 時	−90			−91			dB
有効ビット数	ENOB		14.6			14.7			ビット
リファレンス入力									
電圧範囲			2.5	$V_{DD} + 0.3$		2.5	$V_{DD} + 0.3$		V
入力抵抗		$\overline{CS} = GND$ 、 $f_{SAMPLE} = 0Hz$	5			5			kΩ
		$\overline{CS} = V_{DD}$	5			5			GΩ
入力容量			20			20			pF
入力電流			1	1.5		1	1.5		mA
		$\overline{CS} = V_{DD}$	0.1			0.1			μA
デジタル入力 ⁽¹⁾									
ロジック・ファミリー			CMOS			CMOS			
“H” レベル入力電圧	V_{IH}		$0.7 \times V_{DD}$	$V_{DD} + 0.3$		$0.7 \times V_{DD}$	$V_{DD} + 0.3$		V
“L” レベル入力電圧	V_{IL}		−0.3	$0.3 \times V_{DD}$		−0.3	$0.3 \times V_{DD}$		V
入力電流	I_{IN}	$V_I = V_{DD}$ または GND	±50			±50			nA
入力容量	C_I		5			5			pF
デジタル出力 ⁽¹⁾									
ロジック・ファミリー			CMOS			CMOS			
“H” レベル出力電圧	V_{OH}	$V_{DD} = 4.5V$ 、 $I_{OH} = -100\mu A$	4.44			4.44			V
“L” レベル出力電圧	V_{OL}	$V_{DD} = 4.5V$ 、 $I_{OL} = 100\mu A$	0.5			0.5			V
ハイインピーダンス状態時の出力電流	I_{OZ}	$\overline{CS} = V_{DD}$ 、 $V_I = V_{DD}$ または GND	±50			±50			nA
出力容量	C_O		5			5			pF
負荷容量	C_L		30			30			pF
データ形式			ストレート・バイナリ			ストレート・バイナリ			

(1) 5V系電源電圧： $V_{DD} (MIN) = 4.5V$ および $V_{DD} (MAX) = 5.5V$ 。

電気的特性：V_{DD} = +2.7V

特に指定のない限り、T_A = -40°C ~ +85°C、V_{REF} = 2.5V、-IN = GND、f_{SAMPLE} = 100kHz、および f_{CLK} = 24 × f_{SAMPLE} です。

パラメータ	テスト条件	ADS8325I			ADS8325IB			単位
		MIN	TYP	MAX	MIN	TYP	MAX	
アナログ入力								
フルスケール範囲	FSR	+IN – (–IN)	0	V _{REF}	0	V _{REF}		V
同相信号範囲			–0.3	0.5	–0.3	0.5		V
入力抵抗		–IN = GND	5		5			G)Ω
入力容量		–IN = GND、 サンプリング期間中	45		45			pF
入力リーク電流		–IN = GND	±50		±50			nA
差動入力容量		+IN ~ –IN、 サンプリング期間中	20		20			pF
フルパワー帯域幅	FSBW	f _S 正弦波、SINAD –3dB 時	4		4			kHz
DC 精度								
分解能			16		16			ビット
ノー・ミッシング・コード	NMC		14		15			ビット
積分直線性誤差	INL		±3	±6	±1.5	±4		LSB
オフセット誤差	V _{OS}		±0.75	±1.5	±0.5	±1		mV
オフセット・ドリフト	TCV _{OS}		±3		±3			ppm/°C
ゲイン誤差	G _{ERR}		±33		±16			LSB
ゲイン・ドリフト	TCG _{ERR}		±0.3		±0.3			ppm/°C
ノイズ			20		20			μVRMS
電源除去		2.7V ≤ V _{DD} ≤ 3.6V	7		7			LSB
サンプリング・ダイナミック特性								
変換時間	t _{CONV}	24kHz < f _{CLK} ≤ 2.4MHz	6.667	666.7	6.667	666.7		μs
アキュイジション・タイム	t _{AO}	f _{CLK} = 2.4MHz	1.875		1.875			μs
スループット・レート				100		100		kSPS
クロック周波数			0.024	2.4	0.024	2.4		MHz
AC 精度								
全高調波歪	THD	2.5V _{PP} 正弦波、1kHz 時	–94		–94			dB
スプリアスフリー・ ダイナミック・レンジ	SFDR	2.5V _{PP} 正弦波、1kHz 時	–96		–96			dB
信号/雑音比	SNR		–85		–86			dB
信号/(雑音+歪)比	SINAD	2.5V _{PP} 正弦波、1kHz 時	–85		–85.5			dB
有効ビット数	ENOB		13.8		13.9			ビット
リファレンス入力								
電圧範囲			2.5	V _{DD} + 0.3	2.5	V _{DD} + 0.3		V
入力抵抗		$\overline{\text{CS}}$ = GND、f _{SAMPLE} = 0Hz	5		5			kΩ
		$\overline{\text{CS}}$ = V _{DD}	5		5			G Ω
入力容量			20		20			pF
入力電流			0.5	0.75	0.5	0.75		mA
		$\overline{\text{CS}}$ = V _{DD}	0.1		0.1			μA
デジタル入力 ⁽¹⁾								
ロジック・ファミリ			LVCMOS		LVCMOS			
“H” レベル入力電圧	V _{IH}	V _{DD} = 3.6V	2	V _{DD} + 0.3	2	V _{DD} + 0.3		V
“L” レベル入力電圧	V _{IL}	V _{DD} = 2.7V	–0.3	0.8	–0.3	0.8		V
入力電流	I _{IN}	V _I = V _{DD} または GND		±50		±50		nA
入力容量	C _I		5		5			pF

(1) 3V系電源電圧：V_{DD}(最小) = 2.7VおよびV_{DD}(最大) = 3.6V。

電気的特性：V_{DD} = +2.7V

特に指定のない限り、T_A = -40°C ~ +85°C、V_{REF} = 2.5V、-IN = GND、f_{SAMPLE} = 100kHz、および f_{CLK} = 24 × f_{SAMPLE} です。

パラメータ	テスト条件	ADS8325I			ADS8325IB			単位
		MIN	TYP	MAX	MIN	TYP	MAX	
デジタル出力 ⁽²⁾								
ロジック・ファミリー		LVCMOS			LVCMOS			
“H” レベル出力電圧	V _{OH}	V _{DD} = 2.7V、I _{OH} = -100μA	V _{DD} - 0.2			V _{DD} - 0.2		V
“L” レベル出力電圧	V _{OL}	V _{DD} = 2.7V、I _{OL} = 100μA	0.2			0.2		V
ハイインピーダンス状態時の出力電流	I _{OZ}	CS = V _{DD} 、V _I = V _{DD} または GND	±50			±50		nA
出力容量	C _O		5			5		pF
負荷容量	C _L		30			30		pF
データ形式			ストレート・バイナリ			ストレート・バイナリ		

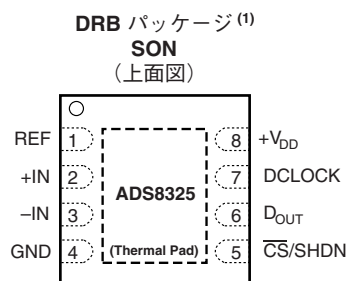
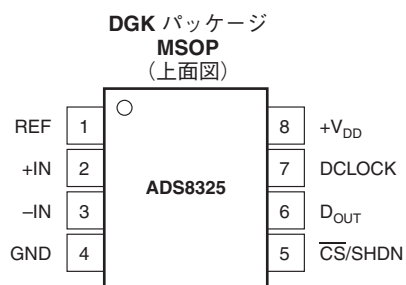
(2) 3V系電源電圧：V_{DD} (最小) = 2.7V および V_{DD} (最大) = 3.6V。

電気的特性

特に指定のない限り、T_A = -40°C ~ +85°C、V_{REF} = V_{DD}、-IN = GND、f_{SAMPLE} = 100kHz、および f_{CLK} = 24 × f_{SAMPLE} です。

パラメータ	テスト条件	ADS8325I			ADS8325IB			単位
		MIN	TYP	MAX	MIN	TYP	MAX	
電源								
電源電圧	V _{DD}	低電圧ロジック・レベル		2.7	3.6	2.7	3.6	V
		5V ロジック・レベル		4.5	5.5	4.5	5.5	V
動作時電流	I _{DD}	V _{DD} = 3V		0.75	1.5	0.75	1.5	mA
		V _{DD} = 5V		0.9	1.5	0.9	1.5	mA
パワーダウン時電流	I _{DD}	V _{DD} = 3V		0.1		0.1		μA
		V _{DD} = 5V		0.2		0.2		μA
消費電力		V _{DD} = 3V		2.25	4.5	2.25	4.5	mW
		V _{DD} = 5V		4.5	7.5	4.5	7.5	mW
パワーダウン時の消費電力		V _{DD} = 3V、CS = V _{DD}		0.3		0.3		μW
		V _{DD} = 3V、CS = V _{DD}		0.6		0.6		μW

ピン配置



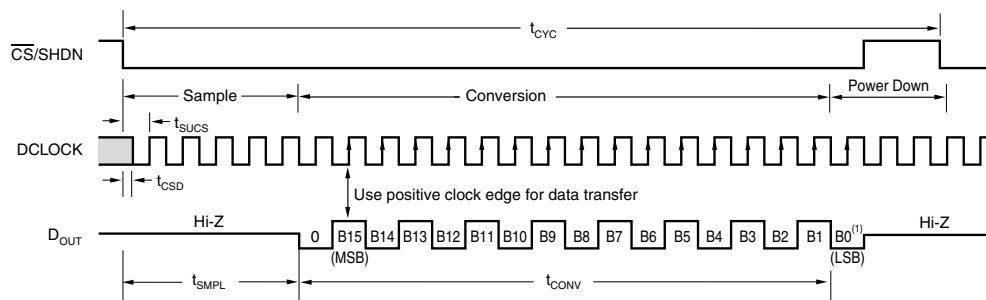
- (1) The thermal pad is internally connected to the substrate. This pad can be connected to the analog ground or left floating. Keep the thermal pad separate from the digital ground, if possible.

ピン構成

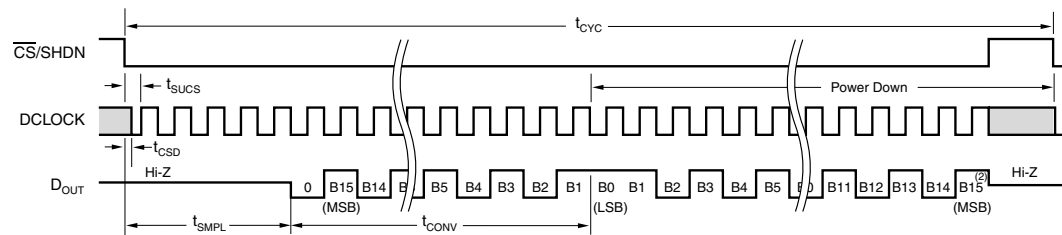
端子		I/O ⁽¹⁾	説明
名称	ピン番号		
REF	1	AI	リファレンス電圧入力
+IN	2	AI	非反転アナログ入力
IN-	3	AI	反転アナログ入力
GND	4	P	グランド
$\overline{\text{CS}}/\text{SHDN}$	5	DI	“Low” の場合はチップ・セレクト、“High” の場合はシャットダウン・モード
D _{OUT}	6	DO	シリアル出力データ・ワード
DCLOCK	7	DI	データ・クロックはシリアル・データ転送と同期し、変換速度を決定します。
V _{DD}	8	P	電源

(1) AIはアナログ入力、DIはデジタル入力、DOはデジタル出力、Pは電源接続を意味します。

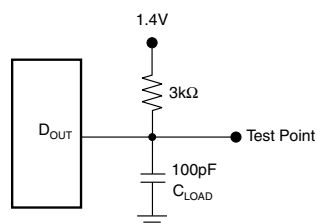
タイミング情報



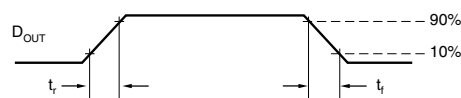
NOTE: (1) A minimum of 22 clock cycles are required for 16-bit conversion; 24 clock cycles are shown.
If $\overline{\text{CS}}$ remains low at the end of conversion, a new data stream is shifted out with LSB-first data followed by zeroes indefinitely.



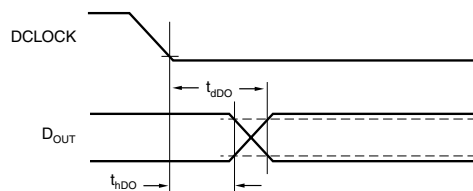
NOTE: (2) After completing the data transfer, if further clocks are applied with $\overline{\text{CS}}$ low, the A/D converter will output zeroes indefinitely.



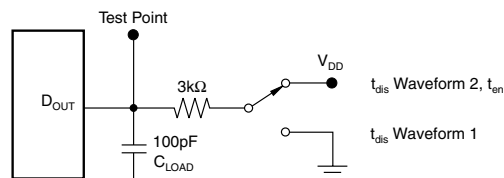
Load Circuit for t_{vDO} , t_r , and t_f



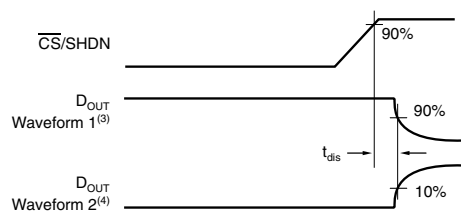
Voltage Waveforms for D_{OUT} Rise and Fall Times, t_r , t_f



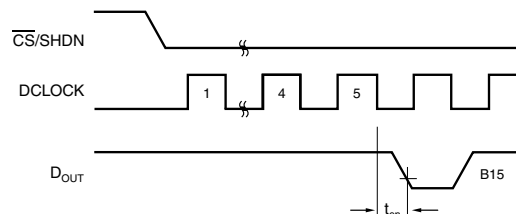
Voltage Waveforms for D_{OUT} Delay Times, t_{vDO}



Load Circuit for t_{dis} and t_{en}



Voltage Waveforms for t_{dis}



Voltage Waveforms for t_{en}

NOTES: (3) Waveform 1 is for an output with internal conditions such that the output is high unless disabled by the output control.
(4) Waveform 2 is for an output with internal conditions such that the output is low unless disabled by the output control.

図 1. タイミングと表1のパラメータ測定回路

タイミング情報

シンボル	概要	MIN	TYP	MAX	単位
t_{SMPL}	アナログ入力サンプル時間	4.5		5.0	クロック・サイクル
t_{CONV}	変換時間		16		クロック・サイクル
t_{CYC}	スループット・レート			100	kHz
t_{CSD}	$\overline{\text{CS}}$ 立ち下がりから DCLOCK LOW まで			0	ns
t_{SUCS}	$\overline{\text{CS}}$ 立ち下がりから DCLOCK 立ち上がりまで	20			ns
t_{HDO}	DCLOCK 立ち下がりから現在の D_{OUT} 無効まで	5	15		ns
t_{DIS}	$\overline{\text{CS}}$ 立ち上がりから D_{OUT} 3 ステートまで		70	100	ns
t_{EN}	DCLOCK 立ち下がりから D_{OUT} イネーブルまで		20	50	ns
t_{F}	D_{OUT} 立ち下がり時間		5	25	ns
t_{R}	D_{OUT} 立ち上がり時間		7	25	ns

表 1. タイミング特性

代表的特性：V_{DD} = +5V

特に指定のない限り、T_A = +25°C、V_{DD} = +5V、V_{REF} = +5V、f_{SAMPLE} = 100kHz、f_{CLK} = 24 × f_{SAMPLE}

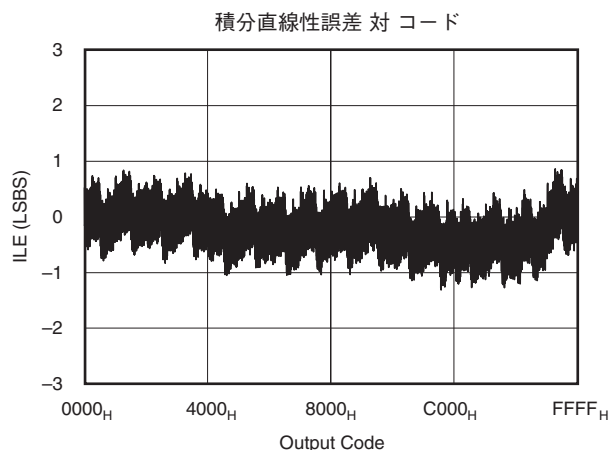


図 2

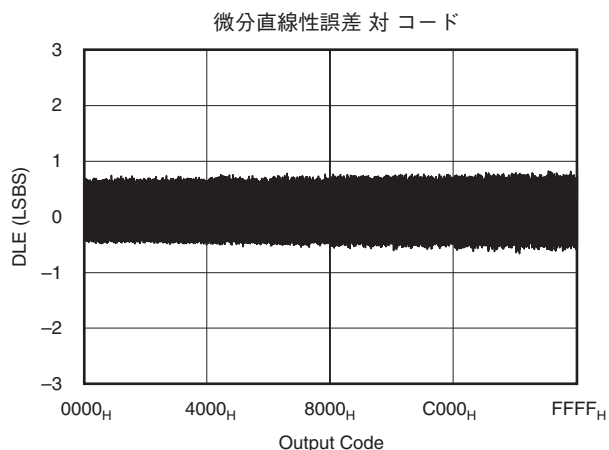


図 3

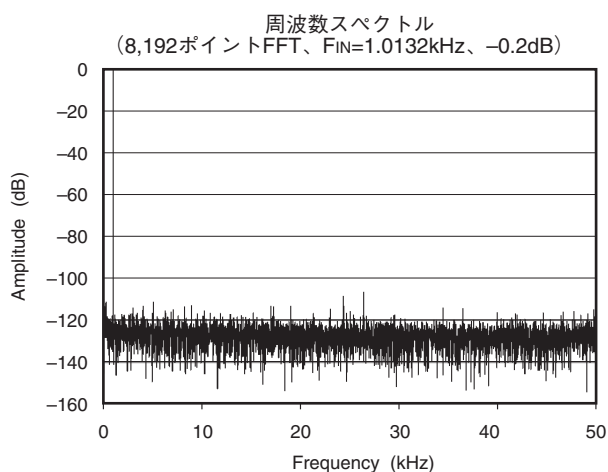


図 4

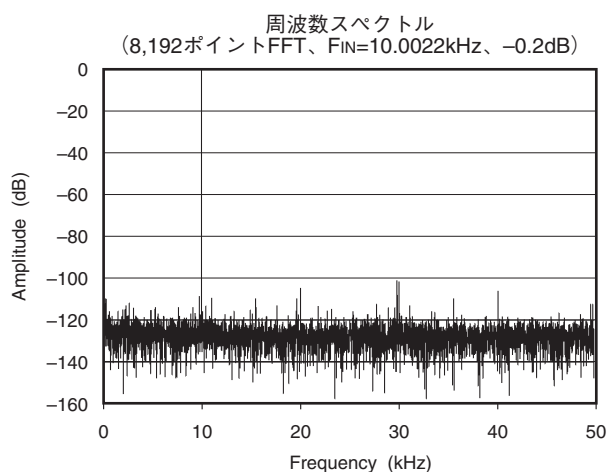


図 5

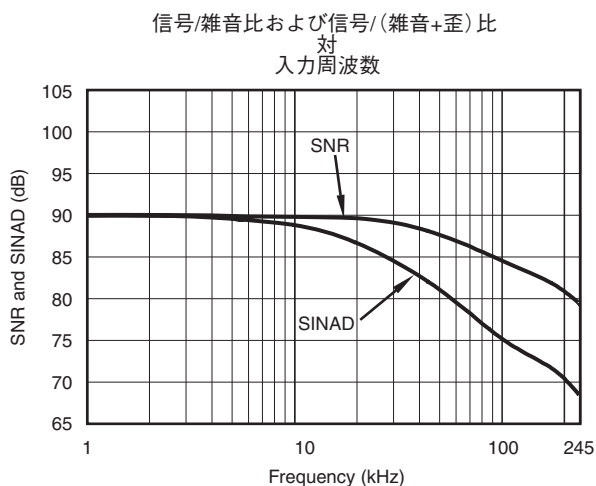


図 6

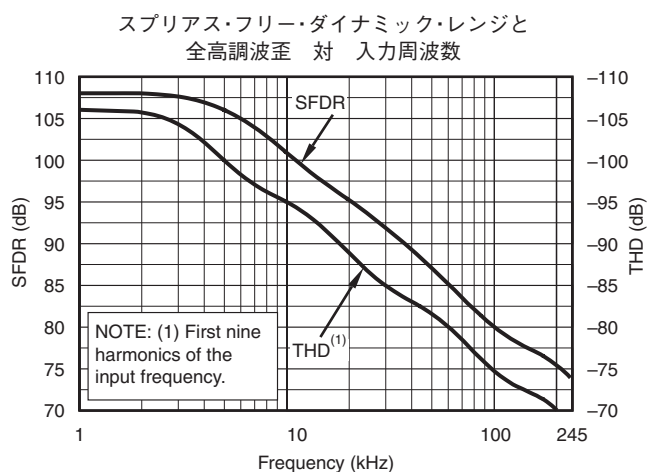


図 7

代表的特性：V_{DD} = +5V

特に指定のない限り、T_A = +25°C、V_{DD} = +5V、V_{REF} = +5V、f_{SAMPLE} = 100kHz、f_{CLK} = 24 × f_{SAMPLE}。

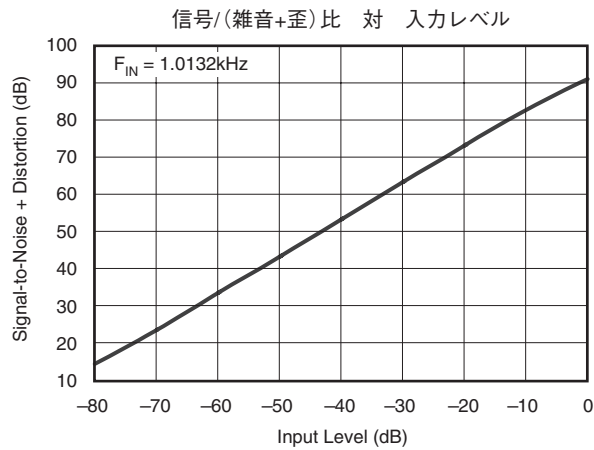


図 8

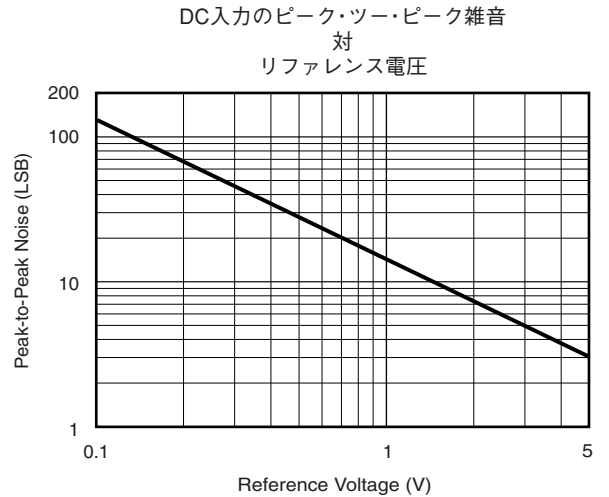


図 9

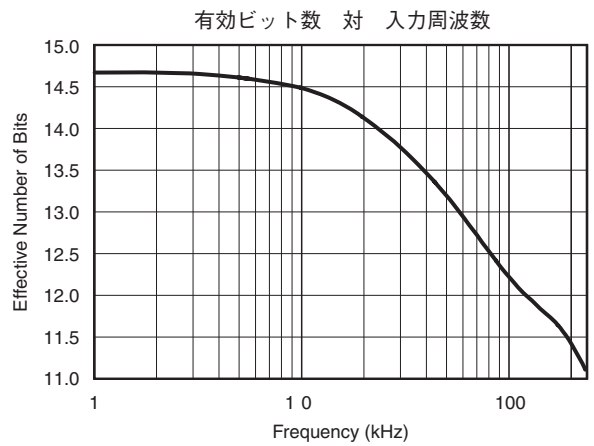


図 10

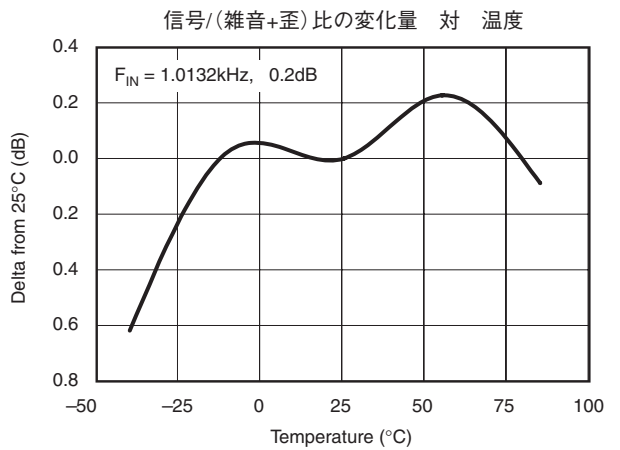


図 11

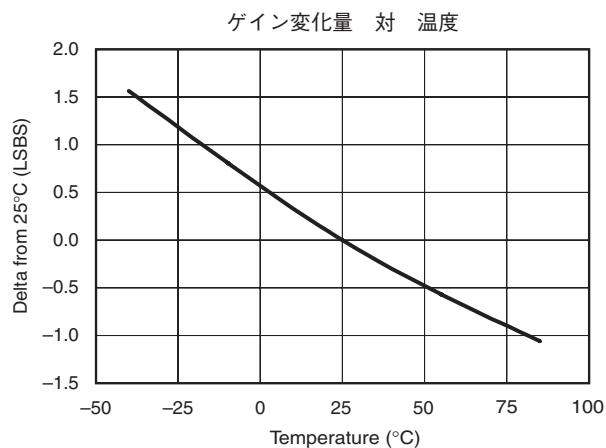


図 12

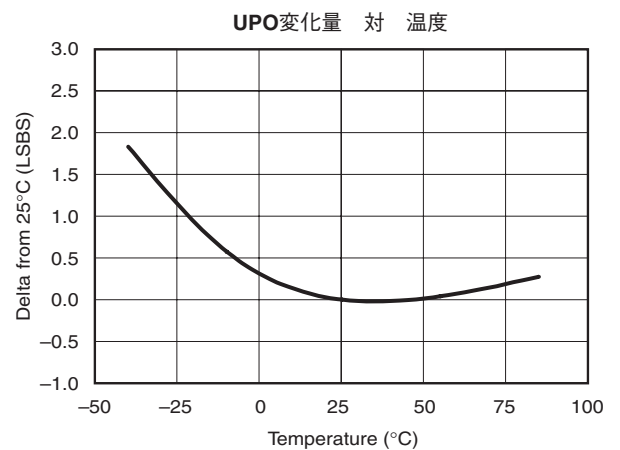


図 13

代表的特性： $V_{DD} = +5V$

特に指定のない限り、 $T_A = +25^{\circ}C$ 、 $V_{DD} = +5V$ 、 $V_{REF} = +5V$ 、 $f_{SAMPLE} = 100kHz$ 、 $f_{CLK} = 24 \times f_{SAMPLE}$ 。

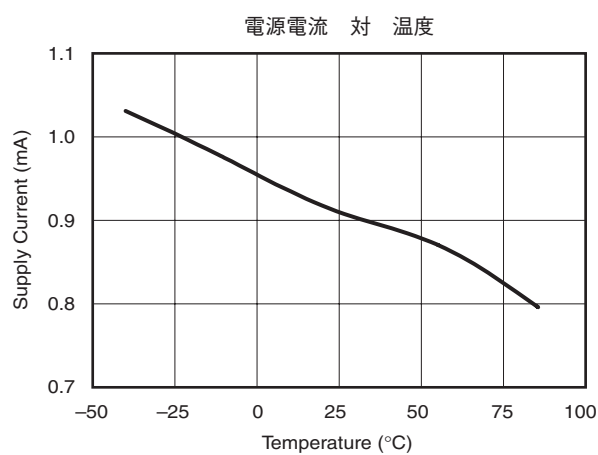


図 14

代表的特性：V_{DD} = +2.7V

特に指定のない限り、T_A = +25°C、V_{DD} = 2.7V、V_{REF} = 2.5V、f_{SAMPLE} = 100kHz、f_{CLK} = 24 × f_{SAMPLE}

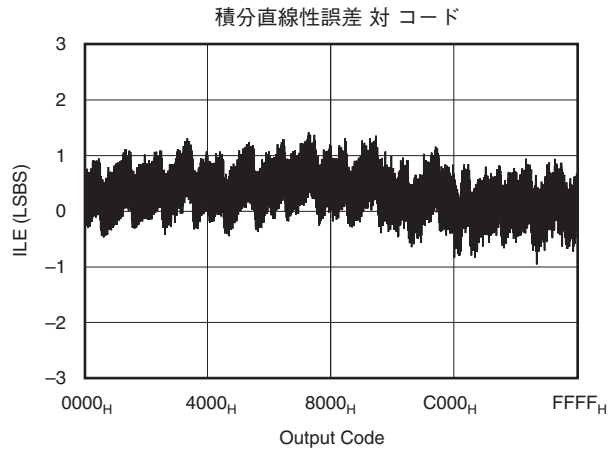


図 15

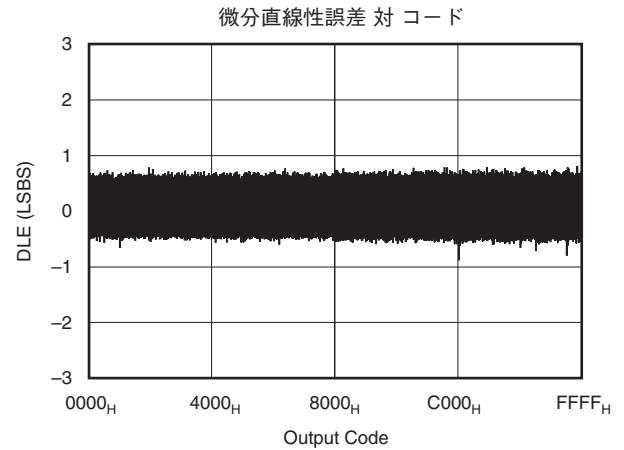


図 16

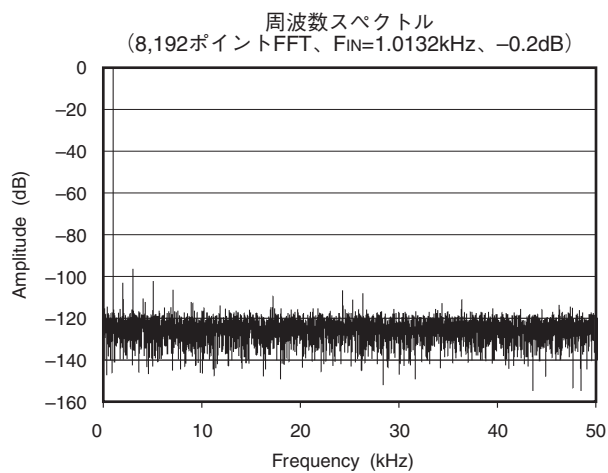


図 17

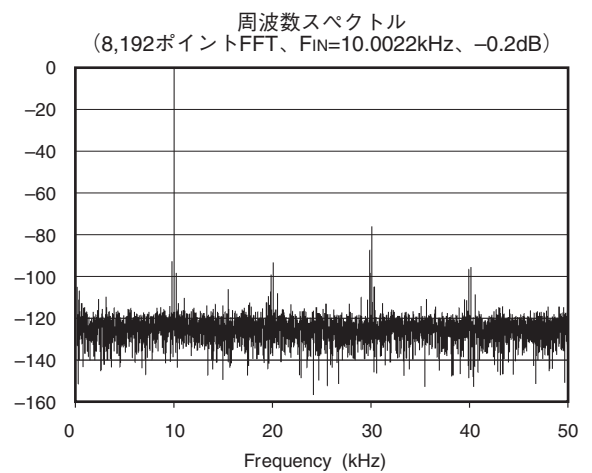


図 18

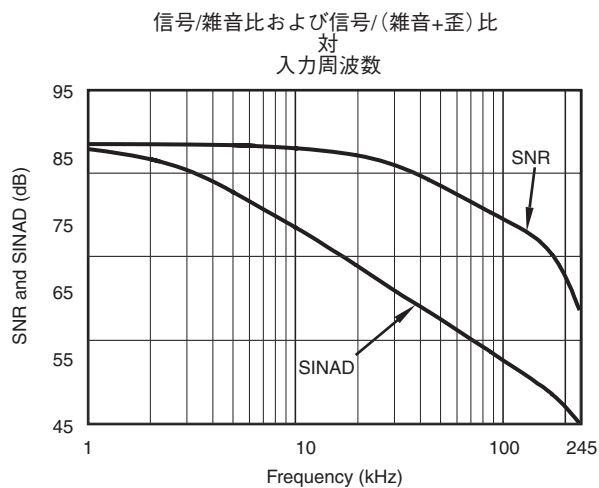


図 19

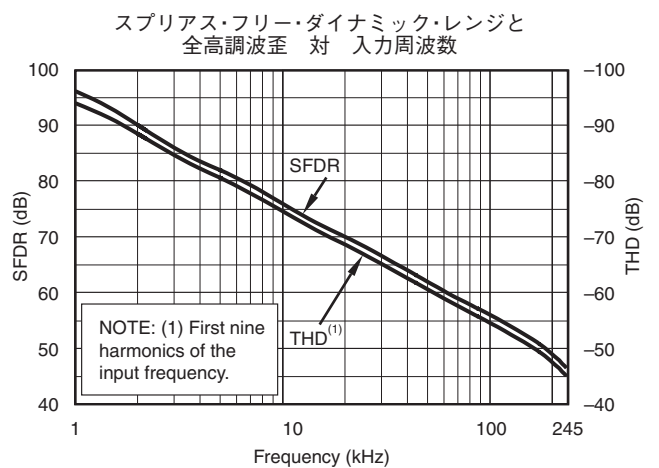
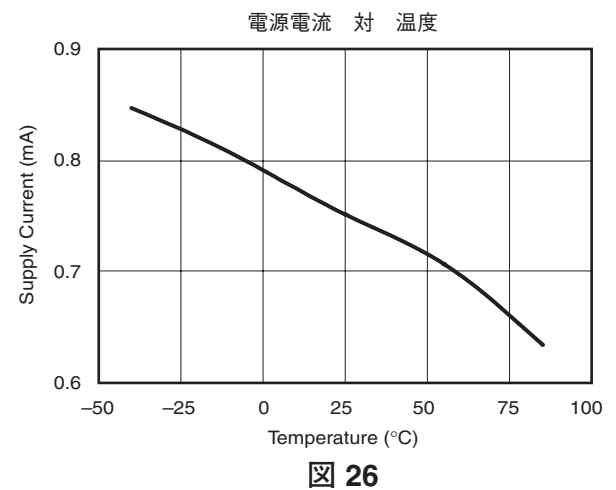
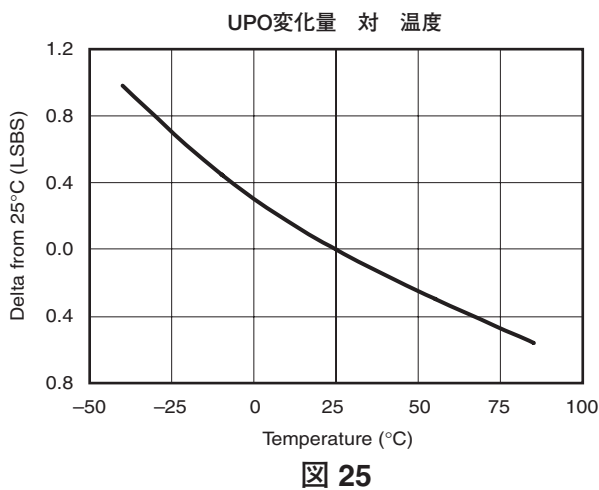
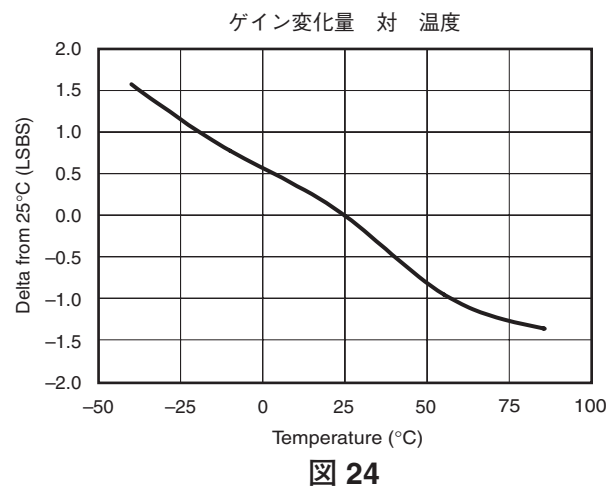
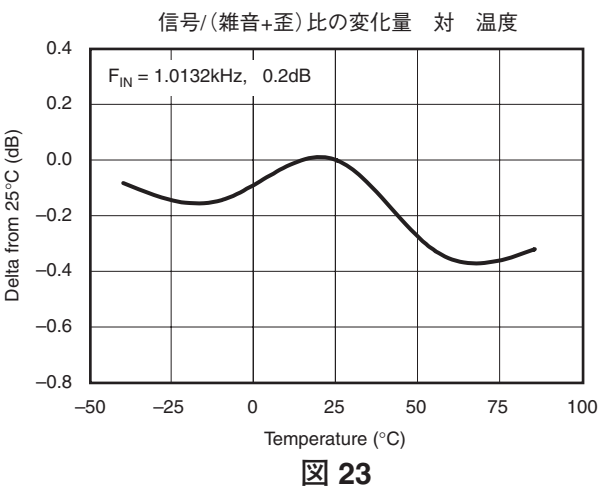
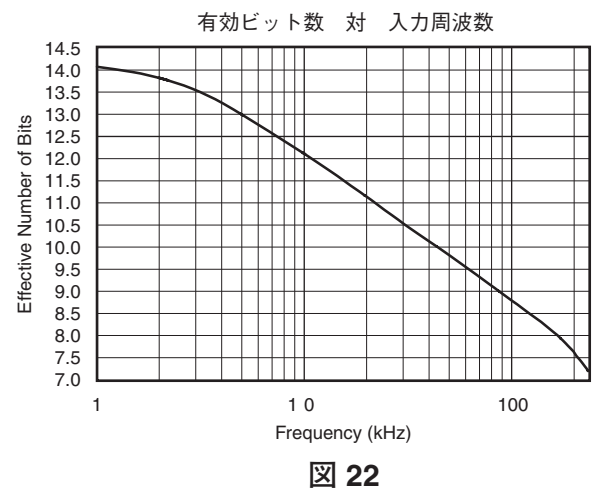
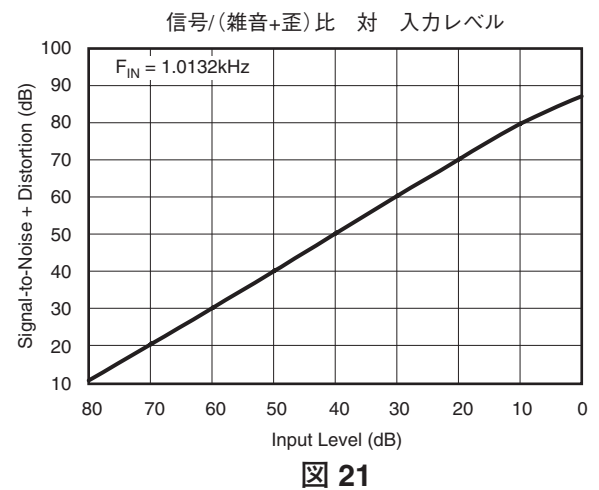


図 20

代表的特性：V_{DD} = +2.7V

特に指定のない限り、T_A = +25°C、V_{DD} = 2.7V、V_{REF} = 2.5V、f_{SAMPLE} = 100kHz、f_{CLK} = 24 × f_{SAMPLE}



動作原理

ADS8325は、従来型の逐次近似レジスタ (SAR) ADコンバータです。アーキテクチャは、サンプル・アンド・ホールド機能を内蔵した電荷再分配方式で、 $0.6\mu\text{m}$ CMOSプロセスで製造されています。これらのアーキテクチャとプロセスを採用したADS8325は、1秒あたり最大10万回までアナログ信号を収集/変換することができ、しかも $+V_{DD}$ での消費電力は4.5mW未満です。

ADS8325には、外部リファレンス電圧、外部クロック、および単電源 (V_{DD}) が必要です。外部リファレンス電源として、 $2.5V \sim V_{DD}$ の任意の電圧が使用できます。アナログ入力範囲は、リファレンス電圧により決まります。リファレンス電源からの入力電流の大きさは、ADS8325の変換レートによって異なります。

外部クロックは、24kHz (1kHzのスループット) から2.4MHz (100kHzのスループット) の間で可変です。クロックのデューティ・サイクルは、“High” と “Low” それぞれの最小期間が少なくとも200nsであれば ($V_{DD} = 4.75V$ 以上)、本質的には重要ではありません。最小クロック周波数は、ADS8325の入力コンデンサのリーク電流によって規定されています。

アナログ入力は、2つの入力ピン、+INおよび-INに印加します。変換が開始された時点で、差動の入力信号は内蔵コンデンサ・アレイにサンプリングされます。データ変換中は、入力端子は内部の回路と切り離されます。

変換で得られたデジタル値は、DCLOCK入力により、最上位ビット (MSB) を先頭として、シリアルにD_{OUT}ピンから出力されます。D_{OUT}ピンから出力されるデジタル・データは、現在進行中の変換に対応するものです。パイプライン遅延はありません。変換が完了した後も、ADS8325に対してクロックを供給し続けることにより、最下位ビット (LSB) を先頭としたシリアル・データを取得することができます。詳細については、「デジタル・タイミング」セクションを参照してください。

アナログ入力

ADS8325のアナログ入力は、差動形式です。+INと-INの各入力ピンには、差動信号を入力します。入力の振幅は、+IN入力と-IN入力の差、つまり、 $(+IN) - (-IN)$ です。この形式の一部のコンバータとは異なり、変換サイクルの中で-IN入力が後で再サンプリングされることはありません。コンバータがホールド・モード、つまり変換モードに入る直前に、+INと-INの電圧差が内蔵コンデンサ・アレイに取り込まれます。

-IN入力 (同相モード) の範囲は、 $-0.3V \sim +0.5V$ です。入力が差動形式ですので、両方の入力に共通な規定範囲内の信号 (同相入力) 分は除去されます。したがって、-IN入力は、ローカル・グラウンド電位に対してわずかな変動が考えられるリモート信号のグラウンドを検出するのに最適です。

ADS8325のアナログ信号を入力する一般的な方法を、図27および図28に示します。-IN入力には、同相電圧を入力します。+INの入力スイングは、-IN (同相電圧) から $-IN + V_{REF}$ (同相電圧 $+ V_{REF}$) までであり、ピーク・ツー・ピークの振幅は $+V_{REF}$ です。 V_{REF} の値によって、同相電圧の範囲が変動します (図29を参照)。図30および図31に、-INピンに印加された同相電圧に対する、ゲインとオフセットの代表的な変化を示します。

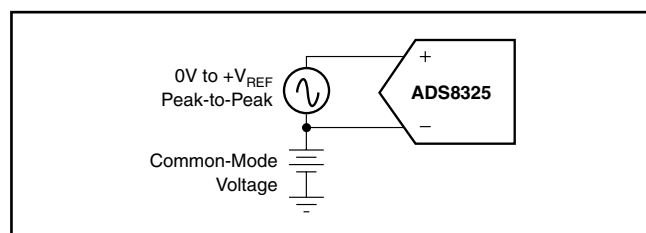


図 27. ADS8325の駆動方法

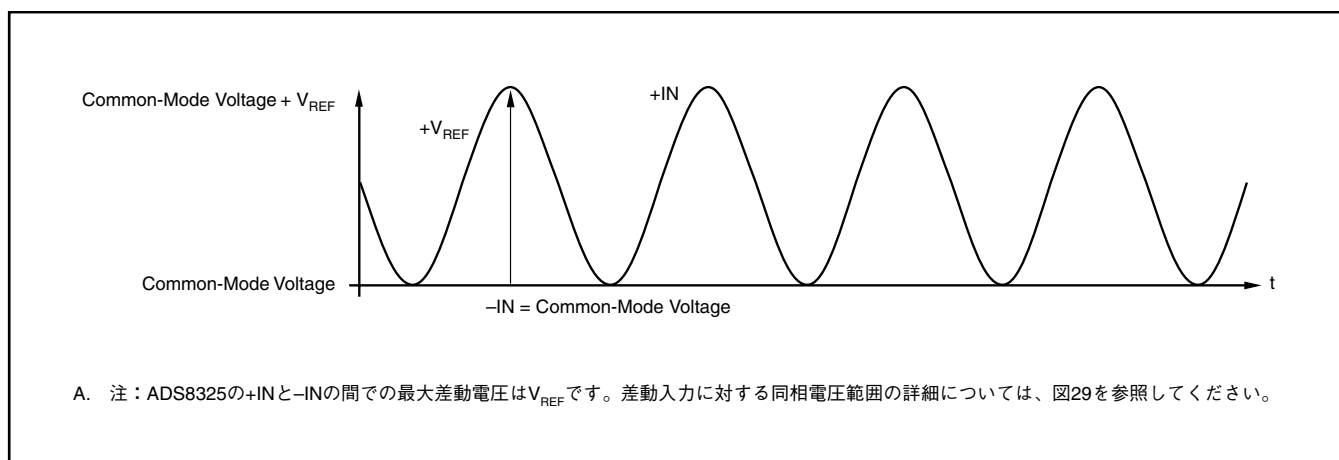


図 28. ADS8325の差動入力モード

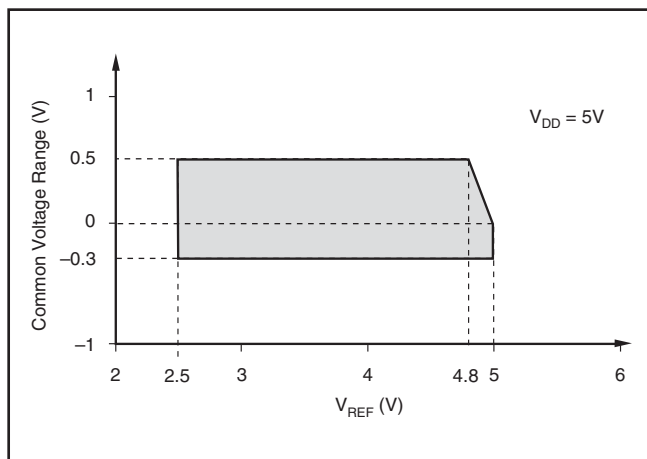


図 29. +INのアナログ入力：同相電圧範囲対 V_{REF}

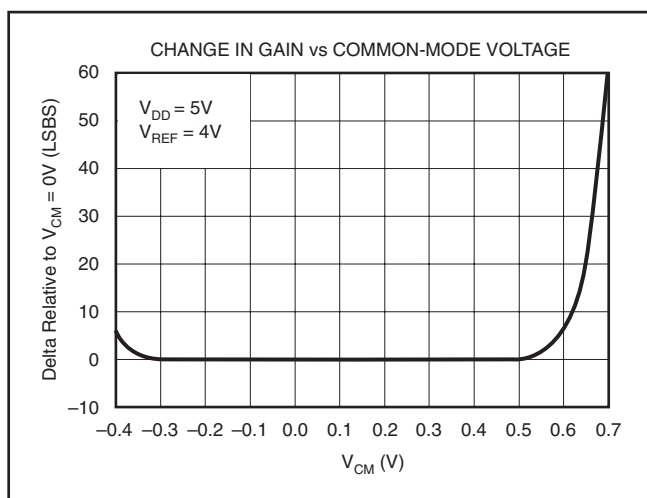


図 30. ゲインの変化 対 同相電圧

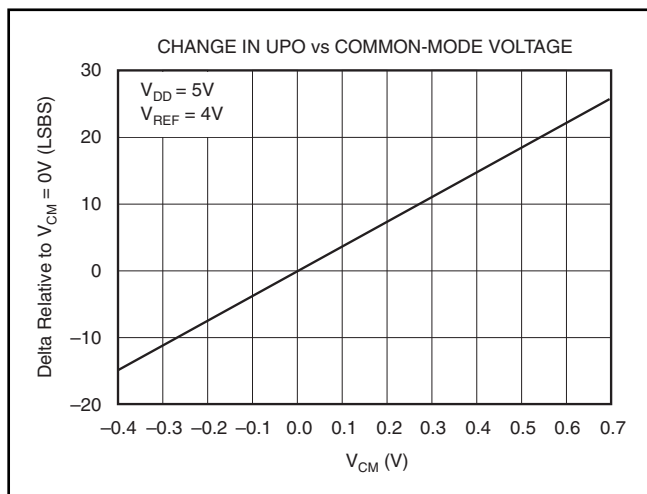


図 31. ユニポーラ・オフセット 対 同相電圧

アナログ入力としての入力電流は、サンプリング・レート、入力電圧、ソース・インピーダンス、およびパワーダウン・モードなど、多数の要素に依存します。ADS8325への入力電流の基本は、サンプル期間内で内蔵コンデンサ・アレイを充電することです。このコンデンサが完全に充電された後は、それ以上の入力電流は発生しません。アナログ入力のソースは、4.5クロック・サイクル (1.875 μ s) の間に入力コンデンサ (40pF) を16ビット精度のセリング・レベルまで充電できる駆動力が必要です。コンバータがホールド・モードとなっている時、またはパワーダウン・モードにある間は、入力インピーダンスは1G Ω 以上となります。

アナログ入力電圧の絶対値に関して注意を払う必要があります。コンバータのリニアリティ (直線性) を維持するために、-IN入力をGND - 0.3Vを下回る値、またはGND + 0.5Vを上回る値にしないでください。+IN入力は、(GND - 0.3V) ~ (VDD + 0.3V) の範囲、もしくは -IN ~ (-IN + V_{REF}) の範囲のうち、いずれか先に達する限度内にとどめてください。これらの範囲を超えた場合は、コンバータのリニアリティ (直線性) が仕様を満たさなくなる可能性があります。

ノイズを最小限に抑えるために、ローパス・フィルタを使用して帯域幅の狭い入力信号としてください。どちらの場合でも、+INおよび-INの各入力を駆動するソースの出力インピーダンスが確実にマッチングするよう注意する必要があります。多くの場合、負と正の入力の間に小容量のコンデンサ (20pF) を挿入すると、インピーダンスをマッチングするのに役立ちます。ADS8325の最大の性能を得るには、図32の入力回路をお勧めします。

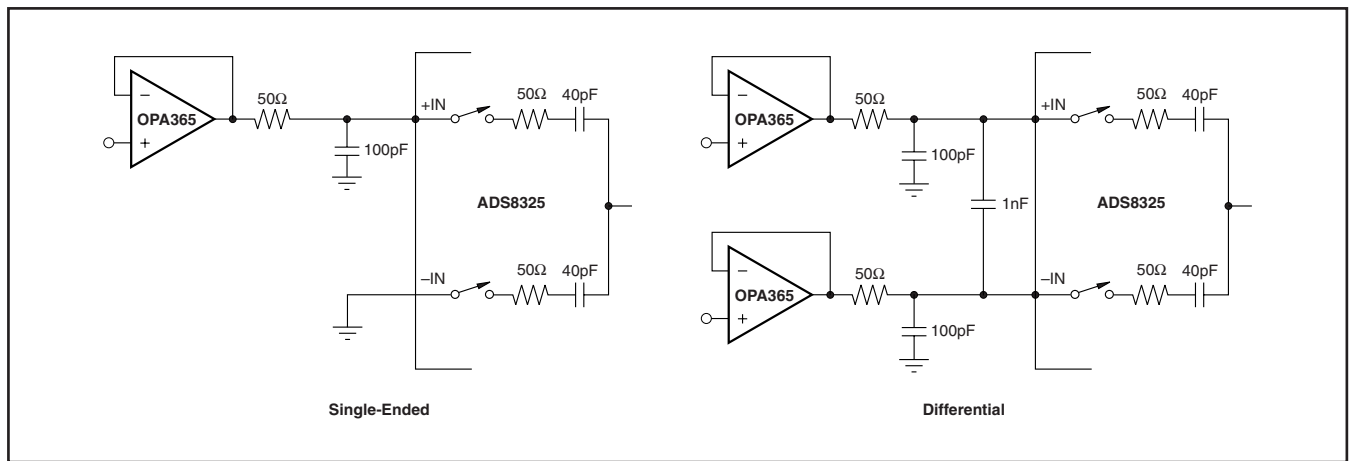


図 32. ADS8325 入力インターフェイスに使用するシングルエンドの手法と差動の手法

リファレンス入力

外部リファレンス電圧により、アナログ入力範囲を規定します。ADS8325のリファレンス電圧は、 $2.5V \sim V_{DD}$ の範囲です。これに関連して、いくつかの重要な内容について説明致します。

リファレンス電圧を低くするに従って、各デジタル出力コードに対応するアナログ電圧の重みも小さくなります。これは多くの場合、1LSB (デジタル量の最小単位) の重みとして表現されるもので、リファレンス電圧を65,536で割った値に相当します。これは、リファレンス電圧を低くするにつれて、LSB単位で表されたADコンバータに固有のオフセット誤差またはゲイン誤差が増加するように見えることを意味します。リファレンス電圧が2.5Vの場合は、1LSBの重み値は $38.15\mu V$ です。一方、リファレンス電圧が5Vの場合は、1LSBの重み値は $76.3\mu V$ です。

1LSBの重み値が小さいほど、コンバータに固有のノイズは増加するように見えます。5Vの電圧基準を使用する場合は、コンバータの内部ノイズは、出力コードに対してわずかに1.5LSB (ピーク・ツー・ピーク値) の誤差となります。一方、外部リファレンス電圧が2.5Vの場合は、潜在的な誤差に対する内部ノイズの寄与は、上記の2倍 (3LSB) になります。内部ノイズに起因する誤差は、性質上、ガウス分布をしているので、変換結果を平均化する方法で削減できます。

ノイズの詳細については、図9のピーク・ツー・ピーク・ノイズ対リファレンス電圧特性を参照してください。図10の有効ビット数 (Effective Number Of Bits、ENOB) という指標は、1kHz、0dBの入力信号を条件としたコンバータの信号/(雑音+歪) 比に基づいて計算されます。SINADは、次のようにENOBに関連付けられます。

$$\text{SINAD} = 6.02 \times \text{ENOB} + 1.76$$

電源電圧とリファレンス電圧の差が大きくなるにしたがって、ゲインとオフセットに関するコンバータの性能は低下します。図33に、電源電圧とリファレンス電圧の差に対する関数として、ゲインとオフセットの代表的な変化を示します。 $V_{DD} = 2.7V$ と $V_{REF} = 2.5V$ の組み合わせ、または $V_{DD} = 5V$ と $V_{REF} = 5V$ の組み合わせのとき、オフセットとゲインの誤差は最小になります。オフセットの差が最も顕著になるのは、 $V_{DD} = 5V$ と $V_{REF} = 2.5V$ の組み合わせです。

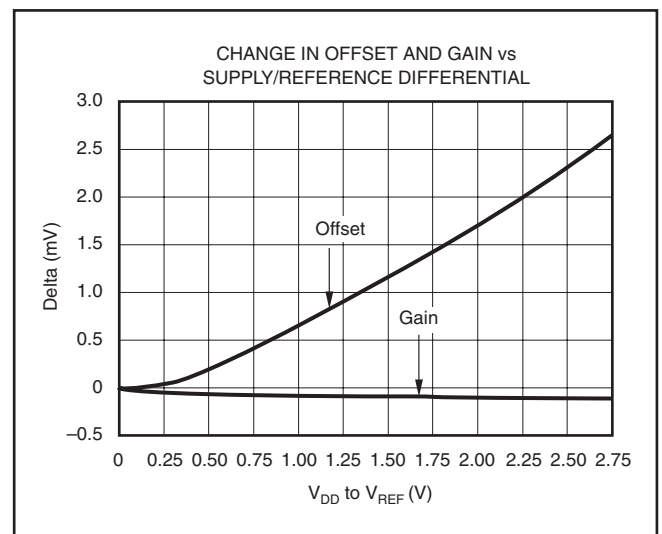


図 33. オフセットとゲインの変化 対 電源電圧とリファレンス電圧の差

リファレンス電圧が低い場合は、適切なバイパスコンデンサ、電源のノイズ、リファレンス電圧のノイズ、入力信号のノイズ、レイアウトのノイズの削減に十分注意を払う必要があります。この場合は、1LSBの重み値が小さくなるので、近くにあるデジタル信号や電磁波干渉 (EMI) のような外部誤差ソースに対してコンバータがより敏感になります。

リファレンス電圧の等価入力回路を図34に示します。5kΩの抵抗は、変換プロセス実行中における定負荷を示します。同時に、20pFの等価コンデンサもスイッチ接続されます。ADS8325の高性能を得るには、リファレンス電圧入力ピンに付加するインターフェイスに注意を払う必要があります。安定したリファレンス電圧を保証するために、低ESRの47μFのタンタル・コンデンサを入力ピンのできるだけ近くに接続する必要があります。出力インピーダンスの大きいリファレンス電圧源を使用する場合は、電流制限抵抗を持たせたバッファアンプを介してコンデンサを駆動する必要があります。

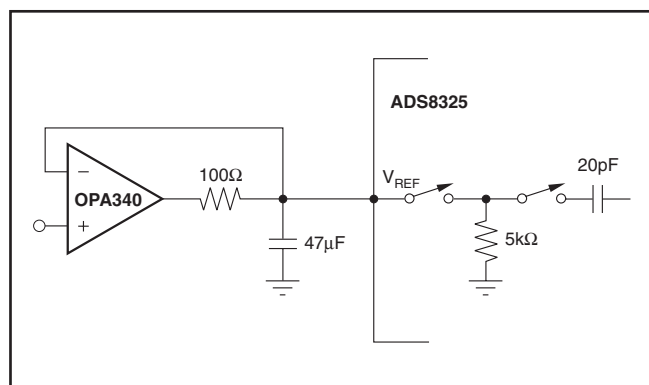


図 34. リファレンス電圧入力バッファ回路とそのインターフェイス

ADS8325がパワーダウン・モードになっているときは、リファレンス電圧入力ピンの入力抵抗は5GΩになります。このリファレンス電圧入力部のコンデンサは、次の変換を開始する前に再充電する必要があるため、良好なダイナミック特性を持つオペアンプを使用したリファレンス電圧のバッファ回路を挿入する必要があります。

ノイズ

ADS8325自体の変換ノイズはごくわずかです(図35および図36を参照)。これは、他のADコンバータよりも明らかに低い値です。これらのヒストグラムは、(コード7FFFに相当する)低ノイズのDC入力を印加し、5,000回の変換を実行した結果です。ADコンバータは、ADS8325の内部ノイズによって出力コードが変化します。これは、16ビットSARタイプのADコンバータ全般に当てはまることです。ヒストグラムを使用して出力コードの頻度をプロットした場合、分布は釣鐘型になり、釣鐘型のピークは、入力値に相当する標準値を表します。 $\pm 1\sigma$ 、 $\pm 2\sigma$ 、および $\pm 3\sigma$ は、それぞれの標準偏差内に含まれるコードの割合が68.3%、95.5%、および99.7%であることを表します。変換ノイズを計算するには、測定されたコードの数を6で割ります。その結果、全コードに対する $\pm 3\sigma$ 値、つまり頻度99.7%に該当する値が得られます。統計的には、1,000回の変換を実行したときに、最大3つのコード(変換データ)がこの分布より外側に位置することを示します。ADS8325の場合、 $\pm 3\sigma$ の分布より外側に位置する出力コードの度数が3未満(測定回数が3回未満)であるときに、 $\pm 0.5\text{LSB}$ 未満の変換ノイズを達成できることになります。この低ノイズ性能を達成するには、入力信号とリファレンス電圧のピーク・ツー・ピーク・ノイズが50μV未満でなければならないことに注意してください。

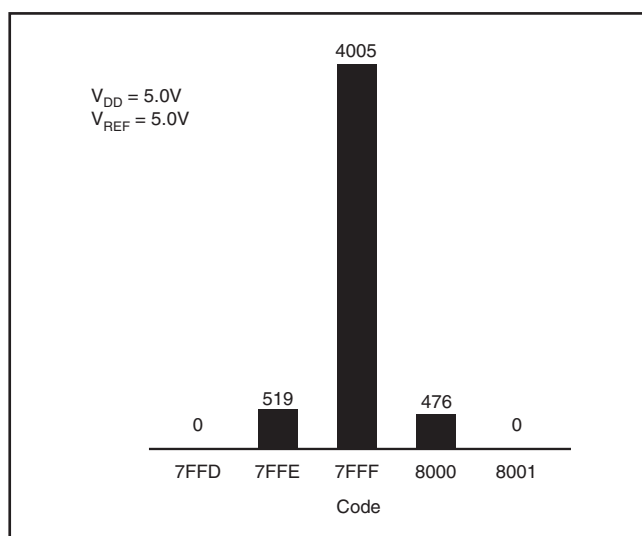


図 35. DC入力を5,000回変換した結果のヒストグラム

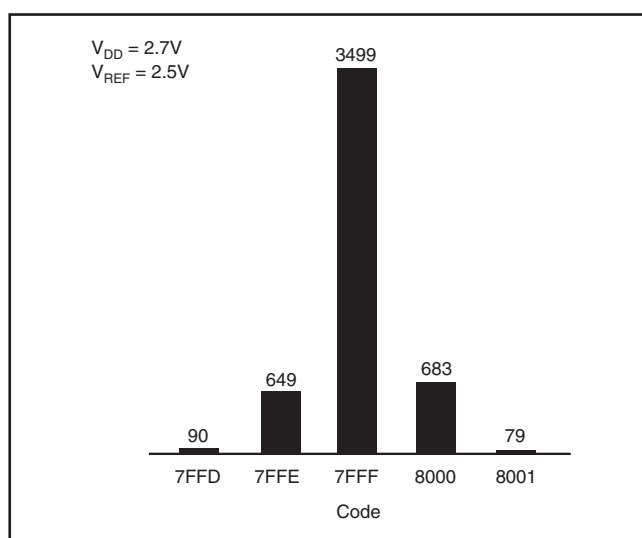


図 36. DC入力を5,000回変換した結果のヒストグラム

平均化

デジタル・コードを平均化する方法で、ADコンバータのノイズを補正することもできます。変換結果を平均化すると、変換ノイズは $1/\sqrt{n}$ に減少します。ここで、 n は平均化したデータ数です。たとえば、4回の変換結果を平均化すると、変換ノイズは $\pm 0.5\text{LSB}$ から $\pm 0.25\text{LSB}$ に減少します。平均化は、入力信号の周波数がDCに近い場合のみに限定してください。

AC信号の場合は、ローパス・フィルタとして、出力コードの数を減らす(デシメーション)デジタル・フィルタを使用することもできます。これは、平均化に似た効果をもたらします。出力コードの数を1/2にする(2でデシメーション)ごとに、信号/雑音比は3dB改善されます。

デジタル・インターフェイス 信号レベル

ADS8325では、広い範囲の電源電圧を使用できます。このADコンバータと、関連するデジタル・インターフェイス回路は、2.7Vから最大5.5Vで動作するように設計されています。この電圧範囲は、いくつかのロジック・レベルに対応します。

ADS8325の電源電圧が4.5V～5.5Vの範囲(5Vのロジック・レベル)にあるときは、ADS8325を他の5V CMOS ICに直接接続できます。

もう1つの選択肢は、ADS8325の電源電圧を2.7V～3.6Vの範囲にすることです。その場合、ADS8325を他の3.3V LVCMOS ICに直接接続できます。

シリアル・インターフェイス

ADS8325は、同期3線シリアル・インターフェイス経由で、マイクロプロセッサおよび他のデジタル・システムと通信を実行できます。タイミング図およびタイミング特性表に示します。DCLOCK信号は、DCLOCKの立ち下がりエッジで各ビットデータを送信する方法で、データを同期転送します。ほとんどの受信システムは、DCLOCKの立ち上がりエッジでビットストリームを取り込みます。ただし、D_{OUT}の最小ホールド時間が許容できる場合は、DCLOCKの立ち下がりエッジを使用して各ビットを取り込むこともできます。

$\overline{CS}$ の立ち下がり信号により、変換とデータ転送が開始されます。変換サイクルのうち、最初の4.5～5.0クロックは、入力信号をサンプリングするために使用されます。DCLOCKの5番目の立ち下がりエッジが発生した後、D_{OUT}がイネーブルになり、1クロック期間“Low”の値を出力します。続く16のDCLOCK期間にわたって、D_{OUT}は最上位ビット(MSB)を先頭として、変換結果を出力します。最下位ビット(B0)が出力された後、それ以降のクロックに対応して、今度は最下位ビット(LSB)を先頭とした形式で出力データが繰り返し出力されます。

最上位ビット(B15)まで繰り返した後、D_{OUT}は3ステート出力になります。それ以降のクロックは、コンバータに対して何も影響を及ぼしません。新しい変換が開始されるのは、 $\overline{CS}$ を“High”に設定し、“Low”に戻した場合のみです。

データ形式

ADS8325からの出力データは、ストレート・バイナリ形式です(図37を参照)。この図は、与えられた入力電圧に対する理想的な出力コードを表すもので、オフセット、ゲイン誤差、ノイズいずれの影響も含まれていません。

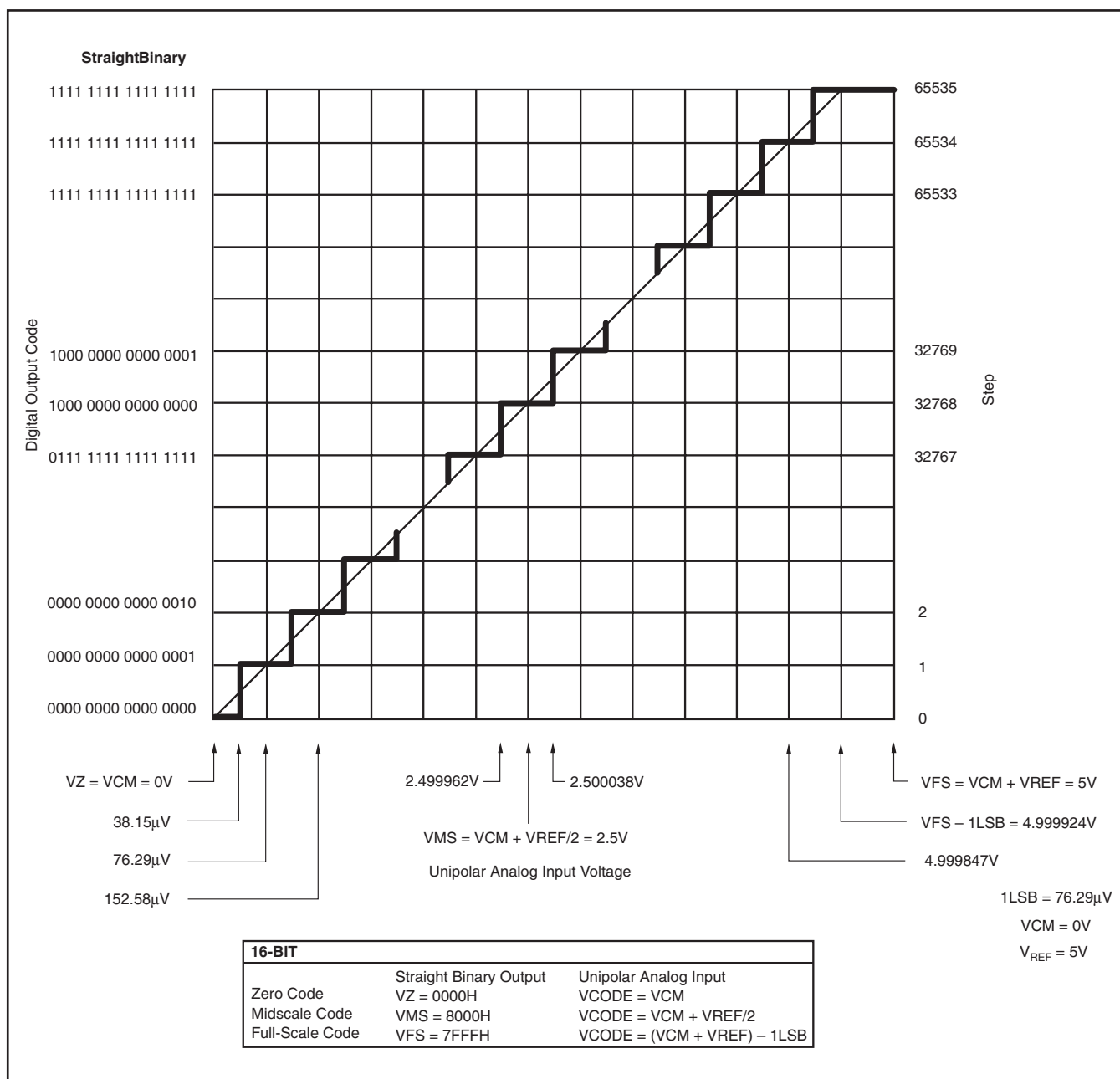


図 37. 理想的な変換特性 (条件: $V_{CM} = 0V$ 、 $V_{REF} = 5V$)

消費電力

コンバータのアーキテクチャ、半導体製造プロセス、および注意深い設計により、ADS8325は最大100kHzのレートで変換を実行でき、しかも必要な電力はごくわずかです。ただし、最小の消費電力を達成するには、いくつか注意する点があります。

ADS8325の消費電力は、変換レートに直接関連します。したがって、最小の消費電力を達成するための最初の手順は、システムの要件を満たす最小の変換レートを見つけることです。

さらに、ADS8325は2つの条件のいずれかが満たされたときにパワーダウン・モードに移行します。変換が完了した場合と、 $\overline{CS}$ が“High”にとどまっている場合です（「タイミング図」を参照）。理想的には、各変換をできるだけ迅速に実行します。望ましいのは2.4MHzのクロック・レートで実行することです。この方法によって、コンバータを可能な限り長い時間にわたってパワーダウン・モードにとどめることができます。これは非常に重要なことです。DCLOCKの遷移ごとに、コンバータが電力を消費する（デジタルCMOSコンポーネントの一般的な特性）ことに加え、コンパレータのようなアナログ回路もある程度の電流を消費するからです。パワーダウン・モードに移行するまでは、アナログ部分は継続的に電力を消費します。

ADS8325の消費電流とサンプル・レートの詳細については、図38および図39を参照してください。これらのグラフでは、サンプル・レートに関わりなく、コンバータに対して2.4MHzのクロックを供給します。残りのサンプル期間にわたって、 $\overline{CS}$ を“High”に固定します。

変換が完了した後に自動的に移行するパワーダウン・モードと、 $\overline{CS}$ が“High”である場合のフル・パワーダウン・モードの間には、重要な違いがあります。 $\overline{CS}$ が“Low”である場合は、アナログ部分のみがシャットダウンされます。デジタル部分が完全にシャットダウンされるのは、 $\overline{CS}$ が“High”である場合のみです。したがって、変換が終わった後も $\overline{CS}$ が“Low”にとどまり、コンバータに対するクロック供給が継続されている場合は、 $\overline{CS}$ が“High”である場合ほど消費電力は低下しません。

変換サイクル短縮

電力を節約するもう1つの方法は、 $\overline{CS}$ 信号を使用し、変換サイクルを短縮することです。ADS8325は、最新のデータ・ビットを生成された時点で D_{OUT} ラインに出力することから、このコンバータでは簡単にサイクルを短縮できます。この意味は、任意の時点で変換を終了できることを意味します。たとえば、変換結果のうち上位14ビットのみが必要な場合は、14ビットがクロック出力された後、($\overline{CS}$ を“High”に設定することにより)変換を終了することができます。

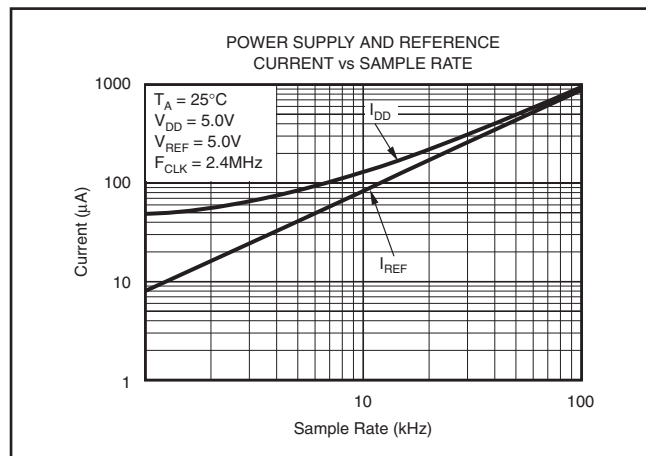


図 38. 電源電流とリファレンス電源電流 対 サンプル・レート、 $V_{DD} = 5V$ 時

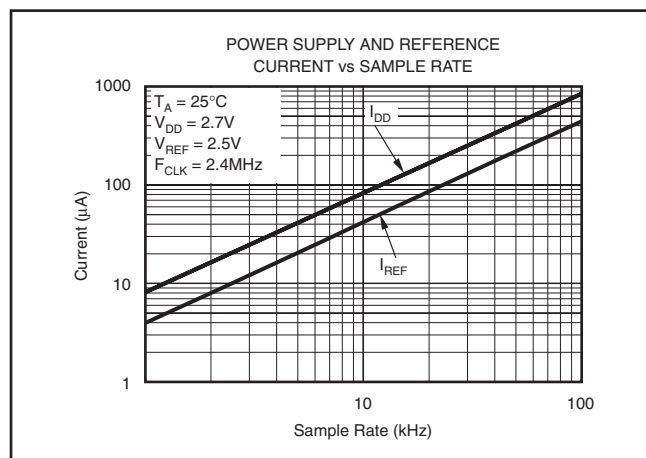


図 39. 電源電流とリファレンス電源電流 対 サンプル・レート、 $V_{DD} = 2.7V$ 時

何らかの条件が成立するまでアナログ信号を監視するアプリケーションでは、この手法を使用して消費電力を低減する（または変換レートを高める）ことができます。たとえば、信号が、あらかじめ定義された範囲を越えた場合は、16ビット全体の変換が不要になることがあります。その場合は、最初のnビットの変換が終わった後で変換を終了できます。ここで、nは3または4のように低い値という可能性もあります。この結果、コンバータと残りのシステム部分の両方で、消費電力が低下します。両者がパワーダウン・モードにとどまる時間が長くなるからです。

レイアウト

最適性能を達成するために、ADS8325回路の物理的なレイアウトに注意を払う必要があります。リファレンス電圧が低い場合や、変換レートが高い場合は、特にこのことが当てはまります。変換レートが100kHzである場合、ADS8325は416nsごとに1ビットを決定します。つまり、それ以降のビット決定を行うたびに、直前のビット決定の結果を使用してデジタル出力を更新し、コンデンサ・アレイを適切にスイッチングおよび充電し、コンバータへの入力を16ビット・レベルにセトリングする作業のすべてを1クロックのうちに実行する必要があります。

基本的なSARアーキテクチャは、コンバータ出力をラッチする直前に、電源、リファレンス電圧、およびグランド接続上に発生するスパイクに対して敏感です。即ち、 n ビットのSARコンバータにおける1回のデータ変換には n 個の「ウィンドウ」が存在しますが、その間に外部で大きな過渡電圧が発生した場合は、変換結果に影響を及ぼす可能性があります。そのようなスパイクの発生源として、スイッチング電源、デジタル・ロジック、大電力デバイスなど、いくつかを挙げることができます。グリッチがコンバータのDCLOCK信号にほぼ同期している場合は、誤差をもたらすこれら特定のソースの追跡が非常に困難になることがあります。両者の位相の違いは、時間と温度によって変化し、散発的に誤動作をもたらすからです。

このことを考慮して、ADS8325に対する電源をノイズの少ないものにし、適切にバイパスする必要があります。ADS8325パッケージのできるだけ近くに0.1 μ Fのセラミック・バイパス・コンデンサを配置する必要があります。さらに、雑音の多い電源に対しては、1 μ F～10 μ Fのコンデンサと5 Ω または10 Ω の直列抵抗を使用したローパス・フィルタが有効です。

同様に、リファレンス電圧も、47 μ Fのコンデンサを使用してバイパスする必要があります。ここでも、直列抵抗と比較的大きなコンデンサを使用して、リファレンス電圧に対するローパス・フィルタを実現することもできます。リファレンス電圧がオペアンプを介して接続されている場合は、オペアンプが発振をもたらすことなくバイパス・コンデンサを駆動できることを確認してください(この場合は、直列抵抗が役立つ可能性があります)。ADS8325はリファレンス電源に関連して平均的には

ごくわずかな電流を取り出すのみですが、瞬間的には入力信号とリファレンス電圧に対して瞬時電流を要求することを考慮してください。

TIのオペアンプOPA627は、入力信号とリファレンス電圧入力の方をバッファリングする上で最適性能を提供します。低コスト、低電圧、単電源のアプリケーションに対しては、OPA2350またはOPA2340のデュアル・オペアンプをお勧めします。

また、リファレンス電圧入力に対して、ADS8325がノイズや電圧変動の除去機能を内蔵していないことも考慮してください。リファレンス電圧入力電源に直結している場合は、これは特に重要な注意事項になります。電源からのあらゆるノイズやリップルは、デジタル結果に対して直接的に反映されます。前の段落で説明したように、高周波ノイズはフィルタによって除去できますが、電源ラインの周波数(50Hzまたは60Hz)に起因する電圧変動を除去するのは困難なことがあります。

ADS8325のGNDピンは、ノイズの少ないグランド・ポイントに接続する必要があります。多くの場合、これに適しているのは「アナログ」グランドです。GNDピンを、マイクロプロセッサ、マイクロコントローラ、またはデジタル・シグナル・プロセッサのグランド・ポイントのすぐ近くに接続することを避けてください。必要な場合は、コンバータから電源接続ポイントまで、直接グランド・トレース(パターン)を設けてください。理想的なレイアウトは、コンバータと関連するアナログ回路に対して、アナログ・グランド・プレーンを設けることです。

アプリケーション回路

図40に、基本的なデータ・アキュイジション・システムを示します。ADS8325の入力範囲が2.5Vまたは4.096Vになるように接続します。5 Ω の抵抗と1 μ F～10 μ Fのコンデンサは、電源から混入するマイクロコントローラの「ノイズ」、および電源自体からの高周波ノイズを除去するフィルタとして機能します。正確な値は、フィルタが適切なノイズ除去機能を果たせるように選択する必要があります。オペアンプとリファレンス電圧源は、アナログ電源、 AV_{DD} を用います。

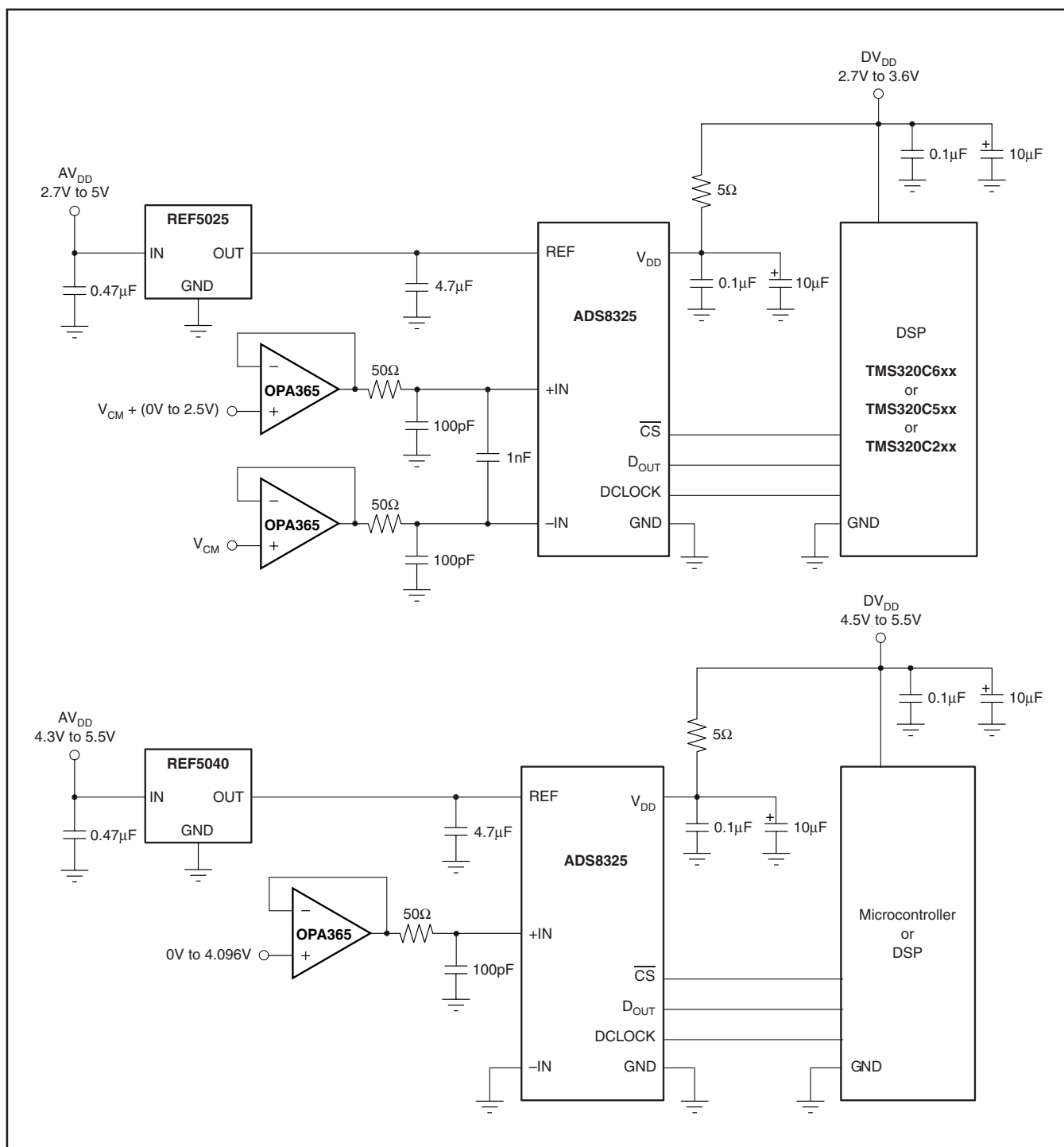


図 40. 基本的なデータ収集システムに関する2つの例

パッケージ・オプション

製品情報

Orderable Device	Status ⁽¹⁾	Package Type	Package Drawing	Pins	Package Qty	Eco Plan ⁽²⁾	Lead/Ball Finish	MSL Peak Temp ⁽³⁾
ADS8325IBDGKR	ACTIVE	MSOP	DGK	8	2500	Green (RoHS & no Sb/Br)	CU NIPDAU	Level-2-260C-1 YEAR
ADS8325IBDGKRG4	ACTIVE	MSOP	DGK	8	2500	Green (RoHS & no Sb/Br)	CU NIPDAU	Level-2-260C-1 YEAR
ADS8325IBDGKT	ACTIVE	MSOP	DGK	8	250	Green (RoHS & no Sb/Br)	CU NIPDAU	Level-2-260C-1 YEAR
ADS8325IBDGKTG4	ACTIVE	MSOP	DGK	8	250	Green (RoHS & no Sb/Br)	CU NIPDAU	Level-2-260C-1 YEAR
ADS8325IBDRBR	ACTIVE	SON	DRB	8	2500	Green (RoHS & no Sb/Br)	CU NIPDAU	Level-2-260C-1 YEAR
ADS8325IBDRBRG4	ACTIVE	SON	DRB	8	2500	Green (RoHS & no Sb/Br)	CU NIPDAU	Level-2-260C-1 YEAR
ADS8325IBDRBT	ACTIVE	SON	DRB	8	250	Green (RoHS & no Sb/Br)	CU NIPDAU	Level-2-260C-1 YEAR
ADS8325IBDRBTG4	ACTIVE	SON	DRB	8	250	Green (RoHS & no Sb/Br)	CU NIPDAU	Level-2-260C-1 YEAR
ADS8325IDGKR	ACTIVE	MSOP	DGK	8	2500	Green (RoHS & no Sb/Br)	CU NIPDAU	Level-2-260C-1 YEAR
ADS8325IDGKT	ACTIVE	MSOP	DGK	8	250	Green (RoHS & no Sb/Br)	CU NIPDAU	Level-2-260C-1 YEAR
ADS8325IDGKTG4	ACTIVE	MSOP	DGK	8	250	Green (RoHS & no Sb/Br)	CU NIPDAU	Level-2-260C-1 YEAR
ADS8325IDRBR	ACTIVE	SON	DRB	8	2500	Green (RoHS & no Sb/Br)	CU NIPDAU	Level-2-260C-1 YEAR
ADS8325IDRBRG4	ACTIVE	SON	DRB	8	2500	Green (RoHS & no Sb/Br)	CU NIPDAU	Level-2-260C-1 YEAR
ADS8325IDRBT	ACTIVE	SON	DRB	8	250	Green (RoHS & no Sb/Br)	CU NIPDAU	Level-2-260C-1 YEAR
ADS8325IDRBTG4	ACTIVE	SON	DRB	8	250	Green (RoHS & no Sb/Br)	CU NIPDAU	Level-2-260C-1 YEAR

⁽¹⁾ マーケティング・ステータスは次のように定義されています。

ACTIVE：製品デバイスが新規設計用に推奨されています。

LIFEBUY：TIによりデバイスの生産中止予定が発表され、ライフタイム購入期間が有効です。

NRND：新規設計用に推奨されていません。デバイスは既存の顧客をサポートするために生産されていますが、TIでは新規設計にこの部品を使用することを推奨していません。

PREVIEW：デバイスは発表済みですが、まだ生産が開始されていません。サンプルが提供される場合と、提供されない場合があります。

OBSOLETE：TIによりデバイスの生産が中止されました。

⁽²⁾ エコ・プラン - 環境に配慮した製品分類プランであり、Pb-Free (RoHS)、Pb-Free (RoHS Expert) およびGreen (RoHS & no Sb/Br) があります。最新情報および製品内容の詳細については、<http://www.ti.com/productcontent>でご確認ください。

TBD：Pb-Free/Green変換プランが策定されていません。

Pb-Free (RoHS)：TIにおける“Lead-Free”または“Pb-Free”(鉛フリー)は、6つの物質すべてに対して現在のRoHS要件を満たしている半導体製品を意味します。これには、同種の材質内で鉛の重量が0.1%を超えないという要件も含まれます。高温で半田付けするように設計されている場合、TIの鉛フリー製品は指定された鉛フリー・プロセスでの使用に適しています。

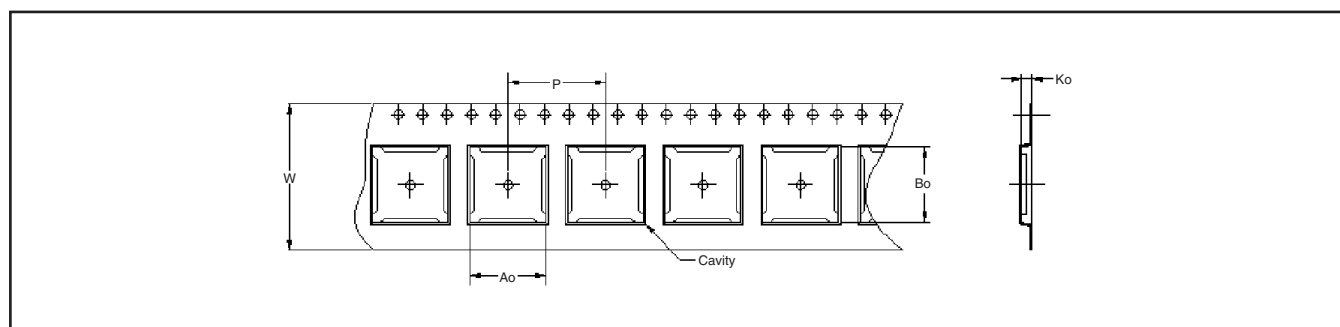
Pb-Free (RoHS Exempt)：この部品は、1) ダイとパッケージの間に鉛ベースの半田バンプ使用、または 2) ダイとリードフレーム間に鉛ベースの接着剤を使用、が除外されています。それ以外は上記の様にPb-Free (RoHS)と考えられます。

Green (RoHS & no Sb/Br)：TIにおける“Green”は、“Pb-Free”(RoHS互換)に加えて、臭素(Br)およびアンチモン(Sb)をベースとした難燃材を含まない(均質な材質中のBrまたはSb重量が0.1%を超えない)ことを意味しています。

⁽³⁾ MSL、ピーク温度 -- JEDEC業界標準分類に従った耐湿性レベル、およびピーク半田温度です。

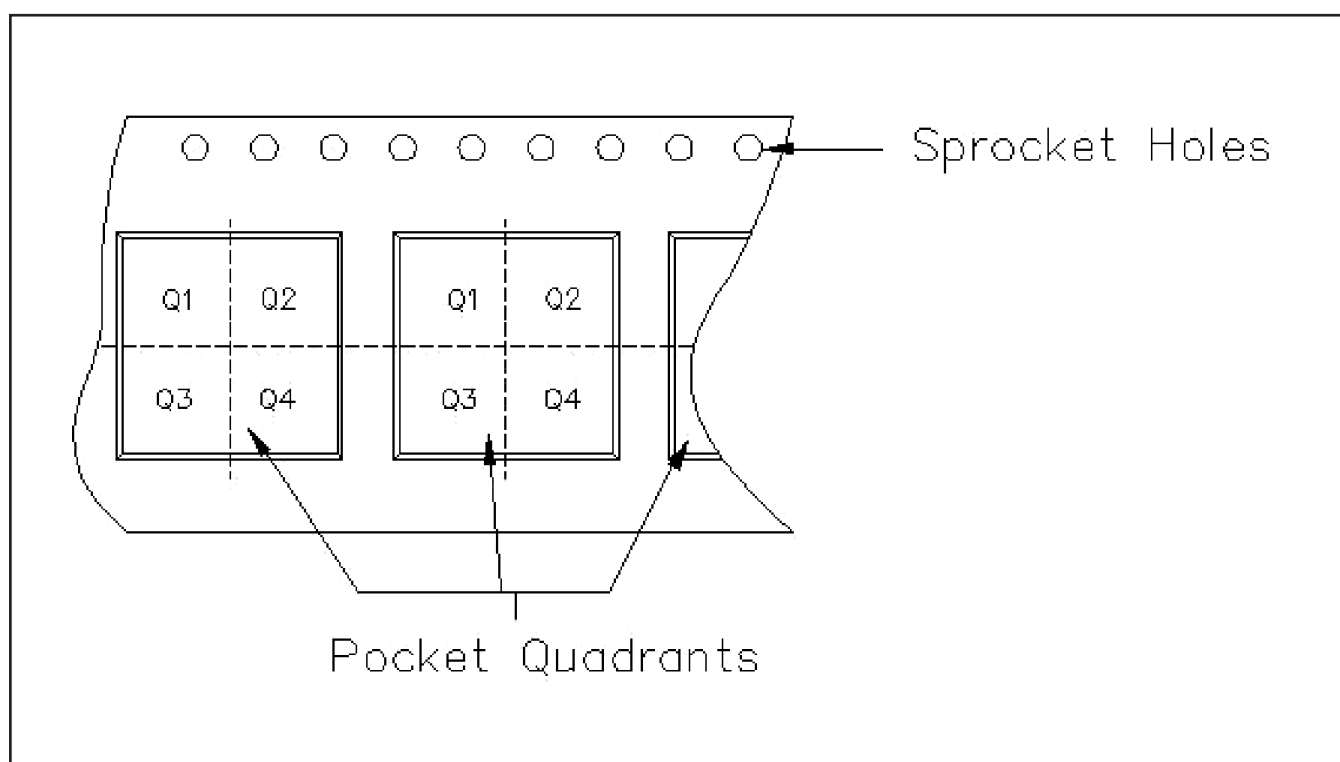
重要な情報および免責事項：このページに記載された情報は、記載された日付時点でのTIの知識および見解を表しています。TIの知識および見解は、第三者によって提供された情報に基づいており、そのような情報の正確性について何らの表明および保証も行うものではありません。第三者からの情報をより良く統合するための努力は続けており、TIでは、事実を適切に表す正確な情報を提供すべく妥当な手順を踏み、引き続きそれを継続してゆきますが、受け入れる部材および化学物質に対して破壊試験や化学分析は実行していない場合があります。TIおよびTI製品の供給者は、特定の情報を機密情報として扱っているため、CAS番号やその他の制限された情報が公開されない場合があります。

PACKAGE MATERIALS INFORMATION



Carrier tape design is defined largely by the component length, width, and thickness.

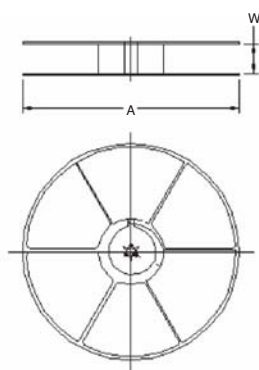
Ao = Dimension designed to accommodate the component width.
Bo = Dimension designed to accommodate the component length.
Ko = Dimension designed to accommodate the component thickness.
W = Overall width of the carrier tape.
P = Pitch between successive cavity centers.



PACKAGE MATERIALS INFORMATION

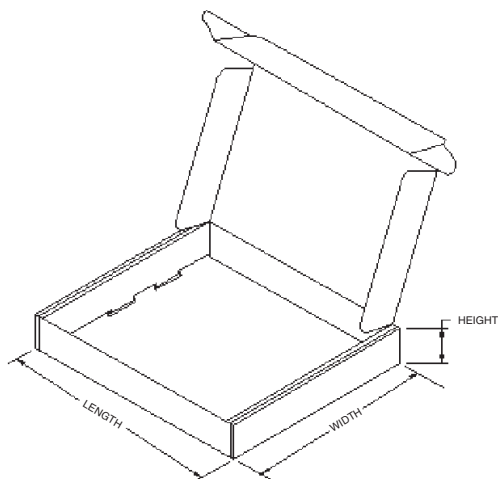
テープ/リール情報

Device	Package	Pins	Site	Reel Diameter (mm)	Reel Width (mm)	A0 (mm)	B0 (mm)	K0 (mm)	P1 (mm)	W (mm)	Pin1 Quadrant
ADS8325IBDGKR	DGK	8	MLA	330	12	5.2	3.3	1.6	12	12	NONE
ADS8325IBDGKT	DGK	8	MLA	330	12	5.2	3.3	1.6	12	12	NONE
ADS8325IBDRBR	DRB	8	TUA	330	12	3.3	3.3	1.1	8	12	Q2
ADS8325IBDRBT	DRB	8	TUA	330	12	3.3	3.3	1.1	8	12	Q2
ADS8325IDGKR	DGK	8	MLA	330	12	5.2	3.3	1.6	12	12	NONE
ADS8325IDGKT	DGK	8	MLA	330	12	5.2	3.3	1.6	12	12	NONE
ADS8325IDRBR	DRB	8	TUA	330	12	3.3	3.3	1.1	8	12	Q2
ADS8325IDRBT	DRB	8	TUA	330	12	3.3	3.3	1.1	8	12	Q2



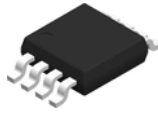
テープ/リール・ボックス情報

Device	Package	Pins	Site	Length (mm)	Width (mm)	Height (mm)
ADS8325IBDGKR	DGK	8	MLA	390.0	348.0	63.0
ADS8325IBDGKT	DGK	8	MLA	390.0	348.0	63.0
ADS8325IBDRBR	DRB	8	TUA	0.0	0.0	0.0
ADS8325IBDRBT	DRB	8	TUA	0.0	0.0	0.0
ADS8325IDGKR	DGK	8	MLA	390.0	348.0	63.0
ADS8325IDGKT	DGK	8	MLA	390.0	348.0	63.0
ADS8325IDRBR	DRB	8	TUA	0.0	0.0	0.0
ADS8325IDRBT	DRB	8	TUA	0.0	0.0	0.0



(SBAS226C)

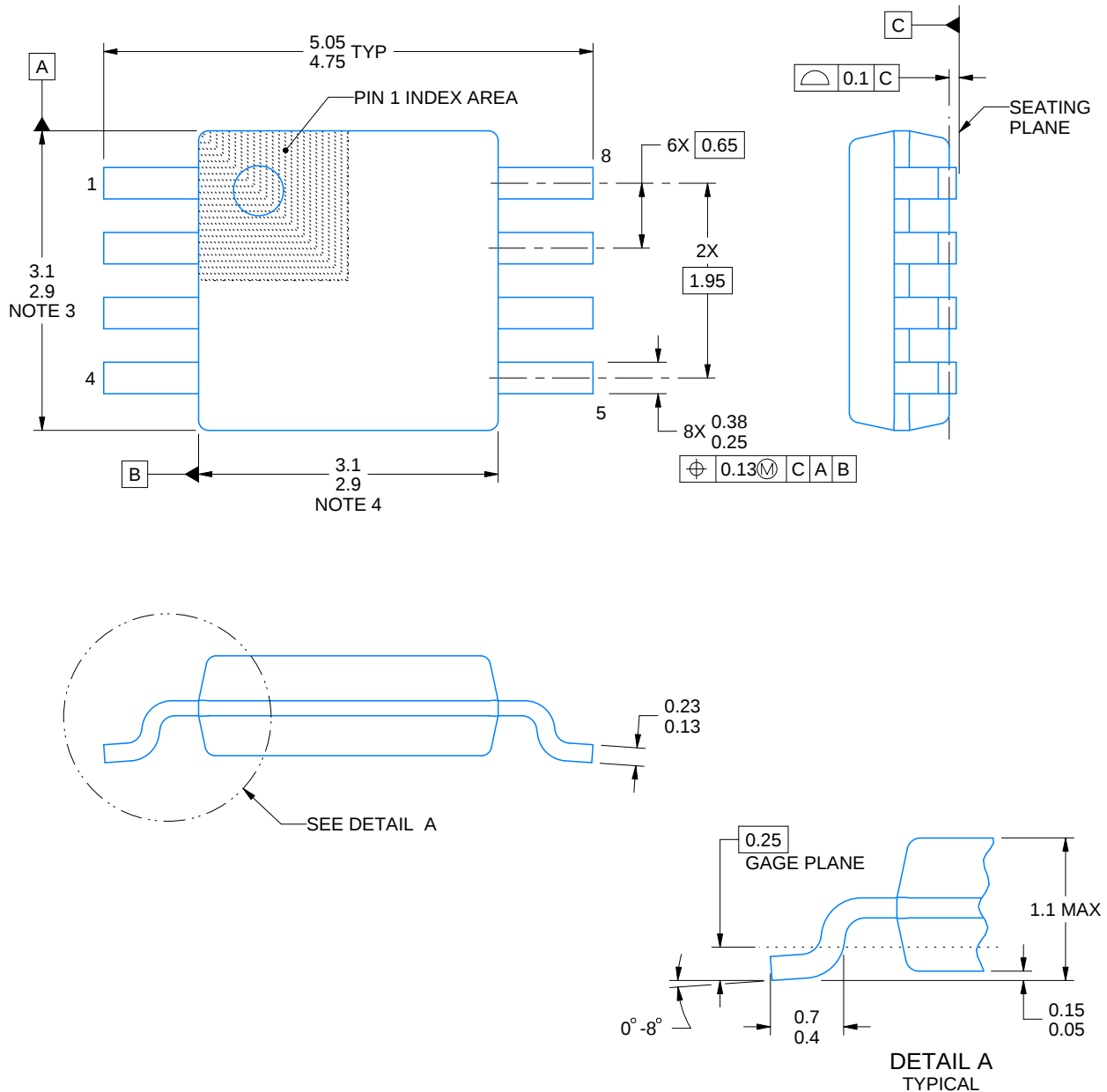
DGK0008A



PACKAGE OUTLINE

VSSOP - 1.1 mm max height

SMALL OUTLINE PACKAGE



4214862/A 04/2023

NOTES:

PowerPAD is a trademark of Texas Instruments.

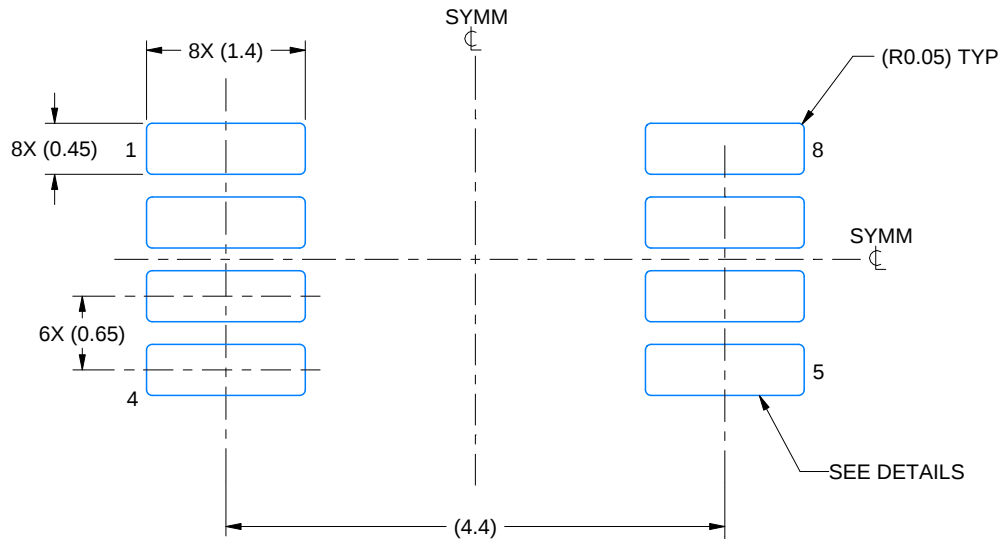
1. All linear dimensions are in millimeters. Any dimensions in parenthesis are for reference only. Dimensioning and tolerancing per ASME Y14.5M.
2. This drawing is subject to change without notice.
3. This dimension does not include mold flash, protrusions, or gate burrs. Mold flash, protrusions, or gate burrs shall not exceed 0.15 mm per side.
4. This dimension does not include interlead flash. Interlead flash shall not exceed 0.25 mm per side.
5. Reference JEDEC registration MO-187.

EXAMPLE BOARD LAYOUT

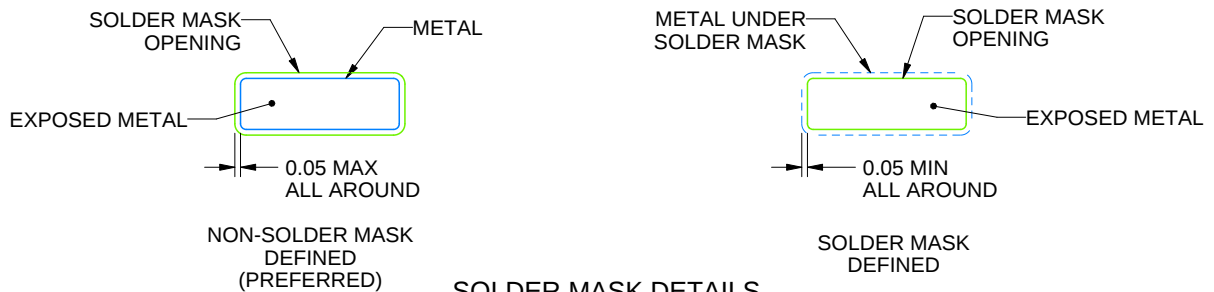
DGK0008A

TM VSSOP - 1.1 mm max height

SMALL OUTLINE PACKAGE



LAND PATTERN EXAMPLE
EXPOSED METAL SHOWN
SCALE: 15X



SOLDER MASK DETAILS

4214862/A 04/2023

NOTES: (continued)

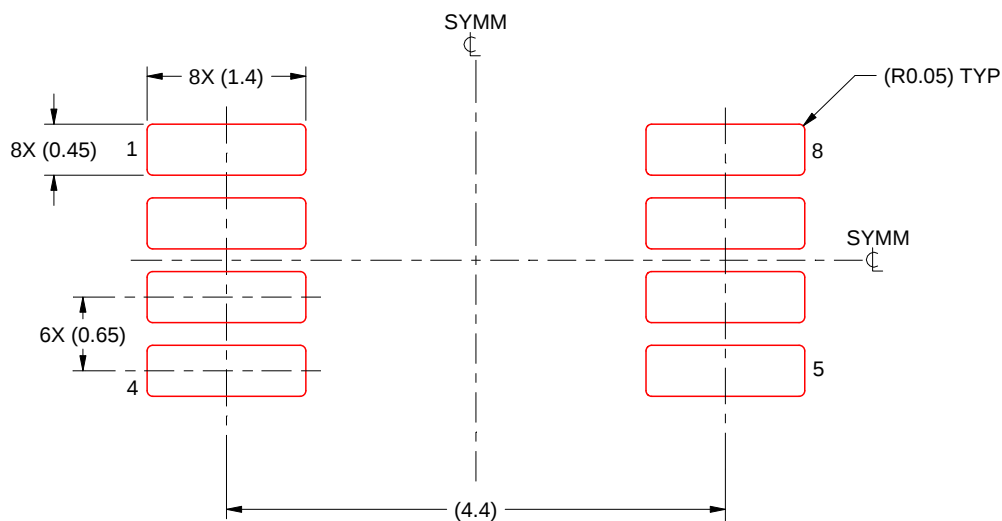
6. Publication IPC-7351 may have alternate designs.
7. Solder mask tolerances between and around signal pads can vary based on board fabrication site.
8. Vias are optional depending on application, refer to device data sheet. If any vias are implemented, refer to their locations shown on this view. It is recommended that vias under paste be filled, plugged or tented.
9. Size of metal pad may vary due to creepage requirement.

EXAMPLE STENCIL DESIGN

DGK0008A

TM VSSOP - 1.1 mm max height

SMALL OUTLINE PACKAGE



SOLDER PASTE EXAMPLE
SCALE: 15X

4214862/A 04/2023

NOTES: (continued)

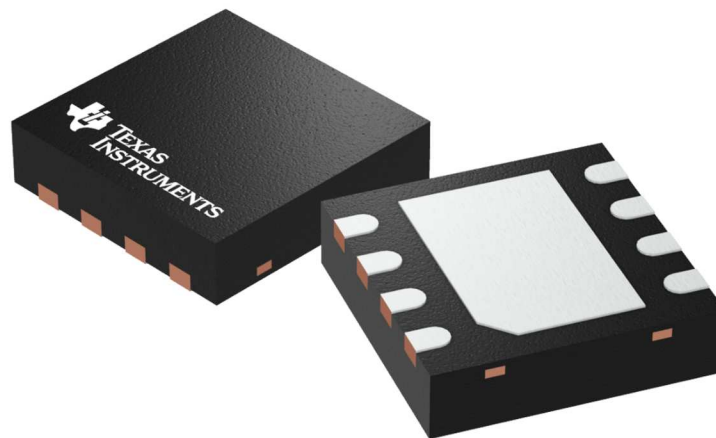
11. Laser cutting apertures with trapezoidal walls and rounded corners may offer better paste release. IPC-7525 may have alternate design recommendations.
12. Board assembly site may have different recommendations for stencil design.

DRB 8

GENERIC PACKAGE VIEW

VSON - 1 mm max height

PLASTIC SMALL OUTLINE - NO LEAD



Images above are just a representation of the package family, actual package may vary.
Refer to the product data sheet for package details.

4203482/L



VSON - 1 mm max height

PLASTIC SMALL OUTLINE - NO LEAD



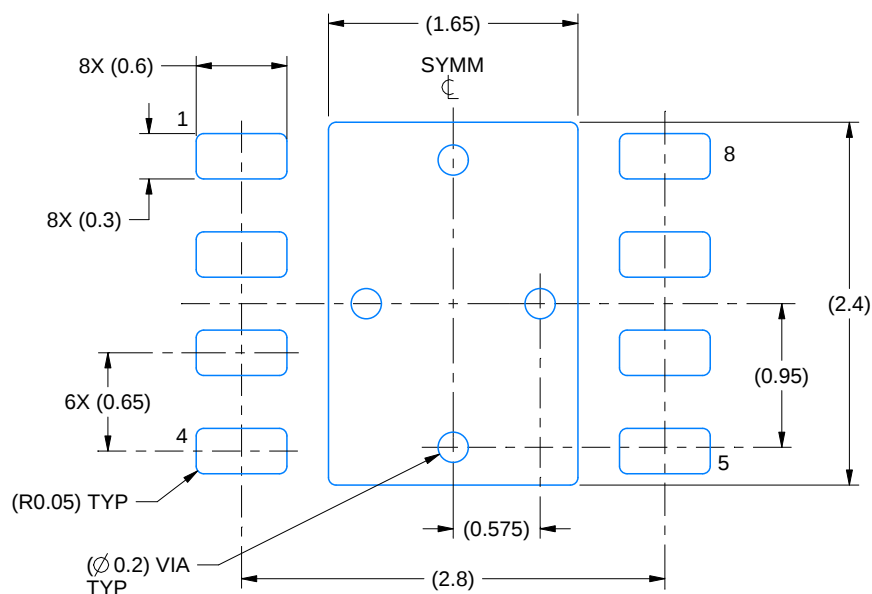
1. All linear dimensions are in millimeters. Any dimensions in parenthesis are for reference only. Dimensioning and tolerancing per ASME Y14.5M.
2. This drawing is subject to change without notice.
3. The package thermal pad must be soldered to the printed circuit board for thermal and mechanical performance.

EXAMPLE BOARD LAYOUT

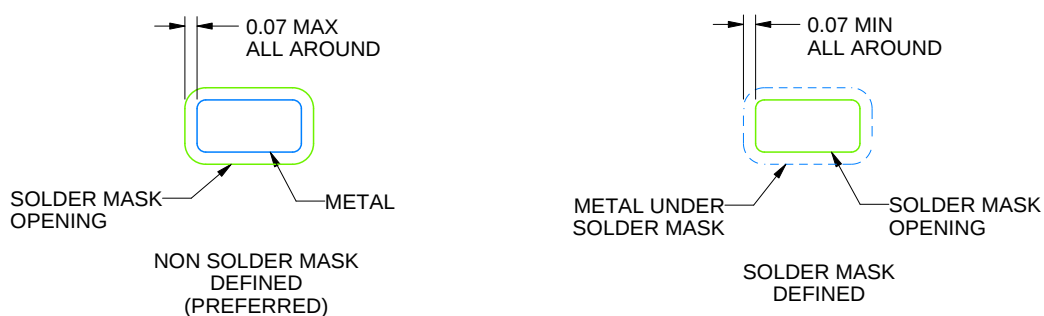
DRB0008B

VSON - 1 mm max height

PLASTIC SMALL OUTLINE - NO LEAD



LAND PATTERN EXAMPLE
SCALE:20X



SOLDER MASK DETAILS

4218876/A 12/2017

NOTES: (continued)

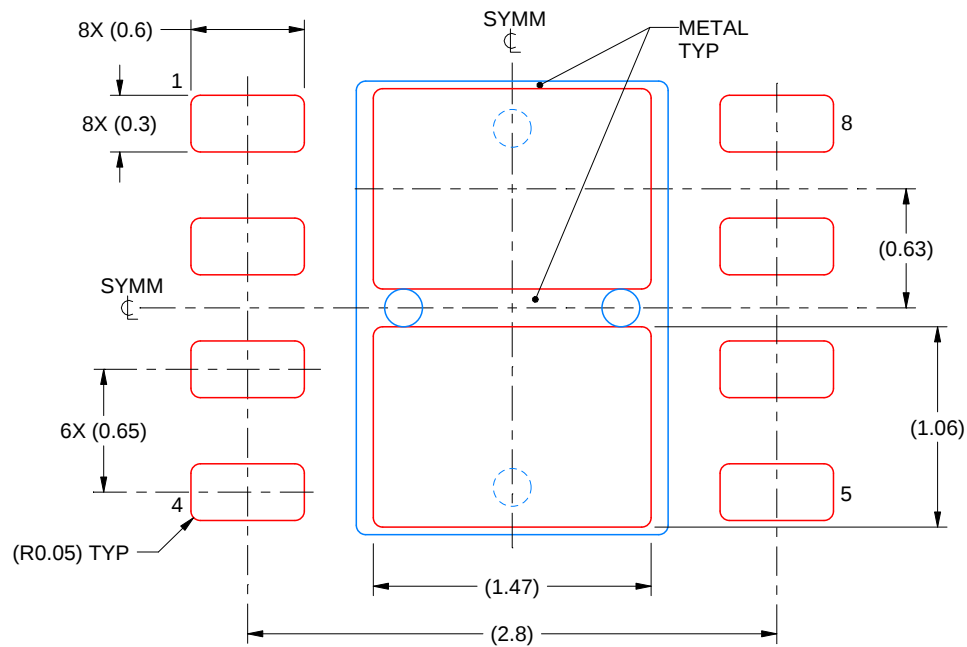
4. This package is designed to be soldered to a thermal pad on the board. For more information, see Texas Instruments literature number SLUA271 (www.ti.com/lit/sluea271).
5. Vias are optional depending on application, refer to device data sheet. If any vias are implemented, refer to their locations shown on this view. It is recommended that vias under paste be filled, plugged or tented.

EXAMPLE STENCIL DESIGN

DRB0008B

VSON - 1 mm max height

PLASTIC SMALL OUTLINE - NO LEAD



SOLDER PASTE EXAMPLE
BASED ON 0.125 mm THICK STENCIL

EXPOSED PAD
81% PRINTED SOLDER COVERAGE BY AREA
SCALE:25X

4218876/A 12/2017

NOTES: (continued)

6. Laser cutting apertures with trapezoidal walls and rounded corners may offer better paste release. IPC-7525 may have alternate design recommendations.

重要なお知らせと免責事項

テキサス・インスツルメンツは、技術データと信頼性データ (データシートを含みます)、設計リソース (リファレンス デザインを含みます)、アプリケーションや設計に関する各種アドバイス、Web ツール、安全性情報、その他のリソースを、欠陥が存在する可能性のある「現状のまま」提供しており、商品性および特定目的に対する適合性の黙示保証、第三者の知的財産権の非侵害保証を含むいかなる保証も、明示的または黙示的にかかわらず拒否します。

これらのリソースは、テキサス・インスツルメンツ製品を使用する設計の経験を積んだ開発者への提供を意図したものです。(1) お客様のアプリケーションに適した テキサス・インスツルメンツ製品の選定、(2) お客様のアプリケーションの設計、検証、試験、(3) お客様のアプリケーションに該当する各種規格や、その他のあらゆる安全性、セキュリティ、規制、または他の要件への確実な適合に関する責任を、お客様のみが単独で負うものとします。

上記の各種リソースは、予告なく変更される可能性があります。これらのリソースは、リソースで説明されている テキサス・インスツルメンツ製品を使用するアプリケーションの開発の目的でのみ、テキサス・インスツルメンツはその使用をお客様に許諾します。これらのリソースに関して、他の目的で複製することや掲載することは禁止されています。テキサス・インスツルメンツや第三者の知的財産権のライセンスが付与されている訳ではありません。お客様は、これらのリソースを自身で使用した結果発生するあらゆる申し立て、損害、費用、損失、責任について、テキサス・インスツルメンツおよびその代理人を完全に補償するものとし、テキサス・インスツルメンツは一切の責任を拒否します。

テキサス・インスツルメンツの製品は、[テキサス・インスツルメンツの販売条件](#)、または [ti.com](https://www.ti.com) やかかる テキサス・インスツルメンツ製品の関連資料などのいずれかを通じて提供する適用可能な条項の下で提供されています。テキサス・インスツルメンツがこれらのリソースを提供することは、適用される テキサス・インスツルメンツの保証または他の保証の放棄の拡大や変更を意味するものではありません。

お客様がいかなる追加条項または代替条項を提案した場合でも、テキサス・インスツルメンツはそれらに異議を唱え、拒否します。

郵送先住所：Texas Instruments, Post Office Box 655303, Dallas, Texas 75265
Copyright © 2025, Texas Instruments Incorporated