



12ビット、8チャンネル、シリアル出力 サンプリングA/Dコンバータ

特 長

- 単一電源：2.7V～5V
- 8チャンネル・シングル・エンドまたは4チャンネル差動入力
- 変換レート：200kHz（最大）
- INLおよびDNL：±1LSB（最大）
- ノー・ミッシング・コードを保証
- SINAD：72dB
- シリアル・インターフェイス
- パッケージ：20ピンQSOP
：20ピンSSOP

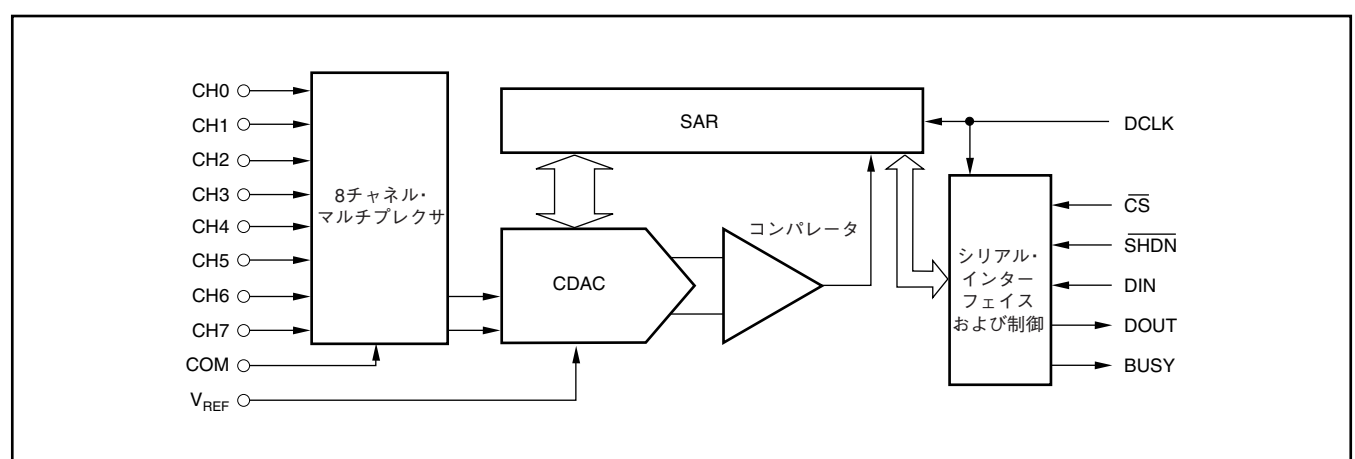
アプリケーション

- データ・アキュイジション
- テストおよび計測
- 工業用プロセス
- PDA
- バッテリ動作システム

概 要

ADS7844は、同期シリアル・インターフェイスを備えた8チャンネルの12ビット・サンプリングA/Dコンバータ（ADC）です。200kHzのスループット・レートおよび+5V電源で動作するときの標準的な消費電力は3mWです。100mVから V_{CC} までのリファレンス電圧（ V_{REF} ）により、0Vから V_{REF} までの対応する入力電圧レンジが得られます。ADS7844には、消費電力を1μW以下に提言するシャットダウン・モードがあり、2.7Vまでの動作が保証されています。

ADS7844は、低消費電力、高速、オンボード・マルチプレクサなどの特長を持ち、PDA、ポータブル・マルチチャンネル・データ・ロガー、計測装置などのバッテリー動作システムに理想的です。また、シリアル・インターフェイスによりリモート・データ・アキュイジションにおいて低コストの絶縁が可能です。パッケージは、20ピンQSOPおよび20ピンSSOPで供給され、-40°Cから+85°Cの温度範囲で保証されています。



すべての商標および登録商標は、それぞれの所有者に帰属します。

この資料は、Texas Instruments Incorporated (TI) が英文で記述した資料を、皆様のご理解の一助として頂くために日本テキサス・インスツルメンツ（日本TI）が英文から和文へ翻訳して作成したものです。
資料によっては正規英語版資料の更新に対応していないものがあります。日本TIによる和文資料は、あくまでもTI正規英語版をご理解頂くための補助的参考資料としてご使用下さい。
製品のご検討およびご採用にあたりましては必ず正規英語版の最新資料をご確認下さい。
TIおよび日本TIは、正規英語版にて更新の情報を提供しているにもかかわらず、更新以前の情報に基づいて発生した問題や障害等につきましては如何なる責任も負いません。

仕様：+5

特に記述がない限り、 $T_A = -40^{\circ}\text{C} \sim +85^{\circ}\text{C}$, $+V_{CC} = +5\text{V}$, $V_{REF} = +5\text{V}$, $f_{\text{SAMPLE}} = 200\text{kHz}$, $f_{\text{CLK}} = 16 \cdot f_{\text{SAMPLE}} = 3.2\text{MHz}$ です。

パラメータ	条件	ADS7844E, N			ADS7844EB, NB			単位
		最小	標準	最大	最小	標準	最大	
アナログ入力 フルスケール入力スパン 絶対入力範囲 キャパシタンス リーケージ電力	正入力 - 負入力 正入力 負入力	0 -0.2 -0.2	 25 ± 1	V_{REF} $+V_{CC} + 0.2$ $+1.25$	* * *	 *	* * *	V V V pF μA
システム性能 分解能 ノー・ミッシング・コード 積分直線性誤差 微分直線性誤差 オフセット誤差 オフセット誤差のマッチ ゲイン誤差 ゲイン誤差のマッチ 雑音 電源除去		12	12 ± 0.8 0.15 0.1 30 70	 ± 2 ± 3 1.0 ± 4 1.0	* *	* ± 0.5 * * *	 ± 1 ± 1 * * ± 3 * *	Bits Bits LSB ⁽¹⁾ LSB LSB LSB LSB LSB μV_{rms} dB
サンプリング特性 変換時間 アキュイジション時間 スループット・レート マルチプレクサのセトリングタイム アパーチャ遅延 アパーチャ・ジッタ		3	 500 30 100	12 200	* *	 * * * *	* * *	Clk Cycles Clk Cycles kHz ns ns ps
ダイナミック特性 全高調波歪 ⁽²⁾ 信号 / (雑音+歪) スプリアスフリー・ダイナミック・レンジ チャネル間分離	$V_{IN} = 5V_{PP}$ at 10kHz $V_{IN} = 5V_{PP}$ at 10kHz $V_{IN} = 5V_{PP}$ at 10kHz $V_{IN} = 5V_{PP}$ at 50kHz		-76 71 76 120			-78 72 78 *		dB dB dB dB
リファレンス入力 レンジ 抵抗 入力電流	DCLK安定 $f_{\text{SAMPLE}} = 12.5\text{kHz}$ DCLK安定	0.1	5 45 2.5 0.001	$+V_{CC}$ 100 3	* *	* * * *	* * * *	V G Ω μA μA μA
デジタル入出力 ロジック・ファミリー ロジック・レベル V_{IH} V_{IL} V_{OH} V_{OL} データ・フォーマット	$I_{IH} \leq +5\mu\text{A}$ $I_{IL} \leq +5\mu\text{A}$ $I_{OH} = -250\mu\text{A}$ $I_{OL} = 250\mu\text{A}$ ストレート・バイナリ	3.0 -0.3 3.5	CMOS	5.5 $+0.8$ 0.4	* * *	* *	* * * *	V V V V
デジタル入出力 $+V_{CC}$ 無信号時電流 消費電力	仕様に規定された性能 $f_{\text{SAMPLE}} = 12.5\text{kHz}$ パワーダウン・モード ⁽³⁾ , $\overline{CS} = +V_{CC}$	4.75	550 300	5.25 900 3 4.5	* *	 *	* * * *	V μA μA μA mW
デジタル入出力 仕様に規定された性能		-40		+85	*		*	$^{\circ}\text{C}$

* 印は、ADS7844E,Nと同じ値であることを示します。

注：(1) LSBは最下位ビットを意味します。 V_{REF} が+5.0Vの場合、1LSBは1.22mVです。

(2) テストの周波数の最初から5番目までの高調波。

(3) オートパワーダウン・モードを有効 ($PD1 = PD0 = 0$) または $\overline{SHDN} = \text{GND}$ に設定。

仕様：+2.7

特に記述がない限り、 $T_A = -40^{\circ}\text{C} \sim +85^{\circ}\text{C}$, $+V_{CC} = +2.7\text{V}$, $V_{REF} = +2.5\text{V}$, $f_{\text{SAMPLE}} = 125\text{kHz}$, $f_{\text{CLK}} = 16 \cdot f_{\text{SAMPLE}} = 2\text{MHz}$ です。

パラメータ	条件	ADS7844E, N			ADS7844EB, NB			単位
		最小	標準	最大	最小	標準	最大	
アナログ入力 フルスケール入力スパン 絶対入力範囲	正入力 - 負入力 正入力 負入力	0 -0.2 -0.2		V_{REF} $+V_{CC} + 0.2$ $+0.2$	*		*	V V V
キャパシタンス リーケージ電力			25 ± 1			*	*	pF μA
システム性能 分解能 ノー・ミッシング・コード 積分直線性誤差 微分直線性誤差 オフセット誤差 オフセット誤差のマッチ ゲイン誤差 ゲイン誤差のマッチ 雑音 電源除去		12	12 ± 0.8 0.15 0.1 30 70	 ± 2 ± 3 1.0 ± 4 1.0	*	*	± 1 ± 1 * * ± 3 *	Bits Bits LSB ⁽¹⁾ LSB LSB LSB LSB LSB μVrms dB
サンプリング特性 変換時間 アキュイジション時間 スループット・レート マルチプレクサのセトリングタイム アパーチャ遅延 アパーチャ・ジッタ		3		12 125	*		*	Clk Cycles Clk Cycles kHz ns ns ps
ダイナミック特性 全高調波歪 ⁽²⁾ 信号 / (雑音+歪) スプリアスフリー・ダイナミック・レンジ チャンネル間分離	$V_{IN} = 2.5V_{PP}$ at 10kHz $V_{IN} = 2.5V_{PP}$ at 10kHz $V_{IN} = 2.5V_{PP}$ at 10kHz $V_{IN} = 2.5V_{PP}$ at 50kHz		-75 71 78 100			-77 72 80 *		dB dB dB dB
リファレンス入力 レンジ 抵抗 入力電流	DCLK 安定 $f_{\text{SAMPLE}} = 12.5\text{kHz}$ DCLK 安定	0.1	5 13 2.5 0.001	$+V_{CC}$ 40 3	*	*	*	V G Ω μA μA μA
デジタル入出力 ロジック・ファミリー ロジック・レベル V_{IH} V_{IL} V_{OH} V_{OL} データ・フォーマット	$ I_{IH} \leq +5\mu\text{A}$ $ I_{IL} \leq +5\mu\text{A}$ $I_{OH} = -250\mu\text{A}$ $I_{OL} = 250\mu\text{A}$	$+V_{CC} \cdot 0.7$ -0.3 $+V_{CC} \cdot 0.8$	CMOS	5.5 $+0.8$ 0.4	*	*	*	V V V V
デジタル入出力 $+V_{CC}$ 無信号時電流 消費電力	仕様に規定された性能 $f_{\text{SAMPLE}} = 12.5\text{kHz}$ パワーダウン・モード ⁽³⁾ , $CS = +V_{CC}$	2.7	280 220	3.6 650 3 1.8	*	*	*	V μA μA μA mW
デジタル入出力 仕様に規定された性能		-40		+85	*		*	$^{\circ}\text{C}$

*印は、ADS7844E,Nと同じ値であることを示します。

注：(1) LSBは最下位ビットを意味します。 V_{REF} が+2.5Vの場合、1LSBは610mVです。

(2) テストの周波数の最初から5番目までの高調波。

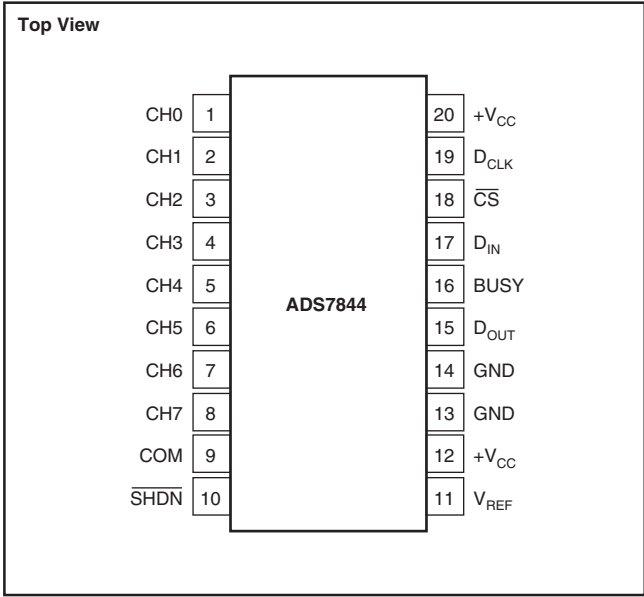
(3) オートパワーダウン・モードを有効 ($PD1 = PD0 = 0$) または $\overline{\text{SHDN}} = \text{GND}$ に設定。

パッケージ情報/ご発注の手引き⁽¹⁾

モデル	最小相対精度 (LSB)	最大ゲイン誤差 (LSB)	仕様温度範囲	パッケージ	パッケージ図番号 ⁽¹⁾	発注番号	供給時の状態
ADS7844E	±2	±4	−40 °C to +85 °C	QSOP-20	DBQ	ADS7844E	Rails, 56
"	"	"	"	"	"	ADS7844E/2K5	Tape and Reel, 2500
ADS7844N	"	"	"	SSOP-20	DB	ADS7844N	Rails, 68
"	"	"	"	"	"	ADS7844N/1K	Tape and Reel, 1000
ADS7844EB	±1	±3	−40 °C to +85 °C	QSOP-20	DBQ	ADS7844EB	Rails, 56
"	"	"	"	"	"	ADS7844EB/2K5	Tape and Reel, 2500
ADS7844NB	"	"	"	SSOP-20	DB	ADS7844NB	Rails, 68
"	"	"	"	"	"	ADS7844NB/1K	Tape and Reel, 1000

注：最新のパッケージ、発注情報は、データシートの巻末のパッケージ・オプションを参照して下さい。

ピン配置



絶対最大定格⁽¹⁾

+V _{CC} (対GND)	−0.3V~+6V
アナログ入力 (対GND)	−0.3V~+VCC+0.3V
デジタル入力 (対GND)	−0.3V~+6V
消費電力	250mW
最大接合部温度	+150°C
動作温度範囲	−40°C~+85°C
保存温度範囲	−65°C~+150°C
リード温度 (10秒間の半田付け)	+300°C

注：(1) 定格を超えるオーバーストレスは、デバイスに永久的な損傷を与えます。絶対最大条件下に長時間置いた場合は、デバイスの信頼性が低下することがあります。

ピン構成

ピン番号	記号	説明
1	CH0	アナログ入力チャネル0
2	CH1	アナログ入力チャネル1
3	CH2	アナログ入力チャネル2
4	CH3	アナログ入力チャネル3
5	CH4	アナログ入力チャネル4
6	CH5	アナログ入力チャネル5
7	CH6	アナログ入力チャネル6
8	CH7	アナログ入力チャネル7
9	COM	アナログ入力のグラウンド・リファレンス。シングル・エンド・モードのコード0の電圧を設定する。このピンをグラウンドまたはグラウンド・リファレンス・ポイントに接続する。
10	SHDN	シャットダウン。“ロー”のとき、デバイスが低消費電力のシャットダウン・モードになる。
11	V _{REF}	リファレンス電圧入力。範囲については仕様の表を参照。
12	+V _{CC}	電源。2.7V~5V。
13	GND	グラウンド
14	GND	グラウンド
15	D _{OUT}	シリアル・データ出力。DCLKの立ち下がりエッジでデータがシフトする。CSが“ハイ”のとき、この出力はハイ・インピーダンスになる。
16	BUSY	ビジー出力。BUSYはDINの制御ビットの読み込み中およびデバイスの変換中“ロー”になる。CSが“ハイ”のとき、出力はハイ・インピーダンスになる。
17	D _{IN}	シリアル・データ入力。CSが“ロー”の場合、DCLKの立ち上がりエッジでデータがラッチされる。
18	CS	CSチップ・セレクト入力。アクティブ“ロー”。CSが“ロー”でない限り、D _{IN} にデータがクロック・インされない。CSが“ハイ”のとき、D _{OUT} はハイ・インピーダンスになる。
19	CLK	外部クロック入力。クロック速度の式f _{CLK} = 16・f _{SAMPLE} によって変換レートが決定される。
20	+V _{CC}	電源

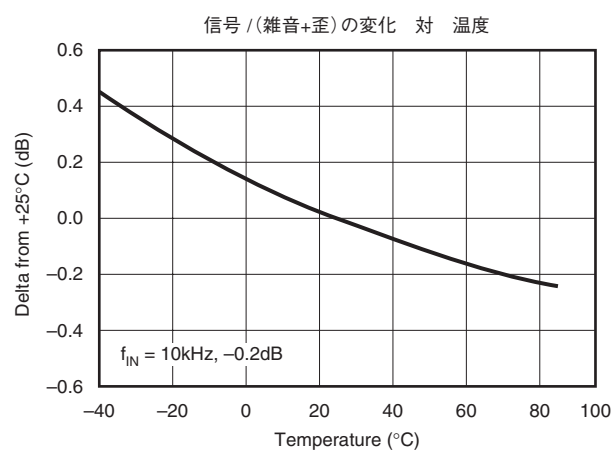
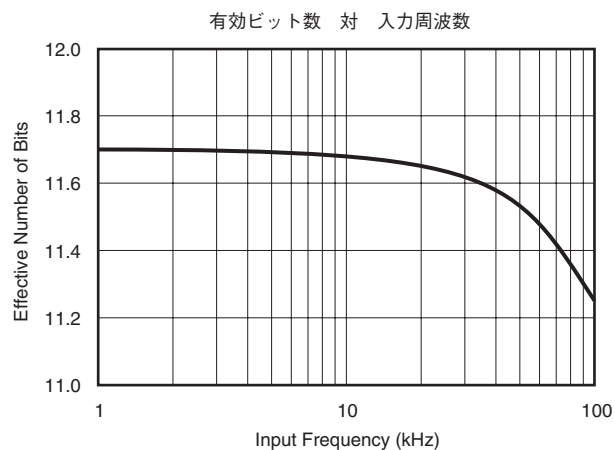
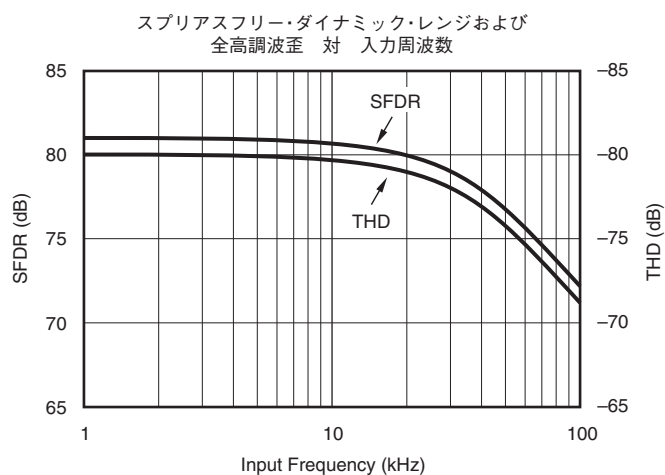
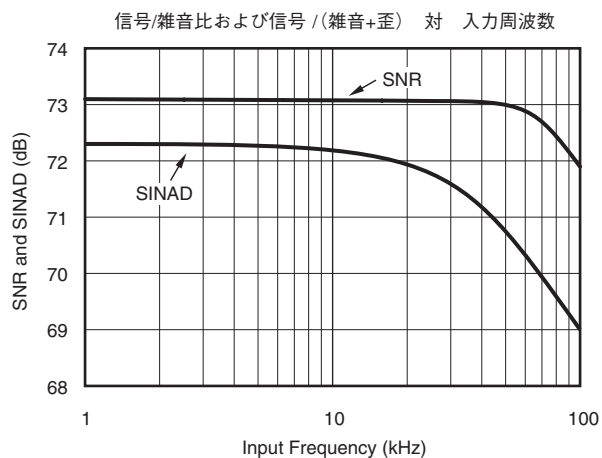
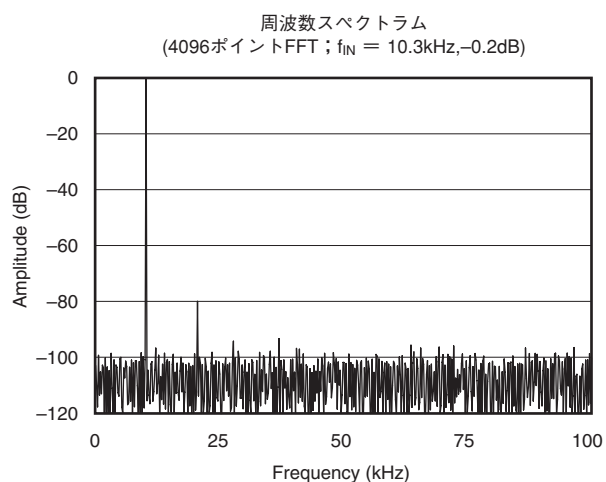
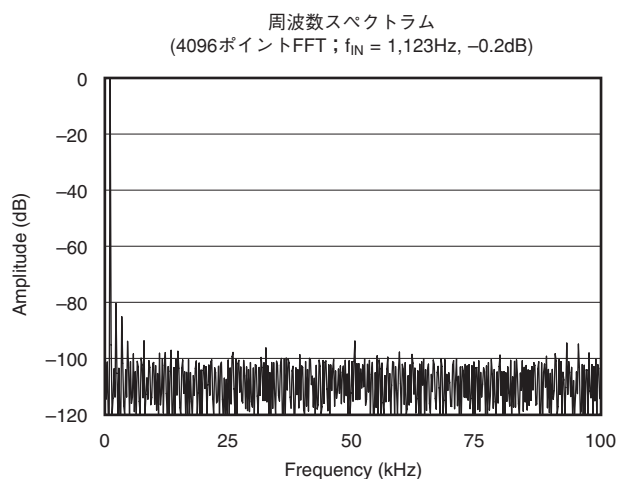


静電気放電対策

これらのデバイスは、限定的なESD（静電破壊）保護機能を内蔵しています。保存時または取り扱い時に、MOSゲートに対する静電破壊を防止するために、リード線どうしを短絡しておくか、デバイスを伝導性のフォームに入れる必要があります。

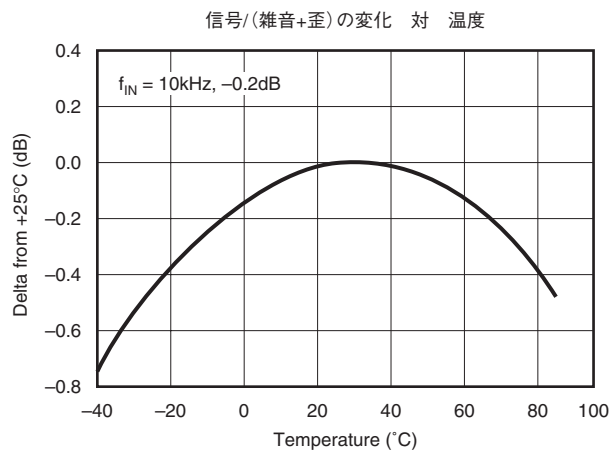
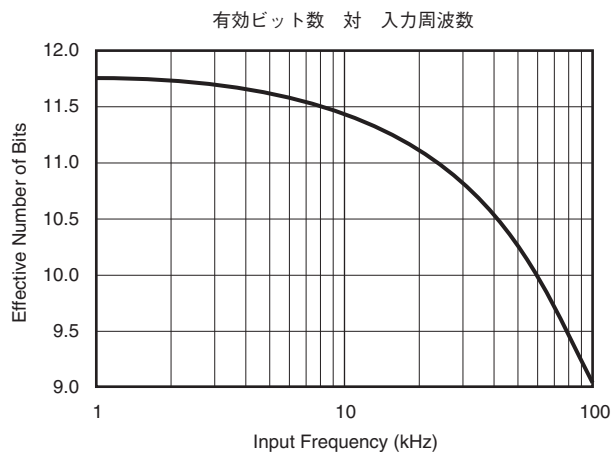
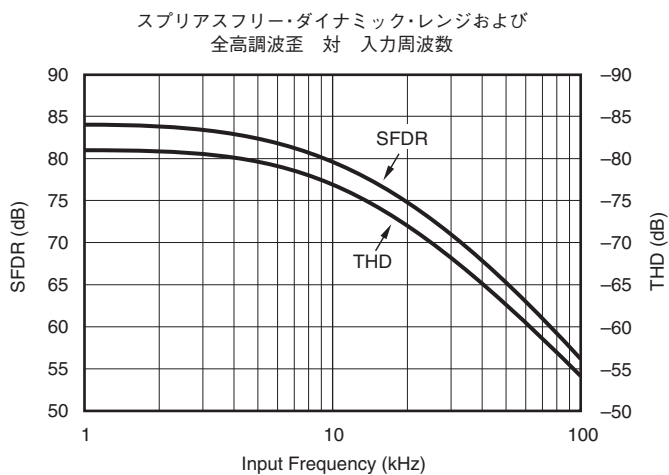
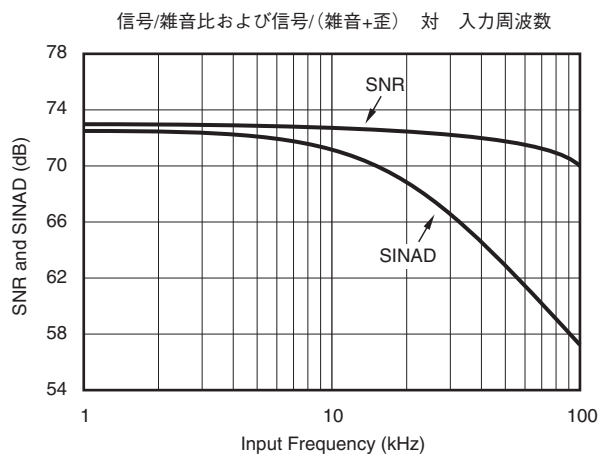
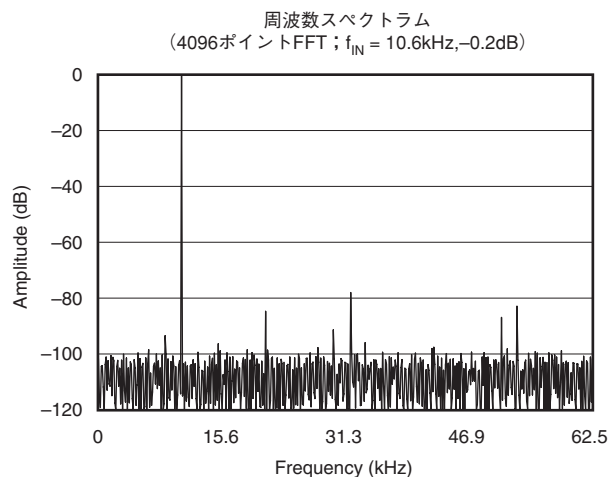
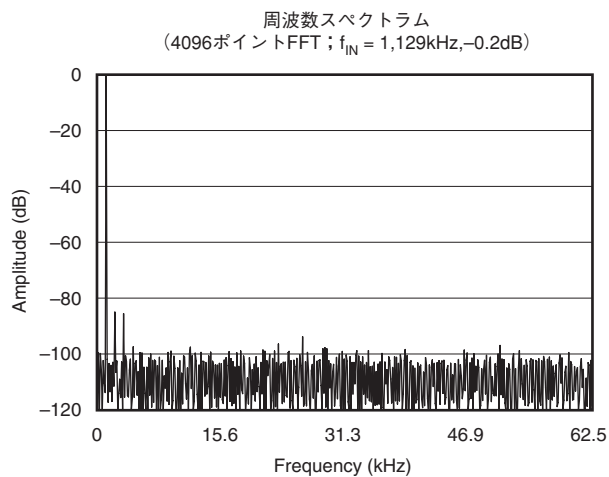
代表的性能曲線：+5V

特に記述のない限り、 $T_A = +25^\circ\text{C}$ 、 $+V_{CC} = +5\text{V}$ 、 $V_{REF} = +5\text{V}$ 、 $f_{\text{SAMPLE}} = 200\text{kHz}$ 、 $f_{\text{CLK}} = 16 \cdot f_{\text{SAMPLE}} = 3.2\text{MHz}$ です。



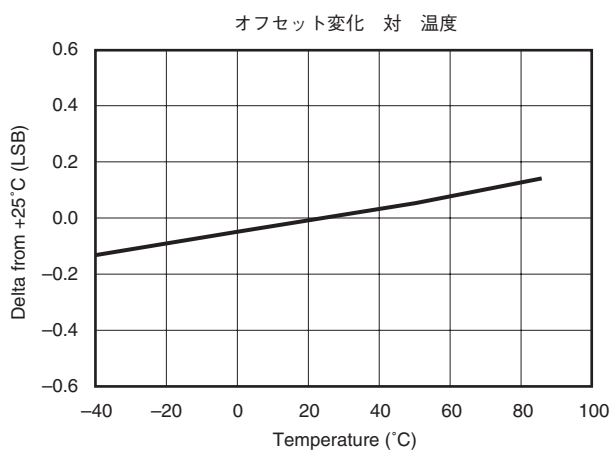
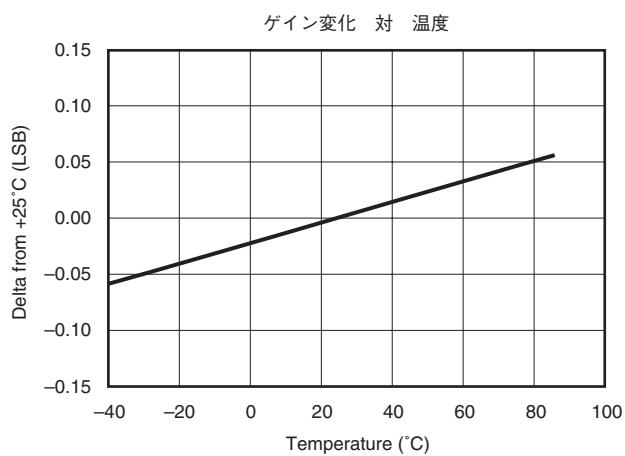
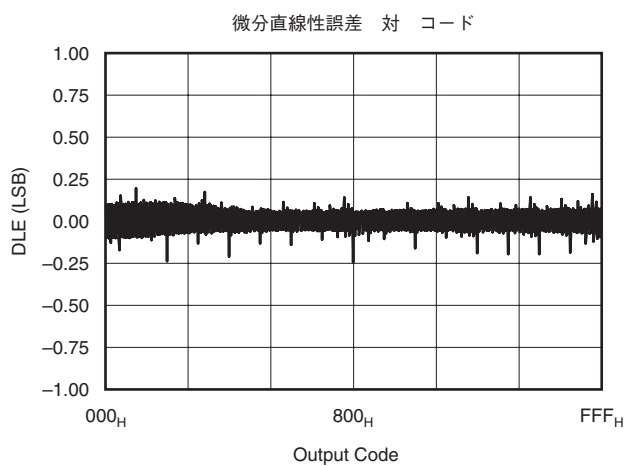
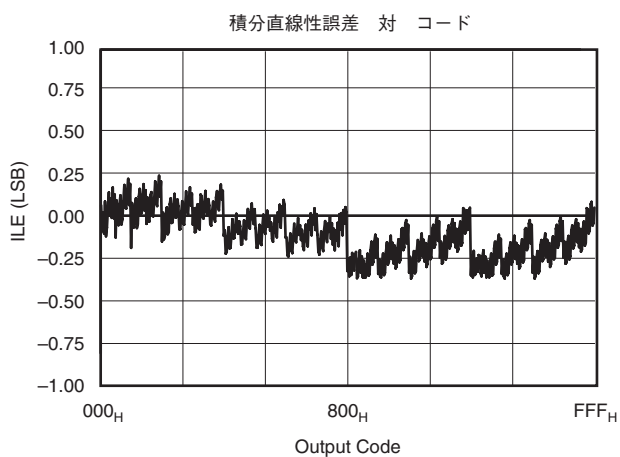
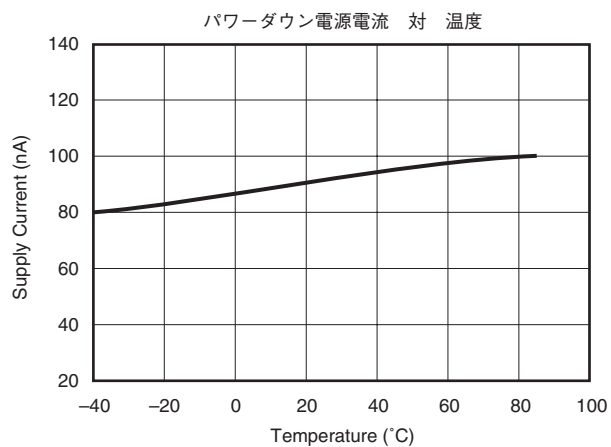
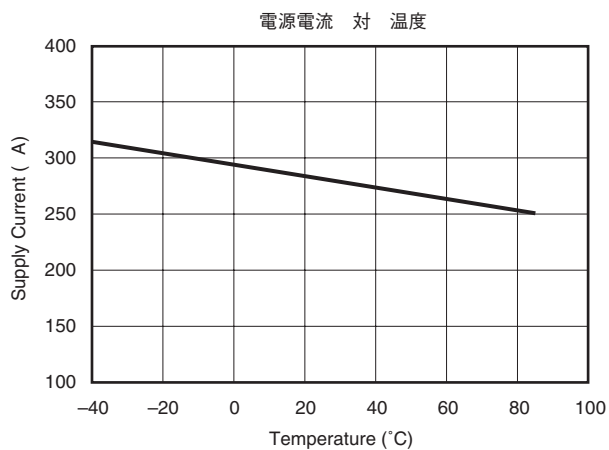
代表的性能曲線：+2.7V

特に記述のない限り、 $T_A = +25^\circ\text{C}$ 、 $+V_{CC} = +2.7\text{V}$ 、 $V_{REF} = +2.5\text{V}$ 、 $f_{\text{SAMPLE}} = 125\text{kHz}$ 、 $f_{\text{CLK}} = 16 \cdot f_{\text{SAMPLE}} = 2\text{MHz}$ です。



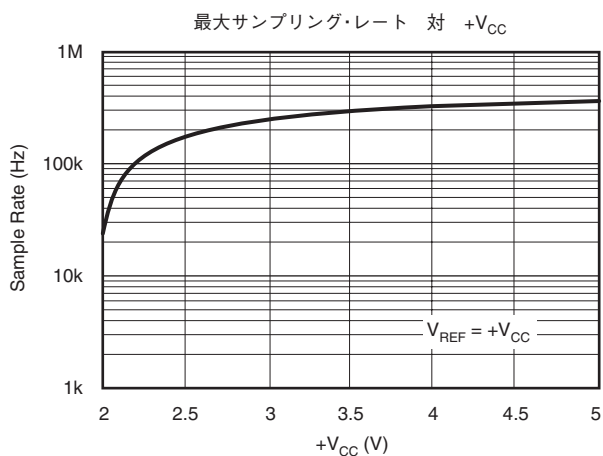
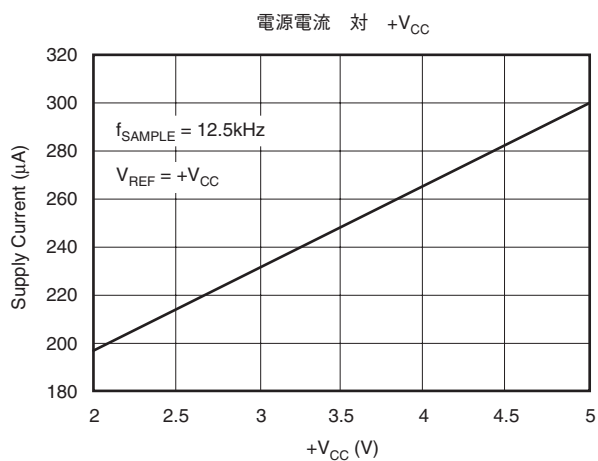
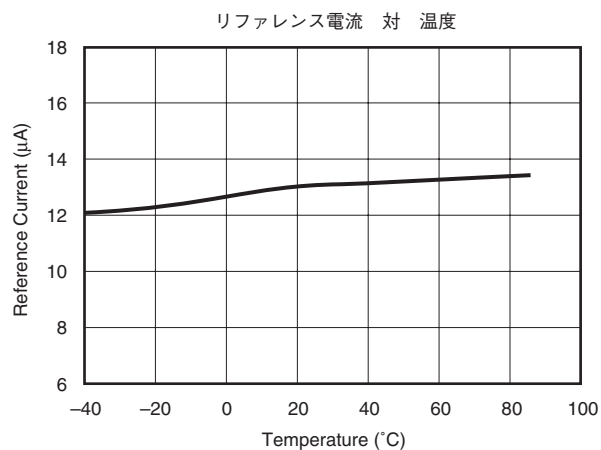
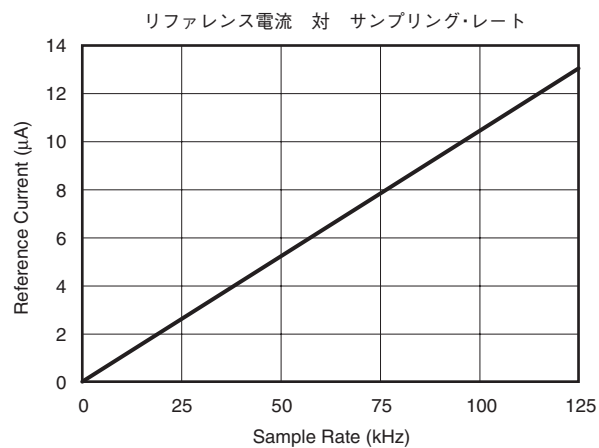
代表的性能曲線：+2.7V

特に記述のない限り、 $T_A = +25^{\circ}\text{C}$ 、 $+V_{CC} = +2.7\text{V}$ 、 $V_{REF} = +2.5\text{V}$ 、 $f_{\text{SAMPLE}} = 125\text{kHz}$ 、 $f_{\text{CLK}} = 16 \cdot f_{\text{SAMPLE}} = 2\text{MHz}$ です。



代表的性能曲線

特に記述のない限り、 $T_A = +25^{\circ}\text{C}$ 、 $+V_{CC} = +2.7\text{V}$ 、 $V_{REF} = +2.5\text{V}$ 、 $f_{\text{SAMPLE}} = 125\text{kHz}$ 、 $f_{\text{CLK}} = 16 \cdot f_{\text{SAMPLE}} = 2\text{MHz}$ です。



動作原理

ADS7844は、クラシックな逐次比較型レジスタ (SAR) を使用したアナログ/デジタル (A/D) コンバータです。このコンバータは、本質的にサンプル/ホールド機能をもつ電荷再配分に基づくアーキテクチャを採用し、0.6 μ mのCMOSプロセスで製造されています。

ADS7844の基本動作を図1に示します。ADS7844は、外部リファレンスおよび外部クロックを必要とし、2.7Vから5.25Vの単一電源で動作します。外部リファレンスには、100mVから $+V_{CC}$ までの任意の電圧を使用することができます。リファレンス電圧の値により、コンバータの入力レンジが直接設定されます。平均のリファレンス入力電流は、ADS7844の変換レートに応じて変化します。

コンバータのアナログ入力は、差動入力で、8チャンネルのマルチプレクサから供給されます。COMピンの電圧 (通常はグランド) を基準とする入力、または8入力チャンネル (CH0-CH7) の4組のチャンネルを使用した差動入力を選択することができます。デジタル・インターフェイスで特定の構成を選択します。

アナログ入力

図2にADS7844の入力マルチプレクサのブロック図を示します。コンバータの差動入力は、8入力のいずれか (COMピンを基準)、または8入力の4組の入力から供給されます。表1および表2に、制御ビットA2、A1、A0、およびSGL/ $\overline{DIF}$ と、アナログ・マルチプレクサの構成との関係を示します。制御ビットは、DINピンからシリアルに入力されます。制御ビットの詳細については、このデータシートの“デジタル・インターフェイス”の項を参照して下さい。

コンバータがホールド・モードになると、+INおよび-IN入力 (図2参照) の電圧の差が内部キャパシタ・アレイでキャプチャされます。-IN入力の電圧は、-0.2Vから1.25Vまでに制限されており、+INと-IN入力に共通の小信号が除去されます。+IN入力のレンジは、-0.2Vから $+V_{CC}+0.2V$ までです。

アナログ入力の入力電流は、ADS7844の変換レートに依存します。ソースは、サンプリング周期の間に内部サンプリング・キャパシタ (標準値25pF) を充電しなくてはなりません。

A2	A1	A0	CH0	CH1	CH2	CH3	CH4	CH5	CH6	CH7	COM
0	0	0	+IN								-IN
1	0	0		+IN							-IN
0	0	1			+IN						-IN
1	0	1				+IN					-IN
0	1	0					+IN				-IN
1	1	0						+IN			-IN
0	1	1							+IN		-IN
1	1	1								+IN	-IN

表 1. シングル・エンド・チャンネルの選択 (SGL/ $\overline{DIF}$ が“ハイ”)

A2	A1	A0	CH0	CH1	CH2	CH3	CH4	CH5	CH6	CH7
0	0	0	+IN	-IN						
0	0	1			+IN	-IN				
0	1	0					+IN	-IN		
0	1	1							+IN	-IN
1	0	0	-IN	+IN						
1	0	1			-IN	+IN				
1	1	0					-IN	+IN		
1	1	1							-IN	+IN

表 2. 差動チャンネルの制御 (SGL/ $\overline{DIF}$ が“ロー”)

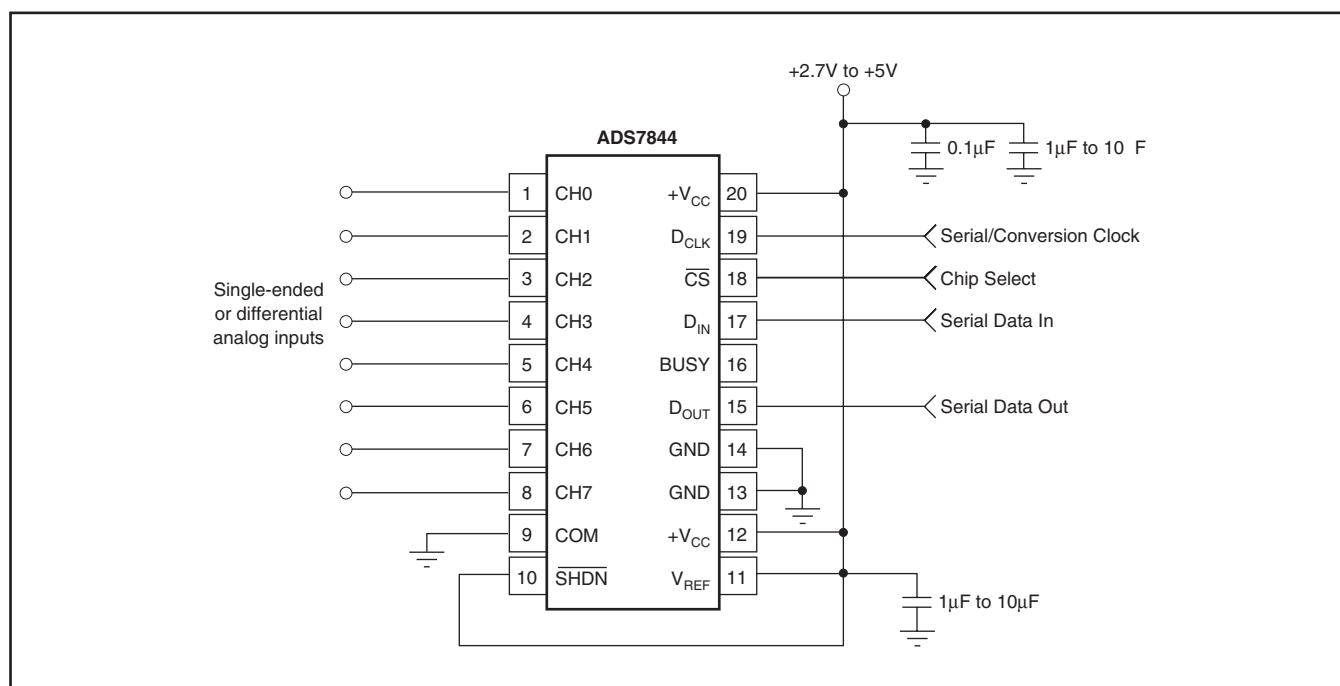


図 1. ADS7844の基本動作

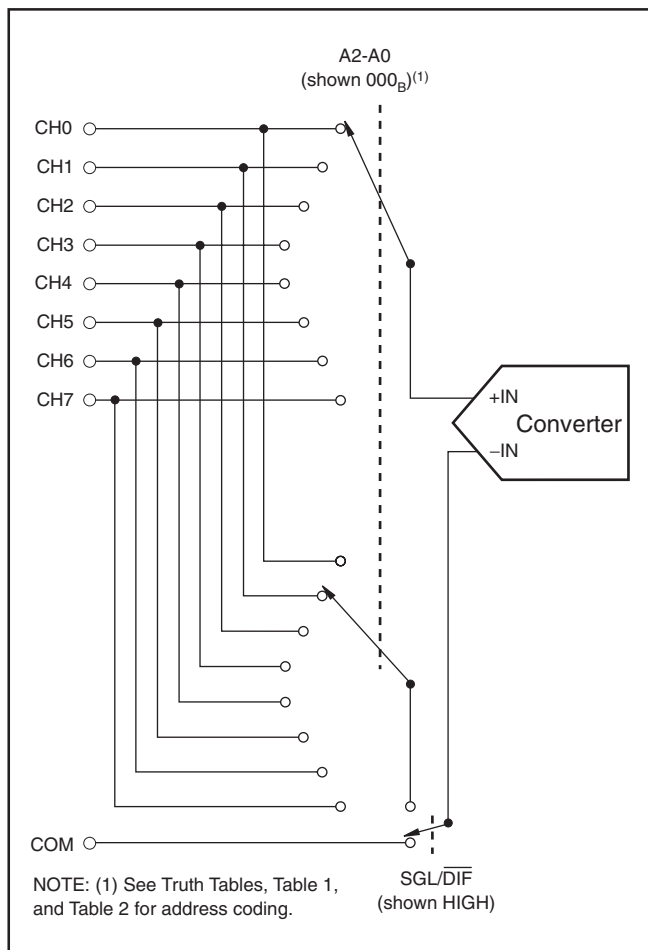


図 2. 簡略回路図

キャパシタが完全に充電された後、入力電流は流れなくなります。アナログ・ソースからコンバータへの電荷の移動速度は、変換レートの関数です。

リファレンス入力

外部リファレンスが、アナログ入力レンジを設定します。ADS7844は、100mVから V_{CC} までの範囲のリファレンスで動作します。図2に示すように、アナログ入力は+IN入力と-IN入力の差であることに注意して下さい。例えば、シングル・エンド・モードでCOMピンをグランドに接続し、1.25Vのリファレンスを使用した場合、選択した入力チャンネル (CH0 – CH7) は0Vから1.25Vのレンジの信号を適切にデジタル化します。COMピンを0.5Vに接続した場合、選択したチャンネルの入力レンジは0.5Vから1.75Vになります。

リファレンス入力とその広い電圧レンジについては、いくつかの重要な点があります。リファレンス電圧が低い場合、各デジタル出力コードのアナログ電圧のウェイトも小さくなります。この値は、通常LSB (最下位ビット) サイズと呼ばれ、リファレンス電圧の1/4096に相当します。リファレンス電圧の低下につれ、LSBサイズで表したA/Dコンバータ固有のオフセットまたはゲイン誤差は増加するように見えます。例えば、2.5Vのリファレンスでコンバータのオフセットが2LSBになる場合、0.5Vのリファレンスではオフセットが10LSBになります。いずれの場合も、デバイスの実際のオフセットは、同じ1.22mVです。

同様に、LSBサイズが小さいと、雑音が増加してデジタル出

力の精度が低下します。リファレンス電圧が100mVの場合、LSBサイズは24 μ Vになります。これはデバイスの内部雑音より低いレベルです。この結果、デジタル出力コードは不安定になり、平均値の上下を数LSBの範囲で変動します。出力コードの分布はガウス分布で、連続した変換結果を平均したりデジタルフィルタを使用することによって雑音を小さくできます。

リファレンス電圧が低い場合は、十分なバイパス、クリーン (低雑音、低リップル) な電源、低雑音のリファレンス、低雑音の入力信号など、クリーンなレイアウトを準備することに注意が必要です。また、LSBサイズが小さくなるため、コンバータは付近のデジタル信号や電磁干渉などに敏感になります。

V_{REF} 入力電圧は、バッファリングされず、直接ADS7844のキャパシタD/Aコンバータ (CDAC) 部をドライブします。2.5Vのリファレンスを使用したときの標準的な入力電流は13 μ Aです。この値は、変換結果によって数マイクロアンペア変動します。リファレンス電流は、変換レートおよびリファレンス電圧と共に減少します。リファレンスからの電流引き込みは各ビット判定点で行われるため、変換時間を一定とした場合は、コンバータのクロックを高速にしてもリファレンスから引き込まれる電流の総量は減少しません。

デジタル・インターフェイス

図3に、ADS7844のデジタル・インターフェイスの標準的な動作を示します。この図では、デジタル信号のソースが基本的なシリアル・インターフェイスを備えたマイクロコントローラまたはデジタル信号プロセッサであると仮定しています (デジタル入力は V_{CC} にかかわらず最大5.5Vの過電圧を許容することに注意して下さい)。プロセッサとコンバータ間の1回の通信は、8クロック・サイクルからなります。完全な1回の変換は、3回のシリアル通信で行われ、DCLK入力の合計24のクロック・サイクルで完了します。

最初の8クロック・サイクルで、DINピンから制御バイトを読み込みます。次の変換について入力マルチプレクサを適切に設定する十分な情報が得られると、コンバータはアクイジション (サンプリング) モードに入ります。3クロック・サイクル後に制御バイトが完了すると、コンバータは変換モードに入ります。このとき、入力サンプル/ホールドは、ホールド・モードに移行します。次の12クロック・サイクルで実際のA/D変換を実行します。13番目のクロック・サイクルは、変換結果の最後のビットのために必要です。以後の3クロック・サイクル (DOUTは“ロー”) は、最後のバイトが完了するために必要ですが、コンバータには無視されます。

制御バイト

図3は、制御バイトの各制御ビットの位置と順序も示しています。各ビットの詳細については、表3および表4を参照して下さい。最初のビットの“S”は、制御バイトのスタート・ビットを示し、常に“ハイ”にすることが必要です。ADS7844は、スタート・ビットが検出されるまで、DINピンの入力を無視します。次の3ビット (A2 – A0) は、アクティブな入力チャンネルまたは入力マルチプレクサのチャンネルの組を選択します (表1、表2および図2を参照)。

ビット7 (MSB)	ビット6	ビット5	ビット4	ビット3	ビット2	ビット1	ビット0 (LSB)
S	A2	A1	A0	—	SGL/DIF	PD1	PD0

表 3. 制御バイトの各制御ビットの順序

ビット	名前	説明
7	S	スタート・ビット。制御バイトは、DINの最初の“ハイ”のビットから開始される。新しい制御バイトは15クロック・サイクルごとに開始される。
6 - 4	A2 - A0	チャンネル選択ビット。SGL/DIFビットとともに、マルチプレクサ入力の設定を制御(表1および表2を参照)。
3	—	未使用
2	SGL/DIF	シングル・エンド/差動選択ビット。ビットA2 - A0とともに、マルチプレクサ入力の設定を制御(表1および表2を参照)。
1 - 0	PD1 - PD0	パワーダウン・モード選択ビット(表5を参照)。

表 4. 制御バイトの各制御ビットの説明

SGL/DIFビットは、マルチプレクサの入力モードを制御し、シングル・エンド(“ハイ”)または差動(“ロー”)モードに設定します。シングル・エンド・モードでは、選択した入力チャンネルの基準としてCOMピンが使用されます。差動モードでは、選択した2つの入力が差動入力になります。詳細については、表1、

表2、および図2を参照して下さい。最後の2ビット(PD1 - PD0)は、パワーダウン・モードを選択します(表5参照)。両方とも“ハイ”の場合は、デバイスが常にパワーアップ状態になります。両方とも“ロー”の場合は、デバイスが変換から変換までの間、パワーダウン・モードに入ります。新しい変換が開始されると、デバイスは直ちに通常動作を再開します。デバイスがパワーアップするまでの遅延は必要なく、最初の変換から有効になります。

16クロックの変換サイクル

図4に示すように、変換“n+1”の制御ビットを変換“n”と重ねることにより、16クロック・サイクルごとに変換を実行することができます。この図は、プロセッサとコンバータ間のバイト転送と並行して他のシリアル周辺装置とのシリアル通信が可能であることも示しています。その場合、各変換が開始から1.6ms以内に完了することが条件になります。さもないと、入力のサンプル/ホールドでキャプチャされた信号がドループし、変換結果に影響します。また、他のシリアル通信を実行している間、ADS7844はフルパワー・モードになります。

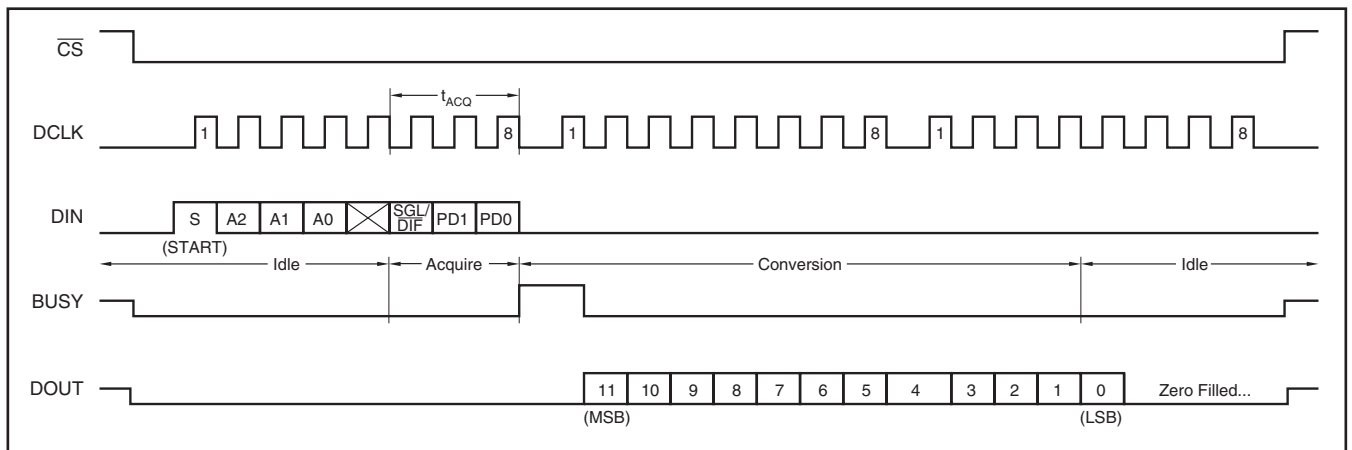


図 3. 変換のタイミング(24クロックの変換サイクル、8ビット・バス・インターフェイス)。専用シリアル・ポートでDCLKの遅延は不要。

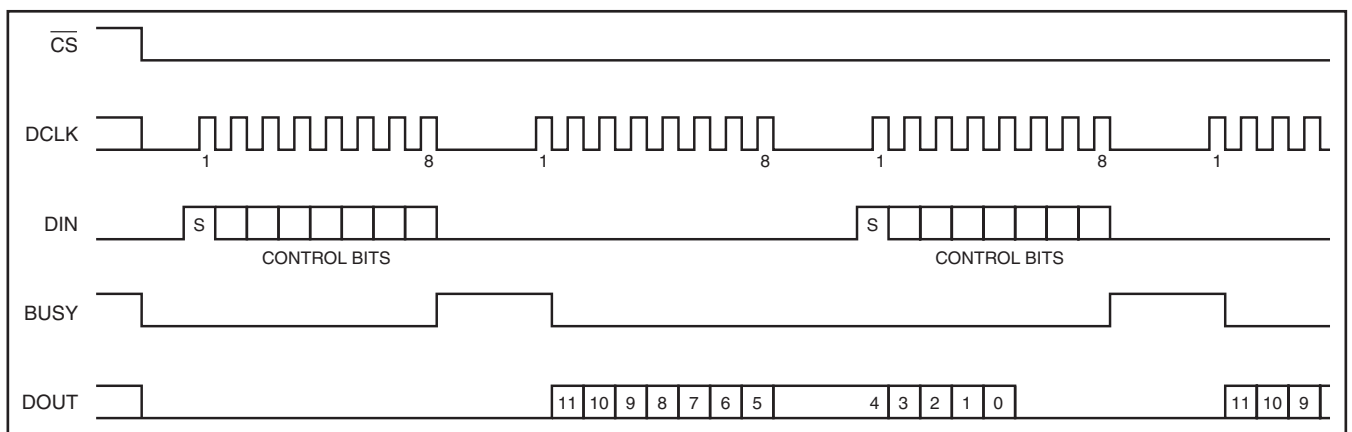


図 4. 変換のタイミング(16クロックの変換サイクル、8ビット・バス・インターフェイス)。専用シリアル・ポートでDCLKの遅延は不要。

PD1	PD0	説明
0	0	変換から変換までの間パワーダウンする。コンバータは変換が終了するたびにパワーダウン・モードに入り、次の変換の最初で直ちにフルパワー・モードに戻る。完全な動作を保証するための遅延は必要なく、最初の変換から有効になる。
0	1	将来の使用のために予約
1	0	将来の使用のために予約
1	1	変換から変換までの間パワーダウンしない。デバイスは常にパワーアップ状態になる。

表 5. パワーダウンの選択

デジタル・タイミング

図5、表6および表7に、ADS7844のデジタル・インターフェースの詳細なタイミングを示します。

15クロックの変換サイクル

図6は、ADS7844にクロックを供給する最も高速な方法です。この方法は、一般に15クロック・サイクル単位のシリアル転送ができないマイクロコントローラやデジタル信号プロセッサのシリアル・インターフェイスには使用できませんが、フィールド・プログラマブル・ゲート・アレイ (FPGA) や特定用途向けIC (ASIC) での使用が考えられます。この方法によるコンバータの最大変換レートの増大は、16クロック・サイクル単位の変換を想定している仕様の表の値を超えたものであることに注意して下さい。

記号	説明	最小	標準	最大	単位
t_{ACQ}	アキュイジション時間	1.5			μs
t_{DS}	DCLKの立ち上がり前のDIN有効	100			ns
t_{DH}	DCLK “ハイ” 後のDINホールド	10			ns
t_{DO}	DCLKの立ち下がりからDOUT有効まで			200	ns
t_{DV}	$\overline{CS}$ の立ち下がりからDOUTイネーブルまで			200	ns
t_{TR}	$\overline{CS}$ の立ち上がりからDOUTディセーブルまで			200	ns
t_{CSS}	$\overline{CS}$ の立ち下がりから最初のDCLKの立ち上がりまで	100			ns
t_{CSH}	$\overline{CS}$ の立ち上がりからDCLK無視まで	0			ns
t_{CH}	DCLK “ハイ”	200			ns
t_{CL}	DCLK “ロー”	200			ns
t_{BD}	DCLKの立ち下がりからBUSYの立ち上がりまで			200	ns
t_{BDV}	$\overline{CS}$ の立ち下がりからBUSYイネーブルまで			200	ns
t_{BTR}	$\overline{CS}$ の立ち上がりからBUSYディセーブルまで			200	ns

表 6. タイミング仕様 (+ $V_{CC} = +2.7V \sim 3.6V$,
 $T_A = -40^\circ C \sim +85^\circ C$, $C_{LOAD} = 50pf$)

記号	説明	最小	標準	最大	単位
t_{ACQ}	アキュイジション時間	900			ns
t_{DS}	DCLKの立ち上がり前のDIN有効	50			ns
t_{DH}	DCLK “ハイ” 後のDINホールド	10			ns
t_{DO}	DCLKの立ち下がりからDOUT有効まで			100	ns
t_{DV}	$\overline{CS}$ の立ち下がりからDOUTイネーブルまで			70	ns
t_{TR}	$\overline{CS}$ の立ち上がりからDOUTディセーブルまで			70	ns
t_{CSS}	$\overline{CS}$ の立ち下がりから最初のDCLKの立ち上がりまで	50			ns
t_{CSH}	$\overline{CS}$ の立ち上がりからDCLK無視まで	0			ns
t_{CH}	DCLK “ハイ”	150			ns
t_{CL}	DCLK “ロー”	150			ns
t_{BD}	DCLKの立ち下がりからBUSYの立ち上がりまで			100	ns
t_{BDV}	$\overline{CS}$ の立ち下がりからBUSYイネーブルまで			70	ns
t_{BTR}	$\overline{CS}$ の立ち上がりからBUSYディセーブルまで			70	ns

表 7. タイミング仕様 (+ $V_{CC} = +4.75V \sim +5.25V$,
 $T_A = -40^\circ C \sim +85^\circ C$, $C_{LOAD} = 50pf$)

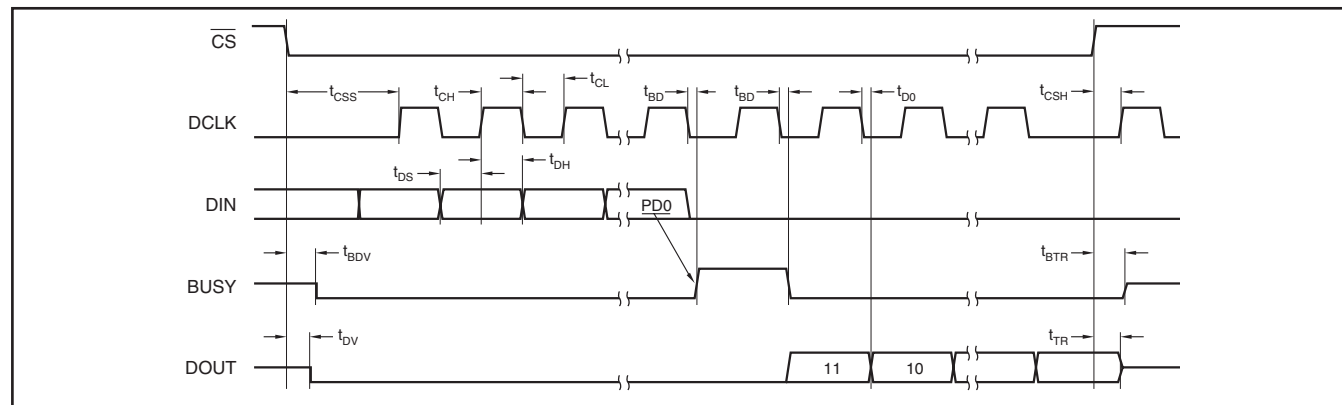


図 5. 詳細なタイミング図

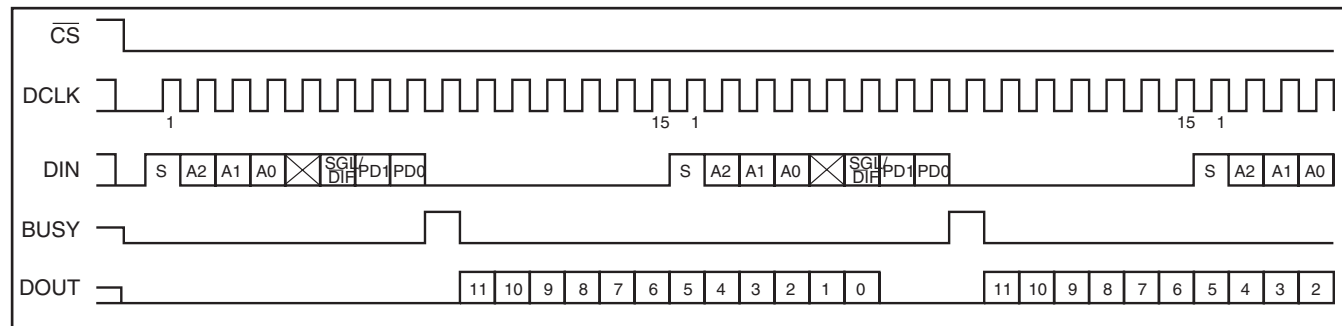


図 6. 最大変換レート、15クロックの変換サイクル

データ・フォーマット

ADS7844の出力データは、図7に示すようにストレート・バイナリ・フォーマットです。この図は、各入力電圧に対応する理想的な出力コードを表し、オフセット誤差、ゲイン誤差、雑音などの影響は含みません。

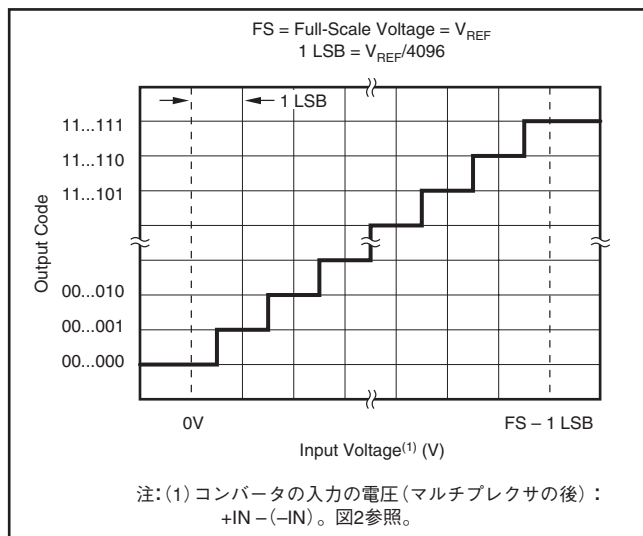


図 7. 理想的な入力電圧と出力コード

消費電力

ADS7844には、フルパワー (PD1 - PD0 = 11B)、オートパワーダウン (PD1 - PD0 = 00B)、シャットダウン ($\overline{\text{SHDN}}$ が“ロー”) の3種類の電力モードがあります。各モードの効果は、ADS7844の動作状況によって異なります。例えば、最大の変換レートおよび16クロックの変換サイクルのとき、フルパワー・モードとオートパワーダウン・モードの差はほとんどありません。同様に、デバイスが既にオートパワーダウンになっているとき、シャットダウン ($\overline{\text{SHDN}}$ が“ロー”) によって消費電力は低減しません。

ADS7844は、最大速度および16クロックの変換サイクルのとき (図4参照)、大部分の時間をアキュイジションまたは変換に使用しています。オートパワーダウンをアクティブにしている場合でも、オートパワーダウン・モードになっている時間はほとんどありません。このため、フルパワー・モードとオートパワーダウン・モードの差は無視できるほどわずかなものになります。単にDCLK入力の周波数を低くして変換レートを遅くした場合、2つのモードは、ほぼ同じに保たれます。これに対して、変換中のDCLKの周波数を最大レートに保ちながら変換の頻度を小さくした場合は、2つのモードの差はきわめて大きくなります。DCLK周波数を低くする (DCLKを変換レートに合わせて“スケーリング”する) 場合とDCLKを最大周波数に保ちながら単位時間当たりの変換回数を少なくする場合の比較を図8に示します。後者の場合、コンバータがパワーダウン・モード (オートパワーダウン・モードがアクティブと仮定) になる時間の割合が増加します。

ADS7844は、DCLKがアクティブで $\overline{\text{CS}}$ が“ロー”の場合、オートパワーダウン・モードのときにも多少の電力をデジタル・ロジックで消費します。電力は、 $\overline{\text{CS}}$ を“ハイ”に保つことにより最小にすることができます。これらの2つの場合の電源電流の差を図9に示します。

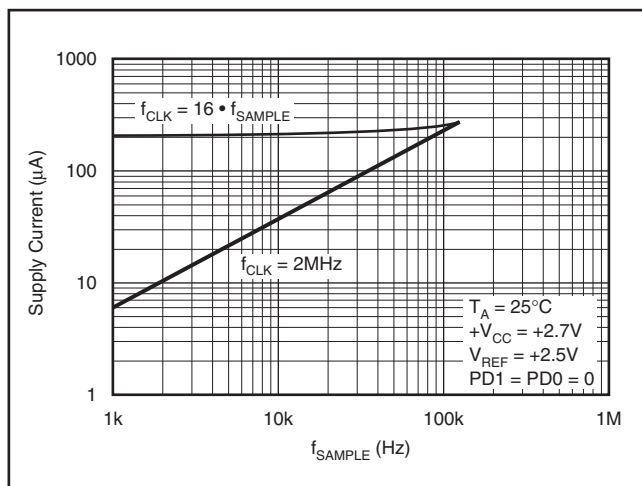


図 8. DCLKの周波数をサンプリング・レートに合わせてスケーリングした場合と最大周波数に保持した場合の電源電流の比較

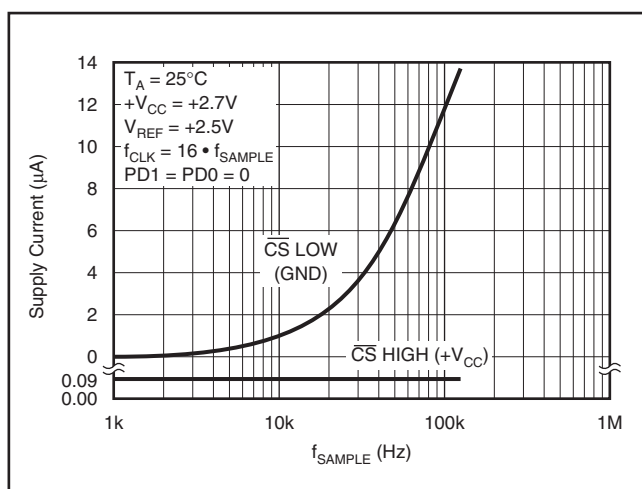


図 9. CSの状態による電源電流の比較

ADS7844をオートパワーダウン・モードで動作させると、消費電力が最小限に抑えられ、パワーアップ時の変換時間の損失がありません。最初の変換から有効になります。 $\overline{\text{SHDN}}$ を使用すると、直ちにパワーダウン・モードにすることができます。

レイアウト

最良な性能を得るためには、ADS7844の回路レイアウトに注意することが必要です。リファレンス電圧が低い場合や、変換レートが高い場合、またこの両方を伴う場合には特に重要です。

基本的なSARアーキテクチャは、電源、リファレンス、グランド、およびデジタル入力の各端子でアナログ・コンパレータ出力をラッチする直前に発生するグリッチに敏感です。nビットのSARコンバータでは必ず1回の変換にn個の「窓」があり、変換結果が容易に大きな外部過渡電圧の影響を受けます。このようなグリッチは、スイッチング電源、付近のデジタル・ロジック、ハイパワー・デバイスなどから発生します。デジタル出力の誤差の程度は、リファレンス電圧、レイアウト、および正確な外部イベントのタイミングに依存します。外部イベントとDCLK入力のタイミングが変化する場合、誤差が変動します。

このことを考慮して、ADS7844の電源は十分にバイパスしたクリーンなものを使用することが必要です。ADS7844には、パッケージのできるだけ近くに0.1 μ Fのセラミック・バイパス・コンデンサを配置して下さい。また、雑音の多い電源のローパスフィルタとして、1 μ Fから10 μ Fのコンデンサと5 Ω または10 Ω の直列抵抗を使用することもできます。

同様に、リファレンスも0.1 μ Fのコンデンサでバイパスすることが必要です。この場合も、リファレンス電圧のローパスフィルタとして直列抵抗および大きいコンデンサを使用することができます。オペアンプからリファレンス電圧を供給する場合は、オペアンプが発振なしにバイパス・コンデンサをドライブできることを確認して下さい(この場合は直列抵抗が有効です)。ADS7844は、平均的にはリファレンスから電流をほとんど引きませんが、瞬間的には(変換中にDCLKの各立ち上がりエッジで)リファレンス回路から比較的大きな電流を必要とします。

ADS7844のアーキテクチャは、本質的にリファレンス入力 of 雑音または電圧変動を除去しません。このことは、特にリファレンス入力 that 電源に接続されているときに問題になります。電源から雑音やリップルが入った場合は、直接デジタル・データに現われます。前項で述べたように、高周波雑音はフィルタで除去できますが、ライン周波数(50Hzまたは60Hz)による電圧変動の除去は難しいことがあります。

GNDピンは、クリーンなグラウンド・ポイントに接続して下さい。多くの場合、これには“アナログ”グラウンドが使用されます。マイクロコントローラまたはデジタル信号プロセッサのグラウンド・ポイントと接近しすぎた位置に接続しないで下さい。必要な場合は、直接コンバータから電源のエン트리・ポイントまでグラウンド・トレースを配置します。コンバータおよび関連するアナログ回路に専用のアナログ・グラウンド・プレーンを設けたレイアウトが理想的です。

パッケージ情報

Orderable Device	Status ⁽¹⁾	Package Type	Package Drawing	Pins	Package Qty	Eco Plan ⁽²⁾	Lead/Ball Finish	MSL Peak Temp ⁽³⁾
ADS7844E	ACTIVE	SSOP/QSOP	DBQ	20	56	Green (RoHS & no Sb/Br)	CU NIPDAU	Level-2-260C-1 YEAR
ADS7844E/2K5	ACTIVE	SSOP/QSOP	DBQ	20	2500	Green (RoHS & no Sb/Br)	CU NIPDAU	Level-2-260C-1 YEAR
ADS7844E/2K5G4	ACTIVE	SSOP/QSOP	DBQ	20	2500	Green (RoHS & no Sb/Br)	CU NIPDAU	Level-2-260C-1 YEAR
ADS7844EB	ACTIVE	SSOP/QSOP	DBQ	20	56	Green (RoHS & no Sb/Br)	CU NIPDAU	Level-2-260C-1 YEAR
ADS7844EB/2K5	ACTIVE	SSOP/QSOP	DBQ	20	2500	Green (RoHS & no Sb/Br)	CU NIPDAU	Level-2-260C-1 YEAR
ADS7844EB/2K5G4	ACTIVE	SSOP/QSOP	DBQ	20	2500	Green (RoHS & no Sb/Br)	CU NIPDAU	Level-2-260C-1 YEAR
ADS7844EBG4	ACTIVE	SSOP/QSOP	DBQ	20	56	Green (RoHS & no Sb/Br)	CU NIPDAU	Level-2-260C-1 YEAR
ADS7844EG4	ACTIVE	SSOP/QSOP	DBQ	20	56	Green (RoHS & no Sb/Br)	CU NIPDAU	Level-2-260C-1 YEAR
ADS7844N	ACTIVE	SSOP	DB	20	68	Green (RoHS & no Sb/Br)	CU NIPDAU	Level-2-260C-1 YEAR
ADS7844N/1K	ACTIVE	SSOP	DB	20	1000	Green (RoHS & no Sb/Br)	CU NIPDAU	Level-2-260C-1 YEAR
ADS7844N/1KG4	ACTIVE	SSOP	DB	20	1000	Green (RoHS & no Sb/Br)	CU NIPDAU	Level-2-260C-1 YEAR
ADS7844NB	ACTIVE	SSOP	DB	20	68	Green (RoHS & no Sb/Br)	CU NIPDAU	Level-2-260C-1 YEAR
ADS7844NB/1K	ACTIVE	SSOP	DB	20	1000	Green (RoHS & no Sb/Br)	CU NIPDAU	Level-2-260C-1 YEAR
ADS7844NB/1KG4	ACTIVE	SSOP	DB	20	1000	Green (RoHS & no Sb/Br)	CU NIPDAU	Level-2-260C-1 YEAR
ADS7844NBG4	ACTIVE	SSOP	DB	20	68	Green (RoHS & no Sb/Br)	CU NIPDAU	Level-2-260C-1 YEAR
ADS7844NG4	ACTIVE	SSOP	DB	20	68	Green (RoHS & no Sb/Br)	CU NIPDAU	Level-2-260C-1 YEAR

(1) マーケティング・ステータスは次のように定義されています。

ACTIVE：製品デバイスが新規設計用に推奨されています。

LIFEBUY：TIによりデバイスの生産中止予定が発表され、ライフタイム購入期間が有効です。

NRND：新規設計用に推奨されていません。デバイスは既存の顧客をサポートするために生産されていますが、TIでは新規設計にこの部品を使用することを推奨していません。

PREVIEW：デバイスは発表済みですが、まだ生産が開始されていません。サンプルが提供される場合と、提供されない場合があります。

OBSOLETE：TIによりデバイスの生産が中止されました。

(2) エコ・プラン - 環境に配慮した製品分類プランであり、Pb-Free (RoHS) および Green (RoHS & no Sb/Br) があります。最新情報および製品内容の詳細については、<http://www.ti.com/productcontent> でご確認ください。

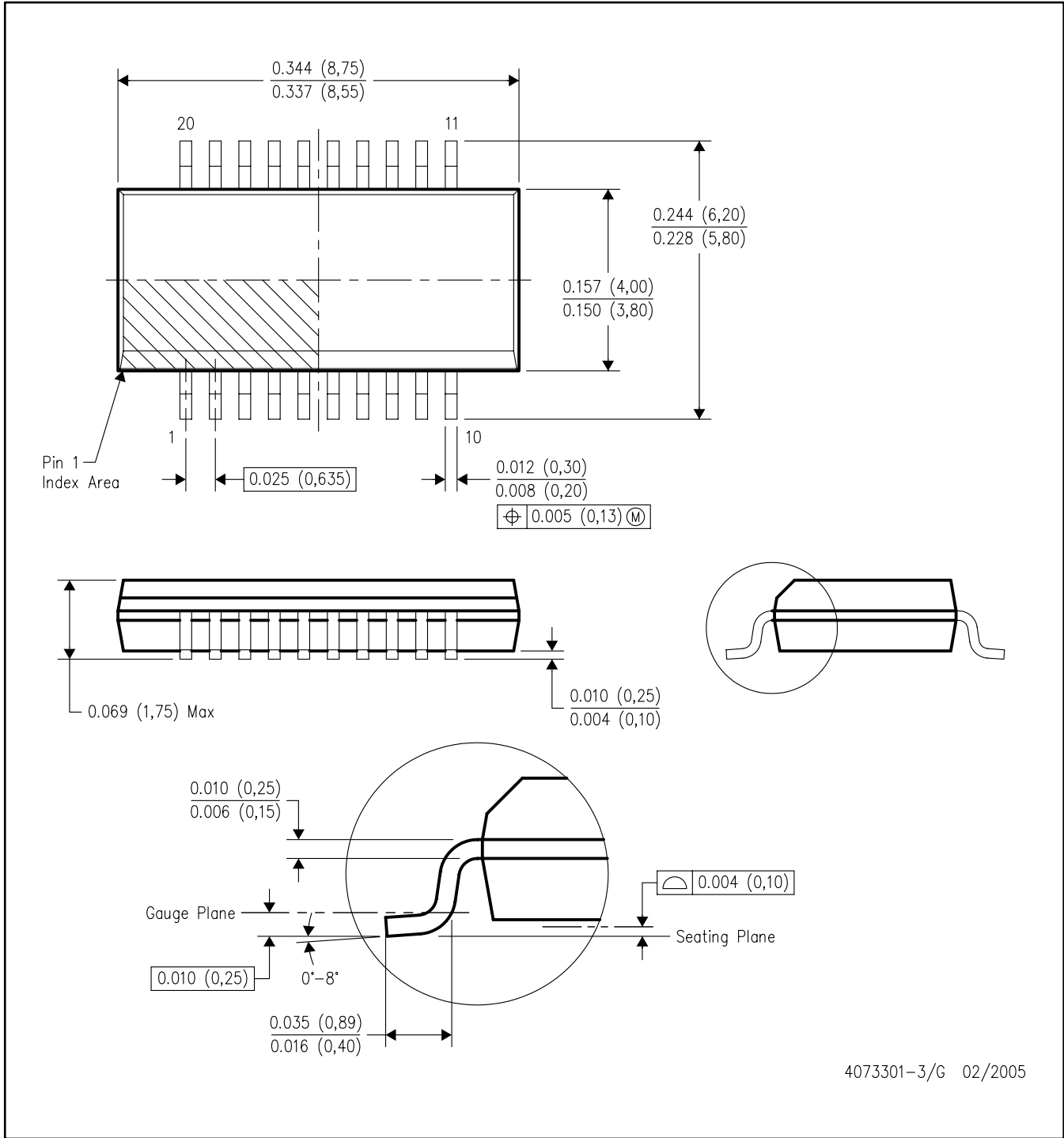
TBD：Pb-Free/Green 変換プランが策定されていません。

Pb-Free (RoHS)：TI における “Lead-Free” または “Pb-Free” (鉛フリー) は、6つの物質すべてに対して現在の RoHS 要件を満たしている半導体製品を意味します。これには、同種の材質内で鉛の重量が 0.1% を超えないという要件も含まれます。高温で半田付けするように設計されている場合、TI の鉛フリー製品は指定された鉛フリー・プロセスでの使用に適しています。

Green (RoHS & no Sb/Br)：TI における “Green” は、“Pb-Free” (RoHS 互換) に加えて、臭素 (Br) およびアンチモン (Sb) をベースとした難燃材を含まない (均質な材質中の Br または Sb 重量が 0.1% を超えない) ことを意味しています。

(3) MSL、ピーク温度 -- JEDEC 業界標準分類に従った耐湿性レベル、およびピーク半田温度です。

重要な情報および免責事項：このページに記載された情報は、記載された日付時点での TI の知識および見解を表しています。TI の知識および見解は、第三者によって提供された情報に基づいており、そのような情報の正確性について何らの表明および保証も行うものではありません。第三者からの情報をより良く統合するための努力は続けております。TI では、事実を適切に表す正確な情報を提供すべく妥当な手順を踏み、引き続きそれを継続してゆきますが、受け入れる部材および化学物質に対して破壊試験や化学分析は実行していない場合があります。TI および TI 製品の供給者は、特定の情報を機密情報として扱っているため、CAS 番号やその他の制限された情報が公開されない場合があります。



4073301-3/G 02/2005

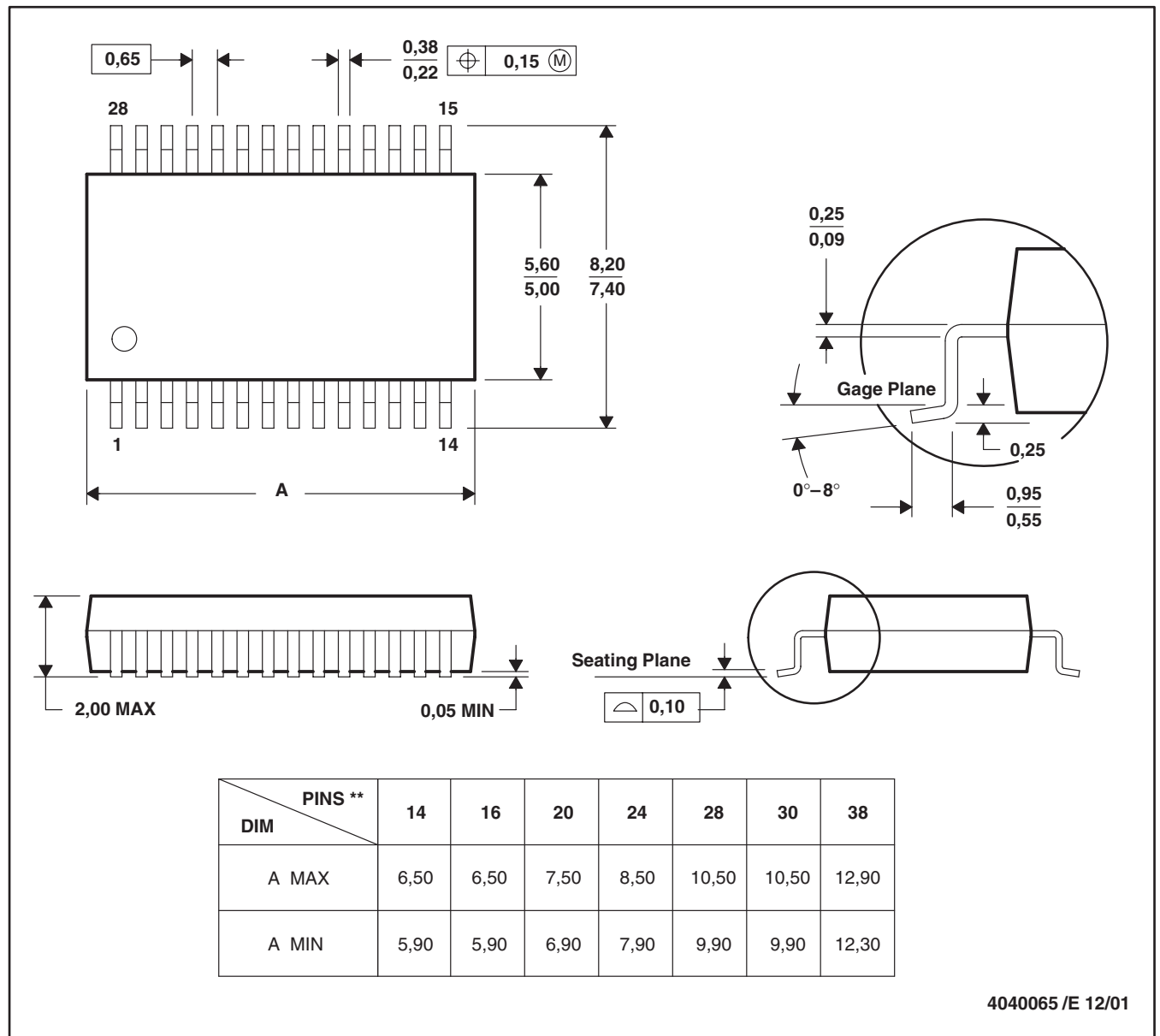
- NOTES:
- A. All linear dimensions are in inches (millimeters).
 - B. This drawing is subject to change without notice.
 - C. Body dimensions do not include mold flash or protrusion not to exceed 0.006 (0,15) per side.
 - D. Falls within JEDEC MO-137 variation AD.

メカニカル・データ

DB (R-PDSO-G**)

28 PINS SHOWN

PLASTIC SMALL-OUTLINE



- NOTES: A. All linear dimensions are in millimeters.
 B. This drawing is subject to change without notice.
 C. Body dimensions do not include mold flash or protrusion not to exceed 0,15.
 D. Falls within JEDEC MO-150

(SBAS100A_SBJ035)

重要なお知らせと免責事項

テキサス・インスツルメンツは、技術データと信頼性データ (データシートを含みます)、設計リソース (リファレンス デザインを含みます)、アプリケーションや設計に関する各種アドバイス、Web ツール、安全性情報、その他のリソースを、欠陥が存在する可能性のある「現状のまま」提供しており、商品性および特定目的に対する適合性の黙示保証、第三者の知的財産権の非侵害保証を含むいかなる保証も、明示的または黙示的にかかわらず拒否します。

これらのリソースは、テキサス・インスツルメンツ製品を使用する設計の経験を積んだ開発者への提供を意図したものです。(1) お客様のアプリケーションに適した テキサス・インスツルメンツ製品の選定、(2) お客様のアプリケーションの設計、検証、試験、(3) お客様のアプリケーションに該当する各種規格や、その他のあらゆる安全性、セキュリティ、規制、または他の要件への確実な適合に関する責任を、お客様のみが単独で負うものとします。

上記の各種リソースは、予告なく変更される可能性があります。これらのリソースは、リソースで説明されている テキサス・インスツルメンツ製品を使用するアプリケーションの開発の目的でのみ、テキサス・インスツルメンツはその使用をお客様に許諾します。これらのリソースに関して、他の目的で複製することや掲載することは禁止されています。テキサス・インスツルメンツや第三者の知的財産権のライセンスが付与されている訳ではありません。お客様は、これらのリソースを自身で使用した結果発生するあらゆる申し立て、損害、費用、損失、責任について、テキサス・インスツルメンツおよびその代理人を完全に補償するものとし、テキサス・インスツルメンツは一切の責任を拒否します。

テキサス・インスツルメンツの製品は、[テキサス・インスツルメンツの販売条件](#)、または [ti.com](https://www.ti.com) やかかる テキサス・インスツルメンツ製品の関連資料などのいずれかを通じて提供する適用可能な条項の下で提供されています。テキサス・インスツルメンツがこれらのリソースを提供することは、適用される テキサス・インスツルメンツの保証または他の保証の放棄の拡大や変更を意味するものではありません。

お客様がいかなる追加条項または代替条項を提案した場合でも、テキサス・インスツルメンツはそれらに異議を唱え、拒否します。

郵送先住所：Texas Instruments, Post Office Box 655303, Dallas, Texas 75265
Copyright © 2025, Texas Instruments Incorporated