

デュアル・チャネル、12ビット、125/105/80/65 MSPS、 シリアルLVDSインターフェイス付きADC

特 長

- 最大サンプリング・レート：125 MSPS
- 分解能：12ビット ノー・ミッシング・コード
- 同時サンプル/ホールド
- 3.5dB Coarseゲイン、最大6dBプログラム可変 Fineゲイン、SFDR/SNRトレードオフ
- シリアルLVDS出力、プログラム可能な内部終端オプション
- クロック入力：正弦波、LVCMOS、LVPECL、LVDS、最小振幅400mV_{pp}
- 内部リファレンス、外部リファレンス
- リファレンス用外部デカップリング不要
- 3.3Vアナログ/デジタル電源
- 48ピンQFNパッケージ (7mm × 7mm)
- ピン・コンパチブルの14ビット・ファミリ (ADS624X - SLAS542)
- 機能互換の4チャネル・ファミリ (ADS644X - SLAS531およびADS642X - SLAS532)

アプリケーション

- 基地局IF受信器
- ダイバーシティ受信器
- 医療用イメージング
- 試験装置

概 要

ADS6225/ADS6224/ADS6223/ADS6222 (ADS622X) は、高性能の12ビット125/105/80/65 MSPSデュアル・チャネルA/Dコンバータのファミリーです。シリアルLVDSデータ出力によってインターフェイスのライン数を減らし、コンパクトな48ピンQFNパッケージ (7mm × 7mm) で提供されるため、システム集積密度を高めることができます。3.5dBのCoarseゲイン・オプションにより、SNRをほとんど劣化させることなくSFDR特性の向上が可能です。Coarseゲイン (ゲイン粗調整) に加えて、1dB単位で6dBまでプログラム可能なFineゲイン (ゲイン微調整)・オプションも用意されています。

出力インターフェイスは2線式であり、各ADCデータがシリアル化されて2つのLVDSペア信号として出力されます。これにより、シリアル・データ・レートを (1線式インターフェイスと比べて) 半分にし、1Gbps未満に制限することが可能となり、受信側の設計が容易になります。また、ADS622Xには、より低いサンプリング周波数用に従来の1線式インターフェイスも備えられています。

	125 MSPS	105 MSPS	80 MSPS	65 MSPS
ADS624X 14 Bit	ADS6245	ADS6244	ADS6243	ADS6242
ADS622X 12 Bit	ADS6225	ADS6224	ADS6223	ADS6222

表 1. ADS62XXデュアル・チャネル・ファミリ

		ADS6225	ADS6224	ADS6223	ADS6222
SFDR, dBc	Fin = 10MHz (0 dB gain)	90	91	91	93
	Fin = 170MHz (3.5 dB gain)	79	81	82	83
SINAD, dBFS	Fin = 10MHz (0 dB gain)	70.7	70.8	71.3	71.3
	Fin = 170MHz (3.5 dB gain)	67.4	68.1	68.2	68.7
チャンネル当り消費電力、mW		500	405	350	315

表 2. 性能一覧

すべての商標および登録商標は、それぞれの所有者に帰属します。

この資料は、Texas Instruments Incorporated (TI) が英文で記述した資料を、皆様のご理解の一助として頂くために日本テキサス・インスツルメンツ (日本TI) が英文から和文へ翻訳して作成したものです。
資料によっては正規英語版資料の更新に対応していないものがあります。日本TIによる和文資料は、あくまでもTI正規英語版をご理解頂くための補助的参考資料としてご使用下さい。
製品のご検討およびご採用にあたりましては必ず正規英語版の最新資料をご確認下さい。
TIおよび日本TIは、正規英語版にて更新の情報を提供しているにもかかわらず、更新以前の情報に基づいて発生した問題や障害等につきましては如何なる責任も負いません。

内部のフェーズ・ロック・ループ (PLL) により、ADCサンプリング・クロック入力を通倍してビット・クロックを生成します。このビット・クロックを使用して、各チャネルからのADCデータをシリアル化します。シリアル・データ・ストリームに加えて、フレーム・クロックとビット・クロックもLVDS出力として送信されます。LVDS出力バッファには、プログラム可能なLVDS電流や、電流2倍モード、内部終端オプションなどの機能があります。これらの機能を使用して、アイ開口部を広げ、信号の完全性を向上させることで、受信側でのデータの取り込みが容易になります。

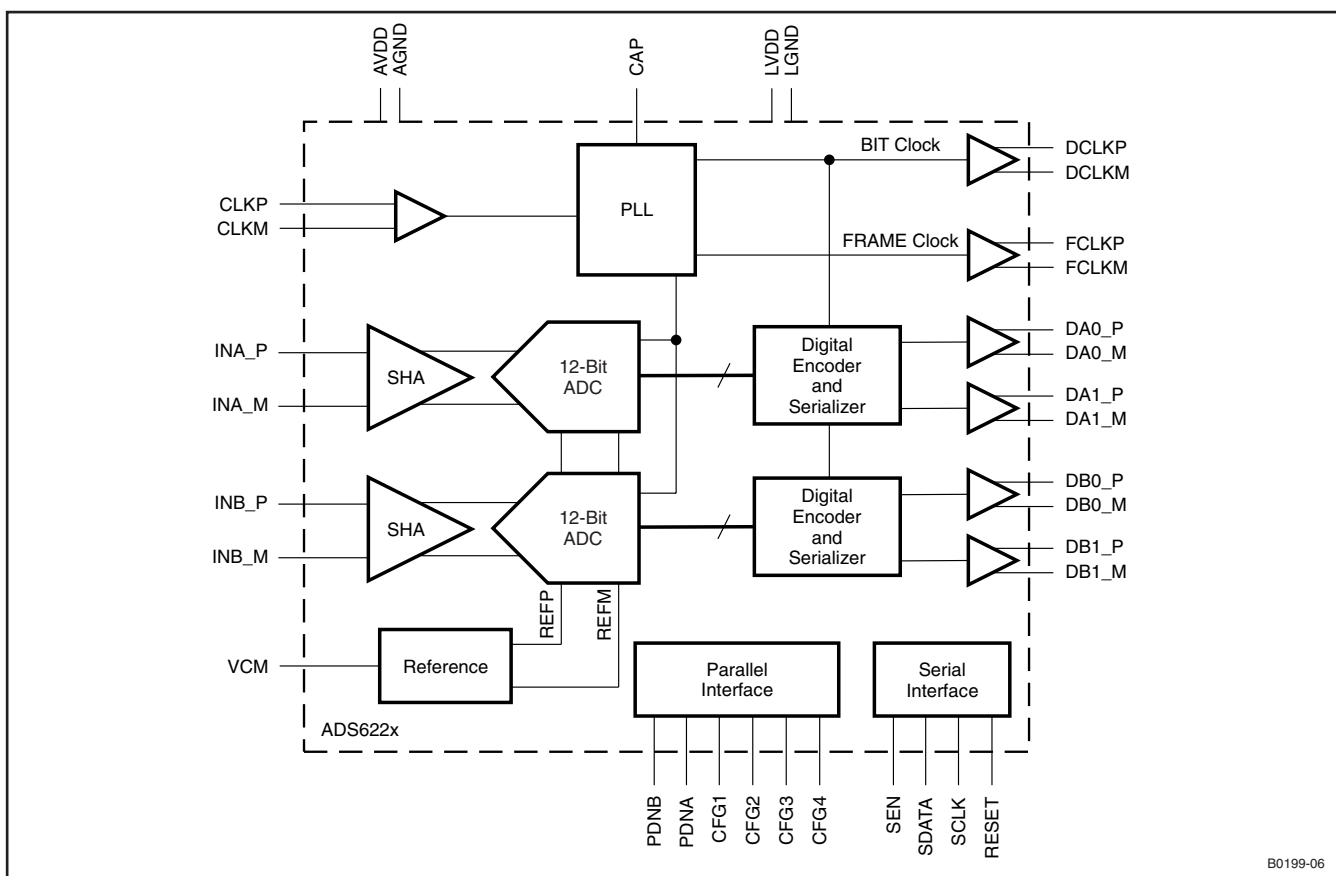
ADCチャネル出力は、2の補数またはストレート・バイナリ形式によりMSBファーストまたはLSBファーストで送信できます。

ADS622Xは内部リファレンスを備えていますが、外部リファレンス・モードもサポートできます。デバイスの仕様は、産業用温度範囲 (−40°C〜85°C) で規定されています。



静電気放電対策

これらのデバイスは、限定的なESD (静電破壊) 保護機能を内蔵しています。保存時または取り扱い時に、MOSゲートに対する静電破壊を防止するために、リード線どうしを短絡しておくか、デバイスを導電性のフォームに入れる必要があります。



B0199-06

製品情報 (1)

製品名	パッケージ	パッケージ・コード	仕様温度範囲	パッケージ 捺印	製品型番	出荷形態、 数量
ADS6225	QFN-48 ⁽²⁾	RGZ	-40°C ~ 85°C	AZ6225	ADS6225IRGZT	テープ・リール, 250
					ADS6225IRGZR	テープ・リール, 2000
ADS6224	QFN-48 ⁽²⁾	RGZ	-40°C ~ 85°C	AZ6224	ADS6224IRGZT	テープ・リール, 250
					ADS6224IRGZR	テープ・リール, 2000
ADS6223	QFN-48 ⁽²⁾	RGZ	-40°C ~ 85°C	AZ6223	ADS6223IRGZT	テープ・リール, 250
					ADS6223IRGZR	テープ・リール, 2000
ADS6222	QFN-48 ⁽²⁾	RGZ	-40°C ~ 85°C	AZ6222	ADS6222IRGZT	テープ・リール, 250
					ADS6222IRGZR	テープ・リール, 2000

(1) 最新のパッケージおよびご発注情報については、このドキュメントの巻末にある「付録：パッケージ・オプション」を参照するか、またはTIのWebサイト (www.tij.co.jp, www.ti.com) をご覧ください。

(2) パッケージのサーマル・パッドのサイズについては、このデータシートの巻末にあるメカニカル図面を参照してください。
2オンスの銅トレースを使用し、JEDEC標準の4層3×3インチPCBにパッドを直接半田付けした場合は、 $\theta_{JA} = 23.17^{\circ}\text{C/W}$ (0 LFMエアフロー)、 $\theta_{JC} = 22.1^{\circ}\text{C/W}$ です。

絶対最大定格 (1)

	規定値	単位
AVDD 電源電圧	-0.3 ~ 3.9	V
LVDD 電源電圧	-0.3 ~ 3.9	V
AVDD と LVDD間の電圧	-0.3 ~ 0.3	V
電圧AVDD 対 LVDD	-0.3 ~ 3.3	V
Voltage applied to external pin, VCM	-0.3 ~ 2.0	V
アナログ入力電圧	-0.3V ~ minimum (3.6, AVDD + 0.3V)	V
T _A 動作温度範囲	-40 ~ 85	°C
T _J ジャンクション温度	125	°C
T _{stg} 保存温度	-65 ~ 150	°C
端子温度、ケースから1.6mm (1/16") の点、10sec	220	°C

(1) 絶対最大定格以上のストレスは、致命的なダメージを製品に与えることがあります。これはストレスの定格のみについて示してあり、このデータシートの「推奨動作条件」に示された値を越える状態での本製品の機能動作は含まれていません。絶対最大定格の状態に長時間置くと、本製品の信頼性に影響を与えることがあります。

推奨動作条件

動作温度範囲内 (特に記述のない限り)

		MIN	NOM	MAX	単位
電源					
AVDD アナログ電源電圧		3.0	3.3	3.6	V
LVDD LVDS バッファ電源電圧		3.0	3.3	3.6	V
アナログ入力					
差動入力電圧範囲		2			V _{pp}
入力同相電圧		1.5 ±0.1			V
VCM電圧、外部リファレンス時		1.45	1.50	1.55	V
クロック入力					
入力サンプリング・クロック・レート	ADS6225	5	125	MSPS	
	ADS6224	5	105		
	ADS6223	5	80		
	ADS6222	5	65		
入力クロック差動振幅 (V _{CLKP} – V _{CLKM})	Sine wave, ac-coupled	0.4	1.5	V _{pp}	
	LVPECL, ac-coupled	±0.8			
	LVDS, ac-coupled	±0.35			
	LVC MOS, ac-coupled	3.3			
入力クロック・デューティ・サイクル		35%	50%	65%	
デジタル出力					
C _{LOAD} 最大容量性負荷、出力ピン 対 DGND	内部ターミネーション無し	5			pF
	内部ターミネーション有り	10			
R _{LOAD} LVDS出力差動負荷抵抗	100			Ω	
T _A 動作温度	–40			85	°C

電気的特性

TYP値は25°C、最小値および最大値はT_{MIN} = –40°C～T_{MAX} = 85°Cの全温度範囲、AVDD = LVDD = 3.3 V、最大定格サンプリング周波数、50%のクロック・デューティ・サイクル、–1dBFSの差動アナログ入力、内部リファレンス・モード (特に記述のない限り)。

パラメータ	ADS6225 F _s = 125 MSPS			ADS6224 F _s = 105 MSPS			ADS6223 F _s = 80 MSPS			ADS6222 F _s = 65 MSPS			単位
	MIN	TYP	MAX	MIN	TYP	MAX	MIN	TYP	MAX	MIN	TYP	MAX	
分解能	12			12			12			12			Bits
アナログ入力													
差動入力電圧範囲	2.0			2.0			2.0			2.0			V _{PP}
差動入力容量	7			7			7			7			pF
アナログ入力バンド幅	500			500			500			500			MHz
アナログ入力同相電流 (ADC入力ピン当り)	155			130			100			81			μA
リファレンス電圧													
VREFB 内部リファレンス・ボトム電圧	1.0			1.0			1.0			1.0			V
VREFT 内部リファレンス・トップ電圧	2.0			2.0			2.0			2.0			V
ΔV _{REF} 内部リファレンス誤差 (VREFT-VREFB)	-15	±2	15	-15	±2	15	-15	±2	15	-15	±2	15	mV
VCM 同相出力電圧	1.5			1.5			1.5			1.5			V

電気的特性

TYP値は25°C、最小値および最大値は $T_{MIN} = -40^{\circ}\text{C}$ ~ $T_{MAX} = 85^{\circ}\text{C}$ の全温度範囲、 $AVDD = LVDD = 3.3\text{ V}$ 、最大定格サンプリング周波数、50%のクロック・デューティ・サイクル、-1dBFSの差動アナログ入力、内部リファレンス・モード(特に記述のない限り)。

パラメータ	ADS6225 F _s = 125 MSPS			ADS6224 F _s = 105 MSPS			ADS6223 F _s = 80 MSPS			ADS6222 F _s = 65 MSPS			単位	
	MIN	TYP	MAX	MIN	TYP	MAX	MIN	TYP	MAX	MIN	TYP	MAX		
VCM出力電流	4			4			4			4			mA	
DC ACCURACY														
ノーマissing・コード	12			12			12			12			bit	
E _O	オフセット誤差	−15	±2	15	−15	±2	15	−15	±2	15	−15	±2	15	mV
	オフセット・ドリフト	0.05			0.05			0.05			0.05			mV/°C
ゲイン誤差は内部リファレンス精度とゲイン誤差の和														
E _{GREF}	内部リファレンス 精度依存ゲイン誤差 (ΔV _{REF} /2.0)%	−0.75	±0.1	0.75	−0.75	±0.1	0.75	−0.75	±0.1	0.75	−0.75	±0.1	0.75	% FS
	ゲイン・ドリフト	0.0125			0.0125			0.0125			0.0125			Δ%/°C
E _{GCHAN}	ゲイン誤差 (チャンネル間、デバイス間) ⁽¹⁾	−1	±0.3	1	−1	±0.3	1	−1	±0.3	1	−1	±0.3	1	% FS
	チャンネル・ゲイン誤差 温度係数(チャンネル間 およびデバイス間)	0.005			0.005			0.005			0.005			Δ%/°C
DNL	微分非直線性	−0.95	±0.5	2.0	−0.95	±0.5	2.0	−0.9	±0.4	1.8	−0.9	±0.4	1.8	LSB
INL	積分非直線性	−2.5	±1.25	2.5	−2.2	±1.25	2.2	−2.0	±1.25	2.0	−2.0	±1.0	2.0	LSB
PSRR	DC電源除去比	0.5			0.5			0.5			0.5			mV/V
電源														
I _{CC}	全電源電流	300			245			210			190			mA
I _{AVDD}	アナログ電源電流	237			185			155			140			mA
I _{LVDD}	LVDS電源電流	63			60			55			50			mA
	全消費電力	1.0	1.2		0.81	0.97		0.7	0.85		0.63	0.8	W	
	パワーダウン消費電力 (入カクロック停止時)	77	150		77	150		77	150		77	150	mW	

(1) これは設計で規定される値であり、実製品のテストは行っていません。

電気的特性

TYP値は25°C、最小値および最大値は $T_{MIN} = -40^{\circ}C \sim T_{MAX} = 85^{\circ}C$ の全温度範囲、 $AVDD = LVDD = 3.3 V$ 、最大定格サンプリング周波数、50%のクロック・デューティ・サイクル、-1dBFSの差動アナログ入力、内部リファレンス・モード(特に記述のない限り)。

パラメータ	テスト条件		ADS6225 F _s = 125 MSPS			ADS6224 F _s = 105 MSPS			ADS6223 F _s = 80 MSPS			ADS6222 F _s = 65 MSPS			単位
			MIN	TYP	MAX	MIN	TYP	MAX	MIN	TYP	MAX	MIN	TYP	MAX	
ダイナミック特性															
SNR 信号/雑音比	Fin = 10 MHz		70.9			71			71.4			71.4			dBFS
	Fin = 50 MHz		67.5	70.5		70.8			68	71.1		71.2			
	Fin = 70 MHz		70.3			67.5	70.6		70.9			68	71		
	Fin = 100 MHz		69.9			70.1			70.5			70.5			
	Fin = 170 MHz	0 dB ゲイン	68.5			68.8			69			69.1			
		3.5 dB Coarse ゲイン	68.1			68.4			68.4			68.8			
	Fin = 230 MHz	0 dB ゲイン	67.4			67.8			66.9			68.1			
		3.5 dB Coarse ゲイン	67.1			67.3			67.3			67.8			
SINAD 信号/(雑音+歪)比	Fin = 10 MHz		70.7			70.8			71.3			71.3			dBFS
	Fin = 50 MHz		67	70		69.8			67.5	70.9		71			
	Fin = 70 MHz		69.2			67	70		70.6			67.5	70.7		
	Fin = 100 MHz		69.7			70			70.1			70			
	Fin = 170 MHz	0 dB ゲイン	66.9			68.5			68.6			68.9			
		3.5 dB Coarse ゲイン	67.4			68.1			68.2			68.7			
	Fin = 230 MHz	0 dB ゲイン	66			66.8			66.5			67.3			
		3.5 dB Coarse ゲイン	66.5			66.8			67.2			67.4			
SFDR スプリアス フリー・ダイナミック・レンジ	Fin = 10 MHz		90			91			91			93			dBc
	Fin = 50 MHz		73	83		80			76	87		88			
	Fin = 70 MHz		78			73	81		86			76	87		
	Fin = 100 MHz		87			85			85			83			
	Fin = 170 MHz	0 dB ゲイン	75			78			79			80			
		3.5 dB Coarse ゲイン	79			81			82			83			
	Fin = 230 MHz	0 dB ゲイン	74			76			77			78			
		3.5 dB Coarse ゲイン	78			79			80			81			
HD2 第2高調波	Fin = 10 MHz		93			94			96			97			dBc
	Fin = 50 MHz		73	91		88			76	90		92			
	Fin = 70 MHz		90			73	88		90			76	92		
	Fin = 100 MHz		90			90			87			87			
	Fin = 170 MHz	0 dB ゲイン	85			84			86			86			
		3.5 dB Coarse ゲイン	88			86			88			88			
	Fin = 230 MHz	0 dB ゲイン	82			81			82			83			
		3.5 dB Coarse ゲイン	85			83			84			85			

電氣的特性

TYP値は25°C、最小値および最大値は $T_{MIN} = -40^{\circ}\text{C}$ ~ $T_{MAX} = 85^{\circ}\text{C}$ の全温度範囲、AVDD = LVDD = 3.3 V、最大定格サンプリング周波数、50%のクロック・デューティ・サイクル、-1dBFSの差動アナログ入力、内部リファレンス・モード(特に記述のない限り)。

パラメータ	テスト条件	ADS6225 F _s = 125 MSPS			ADS6224 F _s = 105 MSPS			ADS6223 F _s = 80 MSPS			ADS6222 F _s = 65 MSPS			単位
	Fin = 10 MHz		90			91			91			93		
HD3 第3高調波	Fin = 50 MHz	73	83			80		76	87			88		dBc
	Fin = 70 MHz		78		73	81			86		76	86		
	Fin = 100 MHz		87			85			85			83		
	Fin = 170 MHz	0 dB ゲイン		75		78			79			80		
		3.5 dB Coarse ゲイン		79		82			82			83		
	Fin = 230 MHz	0 dB ゲイン		74		76			77			78		
		3.5 dB Coarse ゲイン		78		79			80			81		
ワースト 高調波 (HD2, HD3 除く)	Fin = 10 MHz		95			95			96			98		dBc
	Fin = 50 MHz		94			94			95			95		
	Fin = 70 MHz		92			94			95			95		
	Fin = 100 MHz		91			92			93			93		
	Fin = 170 MHz		88			89			90			90		
	Fin = 230 MHz		86			86			87			87		
THD 全高調波歪	Fin = 10 MHz		88			89.5			89.5			91		dBc
	Fin = 50 MHz	70	81			78.5		74	85.5			86		
	Fin = 70 MHz				70	77					74			
	Fin = 100 MHz		84			84			83			80.5		
	Fin = 170 MHz		73			76			77.5			78.5		
	Fin = 230 MHz		72			74			75.5			76.5		
ENOB 有効ビット数	Fin = 50 MHz	10.8	11.4					10.9	11.5			11.5		Bits
	Fin = 70 MHz				10.8	11.4					10.9			
IMD 2トーン 混変調歪	F1= 46.09 MHz, F2 = 50.09 MHz		90			90			94			97		dBFS
	F1= 185.09 MHz, F2 = 190.09 MHz		82			88			92			96		
クロストーク	クロストーク信号周波数 = 10 MHz		105			105			106			108		dBc
過負荷入力 復帰時間	最終値の1%以内への復帰、 正弦波入力、6-dB過負荷		1			1			1			1		クロック・ サイクル
AC PSRR 電源除去比	Up to 100 MHz, 100 mV _{PP} on AVDD		35			35			35			35		dBc

デジタル特性

DC仕様は、デジタル出力のスイッチングなし、有効な論理レベル0または1に固定、 $AVDD = LVDD = 3.3V$ 、

$I_O = 3.5mA$ 、 $R_{LOAD} = 100\Omega$ の条件で規定されています⁽¹⁾。

すべてのLVDS仕様は、設計で規定される値であり、実製品のテストは行っていません。

パラメータ	テスト条件	ADS6225/ADS6224/ADS6223/ADS6222			単位
		MIN	TYP	MAX	
デジタル入力					
“H” レベル入力電圧		2.4			V
“L” レベル入力電圧		0.8			V
“H” レベル入力電流		10			μA
“L” レベル入力電流		10			μA
入力容量		4			pF
デジタル出力					
“H” レベル出力電圧		1375			mV
“L” レベル出力電圧		1025			mV
IV _{ODI}	差動出力電圧	250	350	450	mV
V _{OS}	出力オフセット電圧	OUTPとOUTM間同相電圧		1200	mV
	出力容量	出力 対 GND間の内部出力容量		2	pF

(1) I_O はLVDSバッファの電流設定、 R_{LOAD} はLVDS出力ペア間の外部差動負荷抵抗です。

タイミング仕様⁽¹⁾

TYP値は25°C、最小値および最大値は $T_{MIN} = -40^{\circ}\text{C} \sim T_{MAX} = 85^{\circ}\text{C}$ の全温度範囲、 $\text{AVDD} = \text{LVDD} = 3.3\text{ V}$ 、最大定格サンプリング周波数、正弦波入力クロック、 1.5 V_{PP} のクロック振幅、 $C_L = 5\text{ pF}^{(2)}$ 、 $I_O = 3.5\text{ mA}$ 、 $R_L = 100\Omega^{(3)}$ 、内部終端なし(特に記述のない限り)。

パラメータ		説明	ADS6225			ADS6224			ADS6223			ADS6222			単位
			MIN	TYP	MAX	MIN	TYP	MAX	MIN	TYP	MAX	MIN	TYP	MAX	
t _j	アパーチャ ジッタ	サンプリング時刻の 不確定性	250			250			250			250			fs rms
インターフェイス：2線式、DDR bitクロック、14xシリアルライゼーション															
t _{su}	データ・ セットアップ 時間 (4) (5) (6)	データ・クロスオーバ からビット・クロック・ クロスオーバまで	0.35	0.55		0.45	0.65		0.65	0.85		0.8	1.1		ns
t _h	データ・ホールド 時間 (4) (5) (6)	ビット・クロック・クロ スオーバからデータ・ クロスオーバまで	0.35	0.58		0.5	0.7		0.7	0.9		0.8	1.1		ns
t _{pd_clk}	クロック伝搬 遅延 (6)	入力クロック立ち上 がりエッジ・クロス オーバからフレーム・ クロック立ち上がり エッジ・クロスオーバ まで	3.4	4.4	5.4	3.4	4.4	5.4	3.4	4.4	5.4	3.4	4.4	5.4	ns
	ビット・クロック・ サイクル・サイク ル・ジッタ (5)		350			350			350			350			ps pp
	フレーム・クロッ ク・サイクル・サ イクル・ジッタ (5)		75			75			75			75			ps pp
以下の規定は 5 MSPS ≤ サンプリング周波数 ≤ 125 MSPS および全てのインターフェイスオプションに対して															
t _A	アパーチャ 遅延	入力クロック立ち上 がりエッジから実際 のサンプリング時刻 までの遅延	1	2	3	1	2	3	1	2	3	1	2	3	ns
	アパーチャ 遅延変動	同一デバイスの チャンネル間	−250	±80	250	−250	±80	250	−250	±80	250	−250	±80	250	ps
	ADC レーテンシ (7)	サンプリングからADC 出力までの伝搬時間、 図1参照	12			12			12			12			クロック・ サイクル
	ウェイク アップ時間	グローバル・パワー ダウン起動後の有効 データまでの時間	100			100			100			100			μs
		入力クロック・スタート 後の有効データまでの 時間	100			100			100			100			μs
		チャンネルスタンバイ後 の有効データまでの 時間	200			200			200			200			クロック・ サイクル
t _{RISE}	データ立ち 上がり時間	−100 mV から +100 mV まで	50	100	200	50	100	200	50	100	200	50	100	200	ps
t _{FALL}	データ立ち 下がり時間	+100 mV から −100 mV まで	50	100	200	50	100	200	50	100	200	50	100	200	ps
t _{RISE}	ビット・クロッ クおよびフレー ム・クロック立 ち上がり時間	−100 mV から +100 mV まで	50	100	200	50	100	200	50	100	200	50	100	200	ps

(1) タイミング・パラメータは、設計によって規定される値であり、実製品のテストは行っていません。

(2) C_L は、各出力ピンとグランドとの間の外部シングルエンド負荷容量です。

(3) I_O はLVDSバッファの設定電流、 R_L はLVDS出力ペア間の外部差動負荷抵抗です。

(4) タイミング・パラメータは、 R_L および C_L で終端される2インチPCBトレース(100Ωの特性インピーダンス)の末端で測定されています。

(5) セットアップ時間およびホールド時間の規定は、出力データおよびクロックに対するジッタの影響を考慮しています。

(6) より低いサンプリング周波数および他のインターフェイス・オプションでのタイミングについては、アプリケーション情報の「出力タイミング」を参照してください。

(7) 合計のレイテンシ = ADCレイテンシ + 内部シリアルライザのレイテンシです。シリアルライザのレイテンシは、表28で選択されるインターフェイス・オプションによって異なります。

タイミング仕様

TYP値は25°C、最小値および最大値は $T_{\text{MIN}} = -40^{\circ}\text{C} \sim T_{\text{MAX}} = 85^{\circ}\text{C}$ の全温度範囲、 $\text{AVDD} = \text{LVDD} = 3.3\text{ V}$ 、最大定格サンプリング周波数、正弦波入力クロック、 1.5 V_{PP} のクロック振幅、 $C_L = 5\text{ pF}^{(2)}$ 、 $I_O = 3.5\text{ mA}$ 、 $R_L = 100\Omega^{(3)}$ 、内部終端なし（特に記述のない限り）。

パラメータ	説明	ADS6225			ADS6224			ADS6223			ADS6222			単位
		MIN	TYP	MAX	MIN	TYP	MAX	MIN	TYP	MAX	MIN	TYP	MAX	
t_{FALL} ビット・クロック およびフレーム・ クロック立ち上 がり時間	+100 mV から −100 mV まで	50	100	200	50	100	200	50	100	200	50	100	200	ps
LVDSビット・ クロック・デュー ティ・サイクル		45%	50%	55%	45%	50%	55%	45%	50%	55%	45%	50%	55%	
LVDSフレーム・ クロック・デュー ティ・サイクル		47%	50%	53%	47%	50%	53%	47%	50%	53%	47%	50%	53%	

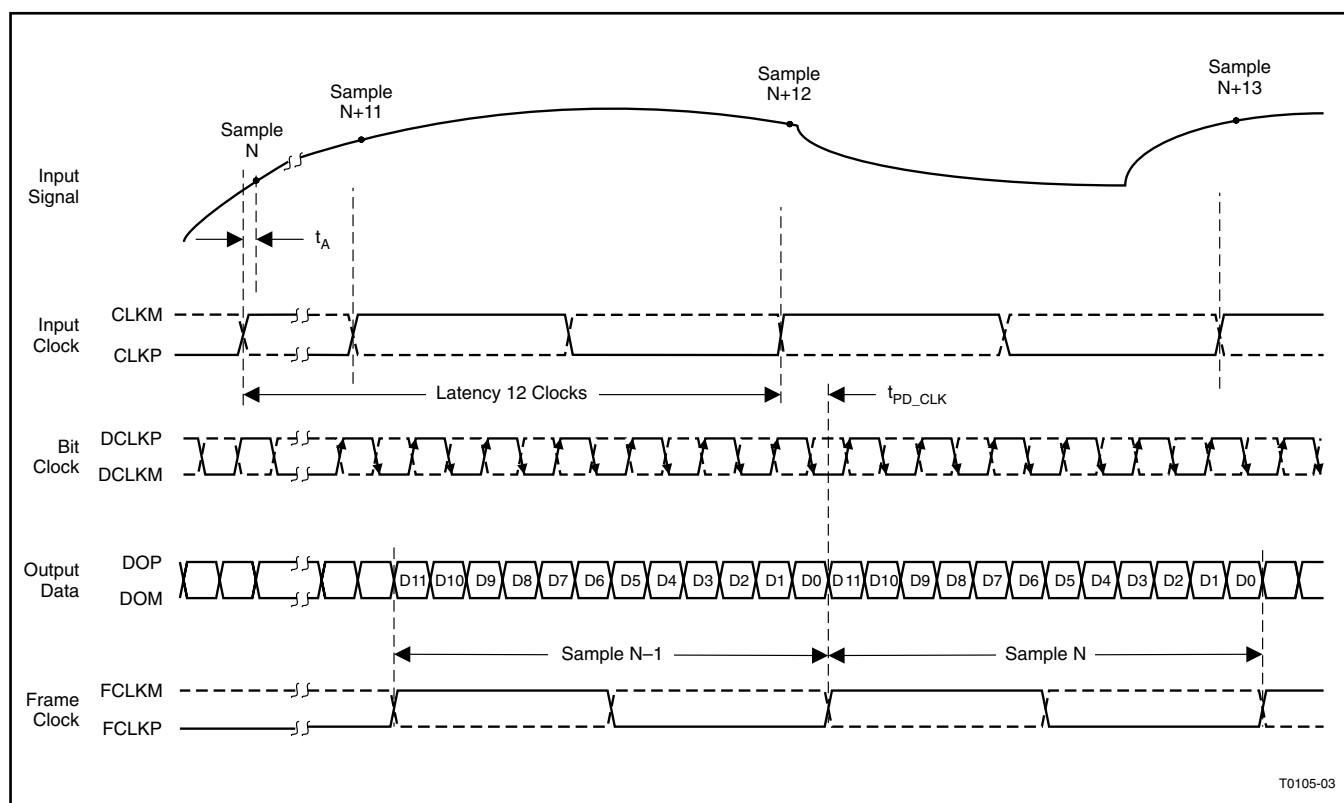
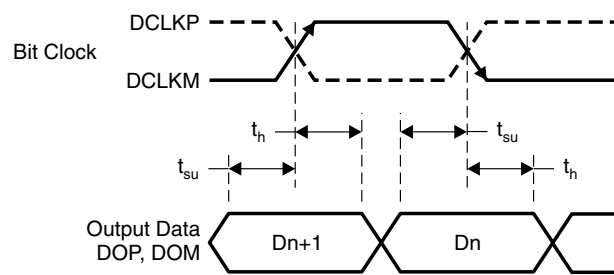


図 1. レイテンシ



T0106-03

図 2. LVDSのタイミング

デバイスのプログラミング・モード

ADS622Xは、簡単に設定できるプログラム機能を備えたことにより、高い柔軟性を提供します。

パラレル・インターフェイス制御またはシリアル・インターフェイス・プログラミングを使用し、それぞれ独立に設定を行えます。

また、パラレル・インターフェイスとシリアル制御レジスタの両方を使用する第3の設定モードもサポートしています。このモードでは、パラレル・インターフェイスとシリアル・インターフェイスの間の優先順位が、優先順位表(表4)によって決定されます。このような柔軟な制御を必要としない場合は、シリアル・インターフェイス・プログラミングかパラレル・インターフェイス制御のどちらか一方を選択できます。

パラレル・インターフェイス制御のみを使用

パラレル・インターフェイスを使用してデバイスを制御するには、RESETを“High”(LVDD)に維持します。CFG1、CFG2、CFG3、CFG4、PDNA、PDNB、SEN、SCLK、SDATAの各ピンは、ADCの特定の機能を直接制御するために使用されます。電源投入後、デバイスはパラレル・ピンの電圧設定(表5～表9)に従って自動的に設定され、リセットは不要です。このモードでは、SEN、SCLK、およびSDATAはパラレル・インターフェイス制御ピンとして機能します。

出力データのインターフェイスおよび形式、パワーダウン・モード、Coarseゲイン、内部/外部リファレンスなど、よく使用される機能はこのモードで制御されます。パラレル・ピンは、図3に示すような単純な抵抗ストリングを使用して設定されます。

表3に、パラレル・ピンで制御されるモードについて示します。

シリアル・インターフェイス・プログラミングのみを使用

このモードでは、SEN、SDATA、SCLKはシリアル・インターフェイス・ピンとして機能し、ADCの内部レジスタへのアクセスに使用されます。これらのレジスタは最初に、RESETピンにパルス印加するか、または(レジスタ内の) <RST>ビットを

“High”に設定することで、デフォルト値にリセットする必要があります。リセット後は、RESETピンを“Low”に保持する必要があります。

レジスタのプログラミングおよびリセットについては、「シリアル・インターフェイス」の節で詳しく説明します。

パラレル・ピン(CFG1-4、PDNA、PDNB)はこのモードでは使用しないため、これらはグラウンドに固定する必要があります。このシリアル・インターフェイス制御のみのモードでは、レジスタ・オーバーライド・ビット<OVRD>(レジスタ0x0DのD10)を“High”に設定して、パラレル・インターフェイス・ピンをディセーブルにする必要があります。

シリアル・インターフェイスとパラレル制御の両方を使用

柔軟性を高めるために、シリアル・インターフェイス・レジスタとパラレル・ピン制御(CFG1-4、PDNA、PDNB)を組み合わせでデバイスを設定することもできます。

パラレル・インターフェイス制御ピンCFG1-4、PDNA、PDNBを使用できます。電源投入後、デバイスはパラレル・ピン電圧設定(表5～表12)に従って自動的に設定され、リセットは不要です。図3に示されるように、単純な抵抗ストリングを使用できます。

SEN、SDATA、SCLKはシリアル・インターフェイス・ピンとして機能し、ADCの内部レジスタへのアクセスに使用されます。これらのレジスタは最初に、RESETピンにパルス印加するか、または(レジスタ内の) <RST>ビットを“High”に設定することで、デフォルト値にリセットする必要があります。リセット後は、RESETピンを“Low”に保持する必要があります。

レジスタのプログラミングおよびリセットについては、「シリアル・インターフェイス」の節で詳しく説明します。

いくつかの機能はパラレル・ピンとシリアル・レジスタの両方を使用して制御されるため、それらの間の優先順位が、優先順位表(表4)によって決定されます。

ピン	制御機能
SEN	Coarseゲインおよび内部/外部リファレンス
SCLK, SDATA	同期、デスキュー・パターン、およびグローバル・パワーダウン
PDNA, PDNB	各チャンネルのADCパワーダウン専用ピン
CFG1	1線/2線およびDDR/SDRビット・クロック
CFG2	12倍/14倍シリアル化、およびSDRビット・クロックのキャプチャ・エッジ
CFG3	予約機能。CFG3はグラウンドに接続します。
CFG4	MSB/LSBファーストおよびデータ形式

表 3. パラレル・ピンの定義

ピン	機能	PRIORITY
CFG1 to CFG4	表9から11に機能説明	<OVRD>ビットが“High”の場合のみ、レジスタ・ビットでモードを制御できます。<OVRD>ビットが“Low”の場合は、これらのパラレル・ピンの制御電圧により、表に従って機能が決定されます。
PDN	グローバル・パワーダウン	PDNピンが“Low”の場合のみ、レジスタ0x00のD0ビットでグローバル・パワーダウンが制御されます。PDNが“High”の場合、デバイスはグローバル・パワーダウン・モードになります。
SEN	シリアル・インターフェイス・イネーブル	<OVRD>ビットが“High”の場合のみ、レジスタ0x0DのビットD5でCoarseゲイン設定が制御されます。それ以外の場合は、デフォルトのレジスタ設定に従ってCoarseゲインが0dBになります。 内部/外部リファレンス設定は、レジスタ0x00のビットD6によって決定されます。
SCLK, SDATA	シリアル・インターフェイスのクロックおよびシリアル・インターフェイスおよびシリアル・インターフェイス・データ・ピン	レジスタ0x0AのD7、D6、D5ビットによって同期およびデスキュー出力パターンが制御されます。 パワーダウンは、0x00レジスタのビットD0によって決定されます。

表 4. パラレル・ピンとシリアル・レジスタの間の優先順位

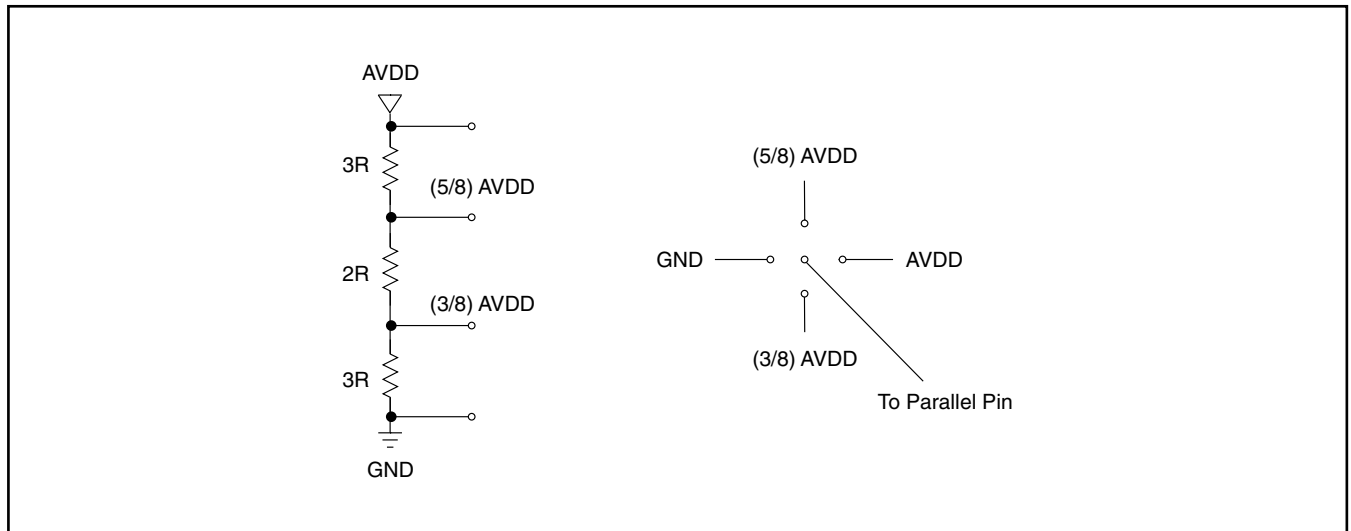


図 3. パラレル・ピンの設定概略図

パラレル・ピンの説明

SCLK	SDATA	説 明
LOW	LOW	NORMAL – 通常変換。
LOW	HIGH	SYNC – すべてのチャンネルのADC出力同期パターン。受信側ではこのパターンを使用して、デシリアル化されたデータをフレーム境界に揃えます。詳細については、「キャプチャ・テスト・パターン」を参照してください。
HIGH	LOW	POWER DOWN – グローバル・パワーダウン。内部リファレンス、PLL、出力バッファを含めてADCのすべてのチャンネルがパワーダウンされます。
HIGH	HIGH	DESKEW – すべてのチャンネルのADC出力デスキュー・パターン。受信側ではこのパターンを使用して、デシリアルライザが正しいクロック・エッジを使用することを保証できます。詳細については、「キャプチャ・テスト・パターン」を参照してください。

表 5. SCLK、SDATA制御ピン

SEN	説 明
0	外部リファレンスおよび0dB Coarseゲイン (フルスケール = 2Vpp)
(3/8)LVDD	外部リファレンスおよび3.5dB Coarseゲイン (フルスケール = 1.34Vpp)
(5/8)LVDD	内部リファレンスおよび3.5dB Coarseゲイン (フルスケール = 1.34Vpp)
LVDD	内部リファレンスおよび0dB Coarseゲイン (フルスケール = 2Vpp)

表 6. SEN制御ピン

使用されているプログラミング・モードに関係なく、電源投入後には、パラレル・ピンPDNA、PDNB、CFG1～CFG4に印加されている電圧に従って、デバイスが自動的に設定されます(表7～表12)。

PDNA	説 明
0	通常動作
AVDD	チャンネルA ADCのグローバル・パワーダウン

表 7. PDNA制御ピン

PDNB	説 明
0	通常動作
AVDD	チャンネルB ADCのグローバル・パワーダウン

表 8. PDNB制御ピン

CFG1	説 明
0	DDRビット・クロック、1線式インターフェイス
(3/8)LVDD	未使用
(5/8)LVDD	SDRビット・クロック、2線式インターフェイス
LVDD	DDRビット・クロック、2線式インターフェイス

表 9. CFG1制御ピン

CFG2	説 明
0	12倍シリアル化、ビット・クロックの立ち下がりエッジでデータ取り込み (2線式SDRビット・クロック・モードの場合のみ)
(3/8)LVDD	14倍シリアル化、ビット・クロックの立ち下がりエッジでデータ取り込み (2線式SDRビット・クロック・モードの場合のみ)
(5/8)LVDD	14倍シリアル化、ビット・クロックの立ち上がりエッジでデータ取り込み (2線式SDRビット・クロック・モードの場合のみ)
LVDD	12倍シリアル化、ビット・クロックの立ち上がりエッジでデータ取り込み (2線式SDRビット・クロック・モードの場合のみ)

表 10. CFG2制御ピン

CFG3	予 約 – グランドに接続
------	---------------

表 11. CFG3制御ピン

CFG4	説 明
0	MSBファースト、2の補数
(3/8)LVDD	MSBファースト、オフセット・バイナリ
(5/8)LVDD	LSBファースト、オフセット・バイナリ
LVDD	LSBファースト、2の補数

表 12. CFG4制御ピン

シリアル・インターフェイス

ADCには、SEN(シリアル・インターフェイス・イネーブル)、SCLK(シリアル・インターフェイス・クロック)、SDATA(シリアル・インターフェイス・データ)、RESETの各ピンから構成されるシリアル・インターフェイスが備えられています。SENが“Low”のときに、デバイスへのビットのシリアル・シフトがイネーブルになります。シリアル・データSDATAは、SENがアクティブ(“Low”)のときのSCLKの各立ち上がりエッジでラッチされます。ラッチされたシリアル・データは、SENが“Low”のときのSCLKの16回目の立ち上がりエッジで、レジスタにロードされます。ワード長が16ビットの倍数より大きい場合、超過するビットは無視されます。1回のアクティブなSENパルス内で、16ビット・ワードの整数倍のデータをロードできます。このインターフェイスは、20MHz～非常に低速(数Hz)までにわたるSCLK周波数で動作し、デューティ・サイクルが50%以外のSCLKでも動作できます。

16ビット・ワードの最初の5ビットはレジスタのアドレス、次の11ビットはレジスタ・データです。

レジスタ・リセット

電源投入後、内部レジスタはデフォルト値にリセットする必要があります。これは、次の2つのうちいずれかの方法で行えます。

1. RESETに幅10ns以上の“High”パルスを印加する。
2. ソフトウェア・リセットを実行する。シリアル・インターフェイスを使用して、レジスタ0x00の<RST>ビットを“High”にセットします。これにより、レジスタがデフォルト値にリセットされ、<RST>ビットは“Low”にリセットされます。

RESETピンを使用しない場合は、“Low”に固定しておく必要があります。

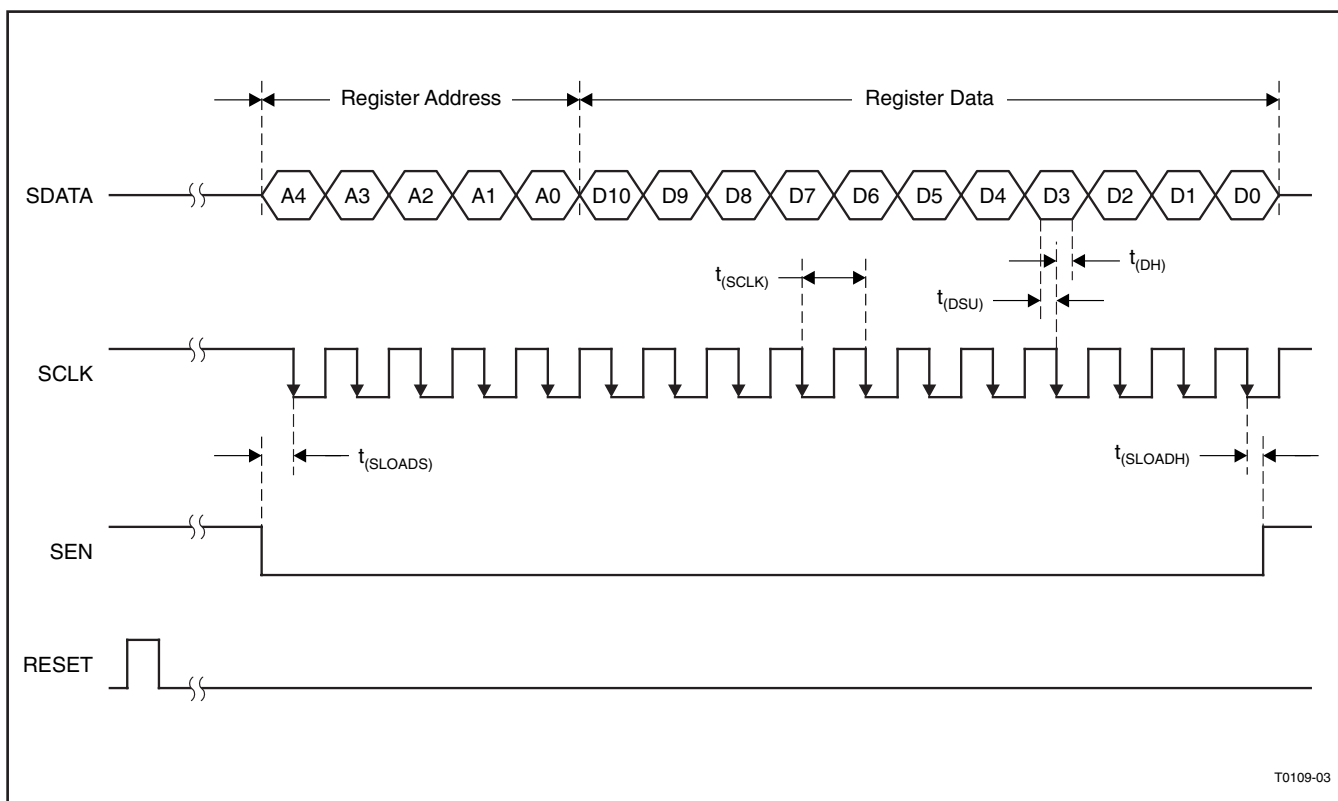


図 4. シリアル・インターフェイス・タイミング

シリアル・インターフェースのタイミング特性

Typ値は25°C、Min値およびMax値は $T_{MIN} = -40^{\circ}\text{C} \sim T_{MAX} = 85^{\circ}\text{C}$ の全温度範囲、 $AVDD = LVDD = 3.3\text{ V}$ です（特に記述のない限り）。

パラメータ		MIN	TYP	MAX	単位
f_{SCLK}	SCLK 周波数 $f_{SCLK} = 1/t_{SCLK}$	> DC		20	MHz
t_{SLOADS}	SEN から SCLK までのセットアップ時間	25			ns
t_{SLOADH}	SCLK から SEN までのホールド時間	25			ns
t_{DSU}	SDATA セットアップ時間	25			ns
t_{DH}	SDATA ホールド時間	25			ns
	SCLKの16番目の立ち下がりエッジからレジスタ書き込みが有効になるまでの時間	100			ns

リセット・タイミグ

Typ値は25°C、Min値およびMax値は $T_{MIN} = -40^{\circ}\text{C} \sim T_{MAX} = 85^{\circ}\text{C}$ の全温度範囲、 $AVDD = LVDD = 3.3\text{ V}$ です（特に記述のない限り）。

パラメータ	説明	MIN	TYP	MAX	単位
t_1	パワーオン・ディレイ時間	5			ms
t_2	リセットパルス幅	10			ns
t_3	レジスタ書き込みディレイ時間	25			ns
t_{PO}	パワーアップ・ディレイ時間		6.5		ms

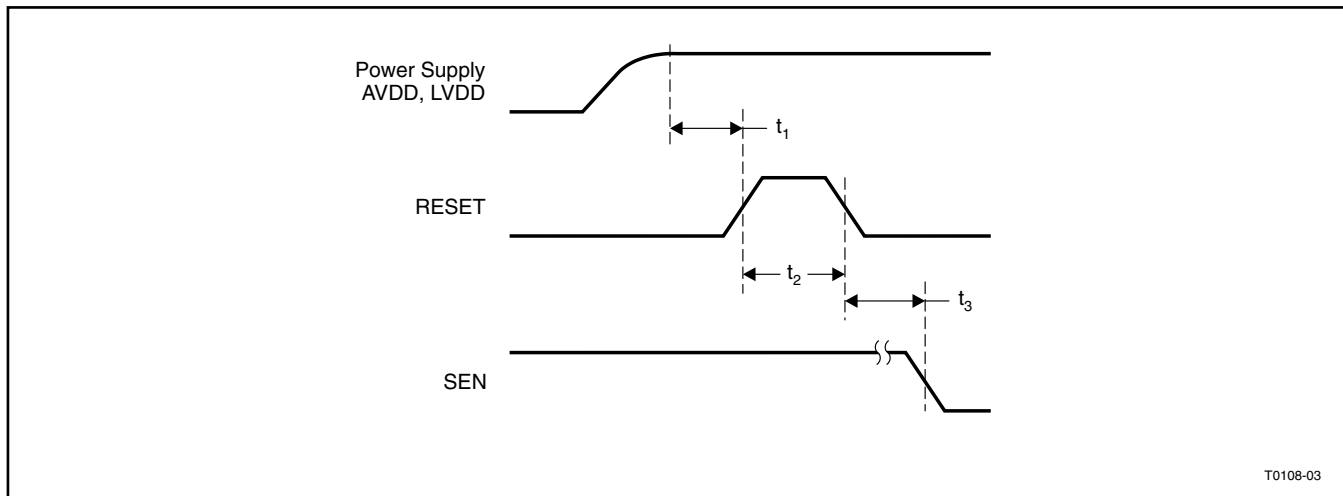


図 5. リセット・タイミグ

シリアル・レジスタ・マップ

レジスタ・アドレス	レジスタの機能 ⁽¹⁾⁽²⁾										
A4-A0	D10	D9	D8	D7	D6	D5	D4	D3	D2	D1	D0
00	<RST> S/W RESET	0	0	0	0	<REF> INTERNAL OR EXTERNAL	0	<PDN CHB> POWER DOWN CHB	<PDN CHA> POWER DOWN CH A	0	<PDN GLOBAL> GLOBAL POWER DOWN
04	0	0	0	0	<CLKIN GAIN> INPUT CLOCK BUFFER GAIN CONTROL					0	0
0A	0	<DF> DATA FORMAT 2S COMP OR STRAIGHT BINARY	0	<PATTERNS> TEST PATTERNS			0	0	0	0	0
0B	<CUSTOM A> CUSTOM PATTERN (LOWER 11 BITS)										
0C	<FINE GAIN> FINE GAIN CONTROL (1dB to 6 dB)			0	0	0	0	0	0	0	<CUSTOM B> CUSTOM PATTERN (MSB BIT)
0D	<OVRD> OVERRIDE BIT	0	0	BYTE-WISE OR BIT-WISE	MSB OR LSB FIRST	<COARSE GAIN> COURSE GAIN ENABLE	FALLING OR RISING BIT CLOCK CAPTURE EDGE	0	12-BIT OR 14-BIT SERIALIZE	DDR OR SDR BIT CLOCK	1-WIRE OR 2-WIRE INTERFACE
10	<TERM CLK> LVDS INTERNAL TERMINATION BIT AND WORD CLOCKS					<LVDS CURR> LVDS CURRENT SETTINGS				<CURR DOUBLE> LVDS CURRENT DOUBLE	
11	WORD-WISE CONTROL		0	0	0	0	<TERM DATA> LVDS INTERNAL TERMINATION - DATA OUTPUTS				

表 13. シリアル・インターフェイスによってサポートされる機能の一覧

- (1) 各レジスタ内の未使用ビット(表中で空白のセル)は、0に設定する必要があります。
(2) 1回の書き込み動作で1つのレジスタ内の複数の機能をプログラムできます。

シリアル・レジスタの説明

レジスタ・アドレス	ビット										
A4-A0	D10	D9	D8	D7	D6	D5	D4	D3	D2	D1	D0
00	<RST> S/W RESET	0	0	0	0	<REF> INTERNAL OR EXTERNAL	0	<PDN CHB> POWER DOWN CHB	<PDN CHA> POWER DOWN CH A	0	<PDN> GLOBAL POWER DOWN

表 14

D0 - D4	パワーダウン・モード
D0	<PDN GLOBAL>
0	通常動作
1	グローバル・パワーダウン。全チャンネルのADC、内部リファレンス、内部PLL、出力バッファを含む。
D2	<PDN CHA>
0	CH Aパワーオン
1	CH A ADCパワーダウン
D3	<PDN CHB>
0	CH Bパワーオン
1	CH B ADCパワーダウン
D5	<REF> リファレンス
0	内部リファレンスがイネーブル
1	外部リファレンスがイネーブル
D10	<RST>
1	ソフトウェア・リセットの実行 - すべての内部レジスタをリセット (RSTは自動的に0に戻る)

レジスタ・アドレス	ビット										
A4 - A0	D10	D9	D8	D7	D6	D5	D4	D3	D2	D1	D0
04	0	0	0	0	<CLKIN GAIN> INPUT CLOCK BUFFER GAIN CONTROL					0	0

表 15

D6-D2 <CLKIN GAIN> 入力クロック・バッファのゲイン制御

11000	ゲイン0、最小ゲイン
00000	ゲイン1
01100	ゲイン2
01010	ゲイン3
01001	ゲイン4
01000	ゲイン5、最大ゲイン

レジスタ・アドレス	ビット										
A4-A0	D10	D9	D8	D7	D6	D5	D4	D3	D2	D1	D0
00	0	<DF> DATA FORMAT - 2S COMP OR STRAIGHT BINARY	0	<PATTERNS> TEST PATTERNS			0	0	0	0	0

表 16

D7-D5 <PATTERNS> キャプチャ・テスト・パターン

000	通常のADC動作
001	すべて0を出力
010	すべて1を出力
011	トグル・パターンを出力
100	未使用
101	カスタム・パターン (CUSTOMパターン・レジスタ0x0Bおよび0x0Cの内容) を出力
110	DESKEWパターン (1010...のシリアル・ストリーム)を出力
111	SYNCパターンを出力

D9 <DF> データ形式選択

0	2の補数形式
1	ストレート・バイナリ形式

レジスタ・アドレス	ビット										
A4-A0	D10	D9	D8	D7	D6	D5	D4	D3	D2	D1	D0
0B	<CUSTOM A> CUSTOM PATTERN (LOWER 11 BITS)										

表 17

D10 - D0 <CUSTOM A> カスタム・パターンの下位11ビット<DATAOUT10>...<DATAOUT0>

レジスタ・アドレス	ビット										
A4-A0	D10	D9	D8	D7	D6	D5	D4	D3	D2	D1	D0
0C	<FINE GAIN> FINE GAIN CONTROL (1 dB to 6 dB)			0	0	0	0	0	0	0	<CUSTOM B> CUSTOM PATTERN (MSB)

表 18

D0 <CUSTOM B> 12ビット・カスタム・パターンのMSB <DATAOUT11>

D10-D8 <FINE GAIN> Fineゲイン制御

000	0dBゲイン (フルスケール範囲 = 2.00Vpp)
001	1dBゲイン (フルスケール範囲 = 1.78Vpp)
010	2dBゲイン (フルスケール範囲 = 1.59Vpp)
011	3dBゲイン (フルスケール範囲 = 1.42Vpp)
100	4dBゲイン (フルスケール範囲 = 1.26Vpp)
101	5dBゲイン (フルスケール範囲 = 1.12Vpp)
110	6dBゲイン (フルスケール範囲 = 1.00Vpp)

レジスタ・アドレス	ビット										
A4-A0	D10	D9	D8	D7	D6	D5	D4	D3	D2	D1	D0
0D	<OVRD> OVER-RIDE BITE	0	0	BYTE-WISE OR BIT-WISE	MSB OR LSB FIRST	<COARSE GAIN> COURSE GAIN ENABLE	FALLING OR RISING BIT CLOCK CAPTURE EDGE	0	14-BIT OR 16-BIT SERIALIZE	DDR OR SDR BIT CLOCK	1-WIRE OR 2-WIRE INTERFACE

表 19

D0 インターフェイス選択

0	1線式インターフェイス
1	2線式インターフェイス

D1 ビット・クロック選択 (2線式インターフェイスのみ)

0	DDRビット・クロック
1	SDRビット・クロック

D2 シリアル化選択

0	12倍シリアル化
1	14倍シリアル化

D4	ビット・クロックのキャプチャ・エッジ (SDRビット・クロック選択時 (D1 = 1) のみ)
0	ビット・クロックの立ち下がりエッジでデータを取り込み
1	ビット・クロックの立ち上がりエッジでデータを取り込み
D5	<COARSE GAIN> Coarseゲイン制御
0	0dB Coarseゲイン
1	3.5dB Coarseゲイン (フルスケール範囲 = 1.34Vpp)
D6	MSBまたはLSBファーストの選択
0	MSBファースト
1	LSBファースト
D7	バイト/ビット単位出力の選択 (2線式インターフェイスのみ)
0	バイト単位
1	ビット単位
D10	<OVRD> オーバライド・ビットレジスタ0x0Dの機能はすべて、パラレル制御ピンを使用しても制御できます。ビット<OVRD>を1に設定すると、パラレル・ピンの設定がレジスタ0x0Dの内容でオーバライドされます。
0	オーバライドをディスエーブル
1	オーバライドをイネーブル

レジスタ・アドレス	ビット										
	D10	D9	D8	D7	D6	D5	D4	D3	D2	D1	D0
10	<TERM CLK> LVDS INTERNAL TERMINATION BIT AND WORD CLOCKS					<LVDS CURR> LVDS CURRENT SETTINGS				<LVDS DOUBLE> LVDS CURRENT DOUBLE	

表 20

D0	<CURR DOUBLE> LVDSデータ出力電流の2倍化
0	通常のLVDS電流 (<D5...D2>で設定)
1	通常値の2倍
D1	<CURR DOUBLE> LVDSビットおよびワード・クロック出力電流の2倍化
0	通常のLVDS電流 (<D5...D2>で設定)
1	通常値の2倍
D3–D2	<LVDS CURR> LVDSデータ出力の電流設定
00	3.5 mA
01	4 mA
10	2.5 mA
11	3 mA
D5–D4	<LVDS CURR> LVDSビットおよびワード・クロック出力の電流設定
00	3.5 mA
01	4 mA
10	2.5 mA
11	3 mA

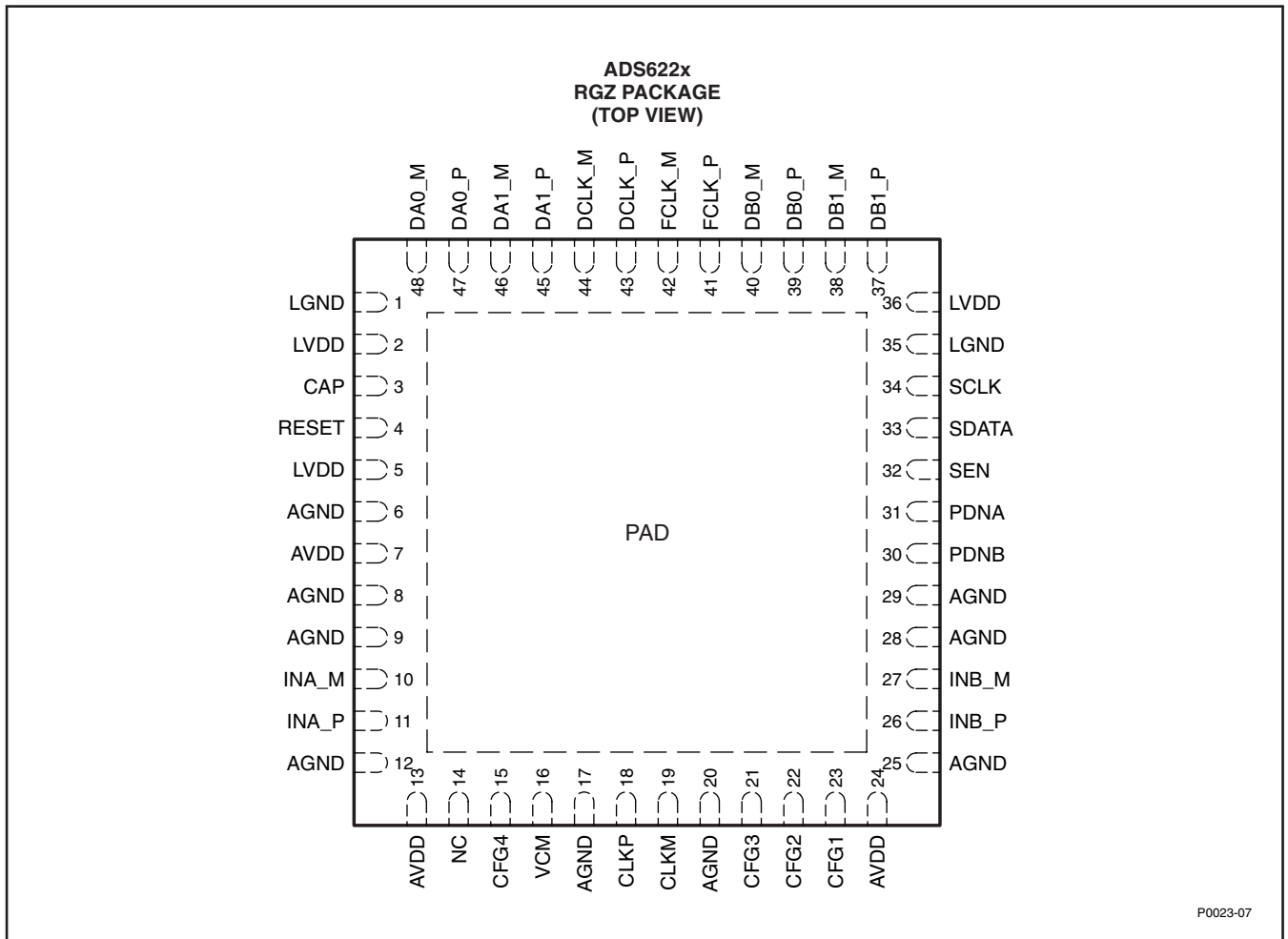
D10–D6	<TERM CLK> ビットおよびワード・クロック出力に対するLVDS内部終端
00000	内部終端なし
00001	166 Ω
00010	200 Ω
00100	250 Ω
01000	333 Ω
10000	500 Ω
	上記のビットは任意の組み合わせでプログラムでき、結果は選択した抵抗値の並列結合となります。例えば、00101は166 250の並列結合 = 100Ωとなります。
00101	100 Ω

レジスタ・アドレス	ビット										
A4–A0	D10	D9	D8	D7	D6	D5	D4	D3	D2	D1	D0
11	WORD-WISE CONTROL		0	0	0	0	<TERM DATA> LVDS INTERNAL TERMINATION - DATA OUTPUTS				

表 21

D4–D0	<TERM DATA> データ出力に対するLVDS内部終端
00000	内部終端なし
00001	166 Ω
00010	200 Ω
00100	250 Ω
01000	333 Ω
10000	500 Ω
	上記のビットは任意の組み合わせでプログラムでき、結果は選択した抵抗値の並列結合となります。例えば、00101は166 250の並列結合 = 100Ωとなります。
00101	100 Ω
D10–D9	2線式インターフェイスの選択時のみ
00	バイト単位またはビット単位の出力、1倍のフレーム・クロック
11	ワード単位の出力がイネーブル、0.5倍のフレーム・クロック
01,10	設定できません

ピン配置 (2線式インターフェイス)



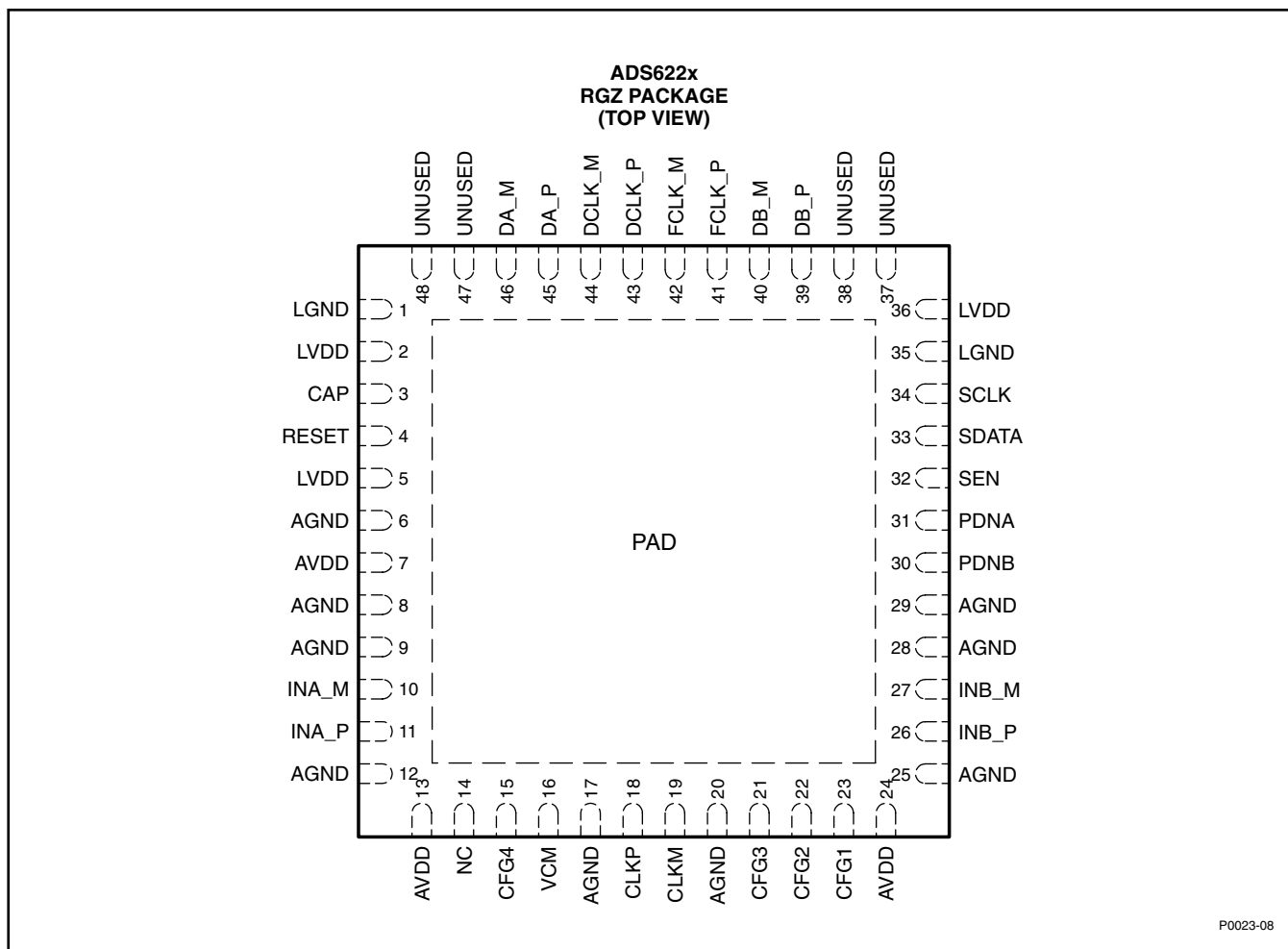
ピン構成 (2線式インターフェイス)

ピン		I/O	ピン数	説 明
名称	番号			
電源およびグランド・ピン				
AVDD	7,13,24		3	アナログ電源
AGND	6,8,9,12,17,20,25,28,29		9	アナログ・グランド
LVDD	2,5,36		3	デジタル電源
LGND	1,35		2	デジタル・グランド
入力ピン				
CLKP, CLKM	18,19	I	2	差動入力クロック・ペア
INA_P, INA_M	11,10	I	2	差動入力信号ペア、チャンネルA。使用しない場合は、VCMに接続します。フローティングにはしないでください。
INB_P, INB_M	26,27	I	2	差動入力信号ペア、チャンネルB。使用しない場合は、VCMに接続します。フローティングにはしないでください。
CAP	3	I	1	グランドとの間に2nFのコンデンサを接続します。

ピン構成 (2線式インターフェイス)

ピン		I/O	ピン数	説明
名称	番号			
SCLK	34	I	1	RESETが“Low”のとき、このピンはシリアル・インターフェイスのクロック入力として機能します。RESETが“High”のときは、DESKEW、SYNC、およびグローバルPOWER DOWNモードを(SDATAとともに)制御します。表5を参照してください。 このピンには内部にプルダウン抵抗があります。
SDATA	33	I	1	RESETが“Low”のとき、このピンはシリアル・インターフェイスのデータ入力として機能します。RESETが“High”のときは、DESKEW、SYNC、およびグローバルPOWER DOWNモードを(SCLKとともに)制御します。表5を参照してください。 このピンには内部にプルダウン抵抗があります。
SEN	32	I	1	RESETが“Low”のとき、このピンはシリアル・インターフェイスのイネーブル入力として機能します。RESETが“High”のときは、Coarseゲインおよび内部/外部リファレンス・モードを制御します。表6を参照してください。 このピンには内部にプルアップ抵抗があります。
RESET	4	I	1	シリアル・インターフェイスのリセット入力。 シリアル・インターフェイス・モードを使用する場合には、このピンに“High”パルスを印加してハードウェア・リセットを行うか、またはソフトウェア・リセット・オプションを使用して、内部レジスタを初期化する必要があります。「シリアル・インターフェイス」の節を参照してください。パラレル・インターフェイス・モードでは、RESETを“High”に固定します。(このモードでは、SCLK、SDATA、およびSENがパラレル制御ピンとして機能します。) このピンにはグラウンドとの間に内部プルダウン抵抗があります。
PDNA	31	I	1	チャンネルA ADCのパワーダウン制御ピン。
PDNB	30	I	1	チャンネルB ADCのパワーダウン制御ピン。
CFG1	23	I	1	パラレル入力ピン。1線式または2線式インターフェイス、およびDDRまたはSDRビット・クロック選択を制御します。表9を参照してください。 DDRビット・クロックを使用する2線式インターフェイスの場合は、AVDDに接続します。
CFG2	22	I	1	パラレル入力ピン。12倍/14倍シリアル化、およびSDRビット・クロックのキャプチャ・エッジを制御します。表10を参照してください。 DDRビット・クロックを使用する12倍シリアル化の場合は、グラウンドまたはAVDDに接続します。
CFG3	21	I	1	予約 – グラウンドに固定します。
CFG4	15	I	1	パラレル入力ピン。データ形式およびMSB/LSBファースト・モードを制御します。 表12を参照してください。
VCM	16	IO	1	内部リファレンス・モード – 同相電圧出力 外部リファレンス・モード – リファレンス入力。このピンに印加された電圧により、内部リファレンスが設定されます。
出力ピン				
DA0_P,DA0_M	47,48	O	2	チャンネルAの差動LVDSデータ出力ペア。線0
DA1_P,DA1_M	45,46	O	2	チャンネルAの差動LVDSデータ出力ペア。線1
DB0_P,DB0_M	39,40	O	2	チャンネルBの差動LVDSデータ出力ペア。線0
DB1_P,DB1_M	37,38	O	2	チャンネルBの差動LVDSデータ出力ペア。線1
DCLKP,DCLKM	43,44	O	2	差動ビット・クロック出力ペア
FCLKP,FCLKM	41,42	O	2	差動フレーム・クロック出力ペア
NC	14		1	接続しません。
PAD	0		1	複数のビアを使用してグラウンド・プレーンに接続します。アプリケーション情報の「基板設計上の考慮事項」を参照してください。

ピン配置 (1線式インターフェイス)



ピン構成 (1線式インターフェイス)

ピン		I/O	ピン 数	説 明
名称	番号			
電源およびグランド・ピン				
AVDD	7,13,24		3	アナログ電源
AGND	6,8,9,12,17, 20,25,28,29		9	アナログ・グランド
LVDD	2,5,36		3	デジタル電源
LGND	1,35		2	デジタル・グランド
入力ピン				
CLKP, CLKM	18,19	I	2	差動入力クロック・ペア
INA_P, INA_M	11,10	I	2	差動入力信号ペア、チャンネルA。使用しない場合は、VCMに接続します。フローティングにはしないでください。
IND_P, IND_M	26,27	I	2	差動入力信号ペア、チャンネルD。使用しない場合は、VCMに接続します。フローティングにはしないでください。
CAP	3	I	1	グランドとの間に2nFの容量を接続します。

ピン構成 (1線式インターフェイス)

ピン		I/O	ピン 数	説 明
名称	番号			
SCLK	34	I	1	RESETが“Low”のとき、このピンはシリアル・インターフェイスのクロック入力として機能します。RESETが“High”のときは、DESKEW、SYNC、およびグローバルPOWER DOWNモードを(SDATAとともに)制御します。表5を参照してください。 このピンには内部にプルダウン抵抗があります。
SDATA	33	I	1	RESETが“Low”のとき、このピンはシリアル・インターフェイスのデータ入力として機能します。RESETが“High”のときは、DESKEW、SYNC、およびグローバルPOWER DOWNモードを(SCLKとともに)制御します。表5を参照してください。 このピンには内部にプルダウン抵抗があります。
SEN	32	I	1	RESETが“Low”のとき、このピンはシリアル・インターフェイスのイネーブル入力として機能します。RESETが“High”のときは、Coarseゲインおよび内部/外部リファレンス・モードを制御します。表6を参照してください。 このピンには内部にプルアップ抵抗があります。
RESET	4	I	1	シリアル・インターフェイスのリセット入力。 シリアル・インターフェイス・モードを使用する場合には、このピンに“High”パルス印加してハードウェア・リセットを行うか、またはソフトウェア・リセット・オプションを使用して、内部レジスタを初期化する必要があります。「シリアル・インターフェイス」の節を参照してください。 パラレル・インターフェイス・モードでは、RESETを“High”に固定します。(このモードでは、SCLK、SDATA、およびSENがパラレル制御ピンとして機能します。) このピンにはグラウンドとの間に内部プルダウン抵抗があります。
PDNA	31	I	1	チャンネルA ADCのパワーダウン制御ピン。
PDNB	30	I	1	チャンネルB ADCのパワーダウン制御ピン。
CFG1	23	I	1	パラレル入力ピン。1線式または2線式インターフェイス、およびDDRまたはSDRビット・クロック選択を制御します。表9を参照してください。 DDRビット・クロックを使用する1線式インターフェイスの場合は、グラウンドに接続します。
CFG2	22	I	1	パラレル入力ピン。12倍/14倍シリアル化、およびSDRビット・クロックのキャプチャ・エッジを制御します。表10を参照してください。 DDRビット・クロックを使用する12倍シリアル化の場合は、グラウンドまたはAVDDに接続します。
CFG3	21	I	1	予約 – グラウンドに固定します。
CFG4	15	I	1	パラレル入力ピン。データ形式およびMSB/LSBファースト・モードを制御します。表12を参照してください。
VCM	16	IO	1	内部リファレンス・モード – 同相電圧出力 外部リファレンス・モード – リファレンス入力。このピンに印加された電圧により、内部リファレンスが設定されます。
出力ピン				
DA_P,DA_M	45,46	O	2	チャンネルAの差動LVDSデータ出力ペア
DB_P,DB_M	39,40	O	2	チャンネルBの差動LVDSデータ出力ペア
DCLKP,DCLKM	43,44	O	2	差動ビット・クロック出力ペア
FCLKP,FCLKM	41,42	O	2	差動フレーム・クロック出力ペア
UNUSED	37,38,47,48		4	これらのピンは、1線式インターフェイスでは使用されません。接続しないでください。
NC	14		1	接続しません。
PAD	0		1	複数のビアを使用してグラウンド・プレーンに接続します。アプリケーション情報の「基板設計上の考慮事項」を参照してください。

代表的特性

すべてのプロットの条件は、25°C、AVDD = LVDD = 3.3V、最大定格サンプリング周波数、正弦波入力クロック、1.5V_{pp}の差動クロック振幅、50%のクロック・デューティ・サイクル、-1dBFSの差動アナログ入力、内部リファレンス・モード、0dBゲインです(特に記述のない限り)。

ADS6225 (F_S = 125 MSPS)

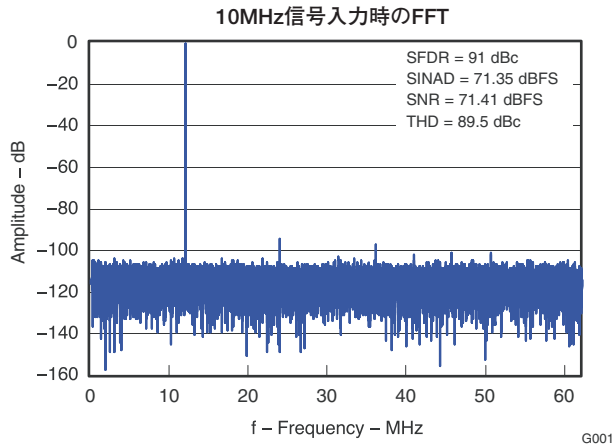


図 6

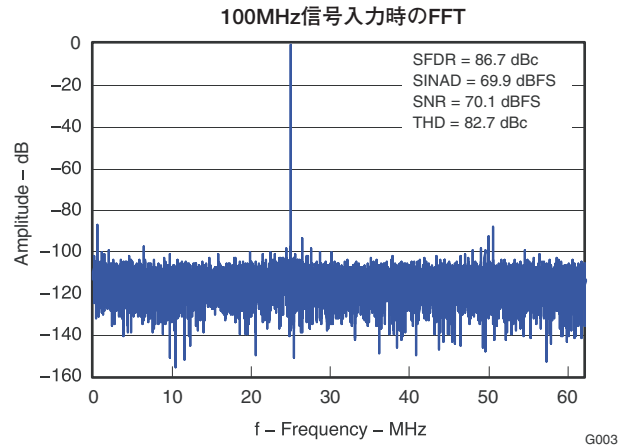


図 7

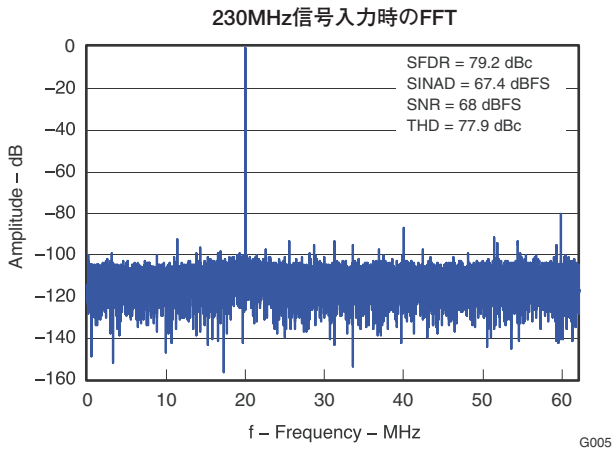


図 8

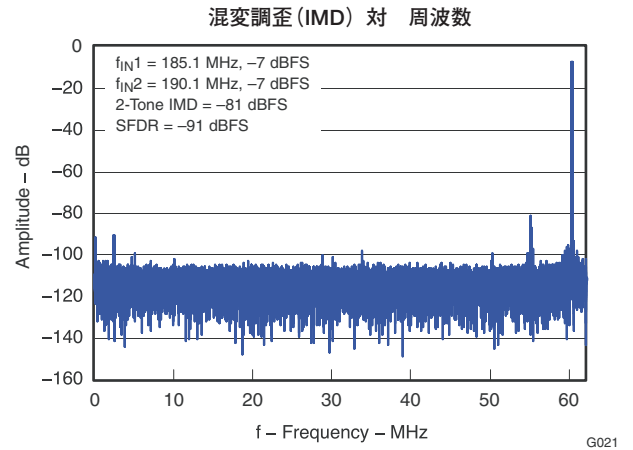


図 9

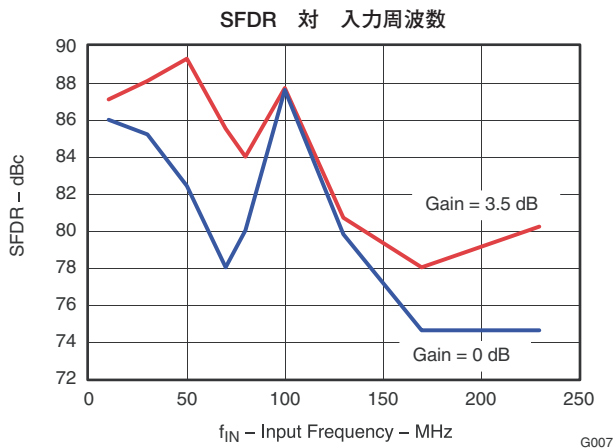


図 10

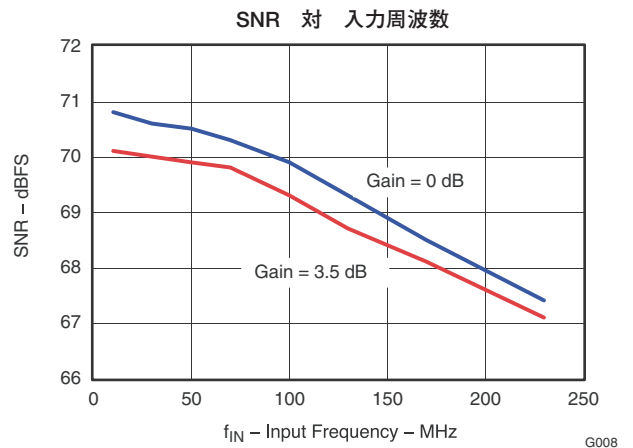


図 11

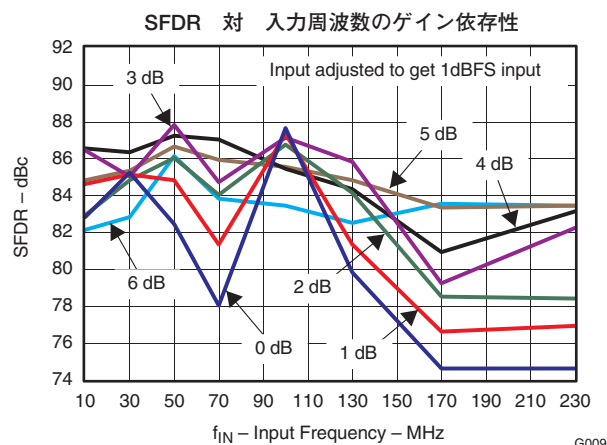


図 12

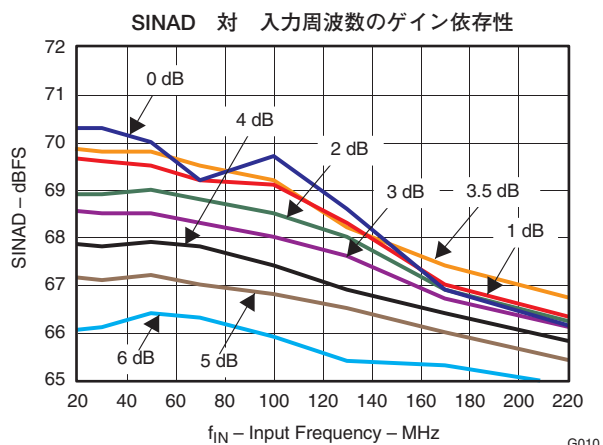


図 13

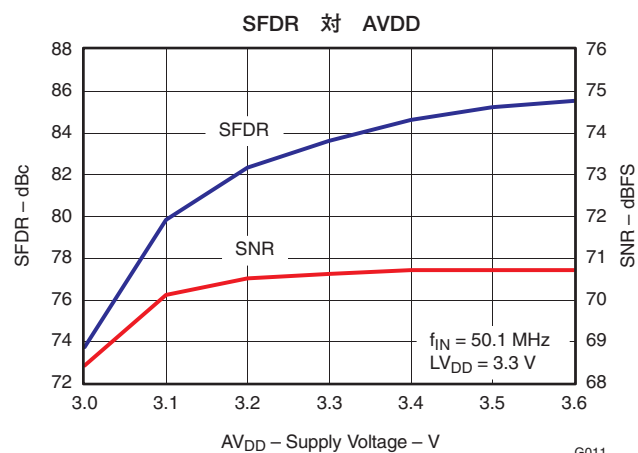


図 14

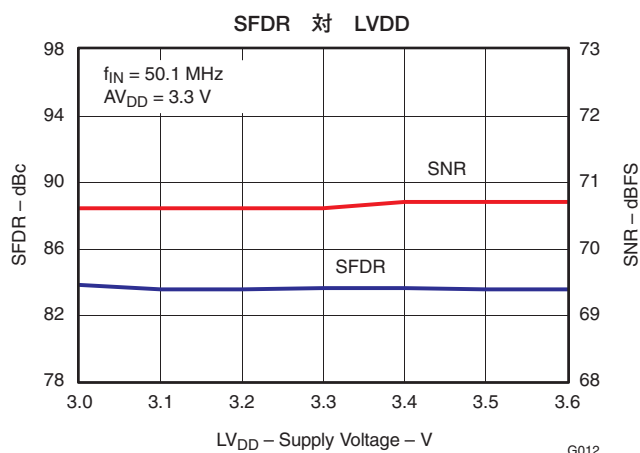


図 15

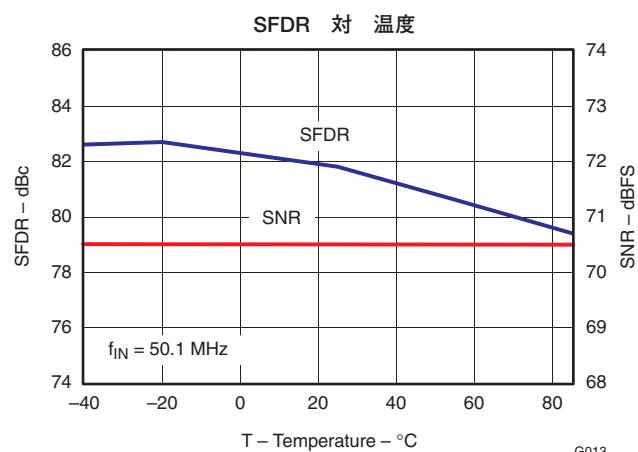


図 16

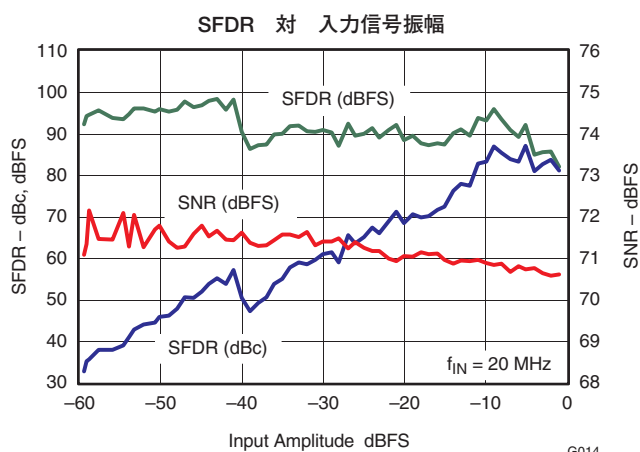


図 17

ADS6225 ($F_S = 125$ MSPS)

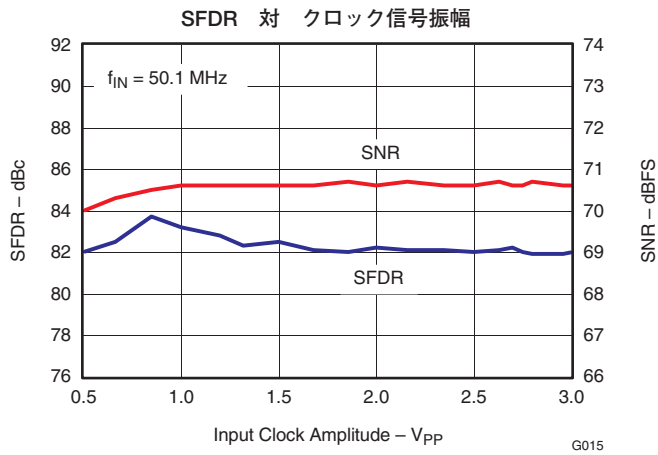


図 18

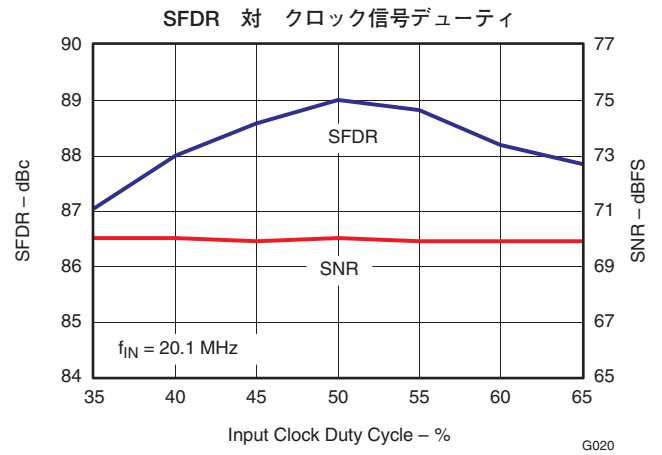


図 19

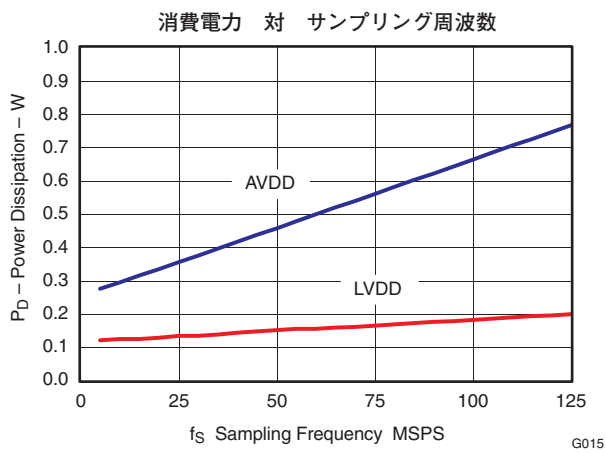


図 20

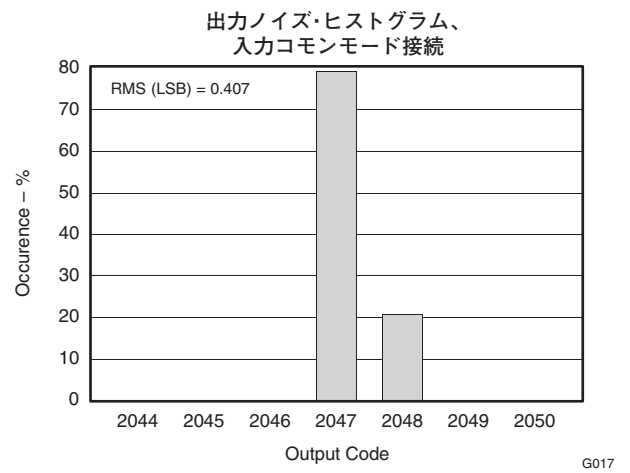


図 21

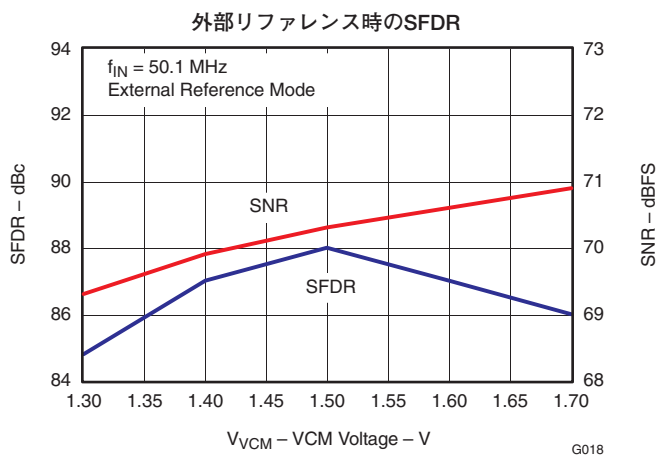


図 22

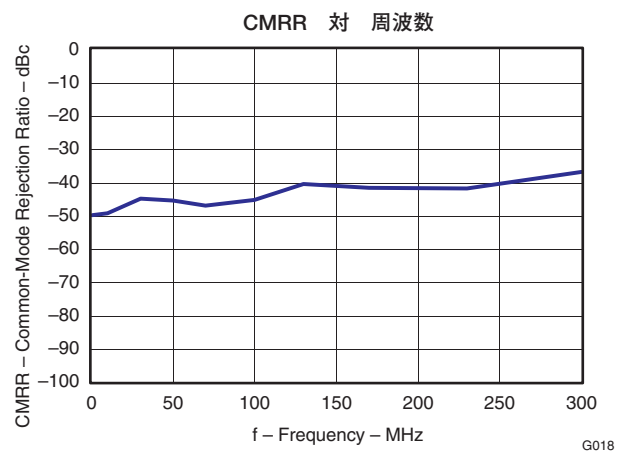


図 23

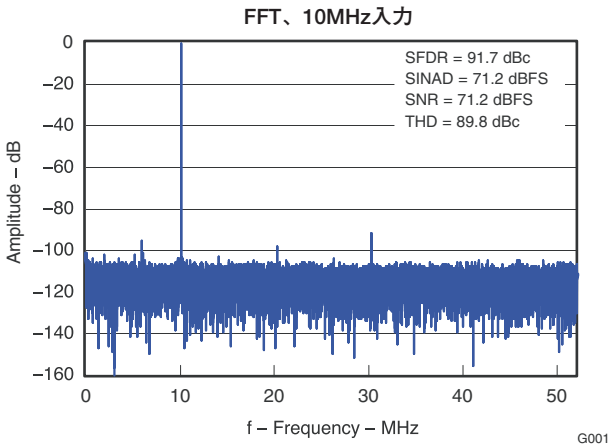


図 24

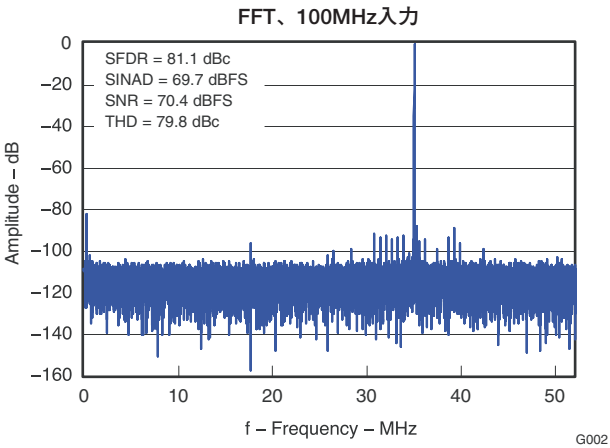


図 25

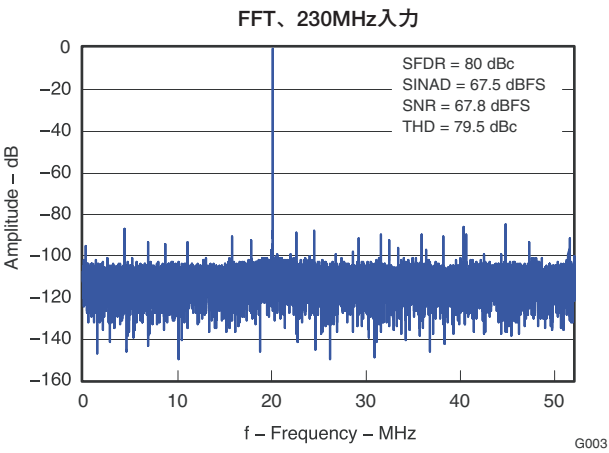


図 26

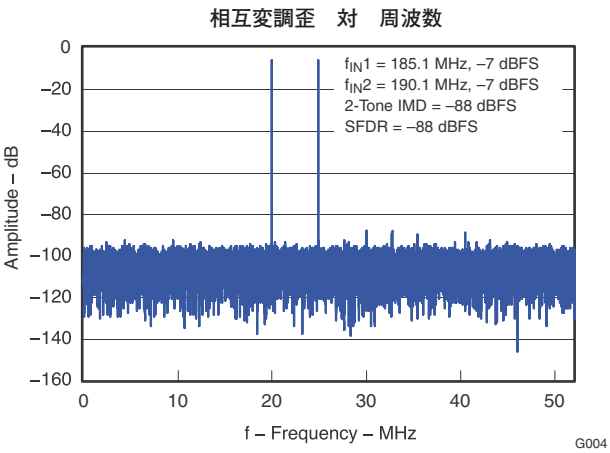


図 27

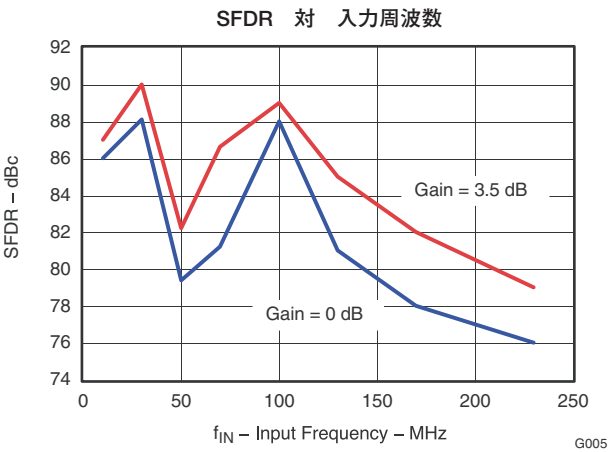


図 28

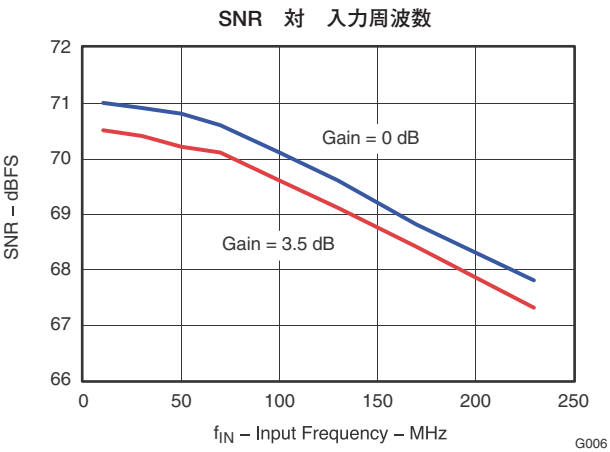


図 29

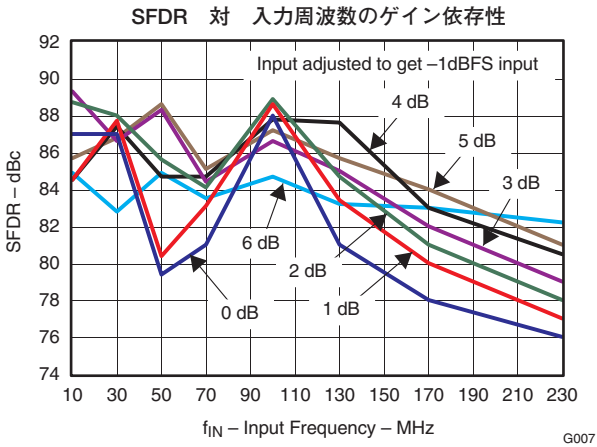


図 30

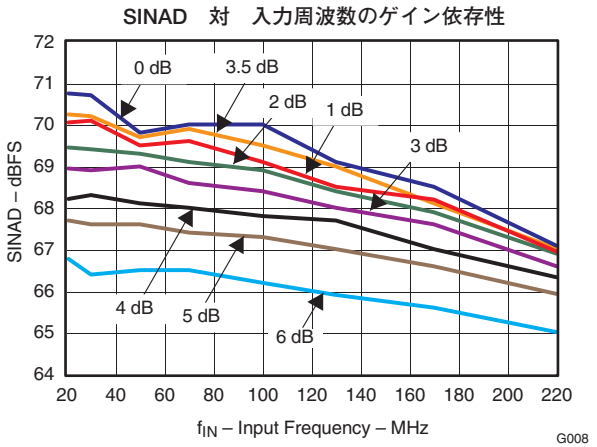


図 31

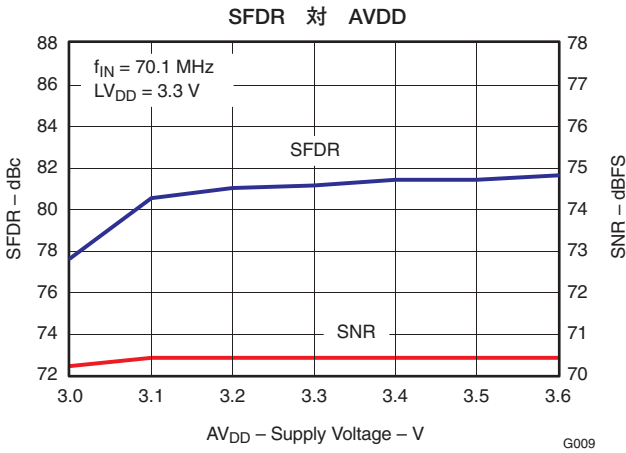


図 32

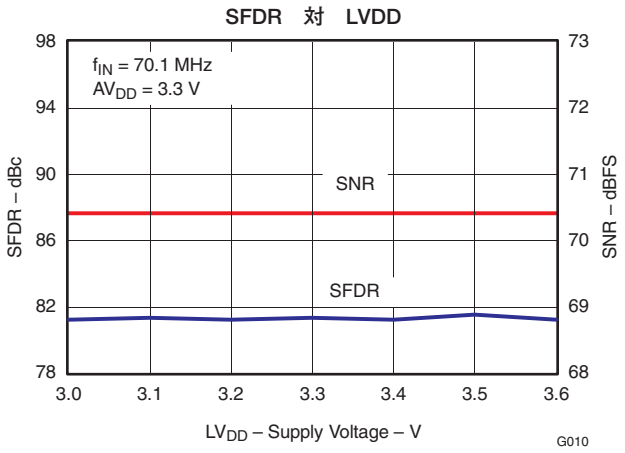


図 33

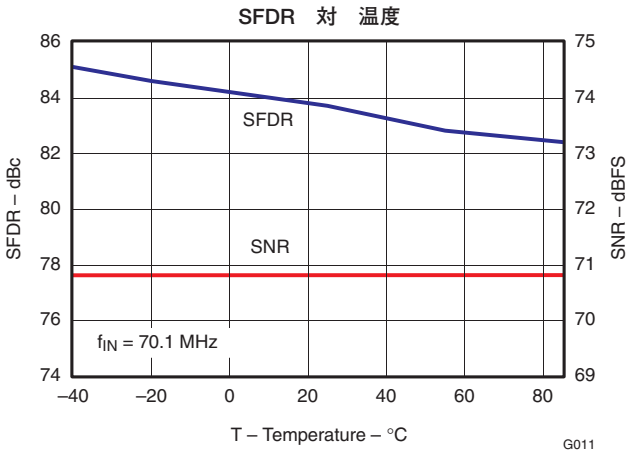


図 34

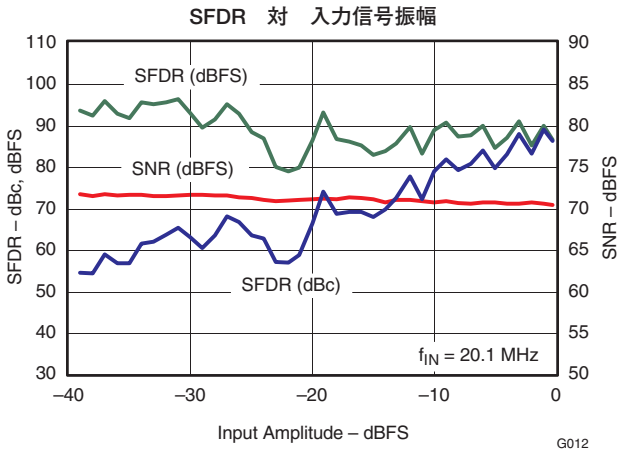


図 35

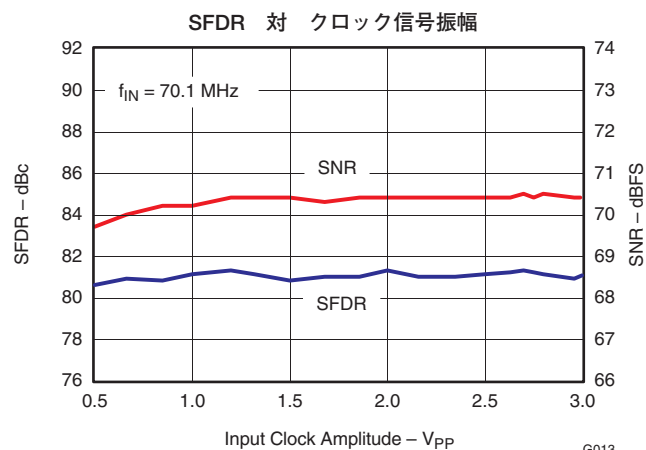


図 36

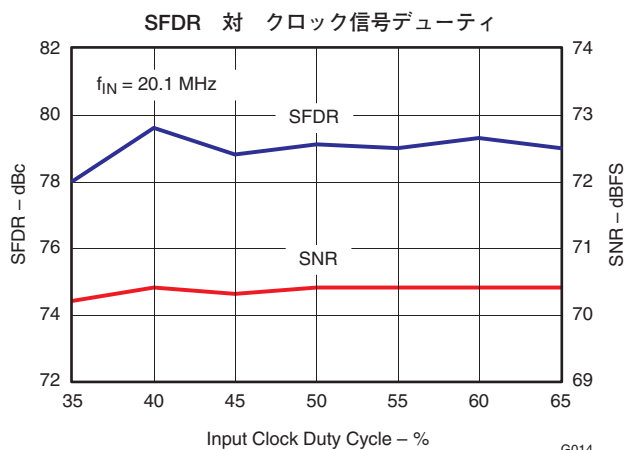


図 37

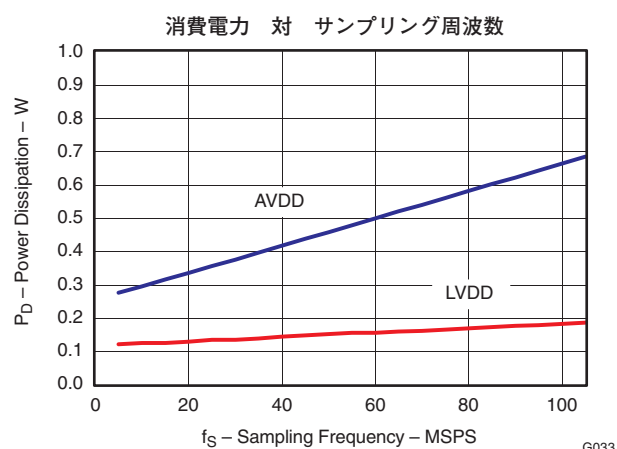


図 38

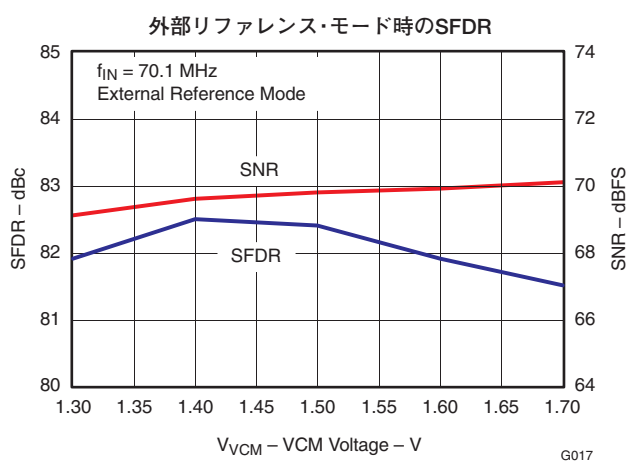


図 39

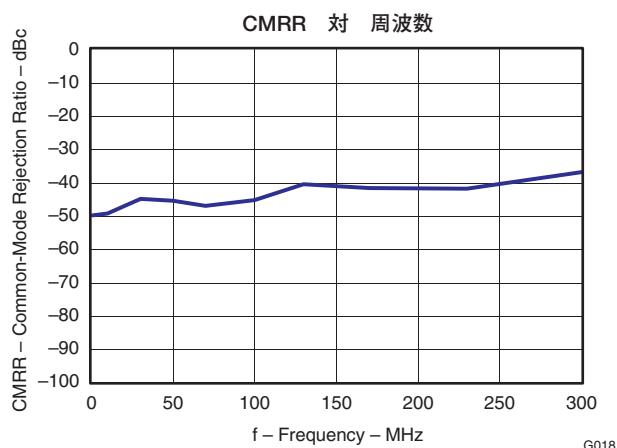


図 40

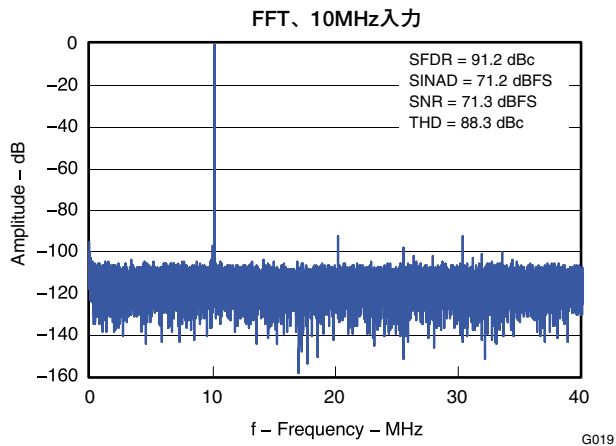


図 41

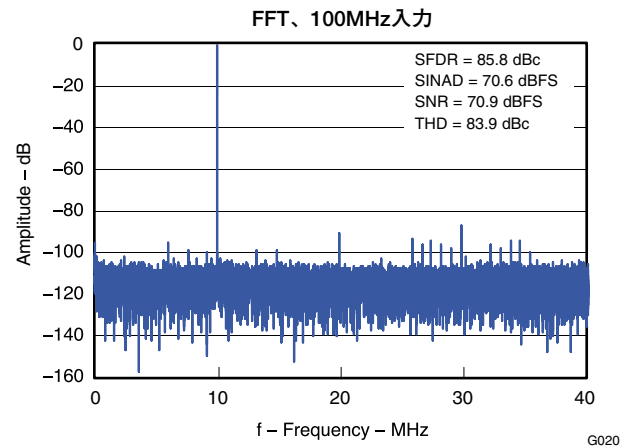


図 42

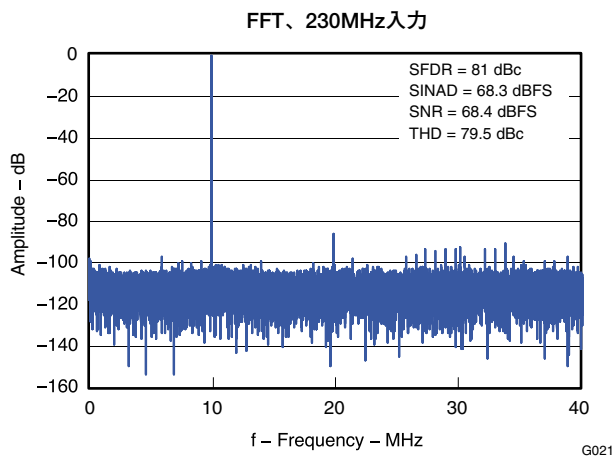


図 43

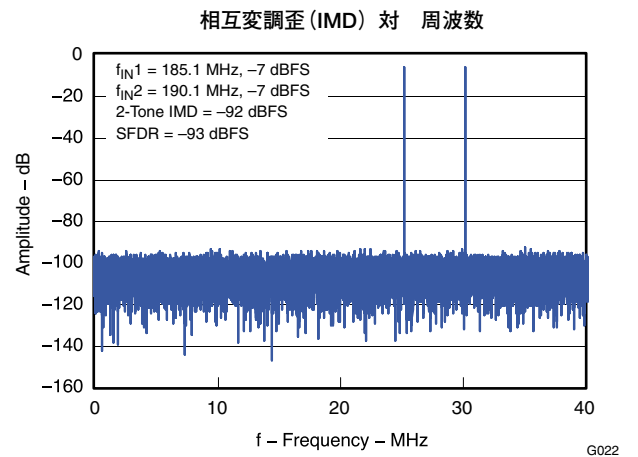


図 44

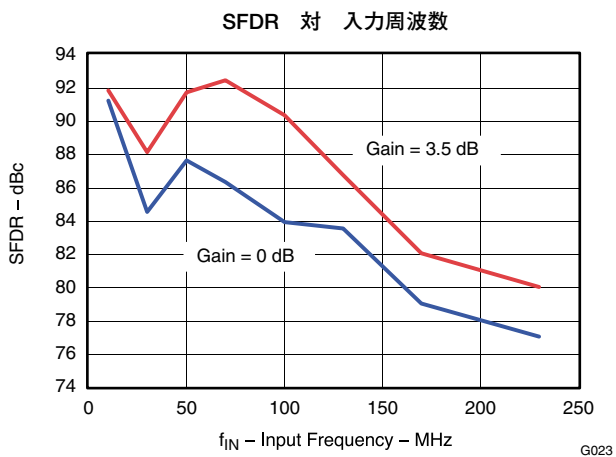


図 45

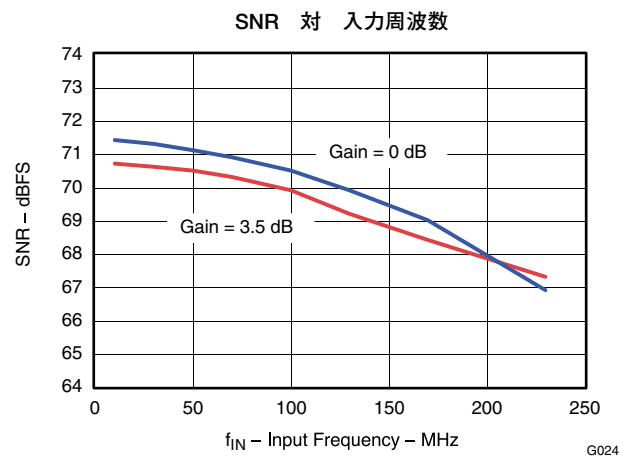


図 46

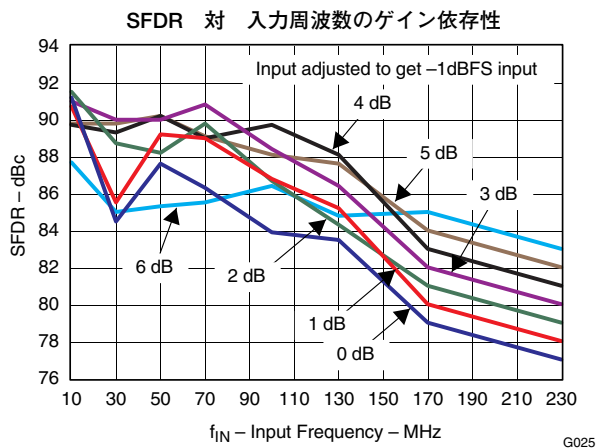


図 47

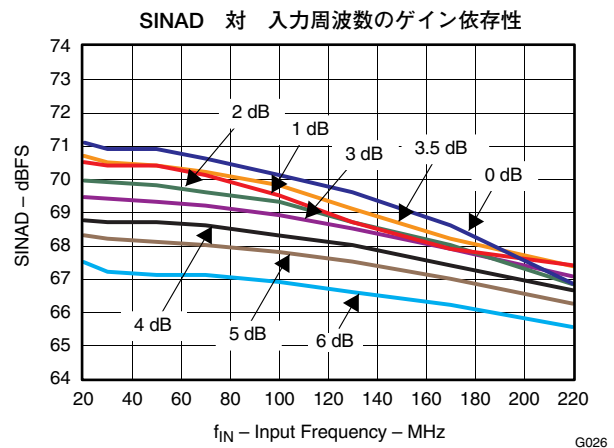


図 48

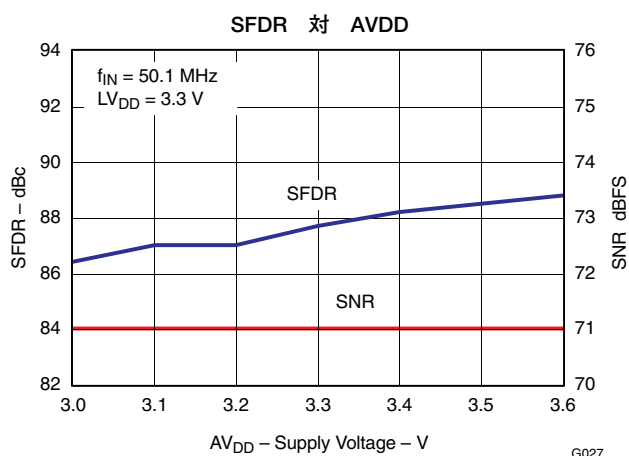


図 49

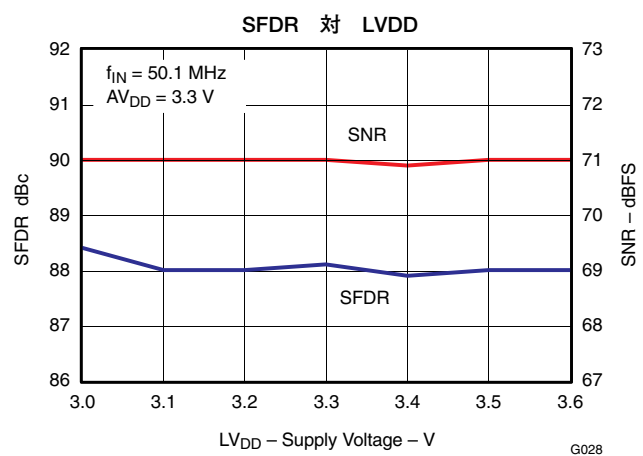


図 50

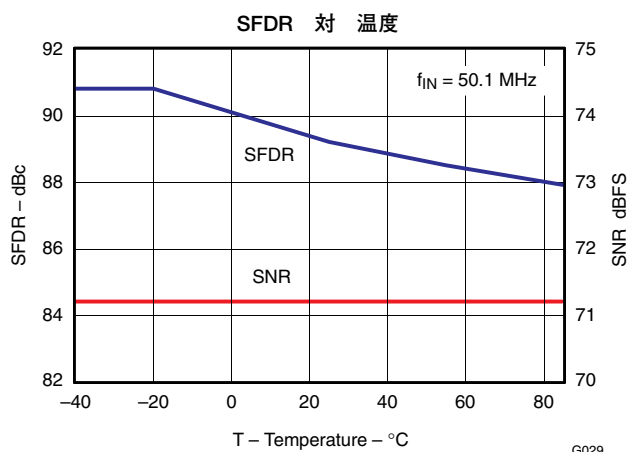


図 51

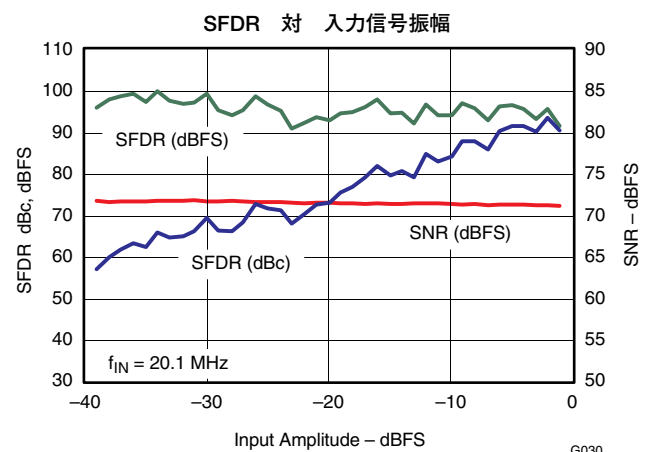


図 52

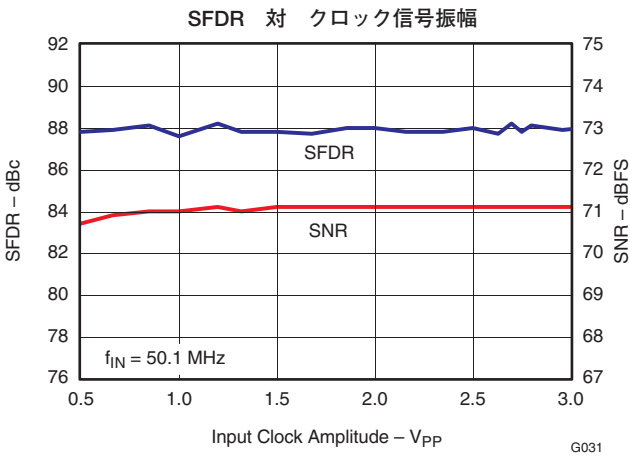


図 53

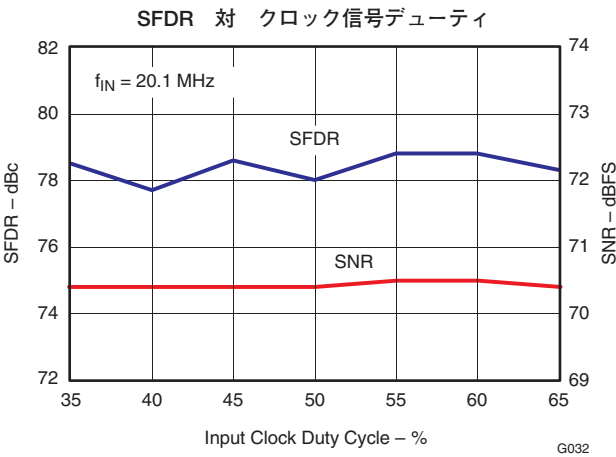


図 54

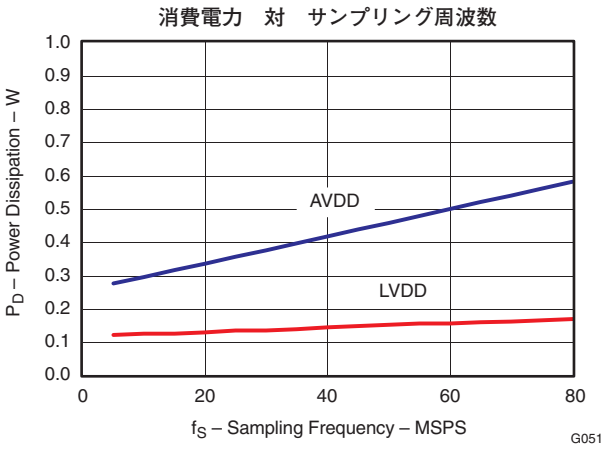


図 55

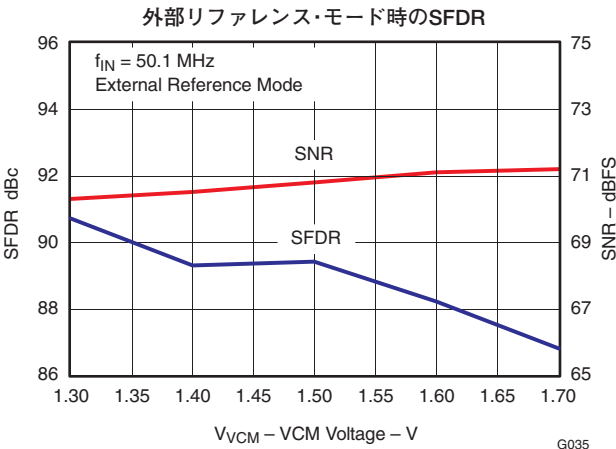


図 56

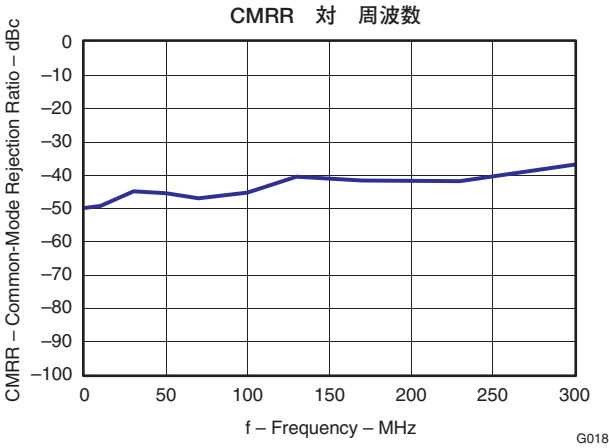


図 57

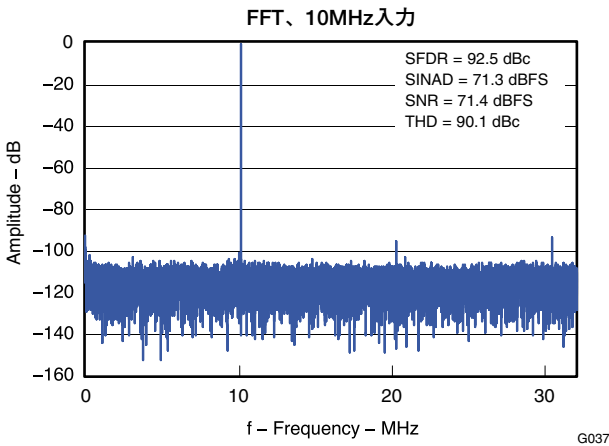


図 58

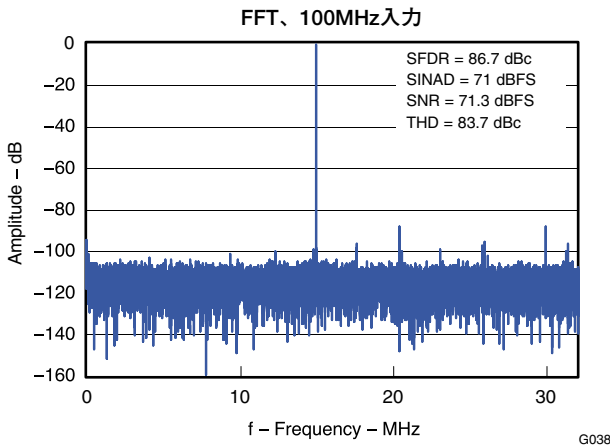


図 59

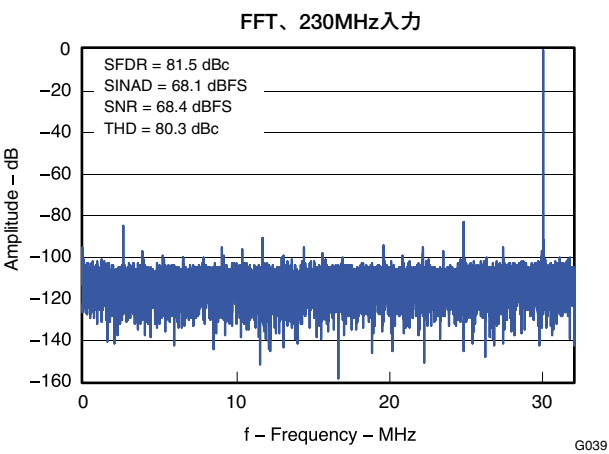


図 60

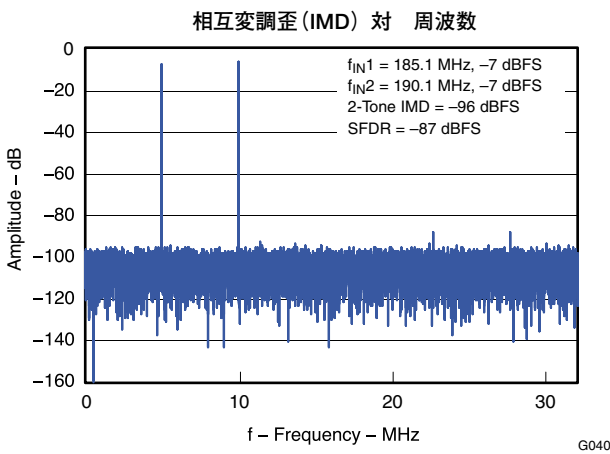


図 61

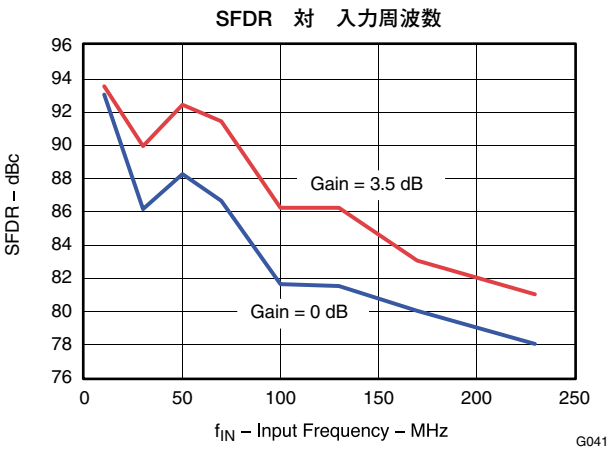


図 62

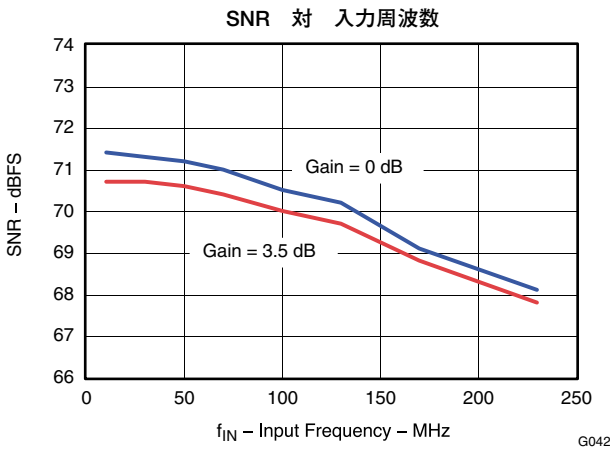


図 63

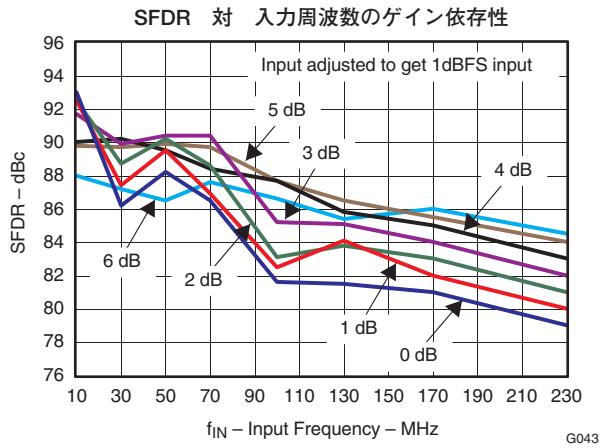


図 64

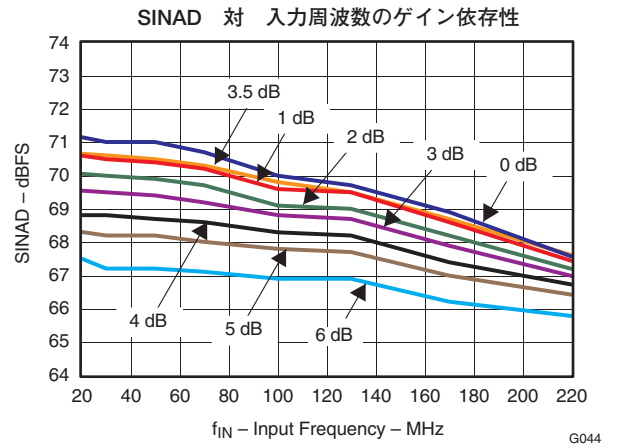


図 65

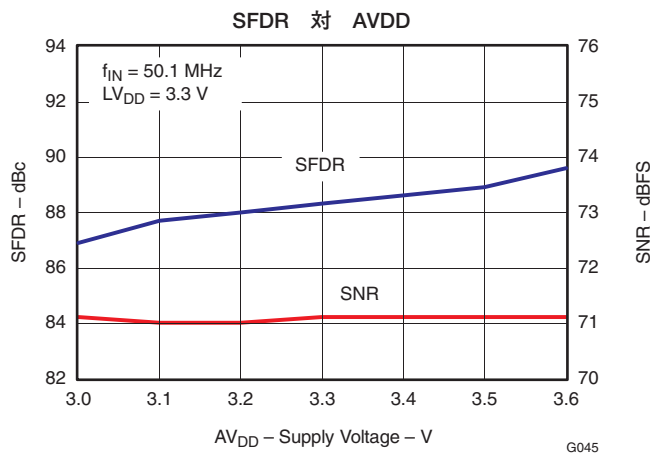


図 66

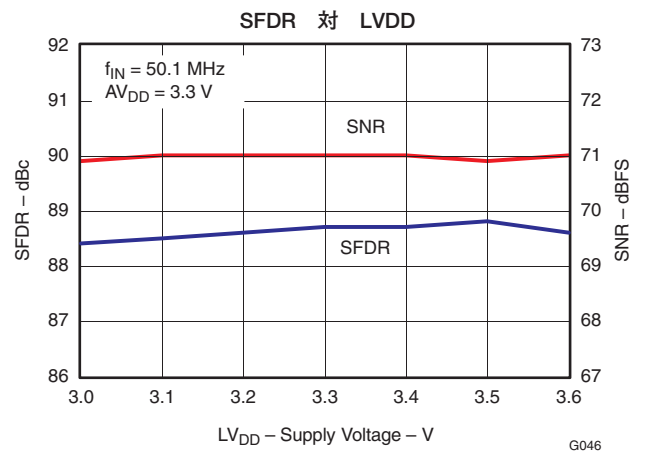


図 67

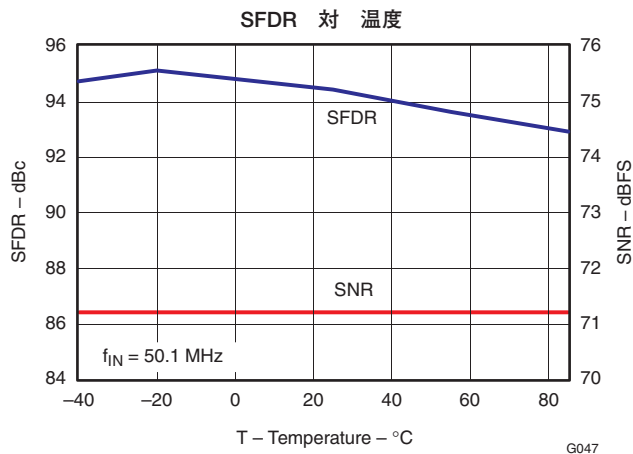


図 68

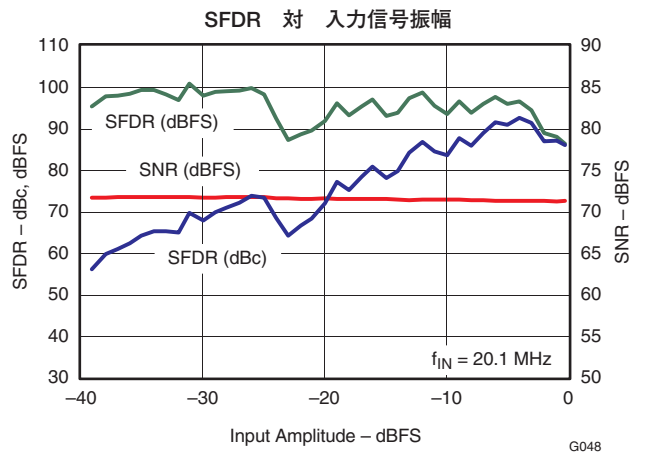


図 69

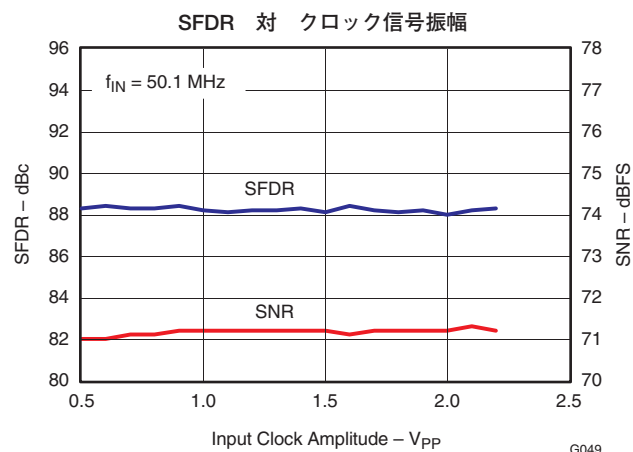


図 70

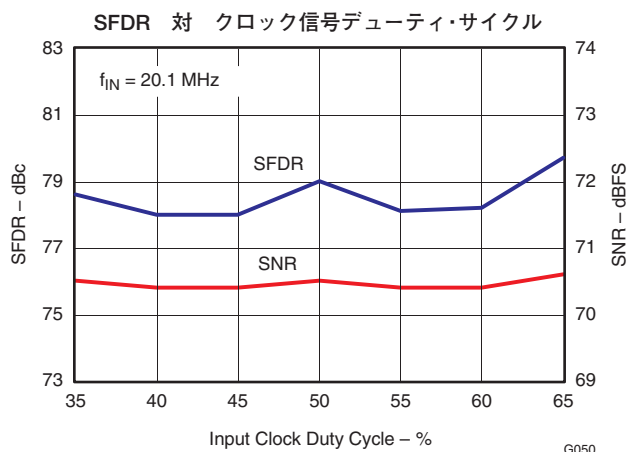


図 71

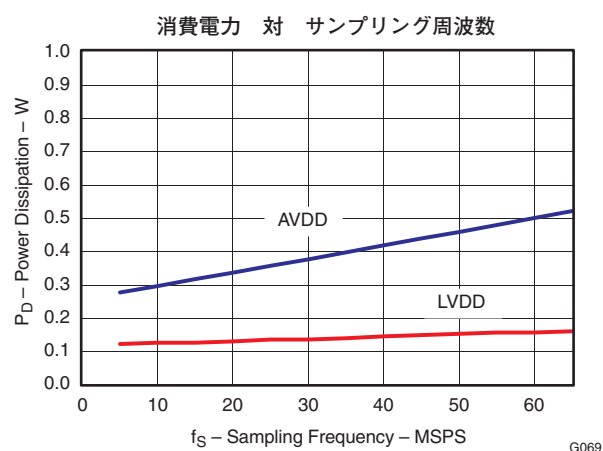


図 72

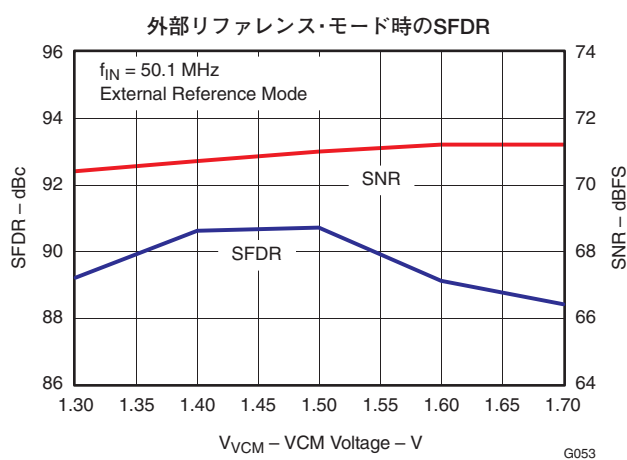


図 73

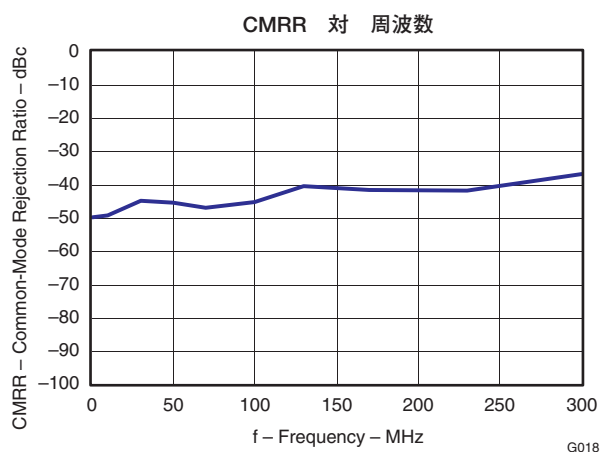


図 74

入力周波数対サンプリング周波数の輪郭プロット

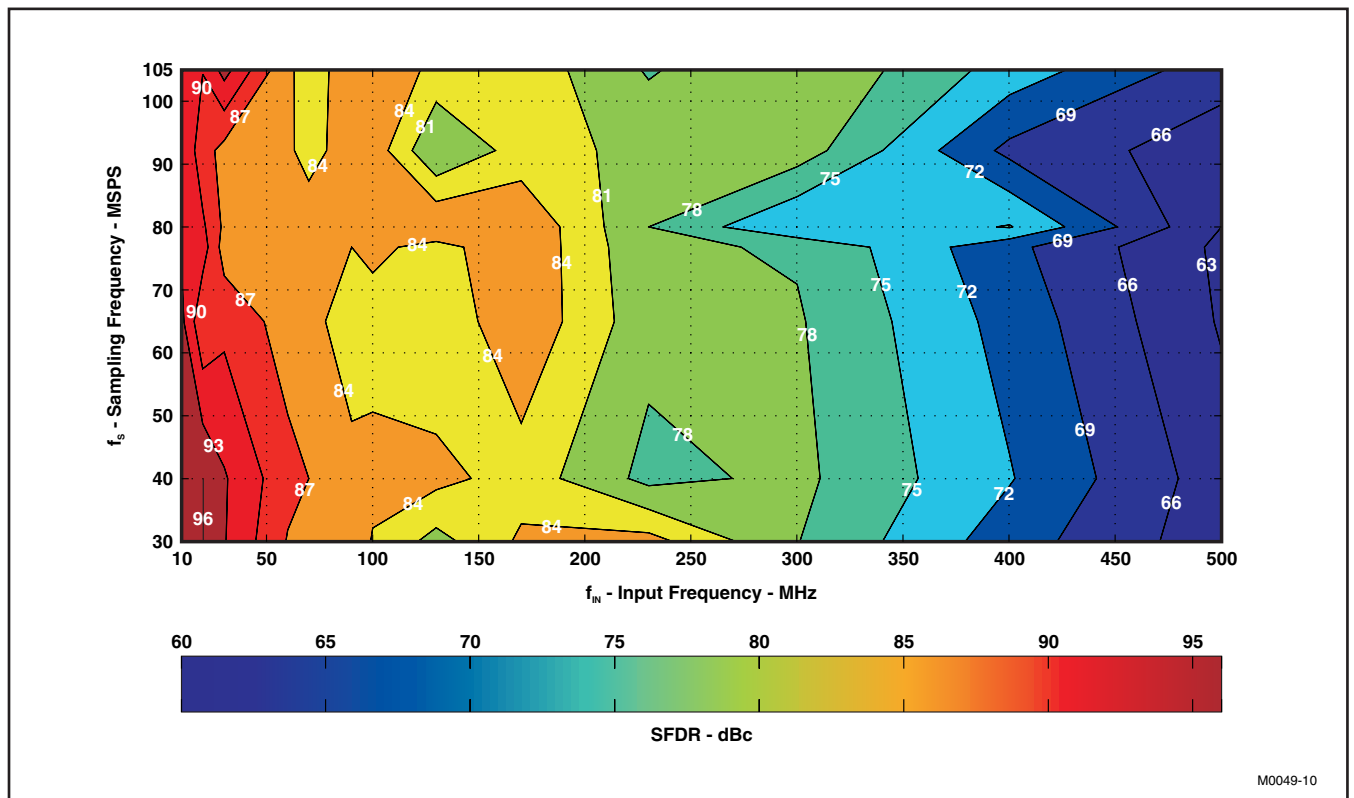


図 75. SFDRの輪郭プロット (ゲインなし)

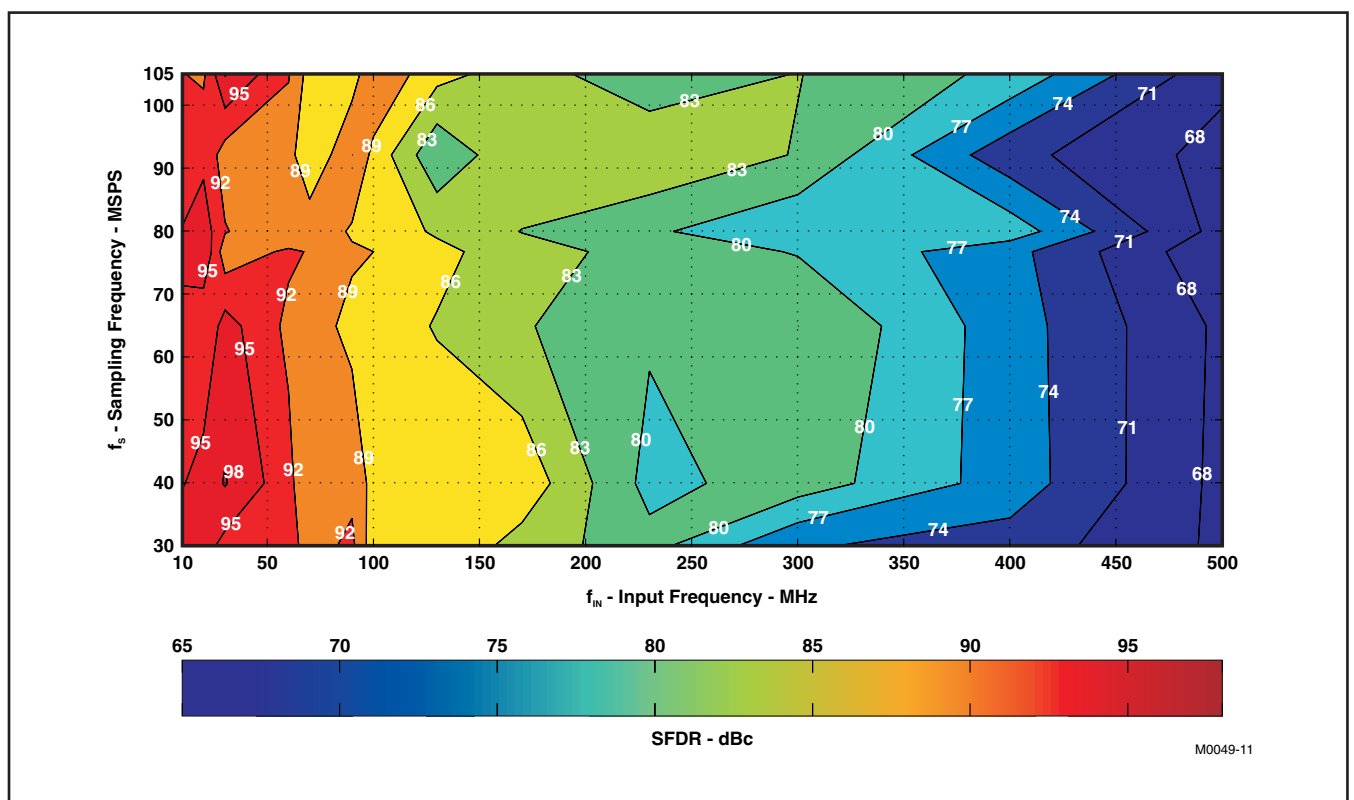


図 76. SFDRの輪郭プロット (3.5dB Coarseゲイン)

入力周波数対サンプリング周波数の輪郭プロット

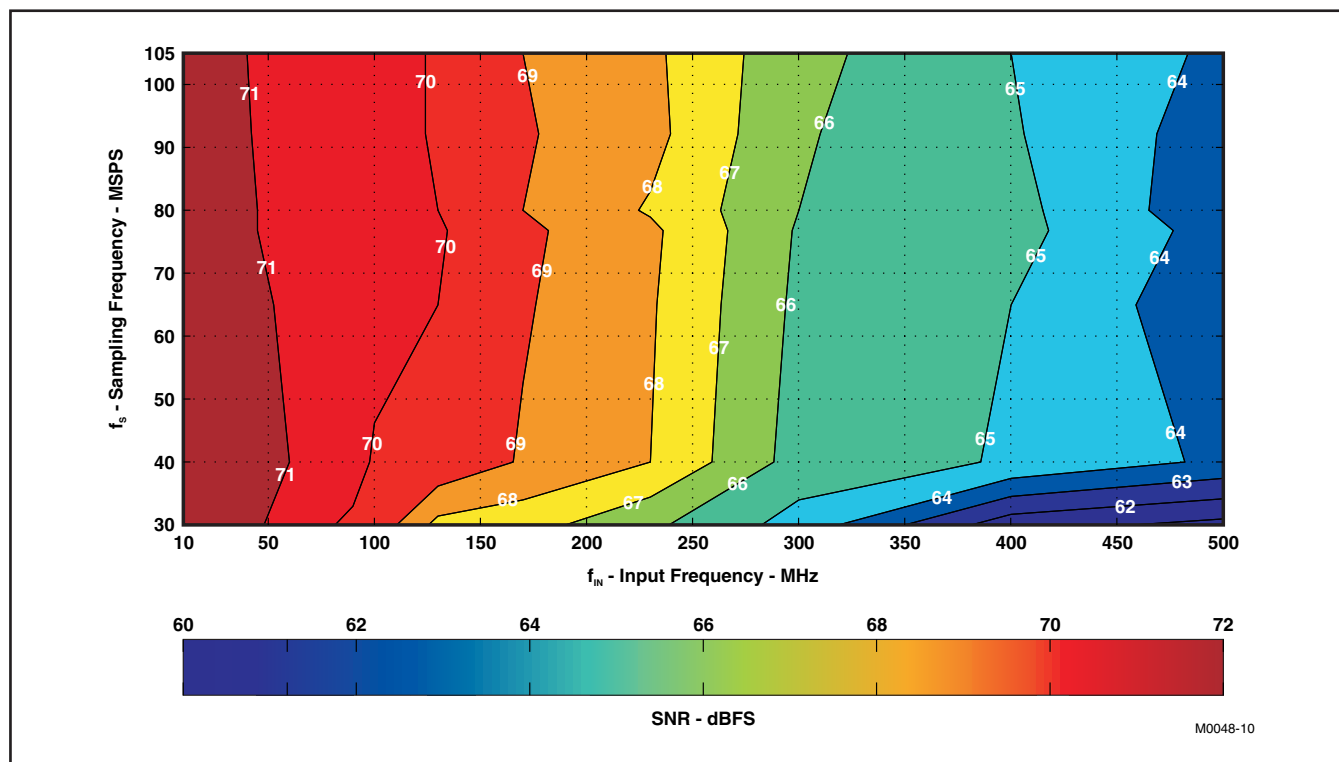


図 77. SNRの輪郭プロット (ゲインなし)

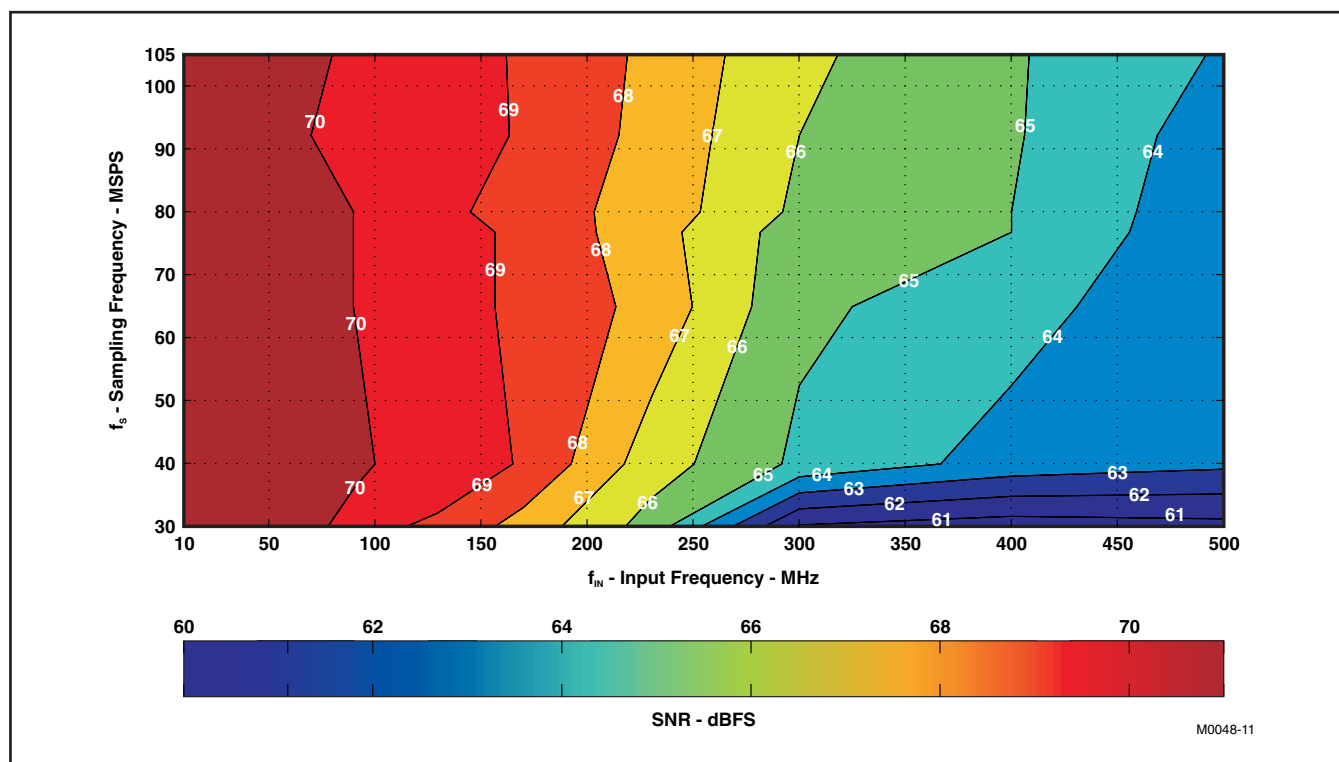


図 78. SNRの輪郭プロット (3.5dB Coarseゲイン)

アプリケーション情報

動作原理

ADS6225/ADS6224/ADS6223/ADS6222 (ADS622X) は、CMOSテクノロジーのスイッチド・キャパシタ・アーキテクチャに基づく、デュアル・チャンネル12ビット・パイプラインADCのファミリーです。

外部入力クロックの立ち上がりエッジで、全4チャンネル同時に変換が開始されます。入力信号が各チャンネルのサンプル/ホールド回路で取り込まれた後、各ホールド・データは一連の低分解能段で順番に連続的に変換されます。それらの出力をデジタル補正ロジック部で結合することにより、最終的な12ビット・ワードが12クロック・サイクルのレイテンシで形成されます。各チャンネルの12ビット・ワードがシリアル化され、LVDSレベルとして出力されます。データ・ストリームに加えて、ビット・クロックとフレーム・クロックも出力されます。フレーム・クロックは、12ビット・ワードに揃えられます。

アナログ入力

アナログ入力は、図79に示されるような、スイッチド・キャパシタに基づく差動サンプル/ホールド・アーキテクチャで構成されています。この差動トポロジにより、高い入力周波数でも非常に良好なAC特性が得られます。INPおよびINMピンは、VCM (ピン13) の同相電圧1.5Vが基準となるように、外部でバイアスされる必要があります。フルスケール差動入力に対して、各入力ピンINPおよびINMは、 $V_{CM} + 0.5V \sim V_{CM} - 0.5V$ の範囲で対称的にスイングし、 $2V_{pp}$ の差動入力スイングとなる必要があります。最大スイングは、内部リファレンス電圧REFP (公称2.0V) およびREFM (公称1.0V) によって決定されます。サンプル回路は、最大500MHzまでの3dB帯域幅を持ちます (図80。アナログ入力ピンからサンプリング・コンデンサ両端の電圧までの伝達関数によって示されます)。

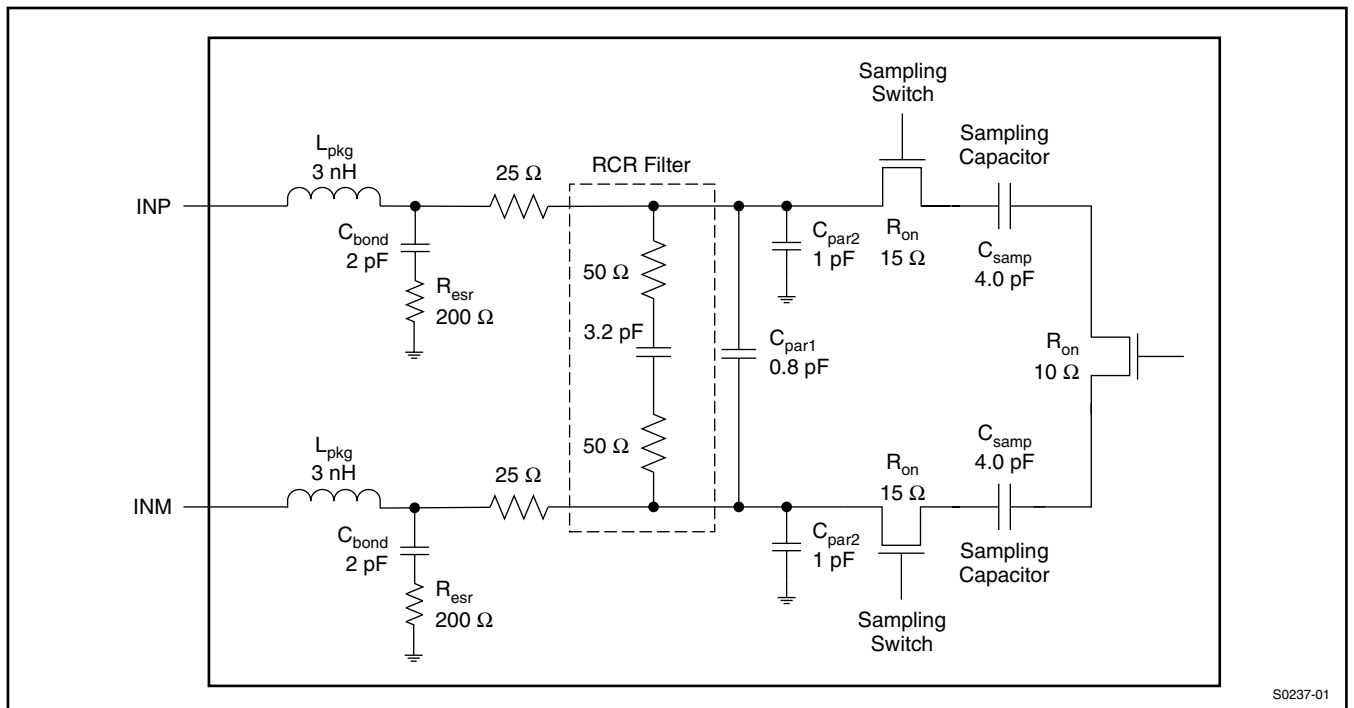


図 79. 入力サンプリング回路

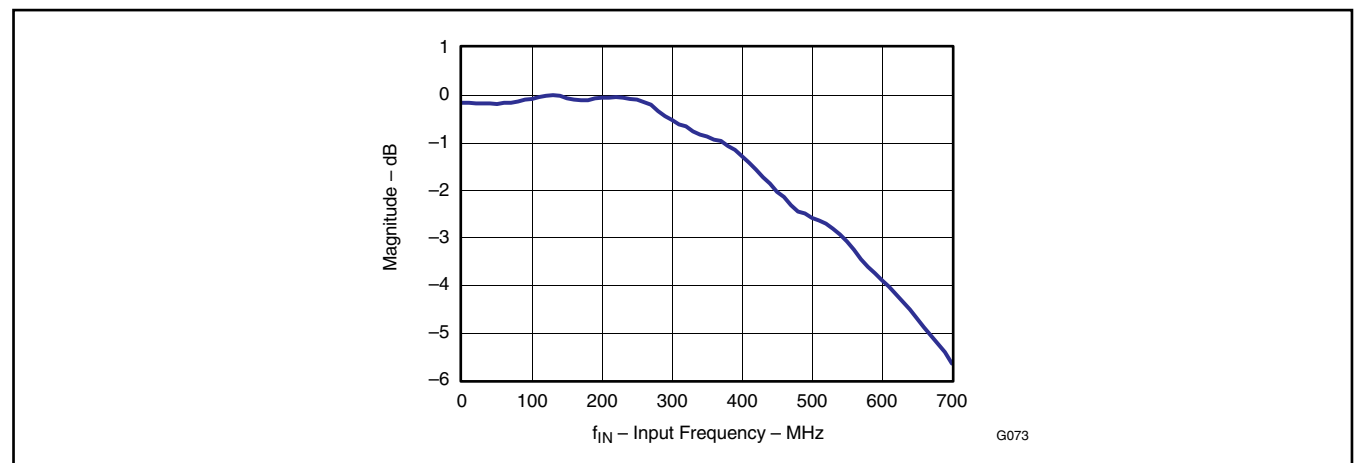


図 80. アナログ入力帯域幅

駆動回路の要件

最適な性能を得るためには、アナログ入力を差動で駆動する必要があります。それにより、同相電圧ノイズ耐性と、偶数次高調波除去性能が向上します。

パッケージの寄生成分によって発生するリングングを抑制するために、各入力ピンに 5Ω の直列抵抗を接続することを推奨します。また、同相電圧スイッチング電流に対するインピーダンスを低く (50Ω 未満) することも必要です。これは例えば、各入力から同相電圧 (VCM) 端子に終端された2つの抵抗を使用することで実現できます。

場合によっては、上記に加え、目的の周波数範囲にわたって挿入損失が低くなり、ソースに対してインピーダンスがマッチングされるように、駆動回路を設計する必要があります。その場合には、ADC入力インピーダンスを考慮に入れます。図81に示すように、このインピーダンス (Z_{in} 、ADC入力ピンに向かう方向) は、入力周波数が高くなると減少します。スミス・チャートでは、入力インピーダンスが容量性で、最大500MHzまでは直列のR-Cで近似できることが示されています。

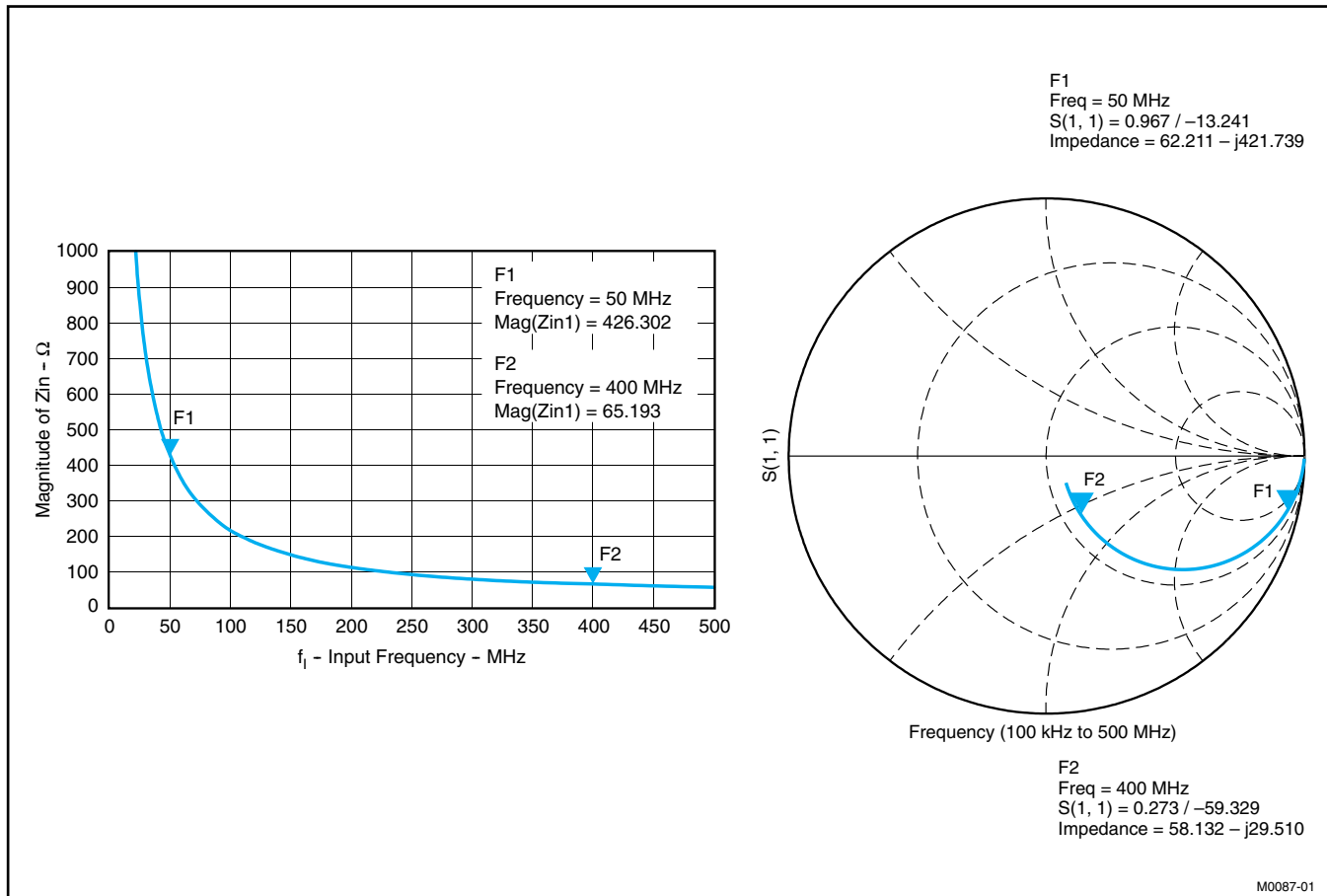


図 81. ADC入力インピーダンス Z_{in}

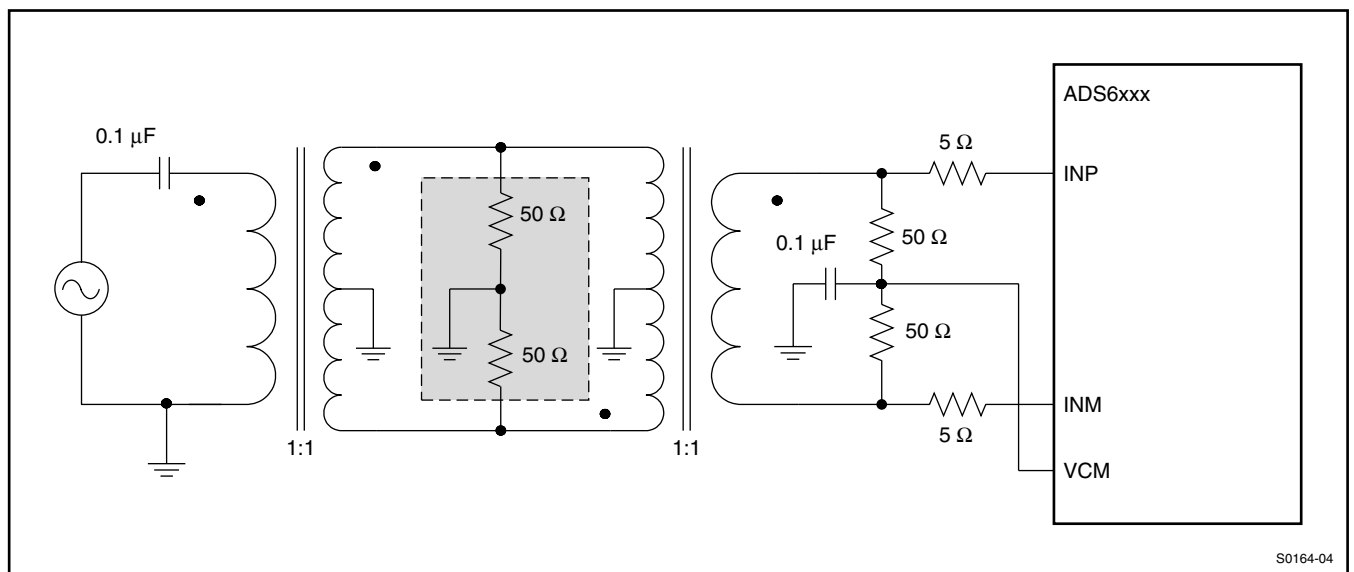
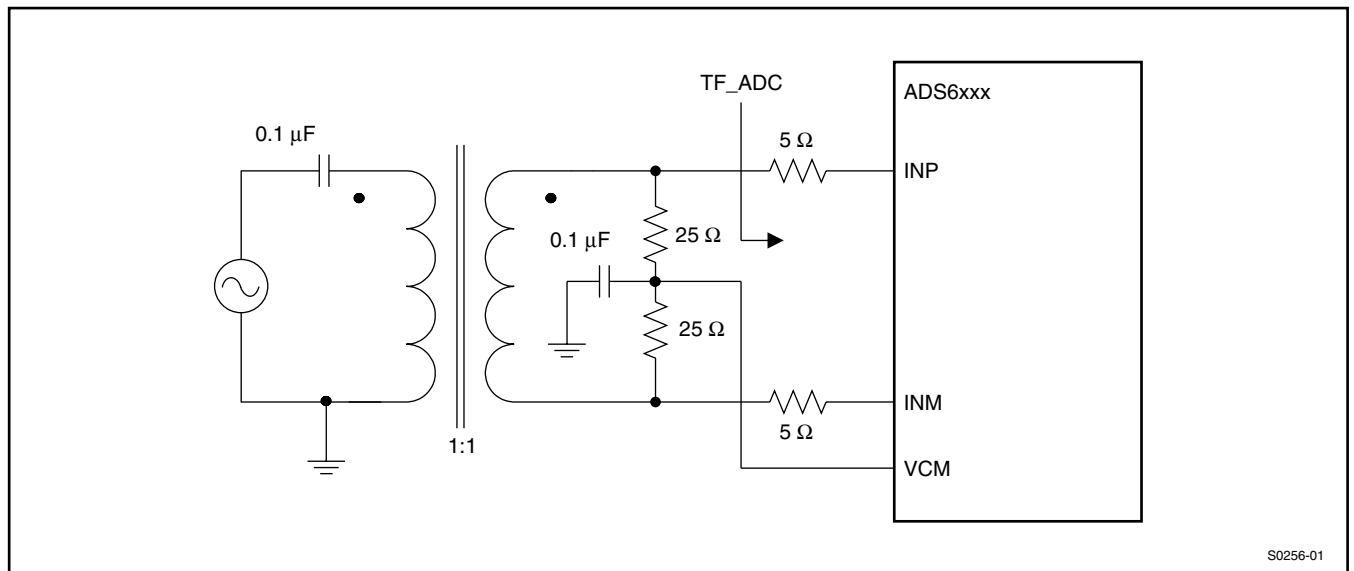
RFトランスを使用した駆動回路

最適な性能を得るためには、アナログ入力を差動で駆動する必要があります。それにより、同相電圧ノイズ耐性と、偶数次高調波除去性能が向上します。RFトランスを使用した入力駆動の例を図83に示します。

RFトランスの1次巻線に、シングルエンド信号が供給されます。トランスは、2次側で終端されています。2次側に終端を配置することで、RFトランスのリーク・インダクタンスからサンプリング回路によって発生するキックバックを遮蔽する効果が得られます。この終端は、直列に接続された2つの抵抗の中間点を1.5V同相電圧 (VCMピン) に接続することで実現します。ADCの同相電圧スイッチング電流に低インピーダンスのパスを提供するために、終端抵抗 (同相電圧 (VCM) に接続) の値は低く (100Ω未満) する必要があります。

図82に、100MHzまでの低入力周波数に対して使用できる、巻線比1:1のトランス (例えば、WBC1-1) を1個使用した構成を示します。

高い入力周波数では、トランスの巻線間の寄生容量のミスマッチにより、偶数次高調波特性が劣化します。同じRFトランスを2個接続すると、このミスマッチが最小限に抑えられ、高周波数の入力信号に対して良好な特性が得られます。図83に、2個のトランス (Coilcraft WBC1-1) を使用した例を示します。P側とM側のバランスを向上させるために、2個のトランス間に追加の終端抵抗ペア (図83の網掛け枠内) が必要になる場合があります。この終端の中間点は、グラウンドに接続する必要があります。



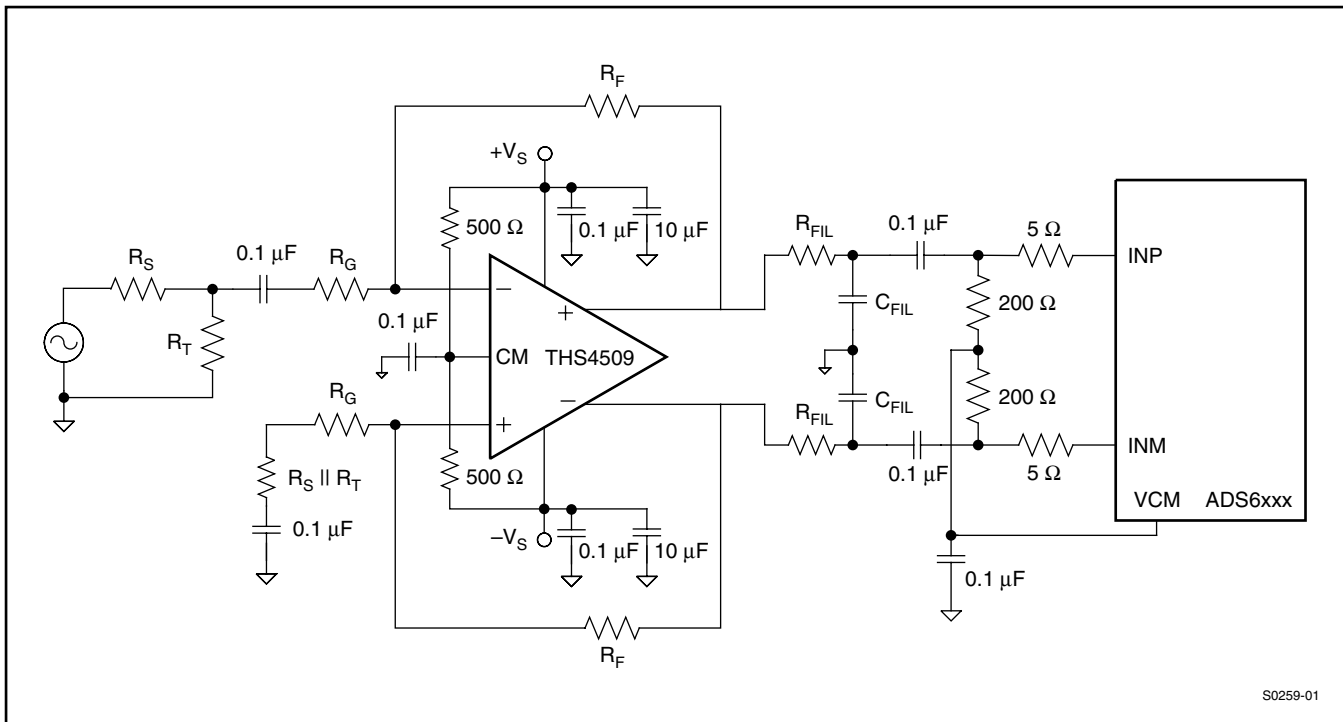


図 84. THS4509を使用した駆動回路

差動アンプ駆動回路の使用

図84に、差動アンプ (TIのTHS4509) を使用して、シングルエンド入力を、ADC入力ピンにインターフェイスできる差動出力へと変換する駆動回路を示します。シングルエンドから差動への変換に加えて、アンプではゲイン (図84では10dB) も得られます。図に示すように、 R_{FIL} はアンプ出力をADCのスイッチング入力から分離する効果があります。また、 C_{FIL} と合わせて、ADC入力でのノイズ (および信号) の帯域幅を制限するローパス・フィルタを形成します。アンプ出力はAC結合されているため、ADC入力ピンの同相電圧は、VCMに接続される2つの抵抗を使用して設定されます。アンプ出力は、DC結合することもできます。THS4509の出力同相電圧制御を使用して、ADC入力ピンを1.5Vにバイアスすることができます。

詳細については、EVMユーザガイド (SLAU196) を参照してください。

入力同相電圧

同相電圧リファレンスのノイズを低減するために、VCMピンは、グラウンドに接続された0.1μFの低インダクタンス・コンデンサによってフィルタリングされています。VCMピンは、ADC入力を直接駆動するように設計されています。ADCの入力段は、

125MSPS で動作時に155μA (入力ピンあたり) の同相電流をシンクします。式 (1) は、同相電流とサンプリング周波数の依存関係を示しています。

$$\frac{155 \mu A x F_s}{125 \text{ MSPS}} \quad (1)$$

この式は、CM駆動回路の出力能力およびインピーダンスの設計に役立ちます。

リファレンス

ADS622Xには、外部部品を必要としない内部リファレンスREFPおよびREFMが内蔵されています。リファレンスから見たコンバータの負荷を線形化するための設計手法が用いられています。さらに、必須のリファレンス・コンデンサもオンチップで搭載することで、外部デカップリングを不要にしています。次に示すように、コンバータのフルスケール入力範囲は、外部リファレンス・モードで制御することができます。レジスタ・ビット<REF> (表14) をプログラムすることで、内部または外部リファレンス・モードを選択できます。

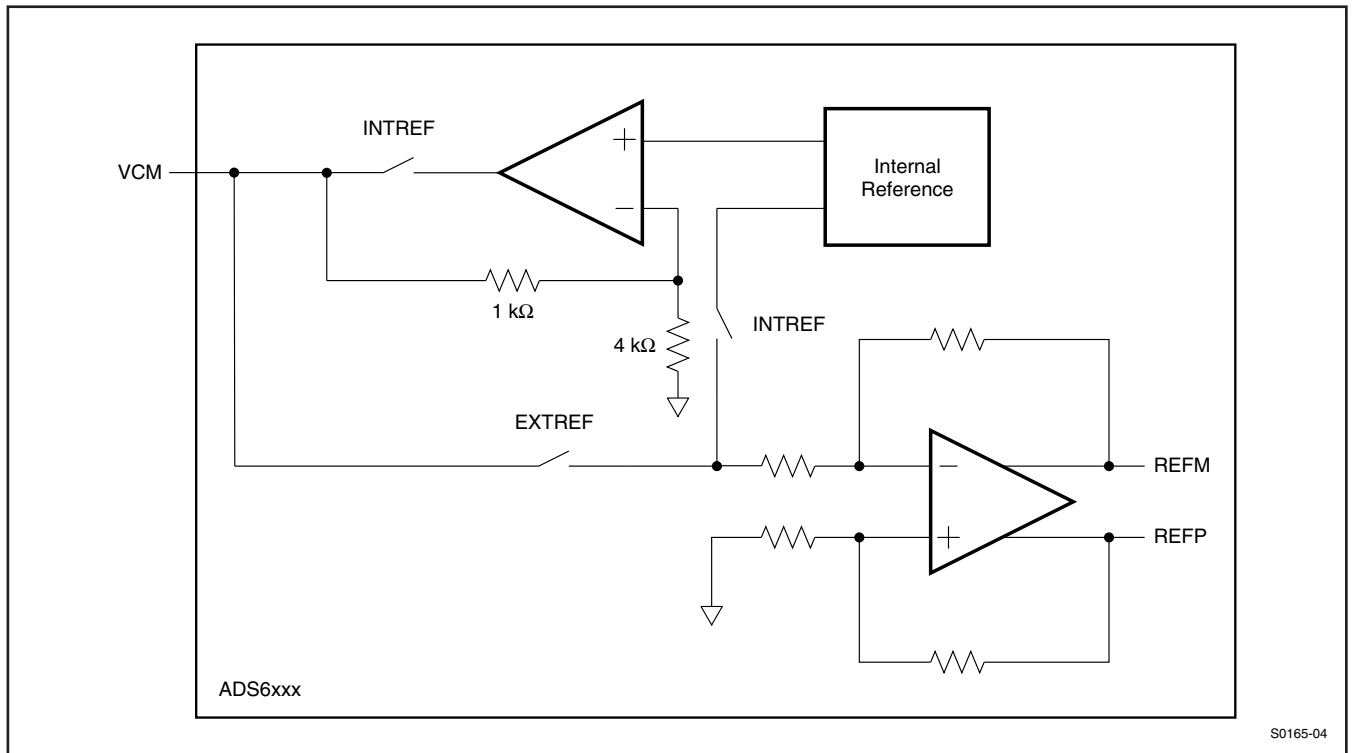


図 85. リファレンス部

内部リファレンス

デバイスが内部リファレンス・モードの場合、REFPおよびREFM電圧は内部で生成されます。同相電圧（公称1.5V）がVCMピンで出力され、アナログ入力ピンの外部バイアスに使用できます。

外部リファレンス

デバイスが外部リファレンス・モードの場合、VCMはリファレンス入力ピンとして機能します。VCMピンに印加された電圧はバッファリングされ、内部で1.33倍に増幅されて、REFPおよびREFM電圧を生成します。フルスケールに対応する差動入力電圧は、式 (2) で与えられます。

$$\text{フルスケール差動入力pp} = (\text{VCMに印加される電圧}) \times 1.33 \quad (2)$$

このモードでは、VCMに印加される電圧を1.45V～1.55Vの範囲内にする必要があります。入力ピンをバイアスするための1.5Vの同相電圧は、外部で生成する必要があります。

COARSEゲインおよびプログラム可能なFINEゲイン

ADS622Xには、SFDR性能を(0dBゲイン・モードと比較して)向上させるためのゲイン設定が用意されています。ゲイン設定には、3.5dBのCoarseゲインと、0dB～6dBのプログラム可能なFineゲインがあります。表22に示されるように、各ゲイン設定に比例してアナログ入力フルスケール範囲が変化します。

Coarseゲインは、3.5dBの固定設定であり、SNRをほとんど劣化させずにSFDRを向上できるよう設計されています。Fineゲインは、0dBから6dBまで1dB単位でプログラムできます。FineゲインでもSFDRが向上しますが、SNRは劣化します（Fineゲイン1dBごとにSNRが約1dB劣化）。

したがって、FineゲインはSFDRとSNRの間のトレードオフに使用できます。Coarseゲインでは、SNRを大きく低下させることなく最高のSFDRを得ることが可能です。高い入力周波数では、SINADのわずかな劣化でSFDRの大きな向上を得られるため、これらのゲインが特に有用です。

ゲインは、レジスタ・ビット<COARSE GAIN>（表19）および<FINE GAIN>（表18）を使用してプログラムできます。リセット後のデフォルトのゲインは0dBです。

ゲイン dB	タイプ	フルスケール V_{pp}
0	Default (after reset)	2
3.5	Coarse setting (fixed)	1.34
1	Fine setting (programmable)	1.78
2		1.59
3		1.42
4		1.26
5		1.12
6		1.00

表 22. ゲインとフルスケール範囲の関係

クロック入力

ADS622Xのクロック入力は、差動 (SINE、LVPECLまたはLVDS) またはシングルエンド (LVCMOS) で駆動でき、どちらの場合でも性能にほとんど差はありません。図86に示すように、クロック入力の同相電圧は、5k Ω の内部抵抗を使用してVCMに

設定されます。これにより、正弦波クロックに対してトランス結合駆動回路、またはLVPECL、LVDSクロック・ソースに対してAC結合を使用することができます (図88および図90)。図87に、クロック入力ピンの入力インピーダンスを示します。

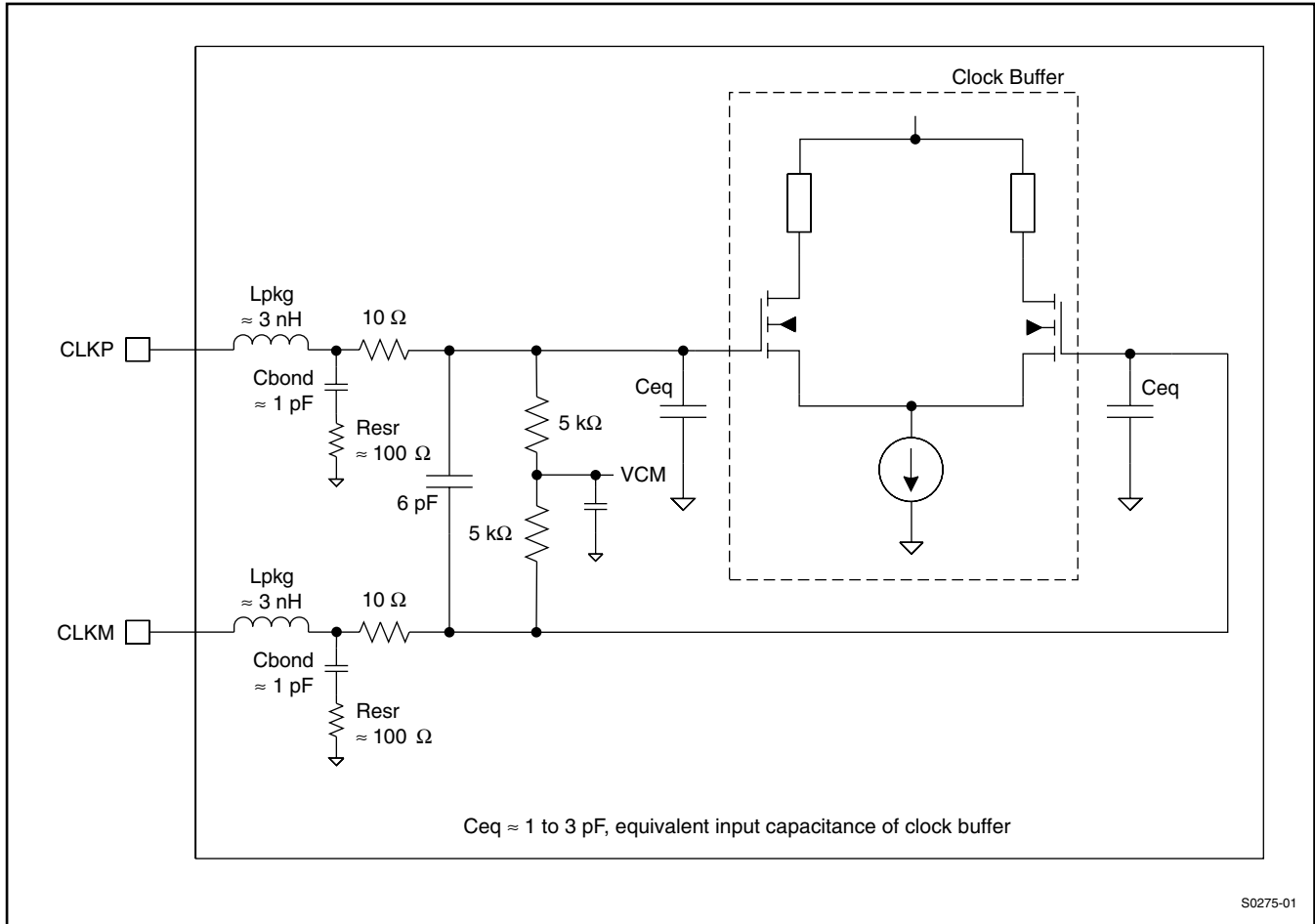


図 86. 内部クロック・バッファ

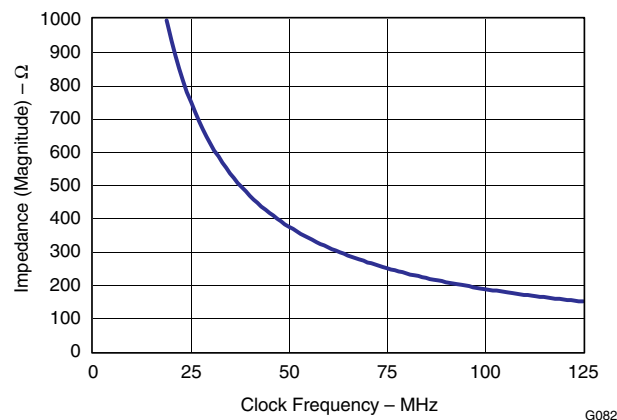


図 87. クロック・バッファ入力インピーダンス

図89に、CDCM7005クロック・ドライバからのPECLクロック駆動を使用した標準的な構成を示します。この構成でのSNR性能は、低ジッタの正弦波クロック・ソースと同等です。

図90に示すように、シングルエンドのCMOSクロックをCLKP入力にAC結合することができます。この場合、0.1 μ Fのコンデンサを使用して、CLKMピンをグランドに接続します。

最高の性能を得るためには、クロック入力を差動で駆動し、同相電圧ノイズの影響を低減する必要があります。高入力周波数でのサンプリングの場合は、ジッタの非常に低いクロック・ソースを使用することを推奨します。クロック・ソースにバンドパス・フィルタリングを行うと、ジッタの影響低減に役立ちます。デューティ・サイクルが50%でないクロック入力を使用しても、性能に変化はありません。

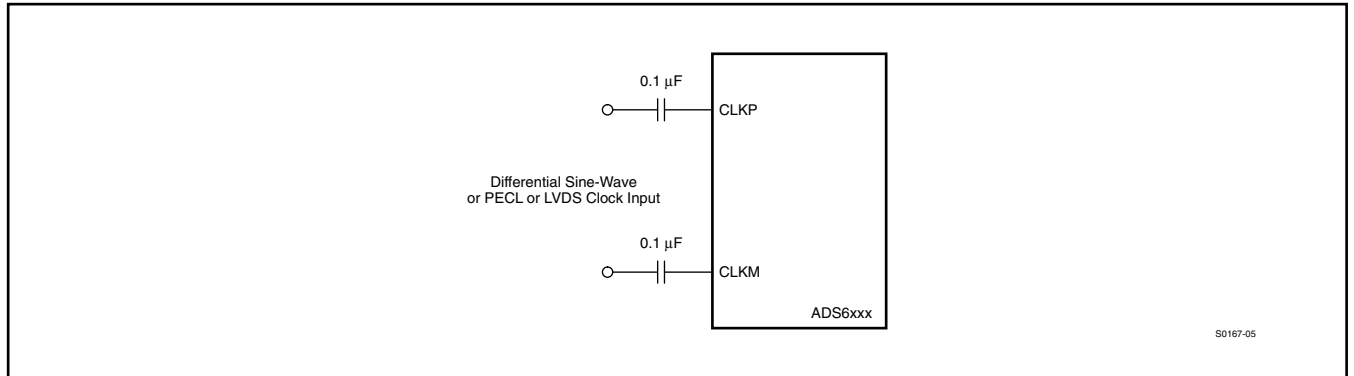


図 88. 差動クロック駆動回路

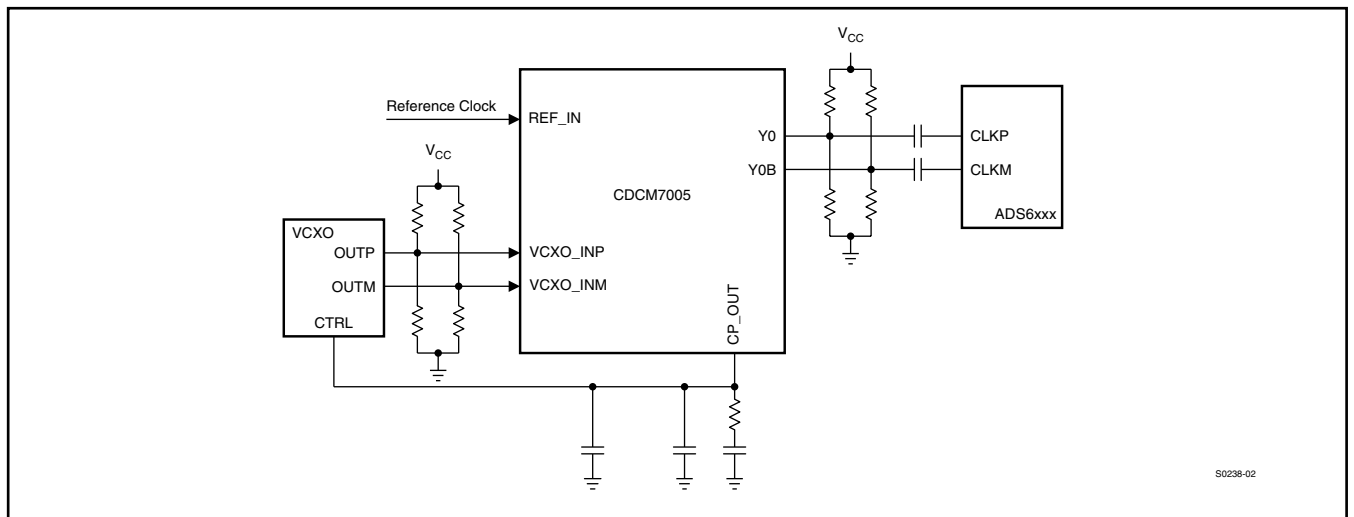


図 89. CDCM7005を使用したPECLクロック駆動

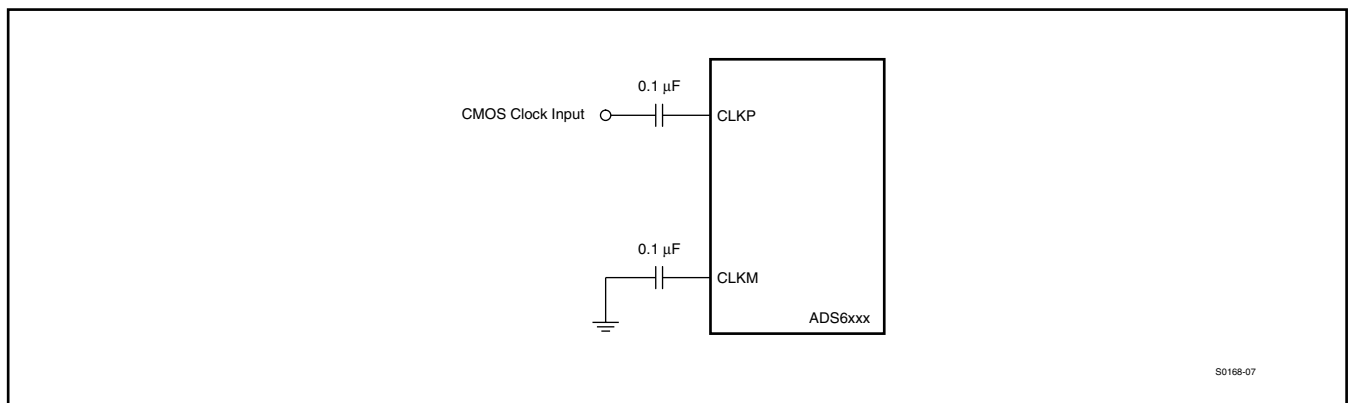


図 90. シングルエンド・クロック駆動回路

クロック・バッファ・ゲイン

正弦波クロック入力を使用する場合、クロック・ジッタに起因するノイズは、クロックの振幅が大きくなるほど改善します。したがって、大きなクロック振幅を使用することを推奨します。1Vppを超えるクロック振幅を使用すると、性能の劣化が避けられます。

また、クロック・バッファには、非常に小さいクロック振幅でもサポートできるように、入力クロックを増幅するためのプログラム可能なゲインが備えられています。このゲインは、レジスタ・ビット<CLKIN GAIN> (表15) をプログラムすることで設定でき、ゲイン0からゲイン4まで単調に増加します。表23に、各ゲイン設定に対してサポートされる最小のクロック振幅を示します。

パワーダウン・モード

ADS622Xには、グローバル・パワーダウン、チャンネル・スタンバイ、入力クロック停止の3つのパワーダウン・モードがあります。

グローバル・パワーダウン

グローバル・パワーダウン・モードでは、4つのADC、内部リファレンス、PLL、LVDSバッファを含めて、チップのほぼ全体がパワーダウンされます。その結果、合計消費電力は標準で77mWまで低下します(入力クロックは動作)。このモードは、レジスタ・ビット<PDN GLOBAL> (表14) の設定によって開始されます。出力データ・バッファおよびクロック・バッファは、ハイ・インピーダンス状態になります。

このモードから通常モードでデータが有効になるまでのウェイクアップ時間は、100μsです。

チャンネル・スタンバイ

このモードでは、各チャンネルのADCだけがパワーダウンされるため、ウェイクアップ時間が非常に高速になります。レジスタ・ビット<PDN CH> (表14) を使用して、4つのADCをそれぞれ独立してパワーダウンできます。出力LVDSバッファは、パワーオンのままです。

このモードから通常モードでデータが有効になるまでのウェイクアップ時間は、200クロック・サイクルです。

入力クロック停止

コンバータは、次のいずれかの場合に、このモードに入ります。

- 入力クロック周波数が1MSPSを下回った場合
- 任意のサンプリング周波数で、入力クロック振幅が400mV (pp、差動、デフォルトのクロック・バッファ・ゲイン設定) 未満の場合

すべてのADCおよびLVDSバッファがパワーダウンされ、消費電力は約235mWになります。このモードから通常モードでデータが有効になるまでのウェイクアップ時間は、100μsです。

電源供給シーケンス

電源投入時、AVDDおよびLVDD電源はどの順番でオンになってもかまいません。この2つの電源は、デバイス内部で分離されています。外部では、それぞれ別個の電源を使用するか、あるいは1つの電源で両方を駆動することもできます。

クロック・バッファ・ゲイン	最小クロック振幅 (mVpp 差動)
ゲイン 0 (最小ゲイン)	800
ゲイン 1 (デフォルト・ゲイン)	400
ゲイン 2	300
ゲイン 3	200
ゲイン 4 (最大ゲイン)	150

表 23. ゲインおよび最小クロック振幅

パワーダウン・モード	AVDD 消費電力 (mW)	LVDD 消費電力 (mW)	ウェイクアップ時間
パワー印加時	782	208	–
グローバル・パワーダウン	65	12	100 μs
1チャンネル・スタンバイ		208	200 Clocks
2チャンネル・スタンバイ		208	200 Clocks
入力クロック停止			100 μs

表 24. パワーダウン・モードの概要⁽¹⁾

(1) サンプリング周波数 = 125MSPS

デジタル出力インターフェイス

ADS622Xには、いくつかの柔軟な出力オプションが用意され、ASICまたはFPGAとのインターフェイスが容易になっています。各オプションは、パラレル・ピンまたはシリアル・インターフェイスを使用して、簡単にプログラムすることができます。

以下の出力インターフェイス・オプションがあります。

- 1線式、1倍フレーム・クロック、12倍および14倍シリアル化、DDRビット・クロック
- 2線式、1倍フレーム・クロック、12倍シリアル化、DDRおよびSDRビット・クロック、バイト単位/ビット単位/ワード単位
- 2線式、1倍フレーム・クロック、14倍シリアル化、SDRビット・クロック、バイト単位/ビット単位/ワード単位
- 2線式、(0.5倍)フレーム・クロック、14倍シリアル化、DDRビット・クロック、バイト単位/ビット単位/ワード単位

最大サンプリング周波数、ビット・クロック周波数、および出力データ・レートは、選択したインターフェイス・オプションによって異なります（表25を参照）。

以下で、各インターフェイス・オプションについて説明します。

1線式インターフェイス - 12倍および14倍シリアル化、DDRビット・クロック

各ADCのデータを1つのLVDSペア（1線）でシリアルに出力します。データは、ビット・クロック（DDRビット・クロック）の立ち上がりおよび立ち下がりエッジで有効となります。ADCは、MSBから始めて、各フレーム・クロックの立ち上がりエッジで新しいワードを出力します。オプションとして、LSBファーストで出力するようプログラムすることもできます。データ・レートは、サンプリング周波数の12倍（12倍シリアル化）および14倍（14倍シリアル化）です。

インターフェイス・オプション			最大サンプリング 周波数 MSPS	ビット・クロック 周波数 MHZ	フレーム・クロック 周波数 MHZ	シリアル・データ・レート Mbps
1線式	DDR ビット クロック	12× シリアル化	65	390	65	780
		14× シリアル化	65	455	65	910
2線式	DDR ビット クロック	12× シリアル化	125	375	125	750
		14× シリアル化	125	437.5	62.5	875
2線式	SDR ビット クロック	12× シリアル化	65	390	65	390
		14× シリアル化	65	455	65	455

表 25. 各出力インターフェイス・オプションに対する最大推奨サンプリング周波数

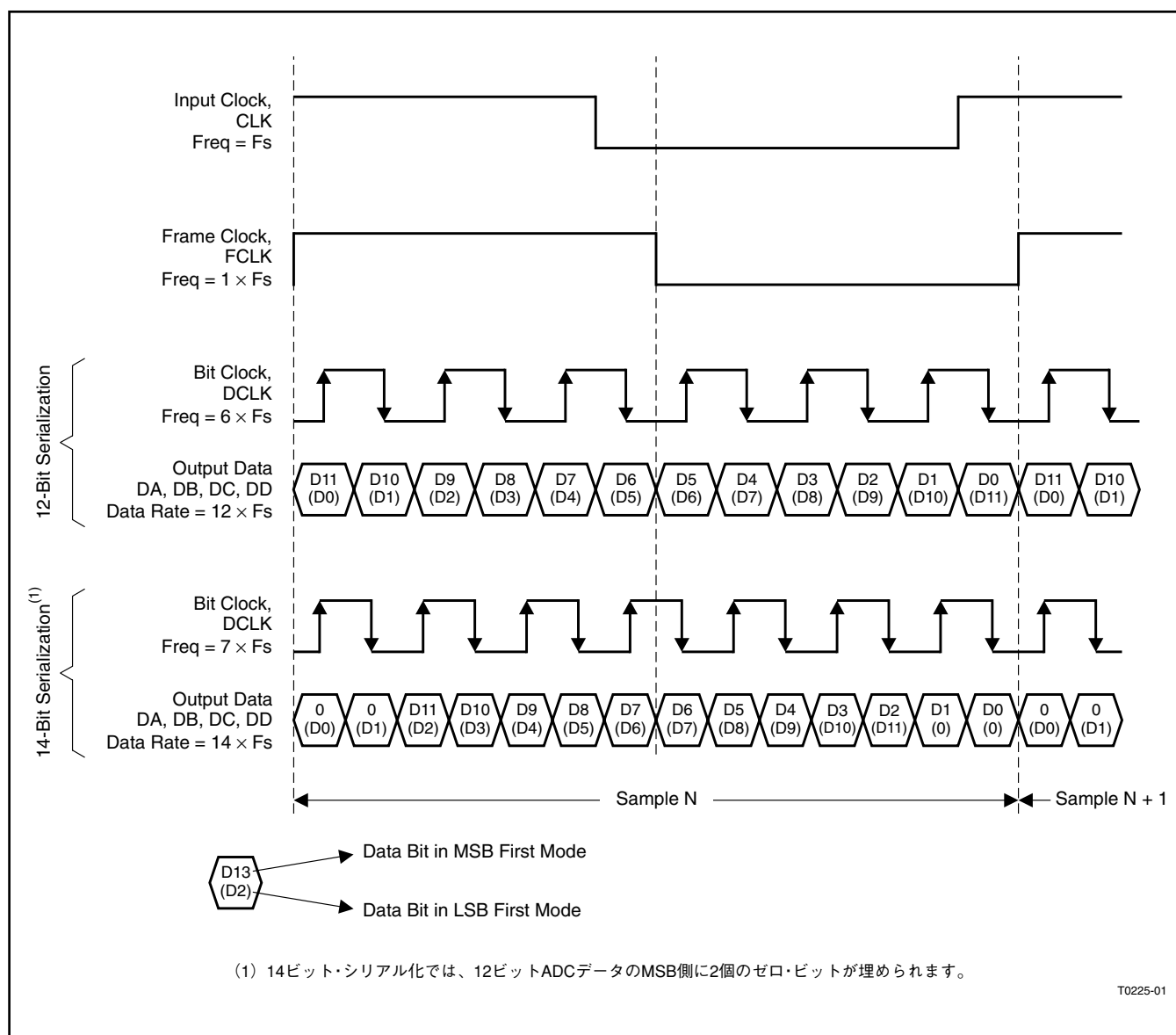


図 91. 1線式インターフェイス

2線式インターフェイス - 12倍シリアル化、DDR/SDRビット・クロック

2線式インターフェイスは、65MSPSを超えるサンプリング周波数に対して推奨されます。各ADCのデータを2つのLVDSペア (2線) でシリアルに出力します。クロック・サイクルごとに各線で6ビットが送信されるため、データ・レートはサンプリング

周波数の6倍です。データは、DDRビット・クロック (またはオプションでSDRビット・クロック) と併せて有効になります。各ADCサンプルは、2線上でバイト単位、ビット単位、またはワード単位で送信されます。

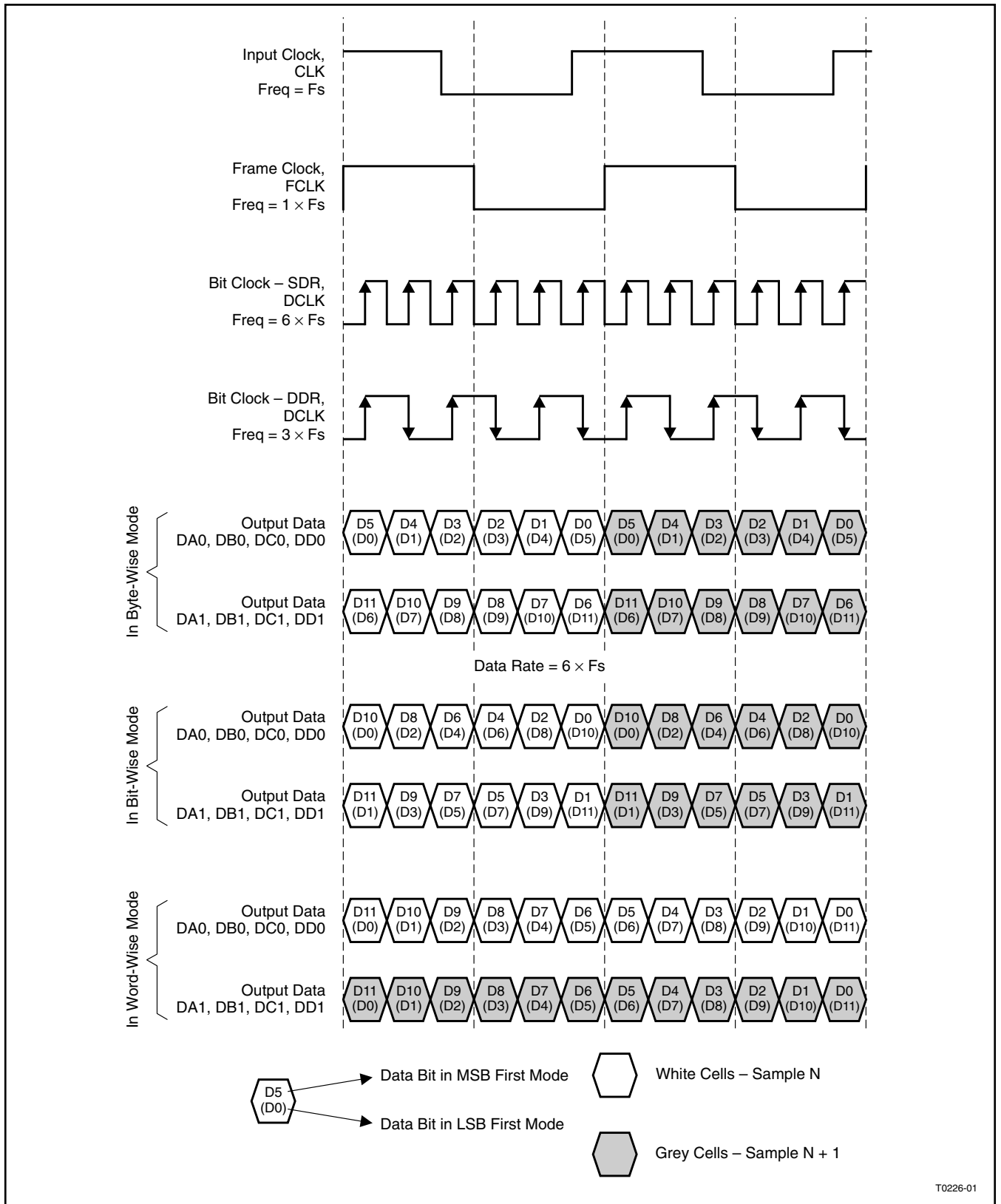


図 92. 2線式インターフェイス、12倍シリアル化

2線式インターフェイス、14倍シリアル化

14倍シリアル化では、14ビットADCデータのMSB側に2個のゼロ・ビットが埋められ、結果の14ビット・データがシリアル化されて2つのLVDSペア上で出力されます。SDRビット・クロックでは、 $1 \times$ サンプル周波数のフレーム・クロックも使用できます。DDRビット・クロック・オプションでは、フレーム・クロック周波数は $0.5 \times$ サンプル周波数となります。クロック

・サイクルごとに各線で7ビットのデータが送信されるため、出力データ・レートはサンプリング周波数の7倍です。各ADCサンプルは、2線上でバイト単位、ビット単位、またはワード単位で送信されます。

14倍シリアル化を使用すると、受信側キャプチャ・ロジックの設計に変更を加えることなく、将来64xxファミリーの14ビットADCにシームレスにアップグレードすることが可能になります。

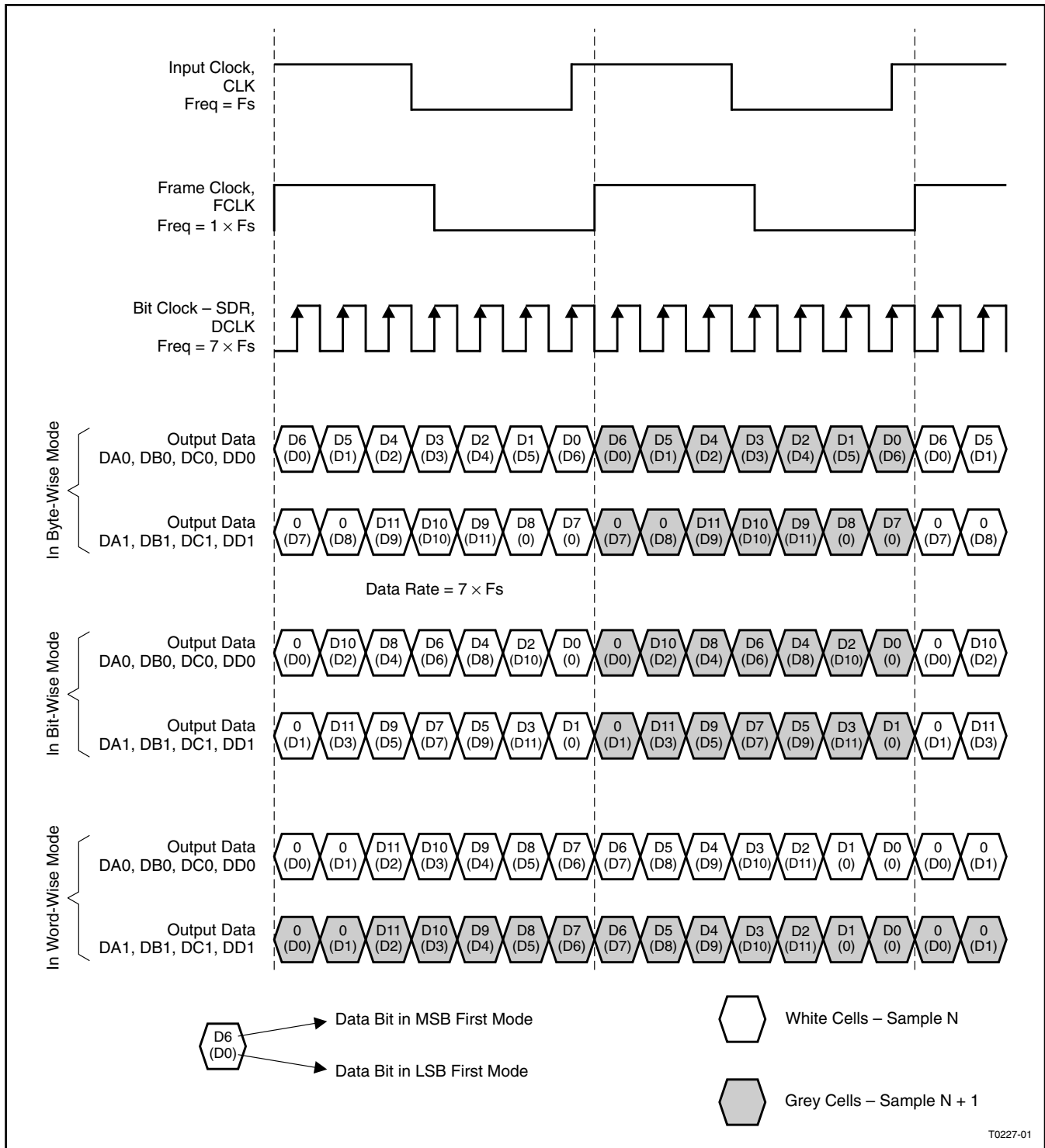


図 93. 2線式インターフェイス、14倍シリアル化-SDRビット・クロック

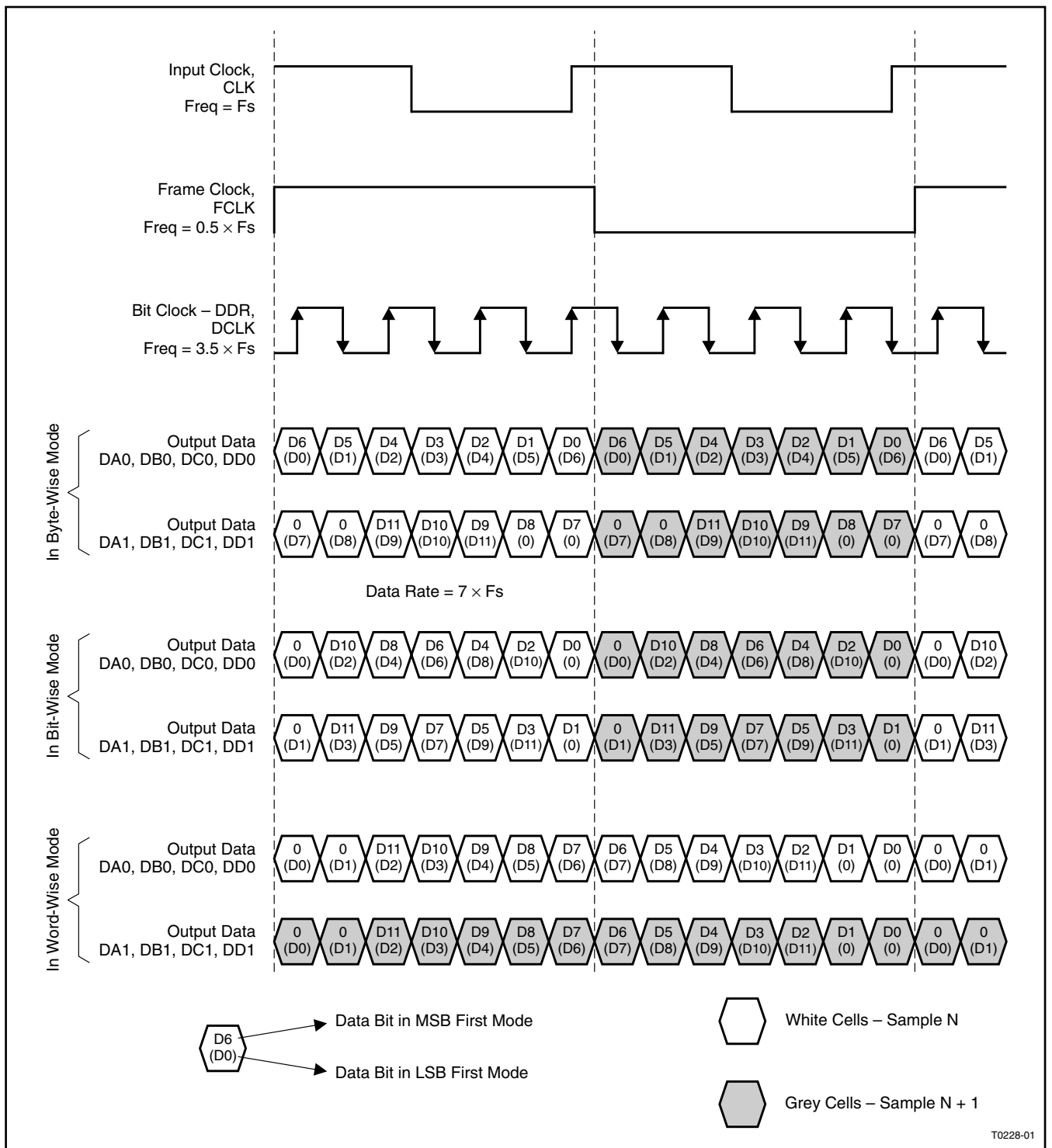


図 94. 2線式インターフェイス、14倍シリアル化 - DDRビット・クロック

出力ビット形式

2線式インターフェイスでは、バイト単位、ビット単位、ワード単位の3種類の出力ビット形式がサポートされています。

バイト単位：各サンプルが2線に分割されます。DA0およびDB0が下位6ビットD5～D0を伝送し、DA1およびDB1が上位6ビットを伝送します。

ビット単位：各サンプルが2線に分割されます。DA0およびDB0が6個の偶数ビット (D0、D2、D4...) を伝送し、DA1およびDB1が6個の奇数ビット (D1、D3、D5...) を伝送します。

ワード単位：この場合、各サンプルのすべてのビットが1つの線で送信されます。連続するサンプルが2線で送信されます。例えば、サンプルNがDA0およびDB0で送信される一方で、サンプルN+1がDA1およびDB1で送信されます。フレーム・クロック周波数はサンプリング周波数の0.5倍であり、各ワードの開始が立ち上がりエッジに揃えられます。

MSB/LSBファースト

デフォルトでは、リセット後、ADCデータはMSBファーストでシリアル出力されます (D11、D10、...D1、D0)。レジスタ・ビット<MSB_LSB_First>をプログラムして、データをLSBファーストで出力することもできます。2線式モードの場合、LSBファースト・モードでは各線のビット順が反転されます。

出力データ形式

出力データ形式は、2の補数 (リセット後のデフォルト) とオフセット・バイナリの2種類がサポートされています。形式は、シリアル・インターフェイス・レジスタ・ビット<DF>を使用して選択できます。入力電圧が入力レンジを越えた場合、デジタル出力は適切なフルスケール・レベルになります。正側で入力レンジを越えた場合、出力コードはオフセット・バイナリ出力形式で0xFFFF、2の補数出力形式で0x7FFFとなります。負側で入力レンジを越えた場合、出力コードはオフセット・バイナリ出力形式で0x000、2の補数出力形式で0x800となります。

LVDS電流制御

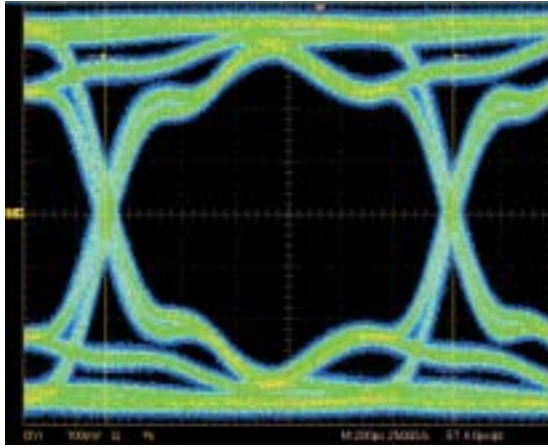
デフォルトのLVDSバッファ出力電流は3.5mAです。外部の終端抵抗が100Ωの場合、受信側での論理レベルが±350mVになります。LVDSバッファ出力電流も、レジスタ・ビット<LVDS_CURR>を使用して2.5mA、3.0mA、および4.5mAにプログラムすることができます。さらに、LVDSの公称電流が2倍となる電流2倍モードもあります (レジスタ・ビット<CURR_DOUBLE>、表20)。

LVDS内部終端

(シリアル・インターフェイスでの) 内部終端オプションを使用して、LVDSバッファ出力をデバイス内で差動終端することができます。166、200、250、333、500Ω (公称値、±20%変動) の5種類の終端抵抗が用意されています。これらの終端を任意に組み合わせてプログラムでき、実際の終端は選択した抵抗値の並列結合となります。終端は、クロック・バッファとデータ・バッファに対して個別にプログラムできます (<TERM_CLK>および<TERM_DATA>、表21)。

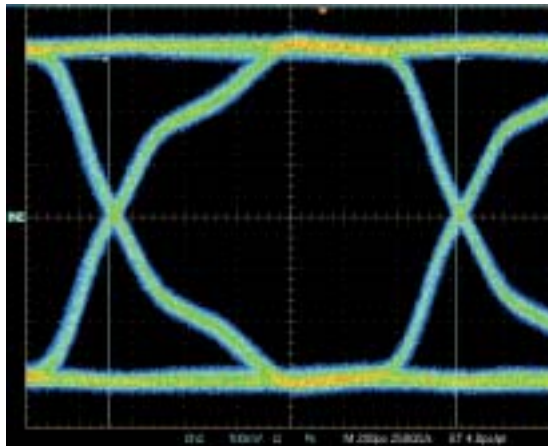
この内部終端により、受信側からの反射を吸収し、信号の完全性を高めることができます。その結果、最大10pFの負荷容量を駆動することができます (内部終端がない場合は最大5pF)。図95および図96に、負荷容量 (各出力ピンとグランドとの間に接続) が5pFと10pFの場合のアイ・ダイアグラムを示します。

100Ωの内部終端と100Ωの外部終端により、受信側での電圧スイングは (内部終端がない場合と比べて) 半分になります。この電圧スイングは、LVDS電流2倍モード (ビット<CURR_DOUBLE>、表20) を使用して元に戻すことができます。



C001

図 95. 負荷容量5pFの場合のLVDSデータのアイ・ダイアグラム (内部終端なし)



C002

図 96. 負荷容量10pFの場合のLVDSデータのアイ・ダイアグラム (100Ωの内部終端)

キャプチャ・テスト・パターン

ADS622Xは、データ遷移のほぼ中間点でビット・クロック (DCLK) を出力します。ビット・クロック、フレーム・クロック、および出力データ・ラインは、PCB上の相対スキューが最小限になるよう配線することを推奨します。これにより、受信側で確実にデータを取り込む行うための十分なサンプル/ホールド時間が確保されます。

DESKEWは、シリアル・データ・ラインに出力される1010...または0101...のパターンであり、受信側のキャプチャ・クロック・エッジの位置が正しいかどうかを確認するために使用されます。これは、DCLKと受信側の内部のシリアル・データとの間にスキューがある場合に有効です。パラレス変換後は、パラレル・データがフレーム境界に揃っていることを確認する必要があります。それには、SYNCテスト・パターンを使用できます。例えば、1線式インターフェイスの場合、SYNCパターンは6個の1に続いて6個の0です (MSBからLSBの順)。受信側ロジックではこの情報を使用して、パラレス変換されたデータをSYNCパターンに一致するまでシフトします。

DESKEWおよびSYNCに加えて、ADS622Xには、受信側でのデータの取り込みの正しさを確認するための他のテスト・パターン (オール0、オール1、トグルなど) も用意されています。これらのパターンは、全チャネルのデータ・ラインで同時に出力されます。CUSTOMやSYNCなど、いくつかのパターンは、選択されたインターフェイスの種類、シリアル化、およびビット形式によって影響を受けます。

パターン	説 明
All zeros	“Low” を出力。
All ones	“High” を出力。
Toggle	Toggleパターンを出力 - クロック・サイクルごとに、<D11-D0>が101010101010と010101010101の間で切り替わります。
Custom	12ビットのCustomパターンを出力。12ビットのカスタム・パターンは、2つのシリアル・インターフェイス・レジスタに指定できます。2線式インターフェイスでは、シリアル化およびビット形式に応じて、各コードが2線上で送信されます。
Sync	Syncパターンを出力。
Deskew	Deskewパターンを出力。クロック・サイクルごとに、<D11-D0> = 101010101010または<D11-D0> = 010101010101となります。

表 26. テスト・パターン

インターフェイス・オプション	シリアル化	各線上のSYNCパターン
1線式	12x	MSB-111111000000-LSB
	14x	MSB-11111110000000-LSB
2線式	12x	MSB-111000-LSB
	14x	MSB-1111000-LSB

表 27. SYNCパターン

低サンプリング周波数での出力タイミング

セットアップ、ホールド、およびその他のタイミング・パラメータは、サンプリング周波数に対して、および下の表に示された出力インターフェースの各種類に対して指定されます。

表29～表32：標準値 (TYP) は25°C、最小値 (MIN) および最大値 (MAX) は $T_{MIN} = -40^{\circ}C \sim T_{MAX} = 85^{\circ}C$ の全温度範囲、

$AVDD = LVDD = 3.3\text{ V}$ 、 $C_L = 5\text{ pF}$ 、 $I_O = 3.5\text{ mA}$ 、 $R_L = 100\Omega$ 、内部終端なしです (特に記述のない限り)。

タイミング・パラメータは、設計および特性によって規定される値であり、実製品のテストは行っていません。

$$T_s = 1/\text{サンプリング周波数} = 1/F_s$$

インターフェイス	シリアル化	伝播遅延 t_{pd_clk}	シリアルライザ・レイテンシ ⁽¹⁾ クロック周期
1線式 DDR ビット・クロック	12x	$t_{pd_clk} = 0.5 \times T_s + t_{delay}$	0
	14x	$t_{pd_clk} = 0.428 \times T_s + t_{delay}$	
2線式 DDR ビット・クロック	12x	$t_{pd_clk} = t_{delay}$	1
2線式 SDR ビット・クロック		$t_{pd_clk} = 0.5 \times T_s + t_{delay}$	0
2線式 DDR ビット・クロック	14x	$t_{pd_clk} = 0.857 \times T_s + t_{delay}$	2 (when $t_{pd_clk} \geq T_s$)
			1 (when $t_{pd_clk} < T_s$)
2線式 SDR ビット・クロック		$t_{pd_clk} = 0.428 \times T_s + t_{delay}$	0

表 28. 異なるインターフェイス・オプションに対する
クロック伝播遅延およびシリアルライザのレイテンシ

(1) 合計のレイテンシ = ADCレイテンシ + シリアルライザのレイテンシです。ADCレイテンシは12クロックです。

シリアル化	サンプリング周波数 MSPS	データ・セットアップ時間 t_{su} ns			データ・ホールド時間 t_h ns			t_{delay} ns		
		MIN	TYP	MAX	MIN	TYP	MAX	MIN	TYP	MAX
12x	65	0.4	0.6		0.5	0.7		3	$F_s \geq 40\text{ MSPS}$	
	40	0.8	1.0		0.9	1.1			4	5
	20	1.6	2.0		1.8	2.2		3	$F_s < 40\text{ MSPS}$	
	10	3.5	4.0		3.5	4.2			4.5	6
14x	65	0.3	0.5		0.4	0.6		3	$F_s \geq 40\text{ MSPS}$	
	40	0.65	0.85		0.7	0.9			4	5
	20	1.3	1.65		1.6	1.9		3	$F_s < 40\text{ MSPS}$	
	10	3.2	3.5		3.2	3.6			4.5	6

表 29. 1線式インターフェースのタイミング

シリアル化	サンプリング周波数 MSPS	データ・セットアップ時間 t_{su} ns			データ・ホールド時間 t_h ns			t_{delay} ns		
		MIN	TYP	MAX	MIN	TYP	MAX	MIN	TYP	MAX
12×	105	0.55	0.75		0.6	0.8		3.4	$F_s \geq 45$ MSPS	
	92	0.65	0.85		0.7	0.9			4.4	5.4
	80	0.8	1.0		0.8	1.05				
	65	0.9	1.2		1.0	1.3		$F_s < 45$ MSPS		
	40	1.7	2.0		1.1	2.1		3.7	5.2	6.7
14×	105	0.45	0.65		0.6	0.7		3	$F_s \geq 45$ MSPS	
	92	0.55	0.75		0.7	0.8			4	5
	80	0.65	0.85		0.8	0.9				
	65	0.8	1.1		1.0	1.1		$F_s < 45$ MSPS		
	40	1.4	1.7		1.1	1.9		3	4.5	6

表 30. 2線式インターフェース (DDRビット・クロック) のタイミング

シリアル化	サンプリング周波数 MSPS	データ・セットアップ時間 t_{su} ns			データ・ホールド時間 t_h ns			t_{delay} ns		
		MIN	TYP	MAX	MIN	TYP	MAX	MIN	TYP	MAX
12x	65	1.0	1.2		1.1	1.3		$F_s \geq 40$ MSPS		
	40	1.8	2.0		1.9	2.1		3.4	4.4	5.4
	20	3.9	4.1		3.8	4.1		$F_s < 40$ MSPS		
	10	8.2	8.4		7.8	8.2		3.7	5.2	6.7
14x	65	0.8	1.0		1.0	1.2		$F_s \geq 40$ MSPS		
	40	1.5	1.7		1.6	1.8		3.4	4.4	5.4
	20	3.4	3.6		3.3	3.5		$F_s < 40$ MSPS		
	10	6.9	7.2		6.6	6.9		3.7	5.2	6.7

表 31. 2線式インターフェイス (SDRビット・クロック) のタイミング

サンプリング周波数 MSPS	ビット・クロック・ジッタ、サイクル-サイクル ps, peak-peak			フレーム・クロック・ジッタ、サイクル-サイクル ps, peak-peak		
	MIN	TYP	MAX	MIN	TYP	MAX
≥ 65		350			75	

表 32. 出力ジッタ (すべてのインターフェイス・オプションに適用)

基板設計上の考慮事項

グラウンド

基板上的のアナログ部、デジタル部、クロック部が適切に分割されていれば、1つのグラウンド・プレーンで十分に最適な性能が得られます。レイアウトの詳細については、EVMユーザガイド (SLAU196) を参照してください。

電源デカップリング

ADS622Xには内部デカップリングが備えられているため、最小限の外部デカップリングでも性能が劣化することはありません。ただし、デカップリング・コンデンサを使用することで外部電源ノイズをフィルタリングできますが、デカップリング・コンデンサの最適な個数は、実際のアプリケーションによって異なります。

敏感なアナログ回路に対するデジタル・スイッチング・ノイズの影響を除くために、アナログ電源ピンとデジタル電源ピンとは別個の電源を使用することを推奨します。1つの3.3V電源しか使用できない場合は、最初にAVDDに配線してください。その後で分枝し、フェライト・ビード(またはインダクタ)およびデカップリング・コンデンサによる分離を行ってから、LVDDに配線します。

露出したサーマル・パッド

最高の熱特性を得るには、パッケージ底面の露出したパッドをグラウンド・プレーンに半田付けする必要があります。詳細については、アプリケーション・ノート『QFN Layout Guidelines』(SLOA122A) および『QFN/SON PCB Attachment』(SLUA271A) を参照してください。

仕様の定義

アナログ帯域幅：低周波での値と比較して基本波の出力が3dB低下するアナログ入力周波数。

アパーチャ遅延：入力サンプリング・クロックの立ち上がりエッジから、実際にサンプリングが開始されるまでの遅延時間。

アパーチャ不確定性(ジッタ)：サンプル間でのアパーチャ遅延の変動。

クロック・パルス幅/デューティ・サイクル：クロック信号のデューティ・サイクルは、クロック信号の周期に対する、クロック信号が“High”に保持される時間(クロック・パルス幅)の割合。一般に、デューティ・サイクルは、パーセンテージで表されます。完全な差動正弦波クロックでは、デューティ・サイクルが50%になります。

最大変換レート：規定の動作が行われる最大のサンプリング・レート。特に記述のない限り、すべてのパラメータ測定はこのサンプリング・レートで行われます。

最小変換レート：ADCが動作する最小のサンプリング・レート。

微分非直線性(DNL)：理想的なADCでは、厳密に1LSBずつ離れたアナログ入力値でコード遷移が起こります。DNLは、任意の1ステップにおけるこの理想的な値からの偏差であり、LSB単位で測定されます。

積分非直線性(INL)：INLは、ADCの伝達関数が、その伝達関数の最小二乗曲線によって決定される最もフィットするラインから、どれだけ離れているかを示す値であり、LSB単位で測定されます。

ゲイン誤差：ゲイン誤差は、ADCの実際の入力フルスケール範囲の、理想値からの偏差です。ゲイン誤差は、理想的な入力フルスケール範囲に対するパーセンテージで表されます。

オフセット誤差：オフセット誤差は、ADCの実際の平均アイドル・チャンネル出力コードと、理想的な平均アイドル・チャンネル出力コードとの差 (LSB単位) です。多くの場合、この量はmVにマッピングされます。

温度ドリフト：温度ドリフト係数(ゲイン誤差およびオフセット誤差を基準)は、T_{MIN}からT_{MAX}までの摂氏1度あたりのパラメータの変化を規定します。これは、T_{MIN}からT_{MAX}までの範囲にわたるパラメータの最大偏差をT_{MAX}-T_{MIN}の差で割ることにより求められます。

信号対雑音比(SNR)：SNRは、ノイズフロア電力(P_N)に対する基本波電力(P_S)の比であり、DCおよび最初の9個の高調波の電力は除かれます。

$$SNR = 10\log_{10} \frac{P_S}{P_N} \quad (3)$$

SNRは、基本波の電力を基準とする場合にはdBc(搬送波に対するdB)、基本波の電力をコンバータのフルスケール範囲に外挿する場合にはdBFS(フルスケールに対するdB)で表されます。

信号対雑音+歪(SINAD)：SINADは、ノイズ(P_N)および歪み(P_D)を含む他のすべてのスペクトル成分(DCは除く)に対する基本波電力(P_S)の比です。

$$SINAD = 10\log_{10} \frac{P_S}{P_N + P_D} \quad (4)$$

SINADは、基本波の電力を基準とする場合にはdBc(搬送波に対するdB)、基本波の電力をコンバータのフルスケール範囲に外挿する場合にはdBFS(フルスケールに対するdB)で表されます。

有効ビット数(ENOB)：ENOBは、量子化ノイズに基づく理論的限界と比較した、コンバータの性能の指標です。

$$ENOB = \frac{SINAD - 1.76}{6.02} \quad (5)$$

全高調波歪 (THD) : THDは、最初の9個の高調波の電力 (PD) に対する基本波電力 (P_S) の比です。

$$THD = 10\log_{10} \frac{P_S}{PD} \quad (6)$$

一般に、THDはdBc (搬送波に対するdB) 単位で表されます。

スプリアスフリー・ダイナミック・レンジ (SFDR) : 基本波電力とその以外の最大スペクトル成分 (不要波または高調波) との比。一般に、SFDRはdBc (搬送波に対するdB) 単位で表されます。

2トーン混変調歪 : IMD3は、2つの周波数 f_1 および f_2 における基本波電力と、周波数 $2f_1 - f_2$ または $2f_2 - f_1$ での最も大きなスペクトル成分電力との比です。IMD3は、基本波の絶対電力を基準とする場合にはdBc (搬送波に対するdB)、基本波の電力をコンバータのフルスケール範囲に外挿する場合にはdBFS (フルスケールに対するdB) で表されます。

DC電源除去比 (DC PSRR) : DC PSRRは、アナログ電源電圧の変化に対するオフセット誤差の変化の比です。一般に、DC PSRRは、mV/V単位で表されます。

AC電源除去比 (AC PSRR) : AC PSRRは、ADCによる電源電圧の変動の除去の指標です。 ΔV_{sup} を電源電圧の変化、 ΔV_{out} を結果のADC出力コードの変化 (入力を基準) とすると、次の式で表されます。

$$PSRR = 20\log_{10} \frac{\Delta V_{out}}{\Delta V_{sup}}, \text{ expressed in dBc} \quad (7)$$

過負荷入力復帰 : アナログ入力に過負荷 (過電圧の印加) が生じた後で、誤差が1%未満に復帰するまでに必要なクロック・サイクル数。これは、6dBの正および負の過負荷の正弦波信号を個別に印加することにより測定されます。過負荷後の最初の数サンプルにおける (期待値からの) 偏差に注目します。

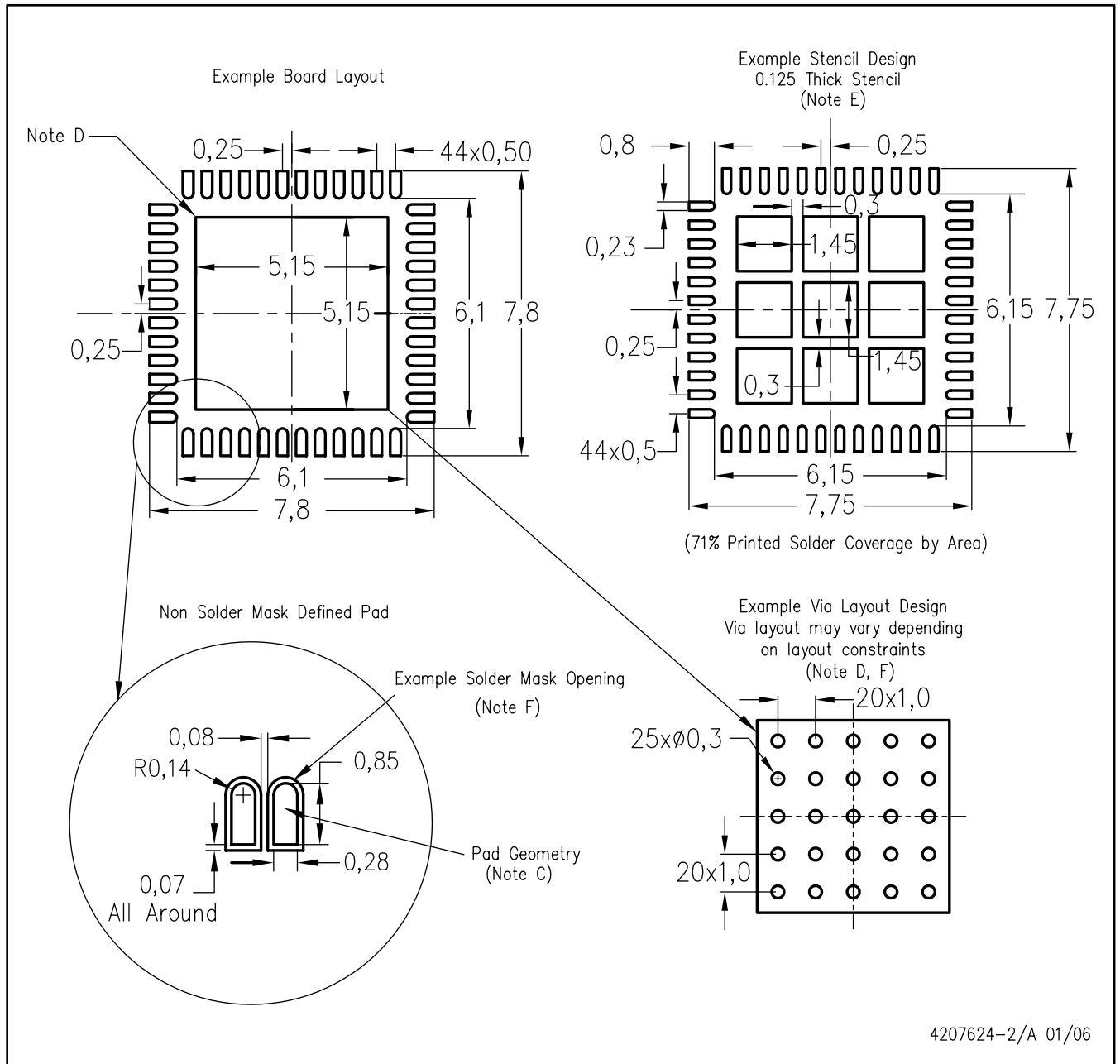
同相除去比 (CMRR) : CMRRは、ADCによるアナログ入力同相電圧の変動の除去の指標です。 ΔV_{cm_in} を入力ピンの同相電圧の変化、 ΔV_{out} を結果のADC出力コードの変化 (入力を基準) とすると、次の式で表されます。

$$CMRR = 20\log_{10} \frac{\Delta V_{out}}{\Delta V_{cm_in}}, \text{ expressed in dBc} \quad (8)$$

クロストーク (マルチチャネルADCの場合のみ) : これは、隣接チャネルから目的のチャネルへの信号の内部結合の指標です。直接隣接するチャネル (近チャネル) からの結合と、パッケージを跨るチャネル (遠チャネル) からの結合について、それぞれ規定されます。通常は、隣接チャネルにフルスケール信号を印加して測定されます。クロストークは、隣接チャネル入りに印加された信号電力に対する、(目的のチャネルの出力で測定された) 結合信号の電力の比です。一般に、dBcで表されます。

LAND PATTERN

RGZ (S-PQFP-N48)



- 注： A. 全ての線寸法の単位はミリメートルです。
 B. 図は予告なく変更することがあります。
 C. 代替設計については、資料IPC-7351を推奨します。
 D. このパッケージは、基板上のサーマル・パッドに半田付けされるように設計されています。熱に関する具体的な情報、ビア要件、および推奨基板レイアウトについては、アプリケーション・ノート『Quad Flat-Pack Packages』(TI文献番号SCBA017、SLUA271) および製品データシートを参照してください。これらのドキュメントは、ホームページwww.ti.comで入手できます。
 E. レーザ切断開口部の壁面を台形にし、角に丸みを付けることで、ペーストの離れがよくなります。ステンシル設計要件については、基板組み立て拠点にお問い合わせください。ステンシル設計上の考慮事項については、IPC 7525を参照してください。
 F. 半田マスクの推奨許容差、およびサーマル・パッドに配置するビアのデンティフィングに関する推奨事項については、基板組み立て拠点にお問い合わせください。

サーマルパッド・メカニカル・データ

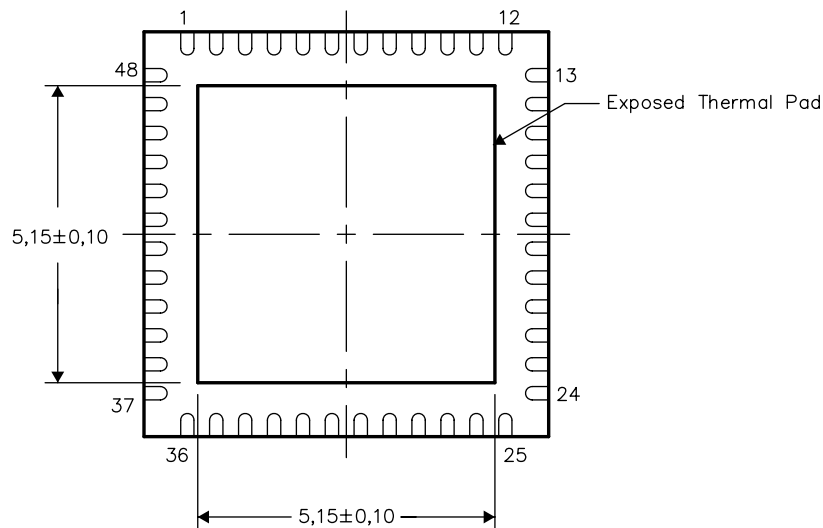
RGZ (S-PQFP-N48)

熱的特性の情報

このパッケージには、外部ヒートシンクに直接接続するように設計された、露出したサーマル・パッドが装備されています。このサーマル・パッドは、プリント基板 (PCB) に直接半田付けする必要があります。半田付け後は、PCBをヒートシンクとして使用できます。また、サーマル・ビアを使用して、サーマル・パッドをデバイスの回路図に示された適切な銅プレーンに直接接続するか、あるいはPCB内に設計された特別なヒートシンク構造に接続することができます。この設計により、ICからの熱伝導が最適化されます。

QFN (Quad Flatpack No-Lead) パッケージとその利点については、アプリケーション・レポート『Quad Flatpack No-Lead Logic Packages』(Texas Instruments文献番号SCBA017)を参照してください。このドキュメントは、ホームページwww.ti.comで入手できます。

このパッケージの露出したサーマル・パッドの寸法を次の図に示します。



Bottom View

サーマル・パッド寸法図

パッケージ・オプション

製品情報

Orderable Device	Status ⁽¹⁾	Package Type	Package Drawing	Pins	Package Qty	Eco Plan ⁽²⁾	Lead/Ball Finish	MSL Peak Temp ⁽³⁾
ADS6222IRGZR	ACTIVE	QFN	RGZ	48	2500	Green (RoHS & no Sb/Br)	CU NIPDAU	Level-3-260C-168 HR
ADS6222IRGZRG4	ACTIVE	QFN	RGZ	48	2500	Green (RoHS & no Sb/Br)	CU NIPDAU	Level-3-260C-168 HR
ADS6222IRGZT	ACTIVE	QFN	RGZ	48	250	Green (RoHS & no Sb/Br)	CU NIPDAU	Level-3-260C-168 HR
ADS6222IRGZTG4	ACTIVE	QFN	RGZ	48	250	Green (RoHS & no Sb/Br)	CU NIPDAU	Level-3-260C-168 HR
ADS6223IRGZR	ACTIVE	QFN	RGZ	48	2500	Green (RoHS & no Sb/Br)	CU NIPDAU	Level-3-260C-168 HR
ADS6223IRGZRG4	ACTIVE	QFN	RGZ	48	2500	Green (RoHS & no Sb/Br)	CU NIPDAU	Level-3-260C-168 HR
ADS6223IRGZT	ACTIVE	QFN	RGZ	48	250	Green (RoHS & no Sb/Br)	CU NIPDAU	Level-3-260C-168 HR
ADS6223IRGZTG4	ACTIVE	QFN	RGZ	48	250	Green (RoHS & no Sb/Br)	CU NIPDAU	Level-3-260C-168 HR
ADS6224IRGZR	ACTIVE	QFN	RGZ	48	2500	Green (RoHS & no Sb/Br)	CU NIPDAU	Level-3-260C-168 HR
ADS6224IRGZRG4	ACTIVE	QFN	RGZ	48	2500	Green (RoHS & no Sb/Br)	CU NIPDAU	Level-3-260C-168 HR
ADS6224IRGZT	ACTIVE	QFN	RGZ	48	250	Green (RoHS & no Sb/Br)	CU NIPDAU	Level-3-260C-168 HR
ADS6224IRGZTG4	ACTIVE	QFN	RGZ	48	250	Green (RoHS & no Sb/Br)	CU NIPDAU	Level-3-260C-168 HR
ADS6225IRGZR	ACTIVE	QFN	RGZ	48	2500	Green (RoHS & no Sb/Br)	CU NIPDAU	Level-3-260C-168 HR
ADS6225IRGZRG4	ACTIVE	QFN	RGZ	48	2500	Green (RoHS & no Sb/Br)	CU NIPDAU	Level-3-260C-168 HR
ADS6225IRGZT	ACTIVE	QFN	RGZ	48	250	Green (RoHS & no Sb/Br)	CU NIPDAU	Level-3-260C-168 HR
ADS6225IRGZTG4	ACTIVE	QFN	RGZ	48	250	Green (RoHS & no Sb/Br)	CU NIPDAU	Level-3-260C-168 HR

(1) マーケティング・ステータスは次のように定義されています。

ACTIVE : 製品デバイスが新規設計用に推奨されています。

LIFEBUY : TIによりデバイスの生産中止予定が発表され、ライフタイム購入期間が有効です。

NRND : 新規設計用に推奨されていません。デバイスは既存の顧客をサポートするために生産されていますが、TIでは新規設計にこの部品を使用することを推奨していません。

PREVIEW : デバイスは発表済みですが、まだ生産が開始されていません。サンプルが提供される場合と、提供されない場合があります。

OBSELETE : TIによりデバイスの生産が中止されました。

(2) エコ・プラン - 環境に配慮した製品分類プランであり、Pb-Free (RoHS)、Pb-Free (RoHS Expert) およびGreen (RoHS & no Sb/Br) があります。最新情報および製品内容の詳細については、<http://www.ti.com/productcontent> でご確認ください。

TBD : Pb-Free/Green変換プランが策定されていません。

Pb-Free (RoHS) : TIにおける“Lead-Free”または“Pb-Free”(鉛フリー)は、6つの物質すべてに対して現在のRoHS要件を満たしている半導体製品を意味します。これには、同種の材質内で鉛の重量が0.1%を超えないという要件も含まれます。高温で半田付けするように設計されている場合、TIの鉛フリー製品は指定された鉛フリー・プロセスでの使用に適しています。

Pb-Free (RoHS Exempt) : この部品は、1) ダイとパッケージの間に鉛ベースの半田バンプ使用、または 2) ダイとリードフレーム間に鉛ベースの接着剤を使用、が除外されています。それ以外は上記の様にPb-Free (RoHS) と考えられます。

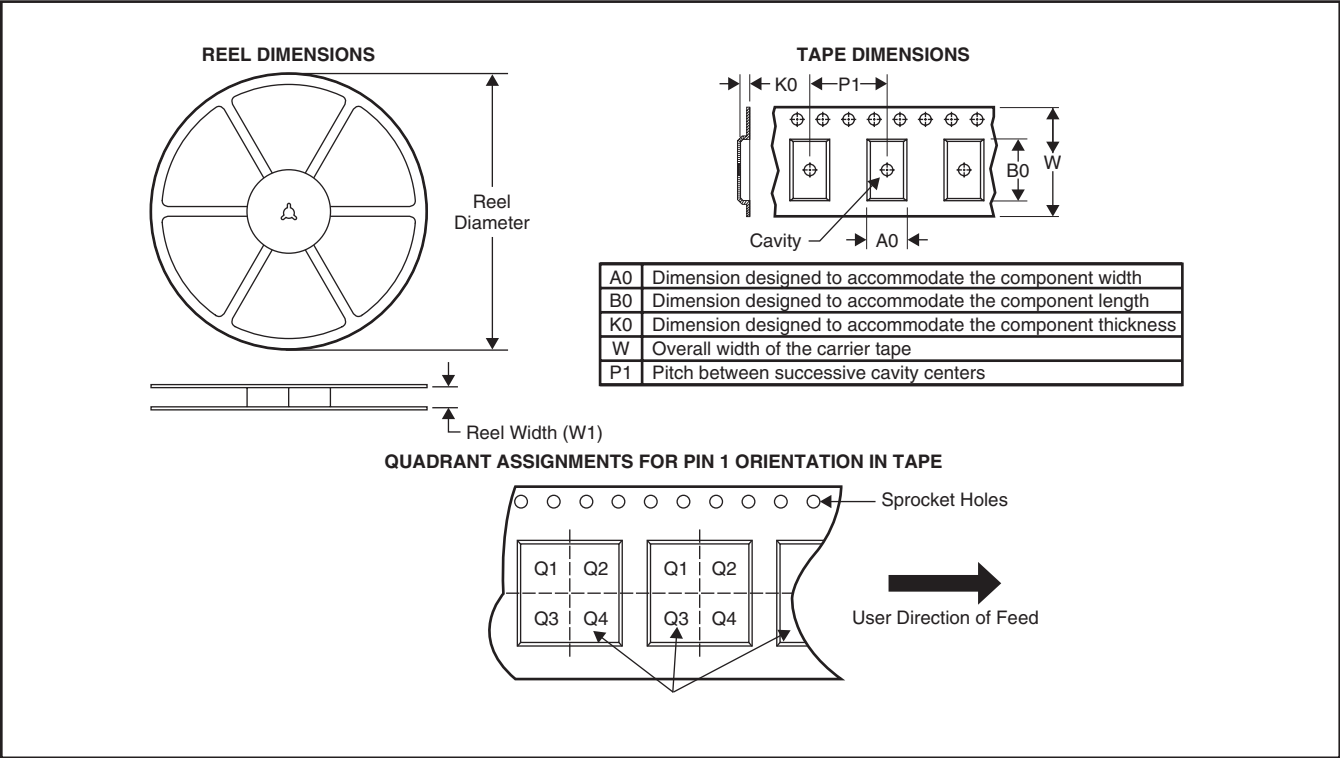
Green (RoHS & no Sb/Br) : TIにおける“Green”は、“Pb-Free”(RoHS互換)に加えて、臭素(Br)およびアンチモン(Sb)をベースとした難燃材を含まない(均質な材質中のBrまたはSb重量が0.1%を超えない)ことを意味しています。

(3) MSL、ピーク温度 -- JEDEC業界標準分類に従った耐湿性レベル、およびピーク半田温度です。

重要な情報および免責事項 : このページに記載された情報は、記載された日付時点でのTIの知識および見解を表しています。TIの知識および見解は、第三者によって提供された情報に基づいており、そのような情報の正確性について何らの表明および保証も行うものではありません。第三者からの情報をより良く統合するための努力は続けております。TIでは、事実を適切に表す正確な情報を提供すべく妥当な手順を踏み、引き続きそれを継続してゆきますが、受け入れる部材および化学物質に対して破壊試験や化学分析は実行していない場合があります。TIおよびTI製品の供給者は、特定の情報を機密情報として扱っているため、CAS番号やその他の制限された情報が公開されない場合があります。

パッケージ・マテリアル情報

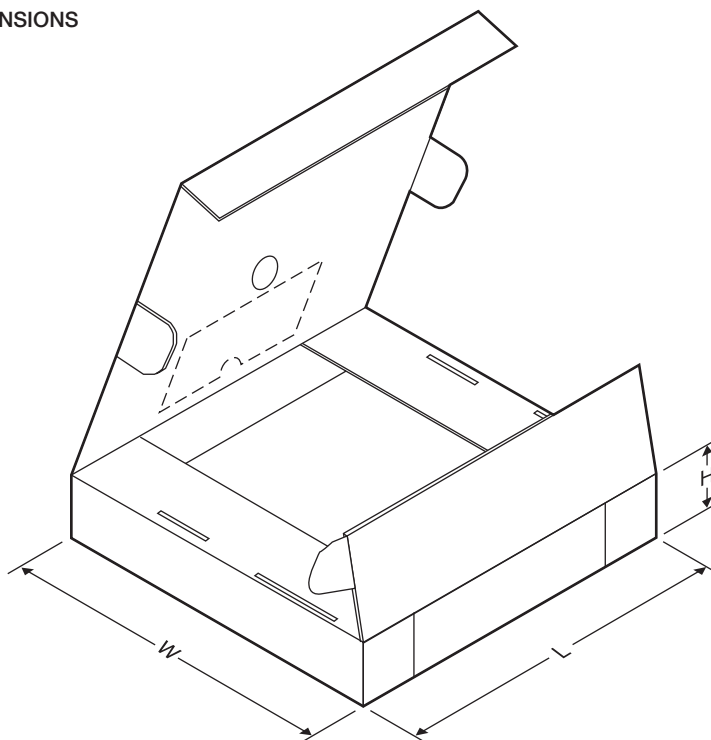
テープおよびリール・ボックス情報



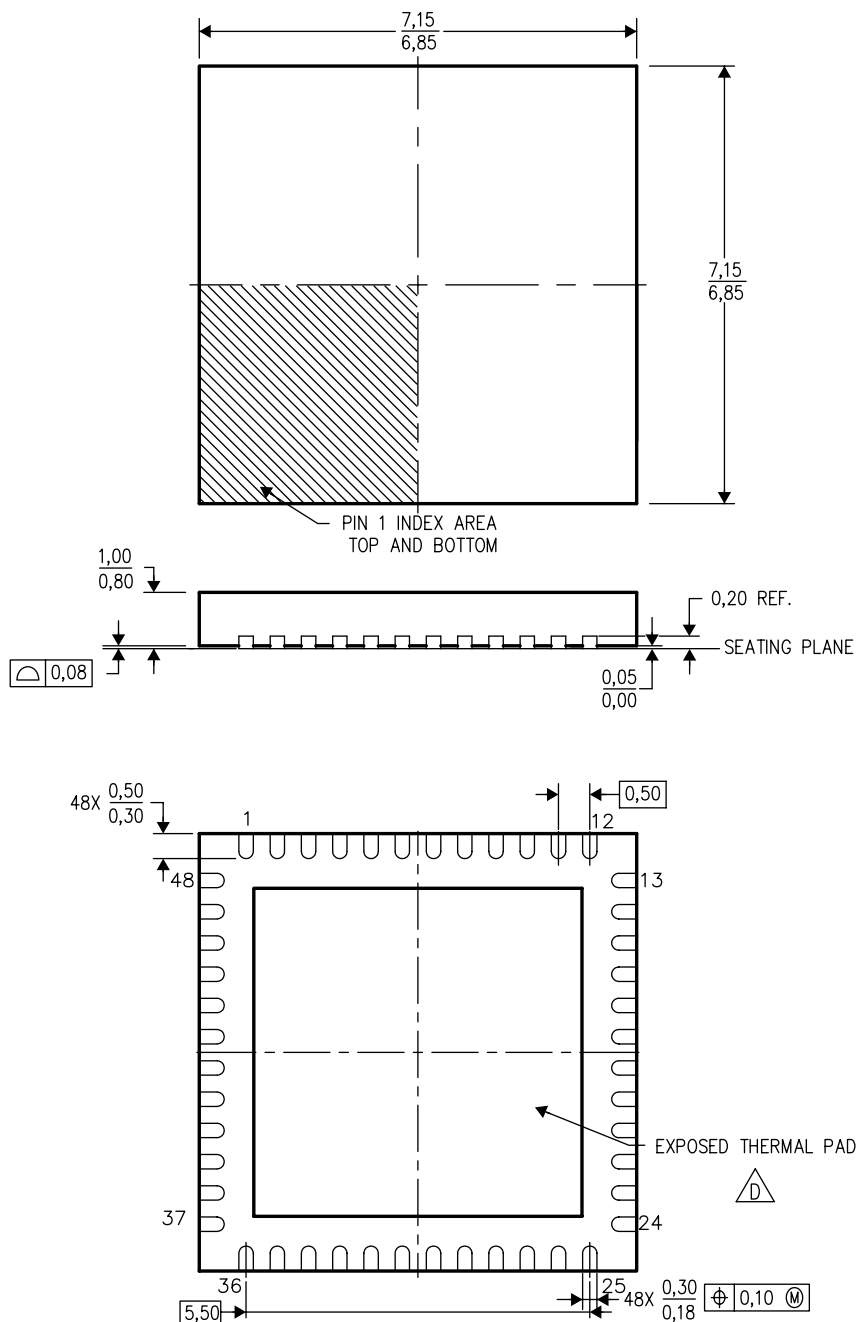
Device	Package	Pins	Site	Reel Diameter (mm)	Reel Width (mm)	A0 (mm)	B0 (mm)	K0 (mm)	P1 (mm)	W (mm)	Pin1 Quadrant
ADS6222IRGZR	RGZ	48	SITE 60	330	16	7.3	7.3	1.5	12	16	Q2
ADS6222IRGZT	RGZ	48	SITE 60	330	16	7.3	7.3	1.5	12	16	Q2
ADS6223IRGZR	RGZ	48	SITE 60	330	16	7.3	7.3	1.5	12	16	Q2
ADS6223IRGZT	RGZ	48	SITE 60	330	16	7.3	7.3	1.5	12	16	Q2
ADS6224IRGZR	RGZ	48	SITE 60	330	16	7.3	7.3	1.5	12	16	Q2
ADS6224IRGZT	RGZ	48	SITE 60	330	16	7.3	7.3	1.5	12	16	Q2
ADS6225IRGZR	RGZ	48	SITE 60	330	16	7.3	7.3	1.5	12	16	Q2
ADS6225IRGZT	RGZ	48	SITE 60	330	16	7.3	7.3	1.5	12	16	Q2

パッケージ・マテリアル情報

TAPE AND REEL BOX DIMENSIONS



Device	Package	Pins	Site	Length (mm)	Width (mm)	Height (mm)
ADS6222IRGZR	RGZ	48	SITE 60	342.9	345.9	28.58
ADS6222IRGZT	RGZ	48	SITE 60	342.9	345.9	28.58
ADS6223IRGZR	RGZ	48	SITE 60	342.9	345.9	28.58
ADS6223IRGZT	RGZ	48	SITE 60	342.9	345.9	28.58
ADS6224IRGZR	RGZ	48	SITE 60	342.9	345.9	28.58
ADS6224IRGZT	RGZ	48	SITE 60	342.9	345.9	28.58
ADS6225IRGZR	RGZ	48	SITE 60	342.9	345.9	28.58
ADS6225IRGZT	RGZ	48	SITE 60	342.9	345.9	28.58



4204101/E 11/04

注： A. 全ての線寸法の単位はミリメートルです。寸法と許容差はASME Y14.5M- 1994に従っています。

B. 図は予告なく変更することがあります。

C. QFN (Quad Flatpack No-Lead) パッケージ構成

△ このパッケージは、基板上のサマル・パッドに半田付けされるように設計されています。熱に関する具体的な情報、ビア要件、および推奨基板レイアウトについては、アプリケーション・ノート『Quad Flat-Pack Packages』(TI文献番号SCBA017、SLUA271) および製品データシートを参照してください。これらのドキュメントは、ホームページwww.ti.comで入手できます。

E. JEDEC MO-220に適合しています。

サーマルパッド・メカニカル・データ

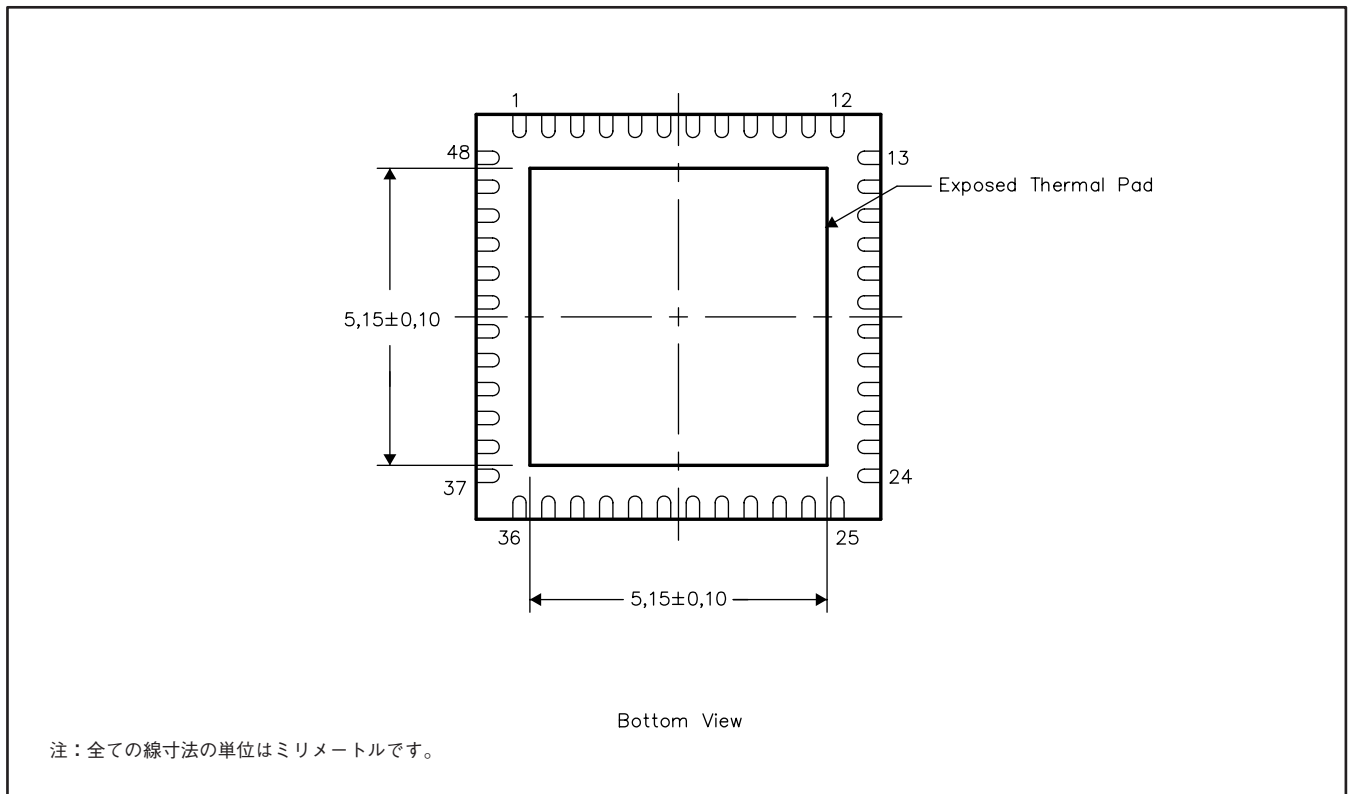
RGZ (S-PQFP-N48)

熱的特性の情報

このパッケージには、外部ヒートシンクに直接接続するように設計された、露出したサーマル・パッドが装備されています。このサーマル・パッドは、プリント基板 (PCB) に直接半田付ける必要があります。半田付け後は、PCBをヒートシンクとして使用できます。また、サーマル・ビアを使用して、サーマル・パッドをデバイスの回路図に示された適切な銅プレーンに直接接続するか、あるいはPCB内に設計された特別なヒートシンク構造に接続することができます。この設計により、ICからの熱伝導が最適化されます。

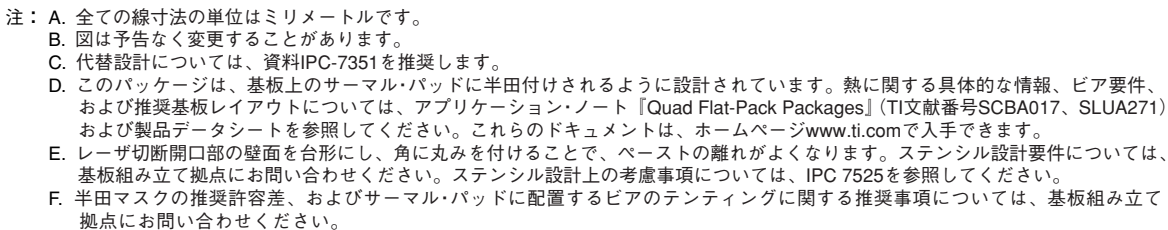
QFN (Quad Flatpack No-Lead) パッケージとその利点については、アプリケーション・レポート『Quad Flatpack No-Lead Logic Packages』(Texas Instruments文献番号SCBA017)を参照してください。このドキュメントは、ホームページwww.ti.comで入手できます。

このパッケージの露出したサーマル・パッドの寸法を次の図に示します。



サーマル・パッド寸法図

RGZ (S-PQFP-N48)



PACKAGING INFORMATION

Orderable part number	Status (1)	Material type (2)	Package Pins	Package qty Carrier	RoHS (3)	Lead finish/ Ball material (4)	MSL rating/ Peak reflow (5)	Op temp (°C)	Part marking (6)
ADS6222IRGZT	Active	Production	VQFN (RGZ) 48	250 SMALL T&R	Yes	NIPDAU	Level-3-260C-168 HR	-40 to 85	AZ6222
ADS6222IRGZT.A	Active	Production	VQFN (RGZ) 48	250 SMALL T&R	Yes	NIPDAU	Level-3-260C-168 HR	-40 to 85	AZ6222
ADS6224IRGZT	Active	Production	VQFN (RGZ) 48	250 SMALL T&R	Yes	NIPDAU	Level-3-260C-168 HR	-40 to 85	AZ6224
ADS6224IRGZT.A	Active	Production	VQFN (RGZ) 48	250 SMALL T&R	Yes	NIPDAU	Level-3-260C-168 HR	-40 to 85	AZ6224
ADS6225IRGZT	Active	Production	VQFN (RGZ) 48	250 SMALL T&R	Yes	NIPDAU	Level-3-260C-168 HR	-40 to 85	AZ6225
ADS6225IRGZT.A	Active	Production	VQFN (RGZ) 48	250 SMALL T&R	Yes	NIPDAU	Level-3-260C-168 HR	-40 to 85	AZ6225

(1) **Status:** For more details on status, see our [product life cycle](#).

(2) **Material type:** When designated, preproduction parts are prototypes/experimental devices, and are not yet approved or released for full production. Testing and final process, including without limitation quality assurance, reliability performance testing, and/or process qualification, may not yet be complete, and this item is subject to further changes or possible discontinuation. If available for ordering, purchases will be subject to an additional waiver at checkout, and are intended for early internal evaluation purposes only. These items are sold without warranties of any kind.

(3) **RoHS values:** Yes, No, RoHS Exempt. See the [TI RoHS Statement](#) for additional information and value definition.

(4) **Lead finish/Ball material:** Parts may have multiple material finish options. Finish options are separated by a vertical ruled line. Lead finish/Ball material values may wrap to two lines if the finish value exceeds the maximum column width.

(5) **MSL rating/Peak reflow:** The moisture sensitivity level ratings and peak solder (reflow) temperatures. In the event that a part has multiple moisture sensitivity ratings, only the lowest level per JEDEC standards is shown. Refer to the shipping label for the actual reflow temperature that will be used to mount the part to the printed circuit board.

(6) **Part marking:** There may be an additional marking, which relates to the logo, the lot trace code information, or the environmental category of the part.

Multiple part markings will be inside parentheses. Only one part marking contained in parentheses and separated by a "~" will appear on a part. If a line is indented then it is a continuation of the previous line and the two combined represent the entire part marking for that device.

Important Information and Disclaimer: The information provided on this page represents TI's knowledge and belief as of the date that it is provided. TI bases its knowledge and belief on information provided by third parties, and makes no representation or warranty as to the accuracy of such information. Efforts are underway to better integrate information from third parties. TI has taken and continues to take reasonable steps to provide representative and accurate information but may not have conducted destructive testing or chemical analysis on incoming materials and chemicals. TI and TI suppliers consider certain information to be proprietary, and thus CAS numbers and other limited information may not be available for release.

In no event shall TI's liability arising out of such information exceed the total purchase price of the TI part(s) at issue in this document sold by TI to Customer on an annual basis.

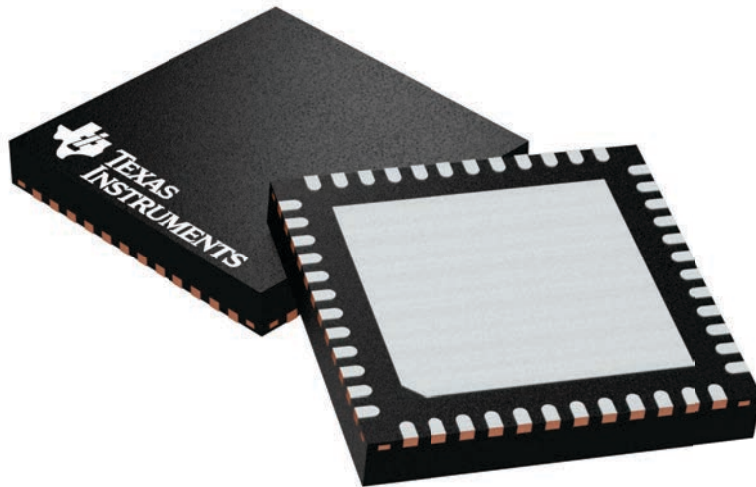
GENERIC PACKAGE VIEW

RGZ 48

VQFN - 1 mm max height

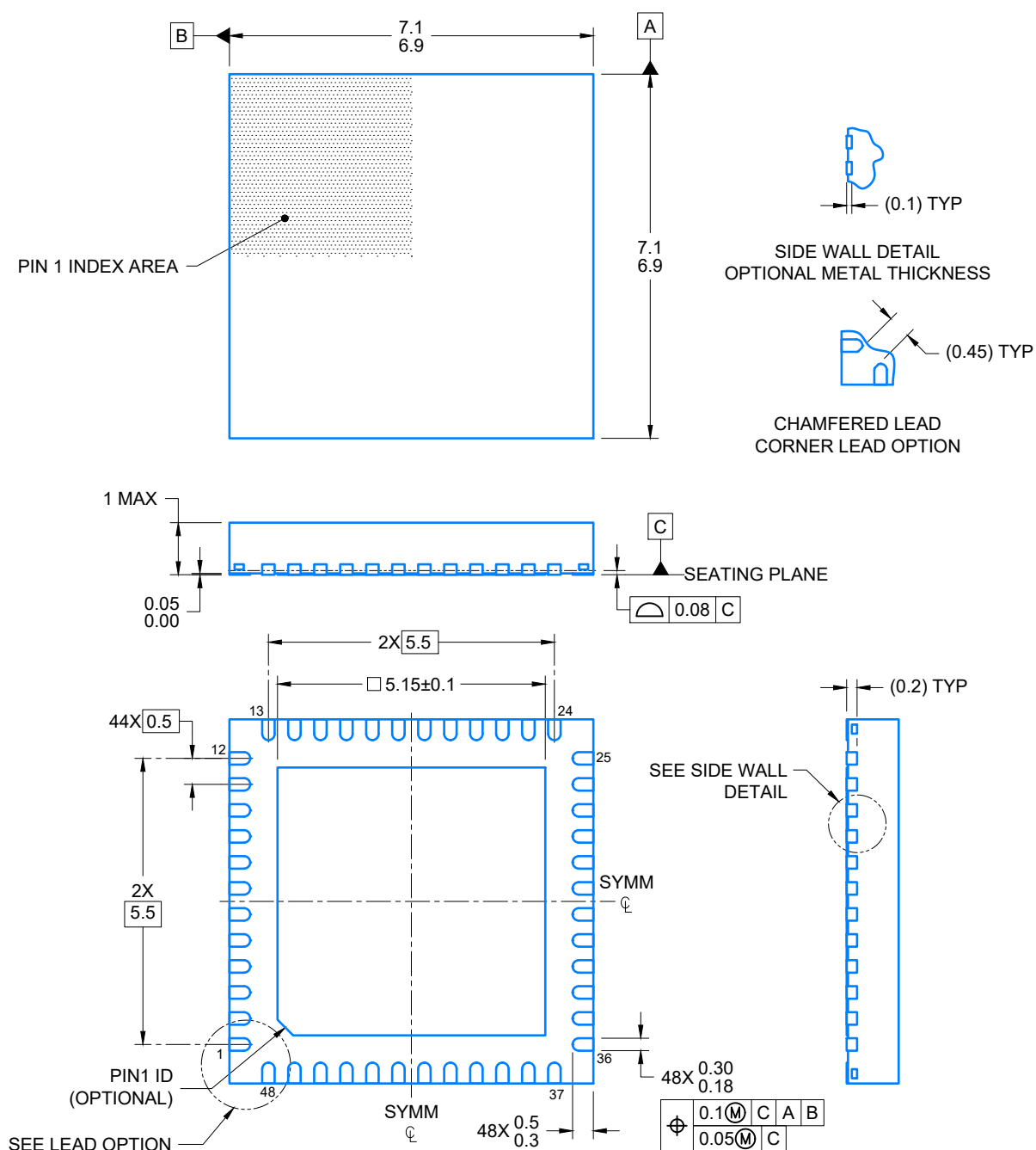
7 x 7, 0.5 mm pitch

PLASTIC QUADFLAT PACK- NO LEAD



Images above are just a representation of the package family, actual package may vary.
Refer to the product data sheet for package details.

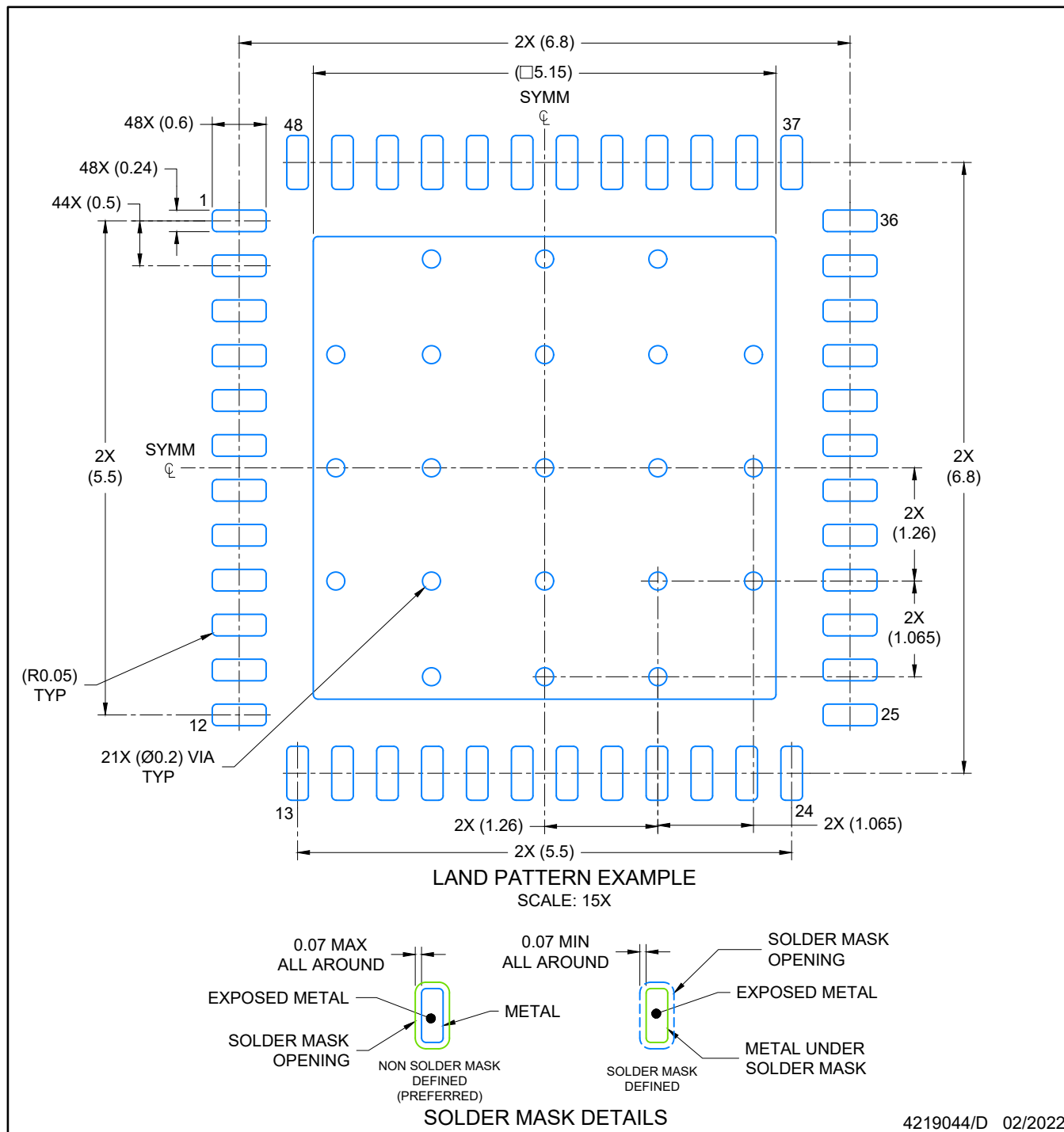
4224671/A



4219044/D 02/2022

NOTES:

1. All linear dimensions are in millimeters. Any dimensions in parenthesis are for reference only. Dimensioning and tolerancing per ASME Y14.5M.
2. This drawing is subject to change without notice.
3. The package thermal pad must be soldered to the printed circuit board for optimal thermal and mechanical performance.



4219044/D 02/2022

NOTES: (continued)

- This package is designed to be soldered to a thermal pad on the board. For more information, see Texas Instruments literature number SLUA271 (www.ti.com/lit/sluea271).
- Vias are optional depending on application, refer to device data sheet. If any vias are implemented, refer to their locations shown on this view. It is recommended that vias under paste be filled, plugged or tented.

VQFN - 1 mm max height

2X (6.8)

SYMM

(□1.06)

48X (0.6)

48

48X (0.24)

44X (0.5)

1

37

36

2X
(5.5)

SYMM

CL

2X
(6.8)

2X
(0.63)

2X
(1.26)

(R0.05)
TYP

12

24

13

2X (0.63)

2X (1.26)

2X (5.5)

SOLDER PASTE EXAMPLE

BASED ON 0.125 mm THICK STENCIL

EXPOSED PAD

67% PRINTED COVERAGE BY AREA

SCALE: 15X

4219044/D 02/2022

6. Laser cutting apertures with trapezoidal walls and rounded corners may offer better paste release. IPC-7525 may have alternate design recommendations.

重要なお知らせと免責事項

TI は、技術データと信頼性データ (データシートを含みます)、設計リソース (リファレンス デザインを含みます)、アプリケーションや設計に関する各種アドバイス、Web ツール、安全性情報、その他のリソースを、欠陥が存在する可能性のある「現状のまま」提供しており、商品性および特定目的に対する適合性の黙示保証、第三者の知的財産権の非侵害保証を含むいかなる保証も、明示的または黙示的にかかわらず拒否します。

これらのリソースは、TI 製品を使用する設計の経験を積んだ開発者への提供を意図したものです。(1) お客様のアプリケーションに適した TI 製品の選定、(2) お客様のアプリケーションの設計、検証、試験、(3) お客様のアプリケーションに該当する各種規格や、その他のあらゆる安全性、セキュリティ、規制、または他の要件への確実な適合に関する責任を、お客様のみが単独で負うものとし、TI は一切の責任を拒否します。

上記の各種リソースは、予告なく変更される可能性があります。これらのリソースは、リソースで説明されている TI 製品を使用するアプリケーションの開発の目的でのみ、TI はその使用をお客様に許諾します。これらのリソースに関して、他の目的で複製することや掲載することは禁止されています。TI や第三者の知的財産権のライセンスが付与されている訳ではありません。お客様は、これらのリソースを自身で使用した結果発生するあらゆる申し立て、損害、費用、損失、責任について、TI およびその代理人を完全に補償するものとし、TI は一切の責任を拒否します。

TI の製品は、[TI の販売条件](#)、[TI の総合的な品質ガイドライン](#)、[ti.com](#) または TI 製品などに関連して提供される他の適用条件に従い提供されます。TI がこれらのリソースを提供することは、適用される TI の保証または他の保証の放棄の拡大や変更を意味するものではありません。TI がカスタム、またはカスタマー仕様として明示的に指定していない限り、TI の製品は標準的なカタログに掲載される汎用機器です。

お客様がいかなる追加条項または代替条項を提案する場合も、TI はそれらに異議を唱え、拒否します。

Copyright © 2025, Texas Instruments Incorporated

最終更新日：2025 年 10 月