

13ビット 250MSPS AD コンバータ

特長

- 13ビット分解
- 250 MSPS サンプル・レート
- SNR = 69dBc、100MHz IFおよび250MSPS時
- SFDR = 76dBc、100MHz IFおよび250MSPS時
- SNR = 67.7dBc、230MHz IFおよび250MSPS時
- SFDR = 77dBc、230MHz IFおよび250MSPS時
- 2.2V_{PP}差動入力電圧
- 完全バッファ型アナログ入力
- 5Vアナログ電源電圧
- LVDS互換出力
- 全消費電力：2W
- オフセット・バイナリ出力形式
- TQFP-80 PowerPAD™ パッケージ
- ADS5440 とピン互換
- 工業用温度範囲 = -40°C ~ 85°C

アプリケーション

- 試験および測定/計測装置
- ソフトウェア・ラジオ
- 通信基地局マルチチャネル・レシーバ

- 通信基地局送信デジタル・プレディストーション
- 通信機器

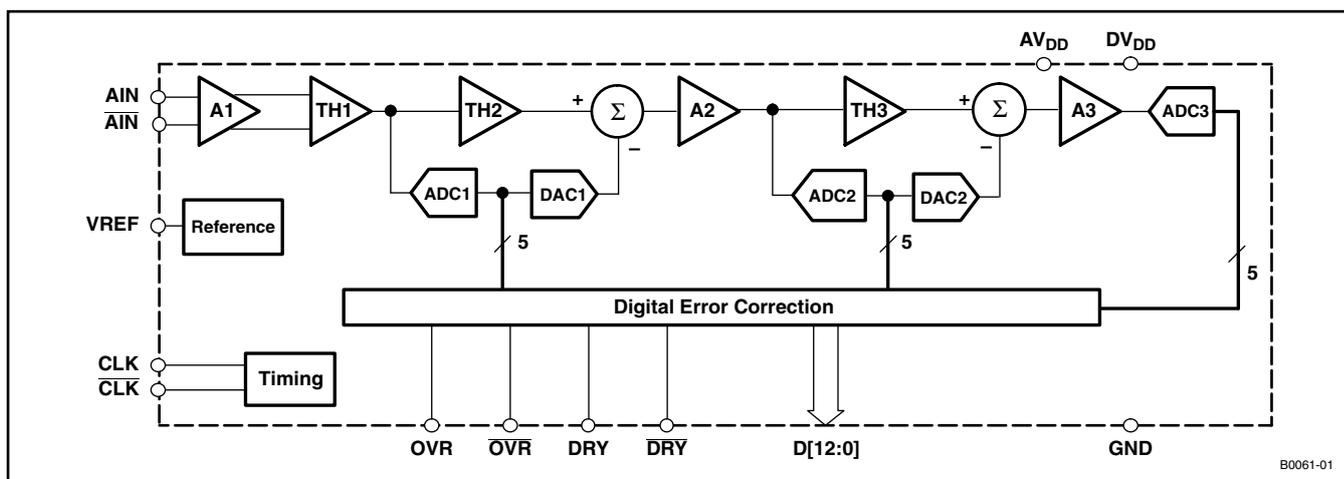
関連製品

- ADS5424 - 14ビット、105MSPS ADC
- ADS5423 - 14ビット、80MSPS ADC
- ADS5440 - 13ビット、210MSPS ADC

概要

ADS5444は13ビット、250MSPSのADコンバータ(ADC)で、5V単電源で動作し、LVDS互換のデジタル出力系は3.3V電源で動作します。ADS5444の入力バッファはオンボードのトラック・アンド・ホールド(T&H)の内部スイッチングと分離し、信号ソースに妨害を与えないようにします。基準電圧を内蔵することによりシステム設計をさらに簡略化しています。ADS5444は非常に優れた低雑音とリニアリティを入力的全周波数領域に対して達成しています。

ADS5444は80ピンTQFP PowerPAD™パッケージで供給されます。ADS5444はテキサス・インスツルメンツの最新のコンプリメンタリ・バイポーラ・プロセス(BiCom3X)を使用して製造され、工業用の温度範囲(-40°C~85°C)での動作を規定しております。



PowerPADは、テキサス・インスツルメンツの登録商標です。

この資料は、Texas Instruments Incorporated (TI) が英文で記述した資料を、皆様のご理解の一助として頂くために日本テキサス・インスツルメンツ(日本TI)が英文から和文へ翻訳して作成したものです。資料によっては正規英語版資料の更新に対応していないものがあります。日本TIによる和文資料は、あくまでもTI正規英語版をご理解頂くための補助的参考資料としてご使用下さい。製品のご検討およびご採用にあたりましては必ず正規英語版の最新資料をご確認下さい。TIおよび日本TIは、正規英語版にて更新の情報を提供しているにもかかわらず、更新以前の情報に基づいて発生した問題や障害等につきましては如何なる責任も負いません。



静電気放電対策

これらのデバイスは、限定的なESD (静電破壊) 保護機能を内蔵しています。保存時または取り扱い時に、MOSゲートに対する静電破壊を防止するために、リード線どうしを短絡しておくか、デバイスを導電性のフォームに入れる必要があります。

製品情報⁽¹⁾

製品	パッケージ リード	パッケージ コード ⁽¹⁾	規定温度 範囲	パッケージ・ マーキング	発注番号	出荷形態 数量
ADS5444	HTQFP-80 ⁽²⁾ PowerPAD	PFP	-40°C ~ 85°C	ADS5444IPFP	ADS5444IPFP	トレイ、96
					ADS5444IPFPR	テープ・リール、1,000

(1) 最新の製品情報と発注情報については、このドキュメントの末尾にある「Package Option Addendum」を参照するか、TIのWebサイトwww.ti.comを参照してください。

(2) サーマルパッド寸法：7.5mm × 7.5mm (typ)

絶対最大定格⁽¹⁾

		値 / 単位
電源電圧	AV _{DD} 対 GND	6V
	DV _{DD} 対 GND	5V
アナログ入力 対 GND		-0.3V ~ AV _{DD} +0.3V
クロック入力対GND		-0.3V ~ AV _{DD} +0.3V
CLK 対 $\overline{\text{CLK}}$		±2.5V
デジタル・データ出力 対 GND		-0.3V ~ DV _{DD} +0.3V
動作温度範囲		-40°C ~ 85°C
最大ジャンクション温度		150°C
保存温度範囲		-65°C ~ 150°C
ESD HBM (Human Body Model)		2.5kV

(1) 絶対最大定格を超えるストレスは、デバイスに永久的な損傷を与えます。絶対最大定格の状態では長時間動作させると、デバイスの信頼性が低下します。これは、ストレスの定格のみについて示してあり、このデータシートの「電気的特性」に示された値を超える状態での本製品の機能動作は含まれていません。

熱特性⁽¹⁾

パラメータ	テスト条件	TYP	単位
θ_{JA}	半田付けされたスラグ、無風	21.7	°C/W
	半田付けされたスラグ、250LFPMの通風	15.4	°C/W
	半田付けされていないスラグ、無風	50	°C/W
	半田付けされていないスラグ、250LFPMの通風	43.4	°C/W
θ_{JC}	パッケージ底面(ヒートスラグ)	2.99	°C/W

(1) 36個のサーマル・ビア(6×6アレイ)を使用。「Application Section(アプリケーション情報)」を参照してください。

推奨動作条件

		MIN	NOM	MAX	単位
電源					
AV _{DD}	アナログ電源電圧	4.75	5	5.25	V
DV _{DD}	出力ドライバ電源電圧	3	3.3	3.6	V
アナログ入力					
	差動入力範囲		2.2		V _{PP}
V _{CM}	入力コモンモード		2.4		V
クロック入力					
1/t _C	ADCLK 入力サンプル・レート (正弦波)	10		250	MSPS
	クロック振幅、差動正弦波		3		V _{pp}
	クロック・デューティ・サイクル		50%		
T _A	動作温度	-40		85	°C

電気的特性

特に指定がない限り、T_A = 25°C、サンプリング・レート = 250MSPS、50%クロック・デューティ・サイクル、AV_{DD} = 5V、DV_{DD} = 3.3V、-1dBFS差動入力、3V_{PP}差動クロックです。

パラメータ	テスト条件	MIN	TYP	MAX	単位
分解能			13		ビット
アナログ入力					
差動入力範囲			2.2		V _{pp}
差動入力抵抗 (DC)			1		kΩ
差動入力容量			1.5		pF
アナログ入力帯域幅			800		MHz
内部基準電圧					
VREF 基準電圧			2.4		V
ダイナミック精度					
ノー・ミッシング・コード			確認		
DNL 差動直線性誤差	f _{IN} = 10 MHz	-1	±0.4	1	LSB
INL 積分直線性誤差	f _{IN} = 10 MHz	-2.2	±0.9	2.2	LSB
オフセット誤差		-11		11	mV
オフセット温度係数			0.0005		mV/°C
ゲイン誤差		-5		5	%FS
ゲイン温度係数			-0.02		Δ%/°C
PSRR	100MHz 入力周波数		1		mV/V
電源供給					
I _{AVDD} アナログ供給電流	V _{IN} = フル・スケール、f _{IN} = 100MHz、 F _S = 250MSPS		340	390	mA
I _{DRVDD} 出力バッファ供給電流			80	100	mA
消費電力			2	2.28	W

電気的特性

特に指定がない限り、 $T_A = 25^\circ\text{C}$ 、サンプリング・レート = 250MSPS、50%クロック・デューティ・サイクル、 $AV_{DD} = 5\text{V}$ 、 $DV_{DD} = 3.3\text{V}$ 、-1dBFS差動入力、3V_{PP}差動クロックです。

パラメータ		テスト条件	MIN	TYP	MAX	単位
ダイナミックAC特性						
SNR	信号/雑音比	$f_{IN} = 10\text{ MHz}$		69.3		dBc
		$f_{IN} = 70\text{ MHz}$		69		
		$f_{IN} = 100\text{ MHz}$	$T_A = 25^\circ\text{C}$	67	69	
			全温度範囲	66.5	69	
		$f_{IN} = 170\text{ MHz}$		68.3		
		$f_{IN} = 230\text{ MHz}$		67.7		
		$f_{IN} = 300\text{ MHz}$		67		
$f_{IN} = 400\text{ MHz}$		66				
SFDR	スプリアス・フリー ダイナミック・レンジ	$f_{IN} = 10\text{ MHz}$		85		dBc
		$f_{IN} = 70\text{ MHz}$		77		
		$f_{IN} = 100\text{ MHz}$	$T_A = 25^\circ\text{C}$	70	77	
			全温度範囲	68	77	
		$f_{IN} = 170\text{ MHz}$		74		
		$f_{IN} = 230\text{ MHz}$		77		
		$f_{IN} = 300\text{ MHz}$		70		
$f_{IN} = 400\text{ MHz}$		64				
HD2	2次高調波	$f_{IN} = 10\text{ MHz}$		87		dBc
		$f_{IN} = 70\text{ MHz}$		77		
		$f_{IN} = 100\text{ MHz}$		80		
		$f_{IN} = 170\text{ MHz}$		74		
		$f_{IN} = 230\text{ MHz}$		78		
		$f_{IN} = 300\text{ MHz}$		70		
		$f_{IN} = 400\text{ MHz}$		64		
HD3	3次高調波	$f_{IN} = 10\text{ MHz}$		86		dBc
		$f_{IN} = 70\text{ MHz}$		82		
		$f_{IN} = 100\text{ MHz}$		79		
		$f_{IN} = 170\text{ MHz}$		80		
		$f_{IN} = 230\text{ MHz}$		91		
		$f_{IN} = 300\text{ MHz}$		80		
		$f_{IN} = 400\text{ MHz}$		69		
他の高調波/スプリアスによる ワースト・ケース (HD2とHD3を除く)		$f_{IN} = 10\text{ MHz}$		90		dBc
		$f_{IN} = 70\text{ MHz}$		95		
		$f_{IN} = 100\text{ MHz}$		82		
		$f_{IN} = 170\text{ MHz}$		80		
		$f_{IN} = 230\text{ MHz}$		83		
		$f_{IN} = 300\text{ MHz}$		86		
		$f_{IN} = 400\text{ MHz}$		85		
SINAD		$f_{IN} = 10\text{ MHz}$		69		dBc
		$f_{IN} = 70\text{ MHz}$		68		
		$f_{IN} = 100\text{ MHz}$		67.6		
		$f_{IN} = 170\text{ MHz}$		66.5		
		$f_{IN} = 230\text{ MHz}$		67		
		$f_{IN} = 300\text{ MHz}$		65		
		$f_{IN} = 400\text{ MHz}$		61		
ENOB	有効ビット数	$f_{IN} = 10\text{ MHz}$		11.2		ビット
	RMS アイドル・チャンネル雑音	入力はコモンモードに接続		0.4		LSB
デジタル特性 - LVDSデジタル出力						
	差動出力電圧		0.247	0.452		V
	出力オフセット電圧		1.125	1.25	1.375	V

タイミング特性

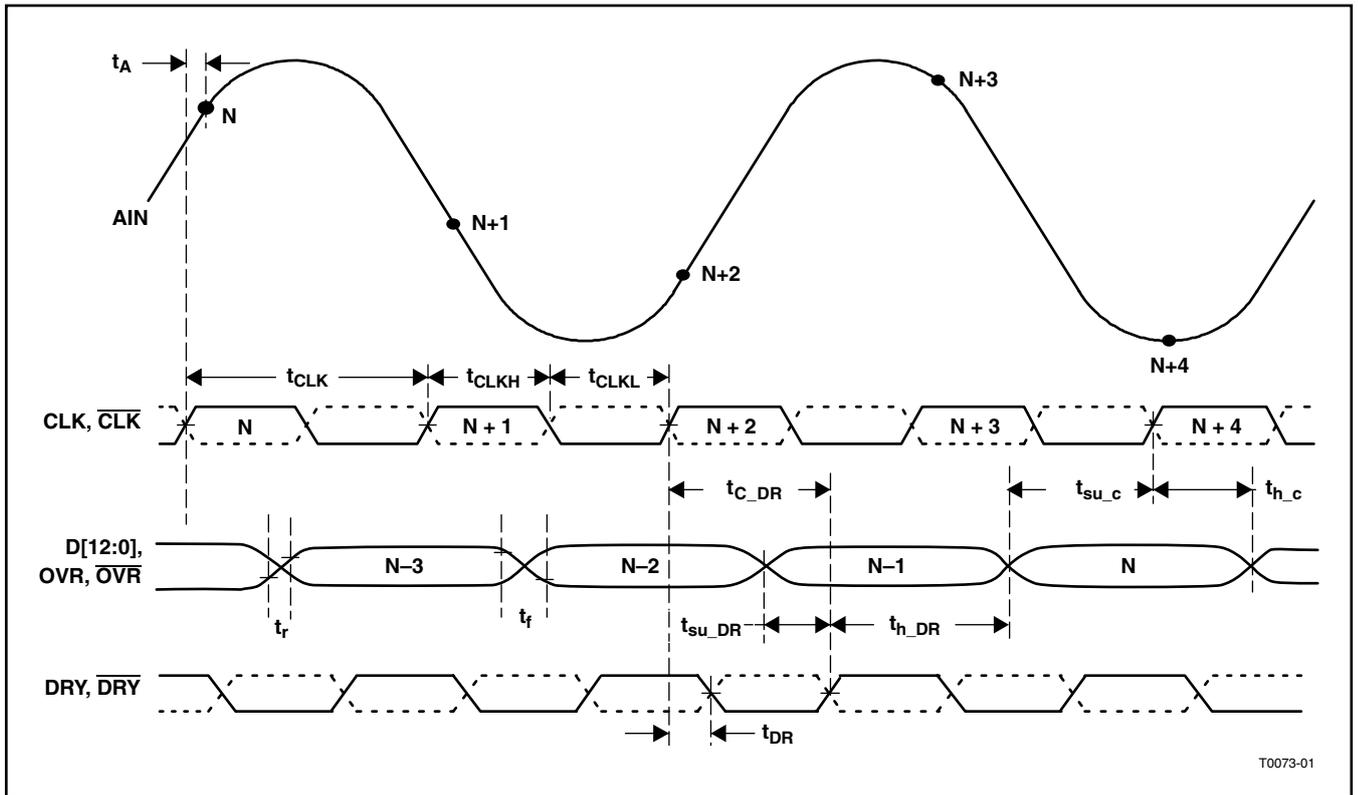


図 1. タイミング図

タイミング特性

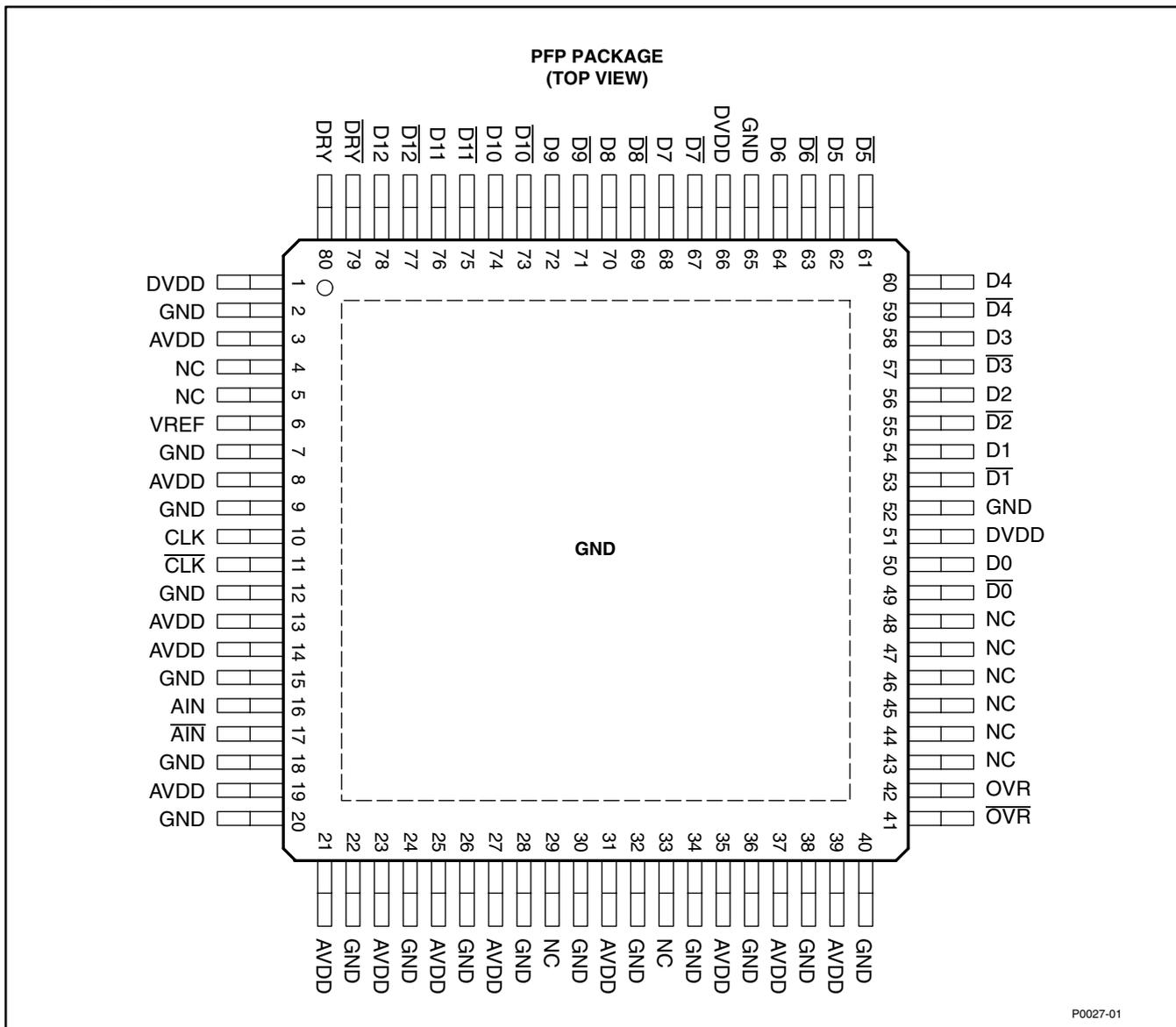
$T_A = -40^\circ\text{C} \sim 85^\circ\text{C}$ 、50%クロック・デューティ・サイクル、サンプリング・レート = 250MSPS、 $AV_{DD} = 5\text{V}$ 、 $DV_{DD} = 3.3\text{V}$

パラメータ		テスト条件	MIN	TYP	MAX	単位
t_A	アパーチャ遅延			500		ps
t_j	クロック・スロープに依存しない アパーチャ不確定性(ジッタ)			200		fs RMS
	レイテンシー			4		サイクル
Clock						
t_{CLK}	クロック期間			4		ns
t_{CLKH}	“H”レベルのクロック・パルス幅			2		ns
t_{CLKL}	“L”レベルのクロック・パルス幅			2		ns
クロックからDataReady (DRY)						
t_{DR}	クロックの立ち上がりから DataReadyの立ち下がりまで			1.1		ns
t_{C_DR}	クロックの立ち上がりから DataReadyの立ち上がりまで	クロック・デューティ サイクル = 50% ⁽¹⁾	2.7	3.1	3.5	ns
クロックからDATA、OVR⁽²⁾						
t_r	データ立ち上がり時間(20%から80%)			0.6		ns
t_f	データ立ち下がり時間(80%から20%)			0.6		ns
t_{su_c}	データ有効からクロックまで(セットアップ時間)			3.1		ns
t_{h_c}	クロックからデータ無効化まで(ホールド時間)			0.2		ns
DataReady (DRY) / DATA、OVR⁽²⁾						
$t_{su(DR)}$	データ有効からDRYまで		1.7	2		ns
$t_{h(DR)}$	DRYからデータ無効まで		0.9	1.3		ns

(1) クロック・デューティ・サイクルが50%でない場合、 $t_{C_DR} = t_{DR} + t_{CLKH}$ と定義されます。

(2) データは、クロックの立ち下がりエッジまたはDRYの立ち上がりエッジで更新されます。

ピン配置



P0027-01

端子機能

名前	端子 ピン番号	説明
AVDD	3, 8, 13, 14, 19, 21, 23, 25, 27, 31, 35, 37, 39	アナログ電源
DVDD	1, 51, 66	出力ドライバ電源
GND	2, 7, 9, 12, 15, 18, 20, 22, 24, 26, 28, 30, 32, 34, 36, 38, 40, 52, 65	グラウンド
VREF	6	基準電圧
CLK	10	差動入力クロック(正)。変換は立ち上がりエッジで実行開始されます。
CLK	11	差動入力クロック(負)
AIN	16	差動入力信号(正)
AIN	17	差動入力信号(負)

端子機能

端子		説明
名前	ピン番号	
OVR, $\overline{\text{OVR}}$	42, 41	オーバーレンジ・インジケータ、LVDS 出力。アナログ入力が入力フルスケール範囲を超えると“H”が出力されます。
D0, $\overline{\text{D0}}$	50, 49	LVDS デジタル出力ペア、最下位ビット (LSB)
D1–D6, $\overline{\text{D1}}\text{–}\overline{\text{D6}}$	53–64	LVDS デジタル出力ペア
D7–D11, $\overline{\text{D7}}\text{–}\overline{\text{D11}}$	67–76	LVDS デジタル出力ペア
D12, $\overline{\text{D12}}$	78, 77	LVDS デジタル出力ペア、最上位ビット (MSB)
DRY, $\overline{\text{DRY}}$	80, 79	Data ready LVDS 出力ペア
NC	4, 5, 29, 33, 43–48	内部非接続

用語の定義

アナログ帯域幅：低周波領域に比べて基本波電力が3dB減少したときのアナログ入力周波数。

アパーチャ遅延：入力サンプリング・クロックの立ち上がりエッジから、実際にサンプリングが実行開始されるまでの遅延時間。

アパーチャ不確定性 (ジッタ)：サンプル相互間におけるアパーチャ遅延の変動。

クロック・パルス幅/デューティ・サイクル：クロック信号のデューティ・サイクルは、クロック1周期に対する“H”レベルの時間比率です。デューティ・サイクルは一般的にパーセントで表されます。完全な差動のサイン波は50%のデューティ・サイクルとなります。

最大変換レート：規定の動作が保証される最大サンプリング・レート。特に指定がない限り、すべてのパラメータ・テストは、このサンプリング・レートで実行したものです。

最小変換レート：ADCが機能する最小サンプリング・レートです。

微分非直線性 (DNL)：理想的なADCは正確に1LSBに対応する入力変化に対してデータが変わります。

DNLはこの理論値からの1ステップの誤差を示し、LSB単位で測定します。

積分非直線性 (INL)：ADCの伝達関数とその伝達関数から最小二乗曲線で計算されるベストフィット・ラインとの偏差でLSB単位で測定します。

ゲイン誤差：ADC の実際の入力フルスケール範囲と、その理想値との偏差です。ゲイン誤差は、理想的な入力フルスケール範囲に対するパーセンテージで表します。

オフセット誤差：両方の入力をコモンモードレベルにしたとき、中間コードからの出力コードの偏差です。

温度ドリフト (ゲイン誤差とオフセット誤差に関係する)：公称温度における値から、 T_{MIN} 時もしくは T_{MAX} 時における値への変化を意味します。これは、全温度範囲におけるパラメータの最大変動を、 $T_{\text{MAX}} - T_{\text{MIN}}$ で割る方法で計算されます。

信号対雑音比 (SNR)：SNRは、基本波の電力 (P_S) と直流と最初の5つの高調波を除いた、ノイズ・フロア電力 (P_N) の比率です。

$$\text{SNR} = 10 \log_{10} \frac{P_S}{P_N} \quad (1)$$

SNRは、基本波の電力の絶対値を基準として使用した場合は単位dBc (dB to carrier、搬送波に対するデシベル)、または基本波の電力をコンバータのフルスケール範囲に対して外挿した場合は単位dBFS (dB to full scale、フルスケールに対するデシベル) で表します。

信号対 (雑音+歪) 比 (SINAD)：基本波の電力 (P_S) と、ノイズ (P_N) および歪 (P_D) を含む他のすべてのスペクトラム成分の合計電力比率。(ただし、DCを除く。)

$$\text{SINAD} = 10 \log_{10} \frac{P_S}{P_N + P_D} \quad (2)$$

SINADは、基本波の電力の絶対値を基準として使用した場合は単位dBc、または基本波の電力をコンバータのフルスケール範囲に対して外挿した場合は単位dBFSで表します。

実効分解能帯域幅：SNR (dB) がフルスケール入力振幅に比べて3dB低下する最高の入力周波数です。

全高調波歪 (THD)：基本波の電力 (P_S) と、第5高調波までの電力 (P_D) の比率です。

$$\text{THD} = 10 \log_{10} \frac{P_S}{P_D} \quad (3)$$

THDは通常、dBc 単位で表します。

2トーン混変調歪：MD3は、基本波の電力 (周波数 f_1 と f_2) と、 $(2f_1 - f_2)$ もしくは $(2f_2 - f_1)$ どちらかの周波数におけるワースト・ケースのスペクトラム成分の電力の比率です。IMD3は、基本波の電力の絶対値を基準として使用した場合は単位dBc、または基本波の電力をコンバータのフルスケール範囲に対して外挿した場合は単位dBFSで表します。

代表的特性

スペクトラム特性
(10MHz入力信号のFFT)

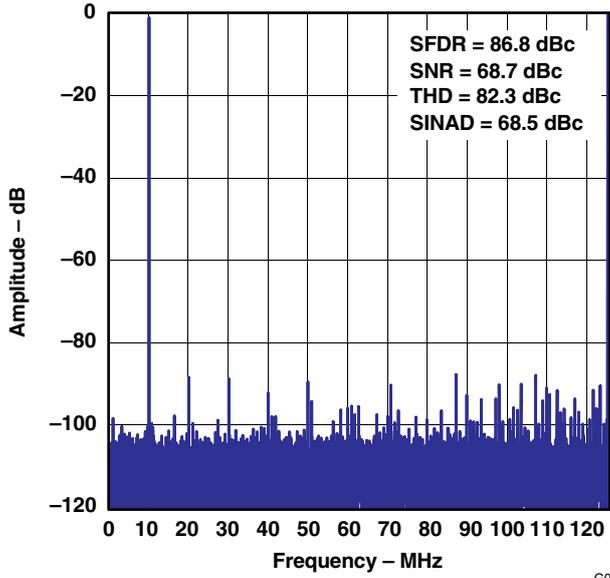


図 2

スペクトラム特性
(100MHz入力信号のFFT)

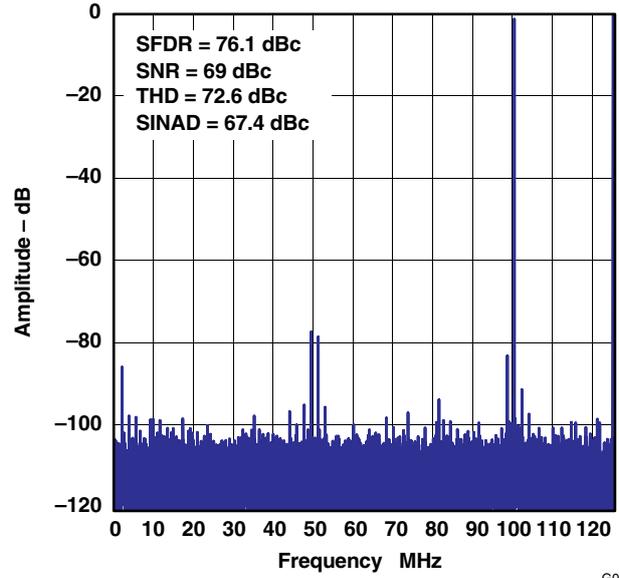


図 3

スペクトラム特性
(170MHz入力信号のFFT)

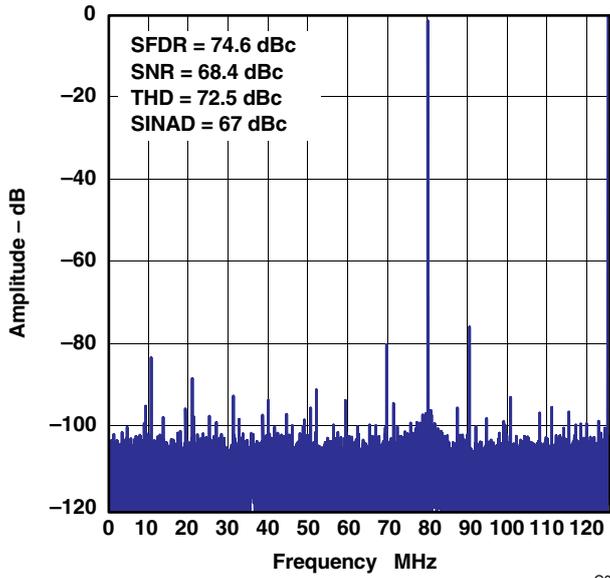


図 4

スペクトラム特性
(230MHz入力信号のFFT)

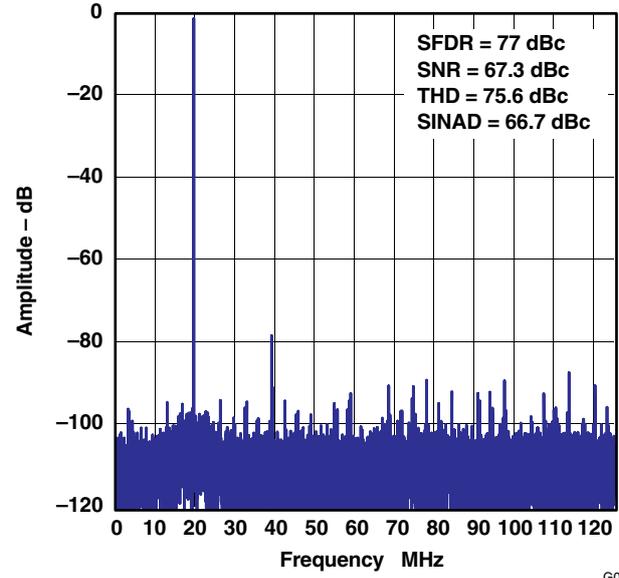


図 5

代表的特性

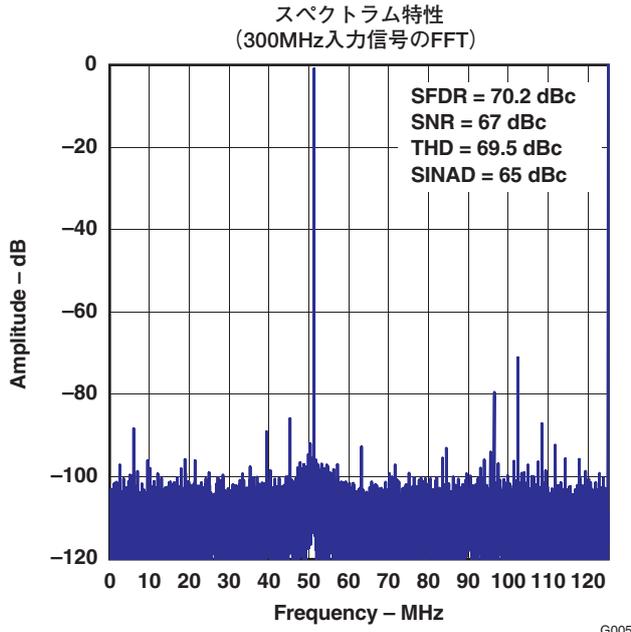


図 6

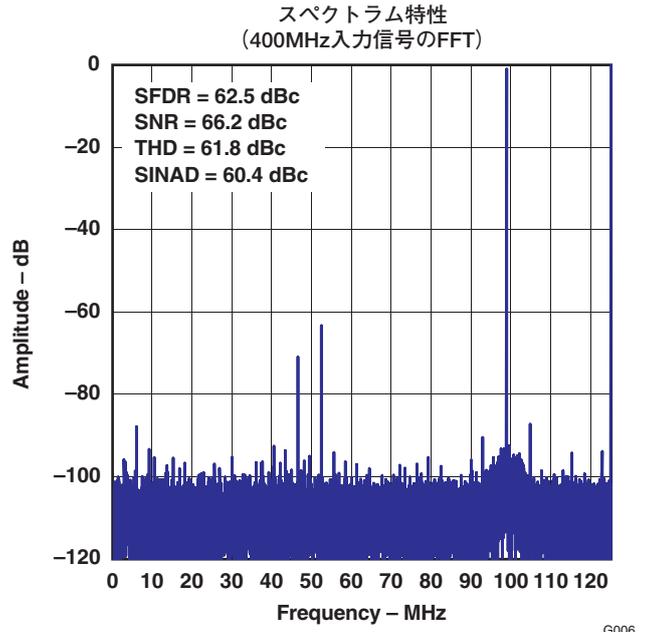


図 7

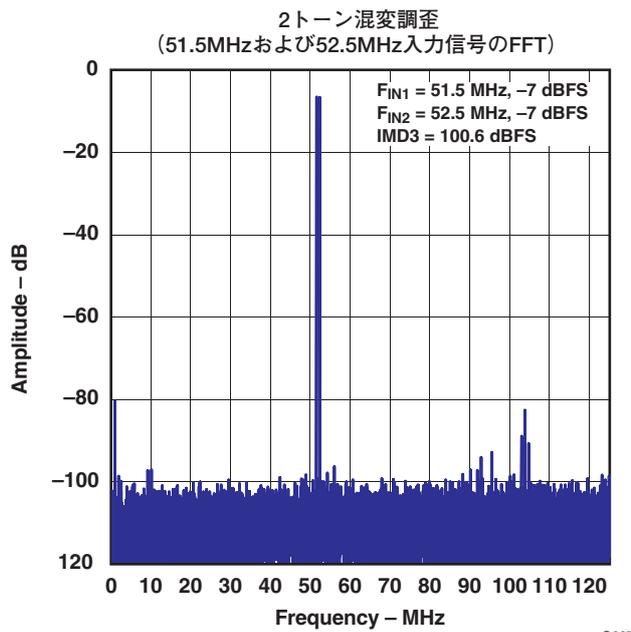


図 8

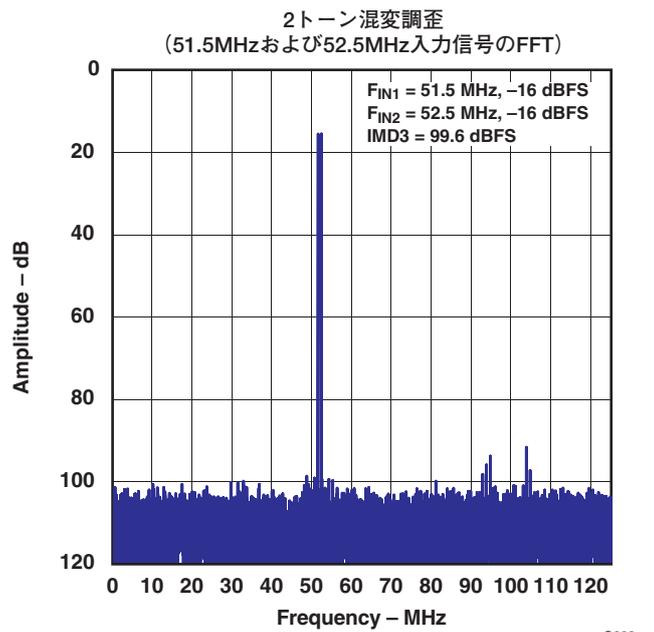


図 9

代表的特性

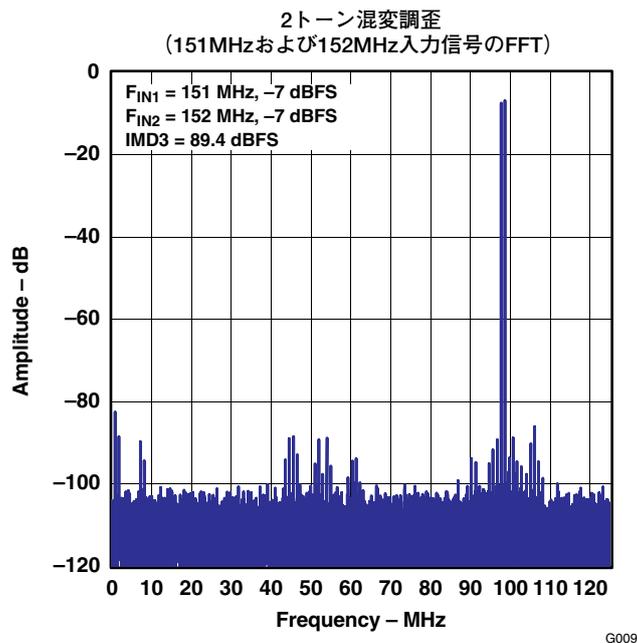


図 10

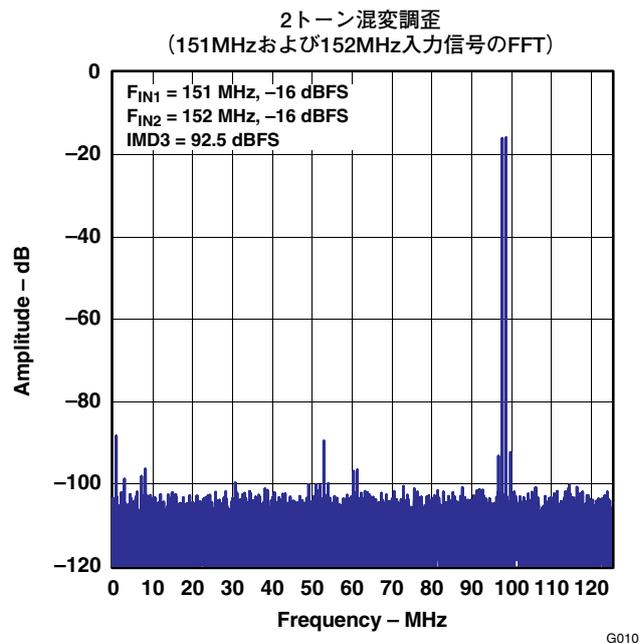


図 11

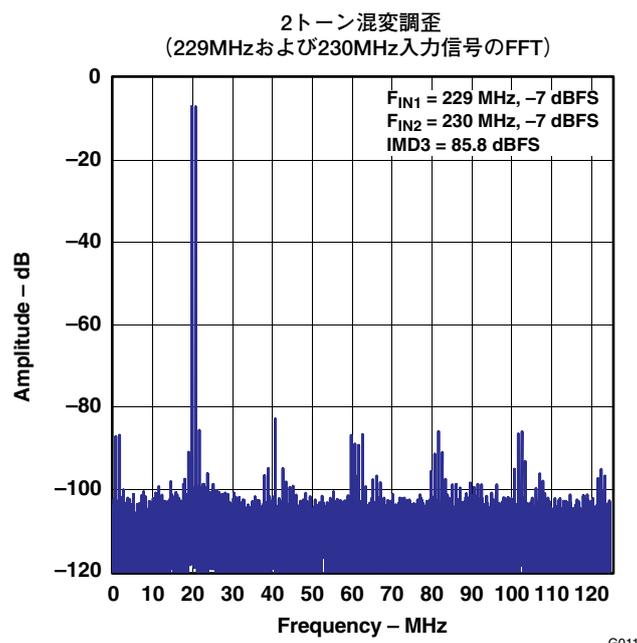


図 12

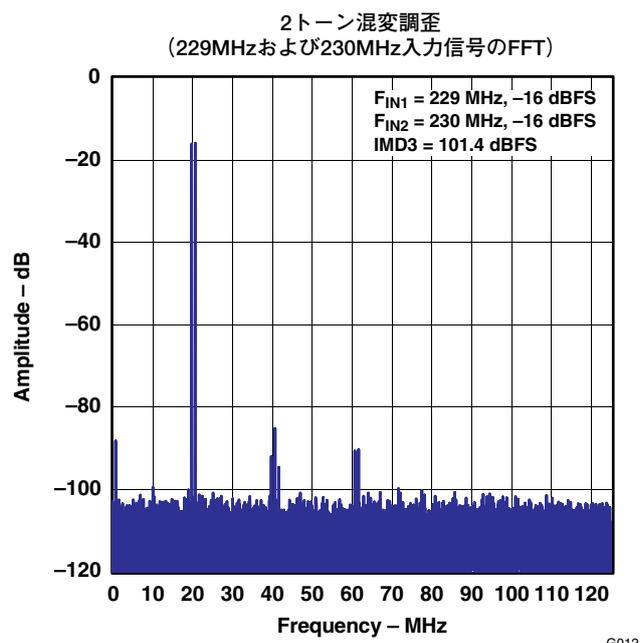
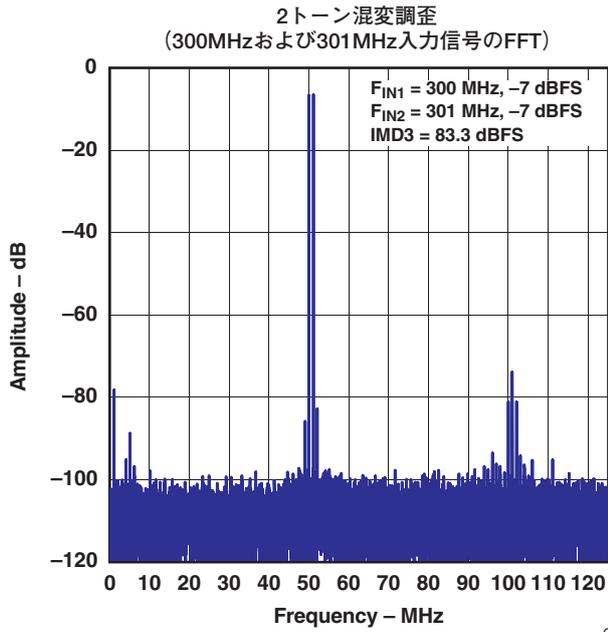


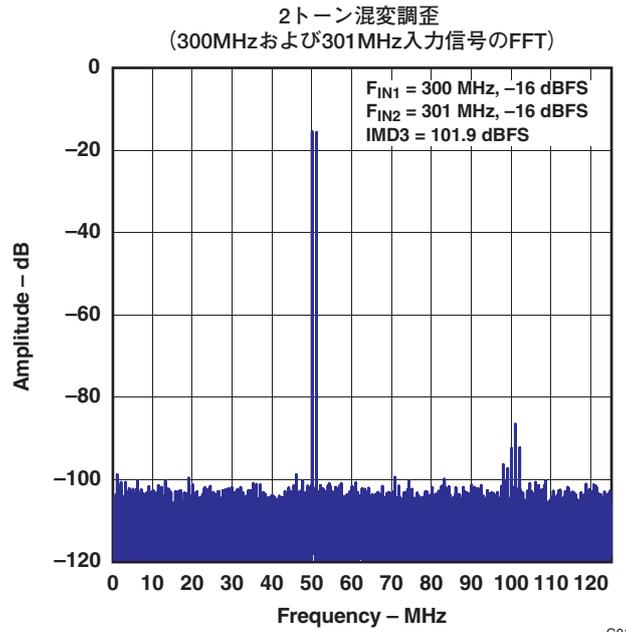
図 13

代表的特性



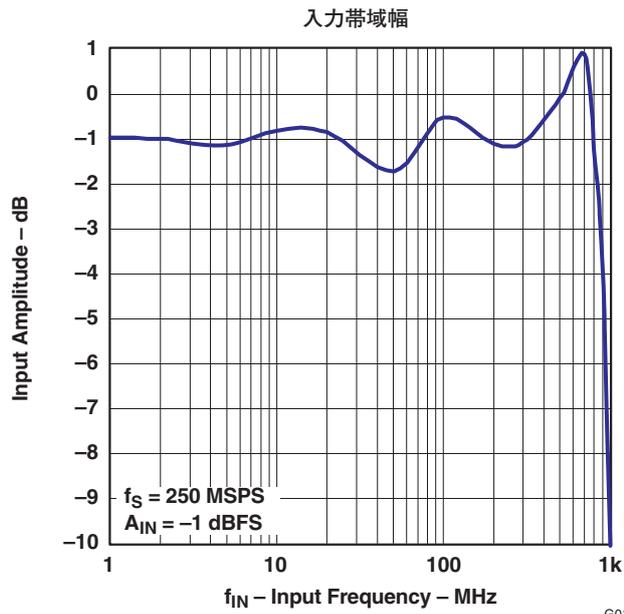
G013

図 14



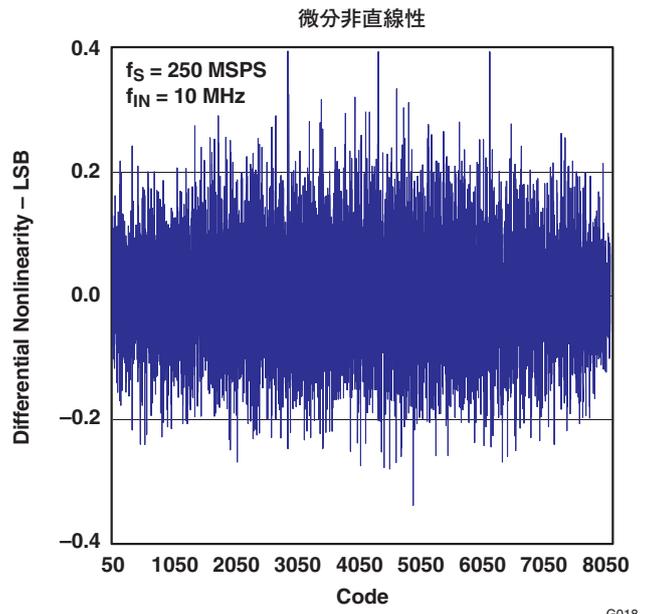
G014

図 15



G017

図 16



G018

図 17

代表的特性

積分非直線性

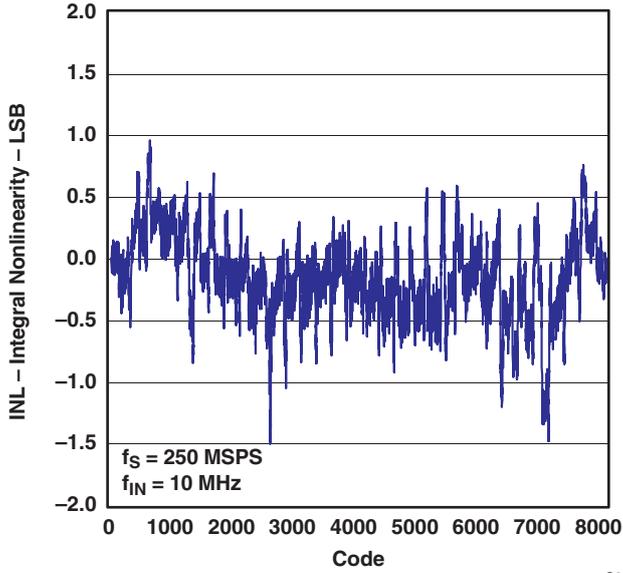


図 18

G019

ノイズ・ヒストグラム、入力短絡時

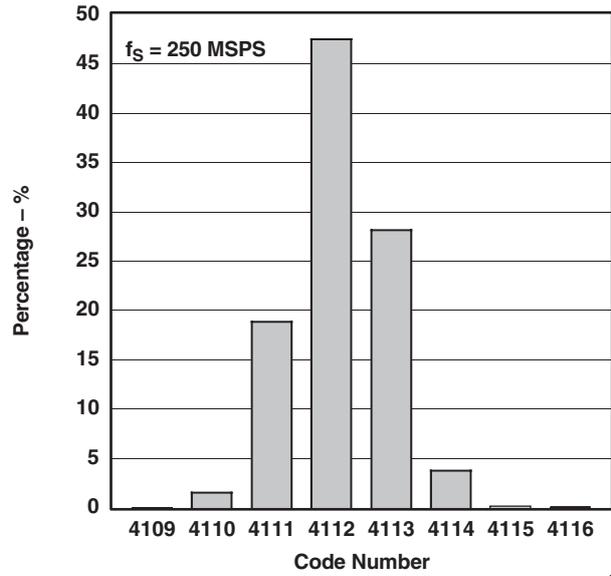


図 19

G020

AC 性能 対 入力振幅

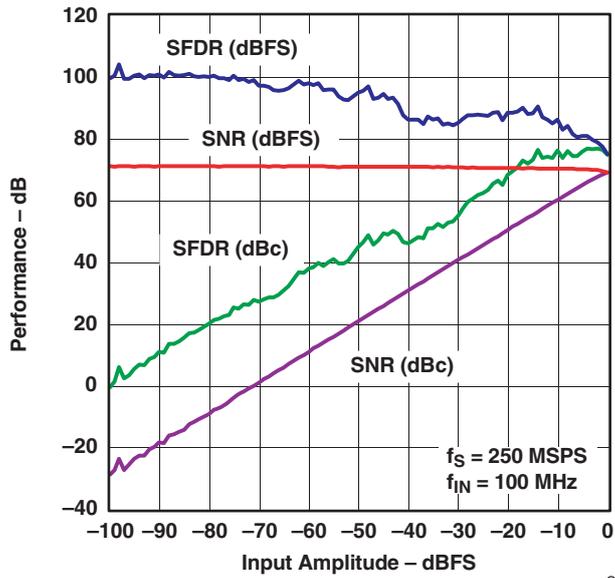


図 20

G021

AC 性能 対 入力振幅

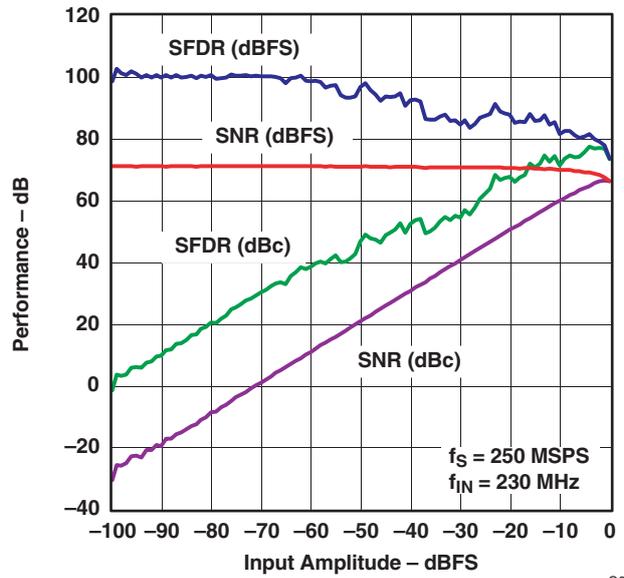
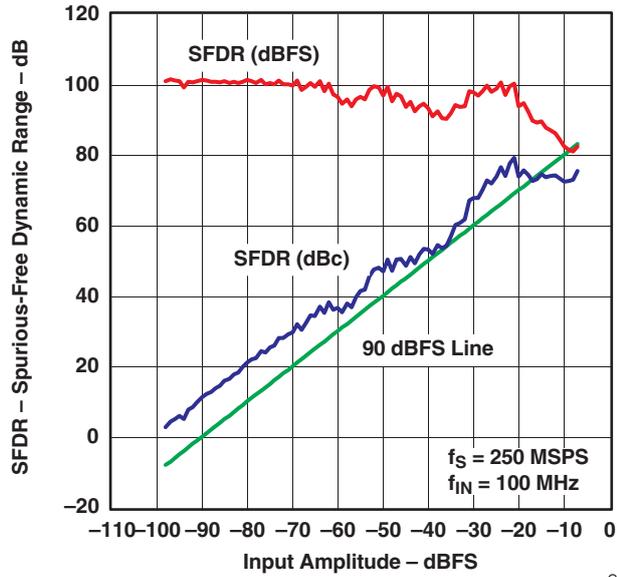


図 21

G022

代表的特性

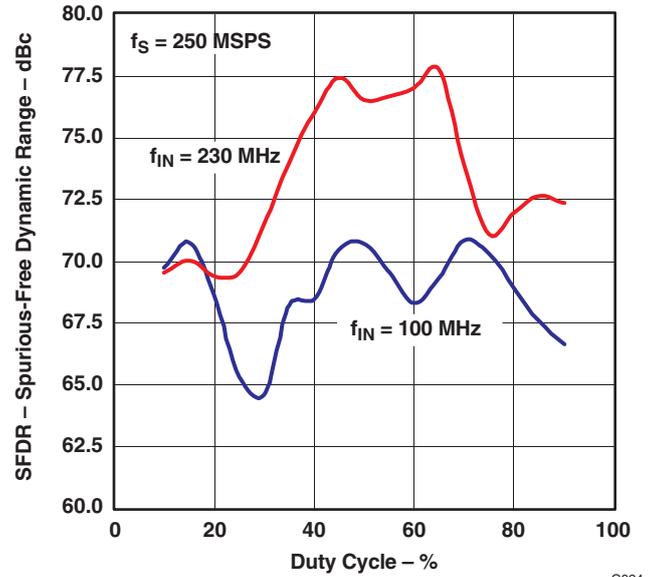
2トーンのスプリアス・フリー・ダイナミック・レンジ
対
入力振幅



G023

図 22

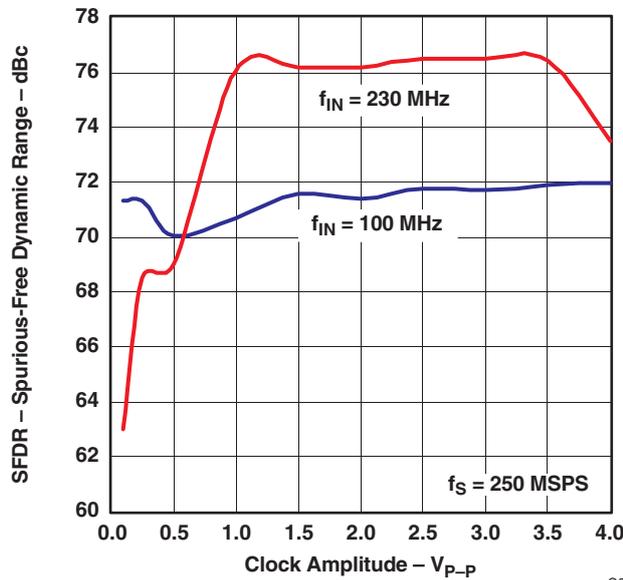
スプリアス・フリー・ダイナミック・レンジ
対
クロック・デューティ・サイクル



G024

図 23

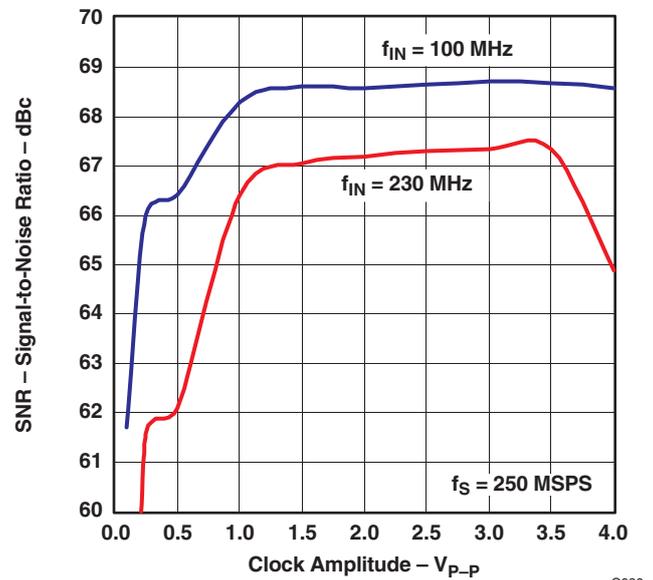
スプリアス・フリー・ダイナミック・レンジ
対
クロック・レベル



G025

図 24

信号/雑音比
対
クロック・レベル



G026

図 25

代表的特性

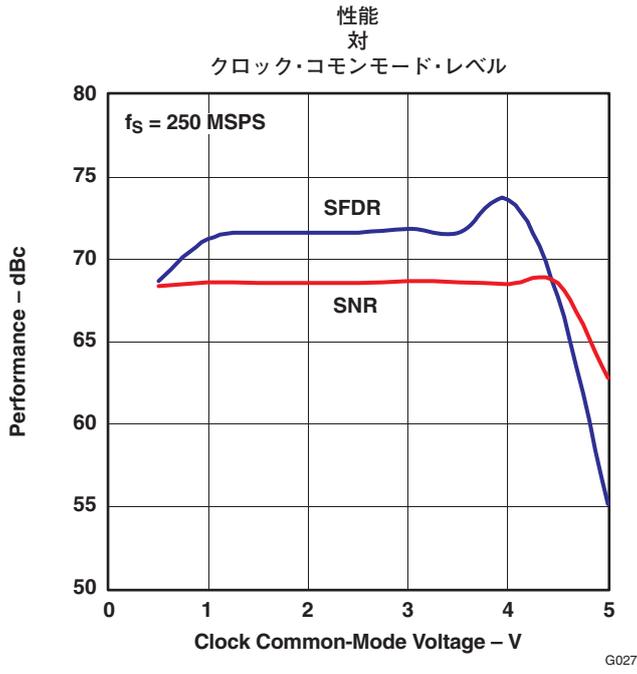


図 26

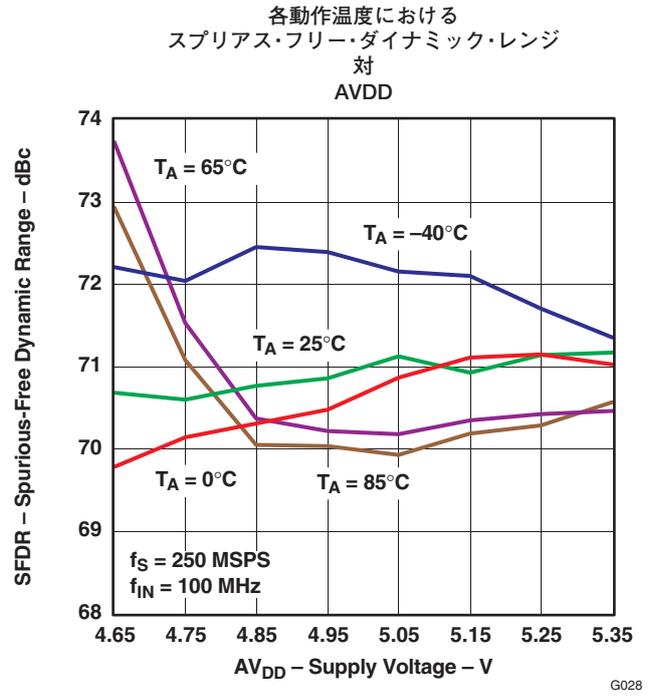


図 27

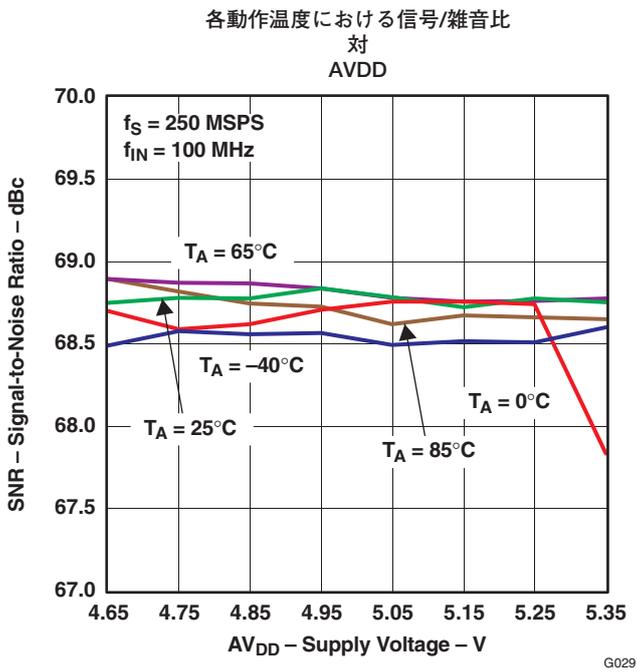


図 28

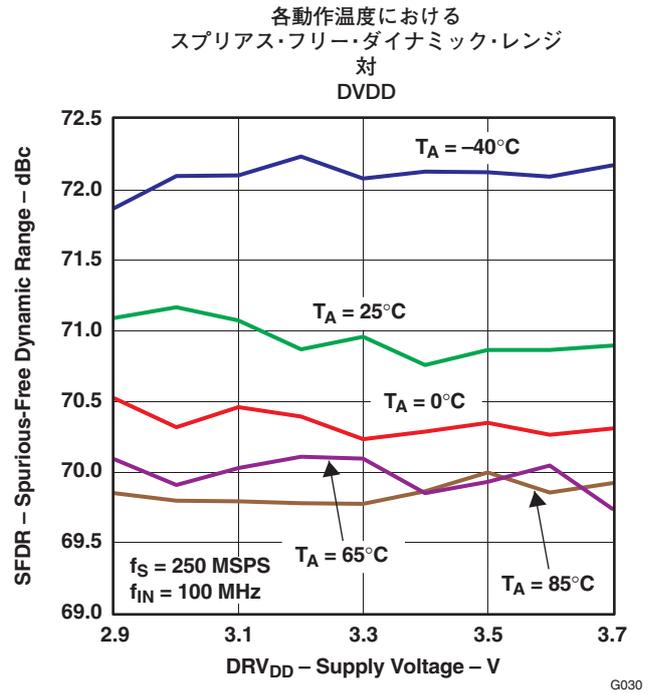


図 29

代表的特性

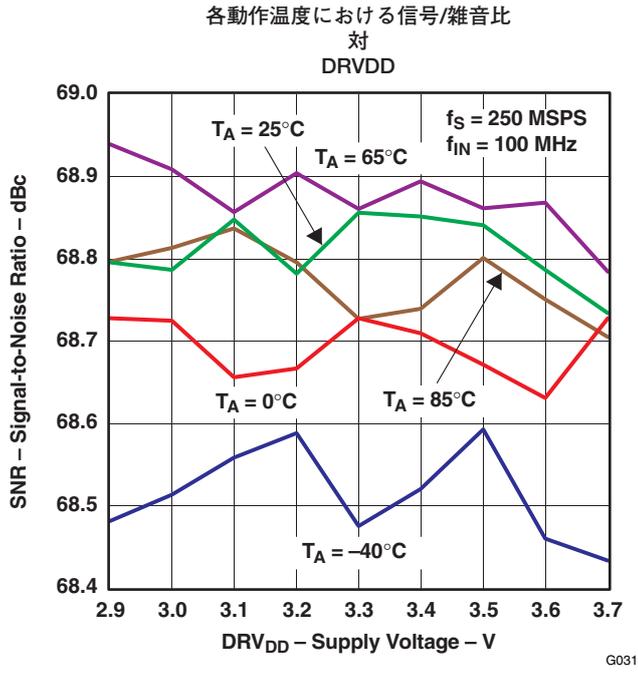


図 30

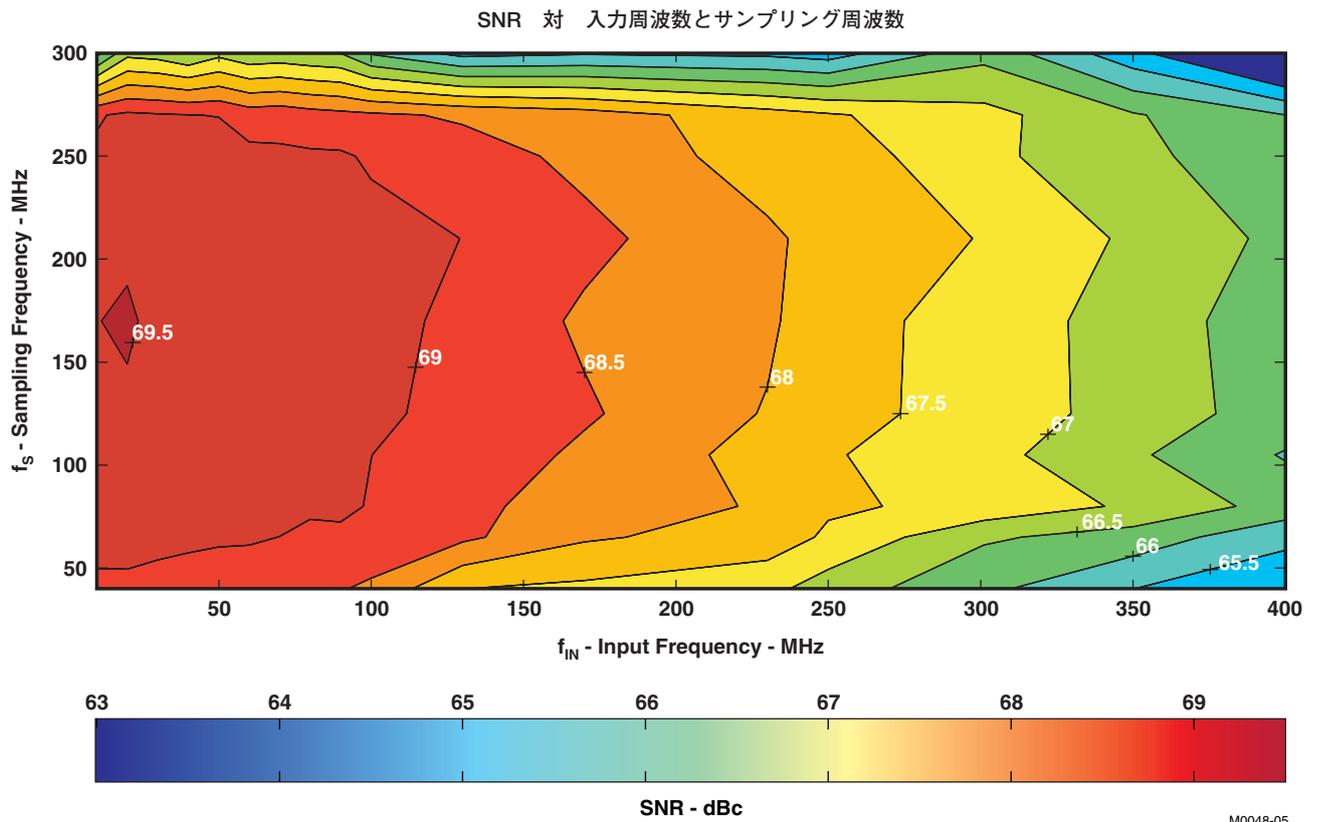
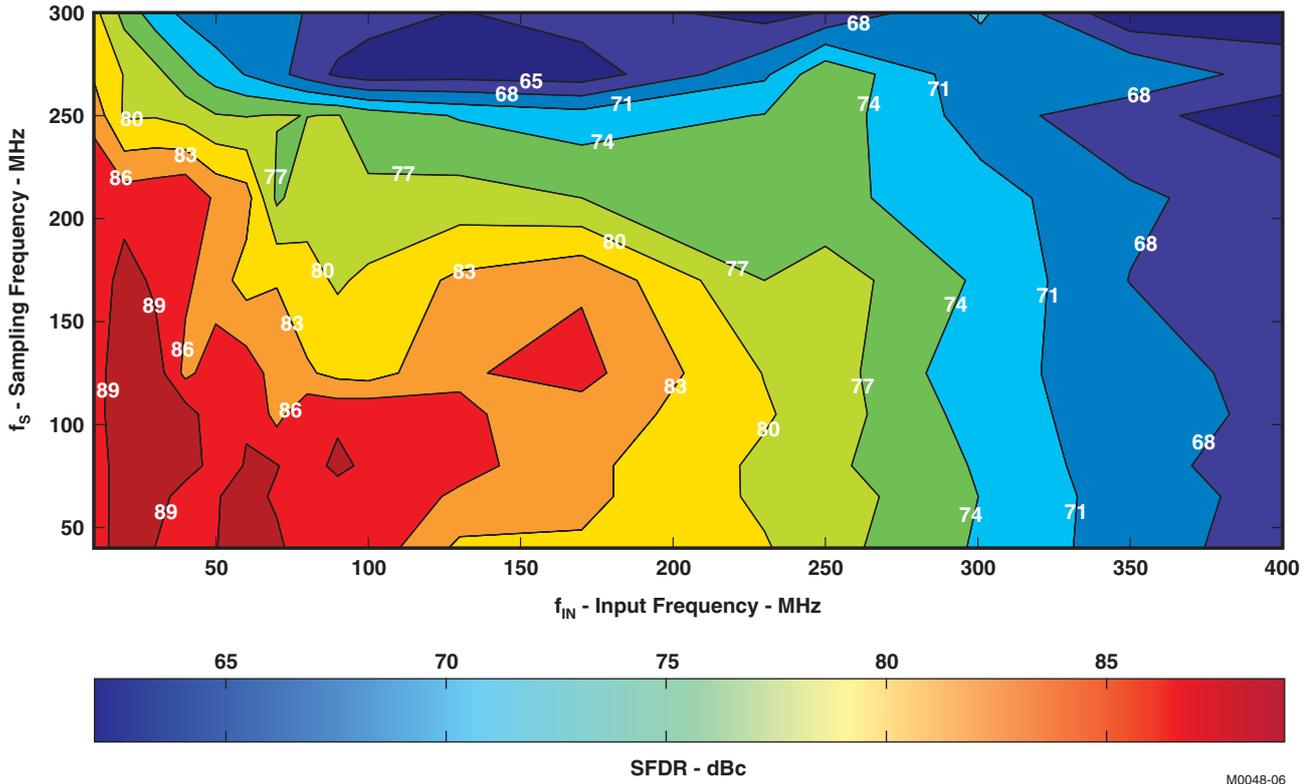


図 31

代表的特性

SFDR 対 入力周波数とサンプリング周波数



M0048-06

図 32

アプリケーション情報

動作原理

ADS5444は13ビット250MSPSのモノリシック・パイプラインADコンバータです。バイポーラ・アナログ・コアは5V電源で動作しますが、LVDS互換の出力部は3.3V電源を用いています。変換プロセスは外部入力クロックの立ち上がりエッジで実行が開始されます。その時点で、差動入力信号が入力トラック・アンド・ホールド (T&H) によってキャプチャされ、取り込まれた入力サンプルは一連の分解能ステージによって逐次的に変換されます。変換結果はデジタル補正ロジック・ブロックの中で補正されて出力されます。クロックのハーフサイクルごとに、サンプルがパイプラインの中で伝播するようにクロックの立ち上がりエッジと立ち下がりエッジの両方が使用されます。このプロセスによりデータ・レイテンシは4クロック・サイクルで済み、その時点で出力データは1ワード13ビット並列、オフセット・バイナリ形式で利用可能になります。

入力構成

ADS5444のアナログ入力、アナログ差動バッファとそれに続くバイポーラのトラック・アンド・ホールド回路によって構成されています。このアナログ・バッファはADCの入力を駆動するソースをあらゆる内部スイッチングから分離します。入力コモンモードは内部で2.4Vから500Ωの抵抗を通して各入力に接続され設定されます。この結果、差動入力インピーダンスは1kΩになります。

フルスケール差動入力の場合、信号が入力されるそれぞれの信号ライン (ピン16と17) は、 $2.4 + 0.55V$ および $2.4 - 0.55V$ の範囲で対称的にスイングします。これは各入力の最大信号スイング (振幅) が $1.1V_{PP}$ であること、差動入力信号全体のスイングが $2.2V_{PP}$ であることを意味します。最大スイングは内部基準電圧によって決まるので外部回路を使用する必要はありません。

ADS5444はアナログ入力差動駆動される状況で最適な性能を達成します。図33は1次側か2次側のどちらかで終端したRFトランスを使用した利用可能な回路例を示します。電圧ゲインが必要な場合はステップアップトランスを使用できます。実用的ではない巻き線比を必要とする電圧ゲインに対応するためにトランスを駆動するシングルエンド・アンプの例を図34に示します。

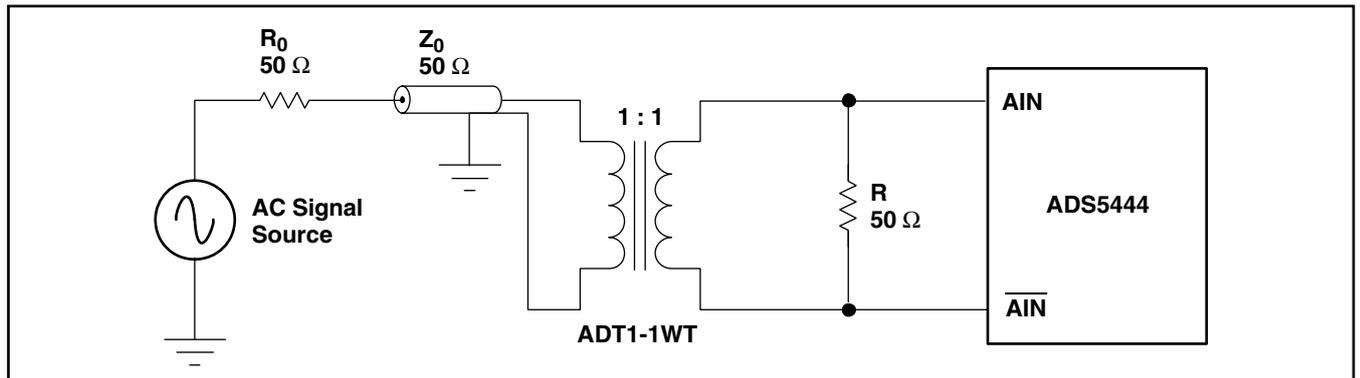


図 33. RFトランスを使用してシングルエンド入力を差動信号に変換

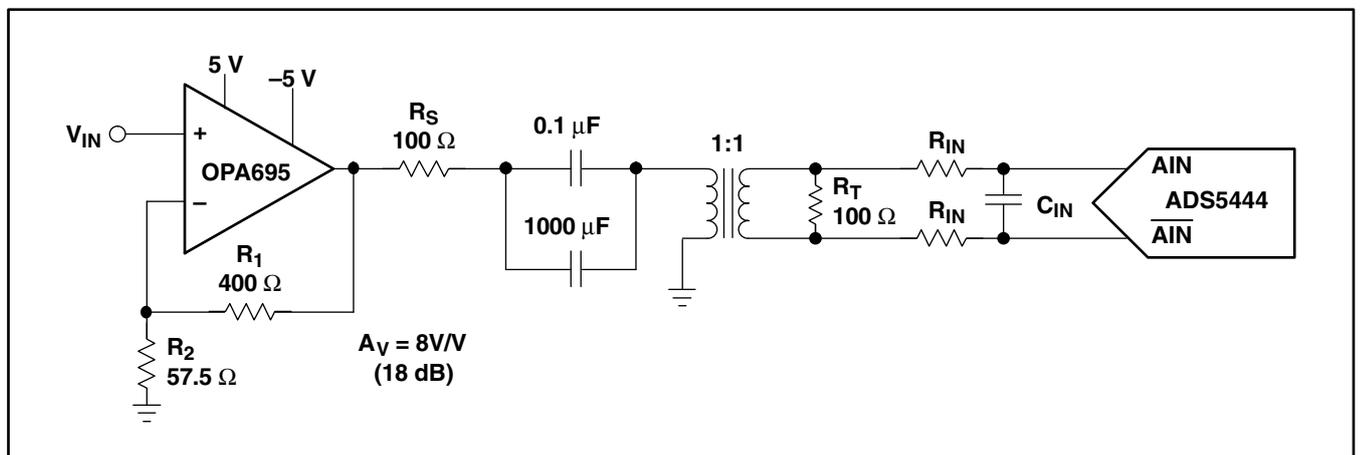


図 34. OPA695をADS5444と組み合わせて使用

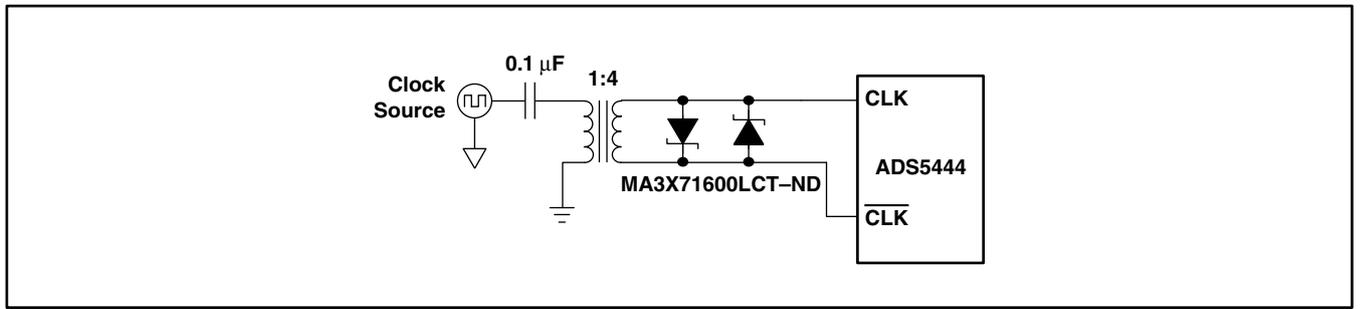


図 37. 差動クロック

ただし、ジッタに敏感なアプリケーションでは(他のADCと同様)差動クロックを使用の方がシステム・レベルで利点があります。最初の利点はPCBレベルでコモンモード雑音を除去できることです。

また差動クロックを使用する場合は絶対最大定格を上回ることなく、より大きなクロック振幅を扱うことができます。正弦波クロックを使用する場合は高いスルー・レートをもたらし、クロック・ノイズがジッタに及ぼす影響を減らします。詳細については『Clocking High Speed Data Converters (SLYT075)』を参照してください。

図37に、このアプローチを示します。差動クロックを使用する場合であっても、クロック振幅が絶対最大定格を超える状況が想定される場合は、クロック振幅を制限するためにバック・トゥー・バックのショットキー・ダイオードを追加することができます。

もう1つの可能性はPECLのようなロジック・ベースのクロックを使用することです。この場合エッジのスルー・レートは、正弦波クロックに基づく同じクロック振幅から得られるスルー・レートに比べて非常に高くなるが多くなります。このソリューションを使用する場合は、ADCのジッタに依存するスロープの効果が最小になります。ロジック・ゲートを使用して

正弦波クロックを方形波にする方法は、最善の結果をもたらさないことがあります。ロジック・ゲートはコンパレータとして最適化されているとは限らないので、入力を方形波にする際にジッタを非常に増大させる可能性があります。

クロック入力のコモンモード電圧は内蔵の1kΩの抵抗を使用して、内部で2.4Vに設定されます。AC結合を使用することをお勧めしますが、たとえば非同期クロックの使用などでこの手法が不可能な場合はADS5444はクロックのコモンモード変動に対する良好な耐性を有しています。

さらに、内部のADCコアはクロックの両方のエッジを変換プロセスで使用します。理想的にはデューティ・サイクル50%のクロック信号を供給する必要があります。

デジタル出力

このADCには、13個のデータ出力(D12 - D0、D12がMSBでD0がLSB)、データ・レディ信号(DRY)、および範囲外インジケータ(OVR)があります。OVRは出力がフルスケールの境界に達した場合に論理“H”となります。出力形式はオフセット・バイナリです。ADS5444の出力データをキャプチャするためにDRY信号を使用することをお勧めします。

ADS5444のデジタル出力はLVDS互換です。

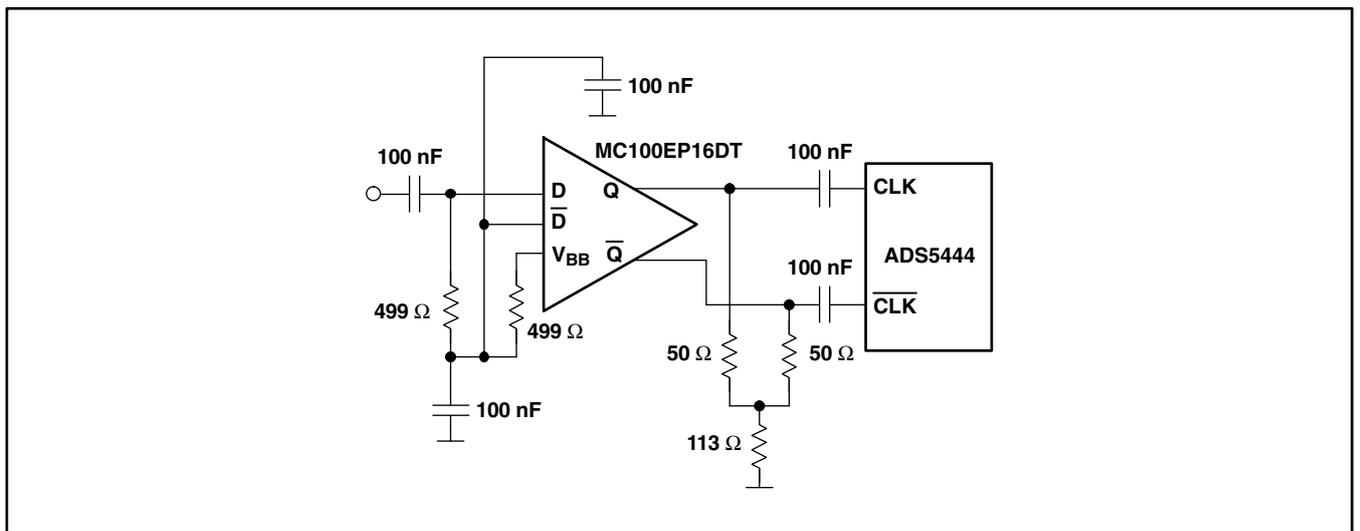


図 38. PECL ロジックを使用した差動クロック

電源

適切なデカップリングがされた低雑音の電源を使用することをお勧めします。リニア電源はスイッチング電源より望ましい選択肢です。スイッチング電源はより多くの雑音を発生する傾向があり、それらはADS5444に影響を与える可能性があります。

ADS5444は2つの電源を使用します。アナログ部分に対して5VのAVDDを使用します。一方、デジタル出力(DVDD)に関しては3.3Vの使用をお勧めします。すべてのグランド・ピンには「GND」というマークが付いていますが、AGNDピンとDRGNDピンはパッケージ内部で互いに接合されていません。

レイアウト情報

評価ボードはADS5444から最大の性能を得るためのボードのレイアウトに関する適切なガイドラインを示しています。多層基板を使用する際の一般的な設計規則はADCのグランド接続に1つのグランド・プレーンを割り当て、デカップリング用のセラミック・チップ・コンデンサを実装することです(評価ボードを参照ください)。

入力トレース(パターン)は、干渉や雑音を誘引するあらゆる外部ソースから隔離する必要があります。この中にはデジタル出力やクロック信号パターンも含まれます。クロック信号のパターンも、他の信号から隔離する必要があります。特に高いIFサンプリング周波数を使用し、低いジッタを必要とするアプリケーションに当てはまります。

上記以外ではデバイスの放熱に注意を払う必要があります。「PowerPad パッケージ」セクションで説明されているように、PowerPadをプリント基板にハンダ付けする必要があります。

PowerPADパッケージ

PowerPAD パッケージは熱特性を改善した標準サイズのICパッケージであり、放熱用パッケージとして従来使用されていた大型のヒートシンクとスラグは不要となります。このパッケージは、プリント基板(PCB)へ通常のアセンブリ技法を使用して容易に実装できます。また標準的な修復の手順を使用して取り外して交換できます。

PowerPADパッケージはリードフレーム・ダイ・パッド(つまり、熱パッド)がICの底面に露出するよう設計されています。これはダイとパッケージ外部の間で非常に低い熱抵抗のパスを提供します。その結果、ICの底面にある熱パッドをプリント基板(PCB)に直接半田付けし、プリント基板をヒートシンクとして使用することができます。

アセンブリ・プロセス

1. PCB最上面にエッチングにより「メカニカル・データ」セクションに図示された端子およびサーマル・パッド部を設けます。
2. 6×6 配列のサーマル・ビアを熱パッド領域に設けます。これらの穴は、直径13mil (0.33mm) にする必要があります。穴径が小さいので、半田がこれらの穴をとって流れ出ることを防止できます。
3. パッケージの下、ただしサーマル・パッド領域の外側に、直径25mil (0.64mm) の穴を、少数開けることをお勧めします。これは付加的なヒート・パスを提供するためです。
4. すべての穴(サーマル・パッド領域の内側と外側にある穴の両方)を、一つの基板内の銅プレーン(グランド・プレーンなど)に接続します。
5. これらのサーマル・ビアをグランド・プレーンに接続するときは、一般的な波状や放射状のビア接続パターンを使用しないでください。スポーク状のパターンを使用するとグランド・プレーンに対する熱抵抗が増大します。
6. 最上面の半田マスクではパッケージの端子とサーマル・パッド領域を露出させる必要があります。
7. 半田が流れ出ることを防止するためにPowerPADビアの底面全体を覆ってください。
8. 露出したサーマル・パッド領域、およびすべてのパッケージ端子に対して半田ペーストを塗布してください。

PowerPAD パッケージと熱特性の詳細については『SLMA004 Application Brief PowerPAD Made Easy』または『SLMA002 Technical Brief PowerPAD Thermally Enhanced Package』を参照してください。

パッケージ情報

製品情報

Orderable Device	Status ⁽¹⁾	Package Type	Package Drawing	Pins	Package Qty	Eco Plan ⁽²⁾	Lead/Ball Finish	MSL Peak Temp ⁽³⁾
ADS5444IPFP	ACTIVE	HTQFP	PFP	80	96	Green (RoHS & no Sb/Br)	CU NIPDAU	Level-4-260C-72 HR
ADS5444IPFPR	ACTIVE	HTQFP	PFP	80	1000	Green (RoHS & no Sb/Br)	CU NIPDAU	Level-4-260C-72 HR

(1) マーケティング・ステータスは次のように定義されています。

ACTIVE：製品デバイスが新規設計用に推奨されています。

LIFEBUY：TIによりデバイスの生産中止予定が発表され、ライフタイム購入期間が有効です。

NRND：新規設計用に推奨されていません。デバイスは既存の顧客をサポートするために生産されていますが、TIでは新規設計にこの部品を使用することを推奨していません。

PREVIEW：デバイスは発表済みですが、まだ生産が開始されていません。サンプルが提供される場合と、提供されない場合があります。

OBSOLETE：TIによりデバイスの生産が中止されました。

(2) エコ・プラン - 環境に配慮した製品分類プランであり、Pb-Free (RoHS)、Pb-Free (RoHS Expert) およびGreen (RoHS & no Sb/Br) があります。最新情報および製品内容の詳細については、<http://www.ti.com/productcontent> でご確認ください。

TBD：Pb-Free/Green変換プランが策定されていません。

Pb-Free (RoHS)：TIにおける“Lead-Free”または“Pb-Free”(鉛フリー)は、6つの物質すべてに対して現在のRoHS要件を満たしている半導体製品を意味します。これには、同種の材質内で鉛の重量が0.1%を超えないという要件も含まれます。高温で半田付けするように設計されている場合、TIの鉛フリー製品は指定された鉛フリー・プロセスでの使用に適しています。

Pb-Free (RoHS Exempt)：この部品は、1) ダイとパッケージの間に鉛ベースの半田バンプ使用、または 2) ダイとリードフレーム間に鉛ベースの接着剤を使用、が除外されています。それ以外は上記の様にPb-Free (RoHS) と考えられます。

Green (RoHS & no Sb/Br)：TIにおける“Green”は、“Pb-Free”(RoHS互換)に加えて、臭素 (Br) およびアンチモン (Sb) をベースとした難燃材を含まない(均質な材質中のBrまたはSb重量が0.1%を超えない)ことを意味しています。

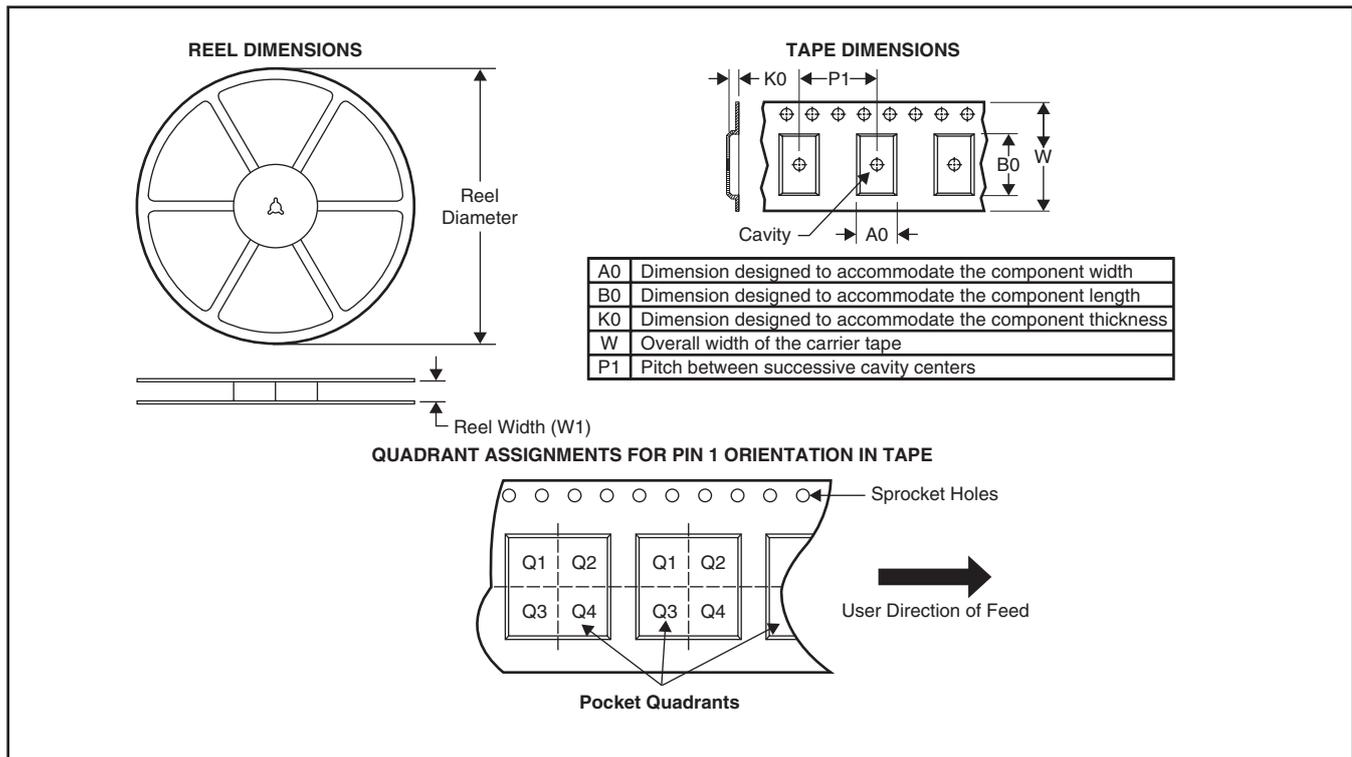
(3) MSL、ピーク温度 -- JEDEC業界標準分類に従った耐湿性レベル、およびピーク半田温度です。

重要な情報および免責事項：このページに記載された情報は、記載された日付時点でのTIの知識および見解を表しています。TIの知識および見解は、第三者によって提供された情報に基づいており、そのような情報の正確性について何らの表明および保証も行いません。第三者からの情報をより良く統合するための努力は続けております。TIでは、事実を適切に表す正確な情報を提供すべく妥当な手順を踏み、引き続きそれを継続してゆきますが、受け入れる部材および化学物質に対して破壊試験や化学分析は実行していない場合があります。TIおよびTI製品の供給者は、特定の情報を機密情報として扱っているため、CAS番号やその他の制限された情報が公開されない場合があります。

TIは、いかなる場合においても、かかる情報により発生した損害について、TIがお客様に1年間に販売した本書記載の問題となった TIパーツの購入価格の合計金額を超える責任を負いかねます。

パッケージ・マテリアル情報

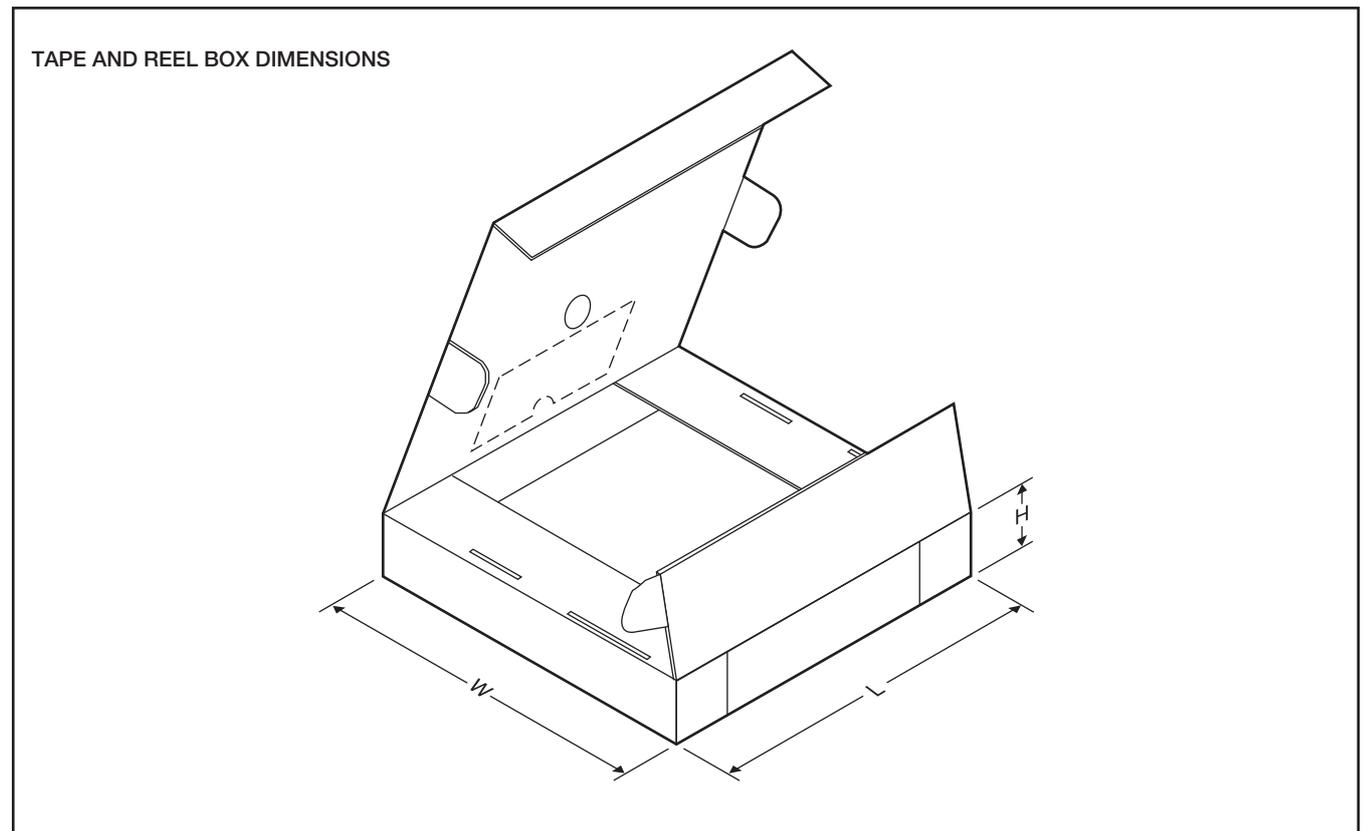
テープおよびリール・ボックス情報



*All dimensions are nominal

Device	Package Type	Package Drawing	Pins	SPQ	Reel Diameter (mm)	Reel Width W1 (mm)	A0 (mm)	B0 (mm)	K0 (mm)	P1 (mm)	W (mm)	Pin1 Quadrant
ADS5444IPFPR	HTQFP	PFP	80	1000	330.0	24.4	15.0	15.0	1.5	20.0	24.0	Q2

パッケージ・マテリアル情報



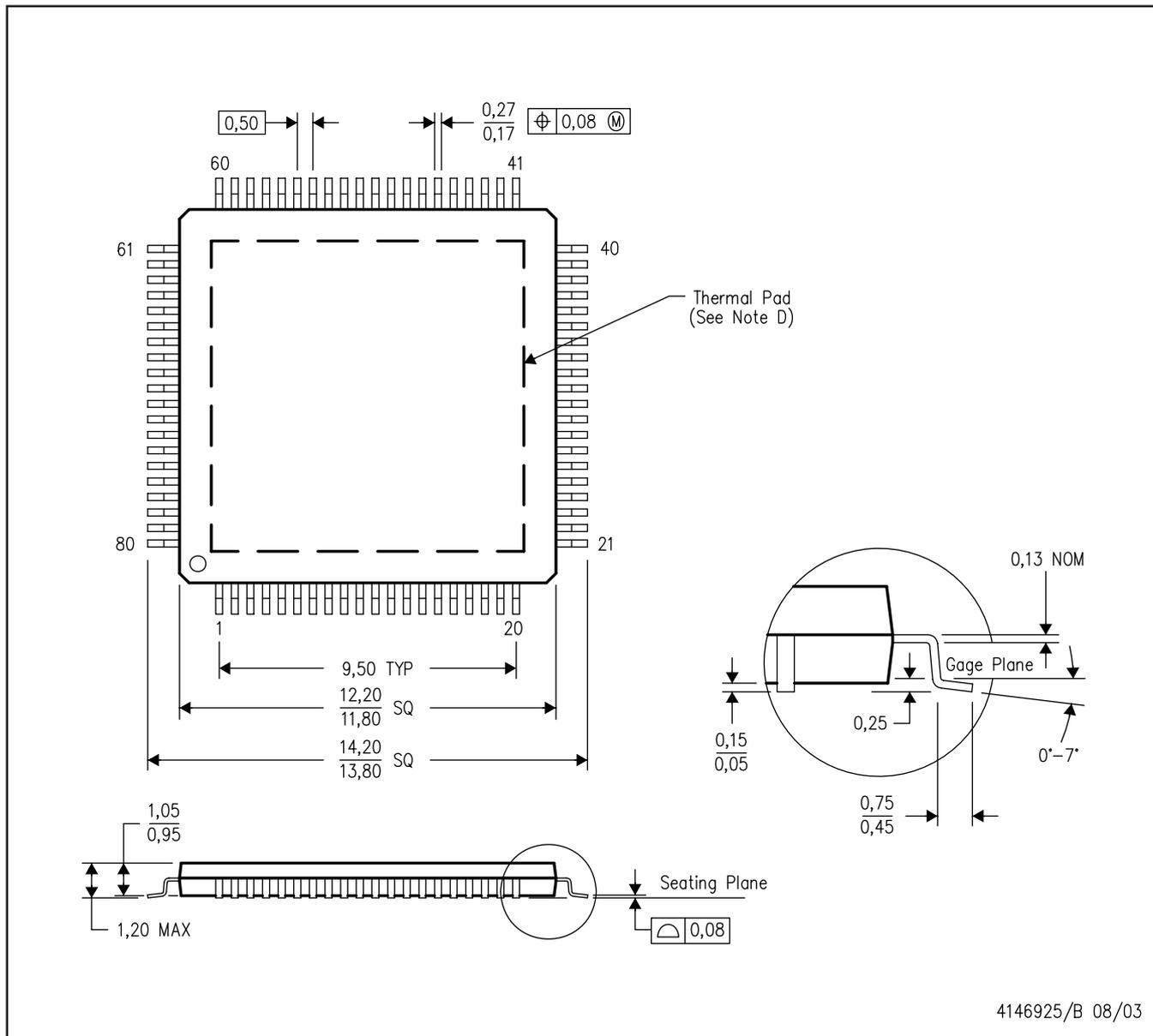
*All dimensions are nominal

Device	Package Type	Package Drawing	Pins	SPQ	Length (mm)	Width (mm)	Height (mm)
ADS5444IPFPR	HTQFP	PPF	80	1000	346.0	346.0	41.0

メカニカル・データ

PFP (S-PQFP-G80)

PowerPAD™ PLASTIC QUAD FLATPACK



4146925/B 08/03

- 注： A. 全ての線寸法の単位はミリメートルです。
 B. 図は予告なく変更することがあります。
 C. 本体寸法にはバリや突起を含みません。
 D. このパッケージは、基板上的サーマル・パッドに半田付けされるように設計されています。推奨基板レイアウトについては、テクニカル・ブリーフ『PowerPAD Thermally Enhanced Package』（TI文献番号SLMA002）を参照してください。これらのドキュメントは、ホームページwww.ti.comで入手できます。
 E. JEDEC MO-026に適合しています。

サーマルパッド・メカニカル・データ

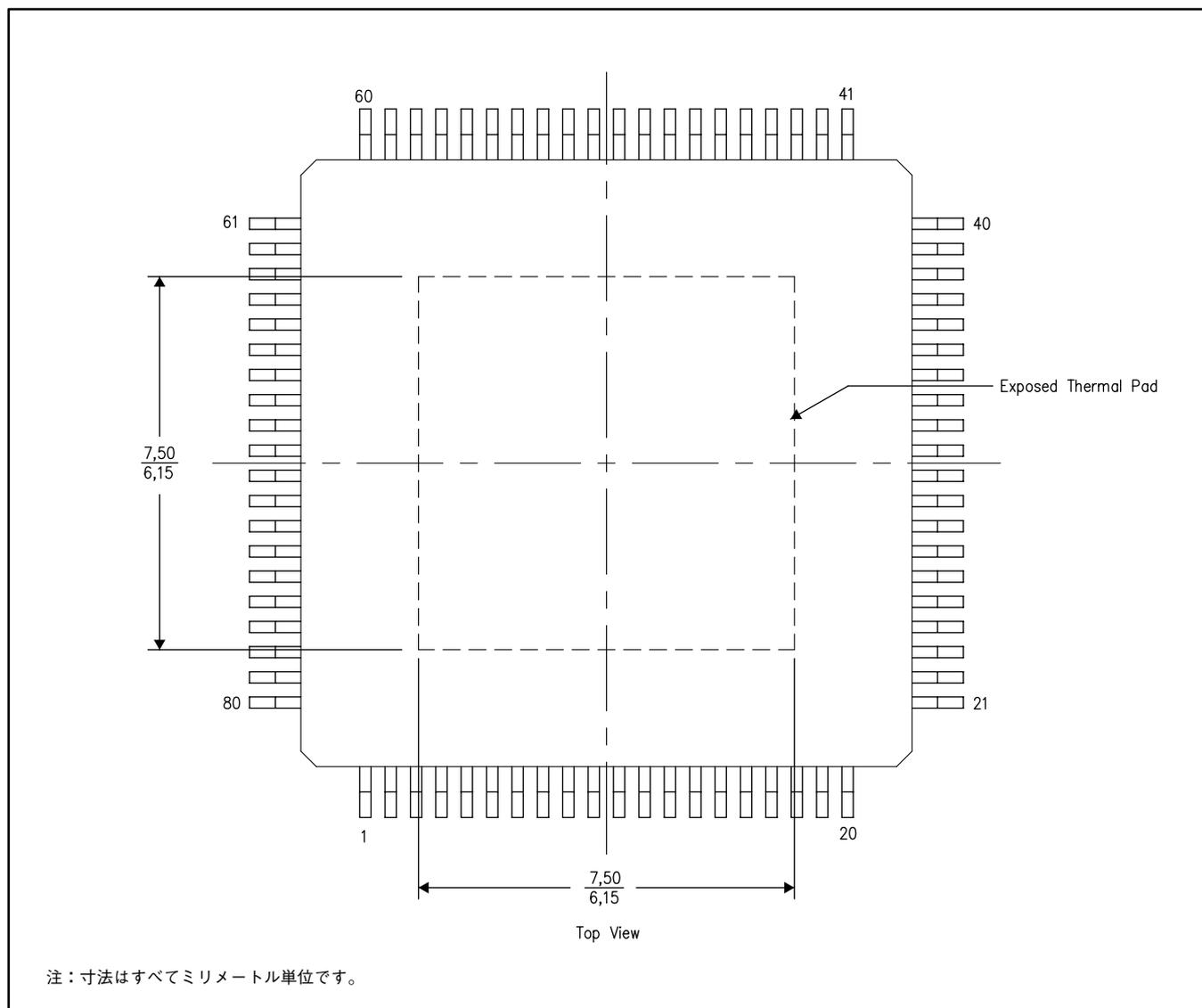
PFP (S-PQFP-G80)

熱特性について

このPowerPAD™パッケージには、外部ヒートシンクに直接接続するように設計された、露出したサーマル・パッドが装備されています。このサーマル・パッドは、プリント基板(PCB)に直接半田付けする必要があります。半田付け後は、PCBをヒートシンクとして使用できます。また、サーマル・ビアを使用して、サーマル・パッドをデバイスの回路図に示された適切な銅プレーンに直接接続するか、あるいはPCB内に設計された特別なヒートシンク構造に接続することができます。この設計により、ICからの熱伝導が最適化されます。

PowerPAD™パッケージについての追加情報及びその熱放散能力の利用法については、テクニカル・ブリーフ『PowerPAD Thermally Enhanced Package』(TI文献番号SLMA002)およびアプリケーション・ブリーフ『PowerPAD Made Easy』(TI文献番号SLMA004)を参照してください。いずれもホームページ www.ti.com で入手できます。

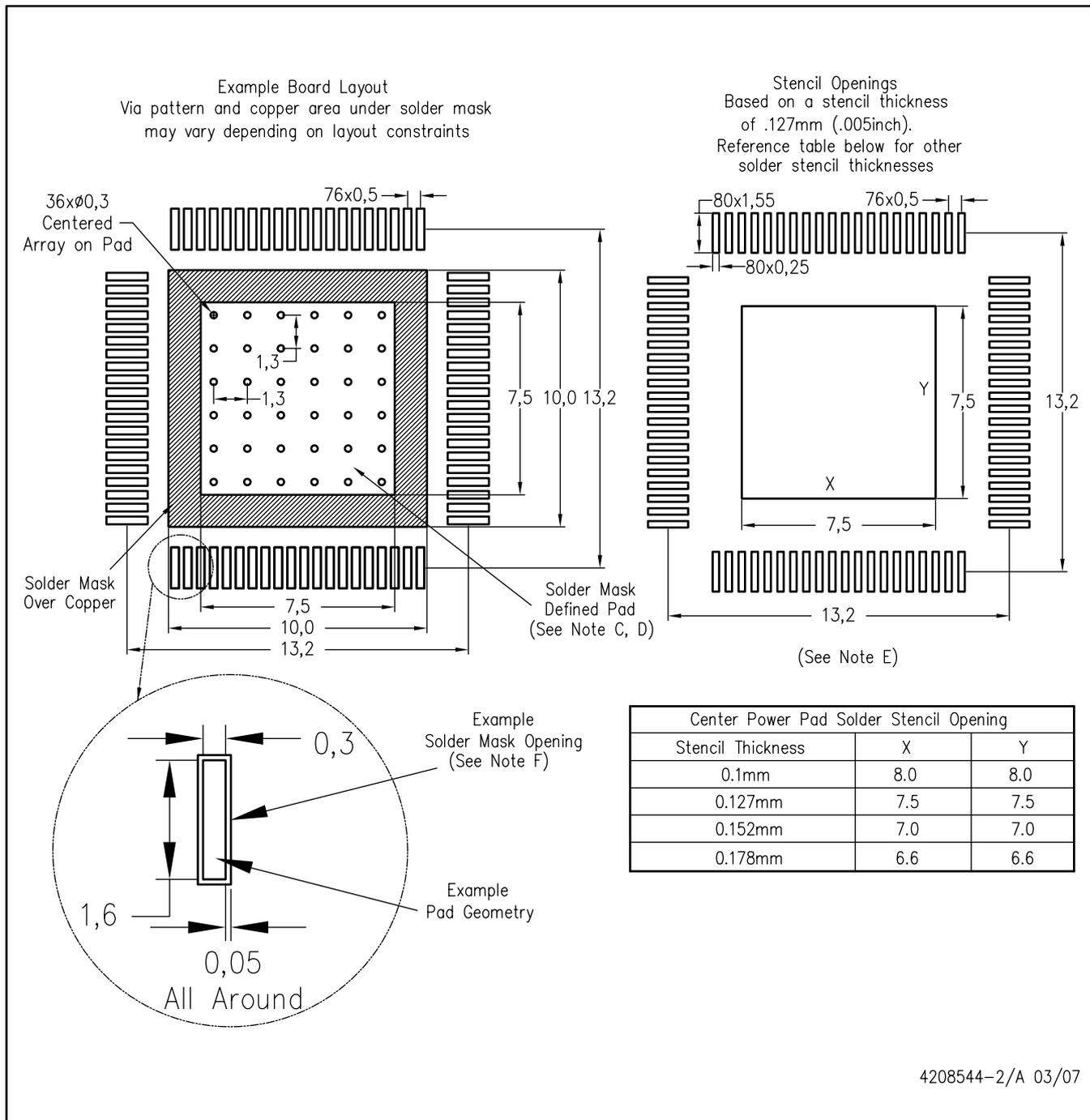
このパッケージの露出したサーマル・パッドの寸法を次の図に示します。



露出サーマル・パッドの寸法

ランド・パターン

PFP (S-PQFP-G80) PowerPAD™



4208544-2/A 03/07

- 注： A. 全ての線寸法の単位はミリメートルです。
 B. 図は予告なく変更することがあります。
 C. 中央の半田マスク定義パッドを変更しないように、回路基板組み立て図に注記を書き込んでください。
 D. このパッケージは、基板上的のサーマル・パッドに半田付けされるように設計されています。推奨基板レイアウトについては、テクニカル・ブリーフ「PowerPAD Thermally Enhanced Package」(TI文献番号SLMA002)を参照してください。これらのドキュメントは、ホームページwww.ti.comで入手できます。代替設計については、資料IPC-7351を推奨します。
 E. レーザ切断開口部の壁面を台形にし、角に丸みを付けることで、ペーストの離れがよくなります。ステンシル設計要件については、基板組み立て拠点にお問い合わせください。例に示したステンシル設計は、50%容積のメタルロード半田ペーストに基づいています。ステンシルに関する他の推奨事項については、IPC-7525を参照してください。
 F. 信号パッド間および信号パッド周囲の半田マスク許容差については、基板組み立て拠点にお問い合わせください。

(SLWS162A)

重要なお知らせと免責事項

テキサス・インスツルメンツは、技術データと信頼性データ(データシートを含みます)、設計リソース(リファレンス デザインを含みます)、アプリケーションや設計に関する各種アドバイス、Web ツール、安全性情報、その他のリソースを、欠陥が存在する可能性のある「現状のまま」提供しており、商品性および特定目的に対する適合性の黙示保証、第三者の知的財産権の非侵害保証を含むいかなる保証も、明示的または黙示的にかかわらず拒否します。

これらのリソースは、テキサス・インスツルメンツ製品を使用する設計の経験を積んだ開発者への提供を意図したものです。(1) お客様のアプリケーションに適したテキサス・インスツルメンツ製品の選定、(2) お客様のアプリケーションの設計、検証、試験、(3) お客様のアプリケーションに該当する各種規格や、その他のあらゆる安全性、セキュリティ、規制、または他の要件への確実な適合に関する責任を、お客様のみが単独で負うものとし、ます。

上記の各種リソースは、予告なく変更される可能性があります。これらのリソースは、リソースで説明されているテキサス・インスツルメンツ製品を使用するアプリケーションの開発の目的でのみ、テキサス・インスツルメンツはその使用をお客様に許諾します。これらのリソースに関して、他の目的で複製することや掲載することは禁止されています。テキサス・インスツルメンツや第三者の知的財産権のライセンスが付与されている訳ではありません。お客様は、これらのリソースを自身で使用した結果発生するあらゆる申し立て、損害、費用、損失、責任について、テキサス・インスツルメンツおよびその代理人を完全に補償するものとし、テキサス・インスツルメンツは一切の責任を拒否します。

テキサス・インスツルメンツの製品は、[テキサス・インスツルメンツの販売条件](#)、または [ti.com](https://www.ti.com) やかかるテキサス・インスツルメンツ製品の関連資料などのいずれかを通じて提供する適用可能な条項の下で提供されています。テキサス・インスツルメンツがこれらのリソースを提供することは、適用されるテキサス・インスツルメンツの保証または他の保証の放棄の拡大や変更を意味するものではありません。

お客様がいかなる追加条項または代替条項を提案した場合でも、テキサス・インスツルメンツはそれらに異議を唱え、拒否します。

郵送先住所：Texas Instruments, Post Office Box 655303, Dallas, Texas 75265
Copyright © 2025, Texas Instruments Incorporated