

# ADS52J6x、8/4 チャネル、16/14 ビット、125MSPS、70mW/CH の JESD204B インターフェイス搭載 8 チャネル ADC

## 1 特長

- 16/14 ビット分解能、8/4 チャネル ADC
- アイドル信号対雑音比 (SNR):
  - 16 ビット ADC では 80dBFS
  - 14 ビット ADC では 79dBFS
- レーンあたり 125MSPS、4CH での消費電力:
  - ADS52J65/66 (8CH ADC) では 70mW/チャネル
  - ADS52J67/68 (4CH ADC) では 82mW/チャネル
- レーンあたり 62.5MSPS、8CH での消費電力:
  - ADS52J65/66 (8CH ADC) では 45mW/チャネル
  - ADS52J67/68 (4CH ADC) では 65mW/チャネル
- フルスケール入力:  $2V_{PP}$
- $f_{IN} = 10MHz$  でのフルスケール SNR:
  - 16 ビット ADC では 78dBFS
  - 14 ビット ADC では 77dBFS
- フルスケール SFDR:  $f_{IN} = 10MHz$  で  $-85dBc$
- アナログ入力  $-3dB$  帯域幅 =  $250MHz$
- $2V_{PP}$  入力 =  $130MHz$  での最大入力信号周波数
- 高速で安定した過負荷回復
- 先進デジタル機能
  - 自動 DC オフセット補正
  - デジタル平均
- デジタル I/Q 復調器
  - 分周デシメーションフィルタ  $M = 1 \sim 63$  で 0.25 のインクリメント
  - デシメーション後のデータ出力レートの低減
  - 80MSPS およびデシメーション = 2 での消費電力
    - ADS52J65/66 (8-CH ADC) では 64mW/チャネル
    - ADS52J67/68 (4-CH ADC) では 91mW/チャネル
  - 32 のプリセットプロファイルを持つオンチップ RAM
- JESD204B サブクラス 0, 1, 2
  - JESD レーンごとに 2, 4, 8 チャネル
  - 10Gbps JESD インターフェイス
  - 短いパターン長 (5 インチ未満) 向けに、最大 12.8Gbps のレーンレートをサポート
- 64 ピン非磁性  $9 \times 9mm$  パッケージ

## 2 アプリケーション

- 医療用画像処理:超音波、MRI
- 高周波超音波
- 非破壊検査 (NDT)
- レーダー、ライダー、[分光器](#)

- デジタル オシロスコープおよびデータ収集
- フローサイトメトリー、フローサイトメーター、血液分析

## 3 説明

8/4 チャネル、16/14 ビット、ADS52J6x A/D コンバータ (ADC) は CMOS プロセスと優れた回路技術を使用しています。このデバイスは、低消費電力で動作し、 $2V_{PP}$  のフルスケール入力で非常に優れた信号対雑音比 (SNR) を実現する設計を採用しています。ADS52J65 デバイスは、5MHz で 80dBFS のアイドル SNR と 78dBFS のフルスケール SNR を実現しています。入力帯域幅が 250MHz と広いため、高周波医用超音波、磁気共鳴画像診断、マルチチャネルデータアクイジション、フローサイトメトリー、血液分析といった、幅広い用途に適しています。ADC には、デバイス間で一致するよう調整された内部基準電圧が組み込まれています。

### デバイスの比較

部品番号	分解能	チャネル数
ADS52J65	16 ビット	8
ADS52J66	14 ビット	8
ADS52J67	16 ビット	4
ADS52J68	14 ビット	4

ADS52J6x は、分周デシメーションフィルタを使用するデジタル I/Q 復調器など、高度なデジタル機能を搭載しています。JESD204B 規格に基づき、各チャネルの ADC データは 8B から 10B の形式で符号化され、電流モードロジック (CML) 出力バッファにより SerDes データストリームとして送信されます。8 チャネル全部の ADC データを 1 つの CML バッファ (1 レーン SerDes) により、最大 12.8Gbps のデータレートで出力できます。SerDes 出力の採用により、インターフェイス ライン数が削減されています。これと低消費電力設計を組み合わせることにより、8 チャネルを  $9mm \times 9mm$  の VQFN パッケージ化し、高いシステム集積度を実現できます。また、ADS52J6x はすべての ADC データを 4 つの CML バッファ (4 レーン SerDes) で送信するモードもサポートしており、1 レーンあたりの SerDes データレートを低減し、低コストの FPGA を実現しています。ADS52J6x は磁気の悪影響がない非磁性 VQFN パッケージで供給されます。このデバイスは  $-40^{\circ}C \sim +85^{\circ}C$  まで規定されています。



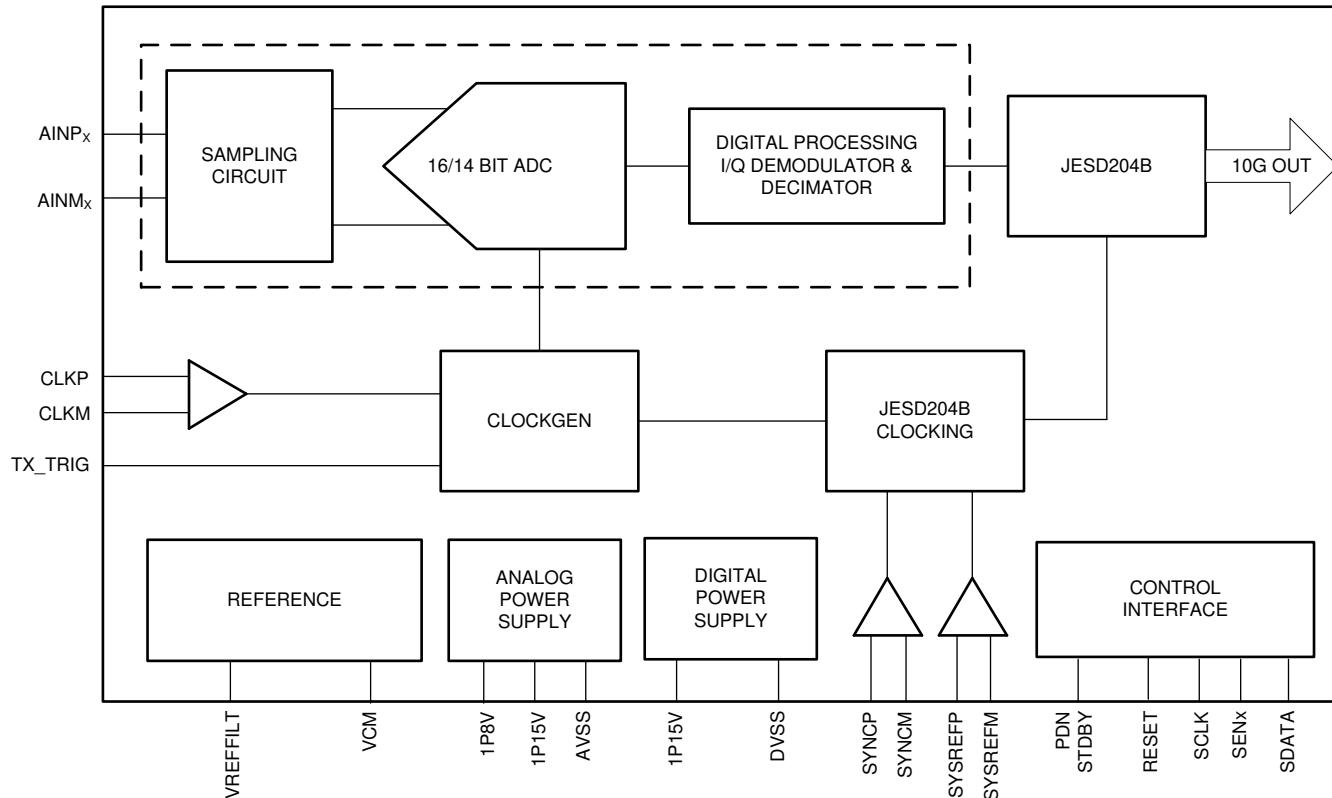
このリソースの元の言語は英語です。翻訳は概要を便宜的に提供するもので、自動化ツール (機械翻訳) を使用していることがあり、TI では翻訳の正確性および妥当性につきましては一切保証いたしません。実際の設計などの前には、ti.com で必ず最新の英語版をご参照くださいますようお願いいたします。

### 製品情報

部品番号	パッケージ <sup>(1)</sup>	パッケージ サイズ(公称) <sup>(2)</sup>
ADS52J6x	VQFN (64)	9.00mm × 9.00mm

(1) 卷末の注文情報を参照してください。

(2) パッケージサイズ(長さ × 幅)は公称値であり、該当する場合はピンも含まれます。



ブロック図

## 目次

1 特長	1	4.3 サポート・リソース	4
2 アプリケーション	1	4.4 商標	4
3 説明	1	4.5 静電気放電に関する注意事項	4
4 デバイスおよびドキュメントのサポート	4	4.6 用語集	4
4.1 関連資料	4	5 改訂履歴	4
4.2 ドキュメントの更新通知を受け取る方法	4	6 メカニカル、パッケージ、および注文情報	5

## 4 デバイスおよびドキュメントのサポート

### 4.1 関連資料

関連資料については、以下を参照してください。

- ・『[JESD204B の概要](#)』
- ・『[高速データコンバータのクロック供給](#)』
- ・『[ADS52J90 10 ビット、12 ビット、14 ビットのマルチチャネル、低消費電力、LVDS および JESD 出力搭載の高速 ADC](#)』
- ・『[ADS5263 クワッドチャネル、16 ビット、100MSPS、高 SNR ADC](#)』
- ・『[AFE5818 16 チャネル、超音波アナログフロントエンド、140mW/チャネル電力、ノイズ 0.75nV/ \$\sqrt{\text{Hz}}\$ 、14 ビット、65MSPS または 12 ビット、80MSPS ADC およびパッシブ CW ミキサ搭載](#)』
- ・『[ISO724x 高速、クワッドチャネルデジタルアイソレータ](#)』
- ・『[LMK0482x 超低ノイズ、JESD204B 準拠のクロック ジッタクリーナ、デュアル ループ PLL 搭載](#)』
- ・『[SN74AUP1T04 低消費電力、1.8/2.5/3.3V 入力、3.3V CMOS 出力、シングルラインバータゲート](#)』
- ・『[THS413x 高速、低ノイズ、完全差動 I/O アンプ](#)』

### 4.2 ドキュメントの更新通知を受け取る方法

ドキュメントの更新についての通知を受け取るには、[www.tij.co.jp](http://www.tij.co.jp) のデバイス製品フォルダを開いてください。[通知] をクリックして登録すると、変更されたすべての製品情報に関するダイジェストを毎週受け取ることができます。変更の詳細については、改訂されたドキュメントに含まれている改訂履歴をご覧ください。

### 4.3 サポート・リソース

テキサス・インスツルメンツ E2E™ サポート・フォーラムは、エンジニアが検証済みの回答と設計に関するヒントをエキスパートから迅速かつ直接得ることができる場所です。既存の回答を検索したり、独自の質問をしたりすることで、設計で必要な支援を迅速に得ることができます。

リンクされているコンテンツは、各寄稿者により「現状のまま」提供されるものです。これらはテキサス・インスツルメンツの仕様を構成するものではなく、必ずしもテキサス・インスツルメンツの見解を反映したものではありません。テキサス・インスツルメンツの[使用条件](#)を参照してください。

### 4.4 商標

テキサス・インスツルメンツ E2E™ is a trademark of Texas Instruments.

すべての商標は、それぞれの所有者に帰属します。

### 4.5 静電気放電に関する注意事項



この IC は、ESD によって破損する可能性があります。テキサス・インスツルメンツは、IC を取り扱う際には常に適切な注意を払うことをお勧めします。正しい取り扱いおよび設置手順に従わない場合、デバイスを破損するおそれがあります。

ESD による破損は、わずかな性能低下からデバイスの完全な故障まで多岐にわたります。精密な IC の場合、パラメータがわずかに変化するだけで公表されている仕様から外れる可能性があるため、破損が発生しやすくなっています。

### 4.6 用語集

#### テキサス・インスツルメンツ用語集

この用語集には、用語や略語の一覧および定義が記載されています。

## 5 改訂履歴

資料番号末尾の英字は改訂を表しています。その改訂履歴は英語版に準じています。

#### Changes from Revision A (June 2020) to Revision B (July 2025)

Page

• ドキュメント全体にわたって表、図、相互参照の採番方法を更新.....	1
• 14 ビットおよび 4 チャネルのデバイス部品の説明を追加。.....	1

---

Changes from Revision * (December 2018) to Revision A (June 2020)	Page
• 以下のアプリケーションを追加: フローサイトメトリー、フローサイトメーター、血液分析.....	1
• 「概要」の最初の節に、フローサイトメトリー、フローサイトメーター、血液分析の文を追加。.....	1

---

## 6 メカニカル、パッケージ、および注文情報

以降のページには、メカニカル、パッケージ、および注文に関する情報が記載されています。この情報は、指定のデバイスに使用できる最新のデータです。このデータは、予告なく、このドキュメントを改訂せずに変更される場合があります。本データシートのブラウザ版を使用されている場合は、画面左側の説明をご覧ください。

## 重要なお知らせと免責事項

テキサス・インスツルメンツは、技術データと信頼性データ（データシートを含みます）、設計リソース（リファレンス デザインを含みます）、アプリケーションや設計に関する各種アドバイス、Web ツール、安全性情報、その他のリソースを、欠陥が存在する可能性のある「現状のまま」提供しており、商品性および特定目的に対する適合性の默示保証、第三者の知的財産権の非侵害保証を含むいかなる保証も、明示的または默示的にかかわらず拒否します。

これらのリソースは、テキサス・インスツルメンツ製品を使用する設計の経験を積んだ開発者への提供を意図したものです。(1) お客様のアプリケーションに適した テキサス・インスツルメンツ製品の選定、(2) お客様のアプリケーションの設計、検証、試験、(3) お客様のアプリケーションに該当する各種規格や、その他のあらゆる安全性、セキュリティ、規制、または他の要件への確実な適合に関する責任を、お客様のみが単独で負うものとします。

上記の各種リソースは、予告なく変更される可能性があります。これらのリソースは、リソースで説明されている テキサス・インスツルメンツ製品を使用するアプリケーションの開発の目的でのみ、テキサス・インスツルメンツはその使用をお客様に許諾します。これらのリソースに関して、他の目的で複製することや掲載することは禁止されています。テキサス・インスツルメンツや第三者の知的財産権のライセンスが付与されている訳ではありません。お客様は、これらのリソースを自身で使用した結果発生するあらゆる申し立て、損害、費用、損失、責任について、テキサス・インスツルメンツおよびその代理人を完全に補償するものとし、テキサス・インスツルメンツは一切の責任を拒否します。

テキサス・インスツルメンツの製品は、[テキサス・インスツルメンツの販売条件](#)、または [ti.com](http://ti.com) やかかる テキサス・インスツルメンツ製品の関連資料などのいづれかを通じて提供する適用可能な条項の下で提供されています。テキサス・インスツルメンツがこれらのリソースを提供することは、適用されるテキサス・インスツルメンツの保証または他の保証の放棄の拡大や変更を意味するものではありません。

お客様がいかなる追加条項または代替条項を提案した場合でも、テキサス・インスツルメンツはそれらに異議を唱え、拒否します。

郵送先住所: Texas Instruments, Post Office Box 655303, Dallas, Texas 75265

Copyright © 2025, Texas Instruments Incorporated

**PACKAGING INFORMATION**

Orderable part number	Status (1)	Material type (2)	Package   Pins	Package qty   Carrier	RoHS (3)	Lead finish/ Ball material (4)	MSL rating/ Peak reflow (5)	Op temp (°C)	Part marking (6)
<a href="#">ADS52J65IRGCR</a>	Active	Production	VQFN (RGC)   64	2000   LARGE T&R	Yes	SN	Level-3-260C-168 HR	-40 to 85	ADS52J65
ADS52J65IRGCR.A	Active	Production	VQFN (RGC)   64	2000   LARGE T&R	Yes	SN	Level-3-260C-168 HR	-40 to 85	ADS52J65
<a href="#">ADS52J65IRGCT</a>	Active	Production	VQFN (RGC)   64	250   SMALL T&R	Yes	SN	Level-3-260C-168 HR	-40 to 85	ADS52J65
ADS52J65IRGCT.A	Active	Production	VQFN (RGC)   64	250   SMALL T&R	Yes	SN	Level-3-260C-168 HR	-40 to 85	ADS52J65
<a href="#">ADS52J66IRGCR</a>	Active	Production	VQFN (RGC)   64	2000   LARGE T&R	Yes	SN	Level-3-260C-168 HR	-40 to 85	ADS52J66

<sup>(1)</sup> **Status:** For more details on status, see our [product life cycle](#).

<sup>(2)</sup> **Material type:** When designated, preproduction parts are prototypes/experimental devices, and are not yet approved or released for full production. Testing and final process, including without limitation quality assurance, reliability performance testing, and/or process qualification, may not yet be complete, and this item is subject to further changes or possible discontinuation. If available for ordering, purchases will be subject to an additional waiver at checkout, and are intended for early internal evaluation purposes only. These items are sold without warranties of any kind.

<sup>(3)</sup> **RoHS values:** Yes, No, RoHS Exempt. See the [TI RoHS Statement](#) for additional information and value definition.

<sup>(4)</sup> **Lead finish/Ball material:** Parts may have multiple material finish options. Finish options are separated by a vertical ruled line. Lead finish/Ball material values may wrap to two lines if the finish value exceeds the maximum column width.

<sup>(5)</sup> **MSL rating/Peak reflow:** The moisture sensitivity level ratings and peak solder (reflow) temperatures. In the event that a part has multiple moisture sensitivity ratings, only the lowest level per JEDEC standards is shown. Refer to the shipping label for the actual reflow temperature that will be used to mount the part to the printed circuit board.

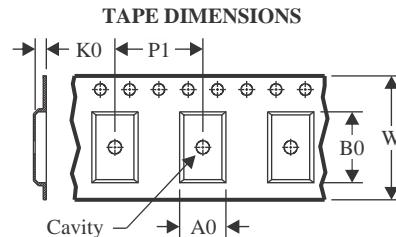
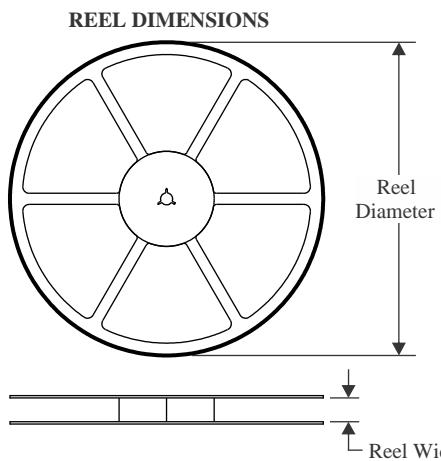
<sup>(6)</sup> **Part marking:** There may be an additional marking, which relates to the logo, the lot trace code information, or the environmental category of the part.

Multiple part markings will be inside parentheses. Only one part marking contained in parentheses and separated by a "~" will appear on a part. If a line is indented then it is a continuation of the previous line and the two combined represent the entire part marking for that device.

**Important Information and Disclaimer:** The information provided on this page represents TI's knowledge and belief as of the date that it is provided. TI bases its knowledge and belief on information provided by third parties, and makes no representation or warranty as to the accuracy of such information. Efforts are underway to better integrate information from third parties. TI has taken and continues to take reasonable steps to provide representative and accurate information but may not have conducted destructive testing or chemical analysis on incoming materials and chemicals. TI and TI suppliers consider certain information to be proprietary, and thus CAS numbers and other limited information may not be available for release.

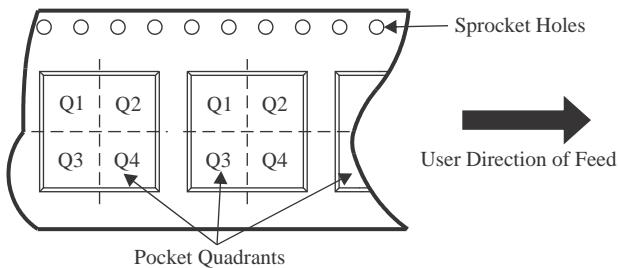
In no event shall TI's liability arising out of such information exceed the total purchase price of the TI part(s) at issue in this document sold by TI to Customer on an annual basis.

## TAPE AND REEL INFORMATION



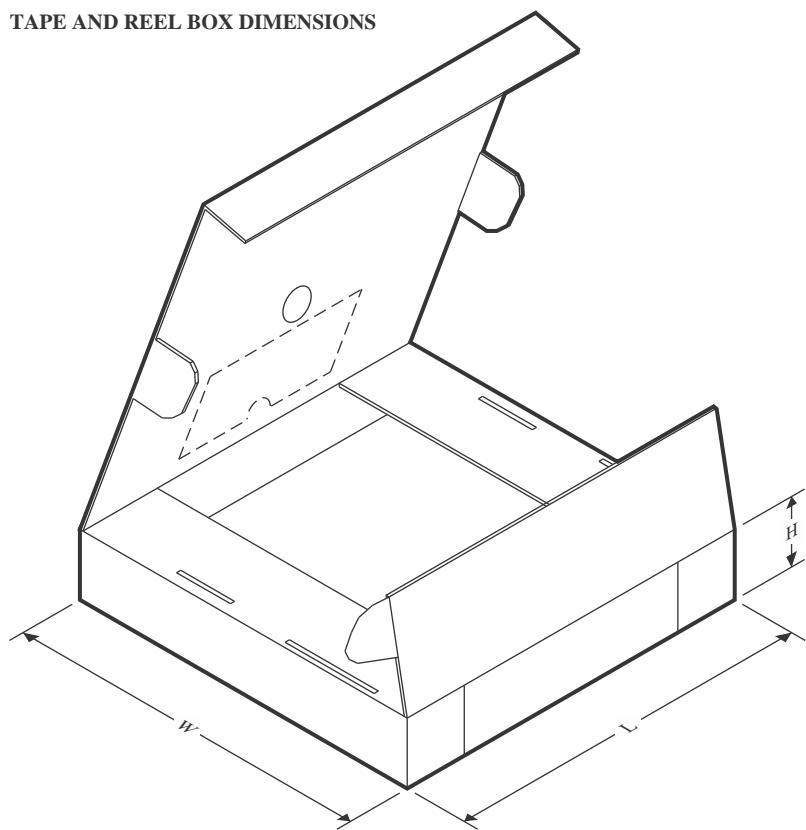
A0	Dimension designed to accommodate the component width
B0	Dimension designed to accommodate the component length
K0	Dimension designed to accommodate the component thickness
W	Overall width of the carrier tape
P1	Pitch between successive cavity centers

### QUADRANT ASSIGNMENTS FOR PIN 1 ORIENTATION IN TAPE



\*All dimensions are nominal

Device	Package Type	Package Drawing	Pins	SPQ	Reel Diameter (mm)	Reel Width W1 (mm)	A0 (mm)	B0 (mm)	K0 (mm)	P1 (mm)	W (mm)	Pin1 Quadrant
ADS52J65IRGCR	VQFN	RGC	64	2000	330.0	16.4	9.3	9.3	1.5	12.0	16.0	Q2
ADS52J66IRGCR	VQFN	RGC	64	2000	330.0	16.4	9.3	9.3	1.5	12.0	16.0	Q2

**TAPE AND REEL BOX DIMENSIONS**


\*All dimensions are nominal

Device	Package Type	Package Drawing	Pins	SPQ	Length (mm)	Width (mm)	Height (mm)
ADS52J65IRGCR	VQFN	RGC	64	2000	350.0	350.0	43.0
ADS52J66IRGCR	VQFN	RGC	64	2000	350.0	350.0	43.0

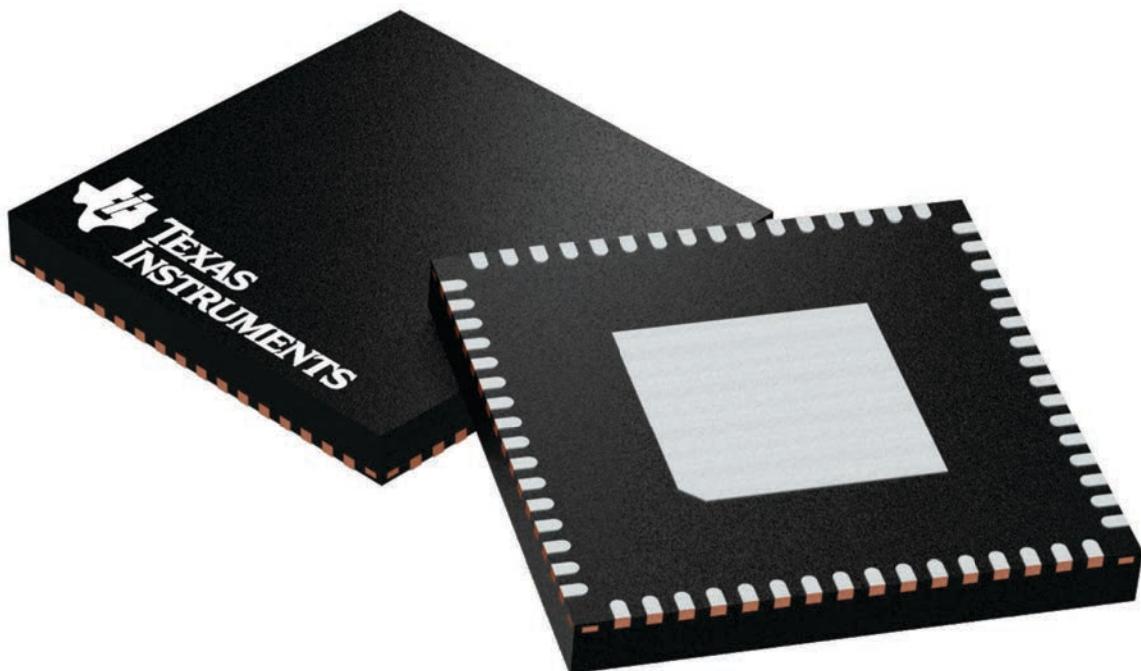
## GENERIC PACKAGE VIEW

**RGC 64**

**VQFN - 1 mm max height**

**9 x 9, 0.5 mm pitch**

**PLASTIC QUAD FLATPACK - NO LEAD**

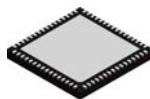


Images above are just a representation of the package family, actual package may vary.  
Refer to the product data sheet for package details.

4224597/A

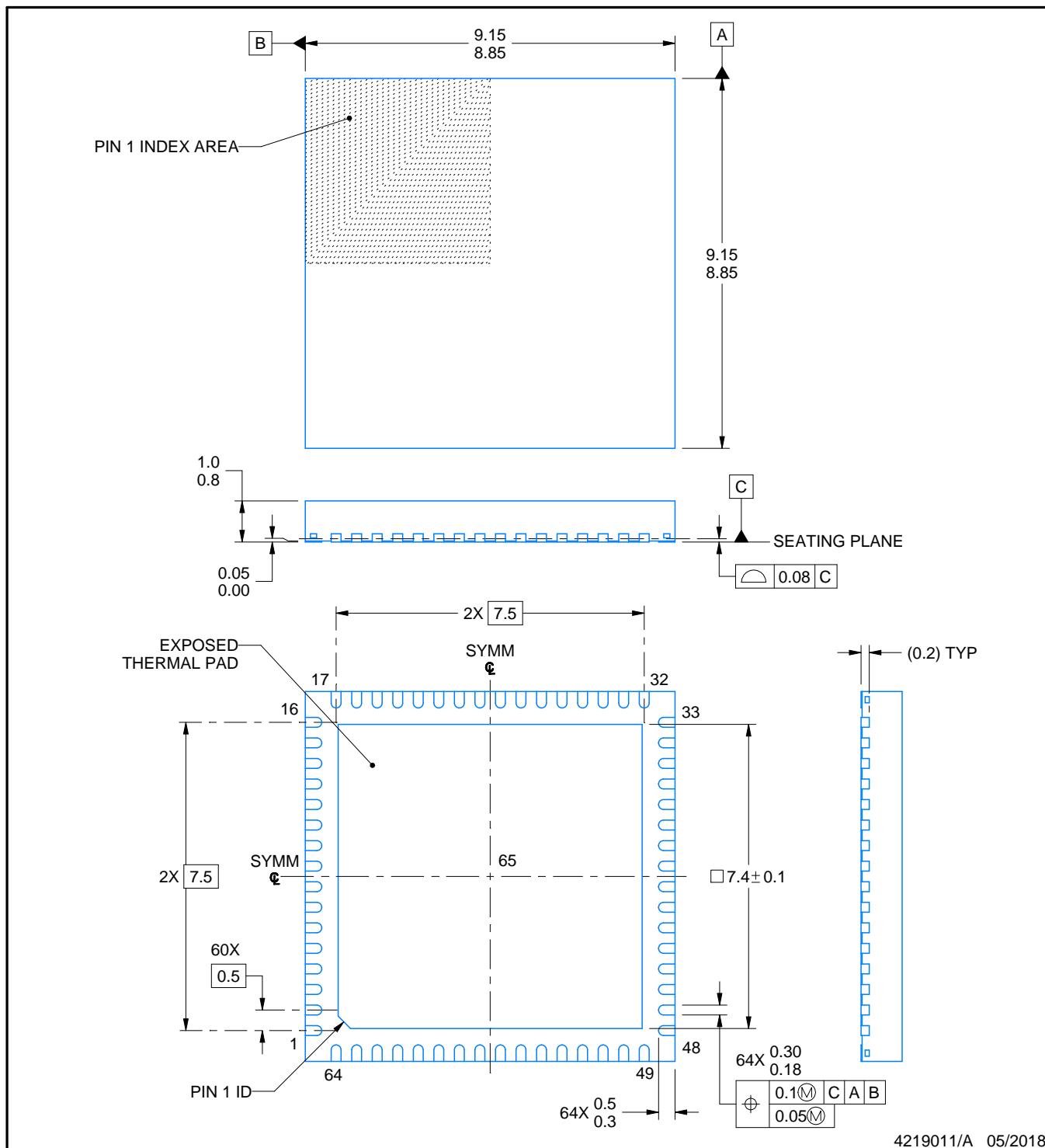
# PACKAGE OUTLINE

RGC0064H



VQFN - 1 mm max height

PLASTIC QUAD FLATPACK - NO LEAD

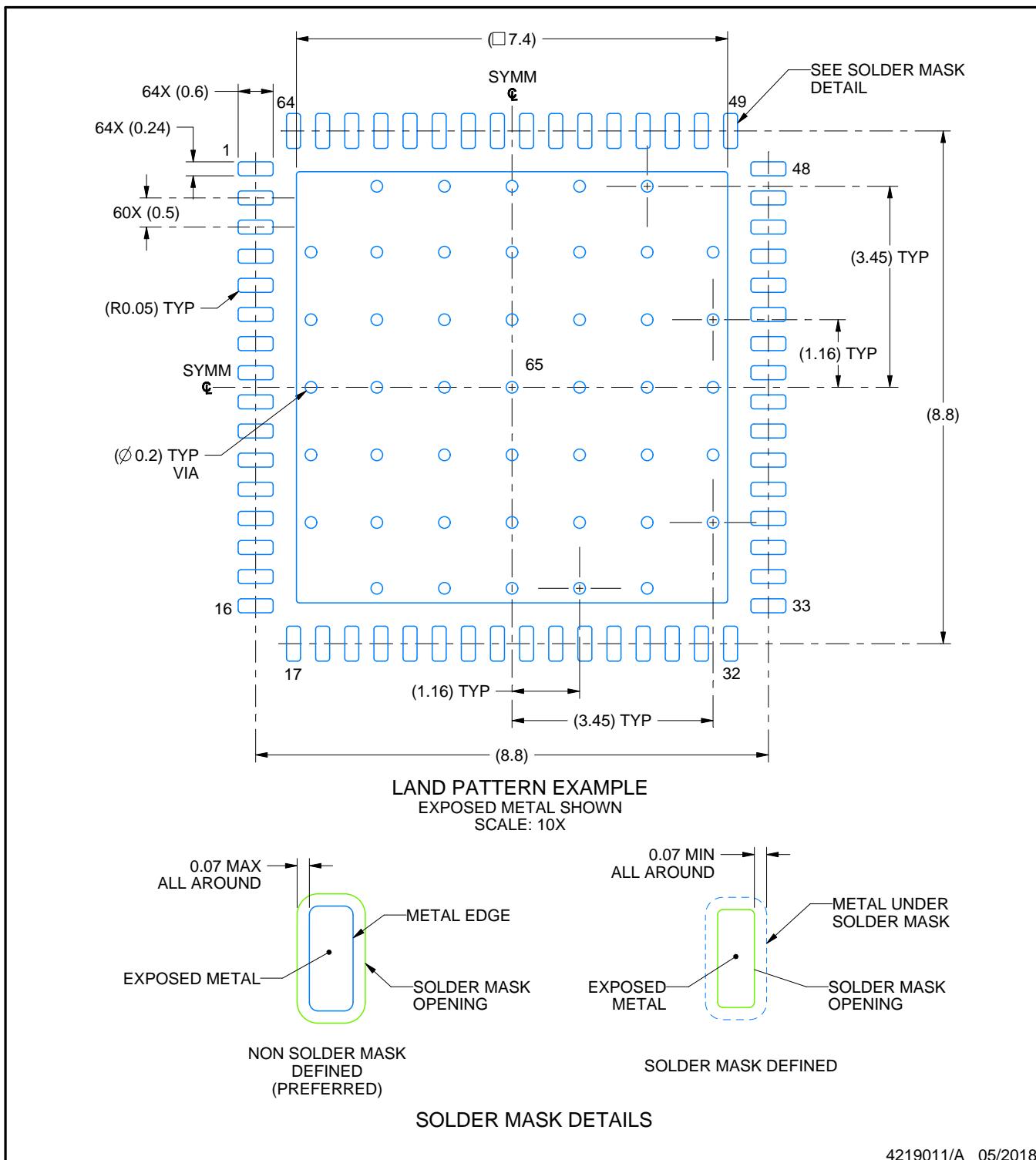


# EXAMPLE BOARD LAYOUT

RGC0064H

VQFN - 1 mm max height

PLASTIC QUAD FLATPACK - NO LEAD



NOTES: (continued)

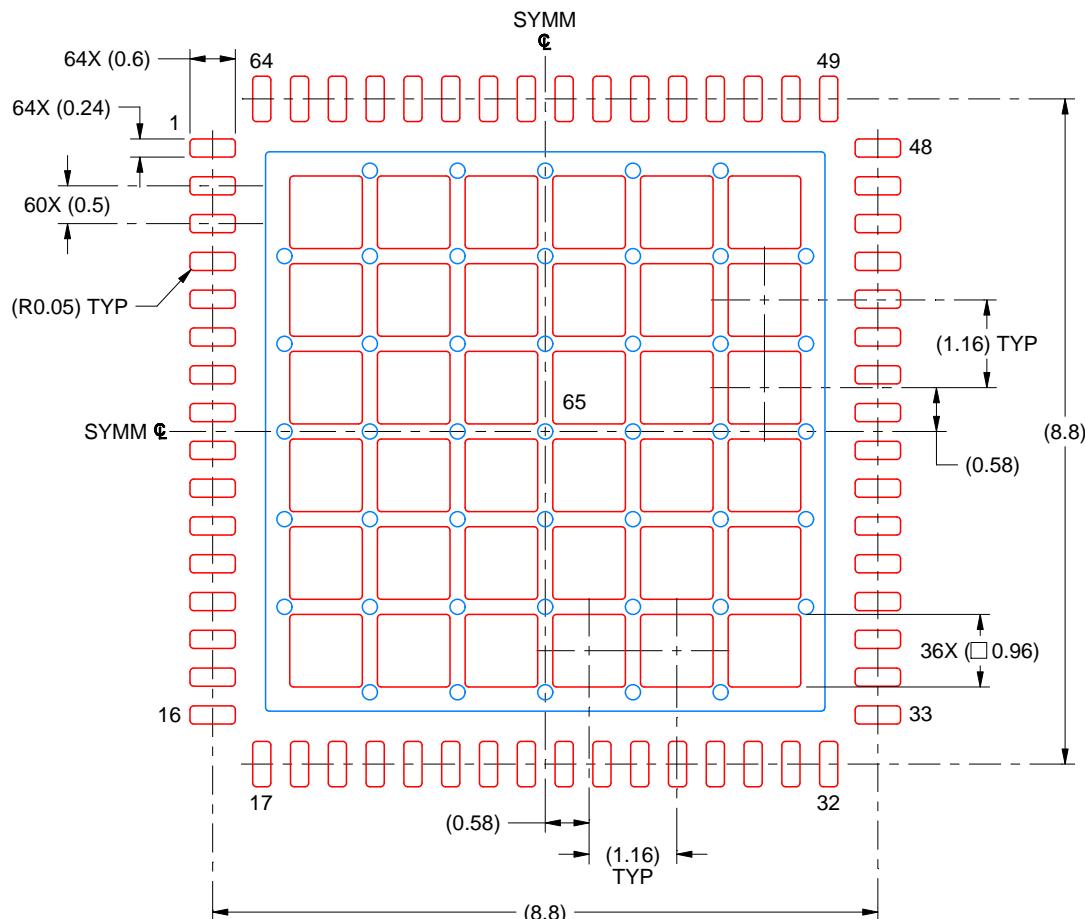
4. This package is designed to be soldered to a thermal pad on the board. For more information, see Texas Instruments literature number SLUA271 ([www.ti.com/lit/slua271](http://www.ti.com/lit/slua271)).
5. Vias are optional depending on application, refer to device data sheet. If any vias are implemented, refer to their locations shown on this view. It is recommended that vias under paste be filled, plugged or tented.

# EXAMPLE STENCIL DESIGN

RGC0064H

VQFN - 1 mm max height

PLASTIC QUAD FLATPACK - NO LEAD



SOLDER PASTE EXAMPLE  
BASED ON 0.125 MM THICK STENCIL  
SCALE: 10X

EXPOSED PAD 65  
61% PRINTED SOLDER COVERAGE BY AREA UNDER PACKAGE

4219011/A 05/2018

NOTES: (continued)

6. Laser cutting apertures with trapezoidal walls and rounded corners may offer better paste release. IPC-7525 may have alternate design recommendations.

## 重要なお知らせと免責事項

TIは、技術データと信頼性データ(データシートを含みます)、設計リソース(リファレンス デザインを含みます)、アプリケーションや設計に関する各種アドバイス、Web ツール、安全性情報、その他のリソースを、欠陥が存在する可能性のある「現状のまま」提供しており、商品性および特定目的に対する適合性の默示保証、第三者の知的財産権の非侵害保証を含むいかなる保証も、明示的または默示的にかかわらず拒否します。

これらのリソースは、TI 製品を使用する設計の経験を積んだ開発者への提供を意図したもので、(1)お客様のアプリケーションに適した TI 製品の選定、(2)お客様のアプリケーションの設計、検証、試験、(3)お客様のアプリケーションに該当する各種規格や、その他のあらゆる安全性、セキュリティ、規制、または他の要件への確実な適合に関する責任を、お客様のみが単独で負うものとします。

上記の各種リソースは、予告なく変更される可能性があります。これらのリソースは、リソースで説明されている TI 製品を使用するアプリケーションの開発の目的でのみ、TI はその使用をお客様に許諾します。これらのリソースに関して、他の目的で複製することや掲載することは禁止されています。TI や第三者の知的財産権のライセンスが付与されている訳ではありません。お客様は、これらのリソースを自身で使用した結果発生するあらゆる申し立て、損害、費用、損失、責任について、TI およびその代理人を完全に補償するものとし、TI は一切の責任を拒否します。

TI の製品は、[TI の販売条件](#)、[TI の総合的な品質ガイドライン](#)、[ti.com](#) または TI 製品などに関連して提供される他の適用条件に従い提供されます。TI がこれらのリソースを提供することは、適用される TI の保証または他の保証の放棄の拡大や変更を意味するものではありません。TI がカスタム、またはカスタマー仕様として明示的に指定していない限り、TI の製品は標準的なカタログに掲載される汎用機器です。

お客様がいかなる追加条項または代替条項を提案する場合も、TI はそれらに異議を唱え、拒否します。

Copyright © 2025, Texas Instruments Incorporated

最終更新日：2025 年 10 月