参 考 資 料

TEXAS INSTRUMENTS
www.tij.co.jp

ADS5281
ADS5282

JAJS318

12ビット、8チャネルADCファミリー 最大変換速度65MSPS

特　長

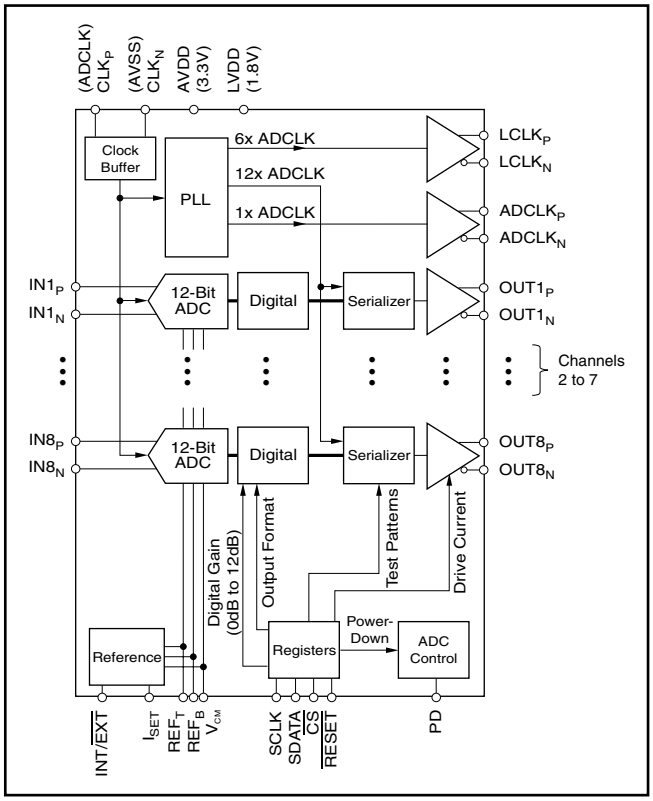
- 変換速度と分解能
  - ADS5281：12ビット、50MSPS
  - ADS5282：12ビット、65MSPS
- 消費電力
  - 48mW/チャネル（30MSPS時）
  - 55mW/チャネル（40MSPS時）
  - 64mW/チャネル（50MSPS時）
  - 77mW/チャネル（65MSPS時）
- 70dBFS SNR（IF = 10MHz時）
- アナログ入力フルスケール範囲：$2V_{PP}$
- 低周波ノイズ低減モード
- 1クロック以内で6dB過負荷から復帰
- 外部および内部リファレンス（トリミング済）
- 3.3Vアナログ電源、1.8Vデジタル電源
- シングル・エンドまたは差動クロック
  - クロック・デューティ・サイクル修正回路（DCC）
- プログラマブル・デジタル・ゲイン：0dB～12dB
- DDR LVDSシリアル出力
- プログラマブルLVDS電流ドライブ、内部終端
- 出力取込みイネーブル、テスト・パターン
- ストレート・オフセット・バイナリまたは2の補数出力
- パッケージ・オプション
  - 9mm × 9mm QFN-64
  - HTQFP-80 PowerPAD™，ADS527xファミリーと互換性あり

アプリケーション

- 医用イメージング
- 無線基地局インフラ
- テスター・計測機器

概　要

ADS528xは高性能、低消費電力、8チャネルのADコンバータ（ADC）ファミリーです。9mm × 9mmのQFNパッケージまたは、HTQFP-80パッケージで、シリアル化された低電圧差動信号（LVDS）出力と広範なプログラマブル機能により、ADS528xは多様なアプリケーション向けに高度なカスタマイズが可能であり、従来にないレベルのシステム統合を提供します。アプリケーション・ノートXAPP774（www. xilinx.comで入手可）で、TI製ADCのシリアルLVDS出力とXilinx®フィールド・プログラマブル・ゲートアレイ（FPGA）とのインターフェイス方法について解説しています。ADS528xファミリーは、産業用温度範囲の–40℃から+85℃で動作が規定されています。



PowerPADは、テキサス・インスツルメンツの登録商標です。Xilinxは、Xilinx社の商標です。
すべての商標および登録商標は、それぞれの所有者に帰属します。

この資料は、Texas Instruments Incorporated（TI）が英文で記述した資料を、皆様のご理解の一助として頂くために日本テキサス・インスツルメンツ（日本TI）が英文から和文へ翻訳して作成したものです。
資料によっては正規英語版資料の更新に対応していないものがあります。
日本TIによる和文資料は、あくまでもTI正規英語版をご理解頂くための補助的参考資料としてご使用下さい。
製品のご検討およびご採用にあたりましては必ず正規英語版の最新資料をご確認下さい。
TIおよび日本TIは、正規英語版にて更新の情報を提供しているにもかかわらず、更新以前の情報に基づいて発生した問題や障害等につきましては如何なる責任も負いません。

SBAS397H　翻訳版

TEXAS INSTRUMENTS

最新の英語版資料
http://focus.ti.com/lit/ds/symlink/ads5281.pdf

静電気放電対策

これらのデバイスは、限定的なESD（静電破壊）保護機能を内蔵しています。保存時または取り扱い時に、MOSゲートに対する静電破壊を防止するために、リード線どうしを短絡しておくか、デバイスを導電性のフォームに入れる必要があります。

関連製品

製品名	分解能（ビット）	サンプリング・レート（MSPS）	チャネル
ADS5281	12	50	8
ADS5282	12	65	8
ADS5287	10	65	8
ADS5270	12	40	8
ADS5271	12	50	8
ADS5272	12	65	8
ADS5273	12	70	8
ADS5242	12	65	4

製品情報 (1)(2)

製品名	パッケージ・リード	パッケージ・コード	仕様温度範囲	パッケージ捺印	製品型番	出荷形態、数量 (3)
ADS5281	HTQFP-80 (PowerPAD)	PFP	–40°C ～ +85°C	ADS5281I	ADS5281IPFP	トレイ
					ADS5281IPFPR	テープ・リール
	QFN-64	RGC		AZ5281	ADS5281IRGCT	テープ・リール
					ADS5281IRGCR	テープ・リール
ADS5282	QFN-64	RGC	–40°C ～ +85°C	AZ5282	ADS5282IRGCT	テープ・リール
					ADS5282IRGCR	テープ・リール

（1）最新のパッケージと発注情報は、この文書の追補または、日本TIのWeb Site www.ti.co.jpをご覧ください。
（2）これらのデバイスは、以下のエコ・フレンドリー・プランに適応しています:
Green（RoHSおよびNo Sb/Br）: TIは、鉛フリー（RoHS対応）、臭素（Br）、アンチモニー（Sb）フリー、難燃化した製品を、Green化製品としています。
さらにこれらの製品はリード/ボールをCu NiPdAuメッキとしています。詳しくはWeb SiteのQuality and Lead-Free（Pb-Free）Dataをご参照ください。
（3）パッケージ・マテリアル、数量に関しては、このドキュメントの巻末にあるパッケージ・オプションのページを参照してください。

絶対最大定格 (1)

	ADS528x	単位
電源電圧、AVDD	–0.3 ～ +3.9	V
電源電圧、LVDD	–0.3 ～ +2.2	V
AVSS、LVSS 間電圧	–0.3 ～ +0.3	V
REF_T 端子、外部リファレンス入力電圧	–0.3 ～ +3	V
REF_B 端子、外部リファレンス入力電圧	–0.3 ～ +2	V
アナログ入力端子、入力電圧	–0.3 ～ minimum [3.6, (AVDD + 0.3)] (2)	V
デジタル入力端子、入力電圧	–0.3 ～ minimum [3.9, (AVDD + 0.3)] (3)	V
ピーク半田温度	+260	°C
接合部温度	+125	°C
保存温度	–65 ～ +150	°C

（1）絶対最大定格以上のストレスは、致命的なダメージを製品に与えることがあります。絶対最大定格の状態に長時間置くと、本製品の信頼性に影響を与えることがあります。これはストレスの定格のみについて示してあり、このデータシートに示された値を越える状態での本製品の機能動作は含まれていません。
（2）minimum［3.6,（AVDD+0.3）］は3.6または（AVDD+0.3）のどちらか低い方の電圧を意味します。
（3）minimum［3.9,（AVDD+0.3）］は3.9または（AVDD+0.3）の低い方の電圧を意味します。

推奨動作条件 (1)

パラメータ		ADS528x MIN	TYP	MAX	単位
電源、アナログ入力、リファレンス電圧					
AVDD	アナログ電源電圧	3.0	3.3	3.6	V
LVDD	デジタル電源電圧	1.7	1.8	1.9	V
	差動入力電圧範囲		2		V_{PP}
	同相入力電圧		$V_{CM} \pm 0.05$		V
REF_T	外部リファレンス・モード		2.5		V
REF_B	外部リファレンス・モード		0.5		V
クロック入力					
	ADCLK 入力サンプル・レート1/ t_C	10		50, 65	MSPS
	入力クロック振幅差（$V_{CLKP} - V_{CLKN}$）PP				
	正弦波、AC結合		3.0		V_{PP}
	LVPECL、AC結合		1.6		V_{PP}
	LVDS、AC結合		0.7		V_{PP}
	CMOS入力クロック、 シングル・エンド（V_{CLKP}）				
	V_{IL}			0.6	V
	V_{IH}	2.2			V
	入力クロック・デューティー・サイクル		50		%
デジタル出力					
	$ADCLK_P$、$ADCLK_N$ 出力(LVDS)	10	1x (sample rate)	50, 65	MHz
	$LCLK_P$、$LCLK_N$ 出力(LVDS)	60	6x (sample rate)	300, 390	MHz
C_{LOAD}	LVSS 端子当り最大外部容量		5		pF
R_{LOAD}	LVDS 出力端子間、最大負荷抵抗		100		Ω
T_A	動作温度	–40		+85	°C

（1）全ての条件はADS528xファミリーに共通です。

初期化レジスタ

アナログ入力がAC結合の場合、以下のレジスタをシリアル・インターフェイスで書き込む（下のリストの順番通り）必要があります。

	アドレス（hex）	データ（hex）
初期化レジスタ1	01	0010
初期化レジスタ5	E2	00C0

これらのレジスタ書き込みは、デバイスを最適な動作モードに設定することを目的としています。

デジタル特性

特性値はスイッチング時ではなく、ロジック・レベル“0”または“1”の固定時です。
C_{LOAD} = 5pF[1]，I_{OUT} = 3.5mA[2]，R_{LOAD} = 100Ω[2]および内部終端なし。（特に記述のない限り）

パラメータ	測定条件	ADS528x			単位
		MIN	TYP	MAX	
デジタル入力					
“High”レベル入力電圧		1.4			V
“Low”レベル入力電圧				0.3	V
“High”レベル入力電流			33		µA
“Low”レベル入力電流			–33		µA
入力容量			3		pF
LVDS 出力					
“High”レベル出力電圧			1375		mV
“Low”レベル出力電圧			1025		mV
差動出力電圧、$\lvert V_{OD} \rvert$			350		mV
V_{OS} 出力オフセット電圧	OUT_P、OUT_N間、同相モード電圧		1200		mV
出力容量	デバイス内部の出力容量、各出力とグランド間		2		pF

（1）C_{LOAD}は、各出力端子とグランド間の外部シングル・エンド負荷の実効容量。
（2）I_{OUT}はLVDSバッファ電流設定値であり、R_{LOAD}はLVDS出力対間の差動負荷抵抗。

電気的特性[1]

TYPは+25°C時、MINおよびMAXは、特に記述の無い限り次の条件で測定。
規定温度範囲T_{MIN} = –40°C～T_{MAX} = +85°C，AVDD = 3.3V，LVDD = 1.8V，クロック周波数 = 10MSPS～65MSPS，クロック・デューティー・サイクル50%、–1dBFS差動アナログ入力、内部リファレンス・モード、I_{SET}抵抗 = 56.2kΩおよびLVDSバッファ電流設定値 = 3.5mA.

パラメータ		測定条件	ADS528x MIN	ADS528x TYP	ADS528x MAX	単位
内部リファレンス電圧						
V_{REFB}	下限リファレンス電圧			0.5		V
V_{REFT}	上限リファレンス電圧			2.5		V
	$V_{REFT} – V_{REFB}$		1.95	2.0	2.05	V
V_{CM}	同相モード電圧（内部）		1.425	1.5	1.575	V
	V_{CM} 出力電流			±2		mA
外部リファレンス電圧						
V_{REFB}	下限リファレンス・ボトム電圧		0.4	0.5	0.6	V
V_{REFT}	上限リファレンス・トップ電圧		2.4	2.5	2.6	V
	$V_{REFT} – V_{REFB}$		1.9	2.0	2.1	V
アナログ入力						
	差動入力電圧範囲			2.0		V_{PP}
	差動入力容量			3		pF
	アナログ入力帯域			520		MHz
	アナログ入力同相範囲	DC結合入力		V_{CM} ± 0.05		V
	アナログ入力同相電流	サンプリング・スピードMSPS当り入力端子毎		2.5		µA/MHz per pin
	電圧過負荷復帰時間	6dB 過負荷から精度1%への復帰		1		Clock cycle
	電圧過負荷繰り返し	正弦波で6dB過負荷を繰り返したとき、最初のデータのフルスケールに対する標準偏差		1		LSB
DC精度						
	オフセット誤差		–1.25	±0.2	+1.25	%FS
	オフセット誤差温度係数[2]			±5		ppm/°C
	チャネル・ゲイン誤差	内部リファレンス誤差を除く		–0.8		%FS
	チャネル・ゲイン誤差温度係数	内部リファレンスの温度係数を除く		±10		ppm/°C
	内部リファレンス誤差温度係数[3]			±15		ppm/°C
DC PSRR	DC電源除去比[4]			1.5		mV/V
パワーダウン・モード						
	完全パワーダウン・モード電力			45		mW
	部分パワーダウン・モード電力	クロック、65MSPSのとき		135		mW
	クロック停止時電力			88		mW
動的特性						
	クロストーク	5MHzのフルスケール信号を 7 つのチャネルに加え、信号を加えていないチャネルで測定		–90		dBc
	2信号、3次相互変調歪	f_1 = 9.5MHz –7dBFs、f_2 = 10.2MHz –7dBFsのとき		–92		dBFS

(1) 全ての特性はADS528xファミリーに共通。
(2) ppm/°Cのオフセット温度係数は、$(O_1 – O_2) \times 10^6 / (T_1 – T_2)/4096$として定義。$O_1$および$O_2$は、最大$T_1$および最小$T_2$温度における、LSB単位のオフセット・コード。
(3) 内部リファレンス温度係数は$(REF_1 – REF_2) \times 10^6 / (T_1 – T_2)/2$として定義。$REF_1$および$REF_2$は、最大$T_1$および最小$T_2$温度における内部リファレンス電圧$(V_{REFT} – V_{REFB})$。
(4) DC PSRRは、ADC出力における変化（mVで表記）の電源電圧（V単位）変化に対する比として定義。

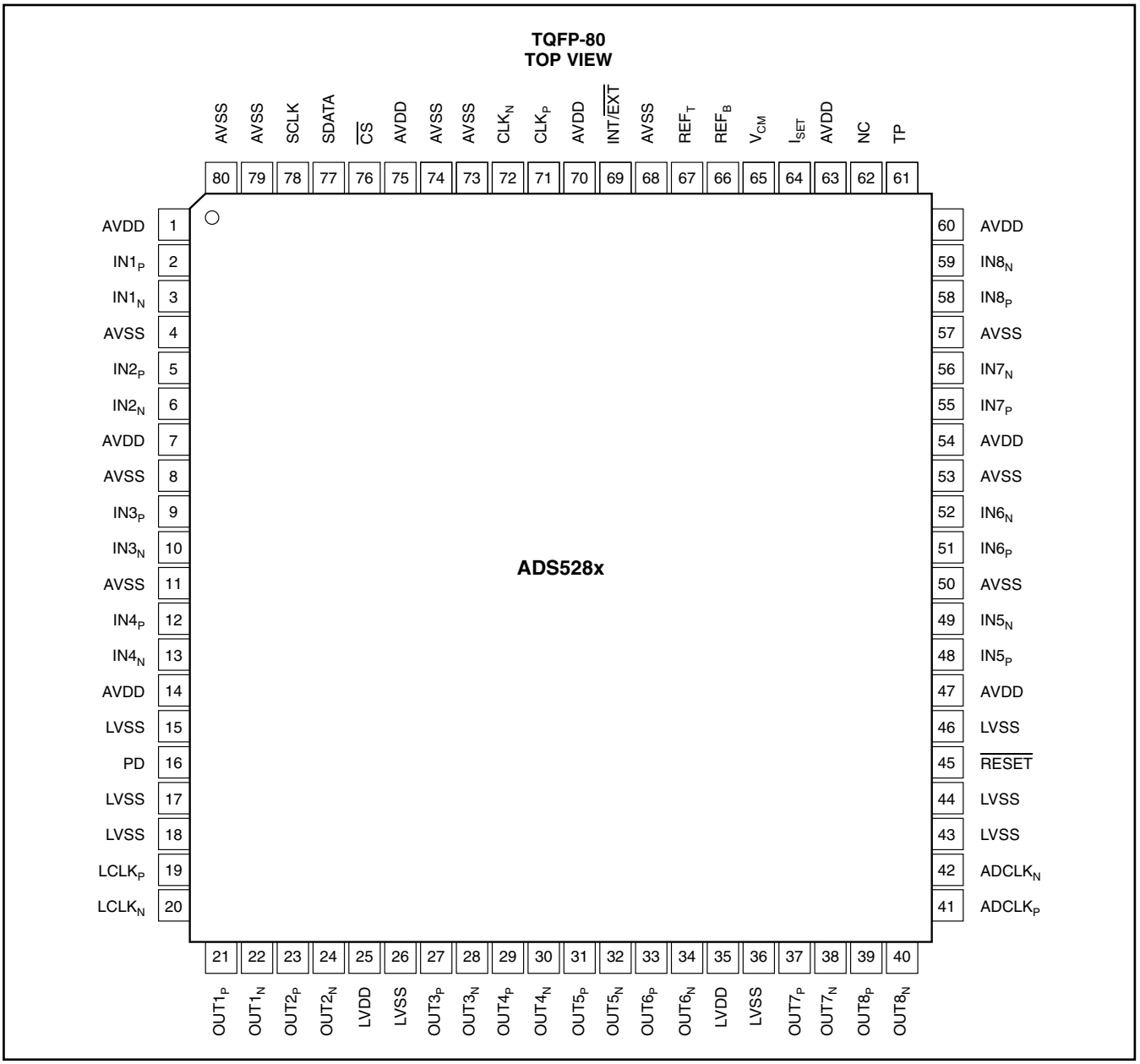
電気的特性(デバイス別)[1]

TYPは+25°C時、MINおよびMAXは、特に記述の無い限り次の条件で測定。
規定温度範囲T_{MIN} = –40°C～T_{MAX} = +85°C，AVDD = 3.3V，LVDD = 1.8V，クロック周波数 = 10MSPS～65MSPS，
クロック・デューティー・サイクル50%、–1dBFS差動アナログ入力、内部リファレンス・モード、I_{SET}抵抗 = 56.2kΩ
およびLVDSバッファ電流設定値 = 3.5mA.

パラメータ		試験条件	ADS5281 HTQFP-80 50MSPS			ADS5281 QFN-64 50MSPS			ADS5282 QFN-64 65MSPS			単位
			MIN	TYP	MAX	MIN	TYP	MAX	MIN	TYP	MAX	
DC精度												
	ノー・ミッシング・コード			12			12			12		bit
DNL	微分非直線性		–0.75	±0.25	+0.75	–0.75	±0.25	+0.75	–0.9	±0.3	+0.9	LSB
INL	積分非直線性		–1.5	±0.7	+1.5	–1.5	±0.7	+1.5	–1.7	±0.7	+1.7	LSB
電源、内部リファレンス・モード												
IAVDD	アナログ電源電流			119	145		119	145		145	170	mA
ILVDD	デジタル電源電流	全チャネル・ゼロ入力		76	95		76	95		89	102	mA
	全消費電力			530	649.5		530	649.5		639	744.6	mW
	パワー・セーブ電力	1チャネル分のパワーダウン		51			51			63		mW
電源、外部リファレンス・モード												
IAVDD	アナログ電源電流			113			113			138		mA
ILVDD	デジタル電源電流	全チャネル・ゼロ入力		76			76			89		mA
	全消費電力			510			510			616		mW
	パワー・セーブ電力	1チャネル分のパワーダウン		50			50			61		mW
外部リファレンス												
	スィッチング電流	外部リファレンスから8個のADCへの電流；ソースREF_T、シンクREF_B.		2.5			2.5			3.5		mA
ダイナミック特性												
SFDR	スプリアス・フリー・ダイナミック・レンジ	f_{IN} = 5MHz, シングル・エンド・クロック	74	85		74	85		72	85		dBc
		f_{IN} = 30MHz, 差動クロック		80			80			80		dBc
HD2	2次高調波成分	f_{IN} = 5MHz, シングル・エンド・クロック	74	85		74	85		72	85		dBc
		f_{IN} = 30MHz, 差動クロック		82			82			82		dBc
HD3	3次高調波成分	f_{IN} = 5MHz, シングル・エンド・クロック	74	85		74	85		72	85		dBc
		f_{IN} = 30MHz, 差動クロック		80			80			80		dBc
THD	全高調波歪	f_{IN} = 5MHz, シングル・エンド・クロック	71	80		71	80		70	80		
		f_{IN} = 30MHz, 差動クロック		78			78			78		
SNR	信号対雑音比	f_{IN} = 5MHz, シングル・エンド・クロック	68.3	70		68.3	70		68.3	70		dBFS
		f_{IN} = 30MHz, 差動クロック		69.8			69.8			69.8		dBFS
SINAD	信号対(雑音 + 歪)比	f_{IN} = 5MHz, シングル・エンド・クロック	67.7	69.7		67.7	69.7		67.3	69.7		dBFS
		f_{IN} = 30MHz, 差動クロック		69.5			69.5			69.5		dBFS

(1) 全特性とも、グレード毎のもの。

ピン配置

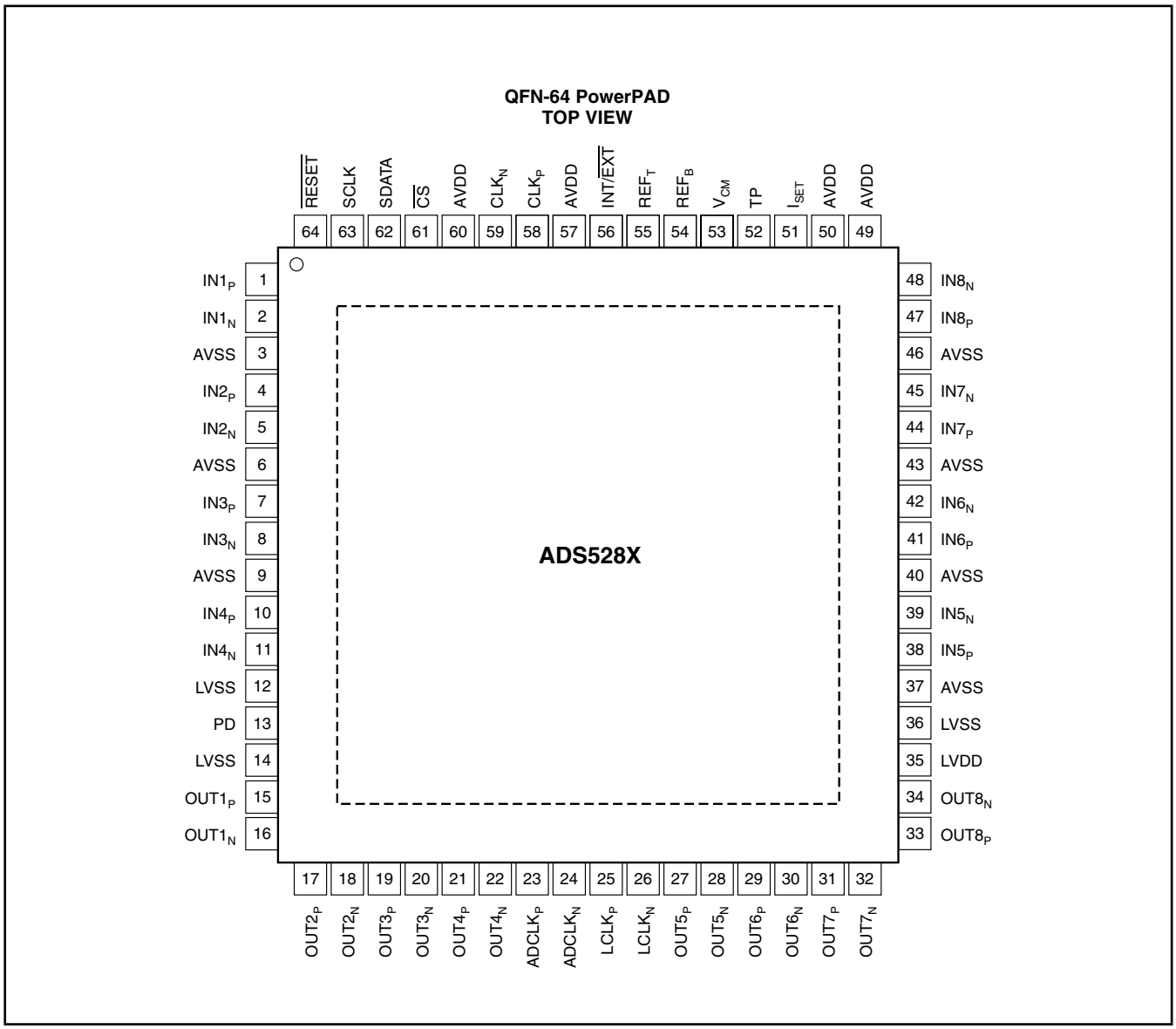


端子名	説明	端子番号	端子数
$ADCLK_N$	LVDSフレーム・クロック（1X）— N（負）出力	42	1
$ADCLK_P$	LVDSフレーム・クロック（1X）— P（正）出力	41	1
AVDD	3.3Vアナログ電源	1, 7, 14, 47, 54, 60, 63, 70, 75	9
AVSS	アナログ・グランド	4, 8, 11, 50, 53, 57, 68, 73, 74, 79, 80	11
CLK_N	差動クロックN（負）、シングル・エンドのときCLK_Nを0Vに接続	72	1
CLK_P	差動クロックP（正）	71	1
$\overline{CS}$	シリアル・イネーブル・チップセレクト、“Low”アクティブ	76	1
$IN1_N$	チャネル１、差動信号入力N（負）	3	1
$IN1_P$	チャネル１、差動信号入力P（正）	2	1
$IN2_N$	チャネル２、差動信号入力N（負）	6	1

表 1. 端子説明：TQFP-80

端子名	説明	端子番号	端子数
$IN2_P$	チャネル2、差動信号入力P（正）	5	1
$IN3_N$	チャネル3、差動信号入力N（負）	10	1
$IN3_P$	チャネル3、差動信号入力P（正）	9	1
$IN4_N$	チャネル4、差動信号入力N（負）	13	1
$IN4_P$	チャネル4、差動信号入力P（正）	12	1
$IN5_N$	チャネル5、差動信号入力N（負）	49	1
$IN5_P$	チャネル5、差動信号入力P（正）	48	1
$IN6_N$	チャネル6、差動信号入力N（負）	52	1
$IN6_P$	チャネル6、差動信号入力P（正）	51	1
$IN7_N$	チャネル7、差動信号入力N（負）	56	1
$IN7_P$	チャネル7、差動信号入力P（正）	55	1
$IN8_N$	チャネル8、差動信号入力N（負）	59	1
$IN8_P$	チャネル8、差動信号入力P（正）	58	1
INT/$\overline{EXT}$	内部/外部リファレンス・モード選択入力	69	1
I_{SET}	バイアス端子、56.2kΩをグランドと接続	64	1
$LCLK_N$	LVDSビット・クロック（6X）—N（負）出力	20	1
$LCLK_P$	LVDSビット・クロック（6X）—P（正）出力	19	1
LVDD	1.8Vデジタル、I/O電源	25, 35	2
LVSS	デジタル・グランド	15, 17, 18, 26, 36, 43, 44, 46	8
NC	No connection（または、グランドに接続)	62	1
$OUT1_N$	LVDSチャネル1、差動信号出力N（負）	22	1
$OUT1_P$	LVDSチャネル1、差動信号出力P（正）	21	1
$OUT2_N$	LVDSチャネル2、差動信号出力N（負）	24	1
$OUT2_P$	LVDSチャネル2、差動信号出力P（正）	23	1
$OUT3_N$	LVDSチャネル3、差動信号出力N（負）	28	1
$OUT3_P$	LVDSチャネル3、差動信号出力P（正）	27	1
$OUT4_N$	LVDSチャネル4、差動信号出力N（負）	30	1
$OUT4_P$	LVDSチャネル4、差動信号出力P（正）	29	1
$OUT5_N$	LVDSチャネル5、差動信号出力N（負）	32	1
$OUT5_P$	LVDSチャネル5、差動信号出力P（正）	31	1
$OUT6_N$	LVDSチャネル6、差動信号出力N（負）	34	1
$OUT6_P$	LVDSチャネル6、差動信号出力P（正）	33	1
$OUT7_N$	LVDSチャネル7、差動信号出力N（負）	38	1
$OUT7_P$	LVDSチャネル7、差動信号出力P（正）	37	1
$OUT8_N$	LVDSチャネル8、差動信号出力N（負）	40	1
$OUT8_P$	LVDSチャネル8、差動信号出力P（正）	39	1
PD	パワーダウン入力	16	1
REF_B	リファレンス入力/出力、（負）	66	1
REF_T	リファレンス入力/出力、（正）	67	1
$\overline{RESET}$	リセット入力、“Low”アクティブ	45	1
SCLK	シリアル・クロック入力	78	1
SDATA	シリアル・データ入力	77	1
TP	テスト用端子、使用不可	61	1
V_{CM}	同相出力端子、1.5V出力	65	1

表 1. ピン構成：TQFP-80



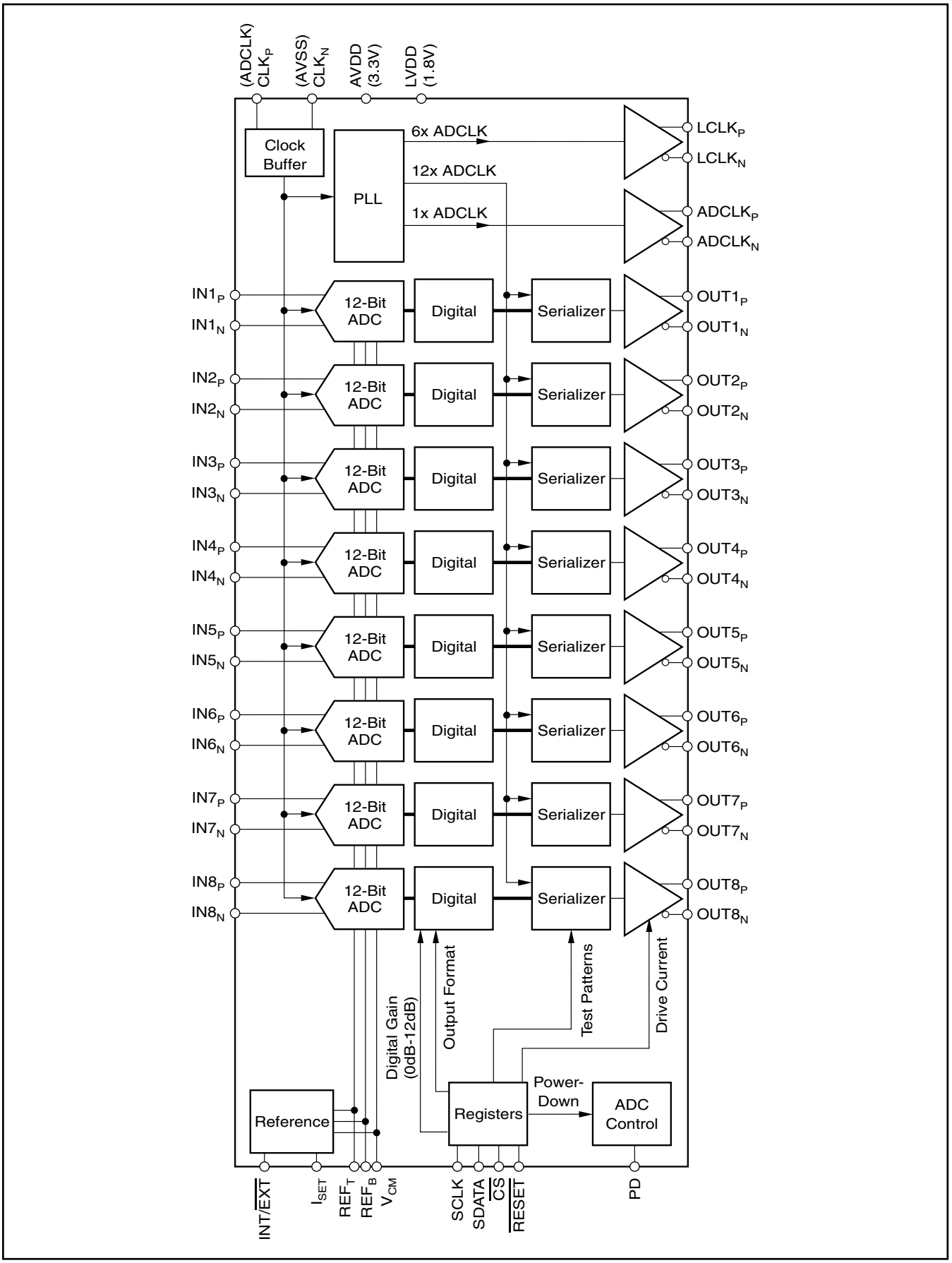
端子名	説明	端子番号	端子数
$ADCLK_N$	LVDSフレーム・クロック（1X）—N（負）出力	24	1
$ADCLK_P$	LVDSフレーム・クロック（1X）—P（正）出力	23	1
AVDD	3.3Vアナログ電源	49, 50, 57, 60	4
AVSS	アナログ・グランド	3, 6, 9, 37, 40, 43, 46	7
CLK_N	差動クロックN（負）、シングル・エンドのときCLK_Nを0Vに接続	59	1
CLK_P	差動クロックP（正）	58	1
$\overline{CS}$	シリアル・イネーブル・チップセレクト、“Low”アクティブ	61	1
$IN1_N$	チャネル1、差動信号入力N（負）	2	1
$IN1_P$	チャネル1、差動信号入力P（正）	1	1
$IN2_N$	チャネル2、差動信号入力N（負）	5	1
$IN2_P$	チャネル2、差動信号入力P（正）	4	1
$IN3_N$	チャネル3、差動信号入力N（負）	8	1
$IN3_P$	チャネル3、差動信号入力P（正）	7	1
$IN4_N$	チャネル4、差動信号入力N（負）	11	1
$IN4_P$	チャネル4、差動信号入力P（正）	10	1
$IN5_N$	チャネル5、差動信号入力N（負）	39	1

表 2. ピン構成：QFN-64

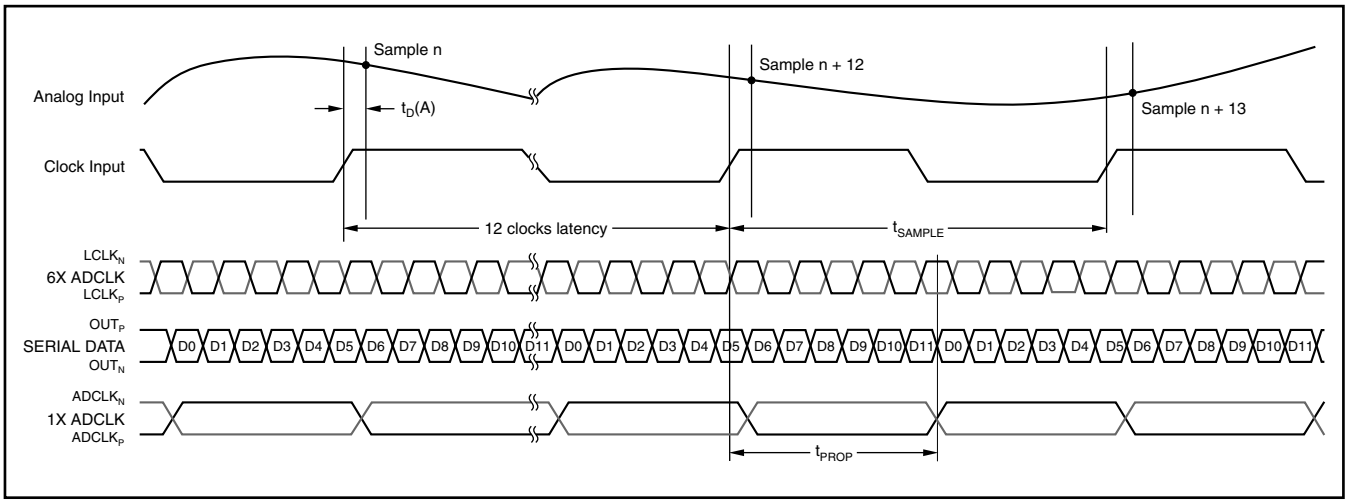
端子名	説明	端子番号	端子数
$IN5_P$	チャネル5、差動信号入力P（正）	38	1
$IN6_N$	チャネル6、差動信号入力N（負）	42	1
$IN6_P$	チャネル6、差動信号入力P（正）	41	1
$IN7_N$	チャネル7、差動信号入力N（負）	45	1
$IN7_P$	チャネル7、差動信号入力P（正）	44	1
$IN8_N$	チャネル8、差動信号入力N（負）	48	1
$IN8_P$	チャネル8、差動信号入力P（正）	47	1
INT/$\overline{EXT}$	内部/外部リファレンス・モード選択入力	56	1
I_{SET}	バイアス端子、56.2kΩをグランドと接続	51	1
$LCLK_N$	LVDSビット・クロック（6X）—N（負）出力	26	1
$LCLK_P$	LVDSビット・クロック（6X）—P（正）出力	25	1
LVDD	1.8Vデジタル、I/O電源	35	1
LVSS	デジタル・グランド	12, 14, 36	3
$OUT1_N$	LVDSチャネル1、差動信号出力N（負）	16	1
$OUT1_P$	LVDSチャネル1、差動信号出力P（正）	15	1
$OUT2_N$	LVDSチャネル2、差動信号出力N（負）	18	1
$OUT2_P$	LVDSチャネル2、差動信号出力P（正）	17	1
$OUT3_N$	LVDSチャネル3、差動信号出力N（負）	20	1
$OUT3_P$	LVDSチャネル3、差動信号出力P（正）	19	1
$OUT4_N$	LVDSチャネル4、差動信号出力N（負）	22	1
$OUT4_P$	LVDSチャネル4、差動信号出力P（正）	21	1
$OUT5_N$	LVDSチャネル5、差動信号出力N（負）	28	1
$OUT5_P$	LVDSチャネル5、差動信号出力P（正）	27	1
$OUT6_N$	LVDSチャネル6、差動信号出力N（負）	30	1
$OUT6_P$	LVDSチャネル6、差動信号出力P（正）	29	1
$OUT7_N$	LVDSチャネル7、差動信号出力N（負）	32	1
$OUT7_P$	LVDSチャネル7、差動信号出力P（正）	31	1
$OUT8_N$	LVDSチャネル8、差動信号出力N（負）	34	1
$OUT8_P$	LVDSチャネル8、差動信号出力P（正）	33	1
PD	パワーダウン入力	13	1
REF_B	リファレンス入力/出力、（負）	54	1
REF_T	リファレンス入力/出力、（正）	55	1
$\overline{RESET}$	リセット入力、“Lowアクティブ”	64	1
SCLK	シリアル・クロック入力	63	1
SDATA	シリアル・データ入力	62	1
TP	テスト用端子、使用不可	52	1
V_{CM}	同相出力端子、1.5V出力	53	1

表 2. ピン構成：QFN-64

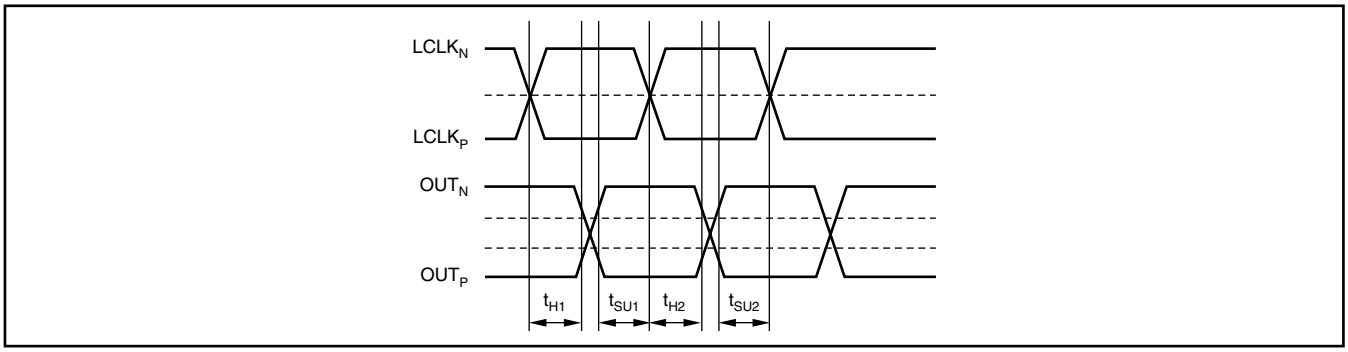
機能ブロック図


(ADCLK) CLKP
(AVSS) CLKN
AVDD (3.3V)
LVDD (1.8V)
Clock Buffer
PLL
6x ADCLK
12x ADCLK
1x ADCLK
LCLKP
LCLKN
ADCLKP
ADCLKN
IN1P
IN1N
IN2P
IN2N
IN3P
IN3N
IN4P
IN4N
IN5P
IN5N
IN6P
IN6N
IN7P
IN7N
IN8P
IN8N
12-Bit ADC
Digital
Serializer
OUT1P
OUT1N
OUT2P
OUT2N
OUT3P
OUT3N
OUT4P
OUT4N
OUT5P
OUT5N
OUT6P
OUT6N
OUT7P
OUT7N
OUT8P
OUT8N
Digital Gain (0dB-12dB)
Output Format
Test Patterns
Drive Current
Reference
Registers
Power-Down
ADC Control
INT/EXT
ISET
REFT
REFB
VCM
SCLK
SDATA
CS
RESET
PD

LVDSタイミング図



セットアップ・タイムおよびホールド・タイム



$t_{SU} = \min(t_{SU1}, t_{SU2})$

$t_H = \min(t_{H1}, t_{H2})$

タイミング特性 (1)(2)

パラメータ		測定条件	ADS528x MIN	ADS528x TYP	ADS528x MAX	単位
t_A	アパーチャ・ディレイ		1.5		4.5	ns
	アパーチャ・ディレイ偏差	同一デバイスのチャネル間（3σ）		±20		ps
t_J	アパーチャ・ジッタ			400		fs
t_{WAKE}	ウェイク・アップ時間	完全パワーダウンを抜けた後、有効データまでの時間		50		µs
		部分パワーダウンを抜けた後、有効データまでの時間（パワーダウン時、クロック連続動作）		2		µs
		クロックを停止して再開した後、有効データまでの時間		40		µs
	データ・レイテンシー			12		Clock cycles

（1）タイミング特性はADS528xファミリー共通。
（2）タイミング・パラメータは設計および特性により規定され、製造時試験は行わない。

LVDS出力タイミング特性 (1)(2)

TYPは+25°C時、MINおよびMAXは、特に記述の無い限り次の条件で測定。
規定温度範囲T_{MIN} = –40°C～T_{MAX} = +85°C，サンプリング周波数 = 規定による、C_{LOAD} = 5pF(3)，I_{OUT} = 3.5mA，
R_{LOAD} = 100Ω(4)および内部終端なし。

パラメータ		測定条件(5)	ADS528x									単位
			40MSPS			50MSPS			65MSPS			
			MIN	TYP	MAX	MIN	TYP	MAX	MIN	TYP	MAX	
t_{SU}	データ・セットアップ時間(6)	データ有効(7)からLCLK$_P$のゼロ・クロスまで	0.67			0.47			0.27			ns
t_H	データ・ホールド時間(6)	LCLK$_P$のゼロ・クロスからデータ無効まで(7)	0.85			0.65			0.4			ns
t_{PROP}	クロック伝搬遅延	入力クロック（ADCLK）の立ち上がりエッジ・クロス・オーバーから出力クロック（ADCLK$_P$）立ち上がりエッジ・クロス・オーバーまで	10	14	16.6	10	12.5	14.1	9.7	11.5	14	ns
	LVDSビット・クロック・デューティー・サイクル	差動クロックのデューティー・サイクル（LCLK$_P$ – LCLK$_N$）	45.5	50	53	45	50	53.5	41	50	57	
	ビット・クロック・サイクル間ジッタ			250			250			250		ps, pp
	フレーム・クロック・サイクル間ジッタ			150			150			150		ps, pp
t_{RISE}, t_{FALL}	データ立ち上がり/立ち下がり時間	–100mV～+100mV への立ち上がり、+100mV～–100mV への立ち下がり	0.09	0.2	0.4	0.09	0.2	0.4	0.09	0.2	0.4	ns
$t_{CLKRISE}$, $t_{CLKFALL}$	出力クロック立ち上がり/立ち下がり時間	–100mV～+100mV への立ち上がり、+100mV～–100mV への立ち下がり	0.09	0.2	0.4	0.09	0.2	0.4	0.09	0.2	0.4	ns

(1) 全特性とも、変換速度グレード毎の最大速度時のもの。
(2) タイミング・パラメータは設計および特性評価により規定され、製造時試験は行わない。
(3) C_{LOAD}は、各出力端子とグランド間の実効外部シングル・エンド負荷容量。
(4) I_{OUT}はLVDSバッファ電流設定値であり、R_{LOAD}はLVDS出力対間の差動負荷抵抗。
(5) デバイスと負荷間に特性インピーダンス100Ωの伝送ラインを用いて測定。
(6) セットアップおよびホールド・タイム仕様には、出力データおよびクロックにおけるジッタの影響を考慮。これらの仕様は、データとクロックのパスがレシーバ内で完全に整合という前提であり、レシーバ内で両パス間に不整合があるとき、タイミング余裕が低減する。
(7) データ有効とは、+100mVのロジック・“High”および–100mVのロジック・“Low”を指す。

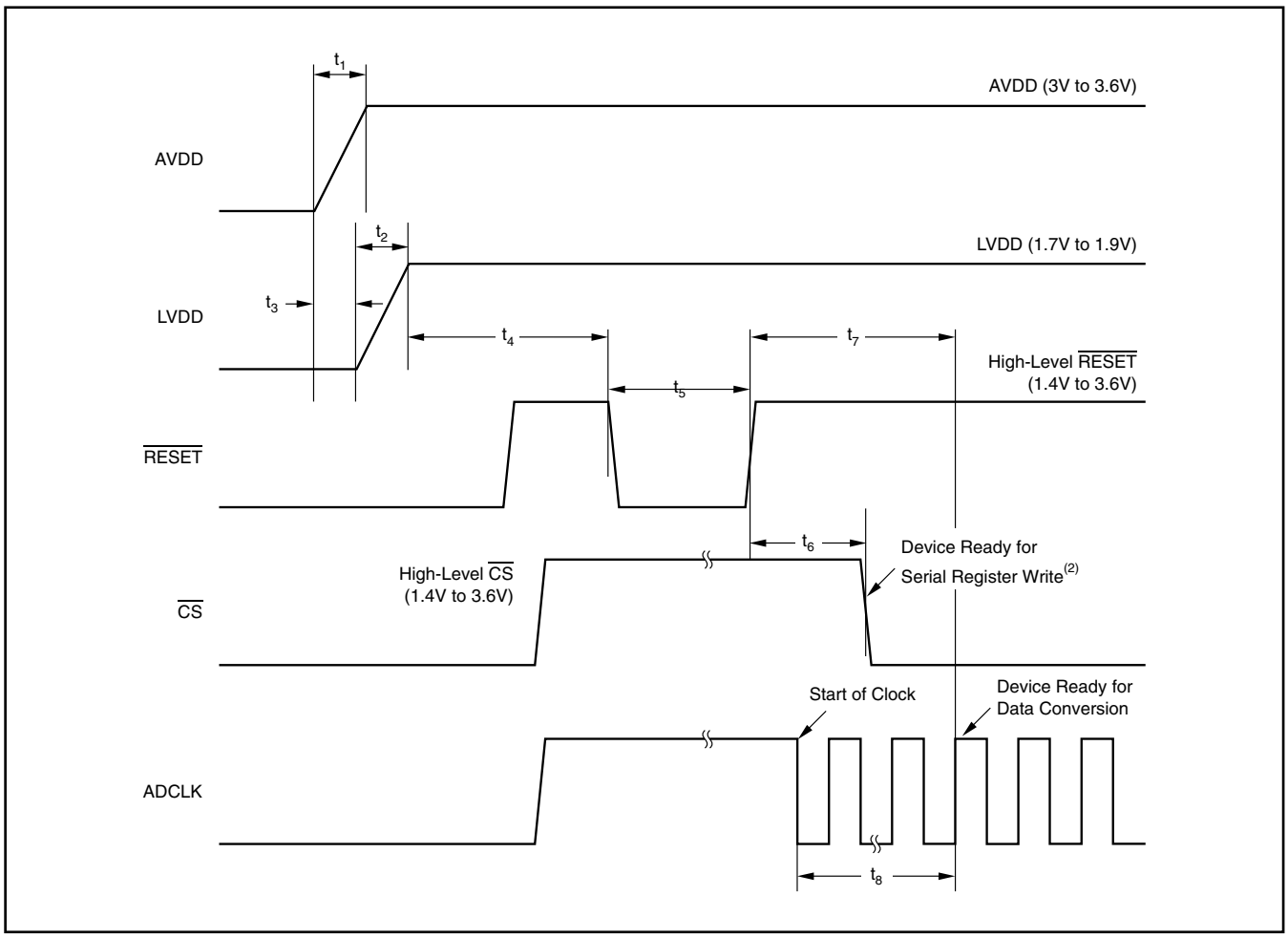
LVDS出力タイミング特性 (1)(2)

TYPは+25°C時、MINおよびMAXは、特に記述の無い限り次の条件で測定。
規定温度範囲T_{MIN} = –40°C～T_{MAX} = +85°C，サンプリング周波数 = 規定による、C_{LOAD} = 5pF(3)，I_{OUT} = 3.5mA，
R_{LOAD} = 100Ω(4)および内部終端なし。

パラメータ		測定条件(5)	ADS528x									単位
			30MSPS			20MSPS			10MSPS			
			MIN	TYP	MAX	MIN	TYP	MAX	MIN	TYP	MAX	
t_{SU}	データ・セットアップ時間(6)	データ有効(7)からLCLK$_P$のゼロ・クロスまで	0.8			1.5			3.7			ns
t_H	データ・ホールド時間(6)	LCLK$_P$のゼロ・クロスからデータ無効まで(7)	1.2			1.9			3.9			ns
t_{PROP}	クロック伝搬遅延	入力クロック（ADCLK）の立ち上がりエッジ・クロス・オーバーから出力クロック（ADCLK$_P$）立ち上がりエッジ・クロス・オーバーまで	9.5	13.5	17.3	9.5	14.5	17.3	10	14.7	17.1	ns
	LVDS ビット・クロック・デューティー・サイクル	差動クロックのデューティー・サイクル（LCLK$_P$ – LCLK$_N$）	46.5	50	52	48	50	51	49	50	51	
	ビット・クロック・サイクル間ジッタ			250			250			750		ps, pp
	フレーム・クロック・サイクル間ジッタ			150			150			500		ps, pp
t_{RISE}, t_{FALL}	データ立ち上がり/立ち下がり時間	–100mV～+100mV への立ち上がり、+100mV～–100mV への立ち下がり	0.09	0.2	0.4	0.09	0.2	0.4	0.09	0.2	0.4	ns
$t_{CLKRISE}$, $t_{CLKFALL}$	出力クロック立ち上がり/立ち下がり時間	–100mV～+100mV への立ち上がり、+100mV～–100mV への立ち下がり	0.09	0.2	0.4	0.09	0.2	0.4	0.09	0.2	0.4	ns

(1) 全特性とも、変換速度グレード毎の最大速度時のもの。
(2) タイミング・パラメータは設計および特性評価により規定され、製造時試験は行わない。
(3) C_{LOAD}は、各出力端子とグランド間の実効外部シングル・エンド負荷容量。
(4) I_{OUT}はLVDSバッファ電流設定値であり、R_{LOAD}はLVDS出力対間の差動負荷抵抗。
(5) デバイスと負荷間に特性インピーダンス100Ωの伝送ラインを用いて測定。
(6) セットアップおよびホールド・タイム仕様には、出力データおよびクロックにおけるジッタの影響を考慮。これらの仕様は、データとクロックのパスがレシーバ内で完全に整合という前提であり、レシーバ内で両パス間に不整合があるとき、タイミング余裕が低減する。
(7) データ有効とは、+100mVのロジック・“High”および–100mVのロジック・“Low”を指す。

推奨パワーアップ・シーケンスおよびリセット・タイミング (1)

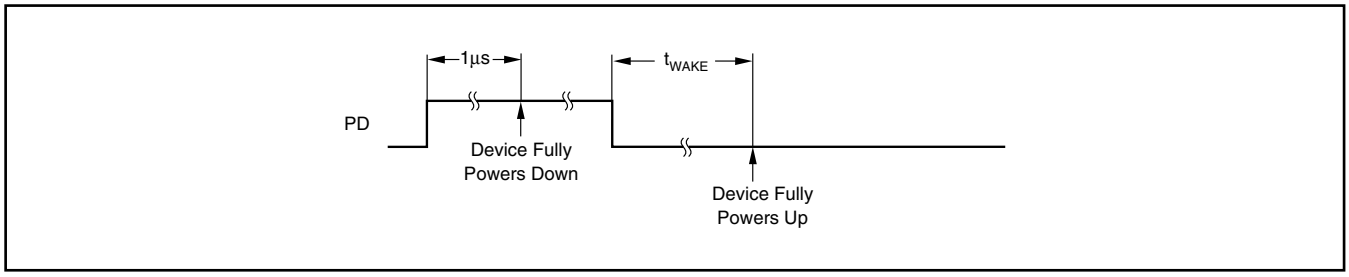


$10\mu s < t_1 < 50ms$, $10\mu s < t_2 < 50ms$, $-10ms < t_3 < 10ms$, $t_4 > 10ms$, $t_5 > 100ns$, $t_6 > 100ns$, $t_7 > 10ms$, and $t_8 > 100\mu s$.

（1）AVDDおよびLVDDのパワーオン・シーケンスは、$-10ms < t_3 < 10ms$ならば問題ありません。デバイスのシャットダウン時にも同様に適用されます。

（2）「初期化レジスタ」表に列記される初期化レジスタに書き込みます

パワーダウン・タイミング



図のパワーアップ時間は、両リファレンス端子に1µFのバイパス・コンデンサがあることを前提にしています。t_{WAKE}は、デバイスがパワーダウン・モードから完全にウエーク・アップするのに要する時間です。ADS528xには、完全パワーダウン・モードおよび部分パワーダウン・モードの2つがあります。レジスタ設定により、デバイスを部分パワーダウン・モードに設定することができます。

完全パワーダウン・モードでは、$t_{WAKE} < 50\mu s$

部分パワーダウン・モードでは、$t_{WAKE} < 2\mu s$（パワーダウン時にクロックがオフされていない場合）

シリアル・インターフェイス

ADS528xは、$\overline{CS}$（チップ・セレクト、アクティブ・”Low”）、SCLK（シリアル・インターフェイス・クロック）、およびSDATA（シリアル・インターフェイス・データ）端子から成る、シリアル・インターフェイスを介してアクセスできる内部レジスタ群を持っています。$\overline{CS}$が”Low”のとき、次の動作を行います。

- デバイス内へのビットのシリアル・シフト入力をイネーブル。
- SDATA（シリアル・データ）を、SCLKの立ち上がりエッジごとにラッチする。
- SDATAは、24個のSCLKの立ち上がりエッジごとにレジスタへロードされる。

ワード長が24ビットの倍数を超える場合、その余剰ビットは無視されます。データは、1回のアクティブな$\overline{CS}$のパルス内で、24ビット・ワードの倍数でロードすることができます。その最初の8ビットはレジスタ・アドレスであり、残りの16ビットはレジスタ・データになります。インターフェイスは20MHzから非常に低速（数Hz）のSCLK周波数まで動作し、50%でないデューティ・サイクルのSCLKでも動作できます。

レジスタの初期化

パワーアップ後、内部レジスタをデフォルト値に初期化する必要があります。初期化には下記の2通りの一方で行います。

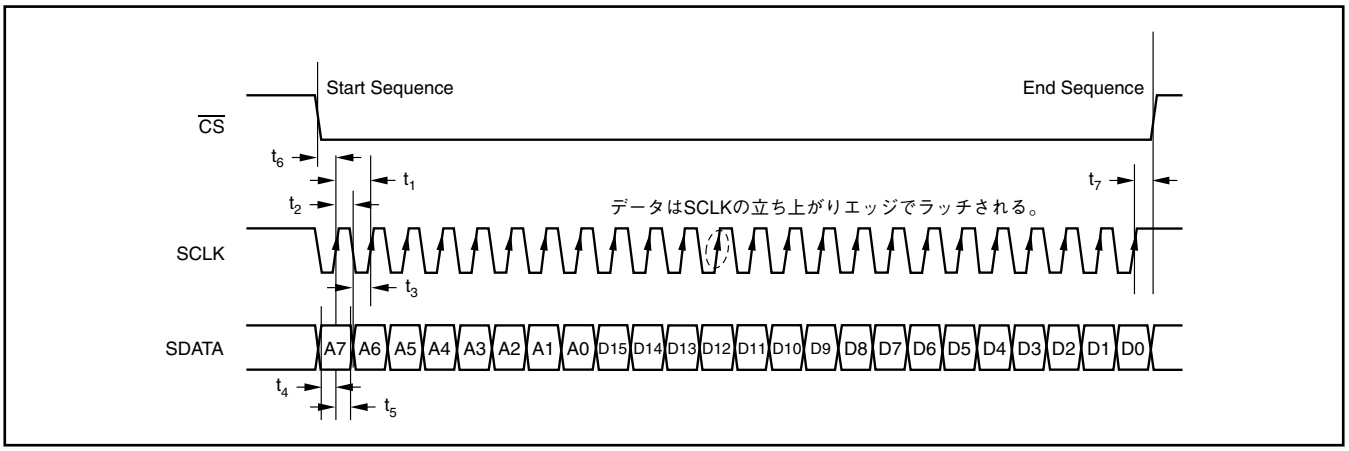
1. $\overline{RESET}$端子を“Low”にしてハードウェア・リセットを行う。

または、

2. シリアル・インターフェイスでRSTビットを“High”にしてソフトウェア・リセットを行う。このビットを“High”にすると、内部レジスタをデフォルト値に初期化し、RSTビットを“Low”に自己リセットします。この場合、$\overline{RESET}$端子は”High”のままです（非アクティブ）。

すべてのレジスタがRESET動作によりデフォルト値に初期化された後、レジスタに書き込みを行う必要があります。詳細は「レジスタの初期化」の表を参照ください。この書き込みは、デバイスを最適モードに再設定するために、ハードウェアまたはソフトウェアRESET動作後には、必ず行う必要があります。

シリアル・インターフェイス・タイミング



パラメータ	説明	ADS528x			単位
		MIN	TYP	MAX	
t_1	SCLK周期	50			ns
t_2	SCLK“High”時間	20			ns
t_3	SCLK“Low”時間	20			ns
t_4	データ・セットアップ時間	5			ns
t_5	データ・ホールド時間	5			ns
t_6	$\overline{CS}$立ち下がりからSCLK立ち上がりまで	8			ns
t_7	最終SCLK立ち上がりエッジから$\overline{CS}$立ち上がりエッジまで	8			ns

シリアル・レジスタ・マップ

16進アドレス	D15	D14	D13	D12	D11	D10	D9	D8	D7	D6	D5	D4	D3	D2	D1	D0	名称	説明	デフォルト
00																X	RST	セルフ・クリア、ソフトウェアRESET.	非アクティブ
0F									X	X	X	X	X	X	X	X	PDN_CH<8:1>	チャネル指定ADCパワーダウン・モード。	非アクティブ
								X									PDN_PARTIAL	部分パワーダウン・モード（パワーダウンからの高速回復）。	非アクティブ
							X										PDN_COMPLETE	完全パワーダウンのレジスタ・モード（低速回復）。	非アクティブ
						X											PDN_PIN_CFG	部分パワーダウン・モードのためのPD端子設定。	完全パワーダウン
11														X	X	X	ILVDS_LCLK<2:0>	$LCLK_N$および$LCLK_P$端子のLVDS電流ドライブ・プログラミング。	3.5mAドライブ
										X	X	X					ILVDS_FRAME<2:0>	$ADCLK_N$および$ADCLK_P$端子のLVDS電流ドライブ・プログラミング。	3.5mAドライブ
						X	X	X									ILVDS_DAT<2:0>	OUT_NおよびOUT_P端子のLVDS電流ドライブ・プログラミング。	3.5mAドライブ
12		X															EN_LVDS_TERM	LVDSバッファの内部終端をイネーブルする。	終端ディスエーブル
		1												X	X	X	TERM_LCLK<2:0>	$LCLK_N$および$LCLK_P$バッファのプログラマブル終端。	終端ディスエーブル
		1								X	X	X					TERM_FRAME<2:0>	$ADCLK_N$および$ADCLK_P$バッファのプログラマブル終端。	終端ディスエーブル
		1				X	X	X									TERM_DAT<2:0>	OUT_NおよびOUT_Pバッファのプログラマブル終端。	終端ディスエーブル
14									X	X	X	X	X	X	X	X	LFNS_CH<8:1>	チャネルを指定しての低域ノイズ低減モードのイネーブル。	非アクティブ
24									X	X	X	X	X	X	X	X	INVERT_CH<8:1>	アナログ入力端子の極性を電気的に反転。	IN_Pが正入力
25										X	0	0					EN_RAMP	フルスケール・ランプ・パターン繰り返し出力のイネーブル。	非アクティブ
										0	X	0					DUALCUSTOM_PAT	出力が2つの定義されたコード間でトグルするモードをイネーブル。	非アクティブ
										0	0	X					SINGLE_CUSTOM_PAT	カスタムの特定コード出力モードのイネーブル。	非アクティブ
															X	X	BITS_CUSTOM1<11:10>	シングル・カスタム・パターン（およびデュアル・カスタム・パターンの最初のコード）の2MSB. <11>がMSBである。	非アクティブ
													X	X			BITS_CUSTOM2<11:10>	デュアル・カスタム・パターンの2番目のコードの2MSB.	非アクティブ
26	X	X	X	X	X	X	X	X	X	X							BITS_CUSTOM1<9:0>	シングル・カスタム・パターン（およびデュアル・カスタム・パターンの最初のコード）の下位10ビット。<0>がLSBである。	非アクティブ
27	X	X	X	X	X	X	X	X	X	X							BITS_CUSTOM2<9:0>	デュアル・カスタム・パターンの2番目のコードの下位10ビット。	非アクティブ
2A													X	X	X	X	GAIN_CH1<3:0>	チャネル1のプログラマブル・ゲイン	0dBゲイン
									X	X	X	X					GAIN_CH2<3:0>	チャネル2のプログラマブル・ゲイン	0dBゲイン
					X	X	X	X									GAIN_CH3<3:0>	チャネル3のプログラマブル・ゲイン	0dBゲイン
	X	X	X	X													GAIN_CH4<3:0>	チャネル4のプログラマブル・ゲイン	0dBゲイン
2B	X	X	X	X													GAIN_CH5<3:0>	チャネル5のプログラマブル・ゲイン	0dBゲイン
					X	X	X	X									GAIN_CH6<3:0>	チャネル6のプログラマブル・ゲイン	0dBゲイン
									X	X	X	X					GAIN_CH7<3:0>	チャネル7のプログラマブル・ゲイン	0dBゲイン
													X	X	X	X	GAIN_CH8<3:0>	チャネル8のプログラマブル・ゲイン	0dBゲイン

表 3. シリアル・インターフェイスによりサポートされる機能の概要 (1) (2) (3) (4)

(1) 各レジスタの使用しないビット（表の空欄）は、‘0’にプログラミングすること。
(2) X = 対応する名称および説明により参照されるレジスタ・ビット（デフォルトは‘0’）。
(3) 個々のレジスタの、0と記されたビットは‘0’に、1と記されたビットは‘1’にプログラミングすること。
(4) 1レジスタにおける複数機能は、1回の書き込み動作でプログラミングすること。

16進アドレス	D15	D14	D13	D12	D11	D10	D9	D8	D7	D6	D5	D4	D3	D2	D1	D0	名称	説明	デフォルト
42	1															X	DIFF_CLK	差動クロック・モード。	シングル・エンド・クロック
	1													X			EN_DCC	デューティー・サイクル補正回路をイネーブル。	ディスエーブル
	1												X				EXT_REF_VCM	V_{CM}端子で外部リファレンス・モードをドライブ。	外部リファレンスがREF_TおよびREF_Bをドライブする。
	1									X	X						PHASE_DDR<1:0>	データに対する、LCLK出力の位相を制御。	90度
45															0	X	PAT_DESKEW	デスキュー・パターン・モードのイネーブル。	非アクティブ
															X	0	PAT_SYNC	シンク・パターン・モードのイネーブル。	非アクティブ
46	1						1							X			BTC_MODE	ADC出力が2の補数バイナリ。	ストレート・オフセット・バイナリ
	1						1						X				MSB_FIRST	ADCシリアル出力がMSBファースト。	LSBファースト出力
	1						1					X					EN_SDR	SDR出力モード（LCLK = 12×入力クロック）をイネーブルする。	DDR出力モード
	1		X				1					1					FALL_SDR	SDR出力モード動作時、データ・ウインドの中央に来るLCLKのエッジ立ち上がり/立ち下がり制御する。	データ・ウインドの中央のLCLK立ち上がりエッジ

表 3. シリアル・インターフェイスによりサポートされる機能の概要

機能の概要

機能	デフォルト	選択	f_S = 65MSPS時の電力影響（対デフォルト）
アナログ機能			
内部/外部リファレンス（REF_T/REF_B端子をドライブする）	N/A	端子	内部リファレンス・モードで、AVDDの電力が約23mW増加。
V_{CM}端子で外部リファレンスをドライブする。	オフ	レジスタ42	AVDDの電力が約9mW低減。
デューティー・サイクル補正回路	オフ	レジスタ42	AVDDの電力が約7mW増加。
低域ノイズ抑圧	オフ	レジスタ14	ADCに0を入力して、低域ノイズ抑圧によりf_S/2のデジタル・スイッチングが生じる結果、LVDD電力が約7mW/チャネル増加。
シングル・エンド/差動クロック	シングル・エンド	レジスタ42	差動クロック・モードは、AVDD約7mW増加。
パワーダウン・モード	オフ	端子およびレジスタ0F	「電気的特性」表の「パワーダウン・モード」を参照。
デジタル機能			
プログラマブル・デジタル・ゲイン（0dB～12dB）	0dB	レジスタ2Aおよび2B	変化なし
ストレート・オフセットまたはBTC出力	ストレート・オフセット	レジスタ46	変化なし
アナログ入力端子の極性切り換え	オフ	レジスタ24	変化なし
LVDS出力の物理層			
LVDS内部終端	オフ	レジスタ12	AVDDの電力が約7mW増加
LVDS電流のプログラミング	3.5mA	レジスタ11	LVDSクロックおよびデータ・バッファの電流設定のとおり。
LVDS出力タイミング			
LSBまたはMSBファースト出力	LSBファースト	レジスタ46	変化なし
DDRまたはSDR出力	DDR	レジスタ46	SDRモードでLVDDの電力が約2mW増加。（f_S = 30MSPS時）
データ出力に対するLCLK位相	図1参照	レジスタ42	変化なし

シリアル・レジスタの説明

ソフトウェア・リセット

16進 アドレス	D15	D14	D13	D12	D11	D10	D9	D8	D7	D6	D5	D4	D3	D2	D1	D0	名称
00																X	RST

RSTビットを‘1’に設定すると、ソフトウェア・リセットが行われます。このビットのセットにより、すべての内部レジスタがリセットされ、次に0にセルフ・クリアされます。

パワーダウン・モード

16進 アドレス	D15	D14	D13	D12	D11	D10	D9	D8	D7	D6	D5	D4	D3	D2	D1	D0	名称
0F									X	X	X	X	X	X	X	X	PDN_CH<8:1>
								X									PDN_PARTIAL
						0	X										PDN_COMPLETE
						X	0										PDN_PIN_CFG

8チャネルは、それぞれ個別にパワーダウンすることができます。PDN_CH<N>により、ADCチャネル<N>のパワーダウン・モードが制御されます。

チャネル指定パワーダウンの他に、ADS528xには部分パワーダウン・モードと完全パワーダウン・モードの2つの全体パワーダウン・モードがあります。部分パワーダウン・モードでは、チップが部分的にパワーダウンされます。このモードを抜ける前、50μsの間クロックが自走していた場合、このモードからの回復はかなり速くなります。一方、完全パワーダウン・モードではチップが完全にパワーダウンされ、回復時間はずっと長くなります。

これらの2パワーダウン・モードにデバイスをプログラミングする方法（それぞれPDN_PARTIALまたはPDN_COMPLETEビットを介して）以外にも、部分的パワーダウンの端子制御または完全パワーダウンの端子制御として、PD端子自体を設定することができます。例えばPDN_PIN_CFG = 0（デフォルト）でPD端子が“High”の場合、デバイスは完全パワーダウン・モードに入ります。しかし、PDN_PIN_CFG = ‘1’でPD端子が“High”の場合、デバイスは部分パワーダウン・モードに入ります。

LVDSドライブ・プログラミング

16進 アドレス	D15	D14	D13	D12	D11	D10	D9	D8	D7	D6	D5	D4	D3	D2	D1	D0	名称
11														X	X	X	ILVDS_LCLK<2:0>
										X	X	X					ILVDS_FRAME<2:0>
						X	X	X									ILVDS_DAT<2:0>

ビット・クロック（$LCLK_P$または$LCLK_N$）およびフレーム・クロック（$ADCLK_P$および$ADCLK_P$）のLVDSドライブ能力は、個別にプログラミングすることができます。また、すべてのデータ出力OUT_PおよびOUT_NのLVDSドライブ能力も、同一の値にプログラミングできます。

これら3つのドライブ能力（ビット・クロック、フレーム・クロックおよびデータ）は、すべて3ビットの組み合わせでプログラミングされます。表4に、ビット・クロックのドライブ能力のプログラミング例を示します（この方法は、フレーム・クロックおよびデータのドライブ能力についても同様です）。

ILVDS_LCLK<2>	ILVDS_LCLK<1>	ILVDS_LCLK<0>	$LCLK_P$ / $LCLK_N$ LVDSドライブ能力
0	0	0	3.5mA (default)
0	0	1	2.5mA
0	1	0	1.5mA
0	1	1	0.5mA
1	0	0	7.5mA
1	0	1	6.5mA
1	1	0	5.5mA
1	1	1	4.5mA

表 4. ビット・クロックドライブ能力(1)

（1）1.5mAより低い電流設定は推奨しません。

LVDS内部終端のプログラミング

16進 アドレス	D15	D14	D13	D12	D11	D10	D9	D8	D7	D6	D5	D4	D3	D2	D1	D0	名称
12		X															EN_LVDS_TERM
		1												X	X	X	TERM_LCLK<2:0>
		1								X	X	X					TERM_FRAME<2:0>
		1				X	X	X									TERM_DAT<2:0>

LVDSバッファには、出力をドライブする高インピーダンスの電流源があります。受信側の終端インピーダンスと完全に整合しない特性インピーダンスのトレースをドライブする場合、ADS528xのLVDS出力端子が反射により、信号の忠実度が劣化することがあります。LVDSバッファの内部終端（正および負の出力間にある）をイネーブルすることで、そのような状況における信号忠実度を大幅に改善することができます。内部終端モードを設定するには、EN_LVDS_TERMビットを1に設定します。このビットをセットすると、ビット・クロック、フレーム・クロックおよびデータ・バッファの内部終端値は、3ビットの組み合わせを使用して個別にプログラミングできます。表5に、ビット・クロックをドライブするLVDSバッファの内部終端のプログラミング例を示します（この方法はフレーム・クロックおよびデータ・バッファについても同様です）。これら表5の終端値は標準値のみであり、温度変化とデバイス間で最大±20%の変動があります。

TERM_LCLK<2>	TERM_LCLK<1>	TERM_LCLK<0>	$LCLK_P$ ～ $LCLK_N$ 間、内部終端抵抗 （Ω）
0	0	0	None
0	0	1	260
0	1	0	150
0	1	1	94
1	0	0	125
1	0	1	80
1	1	0	66
1	1	1	55

表 5. ビット・クロック内部終端

低周波ノイズ低減モード

16進 アドレス	D15	D14	D13	D12	D11	D10	D9	D8	D7	D6	D5	D4	D3	D2	D1	D0	名称
14									X	X	X	X	X	X	X	X	LFNS_CH<8:1>

低周波ノイズ低減モードは、0MHzから1MHz（DC付近）の周波数帯域で優れたノイズ特性が必要なアプリケーションで特に有効です。このモードに設定すると、ADS528xの低周波ノイズが約$F_S/2$シフトされます。その結果、DC付近のノイズフロアがより低い値に移ります。LFNS_CH<8:1>により、本モードを各チャネルについて個別にイネーブルすることができます。

アナログ入力反転

16進 アドレス	D15	D14	D13	D12	D11	D10	D9	D8	D7	D6	D5	D4	D3	D2	D1	D0	名称
24									X	X	X	X	X	X	X	X	INVERT_CH<8:1>

通常、IN_P端子は正のアナログ入力端子に相当し、IN_Nは相補的な負の入力に相当します。上表でマークされたINVERT_CH<8:1>ビット（各チャネルで個別に制御）をセットすると、その入力が切り換えられます。その結果、IN_Nが正入力に、IN_Pが負入力に相当します。

LVDSテスト・パターン

16進 アドレス	D15	D14	D13	D12	D11	D10	D9	D8	D7	D6	D5	D4	D3	D2	D1	D0	名称
25										X	0	0					EN_RAMP
										0	X	0					DUALCUSTOM_PAT
										0	0	X					SINGLE_CUSTOM_PAT
															X	X	BITS_CUSTOM1<11:10>
													X	X			BITS_CUSTOM2<11:10>
26	X	X	X	X	X	X	X	X	X	X							BITS_CUSTOM1<9:0>
27	X	X	X	X	X	X	X	X	X	X							BITS_CUSTOM2<9:0>
45															0	X	PAT_DESKEW
															X	0	PAT_SYNC

ADS528xでは、LVDS出力に様々なテスト・パターンを出力することができます。これらのテスト・パターンは、通常のADCデータ出力に置き換わります。EN_RAMPを‘1’に設定すると、全チャネルで繰り返しフルスケール・ランプ・パターンが出力されます。ランプ・パターンは、0コードからフルスケール・コードまで1クロック・サイクルごとに1LSBステップで増加します。フルスケール・コードに達すると0コードに戻り、再度ランプします。

また、SINGLE_CUSTOM_PATを‘1’に設定し、BITS_CUSTOM1<11:0>で所要のコードをプログラミングすることにより、デバイスが一定コードを出力するようにプログラミングすることもできます。本モードでは、BITS_CUSTOM1<11:0>が出力で12ビットのADCデータに置き換わり、通常のADCデータと同様にLSBファーストまたはMSBファーストのモードに制御できます。

さらに、DUAL_CUSTOM_PATを‘1’にプログラミングして、デバイスが2つのコード間をトグルすることもできます。この2コードは、BITS_CUSTOM1<11:0>およびBITS_CUSTOM2<11:0>の内容に相当します。

カスタム・パターン以外にも、デバイスは下記の2つのプリセット・パターンを出力できます。

1. **デスキュー・パターン：**PAT_DESKEWをセットすると、本モードでは12ビットADC出力D<11:0>が010101010101に置き換わります。
2. **シンク・パターン：**PAT_SYNCをセットすると、通常のADCワードが固定の111111000000に置き換わります。

あらゆる時点で、上記パターンの1つだけをアクティブにすべきことに注意願います。

プログラマル・ゲイン

16進 アドレス	D15	D14	D13	D12	D11	D10	D9	D8	D7	D6	D5	D4	D3	D2	D1	D0	名称
2A													X	X	X	X	GAIN_CH1<3:0>
									X	X	X	X					GAIN_CH2<3:0>
					X	X	X	X									GAIN_CH3<3:0>
	X	X	X	X													GAIN_CH4<3:0>
2B	X	X	X	X													GAIN_CH5<3:0>
					X	X	X	X									GAIN_CH6<3:0>
									X	X	X	X					GAIN_CH7<3:0>
													X	X	X	X	GAIN_CH8<3:0>

アナログ入力信号のフルスケール振幅が、ADS528xがサポートする範囲の$2V_{PP}$よりかなり低いアプリケーションでは、低いアナログ入力信号に対してでも、プログラマブルなゲインを設定してフルスケール出力コードを出力することができます。このプログラマブル·ゲインはADCの出力コード範囲を満たすだけでなく、いくつかの追加ビットからの量子化情報を利用してデバイスのSNRも改善します。各チャネルのプログラマブル·ゲインは、チャネルNについてGAIN_CHN<3:0>と表記される4ビットの組を使用して個別に設定できます。ゲイン設定は、0dBから12dBまで表6に示すようなバイナリ·コードになります。

ゲイン_CH1<3>	ゲイン_CH1<2>	ゲイン_CH1<1>	ゲイン_CH1<0>	チャネル1ゲイン設定
0	0	0	0	0dB
0	0	0	1	1dB
0	0	1	0	2dB
0	0	1	1	3dB
0	1	0	0	4dB
0	1	0	1	5dB
0	1	1	0	6dB
0	1	1	1	7dB
1	0	0	0	8dB
1	0	0	1	9dB
1	0	1	0	10dB
1	0	1	1	11dB
1	1	0	0	12dB
1	1	0	1	未使用
1	1	1	0	未使用
1	1	1	1	未使用

表 6. チャネル1のゲイン設定

クロック、リファレンス、およびデータ出力モード

16進 アドレス	D15	D14	D13	D12	D11	D10	D9	D8	D7	D6	D5	D4	D3	D2	D1	D0	名称
42	1															X	DIFF_CLK
	1													X			EN_DCC
	1												X				EXT_REF_VCM
	1									X	X						PHASE_DDR<1:0>
46	1						1							X			BTC_MODE
	1						1						X				MSB_FIRST
	1						1					X					EN_SDR
	1		X				1					1					FALL_SDR

入力クロック

ADS528xは、シングル·エンドの入力クロックで動作するようにデフォルトで設定されます。すなわち、CLK_PはCMOSクロックでドライブされ、CLK_Nは‘0’に接続されます。しかし、DIFF_CLKを‘1’にプログラミングすると、デバイスをCLK_PおよびCLK_Nにおける差動入力クロックで動作するようにできます。低ジッタの差動クロックで動作すると、普通、より良いSNR特性が、特に30MHzを超える入力周波数時に得られます。

入力クロックのデューティ·サイクルが45%から55%の範囲外にはずれる場合、内部のデューティ·サイクル補正回路をイネーブルするように推奨します。このイネーブルは、EN_DCCビットを‘1’に設定して行います。

外部リファレンス

ADS528xは、INT/$\overline{EXT}$端子を‘0’に接続して外部リファレンス·モードで動作するようにできます。このモードでは、REF_TおよびREF_B端子を2.5Vと0.5Vの電圧でそれぞれドライブするようにします。また両端子には、各ADCのスイッチング容量によるリファレンス電圧の負荷をドライブできる、十分なドライブ能力が必要になります。外部リファレンス·モードを使用する利点は、複数個のADS528xを同一の外部リファレンスで動作させ、その結果、デバイス間のゲイン整合のようなパラメータを改善できることです。しかし、高ドライブ能力で差動の外部リファレンスが無いアプリケーションの場合、ADS528xはV_{CM}端子をシングル外部リファレンス電圧でドライブすることができます。すなわち、EXT_REF_VCMを‘1’に設定（かつ、INT/$\overline{EXT}$端子を‘0’に設定）すると、V_{CM}端子は入力端子として設定され、REF_TおよびREF_Bにおける電圧が式(1)および式(2)のように生成されます。

$$VREF_T = 1.5V + \frac{V_{CM}}{1.5V} \quad (1)$$

$$VREF_B = 1.5V - \frac{V_{CM}}{1.5V} \quad (2)$$

ビット･クロックのプログラミング

ADS528xの通常の出力インターフェイスはDDRインターフェイスであり、LCLKの立ち上がりおよび立ち下がりのエッジが交互にデータ･ウインドの中央にあります。このデフォルト位相を図1に示します。

LCLKの位相は、ビットPHASE_DDR<1:0>を使用して、出力フレーム･クロックおよびデータに対してプログラミングできます。そのLCLK位相モードを図2に示します。

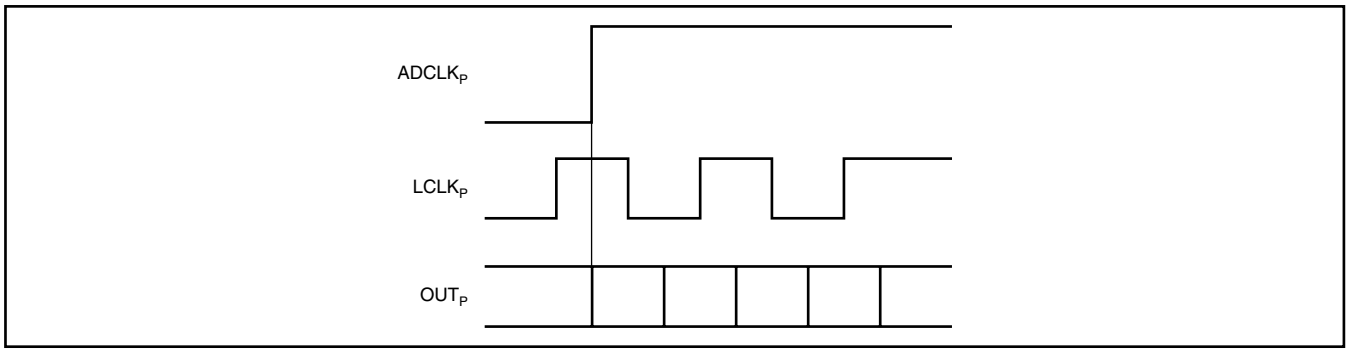


図 1. LCLKのデフォルト位相

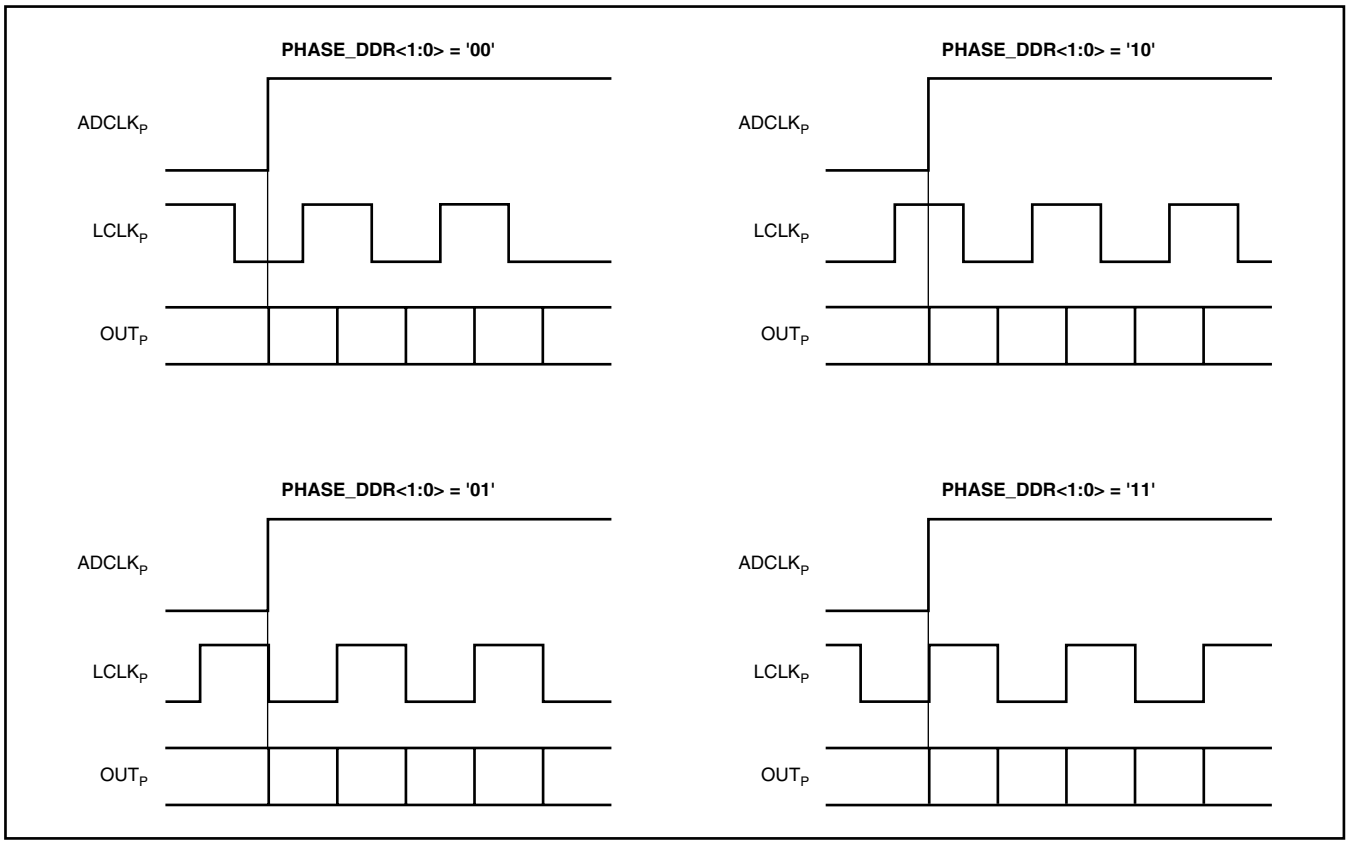


図 2. LCLKの位相プログラミング･モード

DDRモードでのLCLK位相プログラミングに加えて、デバイスはEN_SDRビットを1に設定することにより、SDRモードで動作することもできます。このモードでは、ビット·クロック(LCLK)は入力クロックの12倍すなわちDDRモードでのレートの2倍の出力になります。FALL_SDRの状態により、LCLKは図3に示す2通りのいずれかの出力になります。図3に見られるように、LCLKの立ち上がり(または、立ち下がり)エッジだけが、SDRモードでの出力データの取込みに使用されます。

SDRモードは40MSPSを超えると、LCLK周波数が非常に高速になるため十分に機能しません。

データ出力フォーマット·モード

デフォルト時のADC出力は、ストレート·オフセット·バイナリ·フォーマット·モードです。BTC_MODEビットを‘1’にプログラミングするとMSBが反転し、出力は2の補数バイナリ·フォーマット·モードになります。

またデフォルト時では、フレーム(ADCLKPの立ち上がりエッジに続く)の第1ビットは、ADC出力のLSBになります。MSB_FIRSTモードにプログラミングすると、ワード内のビット順序が反転し、ADCLKPの立ち上がりエッジに続く第1ビットとしてMSBが出力されます。

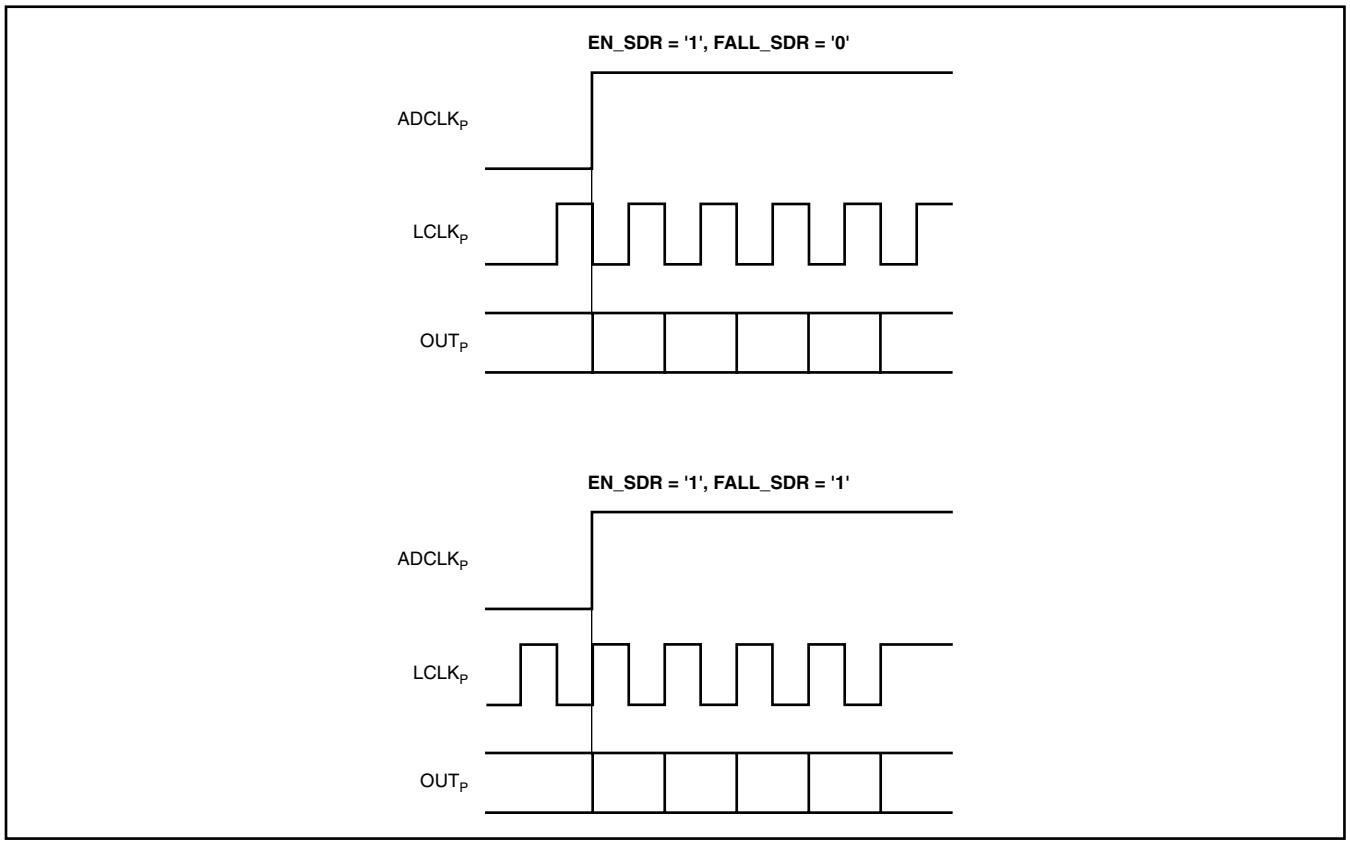


図 3. SDRインターフェイス·モード

代表的特性

T_A = +25°C，AVDD = +3.3V，LVDD = 1.8V，クロック周波数 = 65MSPS，差動クロック・モード、クロック振幅 = 1 V_{PP}，50%クロック・デューティー・サイクル、入力周波数 = 10MHz，–1dBFS差動アナログ入力、0dBデジタル・ゲイン設定、1.5Vアナログ同相電圧、低周波ノイズ抑圧 = オフ、内部リファレンス・モード、I_{SET}抵抗 = 56.2kΩ，およびLVDSバッファ電流設定 = 3.5mAのとき。（特に記述の無い限り）

スペクトラム特性（f_S = 40MHz, f_{IN} = 10MHz）

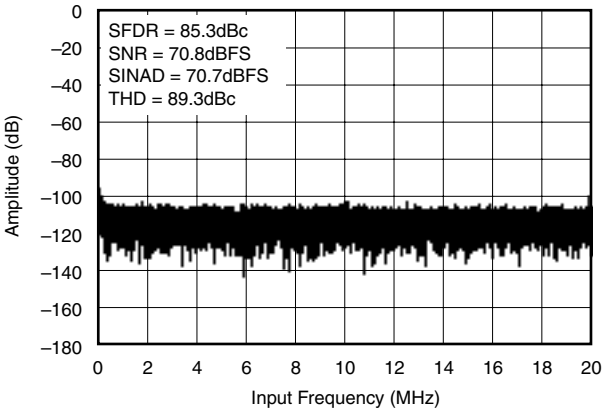


図 4

スペクトラム特性（f_S = 40MHz, f_{IN} = 25MHz）

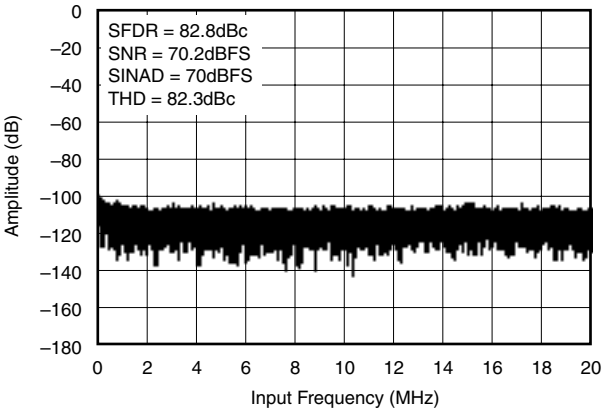


図 5

スペクトラム特性（f_S = 50MHz, f_{IN} = 10MHz）

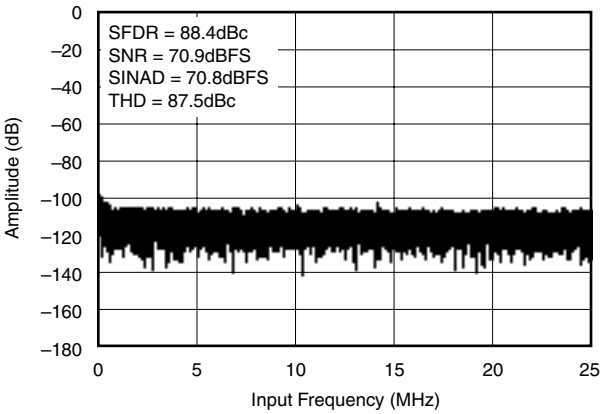


図 6

スペクトラム特性（f_S = 50MHz, f_{IN} = 25MHz）

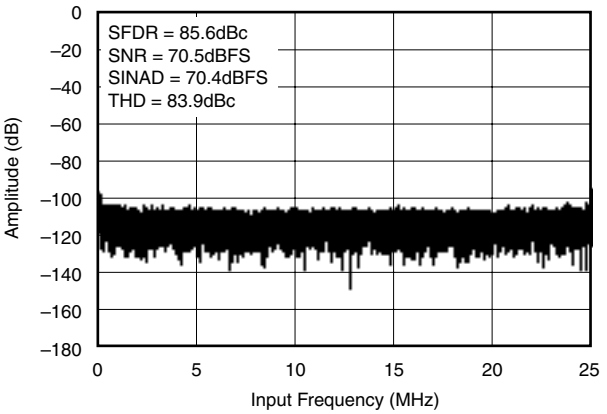


図 7

スペクトラム特性（f_S = 65MHz, f_{IN} = 10MHz）

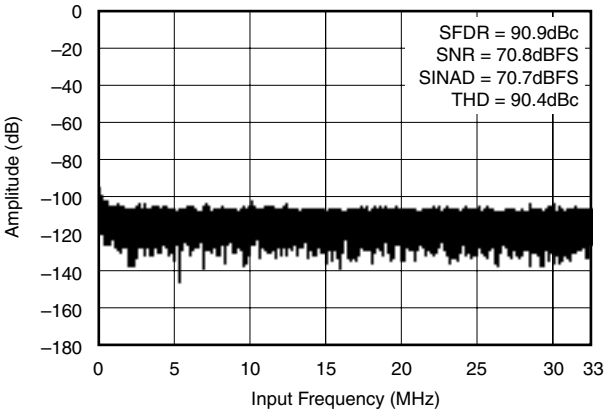


図 8

スペクトラム特性（f_S = 65MHz, fIN = 25MHz）

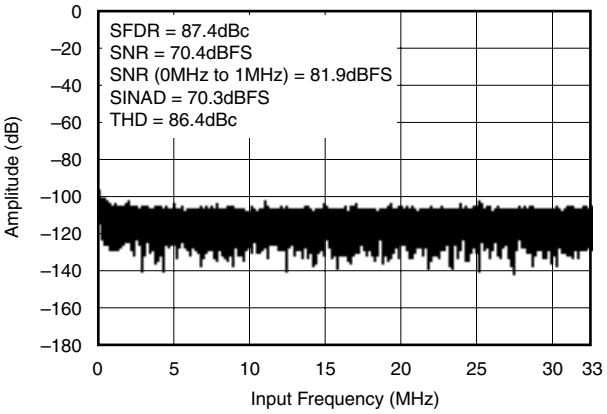


図 9

代表的特性

T_A = +25°C，AVDD = +3.3V，LVDD = 1.8V，クロック周波数 = 65MSPS，差動クロック・モード、クロック振幅 = 1 V_{PP}，50%クロック・デューティー・サイクル、入力周波数 = 10MHz，–1dBFS差動アナログ入力、0dBデジタル・ゲイン設定、1.5Vアナログ同相電圧、低周波ノイズ抑圧 = オフ、内部リファレンス・モード、I_{SET}抵抗 = 56.2kΩ，およびLVDSバッファ電流設定 = 3.5mAのとき。（特に記述の無い限り）

スペクトラム特性、低周波ノイズ低減モードをイネーブル（f_S = 65MHz, f_{IN} = 25MHz）

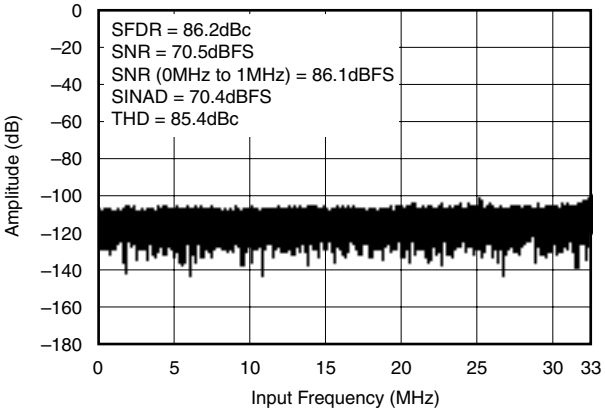


図 10

ダイナミック特性　対　入力周波数

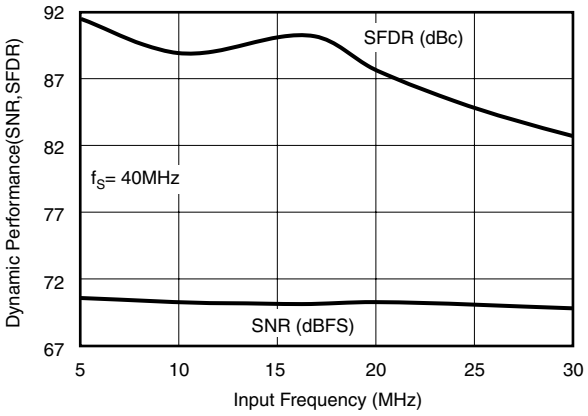


図 11

ダイナミック特性　対　入力周波数

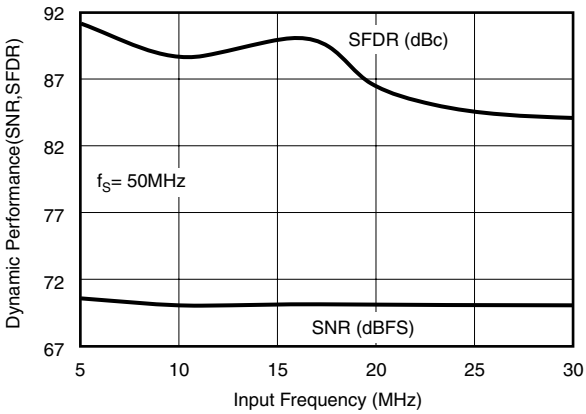


図 12

ダイナミック特性　対　入力周波数

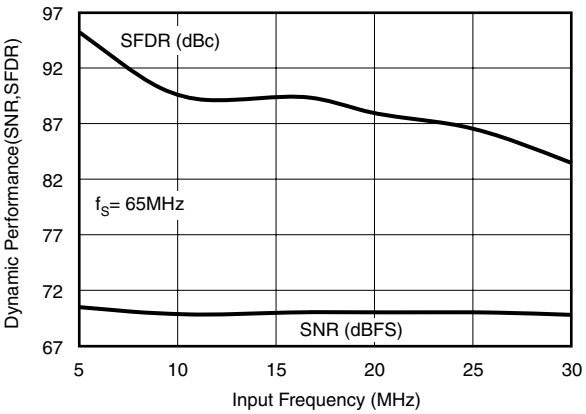


図 13

ダイナミック特性　対　デジタル・ゲイン

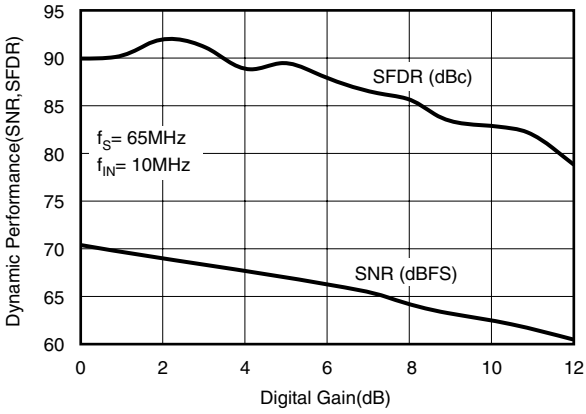


図 14

ダイナミック特性　対　AVDD

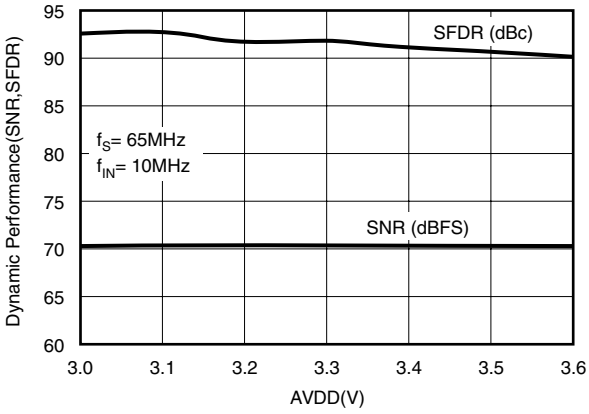


図 15

代表的特性

T_A = +25°C，AVDD = +3.3V，LVDD = 1.8V，クロック周波数 = 65MSPS，差動クロック・モード、クロック振幅 = 1 V_{PP}，50%クロック・デューティー・サイクル、入力周波数 = 10MHz，–1dBFS差動アナログ入力、0dBデジタル・ゲイン設定、1.5Vアナログ同相電圧、低周波ノイズ抑圧 = オフ、内部リファレンス・モード、I_{SET}抵抗 = 56.2kΩ，およびLVDSバッファ電流設定 = 3.5mAのとき。（特に記述の無い限り）

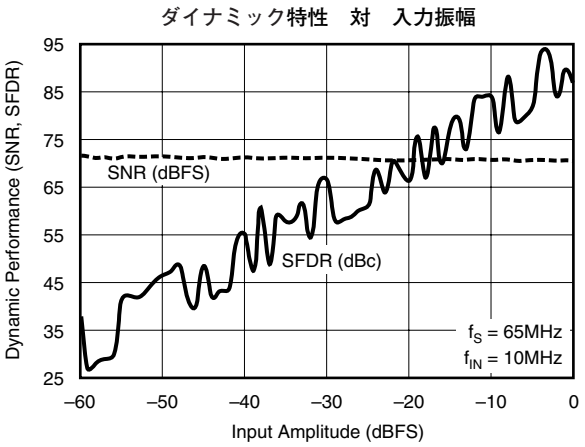


図 16

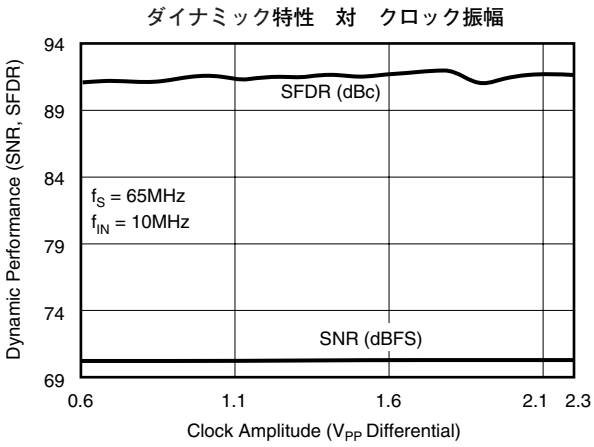


図 17

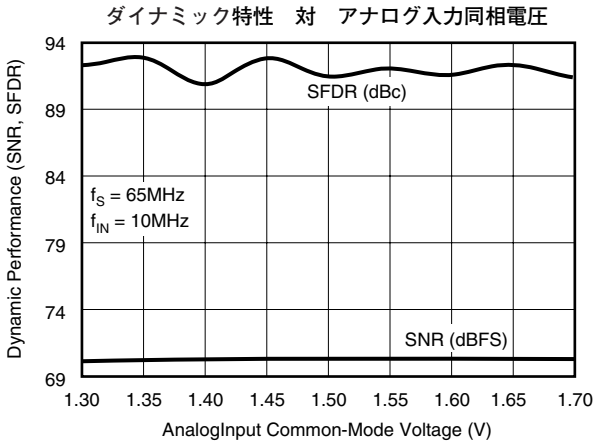


図 18

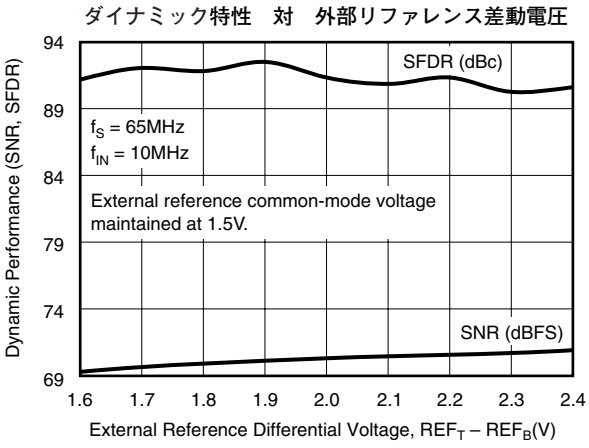


図 19

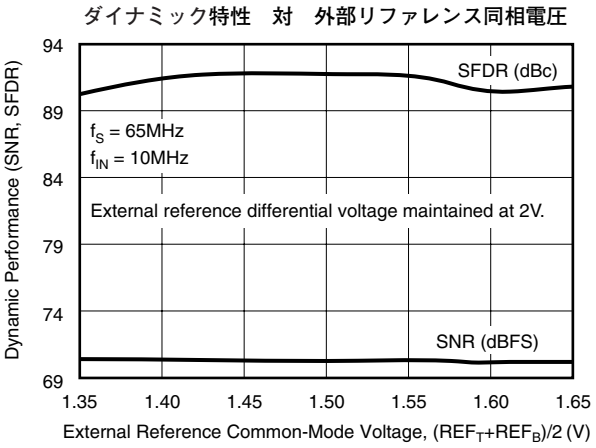


図 20

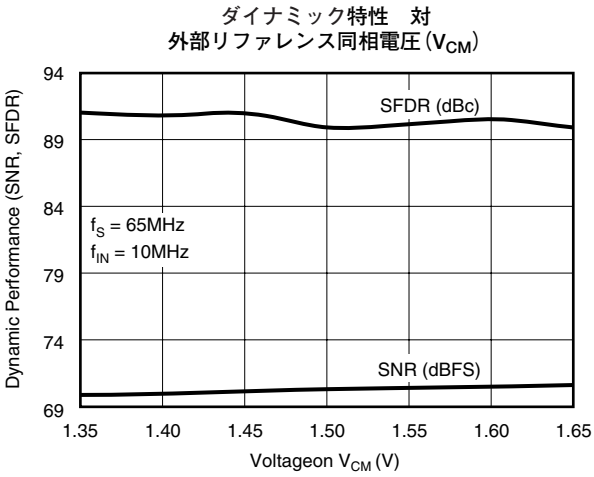


図 21

代表的特性

T_A = +25°C，AVDD = +3.3V，LVDD = 1.8V，クロック周波数 = 65MSPS，差動クロック・モード、クロック振幅 = 1 V_{PP}，50%クロック・デューティー・サイクル、入力周波数 = 10MHz，–1dBFS差動アナログ入力、0dBデジタル・ゲイン設定、1.5Vアナログ同相電圧、低周波ノイズ抑圧 = オフ、内部リファレンス・モード、I_{SET}抵抗 = 56.2kΩ，およびLVDSバッファ電流設定 = 3.5mAのとき。（特に記述の無い限り）

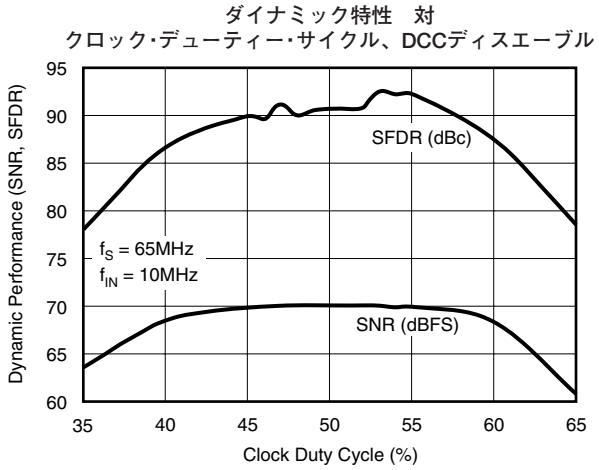


図 22

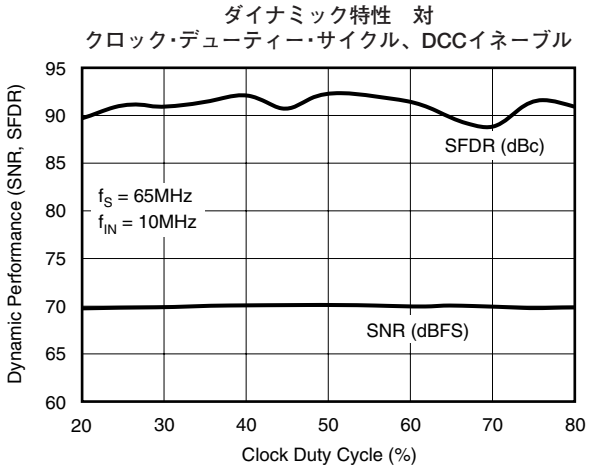


図 23

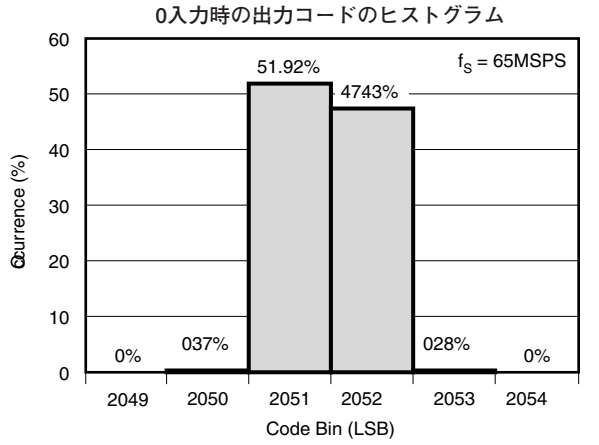


図 24

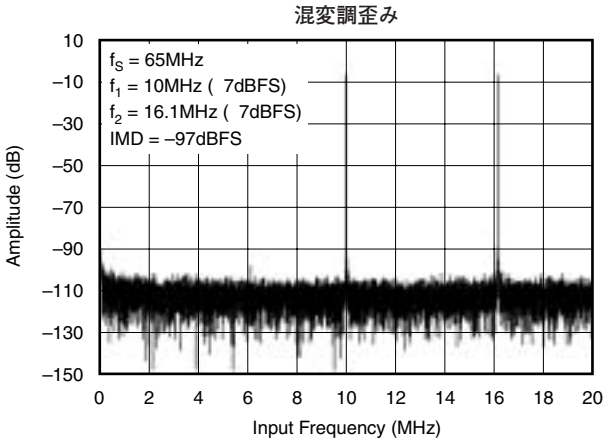


図 25

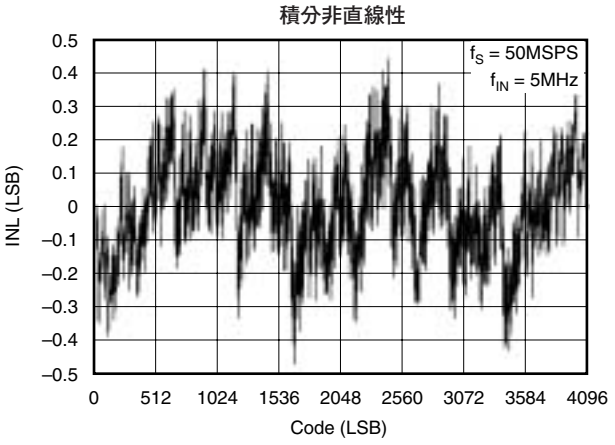


図 26

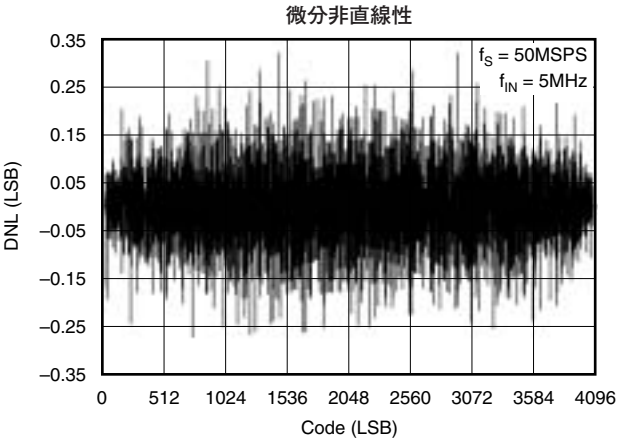


図 27

代表的特性

T_A = +25°C，AVDD = +3.3V，LVDD = 1.8V，クロック周波数 = 65MSPS，差動クロック・モード、クロック振幅 = 1 V_{PP}，50%クロック・デューティー・サイクル、入力周波数 = 10MHz，–1dBFS差動アナログ入力、0dBデジタル・ゲイン設定、1.5Vアナログ同相電圧、低周波ノイズ抑圧 = オフ、内部リファレンス・モード、I_{SET}抵抗 = 56.2kΩ，およびLVDSバッファ電流設定 = 3.5mAのとき。（特に記述の無い限り）

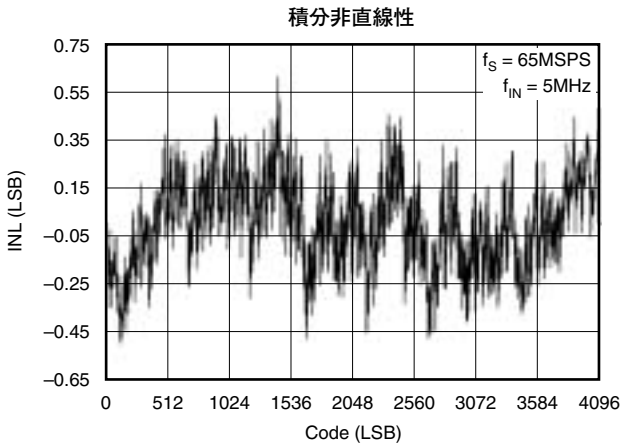


図 28

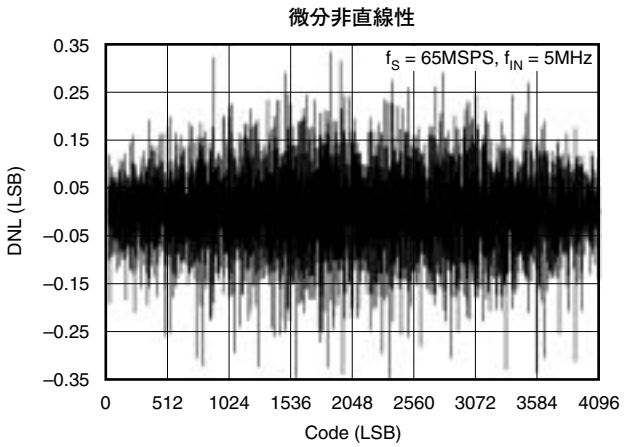


図 29

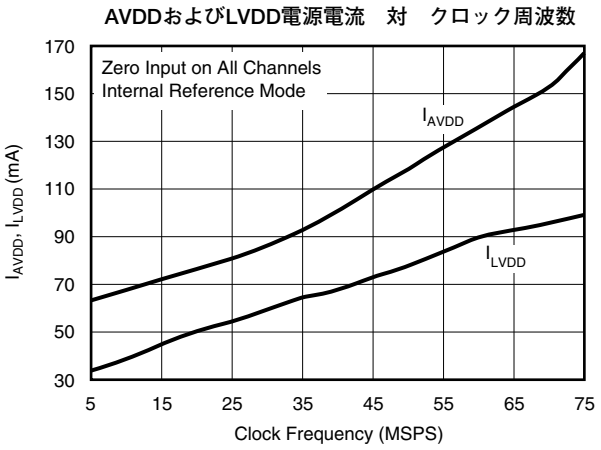


図 30

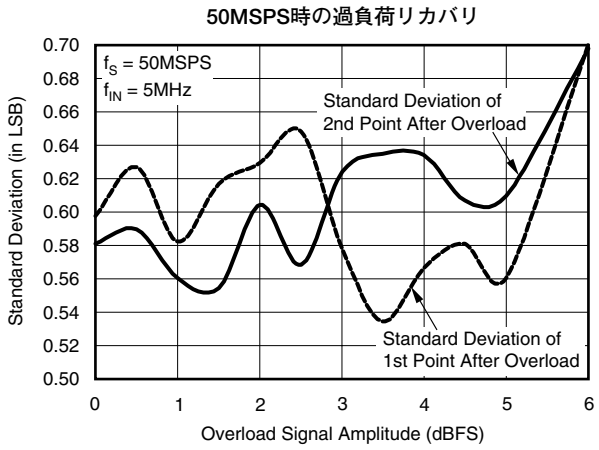


図 31

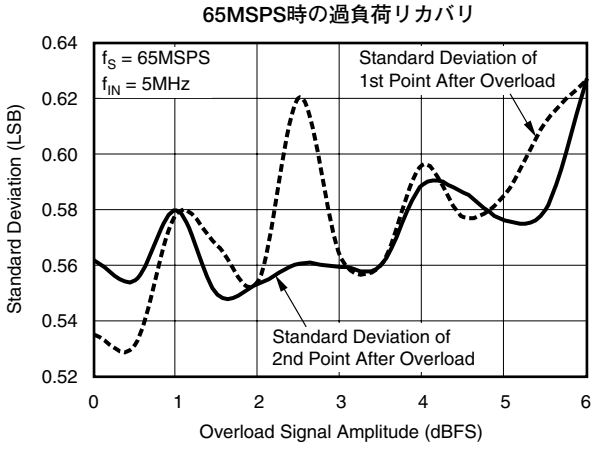


図 32

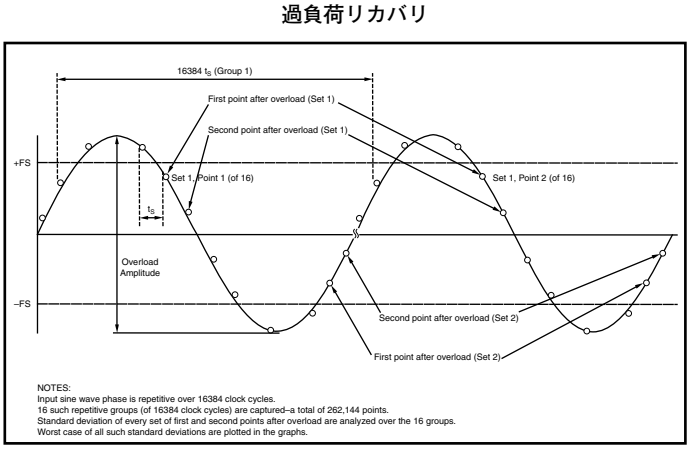


図 33

アプリケーション情報

動作理論

ADS528xは8チャネル、高速、CMOSのADCファミリーです。各チャネルで得られた12ビットはシリアル化され、それぞれ1つの端子対からLVDS形式で送出されます。ADS528xの8チャネルは、すべて共通のクロック（ADCLK）で動作します。8チャネルそれぞれのサンプリング·クロックは、厳密に整合をとったバッファ·ツリーを使用して入力クロックから生成されています。シリアライザに必要な12×クロックは、PLLを使用してADCLKから内部的に生成しています。6×および1×クロックも、データを容易に取り込めるように、データとともにLVDS形式で送出されます。ADS528xは、トリミングにより精度を向上した内部リファレンス電圧で動作します。トリミングされたリファレンスにより、デバイス間のゲインの整合が改善され、リファレンス用の外部駆動およびラインを引き回すことなくデバイスを動作させる事を選択できます。REF_TおよびREF_Bの公称値は、それぞれ2.5Vと0.5Vです。このリファレンス電圧は、内部で差動的に2分の1にスケールダウンされます。このスケールダウンにより、ADCの‘0’コードに相当する–1Vの差動入力と、フルスケール·コード（4095LSB）に相当する+1Vの差動入力が得られます。また、V_{CM}（REF_TおよびREF_Bの同相電圧）も外部から端子を通して得ることができ、公称値で1.5Vです。

ADCはパイプライン·コンバータ·アーキテクチャを採用し、多ビット段および単ビット段の組み合わせでデバイス内部が構成されています。各段はデータをデジタル誤差補正ロジックへ供給し、12ビット·レベルの優れた微分直線性とノー·ミッシング·コードの特性となります。

ADC出力は、PLLにより生成される12×クロックで動作するシリアライザに入力されます。各チャネルからの12データ·ビットはシリアル化され、LSBファーストで送信されます。データのシリアル化以外に、シリアライザは1×クロックおよび6×クロックも生成します。これらのクロックはシリアル化データの生成と同様の方法で生成されるため、これらのクロックとデータとの同期が完全に維持されます。シリアライザのデータとクロックは、LVDSバッファを使用して外部にバッファ出力されます。LVDSバッファを使用して外部へデータを転送することには、出力端子数の低減（基板上の引き回し面積の節約）、電力消費の削減、およびADS528x内のアナログ回路に結合するデジタル·ノイズの影響の低減といった多数の利点があります。

ADS528xは2組の電源およびグランドで動作します。アナログ電源およびグランドは、AVDDおよびAVSSとしており、デジタルはLVDDおよびLVSSと定義されています。

アナログ入力

アナログ入力は、スイッチド·キャパシタをベースとした差動サンプル·アンド·ホールドのアーキテクチャで構成されています。この差動トポロジーにより、高サンプリング·レート時の高入力周波数でも非常に良好なAC特性が得られています。IN_NおよびIN_P端子は、1.5Vの同相電圧付近に外部でバイアスする必要があり、この電圧はV_{CM}で得られます。フルスケール差動入力のために、各入力端子（IN_NおよびIN_P）はV_{CM} + 0.5VとV_{CM} – 0.5Vの間を対称にスイングして、その結果の$2V_{PP}$の差動入力振幅を得る必要があります。最大入力ピーク·ツー·ピーク差動振幅は、内部リファレンス電圧のREF_T（公称2.5V）およびREF_B（公称0.5V）間の差で決まります。図34に入力ドライブ回路のモデルを示します。

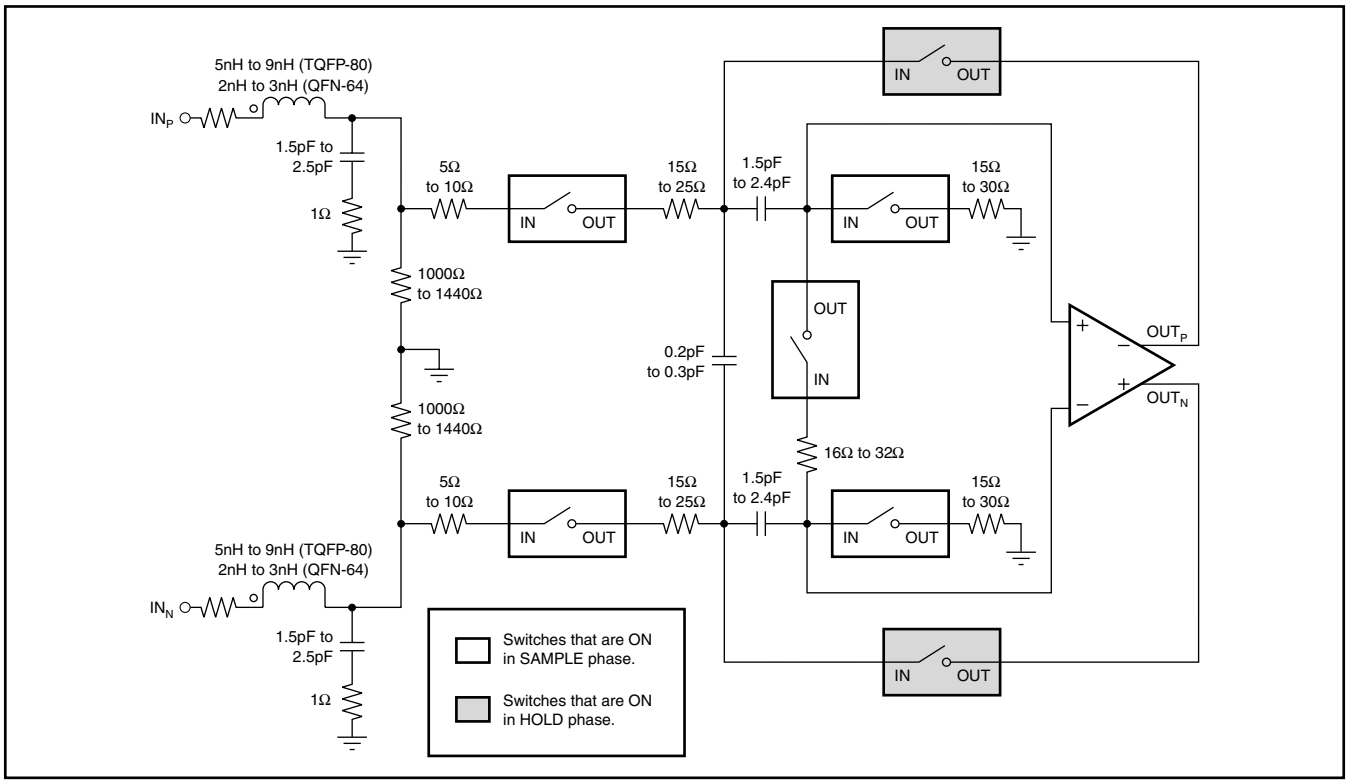


図 34. アナログ入力回路

入力同相電流

8個のADC入力段から、50MSPS時に合せて約2mAの同相電流が流れ込みます。式(3)に同相電流とサンプリング周波数の関係を示します。

$$\frac{(2\text{mA}) \times f_S}{50\text{MSPS}} \qquad (3)$$

ドライブ段を入力へDC結合する場合、式3を使用して同相ドライブ能力およびインピーダンスを決めることができます。また、入力はIN_NおよびIN_P端子にAC結合することもできます。その場合、入力同相電圧は内部で入力端子からV_{CM}端子に接続された2つの1.2kΩ抵抗により設定されます。このアーキテクチャを図35に示します。

入力がAC結合の場合、IN_NおよびIN_Pの電圧はV_{CM}に対して降下します。この電圧降下は式(3)で計算できます。例えば50MSPS時では、各16入力端子における電圧降下は150mVになり、これはADC動作にとって最適ではありません。このAC結合時の入力同相電圧降下の影響は、「初期化レジスタ」表で説明する初期化レジスタ5によりV_{CM}を大体75mV上昇させることで、部分的に低減することができます。入力がAC結合の場合の50MSPSを超える動作では、追加の並列抵抗を外付けして、入力同相電圧を少なくとも1.4Vまで回復するように推奨します。

ドライブ回路

最適特性を得るには、アナログの入力を差動入力する必要があります。これにより、同相ノイズ耐性および偶数次の高調波の除去が改善されます。低入力周波数および高入力周波数に適したRFトランスによる入力構成を、それぞれ図36および図37に示します。シングル·エンド信号がRFトランスの1次巻線側に供給されています。トランスは2次側にて50Ωの抵抗で終端されています。2次側に終端抵抗を配置すると、入力サンプリング·コンデンサにより生じるキックをRFトランスのリーク·インダクタンスに対してシールドするのに役立ちます。終端は直列接続の2個の25Ω抵抗で行い、その中点は1.5Vの同相電圧に接続されています。各入力端子に直列の4.7Ω抵抗は、デバイス·パッケージの寄生素子により生じるリンギングの低減に必要です。

入力が高周波の場合、トランスの寄生容量の不整合(巻線間)により偶数次の高調波特性が悪化します。2つの等しいRFトランスを背中合わせ接続すると、この不整合を最小限にするのに役立ち、高周波入力信号に対して良好な特性が得られます。ただし、図37に示すように、追加の終端抵抗対が2つのトランス間に必要です。この終端の中点はグランドに接続され、正側と負側の間のバランスを改善しています。トランス間と2次側における両終端の値は、全体で50Ω(信号源インピーダンスが50Ωの場合)になるように選定する必要があります。

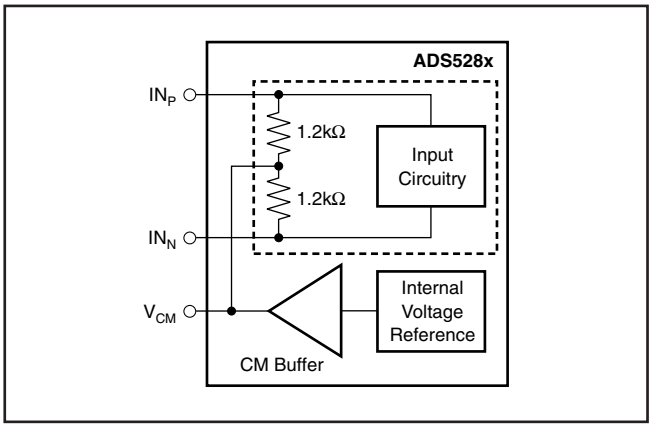


図 35. 入力端子の同相バイアス

破線の領域は、8チャネルの1つを示します。

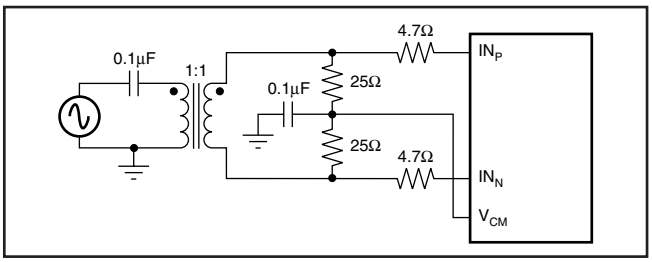


図 36. 低入力周波数時のドライブ回路

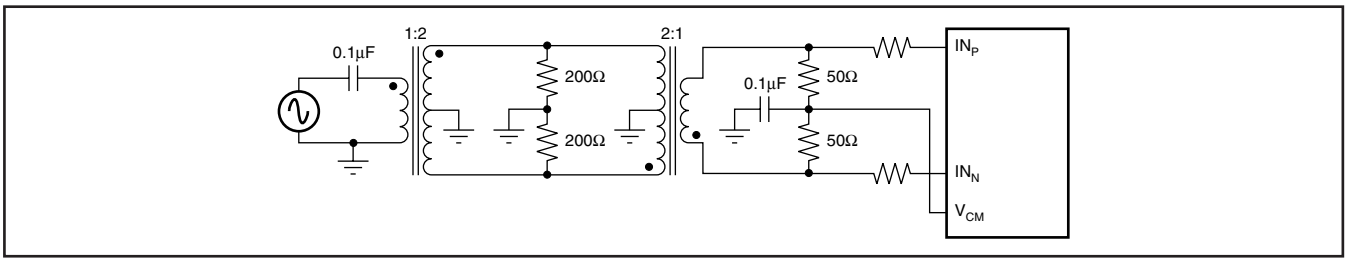


図 37. 高入力周波数時のドライブ回路

クロック入力

デバイスの8チャネルは、単一のADCLK入力で動作します。アパーチャ·ディレイおよびジッタが全チャネルで等しいようにするため、クロック·ツリー網を使用して、各チャネルに個別のサンプリング·クロックを生成しています。全チャネルへのクロック経路は、ソース·ポイントからサンプリング回路までの整合がとられています。このアーキテクチャにより、全チャネルの特性とタイミングが等しくなるように保証されています。整合をとるためにクロック·ツリーを使用すると、ADCLKの立ち上がりエッジから実際のサンプリングの瞬間までの遅延として定義されるアパーチャ·ディレイが導入されます。全チャネルのアパーチャ·ディレイは、可能なかぎりの整合がとられています。同一デバイス内では、±20ps（±3σ）の不整合が8個のADCのアパーチャ·ディレイに存在します。しかし、2つの異なるデバイス間では、ADCのアパーチャ·ディレイの差は数百psになることがあります。

ADS528xは、CMOSシングルエンド·クロック·モード（デフォルトはDIFF_CLK = ‘0’）または差動クロック·モード（SINE，LVPECL，またはLVDS）のどちらでも動作することができます。シングルエンド·クロック·モードで動作する場合CLK_Nを$0V_{DC}$に接続して、CLK_P端子にシングル·エンドのCMOS信号を供給する必要があります。この動作を図38に示します。

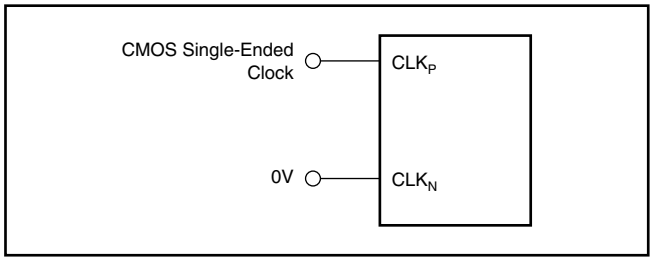


図 38. シングル·エンドのクロック·ドライブ回路（DIFF_CLK = ‘0’）

差動クロック·モードで動作するように設定すると（レジスタ·ビットDIFF_CLK = ‘1’）、ADS528xのクロック入力は差動（SINE，LVPECL，またはLVDS）でドライブすることができます。この場合、3者間またはシングルエンド（LVCMOS）との間で、ほとんどまたはまったく特性の差異がありません。クロック入力の同相電圧は、図39に示すように内部の5kΩ抵抗によりV_{CM}に設定されます。この手法により、正弦波クロック用のトランス結合のドライブ回路、または図40に示すLVPECLおよびLVDSクロック源用のAC結合が可能になります。差動クロック·モードで動作する場合、シングル·エンドのCMOSクロック源は、図41に示すようにCLK_P（11ピン）を0.1μFでグランドに接続して、CLK_N入力にAC結合することができます。

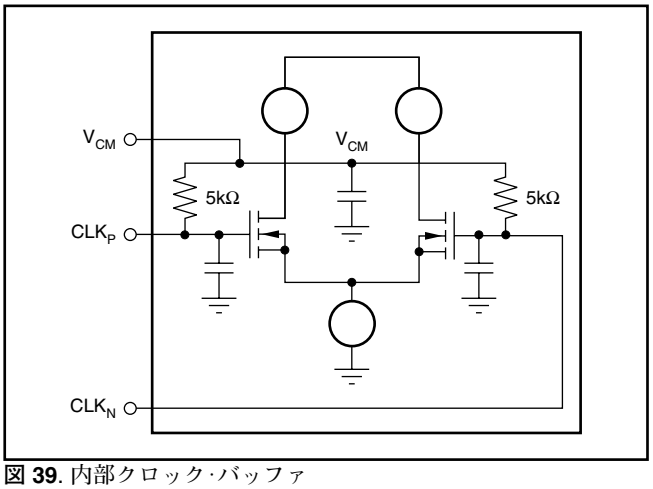


図 39. 内部クロック·バッファ

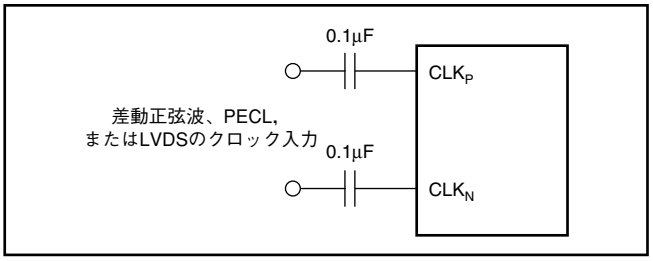


図 40. 差動クロック·ドライブ回路（DIFF_CLK = ‘1’）

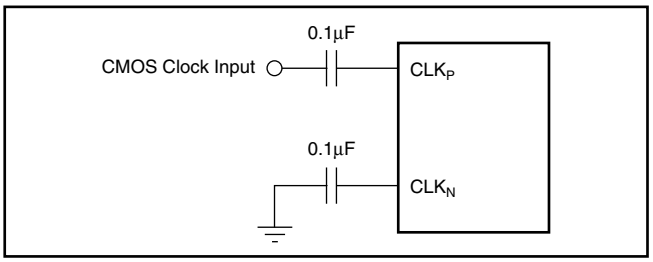


図 41. シングルエンド·クロックドライブ回路（DIFF_CLK = ‘1’）

最適特性を得るには、クロック入力を差動でドライブして、同相ノイズへの感度を低減する必要があります。高入力周波数サンプリングを行うには、非常に低ジッタのクロック源の使用を推奨します。クロック源をバンドパス·フィルタリングすると、ジッタの影響を低減するのに役立ちます。デューティ·サイクルが50%から2%または3%以上外れる場合、レジスタ·ビットEN_DCCを介して、DCCをイネーブルするように推奨します。

入力過電圧回復

ADS528xがサポートする差動ピーク·ツー·ピーク·フルスケール範囲は、公称値で2.0Vです。ADS528xは、差動ピーク·ツー·ピーク電圧の最大値がADCフルスケール範囲の2倍に達する過電圧状態に対処するように特に設計されています。過負荷時に入力同相電圧がV_{CM}からあまり離れていない場合（公称値1.5Vから±300mV以内）、入力が過負荷から0V信号に切り換わると、フルスケール·パルスの2倍の振幅の過電圧パルス入力から1クロック·サイクル内で回復することが可能です。

リファレンス回路

超音波システムにおけるデジタル·ビーム形成アルゴリズムは、すべてのレシーバ·チャネルのゲイン整合に依存します。標準的なシステムでは、ほとんど12ビットの8チャネルADCが基板上にあります。このような場合、ゲインの整合を保証することが重要なので、全ADCから見たリファレンス電圧の等しいことが基本的に要求されます。1デバイス内における8チャネルのリファレンスの整合は、1個の内部リファレンス電圧バッファで行われます。製造時に各デバイスのリファレンス電圧をトリミングすることにより、異なるデバイス間のリファレンス電圧の整合が十分であるようにしています。

デバイスの内部動作に必要なバイアス電流は、すべてI_{SET}端子とグランド間に外付けされる抵抗により設定されます。I_{SET}に56.2kΩの抵抗を使用すると、20μAの内部リファレンス電流が生成されます。この電流は内部でミラーされて、内部ブロックのバイアス電流が生成されます。I_{SET}に大きい抵抗を外付けすると、リファレンス·バイアス電流が低減するため、デバイス動作のための電力が低減されます。しかし、各種ブロックの内部バイアス電流の余裕が適正であるように、外付け抵抗は規定値の56.2kΩの10%以内にすることを推奨します。

内部バンドギャップ電圧をバッファリングすることにより、REF_TおよびREF_Bの中点電圧を設定する同相電圧V_{CM}も生成されます。このV_{CM}は、端子（TQFP-80パッケージでは65ピン、QFN-64パッケージでは53ピン）でアクセスすることができます。入力が直接結合の場合、V_{CM}は入力同相電圧を生成するリファレンス電圧になります。またV_{CM}は、外部リファレンス·モード時にリファレンス同相電圧の生成にも使用することができます。リファレンス端子の推奨デカップリングを図42に示します。

本デバイスは、外部リファレンスの使用にも対応しています。

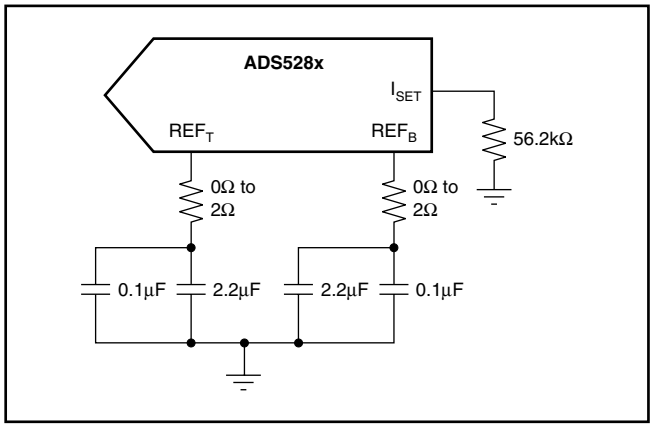


図 42. リファレンス端子の推奨デカップリング

リファレンスを外部供給する方法には2通りあります。第1の方法は、INT/$\overline{EXT}$端子を”Low”にして、REF_TおよびREF_BにそれぞれTyp値で2.5Vおよび0.5Vを外部供給することです。このモードでは、内部リファレンス·バッファは3ステート出力になります。外部リファレンスドライブ回路は、デバイス内の8個のADCに必要なスイッチング電流を供給できるように設計されています。本モードでは内部リファレンス·モード時と同様に、内部バンドギャップ電圧がV_{CM}およびI_{SET}を生成し続けていることに注意してください。したがって、外部供給のリファレンス電圧の同相電圧が、V_{CM}の50mV以内に収まるようにすることが重要です。

外部からリファレンス電圧を供給する第2の方法は、INT/$\overline{EXT}$端子を”Low”にし、シリアル·インターフェイスのプログラミング（レジスタ·ビットEXT_REF_VCM）により、V_{CM}端子を通した外部リファレンス·モードを起動することができます。このモードでは、V_{CM}は外部回路からドライブできる入力端子として設定されます。本モードでは、REF_TおよびREF_Bをドライブする内部リファレンス·バッファがアクティブになります。本モードでV_{CM}端子を1.5Vに外部から設定すると、REF_TおよびREF_Bはそれぞれ2.5Vと0.5Vになります。一般に本モードでのREF_TおよびREF_Bの電圧は、それぞれ式（4）および式（5）で与えられます。

$$VREF_T = 1.5V + \frac{V_{CM}}{1.5V} \quad (4)$$

$$VREF_B = 1.5V - \frac{V_{CM}}{1.5V} \quad (5)$$

PD，INT/$\overline{EXT}$およびEXT_REF_VCMのレジスタ·ビットの様々な組み合わせの場合の、リファレンス電圧内部バッファの状態を表7に示します。

レジスタ·ビット	内部バッファー·ステータス							
PD	0	0	1	1	0	0	1	1
INT/$\overline{EXT}$	0	1	0	1	0	1	0	1
EXT_REF_VCM	0	0	0	0	1	1	1	1
REF_T バッファ	3-state	2.5V	3-state	2.5V(1)	1.5V + V_{CM}/1.5V	未使用	2.5V(1)	未使用
REF_B バッファ	3-state	0.5V	3-state	0.5V(1)	1.5V – V_{CM}/1.5V	未使用	0.5V(1)	未使用
V_{CM} ピン	1.5V	1.5V	1.5V	1.5V	Force	未使用	Force	未使用

表 7. PD，INT/$\overline{EXT}$およびEXT_REF_VCMの各種組み合わせ時のリファレンス電圧内部バッファ状態

（1）内部バイアス電流の場合、電圧は外部供給より変ります。

ノイズ･カップリング

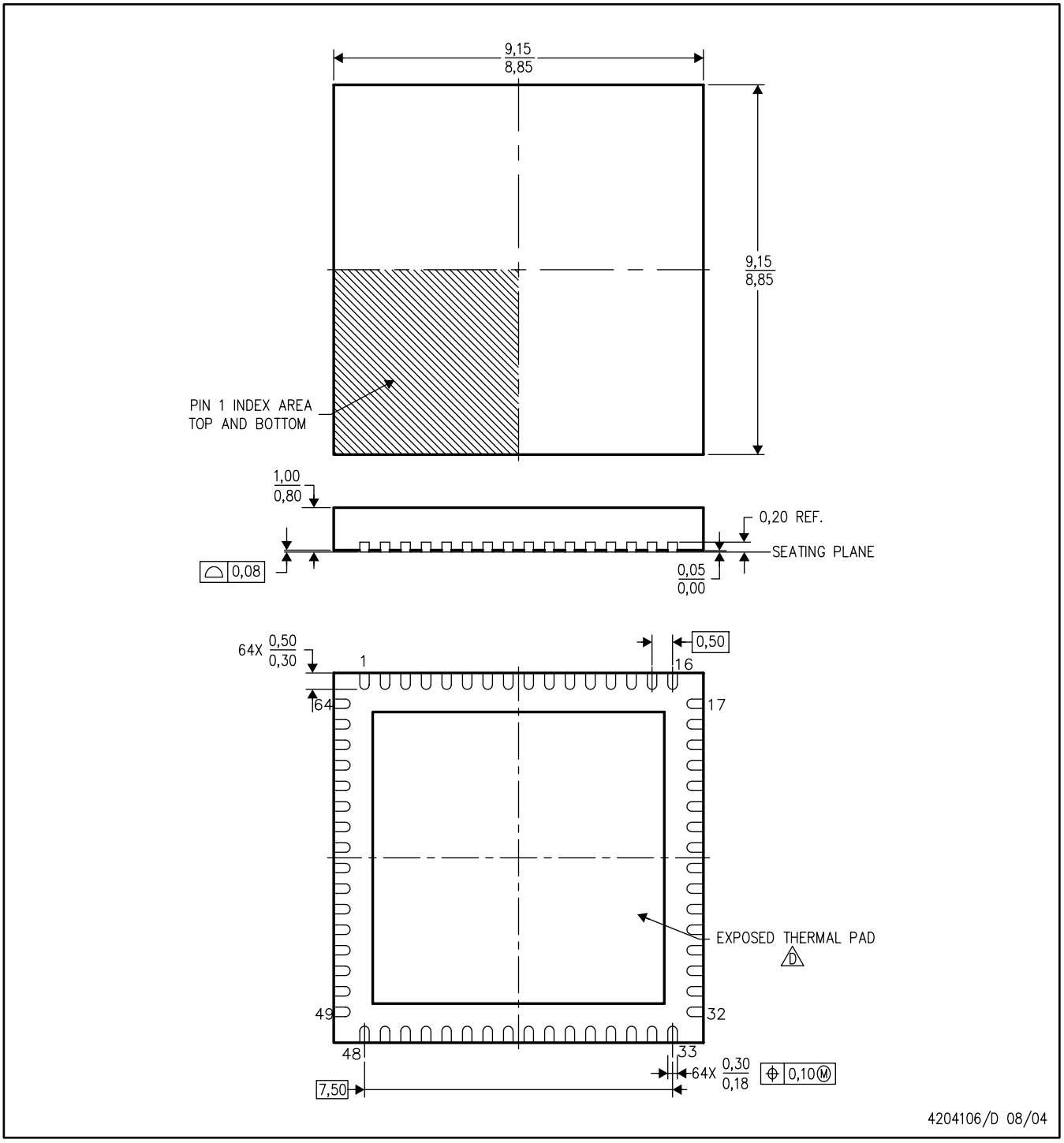
高速な信号は、様々な種類のノイズ･カップリングに敏感です。主要なノイズの1つに、シリアライザおよび出力バッファからのスイッチング･ノイズがあります。これらのノイズ源を敏感なアナログ･ブロックから分離するために、最大限の注意が払われています。まず、デバイスのアナログ領域とデジタル領域とで明確に領域を分離します。AVDDとAVSSはアナログ部の電源として使用されており、LVDDとLVSSはデジタル電源として使用されております。デバイス内で両電源間の相互作用が最小限になるように、注意が払われています。デジタル部からアナログ部へ結合および伝達されるノイズの程度は、下記に依存します。

1. それぞれの電源とグランドの組の実効インダクタンス。
2. デジタル部およびアナログ部の電源とグランドの組間の絶縁。

電源およびグランド端子の実効インダクタンスを小さくすると、ノイズ低減の改善につながります。この理由で、各電源およびグランドのドライブに複数の端子が使用されます。また、基板の電源とグランドのライン･インピーダンスを確実に最小限の値にすることも重要です。プリント回路基板（PCB）でグランド･プレーンを使用するとともに、大容量のデカップリング･コンデンサを電源とグランドのライン間に使用することが、最適なSNR特性をデバイスから得るために必要です。

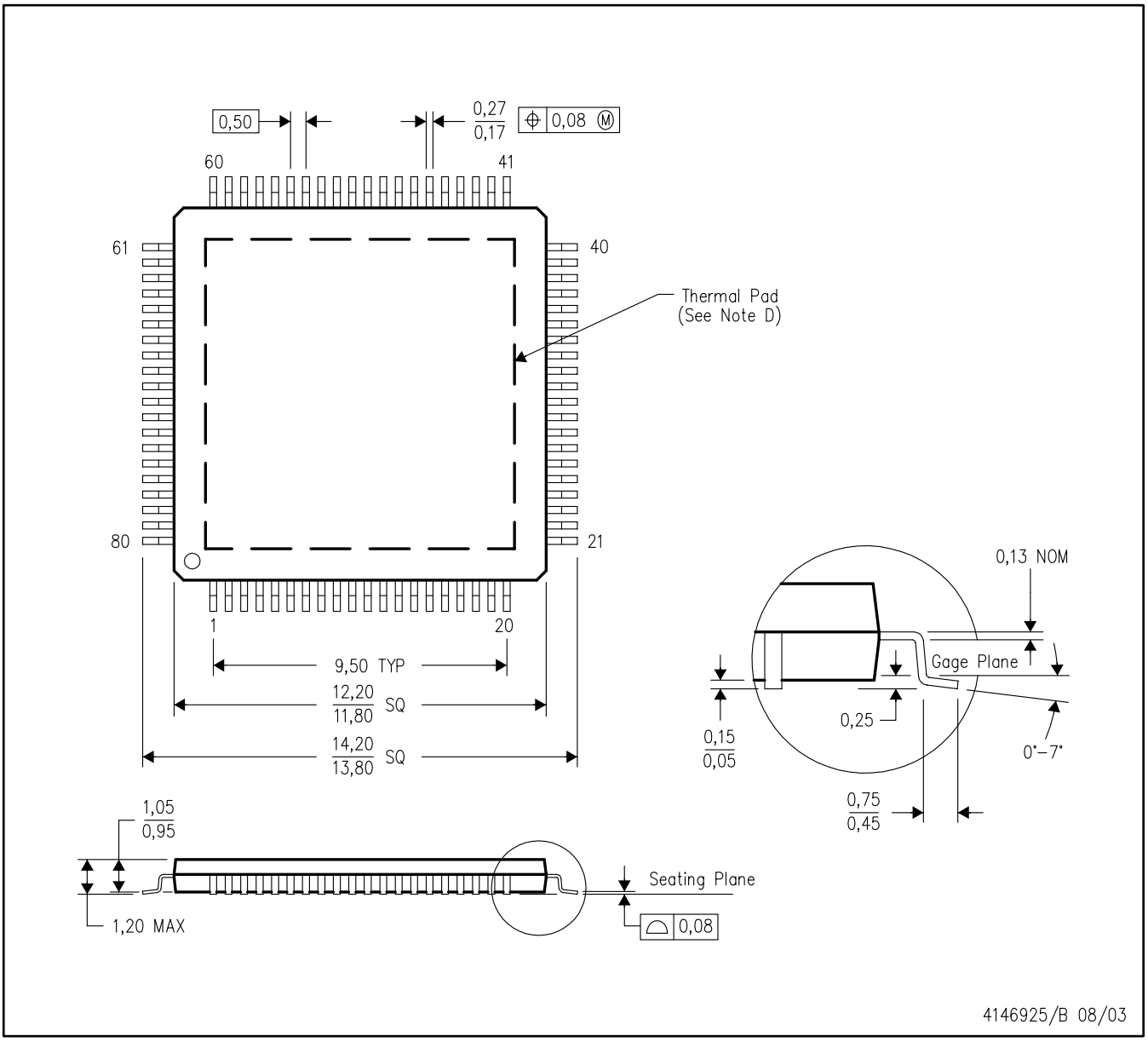
AVDDおよびLVDDをドライブする電源を分離し、同様にAVSSとLVSSのグランド･プレーンを分離して、基板上での絶縁を保つように推奨します。LVDSバッファを使用すると、CMOSバッファに比較して注入ノイズがかなり低減されます。LVDSバッファの電流は、スイッチング方向に依存しません。また、LVDSバッファの差動動作および低出力振幅により、低ノイズ結合となります。

RGC (S-PQFP-N64) CUSTOM DEVICE PLASTIC QUAD FLATPACK



注： A. 直線寸法は、すべてミリメートル単位です。外形寸法および許容誤差はASME Y14.5–1994によります。
B. 本図は予告なく変更することがあります。
C. クワッド・フラックパック、ノー・リード(QFN)パッケージ構造。
D. パッケージのサーマルパッドは、熱的および機構的特性のために、基板に半田付けする必要があります。
露出サーマルパッドの外形寸法の詳細は、製品データシートを参照願います。

PFP (S-PQFP-G80)　　PowerPAD™ PLASTIC QUAD FLATPACK



注： A. 直線寸法は、すべてミリメートル単位です。
B. 本図は予告なく変更することがあります。
C. ボディの寸法には、モールド・フラッシュや突起は含まれません。
D. 本パッケージは、基板上のサーマルパッドに半田付けするように設計されています。推奨の基板レイアウトについて、テクニカル・ブリーフ、「PowerPad熱的強化パッケージ」テキサス・インスツルメンツ文献番号SLMA002を参照願います。本文献は、www.ti.com <http://www/ti.com>で入手できます。
E. JEDEC–MS026に準拠します。

サーマルパッド・メカニカル・データ

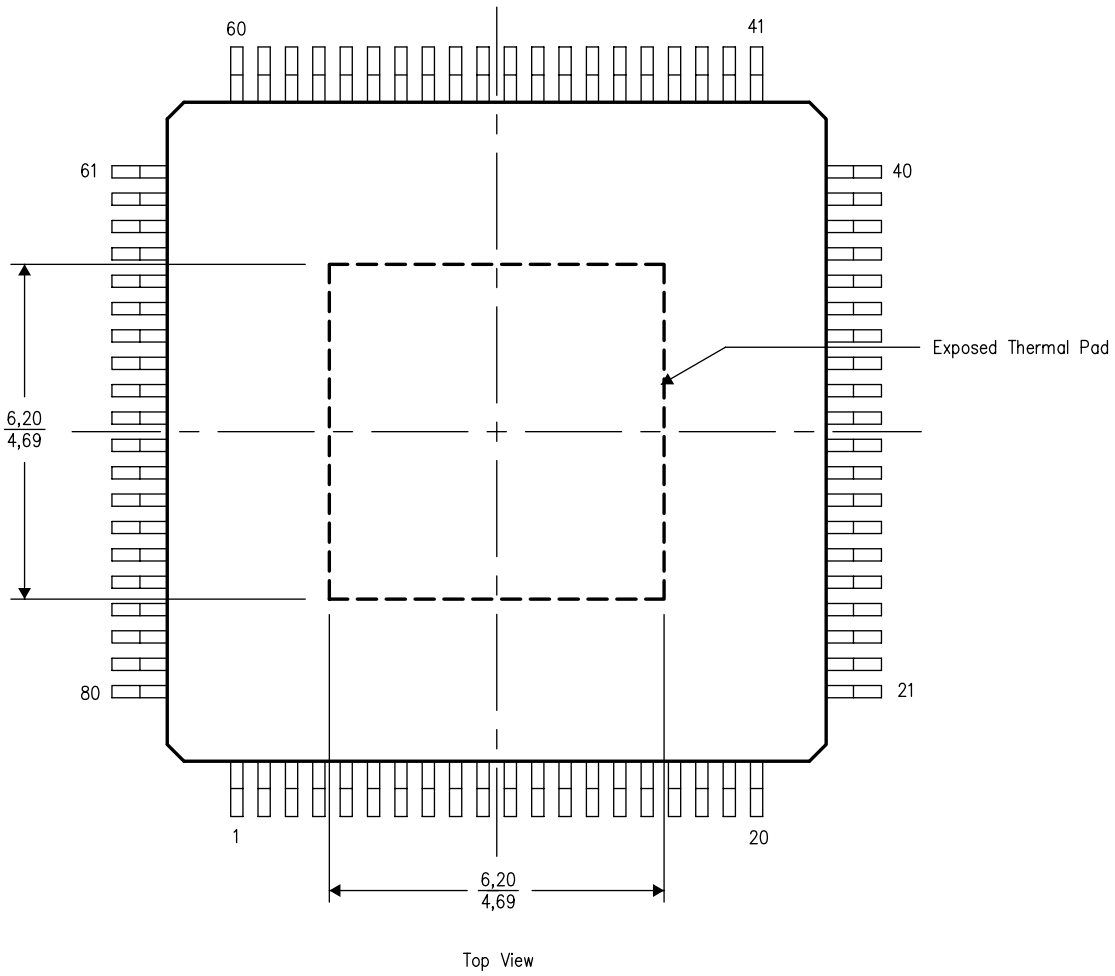
PFP (S-PQFP-G80)

熱特性について

PowerPAD™パッケージは、外付けヒートシンクに直接取り付けられるように設計した、露出サーマルパッドを組み込んでいます。サーマルパッドをプリント回路基板(PCB)に直接半田付けすると、PCBがヒートシンクとして使用できます。さらに、サーマルヴィアを使用すると、サーマルパッドはグランドまたは電源プレーン(いずれか可能なもの)、またその代わりとしてPCBに設計された特殊なヒートシンク構造物に直接取り付けられます。この設計により、集積回路(IC)からの熱伝導が最適化されます。

PowerPAD™パッケージと、その熱放散能力の利用法に関する他の情報については、テクニカル・ブリーフ、「PowerPad熱的強化パッケージ」テキサス・インスツルメンツ文献番号SLMA002および、アプリケーション・ブリーフ、「PowerPadメード・イージー」テキサス・インスツルメンツ文献番号SLMA004を参照願います。両文献はwww.ti.com で入手できます。

本パッケージの露出サーマルパッドの外形寸法を下図に示します。



注：寸法はすべてミリメートル単位です。

露出サーマル・パッドの寸法

パッケージ情報

製品情報

Orderable Device	Status (1)	Package Type	Package Drawing	Pins	Package Qty	Eco Plan (2)	Lead/Ball Finish	MSL Peak Temp (3)
ADS5281IPFP	ACTIVE	HTQFP	PFP	80	96	Green (RoHS & no Sb/Br)	CU NIPDAU	Level-3-260C-168 HR
ADS5281IPFPG4	ACTIVE	HTQFP	PFP	80	96	Green (RoHS & no Sb/Br)	CU NIPDAU	Level-3-260C-168 HR
ADS5281IPFPR	ACTIVE	HTQFP	PFP	80	1000	Green (RoHS & no Sb/Br)	CU NIPDAU	Level-3-260C-168 HR
ADS5281IPFPRG4	ACTIVE	HTQFP	PFP	80	1000	Green (RoHS & no Sb/Br)	CU NIPDAU	Level-3-260C-168 HR
ADS5281IRGCR	PREVIEW	VQFN	RGC	64	2000	TBD	Call TI	Call TI
ADS5281IRGCT	PREVIEW	VQFN	RGC	64	250	TBD	Call TI	Call TI
ADS5282IRGCR	PREVIEW	VQFN	RGC	64	2000	TBD	Call TI	Call TI
ADS5282IRGCT	PREVIEW	VQFN	RGC	64	250	TBD	Call TI	Call TI
PADS5281IRGCT	PREVIEW	VQFN	RGC	64	250	TBD	Call TI	Call TI

(1) マーケティング･ステータスは次のように定義されています。
ACTIVE：製品デバイスが新規設計用に推奨されています。
LIFEBUY：TIによりデバイスの生産中止予定が発表され、ライフタイム購入期間が有効です。
NRND：新規設計用に推奨されていません。デバイスは既存の顧客をサポートするために生産されていますが、TIでは新規設計にこの部品を使用することを推奨していません。
PREVIEW：デバイスは発表済みですが、まだ生産が開始されていません。サンプルが提供される場合と、提供されない場合があります。
OBSOLETE：TIによりデバイスの生産が中止されました。

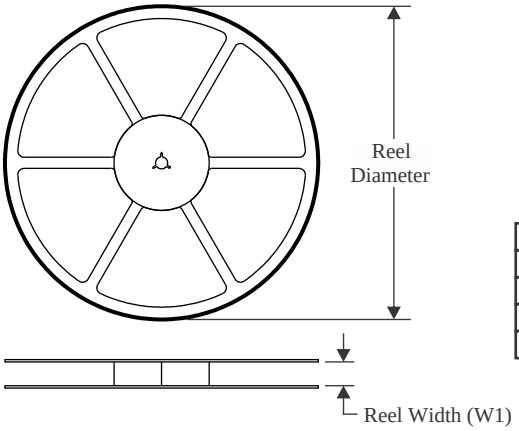
(2) エコ･プラン - 環境に配慮した製品分類プランであり、Pb-Free（RoHS）、Pb-Free（RoHS Expert）およびGreen（RoHS & no Sb/Br）があります。最新情報および製品内容の詳細については、http://www.ti.com/productcontentでご確認ください。
TBD：Pb-Free/Green変換プランが策定されていません。
Pb-Free (RoHS)：TIにおける“Lead-Free”または“Pb-Free”（鉛フリー）は、6つの物質すべてに対して現在のRoHS要件を満たしている半導体製品を意味します。これには、同種の材質内で鉛の重量が0.1％を超えないという要件も含まれます。高温で半田付けするように設計されている場合、TIの鉛フリー製品は指定された鉛フリー･プロセスでの使用に適しています。
Pb-Free (RoHS Exempt)：この部品は、1）ダイとパッケージの間に鉛ベースの半田バンプ使用、または 2）ダイとリードフレーム間に鉛ベースの接着剤を使用、が除外されています。それ以外は上記の様にPb-Free（RoHS）と考えられます。
Green (RoHS & no Sb/Br)：TIにおける“Green”は、“Pb-Free”（RoHS互換）に加えて、臭素（Br）およびアンチモン（Sb）をベースとした難燃材を含まない（均質な材質中のBrまたはSb重量が0.1％を超えない）ことを意味しています。

(3) MSL、ピーク温度 -- JEDEC業界標準分類に従った耐湿性レベル、およびピーク半田温度です。

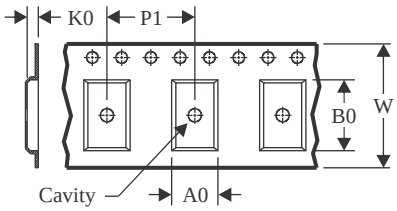
重要な情報および免責事項：このページに記載された情報は、記載された日付時点でのTIの知識および見解を表しています。TIの知識および見解は、第三者によって提供された情報に基づいており、そのような情報の正確性について何らの表明および保証も行うものではありません。第三者からの情報をより良く統合するための努力は続けております。TIでは、事実を適切に表す正確な情報を提供すべく妥当な手順を踏み、引き続きそれを継続してゆきますが、受け入れる部材および化学物質に対して破壊試験や化学分析は実行していない場合があります。TIおよびTI製品の供給者は、特定の情報を機密情報として扱っているため、CAS番号やその他の制限された情報が公開されない場合があります。

TAPE AND REEL INFORMATION

REEL DIMENSIONS

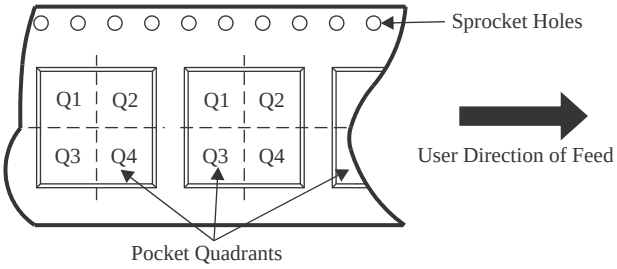


TAPE DIMENSIONS



A0	Dimension designed to accommodate the component width
B0	Dimension designed to accommodate the component length
K0	Dimension designed to accommodate the component thickness
W	Overall width of the carrier tape
P1	Pitch between successive cavity centers

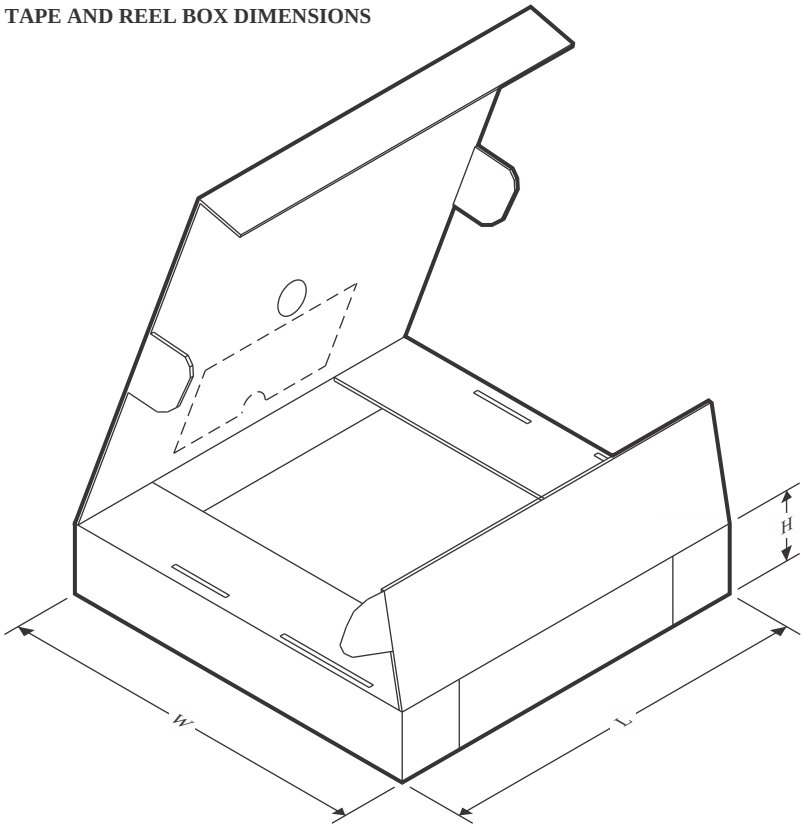
QUADRANT ASSIGNMENTS FOR PIN 1 ORIENTATION IN TAPE



*All dimensions are nominal

Device	Package Type	Package Drawing	Pins	SPQ	Reel Diameter (mm)	Reel Width W1 (mm)	A0 (mm)	B0 (mm)	K0 (mm)	P1 (mm)	W (mm)	Pin1 Quadrant
ADS5281IPFPR	HTQFP	PFP	80	1000	330.0	24.4	15.0	15.0	1.5	20.0	24.0	Q2
ADS5281IRGCR	VQFN	RGC	64	2000	330.0	16.4	9.3	9.3	1.5	12.0	16.0	Q2
ADS5282IRGCR	VQFN	RGC	64	2000	330.0	16.4	9.3	9.3	1.5	12.0	16.0	Q2
ADS5282IRGCRG4	VQFN	RGC	64	2000	330.0	16.4	9.3	9.3	1.5	12.0	16.0	Q2

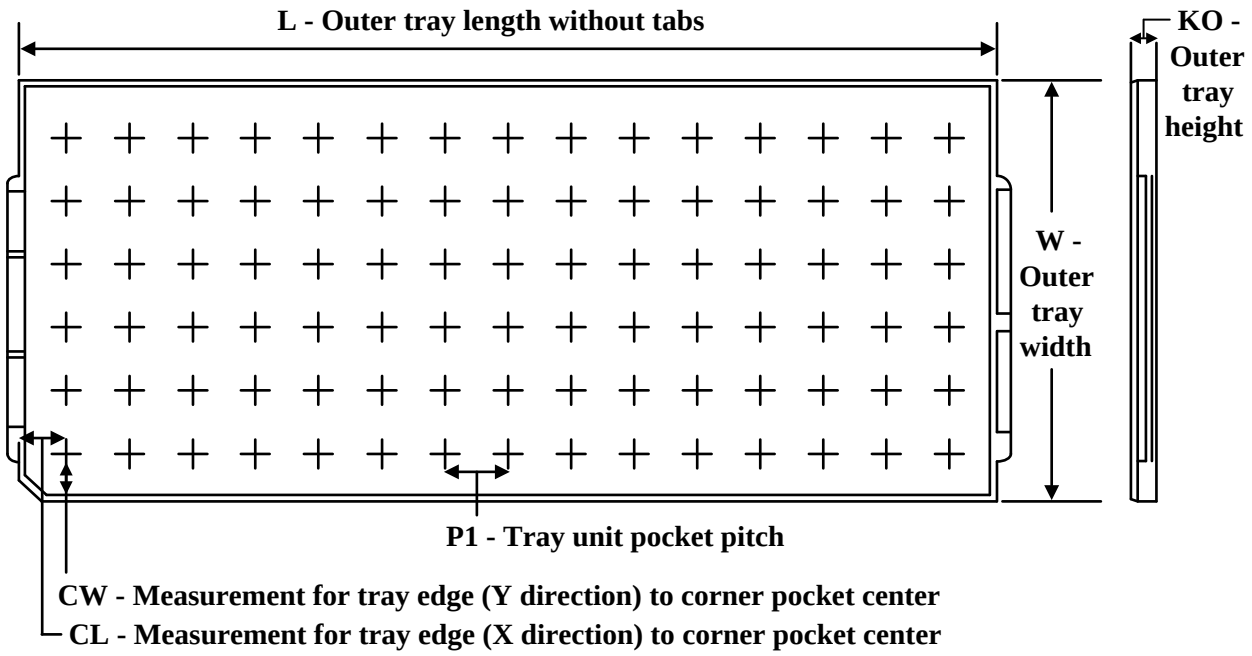
TAPE AND REEL BOX DIMENSIONS



*All dimensions are nominal

Device	Package Type	Package Drawing	Pins	SPQ	Length (mm)	Width (mm)	Height (mm)
ADS5281IPFPR	HTQFP	PFP	80	1000	350.0	350.0	43.0
ADS5281IRGCR	VQFN	RGC	64	2000	350.0	350.0	43.0
ADS5282IRGCR	VQFN	RGC	64	2000	350.0	350.0	43.0
ADS5282IRGCRG4	VQFN	RGC	64	2000	350.0	350.0	43.0

TRAY



Chamfer on Tray corner indicates Pin 1 orientation of packed units.

*All dimensions are nominal

Device	Package Name	Package Type	Pins	SPQ	Unit array matrix	Max temperature (°C)	L (mm)	W (mm)	K0 (µm)	P1 (mm)	CL (mm)	CW (mm)
ADS5281IPFP	PFP	HTQFP	80	96	6 x 16	150	315	135.9	7620	18.7	17.25	18.3
ADS5281IPFP.A	PFP	HTQFP	80	96	6 x 16	150	315	135.9	7620	18.7	17.25	18.3

重要なお知らせと免責事項

テキサス· インスツルメンツは、技術データと信頼性データ (データシートを含みます)、設計リソース (リファレンス デザインを含みます)、アプリケーションや設計に関する各種アドバイス、Web ツール、安全性情報、その他のリソースを、欠陥が存在する可能性のある「現状のまま」提供しており、商品性および特定目的に対する適合性の黙示保証、第三者の知的財産権の非侵害保証を含むいかなる保証も、明示的または黙示的にかかわらず拒否します。

これらのリソースは、 テキサス· インスツルメンツ製品を使用する設計の経験を積んだ開発者への提供を意図したものです。(1) お客様のアプリケーションに適した テキサス· インスツルメンツ製品の選定、(2) お客様のアプリケーションの設計、検証、試験、(3) お客様のアプリケーションに該当する各種規格や、その他のあらゆる安全性、セキュリティ、規制、または他の要件への確実な適合に関する責任を、お客様のみが単独で負うものとします。

上記の各種リソースは、予告なく変更される可能性があります。これらのリソースは、リソースで説明されている テキサス· インスツルメンツ製品を使用するアプリケーションの開発の目的でのみ、 テキサス· インスツルメンツはその使用をお客様に許諾します。これらのリソースに関して、他の目的で複製することや掲載することは禁止されています。 テキサス· インスツルメンツや第三者の知的財産権のライセンスが付与されている訳ではありません。お客様は、これらのリソースを自身で使用した結果発生するあらゆる申し立て、損害、費用、損失、責任について、 テキサス· インスツルメンツおよびその代理人を完全に補償するものとし、 テキサス· インスツルメンツは一切の責任を拒否します。

テキサス· インスツルメンツの製品は、 テキサス· インスツルメンツの販売条件、または ti.com やかかる テキサス· インスツルメンツ製品の関連資料などのいずれかを通じて提供する適用可能な条項の下で提供されています。 テキサス· インスツルメンツがこれらのリソースを提供することは、適用される テキサス· インスツルメンツの保証または他の保証の放棄の拡大や変更を意味するものではありません。

お客様がいかなる追加条項または代替条項を提案した場合でも、 テキサス· インスツルメンツはそれらに異議を唱え、拒否します。

郵送先住所：Texas Instruments, Post Office Box 655303, Dallas, Texas 75265
Copyright © 2025, Texas Instruments Incorporated