

ADS131B26-Q1 電圧、電流、温度センシング向け、 SPI と 6 チャンネルの ADC を搭載した車載用高電圧バッテリー パック モニタ

1 特長

- 車載アプリケーション向けに AEC-Q100 認証済み
 - 温度グレード 1: $-40^{\circ}\text{C} \sim +125^{\circ}\text{C}$, T_A
- 機能安全準拠
 - 機能安全アプリケーション向けに開発
 - ASIL D までの ISO 26262 機能安全システム設計に役立つ資料を入手可能
 - ASIL D までの決定論的対応能力
 - ASIL D までのハードウェア機能
- 電流シャント測定用の 2 つの同時サンプリング 24 ビット ADC (ADC1A、ADC1B):
 - フルスケール レンジをプログラム可能:
 - $\pm 39\text{mV} \sim \pm 312.5\text{mV}$
 - 幅広いシャント抵抗値と電流測定範囲をサポート
 - 以下を使用して、高精度の電流シャント測定を実現:
 - オフセット誤差: $\pm 1.5\mu\text{V}$ (最大値)
 - ゲインドリフト: $20\text{ppm}/^{\circ}\text{C}$ (最大値)
 - データ レートをプログラム可能: $500\text{SPS} \sim 64\text{kSPS}$
 - 高速過電流検出用のプログラム可能なスレッショルドを備えた ADC ごとのデジタル過電流コンパレータ
- 電圧測定用の 2 つの同時サンプリング 24 ビット ADC (ADC3A、ADC3B):
 - データ レートをプログラム可能: $500\text{SPS} \sim 64\text{kSPS}$
 - フルスケール レンジをプログラム可能:
 - $\pm 312.5\text{mV} \sim \pm 1.25\text{V}$

- 電圧および温度測定用の 2 つの多重化 16 ビット ADC (ADC2A、ADC2B):
 - 8 つのアナログ入力 (各 ADC)
 - フルスケール レンジをプログラム可能:
 - $\pm 312.5\text{mV} \sim \pm 1.25\text{V}$
 - チャンネル シーケンサ
- ランダムなハードウェア障害を軽減および検出するための監視および診断機能
- 電源電圧範囲: $2.9\text{V} \sim 16\text{V}$
- SPI 互換のインターフェイス
- PWM 機能を備えた 9 個の GPIO

2 アプリケーション

- 車載用バッテリー管理システム (BMS):
 - 電流シャント測定
 - 外付け抵抗分圧器を使用した電圧測定
 - サーミスタまたはアナログ出力温度センサを使用した温度測定

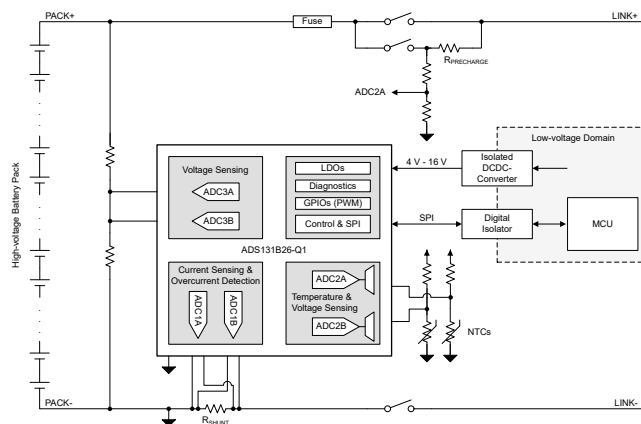
3 概要

ADS131B26-Q1 は、車載用電気自動車 (EV) バッテリー管理システム (BMS) 向けの完全統合型高電圧バッテリー パック モニタです。

パッケージ情報

| 部品番号 | パッケージ (1) | パッケージ サイズ (2) |
|--------------|----------------|---------------|
| ADS131B26-Q1 | PHP (HTQFP、48) | 9mm × 9mm |

- 詳細については、[メカニカル](#)、[パッケージ](#)、および[注文情報](#)をご覧ください。
- パッケージ サイズ (長さ × 幅) は公称値であり、該当する場合はピンも含まれます。



EV BMS バッテリー パック モニタのシステム ブロック図



ADS131B26-Q1 には 2 つの同時サンプリング、高精度、24 ビット アナログ / デジタル コンバータ (ADC) チャンネル (ADC1A、ADC1B) が内蔵されており、外付けのシャント抵抗を使用して高分解能かつ高精度でバッテリー電流を冗長測定できます。2 つの独立したデジタル コンバータにより、2 つの ADC と並列で高速な過電流検出が可能です。

2 つの同時サンプリング 24 ビット ADC (ADC3A、ADC3B) がもう 1 組内蔵されており、外付けの高電圧抵抗分圧器を使用してバッテリー電流と同期してバッテリーパック電圧を測定し、バッテリーの充電状態と健全性の正確な計算を実行できます。

追加で 2 つの多重化 16 ビット ADC チャンネル (ADC2A、ADC2B) を利用すれば、外付けの高電圧抵抗分圧器を使用した、シャント温度やシステム内のその他の電圧 (バッテリー パック電圧など) の測定が可能です。シャント温度は、サーミスタやアナログ出力温度センサなどの外付け温度センサを使用して測定します。各 ADC には、構成済みのマルチプレクサ入力を自動的に流して SPI 上の通信を低減する、チャンネル シーケンサが搭載されています。

本デバイスは、ランダムなハードウェア障害を軽減および検出できる多数の監視 / 診断機能を内蔵しているため、機能安全 BMS の開発が容易になります。

最大 16V の入力範囲を持つ内部リニアレギュレータは、非安定型 DC/DC コンバータを使用したデバイスへの電力供給をサポートしています。

ADS131B26-Q1 は、48 ピン HTQFP パッケージで供給され、車載用温度範囲の -40°C ~ $+105^{\circ}\text{C}$ で動作が規定されています。

目次

| | | | |
|--------------------------|-----------|-------------------------------------|------------|
| 1 特長 | 1 | 7.2 機能ブロック図 | 30 |
| 2 アプリケーション | 1 | 7.3 機能説明 | 31 |
| 3 概要 | 1 | 7.4 デバイスの機能モード | 60 |
| 4 ピン構成および機能 | 4 | 7.5 プログラミング | 69 |
| 5 仕様 | 7 | 8 レジスタ マップ | 83 |
| 5.1 絶対最大定格..... | 7 | 8.1 レジスタ..... | 84 |
| 5.2 ESD 定格..... | 7 | 9 アプリケーションと実装 | 242 |
| 5.3 推奨動作条件..... | 8 | 9.1 アプリケーション情報..... | 242 |
| 5.4 熱に関する情報..... | 9 | 9.2 代表的なアプリケーション..... | 242 |
| 5.5 電気的特性..... | 9 | 9.3 電源に関する推奨事項..... | 246 |
| 5.6 タイミング要件..... | 16 | 9.4 レイアウト..... | 250 |
| 5.7 スイッチング特性..... | 17 | 10 デバイスおよびドキュメントのサポート | 252 |
| 5.8 タイミング図..... | 18 | 10.1 ドキュメントのサポート..... | 252 |
| 5.9 代表的特性..... | 19 | 10.2 ドキュメントの更新通知を受け取る方法..... | 252 |
| 6 パラメータ測定情報 | 26 | 10.3 サポート・リソース..... | 252 |
| 6.1 オフセットドリフトの測定..... | 26 | 10.4 商標..... | 252 |
| 6.2 ゲインドリフトの測定..... | 26 | 10.5 静電気放電に関する注意事項..... | 252 |
| 6.3 ノイズ性能..... | 27 | 10.6 用語集..... | 252 |
| 7 詳細説明 | 28 | 11 改訂履歴 | 252 |
| 7.1 概要..... | 28 | 12 メカニカル、パッケージ、および注文情報 | 253 |

4 ピン構成および機能

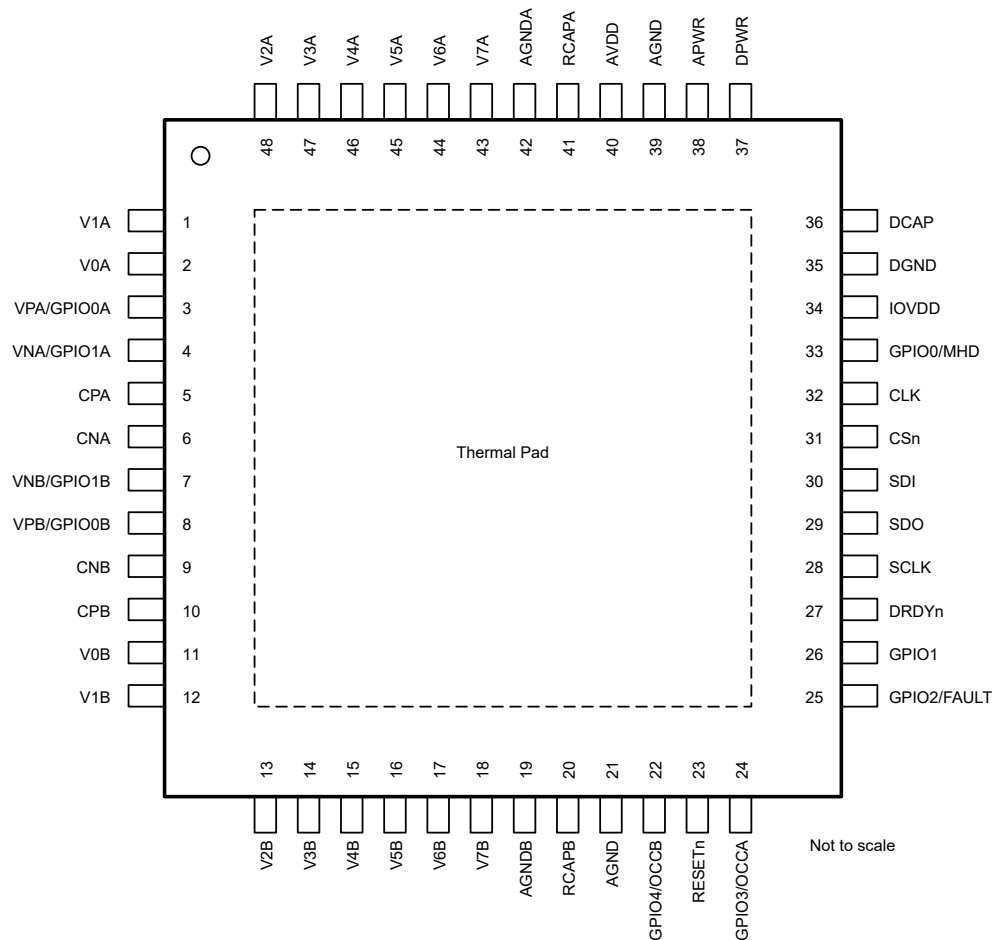


図 4-1. PHP パッケージ、48 ピン HTQFP (上面図)

表 4-1. ピンの機能

| ピン | | タイプ | 説明 ⁽¹⁾ |
|-------|----|----------|---|
| 名称 | 番号 | | |
| AGND | 39 | アナログ電源 | アナログ グランド。 |
| AGND | 21 | アナログ電源 | アナログ グランド。 |
| AGNDA | 42 | アナログ電源 | セクション A アナログ グランド。AGND に接続。 |
| AGNDB | 19 | アナログ電源 | セクション B アナログ グランド。AGND に接続。 |
| APWR | 38 | アナログ電源 | アナログ電源。1- μ F コンデンサを AGND との間に接続します。 |
| AVDD | 40 | アナログ電源 | アナログ電源。1- μ F コンデンサを AGND に接続します。 GPIO0A、GPIO1A、GPIO0B、GPIO1B のロジック レベルを設定します。 |
| CLK | 32 | デジタル I/O | メイン クロック入力。 ⁽⁴⁾ |
| CNA だ | 6 | アナログ入力 | ADC1A 負アナログ入力。 |
| CNB | 9 | アナログ入力 | ADC1B 負アナログ入力。 |
| CPA | 5 | アナログ入力 | ADC1A 正アナログ入力。 |

表 4-1. ピンの機能 (続き)

| ピン | | タイプ | 説明 ⁽¹⁾ |
|-------------|----|---------------------|---|
| 名称 | 番号 | | |
| CPB | 10 | アナログ入力 | ADC1B 正アナログ入力。 |
| CSn | 31 | デジタル入力 | チップ セレクト入力 (アクティブ Low)IOVDD の内部プルアップ抵抗。 ⁽⁴⁾ |
| DCAP です | 36 | デジタル電源 | DVDD LDO 出力。220nF のコンデンサを DGND に接続します。 |
| DGND | 35 | デジタル電源 | デジタル グランド。 |
| DPWR | 37 | デジタル電源 | デジタル電源。1- μ F コンデンサを DGND との間に接続します。 |
| DRDY | 27 | デジタル出力 | データ準備完了出力、アクティブ Low。 ^{(2) (4)} |
| GPIO0/MHD | 33 | デジタル I/O | 汎用デジタル入出力 0。 ^{(2) (4)} ホスト検出出力がありません。 ^{(2) (4)} |
| GPIO1 | 26 | デジタル I/O | 汎用デジタル入出力 1。 ^{(2) (4)} |
| GPIO2/FAULT | 25 | デジタル I/O | 汎用デジタル入出力 2。 ^{(2) (4)} フォルト出力。 ^{(2) (4)} |
| GPIO3/OCCA | 24 | デジタル I/O | 汎用デジタル入出力 3。 ^{(2) (4)} 過電流コンパレータ A の出力。 ^{(2) (4)} |
| GPIO4/OCCB | 22 | デジタル I/O | 汎用デジタル入出力 4。 ^{(2) (4)} 過電流コンパレータ B の出力。 ^{(2) (4)} |
| IOVDD | 34 | デジタル電源 | デジタル I/O 電源。1- μ F コンデンサを DGND に接続します。 GPIO0A、GPIO1A、GPIO0B、GPIO1B を除く、デジタル I/O のロジック・レベルを設定します。 |
| RCAPA | 41 | アナログ出力 | REFA 基準電圧出力。1- μ F コンデンサを AGNDA との間に接続します。 |
| RCAPB | 20 | アナログ出力 | REFB 基準電圧出力。1- μ F コンデンサを AGNDB との間に接続します。 |
| RESETn | 23 | デジタル入力 | リセット入力 (アクティブ Low)DGND への内部プルダウン抵抗。 |
| SCLK | 28 | デジタル入力 | シリアル データ クロック入力。 ⁽⁴⁾ |
| SDI | 30 | デジタル入力 | シリアル データ入力。 ⁽⁴⁾ |
| SDO | 29 | デジタル出力 | シリアル データ出力。 ^{(2) (4)} |
| V0A | 2 | アナログ入力 | ADC2A アナログ入力 0A。 |
| V0B | 11 | アナログ入力 | ADC2B アナログ入力 0B。 |
| V1A | 1 | アナログ入力 | ADC2A アナログ入力 1A。 |
| V1B | 12 | アナログ入力 | ADC2B アナログ入力 1B。 |
| V2A | 48 | アナログ入力 | ADC2A アナログ入力 2A。 |
| V2B | 13 | アナログ入力 | ADC2B アナログ入力 2B。 |
| V3A | 47 | アナログ入力 | ADC2A アナログ入力 3A。 |
| V3B | 14 | アナログ入力 | ADC2B アナログ入力 3B。 |
| V4A | 46 | アナログ入力 | ADC2A アナログ入力 4A。 |
| V4B | 15 | アナログ入力 | ADC2B アナログ入力 4B。 |
| V5A | 45 | アナログ入力 | ADC2A アナログ入力 5A。 |
| V5B | 16 | アナログ入力 | ADC2B アナログ入力 5B。 |
| V6A | 44 | アナログ入力 | ADC2A アナログ入力 6A。 |
| V6B | 17 | アナログ入力 | ADC2B アナログ入力 6B。 |
| V7A | 43 | アナログ入力 | ADC2A アナログ入力 7A。 |
| V7B | 18 | アナログ入力 | ADC2B アナログ入力 7B。 |
| VNA/GPIO1A | 4 | アナログ入力/ デジタル I/O | ADC3A 負アナログ入力。 汎用デジタル入出力 1A。 ^{(2) (3)} |
| VNB/GPIO1B | 7 | アナログ入力/ デジタル I/O | ADC3B 負アナログ入力。 汎用デジタル入出力 1B。 ^{(2) (3)} |
| VPA/GPIO0A | 3 | アナログ入力/ デジタル I/O | ADC3A 正アナログ入力。 汎用デジタル入出力 0A。 ^{(2) (3)} |
| VPB/GPIO0B | 8 | アナログ入力/ デジタル I/O | ADC3B 負アナログ入力。 汎用デジタル入出力 0B。 ^{(2) (3)} |

表 4-1. ピンの機能 (続き)

| ピン | | タイプ | 説明 ⁽¹⁾ |
|----------|-----|-----|------------------------|
| 名称 | 番号 | | |
| サーマル パッド | パッド | — | サーマル パワー パッド。AGND に接続。 |

- (1) 未使用ピンの接続方法の詳細については、[未使用入出力](#) セクションを参照してください。
- (2) プッシュプル出力。
- (3) AVDD を基準とするロジック レベル。
- (4) IOVDD を基準とするロジック レベル。

5 仕様

5.1 絶対最大定格

(1) 参照

| | | 最小値 | 最大値 | 単位 |
|----------|---|-------------|-------------|----|
| 電源電圧 | APWR から AGND へ | -0.3 | 20 | V |
| | DPWR から DGND へ | -0.3 | 20 | |
| | AGND、AGNDy から DGND へ | -0.3 | 0.3 | |
| | AVDD から AGND へ | -0.3 | 4 | |
| | IOVDD から DGND へ | -0.3 | 7 | |
| | DCAP から DGND へ | -0.3 | 2.2 | |
| | RCAPy から AGND へ | -0.3 | 2.2 | |
| アナログ入力電圧 | CPy、CNy、VPy、VNy、Vxy | AGND - 1.6 | AVDD + 0.3 | V |
| デジタル入力電圧 | CSn、SCLK、SDI、SDO、RESETn、DRDYn、CLK、GPIO0/MHD、GPIO1、GPIO2/FAULT、GPIO3/OCCA、GPIO4/OCCB | DGND - 0.3 | IOVDD + 0.3 | V |
| | GPIO0A、GPIO1A | AGNDA - 0.3 | AVDD + 0.3 | |
| | GPIO0B、GPIO1B | AGNDB - 0.3 | AVDD + 0.3 | |
| 入力電流 | 連続、電源ピンを除くすべてのピン | -10 | 10 | mA |
| 温度 | 接合部、T _J | | 150 | °C |
| | 保存、T _{stg} | -60 | 150 | |

(1) 「絶対最大定格」の範囲外の動作は、デバイスの永続的な損傷の原因となる可能性があります。「絶対最大定格」は、これらの条件において、または「推奨動作条件」に示された値を超える他のいかなる条件でも、本製品が正しく動作することを暗に示すものではありません。絶対最大定格の範囲内であっても、推奨動作条件の範囲外で短時間動作させると、デバイスは損傷を受けないかもしれませんが、完全に機能しなくなる可能性があります。あり、デバイスの信頼性、機能、性能に影響を及ぼし、デバイスの寿命を縮める可能性があります。

5.2 ESD 定格

| | | | 値 | 単位 |
|--------------------|------|--|-------|----|
| V _(ESD) | 静電放電 | 人体モデル (HBM)、 AEC Q100-002 ⁽¹⁾ HBM ESD 分類レベル 2 に準拠 | ±2000 | V |
| | | 荷電デバイス モデル (CDM)、 AEC Q100-011 CDM ESD 分類レベル C4B に準拠 | ±750 | |
| | | 角のピン その他のすべてのコーナーなしの ピン | ±500 | |

(1) AEC Q100-002 は、HBM ストレス試験を ANSI / ESDA / JEDEC JS-001 仕様に従って実施しなければならないと規定しています。

5.3 推奨動作条件

動作時周辺温度範囲内 (特に記述のない限り)

| | | | 最小値 | 公称値 | 最大値 | 単位 |
|------------------------------------|-----------------------|---|-------------------------|-------|------------------------|-----|
| 電源 | | | | | | |
| | 電源 | APWR から AGND へ | 4 | | 16 | V |
| | | APWR = AVDD から AGND へ (APWR は AVDD に短絡され、AVDD LDO はバイパスされます) | 2.9 | 3.3 | 3.6 | |
| | | DPWR から DGND へ | 4 | | 16 | |
| | | DPWR = IOVDD から DGND へ (DPWR は IOVDD に短絡され、IOVDD LDO はバイパスされます) | 2.9 | 3.3 | 5.5 | |
| | | AGND、AGNDy から DGND へ | -0.2 | 0 | 0.2 | |
| アナログ入力 ADC1A、ADC1B ⁽¹⁾ | | | | | | |
| V _{Cpy} 、V _{CNy} | 絶対入力電圧 | ゲイン: 4、8、16、32 | AGND - 0.3125 | | AVDD - 2.4 | V |
| V _{IN1y} | 差動入力電圧 | V _{IN1y} = V _{Cpy} - V _{CNy} | −V _{REFy} /ゲイン | | V _{REFy} /ゲイン | V |
| アナログ入力 ADC2A、ADC2B ⁽¹⁾ | | | | | | |
| V _{Vxy} | 絶対入力電圧 | ゲイン = 1、2 | AGND - 0.1 | | AVDD - 1.2 | V |
| | | ゲイン = 4 | AGND - 0.3125 | | AVDD - 2.4 | |
| V _{IN2y} | 差動入力電圧 | V _{IN2y} = V _{Vxy} - V _{AGNDy} または V _{IN2y} = V _{Vxy} - V _{7y} | −V _{REFy} /ゲイン | | V _{REFy} /ゲイン | V |
| アナログ入力 ADC3A、ADC3B ⁽¹⁾ | | | | | | |
| V _{VPy} 、V _{VNy} | 絶対入力電圧 | ゲイン = 1、2 | AGND - 0.1 | | AVDD - 1.2 | V |
| | | ゲイン = 4 | AGND - 0.3125 | | AVDD - 2.4 | V |
| V _{IN3y} | 差動入力電圧 | V _{IN3y} = V _{VPy} - V _{VNy} | −V _{REFy} /ゲイン | | V _{REFy} /ゲイン | V |
| 外部クロック ソース ⁽²⁾ | | | | | | |
| f _{CLK} | 外部クロック周波数設定 | | 7.8 | 8.192 | 8.4 | MHz |
| | デューティ サイクル | | 40% | 50% | 60% | |
| デジタル入力 | | | | | | |
| | 入力電圧 | CSN、SCLK、SDI、SDO、RESETn、 DRDYn、CLK、GPIO0/MHD、GPIO1、 GPIO2/FAULT、GPIO3/OCCA、GPIO4/ OCCB | DGND | | IOVDD | V |
| | | GPIO0A、GPIO1A | AGNDA | | AVDD | |
| | | GPIO0B、GPIO1B | AGNDB | | AVDD | |
| 外付けコンデンサ | | | | | | |
| | コンデンサ値 ⁽³⁾ | APWR、DPWR | | 1 | | μF |
| | | AVDD、IOVDD | 0.5 | 1 | 2 | |
| | | RCAPA、RCAPB | 0.5 | 1 | 1.4 | |
| | | DCAP です | | 220 | | nF |
| 温度範囲 | | | | | | |
| T _A | 規定周囲温度 | | −40 | | 105 | ℃ |
| | 動作時の周囲温度 | | −45 | | 125 | |

- (1) 下付き添字 y は、セクション A またはセクション B を参照します。
下付き添字 x は、ADC2y のアナログ入力の チャネル x を指します。
- (2) 内部発振器を使用する場合、外部クロックは不要です。
- (3) 温度範囲全体と寿命全体にわたって、満たす必要のあるコンデンサの値。
詳細については、[電源のデカップリング](#) セクションを参照してください。

5.4 熱に関する情報

| 熱評価基準 ⁽¹⁾ | | TQFP (PHP) | 単位 |
|-----------------------|---------------------|------------|------|
| | | 48 ピン | |
| R _{θJA} | 接合部から周囲への熱抵抗 | 23.7 | °C/W |
| R _{θJC(top)} | 接合部からケース (上面) への熱抵抗 | 15.3 | °C/W |
| R _{θJB} | 接合部から基板への熱抵抗 | 7.8 | °C/W |
| Ψ _{JT} | 接合部から上面への特性パラメータ | 0.2 | °C/W |
| Ψ _{JB} | 接合部から基板への特性パラメータ | 7.7 | °C/W |
| R _{θJC(bot)} | 接合部からケース (底面) への熱抵抗 | 1.3 | °C/W |

(1) 従来および最新の熱評価基準の詳細については、『[半導体および IC パッケージの熱評価基準](#)』アプリケーション ノートを参照してください。

5.5 電気的特性

最小値および最大値の仕様は、T_A = -40°C から +105°C に適用され、標準仕様は T_A = 25°C でのもの。すべての仕様は、APWR = 5V、DPWR = 5V、IOVDD = 3.3V、外部クロック、f_{CLK} = 8.192 MHz、グローバル チョップ モード無効、ADC1y および ADC3y データ レート = 1kSPS でのものです (特に記述のない限り)

| パラメータ | テスト条件 | 最小値 | 標準値 | 最大値 | 単位 |
|-------------------------------|---|------------------------------|--------|-------|-------------------|
| 電流測定 ADC (ADC1A、ADC1B) | | | | | |
| 分解能 | | 24 | | | ビット |
| ゲイン設定 | | 4, 8, 16, 32 | | | V/V |
| f _{DATA} | 出力データ レート | f _{CLK} = 8.192 MHz | | 64k | SPS |
| 絶対入力電流 | すべてのデータ レート、すべてのゲイン、グローバル チョップを有効にし、または無効にしました。V _{cpy} = V _{CNY} = 0V | | ±0.5 | | nA |
| 差動入力電流 | すべてのデータ レート、すべてのゲイン、グローバル チョップを有効にし、または無効にしました。V _{cpy} = V _{CNY} = 0V | -5 | ±1 | 5 | nA |
| 差動入力インピーダンス | すべてのデータ レート、すべてのゲイン、グローバル チョップを有効にし、または無効にしました | | 1.8 | | MΩ |
| オフセット誤差 (入力換算) | ゲイン = 4、グローバル チョップは無効 | | ±1 | | μV |
| | ゲイン = 8 ~ 32、グローバル チョップは無効 | | ±15 | | |
| | すべてのゲイン、グローバル チョップは有効 | -1.5 | ±0.5 | 1.5 | |
| オフセットのドリフト | すべてのゲイン、グローバル チョップは無効 | | 20 | 100 | nV/°C |
| | すべてのゲイン、グローバル チョップは有効 | | 1 | 7 | |
| ゲイン誤差 | T _A = 25°C、すべてのゲイン、REF _y の初期精度を含む CNY を AGND _y に保持した状態でのシングル エンド動作 | -0.15% | ±0.05% | 0.15% | |
| ゲインドリフト | すべてのゲイン、REF _y のドリフトを含む CNY を AGND _y に保持した状態でのシングル エンド動作 | | 5 | 20 | ppm/°C |
| ゲイン長期ドリフト | 85°C で 1000 時間、REF _y の長期ドリフトを含むすべてのゲイン | | ±100 | | ppm |
| ゲイン マッチング | ゲイン設定の間 | -0.12% | ±0.03% | 0.12% | |
| ノイズ (入力換算) | ゲイン = 8, f _{DATA} = 1kSPS | | 0.65 | | μV _{RMS} |
| CMRR | DC では、グローバル チョップは無効です | | 110 | | dB |
| | DC では、グローバル チョップは有効です | | 113 | | |
| PSRR | DC での APWR、グローバル チョップは有効または無効 | | 133 | | dB |
| | DC での DPWR、グローバル チョップは有効または無効 | | 133 | | |
| | DC での AVDD、グローバル チョップは有効または無効 | | 115 | | |
| | DC での IOVDD、グローバル チョップは有効または無効 | | 131 | | |

5.5 電気的特性 (続き)

最小値および最大値の仕様は、 $T_A = -40^{\circ}\text{C}$ から $+105^{\circ}\text{C}$ に適用され、標準仕様は $T_A = 25^{\circ}\text{C}$ でのもの。すべての仕様は、APWR = 5V、DPWR = 5V、IOVDD = 3.3V、外部クロック、 $f_{\text{CLK}} = 8.192\text{ MHz}$ 、グローバル チョップ モード無効、ADC1y および ADC3y データレート = 1kSPS でのものです (特に記述のない限り)

| パラメータ | | テスト条件 | 最小値 | 標準値 | 最大値 | 単位 |
|------------------------------|----------------|---|--------|--------|-------|--------|
| 電圧および温度測定 ADCS (ADC2A、ADC2B) | | | | | | |
| | 分解能 | | 16 | | | ビット |
| | ゲイン設定 | | | 1、2、4 | | V/V |
| | 絶対入力電流 | OSR2y = 64、すべてのゲイン、V _{Vxy} = 0V | | ±0.2 | | nA |
| | 差動入力電流 | OSR2y = 64、すべてのゲイン、V _{Vxy} = 0V | | ±0.4 | | nA |
| | 差動入力インピーダンス | OSR2y = 64、すべてのゲイン | | 15 | | MΩ |
| | | OSR2y = 128、すべてのゲイン | | 30 | | |
| | | OSR2y = 256、すべてのゲイン | | 60 | | |
| | | OSR2y = 512、すべてのゲイン | | 120 | | |
| | オフセット誤差 (入力換算) | ゲイン = 1 | -350 | ±85 | 350 | μV |
| | | ゲイン= 2 と 4 | -25 | ±5 | 25 | |
| | オフセットのドリフト | ゲイン = 1 | | 60 | 300 | nV/°C |
| | | ゲイン= 2 と 4 | | 30 | 150 | |
| | ゲイン誤差 | T _A = 25°C、REFy の初期精度を含む すべてのゲイン | -0.3% | ±0.1% | 0.3% | |
| | ゲインドリフト | すべてのゲイン (REFy のドリフトを含む) | | 5 | 20 | ppm/°C |
| | ゲイン長期ドリフト | 85°C で 1000 時間、 REFy の長期ドリフトを含むすべてのゲイン | | ±100 | | ppm |
| | ゲイン マッチング | ゲイン設定の間 | -0.15% | ±0.06% | 0.15% | |
| CMRR | 同相除去比 | DC で | | 95 | | dB |
| PSRR | 電源除去比 | DC の APWR | | 103 | | dB |
| | | DC での DPWR | | 103 | | |
| | | DC での AVDD | | 91 | | |
| | | DC での IOVDD | | 96 | | |
| バッテリー電圧測定 ADC (ADC3A、ADC3B) | | | | | | |
| | 分解能 | | 24 | | | ビット |
| | ゲイン設定 | | | 1、2、4 | | V/V |
| f _{DATA} | 出力データ レート | f _{CLK} = 8.192 MHz | 500 | | 64k | SPS |
| | 絶対入力電流 | f _{DATA} = 1kSPS、すべてのゲイン、グローバル チョップ が有効または無効、V _{VPy} = V _{VNy} = 0V | | ±0.1 | | nA |
| | 差動入力電流 | f _{DATA} = 1kSPS、すべてのゲイン、グローバル チョップ が有効または無効、V _{VPy} = V _{VNy} = 0V | -2 | ±0.1 | 2 | nA |
| | 差動入力インピーダンス | f _{DATA} = 64kSPS、すべてのゲイン、グローバル チョ ップは有効または無効 | | 15 | | MΩ |
| | | f _{DATA} = 16kSPS、すべてのゲイン、グローバル チョ ップは有効または無効 | | 60 | | |
| | | f _{DATA} = 4kSPS、すべてのゲイン、グローバル チョッ プは有効または無効 | | 250 | | |
| | | f _{DATA} = 1kSPS、すべてのゲイン、グローバル チョッ プは有効または無効 | | 1000 | | |
| | オフセット誤差 (入力換算) | すべてのゲイン、グローバル チョップは無効 | -400 | ±80 | 400 | μV |
| | | すべてのゲイン、グローバル チョップは有効 | -10 | ±3 | 10 | |
| | オフセットのドリフト | すべてのゲイン、グローバル チョップは無効 | | 50 | 300 | nV/°C |
| | | すべてのゲイン、グローバル チョップは有効 | | 4 | 15 | |
| | ゲイン誤差 | T _A =25°C、すべてのゲイン、V _{Ny} を AGNDy に保 持した状態でのシングルエンド動作、REFy の初期 精度も含まれます | -0.3% | ±0.1% | 0.3% | |

5.5 電気的特性 (続き)

最小値および最大値の仕様は、 $T_A = -40^{\circ}\text{C}$ から $+105^{\circ}\text{C}$ に適用され、標準仕様は $T_A = 25^{\circ}\text{C}$ でのもの。すべての仕様は、APWR = 5V、DPWR = 5V、IOVDD = 3.3V、外部クロック、 $f_{\text{CLK}} = 8.192\text{ MHz}$ 、グローバル チョップ モード無効、ADC1y および ADC3y データ レート = 1kSPS でのものです (特に記述のない限り)

| パラメータ | | テスト条件 | 最小値 | 標準値 | 最大値 | 単位 |
|--------------------------------------|----------------|--|--------|--------|-------|-------------------|
| | ゲインドリフト | すべてのゲイン、REFy のドリフトを含む、VNy を AGNDy に保持した状態でのシングルエンド動作 | | 5 | 20 | ppm/°C |
| | ゲイン長期ドリフト | 85°C で 1000 時間、REFy の長期ドリフトを含むすべてのゲイン | | ±100 | | ppm |
| | ゲイン マッチング | ゲイン設定の間 | -0.18% | ±0.06% | 0.18% | |
| | ノイズ (入力換算) | ゲイン = 4、f _{DATA} = 1kSPS | | 3 | | μV _{RMS} |
| CMRR | 同相除去比 | DC では、グローバル チョップは無効です | | 114 | | dB |
| | | DC では、グローバル チョップは有効です | | 120 | | |
| PSRR | 電源除去比 | DC での APWR、グローバル チョップは有効または無効 | | 123 | | dB |
| | | DC での DPWR、グローバル チョップは有効または無効 | | 123 | | |
| | | DC での AVDD、グローバル チョップは有効または無効 | | 93 | | |
| | | DC での IOVDD、グローバル チョップは有効または無効 | | 113 | | |
| 高精度電圧リファレンス (REFA, REFB) | | | | | | |
| V _{REFA} 、V _{REFB} | リファレンス電圧 | | | 1.25 | | V |
| | 精度 | T _A = 25°C | -0.15% | ±0.05% | 0.15% | |
| | 温度ドリフト | | | 3 | 15 | ppm/°C |
| | 出力電流 | ソースのみ、RCAPy ピンで外部負荷に供給可能 | | | 250 | μA |
| | 回路短絡時の電流制限 | シンクまたはソース | -10 | | 10 | mA |
| | スタートアップ時間 | RCAPy に 1μF コンデンサを接続、0.01% セトリング | | 8 | | ms |
| メイン発振回路 (OSCM) | | | | | | |
| f _{OSCM} | 周波数 | | | 8.192 | | MHz |
| | 精度 | | -2.5% | | 2.5% | |
| 診断発振器 (OSCD) | | | | | | |
| F _{OSCD} | 周波数 | | | 8.192 | | MHz |
| | 精度 | | -2.5% | | 2.5% | |
| 過電流コンパレータ (OCCA, OCCB) | | | | | | |
| | オフセット誤差 (入力換算) | すべてのゲイン | -500 | ±20 | 500 | μV |
| | ゲイン誤差 | REFy の誤差を含むすべてのゲイン | -0.5% | ±0.2% | 0.5% | |
| 温度センサ (TSA, TSB) | | | | | | |
| TS _{Offset} | 出力電圧 | T _A = 25°C | | 118.4 | | mV |
| TS _{TC} | 温度係数 | | | 410 | | μV/°C |
| 同相出力バッファ (VCMA, VCMB) | | | | | | |
| V _{CMA} 、V _{CMB} | 同相出力電圧 | | 0.75 | 0.78 | 0.81 | V |
| | 出力電流 | シンクまたはソース | -1 | | 1 | mA |
| | 回路短絡時の電流制限 | シンクまたはソース | -5 | | 5 | mA |
| | 容量性負荷 | | | | 100 | pF |
| テスト DACS (TDACA, TDACB) | | | | | | |

5.5 電気的特性 (続き)

最小値および最大値の仕様は、 $T_A = -40^{\circ}\text{C}$ から $+105^{\circ}\text{C}$ に適用され、標準仕様は $T_A = 25^{\circ}\text{C}$ でのもの。すべての仕様は、APWR = 5V、DPWR = 5V、IOVDD = 3.3V、外部クロック、 $f_{\text{CLK}} = 8.192\text{ MHz}$ 、グローバル チョップ モード無効、ADC1y および ADC3y データレート = 1kSPS でのものです (特に記述のない限り)

| パラメータ | | テスト条件 | 最小値 | 標準値 | 最大値 | 単位 |
|---|-------------------------------------|---|--|-----------|--------|------------------|
| | 出力電圧設定 | | 1 × V _{REFy} /40 2 × V _{REFy} /40 4 × V _{REFy} /40 9 × V _{REFy} /40 18 × V _{REFy} /40 36 × V _{REFy} /40 −4 × V _{REFy} /40 −9 × V _{REFy} /40 | | | V |
| | 精度 | | ±0.3% | | | |
| | ドリフト | 正の出力電圧 | 6 | 35 | ppm/°C | |
| | | 負の出力電圧 | 12 | 80 | | |
| オープン線式の検出用電流ソースおよびシンク(OWD1A、OWD1B、OWD2A、 、OWD2B、OWD3A、OWD3B) | | | | | | |
| | 電流ソース設定 | | 4、40、240 | | | μA |
| | 電流シンク設定 | | 4、40、240 | | | μA |
| | 電流源の精度 | | ±8% | | | |
| | 電流シンク精度 | | ±8% | | | |
| デジタル入出力 (GPIO0A、GPIO1A、GPIO0B、GPIO1B) | | | | | | |
| V _{IL} | ロジック入力レベル、Low | | AGNDY | 0.3 AVDD | | V |
| V _{IH} | ロジック入力レベル、High | | 0.7 AVDD | AVDD | | V |
| V _{OL} | ロジック出力レベル、Low | I _{OL} = -100μA | | 0.2 AVDD | | V |
| V _{OH} | ロジック出力レベル、High | I _{OH} = 100μA | 0.8 AVDD | | | V |
| I _{IN} | 入力電流 | AGNDy < V _{Digital Input} < AVDD | -1 | | 1 | μA |
| | 回路短絡時の電流制限 | シンクまたはソース | -8 | | 8 | mA |
| デジタル入出力 (CSN、SCLK、SDI、SDO、RESETn、DRDYn、CLK、GPIO0/MHD、GPIO1、GPIO2/FAULT、GPIO3/OCCA、GPIO4/OCCB) | | | | | | |
| V _{IL} | ロジック入力レベル、Low | | DGND | 0.3 IOVDD | | V |
| V _{IH} | ロジック入力レベル、High | | 0.7 IOVDD | IOVDD | | V |
| V _{OL} | ロジック出力レベル、Low | I _{OL} = -1mA | | 0.2 IOVDD | | V |
| V _{OH} | ロジック出力レベル、High | I _{OH} = 1mA | 0.8 IOVDD | | | V |
| I _{IN} | 入力電流 | DGND < V _{Digital Input} < IOVDD | -1 | | 1 | μA |
| | 回路短絡時の電流制限 | シンクまたはソース | -80 | | 80 | mA |
| クロック モニタ | | | | | | |
| f _{MCLK_WD_TH} | メインクロック (MCLK) のウォッチドッグ周波数のスレッシュホルド | ウォッチドッグは、MCLK の周波数が周波数スレッシュホルドを下回った場合にフォルトを示します | | | 300 | kHz |
| F _{OSCD_WD_TH} | 診断発振器 (OSCD) のウォッチドッグ周波数のスレッシュホルド | ウォッチドッグは、OSCD の周波数が周波数スレッシュホルドを下回った場合にフォルトを示します | | | 300 | kHz |
| MCLK_FAULT_TH | メインクロック障害検出周波数スレッシュホルド | 障害を生成するための、MCLK と OSCD の間のクロック周波数の差 | | 10% | | |
| 電源モニタ | | | | | | |
| AVDD_UV_TH | AVDD 低電圧スレッシュホルド | | 2.9 | 2.95 | 3.0 | V |
| AVDD_OV_TH | AVDD 過電圧スレッシュホルド | | 3.8 | 3.9 | 4.0 | V |
| IOVDD_UV_TH | IOVDD 低電圧スレッシュホルド | IOVDD_UV_TH = 1b | 2.9 | 2.95 | 3.0 | V |
| | | IOVDD_UV_TH = 0b | 4.2 | 4.3 | 4.4 | |
| IOVDD_OV_TH | IOVDD 過電圧スレッシュホルド | IOVDD_OV_TH = 1b | 3.8 | 3.9 | 4.0 | V |
| | | IOVDD_OV_TH = 0b | 5.6 | 5.75 | 5.9 | |
| DVDD_UV_TH | DVDD 低電圧スレッシュホルド | | 1.55 | 1.6 | 1.65 | V |
| DVDD_OV_TH | DVDD 過電圧スレッシュホルド | | 1.90 | 1.95 | 2.0 | V |
| AVDD_OSC_MAG | AVDD 発振検出の振幅 | 故障を生成するために必要な振幅 | 500 | | | mV _{pp} |

5.5 電気的特性 (続き)

最小値および最大値の仕様は、 $T_A = -40^{\circ}\text{C}$ から $+105^{\circ}\text{C}$ に適用され、標準仕様は $T_A = 25^{\circ}\text{C}$ でのもの。すべての仕様は、 $\text{APWR} = 5\text{V}$ 、 $\text{DPWR} = 5\text{V}$ 、 $\text{IOVDD} = 3.3\text{V}$ 、外部クロック、 $f_{\text{CLK}} = 8.192\text{ MHz}$ 、グローバル チョップ モード無効、 ADC1y および ADC3y データレート = 1 kSPS でのものです (特に記述のない限り)

| パラメータ | | テスト条件 | 最小値 | 標準値 | 最大値 | 単位 |
|----------------------------|-----------------------|--|-----|--------------------------|------|------------------|
| AVDD_OSC_FR EQ | AVDD 発振検出力周波数 | 故障を発生させるための発振周波数範囲 | 2 | | 500 | kHz |
| IOVDD_OSC_M AG | IOVDD 発振検出の振幅 | 故障を生成するために必要な振幅 | 500 | | | mV _{pp} |
| IOVDD_OSC_F REQ | IOVDD 発振検出力周波数 | 故障を発生させるための発振周波数範囲 | 2 | | 500 | kHz |
| DVDD_OSC_M AG | DVDD 発振検出の振幅 | 故障を生成するために必要な振幅 | 500 | | | mV _{pp} |
| DVDD_OSC_FR EQ | DVDD 発振検出力周波数 | 故障を発生させるための発振周波数範囲 | 2 | | 500 | kHz |
| AVDD_OTW_TH | AVDD 過熱警告スレッシュホールド | | | -60 100 120 140 | | °C |
| | AVDD 過熱警告スレッシュホールド精度 | | | ±2 | | °C |
| IOVDD_OTW_T H | IOVDD 過熱警告スレッシュホールド | | | -60 100 120 140 | | °C |
| | IOVDD 過熱警告スレッシュホールド精度 | | | ±2 | | °C |
| | ADC2y 電源によるリードバック減衰係数 | APWR | | 103 | | |
| | | DPWR | | 103 | | |
| | | AVDD | | 4 | | |
| | | IOVDD | | 4 | | |
| | | DVDD | | 2 | | |
| | ADC2y 電源によるリードバックの精度 | OSR2y = 128、MUX2y_DELAY ≥ 256 × t _{MCLK} | | ±1% | | |
| AVDD_POR_TH | AVDD POR 解放スレッシュホールド | | 2.6 | 2.7 | 2.85 | V |
| IOVDD_POR_T H | IOVDD POR 解放スレッシュホールド | | 2.6 | 2.7 | 2.85 | V |
| DVDD_POR_TH | DVDD POR 解放スレッシュホールド | | 1.4 | 1.5 | 1.6 | V |
| 故障フラグ応答時間 | | | | | | |
| t _p (AVDD_OV) | AVDD 過電圧検出応答時間 | AVDD が AVDD 過電圧スレッシュホールドを超えてから故障ピンがアクティブになるまでの遅延時間 | | | 4 | μs |
| t _p (IOVDD_OV) | IOVDD 過電圧検出応答時間 | IOVDD が IOVDD 過電圧スレッシュホールドを超えてから故障ピンがアクティブになるまでの遅延時間 | | | 4 | μs |
| t _p (DVDD_OV) | DVDD 過電圧検出応答時間 | DVDD が DVDD 過電圧スレッシュホールドを超えてから故障ピンがアクティブになるまでの遅延時間 | | | 4 | μs |
| t _p (AVDD_UV) | AVDD 低電圧検出応答時間 | AVDD が AVDD 低電圧スレッシュホールドを下回るから故障ピンがアクティブになるまでの遅延時間 | | | 4 | μs |
| t _p (IOVDD_UV) | IOVDD 低電圧検出応答時間 | IOVDD が IOVDD 低電圧スレッシュホールドを下回るから故障ピンがアクティブになるまでの遅延時間 | | | 4 | μs |
| t _p (DVDD_UV) | DVDD 低電圧検出応答時間 | DVDD が DVDD 低電圧スレッシュホールドを下回るから故障ピンがアクティブになるまでの遅延時間 | | | 4 | μs |
| t _p (AVDD_OSC) | AVDD 発振検出応答時間 | AVDD 発振スレッシュホールドを超えてから、故障ピンがアクティブになるまでの遅延時間 | | | 30 | μs |
| t _p (IOVDD_OSC) | IOVDD 発振検出応答時間 | IOVDD 発振スレッシュホールドを超えてから、故障ピンがアクティブになるまでの遅延時間 | | | 30 | μs |
| t _p (DVDD_OSC) | DVDD 発振検出応答時間 | DVDD 発振スレッシュホールドを超えてから、故障ピンがアクティブになるまでの遅延時間 | | | 30 | μs |

5.5 電気的特性 (続き)

最小値および最大値の仕様は、 $T_A = -40^{\circ}\text{C}$ から $+105^{\circ}\text{C}$ に適用され、標準仕様は $T_A = 25^{\circ}\text{C}$ でのもの。すべての仕様は、APWR = 5V、DPWR = 5V、IOVDD = 3.3V、外部クロック、 $f_{\text{CLK}} = 8.192\text{ MHz}$ 、グローバル チョップ モード無効、ADC1y および ADC3y データレート = 1kSPS でのものです (特に記述のない限り)

| パラメータ | テスト条件 | 最小値 | 標準値 | 最大値 | 単位 |
|--------------------------------------|-------------------------|--|------|------|-------------------|
| $t_{\text{p}}(\text{AVDD_CL})$ | AVDD 電流制限検出応答時間 | AVDD が AVDD 電流制限スレッショルドを超えてから、故障ピンがアクティブになるまでの遅延時間 | | 40 | μs |
| $t_{\text{p}}(\text{IOVDD_CL})$ | IOVDD 電流制限検出応答時間 | IOVDD が IOVDD 電流制限スレッショルドを超えてから、故障ピンがアクティブになるまでの遅延時間 | | 40 | μs |
| $t_{\text{p}}(\text{AVDD_OTW})$ | AVDD 過熱警告応答時間 | AVDD が AVDD 過熱警告スレッショルドを超えてから故障ピンがアクティブになるまでの遅延時間 | | 300 | μs |
| $t_{\text{p}}(\text{IOVDD_OTW})$ | IOVDD 過熱警告応答時間 | IOVDD が IOVDD 過熱警告スレッショルドを超えてから故障ピンがアクティブになるまでの遅延時間 | | 300 | μs |
| $t_{\text{p}}(\text{AVDD_POR})$ | AVDD POR 検出応答時間 | AVDD が AVDD POR スレッショルドを下回ってから故障ピンがアクティブになるまでの遅延時間 | | 30 | μs |
| $t_{\text{p}}(\text{IOVDD_POR})$ | IOVDD POR 検出応答時間 | IOVDD が IOVDD POR スレッショルドを下回ってから故障ピンがアクティブになるまでの遅延時間 | | 30 | μs |
| $t_{\text{p}}(\text{DVDD_POR})$ | DVDD POR 検出応答時間 | DVDD が DVDD POR スレッショルドを下回ってから故障ピンがアクティブになるまでの遅延時間 | | 30 | μs |
| $t_{\text{p}}(\text{DGND_OPEN})$ | DGND 開放検出応答時間 | DGND ピン切断から故障ピンがアクティブになるまでの遅延時間 | | 4 | μs |
| $t_{\text{p}}(\text{AGNDy_OPEN})$ | AGNDy 開放検出応答時間 | AGNDy ピン切断から故障ピンがアクティブになるまでの遅延時間 | | 4 | μs |
| $t_{\text{p}}(\text{MEM_MAP_CRC})$ | メモリマップの CRC フォルト検出応答時間 | メモリ マップでビット反転が発生してから、故障ピンがアクティブになるまでの遅延時間 | 69 | 138 | t_{OSCD} |
| $t_{\text{p}}(\text{REG_MAP_CRC})$ | レジスタマップの CRC フォルト検出応答時間 | レジスタ マップでビット反転が発生してから、故障ピンがアクティブになるまでの遅延時間 | 1024 | 2048 | t_{OSCD} |
| $t_{\text{p}}(\text{MCLK_WD})$ | メイン クロック ウォッチドッグの応答時間 | メイン クロック ウォッチドッグ タイムアウトから故障ピンがアクティブになるまでの遅延時間 | | 2 | μs |
| $t_{\text{p}}(\text{OSCD_WD})$ | 診断発振器のウォッチドッグ応答時間 | 診断発振器のウォッチドッグ タイムアウトから故障ピンがアクティブになるまでの遅延時間 | | 2 | μs |
| $t_{\text{p}}(\text{MCLK_FAULT})$ | メイン クロック 故障検出応答時間 | メイン クロック フォルト検出から故障ピンのアクティブまでの遅延時間 | | 4096 | t_{MCLK} |
| AVDD LDO | | | | | |
| AVDD | 出力電圧 | | 3.1 | 3.3 | 3.5 V |
| | 負荷電流 | AVDD ピン上で外部回路が利用できます | | | 20 mA |
| | 回路短絡時の電流制限 | | | | 60 mA |
| | 負荷レギュレーション | | | 1 | mV/mA |
| IOVDD LDO | | | | | |
| IOVDD | 出力電圧 | | 3.1 | 3.3 | 3.5 V |
| | 負荷電流 | IOVDD ピン上で外部回路が利用できます | | | 20 mA |
| | 回路短絡時の電流制限 | | | | 60 mA |
| | 負荷レギュレーション | | | 1 | mV/mA |
| 供給電流 | | | | | |
| I_{APWR} | APWR 電源電流 | (パワーダウンモード) | | 0.01 | mA |
| | | スタンバイ モード | | 0.46 | |
| | | アクティブ モード、すべての ADC は無効 | | 0.8 | |
| | | アクティブ モード、すべての ADC が有効、変換 (すべての機能が有効、AVDD LDO の外部負荷なし) | | 6.3 | |
| | 個別の ADC ごとの APWR 電源電流 | ADC1y が有効と変換、すべてのゲイン、すべてのデータレート | | 1.75 | |
| | | ADC2y が有効と変換、すべてのゲイン、すべてのデータレート | | 0.5 | |
| | | ADC3y が有効と変換、すべてのゲイン、すべてのデータレート | | 0.5 | |

5.5 電気的特性 (続き)

最小値および最大値の仕様は、 $T_A = -40^{\circ}\text{C}$ から $+105^{\circ}\text{C}$ に適用され、標準仕様は $T_A = 25^{\circ}\text{C}$ でのもの。すべての仕様は、 $\text{APWR} = 5\text{V}$ 、 $\text{DPWR} = 5\text{V}$ 、 $\text{IOVDD} = 3.3\text{V}$ 、外部クロック、 $f_{\text{CLK}} = 8.192\text{ MHz}$ 、グローバル チョップ モード無効、 ADC1y および ADC3y データレート = 1 kSPS でのものです (特に記述のない限り)

| パラメータ | テスト条件 | 最小値 | 標準値 | 最大値 | 単位 |
|--------------------|--------------------------------------|--|------|-----|----|
| I_{DPWR} | DPWR 電源電流 ⁽¹⁾ | (パワーダウンモード) | 0.01 | | mA |
| | | スタンバイ モード | 0.4 | | |
| | | アクティブ モード、すべての ADC は無効 | 0.8 | | |
| | | アクティブ モード、すべての ADC が有効、変換 (すべての機能が有効、IOVDD LDO の外部負荷なし) | 1.1 | 1.7 | |
| | 個別の ADC ごとの DPWR 電源電流 ⁽¹⁾ | ADC1y が有効になり、すべてのデータレートを変換します | 0.06 | | |
| | | ADC2y が有効になり、すべてのデータレートを変換します | 0.06 | | |
| | | ADC3y が有効になり、すべてのデータレートを変換します | 0.06 | | |
| I_{AVDD} | AVDD 電源電流 | APWR が AVDD に短縮された (AVDD LDO がバイパスされた)。アクティブ モード、すべての ADC が有効、変換 (すべての機能が有効) | 6.3 | | mA |
| I_{IOVDD} | IOVDD 電源電流 ⁽¹⁾ | DPWR が IOVDD に短縮された (IOVDD LDO がバイパスされた)。アクティブ モード、すべての ADC が有効、変換 (すべての機能が有効) | 1.1 | | mA |
| P_D | 消費電力 | アクティブ モード、すべての ADC が有効、変換 (すべての機能が有効、IOVDD LDO の外部負荷なし) | 37 | | mW |

(1) 電流は SPI アイドル時に測定されます。

5.6 タイミング要件

全動作周囲温度範囲、SDO 負荷: 20pF || 100kΩ (特に注記のない限り)

| | | 最小値 | 最大値 | 単位 |
|----------------------------|---|-----|-----|----|
| 3.0V ≤ IOVDD ≤ 3.6V | | | | |
| $t_{w(CLH)}$ | パルス幅、CLK high | 49 | | ns |
| $t_{w(CLL)}$ | パルス幅、CLK low | 49 | | ns |
| $t_{c(SC)}$ | SCLK 周期 | 64 | | ns |
| $t_{w(SCL)}$ | パルス幅、SCLK low | 32 | | ns |
| $t_{w(SCH)}$ | パルス幅、SCLK high | 32 | | ns |
| $t_{d(CSSC)}$ | 遅延時間、CSn 立ち下がりエッジから最初の SCLK 立ち上がりエッジまで | 16 | | ns |
| $t_{d(SCCS)}$ | 遅延時間、最後の SCLK 立ち下がりエッジから CSn 立ち上がりエッジまで | 10 | | ns |
| $t_{w(CSH)}$ | パルス幅、CSn high | 20 | | ns |
| $t_{su(DI)}$ | セットアップ時間、SDI 有効から SCLK 立ち下がりエッジまで | 5 | | ns |
| $t_{h(DI)}$ | ホールド時間、SCLK 立ち下がりエッジから SDI 有効まで | 8 | | ns |
| $t_{w(RSL)}$ | パルス幅、RESETh low からデバイスリセット生成まで | 500 | | ns |
| 4.5V ≤ IOVDD ≤ 5.5V | | | | |
| $t_{w(CLL)}$ | パルス幅、CLK low | 49 | | ns |
| $t_{w(CLH)}$ | パルス幅、CLK high | 49 | | ns |
| $t_{c(SC)}$ | SCLK 周期 | 50 | | ns |
| $t_{w(SCL)}$ | パルス幅、SCLK low | 25 | | ns |
| $t_{w(SCH)}$ | パルス幅、SCLK high | 25 | | ns |
| $t_{d(CSSC)}$ | 遅延時間、CSn 立ち下がりエッジから最初の SCLK 立ち上がりエッジまで | 16 | | ns |
| $t_{d(SCCS)}$ | 遅延時間、最後の SCLK 立ち下がりエッジから CSn 立ち上がりエッジまで | 10 | | ns |
| $t_{w(CSH)}$ | パルス幅、CSn high | 15 | | ns |
| $t_{su(DI)}$ | セットアップ時間、SDI 有効から SCLK 立ち下がりエッジまで | 5 | | ns |
| $t_{h(DI)}$ | ホールド時間、SCLK 立ち下がりエッジから SDI 有効まで | 8 | | ns |
| $t_{w(RSL)}$ | パルス幅、RESETh low からデバイスリセット生成まで | 500 | | ns |

5.7 スイッチング特性

全動作周囲温度範囲、SDO 負荷: 20pF || 100kΩ (特に注記のない限り)

| パラメータ | | テスト条件 | 最小値 | 標準値 | 最大値 | 単位 |
|----------------------------|--------------------------------------|--|-------|-----|-----|------------|
| 3.0V ≤ IOVDD ≤ 3.6V | | | | | | |
| $t_{p(CSDO)}$ | 伝搬遅延時間、CSn 立ち下がりエッジから SDO 駆動まで | | | | 50 | ns |
| $t_{p(CSDOZ)}$ | 伝搬遅延時間、CSn 立ち上がりエッジから SDO 高インピーダンスまで | | | | 75 | ns |
| $t_{p(SCDO)}$ | 伝搬遅延時間、SCLK 立ち上がりエッジから有効な新しい SDO まで | | | | 32 | ns |
| $t_{w(DRH)}$ | パルス幅、DRDYn High | | | 4 | | t_{MCLK} |
| $t_{TIMEOUT}$ | SPI タイムアウト | | 16385 | | | t_{OSCD} |
| t_{POR} | パワーオンリセット電圧 | POR スレッシュホルドを超える電源から DRDYn 立ち上がりエッジまで測定 | | 250 | | μs |
| t_{REGACQ} | レジスタのデフォルト値のアクイジション時間 | RESETn 立ち上がりエッジから DRDYn 立ち上がりエッジまでを測定します | | 44 | 114 | μs |
| 4.5V ≤ IOVDD ≤ 5.5V | | | | | | |
| $t_{p(CSDO)}$ | 伝搬遅延時間、CSn 立ち下がりエッジから SDO 駆動まで | | | | 50 | ns |
| $t_{p(SCDO)}$ | 伝搬遅延時間、SCLK 立ち上がりエッジから有効な新しい SDO まで | | | | 20 | ns |
| $t_{p(CSDOZ)}$ | 伝搬遅延時間、CSn 立ち上がりエッジから SDO 高インピーダンスまで | | | | 75 | ns |
| $t_{w(DRH)}$ | パルス幅、DRDYn High | | | 4 | | t_{MCLK} |
| $t_{TIMEOUT}$ | SPI タイムアウト | | 16385 | | | t_{OSCD} |
| t_{POR} | パワーオンリセット電圧 | POR スレッシュホルドを超える電源から DRDYn 立ち上がりエッジまで測定 | | 250 | | μs |
| t_{REGACQ} | レジスタのデフォルト値のアクイジション時間 | RESETn 立ち上がりエッジから DRDYn 立ち上がりエッジまでを測定します | | 44 | 114 | μs |

5.8 タイミング図

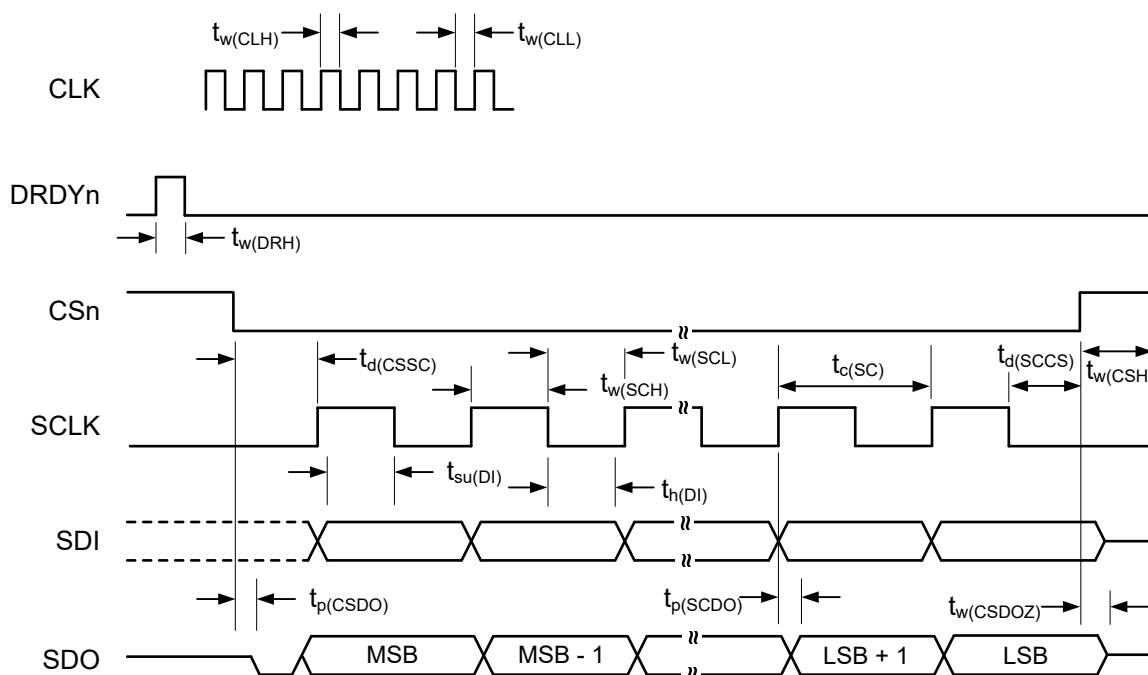
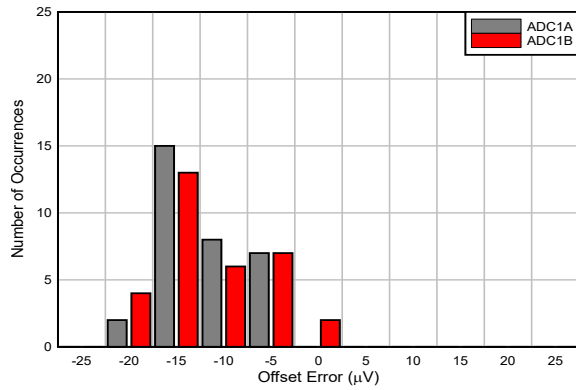


図 5-1. SPI のタイミング要件およびスイッチング特性

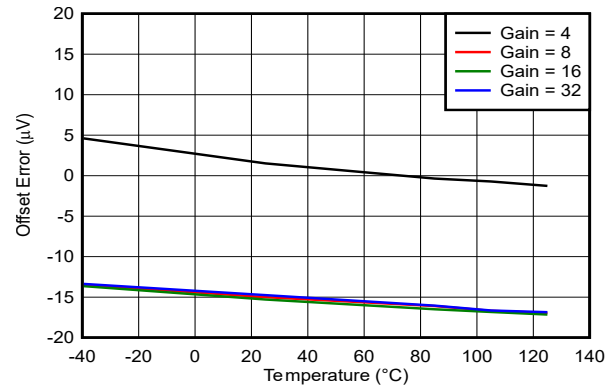
5.9 代表的特性

$T_A = 25^\circ\text{C}$ 、 $APWR = 5\text{V}$ 、 $DPWR = 5\text{V}$ 、および $f_{\text{CLK}} = 8.192\text{ MHz}$ 付きの外部クロック (特に記述のない限り)



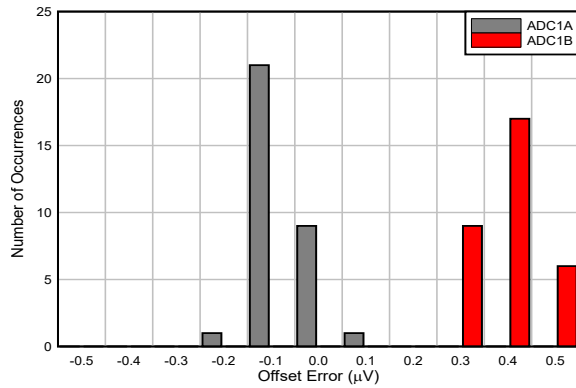
32 デバイス、ゲイン=8、グローバル・チョップの無効化、入力換算

図 5-2. ADC1y オフセット誤差のヒストグラム



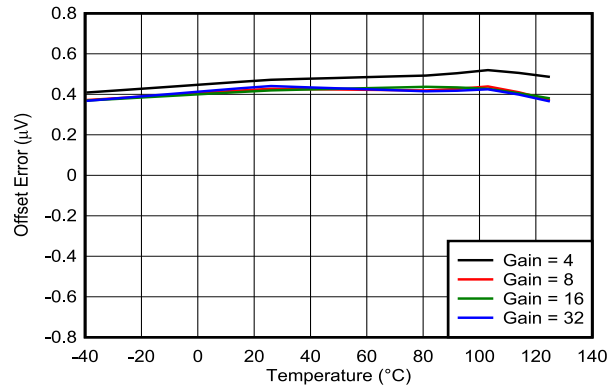
グローバル・チョップがディセーブル、入力換算

図 5-3. ADC1y オフセット誤差と温度との関係



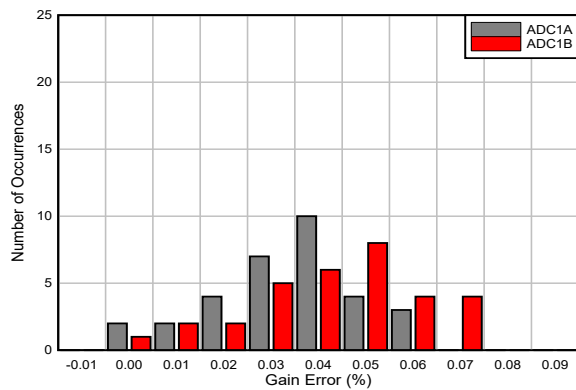
32 デバイス、ゲイン=8、グローバル・チョップ・イネーブル、入力換算

図 5-4. ADC1y オフセット誤差のヒストグラム



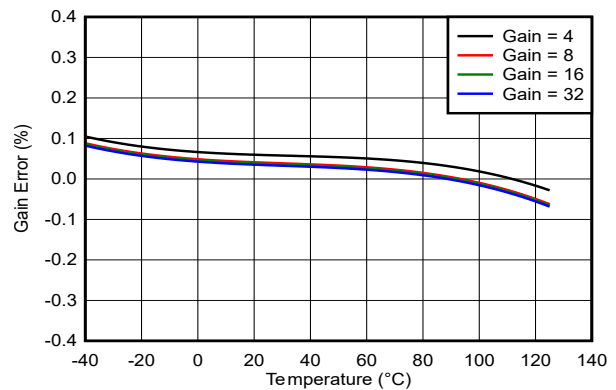
グローバル・チョップがイネーブル、入力換算

図 5-5. ADC1y オフセット誤差と温度との関係



32 デバイス、ゲイン=4、REFy の誤差を含む

図 5-6. ADC1y ゲイン誤差のヒストグラム

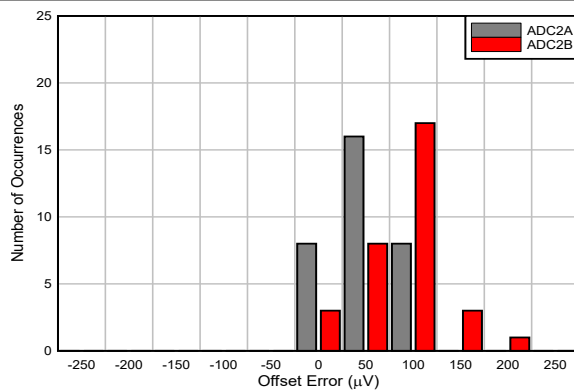


REFy の誤差を含む

図 5-7. ADC1y ゲイン誤差と温度との関係

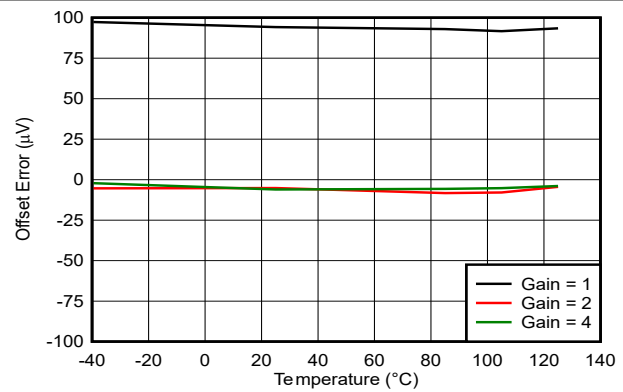
5.9 代表的特性 (続き)

$T_A = 25^\circ\text{C}$ 、 $APWR = 5\text{V}$ 、 $DPWR = 5\text{V}$ 、および $f_{\text{CLK}} = 8.192\text{ MHz}$ 付きの外部クロック (特に記述のない限り)



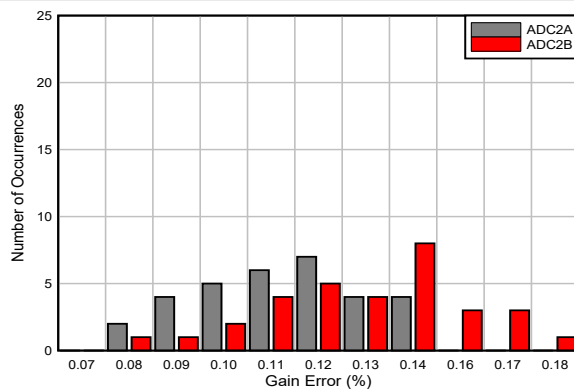
32 デバイス、ゲイン= 1、入力換算

図 5-8. ADC2y オフセット誤差のヒストグラム



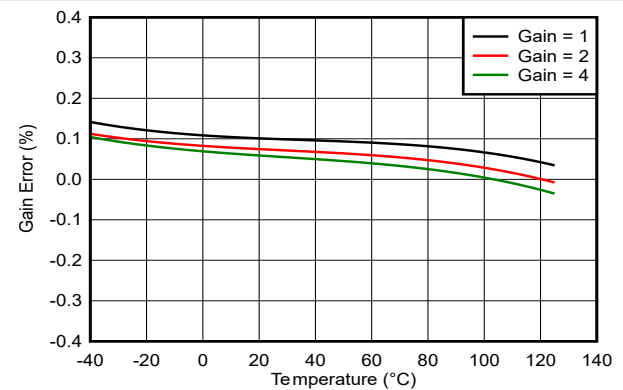
入力換算

図 5-9. ADC2y のオフセット誤差と温度との関係



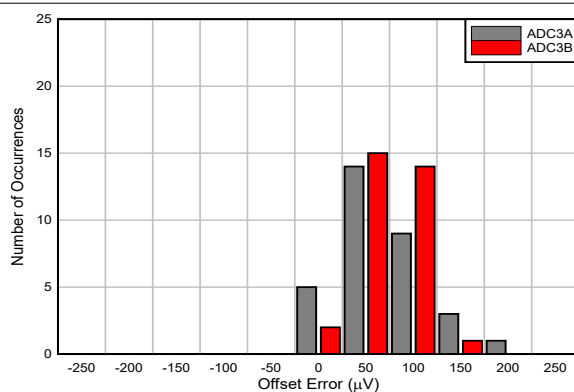
32 デバイス、ゲイン= 1、REFy の誤差を含む

図 5-10. ADC2y のゲイン誤差のヒストグラム



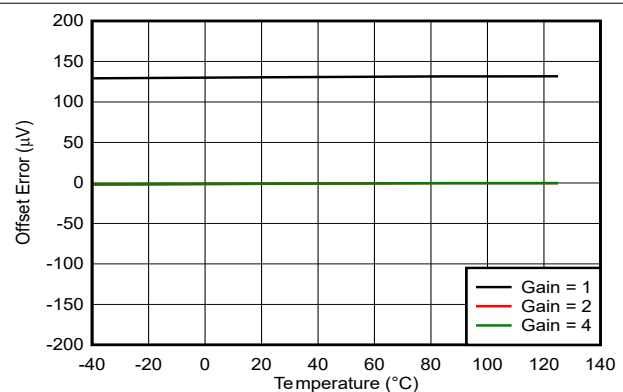
REFy の誤差を含む

図 5-11. ADC2y のゲイン誤差と温度との関係



32 デバイス、ゲイン= 1、グローバル チョップの無効化、入力換算

図 5-12. ADC3y オフセット誤差のヒストグラム

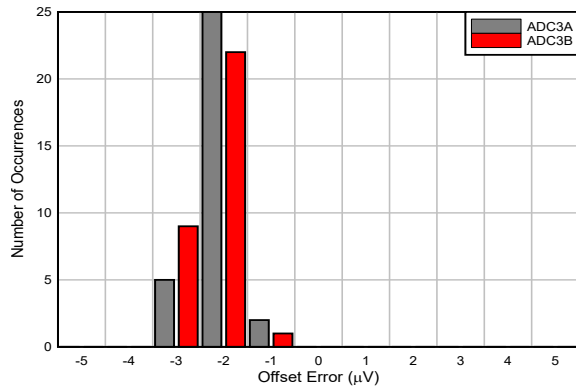


グローバル・チョップがディセーブル、入力換算

図 5-13. ADC3y オフセット誤差と温度との関係

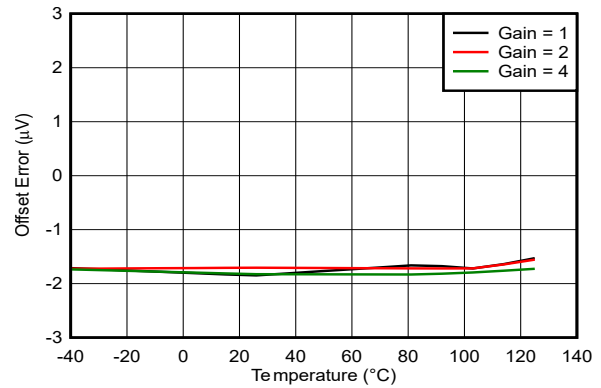
5.9 代表的特性 (続き)

$T_A = 25^\circ\text{C}$ 、 $APWR = 5\text{V}$ 、 $DPWR = 5\text{V}$ 、および $f_{\text{CLK}} = 8.192\text{ MHz}$ 付きの外部クロック (特に記述のない限り)



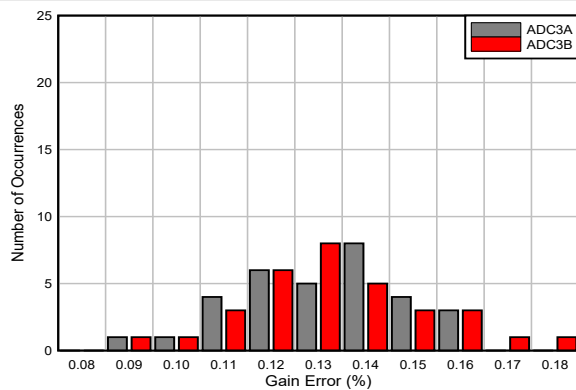
32 デバイス、ゲイン = 1、グローバル・チョップ・イネーブル、入力換算

図 5-14. ADC3y オフセット誤差のヒストグラム



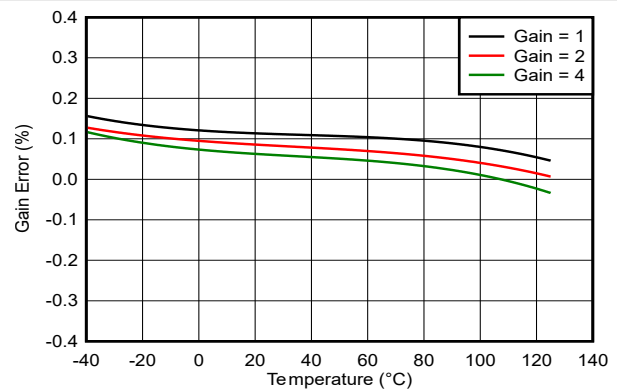
グローバル・チョップ・イネーブル、入力換算

図 5-15. ADC3y オフセット誤差と温度との関係



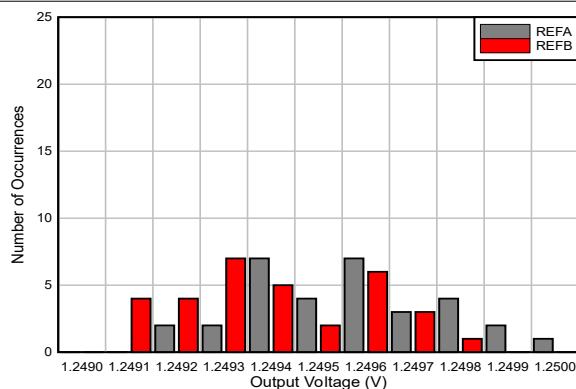
32 デバイス、ゲイン = 1、REFy の誤差を含む

図 5-16. ADC3y ゲイン誤差のヒストグラム



REFy の誤差を含む

図 5-17. ADC3y ゲイン誤差と温度との関係



32 個のデバイス

図 5-18. REFy 出力電圧ヒストグラム

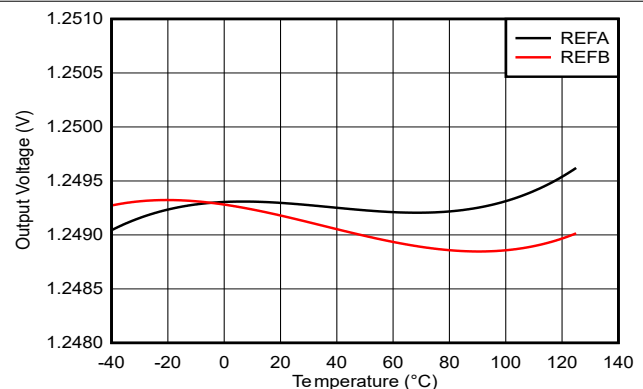


図 5-19. REFy 出力電圧と温度との関係

5.9 代表的特性 (続き)

$T_A = 25^\circ\text{C}$ 、 $APWR = 5\text{V}$ 、 $DPWR = 5\text{V}$ 、および $f_{\text{CLK}} = 8.192\text{ MHz}$ 付きの外部クロック (特に記述のない限り)

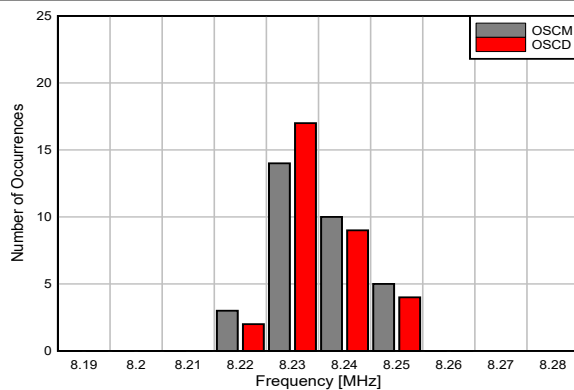


図 5-20. OSCM と OSCD の周波数ヒストグラム

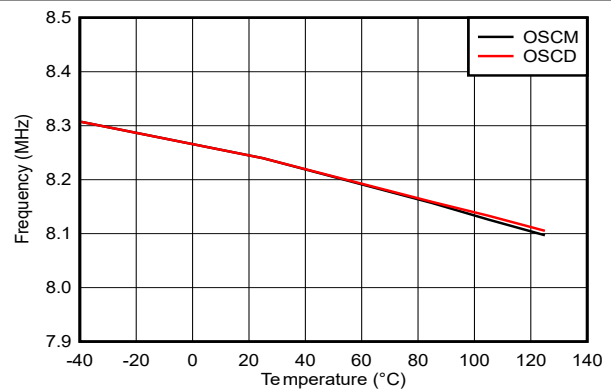


図 5-21. OSCM および OSCD 周波数と温度との関係

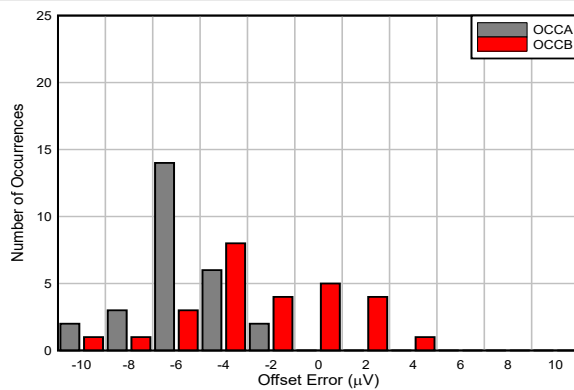


図 5-22. OCCy オフセット誤差のヒストグラム

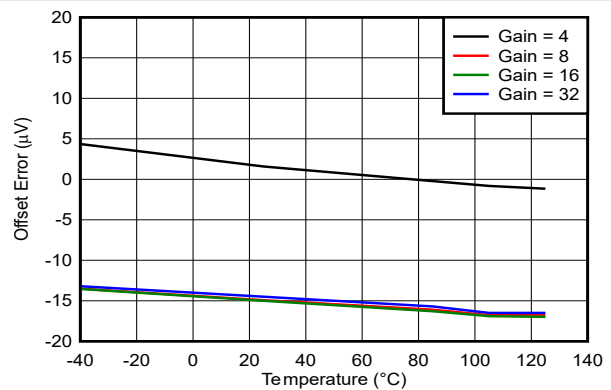


図 5-23. OCCy オフセット誤差と温度との関係

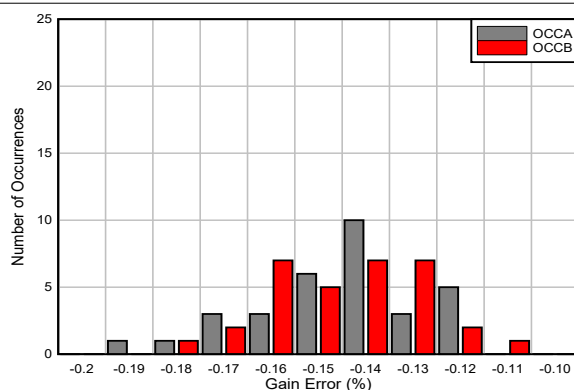


図 5-24. OCCy ゲイン誤差のヒストグラム

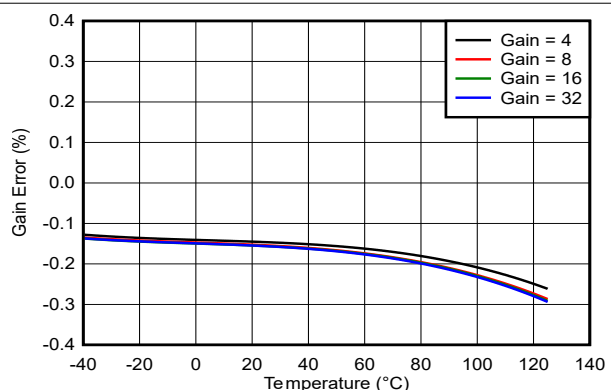


図 5-25. OCCy のゲイン誤差と温度との関係

5.9 代表的特性 (続き)

$T_A = 25^\circ\text{C}$ 、 $APWR = 5\text{V}$ 、 $DPWR = 5\text{V}$ 、および $f_{\text{CLK}} = 8.192\text{ MHz}$ 付きの外部クロック (特に記述のない限り)

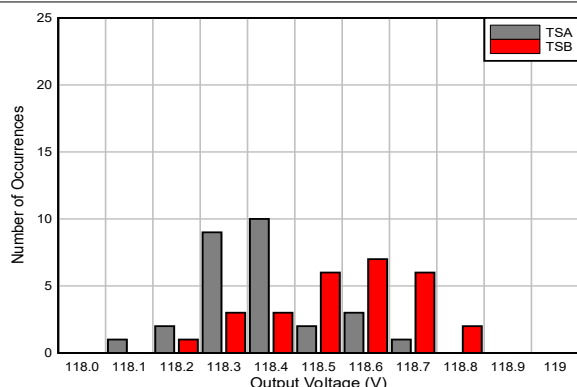


図 5-26. 温度センサ出力電圧のヒストグラム

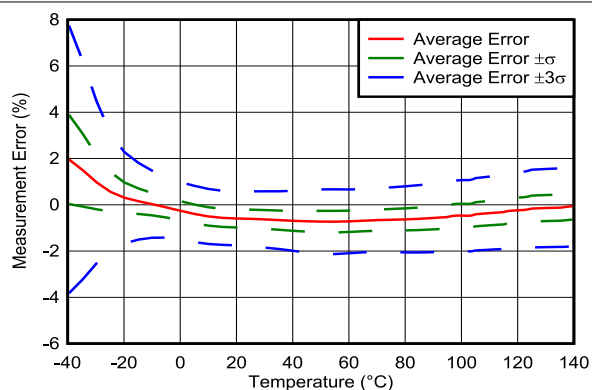


図 5-27. 温度センサ測定誤差と周囲温度との関係

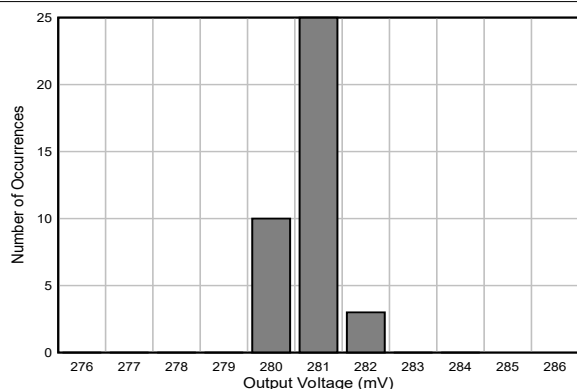


図 5-28. DACy 出力電圧ヒストグラムのテスト

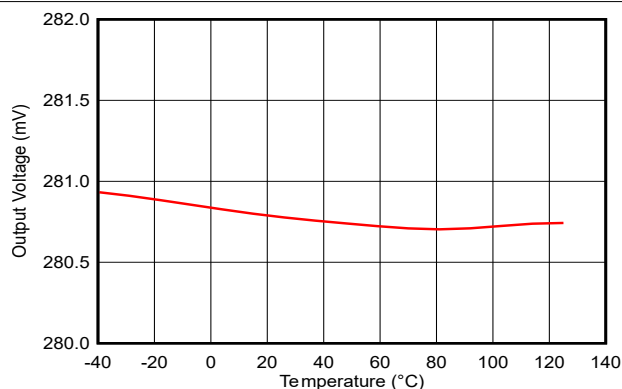


図 5-29. テスト DACy 出力電圧と温度との関係

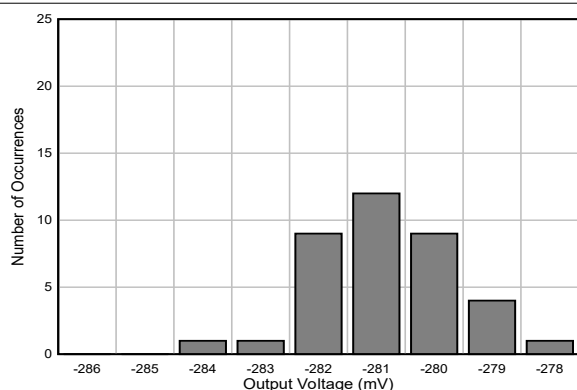


図 5-30. DACy 出力電圧ヒストグラムのテスト

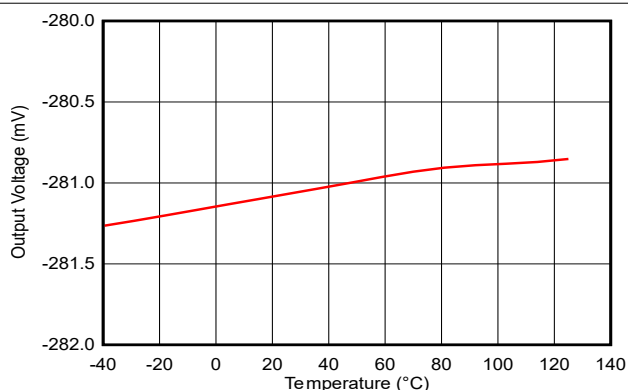


図 5-31. テスト DACy 出力電圧と温度との関係

5.9 代表的特性 (続き)

$T_A = 25^\circ\text{C}$ 、 $APWR = 5\text{V}$ 、 $DPWR = 5\text{V}$ 、および $f_{\text{CLK}} = 8.192\text{ MHz}$ 付きの外部クロック (特に記述のない限り)

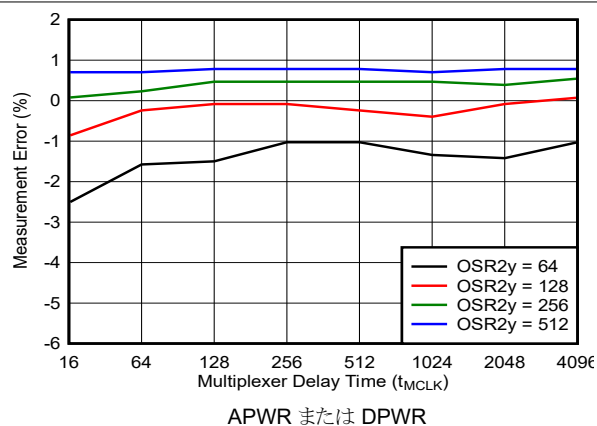


図 5-32. ADC2y 電源電圧リードバック測定精度

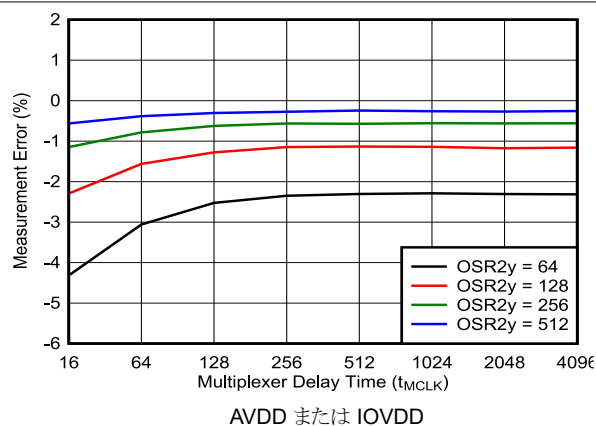


図 5-33. ADC2y 電源電圧リードバック測定精度

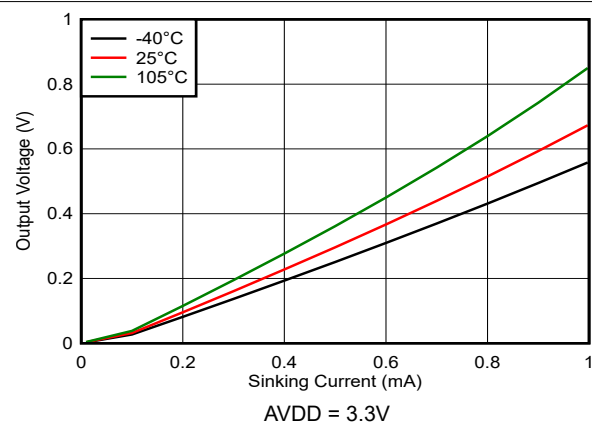


図 5-34. アナログ GPIO ピンの出力電圧の
シンク電流との関係

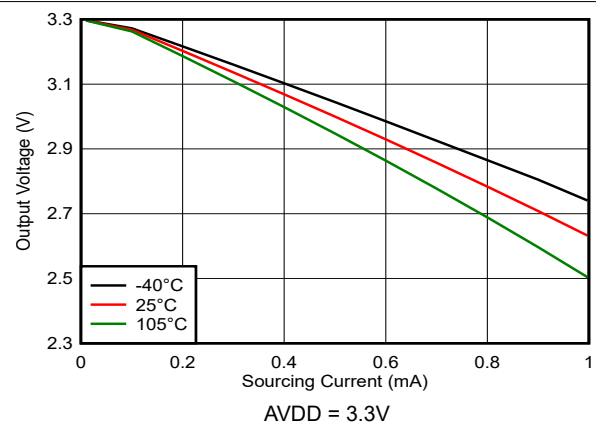


図 5-35. アナログ GPIO ピンの出力電圧と
ソース電流との関係

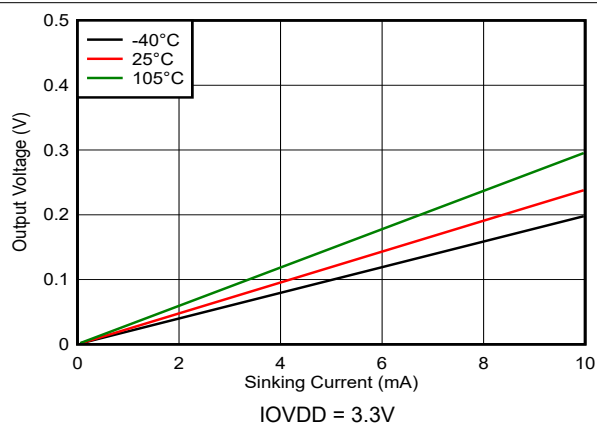


図 5-36. デジタル ピンの出力電圧とシンク電流との関係

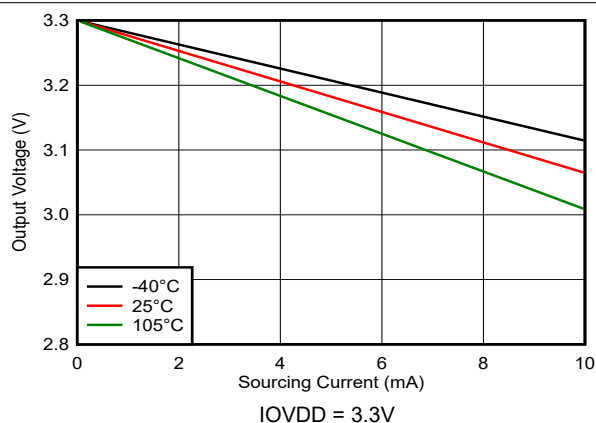


図 5-37. デジタル ピンの出力電圧とソース電流との関係

5.9 代表的特性 (続き)

$T_A = 25^\circ\text{C}$ 、 $APWR = 5\text{V}$ 、 $DPWR = 5\text{V}$ 、および $f_{\text{CLK}} = 8.192\text{ MHz}$ 付きの外部クロック (特に記述のない限り)

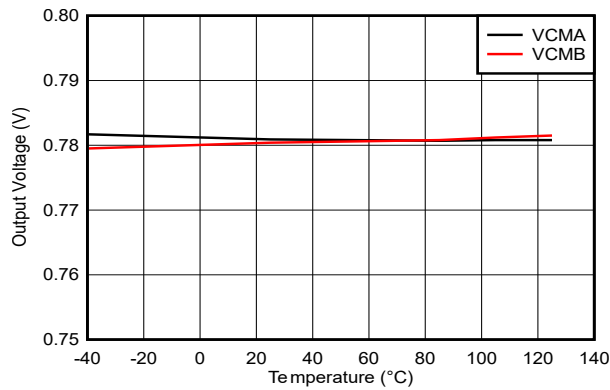
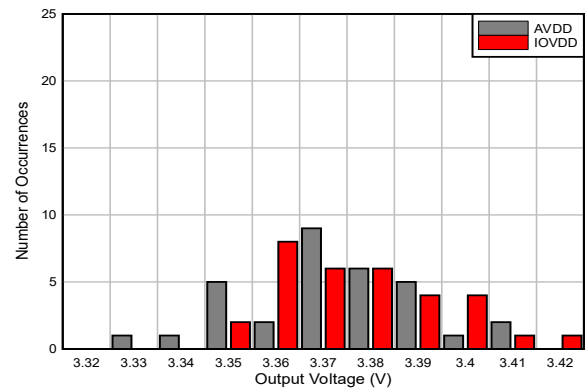


図 5-38. VCMx 出力電圧と温度との関係



32 個のデバイス

図 5-39. AVDD と IOVDD LDO の出力電圧ヒストグラム

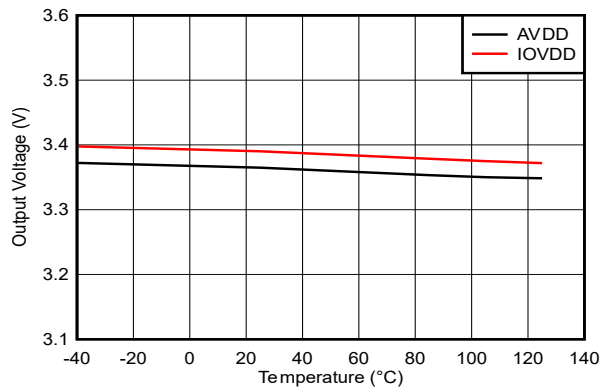
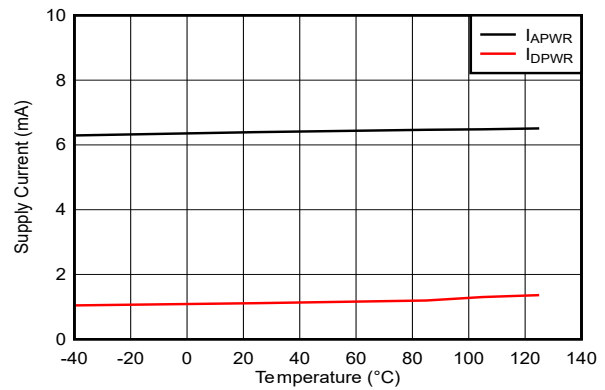
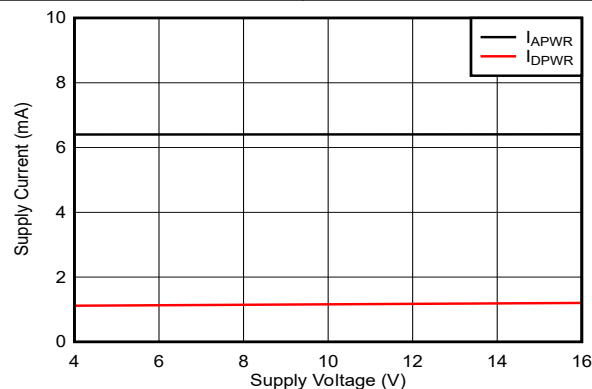


図 5-40. AVDD および IOVDD LDO 出力電圧と温度との関係



アクティブ モード、すべての有効 ADC、変換

図 5-41. 電源電流と温度との関係



アクティブ モード、すべての有効 ADC、変換

図 5-42. 電源電流と電源電圧との関係

6 パラメータ測定情報

6.1 オフセット ドリフトの測定

オフセット ドリフトは、指定された温度範囲全体にわたって測定される、オフセット電圧の変化として定義されます。オフセットドリフトは ボックス方式 を使用して計算され、指定された温度範囲内で最大と最小のオフセット電圧を囲むボックスが形成されます。このボックス方式では、温度誤差の限界が規定されますが、テスト対象となるデバイスの測定結果について、正確な形状とスロープは規定されません。このため、オフセットドリフトは正の値のみとして規定されていますが、ドリフトは負の値になる可能性があります。ボックス方式を使用したオフセットドリフトの計算を、[式 1](#) に示します。

$$\text{Offset Drift (nV/}^{\circ}\text{C)} = 10^9 \times (V_{\text{OFSMAX}} - V_{\text{OFSMIN}}) / (T_{\text{MAX}} - T_{\text{MIN}}) \quad (1)$$

ここで

- V_{OFSMIN} および V_{OFSMAX} = 指定された温度範囲内での最小と最大のオフセット電圧
- T_{MIN} と T_{MAX} = 最低と最高の温度

6.2 ゲイン ドリフトの測定

ゲイン ドリフトは、指定された温度範囲全体にわたるゲイン誤差の変化として定義されます。ゲインドリフトは ボックス方式 を使用して計算され、指定された温度範囲内で最大と最小のオフセット電圧を囲むボックスが形成されます。このボックス方式では、温度誤差の限界が規定されますが、テスト対象となるデバイスの測定結果について、正確な形状とスロープは規定されません。このため、ゲイン・ドリフトは負の値になる可能性もありますが、ゲイン・ドリフトは正の値のみとして規定されています。ボックス方式を使用したオフセットドリフトの計算を、[式 2](#) に説明されます。

$$\text{Gain Drift (ppm/}^{\circ}\text{C)} = (G_{\text{EMAX}} - G_{\text{EMIN}}) / (T_{\text{MAX}} - T_{\text{MIN}}) \quad (2)$$

ここで

- G_{EMIN} と G_{EMAX} = 指定された温度範囲における最大と最小のゲイン誤差
- T_{MIN} と T_{MAX} = 最低と最高の温度

6.3 ノイズ性能

個々の ADC のノイズ性能を最適化するため、データ レートとゲインを調整します。オーバーサンプリング レート (OSR) を上げてデータ レートを下げると、平均化が増加し、ノイズも減らします。表 6-1 から 表 6-3、は、ADC1y、ADC2y と ADC3y のノイズ性能をまとめます。データは、 $f_{MCLK} = 8.192 \text{ MHz}$ を使用した、 $T_A = 25^\circ\text{C}$ での標準的なノイズ性能を表しています。ここに示すデータは、単位 μV_{RMS} を使用する標準的な入力換算ノイズの結果であり、アナログ入力を互いに短絡し、1ms の期間にわたる平均化データを示しています。提供された μV_{RMS} の数値によって有効分解能を計算するには、式 3 を使用します。

$$\text{Effective Resolution} = \ln[(2 \times V_{\text{REFy}} / \text{Gain}) / V_{\text{RMS-Noise}}] / \ln(2) \quad (3)$$

グローバル チョップ モードでは、ADC1y と ADC3y のノイズ性能が $\sqrt{2}$ 倍向上します。

表 6-1. $T_A = 25^\circ\text{C}$ における ADC1y ノイズ性能 (μV_{RMS})

| OSR1y | データレート 、 $f_{MCLK} = 8.192 \text{ MHz}$ | ゲイン | | | |
|-------|--|------|------|------|------|
| | | 4 | 8 | 16 | 32 |
| 64 | 64kSPS | 20.7 | 10.8 | 10.8 | 10.8 |
| 128 | 32kSPS | 6.19 | 3.96 | 3.96 | 3.96 |
| 256 | 16kSPS | 3.70 | 2.51 | 2.51 | 2.51 |
| 512 | 8kSPS | 2.61 | 1.78 | 1.78 | 1.78 |
| 1024 | 4kSPS | 1.88 | 1.28 | 1.28 | 1.28 |
| 2048 | 2kSPS | 1.46 | 0.91 | 0.91 | 0.91 |
| 4096 | 1kSPS | 1.15 | 0.65 | 0.65 | 0.65 |
| 8192 | 0.5kSPS | 0.88 | 0.44 | 0.44 | 0.44 |

表 6-2. $T_A = 25^\circ\text{C}$ における ADC2y ノイズ性能 (μV_{RMS})

| OSR2y | 変換時間 、 $f_{MCLK} = 8.192 \text{ MHz}$ | ゲイン | | |
|-------|--|------|------|------|
| | | 1 | 2 | 4 |
| 64 | 46.87 μs | 93.4 | 48.3 | 48.3 |
| 128 | 62.50 μs | 48.4 | 26.5 | 26.5 |
| 256 | 93.75 μs | 31.9 | 17.5 | 17.5 |
| 512 | 156.25 μs | 22.4 | 12.1 | 12.1 |

表 6-3. $T_A = 25^\circ\text{C}$ における ADC3y ノイズ性能 (μV_{RMS})

| OSR3y | データレート 、 $f_{MCLK} = 8.192 \text{ MHz}$ | ゲイン | | |
|-------|--|------|------|------|
| | | 1 | 2 | 4 |
| 64 | 64kSPS | 93.4 | 48.3 | 48.3 |
| 128 | 32kSPS | 35.1 | 19.8 | 19.8 |
| 256 | 16kSPS | 21.2 | 12.6 | 12.6 |
| 512 | 8kSPS | 14.4 | 8.73 | 8.73 |
| 1024 | 4kSPS | 10.3 | 6.21 | 6.21 |
| 2048 | 2kSPS | 7.37 | 4.29 | 4.29 |
| 4096 | 1kSPS | 5.39 | 3.01 | 3.01 |
| 8192 | 0.5kSPS | 3.52 | 2.05 | 2.05 |

7 詳細説明

7.1 概要

ADS131B26-Q1 は、電気自動車 (EV) レベル バッテリ管理システム (BMS) 用統合型高電圧バッテリー パック モニタです。2 つの同時サンプリング、高精度、24 ビット ADC チャンネル (ADC1A、ADC1B) を内蔵しており、外付けのシャント抵抗を使用して高い分解能と精度でバッテリー電流を冗長測定できます。2 つの独立したデジタル過電流検出コンパレータ (OCCA、OCCB) は、2 つの ADC と並列に動作し、高速な過電流検出を実現します。

2 つの同時サンプリング 24 ビット ADC (ADC3A、ADC3B) がもう 1 組内蔵されており、外付けの高電圧抵抗分圧器を使用してバッテリー電流と同期してバッテリー パック電圧を測定し、バッテリーの充電状態と健全性の正確な計算を実行できます。

さらに 2 つの多重化 16 ビット ADC (ADC2A、ADC2B) が利用可能であり、サーミスタやアナログ出力温度センサなどの外部温度センサを使用してシャント温度を測定することや、システム内の他の電圧を測定することができます。ADC2A および ADC2B にはチャンネル シーケンサーが搭載されており、設定されたマルチプレクサ入力を自動的に順番に処理し、測定のために選択し、ADC 変換を開始します。

デバイスは A セクションと B セクションの 2 つに分かれています。A セクションの回路は B セクションの回路とは独立しています。しかし、両セクションは同じ電源で動作し、それぞれのクロックを同じメインクロックソースから取得し、同じデジタル制御およびシリアルインターフェースを共有します。

各種 ADC チャンネルのほかに、各セクションの内容は次のとおりです：

- 各セクションの ADC を供給する、高精度、低ドリフトの 1.25V 電圧リファレンス (REFA、REFB)
- 負のチャージ ポンプ (NCPA、NCPB) により、各 ADC の前のゲイン ステージに負の電源電圧を供給し、グランドより低い信号を測定できる
- ADC2A と ADC2B によってダイ温度を測定する温度センサ (TSA、TSB)
- テスト DAC (テスト DAC A、テスト DAC B) は高精度のテスト電圧を生成し、測定用にルーティングして、他のセクションの ADC に接続できます
- AVDD に基づくロジックレベルを搭載する 2 つの GPIO (GPIO0A、GPIO1A および GPIO0B、GPIO1B)

多くの BMS アプリケーションでは、パックモニタに非安定化絶縁 DC/DC コンバータから電力が供給されます。このため、ADS131B26-Q1 には 4V ~ 16V の電圧を受け入れ、レギュレートされた 3.3V アナログおよびデジタル電源レールを内部回路に供給するリアレギュレータ (AVDD および IOVDD LDO) が内蔵されています。また、2 つの低ドロップアウトレギュレータ (LDO) は、外部回路に限られた量の電流を供給することもできます。一般的な使用事例は、デジタルアイソレータの 1 次側に電力を供給することです。このアイソレータは、IOVDD LDO 出力を使用して SPI 通信をホストマイコンに絶縁します。[ADS131B26Q1EVM-PDK 評価基板 \(EVM\) ユーザー ガイド](#)を参照してください。

ADS131B26-Q1 のメインクロックは、内部 8.192MHz 発振器から、または CLK ピンに供給される外部クロックによって供給されます。

本デバイスは、ランダムなハードウェア障害を軽減および検出できる多数の監視/診断機能を内蔵しているため、機能安全 BMS の開発が容易になります。例えば：

- 供給電圧低下、過電圧、過熱、および発振モニター
- ADC2A と ADC2B を経由する電源電圧のリードバック機能
- ADC ごとに一連の開路検出電流ソースとシンク
- クロック モニタ
- SPI に搭載された巡回冗長性検査 (CRC)、タイムアウト監視、SCLK カウンターにより、通信のデータ整合性を向上します。
- レジスタとメモリ マップの CRC
- ADC 変換およびシーケンス カウンター

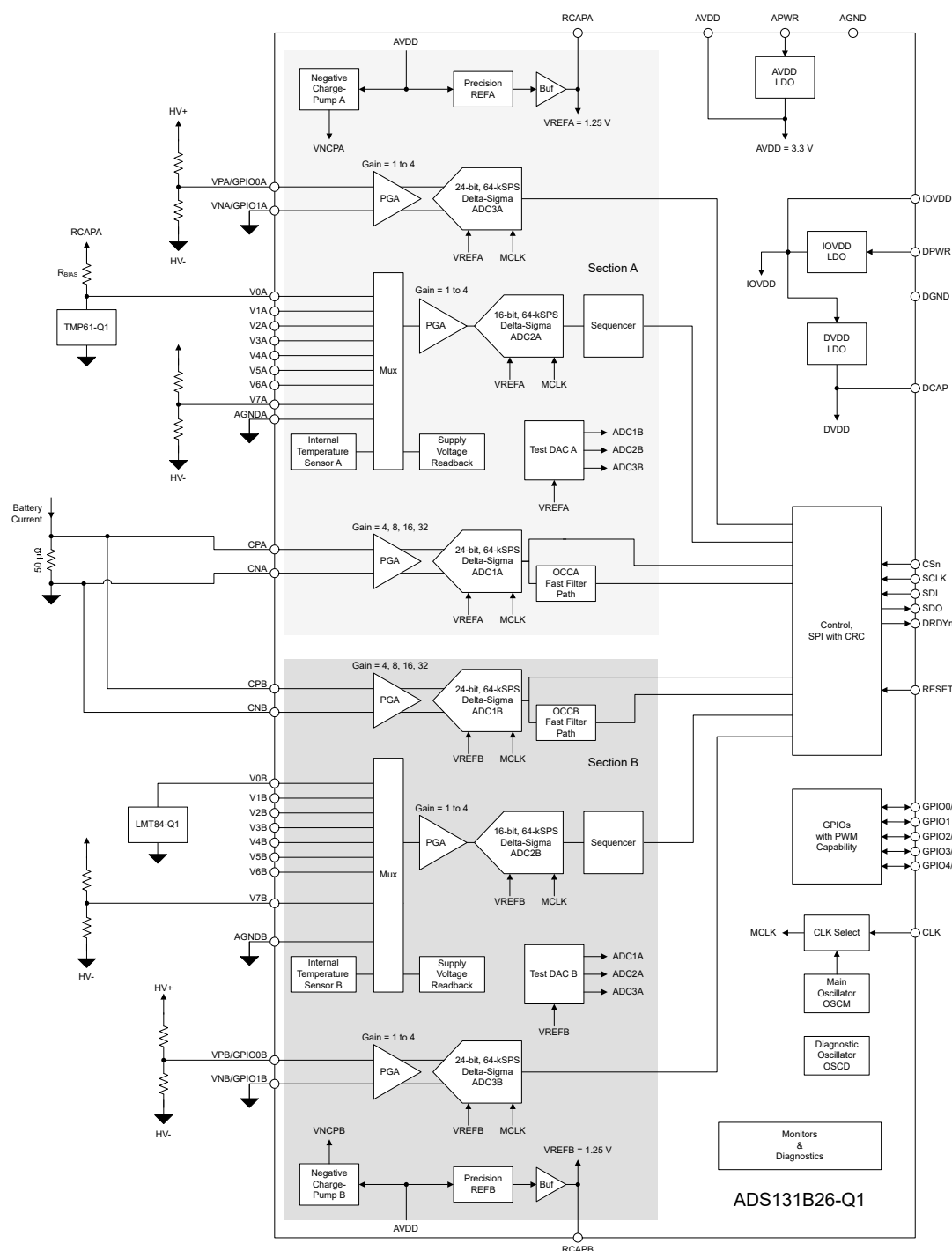
このデバイスには 5 つの GPIO (GPIO0 ~ GPIO4) があり、IOVDD に基づくロジックレベルと、オプションのパルス幅変調 (PWM) 入力および出力機能があります。GPIO2 はフォルト出力としても構成でき、GPIO3 と GPIO4 は過電流コンパレータ出力としても構成できます。

表 7-1 に示すように、ADS131B2x-Q1 ファミリーは 3 つのデバイスで構成され、内蔵 ADC チャンネルの数は異なります。

表 7-1. ADS131B2x-Q1 のデバイス ファミリーの、利用可能な ADC チャンネルによる比較

| デバイス | ADC1A、ADC1B | ADC2A | ADC2B | ADC3A、ADC3B |
|------------------------------|-------------|-------|-------|-------------|
| ADS131B23-Q1 | あり | あり | なし | なし |
| ADS131B24-Q1 | あり | あり | あり | なし |
| ADS131B26-Q1 | あり | あり | あり | あり |

7.2 機能ブロック図



7.3 機能説明

7.3.1 命名規則

このドキュメント全体を通して、接尾辞 x および y はデバイスの特定の要素を指しています。

- 接尾辞 y は、セクション A とセクション B の両方の要素を指します。
たとえば、ADC1y は ADC1A と ADC1B を指します。
- 接尾辞 x は、1 つのセクション内のすべての ADC、または ADC2y のすべてのアナログ入力を指します。
たとえば、ADCxA は ADC1A、ADC2A、ADC3A のを指し、VXA は ADC2A のアナログ入力 V0A ~ V7A を指します。

7.3.2 高精度電圧リファレンス (REFA、REFB)

ADS131B26-Q1 は、デバイスの各セクションに 1 つずつ、2 つの高精度、低ドリフトのバンドギャップ電圧リファレンス (REFA と REFB) を内蔵しています。基準電圧の公称電圧は 1.25V です。デバイスに外部基準電圧は供給できません。セクション A のすべての ADC は REFA を使用し、これに応じてセクション B のすべての ADC は REFB を使用します。RCAPA および RCAPB ピンは電圧リファレンスの出力です。RCAPA ピンを 1μF コンデンサで AGNDA に、RCAPB ピンを 1μF コンデンサで AGNDB にデカップリングします。電圧リファレンスはバッファ付きであり、RCAPy ピンからの電流量が制限された外部回路に電力を供給できます。バッファは電流をシンクできません。詳細については、[電気的特性](#) 表を参照してください。

7.3.3 クロック (MCLK、OSCM、OSCD)

ADS131B26-Q1 は、メインクロック (MCLK) を動作させる必要があります。[図 7-1](#) に示すように、ADS131B26-Q1 へのメインクロックは、次の 2 つの方法のいずれかで供給されます。

- 内蔵の 8.192MHz メイン発振器 (OSCM) またはによって制御されます
- 駆動します

CLK_SOURCE ビットは、デバイスのメイン クロックソースに応じて選択します。デバイスの電源投入時またはデバイスのリセット後に、デフォルトでは内部メイン発振器が MCLK ソースとして選択されます。

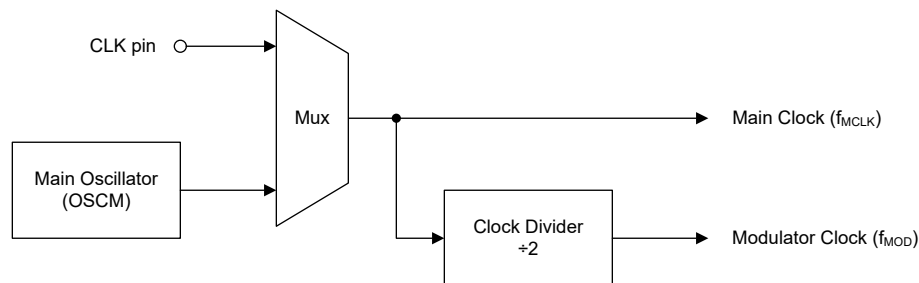


図 7-1. メイン クロックの選択図

さまざまなデルタシグマ ADC の変調器クロックは、共通のメイン・クロックから生成されます。クロック分周器は、メイン クロック周波数 (f_{MCLK}) を 2 分周して、デューティ サイクルが 50% の変調器の周波数 ($f_{MOD} = f_{MCLK}/2$) を生成します。

CLK_SOURCE ビットを使用してクロックソースを変更する前に、それぞれの ADC 有効化ビットを使用してすべての ADC を無効にするか、またはデバイスをスタンバイ モードに設定して、クロックの切り替え中にクロック グリッチが発生しないようにします。外部クロック ソースから内部メイン発振器に切り替える場合、デバイスが内部メイン発振器に切り替わるまで、外部クロックを動作させてください。

ADS131B26-Q1 には **診断発振器 (OSCD)** と呼ばれる 2 番目の内部発振器が内蔵されており、各種の監視および診断機能に使用されます。

7.3.4 ADC1y

24 ビット ADC1A および ADC1B の主な目的は、GND 基準の外付けシャント抵抗でバッテリー電流を冗長的に測定することです。

ADC1y チャンネル信号チェーンは、2 つの差動アナログ入力 (CPy、CNy)、入力マルチプレクサと、プログラマブル ゲイン アンプ (PGA)、デルタシグマ変調器とデジタル フィルタ、グローバル チョップおよびキャリブレーション ロジックで構成されています。

7.3.4.1 ADC1y 入力マルチプレクサ

入力マルチプレクサは、どの信号を ADC1y チャンネルの PGA にルーティングするかを制御します。MUX1y[1:0] ビットを使用して入力マルチプレクサを構成します。入力マルチプレクサにより、以下の入力を PGA に接続できます。

- CPy 入力と CNy 入力の間の差動アナログ信号。
- CPy 入力と CNy 入力の間の逆差動アナログ信号。
- AGNDy 内部短絡。この場合、アナログ入力 CPAY と CNy は PGA から切断されます。この設定を使用して、ADC1y チャンネルのセルフオフセットキャリブレーションを行います。
- 他のセクションのテスト DAC から供給される DC テスト信号。

図 7-2 に ADC1A 入力マルチプレクサの図を示し、表 7-2 に MUX1A[1:0] ビットの設定に応じたスイッチ位置を示します。

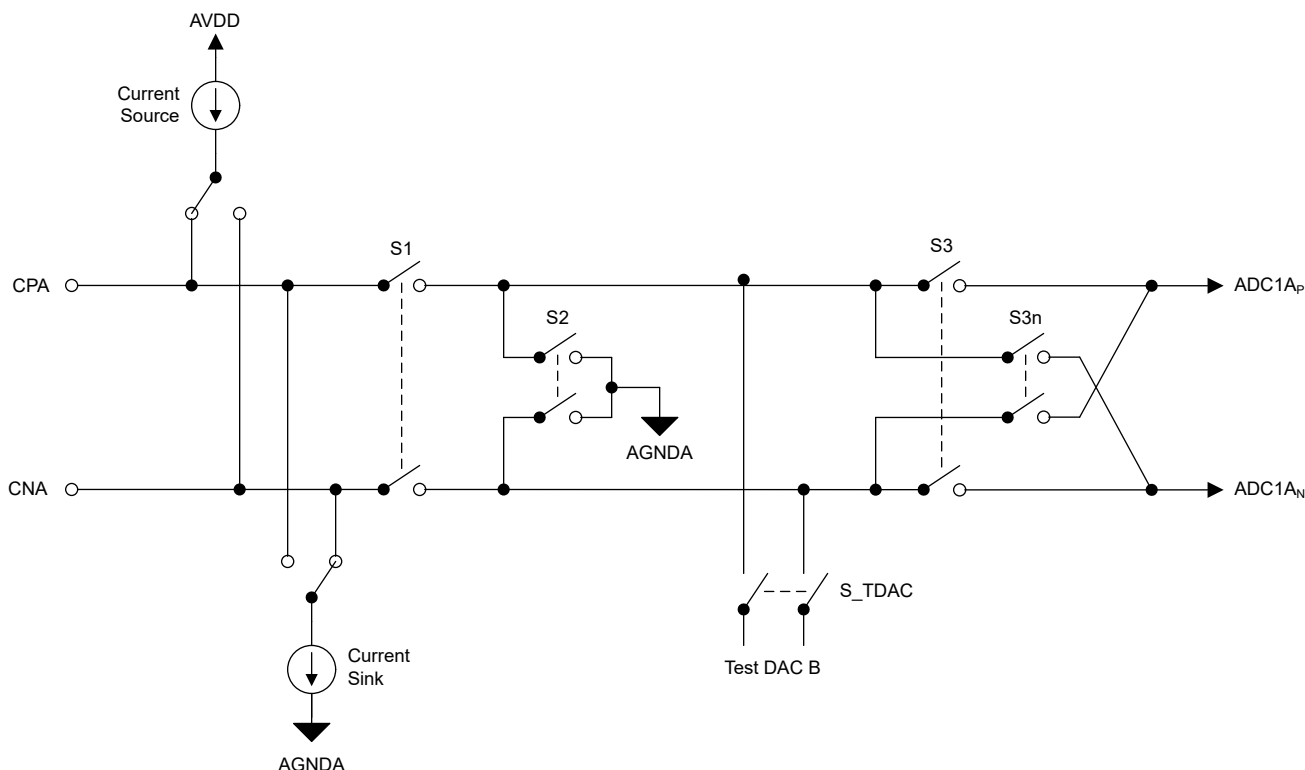


図 7-2. ADC1A 入力マルチプレクサ

表 7-2. MUX1A[1 : 0] のビット設定に基づいて、ADC1A マルチプレクサを切り替えます

| MUX1A[1:0] の設定 | S1 | S2 | S3 | S3n | S_TDAC |
|----------------|-------|-------|-------|-------|--------|
| 00b | クローズド | オープン | クローズド | オープン | オープン |
| 01b | クローズド | オープン | オープン | クローズド | オープン |
| 10b | オープン | クローズド | クローズド | オープン | オープン |
| 11b | オープン | オープン | クローズド | オープン | クローズド |

7.3.4.2 ADC1y プログラマブル ゲイン アンプ

ADC1y は内蔵のプログラマブル ゲイン アンプ を備えており、4、8、16、32 のゲインを提供します。GAIN1y[1:0] ビットを使用するゲイン設定を選択します。

PGA ゲインを変更すると、ADC1y の差動フルスケール入力電圧範囲 (FSR) をスケーリングできます。式 4 は FSR とゲインの関係を説明しています。式 4 はスケーリング係数としての 1.25V の内部基準電圧を使用し、基準電圧の許容誤差に起因するゲイン誤差を考えていません。

$$\text{FSR} = \pm 1.25 \text{ V} / \text{Gain} \quad (4)$$

表 7-3 に、各ゲイン設定に対応するフルスケール範囲を示します。

表 7-3. ADC1y フルスケール範囲

| ゲイン設定 | FSR |
|-------|-----------|
| 4 | ±312.5mV |
| 8 | ±156.25mV |
| 16 | ±78.125mV |
| 32 | ±39.063mV |

GND 基準のシャント抵抗の両端の双方向電流を測定するには、PGA で GND より低い電圧を受け入れる必要があります。そのため、PGA の負電源は、内部負チャージ ポンプ (NCPy) によって供給されます。この方式により、PGA は GND を下回る各入力の絶対入力電圧に対応できます。

ADC1y チャンネルの入力インピーダンスは、ゲイン、OSR、グローバル チョップ モードの設定と関係ありません。ただし、入力インピーダンスは MCLK 周波数に間接的に比例しています。

7.3.4.3 ADC1y ΔΣ 変調器

ADC1y は、2 次デルタ-シグマ (ΔΣ) 変調器を使用して、アナログ入力信号を 1 の密度変調デジタル ビット ストリームに変換します。ΔΣ 変調器は、出力データ レートの数倍の周波数で、入力信号をオーバーサンプリングします。ADC1y の変調器周波数 f_{MOD} は、メイン クロック周波数の半分です (つまり、 $f_{\text{MOD}} = f_{\text{MCLK}}/2$)。

7.3.4.4 ADC1y、デジタル フィルタ

ADC1y ΔΣ 変調器のビット ストリームが、デジタル フィルタに供給されます。デジタル フィルタは、線形位相の有限インパルス応答 (FIR)、ローパス sinc3 フィルタであり、ΔΣ 変調器の帯域外量子化ノイズを減衰させます。低分解能、高速変調器の出力は、デジタル フィルタによってデシメーションおよびダウンサンプリングされ、 f_{DATA} の出力データレートで高分解能 ADC データを生成します。式 5 に示すように、定義されるデシメーション係数を オーバーサンプリング レート (OSR) と呼びます。

$$\text{OSR} = f_{\text{MOD}} / f_{\text{DATA}} \quad (5)$$

OSR は、デジタル フィルタの変調器の出力に適用される平均化の量、つまりフィルタの帯域幅と変換ノイズを決定します。OSR が高いほど、フィルタ帯域幅が狭くなり、ノイズ性能が向上します。

OSR は、OSR13y[2:0] ビットを使用して、64 ~ 8192 の範囲でプログラム可能です。表 7-4 に、ADC1y の OSR 設定、および 8.192 MHz の公称 MCLK 周波数について、sinc3 フィルタの対応する出力データレート、-3dB の周波数を示します。

表 7-4. $f_{MCLK} = 8.192 \text{ MHz}$ の ADC1y OSR 設定、出力データ レート、-3dB 周波数

| OSR | 出力データ レート (f_{DATA}) | -3dB の周波数 |
|------|--------------------------|-----------|
| 64 | 64kSPS | 16.8 kHz |
| 128 | 32kSPS | 8.4 kHz |
| 256 | 16kSPS | 4.2 kHz |
| 512 | 8kSPS | 2.1 kHz |
| 1024 | 4kSPS | 1.0 kHz |
| 2048 | 2kSPS | 524 Hz |
| 4096 | 1kSPS | 262 Hz |
| 8192 | 500 SPS | 131 Hz |

sinc3 フィルタの周波数応答を、図 7-3 と 図 7-4 に示します。sinc3 フィルタは、 f_{MOD} の整数倍を除いて、出力データ レートの整数倍で無限の減衰を行います。すべてのデジタル フィルタと同様に、デジタル フィルタ応答は、変調器の周波数 f_{MOD} の整数倍で繰り返されます。データ レートおよびフィルタ ノッチ周波数は f_{MOD} でスケールされます。

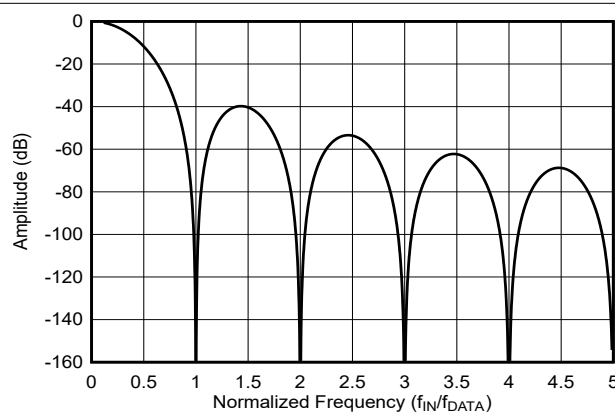
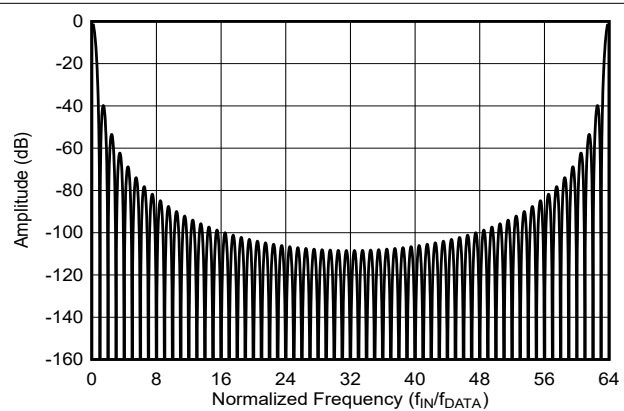


図 7-3. Sinc3 フィルタの周波数応答

図 7-4. f_{MOD} に対する Sinc3 フィルタの周波数応答 (OSR = 64)

7.3.4.5 ADC1y オフセットおよびゲインの校正

ADC1y には、ユーザーがプログラム可能なオフセットおよびゲイン補正レジスタを使用して、オフセットとゲイン誤差を校正する機能があります。図 7-5 に示すように、24 ビットのオフセット補正值 (OCAL1y[23:0]) を変換データから減算してから、16 ビットのゲイン補正值 (GCAL1y[15:0]) で乗算します。出力データは最終的な分解能に丸められ、スケールリング動作後に +FS および -FS のコード値にクリッピングされます。オフセットおよびゲインの校正係数は、ADS131B26-Q1 のレジスタが揮発性であるため、デバイスの電源投入時またはリセット時に、外部の不揮発性メモリに保存し、オフセットおよびゲイン校正レジスタにプログラムする必要があります。

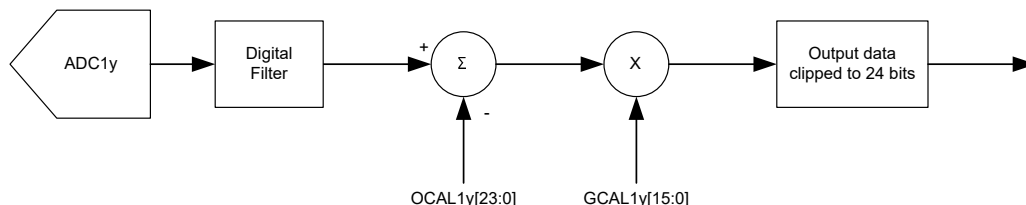


図 7-5. 校正のロジック ブロック図

24 ビットのオフセット較正值は 2 の補数形式で提供され、OCAL1y[23:0] ビットフィールドにプログラムされ、ADC1y_ocal_MSB レジスタと ADC1y_ocal_LSB レジスタの間にまたがっています。オフセット較正值の例を、表 7-5 に示します。オフセット較正值の LSB サイズは、式 6 で計算されます。

$$\text{LSB size} = (2 \times V_{\text{REFY}}) / (\text{GAIN1y} \times 2^{24}) \quad (6)$$

表 7-5. オフセット較正值の例

| OCAL1y[23:0] の値 | オフセット補正を適用 |
|-----------------|------------|
| 000010h | -16 LSB |
| 000001h | -1 LSB |
| FFFFFFh | 1 LSB |
| FFFFF0h | 16 LSB |

16 ビットのゲイン較正值は、2 の補数形式で提供され、GCAL1y[15:0] ビットフィールドにプログラムされます。ゲイン較正值の 1 つの LSB は、 $1/2^{16} = 0.000015$ のゲイン補正係数に等しくなります。ゲイン較正值の例を、表 7-6 に示します。

表 7-6. ゲイン較正值の例

| GCAL1y[15:0] の値 | ゲイン補正を適用 |
|-----------------|----------|
| 7FFFh | 1.499985 |
| 0001h | 1.000015 |
| 0000h | 1 |
| FFFFh | 0.999985 |
| 8000h | 0.5 |

推奨される較正手順は次のとおりです。

1. オフセットおよびゲイン較正レジスタを、それぞれ OCAL1y[23:0]= 000000h および GCAL1y[15:0]= 0000h にプリセットします。
2. 各入力マルチプレクサ設定 (MUX1y[1:0]= 10b) を使用して ADC1y 入力を内部で短絡するか、外部フィルタ段のオフセット誤差を含めてシステムレベルで入力を外部で短絡することでオフセット較正を実行します。複数の変換データを取得し、オフセット較正レジスタにデータの平均値を書き込みます。データを平均化すると、変換ノイズが減少し、較正精度が向上します。
3. ADC1y 入りに較正信号を印加するか、システムレベルで印加してゲイン較正を行います。後者の場合は外部バッファ段のゲイン誤差も含まれます。出力コードのクリッピングを避けるため、フルスケール入力範囲よりも低い較正電圧を選択します。出力コードがクリッピングされると、較正が不正確になります。たとえば、ゲイン= 8 を使用する場合は 150mV のキャリブレーション信号を使用します。複数の変換データを取得し、結果を平均化します。ゲインの較正值を計算するには、式 7 を使用します。

$$\text{Gain Calibration Value} = (\text{expected output code} / \text{actual output code}) \quad (7)$$

ゲイン= 8 を使用した 150mV の較正電圧について予想される出力コードは: $(150\text{mV}/\text{LSB サイズ}) = 7\text{AE}148\text{h}$ 、ここで、 $\text{LSB サイズ} = (2 \times 1.25\text{V}) / (8 \times 2^{24})$ 。たとえば、実際の測定出力コードが 6FB587h の場合、ゲイン較正係数は 1.1 に計算されます。結果として、GCAL1y[15:0] ビットフィールドに書き込むゲイン較正值は次のとおりです。 $(1.1 - 1) / (1/2^{16}) = 199\text{Ah}$ 。

7.3.4.6 ADC1y 変換データ

ADC1A および ADC1B の変換データは 24 ビットであり、レジスタ読み取りコマンド後にレジスタのデータが出力されない限り、SPI フレームの一部として SDO に自動的に出力されます。

データは、2 の補数バイナリ形式で提供されます。式 8 を使用し、1 つのコード (LSB) のサイズを計算します。

$$1 \text{ LSB} = (2 \times V_{\text{REFy}} / \text{Gain}) / 2^{24} = +\text{FSR} / 2^{23} \quad (8)$$

正のフルスケール入力 $V_{\text{IN}} \geq +\text{FSR} - 1 \text{ LSB} = V_{\text{REFy}}/\text{Gain} - 1 \text{ LSB}$ は 7FFFFFFh の出力コードを生成し、負のフルスケール入力 ($V_{\text{IN}} \leq -\text{FSR} = -V_{\text{REFy}}/\text{Gain}$) により 800000h の出力コードが生成されます。フルスケールを超える信号については、これらのコードで出力がクリップされます。

表 7-7 に、各種入力信号の理想的な出力コードを示します。

表 7-7. 理想的な出力コードと入力信号との関係 (24 ビットの変換データ)

| 差動入力電圧($V_{\text{IN}} = V_{\text{AINP}} - V_{\text{AINN}}$) | 理想的な出力コード |
|--|-----------|
| $\geq \text{FSR} (2^{23} - 1) / 2^{23}$ | 7FFFFFFh |
| $\text{FSR} / 2^{23}$ | 000001h |
| 0 | 000000h |
| $-\text{FSR} / 2^{23}$ | FFFFFFh |
| $\leq -\text{FSR}$ | 800000h |

図 7-6 に、アナログ入力信号のアウトプットコードへのマッピングを示します。

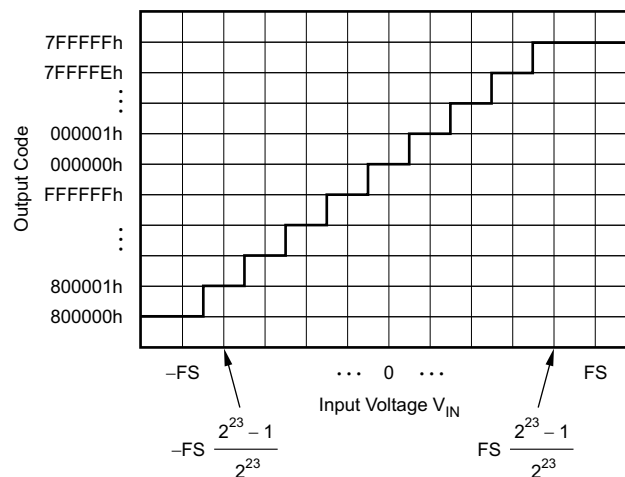


図 7-6. コード トランジション図 (24 ビットの変換データ)

7.3.5 ADC2y

多重化 16 ビット ADC2A および ADC2B の目的は、外部サーミスタまたはアナログ出力温度センサ、および BMS で測定する必要があるその他の電圧を使ってシャント温度を測定することです。

ADC2y チャンネル信号チェーンは、8 つのアナログ入力 (V0y ~ V7y)、入力マルチプレクサと、プログラマブル ゲイン アンプ (PGA)、デルタシグマ変調器とデジタル フィルタ、較正ロジック、およびチャンネル シーケンサで構成されています。

7.3.5.1 ADC2y 入力マルチプレクサ

入力マルチプレクサは、各シーケンス ステップで ADC2y チャンネルの正と負の PGA 入力にルーティングする信号を制御します。SEQ2y_STEPn_CH_P[3:0] および SEQ2y_STEPn_CH_N ビットを使用して、入力マルチプレクサを構成します。

入力マルチプレクサにより、以下の入力を PGA に接続できます。

- AGNDy が負のマルチプレクサ チャンネルとして選択されているとき、シングルエンド測定構成での 8 つのアナログ入力 (V0y から V7y) のいずれか。
- V7y を負のマルチプレクサ・チャンネルとして選択し、外部から AGNDy に接続した場合、シングルエンド測定構成での 7 つのアナログ入力 (V0y から V6y) のいずれか。
- V7y を負のマルチプレクサ・チャンネルとして選択した場合、疑似差動測定構成で、7 つのアナログ入力 (V0y から V6y) のいずれか。この場合は、正のバイアス電圧を V7y に接続します。外部バイアス電圧または VCM_y バッファの内部同相電圧のいずれかを使用します。
- 内部温度センサ TS_y。
- AGNDy 内部短絡。この設定を使用して、ADC2y チャンネルの自己オフセット キャリブレーションを行います。
- 他のセクションのテスト DAC から供給される DC テスト信号。
- 各種の電源電圧 (APWR、DPWR、AVDD、IOVDD、DVDD) の減衰した信号。

アナログ入力以外の信号を正のマルチプレクサ入力として選択すると、アナログ入力は PGA から切り離され、負のマルチプレクサの入力として AGNDy が自動的に選択されます。図 7-7 に、ADC2A 入力マルチプレクサの図を示します。

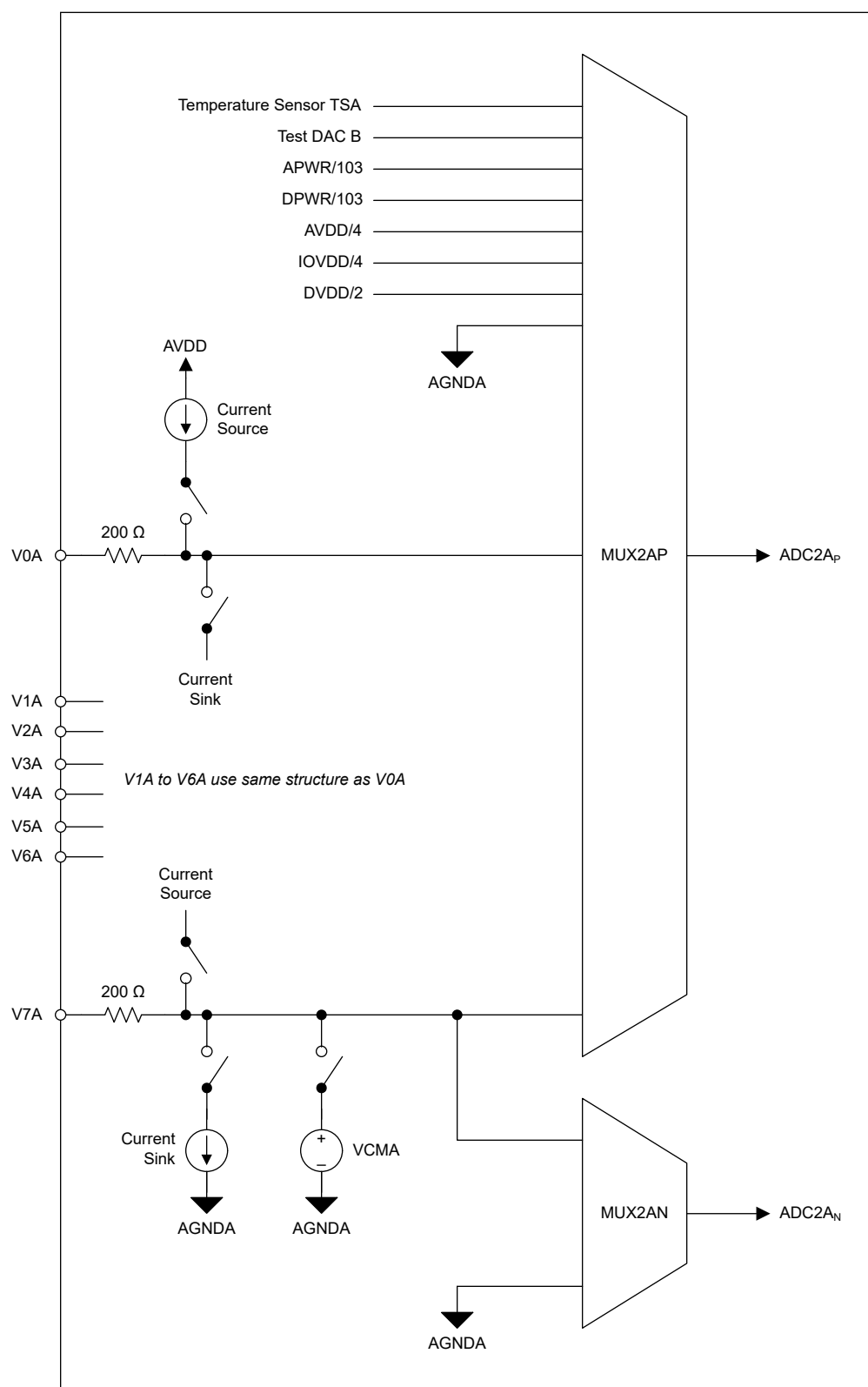


図 7-7. ADC2A 入力マルチプレクサ

7.3.5.2 ADC2y プログラマブル ゲイン アンプ (PGA)

ADC2y はプログラマブル ゲイン アンプ (PGA) を内蔵しており、1、2、4 のゲインを実現します。SEQ2y_STEPn_GAIN[1:0] ビットを使用してゲイン設定を選択します。

PGA ゲインを変更すると、ADC2y の差動フルスケール入力電圧範囲 (FSR) をスケーリングできます。式 9 は FSR とゲインの関係について説明します。式 9 は、内部基準電圧 (1.25V) をスケーリング係数として使用し、基準電圧の許容誤差に起因するゲイン誤差を考慮していません。

$$\text{FSR} = \pm 1.25 \text{ V} / \text{Gain} \quad (9)$$

表 7-8 に、各ゲイン設定に対応するフルスケール範囲を示します。

表 7-8. ADC2y フルスケール レンジ

| ゲイン設定 | FSR |
|-------|----------|
| 1 | ±1.25V |
| 2 | ±625mV |
| 4 | ±312.5mV |

シングル エンド測定を行う場合 (つまり、ADC2y の負のマルチプレクサ チャンネルとして AGNDy を選択した場合)、ゲイン設定の 1 と 2 ではユニポーラ測定のみが可能ですが、ゲイン設定 4 ではユニポーラとバイポーラの両方の入力電圧測定が可能です。ADC2y の絶対入力電圧範囲の仕様については [ADC2y 測定構成](#) 表を、入力構成の例については [推奨動作条件](#) セクションを参照してください。ユニポーラ測定では、約 0000h ~ 7FFFh の正のコード範囲のみを使用します。これらは、約 0V ~ +FS の入力電圧範囲に対応しています。

ADC2y チャンネルの入力インピーダンスは、メイン クロック周波数 (f_{MCLK}) と選択した OSR 設定という 2 つの要因に依存します。[電気的特性](#) の表に、各種 OSR 設定における $f_{\text{MCLK}} = 8.192 \text{ MHz}$ の標準的な入力インピーダンス値を示します。OSR の値を 2 倍に大きくすると、入力インピーダンスは実質的に 2 倍になります。入力インピーダンスは MCLK 周波数に比例します。

7.3.5.3 ADC2y $\Delta\Sigma$ 変調器

ADC2y は、2 次、デルタ シグマ ($\Delta\Sigma$) 変調器を使用して、アナログ入力信号を 1 の密度変調デジタル ビット ストリームに変換します。 $\Delta\Sigma$ 変調器は、出力データ レートの数倍の周波数で、入力信号をオーバーサンプリングします。ADC2y の変調器周波数 f_{MOD} は、メイン クロック周波数の半分です (つまり、 $f_{\text{MOD}} = f_{\text{MCLK}}/2$)。

7.3.5.4 ADC2y Digital Filter

ADC2y $\Delta\Sigma$ 変調器のビット ストリームが、デジタル フィルタに供給されます。デジタル フィルタは、線形位相の有限インパルス応答 (FIR)、ローパス sinc フィルタであり、 $\Delta\Sigma$ 変調器の帯域外量子化ノイズを減衰させます。

ADC1y とは異なり、ADC2y は常にシングル ショット変換モードで動作します。ADC2y シーケンサは個別の変換をトリガーします。デジタル フィルタは変換の開始時にリセットされ毎回完全にセトリングする必要があります。ADC2y は、変換開始前に入力信号がセトリングしたと仮定して、セトリングした変換結果のみを出力します。

OSR2y[1:0] ビットを使用して、ADC2y の変換時間を選択します。OSR = 64 の場合、フィルタは純粋な sinc3 フィルタで構成されます。sinc3 フィルタが安定するのに 3 サイクルかかります。したがって、OSR = 64 の変換時間は $(3 \times 64 / f_{\text{MOD}} = 192 \text{ } t_{\text{MOD}} = 384 \text{ } t_{\text{MCLK}})$ と等しくなります。高い OSR 設定では、sinc3 フィルタの後に sinc1 フィルタが続きます。

表 7-9 に、8.192 MHz の公称 MCLK 周波数に基づく ADC2y の OSR 設定の概要と、それに対応する変換時間を示します。

表 7-9. $f_{MCLK} = 8.192\text{MHz}$ の ADC2y OSR 設定と変換時間

| OSR | | | 変換時間 | |
|------|-------|-------|-----------------|----------------------|
| 全般的な | SINC3 | SINC1 | t_{MCLK} | μs |
| 64 | 64 | 1 | $384 t_{MCLK}$ | 46.87 μs |
| 128 | 64 | 2 | $512 t_{MCLK}$ | 62.50 μs |
| 256 | 64 | 4 | $768 t_{MCLK}$ | 93.75 μs |
| 512 | 64 | 8 | $1280 t_{MCLK}$ | 156.25 μs |

7.3.5.5 ADC2y オフセットおよびゲインの較正

ADC2y には、ユーザーがプログラム可能なオフセットおよびゲイン補正レジスタを使用して、オフセットとゲインの補正された変換データを計算する機能があります。同じ較正值がすべてのシーケンスステップで使用されます。ただし、MUX2y で内部温度センサーが測定に選択された場合、オフセットおよびゲイン補正係数は適用されません。図 7-8 に示すように、16 ビットのオフセット補正值 (OCAL2y[15:0]) を変換データから減算してから、16 ビットのゲイン補正因子 (GCAL2y[15:0]) で乗算します。出力データは最終的な分解能に丸められ、スケーリング動作後に +FS および -FS のコード値にクリッピングされます。オフセットおよびゲインの較正係数は、ADS131B26-Q1 のレジスタが揮発性であるため、デバイスの電源投入時またはリセット時に、外部の不揮発性メモリに保存し、オフセットおよびゲイン較正レジスタにプログラムする必要があります。

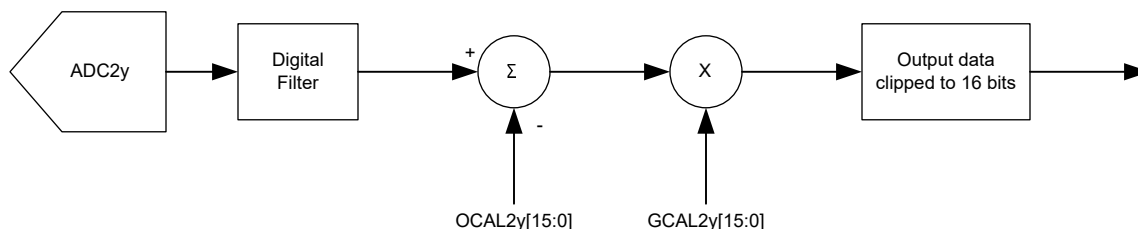


図 7-8. 較正のロジック ブロック図

16 ビットのオフセット較正值は、2 の補数形式で提供され、OCAL2y[15:0] ビットフィールドにプログラムされます。オフセット較正值の例を、表 7-10 に示します。オフセット較正值の LSB サイズは、選択したゲイン設定に応じて、式 10 と式 11 を使用して計算されます。

$$\text{GAIN2y} = 1: \text{LSB size} = V_{\text{REFy}} / 2^{15} \quad (10)$$

$$\text{GAIN2y} = 2 \text{ or } 4: \text{LSB size} = V_{\text{REFy}} / (2 \times 2^{15}) \quad (11)$$

表 7-10. オフセット較正值の例

| OCAL2y[15:0] の値 | オフセット補正を適用 |
|-----------------|------------|
| 0010h | -16 LSB |
| 0001h | -1 LSB |
| FFFFh | 1 LSB |
| FFF0h | 16 LSB |

16 ビットのゲイン較正值は、2 の補数形式で提供され、GCAL2y[15:0] ビットフィールドにプログラムされます。ゲイン較正值の 1 つの LSB は、 $1/2^{16} = 0.000015$ のゲイン補正係数に等しくなります。ゲイン較正值の例を、表 7-11 に示します。

表 7-11. ゲイン較正值の例

| GCAL2y[15:0] の値 | ゲイン補正を適用 |
|-----------------|----------|
| 7FFFh | 1.499985 |
| 0001h | 1.000015 |
| 0000h | 1 |
| FFFFh | 0.999985 |
| 8000h | 0.5 |

推奨される較正手順は次のとおりです。

1. オフセットおよびゲイン較正レジスタを、それぞれ $OCAL2y[15:0] = 0000h$ および $GCAL2y[15:0] = 0000h$ にプリセットします。
2. それぞれの入力マルチプレクサ設定 ($SEQ2y_STEPn_CH_P[3:0] = 1001b$) を使用して $ADC2y$ 入力を内部で $AGNDy$ に短絡するか、または $ADC2y$ 入力の 1 つをシステムレベルで外部で短絡して、外部フィルタ段のオフセット誤差を含めてオフセット較正を実行します。各シーケンスステップのゲインを 1 または 2 に設定します。複数の変換データを取得し、オフセット較正レジスタにデータの平均値を書き込みます。データを平均化すると、変換ノイズが減少し、較正精度が向上します。
3. 1 つの $ADC2y$ 入力に正確な較正信号を印加するか、システム レベルで印加してゲイン較正を行います。後者の場合は外部フィルタ段のゲイン誤差も含まれます。出力コードのクリッピングを避けるため、フルスケール入力範囲よりも低い較正電圧を選択します。出力コードがクリッピングされると、較正が不正確になります。たとえば、ゲイン = 1 を使う場合は 1.2V 較正信号を使用します。複数の変換データを取得し、結果を平均化します。ゲインの較正值を計算するには、式 12 を使用します。

$$\text{Gain Calibration Value} = (\text{expected output code} / \text{actual output code}) \quad (12)$$

ゲイン = 1 を使用した 1.2-V 較正電圧の予測される出力コードは、 $(1.2V/LSB \text{ サイズ}) = 7AE1h$ 、ここで $LSB \text{ サイズ} = (1.25V/2^{15})$ 。例えば、実際に測定された出力コードが $6FB6h$ の場合、ゲイン較正係数は 1.1 となります。結果として、 $GCAL2y[15:0]$ ビット フィールドに書き込むゲイン較正值は次のとおりです。 $(1.1 - 1)/(1/2^{16}) = 199Ah$ 。

7.3.5.6 $ADC2y$ シーケンサ

詳細については、「[ADC2y シーケンサの動作とシーケンス モード](#)」セクションを参照してください。

7.3.5.7 VCM_y バッファ

$ADC2y$ 信号チェーンには、標準 0.78V のバイアス電圧ジェネレータと、その後に同相バッファ VCM_y が含まれています。 VCM_y_EN ビットが設定されている場合、 VCM_y バッファの出力は $V7y$ マルチプレクサ チャネルに内部的に接続され、バイアス電圧を $V7y$ に供給します。疑似差動測定を実装するには、 VCM_y バッファを使用します。ここでは、 $V7y$ を $ADC2y$ の負のマルチプレクサチャネルとして選択します。

VCM_y バッファを有効にする場合、 $V7y$ から $AGNDy$ への容量性負荷は 100pF 未満に制限する必要があります。

7.3.5.8 $ADC2y$ 測定構成

$ADC2y$ は、入力電圧の測定を 3 つの異なる構成で行うことができ、表 7-12、図 7-9、図 7-10、および図 7-11 に要約されています。

表 7-12. $ADC2y$ の使用可能な測定構成の概要

| 入力構成 | 正のマルチプレクサチャネル | 負のマルチプレクサチャネル | ゲイン | 入力範囲 | 絶対入力電圧 | 図 |
|----------|----------------|---------------|-----------|-------|---------------------------|--------|
| シングル エンド | $V0y \sim V7y$ | $AGNDy$ | 1、2、または 4 | ユニポーラ | $0V \sim +FS = VREFy/ゲイン$ | 図 7-9 |
| シングル エンド | $V0y \sim V7y$ | $AGNDy$ | 4 | バイポーラ | $-0.3125V \sim 0.3125V$ | 図 7-10 |
| 疑似差動 | $V0y \sim V6y$ | $V7y$ | 1、2、または 4 | バイポーラ | $V_{V7y} \pm FS^{(1)}$ | 図 7-11 |

(1) [推奨動作条件](#) 表に記載の絶対入力電圧範囲の仕様によって制限される実際の入力範囲。

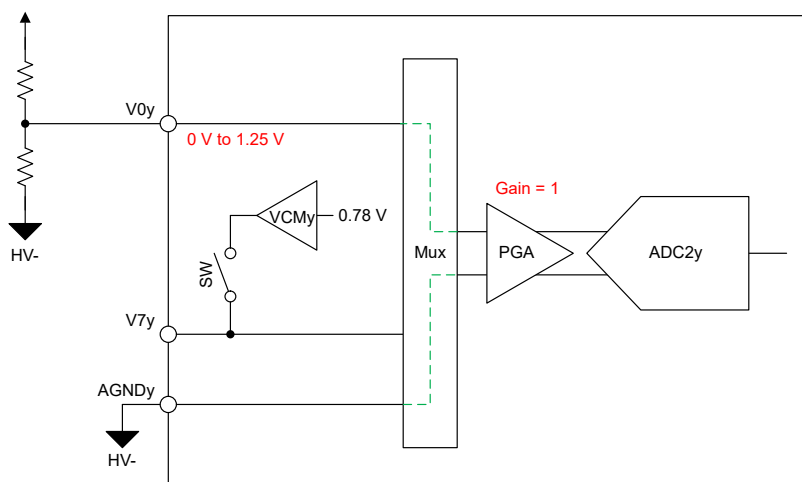


図 7-9. シングルエンド入力、ユニポーラ電圧測定 (ゲイン = 1)

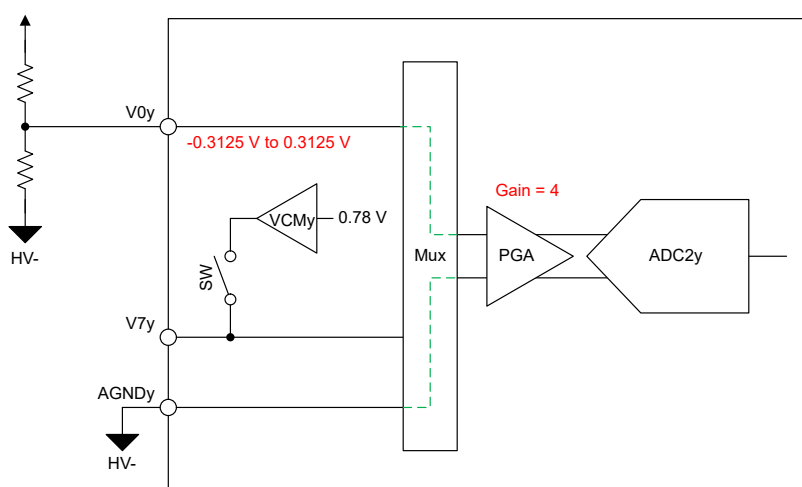
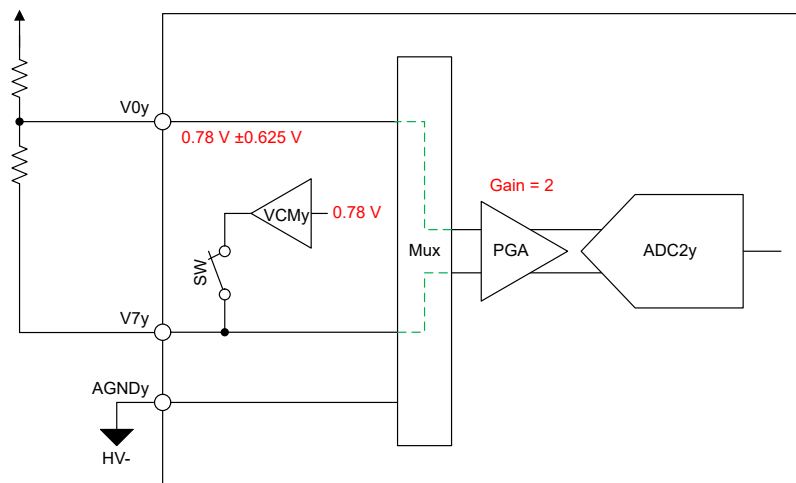


図 7-10. シングルエンド入力、バイポーラ電圧測定 (ゲイン = 4)

図 7-11. 疑似差動入力、バイポーラ電圧測定
(ゲイン = 2、内部バイアス電圧を使用)

7.3.5.9 ADC2y 変換データ

ADC2y のシーケンス ステップの変換データは 16 ビットであり、(ADC1y および ADC3y 変換データとは異なり)ユーザーレジスタ空間 (レジスタ アドレス 10h ~ 2Fh) に保存されます。レジスタ読み取りコマンドを使用して、ADC2y 変換データを読み取ります。

データは、2 の補数バイナリ形式で提供されます。式 13 を使用し、1 つのコード (LSB) のサイズを計算します。

$$1 \text{ LSB} = (2 \times V_{\text{REFy}} / \text{Gain}) / 2^{16} = +\text{FSR} / 2^{15} \quad (13)$$

正のフルスケール入力 $V_{\text{IN}} \geq +\text{FSR} - 1\text{LSB} = V_{\text{REFy}}/\text{ゲイン} - 1\text{LSB}$ では 7FFFh の出力コードが生成され、負のフルスケール入力 ($V_{\text{IN}} \leq -\text{FSR} = -V_{\text{REFy}}/\text{ゲイン}$) では 8000h の出力コードが生成されます。フルスケールを超える信号については、これらのコードで出力がクリップされます。

表 7-13 に、各種入力信号の理想的な出力コードを示します。

表 7-13. 理想的な出力コードと入力信号との関係 (16 ビットの変換データ)

| 差動入力電圧($V_{\text{IN}} = V_{\text{AINP}} - V_{\text{AINN}}$) | 理想的な出力コード |
|--|-----------|
| $\geq \text{FSR} (2^{15} - 1) / 2^{15}$ | 7FFFh |
| $\text{FSR} / 2^{15}$ | 0001h |
| 0 | 0000h |
| $-\text{FSR} / 2^{15}$ | FFFFh |
| $\leq -\text{FSR}$ | 8000h |

図 7-12 に、アナログ入力信号のアウトプットコードへのマッピングを示します。

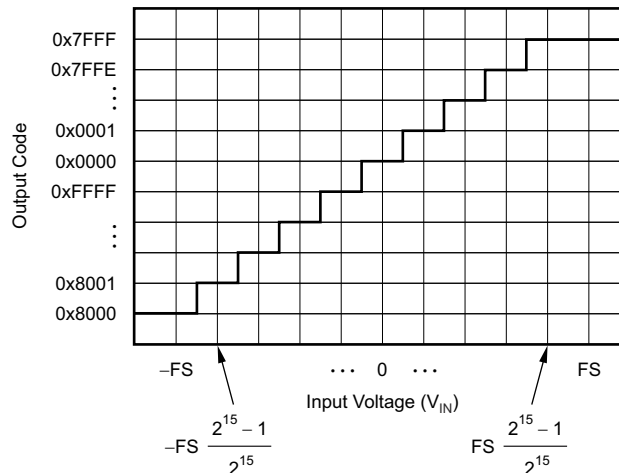


図 7-12. コード トランジション図 (16 ビットの変換データ)

7.3.6 ADC3y

ADC3A と ADC3B の主な目的は、外付けの高電圧抵抗デバイダを使用して ADC1A および ADC1B のバッテリー電流と同時にバッテリーパック電圧を冗長測定することです。ただし、他の信号測定も ADC3y で実装できます。

ADC3y は、入力マルチプレクサ、 $\Delta\Sigma$ 変調器、デジタル フィルタ、キャリブレーション機能を ADC1y と同じ回路実装を活用しています。詳細については、該当する ADC1y セクションを参照してください。ただし、ADC3y の主な目的は電圧測定です。そのため、PGA は ADC2y の回路実装を活用しています。

7.3.7 汎用デジタル入出力 (GPIO0 ~ GPIO4)

ADS131B26-Q1 には、IOVDD 電源に基づくロジックレベルを使用する 5 つの GPIO ピン (GPIO0 ~ GPIO4) があります。ロジック High および Low レベルの詳細については、[電気的特性](#) 表を参照してください。GPIO は多数の構成オプションを提供します:

- それぞれの GPIOx_DIR ビット (x = 0, 1, 2, 3, 4) を使用して、各 GPIO をデジタル入力またはデジタル出力として構成します。
- それぞれの GPIOx_FMT ビットを使用して、個別の GPIO の入力および出力フォーマットを静的ロジックレベルまたは PWM として構成します。特定の GPIO の PWM 周期とデューティサイクルを設定する方法の詳細については、[GPIOx PWM 出力の構成](#) セクションを参照してください。
- GPIO ピンの 4 つは、対応する GPIOx_SRC ビットを使用して、特殊な出力機能 (故障、MHD、OCCA、OCCB) で構成できます。GPIOx の特殊な出力機能を選択するときに、GPIOx_DIR ビットを使用して、GPIOx をデジタル出力として構成してください。

GPIOx がデジタル出力として構成されている場合、GPIOx_DAT ビットを使用して、それぞれの GPIO ピンのロジック High または Low レベルを駆動します。GPIO 出力はプッシュプルです。GPIOx は、特殊な出力機能用に構成されている場合、GPIOx_DAT ビットに書き込まれた値を無視します。

デバイスは、GPIOx がデジタル入力または出力として構成されているかにかかわらず、常に GPIO の値を読み出し、GPIOx_DAT[1:0] ビット フィールドで検出されたロジックレベルを提供します。デバイスが PWM 信号をデコードする方法の詳細については、GPIOx_DAT[1:0] ビット フィールドの説明を参照してください。

本デバイスがリセット状態に保持されたとき、GPIO は入力として構成されます。

7.3.7.1 GPIOx PWM 出力の構成

GPIOx_FMT ビットを使用して GPIOx を PWM フォーマットに設定すると、PWM の周期およびデューティサイクルを、論理 High レベルと Low レベルそれぞれに対して細かく独立して設定できます。GPIOx_LL_PWM_LC[6:0] (GPIOx 論理 Low レベル PWM Low カウンタ値) と GPIOx_LL_PWM_HC[6:0] (GPIOx 論理 Low レベル PWM High カウンタ値) ビットと GPIOx_PWM_TB[1:0] (GPIOx PWM 時間ベース) ビットは、GPIOx_DAT ビットに従って論理 Low レベルが駆動される場合の PWM 周期およびデューティサイクルを決定します。同様に、GPIOx_LH_PWM_LC[6:0] (GPIOx ロジック High レベル PWM Low カウンタ値) と GPIOx_LH_PWM_HC[6:0] (GPIOx ロジック High レベル PWM High カウンタ値) ビットと GPIOx_PWM_TB[1:0] ビットを組み合わせると、GPIOx_DAT ビットに従って論理 High レベルが駆動された場合の PWM 周期とデューティサイクルを決定します。

以下の式で、PWM 周期とデューティ・サイクルを指定します。

$$\text{PWM period} = (\text{PWM high counter value} + \text{PWM low counter value}) \times \text{PWM time base} \quad (14)$$

$$\text{PWM low time} = (\text{PWM low counter value} \times \text{PWM time base}) \quad (15)$$

$$\text{PWM high time} = (\text{PWM high counter value} \times \text{PWM time base}) \quad (16)$$

$$\text{PWM duty cycle} = \text{PWM high time} / (\text{PWM high time} + \text{PWM low time}) \quad (17)$$

[図 7-13](#) に、各種の構成値によって特定の PWM 出力がどのように生成されるかを視覚的に示します。PWM 周期は常に PWM Low 時間で開始されます。GPIOx_DAT ビットに基づく PWM 周期とデューティサイクルの変更は、新しい PWM 周期の開始時にのみ有効になります。

[表 7-14](#) に、GPIO1 の構成値の例を示します。ここで、ロジック High レベルは 1ms 周期を使用して 75% デューティサイクルに設定され、同じ 1ms 周期を使用して 25% デューティサイクルのロジック Low レベルに設定されています。 $f_{\text{MCLK}} = 8.192 \text{ MHz}$ が使用されている場合、PWM 時間ベースは $8.192 \text{ MHz}/1024 = 125 \mu\text{s}$ に選択されます。 $8 \times 125 \mu\text{s} = 1 \text{ ms}$ の PWM 周期を生成するには、この場合、ハイ カウンタとロー カウンタの合計が 8 である必要があります。GPIO1_LL_PWM_LC[6:0] = 3Ch = 60、GPIO1_LL_PWM_HC[6:0] = 14h = 20 (例) を変更すると、同じ 25% のデューティサイクルが得られますが、PWM 周期が $80 \times 125 \mu\text{s} = 10 \text{ ms}$ のときです。

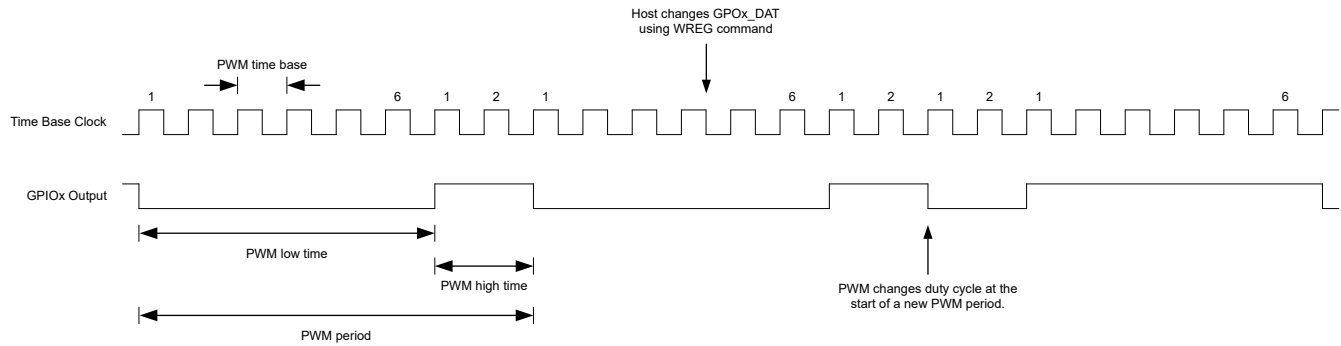


図 7-13. GPIOx PWM 出力のタイミング図

表 7-14. GPIO1 PWM の構成例

| ビットフィールド | ビットフィールドの設定 | 値 | 対応時間 ($f_{MCLK} = 8.192 \text{ MHz}$ に基づく) |
|----------------------|-------------|------------------------|--|
| GPIO1_PWM_TB[1:0] | 3h | $1024 \times t_{MCLK}$ | 125 μ s |
| GPIO1_LL_PWM_LC[6:0] | 06h | 6 | 750 μ s |
| GPIO1_LL_PWM_HC[6:0] | 02h | 2 | 250 μ s |
| GPIO1_LH_PWM_LC[6:0] | 02h | 2 | 250 μ s |
| GPIO1_LH_PWM_HC[6:0] | 06h | 6 | 750 μ s |

7.3.7.2 GPIOx PWM 入力読み戻し

GPIOx が PWM 入力信号をデコードするには、PWM デコードのために GPIOx_FMT ビットを設定します。GPIOx は、GPIOx_PWM_TB[1:0] ビットで設定された時間ベースを PWM デコードのために使います。デコードされた入力値は、GPIOx_DAT[1:0] ビット フィールドで提供されます。GPIO は、GPIO_DAT[1:0] ビット フィールドの説明で指定された 4 つの異なるレベルの PWM 信号をデコードします。

GPIOx_DAT[1:0] ビットは、正しいロジックレベルを示すために、GPIOx に適用された PWM 周期またはデューティサイクルが変更された後、最大 2 つの PWM サイクルを必要とします。

7.3.8 汎用デジタル入出力 (GPIO0A、GPIO1A、GPIO0B、GPIO1B)

ADS131B26-Q1 には、AVDD 電源に基づくロジック レベルを使用する 4 つの追加 GPIO ピン (GPIO0A、GPIO1A、GPIO0B、GPIO1B) があります。ロジック High および Low レベルの詳細については、[電気的特性](#) 表を参照してください。GPIO は多数の構成オプションを提供します：

- それぞれの GPIOxy_DIR ビット (x = 0 または 1, y = A または B) を使用して、個々の GPIO をデジタル入力またはデジタル出力として構成します。
- それぞれの GPIOxy_FMT ビットを使用して、静的ロジック・レベルと PWM 入力のいずれかの個別の GPIO の入力フォーマットを構成します。GPIO00~GPIO04 とは対照的に、GPIOxy は PWM 出力機能を備えていません。GPIOxy_PWM_TB[1:0] ビットを使用して、各 GPIO PWM デコーダに適切な PWM タイムベースを選択します。GPIOxy 入力を駆動するソースのタイムベースは、GPIOxy 入力デコーダのタイムベースと同じかそれよりも遅い必要があります。そうしないと、ロジックレベルが正しくデコードされません。GPIOxy は、デジタル出力として構成されている場合、常に静的ロジックレベルを使用します。
- GPIOxy は、それぞれアナログ入力 VPy および VNy と共有されます。ADC3y (ADC3y_EN = 0b) を無効化し、GPIOy_PIN_CFG = 1b に設定して、ピンを GPIO として構成します。ADC3y_EN = 1b の場合、GPIOy_PIN_CFG ビットの設定は無視され、入力は強制的にアナログ入力になります。

GPIOxy がデジタル出力として構成されている場合、GPIOxy_DAT ビットを使用して、それぞれの GPIO ピンのロジック High または Low レベルを駆動します。GPIO 出力はプッシュプルです。

デバイスは、GPIOxy がデジタル入力または出力として構成されているかにかかわらず、常に GPIO の値を読み戻し、GPIxy_DAT[1:0] ビット フィールドに検出されたロジック レベルを提供します。デバイスが PWM 信号をデコードする方法の詳細については、GPIxy_DAT[1:0] ビット フィールドの説明を参照してください。GPIOxy がアナログ入力として構成されている場合、GPIxy_DAT[1:0] ビット フィールドは 00b を読み出します。

7.3.9 監視と診断

ADS131B26-Q1 は、機能安全システムの設計に役立つ、多くのモニタおよび診断回路を内蔵しています。監視機能は、電源低電圧状態などデバイスの障害を検出するのに対して、診断機能は監視回路内の障害を検出し、監視機能が意図したとおりに動作しているかどうかを確認します。

表 7-15 に、使用可能なすべてのモニタと診断の概要を示します。ほとんどのモニタは、専用のモニタ有効化ビットを使用して、必要に応じて有効または無効にします。モニタが故障を検出すると、対応する低アクティブ故障フラグが 0b に設定されます。通信関連のモニタ・故障・フラグを除き、故障状態が解消された後、ホストは故障・フラグを 1b にクリアする必要があります。通信故障が発生していないフレームの後、SPI フレームでは、通信関連のモニタ・故障・フラグが自動的に 1b にリセットされます。

モニタの整合性をチェックするための専用診断回路を備えたモニタには、表 7-15 に示すそれぞれの診断イネーブルビットが表示されます。専用の診断イネーブルビットが表示されていないモニタは、安全マニュアルに記載されているように、他の方法で診断されます。

これらのモニタには、電気的特性表に規定されているように、個別の故障応答時間があり故障発生からフォルト・フラグ表示までの時間です。

表 7-15. 監視と診断の概要

| モニタ名 | モニタ有効ビット | 故障フラグの監視 | 診断の有効化ビット | 故障フラグレジスタの位置 |
|---------------------|----------------------|-----------------|-------------------------------------|---------------|
| メディカル モニタと診断 | | | | |
| リセット | 該当なし | RESETn | 安全マニュアルを参照してください | STATUS_MSB |
| AVDD 過電圧 | AVDD_OV_EN | AVDD_OVn | AVDD_OV_DIAG_EN | SUPPLY_STATUS |
| AVDD 低電圧 | AVDD_UV_EN | AVDD_UVn | AVDD_UV_DIAG_EN | SUPPLY_STATUS |
| IOVDD 過電圧 | IOVDD_OV_EN | IOVDD_OVn | IOVDD_OV_DIAG_EN | SUPPLY_STATUS |
| IOVDD 低電圧 | IOVDD_UV_EN | IOVDD_UVn | IOVDD_UV_DIAG_EN | SUPPLY_STATUS |
| DVDD 過電圧 | DVDD_OV_EN | DVDD_OVn | DVDD_OV_DIAG_EN | SUPPLY_STATUS |
| DVDD 低電圧 | DVDD_UV_EN を備えています | DVDD_UVn | DVDD_UV_DIAG_EN を選択します | SUPPLY_STATUS |
| AVDD の発振 | AVDD_OSC_EN | AVDD_OSCn | AVDD_OSC_DIAG_EN | SUPPLY_STATUS |
| IOVDD の発振 | IOVDD_OSC_EN を必要とします | IOVDD_OSCn | IOVDD_OSC_DIAG_EN を選択します | SUPPLY_STATUS |
| DVDD の発振 | DVDD_OSC_EN | DVDD_OSCn | DVDD_OSC_DIAG_EN を選択します | SUPPLY_STATUS |
| AVDD LDO 過熱警告 | AVDD_OTW_EN | AVDD_OTWn | 安全マニュアルを参照してください | SUPPLY_STATUS |
| IOVDD LDO 過熱警告 | IOVDD_OTW_EN | IOVDD_OTWn | 安全マニュアルを参照してください | SUPPLY_STATUS |
| AVDD LDO 出力電流制限 | AVDD_CL_EN | AVDD_CLn | 該当なし | SUPPLY_STATUS |
| IOVDD LDO 出力電流制限 | IOVDD_CL_EN を選択します | IOVDD_CLn | 該当なし | SUPPLY_STATUS |
| AGNDA ピンの切断 | AGNDA_DISC_EN | AGNDA_DISCn | AGNDA_DISC_DIAG_EN | SUPPLY_STATUS |
| AGNDB ピンの切断 | AGNDB_DISC_EN | AGNDB_DISCn | AGNDB_DISC_DIAG_EN | SUPPLY_STATUS |
| DGND ピンの切断 | DGND_DISC_EN | DND_DISCn | DGND_DISC_DIAG_EN | SUPPLY_STATUS |
| クロック モニタと診断 | | | | |
| メイン・クロック周波数 | MCLK_MON_EN | MCLK_FAULTn | MCLK_HI_DIAG_EN、 MCLK_LO_DIAG_EN | CLOCK_STATUS |
| 診断発振器ウォッチドッグ | OSCD_WD_EN | OSCD_WDn を実行します | OSCD_WD_DIAG_EN | CLOCK_STATUS |
| メイン・クロック・ウォッチドッグ | MCLK_WD_EN | MCLK_WDn | MCLK_WD_DIAG_EN | CLOCK_STATUS |

表 7-15. 監視と診断の概要 (続き)

| モニタ名 | モニタ有効ビット | 故障フラグの監視 | 診断の有効化ビット | 故障フラグ レジスタの位置 |
|----------------------|-----------------|---------------------|-----------------------|-----------------|
| デジタル モニタと診断 | | | | |
| レジスタマップセクション 1 の CRC | REG_MAP1_CRC_EN | REG_MAP1_CRC_FAULTn | 安全マニュアルを参照してください | DIGITAL_STATUS |
| レジスタマップセクション 2 の CRC | REG_MAP2_CRC_EN | REG_MAP2_CRC_FAULTn | 安全マニュアルを参照してください | DIGITAL_STATUS |
| レジスタマップセクション 3 の CRC | REG_MAP3_CRC_EN | REG_MAP3_CRC_FAULTn | 安全マニュアルを参照してください | DIGITAL_STATUS |
| メモリ マップの CRC | 該当なし | MEM_MAP_CRC_FAULTn | MEM_MAP_CRC_DIAG[1:0] | DIGITAL_STATUS |
| GPIOA 読み戻し | 該当なし | 該当なし | GPIOA_DIAG_EN | GPIOA_GPIB_DATA |
| GPIOB 読み戻し | 該当なし | 該当なし | GPIOB_DIAG_EN を選択します | GPIOA_GPIB_DATA |
| GPIO 読み戻し | 該当なし | 該当なし | GPIO_DIAG_EN | GPI_DATA |
| 通信モニタと診断 | | | | |
| SPI の CRC | 該当なし | SPI_CRC_FAULTn | 安全マニュアルを参照してください | STATUS_MSB |
| SPI タイムアウト | TIMEOUT_EN | SPI_TIMEOUTn | 安全マニュアルを参照してください | STATUS_MSB |
| SCLK カウンタ | SCLK_COUNTER_EN | SCLK_COUNT_FAULTn | 安全マニュアルを参照してください | STATUS_MSB |
| レジスタ アクセス | 該当なし | REG_ACCESS_FAULTn | 安全マニュアルを参照してください | STATUS_MSB |

デバイスの故障を検出するモニタに加えて、ADS131B26-Q1 には表 7-16 に示すインジケータもあり、デバイスの状態または動作に関するフィードバックを提供します。

表 7-16. インジケータの概要

| インジケータ名 | インジケータ ステータス ビット | ステータス ビット レジスタの位置 |
|-------------------|-----------------------|-------------------|
| コマンド応答 | COMMAND_RESPONSE[3:0] | STATUS_MSB |
| LOCK 状態です | LOCK | STATUS_MSB |
| クロック ソース | クロック | STATUS_MSB |
| 動作モード | モード | STATUS_MSB |
| ADC2A シーケンスがアクティブ | SEQ2A_ACTIVE | STATUS_LSB |
| ADC2B シーケンスがアクティブ | SEQ2B_ACTIVE | STATUS_LSB |
| OTP バンク | OTB_BANK | DIGITAL_STATUS |

最後に、デバイスは表 7-17 に示された各 ADC 用の変換カウンタおよびシーケンス カウンタを提供します。

表 7-17. 変換とシーケンス カウンタの概要

| カウンタ名 | カウンタビット | カウンタ ビット レジスタの位置 |
|------------------|-------------------|------------------|
| ADC1A 変換カウンタ | CONV1A_COUNT[1:0] | STATUS_LSB |
| ADC1B 変換カウンタ | CONV1B_COUNT[1:0] | STATUS_LSB |
| ADC2A シーケンサ カウンタ | SEQ2A_COUNT[1:0] | STATUS_LSB |
| ADC2B シーケンサ カウンタ | SEQ2B_COUNT[1:0] | STATUS_LSB |

前の表に記載したモニタ、インジケータ、カウンタのほかに、ADS131B26-Q1 は以下のようなデバイスの整合性をチェックするための追加手段を提供します。

- ADC2A または ADC2B を使用した電源電圧の読み戻し
- 2 個の温度センサ、TSA と TSB
- 2 つのテスト DAC: TDACA と TDACB
- すべての ADC で開路の検出電流ソースとシンク

7.3.9.1 電源モニタ

個別のパワーオンリセット (POR) 回路は AVDD、IOVDD、DVDD 電源に実装されています。3 つの電源のいずれかがそれぞれの POR スレッシュホールドを下回ると、デバイスはリセット状態に保持されます。

ADS131B26-Q1 は、3 つの内部 LDO (AVDD、IOVDD、DVDD) の出力を監視し、過電圧 (OV)、低電圧 (UV) と発振を検出します。[電氣的特性](#) 表を参照して、対応するモニタ検出スレッシュホールドを確認してください。OV イベントが発生すると、該当する LDO がシャットダウンして、内部回路の損傷を防止します。出力電圧が OV スレッシュホールドを下回ると、LDO がオンに戻ります。LDO が再度オンになる前に、電源電圧が POR スレッシュホールドを下回ると、デバイスがリセットされる可能性があります。OV 診断を実行しても、LDO はシャットダウンされません。

APWR を AVDD に短絡する場合、または DPWR を IOVDD に短絡する場合、AVDD または IOVDD を外部から供給できます。この場合、内部 LDO はバイパスされます。モニタは、内部 LDO をバイパスする場合、外部から供給される電源をチェックします。使用する IOVDD 電源に基づいて IOVDD_OV_TH ビットと IOVDD_UV_TH ビットを使用して、IOVDD OV と UV モニタ スレッシュホールドを構成します。

AVDD および IOVDD LDO には、潜在的な過熱イベントを示すために、個別の温度センサが内蔵されています。AVDD_OTW_CFG[1:0] と IOVDD_OTW_CFG[1:0] ビットを使用して過熱警告スレッシュホールドを構成します。

ピンの切断については、AGNDA、AGNDB、および DGND ピンが監視されます。AGND ピンは冗長的に実装されているため、ピン切断監視はしません。

AVDD および IOVDD LDO は、LDO から過剰な電流が流れ込むのを防止するために、出力電流制限を考慮して設計されています。LDO が電流制限で動作する場合は、対応するフォルトフラグが設定されます。LDO から電流制限よりも多くの電流が必要な場合、LDO 出力電圧は通常 POR スレッシュホールドよりも低く、POR イベントが発生します。

7.3.9.2 クロック モニタ

ADS131B26-Q1 には診断発振器 (OSCD) が内蔵されており、選択されたメインクロック (MCLK) の周波数を監視します。MCLK は、内部メイン発振器 (OSCM) から供給されるか、CLK ピンに提供される外部クロックから供給されます。メインクロックと診断発振器の間の周波数が、メインクロックフォルト検出周波数スレッシュホールド (MCLK_FAULT_TH) を上回って逸脱した場合、MCLK_FAULTn フラグは 0b に設定されます。

さらに、個別のウォッチドッグ (MCLK_WD と OSCD_WD) は、メインクロックと診断発振器を監視して、欠けたクロックの信号を検出します。MCLK の周波数が $f_{MCLK_WD_TH}$ を下回ると、MCLK_WDn フラグが 0b に設定され、OSCD 周波数が $f_{OSCD_WD_TH}$ を下回ると OSCD_WDn フラグが 0b に設定されます。

7.3.9.3 デジタル モニタ

以下のセクションでは、レジスタマップの CRC、メモリマップの CRC、GPIO 読み戻し機能など、使用可能なデジタルモニタについて説明します。

7.3.9.3.1 レジスタマップの CRC

ADS131B26-Q1 のレジスタマップ CRC は、レジスタマップの内容の意図しない変更を検出します。レジスタマップは 4 つのセクションに分かれています。

セクション 0 には、デバイスの状態または ADC2y 変換データに基づいて値を更新する読み取り専用ビットが含まれています。したがって、セクション 0 にはレジスタマップの CRC チェックはありません。

セクション 1 ~ 3 には、デバイス構成ビットが含まれており、独立した CRC チェックが用意されています。REG_MAPx_CRC_EN (x = 1 ~ 3) ビットを使用して、各セクションのレジスタマップ CRC を有効にします。セクションのレジスタマップ CRC が有効になったとき、デバイスはそのレジスタマップセクション全体で 16 ビットの CRC 値を常に計算し、内部計算結果を REG_MAPx_CRC_VALUE[15:0] ビットフィールドでユーザーが指定した CRC 値と比較します。内部計算結果と REG_MAPx_CRC_VALUE[15:0] が一致しない場合、REG_MAPx_CRC_FAULTn は 0b に設定されます。レジスタマップセクションの CRC 故障が発生した場合、デバイスはそれ以外の処理を行いません。

CRC の計算は、それぞれのレジスタセクションの最初のレジスタの MSB で開始され、CRC_TYPE ビットで選択された多項式を使用して、それぞれのレジスタセクションの最後に指定されたレジスタの LSB で終了します。表 7-18 に、各セクションのレジスタ マップ CRC でカバーされる実際のレジスタを示します。次の 2 種類の CRC 多項式が利用可能です。CCITT CRC および ANSI CRC (CRC-16)。CRC 多項式の詳細については、通信巡回冗長検査 (CRC) セクションを参照してください。CRC 計算は、シード値 FFFFh で初期化されます。

表 7-18. レジスタマップ CRC でカバーされるレジスタ

| レジスタ セクション | レジスタ マップ CRC でカバーされるレジスタ |
|------------|--------------------------|
| 0 | 該当なし |
| 1 | 40h~59h |
| 2 | 80h~A3h |
| 3 | C0h~E3h |

CRC の計算は、OSCD 周期ごとに 1 つのレジスタ マップ ビットを逐次実装されます。このため、意図しないビット変更は REG_MAPX_CRC_FAULTn フォルトフラグには直ちに示されませんが、 $t_p(\text{REG_MAP_CRC})$ までかかる可能性があります。

誤って REG_MAPX_CRC_FAULTn 通知を発生させずに、セクション 1 から 3 のレジスタ ビットを変更するには、次の手順を実行します。

- REG_MAPx_CRC_EN = 0b を設定することで、レジスタ マップ セクション x CRC を無効化します
- フォルト応答時間 $t_p(\text{REG_MAP_CRC})$ を待ちます。
- REG_MapX_CRC_FAULTn フォルト フラグが 0b に設定されている場合、REG_MapX_CRC_FAULTn ビットに 1b を書き込んでフォルト フラグをクリアします
- オプション: REG_MapX_CRC_FAULTn フォルト フラグが 1b にクリアされていることを確認します
- オプション: DIGITAL_FAULTn ビットに 1b を書き込むことで、DIGITAL_FAULTn フォルト フラグをクリアします
- 必要に応じてセクション x レジスタ ビットを変更
- 新しいレジスタ マップ セクション x の設定に基づいて、REG_MAPx_CRC_VALUE[15:0] ビットを更新します
- REG_MAPx_CRC_EN = 1b をセットして、レジスタマップ セクション x CRC を有効にします

セクション x のレジスタ ビットは、以下の手順で説明するように、レジスタ マップ セクション x CRC が有効になるの間も変更できますが、意図しない REG_MAPx_CRC_FAULTn 通知を引き起こす可能性があります。

- レジスタ マップ セクション x CRC が有効になる間に、必要に応じてセクション x レジスタ ビットを変更します
- 新しいレジスタ マップ セクション x の設定に基づいて、REG_MAPx_CRC_VALUE[15:0] ビットを更新します
- フォルト応答時間 $t_p(\text{REG_MAP_CRC})$ を待ちます。
- もし REG_MAPx_CRC_FAULTn フォルト フラグが 0b に設定されているなら、REG_MAPx_CRC_FAULTn ビットに 1b を書き込んでフォルト フラグをクリアします
- オプション: REG_MapX_CRC_FAULTn フォルト フラグが 1b にクリアされていることを確認します
- オプション: DIGITAL_FAULTn ビットに 1b を書き込むことで、DIGITAL_FAULTn フォルト フラグをクリアします

7.3.9.3.2 メモリ マップの CRC

レジスタ マップの CRC と同様に、デバイスはメモリ マップの CRC を使用して内部メモリのランダムなビット変更をチェックします。内部メモリ ビットを変更すると、デバイスの動作が不明になったり、デバイスのパフォーマンスが低下したりする可能性があります。

メモリマップの CRC は常にイネーブルであり、内部メモリマップ全体で CRC 値を常に計算します。デバイスは、計算結果を、量産時のメモリマップに保存されているメモリマップの CRC 値と比較します。内部計算結果と保存されたメモリ マップの CRC 値が一致しない場合、MEM_MAP_CRC_FAULTn は 0b に設定されます。メイン プログラム メモリのエラーが発生した場合、ADC はそれ以外の処理を実行しません。

CRC 計算は、OSCD 周期ごとに 1 つのメモリ マップ ワードを直列に実装されます。このため、ランダムなビット変更は MEM_MAP_CRC_FAULTn フォルトフラグでは直ちに示されませんが、 $t_p(\text{MEM_MAP_CRC})$ までかかる可能性があります。

メモリ マップ CRC フォルトの場合、MEM_MAP_CRC_FAULTn ビットに 1b を書き込んで故障フラグを 1b にクリアします。故障フラグが引き続き 0b に設定される場合は、デバイスをリセットします。

7.3.9.3.3 GPIO 読み戻し

ADS131B26-Q1 で利用可能なすべての GPIO (GPIOx、GPIOxy) は、対応する GPIO がデジタル出力として構成されているとき、独立したリードバックパスを提供します。つまり、出力ドライバ回路とは独立した入力レシーバ回路によって、GPIO ピンで駆動される電圧レベルが検出されます。読み戻しの結果は、GPIx_DAT[1:0] および GPIxy_DAT[1:0] ビットフィールドに従って表示されます。

7.3.9.4 通信モニタ

通信関連モニタ (SPI CRC、SPI タイムアウト、SCLK カウンタ) については、[シリアル インターフェイス通信構造](#) セクションで詳細に説明します。

また、レジスタ・アクセス・モニタは、レジスタ・アドレス FFh 以上の読み取りまたは書き込みのどちらが行われたかを示します。00h~FEh のアドレス範囲内で指定されていないレジスタアドレスに書き込みや読み出しを行っても、フォルト通知はトリガされません。存在しないレジスタからの読み出し時に返されるデータおよびレジスタ・アドレスがすべて 0 です。

7.3.9.5 故障フラグと故障マスキング

ADS131B26-Q1 のすべてのモニタには、対応する故障フラグを (表 7-15 参照) があり、それぞれのモニターが故障状態を検出すると 0b に設定されます。表 7-19 に示すように、RESETn および通信関連の故障フォルト・フラグは STATUS_MSB レジスタにあり、電源、クロック、およびデジタル関連のフォルト・フラグは [詳細なステータス・レジスタ](#) にグループ化されています。[ステータス ワード](#) セクションで説明されているように、各 SPI フレームの先頭にあるステータスワードの一部として、STATUS_MSB レジスタが送信されます。電源、クロック、またはデジタル関連のフォルトをステータスワードの一部として即時に表示できるように、各詳細ステータス レジスタには STATUS_MSB レジスタに、対応する [組み合わせ](#) 故障フラグがあります。つまり、詳細ステータスレジスタの故障フラグのいずれかが 0b に設定されている場合、結合された故障フラグも 0b に設定されます。

表 7-19. 詳細なステータス レジスタと、対応する故障フラグを組み合わせたもの

| 故障フラグを監視: | 詳細なステータス レジスタの位置 | STATUS_MSB レジスタの結合故障フラグ |
|-----------|------------------|-------------------------|
| 電源 | SUPPLY_STATUS | SUPPLY_FAULTn |
| クロック | CLOCK_STATUS | CLOCK_FAULTn |
| デジタル | DIGITAL_STATUS | DIGITAL_FAULTn |

設定されたコンビネーション 故障 フラグを 1b にクリアするには、まず対応する詳細ステータス レジスタのすべての設定故障フラグをクリアする必要があります。詳細ステータス レジスタのすべての故障フラグが 1b にクリアされた後でのみ、ホストは 1b に書き込んで組み合わせた故障フラグをクリアできます。

ADS131B26-Q1 を使用すると、詳細ステータス レジスタにある個別の故障フラグを追加で マスクして、STATUS_MSB レジスタの組み合わせた故障フラグをトリガできます。マスク ビットは、SUPPLY_FAULT_MASK、CLOCK_FAULT_MASK、DIGITAL_FAULT_MASK レジスタにあります。詳細ステータス レジスタの故障フラグがマスクされた場合、このマスクされた故障フラグによって通知されたフォルトは、STATUS_MSB レジスタの複合故障フラグの故障表示をトリガしません。ただし、詳細ステータス レジスタの故障フラグで引き続き故障が示されます。

以下の AVDD OV モニタの例では、さまざまな設定オプションについて説明します。

- SUPPLY_STATUS (AVDD 故障フラグ) または STATUS_MSB (SUPPLY_FAULTn 故障フラグ) レジスタで、AVDD OV フォルト表示は不要: AVDD_OV_EN = 0b を設定することで、AVDD OV モニタを無効化します。
- SUPPLY_STATUS には AVDD OV 故障のインジケーションがありますが、STATUS_MSB レジスタにはありません。AVDD_OV_EN = 1b を設定することで、AVDD OV モニタを有効にします。AVDD_OV_MASK = 1b を設定することで、AVDD_OVN 故障フラグが SUPPLY_FAULTn 故障フラグをトリガしないようにマスクします。

- **SUPPLY_STATUS** および **STATUS_MSB** レジスタの両方の **AVDD OV** 故障表示: **AVDD_OV_EN = 1b** を設定することで、**AVDD OV** モニタを有効にします。 **AVDD_OV_MASK = 0b** に設定することで、**AVDD_OVN** の故障フラグのマスクを解除します。

7.3.9.6 FAULT ピン

GPIO2/FAULT ピンは、GPIO2_DIR = 1b および GPIO2_SRC = 0b に設定することで、故障通知出力として構成できます。STATUS_MSB[14:7] 故障フラグのいずれかが 0b に設定されている場合、FAULT ピンは アクティブになります。すべての STATUS_MSB[14:7] 故障フラグが 1b にクリアされるとすぐに、FAULT ピンは 非アクティブに変化します。

アクティブまたは非アクティブのときの FAULT ピンの実際の出力信号は、GPIO2 の形式 (GPIO2_FMT ビット) と FAULT ピンの極性 (FAULT_POL ビット) の構成で決まります。詳細については、該当するビットの説明と [汎用デジタル入出力 \(GPIO0 ~ GPIO4\)](#) セクションを参照してください。表 7-20 に、FAULT ピンがアクティブ状態の静的 LOW 信号と、非アクティブ状態の静的 HIGH 信号に構成されている例を示します。このピンは、アクティブ状態の静的な LOW 信号用に、非アクティブ状態の 50% デューティ サイクルの PWM 出力信号用に構成して、障害が発生していないことを示す何らかのハートビートとして動作させることもできます。設定オプションは無限です。

表 7-20. FAULT ピンの出力動作の構成例

| レジスタ ビット | ビット設定 | 説明 |
|-----------|-------|--------------------------------------|
| GPIO2_DIR | 1b | GPIO2/FAULT ピンをデジタル出力としての構成 |
| GPIO2_SRC | 0b | GPIO2/FAULT ピンのデータ ソースとして選択された FAULT |
| GPIO2_FMT | 0b | GPIO2/FAULT ピンを静的な出力レベル用に構成 |
| FAULT_POL | 0b | FAULT 出力はアクティブ Low です |

また、ADS131B26-Q1 では、8 つの STATUS_MSB[14:7] 故障フラグのいずれかを マスクして、FAULT ピンをトリガすることができます。個別の故障フラグをマスクするには、FAULT_PIN_MASK レジスタのマスク ビットを使用します。STATUS_MSB レジスタで故障フラグがマスクされ、それぞれの故障フラグが 0b に設定されている場合、FAULT ピンにフォルトは通知されません。

7.3.9.7 診断および診断手順

診断機能は、監視回路内で障害を検出し、モニタが意図のとおり動作しているかどうかを確認します。表 7-15 のそれぞれの有効化ビットを使用して診断を有効にして、監視回路にフォルト状態を導入します。指定されたモニタ・フォルト応答時間内に、対応したモニタ・フォルト・フラグが 0b に設定された場合 ([電気的特性](#) 表を参照)、診断は正常に完了し、モニタが正しく動作していることを示します。

メイン クロック周波数監視の診断 (MCLK_HI_DIAG_EN と MCLK_LO_DIAG_EN) を除き、すべての診断を同時に実行することで、実行時間を節約できます。MCLK_HI_DIAG_EN と MCLK_LO_DIAG_EN の診断は、順に実行する必要があります。ただし、MCLK_HI_DIAG_EN または MCLK_LO_DIAG_EN のどちらかを、他のすべての診断と一緒に実行することができます。

以下の手順では、モニタ診断を実装するための一般的な手順を説明します。AVDD UV モニタ診断の実装例を括弧で示します。

- モニタを有効にします (AVDD_UV_EN = 1b に設定)
- フォルト応答時間を待機 ($t_{p(AVDD_UV)}$ を待つ)
- 詳細なフォルト フラグのクリア (AVDD_UVN に 1b を書き込む)
- オプション: 詳細フォルトフラグが 1b にクリアされていることを確認します (AVDD_UVn を読み出し)
- オプション: メイン フォルト フラグをクリア (SUPPLY_FAULTn に 1b を書き込む)
- 診断の有効化 (AVDD_UV_DIAG_EN = 1b に設定)
- フォルト応答時間を待機 ($t_{p(AVDD_UV)}$ を待つ)
- 詳細なフォルト フラグが 0b に設定されているかどうかを確認 (AVDD_UVn の読み取り)
- モニタの有効化 (AVDD_UV_EN = 0b に設定)
- 診断の有効化 (AVDD_UV_DIAG_EN = 0b に設定)
- 詳細なフォルト フラグのクリア (AVDD_UVN に 1b を書き込む)
- オプション: メイン フォルト フラグをクリア (SUPPLY_FAULTn に 1b を書き込む)
- モニタを有効にします (AVDD_UV_EN = 1b に設定)

メモリ マップの CRC 診断は例外的なケースです。有効化ビットではなく、MEM_MAP_CRC_DIAG[1:0] ビットフィールドで使用可能な 3 つのビット パターンのいずれかを選択して、メモリ マップの CRC 計算に導入します。

7.3.9.8 インディケータ

ADS131B26-Q1 は、デバイスの状態を確認するのに役立つインジケータビットのセットを STATUS_MSB および STATUS_LSB レジスタ内に提供します。

- コマンド応答: COMMAND_RESPONSE[3:0] ビット フィールドはすべての SPI フレームで送信され、前のフレームでデバイスが受信したコマンドに関するフィードバックを提供します。実行されたコマンドに関する情報も提供されます。詳細については、COMMAND_RESPONSE[3:0] レジスタ ビットのフィールドの説明を参照してください。
- ロック状態: ロックビットは、デバイスが現在ロックされているかロック解除されているかを示します。デバイスのロックとロック解除の詳細については、[コマンドセクション](#)を参照してください。
- クロック ソース: クロック ビットは、デバイスがメイン クロックとしてどのクロック ソース (内部メイン発振器 (OSCM) または CLK ピンに供給される外部クロック) を示します。
- 動作モード: MODE ビットは、デバイスが現在アクティブ、スタンバイ、パワーダウンのいずれかのモードで動作しているモードを示します。
- ADC2A シーケンスがアクティブ: SEQ2A_ACTIVE ビットは、ADC2A のシーケンスが現在進行中であるかどうかを示します。
- ADC2B シーケンスがアクティブ: SEQ2B_ACTIVE ビットは、ADC2B のシーケンスが現在進行中であるかどうかを示します。

追加の OTP_BANK ステータス ビットが DIGITAL_STATUS レジスタで提供されます。このデバイスには、2 つのワンタイム プログラマブル (OTP) メモリ バンク 0、バンク 1 が搭載されています。デバイスの構成および校正データは、デバイスの製造時に、これらの OTP バンクに保存されます。OTP バンクが破損すると、デバイスの動作が不明になったり、デバイスの性能が低下したりする可能性があります。バンク 0 の情報は、冗長性のためにバンク 1 で重複しています。デバイスの電源投入時またはリセット時に、デバイスは OTP バンク 0 の内容を内部メモリにロードします。デバイスがバンク 0 からデータの取得に失敗した場合、デバイスは OTP バンク 1 からコンテンツをロードします。OTP_BANK ビットは、どのバンクが取得されたかを示します。デバイスは、OTP バンク 1 から動作している場合でも通常動作します。

デバイスが OTP バンク 1 からデータの取得に失敗すると、メモリマップ CRC フォルトフラグが 0b にセットされます。デバイスをリセットしても MEM_MAP_CRC_FAULTn 故障フラグがクリアされない場合、デバイスが損傷していると考えます。

7.3.9.9 変換およびシーケンス・カウンタ

STATUS_LSB レジスタには、各種 ADC (CONV1y_COUNT[1:0]、SEQ2y_COUNT[1:0]) 用の 2 ビットの変換およびシーケンス・カウンタが含まれています。

変換カウンタ CONV1y_COUNT[1:0] は、ADC1y の新しい変換が完了するたびにインクリメントします。両方の ADC がイネーブルのとき、ADC1A と ADC3A は常に同時に変換を開始するため、CONV1A_COUNT[1:0] は ADC3A の変換カウンタも示します。ADC1A がディセーブルで、ADC3A がイネーブルの場合、CONV1A_COUNT[1:0] は ADC3A の変換番号を示します。ADC1B と ADC3B および CONV1B_COUNT[1:0] についても同じです。カウンタは 11b から 00b にロールオーバーします。カウンタをリセットするには、ADC1y および ADC3y をディセーブルにするか、デバイスをスタンバイモードまたはパワーダウンモードにします。デバイスは、変換カウンタの値が常に、および同じ SPI フレームで出力される ADC1y と ADC3y の変換結果に一致することを保証します。

シーケンスカウンタ SEQ2y_COUNT[1:0] は、ADC2y の新しいシーケンスが完了するたびにインクリメントします。カウンタは 11b から 00b にロールオーバーします。カウンタをリセットするには、ADC2y をディセーブルにするか、デバイスをスタンバイモードまたはパワーダウンモードにします。デバイスは、シーケンスカウンタ値が常に、同じ SPI フレームで出力される ADC2y 変換ステップ結果と一致するようにします。つまり、ADC2y 変換ステップ結果レジスタ (SEQxy_STEPx_DATA) から変換結果を読み取るときに新しいシーケンスが完了した場合、新しいシーケンス実行の変換結果は変換結果レジスタの上書きをブロックされますが、内部的にバッファされます。新しいシーケンスの実行からバッファされた変換結果を実行すると、読み取りコマンドの完了後にのみ、変換ステップ結果レジスタが更新されます。

7.3.9.10 電源電圧のリードバック

専用の電源モニタだけでなく、すべての電源 (APWR、DPWR、AVDD、IOVDD、DVDD) は ADC2A または ADC2B を経由して内部で測定することもできます。本デバイスには抵抗デバイスが内蔵されており、電源電圧を ADC2A および ADC2B の入力電圧範囲内まで減衰できます。それぞれの減衰係数については、[電气的特性](#) 表を参照してください。いずれかの電源電圧測定用に ADC2y シーケンス ステップを構成するには、SEQ2y_STEPx_CH_P[3:0] ビットを使用します。

電源電圧の測定精度は、次の 2 つの要因に依存します：

- マルチプレクサ遅延時間 (MUX2y_DELAY[2:0] ビットを使用して構成)
- ADC2y 変換時間 (OSR2y[1:0] ビットを使用して構成)

内部で使用する分割抵抗の値が大きく、電源電圧を内部フィルタ コンデンサと分圧します。これにより、RC フィルタの時定数が大きくなります。したがって、ADC2y マルチプレクサが電源電圧測定値のいずれかを選択すると、入力信号のセトリングにかなりの時間が必要になります。マルチプレクサの遅延時間を長くすると、ADC2y が変換を開始する前に、マルチプレクサの変更後、入力信号が安定化するまでの時間が長くなります。マルチプレクサの遅延時間を $256 \times t_{MCLK}$ 以上に設定すると、電源電圧を測定するときに入力信号が安定するのに十分な時間が得られます。

マルチプレクサの遅延時間を長くすることができない場合は、遅延時間がすべてのシーケンスステップに等しく影響するため、同じ電源電圧測定用に複数の連続するシーケンスステップを設定します。変換がまだセトリングされていない場合は、最初のシーケンス ステップの読み取り値を無視します。

ADC2y の入力インピーダンスは、選択した変換時間に応じて変化します。[電气的特性](#) 表を参照してください。分圧抵抗のインピーダンスは ADC2y の入力インピーダンスと相互作用し、ゲイン誤差を引き起こします。ADC2y 変換時間を長くして ADC2y の入力インピーダンスを大きくすると、電源電圧測定のゲイン誤差が小さくなります。

マルチプレクサの遅延時間および ADC2y 変換時間に応じて電源電圧測定精度がどのように変化するかの詳細については、[図 5-32](#) を参照してください。

7.3.9.11 温度センサ (TSA、TSB)

ADS131B26-Q1 には、デバイスの各セクションに 1 つずつ、2 つの独立した温度センサ、TSA と TSB が内蔵されています。温度センサを使用して、各セクションのダイ温度を測定します。温度センサは、温度に比例する線形電圧を出力します。温度センサの出力電圧特性 (TS_{Offset} 、 TS_{TC}) は、[電气的特性](#) 表に記載されています。

ADC2A を使用して、TSA の出力信号を測定します。測定用に TSA を選択するには、TSA 測定用に ADC2A シーケンス ステップ (SEQ2A_STEPx_CH_P[3:0]) のいずれかを構成します。最高の測定性能を得るには、SEQ2A_STEPx_GAIN[1:0] ビットを使用して、それぞれのシーケンス ステップを GAIN = 2 に構成します。これに応じて、ADC2B を使用して TSB の出力信号を測定します。

[式 18](#) に、測定された温度センサの出力電圧をダイ温度に変換する方法を示します。

$$\text{Die temperature } [^{\circ}\text{C}] = 25^{\circ}\text{C} + (\text{Measured voltage} - TS_{Offset}) / TS_{TC} \quad (18)$$

7.3.9.12 テスト DAC (TDACA、TDACB)

ADS131B26-Q1 には 2 つの独立したテスト DAC である TDACA と TDACB が内蔵されており、デバイス内の各セクションに 1 つずつ配置されています。TDACA はセクション A (REFA) の基準電圧を使用し、TDACB はセクション B (REFB) の基準電圧を使用します。TDACy_VALUE[2:0] ビットを使って、テスト DAC 出力電圧を 8 つの設定のいずれかに設定します。テスト DAC A の出力電圧は、セクション B のいずれかの ADC への入力信号として印加し、電圧レファレンス (REFB) を含む ADCxB 信号チェーンの精度と整合性をチェックすることができます。対応する ADCxB マルチプレクサ構成ビットを使用して、テスト DAC A を入力信号として選択します。これに応じて、テスト DAC B の出力電圧を、セクション A の ADC のいずれかへの入力信号として印加し、測定に使用できます。

複数の ADC の入力信号としてテスト DAC を選択すると、テスト DAC 出力を負荷に接続することにより、測定精度が低下する可能性があります。

7.3.9.13 断線検出

個々の ADC アナログ入力ピンでピンフォルト状態の可能性 (開放、隣接ピンへの短絡、GND への短絡、電源への短絡など) を検出するため、各 ADC には専用のオ断線検出 (OWD) 電流ソースおよびシンクが内蔵されています。電流ソースとシンクを ADC 入力に接続する方法については、[図 7-7](#) と [図 7-2](#) を参照してください。ADC2y の入力パスには、約 200Ω の直列インピーダンスが含まれています ([図 7-7](#) を参照)。いずれかの ADC2y 入力で電流ソースまたはシンクを有効にするときは、このインピーダンス両端の追加の電圧降下を考えてください。

[表 7-21](#) に示すように、すべての電流ソースと電流シンクにより、個別の構成と制御が可能です。

表 7-21. 断線検出電流ソースおよびシンク構成

| レジスタ ビット | 機能 |
|-------------------------|---------------------------------------|
| OWDxy_SOURCE_VALUE[1:0] | 電流ソースを有効にし、3 つの利用可能な設定から電流ソースの値を選択します |
| OWDxy_SINK_VALUE[1:0] | 電流シンクを有効にし、3 つの利用可能な設定から電流シンク値を選択します |
| OWDxy_SOURCE_MUX | 現在のソースがルーティングされる入力チャネルを選択します |
| OWDxy_SINK_MUX | 電流シンクがルーティングされる入力チャネルを選択します |

7.3.9.14 ホスト検出および MHD ピンの消失

ADS131B26-Q1 には、ホストがデバイスと通信していないことを検出する欠落ホスト検出 (MHD) モニタが搭載されています。ウォッチドッグ タイマは、有効な CRC を含む有効なコマンドを使用して、2 つの SPI フレーム間の時間をチェックします。有効な CRC を持つ有効なコマンドがウォッチドッグの時間ウィンドウ内に受信されない場合、ホストは欠落しているとみなされます。欠落したホストを示すモニタ故障フラグはなく、MHD ピンのみがこの故障の検出に使用されます。

欠落ホスト検出モードを使用するには、GPIO0/MHD ピンを出力 (GPIO0_DIR = 1b) に、GPIO0 ソースを欠落ホスト検出モードに構成します (GPIO0_SRC = 0b)。ウォッチドッグがタイムアウトすると、MHD ピンは アクティブ に設定されます。MHD_CFG[1:0] ビットを利用可能な 3 つのウォッチドッグ タイムアウト ウィンドウのいずれかに設定して、欠落ホスト検出モードをイネーブルにします。欠けているホストが検出された後に MHD 出力をリセットするには、MHD_CFG = 00b に設定して、欠けているホスト検出モードを無効にします。

アクティブまたは非アクティブのときの MHD ピンの実際の出力信号は、GPIO0 の形式 (GPIO0_FMT ビット) と MHD ピンの極性 (MHD_POL ビット) の構成で決まります。詳細については、該当するビットの説明と [汎用デジタル入出力 \(GPIO0 ~ GPIO4\)](#) セクションを参照してください。[表 7-22](#) に、MHD ピンがアクティブ状態では静的な LOW 信号に構成され、非アクティブ状態では静的な HIGH 信号に構成されている例を示します。たとえば、このピンを、アクティブ状態の静的な LOW 信号として構成したり、非アクティブ状態の 50% デューティ・サイクルの PWM 出力信号を、デバイスが有効なホストを検出していれば何らかのハートビート信号として動作させるよう構成したりできます。

表 7-22. MHD ピンの出力動作の構成例

| レジスタ ビット | ビット設定 | 説明 |
|-----------|-------|--------------------------------|
| GPIO0_DIR | 1b | GPIO0/MHD ピンをデジタル出力として構成します |
| GPIO0_SRC | 0b | MHD を GPIO0/MHD ピンのデータソースとして選択 |
| GPIO0_FMT | 0b | 静的な出力レベル用に構成された GPIO0/MHD ピン |
| MHD_POL | 0b | MHD 出力はアクティブ Low です |

7.3.9.15 過電流コンパレータ (OCCA、OCCB)

ADS131B26-Q1 には 2 つの デジタル 過電流コンパレータ (OCCA、OCCB) が内蔵されており、特に ADC1y が低い データ レートで動作している場合に、過電流状態に対して高速な応答が得られます。これらのコンパレータは ADC1y $\Delta\Sigma$ 変調器 (したがって ADC1y と同じマルチプレクサと PGA 設定) を使用しますが、個別のデジタル高速フィルタが使用され、メイン ADC1y デジタル フィルタと並列に動作します。この高速フィルタは、64 の固定 OSR を使用する sinc3 実装です。ADC1y のオフセットおよびゲインの較正值 (OCAL1y[23:0]、GCAL1y[15:0]) は、OCCy コンパレータには影響を与えません。つまり、過電流コンパレータのユーザー較正は不可能です。

OCCy_EN ビットを用いて、過電流コンパレータを有効にします。過電流コンパレータ OCCy を使用するには、ADC1y を有効 (ADC1y_EN = 1b) にして、ADC1y 変調器がアクティブになるようにする必要があります。ただし、過電流コンパレータ機能を使用するためには、ADC1y での変換を開始する必要はありません。コンパレータの sinc3 フィルタは、OCCy_EN ビットが設定されるとすぐに動作を開始し、ADC1y の変換状態とは無関係に実行されます。

コンパレータのデジタル高速フィルタは 16 ビットの変換結果を出力します。これらの変換結果はそれぞれ OCCy_HIGH_TH[15:0] および OCCy_LOW_TH[15:0] レジスタ ビットで設定され、高および低スレッショルドと内部で比較されます。変換結果が高スレッショルドを超えたとき、または結果が低スレッショルドを下回ったとき、コンパレータはトリガされます。高スレッショルド検出を無効にするには、OCCy_HIGH_TH[15:0] = 7FFFh に設定します。同様に、Low スレッショルド検出を無効にするには、OCCy_LOW_TH[15:0] を 8000h に設定します。

OCCy_NUM[4:0] は、OCCy HTN または OCCy LTN ステータス ビットに過電流状態にフラグを立てる前に、デジタル高速フィルタの出力が設定した高または低スレッショルドを上回る必要がある変換回数を設定します。内部カウンタは、高または低スレッショルドを超えた変換数を追跡します。1 つの変換結果がスレッショルドを再度下回るか、または OCCy コンパレータが無効化 (OCCy_EN = 0b) になると、カウンタはリセットされます。

OCCy_CFG、OCCy_HIGH_THRESHOLD、または OCCy_LOW_THRESHOLD レジスタのコンパレータ設定を変更する前に、過電流コンパレータ (OCCy_EN = 0b) を無効にします。

詳細な電源、クロック、デジタル ステータス フラグと同様に、OCC_STATUS レジスタの詳細なステータス フラグは、STATUS_MSB レジスタに結合された OCC_FAULTn フラグを供給します。つまり、OCC_STATUS レジスタ内の故障フラグのいずれかが 0b に設定されている場合、OCC_FAULTn フラグも 0b に設定されます。

過電流状態が解消された後、設定された OCC_FAULTn フラグを 1b にクリアするには、ホストはまず OCC_STATUS レジスタ内のすべての設定された故障フラグをクリアする必要があります。OCC_STATUS レジスタ内のすべての故障フラグが 1b にクリアされた後のみ、ホストは 1b を書き込むことで OCC_FAULTn フラグをクリアすることができます。

ADS131B26-Q1 を使用すると、OCC_STATUS レジスタにある 4 つの故障フラグを追加で マスクして、STATUS_MSB レジスタの組み合わせた OCC_FAULTn フラグをトリガできます。マスキング ビットは OCC_FAULT_MASK レジスタにあります。OCC_STATUS レジスタの故障フラグがマスクされている場合、このマスクされた故障フラグによって示される故障は、STATUS_MSB レジスタの OCC_FAULTn フラグをトリガしません。ただし、OCC_STATUS レジスタの故障フラグによって、引き続き故障が通知されます。

7.3.9.15.1 OCCA および OCCB ピン

各コンパレータは、専用の過電流コンパレータ フォルト ピン (OCCA ピンおよび OCCB ピン) を駆動するように構成でき、SPI 通信なしで高速な過電流通知が可能になります。過電流コンパレータ出力のために GPIO3/OCCA を構成するには、デジタル出力機能として GPIO3_DIR = 1b、OCCA 出力に GPIO3_SRC = 0b に設定します。同様に、過電流コンパレータ B 出力用に GPIO4/OCCB を構成するために、GPIO4_DIR = 1b および GPIO4_SRC = 0b に設定します。

OCCy HTn ビットまたは OCCy LTn ビット、あるいは両方が 0b に設定された場合、OCCy ピンは故障を示します。OCC_FAULT_MASK レジスタのマスキング ビットは、OCCy ピンの出力に影響を与えません。

アクティブまたは非アクティブ時の OCCy ピンの実際の出力信号は、FAULT ピンと同じように構成されています。OCCA ピンの出力動作を構成するには GPIO3_FMT ビットと OCCA_POL ビットを、OCCB ピンの動作を構成するには GPIO4_FMT ビットと OCCB_POL ビットを使用します。

7.3.9.15.2 過電流インジケーションの応答時間

過電流イベントに対する故障インジケーションの応答時間は、入力信号がコンパレータのしきい値を超えるオーバーシュートの量に依存します。この依存性の理由は、デジタル コンパレータ機能に使用される sinc3 フィルタのセトリング タイムです。

図 7-14 および 図 7-15 に、OCCA_NUM[4:0] = 00000b での OCCA 故障表示動作の例を 2 つ示します。つまり、フォルトをトリガするためには 1 つの変換だけがしきい値を超える必要があります。故障をトリガするためには 1 つの変換だけがしきい値を超える必要があります。では、図 7-14 コンパレータは $64/f_{MOD}$ ($f_{MCLK} = 8.192 \text{ MHz}$ の場合 = $15.6 \mu\text{s}$) より低くトリガされます。これは、入力信号の High しきい値を超える大きなオーバーシュートのために、1 回の変換で、設定された High しきい値を超える値にすでに安定しているためです。図 7-15 には最悪のケースを示しており、入力信号が高しきい値をわずかに超え、過電流イベントが高速フィルタ変換サイクルの途中で発生するため、sinc3 フィルタが設定された高しきい値を超える値に収束するまでに 4 つの変換周期を要する場合があります。

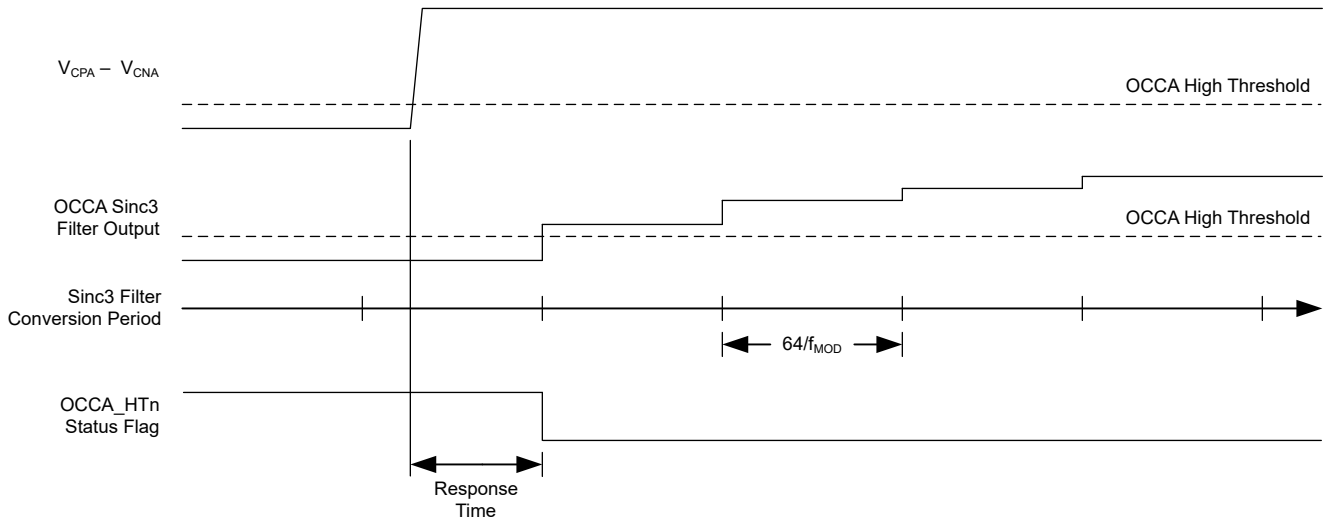


図 7-14. 入力オーバーシュートが大きい場合の OCCA の動作

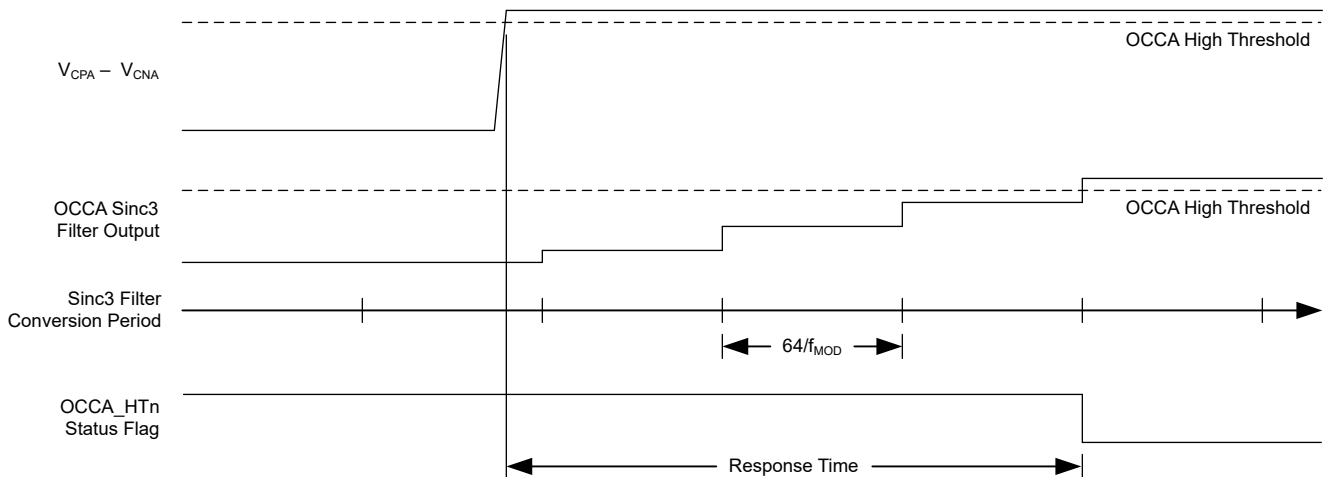


図 7-15. 入力オーバーシュートが小さい場合の OCCA 動作

ADC1y のグローバル チョップ モードが有効で、ADC1y の変換時に応答時間が変化します。詳細については、「[グローバル チョップ モードでの過電流表示の応答時間](#)」セクションを参照してください。

7.4 デバイスの機能モード

7.4.1 パワーアップとリセット

ADS131B26-Q1 は、次の 3 つの方法でリセットされます。

- パワーオンリセット (POR)
- RESETn ピン (ハードウェア リセット)
- RESET コマンド (ソフトウェア リセット)

リセットが発生すると、ユーザー レジスタはそれぞれのデフォルト設定にリセットされ、デバイスはアクティブ モードになります。すべての ADC が有効になっていますが、変換は開始されません。3 つのリセットオプションすべてで、DRDYn ピンが Low から High に遷移すると、SPI インターフェイスは通信準備ができたことを示します。このポイントまで、デバイスは SPI 通信を無視し、SDO が Low のままです。

7.4.1.1 パワーオン リセット (POR)

パワーオンリセット (POR) は、デバイスに有効な電源電圧が最初に印加されたときに発生するリセットです。POR プロセスでは、内部回路の電源がオンになるため、すべての電源電圧がそれぞれの POR スレッシュホールド (AVDD_POR_TH、IOVDD_POR_TH、DVDD_POR_TH) を超えた時点から t_{POR} が完了する必要があります。 t_{POR} の直後に DRDYn ピンが LOW から HIGH に遷移し、SPI インターフェイスが通信準備完了を示します。

7.4.1.2 RESETn ピン

RESETn ピンはアクティブ Low ピンで、DGND への内部プルダウン抵抗が備わっています。このピンが $t_{w(RSL)}$ より長い間 Low に維持されていると、デバイスはリセットされ、RESETn ピンが High に戻るまでリセット状態を維持します。ホストがデバイスを動作させるためには、このピンを主動に High に駆動する必要があります。本デバイスとの通信を行う前に、RESETn ピンが High になった後、または DRDYn 立ち上がりエッジが発生するまで、少なくとも t_{REGACQ} を待機する必要があります。

7.4.1.3 RESET コマンド

SPI RESET コマンドを使用して ADS131B26-Q1 をリセットできます。詳細については、[RESET](#) セクションを参照してください。RESET コマンドがラッチされると、デバイスのリセットが即座に発生します。ホストは、デバイスと通信する前に、少なくとも t_{REGACQ} の時間を待つか、DRDYn の立ち上がりエッジを待つ必要があります。

7.4.2 動作モード

ADS131B26-Q1 には、アクティブ、スタンバイ、パワーダウン モードの 3 つの動作モードがあります。このモードは、OP_MODE[1:0] ビットを使用してプログラムできます。[図 7-16](#) に、デバイスが各種の動作モード間をどのように遷移するかを示します。

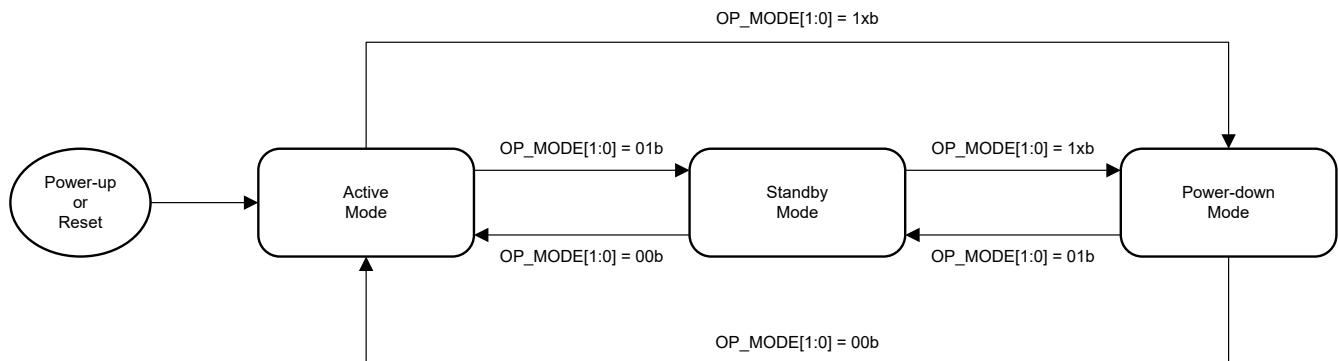


図 7-16. 動作時モードの状態図

7.4.2.1 アクティブ モード

アクティブ モードは、パワーアップまたはリセット時のデフォルト動作モードです。アクティブ モードでは、すべての内部回路がパワーアップになります。デフォルトではすべての ADC が有効になっていますが、変換は開始されません。各 ADC は、それぞれの ADCxy_EN ビットを使用して有効または無効にできます。ADC 変換は、アクティブ モードで、それぞれの ADC が有効化されたときのみ開始できます。

7.4.2.2 スタンバイ モード

スタンバイモードでは、すべての内部回路が起動しますが、ADCxy_EN ビットの設定に関係なく、すべての ADC が無効にされ、進行中の変換は直ちに停止します。スタンバイ モードでは、ADC 変換を開始できません。クロック切り替え時のグリッチを防ぐために、CLK_SOURCE ビットを使用してメイン クロック ソースを変更する前に、デバイスをスタンバイ モードに移行させてください。

7.4.2.3 パワーダウン モード

パワーダウン モードでは、不要な内部回路 (ADC、電圧リファレンス、発振器など) はすべてパワーダウンされます。LDO および POR 回路はアクティブ状態を維持します。レジスタ設定はパワーダウン モードでも保持されます。ADCxy_EN ビットの設定に関係なく、すべての ADC が無効化され、進行中の変換は即座に停止します。パワーダウン モードでは、変換を開始できません。アクティブ モードに遷移するときは、電圧リファレンスの起動時間を待ってから、電圧リファレンスの起動を開始し、電圧リファレンスの起動を可能にします。

7.4.3 ADC 変換モード

7.4.3.1 ADC1y および ADC3y 変換モード

ADS131B26-Q1 は、ADC ADC1y と ADC3y に対して、連続変換とシングル ショット変換の 2 つの変換モードを備えています。

CONV_MODE13A ビットは、ADC1y と ADC3y の両方の変換モードを選択します。

ADC1y での変換の実行中は、次のレジスタの内容を変更しないでください。ADC1y_ADC3y_CFG、ADC1y_OCAL_MSB、ADC1y_OCAL_LSB、ADC1y_GCAL。これらのレジスタに変更を加える前に、変換を停止または ADC1y をディセーブルにします。

ADC3y での変換の実行中は、次のレジスタの内容を変更しないでください。ADC1y_ADC3y_CFG、ADC3y_OCAL_MSB、ADC3y_OCAL_LSB、ADC3y_GCAL の 4 種類のモジュール バリエーションがあります。これらのレジスタに変更を加える前に、変換を停止または ADC3y をディセーブルにします。

7.4.3.1.1 連続変換モード

連続変換モードでは、ADC1y と ADC3y は、ホストによって停止されるまで無制限に続けます。CONVERSION_CTRL レジスタのそれぞれの STARTy ビットを設定して、有効になっている ADC (ADC1y と ADC3y) の変換を開始します。STARTA ビットが設定されていると、ADC1A と ADC3A は同時に変換を開始します。ADC1B と ADC3B と StartB ビットに対しても、同じことが通じます。ただし、ADCxA および ADCxB での変換は、それぞれの STARTA ビットと STARTB ビットを使用して、異なるタイミングで開始できます。ADC で変換が進行中に STARTy ビットを設定すると、進行中の変換は中止され、新しい変換が再開されます。STOPy ビットを使用して、有効になっている ADC (ADC1y と ADC3y) の変換を停止します。STOPy ビットが設定された後、現在進行中の変換を完了できます。その後、デジタル フィルタはリセット状態に保持されます。STOPy ビットを設定した後、変換が停止するまで、STOPy ビットは 1b を読み戻します。

STARTy ビットは STOPy ビットよりも優先されます。つまり、CONVERSION_CTRL レジスタの STARTy ビットと STOPy ビットの両方が同時に設定されている場合、変換が開始されるか、進行中の変換が中止され、新しい変換が開始されます。

ADC の最後の変換結果は、変換が停止した後も引き続き読み出し可能です。ADC の変換結果は、デバイスをリセットした後、ADC が無効化され、デバイスがスタンバイ モードまたはパワーダウン モード、または新しい変換結果が利用可能になった場合に上書きされます。

STARTy ビットが有効になり、変換は SPI フレーム内のレジスタ データ CRC ワードの最後の SCLK 立ち下がりエッジで開始し、CONVERSION_CTRL レジスタが書き込まれます。レジスタ書き込みコマンドの SPI フレームの詳細については、[シリアル インターフェイス通信構造](#) セクションを参照してください。

STARTy ビットを設定すると、DRDYn が Low なら DRDYn ピンが High に駆動されますが、新しい変換が利用可能になるまで、古い変換データを読み出すことはできません。

ADC1y および ADC3y は sinc3 デジタル フィルタを使用しており、このフィルタを安定化するには 3 つの変換時間が必要です。STARTy ビットを使用して変換が開始または再開されると、デバイスは最初の 2 つの未安定な変換を表示せず、3 番目の変換時間後に安定化された変換結果のみを提供します。変換開始後の、最初の変換が利用可能になるまでの時間を計算するには、式 19 を使用します。それ以降のすべての変換には、図 7-17 に示すように、 $t_{\text{DATA}} = 1/f_{\text{DATA}} = \text{OSR}/f_{\text{MOD}}$ の変換時間があります。

$$t_{\text{SETTLE}} = (3 \times \text{OSR} + 44) \times t_{\text{MOD}} \quad (19)$$

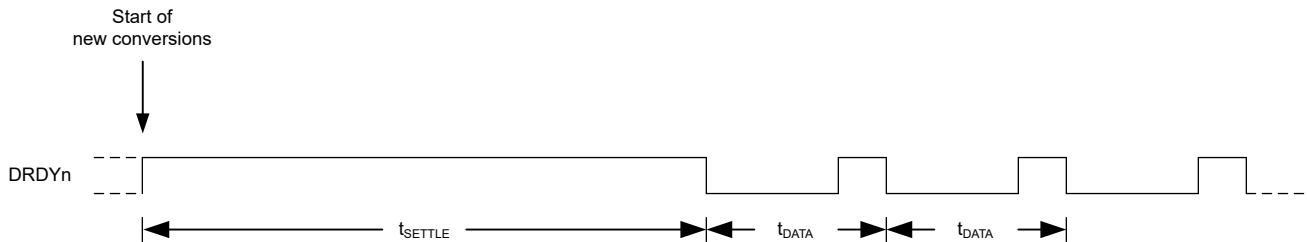


図 7-17. Sinc3 フィルタのセトリング タイムと変換時間

ADC が連続的に変換している間に、アナログ入力の突然のステップ変化が発生すると、ADC は検出しません。そのため、ADC はプログラムされた出力データ・レートで変換データを出力し続けます。ステップ変化が新しい変換期間の開始と同時に発生した場合、セトリングされたデータは、ステップ変更後の 3 つの変換時間後に出力されます。ただし、sinc3 フィルタは、変換期間の途中でステップ変化が発生した場合、図 7-18 に示すように、セトリング データが出力されるのに 4 つの変換時間が必要です。

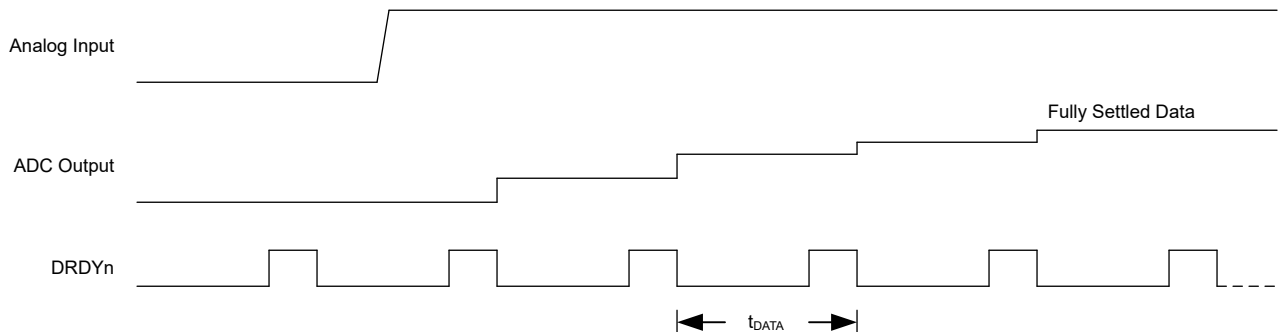


図 7-18. 入力ステップ変更時の SINC3 フィルタの動作

7.4.3.1.2 シングルショット 変換 モード

シングル ショット変換モードでは、STARTy ビットをセットした後、ADC ADC1y と ADC3y に対して 1 回の変換を実行します。ADC で変換の実行中に STARTy ビットをセットすると、進行中の変換が中止されて 1 つの新しい変換が再開されます。シングル ショット変換モードでは、STOPy ビットは無効です。

連続変換モードと同様に、STARTy ビットは、変換_CTRL レジスタが書き込まれる SPI フレーム内のレジスタ データ CRC ワードの最後の SCLK 立ち下がりエッジで、変換が開始されます。

シングル ショット変換モードの各変換は、式 19 によって計算された初回変換のセトリング時間の後に利用可能になります。変換プロセス中に入力ステップの変化が発生した場合、変換結果は完全にセトリングしません。この場合、セトリングした変換結果を出力するには、以後のシングル ショット変換が必要です。

7.4.3.1.3 グローバル チョップ モード

は ADC1y と ADC3y のシグナルチェーンを使用します。この場合、非常に低ドリフトのチョップ安定化 PGA と $\Sigma\Delta$ 変調器を使用し、オフセット誤差とオフセットドリフトを非常に小さく抑えます。ただし、通常の測定では、わずかなオフセットドリフトが残っています。そのため、には ADC1y と ADC3y 信号チェーンが組み込まれ、温度と時間の両方にわたってオフセット誤差とオフセットドリフトを非常に低いレベルに低減するために、オプションのグローバル チョップ モードが組み込まれています。GC13y_EN ビットを設定してグローバル チョップ モードを有効にすると、ADC1y と ADC3y は交互の入力信号極性で 2 回連続して変換を実行して、オフセット誤差を打ち消します。最初の変換は、通常の入力極性で取得されます。グローバル チョップ制御ロジックは入力極性を反転し、2 回目の変換用のデジタル フィルタをリセットします。2 つの変換の平均値から最終的な補正結果が得られ、オフセット電圧が除去されます。図 7-19 に、ADC1y グローバル チョップ実装のブロック図を示します。V_{OFS} は、PGA と ADC1y の組み合わせた内部オフセット電圧をモデル化します。グローバル チョップ モードによって、このデバイス固有のオフセット電圧のみが低減されます。アナログ入力に接続された外部回路のオフセットは、グローバル チョップ モードの影響を受けません。GC13y_EN ビットを使用すると、ADC1y と ADC3y の両方のグローバル チョップ モードが有効になります。

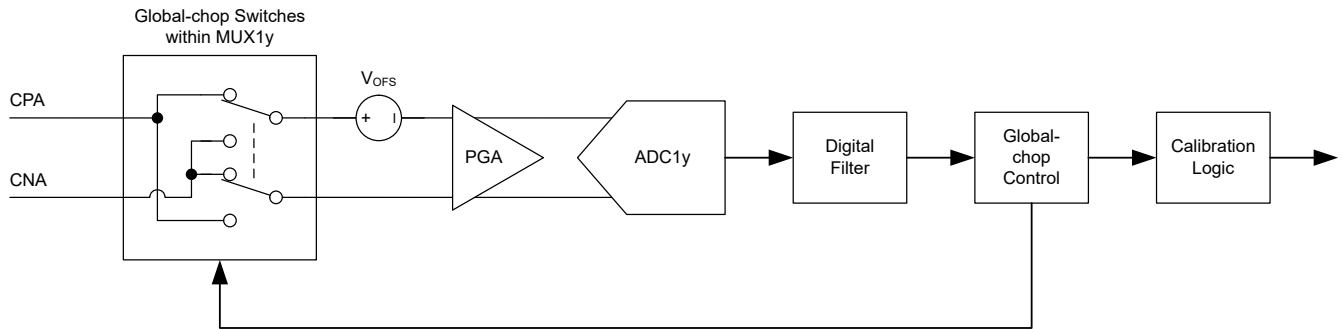


図 7-19. ADC1y グローバル チョップ モード制御図

グローバル チョップ モードの動作シーケンスは次のとおりです：

- 変換 C1: $V_{CPA} - V_{CNA} - V_{OFS}$ → 変換開始後に最初の変換を保留
- 変換 C2: $V_{CNA} - V_{CPA} - V_{OFS}$ → 出力 1 $= (V_{C1} - V_{C2})/2 = V_{CPA} - V_{CNA}$
- 変換 C3: $V_{CPA} - V_{CNA} - V_{OFS}$ → 出力 2 $= (V_{C3} - V_{C2})/2 = V_{CPA} - V_{CNA}$
- ...

ADC1y が 2 回セトリングした変換を実行した後、変換開始後の最初の変換結果 (出力 1) が取得できます。sinc3 フィルタにより、1 つの変換のデータは 3 つの変換サイクルでセトリングします。式 20 は、変換開始後の最初の変換結果を出力するために必要な時間を計算します。

グローバル チョップ モードを有効にした連続変換モードでは、図 7-20 に示された式 21 での計算の通り、その後の変換は t_{GC_DATA} で完了します。つまり、グローバル チョップ モードのデータ レートは、通常モードのデータ レートのおよそ 1/3 になります。

$$t_{GC_SETTLE} = 2 \times (t_{GC13y_DELAY} + 3 \times OSR \times t_{MOD}) + 44 t_{MOD} \quad (20)$$

$$t_{GC_DATA} = t_{GC13A_DELAY} + 3 \times OSR \times t_{MOD}, \quad (21)$$

入力極性が反転した後、ADC1y は内部回路が安定するようにグローバル チョップ遅延時間 GC13y_DELAY[2:0] を待機します。場合によっては、外部部品のセトリングを許容するために、プログラム可能なグローバル チョップ遅延時間を長くする必要があります。

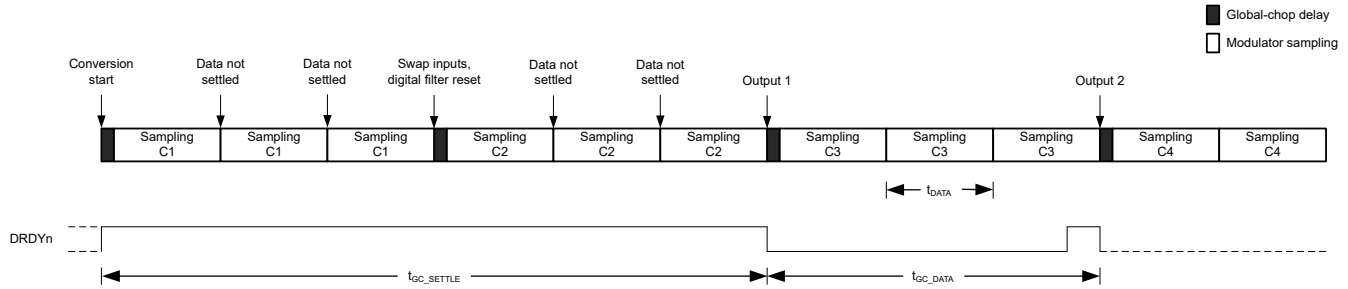


図 7-20. Sinc3 フィルタのセトリング時間と、グローバル チョップ モードでの変換時間

グローバル チョップ モードでは、2 つの変換が平均化されるため、ADC1y と ADC3y のノイズが $\sqrt{2}$ 倍に低減されます。グローバル チョップ モードを有効にするときのノイズ性能を導出するため、表 6-1 と 表 6-3 に示す入力換算ノイズ値を $\sqrt{2}$ で除算します。

図 7-3 の sinc3 フィルタのノッチは、グローバル チョップ モードでは変化しません。ただし、追加のフィルタ ノッチは $f_{gc_data}/2$ の倍数で表示されます。

7.4.3.1.3.1 グローバル チョップ モードでの過電流表示の応答時間

ADC1y のグローバル チョップ モードを有効にすると、ADC1y が変換を行うときの OCCy の過電流検出動作が変化します。OCCy デジタル高速フィルタは、ADC1y がアナログ入力の極性を反転するたびにリセットされます。高速フィルタリセットのたびに、これらの変換はセトリングされないため、デバイスは OCCy フィルタの最初の 2 回の変換を無視します。デバイスは、これら 2 回の変換に対して OCCy_NUM カウンタをインクリメントしません。OCCy_NUM および OSR1y の設定に応じて、グローバル チョップ モードでの過電流表示の応答時間は、グローバル チョップ モードが無効化されている場合に比べて長くなる可能性があります。大きな OCCy_NUM と小さな OSR1y 設定を使用する場合、応答時間の差が最も顕著になります。

図 7-21 に、OSR1y = 128 での OCCy 動作の例を示します。OCCy DRDYn 信号は、OCCy 高速フィルタの変換が完了することを示します。この信号は内部信号のみであり、ホストからはアクセスできません。この例では、OCCy_NUM カウンタは ADC1y 変換期間ごとに 4 回インクリメントするだけです。OCCy_NUM = 8 の場合、OCCy_NUM カウンタが 8 に達するまでに、ADC1y の変換期間全体を最大 2 回必要です。つまり、過電流検出時間が $8 \times 64/f_{\text{MOD}}$ (グローバル チョップ モード無効) から $12 \times 64/f_{\text{MOD}}$ (グローバル チョップ モード有効) に長くなります。

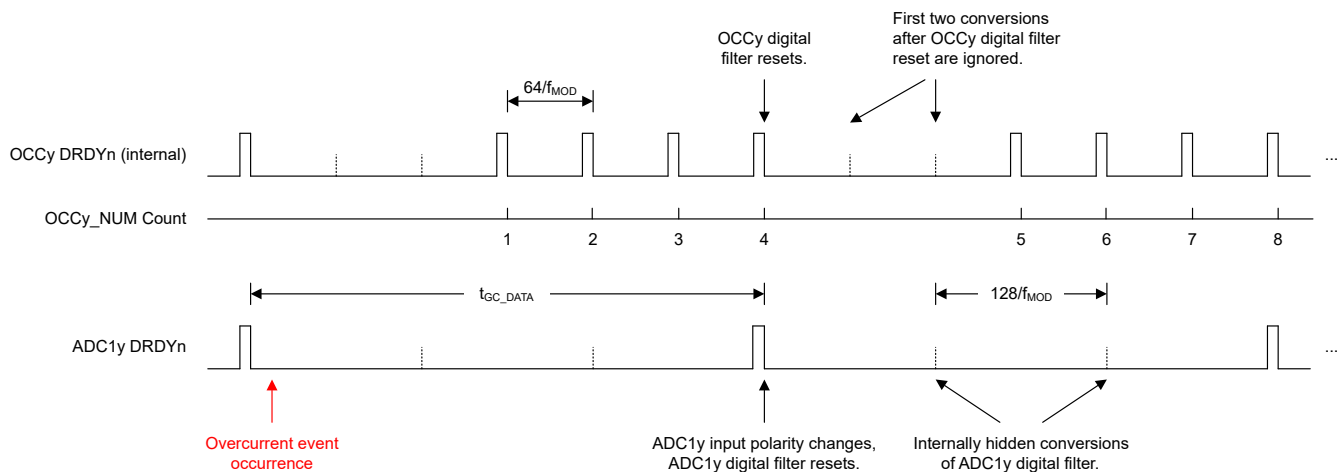


図 7-21. グローバル チョップ モードが有効化された場合の過電流検出動作 (ADC1y OSR = 128)

7.4.3.2 ADC2y シーケンサの動作とシーケンス モード

ADC1y および ADC3y とは異なり、ADC2y の変換は、チャンネル シーケンサで制御されます。シーケンサ動作のフローチャートを [図 7-22](#) に示します。ADC2y シーケンサには、SEQ2y_STEPn_EN ビット (n = 0 ~ 15) を使用して、個別に有効または無効にする最大 16 のシーケンス ステップがあります。各シーケンス ステップは ADC2y の 1 回の変換に対応しており、1 回のシーケンス実行で最大 16 種類の測定を実行できます。SEQ2y_STEPn_CFG レジスタは、PGA ゲインと、シーケンスステップごとに PGA の正および負入力を構成します。シーケンスが開始されると、シーケンサは有効なすべてのシーケンス ステップをステップ実行し、常にステップ 0 から開始します。シーケンサは、無効化になっているシーケンス ステップを無視します。各ステップで ADC2y は 1 回の変換を実行した後、シーケンサが ADC2y をシーケンスの次のステップに構成します。シーケンサが ADC2y を次のシーケンスのステップに合わせて構成した後、変換を開始する前にプログラマブルな遅延時間を追加し、入力信号がセトリングできるようにします。MUX2y_DELAY[2:0] ビットは、すべてのシーケンス ステップの遅延時間をグローバルに選択します。シーケンスを完了するのに必要な時間は [式 22](#) から与えられます。

$$t_{\text{SEQ}} = N \times (t_{\text{MUX_DELAY}} + t_{\text{CONVERSION}}) \quad (22)$$

ここで

- N は、有効にしたステップの数で
- $t_{\text{MUX_DELAY}}$ は、マルチプレクサの遅延時間です
- $t_{\text{CONVERSION}}$ は ADC2y の変換時間です

シーケンスの実行中は、STATUS レジスタの SEQ2y_ACTIVE ビットが設定されます。

ADC2A が有効にするときに 0x8C ~ 0x9F のアドレス範囲のレジスタに変更を加えず、ADC2B を有効にするときに 0xCC ~ 0xCF のアドレス範囲のレジスタに変更を加えないでください。

誤ったシーケンサの起動を防ぐため、次の手順に従ってシーケンサを設定し、開始してください。

1. ADC2y_EN = 0b に設定して ADC2y を無効にするか、またはデバイスをスタンバイ モードにします
2. ADC2y シーケンサのレジスタ ビットを構成します
3. ADC2y_EN = 1b を設定して ADC2y をイネーブルにするか、またはデバイスをアクティブ・モードに戻します
4. SEQ2y_START ビットをセットして、シーケンスを開始します

ADC2y を無効にするときに SEQ2y_START ビットを設定しても、シーケンスは開始されません。

ADC2y のシーケンス ステップの変換データは 16 ビットであり (ADC1y および ADC3y 変換データとは異なり) はユーザー レジスタ空間 (レジスタ アドレス 10h ~ 2Fh) に保存されます。シーケンス ステップ n の変換データは、対応する SEQ2y_STEPn_DATA レジスタに保存されます。無効化されたシーケンス ステップの変換データは、0000h に設定されます。レジスタ読み取りコマンドを使用して、ADC2y 変換データを読み取ります。

すべての SEQ2y_STEPn_DATA レジスタの変換データは、ADC2y のシーケンス実行が完了したときにのみ更新されます。シーケンスの実行が行われている間に、前のシーケンスの実行の変換データは SEQ2y_STEPn_DATA レジスタから読み出されます。SEQ2y_STEPn_DATA レジスタの読み取り中にシーケンスが完了した場合でも、2 つの異なるシーケンスのデータの破損や混在は発生しません。

ADC2y シーケンサは 3 つのシーケンス モードを備えています。

- 連続シーケンス モード
- シングルショット シーケンス モード
- ADC1y 変換開始に基づく同期シングルショット シーケンス モード

SEQ2y_MODE[1:0] ビットは、ADC2y のシーケンス モードを選択します。

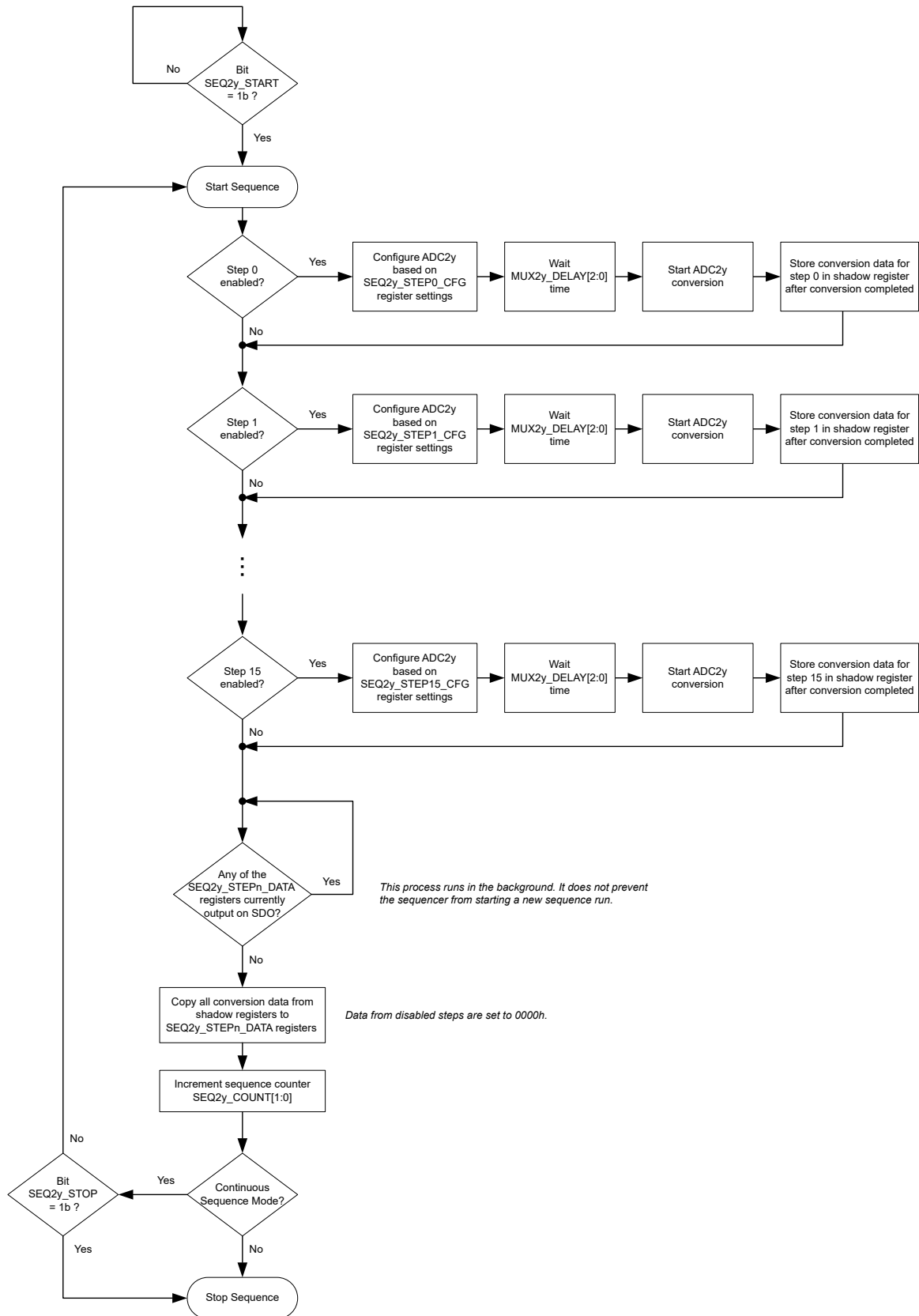


図 7-22. ADC2y シーケンサのフローチャート

7.4.3.2.1 連続シーケンス モード

連続シーケンス モードでは、ADC2y シーケンサは、ホストによって停止されるまで、設定されたシーケンスを何度も繰り返して実行します。CONVERSION_CTRL レジスタの該当する SEQ2y_START ビットを設定して、ADC2y のシーケンサを開始します。シーケンサの動作中に SEQ2y_START ビットを設定すると、進行中のシーケンスの実行が中止され、新しいシーケンスの実行が最初から再開されます。SEQ2y_STOP ビットを使用して、ADC2y のシーケンサを停止します。現在進行中のシーケンス実行は、SEQ2y_STOP ビットがセットされた後で完了できます。SEQ2y_STOP ビットをセットした後、SEQ2y_STOP ビットは、シーケンサが停止するまで 1b を読み出します。ADC2y を無効にするか、デバイスを STANDBY モードまたはパワーダウン モードにすると、シーケンスの実行は直ちに中止されます。

SEQ2y_START ビットは、SEQ2y_STOP ビットよりも優先されます。つまり、CONVERSION_CTRL レジスタの SEQ2y_START ビットとビットの両方が同時にセットされた場合、シーケンサがシーケンスの実行を開始するか、進行中のシーケンスの実行を中止して、新しいシーケンスの実行を最初から開始します。

シーケンサが停止した後も、ADC2y シーケンス実行の最後の変換結果を読み出し可能になります。シーケンサの変換結果は、デバイスのリセット後、ADC が無効になった場合、デバイスがスタンバイ モードまたはパワーダウン モードの場合、または新しいシーケンス実行からの変換結果が利用可能になった場合のみに 0000h にクリアされます。

7.4.3.2.2 シングルショット シーケンス モード

シングルショット シーケンス モードでは、SEQ2y_START ビットが設定された後、ADC2y シーケンサは構成されたシーケンスを 1 回実行します。シーケンスの実行中に SEQ2y_START ビットを設定すると、進行中のシーケンスが中止され、最初から実行される 1 つの新しいシーケンスが再起動されます。シングルショット シーケンス モードでは、SEQ2y_STOP ビットは無効です。

7.4.3.2.3 ADC1y 変換開始に基づく同期シングルショット シーケンス モード

同期シーケンスモードでは、ADC2A のシーケンス開始を ADC1A の変換開始と同期させることができます。または ADC2B のシーケンス開始を ADC1B の変換開始と同期させることができます。このモードでは、ADC1y の新しい変換が開始されるたびに、ADC2y で単一のシーケンスが開始されます。ただし、ADC2y で 実行中のシーケンスは、ADC1y の新しい変換が開始しても、アボートして再起動しません。これは、現在シーケンスが実行されていない場合、ADC2y で実行される単一の新しいシーケンスが ADC1y によってのみトリガされることを意味します。

SEQ2y_START ビットをセットして、最初に ADC2y シーケンサを起動します。

同期シングルショット シーケンス モードは、ADC1y が連続変換モードに構成されている場合にのみ有効です。ADC1y をシングルショット変換モードに構成した場合、STARTy ビットと SEQy_START ビットを同時に設定することで、ADC1y の変換と ADC2y のシーケンス開始を同期します。

図 7-23 に、ADC1A 変換と ADC2A シーケンスの開始方法の例を示します。図 7-23 の内部生成された DRDYAn 信号の立ち下がりエッジは、新しい ADC1A 変換結果が利用可能になり、新しい ADC1A 変換が開始されることを示します。

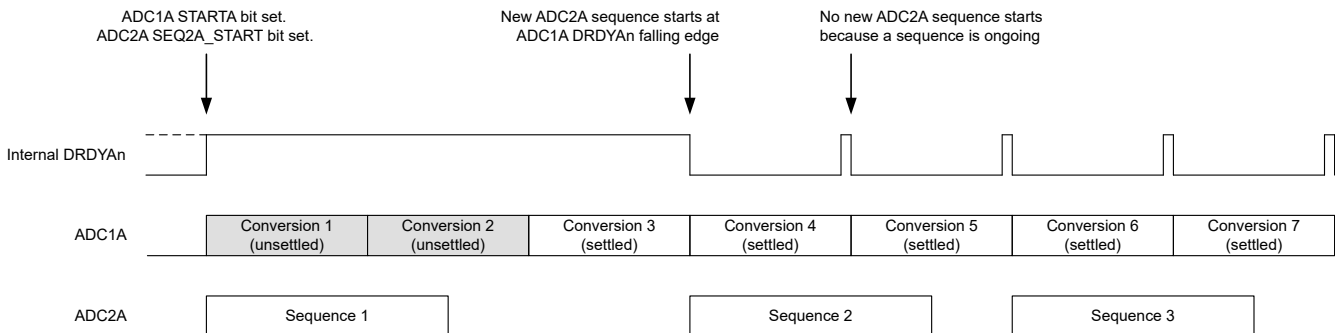


図 7-23. ADC1A 変換と ADC2A シーケンスの同期を開始

7.5 プログラミング

7.5.1 シリアル インターフェイス

ADS131B26-Q1 は、SPI 互換のインターフェイスを使用してデバイスを構成し、変換データを取得します。このデバイスは常に SPI ペリフェラルとして動作します。SCLK と CSn はインターフェイスへの入力です。このインターフェイスは、SPI モード 1 (CPOL = 0 および CPHA = 1) と互換性があります。SPI モード 1 では、SCLK はアイドル時に Low になり、SCLK の立ち上がりエッジでのみデータが起動または変更されます。SCLK の立ち下がりエッジでコントローラおよびペリフェラルによってデータがラッチまたは読み取られます。このインターフェイスは全二重で、インターフェイスがデータを同時に送受信できます。このデバイスには、代表的な SPI 信号回路: CSn、SCLK、SDI と SDO。さらに、DRDYn ピンは、新しい変換データが利用可能であることをホストにフラグとして機能します。

7.5.1.1 シリアル インターフェイス信号

7.5.1.1.1 チップの選択 (CSn)

CSn ピンは、通信用のデバイスを選択するアクティブ Low 入力信号です。CSn が High に保持されている場合、デバイスは通信を無視し、SDO はハイインピーダンスになります。通信フレームの間 CSn を Low に保持し、適切な通信を確保します。CSn が High になると、このインターフェイスはリセットされます。

7.5.1.1.2 シリアル データ クロック (SCLK)

SCLK ピンは、インターフェイスのシリアル クロックとして機能する入力です。SDO 遷移の出力データは SCLK の立ち上がりエッジで更新され、SDI の入力データは SCLK の立ち下がりエッジでラッチされます。

7.5.1.1.3 シリアル データ入力 (SDI)

SDI ピンは、デバイスのシリアル データ入力ピンです。シリアル コマンドは SDI ピンを介してシフト インされ、CSn ピンが Low の場合は SCLK の各立ち下がりエッジになります。

7.5.1.1.4 シリアル データ出力 (SDO)

SDO ピンは、デバイスのシリアルデータ出力ピンです。デバイスは、CSn ピンが Low にのとき、各 SCLK の立ち上がりエッジでデータをシリアルにシフト アウトします。CSn が High のとき、このピンは高インピーダンス状態になると想定します。CSn が Low に遷移すると、SDO ピンも Low に移ります。

ホストが SDO で最後のデータがシフトアウトされた後、余分な SCLK パルスを送信しない場合、SDO は送信された最後のビットのレベルのままになります。ホストが、最後のデータがシフトアウトされた後に追加の SCLK パルスを送信すると、SDO は Low に移ります。図 7-24 と 図 7-25 に、それぞれ追加の SCLK パルスなしの場合とありの場合の SDO の動作タイミング図を示しています。

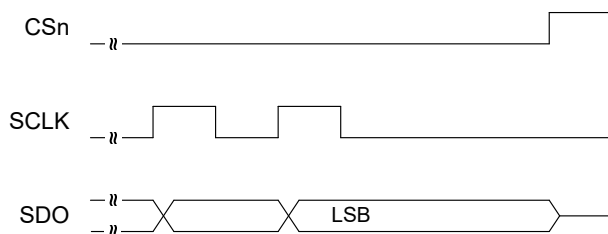


図 7-24. 追加の SCLK パルスがない場合の SDO 動作

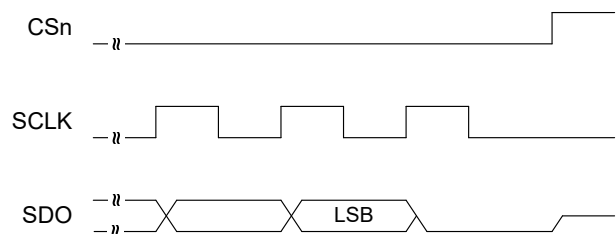


図 7-25. 追加の SCLK パルスによる SDO 動作

7.5.1.1.5 データ レディ (DRDYn)

DRDYn ピンはアクティブ Low、プッシュプル出力です。DRDYn の立ち下がりエッジは、ADC1A または ADC1B の新しい変換データを読み出し可能なことを示します。DRDY_CTRL ビットは、ADC1A と ADC1B のどちらかの ADC が DRDYn 信号を駆動するかを選択します。同じ CONVERSION_CTRL レジスタを書き込む時に STARTA ビットと

STARTB ビットの両方を設定して、ホストが ADC1A と ADC1B の変換を同時に開始すると、両方の ADC の変換が同時に完了します。DRDYn の立ち下がりエッジの間の周期は、DRDYn ピンを制御する ADC のデータレート周期です。

ADC3y は各セクションで ADC1y と同時に変換します。したがって、ADC3y の新しい変換が利用可能になると、DRDYn ピンもそれを指示します。ADC3y が有効で ADC1y が無効化された場合、ADC3y は DRDYn ピンを駆動します。

デバイスの電源投入時、またはデバイスがリセット状態に保持されている間、DRDYn ピンは Low に駆動されます。図 7-26 と 図 7-27 に示すように、POR が解除され、デバイスの通信準備が整った後、DRDYn ピンは High レベルに出力されます。

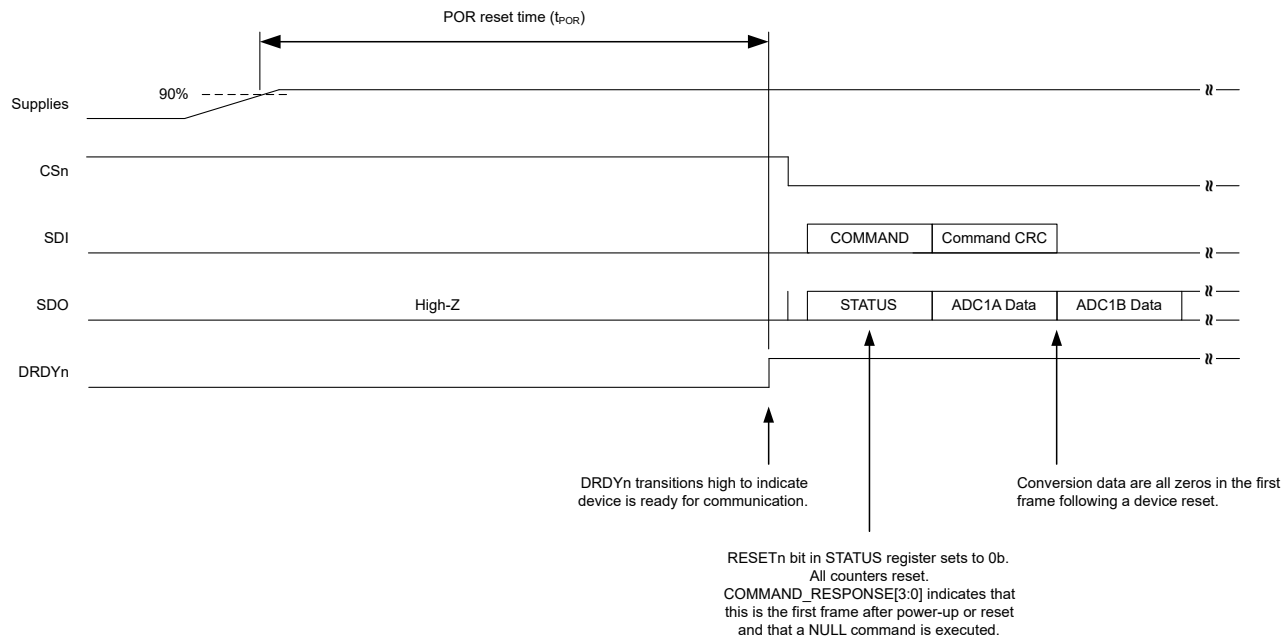


図 7-26. POR 後の DRDYn ピンの動作

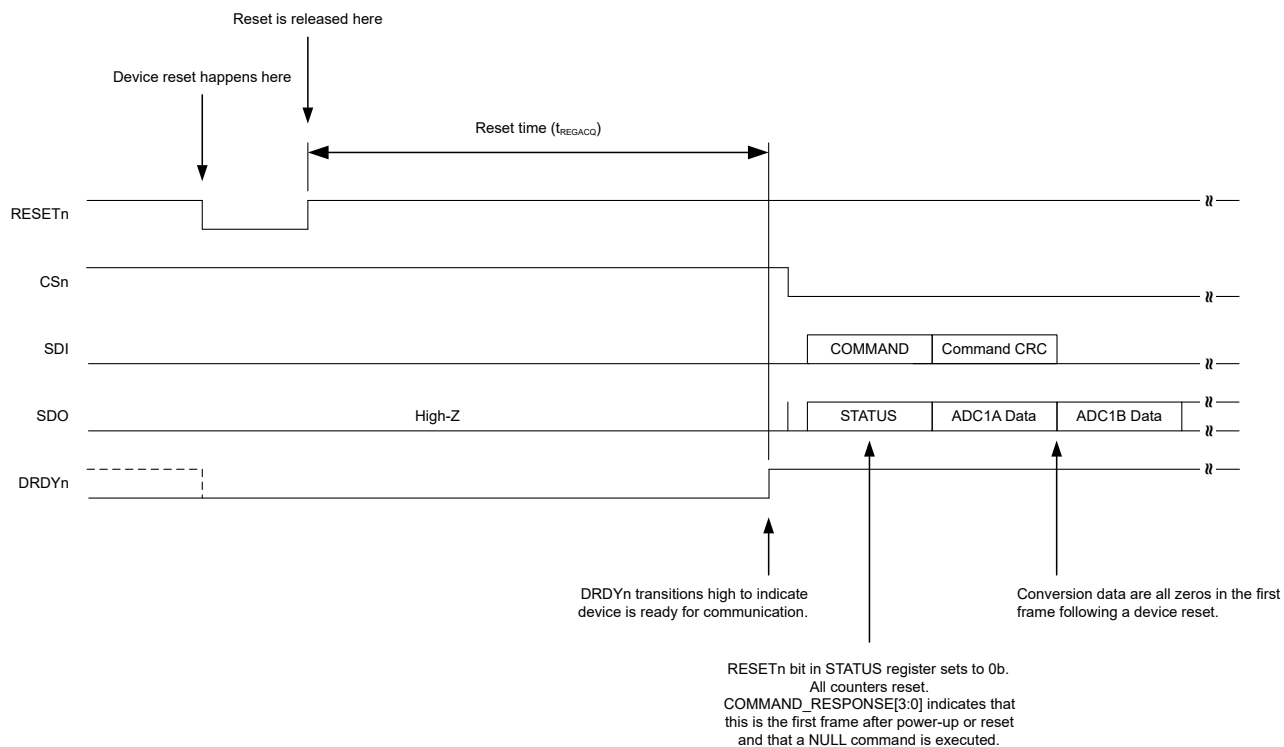


図 7-27. デバイス リセット後の DRDYN ピンの動作

7.5.1.2 シリアル インターフェイス通信構造

7.5.1.2.1 SPI 通信フレーム

ADS131B26-Q1 の SPI 通信は、フレーム内で実行されます。各 SPI 通信フレームは CSn の立ち下がりエッジで開始され、複数のワードで構成されており、CSn の立ち上がりエッジで終了します。このインターフェイスは全二重です。つまり、インターフェイスは SDO でデータを送信すると同時に、SDI でデータを受信できます。図 7-28 に、一般的な SPI フレーム構造と、各種コマンドのフレーム長の概要を示します。

ホストが SDI で送信する入力フレームは、常に、コマンドワードに続いてコマンド CRC ワードを送信するものから始まります。デバイスが SDO で送信する出力フレームの最初のワードは、常にステータスワードから始まります。フレームあたりのビット数は、コマンドプロバイダによって異なります。ADS131B26-Q1 で有効なすべてのコマンドのリストについては、[コマンド](#)を参照してください。

NULL、RESET、LOCK、UNLOCK、および RREG コマンドの場合、フレーム内に 6 つのワードがあります。SDI では、ホストがコマンド、コマンド CRC、および 4 つの追加ワードのゼロを供給します。SDO 上で同時に、デバイスはステータスワード、ADC データの 4 つのワード (ADC1A、ADC1B、ADC3A、ADC3B からのデータを表示)、出力 CRC ワードを出力します。図 7-28 に、代表的な通信フレームの構造を示します。本文書の残りのセクションの図では、明確にするため SCLK 信号を省略しています。

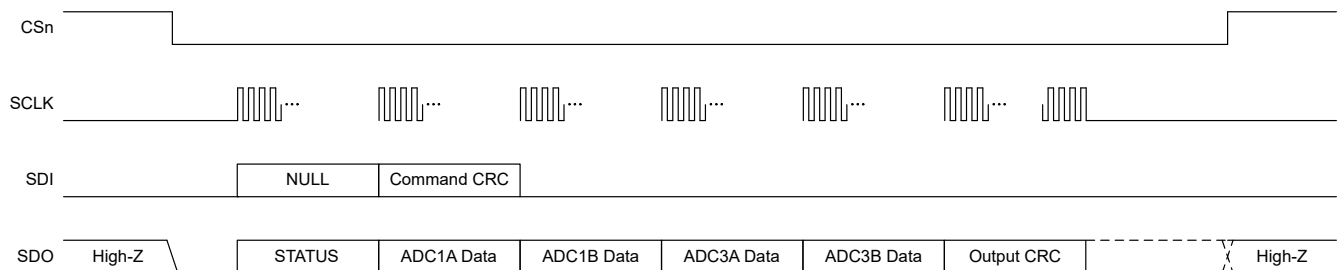


図 7-28. 代表的な通信フレーム

3 つ以上のレジスタが書き込まれる書き込みレジスタ (WREG) コマンドの場合、追加データに対応するためにフレームが拡張されます。WREG コマンドの詳細については、[WREG](#) セクションを参照してください。

読み取りレジスタ (RREG) コマンドの場合、次のフレームでの応答には、STATUS ワードの後に要求されたレジスタデータが含まれます。読み取るレジスタの数に応じて、フレームの長さが短くなる場合や長くなる場合があります。WREG コマンドの詳細については、[RREG](#) セクションを参照してください。

7.5.1.2.2 SPI 通信ワード

ADS131B26-Q1 の SPI 通信フレームは、複数のワードで構成されています。ワードサイズは、DEVICE_CFG レジスタの WORD_LENGTH ビットを使用して、24 ビットまたは 32 ビットのいずれかに構成できます。各ワード内の内容は、24 ビットまたは 32 ビットのワードサイズに対応するため、常に最上位ビット (MSB) と揃えられ、最下位ビット (LSB) にゼロがパディングされています。表 7-23 は、利用可能なすべてのワード タイプの概要と、それぞれのコンテンツの実際のパディングされていないデータ長を示します。

表 7-23. 個々のワード タイプのパディングされていないデータの長さ

| 方向 | ワードタイプ | パディングされていないデータの長さ |
|-----|--------------------------------|-----------------------------------|
| SDI | コマンド | 16 ビット |
| SDI | コマンド CRC | 16 ビット |
| SDI | WREG コマンド用のレジスタ データ | 16 ビット |
| SDI | WREG コマンド用のレジスタ データ CRC | 16 ビット |
| SDO | STATUS | 24 ビット |
| SDO | ADC1A、ADC1B、ADC3A、ADC3B の変換データ | 24 ビット |
| SDO | RREG コマンドのデータを登録します | 16 ビットのレジスタ データ + 8 ビットのレジスタ アドレス |
| SDO | 出力 CRC | 16 ビット |

図 7-29 および 図 7-30 に、それぞれ WREG コマンドと RREG コマンドの個々のワード内のビット配置とゼロ パディングを示します。

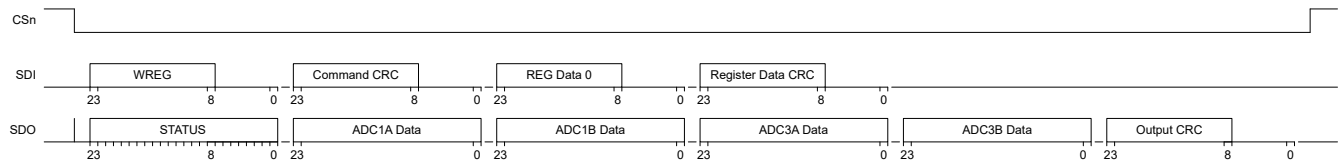


図 7-29. ビット アライメント、24 ビット ワード サイズ、WREG コマンド

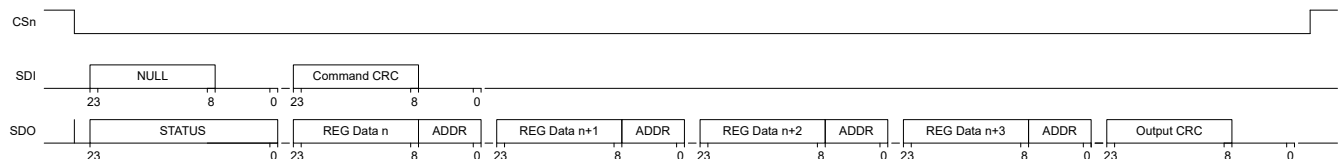
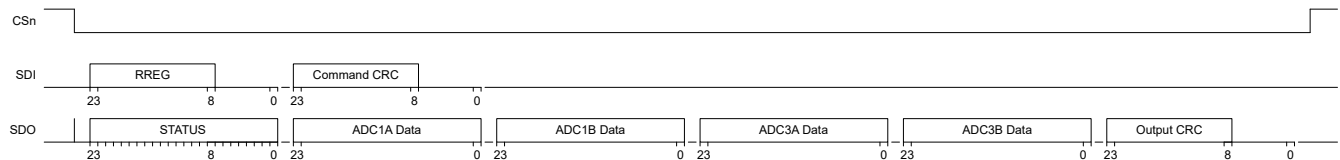


図 7-30. ビット アライメント、24 ビット ワード サイズ、RREG コマンド

7.5.1.2.3 ステータス ワード

ADS131B26-Q1 は、SDO の各フレームにおいて、ステータス ワードを最初のワードとして出力します。24 ビットのステータス ワードは、STATUS_MSB[15:0] と STATUS_LSB[15:8] レジスタ ビットを連結したものです。故障フラグ、ステータスフラグ、ADC1A および ADC1B 変換カウンタ、ADC2A および ADC2B シーケンス カウンタ、コマンド応答はすべて、これらのビットの一部です。詳細については、[レジスタ マップ](#) セクションのそれぞれのレジスタビットの説明を参照してください。

- SPI_CRC_FAULTn、SPI_TIMEOUTn、SCLK_COUNT_FAULTn、REG_ACCESS_FAULTn などの通信関連の故障フラグは、常に前の SPI フレームで発生した故障を示します。これらの故障フラグは、次の SPI フレームのために自動的にクリアされます。
- デバイス関連のその他すべての故障フラグおよびステータスフラグは、現在の SPI フレームが開始されたときのデバイスの状態を示します。
- 上記の通信関連の故障フラグを除くすべての故障フラグはラッチされます。つまり、故障状態が解消されても、これらの故障フラグは自動的に 1b にリセットされず、ホストによりクリアされる必要があります。
- コマンド応答は、前の SPI フレームでデバイスがどのコマンドを受信し、実行したかを示します。
- 変換カウンタおよびシーケンス カウンタは、現在の SPI フレームで出力されるデータの数を示します。

7.5.1.2.4 通信巡回冗長検査 (CRC)

ADS131B26-Q1 は、入力データと出力データの両方に対応する巡回冗長性検査 (CRC) エンジンを用意しており、SPI 通信エラーを検出します。全体的には、16 ビット幅の 3 種類の CRC があります：

- SDI 上: コマンド CRC、および WREG コマンドの場合はレジスタ データ CRC
- SDO 上: 出力 CRC

コマンド CRC は、コマンド ワード (つまり、各フレームにおいて SDI 上の最初のワード) をカバーしています。WREG コマンドは、追加のレジスタ データ CRC を必要とする特別なケースです。レジスタ データ CRC は、コマンド CRC ワードの後に送信されるレジスタ データ ワードをカバーします。出力 CRC は、出力 CRC ワードの前に存在する SDO 上のすべてのワードをカバーします。CRC はすべてのゼロ パディング ビットにも対応しています。

デバイスは、提供されたコマンド CRC をチェックし、(WREG コマンドの場合) 受信した入力データに基づいて内部で計算された CRC と比較してレジスタ データ CRC をチェックします。CRC ワードが一致しないと、CRC エラーが発生します。コマンド CRC またはレジスタデータ CRC チェックに失敗した場合、デバイスはコマンドを実行しません。デバイスは、入力データで CRC エラーが発生するすべての場合、STATUS_MSB レジスタの SPI_CRC_FAULTn ビットを設定します。

CRC エラーが発生したフレームに続く SPI フレームの出力での応答は、NULL コマンドのことです。これは、ADC1A、ADC1B、ADC3A、ADC3B のステータス ワードと変換データの合計が次の SPI フレームで出力されることを意味します。ステータス ワードの一部として SPI_CRC_FAULTn ビットが出力され、前のフレームで CRC エラーが発生したことを即座に示します。次の SPI フレームで SPI_CRC_FAULTn ビットは自動的にクリアされます。

CRC 多項式には、次の 2 つの種類があります：CCITT CRC および ANSI CRC (CRC-16)。CRC 多項式設定により、3 つの CRC すべてのアルゴリズムが決定されます。CRC タイプは、CRC_TYPE ビットを使用してプログラムされます。表 7-24 に、2 つの CRC タイプの詳細を示します。

CRC 計算は、SDI または SDO が Low に固着した場合にエラーを検出するため、シード値 FFFFh で初期化されます。

表 7-24. CRC のタイプ

| CRC タイプ | 多項式 | バイナリ多項式 |
|-----------|-----------------------------|---------------------|
| CCITT CRC | $x^{16} + x^{12} + x^5 + 1$ | 0001 0000 0010 0001 |
| ANSI CRC | $x^{16} + x^{15} + x^2 + 1$ | 1000 0000 0000 0101 |

7.5.1.2.5 コマンド

表 7-25 には、有効なコマンドの一覧、コマンド機能の簡単な説明、バイナリ コマンド ワードが含まれています。

表 7-25. コマンドの定義

| コマンド | 説明 | コマンド ワード |
|--------|---|----------------------|
| NULL | 無操作 | 0000 0000 0000 0000b |
| リセット | デバイスをリセット | 0000 0000 0001 0001b |
| LOCK | NULL、UNLOCK、および RREG コマンドのみが有効になるように、インターフェイスをロックします | 0000 0101 0101 0101b |
| ロックを解除 | インターフェイスがロックされたら、インターフェイスのロックを解除します | 0000 0110 0101 0101b |
| WREG | アドレス <i>A aaaa aa</i> から始まる <i>nnn</i> と 1 つのレジスタを書き込みます | 011a aaaa0 0nnnb |
| RREG | アドレス <i>A aaaa aa</i> から始まる <i>n nnnn</i> と 1 つのレジスタを読み出します | 101a aaa aan nnnnb |

7.5.1.2.5.1 NULL (0000 0000 0000 0000b)

NULL コマンドはノーオペレーションコマンドで、レジスタの読み出しや書き込みが行われず、デバイスの状態は変更されません。NULL コマンドの目的は、ADC1A、ADC1B、ADC3A と ADC3B の変換データを読み取ることです。

次のフレームでのコマンド応答は、NULL コマンド フレームの送信中にエラーが発生したかどうかを示します。ただし、エラーが発生したかどうかにかかわらず、NULL コマンドが実行されます。

図 7-31 に、通信中に障害が発生しなかった代表的な NULL コマンド フレームを示します。

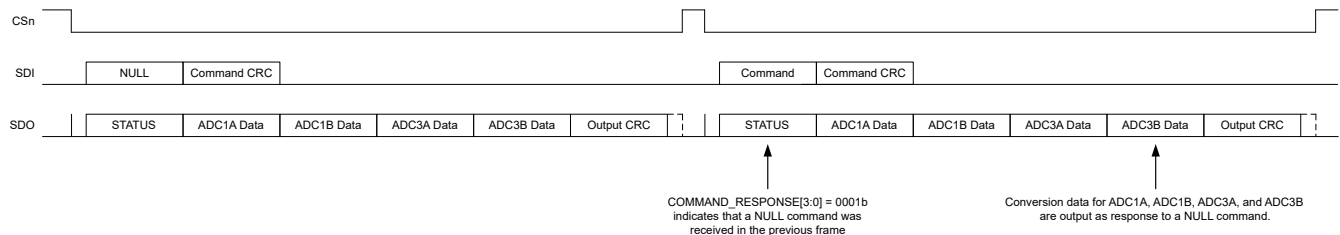


図 7-31. NULL コマンド フレーム

7.5.1.2.5.2 リセット (0000 0000 0001 0001b)

RESET コマンドは、デバイスをリセットし、すべてのユーザー レジスタをそれぞれのデフォルト値に設定します。このコマンドは、出力 CRC ワードの最後の SCLK 立ち上がりエッジでデバイスによってラッチされます。SDO で出力 CRC ワードがシフトアウトされる前にフレームを終了すると、リセット コマンドは無視されます。コマンドがラッチされた直後にリセットが発生します。同じインスタンスで DRDYn ピンは Low に遷移します。ホストは、デバイスとの通信を行う前に、デバイスがリセットプロセスを完了することを確認するため、リセット後の t_{REGACQ} または DRDYn の立ち上がりエッジを待機する必要があります。

RESETn ステータス ビットと次のフレームのコマンド応答は、RESET コマンドが正常に実行されたかどうか、または RESET コマンドの実行を妨げたエラーが発生したかどうかを示します。RESET コマンドが実行されなかった場合は、NULL コマンドが実行されます。

図 7-32 に、通信中に障害が発生していない RESET コマンド フレームを示します。

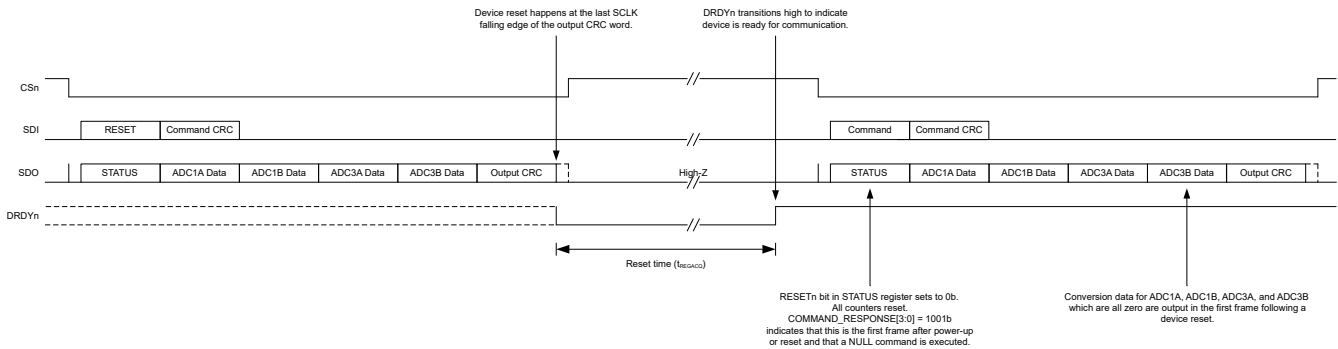


図 7-32. RESET コマンドのフレーム

7.5.1.2.5.3 LOCK (0000 0101 0101 0101b)

LOCK コマンドはインターフェイスをロックし、誤ってデバイスの状態が変化する可能性のある不要なコマンドをラッチすることを防止します。インターフェイスがロックされている場合、デバイスは NULL、RREG、および UNLOCK コマンドにのみ応答します。本デバイスは、ロックされても変換データの出力を継続します。

ロック ステータス ビットと次のフレームのコマンド応答は、ロックコマンドが正常に実行されたかどうか、またはロック コマンドの実行を妨げたエラーが発生したかどうかを示します。LOCK コマンドが実行されなかった場合、NULL コマンドが実行されます。

図 7-33 に、通信中に障害が発生しなかったロック コマンド フレームを示します。

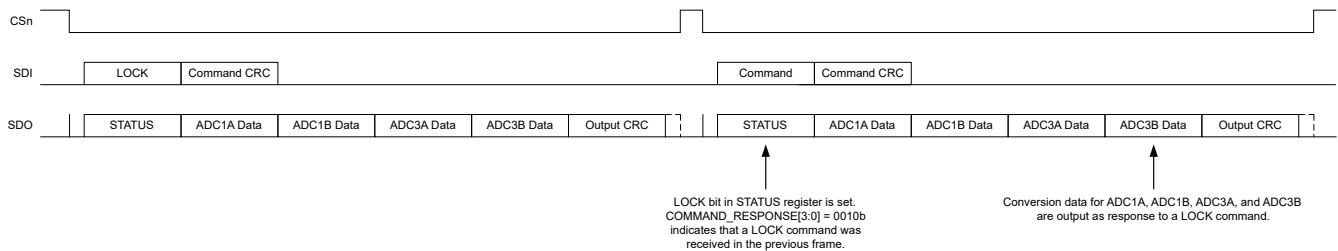


図 7-33. ロック コマンド フレーム

7.5.1.2.5.4 ロック解除 (0000 0110 0101 0101b)

LOCK コマンドによってロックされている場合は、UNLOCK コマンドによってインターフェイスがロック解除されます。

次のフレームでのロック ステータス ビットとコマンド応答は、ロック解除コマンドが正常に実行されたかどうか、またはエラーが発生してロック解除コマンドの実行が妨げられたかどうかを示します。UNLOCK コマンドが実行されなかった場合は NULL コマンドが実行されます。

図 7-34 に、通信中に障害が発生しなかったロック解除コマンド フレームを示します。

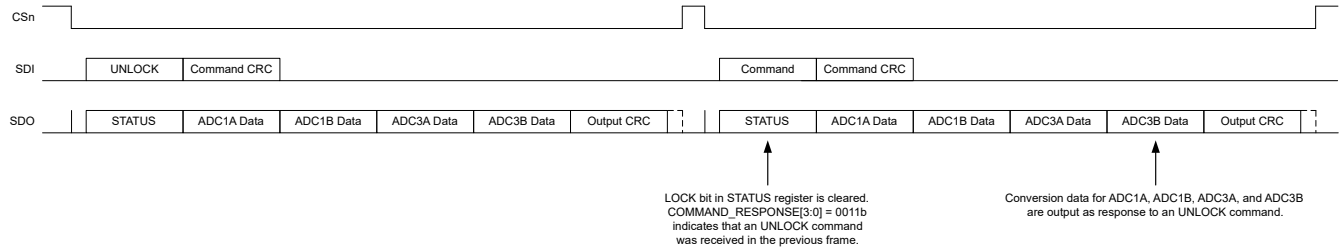


図 7-34. コマンド フレームのロック解除

7.5.1.2.5.5 WREG (011a aaaa aa 0 0nnnb)

WREG コマンドは、デバイスのレジスタに書き込むために使用します。コマンド ワードのバイナリ形式は 011a aaaa aaa0 0nnn で、a aaaa aaa は書き込みを開始するレジスタのバイナリ アドレスであり、nnn は書き込みを行う連続レジスタの符号なしバイナリ数から 1 を引いた値です。WREG コマンド CRC ワードの直後に書き込まれるレジスタデータを送信します。各レジスタの意図した内容を個別のワードに書き込み、MSB 揃え。レジスタ データ ワードの後に、レジスタ データの内容をカバーするレジスタ データ CRC ワードを付けます。

コマンド CRC またはレジスタ データの CRC が失敗した場合、デバイスはレジスタ データの書き込みを禁止します。次のフレームのコマンド応答は、WREG コマンドが正常に実行されたか、または WREG コマンドの実行を妨げるエラーが発生したかを示します。WREG コマンドが実行されなかった場合、NULL コマンドが実行されます。

図 7-35 に、通信中に障害が発生していない、単一のレジスタ書き込みの WREG コマンド・フレームを示します。

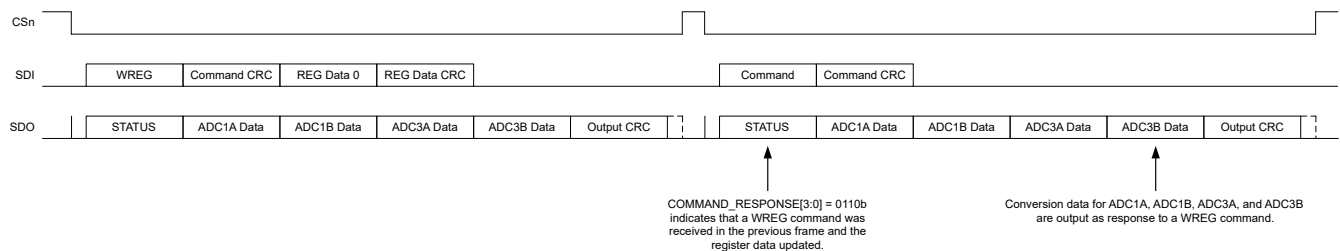


図 7-35. WREG コマンド フレーム (単一レジスタ)

図 7-36 に、WREG コマンド フレームを示します。ここで、書き込みレジスタの数が 3 つより大きい、フレームは通常の 6 つワードを超えて延長されます。

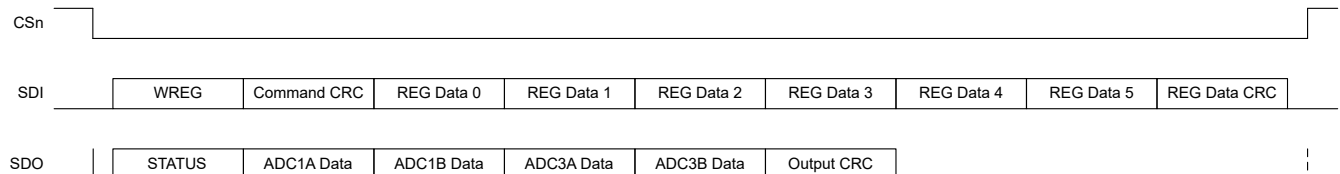


図 7-36. WREG コマンド フレーム (6 レジスタ)

7.5.1.2.5.6 RREG (101a aaaa aaan nnnnb)

RREG は、デバイスのレジスタを読み取るために使用されます。コマンド ワードのバイナリ形式は 101 a aaaa aaan nnnn で、a aaaa aaa は読み出しを開始するレジスタのバイナリ アドレスで、n nnnn はリードするための連続レジスタの符号なしバイナリ数から 1 を引いた値です。デバイスは、ADC1A、ADC1B、ADC3A、ADC3B の変換データではなく、要求されたレジスタ データを、次のフレームのアドレス順に出力します。4 つ以上のレジスタを読み出す場合、フレームは通常の 6 つのワードを超えて拡張されます。

RREG コマンド フレームの後のフレームで NULL コマンドを送信し、レジスタのデータをシフト アウトします。RREG コマンドフレームに続くフレームでは、他のコマンドは受けられません。

16 ビット レジスタのデータは、個別のワード内での MSB が一致されます。図 7-30 に示すように、トレーサビリティのため、デバイスは各ワード内のレジスタ データの後にそれぞれの 8 ビット レジスタ アドレスを出力します。無効なレジスタ アドレスから読み出すと、デバイスはレジスタ データが 0000h、レジスタ アドレスが 00h で応答します。

RREG コマンド フレームの後のフレーム内のコマンド応答は、RREG コマンドが正常に実行されたか、または RREG コマンドの実行を妨げるエラーが発生したかを示します。RREG コマンドが実行されなかった場合、NULL コマンドが実行されます。

図 7-37 に、通信中に障害が発生しなかった RREG コマンドフレームを示します。

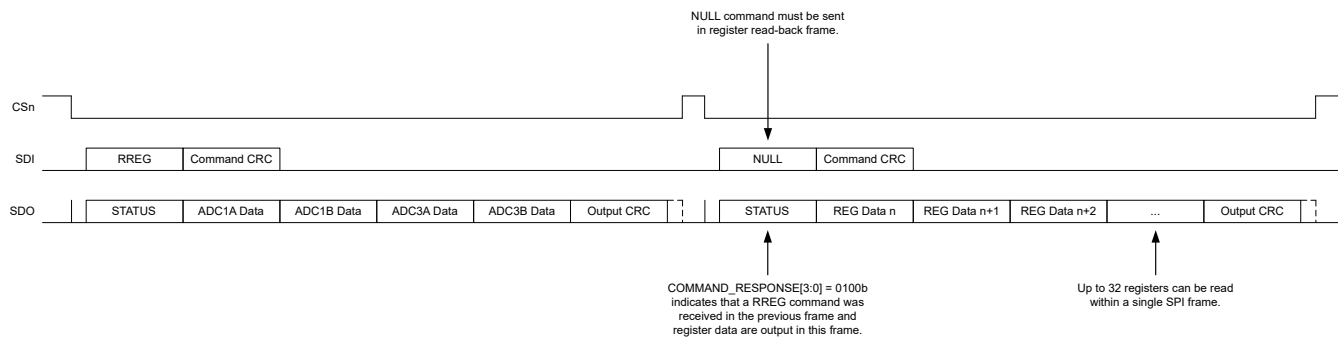


図 7-37. RREG コマンド フレーム

7.5.1.2.6 SCLK カウンタ

ADS131B26-Q1 は、フレーム内で受信した SCLK パルスをカウントする SCLK カウンタを実装しています。受信された SCLK パルスの数が特定のフレームを完了するための SCLK の数と一致しない場合、次のフレームで SCLK_COUNT_FAULTn フラグが設定されます。SCLK_COUNTER_EN ビットを使用して SCLK カウンタを有効または無効にします。

デバイスは、コマンド CRC ワードの最後にある特定の SPI フレームで予測される SCLK の数を決定します。SCLK カウンタの計算では、SDI で受信される予定のワード数と SDO で送信されるワードの両方が考慮されます。この 2 つの値のうち、大きい方がフレームの SCLK 数を決定します。たとえば、図 7-35 内の 2 つのフレームでの SCLK カウントは $(6 \times N_{\text{WORD_LENGTH}})$ で、図 7-36 では、フレームの SCLK カウントは $(9 \times N_{\text{WORD_LENGTH}})$ です。WORD_LENGTH ビットの設定に従って、データワードの長さ $N_{\text{WORD_LENGTH}}$ は、24 または 32 です。

フレームの完了に必要な数を超える SCLK パルスを送信しても、SPI 通信には影響しませんが、その場合でも、受信された SCLK の数が多すぎることを示すために SCLK_COUNT_FAULTn が設定されます。

フレームを完了するのに十分でない SCLK パルスを送信することは、次のような状況で SPI 通信に影響を与えます。

- NULL コマンド: 影響なし。
- RESET コマンド: SDO の出力 CRC ワード全体をクロックアウトするのに十分な SCLK パルスが供給されるまでは実行されません。
- ロック、アンロック、RREG コマンド: SDI で少なくともコマンドおよびコマンド CRC ワードが受信されたときは、これらのコマンドを実行します。
- WREG コマンド: SDI で少なくともコマンド、コマンド CRC、レジスタデータ、レジスタデータ CRC ワードを受信すると、これらのコマンドを実行します。
- DRDYn ピン: DRDYn ピンが High に遷移するのは ADC3B の変換データワードが SDO でクロック出力された後のみです。そうしないと、ホストは最新の変換データを受信しておらず、DRDYn ピンは Low のままであることを想定しています。

7.5.1.2.7 SPI タイムアウト

ADS131B26-Q1 には、フレーム内の CSn 立ち下がりエッジと CSn 立ち上がりエッジの間の時間を測定する SPI タイムアウト機能が実装されています。CSn 立ち下がりエッジの後、SPI タイムアウト期間 (t_{TIMEOUT}) 以内に CSn の立ち上がりエッジが発生しない場合、次のフレームで SPI_TIMEOUTn フラグが設定されます。タイムアウトが発生すると、CSn の立ち上がりエッジより前に、SDI 上の残りの SPI フレームは無視されます。新しい SPI トランザクションは、次の CSn の立ち下がりエッジで開始されます。TIMEOUT_EN ビットを使用して SPI タイムアウトを有効または無効にします。

完全なフレームが SDI と SDO に送信された後で SPI がタイムアウトした場合、SPI 通信には影響はありませんが、その場合、CSn 信号が長時間 Low に保持されたことを示すために、SPI_TIMEOUTn フラグが設定されます。

SDI および SDO にフレーム全体が送信される前に SPI がタイムアウトした場合、特定の状況で SPI 通信に影響を及ぼす可能性があります。

- NULL コマンド: 影響なし。
- RESET コマンド: SPI がタイムアウトする前に、SDO から出力 CRC ワードが完全にクロックアウトされるまで実行されません。
- ロック、アンロック、RREG コマンド: SPI がタイムアウトする前に、少なくともコマンドおよびコマンド CRC ワードが SDI で受信されたなら、実行します。
- WREG コマンド: SPI がタイムアウトする前に、少なくともコマンド、コマンド CRC、レジスタデータ、レジスタデータ CRC ワードが SDI で受信された場合、実行します。
- DRDYn ピン: DRDYn ピンが High に遷移するのは ADC3B の変換データワードが SDO でクロック出力された後、SPI がタイムアウトします。そうしないと、ホストは最新の変換データを受信しておらず、DRDYn ピンは Low のままであることを想定しています。

7.5.1.2.8 ADC1A、ADC1B、ADC2A、ADC2B、ADC3A、ADC3B、の変換データを読み込む

すべての 6 つの ADS131B26-Q1 ADC からの変換データを、2 つの SPI フレーム内で読み取ることができます。ADC1A、ADC1B、ADC3A、ADC3B の変換データは、次の SPI フレームの NULL コマンドに対する応答として常に出されます。ADC2A と ADC2B、の変換データは、RREG コマンドを使用してユーザー レジスタから読み取る必要があります。ADC2A および ADC2B、の各種シーケンス ステップの変換結果は、レジスタ アドレス 10h から始まる連続したレジスタ アドレス位置に保存されます。RREG コマンドを使用すると、1 つの SPI フレーム内で最大 32 個の連続レジスタを読み取ることができます。この値は ADC2A および ADC2B、のシーケンス ステップすべての変換データを読み取るのに十分です。図 7-38 に、すべての ADC 変換データを読み取る方法の SPI フレーム シーケンスの例を示します。

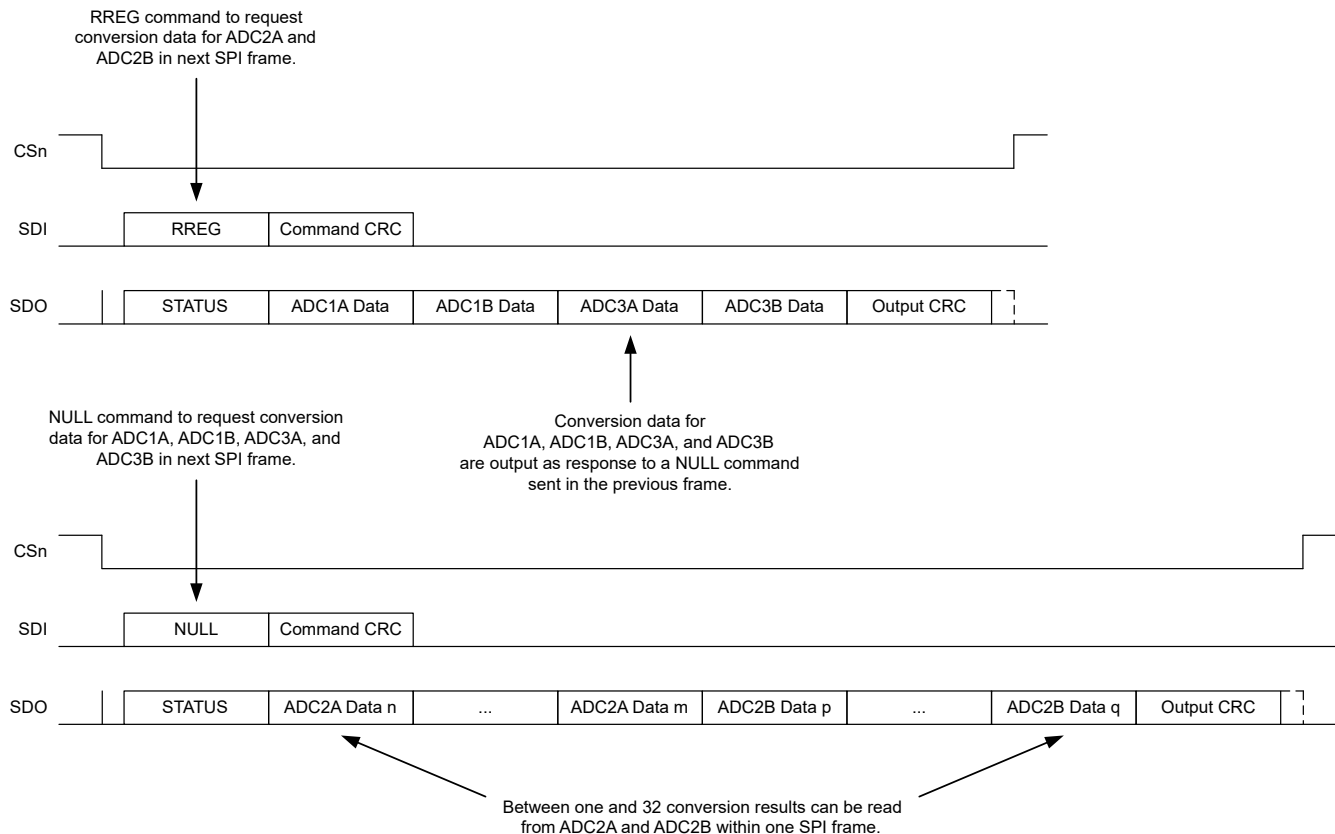


図 7-38. ADC1A、ADC1B、ADC2A、ADC2B、ADC3A、ADC3B、からの変換データの読み取りを、2 つの SPI フレーム内で行います

7.5.1.2.9 DRDYn ピンの動作

このセクションでは、さまざまなシナリオにおける DRDYn ピンの動作について詳しく説明します。

DRDYn は、ADC1A または ADC1B で新しい変換データが完了するとすぐに Low に遷移します。これは、DRDY_CTRL ビットの構成に従って、どの ADC が DRDYn 信号を駆動するかに応じて行われます。ADC1y で新しい変換が完了したときに DRDYn が Low になると、DRDYn は DRDYn 立ち下がりがエッジの前に $t_{w(DRH)}$ を High に駆動します (図 7-40 および 図 7-42 を参照)。

SDO (図 7-39) で ADC3B の変換データが取得されると、DRDYn は High に遷移します。ADC3B 変換データが取得される前に CSn が High に駆動された場合、DRDYn は Low のままで、すべての変換データが読み取られたわけではないことを示します (図 7-40 および 図 7-41)。

図 7-41 に、新しい変換が完了するまで、同じ変換データを複数回読み取ることができることを示しています。ADC1y 変換カウンタは、同じデータが再度読み取られたか、新しいデータが読み取られたかどうかを示します。

このデバイスは、変換データ n の読み取り中に新しい変換 n+1 が完了すると、データの破損を防止します。変換データ n+1 は、変換データ n の読み出しが完了するまで、内部バッファに保持されます。以下のフレームでは、変換データ n+1 が SDO 出力バッファにロードされます。このケースでは、変換データ n が読み出された後も、DRDYn は High に遷移しません。これは、新しい変換データ n+1 が読み出し可能であることを示します (図 7-42 を参照)。

図 7-43 は、変換 n+2 が完了する前にホストがデータを読み出さない場合、変換データ n+1 が失われることを示しています。この状況にある場合、ADC1y 変換カウンタは、ホストが中間変換結果の読み取りを見逃しているかどうかを検出するのに役立ちます。

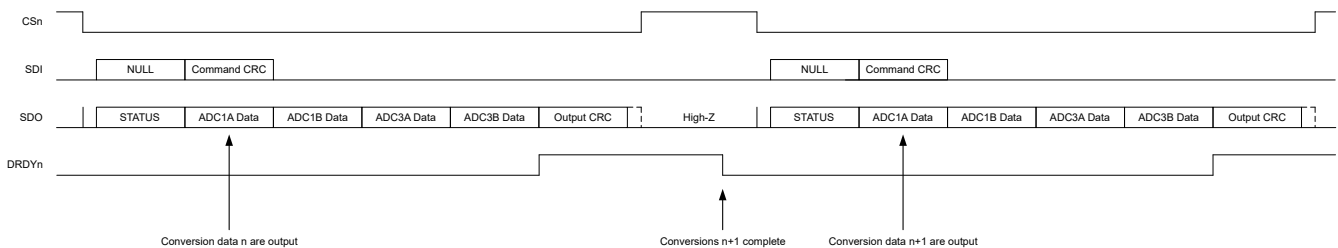


図 7-39. DRDYn ピンの動作：新しい変換が完了する前にすべての変換データを読み取る

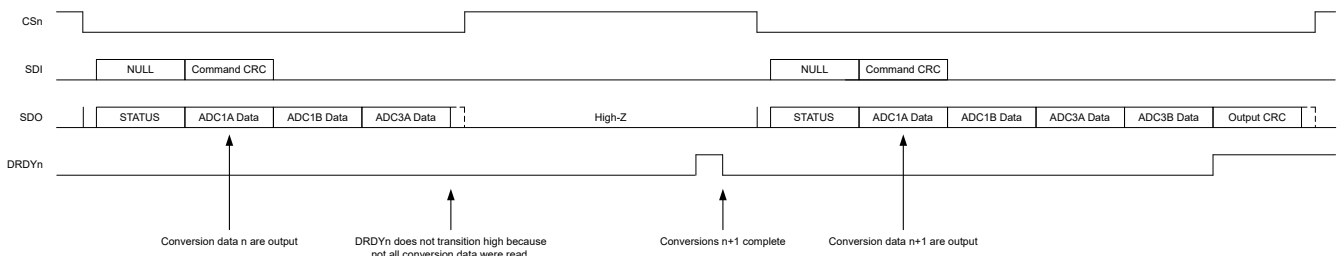


図 7-40. DRDYn ピンの動作：新しい変換が完了する前の変換データの読み取りが未完了

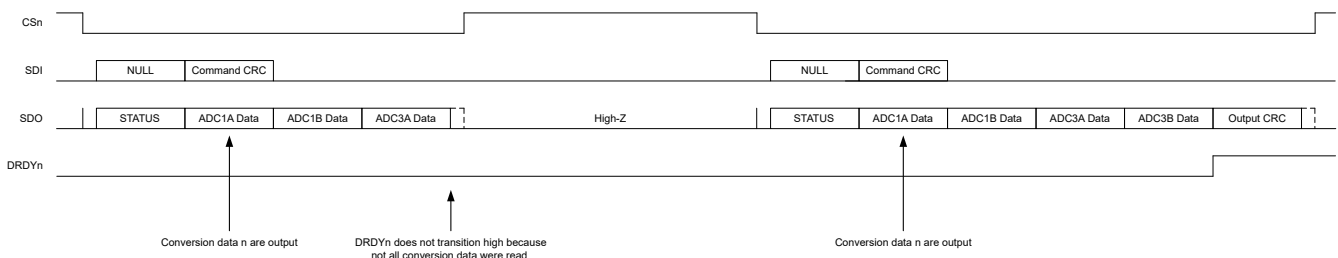


図 7-41. DRDYn ピンの動作：変換データの読み取りが不完全で、同じ変換データの読み取りが完了する

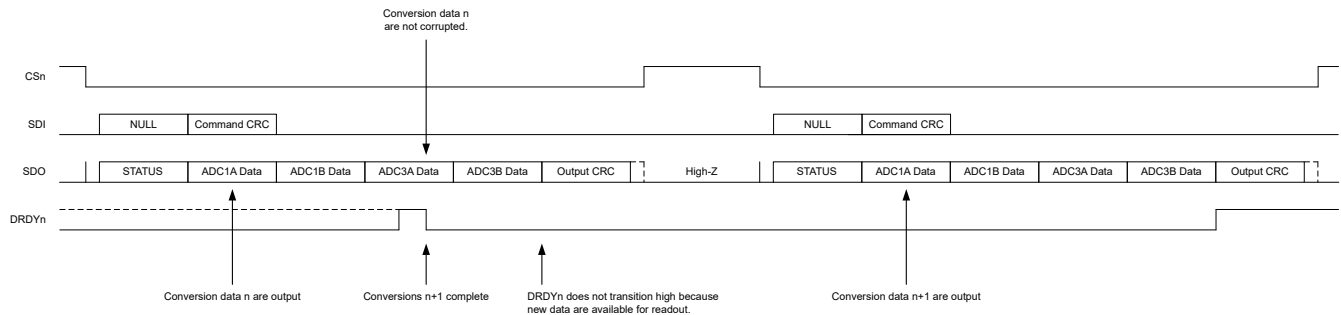


図 7-42. DRDYn ピンの動作：新しい変換が完了したときに変換データを読み取ります

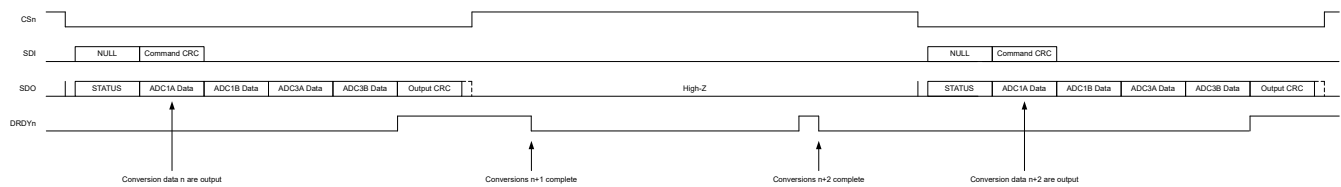


図 7-43. DRDYn ピンの動作：中間コンバージョン結果の読み取りに失敗しました

STARTy ビットをセットすると、CONVERSION_CTRL レジスタが書き込まれる SPI フレーム内のレジスタデータ CRC ワードの最後の SCLK 立ち下がりエッジで、DRDYn ピンが HIGH に駆動されます。ただし、新しい変換が利用可能になるまで、古い変換データは読み取れます。進行中の変換を中止し、変換データの読み出し中に新しい変換を再開するよう STARTy ビットを設定したときのデバイスの動作を 図 7-44 に示します。図 7-45 に、STARTy ビットをセットして変換データを読み出している間に、新しい変換が完了するシナリオを示します。

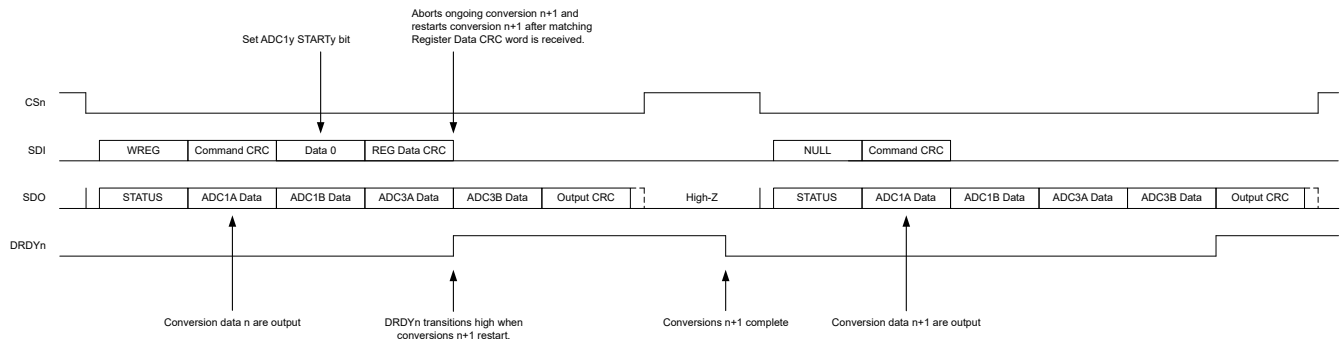


図 7-44. DRDYn ピンの動作：変換データの読み取り中に STARTy ビットをセットする

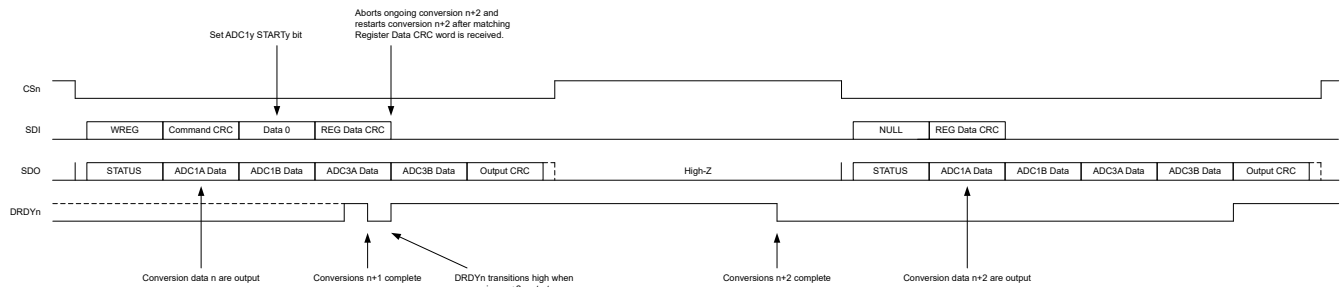


図 7-45. DRDYn ピンの動作：新しい変換の完了時に STARTy ビットを設定し、変換データの読み取りを行う

8 レジスタ マップ

ADS131B26-Q1 のレジスタ マップは、00h から FEh までのアドレス空間全体にわたって、次の 4 つの一般的なセクションに分割されています:

- セクション 0 (アドレス空間: 00h から 2Fh) 読み取り専用ビット (ID、ステータス、GPIO 入力データ、ADC2y 変換データ、変換およびシーケンス制御ビットなど) のみが含まれます
- セクション 1 (アドレス空間: 40h ~ 7Eh): デバイスのセクション A または B に特有ではないグローバル的なデバイス構成ビットが含まれています
- セクション 2 (アドレス空間: 80h ~ BEh まで) セクション A に特有のデバイス構成ビットが含まれています
- セクション 3 (アドレス空間: C0h ~ FE まで): セクション B に特有のデバイス構成ビットが含まれています

8.1 レジスタ

表 8-1 にレジスタのレジスタ用メモリ マップト レジスタを示します。表 8-1 にないレジスタ オフセット アドレスはすべて予約済みと見なして、レジスタの内容は変更しないでください。

表 8-1. レジスタ マップ

| アドレス | 略称 | リセット | ビット 15 | ビット 14 | ビット 13 | ビット 12 | ビット 11 | ビット 10 | ビット 9 | ビット 8 |
|---------|-------------------|-------|------------------------|-----------------------|---------------------|----------------|--------------------|----------------|-------------------|-------------------|
| | | | ビット 7 | ビット 6 | ビット 5 | ビット 4 | ビット 3 | ビット 2 | ビット 1 | ビット 0 |
| セクション 0 | | | | | | | | | | |
| 00h | ID | X | REV[7:0] | | | | | | | |
| 01h | STATUS_MSB | 7FC8h | ADC_COUNT[2:0] | | | DEVICE_ID[4:0] | | | | |
| | | | RESETn | SUPPLY_FAULTn | CLOCK_FAULTn | DIGITAL_FAULTn | OCC_FAULTn | SPI_CRC_FAULTn | SPI_TIMEOUTn | SCLK_COUNT_FAULTn |
| 02h | STATUS_LSB | 0000h | REG_ACCESS_FAULTn | COMMAND_RESPONSE[3:0] | | | | LOCK | クロック | モード |
| | | | SEQ2A_COUNT[1:0] | | SEQ2B_COUNT[1:0] | | CONV1A_COUNT[1:0] | | CONV1B_COUNT[1:0] | |
| 03h | SUPPLY_STATUS | FFFFh | RESERVED | | | | | | | |
| | | | SEQ2A_ACTIVATE | | SEQ2B_ACTIVATE | | | | | |
| 04h | CLOCK_STATUS | FC07h | RESERVED | | | | | | | |
| | | | SEQ2A_ACTIVATE | | SEQ2B_ACTIVATE | | | | | |
| 05h | DIGITAL_STATUS | EC00h | REG_MAP1_CRC_FAULTn | REG_MAP2_CRC_FAULTn | REG_MAP3_CRC_FAULTn | RESERVED | MEM_MAP_CRC_FAULTn | OTP_BANK | RESERVED | |
| | | | RESERVED | | | | | | | |
| 06h | OCC_STATUS | 000Fh | RESERVED | | | | | | | |
| | | | RESERVED | | | | OCCA_HTn | OCCA_LTn | OCCB_HTn | OCCB_LTn |
| 07h | GPI_DATA | 0000h | RESERVED | | | | | | GPI4_DAT[1:0] | |
| | | | GPI3_DAT[1:0] | | GPI2_DAT[1:0] | | GPI1_DAT[1:0] | | GPI0_DAT[1:0] | |
| 08h | GPIA_GPIB_DATA | 0000h | RESERVED | | | | GPI1A_DAT[1:0] | | GPI0A_DAT[1:0] | |
| | | | RESERVED | | | | GPI1B_DAT[1:0] | | GPI0B_DAT[1:0] | |
| 09h | CONVERSION_CTRL | 0000h | RESERVED | STARTA | RESERVED | STARTB | RESERVED | STOPA | RESERVED | STOPB |
| | | | RESERVED | SEQ2A_START | RESERVED | SEQ2B_START | RESERVED | SEQ2A_STOP | RESERVED | SEQ2B_STOP |
| 10h | SEQ2A_STEP0_DATA | 0000h | SEQ2A_STEP0_DAT[15:0] | | | | | | | |
| | | | SEQ2A_STEP0_DAT[15:0] | | | | | | | |
| 11h | SEQ2A_STEP1_DATA | 0000h | SEQ2A_STEP1_DAT[15:0] | | | | | | | |
| | | | SEQ2A_STEP1_DAT[15:0] | | | | | | | |
| 12h | SEQ2A_STEP2_DATA | 0000h | SEQ2A_STEP2_DAT[15:0] | | | | | | | |
| | | | SEQ2A_STEP2_DAT[15:0] | | | | | | | |
| 13h | SEQ2A_STEP3_DATA | 0000h | SEQ2A_STEP3_DAT[15:0] | | | | | | | |
| | | | SEQ2A_STEP3_DAT[15:0] | | | | | | | |
| 14h | SEQ2A_STEP4_DATA | 0000h | SEQ2A_STEP4_DAT[15:0] | | | | | | | |
| | | | SEQ2A_STEP4_DAT[15:0] | | | | | | | |
| 15h | SEQ2A_STEP5_DATA | 0000h | SEQ2A_STEP5_DAT[15:0] | | | | | | | |
| | | | SEQ2A_STEP5_DAT[15:0] | | | | | | | |
| 16h | SEQ2A_STEP6_DATA | 0000h | SEQ2A_STEP6_DAT[15:0] | | | | | | | |
| | | | SEQ2A_STEP6_DAT[15:0] | | | | | | | |
| 17h | SEQ2A_STEP7_DATA | 0000h | SEQ2A_STEP7_DAT[15:0] | | | | | | | |
| | | | SEQ2A_STEP7_DAT[15:0] | | | | | | | |
| 18h | SEQ2A_STEP8_DATA | 0000h | SEQ2A_STEP8_DAT[15:0] | | | | | | | |
| | | | SEQ2A_STEP8_DAT[15:0] | | | | | | | |
| 19h | SEQ2A_STEP9_DATA | 0000h | SEQ2A_STEP9_DAT[15:0] | | | | | | | |
| | | | SEQ2A_STEP9_DAT[15:0] | | | | | | | |
| 1Ah | SEQ2A_STEP10_DATA | 0000h | SEQ2A_STEP10_DAT[15:0] | | | | | | | |
| | | | SEQ2A_STEP10_DAT[15:0] | | | | | | | |
| 1Bh | SEQ2A_STEP11_DATA | 0000h | SEQ2A_STEP11_DAT[15:0] | | | | | | | |
| | | | SEQ2A_STEP11_DAT[15:0] | | | | | | | |

表 8-1. レジスタ マップ (続き)

| アドレス | 略称 | リセット | ビット 15 | ビット 14 | ビット 13 | ビット 12 | ビット 11 | ビット 10 | ビット 9 | ビット 8 |
|---------|---------------------|-------|------------------------|-------------|--------------------|-------------|-------------|---------------|---------------|--------------|
| | | | ビット 7 | ビット 6 | ビット 5 | ビット 4 | ビット 3 | ビット 2 | ビット 1 | ビット 0 |
| 1Ch | SEQ2A_STEP12_DATA | 0000h | SEQ2A_STEP12_DAT[15:0] | | | | | | | |
| | | | SEQ2A_STEP12_DAT[15:0] | | | | | | | |
| 1Dh | SEQ2A_STEP13_DATA | 0000h | SEQ2A_STEP13_DAT[15:0] | | | | | | | |
| | | | SEQ2A_STEP13_DAT[15:0] | | | | | | | |
| 1Eh | SEQ2A_STEP14_DATA | 0000h | SEQ2A_STEP14_DAT[15:0] | | | | | | | |
| | | | SEQ2A_STEP14_DAT[15:0] | | | | | | | |
| 1Fh | SEQ2A_STEP15_DATA | 0000h | SEQ2A_STEP15_DAT[15:0] | | | | | | | |
| | | | SEQ2A_STEP15_DAT[15:0] | | | | | | | |
| 20h | SEQ2B_STEP0_DATA | 0000h | SEQ2B_STEP0_DAT[15:0] | | | | | | | |
| | | | SEQ2B_STEP0_DAT[15:0] | | | | | | | |
| 21h | SEQ2B_STEP1_DATA | 0000h | SEQ2B_STEP1_DAT[15:0] | | | | | | | |
| | | | SEQ2B_STEP1_DAT[15:0] | | | | | | | |
| 22h | SEQ2B_STEP2_DATA | 0000h | SEQ2B_STEP2_DAT[15:0] | | | | | | | |
| | | | SEQ2B_STEP2_DAT[15:0] | | | | | | | |
| 23h | SEQ2B_STEP3_DATA | 0000h | SEQ2B_STEP3_DAT[15:0] | | | | | | | |
| | | | SEQ2B_STEP3_DAT[15:0] | | | | | | | |
| 24h | SEQ2B_STEP4_DATA | 0000h | SEQ2B_STEP4_DAT[15:0] | | | | | | | |
| | | | SEQ2B_STEP4_DAT[15:0] | | | | | | | |
| 25h | SEQ2B_STEP5_DATA | 0000h | SEQ2B_STEP5_DAT[15:0] | | | | | | | |
| | | | SEQ2B_STEP5_DAT[15:0] | | | | | | | |
| 26h | SEQ2B_STEP6_DATA | 0000h | SEQ2B_STEP6_DAT[15:0] | | | | | | | |
| | | | SEQ2B_STEP6_DAT[15:0] | | | | | | | |
| 27h | SEQ2B_STEP7_DATA | 0000h | SEQ2B_STEP7_DAT[15:0] | | | | | | | |
| | | | SEQ2B_STEP7_DAT[15:0] | | | | | | | |
| 28h | SEQ2B_STEP8_DATA | 0000h | SEQ2B_STEP8_DAT[15:0] | | | | | | | |
| | | | SEQ2B_STEP8_DAT[15:0] | | | | | | | |
| 29h | SEQ2B_STEP9_DATA | 0000h | SEQ2B_STEP9_DAT[15:0] | | | | | | | |
| | | | SEQ2B_STEP9_DAT[15:0] | | | | | | | |
| 2Ah | SEQ2B_STEP10_DATA | 0000h | SEQ2B_STEP10_DAT[15:0] | | | | | | | |
| | | | SEQ2B_STEP10_DAT[15:0] | | | | | | | |
| 2Bh | SEQ2B_STEP11_DATA | 0000h | SEQ2B_STEP11_DAT[15:0] | | | | | | | |
| | | | SEQ2B_STEP11_DAT[15:0] | | | | | | | |
| 2Ch | SEQ2B_STEP12_DATA | 0000h | SEQ2B_STEP12_DAT[15:0] | | | | | | | |
| | | | SEQ2B_STEP12_DAT[15:0] | | | | | | | |
| 2Dh | SEQ2B_STEP13_DATA | 0000h | SEQ2B_STEP13_DAT[15:0] | | | | | | | |
| | | | SEQ2B_STEP13_DAT[15:0] | | | | | | | |
| 2Eh | SEQ2B_STEP14_DATA | 0000h | SEQ2B_STEP14_DAT[15:0] | | | | | | | |
| | | | SEQ2B_STEP14_DAT[15:0] | | | | | | | |
| 2Fh | SEQ2B_STEP15_DATA | 0000h | SEQ2B_STEP15_DAT[15:0] | | | | | | | |
| | | | SEQ2B_STEP15_DAT[15:0] | | | | | | | |
| セクション 1 | | | | | | | | | | |
| 40h | DEVICE_MONITOR_CFG | 0000h | REG_MAP1_CRC_EN | CRC_TYPE | SCLK_COUNT_ER_EN | TIMEOUT_EN | RESERVED | | | FAULT_POL |
| | | | RESERVED | | | | MHD_POL | MHD_CFG[1:0] | | |
| 41h | SUPPLY_MONITOR_CFG1 | 0000h | AVDD_OV_EN | AVDD_UV_EN | IOVDD_OV_EN | IOVDD_UV_EN | DVDD_OV_EN | DVDD_UV_EN | AVDD_OSC_EN | IOVDD_OSC_EN |
| | | | DVDD_OSC_EN | AVDD_OTW_EN | IOVDD_OTW_EN | AVDD_CL_EN | IOVDD_CL_EN | AGNDA_DISC_EN | AGNDB_DISC_EN | DGND_DISC_EN |
| 42h | SUPPLY_MONITOR_CFG2 | 10F0h | RESERVED | | IOVDD_OV_TH | IOVDD_UV_TH | RESERVED | | | |
| | | | AVDD_OTW_CFG[1:0] | | IOVDD_OTW_CFG[1:0] | | RESERVED | | | |
| 43h | CLOCK_MONITOR_CFG | 0000h | RESERVED | | | | | | | |
| | | | RESERVED | | | | | MCLK_MON_EN | OSCD_WD_EN | MCLK_WD_EN |

表 8-1. レジスタ マップ (続き)

| アドレス | 略称 | リセット | ビット 15 | ビット 14 | ビット 13 | ビット 12 | ビット 11 | ビット 10 | ビット 9 | ビット 8 |
|------|--------------------------------|-------|---------------------------------|---------------------------------|---------------------------------|------------------------|--------------------------------|------------------------|------------------------|----------------------------|
| | | | ビット 7 | ビット 6 | ビット 5 | ビット 4 | ビット 3 | ビット 2 | ビット 1 | ビット 0 |
| 44h | SUPPLY_MONITOR_DIAGNOSTIC_CFG | 0000h | AVDD_OV_DIA G_EN | AVDD_UV_DIA G_EN | IOVDD_OV_DI AG_EN | IOVDD_UV_DI AG_EN | DVDD_OV_DIA G_EN | DVDD_UV_DIA G_EN | AVDD_OSC_DI AG_EN | IOVDD_OSC_D IAG_EN |
| | | | DVDD_OSC_DI AG_EN | RESERVED | | | | | AGNDA_DISC_ DIAG_EN | AGNDB_DISC_ DIAG_EN |
| 45h | CLOCK_MONITOR_DIAGNOSTIC_CFG | 0000h | SPARE[11:0] | | | | | | | |
| | | | SPARE[11:0] | | | | MCLK_HI_DIA G_EN | MCLK_LO_DIA G_EN | OSCD_WD_DI AG_EN | MCLK_WD_DI AG_EN |
| 46h | DIGITAL_MONITOR_DIAGNOSTIC_CFG | 0000h | RESERVED | | | | | | MEM_MAP_CRC_DIAG[1:0] | |
| | | | RESERVED | | | | | GPIOA_DIAG_ EN | GPIOB_DIAG_ EN | GPIO_DIAG_E N |
| 47h | SUPPLY_FAULT_MAS K | 0000h | AVDD_OV_MA SK | AVDD_UV_MA SK | IOVDD_OV_M ASK | IOVDD_UV_MA SK | DVDD_OV_MA SK | DVDD_UV_MA SK | AVDD_OSC_M ASK | IOVDD_OSC_ MASK |
| | | | DVDD_OSC_M ASK | AVDD_OTW_M ASK | IOVDD_OTW_ MASK | AVDD_CL_MA SK | IOVDD_CL_MA SK | AGNDA_DISC_ MASK | AGNDB_DISC_ MASK | DGND_DISC_ MASK |
| 48h | CLOCK_FAULT_MAS K | 0000h | RESERVED | | | | | | | |
| | | | RESERVED | | | | | MCLK_FAULT_ MASK | OSCD_WD_MA SK | MCLK_WD_MA SK |
| 49h | DIGITAL_FAULT_MAS K | 0000h | REG_MAP1_C RC_FAULT_MA SK | REG_MAP2_C RC_FAULT_MA SK | REG_MAP3_C RC_FAULT_MA SK | RESERVED | MEM_MAP_CR C_FAULT_MAS K | RESERVED | | |
| | | | RESERVED | | | | | | | |
| 4Ah | OCC_FAULT_MASK | 0000h | RESERVED | | | | | | | |
| | | | RESERVED | | | | OCCA_HT_MA SK | OCCA_LT_MA SK | OCCB_HT_MA SK | OCCB_LT_MA SK |
| 4Bh | FAULT_PIN_MASK | 0780h | RESERVED | SUPPLY_FAUL T_MASK | CLOCK_FAULT_ _MASK | DIGITAL_FAUL T_MASK | OCC_FAULT_ _MASK | SPI_CRC_FAU LT_MASK | SPI_TIMEOUT_ _MASK | SCLK_COUNT_ _FAULT_MASK |
| | | | REG_ACCESS_ _FAULT_MASK | RESERVED | | | | | | |
| 4Ch | DEVICE_CFG | 0000h | RESERVED | DRDY_CTRL | RESERVED | CLK_SOURCE | WORD LENGT H | RESERVED | OP_MODE[1:0] | |
| | | | RESERVED | | | | | | | |
| 4Dh | GPIO_CFG | 0000h | RESERVED | GPIO4_FMT | GPIO3_FMT | GPIO2_FMT | GPIO1_FMT | GPIO0_FMT | GPIO4_DIR | GPIO3_DIR |
| | | | GPIO2_DIR | GPIO1_DIR | GPIO0_DIR | GPIO4_SRC | GPIO3_SRC | GPIO2_SRC | RESERVED | GPIO0_SRC |
| 4Eh | GPO_DATA | 0000h | SPARE[10:0] | | | | | | | |
| | | | SPARE[10:0] | | | GPO4_DAT | GPO3_DAT | GPO2_DAT | GPO1_DAT | GPO0_DAT |
| 4Fh | GPIO0_LL_PWM_C FG | 007Fh | GPIO0_PWM_TB[1:0] | | GPIO0_LL_PWM_HC[6:0] | | | | | |
| | | | GPIO0_LL_PW M_HC[6:0] | GPIO0_LL_PWM_LC[6:0] | | | | | | |
| 50h | GPIO0_LH_PWM_C FG | 3F80h | RESERVED | | GPIO0_LH_PWM_HC[6:0] | | | | | |
| | | | GPIO0_LH_PW M_HC[6:0] | GPIO0_LH_PWM_LC[6:0] | | | | | | |
| 51h | GPIO1_LL_PWM_C FG | 007Fh | GPIO1_PWM_TB[1:0] | | GPIO1_LL_PWM_HC[6:0] | | | | | |
| | | | GPIO1_LL_PW M_HC[6:0] | GPIO1_LL_PWM_LC[6:0] | | | | | | |
| 52h | GPIO1_LH_PWM_C FG | 3F80h | RESERVED | | GPIO1_LH_PWM_HC[6:0] | | | | | |
| | | | GPIO1_LH_PW M_HC[6:0] | GPIO1_LH_PWM_LC[6:0] | | | | | | |
| 53h | GPIO2_LL_PWM_C FG | 007Fh | GPIO2_PWM_TB[1:0] | | GPIO2_LL_PWM_HC[6:0] | | | | | |
| | | | GPIO2_LL_PW M_HC[6:0] | GPIO2_LL_PWM_LC[6:0] | | | | | | |
| 54h | GPIO2_LH_PWM_C FG | 3F80h | RESERVED | | GPIO2_LH_PWM_HC[6:0] | | | | | |
| | | | GPIO2_LH_PW M_HC[6:0] | GPIO2_LH_PWM_LC[6:0] | | | | | | |
| 55h | GPIO3_LL_PWM_C FG | 007Fh | GPIO3_PWM_TB[1:0] | | GPIO3_LL_PWM_HC[6:0] | | | | | |
| | | | GPIO3_LL_PW M_HC[6:0] | GPIO3_LL_PWM_LC[6:0] | | | | | | |
| 56h | GPIO3_LH_PWM_C FG | 3F80h | RESERVED | | GPIO3_LH_PWM_HC[6:0] | | | | | |
| | | | GPIO3_LH_PW M_HC[6:0] | GPIO3_LH_PWM_LC[6:0] | | | | | | |

表 8-1. レジスタ マップ (続き)

| アドレス | 略称 | リセット | ビット 15 | ビット 14 | ビット 13 | ビット 12 | ビット 11 | ビット 10 | ビット 9 | ビット 8 |
|---------|----------------------|-------|--------------------------|-----------------------|----------------------|------------------|-------------------------|------------------|-----------------------|------------|
| | | | ビット 7 | ビット 6 | ビット 5 | ビット 4 | ビット 3 | ビット 2 | ビット 1 | ビット 0 |
| 57h | GPIO4_LL_PWM_CFG | 007Fh | GPIO4_PWM_TB[1:0] | | GPIO4_LL_PWM_HC[6:0] | | | | | |
| | | | GPIO4_LL_PWM_HC[6:0] | GPIO4_LL_PWM_LC[6:0] | | | | | | |
| 58h | GPIO4_LH_PWM_CFG | 3F80h | RESERVED | | GPIO4_LH_PWM_HC[6:0] | | | | | |
| | | | GPIO4_LH_PWM_HC[6:0] | GPIO4_LH_PWM_LC[6:0] | | | | | | |
| 59h | SPARE_59h | 5555h | SPARE[15:0] | | | | | | | |
| | | | SPARE[15:0] | | | | | | | |
| 7Eh | REGISTER_MAP1_CRC | 0000h | REG_MAP1_CRC_VALUE[15:0] | | | | | | | |
| | | | REG_MAP1_CRC_VALUE[15:0] | | | | | | | |
| セクション 2 | | | | | | | | | | |
| 80h | REGMAP2_TDACA_CFG | 0000h | REG_MAP2_CRC_EN | RESERVED | | | | | | |
| | | | RESERVED | | | | | TDACA_VALUE[2:0] | | |
| 81h | GPIOA_CFG | 0000h | GPIOA_PIN_CFG | SPARE[2:0] | | | GPIO1A_FMT | GPIO0A_FMT | GPIO1A_DIR | GPIO0A_DIR |
| | | | GPIO1A_PWM_TB[1:0] | | GPIO0A_PWM_TB[1:0] | | SPARE[1:0] | | GPO1A_DAT | GPO0A_DAT |
| 82h | ADC1A_ADC3A_CFG | 0400h | RESERVED | | | | CONV_MODE1_3A | OSR13A[2:0] | | |
| | | | RESERVED | | | | GC13A_EN | GC13A_DELAY[2:0] | | |
| 83h | ADC1A_CFG | 8010h | ADC1A_EN | RESERVED | | | GAIN1A[1:0] | | MUX1A[1:0] | |
| | | | RESERVED | | OWD1A_SOURCE_MUX | OWD1A_SINK_MUX | OWD1A_SOURCE_VALUE[1:0] | | OWD1A_SINK_VALUE[1:0] | |
| 84h | ADC1A_OCAL_MSB | 0000h | OCAL1A[23:8] | | | | | | | |
| | | | OCAL1A[23:8] | | | | | | | |
| 85h | ADC1A_OCAL_LSB | 0000h | OCAL1A[7:0] | | | | | | | |
| | | | RESERVED | | | | | | | |
| 86h | ADC1A_GCAL | 0000h | GCAL1A[15:0] | | | | | | | |
| | | | GCAL1A[15:0] | | | | | | | |
| 87h | OCCA_CFG | 0000h | OCCA_EN | OCCA_POL | RESERVED | OCCA_NUM[4:0] | | | | |
| | | | RESERVED | | | | | | | |
| 88h | OCCA_HIGH_THRE_SHOLD | 7FFFh | OCCA_HIGH_TH[15:0] | | | | | | | |
| | | | OCCA_HIGH_TH[15:0] | | | | | | | |
| 89h | OCCA_LOW_THRE_SHOLD | 8000h | OCCA_LOW_TH[15:0] | | | | | | | |
| | | | OCCA_LOW_TH[15:0] | | | | | | | |
| 8Ah | SPARE_8Ah | 5555h | SPARE[15:0] | | | | | | | |
| | | | SPARE[15:0] | | | | | | | |
| 8Bh | ADC2A_CFG1 | 8010h | ADC2A_EN | RESERVED | | | | VCMA_EN | OWD2A_SOURCE_MUX[2:0] | |
| | | | OWD2A_SOURCE_MUX[2:0] | OWD2A_SINK_MUX[2:0] | | | OWD2A_SOURCE_VALUE[1:0] | | OWD2A_SINK_VALUE[1:0] | |
| 8Ch | ADC2A_CFG2 | 0000h | SEQ2A_MODE[1:0] | | RESERVED | | | MUX2A_DELAY[2:0] | | |
| | | | RESERVED | | | | | | OSR2A[1:0] | |
| 8Dh | SPARE_8Dh | 0000h | RESERVED | | | | | | | |
| | | | SPARE[7:0] | | | | | | | |
| 8Eh | ADC2A_OCAL | 0000h | OCAL2A[15:0] | | | | | | | |
| | | | OCAL2A[15:0] | | | | | | | |
| 8Fh | ADC2A_GCAL | 0000h | GCAL2A[15:0] | | | | | | | |
| | | | GCAL2A[15:0] | | | | | | | |
| 90h | SEQ2A_STEP0_CFG | 0000h | SEQ2A_STEP0_EN | SEQ2A_STEP0_GAIN[1:0] | | RESERVED | | | | |
| | | | RESERVED | | | SEQ2A_STEP0_CH_N | SEQ2A_STEP0_CH_P[3:0] | | | |
| 91h | SEQ2A_STEP1_CFG | 0001h | SEQ2A_STEP1_EN | SEQ2A_STEP1_GAIN[1:0] | | RESERVED | | | | |
| | | | RESERVED | | | SEQ2A_STEP1_CH_N | SEQ2A_STEP1_CH_P[3:0] | | | |

表 8-1. レジスタ マップ (続き)

| アドレス | 略称 | リセット | ビット 15 | ビット 14 | ビット 13 | ビット 12 | ビット 11 | ビット 10 | ビット 9 | ビット 8 |
|------|----------------------|-------|-----------------|------------------------|------------------|-------------------|-------------------------|--------|-----------------------|-------|
| | | | ビット 7 | ビット 6 | ビット 5 | ビット 4 | ビット 3 | ビット 2 | ビット 1 | ビット 0 |
| 92h | SEQ2A_STEP2_CF G | 0002h | SEQ2A_STEP2_EN | SEQ2A_STEP2_GAIN[1:0] | | RESERVED | | | | |
| | | | RESERVED | | | SEQ2A_STEP2_CH_N | SEQ2A_STEP2_CH_P[3:0] | | | |
| 93h | SEQ2A_STEP3_CF G | 0003h | SEQ2A_STEP3_EN | SEQ2A_STEP3_GAIN[1:0] | | RESERVED | | | | |
| | | | RESERVED | | | SEQ2A_STEP3_CH_N | SEQ2A_STEP3_CH_P[3:0] | | | |
| 94h | SEQ2A_STEP4_CF G | 0004h | SEQ2A_STEP4_EN | SEQ2A_STEP4_GAIN[1:0] | | RESERVED | | | | |
| | | | RESERVED | | | SEQ2A_STEP4_CH_N | SEQ2A_STEP4_CH_P[3:0] | | | |
| 95h | SEQ2A_STEP5_CF G | 0005h | SEQ2A_STEP5_EN | SEQ2A_STEP5_GAIN[1:0] | | RESERVED | | | | |
| | | | RESERVED | | | SEQ2A_STEP5_CH_N | SEQ2A_STEP5_CH_P[3:0] | | | |
| 96h | SEQ2A_STEP6_CF G | 0006h | SEQ2A_STEP6_EN | SEQ2A_STEP6_GAIN[1:0] | | RESERVED | | | | |
| | | | RESERVED | | | SEQ2A_STEP6_CH_N | SEQ2A_STEP6_CH_P[3:0] | | | |
| 97h | SEQ2A_STEP7_CF G | 0007h | SEQ2A_STEP7_EN | SEQ2A_STEP7_GAIN[1:0] | | RESERVED | | | | |
| | | | RESERVED | | | SEQ2A_STEP7_CH_N | SEQ2A_STEP7_CH_P[3:0] | | | |
| 98h | SEQ2A_STEP8_CF G | 0008h | SEQ2A_STEP8_EN | SEQ2A_STEP8_GAIN[1:0] | | RESERVED | | | | |
| | | | RESERVED | | | SEQ2A_STEP8_CH_N | SEQ2A_STEP8_CH_P[3:0] | | | |
| 99h | SEQ2A_STEP9_CF G | 0009h | SEQ2A_STEP9_EN | SEQ2A_STEP9_GAIN[1:0] | | RESERVED | | | | |
| | | | RESERVED | | | SEQ2A_STEP9_CH_N | SEQ2A_STEP9_CH_P[3:0] | | | |
| 9Ah | SEQ2A_STEP10_CF G | 000Ah | SEQ2A_STEP10_EN | SEQ2A_STEP10_GAIN[1:0] | | RESERVED | | | | |
| | | | RESERVED | | | SEQ2A_STEP10_CH_N | SEQ2A_STEP10_CH_P[3:0] | | | |
| 9Bh | SEQ2A_STEP11_CF G | 000Bh | SEQ2A_STEP11_EN | SEQ2A_STEP11_GAIN[1:0] | | RESERVED | | | | |
| | | | RESERVED | | | SEQ2A_STEP11_CH_N | SEQ2A_STEP11_CH_P[3:0] | | | |
| 9Ch | SEQ2A_STEP12_CF G | 000Ch | SEQ2A_STEP12_EN | SEQ2A_STEP12_GAIN[1:0] | | RESERVED | | | | |
| | | | RESERVED | | | SEQ2A_STEP12_CH_N | SEQ2A_STEP12_CH_P[3:0] | | | |
| 9Dh | SEQ2A_STEP13_CF G | 000Dh | SEQ2A_STEP13_EN | SEQ2A_STEP13_GAIN[1:0] | | RESERVED | | | | |
| | | | RESERVED | | | SEQ2A_STEP13_CH_N | SEQ2A_STEP13_CH_P[3:0] | | | |
| 9Eh | SEQ2A_STEP14_CF G | 000Eh | SEQ2A_STEP14_EN | SEQ2A_STEP14_GAIN[1:0] | | RESERVED | | | | |
| | | | RESERVED | | | SEQ2A_STEP14_CH_N | SEQ2A_STEP14_CH_P[3:0] | | | |
| 9Fh | SEQ2A_STEP15_CF G | 000Fh | SEQ2A_STEP15_EN | SEQ2A_STEP15_GAIN[1:0] | | RESERVED | | | | |
| | | | RESERVED | | | SEQ2A_STEP15_CH_N | SEQ2A_STEP15_CH_P[3:0] | | | |
| A0h | ADC3A_CFG | 8010h | ADC3A_EN | RESERVED | | | GAIN3A[1:0] | | MUX3A[1:0] | |
| | | | RESERVED | | OWD3A_SOURCE_MUX | OWD3A_SINK_MUX | OWD3A_SOURCE_VALUE[1:0] | | OWD3A_SINK_VALUE[1:0] | |
| A1h | ADC3A_OCAL_MSB | 0000h | OCAL3A[23:8] | | | | | | | |
| | | | OCAL3A[23:8] | | | | | | | |
| A2h | ADC3A_OCAL_LSB | 0000h | OCAL3A[7:0] | | | | | | | |
| | | | RESERVED | | | | | | | |

表 8-1. レジスタ マップ (続き)

| アドレス | 略称 | リセット | ビット 15 | ビット 14 | ビット 13 | ビット 12 | ビット 11 | ビット 10 | ビット 9 | ビット 8 |
|---------|----------------------|-------|--------------------------|-----------------------|--------------------|------------------|-------------------------|------------------|-----------------------|------------|
| | | | ビット 7 | ビット 6 | ビット 5 | ビット 4 | ビット 3 | ビット 2 | ビット 1 | ビット 0 |
| A3h | ADC3A_GCAL | 0000h | GCAL3A[15:0] | | | | | | | |
| | | | GCAL3A[15:0] | | | | | | | |
| BEh | REGISTER_MAP2_CRC | 0000h | REG_MAP2_CRC_VALUE[15:0] | | | | | | | |
| | | | REG_MAP2_CRC_VALUE[15:0] | | | | | | | |
| セクション 3 | | | | | | | | | | |
| C0h | REGMAP3_TDACB_CFG | 0000h | REG_MAP3_RC_EN | RESERVED | | | | | | |
| | | | RESERVED | | | | | TDACB_VALUE[2:0] | | |
| C1h | GPIOB_CFG | 0000h | GPIOB_PIN_CFG | SPARE[2:0] | | | GPIO1B_FMT | GPIO0B_FMT | GPIO1B_DIR | GPIO0B_DIR |
| | | | GPIO1B_PWM_TB[1:0] | | GPIO0B_PWM_TB[1:0] | | SPARE[1:0] | | GPO1B_DAT | GPO0B_DAT |
| C2h | ADC1B_ADC3B_CFG | 0400h | RESERVED | | | | CONV_MODE1_3B | OSR13B[2:0] | | |
| | | | RESERVED | | | | GC13B_EN | GC13B_DELAY[2:0] | | |
| C3h | ADC1B_CFG | 8010h | ADC1B_EN | RESERVED | | | GAIN1B[1:0] | | MUX1B[1:0] | |
| | | | RESERVED | | OWD1B_SOURCE_MUX | OWD1B_SINK_MUX | OWD1B_SOURCE_VALUE[1:0] | | OWD1B_SINK_VALUE[1:0] | |
| C4h | ADC1B_OCAL_MSB | 0000h | OCAL1B[23:8] | | | | | | | |
| | | | OCAL1B[23:8] | | | | | | | |
| C5h | ADC1B_OCAL_LSB | 0000h | OCAL1B[7:0] | | | | | | | |
| | | | RESERVED | | | | | | | |
| C6h | ADC1B_GCAL | 0000h | GCAL1B[15:0] | | | | | | | |
| | | | GCAL1B[15:0] | | | | | | | |
| C7h | OCCB_CFG | 0000h | OCCB_EN | OCCB_POL | RESERVED | OCCB_NUM[4:0] | | | | |
| | | | RESERVED | | | | | | | |
| C8h | OCCB_HIGH_THRE_SHOLD | 7FFFh | OCCB_HIGH_TH[15:0] | | | | | | | |
| | | | OCCB_HIGH_TH[15:0] | | | | | | | |
| C9h | OCCB_LOW_THRE_SHOLD | 8000h | OCCB_LOW_TH[15:0] | | | | | | | |
| | | | OCCB_LOW_TH[15:0] | | | | | | | |
| CAh | SPARE_CAh | 5555h | SPARE[15:0] | | | | | | | |
| | | | SPARE[15:0] | | | | | | | |
| CBh | ADC2B_CFG1 | 8010h | ADC2B_EN | RESERVED | | | | VCMB_EN | OWD2B_SOURCE_MUX[2:0] | |
| | | | OWD2B_SOURCE_MUX[2:0] | OWD2B_SINK_MUX[2:0] | | | OWD2B_SOURCE_VALUE[1:0] | | OWD2B_SINK_VALUE[1:0] | |
| CCh | ADC2B_CFG2 | 0000h | SEQ2B_MODE[1:0] | | RESERVED | | | MUX2B_DELAY[2:0] | | |
| | | | RESERVED | | | | | OSR2B[1:0] | | |
| CDh | SPARE_CDh | 0000h | RESERVED | | | | | | | |
| | | | SPARE[7:0] | | | | | | | |
| CEh | ADC2B_OCAL | 0000h | OCAL2B[15:0] | | | | | | | |
| | | | OCAL2B[15:0] | | | | | | | |
| CFh | ADC2B_GCAL | 0000h | GCAL2B[15:0] | | | | | | | |
| | | | GCAL2B[15:0] | | | | | | | |
| D0h | SEQ2B_STEP0_CFG | 0000h | SEQ2B_STEP0_EN | SEQ2B_STEP0_GAIN[1:0] | | RESERVED | | | | |
| | | | RESERVED | | | SEQ2B_STEP0_CH_N | SEQ2B_STEP0_CH_P[3:0] | | | |
| D1h | SEQ2B_STEP1_CFG | 0001h | SEQ2B_STEP1_EN | SEQ2B_STEP1_GAIN[1:0] | | RESERVED | | | | |
| | | | RESERVED | | | SEQ2B_STEP1_CH_N | SEQ2B_STEP1_CH_P[3:0] | | | |
| D2h | SEQ2B_STEP2_CFG | 0002h | SEQ2B_STEP2_EN | SEQ2B_STEP2_GAIN[1:0] | | RESERVED | | | | |
| | | | RESERVED | | | SEQ2B_STEP2_CH_N | SEQ2B_STEP2_CH_P[3:0] | | | |
| D3h | SEQ2B_STEP3_CFG | 0003h | SEQ2B_STEP3_EN | SEQ2B_STEP3_GAIN[1:0] | | RESERVED | | | | |
| | | | RESERVED | | | SEQ2B_STEP3_CH_N | SEQ2B_STEP3_CH_P[3:0] | | | |

表 8-1. レジスタ マップ (続き)

| アドレス | 略称 | リセット | ビット 15 | ビット 14 | ビット 13 | ビット 12 | ビット 11 | ビット 10 | ビット 9 | ビット 8 |
|------|----------------------|-------|--------------------------|------------------------|------------------|-------------------|-------------------------|--------|-----------------------|-------|
| | | | ビット 7 | ビット 6 | ビット 5 | ビット 4 | ビット 3 | ビット 2 | ビット 1 | ビット 0 |
| D4h | SEQ2B_STEP4_CF G | 0004h | SEQ2B_STEP4_EN | SEQ2B_STEP4_GAIN[1:0] | | RESERVED | | | | |
| | | | RESERVED | | | SEQ2B_STEP4_CH_N | SEQ2B_STEP4_CH_P[3:0] | | | |
| D5h | SEQ2B_STEP5_CF G | 0005h | SEQ2B_STEP5_EN | SEQ2B_STEP5_GAIN[1:0] | | RESERVED | | | | |
| | | | RESERVED | | | SEQ2B_STEP5_CH_N | SEQ2B_STEP5_CH_P[3:0] | | | |
| D6h | SEQ2B_STEP6_CF G | 0006h | SEQ2B_STEP6_EN | SEQ2B_STEP6_GAIN[1:0] | | RESERVED | | | | |
| | | | RESERVED | | | SEQ2B_STEP6_CH_N | SEQ2B_STEP6_CH_P[3:0] | | | |
| D7h | SEQ2B_STEP7_CF G | 0007h | SEQ2B_STEP7_EN | SEQ2B_STEP7_GAIN[1:0] | | RESERVED | | | | |
| | | | RESERVED | | | SEQ2B_STEP7_CH_N | SEQ2B_STEP7_CH_P[3:0] | | | |
| D8h | SEQ2B_STEP8_CF G | 0008h | SEQ2B_STEP8_EN | SEQ2B_STEP8_GAIN[1:0] | | RESERVED | | | | |
| | | | RESERVED | | | SEQ2B_STEP8_CH_N | SEQ2B_STEP8_CH_P[3:0] | | | |
| D9h | SEQ2B_STEP9_CF G | 0009h | SEQ2B_STEP9_EN | SEQ2B_STEP9_GAIN[1:0] | | RESERVED | | | | |
| | | | RESERVED | | | SEQ2B_STEP9_CH_N | SEQ2B_STEP9_CH_P[3:0] | | | |
| DAh | SEQ2B_STEP10_CF G | 000Ah | SEQ2B_STEP10_EN | SEQ2B_STEP10_GAIN[1:0] | | RESERVED | | | | |
| | | | RESERVED | | | SEQ2B_STEP10_CH_N | SEQ2B_STEP10_CH_P[3:0] | | | |
| DBh | SEQ2B_STEP11_CF G | 000Bh | SEQ2B_STEP11_EN | SEQ2B_STEP11_GAIN[1:0] | | RESERVED | | | | |
| | | | RESERVED | | | SEQ2B_STEP11_CH_N | SEQ2B_STEP11_CH_P[3:0] | | | |
| DCh | SEQ2B_STEP12_CF G | 000Ch | SEQ2B_STEP12_EN | SEQ2B_STEP12_GAIN[1:0] | | RESERVED | | | | |
| | | | RESERVED | | | SEQ2B_STEP12_CH_N | SEQ2B_STEP12_CH_P[3:0] | | | |
| DDh | SEQ2B_STEP13_CF G | 000Dh | SEQ2B_STEP13_EN | SEQ2B_STEP13_GAIN[1:0] | | RESERVED | | | | |
| | | | RESERVED | | | SEQ2B_STEP13_CH_N | SEQ2B_STEP13_CH_P[3:0] | | | |
| DEh | SEQ2B_STEP14_CF G | 000Eh | SEQ2B_STEP14_EN | SEQ2B_STEP14_GAIN[1:0] | | RESERVED | | | | |
| | | | RESERVED | | | SEQ2B_STEP14_CH_N | SEQ2B_STEP14_CH_P[3:0] | | | |
| DFh | SEQ2B_STEP15_CF G | 000Fh | SEQ2B_STEP15_EN | SEQ2B_STEP15_GAIN[1:0] | | RESERVED | | | | |
| | | | RESERVED | | | SEQ2B_STEP15_CH_N | SEQ2B_STEP15_CH_P[3:0] | | | |
| E0h | ADC3B_CFG | 8010h | ADC3B_EN | RESERVED | | | GAIN3B[1:0] | | MUX3B[1:0] | |
| | | | RESERVED | | OWD3B_SOURCE_MUX | OWD3B_SINK_MUX | OWD3B_SOURCE_VALUE[1:0] | | OWD3B_SINK_VALUE[1:0] | |
| E1h | ADC3B_OCAL_MSB | 0000h | OCAL3B[23:8] | | | | | | | |
| E2h | ADC3B_OCAL_LSB | 0000h | OCAL3B[23:8] | | | | | | | |
| | | | OCAL3B[7:0] | | | | | | | |
| E3h | ADC3B_GCAL | 0000h | RESERVED | | | | | | | |
| | | | GCAL3B[15:0] | | | | | | | |
| FEh | REGISTER_MAP3_CRC | 0000h | GCAL3B[15:0] | | | | | | | |
| | | | REG_MAP3_CRC_VALUE[15:0] | | | | | | | |
| | | | REG_MAP3_CRC_VALUE[15:0] | | | | | | | |

8.1.1 ID レジスタ (アドレス = 00h) [リセット = X]

[概略表](#)に戻ります。

図 8-1. ID レジスタ

| | | | | | | | |
|----------------|----|----|----|----------------|----|---|---|
| 15 | 14 | 13 | 12 | 11 | 10 | 9 | 8 |
| REV[7:0] | | | | | | | |
| R-X | | | | | | | |
| 7 | 6 | 5 | 4 | 3 | 2 | 1 | 0 |
| ADC_COUNT[2:0] | | | | Device_ID[4:0] | | | |
| R-110b | | | | R-X | | | |

表 8-2. ID レジスタ フィールドの説明

| ビット | フィールド | タイプ | リセット | 概要 |
|------|----------------|-----|------|---|
| 15:8 | REV[7:0] | R | X | リビジョン ID 値が予告なく変更される可能性があります |
| 7:5 | ADC_COUNT[2:0] | R | 110b | ADC 数 110b = 6 (ADC1A、ADC1B、ADC2A、ADC2B、ADC3A、ADC3B) |
| 4:0 | Device_ID[4:0] | R | X | デバイス ID 値が予告なく変更される可能性があります |

8.1.2 STATUS_MSB レジスタ (アドレス = 01h) [リセット = 7FC8h]

概略表に戻ります。

図 8-2. STATUS_MSB レジスタ

| 15 | 14 | 13 | 12 | 11 | 10 | 9 | 8 |
|-------------------|-----------------------|--------------|----------------|------------|----------------|--------------|-------------------|
| RESETn | SUPPLY_FAULTn | CLOCK_FAULTn | DIGITAL_FAULTn | OCC_FAULTn | SPI_CRC_FAULTn | SPI_TIMEOUTn | SCLK_COUNT_FAULTn |
| R/W-0b | R/W-1b | R/W-1b | R/W-1b | R/W-1b | R-1b | R-1b | R-1b |
| 7 | 6 | 5 | 4 | 3 | 2 | 1 | 0 |
| REG_ACCESS_FAULTn | COMMAND_RESPONSE[3:0] | | | | LOCK | クロック | モード |
| R-1b | R-1001b | | | | R-0b | R-0b | R-0b |

表 8-3. STATUS_MSB レジスタ フィールドの説明

| ビット | フィールド | タイプ | リセット | 概要 |
|-----|-------------------|-----|------|--|
| 15 | RESETn | R/W | 0b | リセット フラグ は、デバイス リセットが発生したことを示します。「1b」を書き込むと、このビットが「1b」にクリアされます。 0b = リセットが発生した 1b = リセットが発生しなかった |
| 14 | SUPPLY_FAULTn | R/W | 1b | 電源故障フラグ SUPPLY_STATUS レジスタの 1 つ以上のマスクされていない電源故障フラグが設定されていることを示します。マスクされていない電源故障フラグがすべてクリアされた後で、1b を書き込むと、このビットが 1b にクリアされます。 0b = マスクされていない電源故障フラグの 1 つ以上が設定される 1b = マスクされていない電源故障フラグは設定されていない |
| 13 | CLOCK_FAULTn | R/W | 1b | クロック故障フラグ CLOCK_STATUS レジスタのマスクされていないクロック故障フラグの 1 つ以上が設定されていることを示します。マスクされていないクロック故障フラグがすべてクリアされた後で、1b を書き込むと、このビットが 1b にクリアされます。 0b = マスクされていないクロック故障フラグが 1 つ以上設定される 1b = マスクされていない電源クロック故障フラグが設定されていない |
| 12 | DIGITAL_FAULTn | R/W | 1b | デジタル故障フラグ は、DIGITAL_STATUS レジスタの 1 つ以上のマスクされていないデジタル故障フラグが設定されていることを示します。マスクされていないデジタル故障フラグがすべてクリアされた後で、1b を書き込むと、このビットが 1b にクリアされます。 0b = マスクされていないデジタル故障フラグの 1 つ以上が設定される 1b = マスクされていないデジタル故障フラグは設定されていない |
| 11 | OCC_FAULTn | R/W | 1b | 過電流コンバータ故障フラグ は、OCC_STATUS レジスタの 1 つ以上のマスクされていない過電流コンバータ故障フラグが設定されていることを示します。マスクされていない過電流コンバータ故障フラグがすべてクリアされた後で、1b を書き込むと、このビットが 1b にクリアされます。 0b = マスクされていない過電流コンバータ故障フラグの 1 つ以上が設定される 1b = マスクされていない過電流コンバータ故障フラグは設定されない |
| 10 | SPI_CRC_FAULTn | R | 1b | SPI CRC 故障フラグは 前の SPI フレームで SPI CRC 故障が発生したことを示します。このビットは、新しい SPI フレームごとに自動的に 1b にクリアされます。 0b = SPI CRC 故障が発生した 1b = SPI CRC 故障が発生していない |
| 9 | SPI_TIMEOUTn | R | 1b | SPI タイムアウト故障フラグ 前の SPI フレームで SPI タイムアウト故障が発生したことを示します。このビットは、新しい SPI フレームごとに自動的に 1b にクリアされます。 0b = SPI タイムアウト故障が発生した 1b = SPI タイムアウト故障が発生していない |
| 8 | SCLK_COUNT_FAULTn | R | 1b | SCLK カウンタ故障フラグ 前の SPI フレームで SCLK カウンタ故障が発生したことを示します(つまり、前のフレームに必要な SCLK よりも少ないかそれ以上の SCLK を送信しました)。このビットは、新しい SPI フレームごとに自動的に 1b にクリアされます。 0b = SCLK カウンタ故障が発生した 1b = SCLK カウンタ故障が発生していない |
| 7 | REG_ACCESS_FAULTn | R | 1b | レジスタ アクセス故障フラグ 無効なレジスタ アドレス (レジスタ アドレス FFh またはそれ以上) に対する読み取りまたは書き込みアクセスが発生したことを示します。このフラグは、フレームから続く次のフレームで 0b に設定されます。無効なレジスタ アドレスを持つレジスタに対する読み取りまたは書き込み動作が試みられました。このビットは、新しい SPI フレームごとに自動的に 1b にクリアされます。 0b = レジスタ アクセス故障が発生した 1b = レジスタ アクセス故障は発生していない |

表 8-3. STATUS_MSB レジスタ フィールドの説明 (続き)

| ビット | フィールド | タイプ | リセット | 概要 |
|-----|-----------------------|-----|-------|---|
| 6:3 | COMMAND_RESPONSE[3:0] | R | 1001b | <p>コマンド応答表示は、前の SPI フレームでどのコマンドが実行されたかを示します。</p> <p>0000b = 通常の状況では発生しない無効な応答。SDO 信号が停止していること、またはデバイスがリセット状態に保持されていることを示すことができます。</p> <p>0001b = NULL コマンド</p> <p>0010b = LOCK コマンド</p> <p>0011b = UNLOCK コマンド</p> <p>0100b = RREG コマンド</p> <p>0101b = NULL コマンド (RREG コマンドの後の 2 番目のフレームとして正しく送信されたため) この応答は、2 フレームの RREG コマンドのフレーム カウンタとして機能します。</p> <p>0110b = WREG コマンド</p> <p>0111b = 通常の状況では発生しない無効な応答。</p> <p>1000b = 通常の状況では発生しない無効な応答。</p> <p>1001b = NULL コマンド (電源投入またはリセット後の最初のフレーム)。この応答は、リセットまたはパワーアップ後の最初のフレームでのみ送信されます。2 番目のフレームは、最初のフレームで送信されたコマンドに基づく応答を持ちます。</p> <p>1010b = NULL コマンド (次のいずれかのエラーの結果: 完全なコマンド CRC を受信する前にタイムアウトが発生した、コマンドを完了するために十分な SCLK が送信されなかった、コマンドワードとコマンド CRC ワード間の CRC ミスマッチ、WREG コマンド内のデータワードとデータ CRC ワード間の CRC ミスマッチ)。NULL、RREG、LOCK、UNLOCK コマンドの場合、コマンドとコマンド CRC ワードを送信して、コマンドを完了する必要があります。リセット コマンドの場合、このコマンドを完了するには、ステータスワード、すべての ADC データワード、出力 CRC ワードを読み取る必要があります。WREG コマンドの場合、コマンドとコマンドの CRC ワード、およびデータおよびデータ CRC ワードを送信して、コマンドを完了する必要があります。</p> <p>1011b = NULL コマンド (コマンドワードとコマンド CRC ワードの間に一致する CRC があるため、無効なコマンドワードが生成された結果)。</p> <p>1100b = NULL コマンド (RREG コマンドの後の 2 番目のフレームで NULL コマンド以外のコマンドが送信され、無視された結果)。この応答は、2 フレームの RREG コマンドのフレーム カウンタとして機能します。</p> <p>1101b = NULL コマンド (デバイスがロックされているため、RESET または WREG コマンドは無視されます)。</p> <p>1110b = 通常の状況では発生しない無効な応答。</p> <p>1111b = 通常の状況では発生しない無効な応答。SDO 信号が停止していることを示すことができます。</p> |
| 2 | LOCK | R | 0b | <p>ロック状態表示は、デバイスがロックされているかロックされていないかを示します。</p> <p>0b = デバイスはロックされていない</p> <p>1b = デバイスはロックされている</p> |
| 1 | クロック | R | 0b | <p>クロックソース表示は、デバイスが現在使用しているクロックソースを示します。</p> <p>0b = 内部発振器</p> <p>1b = 外部クロック</p> |
| 0 | モード | R | 0b | <p>動作モード表示は、デバイスが現在の動作モードになっているかを示します。</p> <p>0b = アクティブモード</p> <p>1b = スタンバイモードまたはパワー ダウン モード</p> |

8.1.3 STATUS_LSB レジスタ (アドレス = 02h) [リセット = 0000h]

概略表に戻ります。

図 8-3. STATUS_LSB レジスタ

| | | | | | | | |
|------------------|----|------------------|----|-------------------|----|-------------------|--------------|
| 15 | 14 | 13 | 12 | 11 | 10 | 9 | 8 |
| SEQ2A_COUNT[1:0] | | SEQ2B_COUNT[1:0] | | CONV1A_COUNT[1:0] | | CONV1B_COUNT[1:0] | |
| R-00b | | R-00b | | R-00b | | R-00b | |
| 7 | 6 | 5 | 4 | 3 | 2 | 1 | 0 |
| RESERVED | | | | | | SEQ2A_ACTIVE | SEQ2B_ACTIVE |
| R-000000b | | | | | | R-0b | R-0b |

表 8-4. STATUS_LSB レジスタ フィールドの説明

| ビット | フィールド | タイプ | リセット | 概要 |
|-------|-------------------|-----|---------|--|
| 15:14 | SEQ2A_COUNT[1:0] | R | 00b | ADC2A シーケンス カウンタ の新しいシーケンスが完了するたびにインクリメントする循環カウンタ。ADC2A が無効化されたとき、デバイスがスタンバイ モードまたはパワーダウン モードになるとき、またはデバイス リセット後に、このカウンタは 00b にリセットされます。 |
| 13:12 | SEQ2B_COUNT[1:0] | R | 00b | ADC2B シーケンス カウンタ ADC2B の新しいシーケンスが完了するたびにインクリメントする循環カウンタ。ADC2B が無効化されたとき、デバイスがスタンバイ モードまたはパワーダウン モードになるとき、またはデバイス リセット後に、このカウンタは 00b にリセットされます。 |
| 11:10 | CONV1A_COUNT[1:0] | R | 00b | ADC1A および ADC3A 変換カウンタ の ADC1A と ADC3A の新しい変換が完了するたびにインクリメントする循環カウンタ。ADC1A と ADC3A が無効化されたとき、デバイスがスタンバイ モードまたはパワーダウン モードになるとき、またはデバイス リセット後に、このカウンタは 00b にリセットされます。 |
| 9:8 | CONV1B_COUNT[1:0] | R | 00b | ADC1B および ADC3B 変換カウンタ 。ADC1B と ADC3B の新しい変換が完了するたびにインクリメントする循環カウンタ。ADC1B と ADC3B が無効化されたとき、デバイスがスタンバイ モードまたはパワーダウン モードになるとき、またはデバイス リセット後に、このカウンタは 00b にリセットされます。 |
| 7:2 | RESERVED | R | 000000b | 予約済み 常に 000000b を読み出す。 |
| 1 | SEQ2A_ACTIVE | R | 0b | ADC2A シーケンスが進行中の表示 は、ADC2A のシーケンスが現在進行中であることを示します。ADC2A のアドレス 8Ch から 9Fh へのレジスタの変更は、ADC2A が無効になったときのみ行う必要があります。 0b = 進行中なシーケンスはない 1b = シーケンスが進行中 |
| 0 | SEQ2B_ACTIVE | R | 0b | ADC2B シーケンスが進行中の表示は 、ADC2B のシーケンスが現在進行中であることを示します。ADC2B のアドレス CCh から DFh へのレジスタの変更は、ADC2B が無効になったときのみ行う必要があります。 0b = 進行中なシーケンスはない 1b = シーケンスが進行中 |

8.1.4 SUPPLY_STATUS レジスタ (アドレス = 03h) [リセット = FFFFh]

概略表に戻ります。

図 8-4. SUPPLY_STATUS レジスタ

| 15 | 14 | 13 | 12 | 11 | 10 | 9 | 8 |
|-----------|-----------|------------|-----------|-----------|-------------|-------------|------------|
| AVDD_OVn | AVDD_UVn | IOVDD_OVn | IOVDD_UVn | DVDD_OVn | DVDD_UVn | AVDD_OSCn | IOVDD_OSCn |
| R/W-1b | R/W-1b | R/W-1b | R/W-1b | R/W-1b | R/W-1b | R/W-1b | R/W-1b |
| 7 | 6 | 5 | 4 | 3 | 2 | 1 | 0 |
| DVDD_OSCn | AVDD_OTWn | IOVDD_OTWn | AVDD_CLN | IOVDD_CLn | AGNDA_DISCn | AGNDB_DISCn | DGND_DISCn |
| R/W-1b | R/W-1b | R/W-1b | R/W-1b | R/W-1b | R/W-1b | R/W-1b | R/W-1b |

表 8-5. SUPPLY_STATUS レジスタ フィールドの説明

| ビット | フィールド | タイプ | リセット | 概要 |
|-----|------------|-----|------|---|
| 15 | AVDD_OVn | R/W | 1b | AVDD 過電圧故障フラグ AVDD 電源電圧が AVDD 過電圧スレッショルドを超えたことを示します。過電圧中の AVDD LDO シャットダウンの詳細については、AVDD モニタの説明を参照してください。「1b」を書き込むと、このビットが「1b」にクリアされます。 0b = 過電圧故障が発生した 1b = 過電圧故障は発生していない |
| 14 | AVDD_UVn | R/W | 1b | AVDD 低電圧故障フラグ AVDD 電源電圧が AVDD 低電圧スレッショルドを下回ったことを示します。「1b」を書き込むと、このビットが「1b」にクリアされます。 0b = 低電圧故障発生 1b = 低電圧故障は発生していない |
| 13 | IOVDD_OVn | R/W | 1b | IOVDD 過電圧故障フラグ IOVDD 電源電圧が IOVDD 過電圧スレッショルドを超えたことを示します。過電圧中の IOVDD LDO シャットダウンの詳細については、IOVDD モニタの説明を参照してください。「1b」を書き込むと、このビットが「1b」にクリアされます。 0b = 過電圧故障が発生した 1b = 過電圧故障は発生していない |
| 12 | IOVDD_UVn | R/W | 1b | IOVDD 低電圧故障フラグ IOVDD 電源電圧が IOVDD 低電圧スレッショルドを下回ったことを示します。「1b」を書き込むと、このビットが「1b」にクリアされます。 0b = 低電圧故障発生 1b = 低電圧故障は発生していない |
| 11 | DVDD_OVn | R/W | 1b | DVDD 過電圧故障フラグ DVDD 電源電圧が DVDD 過電圧スレッショルドを超えたことを示します。過電圧中の DVDD LDO シャットダウンの詳細については、DVDD モニタの説明を参照してください。「1b」を書き込むと、このビットが「1b」にクリアされます。 0b = 過電圧故障が発生した 1b = 過電圧故障は発生していない |
| 10 | DVDD_UVn | R/W | 1b | DVDD 低電圧故障フラグ DVDD 電源電圧が DVDD 低電圧スレッショルドを下回ったことを示します。「1b」を書き込むと、このビットが「1b」にクリアされます。 0b = 低電圧故障発生 1b = 低電圧故障は発生していない |
| 9 | AVDD_OSCn | R/W | 1b | AVDD 発振器故障フラグ AVDD 電源電圧が発振していることを示します。「1b」を書き込むと、このビットが「1b」にクリアされます。 0b = 発振器故障が発生した 1b = 発振器故障は発生していません |
| 8 | IOVDD_OSCn | R/W | 1b | IOVDD 発振器故障フラグ IOVDD 電源電圧が発振していることを示します。「1b」を書き込むと、このビットが「1b」にクリアされます。 0b = 発振器故障が発生した 1b = 発振器故障は発生していません |
| 7 | DVDD_OSCn | R/W | 1b | DVDD 発振器故障フラグ DVDD 電源電圧が発振していることを示します。「1b」を書き込むと、このビットが「1b」にクリアされます。 0b = 発振器故障が発生した 1b = 発振器故障は発生していません |
| 6 | AVDD_OTWn | R/W | 1b | AVDD 過熱警告フラグ は、AVDD LDO の温度が AVDD 過熱警告スレッショルドを超えたことを示します。「1b」を書き込むと、このビットが「1b」にクリアされます。 0b = 過熱警告 1b = 過熱警告はない |

表 8-5. SUPPLY_STATUS レジスタ フィールドの説明 (続き)

| ビット | フィールド | タイプ | リセット | 概要 |
|-----|-------------|-----|------|--|
| 5 | IOVDD_OTWn | R/W | 1b | IOVDD 過熱警告フラグ は、IOVDD LDO の温度が IOVDD 過熱警告スレッシュホールドを超えたことを示します。「1b」を書き込むと、このビットが「1b」にクリアされます。 0b = 過熱警告 1b = 過熱警告はない |
| 4 | AVDD_CLN | R/W | 1b | AVDD 電流制限フラグ は、AVDD LDO 電流制限が有効になっていることを示します。「1b」を書き込むと、このビットが「1b」にクリアされます。 0b = 電流制限 1b = 電流制限はない |
| 3 | IOVDD_CLn | R/W | 1b | IOVDD 電流制限フラグ は、IOVDD LDO 電流制限が有効になっていることを示します。「1b」を書き込むと、このビットが「1b」にクリアされます。 0b = 電流制限 1b = 電流制限はない |
| 2 | AGNDA_DISCn | R/W | 1b | AGNDA ピン接続解除検出フラグ は、AGNDA ピンが切り離されていることを示します。「1b」を書き込むと、このビットが「1b」にクリアされます。 0b = AGNDA ピンは未接続 1b = AGNDA ピンが接続されている |
| 1 | AGNDB_DISCn | R/W | 1b | AGNDB ピン接続解除検出フラグ は、AGNDB ピンが切り離されていることを示します。「1b」を書き込むと、このビットが「1b」にクリアされます。 0b = AGNDB ピンは未接続 1b = AGNDB ピンが接続されている |
| 0 | DGND_DISCn | R/W | 1b | DGND ピン接続解除検出フラグ は、DGND ピンが切り離されていることを示します。「1b」を書き込むと、このビットが「1b」にクリアされます。 0b = DGND ピンは未接続 1b = DGND ピンが接続されている |

8.1.5 CLOCK_STATUS レジスタ (アドレス = 04h) [リセット = FC07h]

[概略表](#)に戻ります。

図 8-5. CLOCK_STATUS レジスタ

| | | | | | | | |
|------------------|----|----|----|-------------|----|----------|----------|
| 15 | 14 | 13 | 12 | 11 | 10 | 9 | 8 |
| RESERVED | | | | | | | |
| R-1111110000000b | | | | | | | |
| 7 | 6 | 5 | 4 | 3 | 2 | 1 | 0 |
| RESERVED | | | | MCLK_FAULTn | | OSCD_WDn | MCLK_WDn |
| R-1111110000000b | | | | R/W-1b | | R/W-1b | R/W-1b |

表 8-6. CLOCK_STATUS レジスタ フィールドの説明

| ビット | フィールド | タイプ | リセット | 概要 |
|------|-------------|-----|----------------|---|
| 15:3 | RESERVED | R | 1111110000000b | 予約済み 常に 1111110000000b を読み出す。 |
| 2 | MCLK_FAULTn | R/W | 1b | MCLK 周波数が高すぎる、または低すぎる故障フラグ 選択されたクロック ソースのメイン クロック周波数がクロック周波数の上限スレッシュホールドを超えたか、またはクロック周波数の下限スレッシュホールドを下回ったことを示します。「1b」を書き込むと、このビットが「1b」にクリアされます。 0b = MCLK 周波数が高すぎるまたは低すぎる故障が発生した 1b = MCLK 周波数が高すぎるまたは低すぎる故障が発生していない |
| 1 | OSCD_WDn | R/W | 1b | 診断発振器のウォッチドッグ故障フラグ 診断発振器のウォッチドッグ故障が発生したことを示します。「1b」を書き込むと、このビットが「1b」にクリアされます。 0b = ウォッチドッグ故障が発生した 1b = ウォッチドッグ故障は発生していない |
| 0 | MCLK_WDn | R/W | 1b | メイン クロック ウォッチドッグ故障フラグ メイン クロック ウォッチドッグ故障が発生したことを示します。「1b」を書き込むと、このビットが「1b」にクリアされます。 0b = ウォッチドッグ故障が発生した 1b = ウォッチドッグ故障は発生していない |

8.1.6 DIGITAL_STATUS レジスタ (アドレス = 05h) [リセット = EC00h]

概略表に戻ります。

図 8-6. DIGITAL_STATUS レジスタ

| 15 | 14 | 13 | 12 | 11 | 10 | 9 | 8 |
|-------------------------|-------------------------|-------------------------|----------|------------------------|----------|---------------|---|
| REG_MAP1_CRC_F AULTn | REG_MAP2_CRC_F AULTn | REG_MAP3_CRC_F AULTn | RESERVED | MEM_MAP_CRC_FA ULTn | OTP_BANK | RESERVED | |
| R/W-1b | R/W-1b | R/W-1b | R-0b | R/W-1b | R-1b | R-0000000000b | |
| 7 | 6 | 5 | 4 | 3 | 2 | 1 | 0 |
| RESERVED | | | | | | | |
| R-0000000000b | | | | | | | |

表 8-7. DIGITAL_STATUS レジスタ フィールドの説明

| ビット | フィールド | タイプ | リセット | 概要 |
|-----|---------------------|-----|-------------|--|
| 15 | REG_MAP1_CRC_FAULTn | R/W | 1b | レジスタ マップ セクション 1 の CRC 故障フラグ セクション 1 (レジスタアドレス空間は 40h ~ 59h) でのレジスタ マップの CRC 故障が発生したことを示します。「1b」を書き込むと、このビットが「1b」にクリアされます。 0b = レジスタ マップの CRC 故障が発生した 1b = レジスタ マップの CRC 故障は発生していない |
| 14 | REG_MAP2_CRC_FAULTn | R/W | 1b | レジスタ マップ セクション 2 の CRC 故障フラグ セクション 2 (レジスタアドレス空間は 80h ~ A3h) でのレジスタ マップの CRC 故障が発生したことを示します。「1b」を書き込むと、このビットが「1b」にクリアされます。 0b = レジスタ マップの CRC 故障が発生した 1b = レジスタ マップの CRC 故障は発生していない |
| 13 | REG_MAP3_CRC_FAULTn | R/W | 1b | レジスタ マップ セクション 3 の CRC 故障フラグ セクション 3 (レジスタアドレス空間は C0h ~ E3h) でのレジスタ マップの CRC 故障が発生したことを示します。「1b」を書き込むと、このビットが「1b」にクリアされます。 0b = レジスタ マップの CRC 故障が発生した 1b = レジスタ マップの CRC 故障は発生していない |
| 12 | RESERVED | R | 0b | 予約済み 常に 0b を読み出す。 |
| 11 | MEM_MAP_CRC_FAULTn | R/W | 1b | メモリ マップ CRC 故障フラグ 内部メモリでメモリ マップ CRC 故障が発生したことを示します。「1b」を書き込むと、このビットが「1b」にクリアされます。フラグが引き続き 0b に設定される場合、デバイスをリセットします。 0b = メモリ マップの CRC 故障が発生した 1b = メモリ マップの CRC 故障は発生していない |
| 10 | OTP_BANK | R | 1b | OTP バンク通知 は、リセット後にデバイスが選択した OTP バンクを示します。OTP_BANK ビットは、STATUS_MSB レジスタの DIGITAL_FAULTn ビットをトリガしません。バックアップ OTP バンクが使用されていることがフラグで示された場合、デバイスをリセットします。 0b = バックアップ OTP バンク (バンク 1) 1b = プライマリ OTP バンク (バンク 0) |
| 9:0 | RESERVED | R | 0000000000b | 予約済み 常に 0000000000b を読み出す。 |

8.1.7 OCC_STATUS レジスタ (アドレス = 06h) [リセット = 000Fh]

概略表に戻ります。

図 8-7. OCC_STATUS レジスタ

| | | | | | | | |
|------------------|----|----|----|----------|----------|----------|----------|
| 15 | 14 | 13 | 12 | 11 | 10 | 9 | 8 |
| RESERVED | | | | | | | |
| R-0000000000000b | | | | | | | |
| 7 | 6 | 5 | 4 | 3 | 2 | 1 | 0 |
| RESERVED | | | | OCCA_HTn | OCCA_LTn | OCCB_HTn | OCCB_LTn |
| R-0000000000000b | | | | R/W-1b | R/W-1b | R/W-1b | R/W-1b |

表 8-8. OCC_STATUS レジスタ フィールドの説明

| ビット | フィールド | タイプ | リセット | 概要 |
|------|----------|-----|----------------|--|
| 15:4 | RESERVED | R | 0000000000000b | 予約済み 常に 0000000000000b を読み出す。 |
| 3 | OCCA_HTn | R/W | 1b | ADC1A 過電流コンパレータの上限スレッショルド故障フラグは ADC1A デジタル高速フィルタ出力が設定された変換量に対して上限スレッショルドを超えていることを示します。「1b」を書き込むと、このビットが「1b」にクリアされます。 0b = 高スレッショルド故障が発生した 1b = 高スレッショルド故障は発生していない |
| 2 | OCCA_LTn | R/W | 1b | ADC1A 過電流コンパレータ低スレッショルド故障フラグ ADC1A デジタル高速フィルタ出力が設定された変換量に対して低スレッショルドを下回ったことを示します。「1b」を書き込むと、このビットが「1b」にクリアされます。 0b = 低スレッショルド故障が発生した 1b = 低スレッショルド故障は発生していない |
| 1 | OCCB_HTn | R/W | 1b | ADC1B 過電流コンパレータの上限スレッショルド故障フラグは ADC1B デジタル高速フィルタ出力が設定された変換量に対して上限スレッショルドを超えていることを示します。「1b」を書き込むと、このビットが「1b」にクリアされます。 0b = 高スレッショルド故障が発生した 1b = 高スレッショルド故障は発生していない |
| 0 | OCCB_LTn | R/W | 1b | ADC1B 過電流コンパレータ低スレッショルド故障フラグ ADC1B デジタル高速フィルタ出力が設定された変換量に対して低スレッショルドを下回ったことを示します。「1b」を書き込むと、このビットが「1b」にクリアされます。 0b = 低スレッショルド故障が発生した 1b = 低スレッショルド故障は発生していない |

8.1.8 GPI_DATA レジスタ (アドレス = 07h) [リセット = 0000h]

概略表に戻ります。

図 8-8. GPI_DATA レジスタ

| | | | | | | | |
|---------------|----|---------------|----|---------------|----|---------------|---|
| 15 | 14 | 13 | 12 | 11 | 10 | 9 | 8 |
| RESERVED | | | | | | GPI4_DAT[1:0] | |
| R-000000b | | | | | | R-00b | |
| 7 | 6 | 5 | 4 | 3 | 2 | 1 | 0 |
| GPI3_DAT[1:0] | | GPI2_DAT[1:0] | | GPI1_DAT[1:0] | | GPI0_DAT[1:0] | |
| R-00b | | R-00b | | R-00b | | R-00b | |

表 8-9. GPI_DATA レジスタ フィールドの説明

| ビット | フィールド | タイプ | リセット | 概要 |
|-------|---------------|-----|---------|---|
| 15:10 | RESERVED | R | 000000b | 予約済み 常に 000000b を読み出す。 |
| 9:8 | GPI4_DAT[1:0] | R | 00b | GPI04 データ読み戻し デジタル入力または出力として構成されている場合、GPI04 の読み戻し値。 00b = Low (静的 LOW または PWM、Low 期間が >66.6%) 01b = 弱い Low (Low 期間 ≥50%、≤66.6%) 10b = 弱い High (PWM 付き、High 期間が >50%、≤66.6%) 11b = High (静的 High または PWM 付きの High 期間が >66.6% 超) |
| 7:6 | GPI3_DAT[1:0] | R | 00b | GPI03 データ読み戻し デジタル入力または出力として構成されている場合、GPI03 の読み戻し値。 00b = Low (静的 LOW または PWM、Low 期間が >66.6%) 01b = 弱い Low (Low 期間 ≥50%、≤66.6%) 10b = 弱い High (PWM 付き、High 期間が >50%、≤66.6%) 11b = High (静的 High または PWM 付きの High 期間が >66.6% 超) |
| 5:4 | GPI2_DAT[1:0] | R | 00b | GPI02 データ読み戻し デジタル入力または出力として構成されている場合、GPI02 の読み戻し値。 00b = Low (静的 LOW または PWM、Low 期間が >66.6%) 01b = 弱い Low (Low 期間 ≥50%、≤66.6%) 10b = 弱い High (PWM 付き、High 期間が >50%、≤66.6%) 11b = High (静的 High または PWM 付きの High 期間が >66.6% 超) |
| 3:2 | GPI1_DAT[1:0] | R | 00b | GPI01 データ読み戻し デジタル入力または出力として構成されている場合、GPI01 の読み戻し値。 00b = Low (静的 LOW または PWM、Low 期間が >66.6%) 01b = 弱い Low (Low 期間 ≥50%、≤66.6%) 10b = 弱い High (PWM 付き、High 期間が >50%、≤66.6%) 11b = High (静的 High または PWM 付きの High 期間が >66.6% 超) |
| 1:0 | GPI0_DAT[1:0] | R | 00b | GPI00 データ読み戻し デジタル入力または出力として構成されている場合、GPI00 の読み戻し値。 00b = Low (静的 LOW または PWM、Low 期間が >66.6%) 01b = 弱い Low (Low 期間 ≥50%、≤66.6%) 10b = 弱い High (PWM 付き、High 期間が >50%、≤66.6%) 11b = High (静的 High または PWM 付きの High 期間が >66.6% 超) |

8.1.9 GPIA_GPIB_DATA レジスタ (アドレス = 08h) [リセット = 0000h]

概略表に戻ります。

図 8-9. GPIA_GPIB_DATA レジスタ

| | | | | | | | |
|----------|----|----|----|----------------|----|----------------|---|
| 15 | 14 | 13 | 12 | 11 | 10 | 9 | 8 |
| RESERVED | | | | GPI1A_DAT[1:0] | | GPI0A_DAT[1:0] | |
| R-0000b | | | | R-00b | | R-00b | |
| 7 | 6 | 5 | 4 | 3 | 2 | 1 | 0 |
| RESERVED | | | | GPI1B_DAT[1:0] | | GPI0B_DAT[1:0] | |
| R-0000b | | | | R-00b | | R-00b | |

表 8-10. GPIA_GPIB_DATA レジスタ フィールドの説明

| ビット | フィールド | タイプ | リセット | 概要 |
|-------|----------------|-----|-------|--|
| 15:12 | RESERVED | R | 0000b | 予約済み 常に 0000b を読み出す。 |
| 11:10 | GPI1A_DAT[1:0] | R | 00b | GPI01A データ読み戻し デジタル入力または出力として構成されている場合、GPIO1A の読み戻し値。GPIO1A がアナログ入力として構成されている場合、00b を読み出します。 00b = Low (静的 LOW または PWM、Low 期間が >66.6%) 01b = 弱い Low (Low 期間 ≥50%、≤66.6%) 10b = 弱い High (PWM 付き、High 期間が >50%、≤66.6%) 11b = High (静的 High または PWM 付きの High 期間が >66.6% 超) |
| 9:8 | GPI0A_DAT[1:0] | R | 00b | GPI00A データ読み戻し デジタル入力または出力として構成されている場合、GPIO0A の読み戻し値。GPIO0A がアナログ入力として構成されている場合、00b を読み出します。 00b = Low (静的 LOW または PWM、Low 期間が >66.6%) 01b = 弱い Low (Low 期間 ≥50%、≤66.6%) 10b = 弱い High (PWM 付き、High 期間が >50%、≤66.6%) 11b = High (静的 High または PWM 付きの High 期間が >66.6% 超) |
| 7:4 | RESERVED | R | 0000b | 予約済み 常に 0000b を読み出す。 |
| 3:2 | GPI1B_DAT[1:0] | R | 00b | GPI01B データ読み戻し デジタル入力または出力として構成されている場合、GPIO1B の読み戻し値。GPIO1B がアナログ入力として構成されている場合、00b を読み出します。 00b = Low (静的 LOW または PWM、Low 期間が >66.6%) 01b = 弱い Low (Low 期間 ≥50%、≤66.6%) 10b = 弱い High (PWM 付き、High 期間が >50%、≤66.6%) 11b = High (静的 High または PWM 付きの High 期間が >66.6% 超) |
| 1:0 | GPI0B_DAT[1:0] | R | 00b | GPI00B データ読み戻し デジタル入力または出力として構成されている場合、GPIO0B の読み戻し値。GPIO0B がアナログ入力として構成されている場合、00b を読み出します。 00b = Low (静的 LOW または PWM、Low 期間が >66.6%) 01b = 弱い Low (Low 期間 ≥50%、≤66.6%) 10b = 弱い High (PWM 付き、High 期間が >50%、≤66.6%) 11b = High (静的 High または PWM 付きの High 期間が >66.6% 超) |

8.1.10 CONVERSION_CTRL レジスタ (アドレス = 09h) [リセット = 0000h]

概略表に戻ります。

図 8-10. CONVERSION_CTRL レジスタ

| 15 | 14 | 13 | 12 | 11 | 10 | 9 | 8 |
|----------|-------------|----------|-------------|----------|------------|----------|------------|
| RESERVED | STARTA | RESERVED | STARTB | RESERVED | STOPA | RESERVED | STOPB |
| R-0b | R/W-0b | R-0b | R/W-0b | R-0b | R/W-0b | R-0b | R/W-0b |
| 7 | 6 | 5 | 4 | 3 | 2 | 1 | 0 |
| RESERVED | SEQ2A_START | RESERVED | SEQ2B_START | RESERVED | SEQ2A_STOP | RESERVED | SEQ2B_STOP |
| R-0b | R/W-0b | R-0b | R/W-0b | R-0b | R/W-0b | R-0b | R/W-0b |

表 8-11. CONVERSION_CTRL レジスタ フィールドの説明

| ビット | フィールド | タイプ | リセット | 概要 |
|-----|-------------|-----|------|---|
| 15 | RESERVED | R | 0b | 予約済み 常に 0b を読み出す。 |
| 14 | STARTA | R/W | 0b | ADC1A と ADC3A 変換を開始または再起動 1b を書き込んで、有効された ADC1A と ADC3A の同時変換を開始または再起動します。読み取り時は常に 0b に戻ります。 |
| 13 | RESERVED | R | 0b | 予約済み 常に 0b を読み出す。 |
| 12 | STARTB | R/W | 0b | ADC1B と ADC3B 変換を開始または再起動 1b を書き込んで、有効された ADC1B と ADC3B の同時変換を開始または再起動します。読み取り時は常に 0b に戻ります。 |
| 11 | RESERVED | R | 0b | 予約済み 常に 0b を読み出す。 |
| 10 | STOPA | R/W | 0b | ADC1A および ADC3A 変換を停止 1b を書き込んで、連続変換モードで有効された ADC1A および ADC3A の変換を停止します。進行中の変換は完了できます。シングル ショット変換モードでは、STOPA ビットは無効です。同じ WREG コマンド フレームの中に両方のビットが設定されている場合、Starta ビットが STOPA ビットよりも優先されます。進行中の変換が完了した後、または進行中の変換が完了する前に STARTA ビットがセットされた後、STOPA ビットは「0b」にクリアされます。その結果、進行中の変換は中止され、新しい変換が再開されます。 |
| 9 | RESERVED | R | 0b | 予約済み 常に 0b を読み出す。 |
| 8 | STOPB | R/W | 0b | ADC1B および ADC3B 変換を停止 1b を書き込んで、連続変換モードで有効された ADC1B および ADC3B の変換を停止します。進行中の変換は完了できます。シングル ショット変換モードでは、STOPB ビットは無効です。同じ WREG コマンド フレームの中に両方のビットが設定されている場合、STARTB ビットが STOPB ビットよりも優先されます。進行中の変換が完了した後、または進行中の変換が完了する前に STARTB ビットがセットされた後、STOPB ビットは「0b」にクリアされます。その結果、進行中の変換は中止され、新しい変換が再開されます。 |
| 7 | RESERVED | R | 0b | 予約済み 常に 0b を読み出す。 |
| 6 | SEQ2A_START | R/W | 0b | ADC2A シーケンスを開始 1b を書き込んで、ADC2A のシーケンスを開始または再起動します。読み取り時は常に 0b に戻ります。 |
| 5 | RESERVED | R | 0b | 予約済み 常に 0b を読み出す。 |
| 4 | SEQ2B_START | R/W | 0b | ADC2B シーケンスを開始 1b を書き込んで、ADC2B のシーケンスを開始または再起動します。読み取り時は常に 0b に戻ります。 |
| 3 | RESERVED | R | 0b | 予約済み 常に 0b を読み出す。 |
| 2 | SEQ2A_STOP | R/W | 0b | ADC2A シーケンスを停止 1b を書き込んで ADC2A シーケンスを停止します。進行中のシーケンスは終了できます。同じ WREG コマンド フレームの中に両方のビットが設定されている場合、SEQ2A_START ビットは SEQ2A_STOP ビットよりも優先されます。進行中のシーケンスが完了した後、または進行中のシーケンスが完了する前に SEQ2A_START ビットが設定された後に SEQ2A_STOP ビットは 0b にクリアされ、進行中のシーケンスが中止されて、新しいシーケンスを再起動します。 |
| 1 | RESERVED | R | 0b | 予約済み 常に 0b を読み出す。 |
| 0 | SEQ2B_STOP | R/W | 0b | ADC2B シーケンスを停止 1b を書き込んで ADC2B シーケンスを停止します。進行中のシーケンスは終了できます。同じ WREG コマンド フレームの中に両方のビットが設定されている場合、SEQ2B_START ビットは SEQ2B_STOP ビットよりも優先されます。進行中のシーケンスが完了した後、または進行中のシーケンスが完了する前に SEQ2B_START ビットが設定された後に SEQ2B_STOP ビットは 0b にクリアされ、進行中のシーケンスが中止されて、新しいシーケンスを再起動します。 |

8.1.11 SEQ2A_STEP0_DATA レジスタ (アドレス = 10h) [リセット = 0000h]

[概略表](#)に戻ります。

図 8-11. SEQ2A_STEP0_DATA レジスタ

| | | | | | | | |
|-----------------------|----|----|----|----|----|---|---|
| 15 | 14 | 13 | 12 | 11 | 10 | 9 | 8 |
| SEQ2A_STEP0_DAT[15:0] | | | | | | | |
| R-0000000000000000b | | | | | | | |
| 7 | 6 | 5 | 4 | 3 | 2 | 1 | 0 |
| SEQ2A_STEP0_DAT[15:0] | | | | | | | |
| R-0000000000000000b | | | | | | | |

表 8-12. SEQ2A_STEP0_DATA レジスタのフィールドの説明

| ビット | フィールド | タイプ | リセット | 概要 |
|------|-----------------------|-----|-------------------|---|
| 15:0 | SEQ2A_STEP0_DAT[15:0] | R | 0000000000000000b | ADC2A シーケンス ステップ 0 変換データ 2 の補数形式で提供される値。 |

8.1.12 SEQ2A_STEP1_DATA レジスタ (アドレス = 11h) [リセット = 0000h]

[概略表](#)に戻ります。

図 8-12. SEQ2A_STEP1_DATA レジスタ

| | | | | | | | |
|-----------------------|----|----|----|----|----|---|---|
| 15 | 14 | 13 | 12 | 11 | 10 | 9 | 8 |
| SEQ2A_STEP1_DAT[15:0] | | | | | | | |
| R-0000000000000000b | | | | | | | |
| 7 | 6 | 5 | 4 | 3 | 2 | 1 | 0 |
| SEQ2A_STEP1_DAT[15:0] | | | | | | | |
| R-0000000000000000b | | | | | | | |

表 8-13. SEQ2A_STEP1_DATA レジスタのフィールドの説明

| ビット | フィールド | タイプ | リセット | 概要 |
|------|-----------------------|-----|--------------------------|---|
| 15:0 | SEQ2A_STEP1_DAT[15:0] | R | 0000000000000000 000b | ADC2A シーケンス ステップ 1 変換データ 2 の補数形式で提供される値。 |

8.1.13 SEQ2A_STEP2_DATA レジスタ (アドレス = 12h) [リセット = 0000h]

[概略表](#)に戻ります。

図 8-13. SEQ2A_STEP2_DATA レジスタ

| | | | | | | | |
|-----------------------|----|----|----|----|----|---|---|
| 15 | 14 | 13 | 12 | 11 | 10 | 9 | 8 |
| SEQ2A_STEP2_DAT[15:0] | | | | | | | |
| R-0000000000000000b | | | | | | | |
| 7 | 6 | 5 | 4 | 3 | 2 | 1 | 0 |
| SEQ2A_STEP2_DAT[15:0] | | | | | | | |
| R-0000000000000000b | | | | | | | |

表 8-14. SEQ2A_STEP2_DATA レジスタのフィールドの説明

| ビット | フィールド | タイプ | リセット | 概要 |
|------|-----------------------|-----|-------------------|---|
| 15:0 | SEQ2A_STEP2_DAT[15:0] | R | 0000000000000000b | ADC2A シーケンス ステップ 2 変換データ 2 の補数形式で提供される値。 |

8.1.14 SEQ2A_STEP3_DATA レジスタ (アドレス = 13h) [リセット = 0000h]

[概略表](#)に戻ります。

図 8-14. SEQ2A_STEP3_DATA レジスタ

| | | | | | | | |
|-----------------------|----|----|----|----|----|---|---|
| 15 | 14 | 13 | 12 | 11 | 10 | 9 | 8 |
| SEQ2A_STEP3_DAT[15:0] | | | | | | | |
| R-0000000000000000b | | | | | | | |
| 7 | 6 | 5 | 4 | 3 | 2 | 1 | 0 |
| SEQ2A_STEP3_DAT[15:0] | | | | | | | |
| R-0000000000000000b | | | | | | | |

表 8-15. SEQ2A_STEP3_DATA レジスタのフィールドの説明

| ビット | フィールド | タイプ | リセット | 概要 |
|------|-----------------------|-----|--------------------------|---|
| 15:0 | SEQ2A_STEP3_DAT[15:0] | R | 0000000000000000 000b | ADC2A シーケンス ステップ 3 変換データ 2 の補数形式で提供される値。 |

8.1.15 SEQ2A_STEP4_DATA レジスタ (アドレス = 14h) [リセット = 0000h]

[概略表](#)に戻ります。

図 8-15. SEQ2A_STEP4_DATA レジスタ

| | | | | | | | |
|-----------------------|----|----|----|----|----|---|---|
| 15 | 14 | 13 | 12 | 11 | 10 | 9 | 8 |
| SEQ2A_STEP4_DAT[15:0] | | | | | | | |
| R-000000000000000b | | | | | | | |
| 7 | 6 | 5 | 4 | 3 | 2 | 1 | 0 |
| SEQ2A_STEP4_DAT[15:0] | | | | | | | |
| R-000000000000000b | | | | | | | |

表 8-16. SEQ2A_STEP4_DATA レジスタのフィールドの説明

| ビット | フィールド | タイプ | リセット | 概要 |
|------|-----------------------|-----|------------------|---|
| 15:0 | SEQ2A_STEP4_DAT[15:0] | R | 000000000000000b | ADC2A シーケンス ステップ 4 変換データ 2 の補数形式で提供される値。 |

8.1.16 SEQ2A_STEP5_DATA レジスタ (アドレス = 15h) [リセット = 0000h]

[概略表](#)に戻ります。

図 8-16. SEQ2A_STEP5_DATA レジスタ

| | | | | | | | |
|-----------------------|----|----|----|----|----|---|---|
| 15 | 14 | 13 | 12 | 11 | 10 | 9 | 8 |
| SEQ2A_STEP5_DAT[15:0] | | | | | | | |
| R-0000000000000000b | | | | | | | |
| 7 | 6 | 5 | 4 | 3 | 2 | 1 | 0 |
| SEQ2A_STEP5_DAT[15:0] | | | | | | | |
| R-0000000000000000b | | | | | | | |

表 8-17. SEQ2A_STEP5_DATA レジスタのフィールドの説明

| ビット | フィールド | タイプ | リセット | 概要 |
|------|-----------------------|-----|--------------------------|---|
| 15:0 | SEQ2A_STEP5_DAT[15:0] | R | 0000000000000000 000b | ADC2A シーケンス ステップ 5 変換データ 2 の補数形式で提供される値。 |

8.1.17 SEQ2A_STEP6_DATA レジスタ (アドレス = 16h) [リセット = 0000h]

[概略表](#)に戻ります。

図 8-17. SEQ2A_STEP6_DATA レジスタ

| | | | | | | | |
|-----------------------|----|----|----|----|----|---|---|
| 15 | 14 | 13 | 12 | 11 | 10 | 9 | 8 |
| SEQ2A_STEP6_DAT[15:0] | | | | | | | |
| R-0000000000000000b | | | | | | | |
| 7 | 6 | 5 | 4 | 3 | 2 | 1 | 0 |
| SEQ2A_STEP6_DAT[15:0] | | | | | | | |
| R-0000000000000000b | | | | | | | |

表 8-18. SEQ2A_STEP6_DATA レジスタのフィールドの説明

| ビット | フィールド | タイプ | リセット | 概要 |
|------|-----------------------|-----|--------------------------|---|
| 15:0 | SEQ2A_STEP6_DAT[15:0] | R | 0000000000000000 000b | ADC2A シーケンス ステップ 6 変換データ 2 の補数形式で提供される値。 |

8.1.18 SEQ2A_STEP7_DATA レジスタ (アドレス = 17h) [リセット = 0000h]

[概略表](#)に戻ります。

図 8-18. SEQ2A_STEP7_DATA レジスタ

| | | | | | | | |
|-----------------------|----|----|----|----|----|---|---|
| 15 | 14 | 13 | 12 | 11 | 10 | 9 | 8 |
| SEQ2A_STEP7_DAT[15:0] | | | | | | | |
| R-0000000000000000b | | | | | | | |
| 7 | 6 | 5 | 4 | 3 | 2 | 1 | 0 |
| SEQ2A_STEP7_DAT[15:0] | | | | | | | |
| R-0000000000000000b | | | | | | | |

表 8-19. SEQ2A_STEP7_DATA レジスタのフィールドの説明

| ビット | フィールド | タイプ | リセット | 概要 |
|------|-----------------------|-----|--------------------------|---|
| 15:0 | SEQ2A_STEP7_DAT[15:0] | R | 0000000000000000 000b | ADC2A シーケンス ステップ 7 変換データ 2 の補数形式で提供される値。 |

8.1.19 SEQ2A_STEP8_DATA レジスタ (アドレス = 18h) [リセット = 0000h]

[概略表](#)に戻ります。

図 8-19. SEQ2A_STEP8_DATA レジスタ

| | | | | | | | |
|-----------------------|----|----|----|----|----|---|---|
| 15 | 14 | 13 | 12 | 11 | 10 | 9 | 8 |
| SEQ2A_STEP8_DAT[15:0] | | | | | | | |
| R-0000000000000000b | | | | | | | |
| 7 | 6 | 5 | 4 | 3 | 2 | 1 | 0 |
| SEQ2A_STEP8_DAT[15:0] | | | | | | | |
| R-0000000000000000b | | | | | | | |

表 8-20. SEQ2A_STEP8_DATA レジスタのフィールドの説明

| ビット | フィールド | タイプ | リセット | 概要 |
|------|-----------------------|-----|--------------------------|---|
| 15:0 | SEQ2A_STEP8_DAT[15:0] | R | 0000000000000000 000b | ADC2A シーケンス ステップ 8 変換データ 2 の補数形式で提供される値。 |

8.1.20 SEQ2A_STEP9_DATA レジスタ (アドレス = 19h) [リセット = 0000h]

[概略表](#)に戻ります。

図 8-20. SEQ2A_STEP9_DATA レジスタ

| | | | | | | | |
|-----------------------|----|----|----|----|----|---|---|
| 15 | 14 | 13 | 12 | 11 | 10 | 9 | 8 |
| SEQ2A_STEP9_DAT[15:0] | | | | | | | |
| R-0000000000000000b | | | | | | | |
| 7 | 6 | 5 | 4 | 3 | 2 | 1 | 0 |
| SEQ2A_STEP9_DAT[15:0] | | | | | | | |
| R-0000000000000000b | | | | | | | |

表 8-21. SEQ2A_STEP9_DATA レジスタのフィールドの説明

| ビット | フィールド | タイプ | リセット | 概要 |
|------|-----------------------|-----|--------------------------|---|
| 15:0 | SEQ2A_STEP9_DAT[15:0] | R | 0000000000000000 000b | ADC2A シーケンス ステップ 9 変換データ 2 の補数形式で提供される値。 |

8.1.21 SEQ2A_STEP10_DATA レジスタ (アドレス = 1Ah) [リセット = 0000h]

[概略表](#)に戻ります。

図 8-21. SEQ2A_STEP10_DATA レジスタ

| | | | | | | | |
|------------------------|----|----|----|----|----|---|---|
| 15 | 14 | 13 | 12 | 11 | 10 | 9 | 8 |
| SEQ2A_STEP10_DAT[15:0] | | | | | | | |
| R-0000000000000000b | | | | | | | |
| 7 | 6 | 5 | 4 | 3 | 2 | 1 | 0 |
| SEQ2A_STEP10_DAT[15:0] | | | | | | | |
| R-0000000000000000b | | | | | | | |

表 8-22. SEQ2A_STEP10_DATA レジスタのフィールドの説明

| ビット | フィールド | タイプ | リセット | 概要 |
|------|------------------------|-----|--------------------------|--|
| 15:0 | SEQ2A_STEP10_DAT[15:0] | R | 0000000000000000 000b | ADC2A シーケンス ステップ 10 変換データ 2 の補数形式で提供される値。 |

8.1.22 SEQ2A_STEP11_DATA レジスタ (アドレス = 1Bh) [リセット = 0000h]

[概略表](#)に戻ります。

図 8-22. SEQ2A_STEP11_DATA レジスタ

| | | | | | | | |
|------------------------|----|----|----|----|----|---|---|
| 15 | 14 | 13 | 12 | 11 | 10 | 9 | 8 |
| SEQ2A_STEP11_DAT[15:0] | | | | | | | |
| R-0000000000000000b | | | | | | | |
| 7 | 6 | 5 | 4 | 3 | 2 | 1 | 0 |
| SEQ2A_STEP11_DAT[15:0] | | | | | | | |
| R-0000000000000000b | | | | | | | |

表 8-23. SEQ2A_STEP11_DATA レジスタのフィールドの説明

| ビット | フィールド | タイプ | リセット | 概要 |
|------|------------------------|-----|--------------------------|--|
| 15:0 | SEQ2A_STEP11_DAT[15:0] | R | 0000000000000000 000b | ADC2A シーケンス ステップ 11 変換データ 2 の補数形式で提供される値。 |

8.1.23 SEQ2A_STEP12_DATA レジスタ (アドレス = 1Ch) [リセット = 0000h]

[概略表](#)に戻ります。

図 8-23. SEQ2A_STEP12_DATA レジスタ

| | | | | | | | |
|------------------------|----|----|----|----|----|---|---|
| 15 | 14 | 13 | 12 | 11 | 10 | 9 | 8 |
| SEQ2A_STEP12_DAT[15:0] | | | | | | | |
| R-000000000000000b | | | | | | | |
| 7 | 6 | 5 | 4 | 3 | 2 | 1 | 0 |
| SEQ2A_STEP12_DAT[15:0] | | | | | | | |
| R-000000000000000b | | | | | | | |

表 8-24. SEQ2A_STEP12_DATA レジスタのフィールドの説明

| ビット | フィールド | タイプ | リセット | 概要 |
|------|------------------------|-----|--------------------------|--|
| 15:0 | SEQ2A_STEP12_DAT[15:0] | R | 000000000000000b 000b | ADC2A シーケンス ステップ 12 変換データ 2 の補数形式で提供される値。 |

8.1.24 SEQ2A_STEP13_DATA レジスタ (アドレス = 1Dh) [リセット = 0000h]

[概略表](#)に戻ります。

図 8-24. SEQ2A_STEP13_DATA レジスタ

| | | | | | | | |
|------------------------|----|----|----|----|----|---|---|
| 15 | 14 | 13 | 12 | 11 | 10 | 9 | 8 |
| SEQ2A_STEP13_DAT[15:0] | | | | | | | |
| R-0000000000000000b | | | | | | | |
| 7 | 6 | 5 | 4 | 3 | 2 | 1 | 0 |
| SEQ2A_STEP13_DAT[15:0] | | | | | | | |
| R-0000000000000000b | | | | | | | |

表 8-25. SEQ2A_STEP13_DATA レジスタのフィールドの説明

| ビット | フィールド | タイプ | リセット | 概要 |
|------|------------------------|-----|--------------------------|--|
| 15:0 | SEQ2A_STEP13_DAT[15:0] | R | 0000000000000000 000b | ADC2A シーケンス ステップ 13 変換データ 2 の補数形式で提供される値。 |

8.1.25 SEQ2A_STEP14_DATA レジスタ (アドレス = 1Eh) [リセット = 0000h]

[概略表](#)に戻ります。

図 8-25. SEQ2A_STEP14_DATA レジスタ

| | | | | | | | |
|------------------------|----|----|----|----|----|---|---|
| 15 | 14 | 13 | 12 | 11 | 10 | 9 | 8 |
| SEQ2A_STEP14_DAT[15:0] | | | | | | | |
| R-0000000000000000b | | | | | | | |
| 7 | 6 | 5 | 4 | 3 | 2 | 1 | 0 |
| SEQ2A_STEP14_DAT[15:0] | | | | | | | |
| R-0000000000000000b | | | | | | | |

表 8-26. SEQ2A_STEP14_DATA レジスタのフィールドの説明

| ビット | フィールド | タイプ | リセット | 概要 |
|------|------------------------|-----|--------------------------|--|
| 15:0 | SEQ2A_STEP14_DAT[15:0] | R | 0000000000000000 000b | ADC2A シーケンス ステップ 14 変換データ 2 の補数形式で提供される値。 |

8.1.26 SEQ2A_STEP15_DATA レジスタ (アドレス = 1Fh) [リセット = 0000h]

[概略表](#)に戻ります。

図 8-26. SEQ2A_STEP15_DATA レジスタ

| | | | | | | | |
|------------------------|----|----|----|----|----|---|---|
| 15 | 14 | 13 | 12 | 11 | 10 | 9 | 8 |
| SEQ2A_STEP15_DAT[15:0] | | | | | | | |
| R-0000000000000000b | | | | | | | |
| 7 | 6 | 5 | 4 | 3 | 2 | 1 | 0 |
| SEQ2A_STEP15_DAT[15:0] | | | | | | | |
| R-0000000000000000b | | | | | | | |

表 8-27. SEQ2A_STEP15_DATA レジスタのフィールドの説明

| ビット | フィールド | タイプ | リセット | 概要 |
|------|------------------------|-----|--------------------------|--|
| 15:0 | SEQ2A_STEP15_DAT[15:0] | R | 0000000000000000 000b | ADC2A シーケンス ステップ 15 変換データ 2 の補数形式で提供される値。 |

8.1.27 SEQ2B_STEP0_DATA レジスタ (アドレス = 20h) [リセット = 0000h]

[概略表](#)に戻ります。

図 8-27. SEQ2B_STEP0_DATA レジスタ

| | | | | | | | |
|-----------------------|----|----|----|----|----|---|---|
| 15 | 14 | 13 | 12 | 11 | 10 | 9 | 8 |
| SEQ2B_STEP0_DAT[15:0] | | | | | | | |
| R-0000000000000000b | | | | | | | |
| 7 | 6 | 5 | 4 | 3 | 2 | 1 | 0 |
| SEQ2B_STEP0_DAT[15:0] | | | | | | | |
| R-0000000000000000b | | | | | | | |

表 8-28. SEQ2B_STEP0_DATA レジスタのフィールドの説明

| ビット | フィールド | タイプ | リセット | 概要 |
|------|-----------------------|-----|-------------------|---|
| 15:0 | SEQ2B_STEP0_DAT[15:0] | R | 0000000000000000b | ADC2B シーケンス ステップ 0 変換データ 2 の補数形式で提供される値。 |

8.1.28 SEQ2B_STEP1_DATA レジスタ (アドレス = 21h) [リセット = 0000h]

[概略表](#)に戻ります。

図 8-28. SEQ2B_STEP1_DATA レジスタ

| | | | | | | | |
|-----------------------|----|----|----|----|----|---|---|
| 15 | 14 | 13 | 12 | 11 | 10 | 9 | 8 |
| SEQ2B_STEP1_DAT[15:0] | | | | | | | |
| R-0000000000000000b | | | | | | | |
| 7 | 6 | 5 | 4 | 3 | 2 | 1 | 0 |
| SEQ2B_STEP1_DAT[15:0] | | | | | | | |
| R-0000000000000000b | | | | | | | |

表 8-29. SEQ2B_STEP1_DATA レジスタのフィールドの説明

| ビット | フィールド | タイプ | リセット | 概要 |
|------|-----------------------|-----|--------------------------|---|
| 15:0 | SEQ2B_STEP1_DAT[15:0] | R | 0000000000000000 000b | ADC2B シーケンス ステップ 1 変換データ 2 の補数形式で提供される値。 |

8.1.29 SEQ2B_STEP2_DATA レジスタ (アドレス = 22h) [リセット = 0000h]

[概略表](#)に戻ります。

図 8-29. SEQ2B_STEP2_DATA レジスタ

| | | | | | | | |
|-----------------------|----|----|----|----|----|---|---|
| 15 | 14 | 13 | 12 | 11 | 10 | 9 | 8 |
| SEQ2B_STEP2_DAT[15:0] | | | | | | | |
| R-0000000000000000b | | | | | | | |
| 7 | 6 | 5 | 4 | 3 | 2 | 1 | 0 |
| SEQ2B_STEP2_DAT[15:0] | | | | | | | |
| R-0000000000000000b | | | | | | | |

表 8-30. SEQ2B_STEP2_DATA レジスタのフィールドの説明

| ビット | フィールド | タイプ | リセット | 概要 |
|------|-----------------------|-----|--------------------------|---|
| 15:0 | SEQ2B_STEP2_DAT[15:0] | R | 0000000000000000 000b | ADC2B シーケンス ステップ 2 変換データ 2 の補数形式で提供される値。 |

8.1.30 SEQ2B_STEP3_DATA レジスタ (アドレス = 23h) [リセット = 0000h]

[概略表](#)に戻ります。

図 8-30. SEQ2B_STEP3_DATA レジスタ

| | | | | | | | |
|-----------------------|----|----|----|----|----|---|---|
| 15 | 14 | 13 | 12 | 11 | 10 | 9 | 8 |
| SEQ2B_STEP3_DAT[15:0] | | | | | | | |
| R-0000000000000000b | | | | | | | |
| 7 | 6 | 5 | 4 | 3 | 2 | 1 | 0 |
| SEQ2B_STEP3_DAT[15:0] | | | | | | | |
| R-0000000000000000b | | | | | | | |

表 8-31. SEQ2B_STEP3_DATA レジスタのフィールドの説明

| ビット | フィールド | タイプ | リセット | 概要 |
|------|-----------------------|-----|--------------------------|---|
| 15:0 | SEQ2B_STEP3_DAT[15:0] | R | 0000000000000000 000b | ADC2B シーケンス ステップ 3 変換データ 2 の補数形式で提供される値。 |

8.1.31 SEQ2B_STEP4_DATA レジスタ (アドレス = 24h) [リセット = 0000h]

[概略表](#)に戻ります。

図 8-31. SEQ2B_STEP4_DATA レジスタ

| | | | | | | | |
|-----------------------|----|----|----|----|----|---|---|
| 15 | 14 | 13 | 12 | 11 | 10 | 9 | 8 |
| SEQ2B_STEP4_DAT[15:0] | | | | | | | |
| R-0000000000000000b | | | | | | | |
| 7 | 6 | 5 | 4 | 3 | 2 | 1 | 0 |
| SEQ2B_STEP4_DAT[15:0] | | | | | | | |
| R-0000000000000000b | | | | | | | |

表 8-32. SEQ2B_STEP4_DATA レジスタのフィールドの説明

| ビット | フィールド | タイプ | リセット | 概要 |
|------|-----------------------|-----|--------------------------|---|
| 15:0 | SEQ2B_STEP4_DAT[15:0] | R | 0000000000000000 000b | ADC2B シーケンス ステップ 4 変換データ 2 の補数形式で提供される値。 |

8.1.32 SEQ2B_STEP5_DATA レジスタ (アドレス = 25h) [リセット = 0000h]

[概略表](#)に戻ります。

図 8-32. SEQ2B_STEP5_DATA レジスタ

| | | | | | | | |
|-----------------------|----|----|----|----|----|---|---|
| 15 | 14 | 13 | 12 | 11 | 10 | 9 | 8 |
| SEQ2B_STEP5_DAT[15:0] | | | | | | | |
| R-0000000000000000b | | | | | | | |
| 7 | 6 | 5 | 4 | 3 | 2 | 1 | 0 |
| SEQ2B_STEP5_DAT[15:0] | | | | | | | |
| R-0000000000000000b | | | | | | | |

表 8-33. SEQ2B_STEP5_DATA レジスタのフィールドの説明

| ビット | フィールド | タイプ | リセット | 概要 |
|------|-----------------------|-----|--------------------------|---|
| 15:0 | SEQ2B_STEP5_DAT[15:0] | R | 0000000000000000 000b | ADC2B シーケンス ステップ 5 変換データ 2 の補数形式で提供される値。 |

8.1.33 SEQ2B_STEP6_DATA レジスタ (アドレス = 26h) [リセット = 0000h]

[概略表](#)に戻ります。

図 8-33. SEQ2B_STEP6_DATA レジスタ

| | | | | | | | |
|-----------------------|----|----|----|----|----|---|---|
| 15 | 14 | 13 | 12 | 11 | 10 | 9 | 8 |
| SEQ2B_STEP6_DAT[15:0] | | | | | | | |
| R-0000000000000000b | | | | | | | |
| 7 | 6 | 5 | 4 | 3 | 2 | 1 | 0 |
| SEQ2B_STEP6_DAT[15:0] | | | | | | | |
| R-0000000000000000b | | | | | | | |

表 8-34. SEQ2B_STEP6_DATA レジスタのフィールドの説明

| ビット | フィールド | タイプ | リセット | 概要 |
|------|-----------------------|-----|--------------------------|---|
| 15:0 | SEQ2B_STEP6_DAT[15:0] | R | 0000000000000000 000b | ADC2B シーケンス ステップ 6 変換データ 2 の補数形式で提供される値。 |

8.1.34 SEQ2B_STEP7_DATA レジスタ (アドレス = 27h) [リセット = 0000h]

[概略表](#)に戻ります。

図 8-34. SEQ2B_STEP7_DATA レジスタ

| | | | | | | | |
|-----------------------|----|----|----|----|----|---|---|
| 15 | 14 | 13 | 12 | 11 | 10 | 9 | 8 |
| SEQ2B_STEP7_DAT[15:0] | | | | | | | |
| R-0000000000000000b | | | | | | | |
| 7 | 6 | 5 | 4 | 3 | 2 | 1 | 0 |
| SEQ2B_STEP7_DAT[15:0] | | | | | | | |
| R-0000000000000000b | | | | | | | |

表 8-35. SEQ2B_STEP7_DATA レジスタのフィールドの説明

| ビット | フィールド | タイプ | リセット | 概要 |
|------|-----------------------|-----|--------------------------|---|
| 15:0 | SEQ2B_STEP7_DAT[15:0] | R | 0000000000000000 000b | ADC2B シーケンス ステップ 7 変換データ 2 の補数形式で提供される値。 |

8.1.35 SEQ2B_STEP8_DATA レジスタ (アドレス = 28h) [リセット = 0000h]

[概略表](#)に戻ります。

図 8-35. SEQ2B_STEP8_DATA レジスタ

| | | | | | | | |
|-----------------------|----|----|----|----|----|---|---|
| 15 | 14 | 13 | 12 | 11 | 10 | 9 | 8 |
| SEQ2B_STEP8_DAT[15:0] | | | | | | | |
| R-0000000000000000b | | | | | | | |
| 7 | 6 | 5 | 4 | 3 | 2 | 1 | 0 |
| SEQ2B_STEP8_DAT[15:0] | | | | | | | |
| R-0000000000000000b | | | | | | | |

表 8-36. SEQ2B_STEP8_DATA レジスタのフィールドの説明

| ビット | フィールド | タイプ | リセット | 概要 |
|------|-----------------------|-----|--------------------------|---|
| 15:0 | SEQ2B_STEP8_DAT[15:0] | R | 0000000000000000 000b | ADC2B シーケンス ステップ 8 変換データ 2 の補数形式で提供される値。 |

8.1.36 SEQ2B_STEP9_DATA レジスタ (アドレス = 29h) [リセット = 0000h]

[概略表](#)に戻ります。

図 8-36. SEQ2B_STEP9_DATA レジスタ

| | | | | | | | |
|-----------------------|----|----|----|----|----|---|---|
| 15 | 14 | 13 | 12 | 11 | 10 | 9 | 8 |
| SEQ2B_STEP9_DAT[15:0] | | | | | | | |
| R-0000000000000000b | | | | | | | |
| 7 | 6 | 5 | 4 | 3 | 2 | 1 | 0 |
| SEQ2B_STEP9_DAT[15:0] | | | | | | | |
| R-0000000000000000b | | | | | | | |

表 8-37. SEQ2B_STEP9_DATA レジスタのフィールドの説明

| ビット | フィールド | タイプ | リセット | 概要 |
|------|-----------------------|-----|--------------------------|---|
| 15:0 | SEQ2B_STEP9_DAT[15:0] | R | 0000000000000000 000b | ADC2B シーケンス ステップ 9 変換データ 2 の補数形式で提供される値。 |

8.1.37 SEQ2B_STEP10_DATA レジスタ (アドレス = 2Ah) [リセット = 0000h]

[概略表](#)に戻ります。

図 8-37. SEQ2B_STEP10_DATA レジスタ

| | | | | | | | |
|------------------------|----|----|----|----|----|---|---|
| 15 | 14 | 13 | 12 | 11 | 10 | 9 | 8 |
| SEQ2B_STEP10_DAT[15:0] | | | | | | | |
| R-0000000000000000b | | | | | | | |
| 7 | 6 | 5 | 4 | 3 | 2 | 1 | 0 |
| SEQ2B_STEP10_DAT[15:0] | | | | | | | |
| R-0000000000000000b | | | | | | | |

表 8-38. SEQ2B_STEP10_DATA レジスタのフィールドの説明

| ビット | フィールド | タイプ | リセット | 概要 |
|------|------------------------|-----|--------------------------|--|
| 15:0 | SEQ2B_STEP10_DAT[15:0] | R | 0000000000000000 000b | ADC2B シーケンス ステップ 10 変換データ 2 の補数形式で提供される値。 |

8.1.38 SEQ2B_STEP11_DATA レジスタ (アドレス = 2Bh) [リセット = 0000h]

[概略表](#)に戻ります。

図 8-38. SEQ2B_STEP11_DATA レジスタ

| | | | | | | | |
|------------------------|----|----|----|----|----|---|---|
| 15 | 14 | 13 | 12 | 11 | 10 | 9 | 8 |
| SEQ2B_STEP11_DAT[15:0] | | | | | | | |
| R-0000000000000000b | | | | | | | |
| 7 | 6 | 5 | 4 | 3 | 2 | 1 | 0 |
| SEQ2B_STEP11_DAT[15:0] | | | | | | | |
| R-0000000000000000b | | | | | | | |

表 8-39. SEQ2B_STEP11_DATA レジスタのフィールドの説明

| ビット | フィールド | タイプ | リセット | 概要 |
|------|------------------------|-----|--------------------------|--|
| 15:0 | SEQ2B_STEP11_DAT[15:0] | R | 0000000000000000 000b | ADC2B シーケンス ステップ 11 変換データ 2 の補数形式で提供される値。 |

8.1.39 SEQ2B_STEP12_DATA レジスタ (アドレス = 2Ch) [リセット = 0000h]

[概略表](#)に戻ります。

図 8-39. SEQ2B_STEP12_DATA レジスタ

| | | | | | | | |
|------------------------|----|----|----|----|----|---|---|
| 15 | 14 | 13 | 12 | 11 | 10 | 9 | 8 |
| SEQ2B_STEP12_DAT[15:0] | | | | | | | |
| R-0000000000000000b | | | | | | | |
| 7 | 6 | 5 | 4 | 3 | 2 | 1 | 0 |
| SEQ2B_STEP12_DAT[15:0] | | | | | | | |
| R-0000000000000000b | | | | | | | |

表 8-40. SEQ2B_STEP12_DATA レジスタのフィールドの説明

| ビット | フィールド | タイプ | リセット | 概要 |
|------|------------------------|-----|--------------------------|--|
| 15:0 | SEQ2B_STEP12_DAT[15:0] | R | 0000000000000000 000b | ADC2B シーケンス ステップ 12 変換データ 2 の補数形式で提供される値。 |

8.1.40 SEQ2B_STEP13_DATA レジスタ (アドレス = 2Dh) [リセット = 0000h]

[概略表](#)に戻ります。

図 8-40. SEQ2B_STEP13_DATA レジスタ

| | | | | | | | |
|------------------------|----|----|----|----|----|---|---|
| 15 | 14 | 13 | 12 | 11 | 10 | 9 | 8 |
| SEQ2B_STEP13_DAT[15:0] | | | | | | | |
| R-0000000000000000b | | | | | | | |
| 7 | 6 | 5 | 4 | 3 | 2 | 1 | 0 |
| SEQ2B_STEP13_DAT[15:0] | | | | | | | |
| R-0000000000000000b | | | | | | | |

表 8-41. SEQ2B_STEP13_DATA レジスタのフィールドの説明

| ビット | フィールド | タイプ | リセット | 概要 |
|------|------------------------|-----|--------------------------|--|
| 15:0 | SEQ2B_STEP13_DAT[15:0] | R | 0000000000000000 000b | ADC2B シーケンス ステップ 13 変換データ 2 の補数形式で提供される値。 |

8.1.41 SEQ2B_STEP14_DATA レジスタ (アドレス = 2Eh) [リセット = 0000h]

[概略表](#)に戻ります。

図 8-41. SEQ2B_STEP14_DATA レジスタ

| | | | | | | | |
|------------------------|----|----|----|----|----|---|---|
| 15 | 14 | 13 | 12 | 11 | 10 | 9 | 8 |
| SEQ2B_STEP14_DAT[15:0] | | | | | | | |
| R-0000000000000000b | | | | | | | |
| 7 | 6 | 5 | 4 | 3 | 2 | 1 | 0 |
| SEQ2B_STEP14_DAT[15:0] | | | | | | | |
| R-0000000000000000b | | | | | | | |

表 8-42. SEQ2B_STEP14_DATA レジスタのフィールドの説明

| ビット | フィールド | タイプ | リセット | 概要 |
|------|------------------------|-----|--------------------------|--|
| 15:0 | SEQ2B_STEP14_DAT[15:0] | R | 0000000000000000 000b | ADC2B シーケンス ステップ 14 変換データ 2 の補数形式で提供される値。 |

8.1.42 SEQ2B_STEP15_DATA レジスタ (アドレス = 2Fh) [リセット = 0000h]

[概略表](#)に戻ります。

図 8-42. SEQ2B_STEP15_DATA レジスタ

| | | | | | | | |
|------------------------|----|----|----|----|----|---|---|
| 15 | 14 | 13 | 12 | 11 | 10 | 9 | 8 |
| SEQ2B_STEP15_DAT[15:0] | | | | | | | |
| R-0000000000000000b | | | | | | | |
| 7 | 6 | 5 | 4 | 3 | 2 | 1 | 0 |
| SEQ2B_STEP15_DAT[15:0] | | | | | | | |
| R-0000000000000000b | | | | | | | |

表 8-43. SEQ2B_STEP15_DATA レジスタのフィールドの説明

| ビット | フィールド | タイプ | リセット | 概要 |
|------|------------------------|-----|--------------------------|--|
| 15:0 | SEQ2B_STEP15_DAT[15:0] | R | 0000000000000000 000b | ADC2B シーケンス ステップ 15 変換データ 2 の補数形式で提供される値。 |

8.1.43 DEVICE_MONITOR_CFG レジスタ (アドレス = 40h) [リセット = 0000h]

概略表に戻ります。

図 8-43. DEVICE_MONITOR_CFG レジスタ

| 15 | 14 | 13 | 12 | 11 | 10 | 9 | 8 |
|-----------------|----------|-----------------|------------|----------|---------|--------------|-----------|
| REG_MAP1_CRC_EN | CRC_TYPE | SCLK_COUNTER_EN | TIMEOUT_EN | RESERVED | | | FAULT_POL |
| R/W-0b | R/W-0b | R/W-0b | R/W-0b | R-000b | | | R/W-0b |
| 7 | 6 | 5 | 4 | 3 | 2 | 1 | 0 |
| RESERVED | | | | | MHD_POL | MHD_CFG[1:0] | |
| R-00000b | | | | | R/W-0b | R/W-00b | |

表 8-44. DEVICE_MONITOR_CFG レジスタ フィールドの説明

| ビット | フィールド | タイプ | リセット | 概要 |
|------|-----------------|-----|--------|---|
| 15 | REG_MAP1_CRC_EN | R/W | 0b | レジスタ マップ セクション 1 CRC 有効化 セクション 1 (レジスタ アドレス空間が 40h ~ 59h) のレジスタ マップの CRC を有効にします。 0b = ディセーブル 1b = イネーブル |
| 14 | CRC_TYPE | R/W | 0b | CRC タイプの選択 SPI およびレジスタ マップの CRC 計算に使用される CRC 多項式を選択します。 0b = 16 ビット CCITT 1b = 16 ビット ANSI |
| 13 | SCLK_COUNTER_EN | R/W | 0b | SCLK カウンタ有効化 SCLK カウンタを有効にします。 0b = ディセーブル 1b = イネーブル |
| 12 | TIMEOUT_EN | R/W | 0b | SPI タイムアウト有効化 SPI タイムアウトを有効にします。有効にすると、CSn の立ち下がりがエッジの後、タイムアウトによって CSn の立ち上がりエッジが $2^{14} t_{OSCD}$ サイクル以内に発生することがチェックされます。タイムアウトが発生すると、CSn の立ち上がりエッジより前に、SDI 上の残りの SPI フレームは無視されます。新しい SPI トランザクションが、次の CSn の立ち下がりがエッジで開始されます。 0b = ディセーブル 1b = イネーブル |
| 11:9 | RESERVED | R | 000b | 予約済み 常に 000b が読み出されます。 |
| 8 | FAULT_POL | R/W | 0b | FAULT ビン極性の選択 FAULT ビンの極性を選択します。GPIO2_SRC ビットで故障出力として構成されている場合、GPIO2/FAULT ビンの実際の出力動作は、GPIO2_FMT の設定によって異なります。マスクされていない STATUS_MSB[14:7] ビットのいずれかがアクティブになると、故障はアクティブになります。 0b = アクティブ Low 故障が発生した場合、ロジック Low レベルが駆動されます。 1b = アクティブ High 故障が発生した場合、ロジック High レベルが駆動されます。 |
| 7:3 | RESERVED | R | 00000b | 予約済み 常に 00000b が読み出されます。 |
| 2 | MHD_POL | R/W | 0b | ホスト検出故障ビンの極性の選択 MHD ビンの極性を選択します。GPIO0/MHD ビンの実際の出力動作は、GPIO0_SRC ビットで MHD 出力として構成されている場合、GPIO0_FMT の設定によって異なります。 0b = アクティブ Low 故障が発生した場合、ロジック Low レベルが駆動されます。 1b = アクティブ High 故障が発生した場合、ロジック High レベルが駆動されます。 |
| 1:0 | MHD_CFG[1:0] | R/W | 00b | ホスト検出構成がない 、ホストがデバイスと通信していないことを検出します。ウォッチドッグ タイマは、有効な CRC を使用して、2 つの有効なコマンド間の時間をチェックします。有効な CRC を持つ有効なコマンドがウォッチドッグの時間ウィンドウ内に受信されない場合、ホストは欠落しているとみなされます。ウォッチドッグがタイムアウトすると、GPIO0/MHD ビンがアクティブに設定されます。欠けているホスト検出モードを使用するには、GPIO0_SRC ビットを使用して、GPIO0_DIR ビットと欠けているホスト検出モードのソースを使用して、GPIO0/MHD ビンを出力として構成します。欠けているホストが検出された後に GPIO0/MHD 出力をリセットするには、MHD_CFG = 00b を設定して、欠けているホスト検出モードを無効にします。 00b = 無効化 01b = $5120 \times t_{OSCD}$ ($f_{OSCD} = 8.192 \text{ MHz}$ の場合 = 0.625ms) 10b = $10240 \times t_{OSCD}$ ($f_{OSCD} = 8.192 \text{ MHz}$ の場合 = 1.25ms) 11b = $20480 \times t_{OSCD}$ ($f_{OSCD} = 8.192 \text{ MHz}$ の場合) |

8.1.44 SUPPLY_MONITOR_CFG1 レジスタ (アドレス = 41h) [リセット = 0000h]

概略表に戻ります。

図 8-44. SUPPLY_MONITOR_CFG1 レジスタ

| 15 | 14 | 13 | 12 | 11 | 10 | 9 | 8 |
|-------------|-------------|--------------|-------------|-------------|---------------|---------------|--------------|
| AVDD_OV_EN | AVDD_UV_EN | IOVDD_OV_EN | IOVDD_UV_EN | DVDD_OV_EN | DVDD_UV_EN | AVDD_OSC_EN | IOVDD_OSC_EN |
| R/W-0b | R/W-0b | R/W-0b | R/W-0b | R/W-0b | R/W-0b | R/W-0b | R/W-0b |
| 7 | 6 | 5 | 4 | 3 | 2 | 1 | 0 |
| DVDD_OSC_EN | AVDD_OTW_EN | IOVDD_OTW_EN | AVDD_CL_EN | IOVDD_CL_EN | AGNDA_DISC_EN | AGNDB_DISC_EN | DGND_DISC_EN |
| R/W-0b | R/W-0b | R/W-0b | R/W-0b | R/W-0b | R/W-0b | R/W-0b | R/W-0b |

表 8-45. SUPPLY_MONITOR_CFG1 レジスタのフィールドの説明

| ビット | フィールド | タイプ | リセット | 概要 |
|-----|--------------|-----|------|---|
| 15 | AVDD_OV_EN | R/W | 0b | AVDD LDO 過電圧モニタの有効化 AVDD LDO 出力過電圧監視モニタを有効にします。 0b = ディセーブル 1b = イネーブル |
| 14 | AVDD_UV_EN | R/W | 0b | AVDD LDO 低電圧モニタの有効化 AVDD LDO 出力低電圧モニタを有効にします。 0b = ディセーブル 1b = イネーブル |
| 13 | IOVDD_OV_EN | R/W | 0b | IOVDD LDO 過電圧モニタの有効化 IOVDD LDO 出力過電圧監視モニタを有効にします。 0b = ディセーブル 1b = イネーブル |
| 12 | IOVDD_UV_EN | R/W | 0b | IOVDD LDO 低電圧モニタの有効化 IOVDD LDO 出力低電圧モニタを有効にします。 0b = ディセーブル 1b = イネーブル |
| 11 | DVDD_OV_EN | R/W | 0b | DVDD LDO 過電圧モニタの有効化 DVDD LDO 出力過電圧監視モニタを有効にします。 0b = ディセーブル 1b = イネーブル |
| 10 | DVDD_UV_EN | R/W | 0b | DVDD LDO 低電圧モニタの有効化 DVDD LDO 出力低電圧モニタを有効にします。 0b = ディセーブル 1b = イネーブル |
| 9 | AVDD_OSC_EN | R/W | 0b | AVDD LDO 発振モニタの有効化 AVDD LDO 出力発振監視モニタを有効にします。 0b = ディセーブル 1b = イネーブル |
| 8 | IOVDD_OSC_EN | R/W | 0b | IOVDD LDO 発振モニタの有効化 IOVDD LDO 出力発振監視モニタを有効にします。 0b = ディセーブル 1b = イネーブル |
| 7 | DVDD_OSC_EN | R/W | 0b | DVDD LDO 発振モニタの有効化 DVDD LDO 出力発振監視モニタを有効にします。 0b = ディセーブル 1b = イネーブル |
| 6 | AVDD_OTW_EN | R/W | 0b | AVDD LDO 過熱警告モニタの有効化 AVDD LDO 過熱警告モニタを有効にします。 0b = ディセーブル 1b = イネーブル |
| 5 | IOVDD_OTW_EN | R/W | 0b | IOVDD LDO 過熱警告モニタの有効化 IOVDD LDO 過熱警告モニタを有効にします。 0b = ディセーブル 1b = イネーブル |
| 4 | AVDD_CL_EN | R/W | 0b | AVDD LDO 電流制限の有効化 AVDD LDO 電流制限を有効にします。 0b = ディセーブル 1b = イネーブル |
| 3 | IOVDD_CL_EN | R/W | 0b | IOVDD LDO 電流制限の有効化 IOVDD LDO 電流制限を有効にします。 0b = ディセーブル 1b = イネーブル |

表 8-45. SUPPLY_MONITOR_CFG1 レジスタのフィールドの説明 (続き)

| ビット | フィールド | タイプ | リセット | 概要 |
|-----|---------------|-----|------|---|
| 2 | AGNDA_DISC_EN | R/W | 0b | AGNDA 接続解除モニタの有効化 AGNDA 接続解除モニタを有効にします。 0b = デイセーブル 1b = イネーブル |
| 1 | AGNDB_DISC_EN | R/W | 0b | AGNDB 接続解除モニタの有効化 AGNDB 接続解除モニタを有効にします。 0b = デイセーブル 1b = イネーブル |
| 0 | DGND_DISC_EN | R/W | 0b | DGND 接続解除モニタの有効化 DGND 接続解除モニタを有効にします。 0b = デイセーブル 1b = イネーブル |

8.1.45 SUPPLY_MONITOR_CFG2 レジスタ (アドレス = 42h) [リセット = 10F0h]

概略表に戻ります。

図 8-45. SUPPLY_MONITOR_CFG2 レジスタ

| 15 | 14 | 13 | 12 | 11 | 10 | 9 | 8 |
|-------------------|----|--------------------|-------------|----------|----|---|---|
| RESERVED | | IOVDD_OV_TH | IOVDD_UV_TH | RESERVED | | | |
| R-00b | | R/W-0b | R/W-1b | R-0000b | | | |
| 7 | 6 | 5 | 4 | 3 | 2 | 1 | 0 |
| AVDD_OTW_CFG[1:0] | | IOVDD_OTW_CFG[1:0] | | RESERVED | | | |
| R/W-11b | | R/W-11b | | R-0000b | | | |

表 8-46. SUPPLY_MONITOR_CFG2 レジスタのフィールドの説明

| ビット | フィールド | タイプ | リセット | 概要 |
|-------|--------------------|-----|-------|---|
| 15:14 | RESERVED | R | 00b | 予約済み 常に 00b が読み出されます。 |
| 13 | IOVDD_OV_TH | R/W | 0b | IOVDD 過電圧スレッシュホールドの選択 IOVDD LDO 出力過電圧モニタのスレッシュホールドを選択します。 0b = 5.7V 1b = 3.9V |
| 12 | IOVDD_UV_TH | R/W | 1b | IOVDD 低電圧スレッシュホールドの選択 IOVDD LDO 出力低電圧モニタのスレッシュホールドを選択します。 0b = 4.3V 1b = 2.95V |
| 11:8 | RESERVED | R | 0000b | 予約済み 常に 0000b が読み出されます。 |
| 7:6 | AVDD_OTW_CFG[1:0] | R/W | 11b | AVDD LDO 過熱警告スレッシュホールドの選択 AVDD LDO 過熱警告のスレッシュホールドを選択します。 00b = -60°C 01b = 100°C 10b = 120°C 11b = 140°C |
| 5:4 | IOVDD_OTW_CFG[1:0] | R/W | 11b | IOVDD LDO 過熱警告スレッシュホールドの選択 IOVDD LDO 過熱警告のスレッシュホールドを選択します。 00b = -60°C 01b = 100°C 10b = 120°C 11b = 140°C |
| 3:0 | RESERVED | R | 0000b | 予約済み 常に 0000b が読み出されます。 |

8.1.46 CLOCK_MONITOR_CFG レジスタ (アドレス = 43h) [リセット = 0000h]

[概略表](#)に戻ります。

図 8-46. CLOCK_MONITOR_CFG レジスタ

| | | | | | | | |
|-------------|----|----|----|-------------|----|------------|------------|
| 15 | 14 | 13 | 12 | 11 | 10 | 9 | 8 |
| RESERVED | | | | | | RESERVED | |
| R/W-000000b | | | | | | R-0000000b | |
| 7 | 6 | 5 | 4 | 3 | 2 | 1 | 0 |
| RESERVED | | | | MCLK_MON_EN | | OSCD_WD_EN | MCLK_WD_EN |
| R-0000000b | | | | R/W-0b | | R/W-0b | R/W-0b |

表 8-47. CLOCK_MONITOR_CFG レジスタ フィールドの説明

| ビット | フィールド | タイプ | リセット | 概要 |
|-------|-------------|-----|----------|---|
| 15:10 | RESERVED | R/W | 000000b | 予約済み 常に 000000b を書き込みます。 |
| 9:3 | RESERVED | R | 0000000b | 予約済み 常に 0000000b が読み出されます。 |
| 2 | MCLK_MON_EN | R/W | 0b | MCLK 監視の有効化 メイン クロック 周波数 モニタ を有効にします。 0b = ディセーブル 1b = イネーブル |
| 1 | OSCD_WD_EN | R/W | 0b | 診断発振器ウォッチドッグの有効化 診断発振器ウォッチドッグを有効にします。 0b = ディセーブル 1b = イネーブル |
| 0 | MCLK_WD_EN | R/W | 0b | メイン クロック ウォッチドッグの有効化 メイン クロック ウォッチドッグを有効にします。 0b = ディセーブル 1b = イネーブル |

8.1.47 SUPPLY_MONITOR_DIAGNOSTIC_CFG レジスタ (アドレス = 44h) [リセット = 0000h]

概略表に戻ります。

図 8-47. SUPPLY_MONITOR_DIAGNOSTIC_CFG レジスタ

| 15 | 14 | 13 | 12 | 11 | 10 | 9 | 8 |
|------------------|-----------------|------------------|------------------|-----------------|--------------------|--------------------|-------------------|
| AVDD_OV_DIAG_EN | AVDD_UV_DIAG_EN | IOVDD_OV_DIAG_EN | IOVDD_UV_DIAG_EN | DVDD_OV_DIAG_EN | DVDD_UV_DIAG_EN | AVDD_OSC_DIAG_EN | IOVDD_OSC_DIAG_EN |
| R/W-0b | R/W-0b | R/W-0b | R/W-0b | R/W-0b | R/W-0b | R/W-0b | R/W-0b |
| 7 | 6 | 5 | 4 | 3 | 2 | 1 | 0 |
| DVDD_OSC_DIAG_EN | RESERVED | | | | AGNDA_DISC_DIAG_EN | AGNDB_DISC_DIAG_EN | DGND_DISC_DIAG_EN |
| R/W-0b | R-0000b | | | | R/W-0b | R/W-0b | R/W-0b |

表 8-48. SUPPLY_MONITOR_DIAGNOSTIC_CFG レジスタ フィールドの説明

| ビット | フィールド | タイプ | リセット | 概要 |
|-----|-------------------|-----|-------|--|
| 15 | AVDD_OV_DIAG_EN | R/W | 0b | AVDD LDO 過電圧モニタ診断の有効化 AVDD LDO 出力過電圧モニタ診断を有効にします。診断を動作させるには、AVDD_OV_EN を設定する必要があります。診断が正常に完了すると、AVDD_OVn 故障フラグが $t_{p(AVDD_OV)}$ 以内に設定されます。 0b = ディセーブル 1b = イネーブル |
| 14 | AVDD_UV_DIAG_EN | R/W | 0b | AVDD LDO 低電圧モニタの診断の有効化 により、AVDD LDO 出力低電圧モニタ診断を有効にします。診断を動作させるには、AVDD_UV_EN を設定する必要があります。診断が正常に完了すると、AVDD_UVn 故障フラグが $t_{p(AVDD_UV)}$ 以内に設定されます。 0b = ディセーブル 1b = イネーブル |
| 13 | IOVDD_OV_DIAG_EN | R/W | 0b | IOVDD LDO 過電圧モニタ診断の有効化 IOVDD LDO 出力過電圧モニタ診断を有効にします。診断を動作させるには、IOVDD_OV_EN を設定する必要があります。診断が正常に完了すると、IOVDD_OVn 故障フラグが $t_{p(IOVDD_OV)}$ 以内に設定されます。 0b = ディセーブル 1b = イネーブル |
| 12 | IOVDD_UV_DIAG_EN | R/W | 0b | IOVDD LDO 低電圧モニタの診断の有効化 により、IOVDD LDO 出力低電圧モニタ診断を有効にします。診断を機能させるには、IOVDD_UV_EN を設定する必要があります。診断が正常に完了すると、IOVDD_UVn 故障フラグが $t_{p(IOVDD_UV)}$ 以内に設定されます。 0b = ディセーブル 1b = イネーブル |
| 11 | DVDD_OV_DIAG_EN | R/W | 0b | DVDD LDO 過電圧モニタ診断の有効化 DVDD LDO 出力過電圧モニタ診断を有効にします。診断を動作させるには、DVDD_OV_EN を設定する必要があります。診断が正常に完了すると、DVDD_OVn 故障フラグが $t_{p(DVDD_OV)}$ 以内に設定されます。 0b = ディセーブル 1b = イネーブル |
| 10 | DVDD_UV_DIAG_EN | R/W | 0b | DVDD LDO 低電圧モニタの診断の有効化 により、DVDD LDO 出力低電圧モニタ診断を有効にします。診断を動作させるには、DVDD_UV_EN を設定する必要があります。診断が正常に完了すると、DVDD_UVn 故障フラグが $t_{p(DVDD_UV)}$ 以内に設定されます。 0b = ディセーブル 1b = イネーブル |
| 9 | AVDD_OSC_DIAG_EN | R/W | 0b | AVDD LDO 発振モニタの診断の有効化 AVDD LDO 出力発振モニタの診断を有効にします。診断を動作させるには、AVDD_OSC_EN を設定する必要があります。診断が正常に完了すると、AVDD_OSCn 故障フラグが $t_{p(AVDD_OSC)}$ 以内に設定されます。 0b = ディセーブル 1b = イネーブル |
| 8 | IOVDD_OSC_DIAG_EN | R/W | 0b | IOVDD LDO 発振モニタの診断の有効化 IOVDD LDO 出力発振モニタの診断を可能にします。診断を動作させるには、IOVDD_OSC_EN を設定する必要があります。診断が正常に完了すると、IOVDD_OSCn 故障フラグが $t_{p(IOVDD_OSC)}$ 以内に設定されます。 0b = ディセーブル 1b = イネーブル |
| 7 | DVDD_OSC_DIAG_EN | R/W | 0b | DVDD LDO 発振モニタの診断の有効化 DVDD LDO 出力発振モニタの診断を可能にします。診断を動作させるには、DVDD_OSC_EN を設定する必要があります。診断が正常に完了すると、DVDD_OSCn 故障フラグが $t_{p(DVDD_OSC)}$ 以内に設定されます。 0b = ディセーブル 1b = イネーブル |
| 6:3 | RESERVED | R | 0000b | 予約済み 常に 0000b が読み出されます。 |

表 8-48. SUPPLY_MONITOR_DIAGNOSTIC_CFG レジスタ フィールドの説明 (続き)

| ビット | フィールド | タイプ | リセット | 概要 |
|-----|--------------------|-----|------|--|
| 2 | AGNDA_DISC_DIAG_EN | R/W | 0b | AGNDA 接続解除モニタ診断の有効化 AGNDA 接続解除モニタ診断を有効にします。診断を動作させるには、AGNDA_DISC_EN を設定する必要があります。診断が正常に完了すると、AGNA_DISCn 故障フラグは $t_p(\text{AGNDA_OPEN})$ 以内に設定されます。 0b = デイセーブル 1b = イネーブル |
| 1 | AGNDB_DISC_DIAG_EN | R/W | 0b | AGNDB 接続解除モニタ診断の有効化 AGNDB 接続解除モニタ診断を有効にします。診断を動作させるには、AGNDB_DISC_EN を設定する必要があります。診断が正常に完了すると、AGNDB_DISCn 故障フラグは $t_p(\text{AGNDB_OPEN})$ 以内に設定されます。 0b = デイセーブル 1b = イネーブル |
| 0 | DGND_DISC_DIAG_EN | R/W | 0b | DGND 接続解除モニタ診断の有効化 DGND 接続解除モニタ診断を有効にします。診断を動作させるには、DGND_DISC_EN を設定する必要があります。診断が正常に完了すると、DGND_DISCn 故障フラグは $t_p(\text{DGND_OPEN})$ 以内に設定されます。 0b = デイセーブル 1b = イネーブル |

8.1.48 CLOCK_MONITOR_DIAGNOSTIC_CFG レジスタ (アドレス = 45h) [リセット = 0000h]

概略表に戻ります。

図 8-48. CLOCK_MONITOR_DIAGNOSTIC_CFG レジスタ

| | | | | | | | |
|--------------------|----|----|----|-----------------|-----------------|-----------------|-----------------|
| 15 | 14 | 13 | 12 | 11 | 10 | 9 | 8 |
| SPARE[11:0] | | | | | | | |
| R/W-0000000000000b | | | | | | | |
| 7 | 6 | 5 | 4 | 3 | 2 | 1 | 0 |
| SPARE[11:0] | | | | MCLK_HI_DIAG_EN | MCLK_LO_DIAG_EN | OSCD_WD_DIAG_EN | MCLK_WD_DIAG_EN |
| R/W-0000000000000b | | | | R/W-0b | R/W-0b | R/W-0b | R/W-0b |

表 8-49. CLOCK_MONITOR_DIAGNOSTIC_CFG レジスタ フィールドの説明

| ビット | フィールド | タイプ | リセット | 概要 |
|------|-----------------|-----|----------------|---|
| 15:4 | SPARE[11:0] | R/W | 0000000000000b | 予備ビット レジスタ マップ セクション 1 の CRC をチェックするための手段として、R/W ビットとして提供される。ビット設定は無効です。 |
| 3 | MCLK_HI_DIAG_EN | R/W | 0b | MCLK 周波数が高すぎるモニタ診断の有効化 メインクロック周波数が高すぎるモニタ診断を有効にします。診断を動作させるには、MCLK_MON_EN を設定する必要があります。診断が正常に完了すると、MCLK_FAULTn 故障フラグが $t_p(\text{MCLK_FAULT})$ 以内に設定されます。MCLK_LO_DIAG_EN を同時に有効にしないでください。MCLK_HI_DIAG_EN と MCLK_LO_DIAG_EN を順に実行します。 0b = ディセーブル 1b = イネーブル |
| 2 | MCLK_LO_DIAG_EN | R/W | 0b | MCLK 周波数が低すぎるモニタ診断の有効化 メインクロック周波数が低すぎるモニタ診断を有効にします。診断を動作させるには、MCLK_MON_EN を設定する必要があります。診断が正常に完了すると、MCLK_FAULTn 故障フラグが $t_p(\text{MCLK_FAULT})$ 以内に設定されます。MCLK_HI_DIAG_EN を同時に有効にしないでください。MCLK_HI_DIAG_EN と MCLK_LO_DIAG_EN を順に実行します。 0b = ディセーブル 1b = イネーブル |
| 1 | OSCD_WD_DIAG_EN | R/W | 0b | 診断発振器ウォッチドッグ診断の有効化 診断発振器ウォッチドッグ診断を有効にします。診断を動作させるには、OSCD_WD_EN を設定する必要があります。診断が正常に完了すると、OSCD_WDn 故障フラグが $t_p(\text{OSCD_WD})$ 以内に設定されます。 0b = ディセーブル 1b = イネーブル |
| 0 | MCLK_WD_DIAG_EN | R/W | 0b | メインクロックウォッチドッグ診断の有効化 メインクロックウォッチドッグの診断を有効にします。診断を動作させるには、MCLK_WD_EN を設定する必要があります。診断が正常に完了すると、MCLK_WDn 故障フラグが $t_p(\text{MCLK_WD})$ 以内に設定されます。 0b = ディセーブル 1b = イネーブル |

8.1.49 DIGITAL_MONITOR_DIAGNOSTIC_CFG レジスタ (アドレス = 46h) [リセット = 0000h]

概略表に戻ります。

図 8-49. DIGITAL_MONITOR_DIAGNOSTIC_CFG レジスタ

| | | | | | | | |
|-----------|----|----|----|----|----|-----------------------|---------------|
| 15 | 14 | 13 | 12 | 11 | 10 | 9 | 8 |
| RESERVED | | | | | | MEM_MAP_CRC_DIAG[1:0] | |
| R-000000b | | | | | | R/W-00b | |
| 7 | 6 | 5 | 4 | 3 | 2 | 1 | 0 |
| RESERVED | | | | | | GPIOA_DIAG_EN | GPIOB_DIAG_EN |
| R-000000b | | | | | | R/W-0b | R/W-0b |
| | | | | | | GPIO_DIAG_EN | |
| | | | | | | R/W-0b | |

表 8-50. DIGITAL_MONITOR_DIAGNOSTIC_CFG レジスタ フィールドの説明

| ビット | フィールド | タイプ | リセット | 概要 |
|-------|-----------------------|-----|---------|--|
| 15:10 | RESERVED | R | 000000b | 予約済み 常に 000000b が読み出されます。 |
| 9:8 | MEM_MAP_CRC_DIAG[1:0] | R/W | 00b | メモリ マップ CRC 診断ビット パターンの選択 メモリ マップの CRC 診断に使用されるビット パターンを選択します。診断が正常に完了すると、MEM_MAP_CRC_FAULTn 故障フラグは $t_p(\text{MEM_MAP_CRC})$ 以内に設定されます。使用可能な 3 つのビット パターンのいずれかを診断に使用できます。 00b = 無効化 01b = パターン 1 10b = パターン 2 11b = パターン 3 |
| 7:3 | RESERVED | R | 00000b | 予約済み 常に 00000b が読み出されます。 |
| 2 | GPIOA_DIAG_EN | R/W | 0b | GPIOA 読み戻し診断の有効化 GPIOA_DIR がデジタル出力として構成されている場合、GPIOA_DAT[1:0] ビットの読み戻し値を反転させます。 0b = デイセーブル 1b = イネーブル |
| 1 | GPIOB_DIAG_EN | R/W | 0b | GPIOB 読み戻し診断の有効化 GPIOB_DIR がデジタル出力として構成されている場合、GPIOB_DAT[1:0] ビットの読み戻し値を反転させます。 0b = デイセーブル 1b = イネーブル |
| 0 | GPIO_DIAG_EN | R/W | 0b | GPIO 読み戻し診断の有効化 GPIOx_DIR がデジタル出力として構成されている場合、GPIOx_DAT[1:0] ビットの読み戻し値を反転させます。 0b = デイセーブル 1b = イネーブル |

8.1.50 SUPPLY_FAULT_MASK レジスタ (アドレス = 47h) [リセット = 0000h]

概略表に戻ります。

図 8-50. SUPPLY_FAULT_MASK レジスタ

| 15 | 14 | 13 | 12 | 11 | 10 | 9 | 8 |
|---------------|---------------|----------------|---------------|---------------|-----------------|-----------------|----------------|
| AVDD_OV_MASK | AVDD_UV_MASK | IOVDD_OV_MASK | IOVDD_UV_MASK | DVDD_OV_MASK | DVDD_UV_MASK | AVDD_OSC_MASK | IOVDD_OSC_MASK |
| R/W-0b | R/W-0b | R/W-0b | R/W-0b | R/W-0b | R/W-0b | R/W-0b | R/W-0b |
| 7 | 6 | 5 | 4 | 3 | 2 | 1 | 0 |
| DVDD_OSC_MASK | AVDD_OTW_MASK | IOVDD_OTW_MASK | AVDD_CL_MASK | IOVDD_CL_MASK | AGNDA_DISC_MASK | AGNDB_DISC_MASK | DGND_DISC_MASK |
| R/W-0b | R/W-0b | R/W-0b | R/W-0b | R/W-0b | R/W-0b | R/W-0b | R/W-0b |

表 8-51. SUPPLY_FAULT_MASK レジスタ フィールドの説明

| ビット | フィールド | タイプ | リセット | 概要 |
|-----|----------------|-----|------|---|
| 15 | AVDD_OV_MASK | R/W | 0b | AVDD 過電圧故障フラグ マスク STATUS_MSB レジスタの SUPPLY_FAULTn フラグをトリガしないように、AVDD 過電圧故障フラグ (AVDD_OVn) をマスクします。 0b = マスクなし 1b = マスク済み |
| 14 | AVDD_UV_MASK | R/W | 0b | AVDD 低電圧故障フラグ マスク STATUS_MSB レジスタの SUPPLY_FAULTn フラグをトリガしないように、AVDD 低電圧故障フラグ (AVDD_UVn) をマスクします。 0b = マスクなし 1b = マスク済み |
| 13 | IOVDD_OV_MASK | R/W | 0b | IOVDD 過電圧故障フラグ マスク STATUS_MSB レジスタの SUPPLY_FAULTn フラグをトリガしないように、IOVDD 過電圧故障フラグ (IOVDD_OVn) をマスクします。 0b = マスクなし 1b = マスク済み |
| 12 | IOVDD_UV_MASK | R/W | 0b | IOVDD 低電圧故障フラグ マスク STATUS_MSB レジスタの SUPPLY_FAULTn フラグをトリガしないように、IOVDD 低電圧故障フラグ (IOVDD_UVn) をマスクします。 0b = マスクなし 1b = マスク済み |
| 11 | DVDD_OV_MASK | R/W | 0b | DVDD 過電圧故障フラグ マスク STATUS_MSB レジスタの SUPPLY_FAULTn フラグをトリガしないように、DVDD 過電圧故障フラグ (DVDD_OVn) をマスクします。 0b = マスクなし 1b = マスク済み |
| 10 | DVDD_UV_MASK | R/W | 0b | DVDD 低電圧故障フラグ マスク STATUS_MSB レジスタの SUPPLY_FAULTn フラグをトリガしないように、DVDD 低電圧故障フラグ (DVDD_UVn) をマスクします。 0b = マスクなし 1b = マスク済み |
| 9 | AVDD_OSC_MASK | R/W | 0b | AVDD 発振故障フラグ マスク STATUS_MSB レジスタの SUPPLY_FAULTn フラグをトリガしないように、AVDD 発振故障フラグ (AVDD_OSCn) をマスクします。 0b = マスクなし 1b = マスク済み |
| 8 | IOVDD_OSC_MASK | R/W | 0b | IOVDD 発振故障フラグ マスク STATUS_MSB レジスタの SUPPLY_FAULTn フラグをトリガしないように、IOVDD 発振故障フラグ (IOVDD_OSCn) をマスクします。 0b = マスクなし 1b = マスク済み |
| 7 | DVDD_OSC_MASK | R/W | 0b | DVDD 発振故障フラグ マスク STATUS_MSB レジスタの SUPPLY_FAULTn フラグをトリガしないように、DVDD 発振故障フラグ (DVDD_OSCn) をマスクします。 0b = マスクなし 1b = マスク済み |
| 6 | AVDD_OTW_MASK | R/W | 0b | AVDD 過熱警告フラグ マスク STATUS_MSB レジスタの SUPPLY_FAULTn フラグをトリガしないように、AVDD LDO 過熱警告フラグ (AVDD_OTWn) をマスクします。 0b = マスクなし 1b = マスク済み |
| 5 | IOVDD_OTW_MASK | R/W | 0b | IOVDD 過熱警告フラグ マスク STATUS_MSB レジスタの SUPPLY_FAULTn フラグをトリガしないように、IOVDD LDO 過熱警告フラグ (IOVDD_OTWn) をマスクします。 0b = マスクなし 1b = マスク済み |

表 8-51. SUPPLY_FAULT_MASK レジスタ フィールドの説明 (続き)

| ビット | フィールド | タイプ | リセット | 概要 |
|-----|-----------------|-----|------|--|
| 4 | AVDD_CL_MASK | R/W | 0b | AVDD 電流制限フラグ マスク STATUS_MSB レジスタの SUPPLY_FAULTn フラグをトリガしないように、AVDD LDO 電流制限フラグ (AVDD_CLn) をマスクします。 0b = マスクなし 1b = マスク済み |
| 3 | IOVDD_CL_MASK | R/W | 0b | IOVDD 電流制限フラグ マスク STATUS_MSB レジスタの SUPPLY_FAULTn フラグをトリガしないように、IOVDD LDO 電流制限フラグ (IOVDD_CLn) をマスクします。 0b = マスクなし 1b = マスク済み |
| 2 | AGNDA_DISC_MASK | R/W | 0b | AGNDA ビン切断検出フラグ マスク STATUS_MSB レジスタの SUPPLY_FAULTn フラグをトリガしないように、AGNDA ビン切断検出フラグ (AGNDA_DISCn) をマスクします。 0b = マスクなし 1b = マスク済み |
| 1 | AGNDB_DISC_MASK | R/W | 0b | AGNDB ビン切断検出フラグ マスク STATUS_MSB レジスタの SUPPLY_FAULTn フラグをトリガしないように、AGNDB ビン切断検出フラグ (AGNDB_DISCn) をマスクします。 0b = マスクなし 1b = マスク済み |
| 0 | DGND_DISC_MASK | R/W | 0b | DGND ビン切断検出フラグ マスク STATUS_MSB レジスタの SUPPLY_FAULTn フラグをトリガしないように、DGND ビン切断検出フラグ (DGND_DISCn) をマスクします。 0b = マスクなし 1b = マスク済み |

8.1.51 CLOCK_FAULT_MASK レジスタ (アドレス = 48h) [リセット = 0000h]

概略表に戻ります。

図 8-51. CLOCK_FAULT_MASK レジスタ

| | | | | | | | |
|-------------|----|----|----|----|-----------------|--------------|--------------|
| 15 | 14 | 13 | 12 | 11 | 10 | 9 | 8 |
| RESERVED | | | | | | RESERVED | |
| R/W-000000b | | | | | | R-0000000b | |
| 7 | 6 | 5 | 4 | 3 | 2 | 1 | 0 |
| RESERVED | | | | | MCLK_FAULT_MASK | OSCD_WD_MASK | MCLK_WD_MASK |
| R-0000000b | | | | | R/W-0b | R/W-0b | R/W-0b |

表 8-52. CLOCK_FAULT_MASK レジスタ フィールドの説明

| ビット | フィールド | タイプ | リセット | 概要 |
|-------|-----------------|-----|----------|--|
| 15:10 | RESERVED | R/W | 000000b | 予約済み 常に 000000b を書き込みます。 |
| 9:3 | RESERVED | R | 0000000b | 予約済み 常に 0000000b が読み出されます。 |
| 2 | MCLK_FAULT_MASK | R/W | 0b | MCLK 周波数が高すぎる/低すぎる故障フラグ マスク STATUS_MSB レジスタの CLOCK_FAULTn フラグをトリガしないように、MCLK 周波数が高すぎる、または低すぎる故障フラグ (MCLK_FAULTn) をマスクします。 0b = マスクなし 1b = マスク済み |
| 1 | OSCD_WD_MASK | R/W | 0b | 診断発振器ウォッチドッグ故障フラグ マスク STATUS_MSB レジスタの CLOCK_FAULTn フラグをトリガしないように、診断発振器ウォッチドッグ故障フラグ (OSCD_WDn) をマスクします。 0b = マスクなし 1b = マスク済み |
| 0 | MCLK_WD_MASK | R/W | 0b | メイン クロック ウォッチドッグ故障フラグ マスク STATUS_MSB レジスタの CLOCK_FAULTn フラグをトリガしないように、メイン クロック ウォッチドッグ故障フラグ (MCLK_WDn) をマスクします。 0b = マスクなし 1b = マスク済み |

8.1.52 DIGITAL_FAULT_MASK レジスタ (アドレス = 49h) [リセット = 0000h]

概略表に戻ります。

図 8-52. DIGITAL_FAULT_MASK レジスタ

| 15 | 14 | 13 | 12 | 11 | 10 | 9 | 8 |
|-------------------------|-------------------------|-------------------------|----------|------------------------|----------------|---|---|
| REG_MAP1_CRC_FAULT_MASK | REG_MAP2_CRC_FAULT_MASK | REG_MAP3_CRC_FAULT_MASK | RESERVED | MEM_MAP_CRC_FAULT_MASK | RESERVED | | |
| R/W-0b | R/W-0b | R/W-0b | R-0b | R/W-0b | R-00000000000b | | |
| 7 | 6 | 5 | 4 | 3 | 2 | 1 | 0 |
| RESERVED | | | | | | | |
| R-00000000000b | | | | | | | |

表 8-53. DIGITAL_FAULT_MASK レジスタ フィールドの説明

| ビット | フィールド | タイプ | リセット | 概要 |
|------|-------------------------|-----|--------------|---|
| 15 | REG_MAP1_CRC_FAULT_MASK | R/W | 0b | レジスタ マップ セクション 1 の CRC 故障フラグ マスク STATUS_MSB レジスタの DIGITAL_FAULTn フラグをトリガしないように、レジスタ マップ セクション 1 の CRC 故障フラグ (REG_MAP1_CRC_FAULTn) をマスクします。 0b = マスクなし 1b = マスク済み |
| 14 | REG_MAP2_CRC_FAULT_MASK | R/W | 0b | レジスタ マップ セクション 2 の CRC 故障フラグ マスク STATUS_MSB レジスタの DIGITAL_FAULTn フラグをトリガしないように、レジスタ マップ セクション 2 の CRC 故障フラグ (REG_MAP2_CRC_FAULTn) をマスクします。 0b = マスクなし 1b = マスク済み |
| 13 | REG_MAP3_CRC_FAULT_MASK | R/W | 0b | レジスタ マップ セクション 3 の CRC 故障フラグ マスク STATUS_MSB レジスタの DIGITAL_FAULTn フラグをトリガしないように、レジスタ マップ セクション 3 の CRC 故障フラグ (REG_MAP3_CRC_FAULTn) をマスクします。 0b = マスクなし 1b = マスク済み |
| 12 | RESERVED | R | 0b | 予約済み 常に 0b が読み出されます。 |
| 11 | MEM_MAP_CRC_FAULT_MASK | R/W | 0b | メモリ マップ CRC 故障フラグ マスク STATUS_MSB レジスタの DIGITAL_FAULTn フラグをトリガしないように、メモリ マップの CRC 故障フラグ (MEM_MAP_CRC_FAULTn) をマスクします。 0b = マスクなし 1b = マスク済み |
| 10:0 | RESERVED | R | 00000000000b | 予約済み 常に 00000000000b が読み出されます。 |

8.1.53 OCC_FAULT_MASK レジスタ (アドレス = 4Ah) [リセット = 0000h]

概略表に戻ります。

図 8-53. OCC_FAULT_MASK レジスタ

| | | | | | | | |
|-----------------|----|----|----|--------------|--------------|--------------|--------------|
| 15 | 14 | 13 | 12 | 11 | 10 | 9 | 8 |
| RESERVED | | | | | | | |
| R-000000000000b | | | | | | | |
| 7 | 6 | 5 | 4 | 3 | 2 | 1 | 0 |
| RESERVED | | | | OCCA_HT_MASK | OCCA_LT_MASK | OCCB_HT_MASK | OCCB_LT_MASK |
| R-000000000000b | | | | R/W-0b | R/W-0b | R/W-0b | R/W-0b |

表 8-54. OCC_FAULT_MASK レジスタ フィールドの説明

| ビット | フィールド | タイプ | リセット | 概要 |
|------|--------------|-----|---------------|--|
| 15:4 | RESERVED | R | 000000000000b | 予約済み 常に 000000000000b が読み出されます。 |
| 3 | OCCA_HT_MASK | R/W | 0b | ADC1A 過電流コンパレータ上限スレッシュホールド故障フラグ マスク STATUS_MSB レジスタの OCC_FAULTn フラグをトリガしないように、ADC1A 過電流コンパレータ上限スレッシュホールド故障フラグ (OCCA_HTn) をマスクします。 0b = マスクなし 1b = マスク済み |
| 2 | OCCA_LT_MASK | R/W | 0b | ADC1A 過電流コンパレータ下限スレッシュホールド故障フラグ マスク STATUS_MSB レジスタの OCC_FAULTn フラグをトリガしないように、ADC1A 過電流コンパレータ下限スレッシュホールド故障フラグ (OCCA_LTn) をマスクします。 0b = マスクなし 1b = マスク済み |
| 1 | OCCB_HT_MASK | R/W | 0b | ADC1B 過電流コンパレータ上限スレッシュホールド故障フラグ マスク STATUS_MSB レジスタの OCC_FAULTn フラグをトリガしないように、ADC1B 過電流コンパレータ上限スレッシュホールド故障フラグ (OCCB_HTn) をマスクします。 0b = マスクなし 1b = マスク済み |
| 0 | OCCB_LT_MASK | R/W | 0b | ADC1B 過電流コンパレータ下限スレッシュホールド故障フラグ マスク STATUS_MSB レジスタの OCC_FAULTn フラグをトリガしないように、ADC1B 過電流コンパレータ下限スレッシュホールド故障フラグ (OCCB_LTn) をマスクします。 0b = マスクなし 1b = マスク済み |

8.1.54 FAULT_PIN_MASK レジスタ (アドレス = 4Bh) [リセット = 0780h]

概略表に戻ります。

図 8-54. FAULT_PIN_MASK レジスタ

| 15 | 14 | 13 | 12 | 11 | 10 | 9 | 8 |
|-----------------------|-------------------|------------------|--------------------|----------------|--------------------|------------------|-----------------------|
| RESERVED | SUPPLY_FAULT_MASK | CLOCK_FAULT_MASK | DIGITAL_FAULT_MASK | OCC_FAULT_MASK | SPI_CRC_FAULT_MASK | SPI_TIMEOUT_MASK | SCLK_COUNT_FAULT_MASK |
| R-0b | R/W-0b | R/W-0b | R/W-0b | R/W-0b | R/W-1b | R/W-1b | R/W-1b |
| 7 | 6 | 5 | 4 | 3 | 2 | 1 | 0 |
| REG_ACCESS_FAULT_MASK | RESERVED | | | | | | |
| R/W-1b | R-0000000b | | | | | | |

表 8-55. FAULT_PIN_MASK レジスタ フィールドの説明

| ビット | フィールド | タイプ | リセット | 概要 |
|-----|-----------------------|-----|----------|---|
| 15 | RESERVED | R | 0b | 予約済み 常に 0b が読み出されます。 |
| 14 | SUPPLY_FAULT_MASK | R/W | 0b | 電源故障フラグ マスク GPIO2/FAULT ピンが故障出力として構成されている場合、STATUS_MSB レジスタの FAULT ピンをトリガしないように、電源故障フラグ (SUPPLY_FAULTn) をマスクします。 0b = マスクなし 1b = マスク済み |
| 13 | CLOCK_FAULT_MASK | R/W | 0b | クロック故障フラグ マスク GPIO2/FAULT ピンが故障出力として構成されている場合、STATUS_MSB レジスタの FAULT ピンをトリガしないように、クロック故障フラグ (CLOCK_FAULTn) をマスクします。 0b = マスクなし 1b = マスク済み |
| 12 | DIGITAL_FAULT_MASK | R/W | 0b | デジタル故障フラグ マスク GPIO2/FAULT ピンが故障出力として構成されている場合、STATUS_MSB レジスタの FAULT ピンをトリガしないように、デジタル故障フラグ (DIGITAL_FAULTn) をマスクします。 0b = マスクなし 1b = マスク済み |
| 11 | OCC_FAULT_MASK | R/W | 0b | 過電流コンパレータフラグ マスク GPIO2/FAULT ピンが故障出力として構成されている場合、STATUS_MSB レジスタの FAULT ピンをトリガしないように、過電流コンパレータフラグ (OCC_FAULTn) をマスクします。 0b = マスクなし 1b = マスク済み |
| 10 | SPI_CRC_FAULT_MASK | R/W | 1b | SPI CRC フラグ マスク GPIO2/FAULT ピンが故障出力として構成されている場合、STATUS_MSB レジスタの FAULT ピンをトリガしないように、SPI CRC フラグ (SPI_CRC_FAULTn) をマスクします。 0b = マスクなし 1b = マスク済み |
| 9 | SPI_TIMEOUT_MASK | R/W | 1b | SPI タイムアウトフラグ マスク GPIO2/FAULT ピンが故障出力として構成されている場合、STATUS_MSB レジスタの FAULT ピンをトリガしないように、SPI タイムアウトフラグ (SPI_TIMEOUTn) をマスクします。 0b = マスクなし 1b = マスク済み |
| 8 | SCLK_COUNT_FAULT_MASK | R/W | 1b | SCLK カウンタフラグ マスク GPIO2/FAULT ピンが故障出力として構成されている場合、STATUS_MSB レジスタの FAULT ピンをトリガしないように、SCLK カウンタフラグ (SCLK_COUNT_FAULTn) をマスクします。 0b = マスクなし 1b = マスク済み |
| 7 | REG_ACCESS_FAULT_MASK | R/W | 1b | レジスタアクセスフラグ マスク GPIO2/FAULT ピンが故障出力として構成されている場合、STATUS_MSB レジスタの FAULT ピンをトリガしないように、レジスタアクセスフラグ (REG_ACCESS_FAULTn) をマスクします。 0b = マスクなし 1b = マスク済み |
| 6:0 | RESERVED | R | 0000000b | 予約済み 常に 0000000b が読み出されます。 |

8.1.55 DEVICE_CFG レジスタ (アドレス = 4Ch) [リセット = 0000h]

概略表に戻ります。

図 8-55. DEVICE_CFG レジスタ

| 15 | 14 | 13 | 12 | 11 | 10 | 9 | 8 |
|-------------|-----------|----------|------------|-------------|----------|--------------|---|
| RESERVED | DRDY_CTRL | RESERVED | CLK_SOURCE | WORD_LENGTH | RESERVED | OP_MODE[1:0] | |
| R-0b | R/W-0b | R/W-0b | R/W-0b | R/W-0b | R-0b | R/W-00b | |
| 7 | 6 | 5 | 4 | 3 | 2 | 1 | 0 |
| RESERVED | | | | | | | |
| R-00000000b | | | | | | | |

表 8-56. DEVICE_CFG レジスタのフィールドの説明

| ビット | フィールド | タイプ | リセット | 概要 |
|-----|--------------|-----|-----------|--|
| 15 | RESERVED | R | 0b | 予約済み 常に 0b が読み出されます。 |
| 14 | DRDY_CTRL | R/W | 0b | DRDYn ピン制御の選択 DRDYn ピン表示を制御する ADC を選択します。 0b = ADC1A および ADC3A 1b = ADC1B および ADC3B |
| 13 | RESERVED | R/W | 0b | 予約済み 常に 0b を書き込みます。 |
| 12 | CLK_SOURCE | R/W | 0b | MCLK クロックソースの選択 デバイスのメイン クロック ソースを選択します。このビットを変更する前に、すべての ADC を無効化する、デバイスをスタンバイ モードからパワーダウン モードにする必要があります。外部クロックから内部発振器に切り替える場合、スイッチオーバーが完了するまで外部クロックを供給する必要があります。 0b = 内部発振器 1b = 外部クロック |
| 11 | WORD_LENGTH | R/W | 0b | データ・ワードの長さの選択 SPI フレーム内のすべてのワードの長さを選択します。 0b = 24 ビット 1b = 32 ビット、LSB ゼロ パディング |
| 10 | RESERVED | R | 0b | 予約済み 常に 0b が読み出されます。 |
| 9:8 | OP_MODE[1:0] | R/W | 00b | 動作モードの選択 デバイスの動作モードを選択します。 00b = アクティブ モード 01b = スタンバイ モード (すべての ADC は無効化) 10b = パワーダウン モード 11b = パワーダウンモード |
| 7:0 | RESERVED | R | 00000000b | 予約済み 常に 00000000b が読み出されます。 |

8.1.56 GPIO_CFG レジスタ (アドレス = 4Dh) [リセット = 0000h]

概略表に戻ります。

図 8-56. GPIO_CFG レジスタ

| 15 | 14 | 13 | 12 | 11 | 10 | 9 | 8 |
|-----------|-----------|-----------|-----------|-----------|-----------|-----------|-----------|
| RESERVED | GPIO4_FMT | GPIO3_FMT | GPIO2_FMT | GPIO1_FMT | GPIO0_FMT | GPIO4_DIR | GPIO3_DIR |
| R-0b | R/W-0b | R/W-0b | R/W-0b | R/W-0b | R/W-0b | R/W-0b | R/W-0b |
| 7 | 6 | 5 | 4 | 3 | 2 | 1 | 0 |
| GPIO2_DIR | GPIO1_DIR | GPIO0_DIR | GPIO4_SRC | GPIO3_SRC | GPIO2_SRC | RESERVED | GPIO0_SRC |
| R/W-0b | R/W-0b | R/W-0b | R/W-0b | R/W-0b | R/W-0b | R-0b | R/W-0b |

表 8-57. GPIO_CFG レジスタ フィールドの説明

| ビット | フィールド | タイプ | リセット | 概要 |
|-----|-----------|-----|------|---|
| 15 | RESERVED | R | 0b | 予約済み 常に 0b が読み出されます。 |
| 14 | GPIO4_FMT | R/W | 0b | GPIO4 形式 静的な入力および出力レベル、または PWM 入力および出力レベル用に GPIO4 を設定します 0b = GPIO4 がデジタル入力として構成されている場合: ロジック レベルは、静的な入力レベルに基づいています。GPIO4 は出力として構成されている場合: 静的な出力レベルでの出力。(この場合、GPIO4_LL_PWM_CFG および GPIO4_LH_PWM_CFG レジスタは無視されます。)パラレル GPO 読み戻しのため、この場合は、読み戻しバスは静的な入力レベルに基づいてロジックレベル用に構成します。 1b = GPIO4 がデジタル入力として構成されている場合: ロジック・レベルは、PWM 入力のデコードに基づいています。GPIO4 は出力として構成されている場合: GPIO4_LL_PWM_CFG および GPIO4_LH_PWM_CFG レジスタで定義された PWM 出力による出力。パラレル GPO 読み戻しのため、読み戻しバスは、この場合に GPIO4_PWM_TB で構成された時間ベースを使用して、PWM デコードに基づくロジックレベル用に構成します。 |
| 13 | GPIO3_FMT | R/W | 0b | GPIO3 形式 静的な入力および出力レベル、または PWM 入力および出力レベル用に GPIO3 を設定します 0b = GPIO3 がデジタル入力として構成されている場合: ロジック レベルは、静的な入力レベルに基づいています。GPIO3 は出力として構成されている場合: 静的な出力レベルでの出力。(この場合、GPIO3_LL_PWM_CFG および GPIO3_LH_PWM_CFG レジスタは無視されます。)パラレル GPO 読み戻しのため、この場合は、読み戻しバスは静的な入力レベルに基づいてロジックレベル用に構成します。 1b = GPIO3 がデジタル入力として構成されている場合: ロジック・レベルは、PWM 入力のデコードに基づいています。GPIO3 は出力として構成されている場合: GPIO3_LL_PWM_CFG および GPIO3_LH_PWM_CFG レジスタで定義された PWM 出力による出力。パラレル GPO 読み戻しのため、読み戻しバスは、この場合に GPIO3_PWM_TB で構成された時間ベースを使用して、PWM デコードに基づくロジックレベル用に構成します。 |
| 12 | GPIO2_FMT | R/W | 0b | GPIO2 形式 静的な入力および出力レベル、または PWM 入力および出力レベル用に GPIO2 を設定します 0b = GPIO2 がデジタル入力として構成されている場合: ロジック レベルは、静的な入力レベルに基づいています。GPIO2 は出力として構成されている場合: 静的な出力レベルでの出力。(この場合、GPIO2_LL_PWM_CFG および GPIO2_LH_PWM_CFG レジスタは無視されます。)パラレル GPO 読み戻しのため、この場合は、読み戻しバスは静的な入力レベルに基づいてロジックレベル用に構成します。 1b = GPIO2 がデジタル入力として構成されている場合: ロジック・レベルは、PWM 入力のデコードに基づいています。GPIO2 は出力として構成されている場合: GPIO2_LL_PWM_CFG および GPIO2_LH_PWM_CFG レジスタで定義された PWM 出力による出力。パラレル GPO 読み戻しのため、読み戻しバスは、この場合に GPIO2_PWM_TB で構成された時間ベースを使用して、PWM デコードに基づくロジックレベル用に構成します。 |
| 11 | GPIO1_FMT | R/W | 0b | GPIO1 形式 静的な入力および出力レベル、または PWM 入力および出力レベル用に GPIO1 を設定します 0b = GPIO1 がデジタル入力として構成されている場合: ロジック レベルは、静的な入力レベルに基づいています。GPIO1 は出力として構成されている場合: 静的な出力レベルでの出力。(この場合、GPIO1_LL_PWM_CFG および GPIO1_LH_PWM_CFG レジスタは無視されます。)パラレル GPO 読み戻しのため、この場合は、読み戻しバスは静的な入力レベルに基づいてロジックレベル用に構成します。 1b = GPIO1 がデジタル入力として構成されている場合: ロジック・レベルは、PWM 入力のデコードに基づいています。GPIO1 は出力として構成されている場合: GPIO1_LL_PWM_CFG および GPIO1_LH_PWM_CFG レジスタで定義された PWM 出力による出力。パラレル GPO 読み戻しのため、読み戻しバスは、この場合に GPIO1_PWM_TB で構成された時間ベースを使用して、PWM デコードに基づくロジックレベル用に構成します。 |

表 8-57. GPIO_CFG レジスタ フィールドの説明 (続き)

| ビット | フィールド | タイプ | リセット | 概要 |
|-----|-----------|-----|------|---|
| 10 | GPIO0_FMT | R/W | 0b | GPIO0 形式 静的な入力および出力レベル、または PWM 入力および出力レベル用に GPIO0 を設定します 0b = GPIO0 がデジタル入力として構成されている場合: ロジック レベルは、静的な入力レベルに基づいています。GPIO0 は出力として構成されている場合: 静的な出力レベルでの出力。(この場合、GPIO0_LL_PWM_CFG および GPIO0_LH_PWM_CFG レジスタは無視されます。)パラレル GPO 読み戻しのため、この場合は、読み戻しバスは静的な入力レベルに基づいてロジックレベル用に構成します。 1b = GPIO0 がデジタル入力として構成されている場合: ロジック・レベルは、PWM 入力のデコードに基づいています。GPIO0 は出力として構成されている場合: GPIO0_LL_PWM_CFG および GPIO0_LH_PWM_CFG レジスタで定義された PWM 出力による出力。パラレル GPO 読み戻しのため、読み戻しバスは、この場合に GPIO0_PWM_TB で構成された時間ベースを使用して、PWM デコードに基づくロジックレベル用に構成します。 |
| 9 | GPIO4_DIR | R/W | 0b | GPIO4 の方向 GPIO4 をデジタル入力または出力として設定します。OCCB 出力として使用するときは、デジタル出力として構成します。 0b = デジタル入力 1b = デジタル出力 |
| 8 | GPIO3_DIR | R/W | 0b | GPIO3 の方向 GPIO3 をデジタル入力または出力として設定します。OCCA 出力として使用するときは、デジタル出力として構成します。 0b = デジタル入力 1b = デジタル出力 |
| 7 | GPIO2_DIR | R/W | 0b | GPIO2 の方向 GPIO2 をデジタル入力または出力として設定します。FAULT 出力として使用するときは、デジタル出力として構成します。 0b = デジタル入力 1b = デジタル出力 |
| 6 | GPIO1_DIR | R/W | 0b | GPIO1 の方向 GPIO1 をデジタル入力または出力として設定します。 0b = デジタル入力 1b = デジタル出力 |
| 5 | GPIO0_DIR | R/W | 0b | GPIO0 の方向 GPIO0 をデジタル入力または出力として設定します。MHD 出力として使用するときは、デジタル出力として構成します。 0b = デジタル入力 1b = デジタル出力 |
| 4 | GPIO4_SRC | R/W | 0b | GPIO4 データ ソースの選択 GPIO4 が出力として構成されている場合、GPIO4/OCCB ビンのデータ ソースを選択します。 0b = OCCB 1b = GPIO |
| 3 | GPIO3_SRC | R/W | 0b | GPIO3 データ ソースの選択 GPIO3 が出力として構成されている場合、GPIO3/OCCA ビンのデータ ソースを選択します。 0b = OCCA 1b = GPIO |
| 2 | GPIO2_SRC | R/W | 0b | GPIO2 データ ソースの選択 GPIO2 が出力として構成されている場合、GPIO2/FAULT ビンのデータ ソースを選択します。 0b = 故障 1b = GPIO |
| 1 | RESERVED | R | 0b | 予約済み 常に 0b が読み出されます。 |
| 0 | GPIO0_SRC | R/W | 0b | GPIO0 データ ソースの選択 GPIO0 が出力として構成されている場合、GPIO0/MHD ビンのデータソースを選択します。 0b = ホスト検出ミス (MHD) 1b = GPIO |

8.1.57 GPO_DATA レジスタ (アドレス = 4Eh) [リセット = 0000h]

[概略表](#)に戻ります。

図 8-57. GPO_DATA レジスタ

| | | | | | | | |
|-------------------|----|----|----------|----------|----------|----------|----------|
| 15 | 14 | 13 | 12 | 11 | 10 | 9 | 8 |
| SPARE[10:0] | | | | | | | |
| R/W-000000000000b | | | | | | | |
| 7 | 6 | 5 | 4 | 3 | 2 | 1 | 0 |
| SPARE[10:0] | | | GPO4_DAT | GPO3_DAT | GPO2_DAT | GPO1_DAT | GPO0_DAT |
| R/W-000000000000b | | | R/W-0b | R/W-0b | R/W-0b | R/W-0b | R/W-0b |

表 8-58. GPO_DATA レジスタ フィールドの説明

| ビット | フィールド | タイプ | リセット | 概要 |
|------|-------------|-----|---------------|---|
| 15:5 | SPARE[10:0] | R/W | 000000000000b | 予備ビット レジスタ マップ セクション 1 の CRC をチェックするための手段として、R/W ビットとして提供される。ビット設定は無効です。 |
| 4 | GPO4_DAT | R/W | 0b | GPIO4 出力データ デジタル出力として構成されている場合、GPIO4 の出力値。GPIO4 が入力としてまたは OCCB 出力として構成されている場合、ビット設定は影響されません。 0b = Low 1b = High |
| 3 | GPO3_DAT | R/W | 0b | GPIO3 出力データ デジタル出力として構成されている場合、GPIO3 の出力値。GPIO3 が入力としてまたは OCCA 出力として構成されている場合、ビット設定は影響されません。 0b = Low 1b = High |
| 2 | GPO2_DAT | R/W | 0b | GPIO2 出力データ デジタル出力として構成されている場合、GPIO2 の出力値。GPIO2 が入力としてまたは FAULT 出力として構成されている場合、ビット設定は影響されません。 0b = Low 1b = High |
| 1 | GPO1_DAT | R/W | 0b | GPIO1 出力データ デジタル出力として構成されている場合、GPIO1 の出力値。GPIO1 が入力として構成されている場合、ビット設定は影響されません。 0b = Low 1b = High |
| 0 | GPO0_DAT | R/W | 0b | GPIO0 出力データ デジタル出力として構成されている場合、GPIO0 の出力値。GPIO0 が入力としてまたは MHD 出力として構成されている場合、ビット設定は影響されません。 0b = Low 1b = High |

8.1.58 GPIO0_LL_PWM_CFG レジスタ (アドレス = 4Fh) [リセット = 007Fh]

概略表に戻ります。

図 8-58. GPIO0_LL_PWM_CFG レジスタ

| | | | | | | | |
|----------------------|----|----|----|----------------------|----|---|---|
| 15 | 14 | 13 | 12 | 11 | 10 | 9 | 8 |
| GPIO0_PWM_TB[1:0] | | | | GPIO0_LL_PWM_HC[6:0] | | | |
| R/W-00b | | | | R/W-0000000b | | | |
| 7 | 6 | 5 | 4 | 3 | 2 | 1 | 0 |
| GPIO0_LL_PWM_HC[6:0] | | | | GPIO0_LL_PWM_LC[6:0] | | | |
| R/W-0000000b | | | | R/W-1111111b | | | |

表 8-59. GPIO0_LL_PWM_CFG レジスタのフィールドの説明

| ビット | フィールド | タイプ | リセット | 概要 |
|-------|----------------------|-----|----------|--|
| 15:14 | GPIO0_PWM_TB[1:0] | R/W | 00b | GPIO0/MHD PWM タイムベースの選択 GPIO0/MHD ピンが出力として構成されているときに、GPIO0/MHD PWM 生成に使用される時間ベースおよび PWM エンコーダに使用される時間ベースを選択します。 00b = $16 \times t_{MCLK}$ ($f_{MCLK} = 8.192 \text{ MHz}$ の場合 = $1/512 \text{ kHz}$) 01b = $64 \times t_{MCLK}$ ($f_{MCLK} = 8.192 \text{ MHz}$ の場合 = $1/128 \text{ kHz}$) 10b = $256 \times t_{MCLK}$ ($f_{MCLK} = 8.192 \text{ MHz}$ の場合 = $1/32 \text{ kHz}$) 11b = $1024 \times t_{MCLK}$ ($f_{MCLK} = 8.192 \text{ MHz}$ の場合 = $1/8 \text{ kHz}$) |
| 13:7 | GPIO0_LL_PWM_HC[6:0] | R/W | 0000000b | GPIO0/MHD ロジック Low レベル PWM High カウンタ GPIO0/MHD のロジック Low レベルの PWM の High 期間を設定します。 PWM 周期 = (PWM High カウンタ値 + PWM Low カウンタ値) x PWM 時間ベース PWM High 時間 = (PWM High カウンタ値 x PWM 時間ベース) PWM High カウンタ値を 0000000b に設定すると、GPIO0/MHD ロジック Low レベルが静的 Low に設定されます。PWM High および Low カウンタの両方の値を 0000000b に設定すると、GPIO0/MHD ロジック Low レベルが静的 Low に設定されます。 |
| 6:0 | GPIO0_LL_PWM_LC[6:0] | R/W | 1111111b | GPIO0/MHD ロジック Low レベル PWM Low カウンタ GPIO0/MHD のロジック Low レベルの PWM の Low 期間を設定します。 PWM 周期 = (PWM High カウンタ値 + PWM Low カウンタ値) x PWM 時間ベース PWM Low 時間 = (PWM Low カウンタ値 x PWM 時間ベース) PWM Low カウンタ値を 0000000b に設定すると、GPIO0/MHD ロジック Low レベルが静的 High に設定されます。PWM High および Low カウンタの両方の値を 0000000b に設定すると、GPIO0/MHD ロジック Low レベルが静的 Low に設定されます。 |

8.1.59 GPIO0_LH_PWM_CFG レジスタ (アドレス = 50h) [リセット = 3F80h]

[概略表](#)に戻ります。

図 8-59. GPIO0_LH_PWM_CFG レジスタ

| | | | | | | | |
|----------------------|----|----------------------|----------------------|----|----|---|---|
| 15 | 14 | 13 | 12 | 11 | 10 | 9 | 8 |
| RESERVED | | | GPIO0_LH_PWM_HC[6:0] | | | | |
| R-00b | | | R/W-1111111b | | | | |
| 7 | 6 | 5 | 4 | 3 | 2 | 1 | 0 |
| GPIO0_LH_PWM_HC[6:0] | | GPIO0_LH_PWM_LC[6:0] | | | | | |
| R/W-1111111b | | R/W-0000000b | | | | | |

表 8-60. GPIO0_LH_PWM_CFG レジスタのフィールドの説明

| ビット | フィールド | タイプ | リセット | 概要 |
|-------|----------------------|-----|----------|--|
| 15:14 | RESERVED | R | 00b | 予約済み 常に 00b を読み出す。 |
| 13:7 | GPIO0_LH_PWM_HC[6:0] | R/W | 1111111b | GPIO0/MHD ロジック High レベル PWM High カウンタ GPIO0/MHD のロジック High レベルの PWM の High 期間を設定します。 PWM 周期 = (PWM High カウンタ値 + PWM Low カウンタ値) x PWM 時間ベース PWM High 時間 = (PWM High カウンタ値 x PWM 時間ベース) PWM High カウンタ値を 0000000b に設定すると、GPIO0/MHD ロジック High レベルが静的 Low に設定されます。PWM High および Low カウンタの両方の値を 0000000b に設定すると、GPIO0/MHD ロジック High レベルが静的 Low に設定されます。 |
| 6:0 | GPIO0_LH_PWM_LC[6:0] | R/W | 0000000b | GPIO0/MHD ロジック High レベル PWM Low カウンタ GPIO0/MHD のロジック High レベルの PWM の Low 期間を設定します。 PWM 周期 = (PWM High カウンタ値 + PWM Low カウンタ値) x PWM 時間ベース PWM Low 時間 = (PWM Low カウンタ値 x PWM 時間ベース) PWM Low カウンタ値を 0000000b に設定すると、GPIO0/MHD ロジック High レベルが静的 High に設定されます。PWM High および Low カウンタの両方の値を 0000000b に設定すると、GPIO0/MHD ロジック High レベルが静的 Low に設定されます。 |

8.1.60 GPIO1_LL_PWM_CFG レジスタ (アドレス = 51h) [リセット = 007Fh]

概略表に戻ります。

図 8-60. GPIO1_LL_PWM_CFG レジスタ

| | | | | | | | |
|----------------------|----|----|----|----------------------|----|---|---|
| 15 | 14 | 13 | 12 | 11 | 10 | 9 | 8 |
| GPIO1_PWM_TB[1:0] | | | | GPIO1_LL_PWM_HC[6:0] | | | |
| R/W-00b | | | | R/W-0000000b | | | |
| 7 | 6 | 5 | 4 | 3 | 2 | 1 | 0 |
| GPIO1_LL_PWM_HC[6:0] | | | | GPIO1_LL_PWM_LC[6:0] | | | |
| R/W-0000000b | | | | R/W-1111111b | | | |

表 8-61. GPIO1_LL_PWM_CFG レジスタのフィールドの説明

| ビット | フィールド | タイプ | リセット | 概要 |
|-------|----------------------|-----|----------|--|
| 15:14 | GPIO1_PWM_TB[1:0] | R/W | 00b | GPIO1 PWM タイムベースの選択 GPIO1 ピンが出力として構成されているときに、GPIO1 PWM 生成に使用される時間ベースおよび PWM エンコーダに使用される時間ベースを選択します。 00b = $16 \times t_{MCLK}$ ($f_{MCLK} = 8.192 \text{ MHz}$ の場合 = $1/512 \text{ kHz}$) 01b = $64 \times t_{MCLK}$ ($f_{MCLK} = 8.192 \text{ MHz}$ の場合 = $1/128 \text{ kHz}$) 10b = $256 \times t_{MCLK}$ ($f_{MCLK} = 8.192 \text{ MHz}$ の場合 = $1/32 \text{ kHz}$) 11b = $1024 \times t_{MCLK}$ ($f_{MCLK} = 8.192 \text{ MHz}$ の場合 = $1/8 \text{ kHz}$) |
| 13:7 | GPIO1_LL_PWM_HC[6:0] | R/W | 0000000b | GPIO1 ロジック Low レベル PWM High カウンタ GPIO1 のロジック Low レベルの PWM の High 期間を設定します。 PWM 周期 = (PWM High カウンタ値 + PWM Low カウンタ値) x PWM 時間ベース PWM High 時間 = (PWM High カウンタ値 x PWM 時間ベース) PWM High カウンタ値を 0000000b に設定すると、GPIO1 ロジック Low レベルが静的 Low に設定されます。PWM High および Low カウンタの両方の値を 0000000b に設定すると、GPIO1 ロジック Low レベルが静的 Low に設定されます。 |
| 6:0 | GPIO1_LL_PWM_LC[6:0] | R/W | 1111111b | GPIO1 ロジック Low レベル PWM Low カウンタ GPIO1 のロジック Low レベルの PWM の Low 期間を設定します。 PWM 周期 = (PWM High カウンタ値 + PWM Low カウンタ値) x PWM 時間ベース PWM Low 時間 = (PWM Low カウンタ値 x PWM 時間ベース) PWM Low カウンタ値を 0000000b に設定すると、GPIO1 ロジック Low レベルが静的 High に設定されます。PWM High および Low カウンタの両方の値を 0000000b に設定すると、GPIO1 ロジック Low レベルが静的 Low に設定されます。 |

8.1.61 GPIO1_LH_PWM_CFG レジスタ (アドレス = 52h) [リセット = 3F80h]

[概略表](#)に戻ります。

図 8-61. GPIO1_LH_PWM_CFG レジスタ

| | | | | | | | |
|----------------------|----|----------------------|----------------------|----|----|---|---|
| 15 | 14 | 13 | 12 | 11 | 10 | 9 | 8 |
| RESERVED | | | GPIO1_LH_PWM_HC[6:0] | | | | |
| R-00b | | | R/W-1111111b | | | | |
| 7 | 6 | 5 | 4 | 3 | 2 | 1 | 0 |
| GPIO1_LH_PWM_HC[6:0] | | GPIO1_LH_PWM_LC[6:0] | | | | | |
| R/W-1111111b | | R/W-0000000b | | | | | |

表 8-62. GPIO1_LH_PWM_CFG レジスタのフィールドの説明

| ビット | フィールド | タイプ | リセット | 概要 |
|-------|----------------------|-----|----------|--|
| 15:14 | RESERVED | R | 00b | 予約済み 常に 00b を読み出す。 |
| 13:7 | GPIO1_LH_PWM_HC[6:0] | R/W | 1111111b | GPIO1 ロジック High レベル PWM High カウンタ GPIO1 のロジック High レベルの PWM の High 期間を設定します。 PWM 周期 = (PWM High カウンタ値 + PWM Low カウンタ値) x PWM 時間ベース PWM High 時間 = (PWM High カウンタ値 x PWM 時間ベース) PWM High カウンタ値を 0000000b に設定すると、GPIO1 ロジック High レベルが静的 Low に設定されます。PWM High および Low カウンタの両方の値を 0000000b に設定すると、GPIO1 ロジック High レベルが静的 Low に設定されます。 |
| 6:0 | GPIO1_LH_PWM_LC[6:0] | R/W | 0000000b | GPIO1 ロジック High レベル PWM Low カウンタ GPIO1 のロジック High レベルの PWM の Low 期間を設定します。 PWM 周期 = (PWM High カウンタ値 + PWM Low カウンタ値) x PWM 時間ベース PWM Low 時間 = (PWM Low カウンタ値 x PWM 時間ベース) PWM Low カウンタ値を 0000000b に設定すると、GPIO1 ロジック High レベルが静的 High に設定されます。PWM High および Low カウンタの両方の値を 0000000b に設定すると、GPIO1 ロジック High レベルが静的 Low に設定されます。 |

8.1.62 GPIO2_LL_PWM_CFG レジスタ (アドレス = 53h) [リセット = 007Fh]

概略表に戻ります。

図 8-62. GPIO2_LL_PWM_CFG レジスタ

| | | | | | | | |
|----------------------|----|----------------------|----|----------------------|----|---|---|
| 15 | 14 | 13 | 12 | 11 | 10 | 9 | 8 |
| GPIO2_PWM_TB[1:0] | | | | GPIO2_LL_PWM_HC[6:0] | | | |
| R/W-00b | | | | R/W-0000000b | | | |
| 7 | 6 | 5 | 4 | 3 | 2 | 1 | 0 |
| GPIO2_LL_PWM_HC[6:0] | | GPIO2_LL_PWM_LC[6:0] | | | | | |
| R/W-0000000b | | | | R/W-1111111b | | | |

表 8-63. GPIO2_LL_PWM_CFG レジスタのフィールドの説明

| ビット | フィールド | タイプ | リセット | 概要 |
|-------|----------------------|-----|----------|--|
| 15:14 | GPIO2_PWM_TB[1:0] | R/W | 00b | GPIO2/FAULT PWM タイムベースの選択 GPIO2/FAULT ピンが出力として構成されているときに、GPIO2/FAULT PWM 生成に使用される時間ベースおよび PWM エンコーダに使用される時間ベースを選択します。 00b = $16 \times t_{MCLK}$ ($f_{MCLK} = 8.192 \text{ MHz}$ の場合 = $1/512 \text{ kHz}$) 01b = $64 \times t_{MCLK}$ ($f_{MCLK} = 8.192 \text{ MHz}$ の場合 = $1/128 \text{ kHz}$) 10b = $256 \times t_{MCLK}$ ($f_{MCLK} = 8.192 \text{ MHz}$ の場合 = $1/32 \text{ kHz}$) 11b = $1024 \times t_{MCLK}$ ($f_{MCLK} = 8.192 \text{ MHz}$ の場合 = $1/8 \text{ kHz}$) |
| 13:7 | GPIO2_LL_PWM_HC[6:0] | R/W | 0000000b | GPIO2/FAULT ロジック Low レベル PWM High カウンタ GPIO2/FAULT のロジック Low レベルの PWM の High 期間を設定します。 PWM 周期 = (PWM High カウンタ値 + PWM Low カウンタ値) x PWM 時間ベース PWM High 時間 = (PWM High カウンタ値 x PWM 時間ベース) PWM High カウンタ値を 0000000b に設定すると、GPIO2/FAULT ロジック Low レベルが静的 Low に設定されます。PWM High および Low カウンタの両方の値を 0000000b に設定すると、GPIO2/FAULT ロジック Low レベルが静的 Low に設定されます。 |
| 6:0 | GPIO2_LL_PWM_LC[6:0] | R/W | 1111111b | GPIO2/FAULT ロジック Low レベル PWM Low カウンタ GPIO2/FAULT のロジック Low レベルの PWM の High 期間を設定します。 PWM 周期 = (PWM High カウンタ値 + PWM Low カウンタ値) x PWM 時間ベース PWM Low 時間 = (PWM Low カウンタ値 x PWM 時間ベース) PWM Low カウンタ値を 0000000b に設定すると、GPIO2/FAULT ロジック Low レベルが静的 High に設定されます。PWM High および Low カウンタの両方の値を 0000000b に設定すると、GPIO2/FAULT ロジック Low レベルが静的 Low に設定されます。 |

8.1.63 GPIO2_LH_PWM_CFG レジスタ (アドレス = 54h) [リセット = 3F80h]

[概略表](#)に戻ります。

図 8-63. GPIO2_LH_PWM_CFG レジスタ

| | | | | | | | |
|----------------------|----|----------------------|----------------------|----|----|---|---|
| 15 | 14 | 13 | 12 | 11 | 10 | 9 | 8 |
| RESERVED | | | GPIO2_LH_PWM_HC[6:0] | | | | |
| R-00b | | | R/W-1111111b | | | | |
| 7 | 6 | 5 | 4 | 3 | 2 | 1 | 0 |
| GPIO2_LH_PWM_HC[6:0] | | GPIO2_LH_PWM_LC[6:0] | | | | | |
| R/W-1111111b | | R/W-0000000b | | | | | |

表 8-64. GPIO2_LH_PWM_CFG レジスタのフィールドの説明

| ビット | フィールド | タイプ | リセット | 概要 |
|-------|----------------------|-----|----------|--|
| 15:14 | RESERVED | R | 00b | 予約済み 常に 00b を読み出す。 |
| 13:7 | GPIO2_LH_PWM_HC[6:0] | R/W | 1111111b | GPIO2/FAULT ロジック High レベル PWM High カウンタ GPIO2/FAULT のロジック High レベルの PWM の High 期間を設定します。 PWM 周期 = (PWM High カウンタ値 + PWM Low カウンタ値) x PWM 時間ベース PWM High 時間 = (PWM High カウンタ値 x PWM 時間ベース) PWM High カウンタ値を 0000000b に設定すると、GPIO2/FAULT ロジック High レベルが静的 Low に設定されます。PWM High および Low カウンタの両方の値を 0000000b に設定すると、GPIO2/FAULT ロジック High レベルが静的 Low に設定されます。 |
| 6:0 | GPIO2_LH_PWM_LC[6:0] | R/W | 0000000b | GPIO2/FAULT ロジック High レベル PWM Low カウンタ GPIO2/FAULT のロジック High レベルの PWM の Low 期間を設定します。 PWM 周期 = (PWM High カウンタ値 + PWM Low カウンタ値) x PWM 時間ベース PWM Low 時間 = (PWM Low カウンタ値 x PWM 時間ベース) PWM Low カウンタ値を 0000000b に設定すると、GPIO2/FAULT ロジック High レベルが静的 High に設定されます。PWM High および Low カウンタの両方の値を 0000000b に設定すると、GPIO2/FAULT ロジック High レベルが静的 Low に設定されます。 |

8.1.64 GPIO3_LL_PWM_CFG レジスタ (アドレス = 55h) [リセット = 007Fh]

概略表に戻ります。

図 8-64. GPIO3_LL_PWM_CFG レジスタ

| | | | | | | | |
|----------------------|----|----|----|----------------------|----|---|---|
| 15 | 14 | 13 | 12 | 11 | 10 | 9 | 8 |
| GPIO3_PWM_TB[1:0] | | | | GPIO3_LL_PWM_HC[6:0] | | | |
| R/W-00b | | | | R/W-0000000b | | | |
| 7 | 6 | 5 | 4 | 3 | 2 | 1 | 0 |
| GPIO3_LL_PWM_HC[6:0] | | | | GPIO3_LL_PWM_LC[6:0] | | | |
| R/W-0000000b | | | | R/W-1111111b | | | |

表 8-65. GPIO3_LL_PWM_CFG レジスタのフィールドの説明

| ビット | フィールド | タイプ | リセット | 概要 |
|-------|----------------------|-----|----------|---|
| 15:14 | GPIO3_PWM_TB[1:0] | R/W | 00b | GPIO3/OCCA PWM タイムベースの選択 GPIO3/OCCA ビンが出力として構成されているときに、GPIO3/OCCA PWM 生成に使用される時間ベースおよび PWM エンコーダに使用される時間ベースを選択します。 00b = $16 \times t_{MCLK}$ ($f_{MCLK} = 8.192 \text{ MHz}$ の場合 = 1/512 kHz) 01b = $64 \times t_{MCLK}$ ($f_{MCLK} = 8.192 \text{ MHz}$ の場合 = 1/128 kHz) 10b = $256 \times t_{MCLK}$ ($f_{MCLK} = 8.192 \text{ MHz}$ の場合 = 1/32 kHz) 11b = $1024 \times t_{MCLK}$ ($f_{MCLK} = 8.192 \text{ MHz}$ の場合 = 1/8 kHz) |
| 13:7 | GPIO3_LL_PWM_HC[6:0] | R/W | 0000000b | GPIO3/OCCA ロジック Low レベル PWM High カウンタ GPIO3/OCCA のロジック Low レベルの PWM の High 期間を設定します。 PWM 周期 = (PWM High カウンタ値 + PWM Low カウンタ値) x PWM 時間ベース PWM High 時間 = (PWM High カウンタ値 x PWM 時間ベース) PWM High カウンタ値を 0000000b に設定すると、GPIO3/OCCA ロジック Low レベルが静的 Low に設定されます。PWM High および Low カウンタの両方の値を 0000000b に設定すると、GPIO3/OCCA ロジック Low レベルが静的 Low に設定されます。 |
| 6:0 | GPIO3_LL_PWM_LC[6:0] | R/W | 1111111b | GPIO3/OCCA ロジック Low レベル PWM Low カウンタ GPIO3/OCCA のロジック Low レベルの PWM の High 期間を設定します。 PWM 周期 = (PWM High カウンタ値 + PWM Low カウンタ値) x PWM 時間ベース PWM Low 時間 = (PWM Low カウンタ値 x PWM 時間ベース) PWM Low カウンタ値を 0000000b に設定すると、GPIO3/OCCA ロジック Low レベルが静的 High に設定されます。PWM High および Low カウンタの両方の値を 0000000b に設定すると、GPIO3/OCCA ロジック Low レベルが静的 Low に設定されます。 |

8.1.65 GPIO3_LH_PWM_CFG レジスタ (アドレス = 56h) [リセット = 3F80h]

[概略表](#)に戻ります。

図 8-65. GPIO3_LH_PWM_CFG レジスタ

| | | | | | | | |
|----------------------|----|----------------------|----------------------|----|----|---|---|
| 15 | 14 | 13 | 12 | 11 | 10 | 9 | 8 |
| RESERVED | | | GPIO3_LH_PWM_HC[6:0] | | | | |
| R-00b | | | R/W-1111111b | | | | |
| 7 | 6 | 5 | 4 | 3 | 2 | 1 | 0 |
| GPIO3_LH_PWM_HC[6:0] | | GPIO3_LH_PWM_LC[6:0] | | | | | |
| R/W-1111111b | | R/W-0000000b | | | | | |

表 8-66. GPIO3_LH_PWM_CFG レジスタのフィールドの説明

| ビット | フィールド | タイプ | リセット | 概要 |
|-------|----------------------|-----|----------|--|
| 15:14 | RESERVED | R | 00b | 予約済み 常に 00b を読み出す。 |
| 13:7 | GPIO3_LH_PWM_HC[6:0] | R/W | 1111111b | GPIO3/OCCA ロジック High レベル PWM High カウンタ GPIO3/OCCA のロジック High レベルの PWM の High 期間を設定します。 PWM 周期 = (PWM High カウンタ値 + PWM Low カウンタ値) x PWM 時間ベース PWM High 時間 = (PWM High カウンタ値 x PWM 時間ベース) PWM High カウンタ値を 0000000b に設定すると、GPIO3/OCCA ロジック High レベルが静的 Low に設定されます。PWM High および Low カウンタの両方の値を 0000000b に設定すると、GPIO2/OCCA ロジック High レベルが静的 Low に設定されます。 |
| 6:0 | GPIO3_LH_PWM_LC[6:0] | R/W | 0000000b | GPIO3/OCCA ロジック High レベル PWM Low カウンタ GPIO3/OCCA のロジック High レベルの PWM の Low 期間を設定します。 PWM 周期 = (PWM High カウンタ値 + PWM Low カウンタ値) x PWM 時間ベース PWM Low 時間 = (PWM Low カウンタ値 x PWM 時間ベース) PWM Low カウンタ値を 0000000b に設定すると、GPIO3/OCCA ロジック High レベルが静的 High に設定されます。PWM High および Low カウンタの両方の値を 0000000b に設定すると、GPIO2/OCCA ロジック High レベルが静的 Low に設定されます。 |

8.1.66 GPIO4_LL_PWM_CFG レジスタ (アドレス = 57h) [リセット = 007Fh]

概略表に戻ります。

図 8-66. GPIO4_LL_PWM_CFG レジスタ

| | | | | | | | |
|----------------------|----|----|----|----------------------|----|---|---|
| 15 | 14 | 13 | 12 | 11 | 10 | 9 | 8 |
| GPIO4_PWM_TB[1:0] | | | | GPIO4_LL_PWM_HC[6:0] | | | |
| R/W-00b | | | | R/W-0000000b | | | |
| 7 | 6 | 5 | 4 | 3 | 2 | 1 | 0 |
| GPIO4_LL_PWM_HC[6:0] | | | | GPIO4_LL_PWM_LC[6:0] | | | |
| R/W-0000000b | | | | R/W-1111111b | | | |

表 8-67. GPIO4_LL_PWM_CFG レジスタのフィールドの説明

| ビット | フィールド | タイプ | リセット | 概要 |
|-------|----------------------|-----|----------|---|
| 15:14 | GPIO4_PWM_TB[1:0] | R/W | 00b | GPIO4/OCCB PWM タイムベースの選択 GPIO4/OCCB ピンが出力として構成されているとき、PWM エンコーダに使用される時間ベースと同様に、GPIO4/OCCB PWM 生成に使用される時間ベースを選択します 00b = $16 \times t_{MCLK}$ ($f_{MCLK} = 8.192 \text{ MHz}$ の場合 = $1/512 \text{ kHz}$) 01b = $64 \times t_{MCLK}$ (for $f_{MCLK} = 8.192 \text{ MHz}$ の場合 = $1/128 \text{ kHz}$) 10b = $256 \times t_{MCLK}$ ($f_{MCLK} = 8.192 \text{ MHz}$ の場合 = $1/32 \text{ kHz}$) 11b = $1024 \times t_{MCLK}$ ($f_{MCLK} = 8.192 \text{ MHz}$ の場合 = $1/8 \text{ kHz}$) |
| 13:7 | GPIO4_LL_PWM_HC[6:0] | R/W | 0000000b | GPIO4/OCCB ロジック Low レベル PWM High カウンタ GPIO4/OCCB のロジック Low レベルの PWM の High 期間を設定します。 PWM 周期 = (PWM High カウンタ値 + PWM Low カウンタ値) x PWM 時間ベース PWM High 時間 = (PWM High カウンタ値 x PWM 時間ベース) PWM High カウンタ値を 0000000b に設定すると、GPIO4/OCCB ロジック Low レベルが静的 Low に設定されます。PWM High および Low カウンタの両方の値を 0000000b に設定すると、GPIO4/OCCB ロジック Low レベルが静的 Low に設定されます。 |
| 6:0 | GPIO4_LL_PWM_LC[6:0] | R/W | 1111111b | GPIO4/OCCB ロジック Low レベル PWM Low カウンタ GPIO4/OCCB のロジック Low レベルの PWM の High 期間を設定します。 PWM 周期 = (PWM High カウンタ値 + PWM Low カウンタ値) x PWM 時間ベース PWM Low 時間 = (PWM Low カウンタ値 x PWM 時間ベース) PWM Low カウンタ値を 0000000b に設定すると、GPIO4/OCCB ロジック Low レベルが静的 High に設定されます。PWM High および Low カウンタの両方の値を 0000000b に設定すると、GPIO4/OCCB ロジック Low レベルが静的 Low に設定されます。 |

8.1.67 GPIO4_LH_PWM_CFG レジスタ (アドレス = 58h) [リセット = 3F80h]

[概略表](#)に戻ります。

図 8-67. GPIO4_LH_PWM_CFG レジスタ

| | | | | | | | |
|----------------------|----|----------------------|----------------------|----|----|---|---|
| 15 | 14 | 13 | 12 | 11 | 10 | 9 | 8 |
| RESERVED | | | GPIO4_LH_PWM_HC[6:0] | | | | |
| R-00b | | | R/W-1111111b | | | | |
| 7 | 6 | 5 | 4 | 3 | 2 | 1 | 0 |
| GPIO4_LH_PWM_HC[6:0] | | GPIO4_LH_PWM_LC[6:0] | | | | | |
| R/W-1111111b | | R/W-0000000b | | | | | |

表 8-68. GPIO4_LH_PWM_CFG レジスタのフィールドの説明

| ビット | フィールド | タイプ | リセット | 概要 |
|-------|----------------------|-----|----------|--|
| 15:14 | RESERVED | R | 00b | 予約済み 常に 00b を読み出す。 |
| 13:7 | GPIO4_LH_PWM_HC[6:0] | R/W | 1111111b | GPIO4BOCCB ロジック High レベル PWM High カウンタ GPIO4 のロジック High レベルの PWM の High 期間を設定します。 PWM 周期 = (PWM High カウンタ値 + PWM Low カウンタ値) x PWM 時間ベース PWM High 時間 = (PWM High カウンタ値 x PWM 時間ベース) PWM High カウンタ値を 0000000b に設定すると、GPIO4 論理 High レベルは静的 Low に設定されます。 PWM High および Low カウンタの両方の値を 0000000b に設定すると、GPIO4/OCCB ロジック High レベルが静的 Low に設定されます。 |
| 6:0 | GPIO4_LH_PWM_LC[6:0] | R/W | 0000000b | GPIO4/OCCB ロジック High レベル PWM Low カウンタ GPIO4/OCCB のロジック High レベルの PWM の Low 期間を設定します。 PWM 周期 = (PWM High カウンタ値 + PWM Low カウンタ値) x PWM 時間ベース PWM Low 時間 = (PWM Low カウンタ値 x PWM 時間ベース) PWM Low カウンタ値を 0000000b に設定すると、GPIO4/OCCB ロジック High レベルが静的 High に設定されます。PWM High および Low カウンタの両方の値を 0000000b に設定すると、GPIO4/OCCB ロジック High レベルが静的 Low に設定されます。 |

8.1.68 SPARE_59h レジスタ (アドレス = 59h) [リセット = 5555h]

[概略表](#)に戻ります。

図 8-68. SPARE_59h レジスタ

| | | | | | | | |
|-----------------------|----|----|----|----|----|---|---|
| 15 | 14 | 13 | 12 | 11 | 10 | 9 | 8 |
| SPARE[15:0] | | | | | | | |
| R/W-0101010101010101b | | | | | | | |
| 7 | 6 | 5 | 4 | 3 | 2 | 1 | 0 |
| SPARE[15:0] | | | | | | | |
| R/W-0101010101010101b | | | | | | | |

表 8-69. SPARE_59h レジスタのフィールドの説明

| ビット | フィールド | タイプ | リセット | 概要 |
|------|-------------|-----|-------------------|---|
| 15:0 | SPARE[15:0] | R/W | 0101010101010101b | 予備ビット レジスタ マップ セクション 1 の CRC をチェックするための手段として、R/W ビットとして提供される。ビット設定は無効です。 |

8.1.69 REGISTER_MAP1_CRC レジスタ (アドレス = 7Eh) [リセット = 0000h]

[概略表](#)に戻ります。

図 8-69. REGISTER_MAP1_CRC レジスタ

| | | | | | | | |
|--------------------------|----|----|----|----|----|---|---|
| 15 | 14 | 13 | 12 | 11 | 10 | 9 | 8 |
| REG_MAP1_CRC_VALUE[15:0] | | | | | | | |
| R/W-0000000000000000b | | | | | | | |
| 7 | 6 | 5 | 4 | 3 | 2 | 1 | 0 |
| REG_MAP1_CRC_VALUE[15:0] | | | | | | | |
| R/W-0000000000000000b | | | | | | | |

表 8-70. REGISTER_MAP1_CRC レジスタのフィールドの説明

| ビット | フィールド | タイプ | リセット | 概要 |
|------|--------------------------|-----|--------------------------|--|
| 15:0 | REG_MAP1_CRC_VALUE[15:0] | R/W | 0000000000000000 000b | セクション 1 のレジスタ マップの CRC 値。 セクション 1 のレジスタ マップの CRC 値。 |

8.1.70 REGMAP2_TDACA_CFG レジスタ (アドレス = 80h) [リセット = 0000h]

[概略表](#)に戻ります。

図 8-70. REGMAP2_TDACA_CFG レジスタ

| | | | | | | | |
|------------------|------------------|----|----|----|------------------|---|---|
| 15 | 14 | 13 | 12 | 11 | 10 | 9 | 8 |
| REG_MAP2_CRC_EN | RESERVED | | | | | | |
| R/W-0b | R-0000000000000b | | | | | | |
| 7 | 6 | 5 | 4 | 3 | 2 | 1 | 0 |
| RESERVED | | | | | TDACA_VALUE[2:0] | | |
| R-0000000000000b | | | | | R/W-000b | | |

表 8-71. REGMAP2_TDACA_CFG レジスタのフィールドの説明

| ビット | フィールド | タイプ | リセット | 概要 |
|------|------------------|-----|----------------|--|
| 15 | REG_MAP2_CRC_EN | R/W | 0b | レジスタ マップ セクション 2 CRC 有効化 セクション 2 (レジスタ アドレス空間が 80h ~ A3h) のレジスタ マップの CRC を有効にします。 0b = ディセーブル 1b = イネーブル |
| 14:3 | RESERVED | R | 0000000000000b | 予約済み 常に 0000000000000b を読み出す。 |
| 2:0 | TDACA_VALUE[2:0] | R/W | 000b | テスト DAC A の出力値 は、テスト DAC A の出力値を選択します 000b = 1 x VREF/40 001b = 2 x VREF/40 010b = 4 x VREF/40 011b = 9 x VREF/40 100b = 18 x VREF/40 101b = 36 x VREF/40 110b = -4 x VREF/40 111b = -9 x VREF/40 |

8.1.71 GPIOA_CFG レジスタ (アドレス = 81h) [リセット = 0000h]

概略表に戻ります。

図 8-71. GPIOA_CFG レジスタ

| 15 | 14 | 13 | 12 | 11 | 10 | 9 | 8 |
|--------------------|--------------------|----|----|------------|------------|------------|------------|
| GPIOA_PIN_CFG | SPARE[2:0] | | | GPIO1A_FMT | GPIO0A_FMT | GPIO1A_DIR | GPIO0A_DIR |
| R/W-0b | R/W-000b | | | R/W-0b | R/W-0b | R/W-0b | R/W-0b |
| 7 | 6 | 5 | 4 | 3 | 2 | 1 | 0 |
| GPIO1A_PWM_TB[1:0] | GPIO0A_PWM_TB[1:0] | | | SPARE[1:0] | | GPO1A_DAT | GPO0A_DAT |
| R/W-00b | R/W-00b | | | R/W-00b | | R/W-0b | R/W-0b |

表 8-72. GPIOA_CFG レジスタ フィールドの説明

| ビット | フィールド | タイプ | リセット | 概要 |
|-------|--------------------|-----|------|---|
| 15 | GPIOA_PIN_CFG | R/W | 0b | VPA/GPIO0A および VNA/GPIO1A のピン機能の選択 VPA/GPIO0A ピンと VNA/GPIO1A ピンの両方をアナログ入力または GPIO として構成します。 これらのピンが GPIO として構成されている場合、ADC3A (ADC3A_EN = 0b) を無効にします。 ADC3A_EN = 1b のとき、GPIOA_PIN_CFG ビットの設定は無視され、入力は強制的にアナログ入力になります。 0b = アナログ入力 1b = GPIO |
| 14:12 | SPARE[2:0] | R/W | 000b | 予備ビット レジスタ マップ セクション 2 の CRC をチェックするための手段として、R/W ビットとして提供される。ビット設定は無効です。 |
| 11 | GPIO1A_FMT | R/W | 0b | GPIO1A 形式 静的な入力および出力レベル、または PWM 入力レベル用に GPIO1A を構成します。 0b = GPIO1A がデジタル入力として構成されている場合: ロジックレベルは、静的入力レベルに基づいています。GPIO1A は出力として構成されている場合: 静的な出力レベルでの出力。 1b = GPIO1A がデジタル入力として構成されている場合: ロジックレベルは、PWM 入力のデコードに基づいています。GPIO1A は出力として構成されている場合: 静的な出力レベルでの出力。 GPIO1A には、PWM 出力機能がありません。 |
| 10 | GPIO0A_FMT | R/W | 0b | GPIO0A 形式 静的な入力および出力レベル、または PWM 入力レベル用に GPIO0A を構成します。 0b = GPIO0A がデジタル入力として構成されている場合: ロジックレベルは、静的入力レベルに基づいています。GPIO0A は出力として構成されている場合: 静的な出力レベルでの出力。 1b = GPIO0A がデジタル入力として構成されている場合: ロジックレベルは、PWM 入力のデコードに基づいています。GPIO0A は出力として構成されている場合: 静的な出力レベルでの出力。 GPIO0A には、PWM 出力機能がありません。 |
| 9 | GPIO1A_DIR | R/W | 0b | GPIO1A の方向 GPIO1A をデジタル入力またはデジタル出力として構成します。 0b = デジタル入力 1b = デジタル出力 |
| 8 | GPIO0A_DIR | R/W | 0b | GPIO0A の方向 GPIO0A をデジタル入力またはデジタル出力として構成します。 0b = デジタル入力 1b = デジタル出力 |
| 7:6 | GPIO1A_PWM_TB[1:0] | R/W | 00b | GPIO1A PWM 時間ベースの選択 GPIO1A がデジタル入力として構成されている場合、PWM エンコーダに使用される時間ベースを選択します。 00b = $16 \times t_{MCLK}$ ($f_{MCLK} = 8.192 \text{ MHz}$ の場合 = 1/512 kHz) 01b = $64 \times t_{MCLK}$ ($f_{MCLK} = 8.192 \text{ MHz}$ の場合 = 1/128 kHz) 10b = $256 \times t_{MCLK}$ ($f_{MCLK} = 8.192 \text{ MHz}$ の場合 = 1/32 kHz) 11b = $1024 \times t_{MCLK}$ ($f_{MCLK} = 8.192 \text{ MHz}$ の場合 = 1/8 kHz) |
| 5:4 | GPIO0A_PWM_TB[1:0] | R/W | 00b | GPIO0A PWM 時間ベースの選択 GPIO0A がデジタル入力として構成されている場合、PWM エンコーダに使用される時間ベースを選択します。 00b = $16 \times t_{MCLK}$ ($f_{MCLK} = 8.192 \text{ MHz}$ の場合 = 1/512 kHz) 01b = $64 \times t_{MCLK}$ ($f_{MCLK} = 8.192 \text{ MHz}$ の場合 = 1/128 kHz) 10b = $256 \times t_{MCLK}$ ($f_{MCLK} = 8.192 \text{ MHz}$ の場合 = 1/32 kHz) 11b = $1024 \times t_{MCLK}$ ($f_{MCLK} = 8.192 \text{ MHz}$ の場合 = 1/8 kHz) |
| 3:2 | SPARE[1:0] | R/W | 00b | 予備ビット レジスタ マップ セクション 2 の CRC をチェックするための手段として、R/W ビットとして提供される。ビット設定は無効です。 |
| 1 | GPO1A_DAT | R/W | 0b | GPIO1A 出力データ デジタル出力として構成されている場合、GPIO1A の出力値。GPIO1A がデジタル入力またはアナログ入力として構成されている場合、ビット設定は影響されません。 0b = Low 1b = High |

表 8-72. GPIOA_CFG レジスタ フィールドの説明 (続き)

| ビット | フィールド | タイプ | リセット | 概要 |
|-----|-----------|-----|------|--|
| 0 | GPO0A_DAT | R/W | 0b | GPIO0A 出力データ デジタル出力として構成されている場合、GPIO0A の出力値。GPIO0A がデジタル入力またはアナログ入力として構成されている場合、ビット設定は影響されません。 0b = Low 1b = High |

8.1.72 ADC1A_ADC3A_CFG レジスタ (アドレス = 82h) [リセット = 0400h]

[概略表](#)に戻ります。

図 8-72. ADC1A_ADC3A_CFG レジスタ

| | | | | | | | |
|----------|----|----|----|--------------|------------------|---|---|
| 15 | 14 | 13 | 12 | 11 | 10 | 9 | 8 |
| RESERVED | | | | CONV_MODE13A | OSR13A[2:0] | | |
| R-0000b | | | | R/W-0b | R/W-100b | | |
| 7 | 6 | 5 | 4 | 3 | 2 | 1 | 0 |
| RESERVED | | | | GC13A_EN | GC13A_DELAY[2:0] | | |
| R-0000b | | | | R/W-0b | R/W-000b | | |

表 8-73. ADC1A_ADC3A_CFG レジスタのフィールドの説明

| ビット | フィールド | タイプ | リセット | 概要 |
|-------|------------------|-----|-------|---|
| 15:12 | RESERVED | R | 0000b | 予約済み 常に 0000b を読み出す。 |
| 11 | CONV_MODE13A | R/W | 0b | 変換モードの選択 ADC1A と ADC3A の変換モードを選択します。 0b = 連続変換モード 1b = シングル ショット変換モード |
| 10:8 | OSR13A[2:0] | R/W | 100b | オーバーサンプリング レートの選択 ADC1A と ADC3A のオーバーサンプリング レートを選択します。f _{MOD} /OSR でデータ レートを計算します。 000b = 64 001b = 128 010b = 256 011b = 512 100b = 1024 101b = 2048 110b = 4096 111b = 8192 |
| 7:4 | RESERVED | R | 0000b | 予約済み 常に 0000b を読み出す。 |
| 3 | GC13A_EN | R/W | 0b | グローバル チョップ モードの有効化 ADC1A および ADC3A のグローバル チョップ モードを有効にします。 0b = ディセーブル 1b = イネーブル |
| 2:0 | GC13A_DELAY[2:0] | R/W | 000b | グローバル チョップ モード遅延時間の選択 ADC1A および ADC3A のグローバル チョップ モードの遅延時間を選択します。 000b = 2 x t _{MOD} 001b = 4 x t _{MOD} 010b = 8 x t _{MOD} 011b = 16 x t _{MOD} 100b = 32 x t _{MOD} 101b = 64 x t _{MOD} 110b = 128 x t _{MOD} 111b = 256 x t _{MOD} |

8.1.73 ADC1A_CFG レジスタ (アドレス = 83h) [リセット = 8010h]

概略表に戻ります。

図 8-73. ADC1A_CFG レジスタ

| 15 | 14 | 13 | 12 | 11 | 10 | 9 | 8 |
|----------|----------|------------------|----------------|-------------------------|----|-----------------------|---|
| ADC1A_EN | RESERVED | | | GAIN1A[1:0] | | MUX1A[1:0] | |
| R/W-1b | R-000b | | | R/W-00b | | R/W-00b | |
| 7 | 6 | 5 | 4 | 3 | 2 | 1 | 0 |
| RESERVED | | OWD1A_SOURCE_MUX | OWD1A_SINK_MUX | OWD1A_SOURCE_VALUE[1:0] | | OWD1A_SINK_VALUE[1:0] | |
| R-00b | | R/W-0b | R/W-1b | R/W-00b | | R/W-00b | |

表 8-74. ADC1A_CFG レジスタのフィールドの説明

| ビット | フィールド | タイプ | リセット | 概要 |
|-------|-------------------------|-----|------|---|
| 15 | ADC1A_EN | R/W | 1b | ADC1A の有効化 ADC1A を有効にします。 ADC1A が無効化された場合、またはデバイスがスタンバイ モードまたはパワーダウン モードの場合、ADC1A の変換データは 000000h にリセットされます。ADC1A と ADC3A の両方が無効化された場合、変換カウンタ CONV1A_COUNT[1:0] は 00b にリセットされます。 0b = デイセーブル 1b = イネーブル |
| 14:12 | RESERVED | R | 000b | 予約済み 常に 000b を読み出す。 |
| 11:10 | GAIN1A[1:0] | R/W | 00b | ADC1A のゲイン選択 ADC1A のゲイン (FSR = フルスケール範囲) を選択します。ゲイン 16 および 32 は、アナログ ゲイン = 8 を使用するデジタル ゲインです。 00b = 4 01b = 8 10b = 16 11b = 32 |
| 9:8 | MUX1A[1:0] | R/W | 00b | ADC1A マルチプレクサ チャネルの選択 ADC1A のマルチプレクサ チャネルを選択します。 00b = AINp = CPA, AINn = CNA 01b = AINp = CNA, AINn = CPA 10b = AGNDA への内部短絡。アナログ入力 CPA, CNA を ADC1A から切り離す。 11b = DAC B 出力のテスト |
| 7:6 | RESERVED | R | 00b | 予約済み 常に 00b を読み出す。 |
| 5 | OWD1A_SOURCE_MUX | R/W | 0b | ADC1A 電流源マルチプレクサの選択 ADC1A 電流源のマルチプレクサ チャネルを選択します。 0b = CPA 1b = CNA |
| 4 | OWD1A_SINK_MUX | R/W | 1b | ADC1A 電流シンク マルチプレクサの選択 ADC1A 電流シンクのマルチプレクサ チャネルを選択します。 0b = CPA 1b = CNA |
| 3:2 | OWD1A_SOURCE_VALUE[1:0] | R/W | 00b | ADC1A 電流源値の選択 ADC1A 電流ソースの電流値を選択します。 00b = オフ 01b = 4 μ A 10b = 40 μ A 11b = 240 μ A |
| 1:0 | OWD1A_SINK_VALUE[1:0] | R/W | 00b | ADC1A 電流シンク値の選択 ADC1A 電流シンクの電流値を選択します。 00b = オフ 01b = 4 μ A 10b = 40 μ A 11b = 240 μ A |

8.1.74 ADC1A_OCAL_MSB レジスタ (アドレス = 84h) [リセット = 0000h]

[概略表](#)に戻ります。

図 8-74. ADC1A_OCAL_MSB レジスタ

| | | | | | | | |
|-----------------------|----|----|----|----|----|---|---|
| 15 | 14 | 13 | 12 | 11 | 10 | 9 | 8 |
| OCAL1A[23:8] | | | | | | | |
| R/W-0000000000000000b | | | | | | | |
| 7 | 6 | 5 | 4 | 3 | 2 | 1 | 0 |
| OCAL1A[23:8] | | | | | | | |
| R/W-0000000000000000b | | | | | | | |

表 8-75. ADC1A_OCAL_MSB レジスタのフィールドの説明

| ビット | フィールド | タイプ | リセット | 概要 |
|------|--------------|-----|-------------------|--|
| 15:0 | OCAL1A[23:8] | R/W | 0000000000000000b | ADC1A オフセット校正ビット [23:8] 2 の補数形式で値を提供します。 LSB サイズ = $(2 \times VREFA)/(GAIN1A \times 2^{24})$ |

8.1.75 ADC1A_OCAL_LSB レジスタ (アドレス = 85h) [リセット = 0000h]

[概略表](#)に戻ります。

図 8-75. ADC1A_OCAL_LSB レジスタ

| | | | | | | | |
|---------------|----|----|----|----|----|---|---|
| 15 | 14 | 13 | 12 | 11 | 10 | 9 | 8 |
| OCAL1A[7:0] | | | | | | | |
| R/W-00000000b | | | | | | | |
| 7 | 6 | 5 | 4 | 3 | 2 | 1 | 0 |
| RESERVED | | | | | | | |
| R-00000000b | | | | | | | |

表 8-76. ADC1A_OCAL_LSB レジスタのフィールドの説明

| ビット | フィールド | タイプ | リセット | 概要 |
|------|-------------|-----|-----------|---|
| 15:8 | OCAL1A[7:0] | R/W | 00000000b | ADC1A オフセット校正ビット [7:0] 2 の補数形式で値を提供します。 LSB サイズ = $(2 \times VREFA)/(GAIN1A \times 2^{24})$ |
| 7:0 | RESERVED | R | 00000000b | 予約済み 常に 00000000b を読み出す。 |

8.1.76 ADC1A_GCAL レジスタ (アドレス = 86h) [リセット = 0000h]

[概略表](#)に戻ります。

図 8-76. ADC1A_GCAL レジスタ

| | | | | | | | |
|-----------------------|----|----|----|----|----|---|---|
| 15 | 14 | 13 | 12 | 11 | 10 | 9 | 8 |
| GCAL1A[15:0] | | | | | | | |
| R/W-0000000000000000b | | | | | | | |
| 7 | 6 | 5 | 4 | 3 | 2 | 1 | 0 |
| GCAL1A[15:0] | | | | | | | |
| R/W-0000000000000000b | | | | | | | |

表 8-77. ADC1A_GCAL レジスタのフィールドの説明

| ビット | フィールド | タイプ | リセット | 概要 |
|------|--------------|-----|-------------------|--|
| 15:0 | GCAL1A[15:0] | R/W | 0000000000000000b | ADC1A オフセット校正ビット [15:0] 2 の補数形式で値を提供します。 LSB サイズ = $1/2^{16} = 0.000015$ マッピング: 0111111111111111b = 1.499985 0000000000000001b = 1.000015 0000000000000000b = 1 1111111111111111b = 0.999985 1000000000000000b = 0.5 |

8.1.77 OCCA_CFG レジスタ (アドレス = 87h) [リセット = 0000h]

概略表に戻ります。

図 8-77. OCCA_CFG レジスタ

| 15 | 14 | 13 | 12 | 11 | 10 | 9 | 8 |
|-------------|----------|----------|---------------|----|----|---|---|
| OCCA_EN | OCCA_POL | RESERVED | OCCA_NUM[4:0] | | | | |
| R/W-0b | R/W-0b | R/W-0b | R/W-00000b | | | | |
| 7 | 6 | 5 | 4 | 3 | 2 | 1 | 0 |
| RESERVED | | | | | | | |
| R-00000000b | | | | | | | |

表 8-78. OCCA_CFG レジスタ フィールドの説明

| ビット | フィールド | タイプ | リセット | 概要 |
|------|---------------|-----|-----------|--|
| 15 | OCCA_EN | R/W | 0b | ADC1A 過電流コンパレータの有効化 、ADC1A のデジタル高速フィルタとデジタル コンパレータを有効にします。過電流コンパレータを使用するには、ADC1A を有効にする必要があります。高速フィルタは、STARTA ビットと STOPA ビットの影響を受けません。 0b = ディセーブル 1b = イネーブル |
| 14 | OCCA_POL | R/W | 0b | OCCA ビン極性の選択 OCCA ビンの極性を選択します。GPIO3/OCCA ビンの実際の出力動作は、GPIO3_SRC ビットで OCCA 出力として構成されている場合、GPIO3_FMT の設定によって異なります。OCCA_Hn ビットまたは OCCA_Ln ビットのいずれかがアクティブになると、OCCA 故障はアクティブになります。 0b = アクティブ Low 故障が発生した場合、ロジック Low レベルが駆動されます。 1b = アクティブ High 故障が発生した場合、ロジック High レベルが駆動されます。 |
| 13 | RESERVED | R/W | 0b | 予約済み 常に 0b を書き込みます。 |
| 12:8 | OCCA_NUM[4:0] | R/W | 00000b | ADC1A 過電流コンパレータ グリッチ除去フィルタの選択 OCCA_Hn または OCCA_Ln コンパレータ出力をトリップするために、ADC1A デジタル高速フィルタの出力が設定された High または Low スレッショルドを超える必要がある変換回数を選択します。高速フィルタバスは、固定 OSR = 64 の SINC3 フィルタを使用します。デジタル高速フィルタ出力がスレッショルドを下回るとカウンタは再び起動し、ヒステリシスがないことを意味します。 00000b = 1 00001b = 2 00010b = 3 00011b = 4 00100b = 5 00101b = 6 00110b = 7 00111b = 8 01000b = 9 01001b = 10 01010b = 12 01011b = 14 01100b = 16 01101b = 18 01110b = 20 01111b = 22 10000b = 24 10001b = 26 10010b = 28 10011b = 32 10100b = 40 10101b = 48 10110b = 56 10111b = 64 11000b = 72 11001b = 80 11010b = 88 11011b = 96 11100b = 104 11101b = 112 11110b = 120 11111b = 128 |
| 7:0 | RESERVED | R | 00000000b | 予約済み 常に 00000000b を読み出す |

8.1.78 OCCA_HIGH_THRESHOLD レジスタ (アドレス = 88h) [リセット = 7FFFh]

[概略表](#)に戻ります。

図 8-78. OCCA_HIGH_THRESHOLD レジスタ

| | | | | | | | |
|----------------------|----|----|----|----|----|---|---|
| 15 | 14 | 13 | 12 | 11 | 10 | 9 | 8 |
| OCCA_HIGH_TH[15:0] | | | | | | | |
| R/W-011111111111111b | | | | | | | |
| 7 | 6 | 5 | 4 | 3 | 2 | 1 | 0 |
| OCCA_HIGH_TH[15:0] | | | | | | | |
| R/W-011111111111111b | | | | | | | |

表 8-79. OCCA_HIGH_THRESHOLD レジスタ フィールドの説明

| ビット | フィールド | タイプ | リセット | 概要 |
|------|--------------------|-----|-------------------|--|
| 15:0 | OCCA_HIGH_TH[15:0] | R/W | 0111111111111111b | <p>ADC1A 過電流コンバータの高スレッショルド ビット [15:0] 2 の補数形式で値を提供します。</p> <p>LSB サイズ = $(2 \times VREFA)/(GAIN1A \times 2^{16})$</p> <p>の値が高スレッショルドを超えると、OCCA_HTN イベントがトリガされます。値を +FS (= 7FFFh) に設定すると、高スレッショルド検出は無効になります。</p> |

8.1.79 OCCA_LOW_THRESHOLD レジスタ (アドレス = 89h) [リセット = 8000h]

[概略表](#)に戻ります。

図 8-79. OCCA_LOW_THRESHOLD レジスタ

| | | | | | | | |
|-----------------------|----|----|----|----|----|---|---|
| 15 | 14 | 13 | 12 | 11 | 10 | 9 | 8 |
| OCCA_LOW_TH[15:0] | | | | | | | |
| R/W-1000000000000000b | | | | | | | |
| 7 | 6 | 5 | 4 | 3 | 2 | 1 | 0 |
| OCCA_LOW_TH[15:0] | | | | | | | |
| R/W-1000000000000000b | | | | | | | |

表 8-80. OCCA_LOW_THRESHOLD レジスタ フィールドの説明

| ビット | フィールド | タイプ | リセット | 概要 |
|------|-------------------|-----|----------------------|--|
| 15:0 | OCCA_LOW_TH[15:0] | R/W | 1000000000000000000b | <p>ADC1A 過電流コンバータの低スレッショルド ビット [15:0] 2 の補数形式で値を提供します。</p> <p>LSB サイズ= $(2 \times VREFA)/(GAIN1A \times 2^{16})$</p> <p>低スレッショルドを下回ると、OCCA_LTn イベントがトリガされます。値を -FS (= 8000h) に設定すると、低スレッショルド検出は無効になります。</p> |

8.1.80 SPARE_8Ah レジスタ (アドレス = 8Ah) [リセット = 5555h]

[概略表](#)に戻ります。

図 8-80. SPARE_8Ah レジスタ

| | | | | | | | |
|-----------------------|----|----|----|----|----|---|---|
| 15 | 14 | 13 | 12 | 11 | 10 | 9 | 8 |
| SPARE[15:0] | | | | | | | |
| R/W-0101010101010101b | | | | | | | |
| 7 | 6 | 5 | 4 | 3 | 2 | 1 | 0 |
| SPARE[15:0] | | | | | | | |
| R/W-0101010101010101b | | | | | | | |

表 8-81. SPARE_8Ah レジスタのフィールドの説明

| ビット | フィールド | タイプ | リセット | 概要 |
|------|-------------|-----|-------------------|---|
| 15:0 | SPARE[15:0] | R/W | 0101010101010101b | 予備ビット レジスタ マップ セクション 2 の CRC をチェックするための手段として、R/W ビットとして提供される。ビット設定は無効です。 |

8.1.81 ADC2A_CFG1 レジスタ (アドレス = 8Bh) [リセット = 8010h]

概略表に戻ります。

図 8-81. ADC2A_CFG1 レジスタ

| 15 | 14 | 13 | 12 | 11 | 10 | 9 | 8 |
|-----------------------|---------------------|----|----|-------------------------|---------|-----------------------|---|
| ADC2A_EN | RESERVED | | | | VCMA_EN | OWD2A_SOURCE_MUX[2:0] | |
| R/W-1b | R-0000b | | | | R/W-0b | R/W-000b | |
| 7 | 6 | 5 | 4 | 3 | 2 | 1 | 0 |
| OWD2A_SOURCE_MUX[2:0] | OWD2A_SINK_MUX[2:0] | | | OWD2A_SOURCE_VALUE[1:0] | | OWD2A_SINK_VALUE[1:0] | |
| R/W-000b | R/W-001b | | | R/W-00b | | R/W-00b | |

表 8-82. ADC2A_CFG1 レジスタのフィールドの説明

| ビット | フィールド | タイプ | リセット | 概要 |
|-------|-------------------------|-----|-------|--|
| 15 | ADC2A_EN | R/W | 1b | ADC2A の有効化 ADC2A を有効にします。 ADC2A が無効化されたとき、レジスタの設定を ADC2A のアドレス 8Ch から 9Fh に変更します。 ADC2A が無効化されたとき、またはデバイスがスタンバイ モードまたはパワーダウン モードのとき、ADC2A の変換データは 0000h にリセットされ、シーケンス カウンタ SEQ2A_COUNT[1:0] は 00b にリセットされます。 0b = ディセーブル 1b = イネーブル |
| 14:11 | RESERVED | R | 0000b | 予約済み 常に 0000b を読み出す。 |
| 10 | VCMA_EN | R/W | 0b | 同相モード出力バッファ VCMA の有効化 アナログ入力 V7A の同相モード バッファ VCMA を有効にします。 0b = ディセーブル 1b = イネーブル |
| 9:7 | OWD2A_SOURCE_MUX[2:0] | R/W | 000b | ADC2A 電流源マルチプレクサの選択 ADC2A 電流源のマルチプレクサ チャンネルを選択します。 000b = V0A 001b = V1A 010b = V2A 011b = V3A 100b = V4A 101b = V5A 110b = V6A 111b = V7A |
| 6:4 | OWD2A_SINK_MUX[2:0] | R/W | 001b | ADC2A 電流シンク マルチプレクサの選択 ADC2A 電流シンクのマルチプレクサ チャンネルを選択します。 000b = V0A 001b = V1A 010b = V2A 011b = V3A 100b = V4A 101b = V5A 110b = V6A 111b = V7A |
| 3:2 | OWD2A_SOURCE_VALUE[1:0] | R/W | 00b | ADC2A 電流源値の選択 ADC2A 電流ソースの電流値を選択します。 00b = オフ 01b = 4 μ A 10b = 40 μ A 11b = 240 μ A |
| 1:0 | OWD2A_SINK_VALUE[1:0] | R/W | 00b | ADC2A 電流シンク値の選択 ADC2A 電流シンクの電流値を選択します。 00b = オフ 01b = 4 μ A 10b = 40 μ A 11b = 240 μ A |

8.1.82 ADC2A_CFG2 レジスタ (アドレス = 8Ch) [リセット = 0000h]

概略表に戻ります。

図 8-82. ADC2A_CFG2 レジスタ

| | | | | | | | |
|-----------------|----|----------|----|----|----|------------------|---|
| 15 | 14 | 13 | 12 | 11 | 10 | 9 | 8 |
| SEQ2A_MODE[1:0] | | RESERVED | | | | MUX2A_DELAY[2:0] | |
| R/W-00b | | R-000b | | | | R/W-000b | |
| 7 | 6 | 5 | 4 | 3 | 2 | 1 | 0 |
| RESERVED | | | | | | OSR2A[1:0] | |
| R-000000b | | | | | | R/W-00b | |

表 8-83. ADC2A_CFG2 レジスタのフィールドの説明

| ビット | フィールド | タイプ | リセット | 概要 |
|-------|------------------|-----|---------|--|
| 15:14 | SEQ2A_MODE[1:0] | R/W | 00b | ADC2A シーケンサ モードの選択 ADC2A シーケンサが新しいシーケンスを開始する方法を選択します。SEQ2A_START ビットをセットすると、進行中のシーケンスが常に中止され、すべてのモードで再開されます。 00b = SEQ2A/START ビットに基づくシングル ショット シーケンス モード (SEQ2A_START ビットの設定後、ADC2A はシーケンス全体で 1 回実行) 01b = ADC1A 変換開始または SEQ2A_START ビットに基づくシングル ショット シーケンス モード。この設定は、ADC1A が連続変換モードに構成されている場合にのみ効果があります。シーケンスは、DRDYAn の立ち下がりがエッジ、または SEQ2A_START ビットが設定されているときに開始されます。DRDYAn 信号によりトリガされる変換は無視されます。シーケンスの実行中は、シーケンスを中止して再起動しないでください。 10b = SEQ2A_START ビットに基づく連続シーケンス モード 11b = SEQ2A_START ビットに基づく連続シーケンス モード |
| 13:11 | RESERVED | R | 000b | 予約済み 常に 00b を読み出す。 |
| 10:8 | MUX2A_DELAY[2:0] | R/W | 000b | ADC2A マルチプレクサ遅延時間の選択 次のシーケンス ステップで変換を開始するまでの遅延時間を選択します。 000b = $16 \times t_{MCLK}$ ($f_{MCLK} = 8.192 \text{ MHz}$ の場合 = $2 \mu\text{s}$) 001b = $64 \times t_{MCLK}$ ($f_{MCLK} = 8.192 \text{ MHz}$ の場合 = $7.8 \mu\text{s}$) 010b = $128 \times t_{MCLK}$ ($f_{MCLK} = 8.192 \text{ MHz}$ の場合 = $15.6 \mu\text{s}$) 011b = $256 \times t_{MCLK}$ ($f_{MCLK} = 8.192 \text{ MHz}$ の場合 = $31.2 \mu\text{s}$) 100b = $512 \times t_{MCLK}$ ($f_{MCLK} = 8.192 \text{ MHz}$ の場合 = $62.5 \mu\text{s}$) 101b = $1024 \times t_{MCLK}$ ($f_{MCLK} = 8.192 \text{ MHz}$ の場合 = $124.9 \mu\text{s}$) 110b = $2048 \times t_{MCLK}$ ($f_{MCLK} = 8.192 \text{ MHz}$ の場合 = $249.9 \mu\text{s}$) 111b = $4096 \times t_{MCLK}$ ($f_{MCLK} = 8.192 \text{ MHz}$ の場合 = $499.7 \mu\text{s}$) |
| 7:2 | RESERVED | R | 000000b | 予約済み 常に 000000b を読み出す。 |
| 1:0 | OSR2A[1:0] | R/W | 00b | ADC2A オーバーサンプリング レートの選択 ADC2A のオーバーサンプリング レートを選択します。 00b = 64 (SINC3 OSR = 64、変換時間 = $384 \times t_{MCLK}$) 01b = 128 (SINC3 OSR = 64、SINC1 OSR = 2、変換時間 = $512 \times t_{MCLK}$) 10b = 256 (SINC3 OSR = 64、SINC1 OSR = 4、変換時間 = $768 \times t_{MCLK}$) 11b = 512 (SINC3 OSR = 64、SINC1 OSR = 8、変換時間 = $1280 \times t_{MCLK}$) |

8.1.83 SPARE_8Dh レジスタ (アドレス = 8Dh) [リセット = 0000h]

[概略表](#)に戻ります。

図 8-83. SPARE_8Dh レジスタ

| | | | | | | | |
|---------------|----|----|----|----|----|---|---|
| 15 | 14 | 13 | 12 | 11 | 10 | 9 | 8 |
| RESERVED | | | | | | | |
| R-00000000b | | | | | | | |
| 7 | 6 | 5 | 4 | 3 | 2 | 1 | 0 |
| SPARE[7:0] | | | | | | | |
| R/W-00000000b | | | | | | | |

表 8-84. SPARE_8Dh レジスタのフィールドの説明

| ビット | フィールド | タイプ | リセット | 概要 |
|------|------------|-----|-----------|---|
| 15:8 | RESERVED | R | 00000000b | 予約済み 常に 00000000b を読み出す。 |
| 7:0 | SPARE[7:0] | R/W | 00000000b | 予備ビット レジスタ マップ セクション 2 の CRC をチェックするための手段として、R/W ビットとして提供される。ビット設定は無効です。 |

8.1.84 ADC2A_OCAL レジスタ (アドレス = 8Eh) [リセット = 0000h]

[概略表](#)に戻ります。

図 8-84. ADC2A_OCAL レジスタ

| | | | | | | | |
|-----------------------|----|----|----|----|----|---|---|
| 15 | 14 | 13 | 12 | 11 | 10 | 9 | 8 |
| OCAL2A[15:0] | | | | | | | |
| R/W-0000000000000000b | | | | | | | |
| 7 | 6 | 5 | 4 | 3 | 2 | 1 | 0 |
| OCAL2A[15:0] | | | | | | | |
| R/W-0000000000000000b | | | | | | | |

表 8-85. ADC2A_OCAL レジスタのフィールドの説明

| ビット | フィールド | タイプ | リセット | 概要 |
|------|--------------|-----|-------------------|---|
| 15:0 | OCAL2A[15:0] | R/W | 0000000000000000b | ADC2A オフセット校正ビット [15:0] 2 の補数形式で値を提供します。 $GAIN2A = 1: LSB \text{ サイズ} = (2 \times VREFA) / 2^{16}$ $GAIN2A = 2, 4: LSB \text{ サイズ} = (2 \times VREFA) / (2 \times 2^{16})$ |

8.1.85 ADC2A_GCAL レジスタ (アドレス = 8Fh) [リセット = 0000h]

[概略表](#)に戻ります。

図 8-85. ADC2A_GCAL レジスタ

| | | | | | | | |
|-----------------------|----|----|----|----|----|---|---|
| 15 | 14 | 13 | 12 | 11 | 10 | 9 | 8 |
| GCAL2A[15:0] | | | | | | | |
| R/W-0000000000000000b | | | | | | | |
| 7 | 6 | 5 | 4 | 3 | 2 | 1 | 0 |
| GCAL2A[15:0] | | | | | | | |
| R/W-0000000000000000b | | | | | | | |

表 8-86. ADC2A_GCAL レジスタのフィールドの説明

| ビット | フィールド | タイプ | リセット | 概要 |
|------|--------------|-----|-------------------|---|
| 15:0 | GCAL2A[15:0] | R/W | 0000000000000000b | ADC2A ゲイン校正ビット [15:0] 2 の補数形式で値を提供します。 LSB サイズ= $1/2^{16} = 0.000015$ マッピング: 0111111111111111b = 1.499985 0000000000000001b = 1.000015 0000000000000000b = 1 1111111111111111b = 0.999985 1000000000000000b = 0.5 |

8.1.86 SEQ2A_STEP0_CFG レジスタ (アドレス = 90h) [リセット = 0000h]

概略表に戻ります。

図 8-86. SEQ2A_STEP0_CFG レジスタ

| | | | | | | | |
|----------------|-----------------------|----|------------------|-----------------------|----|---|---|
| 15 | 14 | 13 | 12 | 11 | 10 | 9 | 8 |
| SEQ2A_STEP0_EN | SEQ2A_STEP0_GAIN[1:0] | | RESERVED | | | | |
| R/W-0b | R/W-00b | | R-00000000b | | | | |
| 7 | 6 | 5 | 4 | 3 | 2 | 1 | 0 |
| RESERVED | | | SEQ2A_STEP0_CH_N | SEQ2A_STEP0_CH_P[3:0] | | | |
| R-00000000b | | | R/W-0b | R/W-0000b | | | |

表 8-87. SEQ2A_STEP0_CFG レジスタのフィールドの説明

| ビット | フィールド | タイプ | リセット | 概要 |
|-------|-----------------------|-----|-----------|---|
| 15 | SEQ2A_STEP0_EN | R/W | 0b | ADC2A シーケンス ステップ 0 の有効化 ADC2A シーケンサのシーケンス ステップ 0 を有効化します。 0b = ディセーブル 1b = イネーブル |
| 14:13 | SEQ2A_STEP0_GAIN[1:0] | R/W | 00b | ADC2A シーケンス ステップ 0 のゲインの選択 シーケンス ステップ 0 の ADC2A のゲインを選択します。 00b = 1 01b = 2 10b = 4 11b = 4 |
| 12:5 | RESERVED | R | 00000000b | 予約済み 常に 00000000b を読み出す。 |
| 4 | SEQ2A_STEP0_CH_N | R/W | 0b | ADC2A シーケンス ステップ 0 負の入力チャネルの選択 シーケンス ステップ 0 の負の ADC2A アナログ入力を選択します。 0b = AGNDA 1b = V7A |
| 3:0 | SEQ2A_STEP0_CH_P[3:0] | R/W | 0000b | ADC2A シーケンス ステップ 0 の正入力チャネルの選択 シーケンス ステップ 0 の正の ADC2A アナログ入力を選択します。負の ADC 入力自動的に選択される設定では、SEQ2A_STEP0_CH_N ビットは無効です。 0000b = V0A 0001b = V1A 0010b = V2A 0011b = V3A 0100b = V4A 0101b = V5A 0110b = V6A 0111b = V7A 1000b = 温度センサ A (負の ADC 入力は自動的に選択される) 1001b = AGNDA 内部短絡、入力から切り離される (負の ADC 入力は自動的に選択される) 1010b = テスト DAC B (負の ADC 入力は自動的に選択される) 1011b = AVDD/4 (負の ADC 入力は自動的に選択される) 1100b = IOVDD/4 (負の ADC 入力は自動的に選択される) 1101b = DVDD/2 (負の ADC 入力は自動的に選択される) 1110b = APWR/103 (負の ADC 入力は自動的に選択される) 1111b = DPWR/103 (負の ADC 入力は自動的に選択される) |

8.1.87 SEQ2A_STEP1_CFG レジスタ (アドレス = 91h) [リセット = 0001h]

概略表に戻ります。

図 8-87. SEQ2A_STEP1_CFG レジスタ

| | | | | | | | |
|----------------|-----------------------|----|------------------|-----------------------|----|---|---|
| 15 | 14 | 13 | 12 | 11 | 10 | 9 | 8 |
| SEQ2A_STEP1_EN | SEQ2A_STEP1_GAIN[1:0] | | RESERVED | | | | |
| R/W-0b | R/W-00b | | R-00000000b | | | | |
| 7 | 6 | 5 | 4 | 3 | 2 | 1 | 0 |
| RESERVED | | | SEQ2A_STEP1_CH_N | SEQ2A_STEP1_CH_P[3:0] | | | |
| R-00000000b | | | R/W-0b | R/W-0001b | | | |

表 8-88. SEQ2A_STEP1_CFG レジスタのフィールドの説明

| ビット | フィールド | タイプ | リセット | 概要 |
|-------|-----------------------|-----|-----------|---|
| 15 | SEQ2A_STEP1_EN | R/W | 0b | ADC2A シーケンス ステップ 1 の有効化 ADC2A シーケンスのシーケンス ステップ 1 を有効化します。 0b = ディセーブル 1b = イネーブル |
| 14:13 | SEQ2A_STEP1_GAIN[1:0] | R/W | 00b | ADC2A シーケンス ステップ 1 のゲインの選択 シーケンス ステップ 1 の ADC2A のゲインを選択します。 00b = 1 01b = 2 10b = 4 11b = 4 |
| 12:5 | RESERVED | R | 00000000b | 予約済み 常に 00000000b を読み出す。 |
| 4 | SEQ2A_STEP1_CH_N | R/W | 0b | ADC2A シーケンス ステップ 1 負の入力チャネルの選択 シーケンス ステップ 1 の負の ADC2A アナログ入力を選択します。 0b = AGNDA 1b = V7A |
| 3:0 | SEQ2A_STEP1_CH_P[3:0] | R/W | 0001b | ADC2A シーケンス ステップ 1 の正入力チャネルの選択 シーケンス ステップ 1 の正の ADC2A アナログ入力を選択します。負の ADC 入力自動的に選択される設定では、SEQ2A_STEP1_CH_N ビットは無効です。 0000b = V0A 0001b = V1A 0010b = V2A 0011b = V3A 0100b = V4A 0101b = V5A 0110b = V6A 0111b = V7A 1000b = 温度センサ A (負の ADC 入力は自動的に選択される) 1001b = AGNDA 内部短絡、入力から切り離される (負の ADC 入力は自動的に選択される) 1010b = テスト DAC B (負の ADC 入力は自動的に選択される) 1011b = AVDD/4 (負の ADC 入力は自動的に選択される) 1100b = IOVDD/4 (負の ADC 入力は自動的に選択される) 1101b = DVDD/2 (負の ADC 入力は自動的に選択される) 1110b = APWR/103 (負の ADC 入力は自動的に選択される) 1111b = DPWR/103 (負の ADC 入力は自動的に選択される) |

8.1.88 SEQ2A_STEP2_CFG レジスタ (アドレス = 92h) [リセット = 0002h]

概略表に戻ります。

図 8-88. SEQ2A_STEP2_CFG レジスタ

| | | | | | | | |
|----------------|-----------------------|----|------------------|-----------------------|----|---|---|
| 15 | 14 | 13 | 12 | 11 | 10 | 9 | 8 |
| SEQ2A_STEP2_EN | SEQ2A_STEP2_GAIN[1:0] | | RESERVED | | | | |
| R/W-0b | R/W-00b | | R-00000000b | | | | |
| 7 | 6 | 5 | 4 | 3 | 2 | 1 | 0 |
| RESERVED | | | SEQ2A_STEP2_CH_N | SEQ2A_STEP2_CH_P[3:0] | | | |
| R-00000000b | | | R/W-0b | R/W-0010b | | | |

表 8-89. SEQ2A_STEP2_CFG レジスタのフィールドの説明

| ビット | フィールド | タイプ | リセット | 概要 |
|-------|-----------------------|-----|-----------|---|
| 15 | SEQ2A_STEP2_EN | R/W | 0b | ADC2A シーケンス ステップ 2 の有効化 ADC2A シーケンサのシーケンス ステップ 2 を有効化します。 0b = ディセーブル 1b = イネーブル |
| 14:13 | SEQ2A_STEP2_GAIN[1:0] | R/W | 00b | ADC2A シーケンス ステップ 2 のゲインの選択 シーケンス ステップ 2 の ADC2A のゲインを選択します。 00b = 1 01b = 2 10b = 4 11b = 4 |
| 12:5 | RESERVED | R | 00000000b | 予約済み 常に 00000000b を読み出す。 |
| 4 | SEQ2A_STEP2_CH_N | R/W | 0b | ADC2A シーケンス ステップ 2 負の入力チャネルの選択 シーケンス ステップ 2 の負の ADC2A アナログ入力を選択します。 0b = AGNDA 1b = V7A |
| 3:0 | SEQ2A_STEP2_CH_P[3:0] | R/W | 0010b | ADC2A シーケンス ステップ 2 の正入力チャネルの選択 シーケンス ステップ 2 の正の ADC2A アナログ入力を選択します。負の ADC 入力自動的に選択される設定では、SEQ2A_STEP2_CH_N ビットは無効です。 0000b = V0A 0001b = V1A 0010b = V2A 0011b = V3A 0100b = V4A 0101b = V5A 0110b = V6A 0111b = V7A 1000b = 温度センサ A (負の ADC 入力は自動的に選択される) 1001b = AGNDA 内部短絡、入力から切り離される (負の ADC 入力は自動的に選択される) 1010b = テスト DAC B (負の ADC 入力は自動的に選択される) 1011b = AVDD/4 (負の ADC 入力は自動的に選択される) 1100b = IOVDD/4 (負の ADC 入力は自動的に選択される) 1101b = DVDD/2 (負の ADC 入力は自動的に選択される) 1110b = APWR/103 (負の ADC 入力は自動的に選択される) 1111b = DPWR/103 (負の ADC 入力は自動的に選択される) |

8.1.89 SEQ2A_STEP3_CFG レジスタ (アドレス = 93h) [リセット = 0003h]

概略表に戻ります。

図 8-89. SEQ2A_STEP3_CFG レジスタ

| | | | | | | | |
|----------------|-----------------------|-------------|------------------|-----------------------|----|---|---|
| 15 | 14 | 13 | 12 | 11 | 10 | 9 | 8 |
| SEQ2A_STEP3_EN | SEQ2A_STEP3_GAIN[1:0] | RESERVED | | | | | |
| R/W-0b | R/W-00b | R-00000000b | | | | | |
| 7 | 6 | 5 | 4 | 3 | 2 | 1 | 0 |
| RESERVED | | | SEQ2A_STEP3_CH_N | SEQ2A_STEP3_CH_P[3:0] | | | |
| R-00000000b | | | R/W-0b | R/W-0011b | | | |

表 8-90. SEQ2A_STEP3_CFG レジスタのフィールドの説明

| ビット | フィールド | タイプ | リセット | 概要 |
|-------|-----------------------|-----|-----------|---|
| 15 | SEQ2A_STEP3_EN | R/W | 0b | ADC2A シーケンス ステップ 3 の有効化 ADC2A シーケンスのシーケンス ステップ 3 を有効化します。 0b = ディセーブル 1b = イネーブル |
| 14:13 | SEQ2A_STEP3_GAIN[1:0] | R/W | 00b | ADC2A シーケンス ステップ 3 のゲインの選択 シーケンス ステップ 3 の ADC2A のゲインを選択します。 00b = 1 01b = 2 10b = 4 11b = 4 |
| 12:5 | RESERVED | R | 00000000b | 予約済み 常に 00000000b を読み出す。 |
| 4 | SEQ2A_STEP3_CH_N | R/W | 0b | ADC2A シーケンス ステップ 3 負の入力チャネルの選択 シーケンス ステップ 3 の負の ADC2A アナログ入力を選択します。 0b = AGNDA 1b = V7A |
| 3:0 | SEQ2A_STEP3_CH_P[3:0] | R/W | 0011b | ADC2A シーケンス ステップ 3 の正入力チャネルの選択 シーケンス ステップ 3 の正の ADC2A アナログ入力を選択します。負の ADC 入力自動的に選択される設定では、SEQ2A_STEP3_CH_N ビットは無効です。 0000b = V0A 0001b = V1A 0010b = V2A 0011b = V3A 0100b = V4A 0101b = V5A 0110b = V6A 0111b = V7A 1000b = 温度センサ A (負の ADC 入力は自動的に選択される) 1001b = AGNDA 内部短絡、入力から切り離される (負の ADC 入力は自動的に選択される) 1010b = テスト DAC B (負の ADC 入力は自動的に選択される) 1011b = AVDD/4 (負の ADC 入力は自動的に選択される) 1100b = IOVDD/4 (負の ADC 入力は自動的に選択される) 1101b = DVDD/2 (負の ADC 入力は自動的に選択される) 1110b = APWR/103 (負の ADC 入力は自動的に選択される) 1111b = DPWR/103 (負の ADC 入力は自動的に選択される) |

8.1.90 SEQ2A_STEP4_CFG レジスタ (アドレス = 94h) [リセット = 0004h]

概略表に戻ります。

図 8-90. SEQ2A_STEP4_CFG レジスタ

| | | | | | | | |
|----------------|-----------------------|----|------------------|-----------------------|----|---|---|
| 15 | 14 | 13 | 12 | 11 | 10 | 9 | 8 |
| SEQ2A_STEP4_EN | SEQ2A_STEP4_GAIN[1:0] | | RESERVED | | | | |
| R/W-0b | R/W-00b | | R-00000000b | | | | |
| 7 | 6 | 5 | 4 | 3 | 2 | 1 | 0 |
| RESERVED | | | SEQ2A_STEP4_CH_N | SEQ2A_STEP4_CH_P[3:0] | | | |
| R-00000000b | | | R/W-0b | R/W-0100b | | | |

表 8-91. SEQ2A_STEP4_CFG レジスタのフィールドの説明

| ビット | フィールド | タイプ | リセット | 概要 |
|-------|-----------------------|-----|-----------|---|
| 15 | SEQ2A_STEP4_EN | R/W | 0b | ADC2A シーケンス ステップ 4 の有効化 ADC2A シーケンサのシーケンス ステップ 4 を有効化します。 0b = ディセーブル 1b = イネーブル |
| 14:13 | SEQ2A_STEP4_GAIN[1:0] | R/W | 00b | ADC2A シーケンス ステップ 4 のゲインの選択 シーケンス ステップ 4 の ADC2A のゲインを選択します。 00b = 1 01b = 2 10b = 4 11b = 4 |
| 12:5 | RESERVED | R | 00000000b | 予約済み 常に 00000000b を読み出す。 |
| 4 | SEQ2A_STEP4_CH_N | R/W | 0b | ADC2A シーケンス ステップ 4 負の入力チャネルの選択 シーケンス ステップ 4 の負の ADC2A アナログ入力を選択します。 0b = AGNDA 1b = V7A |
| 3:0 | SEQ2A_STEP4_CH_P[3:0] | R/W | 0100b | ADC2A シーケンス ステップ 4 の正入力チャネルの選択 シーケンス ステップ 4 の正の ADC2A アナログ入力を選択します。負の ADC 入力自動的に選択される設定では、SEQ2A_STEP4_CH_N ビットは無効です。 0000b = V0A 0001b = V1A 0010b = V2A 0011b = V3A 0100b = V4A 0101b = V5A 0110b = V6A 0111b = V7A 1000b = 温度センサ A (負の ADC 入力は自動的に選択される) 1001b = AGNDA 内部短絡、入力から切り離される (負の ADC 入力は自動的に選択される) 1010b = テスト DAC B (負の ADC 入力は自動的に選択される) 1011b = AVDD/4 (負の ADC 入力は自動的に選択される) 1100b = IOVDD/4 (負の ADC 入力は自動的に選択される) 1101b = DVDD/2 (負の ADC 入力は自動的に選択される) 1110b = APWR/103 (負の ADC 入力は自動的に選択される) 1111b = DPWR/103 (負の ADC 入力は自動的に選択される) |

8.1.91 SEQ2A_STEP5_CFG レジスタ (アドレス = 95h) [リセット = 0005h]

概略表に戻ります。

図 8-91. SEQ2A_STEP5_CFG レジスタ

| | | | | | | | |
|----------------|-----------------------|----|------------------|-----------------------|----|---|---|
| 15 | 14 | 13 | 12 | 11 | 10 | 9 | 8 |
| SEQ2A_STEP5_EN | SEQ2A_STEP5_GAIN[1:0] | | RESERVED | | | | |
| R/W-0b | R/W-00b | | R-00000000b | | | | |
| 7 | 6 | 5 | 4 | 3 | 2 | 1 | 0 |
| RESERVED | | | SEQ2A_STEP5_CH_N | SEQ2A_STEP5_CH_P[3:0] | | | |
| R-00000000b | | | R/W-0b | R/W-0101b | | | |

表 8-92. SEQ2A_STEP5_CFG レジスタのフィールドの説明

| ビット | フィールド | タイプ | リセット | 概要 |
|-------|-----------------------|-----|-----------|---|
| 15 | SEQ2A_STEP5_EN | R/W | 0b | ADC2A シーケンス ステップ 5 の有効化 ADC2A シーケンスのシーケンス ステップ 5 を有効化します。 0b = ディセーブル 1b = イネーブル |
| 14:13 | SEQ2A_STEP5_GAIN[1:0] | R/W | 00b | ADC2A シーケンス ステップ 5 のゲインの選択 シーケンス ステップ 5 の ADC2A のゲインを選択します。 00b = 1 01b = 2 10b = 4 11b = 4 |
| 12:5 | RESERVED | R | 00000000b | 予約済み 常に 00000000b を読み出す。 |
| 4 | SEQ2A_STEP5_CH_N | R/W | 0b | ADC2A シーケンス ステップ 5 負の入力チャネルの選択 シーケンス ステップ 5 の負の ADC2A アナログ入力を選択します。 0b = AGNDA 1b = V7A |
| 3:0 | SEQ2A_STEP5_CH_P[3:0] | R/W | 0101b | ADC2A シーケンス ステップ 5 の正入力チャネルの選択 シーケンス ステップ 5 の正の ADC2A アナログ入力を選択します。負の ADC 入力自動的に選択される設定では、SEQ2A_STEP5_CH_N ビットは無効です。 0000b = V0A 0001b = V1A 0010b = V2A 0011b = V3A 0100b = V4A 0101b = V5A 0110b = V6A 0111b = V7A 1000b = 温度センサ A (負の ADC 入力は自動的に選択される) 1001b = AGNDA 内部短絡、入力から切り離される (負の ADC 入力は自動的に選択される) 1010b = テスト DAC B (負の ADC 入力は自動的に選択される) 1011b = AVDD/4 (負の ADC 入力は自動的に選択される) 1100b = IOVDD/4 (負の ADC 入力は自動的に選択される) 1101b = DVDD/2 (負の ADC 入力は自動的に選択される) 1110b = APWR/103 (負の ADC 入力は自動的に選択される) 1111b = DPWR/103 (負の ADC 入力は自動的に選択される) |

8.1.92 SEQ2A_STEP6_CFG レジスタ (アドレス = 96h) [リセット = 0006h]

概略表に戻ります。

図 8-92. SEQ2A_STEP6_CFG レジスタ

| | | | | | | | |
|----------------|-----------------------|----|------------------|-----------------------|----|---|---|
| 15 | 14 | 13 | 12 | 11 | 10 | 9 | 8 |
| SEQ2A_STEP6_EN | SEQ2A_STEP6_GAIN[1:0] | | RESERVED | | | | |
| R/W-0b | R/W-00b | | R-00000000b | | | | |
| 7 | 6 | 5 | 4 | 3 | 2 | 1 | 0 |
| RESERVED | | | SEQ2A_STEP6_CH_N | SEQ2A_STEP6_CH_P[3:0] | | | |
| R-00000000b | | | R/W-0b | R/W-0110b | | | |

表 8-93. SEQ2A_STEP6_CFG レジスタのフィールドの説明

| ビット | フィールド | タイプ | リセット | 概要 |
|-------|-----------------------|-----|-----------|---|
| 15 | SEQ2A_STEP6_EN | R/W | 0b | ADC2A シーケンス ステップ 6 の有効化 ADC2A シーケンサのシーケンス ステップ 6 を有効化します。 0b = ディセーブル 1b = イネーブル |
| 14:13 | SEQ2A_STEP6_GAIN[1:0] | R/W | 00b | ADC2A シーケンス ステップ 6 のゲインの選択 シーケンス ステップ 6 の ADC2A のゲインを選択します。 00b = 1 01b = 2 10b = 4 11b = 4 |
| 12:5 | RESERVED | R | 00000000b | 予約済み 常に 00000000b を読み出す。 |
| 4 | SEQ2A_STEP6_CH_N | R/W | 0b | ADC2A シーケンス ステップ 6 負の入力チャネルの選択 シーケンス ステップ 6 の負の ADC2A アナログ入力を選択します。 0b = AGNDA 1b = V7A |
| 3:0 | SEQ2A_STEP6_CH_P[3:0] | R/W | 0110b | ADC2A シーケンス ステップ 6 の正入力チャネルの選択 シーケンス ステップ 6 の正の ADC2A アナログ入力を選択します。負の ADC 入力自動的に選択される設定では、SEQ2A_STEP6_CH_N ビットは無効です。 0000b = V0A 0001b = V1A 0010b = V2A 0011b = V3A 0100b = V4A 0101b = V5A 0110b = V6A 0111b = V7A 1000b = 温度センサ A (負の ADC 入力は自動的に選択される) 1001b = AGNDA 内部短絡、入力から切り離される (負の ADC 入力は自動的に選択される) 1010b = テスト DAC B (負の ADC 入力は自動的に選択される) 1011b = AVDD/4 (負の ADC 入力は自動的に選択される) 1100b = IOVDD/4 (負の ADC 入力は自動的に選択される) 1101b = DVDD/2 (負の ADC 入力は自動的に選択される) 1110b = APWR/103 (負の ADC 入力は自動的に選択される) 1111b = DPWR/103 (負の ADC 入力は自動的に選択される) |

8.1.93 SEQ2A_STEP7_CFG レジスタ (アドレス = 97h) [リセット = 0007h]

概略表に戻ります。

図 8-93. SEQ2A_STEP7_CFG レジスタ

| | | | | | | | |
|----------------|-----------------------|----|------------------|-----------------------|----|---|---|
| 15 | 14 | 13 | 12 | 11 | 10 | 9 | 8 |
| SEQ2A_STEP7_EN | SEQ2A_STEP7_GAIN[1:0] | | RESERVED | | | | |
| R/W-0b | R/W-00b | | R-00000000b | | | | |
| 7 | 6 | 5 | 4 | 3 | 2 | 1 | 0 |
| RESERVED | | | SEQ2A_STEP7_CH_N | SEQ2A_STEP7_CH_P[3:0] | | | |
| R-00000000b | | | R/W-0b | R/W-0111b | | | |

表 8-94. SEQ2A_STEP7_CFG レジスタのフィールドの説明

| ビット | フィールド | タイプ | リセット | 概要 |
|-------|-----------------------|-----|-----------|---|
| 15 | SEQ2A_STEP7_EN | R/W | 0b | ADC2A シーケンス ステップ 7 の有効化 ADC2A シーケンスのシーケンス ステップ 7 を有効化します。 0b = ディセーブル 1b = イネーブル |
| 14:13 | SEQ2A_STEP7_GAIN[1:0] | R/W | 00b | ADC2A シーケンス ステップ 7 のゲインの選択 シーケンス ステップ 7 の ADC2A のゲインを選択します。 00b = 1 01b = 2 10b = 4 11b = 4 |
| 12:5 | RESERVED | R | 00000000b | 予約済み 常に 00000000b を読み出す。 |
| 4 | SEQ2A_STEP7_CH_N | R/W | 0b | ADC2A シーケンス ステップ 7 負の入力チャネルの選択 シーケンス ステップ 7 の負の ADC2A アナログ入力を選択します。 0b = AGNDA 1b = V7A |
| 3:0 | SEQ2A_STEP7_CH_P[3:0] | R/W | 0111b | ADC2A シーケンス ステップ 7 の正入力チャネルの選択 シーケンス ステップ 7 の正の ADC2A アナログ入力を選択します。負の ADC 入力自動的に選択される設定では、SEQ2A_STEP7_CH_N ビットは無効です。 0000b = V0A 0001b = V1A 0010b = V2A 0011b = V3A 0100b = V4A 0101b = V5A 0110b = V6A 0111b = V7A 1000b = 温度センサ A (負の ADC 入力は自動的に選択される) 1001b = AGNDA 内部短絡、入力から切り離される (負の ADC 入力は自動的に選択される) 1010b = テスト DAC B (負の ADC 入力は自動的に選択される) 1011b = AVDD/4 (負の ADC 入力は自動的に選択される) 1100b = IOVDD/4 (負の ADC 入力は自動的に選択される) 1101b = DVDD/2 (負の ADC 入力は自動的に選択される) 1110b = APWR/103 (負の ADC 入力は自動的に選択される) 1111b = DPWR/103 (負の ADC 入力は自動的に選択される) |

8.1.94 SEQ2A_STEP8_CFG レジスタ (アドレス = 98h) [リセット = 0008h]

概略表に戻ります。

図 8-94. SEQ2A_STEP8_CFG レジスタ

| | | | | | | | |
|----------------|-----------------------|----|------------------|-----------------------|----|---|---|
| 15 | 14 | 13 | 12 | 11 | 10 | 9 | 8 |
| SEQ2A_STEP8_EN | SEQ2A_STEP8_GAIN[1:0] | | RESERVED | | | | |
| R/W-0b | R/W-00b | | R-00000000b | | | | |
| 7 | 6 | 5 | 4 | 3 | 2 | 1 | 0 |
| RESERVED | | | SEQ2A_STEP8_CH_N | SEQ2A_STEP8_CH_P[3:0] | | | |
| R-00000000b | | | R/W-0b | R/W-1000b | | | |

表 8-95. SEQ2A_STEP8_CFG レジスタのフィールドの説明

| ビット | フィールド | タイプ | リセット | 概要 |
|-------|-----------------------|-----|-----------|---|
| 15 | SEQ2A_STEP8_EN | R/W | 0b | ADC2A シーケンス ステップ 8 の有効化 ADC2A シーケンサのシーケンス ステップ 8 を有効化します。 0b = ディセーブル 1b = イネーブル |
| 14:13 | SEQ2A_STEP8_GAIN[1:0] | R/W | 00b | ADC2A シーケンス ステップ 8 のゲインの選択 シーケンス ステップ 8 の ADC2A のゲインを選択します。 00b = 1 01b = 2 10b = 4 11b = 4 |
| 12:5 | RESERVED | R | 00000000b | 予約済み 常に 00000000b を読み出す。 |
| 4 | SEQ2A_STEP8_CH_N | R/W | 0b | ADC2A シーケンス ステップ 8 負の入力チャネルの選択 シーケンス ステップ 8 の負の ADC2A アナログ入力を選択します。 0b = AGNDA 1b = V7A |
| 3:0 | SEQ2A_STEP8_CH_P[3:0] | R/W | 1000b | ADC2A シーケンス ステップ 8 の正入力チャネルの選択 シーケンス ステップ 8 の正の ADC2A アナログ入力を選択します。負の ADC 入力自動的に選択される設定では、SEQ2A_STEP8_CH_N ビットは無効です。 0000b = V0A 0001b = V1A 0010b = V2A 0011b = V3A 0100b = V4A 0101b = V5A 0110b = V6A 0111b = V7A 1000b = 温度センサ A (負の ADC 入力は自動的に選択される) 1001b = AGNDA 内部短絡、入力から切り離される (負の ADC 入力は自動的に選択される) 1010b = テスト DAC B (負の ADC 入力は自動的に選択される) 1011b = AVDD/4 (負の ADC 入力は自動的に選択される) 1100b = IOVDD/4 (負の ADC 入力は自動的に選択される) 1101b = DVDD/2 (負の ADC 入力は自動的に選択される) 1110b = APWR/103 (負の ADC 入力は自動的に選択される) 1111b = DPWR/103 (負の ADC 入力は自動的に選択される) |

8.1.95 SEQ2A_STEP9_CFG レジスタ (アドレス = 99h) [リセット = 0009h]

概略表に戻ります。

図 8-95. SEQ2A_STEP9_CFG レジスタ

| | | | | | | | |
|----------------|-----------------------|----|------------------|-----------------------|----|---|---|
| 15 | 14 | 13 | 12 | 11 | 10 | 9 | 8 |
| SEQ2A_STEP9_EN | SEQ2A_STEP9_GAIN[1:0] | | RESERVED | | | | |
| R/W-0b | R/W-00b | | R-00000000b | | | | |
| 7 | 6 | 5 | 4 | 3 | 2 | 1 | 0 |
| RESERVED | | | SEQ2A_STEP9_CH_N | SEQ2A_STEP9_CH_P[3:0] | | | |
| R-00000000b | | | R/W-0b | R/W-1001b | | | |

表 8-96. SEQ2A_STEP9_CFG レジスタのフィールドの説明

| ビット | フィールド | タイプ | リセット | 概要 |
|-------|-----------------------|-----|-----------|---|
| 15 | SEQ2A_STEP9_EN | R/W | 0b | ADC2A シーケンス ステップ 9 の有効化 ADC2A シーケンスのシーケンス ステップ 9 を有効化します。 0b = ディセーブル 1b = イネーブル |
| 14:13 | SEQ2A_STEP9_GAIN[1:0] | R/W | 00b | ADC2A シーケンス ステップ 9 のゲインの選択 シーケンス ステップ 9 の ADC2A のゲインを選択します。 00b = 1 01b = 2 10b = 4 11b = 4 |
| 12:5 | RESERVED | R | 00000000b | 予約済み 常に 00000000b を読み出す。 |
| 4 | SEQ2A_STEP9_CH_N | R/W | 0b | ADC2A シーケンス ステップ 9 負の入力チャネルの選択 シーケンス ステップ 9 の負の ADC2A アナログ入力を選択します。 0b = AGNDA 1b = V7A |
| 3:0 | SEQ2A_STEP9_CH_P[3:0] | R/W | 1001b | ADC2A シーケンス ステップ 9 の正入力チャネルの選択 シーケンス ステップ 9 の正の ADC2A アナログ入力を選択します。負の ADC 入力自動的に選択される設定では、SEQ2A_STEP9_CH_N ビットは無効です。 0000b = V0A 0001b = V1A 0010b = V2A 0011b = V3A 0100b = V4A 0101b = V5A 0110b = V6A 0111b = V7A 1000b = 温度センサ A (負の ADC 入力は自動的に選択される) 1001b = AGNDA 内部短絡、入力から切り離される (負の ADC 入力は自動的に選択される) 1010b = テスト DAC B (負の ADC 入力は自動的に選択される) 1011b = AVDD/4 (負の ADC 入力は自動的に選択される) 1100b = IOVDD/4 (負の ADC 入力は自動的に選択される) 1101b = DVDD/2 (負の ADC 入力は自動的に選択される) 1110b = APWR/103 (負の ADC 入力は自動的に選択される) 1111b = DPWR/103 (負の ADC 入力は自動的に選択される) |

8.1.96 SEQ2A_STEP10_CFG レジスタ (アドレス = 9Ah) [リセット = 000Ah]

概略表に戻ります。

図 8-96. SEQ2A_STEP10_CFG レジスタ

| | | | | | | | |
|-----------------|------------------------|-------------|-------------------|------------------------|----|---|---|
| 15 | 14 | 13 | 12 | 11 | 10 | 9 | 8 |
| SEQ2A_STEP10_EN | SEQ2A_STEP10_GAIN[1:0] | RESERVED | | | | | |
| R/W-0b | R/W-00b | R-00000000b | | | | | |
| 7 | 6 | 5 | 4 | 3 | 2 | 1 | 0 |
| RESERVED | | | SEQ2A_STEP10_CH_N | SEQ2A_STEP10_CH_P[3:0] | | | |
| R-00000000b | | | R/W-0b | R/W-1010b | | | |

表 8-97. SEQ2A_STEP10_CFG レジスタのフィールドの説明

| ビット | フィールド | タイプ | リセット | 概要 |
|-------|------------------------|-----|-----------|--|
| 15 | SEQ2A_STEP10_EN | R/W | 0b | ADC2A シーケンス ステップ 10 の有効化 ADC2A シーケンスのシーケンス ステップ 10 を有効化します。 0b = ディセーブル 1b = イネーブル |
| 14:13 | SEQ2A_STEP10_GAIN[1:0] | R/W | 00b | ADC2A シーケンス ステップ 10 のゲインの選択 シーケンス ステップ 10 の ADC2A のゲインを選択します。 00b = 1 01b = 2 10b = 4 11b = 4 |
| 12:5 | RESERVED | R | 00000000b | 予約済み 常に 00000000b を読み出す。 |
| 4 | SEQ2A_STEP10_CH_N | R/W | 0b | ADC2A シーケンス ステップ 10 負の入力チャネルの選択 シーケンス ステップ 10 の負の ADC2A アナログ入力を選択します。 0b = AGNDA 1b = V7A |
| 3:0 | SEQ2A_STEP10_CH_P[3:0] | R/W | 1010b | ADC2A シーケンス ステップ 10 の正入力チャネルの選択 シーケンス ステップ 10 の正の ADC2A アナログ入力を選択します。負の ADC 入力自動的に選択される設定では、SEQ2A_STEP10_CH_N ビットは無効です。 0000b = V0A 0001b = V1A 0010b = V2A 0011b = V3A 0100b = V4A 0101b = V5A 0110b = V6A 0111b = V7A 1000b = 温度センサ A (負の ADC 入力は自動的に選択される) 1001b = AGNDA 内部短絡、入力から切り離される (負の ADC 入力は自動的に選択される) 1010b = テスト DAC B (負の ADC 入力は自動的に選択される) 1011b = AVDD/4 (負の ADC 入力は自動的に選択される) 1100b = IOVDD/4 (負の ADC 入力は自動的に選択される) 1101b = DVDD/2 (負の ADC 入力は自動的に選択される) 1110b = APWR/103 (負の ADC 入力は自動的に選択される) 1111b = DPWR/103 (負の ADC 入力は自動的に選択される) |

8.1.97 SEQ2A_STEP11_CFG レジスタ (アドレス = 9Bh) [リセット = 000Bh]

概略表に戻ります。

図 8-97. SEQ2A_STEP11_CFG レジスタ

| | | | | | | | |
|-----------------|------------------------|-------------|-------------------|------------------------|----|---|---|
| 15 | 14 | 13 | 12 | 11 | 10 | 9 | 8 |
| SEQ2A_STEP11_EN | SEQ2A_STEP11_GAIN[1:0] | RESERVED | | | | | |
| R/W-0b | R/W-00b | R-00000000b | | | | | |
| 7 | 6 | 5 | 4 | 3 | 2 | 1 | 0 |
| RESERVED | | | SEQ2A_STEP11_CH_N | SEQ2A_STEP11_CH_P[3:0] | | | |
| R-00000000b | | | R/W-0b | R/W-1011b | | | |

表 8-98. SEQ2A_STEP11_CFG レジスタのフィールドの説明

| ビット | フィールド | タイプ | リセット | 概要 |
|-------|------------------------|-----|-----------|--|
| 15 | SEQ2A_STEP11_EN | R/W | 0b | ADC2A シーケンス ステップ 11 の有効化 ADC2A シーケンスのシーケンス ステップ 11 を有効化します。 0b = ディセーブル 1b = イネーブル |
| 14:13 | SEQ2A_STEP11_GAIN[1:0] | R/W | 00b | ADC2A シーケンス ステップ 11 のゲインの選択 シーケンス ステップ 11 の ADC2A のゲインを選択します。 00b = 1 01b = 2 10b = 4 11b = 4 |
| 12:5 | RESERVED | R | 00000000b | 予約済み 常に 00000000b を読み出す。 |
| 4 | SEQ2A_STEP11_CH_N | R/W | 0b | ADC2A シーケンス ステップ 11 負の入力チャネルの選択 シーケンス ステップ 11 の負の ADC2A アナログ入力を選択します。 0b = AGNDA 1b = V7A |
| 3:0 | SEQ2A_STEP11_CH_P[3:0] | R/W | 1011b | ADC2A シーケンス ステップ 11 の正入力チャネルの選択 シーケンス ステップ 11 の正の ADC2A アナログ入力を選択します。負の ADC 入力自動的に選択される設定では、SEQ2A_STEP11_CH_N ビットは無効です。 0000b = V0A 0001b = V1A 0010b = V2A 0011b = V3A 0100b = V4A 0101b = V5A 0110b = V6A 0111b = V7A 1000b = 温度センサ A (負の ADC 入力は自動的に選択される) 1001b = AGNDA 内部短絡、入力から切り離される (負の ADC 入力は自動的に選択される) 1010b = テスト DAC B (負の ADC 入力は自動的に選択される) 1011b = AVDD/4 (負の ADC 入力は自動的に選択される) 1100b = IOVDD/4 (負の ADC 入力は自動的に選択される) 1101b = DVDD/2 (負の ADC 入力は自動的に選択される) 1110b = APWR/103 (負の ADC 入力は自動的に選択される) 1111b = DPWR/103 (負の ADC 入力は自動的に選択される) |

8.1.98 SEQ2A_STEP12_CFG レジスタ (アドレス = 9Ch) [リセット = 000Ch]

概略表に戻ります。

図 8-98. SEQ2A_STEP12_CFG レジスタ

| | | | | | | | |
|-----------------|------------------------|-------------|-------------------|------------------------|----|---|---|
| 15 | 14 | 13 | 12 | 11 | 10 | 9 | 8 |
| SEQ2A_STEP12_EN | SEQ2A_STEP12_GAIN[1:0] | RESERVED | | | | | |
| R/W-0b | R/W-00b | R-00000000b | | | | | |
| 7 | 6 | 5 | 4 | 3 | 2 | 1 | 0 |
| RESERVED | | | SEQ2A_STEP12_CH_N | SEQ2A_STEP12_CH_P[3:0] | | | |
| R-00000000b | | | R/W-0b | R/W-1100b | | | |

表 8-99. SEQ2A_STEP12_CFG レジスタのフィールドの説明

| ビット | フィールド | タイプ | リセット | 概要 |
|-------|------------------------|-----|-----------|--|
| 15 | SEQ2A_STEP12_EN | R/W | 0b | ADC2A シーケンス ステップ 12 の有効化 ADC2A シーケンスのシーケンス ステップ 12 を有効化します。 0b = ディセーブル 1b = イネーブル |
| 14:13 | SEQ2A_STEP12_GAIN[1:0] | R/W | 00b | ADC2A シーケンス ステップ 12 のゲインの選択 シーケンス ステップ 12 の ADC2A のゲインを選択します。 00b = 1 01b = 2 10b = 4 11b = 4 |
| 12:5 | RESERVED | R | 00000000b | 予約済み 常に 00000000b を読み出す。 |
| 4 | SEQ2A_STEP12_CH_N | R/W | 0b | ADC2A シーケンス ステップ 12 負の入力チャネルの選択 シーケンス ステップ 12 の負の ADC2A アナログ入力を選択します。 0b = AGNDA 1b = V7A |
| 3:0 | SEQ2A_STEP12_CH_P[3:0] | R/W | 1100b | ADC2A シーケンス ステップ 12 の正入力チャネルの選択 シーケンス ステップ 12 の正の ADC2A アナログ入力を選択します。負の ADC 入力自動的に選択される設定では、SEQ2A_STEP12_CH_N ビットは無効です。 0000b = V0A 0001b = V1A 0010b = V2A 0011b = V3A 0100b = V4A 0101b = V5A 0110b = V6A 0111b = V7A 1000b = 温度センサ A (負の ADC 入力は自動的に選択される) 1001b = AGNDA 内部短絡、入力から切り離される (負の ADC 入力は自動的に選択される) 1010b = テスト DAC B (負の ADC 入力は自動的に選択される) 1011b = AVDD/4 (負の ADC 入力は自動的に選択される) 1100b = IOVDD/4 (負の ADC 入力は自動的に選択される) 1101b = DVDD/2 (負の ADC 入力は自動的に選択される) 1110b = APWR/103 (負の ADC 入力は自動的に選択される) 1111b = DPWR/103 (負の ADC 入力は自動的に選択される) |

8.1.99 SEQ2A_STEP13_CFG レジスタ (アドレス = 9Dh) [リセット = 000Dh]

概略表に戻ります。

図 8-99. SEQ2A_STEP13_CFG レジスタ

| | | | | | | | |
|-----------------|------------------------|-------------|-------------------|------------------------|----|---|---|
| 15 | 14 | 13 | 12 | 11 | 10 | 9 | 8 |
| SEQ2A_STEP13_EN | SEQ2A_STEP13_GAIN[1:0] | RESERVED | | | | | |
| R/W-0b | R/W-00b | R-00000000b | | | | | |
| 7 | 6 | 5 | 4 | 3 | 2 | 1 | 0 |
| RESERVED | | | SEQ2A_STEP13_CH_N | SEQ2A_STEP13_CH_P[3:0] | | | |
| R-00000000b | | | R/W-0b | R/W-1101b | | | |

表 8-100. SEQ2A_STEP13_CFG レジスタのフィールドの説明

| ビット | フィールド | タイプ | リセット | 概要 |
|-------|------------------------|-----|-----------|--|
| 15 | SEQ2A_STEP13_EN | R/W | 0b | ADC2A シーケンス ステップ 13 の有効化 ADC2A シーケンスのシーケンス ステップ 13 を有効化します。 0b = ディセーブル 1b = イネーブル |
| 14:13 | SEQ2A_STEP13_GAIN[1:0] | R/W | 00b | ADC2A シーケンス ステップ 13 のゲインの選択 シーケンス ステップ 13 の ADC2A のゲインを選択します。 00b = 1 01b = 2 10b = 4 11b = 4 |
| 12:5 | RESERVED | R | 00000000b | 予約済み 常に 00000000b を読み出す。 |
| 4 | SEQ2A_STEP13_CH_N | R/W | 0b | ADC2A シーケンス ステップ 13 負の入力チャネルの選択 シーケンス ステップ 13 の負の ADC2A アナログ入力を選択します。 0b = AGNDA 1b = V7A |
| 3:0 | SEQ2A_STEP13_CH_P[3:0] | R/W | 1101b | ADC2A シーケンス ステップ 13 の正入力チャネルの選択 シーケンス ステップ 13 の正の ADC2A アナログ入力を選択します。負の ADC 入力自動的に選択される設定では、SEQ2A_STEP13_CH_N ビットは無効です。 0000b = V0A 0001b = V1A 0010b = V2A 0011b = V3A 0100b = V4A 0101b = V5A 0110b = V6A 0111b = V7A 1000b = 温度センサ A (負の ADC 入力は自動的に選択される) 1001b = AGNDA 内部短絡、入力から切り離される (負の ADC 入力は自動的に選択される) 1010b = テスト DAC B (負の ADC 入力は自動的に選択される) 1011b = AVDD/4 (負の ADC 入力は自動的に選択される) 1100b = IOVDD/4 (負の ADC 入力は自動的に選択される) 1101b = DVDD/2 (負の ADC 入力は自動的に選択される) 1110b = APWR/103 (負の ADC 入力は自動的に選択される) 1111b = DPWR/103 (負の ADC 入力は自動的に選択される) |

8.1.100 SEQ2A_STEP14_CFG レジスタ (アドレス = 9Eh) [リセット = 000Eh]

概略表に戻ります。

図 8-100. SEQ2A_STEP14_CFG レジスタ

| | | | | | | | |
|-----------------|------------------------|-------------|-------------------|------------------------|----|---|---|
| 15 | 14 | 13 | 12 | 11 | 10 | 9 | 8 |
| SEQ2A_STEP14_EN | SEQ2A_STEP14_GAIN[1:0] | RESERVED | | | | | |
| R/W-0b | R/W-00b | R-00000000b | | | | | |
| 7 | 6 | 5 | 4 | 3 | 2 | 1 | 0 |
| RESERVED | | | SEQ2A_STEP14_CH_N | SEQ2A_STEP14_CH_P[3:0] | | | |
| R-00000000b | | | R/W-0b | R/W-1110b | | | |

表 8-101. SEQ2A_STEP14_CFG レジスタのフィールドの説明

| ビット | フィールド | タイプ | リセット | 概要 |
|-------|------------------------|-----|-----------|--|
| 15 | SEQ2A_STEP14_EN | R/W | 0b | ADC2A シーケンス ステップ 14 の有効化 ADC2A シーケンサのシーケンス ステップ 14 を有効化します。 0b = ディセーブル 1b = イネーブル |
| 14:13 | SEQ2A_STEP14_GAIN[1:0] | R/W | 00b | ADC2A シーケンス ステップ 14 のゲインの選択 シーケンス ステップ 14 の ADC2A のゲインを選択します。 00b = 1 01b = 2 10b = 4 11b = 4 |
| 12:5 | RESERVED | R | 00000000b | 予約済み 常に 00000000b を読み出す。 |
| 4 | SEQ2A_STEP14_CH_N | R/W | 0b | ADC2A シーケンス ステップ 14 負の入力チャネルの選択 シーケンス ステップ 14 の負の ADC2A アナログ入力を選択します。 0b = AGNDA 1b = V7A |
| 3:0 | SEQ2A_STEP14_CH_P[3:0] | R/W | 1110b | ADC2A シーケンス ステップ 14 の正入力チャネルの選択 シーケンス ステップ 14 の正の ADC2A アナログ入力を選択します。負の ADC 入力自動的に選択される設定では、SEQ2A_STEP14_CH_N ビットは無効です。 0000b = V0A 0001b = V1A 0010b = V2A 0011b = V3A 0100b = V4A 0101b = V5A 0110b = V6A 0111b = V7A 1000b = 温度センサ A (負の ADC 入力は自動的に選択される) 1001b = AGNDA 内部短絡、入力から切り離される (負の ADC 入力は自動的に選択される) 1010b = テスト DAC B (負の ADC 入力は自動的に選択される) 1011b = AVDD/4 (負の ADC 入力は自動的に選択される) 1100b = IOVDD/4 (負の ADC 入力は自動的に選択される) 1101b = DVDD/2 (負の ADC 入力は自動的に選択される) 1110b = APWR/103 (負の ADC 入力は自動的に選択される) 1111b = DPWR/103 (負の ADC 入力は自動的に選択される) |

8.1.101 SEQ2A_STEP15_CFG レジスタ (アドレス = 9Fh) [リセット = 000Fh]

概略表に戻ります。

図 8-101. SEQ2A_STEP15_CFG レジスタ

| | | | | | | | |
|-----------------|------------------------|-------------|-------------------|------------------------|----|---|---|
| 15 | 14 | 13 | 12 | 11 | 10 | 9 | 8 |
| SEQ2A_STEP15_EN | SEQ2A_STEP15_GAIN[1:0] | RESERVED | | | | | |
| R/W-0b | R/W-00b | R-00000000b | | | | | |
| 7 | 6 | 5 | 4 | 3 | 2 | 1 | 0 |
| RESERVED | | | SEQ2A_STEP15_CH_N | SEQ2A_STEP15_CH_P[3:0] | | | |
| R-00000000b | | | R/W-0b | R/W-1111b | | | |

表 8-102. SEQ2A_STEP15_CFG レジスタのフィールドの説明

| ビット | フィールド | タイプ | リセット | 概要 |
|-------|------------------------|-----|-----------|--|
| 15 | SEQ2A_STEP15_EN | R/W | 0b | ADC2A シーケンス ステップ 15 の有効化 ADC2A シーケンスのシーケンス ステップ 15 を有効化します。 0b = ディセーブル 1b = イネーブル |
| 14:13 | SEQ2A_STEP15_GAIN[1:0] | R/W | 00b | ADC2A シーケンス ステップ 15 のゲインの選択 シーケンス ステップ 15 の ADC2A のゲインを選択します。 00b = 1 01b = 2 10b = 4 11b = 4 |
| 12:5 | RESERVED | R | 00000000b | 予約済み 常に 00000000b を読み出す。 |
| 4 | SEQ2A_STEP15_CH_N | R/W | 0b | ADC2A シーケンス ステップ 15 負の入力チャネルの選択 シーケンス ステップ 15 の負の ADC2A アナログ入力を選択します。 0b = AGNDA 1b = V7A |
| 3:0 | SEQ2A_STEP15_CH_P[3:0] | R/W | 1111b | ADC2A シーケンス ステップ 15 の正入力チャネルの選択 シーケンス ステップ 15 の正の ADC2A アナログ入力を選択します。負の ADC 入力自動的に選択される設定では、SEQ2A_STEP15_CH_N ビットは無効です。 0000b = V0A 0001b = V1A 0010b = V2A 0011b = V3A 0100b = V4A 0101b = V5A 0110b = V6A 0111b = V7A 1000b = 温度センサ A (負の ADC 入力は自動的に選択される) 1001b = AGNDA 内部短絡、入力から切り離される (負の ADC 入力は自動的に選択される) 1010b = テスト DAC B (負の ADC 入力は自動的に選択される) 1011b = AVDD/4 (負の ADC 入力は自動的に選択される) 1100b = IOVDD/4 (負の ADC 入力は自動的に選択される) 1101b = DVDD/2 (負の ADC 入力は自動的に選択される) 1110b = APWR/103 (負の ADC 入力は自動的に選択される) 1111b = DPWR/103 (負の ADC 入力は自動的に選択される) |

8.1.102 ADC3A_CFG レジスタ (アドレス = A0h) [リセット = 8010h]

概略表に戻ります。

図 8-102. ADC3A_CFG レジスタ

| 15 | 14 | 13 | 12 | 11 | 10 | 9 | 8 |
|----------|----------|------------------|----------------|-------------------------|----|-----------------------|---|
| ADC3A_EN | RESERVED | | | GAIN3A[1:0] | | MUX3A[1:0] | |
| R/W-1b | R-000b | | | R/W-00b | | R/W-00b | |
| 7 | 6 | 5 | 4 | 3 | 2 | 1 | 0 |
| RESERVED | | OWD3A_SOURCE_MUX | OWD3A_SINK_MUX | OWD3A_SOURCE_VALUE[1:0] | | OWD3A_SINK_VALUE[1:0] | |
| R-00b | | R/W-0b | R/W-1b | R/W-00b | | R/W-00b | |

表 8-103. ADC3A_CFG レジスタのフィールドの説明

| ビット | フィールド | タイプ | リセット | 概要 |
|-------|-------------------------|-----|------|---|
| 15 | ADC3A_EN | R/W | 1b | ADC3A の有効化 ADC3A を有効にします。 ADC3A が無効化された場合、またはデバイスがスタンバイ モードまたはパワーダウン モードの場合、ADC3A の変換データは 000000h にリセットされます。ADC1A と ADC3A の両方が無効化された場合、変換カウンタ CONV1A_COUNT[1:0] は 00b にリセットされます。 0b = ディセーブル 1b = イネーブル |
| 14:12 | RESERVED | R | 000b | 予約済み 常に 000b を読み出す。 |
| 11:10 | GAIN3A[1:0] | R/W | 00b | ADC3A のゲイン選択 ADC3A のゲイン (FSR =フルスケール範囲) を選択します。 00b = 1 01b = 2 10b = 4 11b = 4 |
| 9:8 | MUX3A[1:0] | R/W | 00b | ADC3A マルチプレクサ チャネルの選択 ADC3A のマルチプレクサ チャネルを選択します。 00b = AINp = VPA, AINn = VNA 01b = AINp = VNA, AINn = VPA 10b = AGNDA 内部短絡。ADC3A から切り離れたアナログ入力 VPA、VNA。 11b = DAC B 出力のテスト |
| 7:6 | RESERVED | R | 00b | 予約済み 常に 00b を読み出す。 |
| 5 | OWD3A_SOURCE_MUX | R/W | 0b | ADC3A 電流源マルチプレクサの選択 ADC3A 電流源のマルチプレクサ チャネルを選択します。 0b = VPA 1b = VNA |
| 4 | OWD3A_SINK_MUX | R/W | 1b | ADC3A 電流シンク マルチプレクサの選択 ADC3A 電流シンクのマルチプレクサ チャネルを選択します。 0b = VPA 1b = VNA |
| 3:2 | OWD3A_SOURCE_VALUE[1:0] | R/W | 00b | ADC3A 電流源値の選択 ADC3A 電流ソースの電流値を選択します。 00b = オフ 01b = 4 μ A 10b = 40 μ A 11b = 240 μ A |
| 1:0 | OWD3A_SINK_VALUE[1:0] | R/W | 00b | ADC3A 電流シンク値の選択 ADC3A 電流シンクの電流値を選択します。 00b = オフ 01b = 4 μ A 10b = 40 μ A 11b = 240 μ A |

8.1.103 ADC3A_OCAL_MSB レジスタ (アドレス = A1h) [リセット = 0000h]

[概略表](#)に戻ります。

図 8-103. ADC3A_OCAL_MSB レジスタ

| | | | | | | | |
|-----------------------|----|----|----|----|----|---|---|
| 15 | 14 | 13 | 12 | 11 | 10 | 9 | 8 |
| OCAL3A[23:8] | | | | | | | |
| R/W-0000000000000000b | | | | | | | |
| 7 | 6 | 5 | 4 | 3 | 2 | 1 | 0 |
| OCAL3A[23:8] | | | | | | | |
| R/W-0000000000000000b | | | | | | | |

表 8-104. ADC3A_OCAL_MSB レジスタのフィールドの説明

| ビット | フィールド | タイプ | リセット | 概要 |
|------|--------------|-----|--------------------------|--|
| 15:0 | OCAL3A[23:8] | R/W | 0000000000000000 000b | ADC3A オフセット較正ビット [23:8] 2 の補数形式で値を提供します。 LSB サイズ = $(2 \times \text{VREFA})/(\text{GAIN3A} \times 2^{24})$ |

8.1.104 ADC3A_OCAL_LSB レジスタ (アドレス = A2h) [リセット = 0000h]

[概略表](#)に戻ります。

図 8-104. ADC3A_OCAL_LSB レジスタ

| | | | | | | | |
|---------------|----|----|----|----|----|---|---|
| 15 | 14 | 13 | 12 | 11 | 10 | 9 | 8 |
| OCAL3A[7:0] | | | | | | | |
| R/W-00000000b | | | | | | | |
| 7 | 6 | 5 | 4 | 3 | 2 | 1 | 0 |
| RESERVED | | | | | | | |
| R-00000000b | | | | | | | |

表 8-105. ADC3A_OCAL_LSB レジスタのフィールドの説明

| ビット | フィールド | タイプ | リセット | 概要 |
|------|-------------|-----|-----------|---|
| 15:8 | OCAL3A[7:0] | R/W | 00000000b | ADC3A オフセット校正ビット [7:0] 2 の補数形式で値を提供します。 LSB サイズ = $(2 \times VREFA) / (GAIN3A \times 2^{24})$ |
| 7:0 | RESERVED | R | 00000000b | 予約済み 常に 00000000b を読み出す。 |

8.1.105 ADC3A_GCAL レジスタ (アドレス = A3h) [リセット = 0000h]

[概略表](#)に戻ります。

図 8-105. ADC3A_GCAL レジスタ

| | | | | | | | |
|-----------------------|----|----|----|----|----|---|---|
| 15 | 14 | 13 | 12 | 11 | 10 | 9 | 8 |
| GCAL3A[15:0] | | | | | | | |
| R/W-0000000000000000b | | | | | | | |
| 7 | 6 | 5 | 4 | 3 | 2 | 1 | 0 |
| GCAL3A[15:0] | | | | | | | |
| R/W-0000000000000000b | | | | | | | |

表 8-106. ADC3A_GCAL レジスタのフィールドの説明

| ビット | フィールド | タイプ | リセット | 概要 |
|------|--------------|-----|-------------------|--|
| 15:0 | GCAL3A[15:0] | R/W | 0000000000000000b | ADC3A オフセット校正ビット [15:0] 2 の補数形式で値を提供します。 LSB サイズ = $1/2^{16} = 0.000015$ マッピング: 0111111111111111b = 1.499985 0000000000000001b = 1.000015 0000000000000000b = 1 1111111111111111b = 0.999985 1000000000000000b = 0.5 |

8.1.106 REGISTER_MAP2_CRC レジスタ (アドレス = BEh) [リセット = 0000h]

[概略表](#)に戻ります。

図 8-106. REGISTER_MAP2_CRC レジスタ

| | | | | | | | |
|--------------------------|----|----|----|----|----|---|---|
| 15 | 14 | 13 | 12 | 11 | 10 | 9 | 8 |
| REG_MAP2_CRC_VALUE[15:0] | | | | | | | |
| R/W-0000000000000000b | | | | | | | |
| 7 | 6 | 5 | 4 | 3 | 2 | 1 | 0 |
| REG_MAP2_CRC_VALUE[15:0] | | | | | | | |
| R/W-0000000000000000b | | | | | | | |

表 8-107. REGISTER_MAP2_CRC レジスタのフィールドの説明

| ビット | フィールド | タイプ | リセット | 概要 |
|------|--------------------------|-----|--------------------------|---|
| 15:0 | REG_MAP2_CRC_VALUE[15:0] | R/W | 0000000000000000 000b | セクション 2 のレジスタ マップの CRC 値 セクション 2 のレジスタ マップの CRC 値。 |

8.1.107 REGMAP3_TDACB_CFG レジスタ (アドレス = C0h) [リセット = 0000h]

[概略表](#)に戻ります。

図 8-107. REGMAP3_TDACB_CFG レジスタ

| | | | | | | | |
|------------------|------------------|----|----|----|------------------|---|---|
| 15 | 14 | 13 | 12 | 11 | 10 | 9 | 8 |
| REG_MAP3_CRC_EN | RESERVED | | | | | | |
| R/W-0b | R-0000000000000b | | | | | | |
| 7 | 6 | 5 | 4 | 3 | 2 | 1 | 0 |
| RESERVED | | | | | TDACB_VALUE[2:0] | | |
| R-0000000000000b | | | | | R/W-000b | | |

表 8-108. REGMAP3_TDACB_CFG レジスタのフィールドの説明

| ビット | フィールド | タイプ | リセット | 概要 |
|------|------------------|-----|----------------|---|
| 15 | REG_MAP3_CRC_EN | R/W | 0b | レジスタ マップ セクション 3 CRC 有効化 セクション 3 (レジスタ アドレス空間が C0h ~ E3h) のレジスタ マップの CRC を有効にします。 0b = ディセーブル 1b = イネーブル |
| 14:3 | RESERVED | R | 0000000000000b | 予約済み 常に 0000000000000b を読み出す。 |
| 2:0 | TDACB_VALUE[2:0] | R/W | 000b | テスト DAC B の出力値 テスト DAC B の出力値を選択します。 000b = 1 x VREFB/40 001b = 2 x VREFB/40 010b = 4 x VREFB/40 011b = 9 x VREFB/40 100b = 18 x VREFB/40 101b = 36 x VREFB/40 110b = -4 x VREFB/40 111b = -9 x VREFB/40 |

8.1.108 GPIOB_CFG レジスタ (アドレス = C1h) [リセット = 0000h]

概略表に戻ります。

図 8-108. GPIOB_CFG レジスタ

| 15 | 14 | 13 | 12 | 11 | 10 | 9 | 8 |
|--------------------|------------|--------------------|----|------------|------------|------------|------------|
| GPIOB_PIN_CFG | SPARE[2:0] | | | GPIO1B_FMT | GPIO0B_FMT | GPIO1B_DIR | GPIO0B_DIR |
| R/W-0b | R/W-000b | | | R/W-0b | R/W-0b | R/W-0b | R/W-0b |
| 7 | 6 | 5 | 4 | 3 | 2 | 1 | 0 |
| GPIO1B_PWM_TB[1:0] | | GPIO0B_PWM_TB[1:0] | | SPARE[1:0] | | GPO1B_DAT | GPO0B_DAT |
| R/W-00b | | R/W-00b | | R/W-00b | | R/W-0b | R/W-0b |

表 8-109. GPIOB_CFG レジスタ フィールドの説明

| ビット | フィールド | タイプ | リセット | 概要 |
|-------|--------------------|-----|------|---|
| 15 | GPIOB_PIN_CFG | R/W | 0b | VPB/GPIO0B および VNB/GPIO1B のピン機能の選択 VPB/GPIO0B ピンと VNB/GPIO1B ピンの両方をアナログ入力または GPIO として構成します。 これらのピンが GPIO として構成されている場合、ADC3B (ADC3B_EN = 0b) をディセーブルにします。 ADC3B_EN = 1b のとき、GPIOB_PIN_CFG ビットの設定は無視され、入力は強制的にアナログ入力になります。 0b = アナログ入力 1b = GPIO |
| 14:12 | SPARE[2:0] | R/W | 000b | 予備ビット レジスタ マップ セクション 2 の CRC をチェックするための手段として、R/W ビットとして提供される。ビット設定は無効です。 |
| 11 | GPIO1B_FMT | R/W | 0b | GPIO1B 形式 静的な入力および出力レベル、または PWM 入力レベル用に GPIO1B を構成します。 0b = GPIO1B がデジタル入力として構成されている場合: ロジックレベルは、静的な入力レベルに基づいています。 GPIO1B は出力として構成されている場合: 静的な出力レベルでの出力。 1b = GPIO1B がデジタル入力として構成されている場合: ロジックレベルは、PWM 入力のデコードに基づいています。 GPIO1B は出力として構成されている場合: 静的な出力レベルでの出力。 GPIO1B には、PWM 出力機能がありません。 |
| 10 | GPIO0B_FMT | R/W | 0b | GPIO0B 形式 静的な入力および出力レベル、または PWM 入力レベル用に GPIO0B を構成します。 0b = GPIO0B がデジタル入力として構成されている場合: ロジックレベルは、静的な入力レベルに基づいています。 GPIO0B は出力として構成されている場合: 静的な出力レベルでの出力。 1b = GPIO0B がデジタル入力として構成されている場合: ロジックレベルは、PWM 入力のデコードに基づいています。 GPIO0B は出力として構成されている場合: 静的な出力レベルでの出力。 GPIO0B には、PWM 出力機能がありません。 |
| 9 | GPIO1B_DIR | R/W | 0b | GPIO1B の方向 GPIO1B をデジタル入力またはデジタル出力として構成します。 0b = デジタル入力 1b = デジタル出力 |
| 8 | GPIO0B_DIR | R/W | 0b | GPIO0B の方向 GPIO0B をデジタル入力またはデジタル出力として構成します。 0b = デジタル入力 1b = デジタル出力 |
| 7:6 | GPIO1B_PWM_TB[1:0] | R/W | 00b | GPIO1B PWM 時間ベースの選択 GPIO1B がデジタル入力として構成されている場合、PWM エンコーダに使用される時間ベースを選択します。 00b = $16 \times t_{MCLK}$ ($f_{MCLK} = 8.192 \text{ MHz}$ の場合 = 1/512 kHz) 01b = $64 \times t_{MCLK}$ ($f_{MCLK} = 8.192 \text{ MHz}$ の場合 = 1/128 kHz) 10b = $256 \times t_{MCLK}$ ($f_{MCLK} = 8.192 \text{ MHz}$ の場合 = 1/32 kHz) 11b = $1024 \times t_{MCLK}$ ($f_{MCLK} = 8.192 \text{ MHz}$ の場合 = 1/8 kHz) |
| 5:4 | GPIO0B_PWM_TB[1:0] | R/W | 00b | GPIO0B PWM 時間ベースの選択 GPIO0B がデジタル入力として構成されている場合、PWM エンコーダに使用される時間ベースを選択します。 00b = $16 \times t_{MCLK}$ ($f_{MCLK} = 8.192 \text{ MHz}$ の場合 = 1/512 kHz) 01b = $64 \times t_{MCLK}$ ($f_{MCLK} = 8.192 \text{ MHz}$ の場合 = 1/128 kHz) 10b = $256 \times t_{MCLK}$ ($f_{MCLK} = 8.192 \text{ MHz}$ の場合 = 1/32 kHz) 11b = $1024 \times t_{MCLK}$ ($f_{MCLK} = 8.192 \text{ MHz}$ の場合 = 1/8 kHz) |
| 3:2 | SPARE[1:0] | R/W | 00b | 予備ビット レジスタ マップ セクション 2 の CRC をチェックするための手段として、R/W ビットとして提供される。ビット設定は無効です。 |
| 1 | GPO1B_DAT | R/W | 0b | GPIO1B 出力データ 出力として構成した場合の GPIO1B の出力値。GPIO1B がデジタル入力またはアナログ入力として構成されている場合、ビット設定は影響されません。 0b = Low 1b = High |

表 8-109. GPIOB_CFG レジスタ フィールドの説明 (続き)

| ビット | フィールド | タイプ | リセット | 概要 |
|-----|-----------|-----|------|--|
| 0 | GPO0B_DAT | R/W | 0b | GPIO0B 出力データ 出力として構成した場合の GPIO0B の出力値。GPIO0B がデジタル入力またはアナログ入力として構成されている場合、ビット設定は影響されません。 0b = Low 1b = High |

8.1.109 ADC1B_ADC3B_CFG レジスタ (アドレス = C2h) [リセット = 0400h]

[概略表](#)に戻ります。

図 8-109. ADC1B_ADC3B_CFG レジスタ

| | | | | | | | |
|----------|----|----|----|--------------|------------------|---|---|
| 15 | 14 | 13 | 12 | 11 | 10 | 9 | 8 |
| RESERVED | | | | CONV_MODE13B | OSR13B[2:0] | | |
| R-0000b | | | | R/W-0b | R/W-100b | | |
| 7 | 6 | 5 | 4 | 3 | 2 | 1 | 0 |
| RESERVED | | | | GC13B_EN | GC13B_DELAY[2:0] | | |
| R-0000b | | | | R/W-0b | R/W-000b | | |

表 8-110. ADC1B_ADC3B_CFG レジスタのフィールドの説明

| ビット | フィールド | タイプ | リセット | 概要 |
|-------|------------------|-----|-------|---|
| 15:12 | RESERVED | R | 0000b | 予約済み 常に 0000b を読み出す。 |
| 11 | CONV_MODE13B | R/W | 0b | 変換モードの選択 ADC1B と ADC3B の変換モードを選択します。 0b = 連続変換モード 1b = シングル ショット変換モード |
| 10:8 | OSR13B[2:0] | R/W | 100b | オーバーサンプリング レートの選択 ADC1B と ADC3B のオーバーサンプリング レートを選択します。f _{MOD} /OSR でデータ レートを計算します。 000b = 64 001b = 128 010b = 256 011b = 512 100b = 1024 101b = 2048 110b = 4096 111b = 8192 |
| 7:4 | RESERVED | R | 0000b | 予約済み 常に 0000b を読み出す。 |
| 3 | GC13B_EN | R/W | 0b | グローバル チョップ モードの有効化 ADC1B および ADC3B のグローバル チョップ モードを有効にします。 0b = ディセーブル 1b = イネーブル |
| 2:0 | GC13B_DELAY[2:0] | R/W | 000b | グローバル・チョップ・モード遅延時間の選択 ADC1B および ADC3B のグローバル・チョップ・モードの遅延時間を選択します。 000b = 2 x t _{MOD} 001b = 4 x t _{MOD} 010b = 8 x t _{MOD} 011b = 16 x t _{MOD} 100b = 32 x t _{MOD} 101b = 64 x t _{MOD} 110b = 128 x t _{MOD} 111b = 256 x t _{MOD} |

8.1.110 ADC1B_CFG レジスタ (アドレス = C3h) [リセット = 8010h]

概略表に戻ります。

図 8-110. ADC1B_CFG レジスタ

| 15 | 14 | 13 | 12 | 11 | 10 | 9 | 8 |
|----------|----------|------------------|----------------|-------------------------|----|-----------------------|---|
| ADC1B_EN | RESERVED | | | GAIN1B[1:0] | | MUX1B[1:0] | |
| R/W-1b | R-000b | | | R/W-00b | | R/W-00b | |
| 7 | 6 | 5 | 4 | 3 | 2 | 1 | 0 |
| RESERVED | | OWD1B_SOURCE_MUX | OWD1B_SINK_MUX | OWD1B_SOURCE_VALUE[1:0] | | OWD1B_SINK_VALUE[1:0] | |
| R-00b | | R/W-0b | R/W-1b | R/W-00b | | R/W-00b | |

表 8-111. ADC1B_CFG レジスタのフィールドの説明

| ビット | フィールド | タイプ | リセット | 概要 |
|-------|-------------------------|-----|------|---|
| 15 | ADC1B_EN | R/W | 1b | ADC1B の有効化 ADC1B を有効にします。 ADC1B が無効化された、またはデバイスがスタンバイ モードまたはパワーダウン モードの場合、ADC1B の変換データは 000000h にリセットされます。ADC1B と ADC3B の両方が無効化された場合、変換カウンタ CONV1B_COUNT[1:0] は 00b にリセットされます。 0b = ディセーブル 1b = イネーブル |
| 14:12 | RESERVED | R | 000b | 予約済み 常に 000b を読み出す。 |
| 11:10 | GAIN1B[1:0] | R/W | 00b | ADC1B のゲイン選択 ADC1B のゲイン (FSR = フルスケール範囲) を選択します。ゲイン 16 および 32 は、アナログ ゲイン = 8 を使用するデジタル ゲインです。 00b = 4 01b = 8 10b = 16 11b = 32 |
| 9:8 | MUX1B[1:0] | R/W | 00b | ADC1B マルチプレクサ チャネルの選択 ADC1B のマルチプレクサ チャネルを選択します。 00b = AINp = CPB、AINn = CNB 01b = AINp = CNB、AINn = CPB 10b = AGNDB 内部短絡。ADC1B から切り離れたアナログ入力の CPB、CNB。 11b = テスト DAC A の出力 |
| 7:6 | RESERVED | R | 00b | 予約済み 常に 00b を読み出す。 |
| 5 | OWD1B_SOURCE_MUX | R/W | 0b | ADC1B 電流源マルチプレクサの選択 ADC1B 電流源のマルチプレクサ チャネルを選択します。 0b = CPB 1b = CNB |
| 4 | OWD1B_SINK_MUX | R/W | 1b | ADC1B 電流シンク マルチプレクサの選択 ADC1B 電流シンクのマルチプレクサ チャネルを選択します。 0b = CPB 1b = CNB |
| 3:2 | OWD1B_SOURCE_VALUE[1:0] | R/W | 00b | ADC1B 電流源値の選択 ADC1B 電流ソースの電流値を選択します。 00b = オフ 01b = 4 μ A 10b = 40 μ A 11b = 240 μ A |
| 1:0 | OWD1B_SINK_VALUE[1:0] | R/W | 00b | ADC1B 電流シンク値の選択 ADC1B 電流シンクの電流値を選択します。 00b = オフ 01b = 4 μ A 10b = 40 μ A 11b = 240 μ A |

8.1.111 ADC1B_OCAL_MSB レジスタ (アドレス = C4h) [リセット = 0000h]

[概略表](#)に戻ります。

図 8-111. ADC1B_OCAL_MSB レジスタ

| | | | | | | | |
|-----------------------|----|----|----|----|----|---|---|
| 15 | 14 | 13 | 12 | 11 | 10 | 9 | 8 |
| OCAL1B[23:8] | | | | | | | |
| R/W-0000000000000000b | | | | | | | |
| 7 | 6 | 5 | 4 | 3 | 2 | 1 | 0 |
| OCAL1B[23:8] | | | | | | | |
| R/W-0000000000000000b | | | | | | | |

表 8-112. ADC1B_OCAL_MSB レジスタのフィールドの説明

| ビット | フィールド | タイプ | リセット | 概要 |
|------|--------------|-----|-------------------|--|
| 15:0 | OCAL1B[23:8] | R/W | 0000000000000000b | ADC1B オフセット較正ビット [23:8] 2 の補数形式で値を提供します。 LSB サイズ = $(2 \times VREFB)/(GAIN1B \times 2^{24})$ |

8.1.112 ADC1B_OCAL_LSB レジスタ (アドレス = C5h) [リセット = 0000h]

[概略表](#)に戻ります。

図 8-112. ADC1B_OCAL_LSB レジスタ

| | | | | | | | |
|---------------|----|----|----|----|----|---|---|
| 15 | 14 | 13 | 12 | 11 | 10 | 9 | 8 |
| OCAL1B[7:0] | | | | | | | |
| R/W-00000000b | | | | | | | |
| 7 | 6 | 5 | 4 | 3 | 2 | 1 | 0 |
| RESERVED | | | | | | | |
| R-00000000b | | | | | | | |

表 8-113. ADC1B_OCAL_LSB レジスタのフィールドの説明

| ビット | フィールド | タイプ | リセット | 概要 |
|------|-------------|-----|-----------|---|
| 15:8 | OCAL1B[7:0] | R/W | 00000000b | ADC1B オフセット校正ビット [7:0] 2 の補数形式で値を提供します。 LSB サイズ = $(2 \times VREFB) / (GAIN1B \times 2^{24})$ |
| 7:0 | RESERVED | R | 00000000b | 予約済み 常に 00000000b を読み出す。 |

8.1.113 ADC1B_GCAL レジスタ (アドレス = C6h) [リセット = 0000h]

[概略表](#)に戻ります。

図 8-113. ADC1B_GCAL レジスタ

| | | | | | | | |
|-----------------------|----|----|----|----|----|---|---|
| 15 | 14 | 13 | 12 | 11 | 10 | 9 | 8 |
| GCAL1B[15:0] | | | | | | | |
| R/W-0000000000000000b | | | | | | | |
| 7 | 6 | 5 | 4 | 3 | 2 | 1 | 0 |
| GCAL1B[15:0] | | | | | | | |
| R/W-0000000000000000b | | | | | | | |

表 8-114. ADC1B_GCAL レジスタのフィールドの説明

| ビット | フィールド | タイプ | リセット | 概要 |
|------|--------------|-----|-------------------|--|
| 15:0 | GCAL1B[15:0] | R/W | 0000000000000000b | ADC1B オフセット校正ビット [15:0] 2 の補数形式で値を提供します。 LSB サイズ = $1/2^{16} = 0.000015$ マッピング: 0111111111111111b = 1.499985 0000000000000001b = 1.000015 0000000000000000b = 1 1111111111111111b = 0.999985 1000000000000000b = 0.5 |

8.1.114 OCCB_CFG レジスタ (アドレス = C7h) [リセット = 0000h]

概略表に戻ります。

図 8-114. OCCB_CFG レジスタ

| | | | | | | | |
|-------------|----------|----------|---------------|----|----|---|---|
| 15 | 14 | 13 | 12 | 11 | 10 | 9 | 8 |
| OCCB_EN | OCCB_POL | RESERVED | OCCB_NUM[4:0] | | | | |
| R/W-0b | R/W-0b | R/W-0b | R/W-00000b | | | | |
| 7 | 6 | 5 | 4 | 3 | 2 | 1 | 0 |
| RESERVED | | | | | | | |
| R-00000000b | | | | | | | |

表 8-115. OCCB_CFG レジスタ フィールドの説明

| ビット | フィールド | タイプ | リセット | 概要 |
|------|---------------|-----|-----------|---|
| 15 | OCCB_EN | R/W | 0b | ADC1B 過電流コンバータの有効化 、ADC1B のデジタル高速フィルタとデジタル コンバータを有効にします。過電流コンバータを使用するには、ADC1B を有効にする必要があります。高速フィルタは、STARTB ビットと STOPB ビットの影響を受けません。 0b = ディセーブル 1b = イネーブル |
| 14 | OCCB_POL | R/W | 0b | OCCB ビン極性の選択 OCCB ビンの極性を選択します。GPIO4/OCCB ビンの実際の出力動作は、GPIO4_SRC ビットで OCCB 出力として構成されている場合、GPIO4_FMT の設定によって異なります。OCCB_HTN ビットまたは OCCB_LTN ビットのいずれかがアクティブになると、OCCB 故障はアクティブになります。 0b = アクティブ Low 故障が発生した場合、ロジック Low レベルが駆動されます。 1b = アクティブ High 故障が発生した場合、ロジック High レベルが駆動されます。 |
| 13 | RESERVED | R/W | 0b | 予約済み 常に 0b を書き込みます。 |
| 12:8 | OCCB_NUM[4:0] | R/W | 00000b | ADC1B 過電流コンバータ グリッチ除去フィルタの選択 OCCB_HTN または OCCB_LTN コンバータ出力をトリップするために、ADC1B デジタル高速フィルタの出力が設定されたハイまたはローのスレッシュホールドを上回る必要がある変換回数を選択します。高速フィルタ バスは、固定 OSR = 64 の SINC3 フィルタを使用します。デジタル高速フィルタ出力がスレッシュホールドを下回るとカウンタは再び起動し、ヒステリシスがないことを意味します。 00000b = 1 00001b = 2 00010b = 3 00011b = 4 00100b = 5 00101b = 6 00110b = 7 00111b = 8 01000b = 9 01001b = 10 01010b = 12 01011b = 14 01100b = 16 01101b = 18 01110b = 20 01111b = 22 10000b = 24 10001b = 26 10010b = 28 10011b = 32 10100b = 40 10101b = 48 10110b = 56 10111b = 64 11000b = 72 11001b = 80 11010b = 88 11011b = 96 11100b = 104 11101b = 112 11110b = 120 11111b = 128 |
| 7:0 | RESERVED | R | 00000000b | 予約済み 常に 00000000b を読み出す。 |

8.1.115 OCCB_HIGH_THRESHOLD レジスタ (アドレス = C8h) [リセット = 7FFFh]

[概略表](#)に戻ります。

図 8-115. OCCB_HIGH_THRESHOLD レジスタ

| | | | | | | | |
|----------------------|----|----|----|----|----|---|---|
| 15 | 14 | 13 | 12 | 11 | 10 | 9 | 8 |
| OCCB_HIGH_TH[15:0] | | | | | | | |
| R/W-011111111111111b | | | | | | | |
| 7 | 6 | 5 | 4 | 3 | 2 | 1 | 0 |
| OCCB_HIGH_TH[15:0] | | | | | | | |
| R/W-011111111111111b | | | | | | | |

表 8-116. OCCB_HIGH_THRESHOLD レジスタ フィールドの説明

| ビット | フィールド | タイプ | リセット | 概要 |
|------|--------------------|-----|-------------------|--|
| 15:0 | OCCB_HIGH_TH[15:0] | R/W | 0111111111111111b | <p>ADC1B 過電流コンバータの高 スレッショルド ビット [15:0] 2 の補数形式で値を提供します。 $LSB \text{ サイズ} = (2 \times VREFB) / (GAIN1B \times 2^{16})$ 高スレッショルドを上回る値は、OCCB_HTn イベントをトリガします。値を +FS (= 7FFFh) に設定すると、高スレッショルド検出は無効になります。</p> |

8.1.116 OCCB_LOW_THRESHOLD レジスタ (アドレス = C9h) [リセット = 8000h]

[概略表](#)に戻ります。

図 8-116. OCCB_LOW_THRESHOLD レジスタ

| | | | | | | | |
|-----------------------|----|----|----|----|----|---|---|
| 15 | 14 | 13 | 12 | 11 | 10 | 9 | 8 |
| OCCB_LOW_TH[15:0] | | | | | | | |
| R/W-1000000000000000b | | | | | | | |
| 7 | 6 | 5 | 4 | 3 | 2 | 1 | 0 |
| OCCB_LOW_TH[15:0] | | | | | | | |
| R/W-1000000000000000b | | | | | | | |

表 8-117. OCCB_LOW_THRESHOLD レジスタ フィールドの説明

| ビット | フィールド | タイプ | リセット | 概要 |
|------|-------------------|-----|----------------------|--|
| 15:0 | OCCB_LOW_TH[15:0] | R/W | 1000000000000000000b | <p>ADC1B 過電流コンバータの低スレッショルド ビット [15:0] 2 の補数形式で値を提供します。</p> <p>LSB サイズ= $(2 \times VREFB)/(GAIN1B \times 2^{16})$</p> <p>低スレッショルドを下回る値は、OCCA_LTn イベントをトリガします。値を -FS (= 8000h) に設定すると、低スレッショルド検出は無効になります。</p> |

8.1.117 SPARE_CAh レジスタ (アドレス = CAh) [リセット = 5555h]

[概略表](#)に戻ります。

図 8-117. SPARE_CAh レジスタ

| | | | | | | | |
|-----------------------|----|----|----|----|----|---|---|
| 15 | 14 | 13 | 12 | 11 | 10 | 9 | 8 |
| SPARE[15:0] | | | | | | | |
| R/W-0101010101010101b | | | | | | | |
| 7 | 6 | 5 | 4 | 3 | 2 | 1 | 0 |
| SPARE[15:0] | | | | | | | |
| R/W-0101010101010101b | | | | | | | |

表 8-118. SPARE_CAh レジスタ フィールドの説明

| ビット | フィールド | タイプ | リセット | 概要 |
|------|-------------|-----|-------------------|---|
| 15:0 | SPARE[15:0] | R/W | 0101010101010101b | 予備ビット レジスタ マップ セクション 3 の CRC をチェックするための手段として、R/W ビットとして提供される。ビット設定は無効です。 |

8.1.118 ADC2B_CFG1 レジスタ (アドレス = CBh) [リセット = 8010h]

概略表に戻ります。

図 8-118. ADC2B_CFG1 レジスタ

| 15 | 14 | 13 | 12 | 11 | 10 | 9 | 8 |
|-----------------------|---------------------|----|----|-------------------------|---------|-----------------------|---|
| ADC2B_EN | RESERVED | | | | VCMB_EN | OWD2B_SOURCE_MUX[2:0] | |
| R/W-1b | R-0000b | | | | R/W-0b | R/W-000b | |
| 7 | 6 | 5 | 4 | 3 | 2 | 1 | 0 |
| OWD2B_SOURCE_MUX[2:0] | OWD2B_SINK_MUX[2:0] | | | OWD2B_SOURCE_VALUE[1:0] | | OWD2B_SINK_VALUE[1:0] | |
| R/W-000b | R/W-001b | | | R/W-00b | | R/W-00b | |

表 8-119. ADC2B_CFG1 レジスタのフィールドの説明

| ビット | フィールド | タイプ | リセット | 概要 |
|-------|-------------------------|-----|-------|---|
| 15 | ADC2B_EN | R/W | 1b | ADC2B の有効化 ADC2B を有効にします ADC2A が無効化されたとき、レジスタの設定を ADC2B のアドレス CCh から DFh に変更します。 ADC2B が無効化されたとき、またはデバイスがスタンバイ モードまたはパワーダウン モードのとき、ADC2B の変換データは 0000h にリセットされ、シーケンス カウンタ SEQ2B_COUNT[1:0] は 00b にリセットされます。 0b = ディセーブル 1b = イネーブル |
| 14:11 | RESERVED | R | 0000b | 予約済み 常に 0000b を読み出す。 |
| 10 | VCMB_EN | R/W | 0b | 同相モード出力バッファ VCMB の有効化 アナログ入力 V7B の同相モード バッファ VCMB を有効にします。 0b = ディセーブル 1b = イネーブル |
| 9:7 | OWD2B_SOURCE_MUX[2:0] | R/W | 000b | ADC2B 電流源マルチプレクサの選択 ADC2B 電流源のマルチプレクサ チャンネルを選択します。 000b = V0B 001b = V1B 010b = V2B 011b = V3B 100b = V4B 101b = V5B 110b = V6B 111b = V7B |
| 6:4 | OWD2B_SINK_MUX[2:0] | R/W | 001b | ADC2B 電流シンク マルチプレクサの選択 ADC2B 電流シンクのマルチプレクサ チャンネルを選択します。 000b = V0B 001b = V1B 010b = V2B 011b = V3B 100b = V4B 101b = V5B 110b = V6B 111b = V7B |
| 3:2 | OWD2B_SOURCE_VALUE[1:0] | R/W | 00b | ADC2B 電流源値の選択 ADC2B 電流ソースの電流値を選択します。 00b = オフ 01b = 4 μ A 10b = 40 μ A 11b = 240 μ A |
| 1:0 | OWD2B_SINK_VALUE[1:0] | R/W | 00b | ADC2B 電流シンク値の選択 ADC2B 電流シンクの電流値を選択します。 00b = オフ 01b = 4 μ A 10b = 40 μ A 11b = 240 μ A |

8.1.119 ADC2B_CFG2 レジスタ (アドレス = CCh) [リセット = 0000h]

概略表に戻ります。

図 8-119. ADC2B_CFG2 レジスタ

| | | | | | | | |
|-----------------|----|----------|----|----|----|------------------|---|
| 15 | 14 | 13 | 12 | 11 | 10 | 9 | 8 |
| SEQ2B_MODE[1:0] | | RESERVED | | | | MUX2B_DELAY[2:0] | |
| R/W-00b | | R-000b | | | | R/W-000b | |
| 7 | 6 | 5 | 4 | 3 | 2 | 1 | 0 |
| RESERVED | | | | | | OSR2B[1:0] | |
| R-000000b | | | | | | R/W-00b | |

表 8-120. ADC2B_CFG2 レジスタのフィールドの説明

| ビット | フィールド | タイプ | リセット | 概要 |
|-------|------------------|-----|---------|--|
| 15:14 | SEQ2B_MODE[1:0] | R/W | 00b | ADC2B シーケンサ モードの選択 ADC2B シーケンサが新しいシーケンスを開始する方法を選択します。SEQ2B_START ビットをセットすると、進行中のシーケンスが常に中止され、すべてのモードで再開されます。 00b = SEQ2B_START ビットに基づくシングル ショット シーケンス モード (SEQ2B_START ビットの設定後、ADC2B はシーケンス全体で 1 回実行) 01b = ADC1B 変換開始または SEQ2B_START ビットに基づくシングル ショット シーケンス モード。この設定は、ADC1B が連続変換モードに構成されている場合にのみ効果があります。シーケンスは、DRDYBn の立ち下がりエッジ、または SEQ2B_START ビットが設定されているときに開始されます。DRDYBn 信号によりトリガされる変換は無視されます。シーケンスの実行中は、シーケンスを中止して再起動しないでください。 10b = SEQ2B_START ビットに基づく連続シーケンス モード 11b = SEQ2B_START ビットに基づく連続シーケンス モード |
| 13:11 | RESERVED | R | 000b | 予約済み 常に 00b を読み出す。 |
| 10:8 | MUX2B_DELAY[2:0] | R/W | 000b | ADC2B マルチプレクサ遅延時間の選択 次のシーケンス ステップで変換を開始するまでの遅延時間を選択します。 000b = $16 \times t_{MCLK}$ ($f_{MCLK} = 8.192 \text{ MHz}$ の場合 = $2 \mu\text{s}$) 001b = $64 \times t_{MCLK}$ ($f_{MCLK} = 8.192 \text{ MHz}$ の場合 = $7.8 \mu\text{s}$) 010b = $128 \times t_{MCLK}$ ($f_{MCLK} = 8.192 \text{ MHz}$ の場合 = $15.6 \mu\text{s}$) 011b = $256 \times t_{MCLK}$ ($f_{MCLK} = 8.192 \text{ MHz}$ の場合 = $31.2 \mu\text{s}$) 100b = $512 \times t_{MCLK}$ ($f_{MCLK} = 8.192 \text{ MHz}$ の場合 = $62.5 \mu\text{s}$) 101b = $1024 \times t_{MCLK}$ ($f_{MCLK} = 8.192 \text{ MHz}$ の場合 = $124.9 \mu\text{s}$) 110b = $2048 \times t_{MCLK}$ ($f_{MCLK} = 8.192 \text{ MHz}$ の場合 = $249.9 \mu\text{s}$) 111b = $4096 \times t_{MCLK}$ ($f_{MCLK} = 8.192 \text{ MHz}$ の場合 = $499.7 \mu\text{s}$) |
| 7:2 | RESERVED | R | 000000b | 予約済み 常に 000000b を読み出す。 |
| 1:0 | OSR2B[1:0] | R/W | 00b | ADC2B オーバーサンプリング レートの選択 ADC2B のオーバーサンプリング レートを選択します。 00b = 64 (SINC3 OSR = 64、変換時間 = $384 \times t_{MCLK}$) 01b = 128 (SINC3 OSR = 64、SINC1 OSR = 2、変換時間 = $512 \times t_{MCLK}$) 10b = 256 (SINC3 OSR = 64、SINC1 OSR = 4、変換時間 = $768 \times t_{MCLK}$) 11b = 512 (SINC3 OSR = 64、SINC1 OSR = 8、変換時間 = $1280 \times t_{MCLK}$) |

8.1.120 SPARE_CDh レジスタ (アドレス = CDh) [リセット = 0000h]

[概略表](#)に戻ります。

図 8-120. SPARE_CDh レジスタ

| | | | | | | | |
|---------------|----|----|----|----|----|---|---|
| 15 | 14 | 13 | 12 | 11 | 10 | 9 | 8 |
| RESERVED | | | | | | | |
| R-00000000b | | | | | | | |
| 7 | 6 | 5 | 4 | 3 | 2 | 1 | 0 |
| SPARE[7:0] | | | | | | | |
| R/W-00000000b | | | | | | | |

表 8-121. SPARE_CDh レジスタ フィールドの説明

| ビット | フィールド | タイプ | リセット | 概要 |
|------|------------|-----|-----------|---|
| 15:8 | RESERVED | R | 00000000b | 予約済み 常に 00000000b を読み出す。 |
| 7:0 | SPARE[7:0] | R/W | 00000000b | 予備ビット レジスタ マップ セクション 3 の CRC をチェックするための手段として、R/W ビットとして提供される。ビット設定は無効です。 |

8.1.121 ADC2B_OCAL レジスタ (アドレス = CEh) [リセット = 0000h]

[概略表](#)に戻ります。

図 8-121. ADC2B_OCAL レジスタ

| | | | | | | | |
|-----------------------|----|----|----|----|----|---|---|
| 15 | 14 | 13 | 12 | 11 | 10 | 9 | 8 |
| OCAL2B[15:0] | | | | | | | |
| R/W-0000000000000000b | | | | | | | |
| 7 | 6 | 5 | 4 | 3 | 2 | 1 | 0 |
| OCAL2B[15:0] | | | | | | | |
| R/W-0000000000000000b | | | | | | | |

表 8-122. ADC2B_OCAL レジスタのフィールドの説明

| ビット | フィールド | タイプ | リセット | 概要 |
|------|--------------|-----|--------------------------|---|
| 15:0 | OCAL2B[15:0] | R/W | 0000000000000000 000b | ADC2B オフセット校正ビット [15:0] 2 の補数形式で値を提供します。 $GAIN2B = 1: LSB \text{ サイズ} = (2 \times VREFB) / 2^{16}$ $GAIN2B = 2, 4: LSB \text{ サイズ} = (2 \times VREFB) / (2 \times 2^{16})$ |

8.1.122 ADC2B_GCAL レジスタ (アドレス = CFh) [リセット = 0000h]

[概略表](#)に戻ります。

図 8-122. ADC2B_GCAL レジスタ

| | | | | | | | |
|-----------------------|----|----|----|----|----|---|---|
| 15 | 14 | 13 | 12 | 11 | 10 | 9 | 8 |
| GCAL2B[15:0] | | | | | | | |
| R/W-0000000000000000b | | | | | | | |
| 7 | 6 | 5 | 4 | 3 | 2 | 1 | 0 |
| GCAL2B[15:0] | | | | | | | |
| R/W-0000000000000000b | | | | | | | |

表 8-123. ADC2B_GCAL レジスタのフィールドの説明

| ビット | フィールド | タイプ | リセット | 概要 |
|------|--------------|-----|--------------------------|---|
| 15:0 | GCAL2B[15:0] | R/W | 0000000000000000 000b | ADC2B オフセット校正ビット [15:0] 2 の補数形式で値を提供します。 LSB サイズ= $1/2^{16} = 0.000015$ マッピング: 0111111111111111b = 1.499985 0000000000000001b = 1.000015 0000000000000000b = 1 1111111111111111b = 0.999985 1000000000000000b = 0.5 |

8.1.123 SEQ2B_STEP0_CFG レジスタ (アドレス = D0h) [リセット = 0000h]

概略表に戻ります。

図 8-123. SEQ2B_STEP0_CFG レジスタ

| | | | | | | | |
|----------------|-----------------------|-------------|------------------|-----------------------|----|---|---|
| 15 | 14 | 13 | 12 | 11 | 10 | 9 | 8 |
| SEQ2B_STEP0_EN | SEQ2B_STEP0_GAIN[1:0] | RESERVED | | | | | |
| R/W-0b | R/W-00b | R-00000000b | | | | | |
| 7 | 6 | 5 | 4 | 3 | 2 | 1 | 0 |
| RESERVED | | | SEQ2B_STEP0_CH_N | SEQ2B_STEP0_CH_P[3:0] | | | |
| R-00000000b | | | R/W-0b | R/W-0000b | | | |

表 8-124. SEQ2B_STEP0_CFG レジスタのフィールドの説明

| ビット | フィールド | タイプ | リセット | 概要 |
|-------|-----------------------|-----|-----------|---|
| 15 | SEQ2B_STEP0_EN | R/W | 0b | ADC2B シーケンス ステップ 0 の有効化 ADC2B シーケンスのシーケンス ステップ 0 を有効化します。 0b = ディセーブル 1b = イネーブル |
| 14:13 | SEQ2B_STEP0_GAIN[1:0] | R/W | 00b | ADC2B シーケンス ステップ 0 のゲインの選択 シーケンス ステップ 0 の ADC2B のゲインを選択します。 00b = 1 01b = 2 10b = 4 11b = 4 |
| 12:5 | RESERVED | R | 00000000b | 予約済み 常に 00000000b を読み出す。 |
| 4 | SEQ2B_STEP0_CH_N | R/W | 0b | ADC2B シーケンス ステップ 0 負の入力チャネルの選択 シーケンス ステップ 0 の負の ADC2B アナログ入力を選択します。 0b = AGNDB 1b = V7B |
| 3:0 | SEQ2B_STEP0_CH_P[3:0] | R/W | 0000b | ADC2B シーケンス ステップ 0 の正入力チャネルの選択 シーケンス ステップ 0 の正の ADC2B アナログ入力を選択します。負の ADC 入力自動的に選択される設定では、SEQ2B_STEP0_CH_N ビットは無効です。 0000b = V0B 0001b = V1B 0010b = V2B 0011b = V3B 0100b = V4B 0101b = V5B 0110b = V6B 0111b = V7B 1000b = 温度センサ (負の ADC 入力は自動的に選択される) 1001b = AGNDB 内部短絡、入力から切り離される (負の ADC 入力は自動的に選択される) 1010b = テスト DAC A (負の ADC 入力は自動的に選択される) 1011b = AVDD/4 (負の ADC 入力は自動的に選択される) 1100b = IOVDD/4 (負の ADC 入力は自動的に選択される) 1101b = DVDD/2 (負の ADC 入力は自動的に選択される) 1110b = APWR/103 (負の ADC 入力は自動的に選択される) 1111b = DPWR/103 (負の ADC 入力は自動的に選択される) |

8.1.124 SEQ2B_STEP1_CFG レジスタ (アドレス = D1h) [リセット = 0001h]

概略表に戻ります。

図 8-124. SEQ2B_STEP1_CFG レジスタ

| | | | | | | | |
|----------------|-----------------------|-------------|------------------|-----------------------|----|---|---|
| 15 | 14 | 13 | 12 | 11 | 10 | 9 | 8 |
| SEQ2B_STEP1_EN | SEQ2B_STEP1_GAIN[1:0] | RESERVED | | | | | |
| R/W-0b | R/W-00b | R-00000000b | | | | | |
| 7 | 6 | 5 | 4 | 3 | 2 | 1 | 0 |
| RESERVED | | | SEQ2B_STEP1_CH_N | SEQ2B_STEP1_CH_P[3:0] | | | |
| R-00000000b | | | R/W-0b | R/W-0001b | | | |

表 8-125. SEQ2B_STEP1_CFG レジスタのフィールドの説明

| ビット | フィールド | タイプ | リセット | 概要 |
|-------|-----------------------|-----|-----------|---|
| 15 | SEQ2B_STEP1_EN | R/W | 0b | ADC2B シーケンス ステップ 1 の有効化 ADC2B シーケンスのシーケンス ステップ 1 を有効化します。 0b = ディセーブル 1b = イネーブル |
| 14:13 | SEQ2B_STEP1_GAIN[1:0] | R/W | 00b | ADC2B シーケンス ステップ 1 のゲインの選択 シーケンス ステップ 1 の ADC2B のゲインを選択します。 00b = 1 01b = 2 10b = 4 11b = 4 |
| 12:5 | RESERVED | R | 00000000b | 予約済み 常に 00000000b を読み出す。 |
| 4 | SEQ2B_STEP1_CH_N | R/W | 0b | ADC2B シーケンス ステップ 1 負の入力チャネルの選択 シーケンス ステップ 1 の負の ADC2B アナログ入力を選択します。 0b = AGNDB 1b = V7B |
| 3:0 | SEQ2B_STEP1_CH_P[3:0] | R/W | 0001b | ADC2B シーケンス ステップ 1 の正入力チャネルの選択 シーケンス ステップ 1 の正の ADC2B アナログ入力を選択します。負の ADC 入力自動的に選択される設定では、SEQ2B_STEP1_CH_N ビットは無効です。 0000b = V0B 0001b = V1B 0010b = V2B 0011b = V3B 0100b = V4B 0101b = V5B 0110b = V6B 0111b = V7B 1000b = 温度センサ (負の ADC 入力は自動的に選択される) 1001b = AGNDB 内部短絡、入力から切り離される (負の ADC 入力は自動的に選択される) 1010b = テスト DAC A (負の ADC 入力は自動的に選択される) 1011b = AVDD/4 (負の ADC 入力は自動的に選択される) 1100b = IOVDD/4 (負の ADC 入力は自動的に選択される) 1101b = DVDD/2 (負の ADC 入力は自動的に選択される) 1110b = APWR/103 (負の ADC 入力は自動的に選択される) 1111b = DPWR/103 (負の ADC 入力は自動的に選択される) |

8.1.125 SEQ2B_STEP2_CFG レジスタ (アドレス = D2h) [リセット = 0002h]

概略表に戻ります。

図 8-125. SEQ2B_STEP2_CFG レジスタ

| | | | | | | | |
|----------------|-----------------------|-------------|------------------|-----------------------|----|---|---|
| 15 | 14 | 13 | 12 | 11 | 10 | 9 | 8 |
| SEQ2B_STEP2_EN | SEQ2B_STEP2_GAIN[1:0] | RESERVED | | | | | |
| R/W-0b | R/W-00b | R-00000000b | | | | | |
| 7 | 6 | 5 | 4 | 3 | 2 | 1 | 0 |
| RESERVED | | | SEQ2B_STEP2_CH_N | SEQ2B_STEP2_CH_P[3:0] | | | |
| R-00000000b | | | R/W-0b | R/W-0010b | | | |

表 8-126. SEQ2B_STEP2_CFG レジスタのフィールドの説明

| ビット | フィールド | タイプ | リセット | 概要 |
|-------|-----------------------|-----|-----------|---|
| 15 | SEQ2B_STEP2_EN | R/W | 0b | ADC2B シーケンス ステップ 2 の有効化 ADC2B シーケンスのシーケンス ステップ 2 を有効化します。 0b = ディセーブル 1b = イネーブル |
| 14:13 | SEQ2B_STEP2_GAIN[1:0] | R/W | 00b | ADC2B シーケンス ステップ 2 のゲインの選択 シーケンス ステップ 2 の ADC2B のゲインを選択します。 00b = 1 01b = 2 10b = 4 11b = 4 |
| 12:5 | RESERVED | R | 00000000b | 予約済み 常に 00000000b を読み出す。 |
| 4 | SEQ2B_STEP2_CH_N | R/W | 0b | ADC2B シーケンス ステップ 2 負の入力チャネルの選択 シーケンス ステップ 2 の負の ADC2B アナログ入力を選択します。 0b = AGNDB 1b = V7B |
| 3:0 | SEQ2B_STEP2_CH_P[3:0] | R/W | 0010b | ADC2B シーケンス ステップ 2 の正入力チャネルの選択 シーケンス ステップ 2 の正の ADC2B アナログ入力を選択します。負の ADC 入力自動的に選択される設定では、SEQ2B_STEP2_CH_N ビットは無効です。 0000b = V0B 0001b = V1B 0010b = V2B 0011b = V3B 0100b = V4B 0101b = V5B 0110b = V6B 0111b = V7B 1000b = 温度センサ (負の ADC 入力は自動的に選択される) 1001b = AGNDB 内部短絡、入力から切り離される (負の ADC 入力は自動的に選択される) 1010b = テスト DAC A (負の ADC 入力は自動的に選択される) 1011b = AVDD/4 (負の ADC 入力は自動的に選択される) 1100b = IOVDD/4 (負の ADC 入力は自動的に選択される) 1101b = DVDD/2 (負の ADC 入力は自動的に選択される) 1110b = APWR/103 (負の ADC 入力は自動的に選択される) 1111b = DPWR/103 (負の ADC 入力は自動的に選択される) |

8.1.126 SEQ2B_STEP3_CFG レジスタ (アドレス = D3h) [リセット = 0003h]

概略表に戻ります。

図 8-126. SEQ2B_STEP3_CFG レジスタ

| | | | | | | | |
|----------------|-----------------------|-------------|------------------|-----------------------|----|---|---|
| 15 | 14 | 13 | 12 | 11 | 10 | 9 | 8 |
| SEQ2B_STEP3_EN | SEQ2B_STEP3_GAIN[1:0] | RESERVED | | | | | |
| R/W-0b | R/W-00b | R-00000000b | | | | | |
| 7 | 6 | 5 | 4 | 3 | 2 | 1 | 0 |
| RESERVED | | | SEQ2B_STEP3_CH_N | SEQ2B_STEP3_CH_P[3:0] | | | |
| R-00000000b | | | R/W-0b | R/W-0011b | | | |

表 8-127. SEQ2B_STEP3_CFG レジスタのフィールドの説明

| ビット | フィールド | タイプ | リセット | 概要 |
|-------|-----------------------|-----|-----------|---|
| 15 | SEQ2B_STEP3_EN | R/W | 0b | ADC2B シーケンス ステップ 3 の有効化 ADC2B シーケンスのシーケンス ステップ 3 を有効化します。 0b = ディセーブル 1b = イネーブル |
| 14:13 | SEQ2B_STEP3_GAIN[1:0] | R/W | 00b | ADC2B シーケンス ステップ 3 のゲインの選択 シーケンス ステップ 3 の ADC2B のゲインを選択します。 00b = 1 01b = 2 10b = 4 11b = 4 |
| 12:5 | RESERVED | R | 00000000b | 予約済み 常に 00000000b を読み出す。 |
| 4 | SEQ2B_STEP3_CH_N | R/W | 0b | ADC2B シーケンス ステップ 3 負の入力チャネルの選択 シーケンス ステップ 3 の負の ADC2B アナログ入力を選択します。 0b = AGNDB 1b = V7B |
| 3:0 | SEQ2B_STEP3_CH_P[3:0] | R/W | 0011b | ADC2B シーケンス ステップ 3 の正入力チャネルの選択 シーケンス ステップ 3 の正の ADC2B アナログ入力を選択します。負の ADC 入力自動的に選択される設定では、SEQ2B_STEP3_CH_N ビットは無効です。 0000b = V0B 0001b = V1B 0010b = V2B 0011b = V3B 0100b = V4B 0101b = V5B 0110b = V6B 0111b = V7B 1000b = 温度センサ (負の ADC 入力は自動的に選択される) 1001b = AGNDB 内部短絡、入力から切り離される (負の ADC 入力は自動的に選択される) 1010b = テスト DAC A (負の ADC 入力は自動的に選択される) 1011b = AVDD/4 (負の ADC 入力は自動的に選択される) 1100b = IOVDD/4 (負の ADC 入力は自動的に選択される) 1101b = DVDD/2 (負の ADC 入力は自動的に選択される) 1110b = APWR/103 (負の ADC 入力は自動的に選択される) 1111b = DPWR/103 (負の ADC 入力は自動的に選択される) |

8.1.127 SEQ2B_STEP4_CFG レジスタ (アドレス = D4h) [リセット = 0004h]

概略表に戻ります。

図 8-127. SEQ2B_STEP4_CFG レジスタ

| | | | | | | | |
|----------------|-----------------------|-------------|------------------|-----------------------|----|---|---|
| 15 | 14 | 13 | 12 | 11 | 10 | 9 | 8 |
| SEQ2B_STEP4_EN | SEQ2B_STEP4_GAIN[1:0] | RESERVED | | | | | |
| R/W-0b | R/W-00b | R-00000000b | | | | | |
| 7 | 6 | 5 | 4 | 3 | 2 | 1 | 0 |
| RESERVED | | | SEQ2B_STEP4_CH_N | SEQ2B_STEP4_CH_P[3:0] | | | |
| R-00000000b | | | R/W-0b | R/W-0100b | | | |

表 8-128. SEQ2B_STEP4_CFG レジスタのフィールドの説明

| ビット | フィールド | タイプ | リセット | 概要 |
|-------|-----------------------|-----|-----------|---|
| 15 | SEQ2B_STEP4_EN | R/W | 0b | ADC2B シーケンス ステップ 4 の有効化 ADC2B シーケンスのシーケンス ステップ 4 を有効化します。 0b = ディセーブル 1b = イネーブル |
| 14:13 | SEQ2B_STEP4_GAIN[1:0] | R/W | 00b | ADC2B シーケンス ステップ 4 のゲインの選択 シーケンス ステップ 4 の ADC2B のゲインを選択します。 00b = 1 01b = 2 10b = 4 11b = 4 |
| 12:5 | RESERVED | R | 00000000b | 予約済み 常に 00000000b を読み出す。 |
| 4 | SEQ2B_STEP4_CH_N | R/W | 0b | ADC2B シーケンス ステップ 4 負の入力チャネルの選択 シーケンス ステップ 4 の負の ADC2B アナログ入力を選択します。 0b = AGNDB 1b = V7B |
| 3:0 | SEQ2B_STEP4_CH_P[3:0] | R/W | 0100b | ADC2B シーケンス ステップ 4 の正入力チャネルの選択 シーケンス ステップ 4 の正の ADC2B アナログ入力を選択します。負の ADC 入力自動的に選択される設定では、SEQ2B_STEP4_CH_N ビットは無効です。 0000b = V0B 0001b = V1B 0010b = V2B 0011b = V3B 0100b = V4B 0101b = V5B 0110b = V6B 0111b = V7B 1000b = 温度センサ (負の ADC 入力は自動的に選択される) 1001b = AGNDB 内部短絡、入力から切り離される (負の ADC 入力は自動的に選択される) 1010b = テスト DAC A (負の ADC 入力は自動的に選択される) 1011b = AVDD/4 (負の ADC 入力は自動的に選択される) 1100b = IOVDD/4 (負の ADC 入力は自動的に選択される) 1101b = DVDD/2 (負の ADC 入力は自動的に選択される) 1110b = APWR/103 (負の ADC 入力は自動的に選択される) 1111b = DPWR/103 (負の ADC 入力は自動的に選択される) |

8.1.128 SEQ2B_STEP5_CFG レジスタ (アドレス = D5h) [リセット = 0005h]

概略表に戻ります。

図 8-128. SEQ2B_STEP5_CFG レジスタ

| | | | | | | | |
|----------------|-----------------------|-------------|------------------|-----------------------|----|---|---|
| 15 | 14 | 13 | 12 | 11 | 10 | 9 | 8 |
| SEQ2B_STEP5_EN | SEQ2B_STEP5_GAIN[1:0] | RESERVED | | | | | |
| R/W-0b | R/W-00b | R-00000000b | | | | | |
| 7 | 6 | 5 | 4 | 3 | 2 | 1 | 0 |
| RESERVED | | | SEQ2B_STEP5_CH_N | SEQ2B_STEP5_CH_P[3:0] | | | |
| R-00000000b | | | R/W-0b | R/W-0101b | | | |

表 8-129. SEQ2B_STEP5_CFG レジスタのフィールドの説明

| ビット | フィールド | タイプ | リセット | 概要 |
|-------|-----------------------|-----|-----------|---|
| 15 | SEQ2B_STEP5_EN | R/W | 0b | ADC2B シーケンス ステップ 5 の有効化 ADC2B シーケンスのシーケンス ステップ 5 を有効化します。 0b = ディセーブル 1b = イネーブル |
| 14:13 | SEQ2B_STEP5_GAIN[1:0] | R/W | 00b | ADC2B シーケンス ステップ 5 のゲインの選択 シーケンス ステップ 5 の ADC2B のゲインを選択します。 00b = 1 01b = 2 10b = 4 11b = 4 |
| 12:5 | RESERVED | R | 00000000b | 予約済み 常に 00000000b を読み出す。 |
| 4 | SEQ2B_STEP5_CH_N | R/W | 0b | ADC2B シーケンス ステップ 5 負の入力チャネルの選択 シーケンス ステップ 5 の負の ADC2B アナログ入力を選択します。 0b = AGNDB 1b = V7B |
| 3:0 | SEQ2B_STEP5_CH_P[3:0] | R/W | 0101b | ADC2B シーケンス ステップ 5 の正入力チャネルの選択 シーケンス ステップ 5 の正の ADC2B アナログ入力を選択します。負の ADC 入力自動的に選択される設定では、SEQ2B_STEP5_CH_N ビットは無効です。 0000b = V0B 0001b = V1B 0010b = V2B 0011b = V3B 0100b = V4B 0101b = V5B 0110b = V6B 0111b = V7B 1000b = 温度センサ (負の ADC 入力は自動的に選択される) 1001b = AGNDB 内部短絡、入力から切り離される (負の ADC 入力は自動的に選択される) 1010b = テスト DAC A (負の ADC 入力は自動的に選択される) 1011b = AVDD/4 (負の ADC 入力は自動的に選択される) 1100b = IOVDD/4 (負の ADC 入力は自動的に選択される) 1101b = DVDD/2 (負の ADC 入力は自動的に選択される) 1110b = APWR/103 (負の ADC 入力は自動的に選択される) 1111b = DPWR/103 (負の ADC 入力は自動的に選択される) |

8.1.129 SEQ2B_STEP6_CFG レジスタ (アドレス = D6h) [リセット = 0006h]

概略表に戻ります。

図 8-129. SEQ2B_STEP6_CFG レジスタ

| | | | | | | | |
|----------------|-----------------------|----|------------------|-----------------------|----|---|---|
| 15 | 14 | 13 | 12 | 11 | 10 | 9 | 8 |
| SEQ2B_STEP6_EN | SEQ2B_STEP6_GAIN[1:0] | | RESERVED | | | | |
| R/W-0b | R/W-00b | | R-00000000b | | | | |
| 7 | 6 | 5 | 4 | 3 | 2 | 1 | 0 |
| RESERVED | | | SEQ2B_STEP6_CH_N | SEQ2B_STEP6_CH_P[3:0] | | | |
| R-00000000b | | | R/W-0b | R/W-0110b | | | |

表 8-130. SEQ2B_STEP6_CFG レジスタのフィールドの説明

| ビット | フィールド | タイプ | リセット | 概要 |
|-------|-----------------------|-----|-----------|---|
| 15 | SEQ2B_STEP6_EN | R/W | 0b | ADC2B シーケンス ステップ 6 の有効化 ADC2B シーケンスのシーケンス ステップ 6 を有効化します。 0b = ディセーブル 1b = イネーブル |
| 14:13 | SEQ2B_STEP6_GAIN[1:0] | R/W | 00b | ADC2B シーケンス ステップ 6 のゲインの選択 シーケンス ステップ 6 の ADC2B のゲインを選択します。 00b = 1 01b = 2 10b = 4 11b = 4 |
| 12:5 | RESERVED | R | 00000000b | 予約済み 常に 00000000b を読み出す。 |
| 4 | SEQ2B_STEP6_CH_N | R/W | 0b | ADC2B シーケンス ステップ 6 負の入力チャネルの選択 シーケンス ステップ 6 の負の ADC2B アナログ入力を選択します。 0b = AGNDB 1b = V7B |
| 3:0 | SEQ2B_STEP6_CH_P[3:0] | R/W | 0110b | ADC2B シーケンス ステップ 6 の正入力チャネルの選択 シーケンス ステップ 6 の正の ADC2B アナログ入力を選択します。負の ADC 入力自動的に選択される設定では、SEQ2B_STEP6_CH_N ビットは無効です。 0000b = V0B 0001b = V1B 0010b = V2B 0011b = V3B 0100b = V4B 0101b = V5B 0110b = V6B 0111b = V7B 1000b = 温度センサ (負の ADC 入力は自動的に選択される) 1001b = AGNDB 内部短絡、入力から切り離される (負の ADC 入力は自動的に選択される) 1010b = テスト DAC A (負の ADC 入力は自動的に選択される) 1011b = AVDD/4 (負の ADC 入力は自動的に選択される) 1100b = IOVDD/4 (負の ADC 入力は自動的に選択される) 1101b = DVDD/2 (負の ADC 入力は自動的に選択される) 1110b = APWR/103 (負の ADC 入力は自動的に選択される) 1111b = DPWR/103 (負の ADC 入力は自動的に選択される) |

8.1.130 SEQ2B_STEP7_CFG レジスタ (アドレス = D7h) [リセット = 0007h]

概略表に戻ります。

図 8-130. SEQ2B_STEP7_CFG レジスタ

| | | | | | | | |
|----------------|-----------------------|----|------------------|-----------------------|----|---|---|
| 15 | 14 | 13 | 12 | 11 | 10 | 9 | 8 |
| SEQ2B_STEP7_EN | SEQ2B_STEP7_GAIN[1:0] | | RESERVED | | | | |
| R/W-0b | R/W-00b | | R-00000000b | | | | |
| 7 | 6 | 5 | 4 | 3 | 2 | 1 | 0 |
| RESERVED | | | SEQ2B_STEP7_CH_N | SEQ2B_STEP7_CH_P[3:0] | | | |
| R-00000000b | | | R/W-0b | R/W-0111b | | | |

表 8-131. SEQ2B_STEP7_CFG レジスタのフィールドの説明

| ビット | フィールド | タイプ | リセット | 概要 |
|-------|-----------------------|-----|-----------|---|
| 15 | SEQ2B_STEP7_EN | R/W | 0b | ADC2B シーケンス ステップ 7 の有効化 ADC2B シーケンスのシーケンス ステップ 7 を有効化します。 0b = ディセーブル 1b = イネーブル |
| 14:13 | SEQ2B_STEP7_GAIN[1:0] | R/W | 00b | ADC2B シーケンス ステップ 7 のゲインの選択 シーケンス ステップ 7 の ADC2B のゲインを選択します。 00b = 1 01b = 2 10b = 4 11b = 4 |
| 12:5 | RESERVED | R | 00000000b | 予約済み 常に 00000000b を読み出す。 |
| 4 | SEQ2B_STEP7_CH_N | R/W | 0b | ADC2B シーケンス ステップ 7 負の入力チャネルの選択 シーケンス ステップ 7 の負の ADC2B アナログ入力を選択します。 0b = AGNDB 1b = V7B |
| 3:0 | SEQ2B_STEP7_CH_P[3:0] | R/W | 0111b | ADC2B シーケンス ステップ 7 の正入力チャネルの選択 シーケンス ステップ 7 の正の ADC2B アナログ入力を選択します。負の ADC 入力自動的に選択される設定では、SEQ2B_STEP7_CH_N ビットは無効です。 0000b = V0B 0001b = V1B 0010b = V2B 0011b = V3B 0100b = V4B 0101b = V5B 0110b = V6B 0111b = V7B 1000b = 温度センサ (負の ADC 入力は自動的に選択される) 1001b = AGNDB 内部短絡、入力から切り離される (負の ADC 入力は自動的に選択される) 1010b = テスト DAC A (負の ADC 入力は自動的に選択される) 1011b = AVDD/4 (負の ADC 入力は自動的に選択される) 1100b = IOVDD/4 (負の ADC 入力は自動的に選択される) 1101b = DVDD/2 (負の ADC 入力は自動的に選択される) 1110b = APWR/103 (負の ADC 入力は自動的に選択される) 1111b = DPWR/103 (負の ADC 入力は自動的に選択される) |

8.1.131 SEQ2B_STEP8_CFG レジスタ (アドレス = D8h) [リセット = 0008h]

概略表に戻ります。

図 8-131. SEQ2B_STEP8_CFG レジスタ

| | | | | | | | |
|----------------|-----------------------|----|------------------|-----------------------|----|---|---|
| 15 | 14 | 13 | 12 | 11 | 10 | 9 | 8 |
| SEQ2B_STEP8_EN | SEQ2B_STEP8_GAIN[1:0] | | RESERVED | | | | |
| R/W-0b | R/W-00b | | R-00000000b | | | | |
| 7 | 6 | 5 | 4 | 3 | 2 | 1 | 0 |
| RESERVED | | | SEQ2B_STEP8_CH_N | SEQ2B_STEP8_CH_P[3:0] | | | |
| R-00000000b | | | R/W-0b | R/W-1000b | | | |

表 8-132. SEQ2B_STEP8_CFG レジスタのフィールドの説明

| ビット | フィールド | タイプ | リセット | 概要 |
|-------|-----------------------|-----|-----------|---|
| 15 | SEQ2B_STEP8_EN | R/W | 0b | ADC2B シーケンス ステップ 8 の有効化 ADC2B シーケンスのシーケンス ステップ 8 を有効化します。 0b = ディセーブル 1b = イネーブル |
| 14:13 | SEQ2B_STEP8_GAIN[1:0] | R/W | 00b | ADC2B シーケンス ステップ 8 のゲインの選択 シーケンス ステップ 8 の ADC2B のゲインを選択します。 00b = 1 01b = 2 10b = 4 11b = 4 |
| 12:5 | RESERVED | R | 00000000b | 予約済み 常に 00000000b を読み出す。 |
| 4 | SEQ2B_STEP8_CH_N | R/W | 0b | ADC2B シーケンス ステップ 8 負の入力チャネルの選択 シーケンス ステップ 8 の負の ADC2B アナログ入力を選択します。 0b = AGNDB 1b = V7B |
| 3:0 | SEQ2B_STEP8_CH_P[3:0] | R/W | 1000b | ADC2B シーケンス ステップ 8 の正入力チャネルの選択 シーケンス ステップ 8 の正の ADC2B アナログ入力を選択します。負の ADC 入力自動的に選択される設定では、SEQ2B_STEP8_CH_N ビットは無効です。 0000b = V0B 0001b = V1B 0010b = V2B 0011b = V3B 0100b = V4B 0101b = V5B 0110b = V6B 0111b = V7B 1000b = 温度センサ (負の ADC 入力は自動的に選択される) 1001b = AGNDB 内部短絡、入力から切り離される (負の ADC 入力は自動的に選択される) 1010b = テスト DAC A (負の ADC 入力は自動的に選択される) 1011b = AVDD/4 (負の ADC 入力は自動的に選択される) 1100b = IOVDD/4 (負の ADC 入力は自動的に選択される) 1101b = DVDD/2 (負の ADC 入力は自動的に選択される) 1110b = APWR/103 (負の ADC 入力は自動的に選択される) 1111b = DPWR/103 (負の ADC 入力は自動的に選択される) |

8.1.132 SEQ2B_STEP9_CFG レジスタ (アドレス = D9h) [リセット = 0009h]

概略表に戻ります。

図 8-132. SEQ2B_STEP9_CFG レジスタ

| | | | | | | | |
|----------------|-----------------------|----|------------------|-----------------------|----|---|---|
| 15 | 14 | 13 | 12 | 11 | 10 | 9 | 8 |
| SEQ2B_STEP9_EN | SEQ2B_STEP9_GAIN[1:0] | | RESERVED | | | | |
| R/W-0b | R/W-00b | | R-00000000b | | | | |
| 7 | 6 | 5 | 4 | 3 | 2 | 1 | 0 |
| RESERVED | | | SEQ2B_STEP9_CH_N | SEQ2B_STEP9_CH_P[3:0] | | | |
| R-00000000b | | | R/W-0b | R/W-1001b | | | |

表 8-133. SEQ2B_STEP9_CFG レジスタのフィールドの説明

| ビット | フィールド | タイプ | リセット | 概要 |
|-------|-----------------------|-----|-----------|---|
| 15 | SEQ2B_STEP9_EN | R/W | 0b | ADC2B シーケンス ステップ 9 の有効化 ADC2B シーケンスのシーケンス ステップ 9 を有効化します。 0b = ディセーブル 1b = イネーブル |
| 14:13 | SEQ2B_STEP9_GAIN[1:0] | R/W | 00b | ADC2B シーケンス ステップ 9 のゲインの選択 シーケンス ステップ 9 の ADC2B のゲインを選択します。 00b = 1 01b = 2 10b = 4 11b = 4 |
| 12:5 | RESERVED | R | 00000000b | 予約済み 常に 00000000b を読み出す。 |
| 4 | SEQ2B_STEP9_CH_N | R/W | 0b | ADC2B シーケンス ステップ 9 負の入力チャネルの選択 シーケンス ステップ 9 の負の ADC2B アナログ入力を選択します。 0b = AGNDB 1b = V7B |
| 3:0 | SEQ2B_STEP9_CH_P[3:0] | R/W | 1001b | ADC2B シーケンス ステップ 9 の正入力チャネルの選択 シーケンス ステップ 9 の正の ADC2B アナログ入力を選択します。負の ADC 入力自動的に選択される設定では、SEQ2B_STEP9_CH_N ビットは無効です。 0000b = V0B 0001b = V1B 0010b = V2B 0011b = V3B 0100b = V4B 0101b = V5B 0110b = V6B 0111b = V7B 1000b = 温度センサ (負の ADC 入力は自動的に選択される) 1001b = AGNDB 内部短絡、入力から切り離される (負の ADC 入力は自動的に選択される) 1010b = テスト DAC A (負の ADC 入力は自動的に選択される) 1011b = AVDD/4 (負の ADC 入力は自動的に選択される) 1100b = IOVDD/4 (負の ADC 入力は自動的に選択される) 1101b = DVDD/2 (負の ADC 入力は自動的に選択される) 1110b = APWR/103 (負の ADC 入力は自動的に選択される) 1111b = DPWR/103 (負の ADC 入力は自動的に選択される) |

8.1.133 SEQ2B_STEP10_CFG レジスタ (アドレス = DAh) [リセット = 000Ah]

概略表に戻ります。

図 8-133. SEQ2B_STEP10_CFG レジスタ

| | | | | | | | |
|-----------------|------------------------|-------------|-------------------|------------------------|----|---|---|
| 15 | 14 | 13 | 12 | 11 | 10 | 9 | 8 |
| SEQ2B_STEP10_EN | SEQ2B_STEP10_GAIN[1:0] | RESERVED | | | | | |
| R/W-0b | R/W-00b | R-00000000b | | | | | |
| 7 | 6 | 5 | 4 | 3 | 2 | 1 | 0 |
| RESERVED | | | SEQ2B_STEP10_CH_N | SEQ2B_STEP10_CH_P[3:0] | | | |
| R-00000000b | | | R/W-0b | R/W-1010b | | | |

表 8-134. SEQ2B_STEP10_CFG レジスタのフィールドの説明

| ビット | フィールド | タイプ | リセット | 概要 |
|-------|------------------------|-----|-----------|--|
| 15 | SEQ2B_STEP10_EN | R/W | 0b | ADC2B シーケンス ステップ 10 の有効化 ADC2B シーケンスのシーケンス ステップ 10 を有効化します。 0b = ディセーブル 1b = イネーブル |
| 14:13 | SEQ2B_STEP10_GAIN[1:0] | R/W | 00b | ADC2B シーケンス ステップ 10 のゲインの選択 シーケンス ステップ 10 の ADC2B のゲインを選択します。 00b = 1 01b = 2 10b = 4 11b = 4 |
| 12:5 | RESERVED | R | 00000000b | 予約済み 常に 00000000b を読み出す。 |
| 4 | SEQ2B_STEP10_CH_N | R/W | 0b | ADC2B シーケンス ステップ 10 負の入力チャネルの選択 シーケンス ステップ 10 の負の ADC2B アナログ入力を選択します。 0b = AGNDB 1b = V7B |
| 3:0 | SEQ2B_STEP10_CH_P[3:0] | R/W | 1010b | ADC2B シーケンス ステップ 10 の正入力チャネルの選択 シーケンス ステップ 10 の正の ADC2B アナログ入力を選択します。負の ADC 入力自動的に選択される設定では、SEQ2B_STEP10_CH_N ビットは無効です。 0000b = V0B 0001b = V1B 0010b = V2B 0011b = V3B 0100b = V4B 0101b = V5B 0110b = V6B 0111b = V7B 1000b = 温度センサ (負の ADC 入力は自動的に選択される) 1001b = AGNDB 内部短絡、入力から切り離される (負の ADC 入力は自動的に選択される) 1010b = テスト DAC A (負の ADC 入力は自動的に選択される) 1011b = AVDD/4 (負の ADC 入力は自動的に選択される) 1100b = IOVDD/4 (負の ADC 入力は自動的に選択される) 1101b = DVDD/2 (負の ADC 入力は自動的に選択される) 1110b = APWR/103 (負の ADC 入力は自動的に選択される) 1111b = DPWR/103 (負の ADC 入力は自動的に選択される) |

8.1.134 SEQ2B_STEP11_CFG レジスタ (アドレス = DBh) [リセット = 000Bh]

概略表に戻ります。

図 8-134. SEQ2B_STEP11_CFG レジスタ

| | | | | | | | |
|-----------------|------------------------|-------------|-------------------|------------------------|----|---|---|
| 15 | 14 | 13 | 12 | 11 | 10 | 9 | 8 |
| SEQ2B_STEP11_EN | SEQ2B_STEP11_GAIN[1:0] | RESERVED | | | | | |
| R/W-0b | R/W-00b | R-00000000b | | | | | |
| 7 | 6 | 5 | 4 | 3 | 2 | 1 | 0 |
| RESERVED | | | SEQ2B_STEP11_CH_N | SEQ2B_STEP11_CH_P[3:0] | | | |
| R-00000000b | | | R/W-0b | R/W-1011b | | | |

表 8-135. SEQ2B_STEP11_CFG レジスタのフィールドの説明

| ビット | フィールド | タイプ | リセット | 概要 |
|-------|------------------------|-----|-----------|--|
| 15 | SEQ2B_STEP11_EN | R/W | 0b | ADC2B シーケンス ステップ 11 の有効化 ADC2B シーケンスのシーケンス ステップ 11 を有効化します。 0b = ディセーブル 1b = イネーブル |
| 14:13 | SEQ2B_STEP11_GAIN[1:0] | R/W | 00b | ADC2B シーケンス ステップ 11 のゲインの選択 シーケンス ステップ 11 の ADC2B のゲインを選択します。 00b = 1 01b = 2 10b = 4 11b = 4 |
| 12:5 | RESERVED | R | 00000000b | 予約済み 常に 00000000b を読み出す。 |
| 4 | SEQ2B_STEP11_CH_N | R/W | 0b | ADC2B シーケンス ステップ 11 負の入力チャネルの選択 シーケンス ステップ 11 の負の ADC2B アナログ入力を選択します。 0b = AGNDB 1b = V7B |
| 3:0 | SEQ2B_STEP11_CH_P[3:0] | R/W | 1011b | ADC2B シーケンス ステップ 11 の正入力チャネルの選択 シーケンス ステップ 11 の正の ADC2B アナログ入力を選択します。負の ADC 入力自動的に選択される設定では、SEQ2B_STEP11_CH_N ビットは無効です。 0000b = V0B 0001b = V1B 0010b = V2B 0011b = V3B 0100b = V4B 0101b = V5B 0110b = V6B 0111b = V7B 1000b = 温度センサ (負の ADC 入力は自動的に選択される) 1001b = AGNDB 内部短絡、入力から切り離される (負の ADC 入力は自動的に選択される) 1010b = テスト DAC A (負の ADC 入力は自動的に選択される) 1011b = AVDD/4 (負の ADC 入力は自動的に選択される) 1100b = IOVDD/4 (負の ADC 入力は自動的に選択される) 1101b = DVDD/2 (負の ADC 入力は自動的に選択される) 1110b = APWR/103 (負の ADC 入力は自動的に選択される) 1111b = DPWR/103 (負の ADC 入力は自動的に選択される) |

8.1.135 SEQ2B_STEP12_CFG レジスタ (アドレス = DCh) [リセット = 000Ch]

概略表に戻ります。

図 8-135. SEQ2B_STEP12_CFG レジスタ

| | | | | | | | |
|-----------------|------------------------|-------------|-------------------|------------------------|----|---|---|
| 15 | 14 | 13 | 12 | 11 | 10 | 9 | 8 |
| SEQ2B_STEP12_EN | SEQ2B_STEP12_GAIN[1:0] | RESERVED | | | | | |
| R/W-0b | R/W-00b | R-00000000b | | | | | |
| 7 | 6 | 5 | 4 | 3 | 2 | 1 | 0 |
| RESERVED | | | SEQ2B_STEP12_CH_N | SEQ2B_STEP12_CH_P[3:0] | | | |
| R-00000000b | | | R/W-0b | R/W-1100b | | | |

表 8-136. SEQ2B_STEP12_CFG レジスタのフィールドの説明

| ビット | フィールド | タイプ | リセット | 概要 |
|-------|------------------------|-----|-----------|--|
| 15 | SEQ2B_STEP12_EN | R/W | 0b | ADC2B シーケンス ステップ 12 の有効化 ADC2B シーケンスのシーケンス ステップ 12 を有効化します。 0b = ディセーブル 1b = イネーブル |
| 14:13 | SEQ2B_STEP12_GAIN[1:0] | R/W | 00b | ADC2B シーケンス ステップ 12 のゲインの選択 シーケンス ステップ 12 の ADC2B のゲインを選択します。 00b = 1 01b = 2 10b = 4 11b = 4 |
| 12:5 | RESERVED | R | 00000000b | 予約済み 常に 00000000b を読み出す。 |
| 4 | SEQ2B_STEP12_CH_N | R/W | 0b | ADC2B シーケンス ステップ 12 負の入力チャネルの選択 シーケンス ステップ 12 の負の ADC2B アナログ入力を選択します。 0b = AGNDB 1b = V7B |
| 3:0 | SEQ2B_STEP12_CH_P[3:0] | R/W | 1100b | ADC2B シーケンス ステップ 12 の正入力チャネルの選択 シーケンス ステップ 12 の正の ADC2B アナログ入力を選択します。負の ADC 入力自動的に選択される設定では、SEQ2B_STEP12_CH_N ビットは無効です。 0000b = V0B 0001b = V1B 0010b = V2B 0011b = V3B 0100b = V4B 0101b = V5B 0110b = V6B 0111b = V7B 1000b = 温度センサ (負の ADC 入力は自動的に選択される) 1001b = AGNDB 内部短絡、入力から切り離される (負の ADC 入力は自動的に選択される) 1010b = テスト DAC A (負の ADC 入力は自動的に選択される) 1011b = AVDD/4 (負の ADC 入力は自動的に選択される) 1100b = IOVDD/4 (負の ADC 入力は自動的に選択される) 1101b = DVDD/2 (負の ADC 入力は自動的に選択される) 1110b = APWR/103 (負の ADC 入力は自動的に選択される) 1111b = DPWR/103 (負の ADC 入力は自動的に選択される) |

8.1.136 SEQ2B_STEP13_CFG レジスタ (アドレス = DDh) [リセット = 000Dh]

概略表に戻ります。

図 8-136. SEQ2B_STEP13_CFG レジスタ

| | | | | | | | |
|-----------------|------------------------|-------------|-------------------|------------------------|----|---|---|
| 15 | 14 | 13 | 12 | 11 | 10 | 9 | 8 |
| SEQ2B_STEP13_EN | SEQ2B_STEP13_GAIN[1:0] | RESERVED | | | | | |
| R/W-0b | R/W-00b | R-00000000b | | | | | |
| 7 | 6 | 5 | 4 | 3 | 2 | 1 | 0 |
| RESERVED | | | SEQ2B_STEP13_CH_N | SEQ2B_STEP13_CH_P[3:0] | | | |
| R-00000000b | | | R/W-0b | R/W-1101b | | | |

表 8-137. SEQ2B_STEP13_CFG レジスタのフィールドの説明

| ビット | フィールド | タイプ | リセット | 概要 |
|-------|------------------------|-----|-----------|--|
| 15 | SEQ2B_STEP13_EN | R/W | 0b | ADC2B シーケンス ステップ 13 の有効化 ADC2B シーケンスのシーケンス ステップ 13 を有効化します。 0b = ディセーブル 1b = イネーブル |
| 14:13 | SEQ2B_STEP13_GAIN[1:0] | R/W | 00b | ADC2B シーケンス ステップ 13 のゲインの選択 シーケンス ステップ 13 の ADC2B のゲインを選択します。 00b = 1 01b = 2 10b = 4 11b = 4 |
| 12:5 | RESERVED | R | 00000000b | 予約済み 常に 00000000b を読み出す。 |
| 4 | SEQ2B_STEP13_CH_N | R/W | 0b | ADC2B シーケンス ステップ 13 負の入力チャネルの選択 シーケンス ステップ 13 の負の ADC2B アナログ入力を選択します。 0b = AGNDB 1b = V7B |
| 3:0 | SEQ2B_STEP13_CH_P[3:0] | R/W | 1101b | ADC2B シーケンス ステップ 13 の正入力チャネルの選択 シーケンス ステップ 13 の正の ADC2B アナログ入力を選択します。負の ADC 入力自動的に選択される設定では、SEQ2B_STEP13_CH_N ビットは無効です。 0000b = V0B 0001b = V1B 0010b = V2B 0011b = V3B 0100b = V4B 0101b = V5B 0110b = V6B 0111b = V7B 1000b = 温度センサ (負の ADC 入力は自動的に選択される) 1001b = AGNDB 内部短絡、入力から切り離される (負の ADC 入力は自動的に選択される) 1010b = テスト DAC A (負の ADC 入力は自動的に選択される) 1011b = AVDD/4 (負の ADC 入力は自動的に選択される) 1100b = IOVDD/4 (負の ADC 入力は自動的に選択される) 1101b = DVDD/2 (負の ADC 入力は自動的に選択される) 1110b = APWR/103 (負の ADC 入力は自動的に選択される) 1111b = DPWR/103 (負の ADC 入力は自動的に選択される) |

8.1.137 SEQ2B_STEP14_CFG レジスタ (アドレス = DEh) [リセット = 000Eh]

概略表に戻ります。

図 8-137. SEQ2B_STEP14_CFG レジスタ

| | | | | | | | |
|-----------------|------------------------|-------------|-------------------|------------------------|----|---|---|
| 15 | 14 | 13 | 12 | 11 | 10 | 9 | 8 |
| SEQ2B_STEP14_EN | SEQ2B_STEP14_GAIN[1:0] | RESERVED | | | | | |
| R/W-0b | R/W-00b | R-00000000b | | | | | |
| 7 | 6 | 5 | 4 | 3 | 2 | 1 | 0 |
| RESERVED | | | SEQ2B_STEP14_CH_N | SEQ2B_STEP14_CH_P[3:0] | | | |
| R-00000000b | | | R/W-0b | R/W-1110b | | | |

表 8-138. SEQ2B_STEP14_CFG レジスタのフィールドの説明

| ビット | フィールド | タイプ | リセット | 概要 |
|-------|------------------------|-----|-----------|--|
| 15 | SEQ2B_STEP14_EN | R/W | 0b | ADC2B シーケンス ステップ 14 の有効化 ADC2B シーケンサのシーケンス ステップ 14 を有効化します。 0b = ディセーブル 1b = イネーブル |
| 14:13 | SEQ2B_STEP14_GAIN[1:0] | R/W | 00b | ADC2B シーケンス ステップ 14 のゲインの選択 シーケンス ステップ 14 の ADC2B のゲインを選択します。 00b = 1 01b = 2 10b = 4 11b = 4 |
| 12:5 | RESERVED | R | 00000000b | 予約済み 常に 00000000b を読み出す。 |
| 4 | SEQ2B_STEP14_CH_N | R/W | 0b | ADC2B シーケンス ステップ 14 負の入力チャネルの選択 シーケンス ステップ 14 の負の ADC2B アナログ入力を選択します。 0b = AGNDB 1b = V7B |
| 3:0 | SEQ2B_STEP14_CH_P[3:0] | R/W | 1110b | ADC2B シーケンス ステップ 14 の正入力チャネルの選択 シーケンス ステップ 14 の正の ADC2B アナログ入力を選択します。負の ADC 入力自動的に選択される設定では、SEQ2B_STEP14_CH_N ビットは無効です。 0000b = V0B 0001b = V1B 0010b = V2B 0011b = V3B 0100b = V4B 0101b = V5B 0110b = V6B 0111b = V7B 1000b = 温度センサ (負の ADC 入力は自動的に選択される) 1001b = AGNDB 内部短絡、入力から切り離される (負の ADC 入力は自動的に選択される) 1010b = テスト DAC A (負の ADC 入力は自動的に選択される) 1011b = AVDD/4 (負の ADC 入力は自動的に選択される) 1100b = IOVDD/4 (負の ADC 入力は自動的に選択される) 1101b = DVDD/2 (負の ADC 入力は自動的に選択される) 1110b = APWR/103 (負の ADC 入力は自動的に選択される) 1111b = DPWR/103 (負の ADC 入力は自動的に選択される) |

8.1.138 SEQ2B_STEP15_CFG レジスタ (アドレス = DFh) [リセット = 000Fh]

概略表に戻ります。

図 8-138. SEQ2B_STEP15_CFG レジスタ

| | | | | | | | |
|-----------------|------------------------|-------------|-------------------|------------------------|----|---|---|
| 15 | 14 | 13 | 12 | 11 | 10 | 9 | 8 |
| SEQ2B_STEP15_EN | SEQ2B_STEP15_GAIN[1:0] | RESERVED | | | | | |
| R/W-0b | R/W-00b | R-00000000b | | | | | |
| 7 | 6 | 5 | 4 | 3 | 2 | 1 | 0 |
| RESERVED | | | SEQ2B_STEP15_CH_N | SEQ2B_STEP15_CH_P[3:0] | | | |
| R-00000000b | | | R/W-0b | R/W-1111b | | | |

表 8-139. SEQ2B_STEP15_CFG レジスタのフィールドの説明

| ビット | フィールド | タイプ | リセット | 概要 |
|-------|------------------------|-----|-----------|--|
| 15 | SEQ2B_STEP15_EN | R/W | 0b | ADC2B シーケンス ステップ 15 の有効化 ADC2B シーケンスのシーケンス ステップ 15 を有効化します。 0b = ディセーブル 1b = イネーブル |
| 14:13 | SEQ2B_STEP15_GAIN[1:0] | R/W | 00b | ADC2B シーケンス ステップ 15 のゲインの選択 シーケンス ステップ 15 の ADC2B のゲインを選択します。 00b = 1 01b = 2 10b = 4 11b = 4 |
| 12:5 | RESERVED | R | 00000000b | 予約済み 常に 00000000b を読み出す。 |
| 4 | SEQ2B_STEP15_CH_N | R/W | 0b | ADC2B シーケンス ステップ 15 負の入力チャネルの選択 シーケンス ステップ 15 の負の ADC2B アナログ入力を選択します。 0b = AGNDB 1b = V7B |
| 3:0 | SEQ2B_STEP15_CH_P[3:0] | R/W | 1111b | ADC2B シーケンス ステップ 15 の正入力チャネルの選択 シーケンス ステップ 15 の正の ADC2B アナログ入力を選択します。負の ADC 入力自動的に選択される設定では、SEQ2B_STEP15_CH_N ビットは無効です。 0000b = V0B 0001b = V1B 0010b = V2B 0011b = V3B 0100b = V4B 0101b = V5B 0110b = V6B 0111b = V7B 1000b = 温度センサ (負の ADC 入力は自動的に選択される) 1001b = AGNDB 内部短絡、入力から切り離される (負の ADC 入力は自動的に選択される) 1010b = テスト DAC A (負の ADC 入力は自動的に選択される) 1011b = AVDD/4 (負の ADC 入力は自動的に選択される) 1100b = IOVDD/4 (負の ADC 入力は自動的に選択される) 1101b = DVDD/2 (負の ADC 入力は自動的に選択される) 1110b = APWR/103 (負の ADC 入力は自動的に選択される) 1111b = DPWR/103 (負の ADC 入力は自動的に選択される) |

8.1.139 ADC3B_CFG レジスタ (アドレス = E0h) [リセット = 8010h]

概略表に戻ります。

図 8-139. ADC3B_CFG レジスタ

| 15 | 14 | 13 | 12 | 11 | 10 | 9 | 8 |
|----------|----------|------------------|----------------|-------------------------|----|-----------------------|---|
| ADC3B_EN | RESERVED | | | GAIN3B[1:0] | | MUX3B[1:0] | |
| R/W-1b | R-000b | | | R/W-00b | | R/W-00b | |
| 7 | 6 | 5 | 4 | 3 | 2 | 1 | 0 |
| RESERVED | | OWD3B_SOURCE_MUX | OWD3B_SINK_MUX | OWD3B_SOURCE_VALUE[1:0] | | OWD3B_SINK_VALUE[1:0] | |
| R-00b | | R/W-0b | R/W-1b | R/W-00b | | R/W-00b | |

表 8-140. ADC3B_CFG レジスタのフィールドの説明

| ビット | フィールド | タイプ | リセット | 概要 |
|-------|-------------------------|-----|------|---|
| 15 | ADC3B_EN | R/W | 1b | ADC3B の有効化 ADC3B を有効にします。 ADC3B が無効化された場合、またはデバイスがスタンバイ モードまたはパワーダウン モードの場合、ADC3B の変換データは 000000h にリセットされます。ADC1B と ADC3B の両方が無効化された場合、変換カウンタ CONV1B_COUNT[1:0] は 00b にリセットされます。 0b = ディセーブル 1b = イネーブル |
| 14:12 | RESERVED | R | 000b | 予約済み 常に 000b を読み出す。 |
| 11:10 | GAIN3B[1:0] | R/W | 00b | ADC3B のゲイン選択 ADC3B のゲイン (FSR =フルスケール範囲) を選択します。 00b = 1 01b = 2 10b = 4 11b = 4 |
| 9:8 | MUX3B[1:0] | R/W | 00b | ADC3B マルチプレクサ チャネルの選択 ADC3B のマルチプレクサ チャネルを選択します。 00b = AINp = VPB、AINn = VNB 01b = AINp = VNB、AINn = VPB 10b = AGNDB 内部短絡。ADC3B から切り離れたアナログ入力 VPB、VNB。 11b = テスト DAC A の出力 |
| 7:6 | RESERVED | R | 00b | 予約済み 常に 00b を読み出す。 |
| 5 | OWD3B_SOURCE_MUX | R/W | 0b | ADC3B 電流源マルチプレクサの選択 ADC3B 電流源のマルチプレクサ チャネルを選択します。 0b = VPB 1b = VNB |
| 4 | OWD3B_SINK_MUX | R/W | 1b | ADC3B 電流シンク マルチプレクサの選択 ADC3B 電流シンクのマルチプレクサ チャネルを選択します。 0b = VPB 1b = VNB |
| 3:2 | OWD3B_SOURCE_VALUE[1:0] | R/W | 00b | ADC3B 電流源値の選択 ADC3B 電流ソースの電流値を選択します。 00b = オフ 01b = 4 μ A 10b = 40 μ A 11b = 240 μ A |
| 1:0 | OWD3B_SINK_VALUE[1:0] | R/W | 00b | ADC3B 電流シンク値の選択 ADC3B 電流シンクの電流値を選択します。 00b = オフ 01b = 4 μ A 10b = 40 μ A 11b = 240 μ A |

8.1.140 ADC3B_OCAL_MSB レジスタ (アドレス = E1h) [リセット = 0000h]

[概略表](#)に戻ります。

図 8-140. ADC3B_OCAL_MSB レジスタ

| | | | | | | | |
|-----------------------|----|----|----|----|----|---|---|
| 15 | 14 | 13 | 12 | 11 | 10 | 9 | 8 |
| OCAL3B[23:8] | | | | | | | |
| R/W-0000000000000000b | | | | | | | |
| 7 | 6 | 5 | 4 | 3 | 2 | 1 | 0 |
| OCAL3B[23:8] | | | | | | | |
| R/W-0000000000000000b | | | | | | | |

表 8-141. ADC3B_OCAL_MSB レジスタのフィールドの説明

| ビット | フィールド | タイプ | リセット | 概要 |
|------|--------------|-----|--------------------------|--|
| 15:0 | OCAL3B[23:8] | R/W | 0000000000000000 000b | ADC3B オフセット較正ビット [23:8] 2 の補数形式で値を提供します。 LSB サイズ = $(2 \times VREFB)/(GAIN3B \times 2^{24})$ |

8.1.141 ADC3B_OCAL_LSB レジスタ (アドレス = E2h) [リセット = 0000h]

[概略表](#)に戻ります。

図 8-141. ADC3B_OCAL_LSB レジスタ

| | | | | | | | |
|---------------|----|----|----|----|----|---|---|
| 15 | 14 | 13 | 12 | 11 | 10 | 9 | 8 |
| OCAL3B[7:0] | | | | | | | |
| R/W-00000000b | | | | | | | |
| 7 | 6 | 5 | 4 | 3 | 2 | 1 | 0 |
| RESERVED | | | | | | | |
| R-00000000b | | | | | | | |

表 8-142. ADC3B_OCAL_LSB レジスタのフィールドの説明

| ビット | フィールド | タイプ | リセット | 概要 |
|------|-------------|-----|-----------|---|
| 15:8 | OCAL3B[7:0] | R/W | 00000000b | ADC3B オフセット校正ビット [7:0] 2 の補数形式で値を提供します。 LSB サイズ = $(2 \times VREFB) / (GAIN3B \times 2^{24})$ |
| 7:0 | RESERVED | R | 00000000b | 予約済み 常に 0x00 を読み出す。 |

8.1.142 ADC3B_GCAL レジスタ (アドレス = E3h) [リセット = 0000h]

[概略表](#)に戻ります。

図 8-142. ADC3B_GCAL レジスタ

| | | | | | | | |
|-----------------------|----|----|----|----|----|---|---|
| 15 | 14 | 13 | 12 | 11 | 10 | 9 | 8 |
| GCAL3B[15:0] | | | | | | | |
| R/W-0000000000000000b | | | | | | | |
| 7 | 6 | 5 | 4 | 3 | 2 | 1 | 0 |
| GCAL3B[15:0] | | | | | | | |
| R/W-0000000000000000b | | | | | | | |

表 8-143. ADC3B_GCAL レジスタのフィールドの説明

| ビット | フィールド | タイプ | リセット | 概要 |
|------|--------------|-----|-------------------|--|
| 15:0 | GCAL3B[15:0] | R/W | 0000000000000000b | ADC3B オフセット校正ビット [15:0] 2 の補数形式で値を提供します。 LSB サイズ = $1/2^{16} = 0.000015$ マッピング: 0111111111111111b = 1.499985 0000000000000001b = 1.000015 0000000000000000b = 1 1111111111111111b = 0.999985 1000000000000000b = 0.5 |

8.1.143 REGISTER_MAP3_CRC レジスタ (アドレス = FEh) [リセット = 0000h]

[概略表](#)に戻ります。

図 8-143. REGISTER_MAP3_CRC レジスタ

| | | | | | | | |
|--------------------------|----|----|----|----|----|---|---|
| 15 | 14 | 13 | 12 | 11 | 10 | 9 | 8 |
| REG_MAP3_CRC_VALUE[15:0] | | | | | | | |
| R/W-0000000000000000b | | | | | | | |
| 7 | 6 | 5 | 4 | 3 | 2 | 1 | 0 |
| REG_MAP3_CRC_VALUE[15:0] | | | | | | | |
| R/W-0000000000000000b | | | | | | | |

表 8-144. REGISTER_MAP3_CRC レジスタのフィールドの説明

| ビット | フィールド | タイプ | リセット | 概要 |
|------|--------------------------|-----|--------------------------|--|
| 15:0 | REG_MAP3_CRC_VALUE[15:0] | R/W | 0000000000000000 000b | セクション 3 のレジスタ マップの CRC 値。 セクション 3 のレジスタ マップの CRC 値。 |

9 アプリケーションと実装

注

以下のアプリケーション情報は、TI の製品仕様に含まれるものではなく、TI ではその正確性または完全性を保証いたしません。個々の目的に対する製品の適合性については、お客様の責任で判断していただくことになります。お客様は自身の設計実装を検証しテストすることで、システムの機能を確認する必要があります。

9.1 アプリケーション情報

9.1.1 未使用入出力

未使用のデバイスピン接続については、以下のガイドラインに従ってください。

- 未使用の ADCxy アナログ入力はすべてフローティングのままにするか、未使用のアナログ入力を AGNDy に接続します。
- デジタル入力として構成している場合は、未使用の GPIO ピン (GPIO0 ~ GPIO4, GPIO0A, GPIO1A, GPIO0B, GPIO1B) を DGND に接続します。デジタル入力がフローティングのままになっていると、過剰な電源電流が発生する可能性があります。
- 内部メイン発振器を使用する場合は、CLK ピンを DGND に接続してください。
- ホストが RESETn ピンを駆動しない場合は、RESETn ピンを IOVDD に接続してください。RESETn ピンには、グラウンドに接続された内部プルダウン抵抗があります。
- DRDYn ピンを使わない場合は未接続のままにするか、弱いプルアップ抵抗を使用して IOVDD に接続します。

9.1.2 最小インターフェイス接続

ADS131B26-Q1 では、ホスト マイコンとの通信に最低 4 つのピンが必要です: CSn、SCLK、SDI と SDO。CSn を永続的に Low に固定することはできません。

以下のピンはオプションですが、これらのピンをホストに接続するとデバイスの動作に役立ちます。

- DRDYn: ADC1A と ADC3A、または ADC1B と ADC3B の新しい変換データを利用可能にするタイミングを正確に判断するのに役立ちます。
- RESETn: SPI 通信が破損している場合 (つまり、リセットコマンドを送信できない場合)、デバイスを回復するには ハードウェアリセットが必要です。RESETn ピンの制御なしでは、デバイスのハードウェアリセットを実行する唯一の方法は、電源を一度オフにしてから再度オンにすることです。
- GPIO: 各種 GPIO ピンで利用可能な各種の特殊機能 (フォルト、MHD、OCCA、OCCB など) は、デバイスまたはシステムのフォルトに対してアラートを送信するのに役立ちます。

9.2 代表的なアプリケーション

このセクションでは、ADS131B26-Q1 を使用した一般的なバッテリー管理システム (BMS) アプリケーション回路について説明します。本デバイスは、この BMS で以下の主な機能を果たします。

- ローサイド電流シャント センサを使用して、高分解能かつ高精度で ADC1A と ADC1B によりバッテリー電流を冗長に測定します
- バッテリーのピーク電流を測定し、過電流や短絡の状態を検出します
- 高電圧分圧抵抗を使用して、ADC3A と ADC3B 経由でバッテリー電流と同時にバッテリーパック電圧を冗長に測定します
- 高電圧抵抗分圧器 (メイン接触器の前後の電圧など) を使用して、ADC2A と ADC2B を使用して BMS 内の他の電圧を測定します
- リニア正温度係数 (PTC) サーミスタである TMP61-Q1 を使用して、ADC2A 経由でシャント温度を測定します
- アナログ出力温度センサ LMT84-Q1 を使用して、ADC2B 経由でシャント温度を冗長に測定します

図 9-1 に、バッテリー管理システム回路設計のフロントエンドを示します。

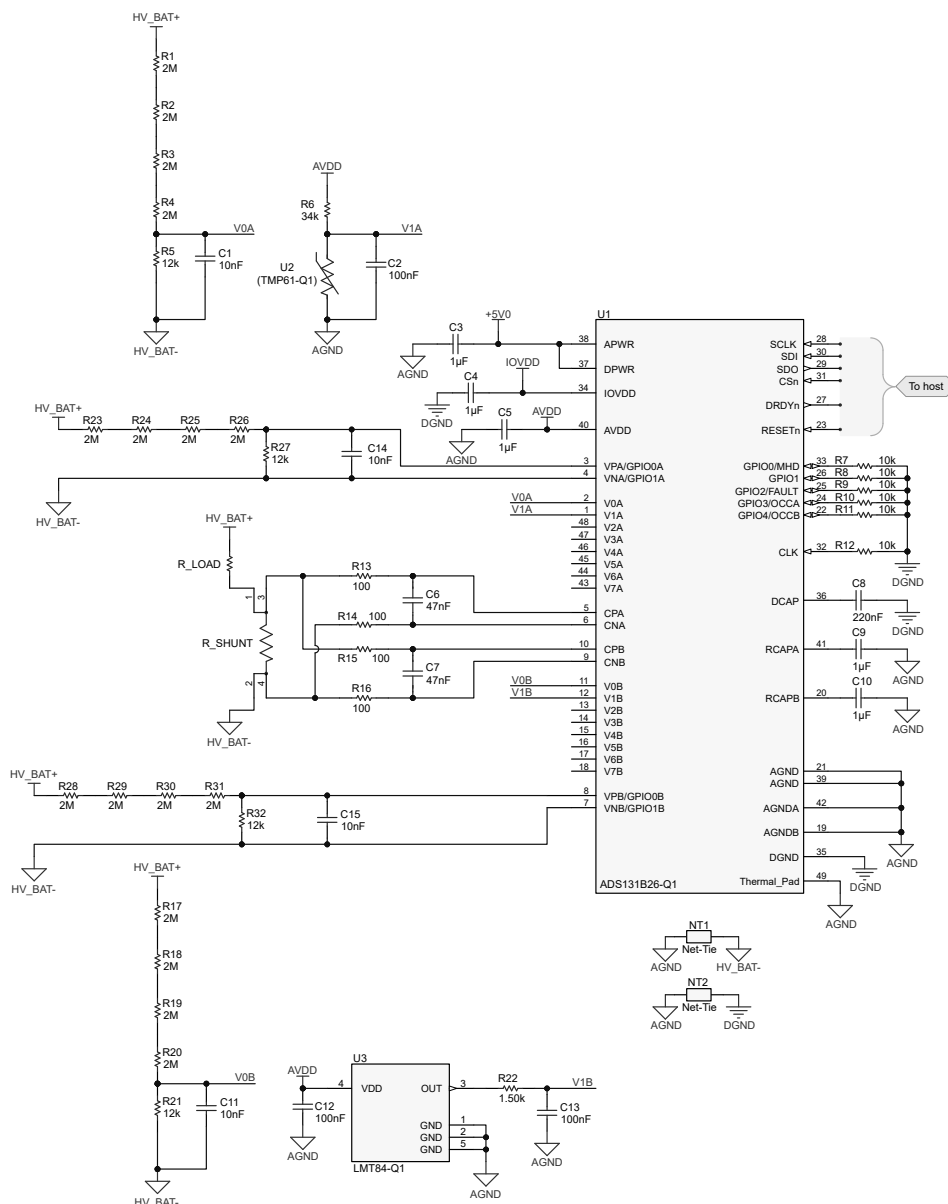


図 9-1. ADS131B26-Q1 を使用した代表的なバッテリー管理システム アプリケーション

9.2.1 設計要件

表 9-1. 設計パラメータ

| 設計パラメータ | 値 |
|----------------------|---------------------|
| 電流の測定 | |
| 電流の測定範囲 | ±3kA |
| 電流シャントの値 | 50μΩ |
| 更新レート | 1ms |
| バッテリー バック電圧測定 | |
| 電圧測定範囲 | 0V ~ 800V |
| シャント温度測定 | |
| 温度の測定範囲 | -40°C ~ +125°C |
| サーミスタの種類 | TMP61-Q1 (10kΩ PTC) |

9.2.2 詳細な設計手順

以下のセクションでは、このアプリケーション例のさまざまな測定のための外付け部品の選択と ADS131B26-Q1 の構成のガイドラインを提供します。

9.2.2.1 電流シャント測定

一般的な BMS アプリケーションでは、バッテリー パックの充電と放電を行うため、シャント抵抗を流れる電流を両方向で測定する必要があります。過電流または短絡状態では、このアプリケーション例で電流は $I_{BAT_MAX} = \pm 3kA$ と最大になることがあります。したがって、シャント両端間の最大電圧降下は $V_{SHUNT} = R_{SHUNT} \times I_{BAT_MAX} = 50\mu\Omega \times \pm 3kA = \pm 150mV$ まで上昇します。

このシャント電圧を測定するには、ADC1A がゲイン= 8 に構成されているため、 $V_{IN1A} = V_{CPA} - V_{CNA} = \pm V_{REFA}/8 = \pm 1.25V/8 = \pm 156mV$ の差動電圧測定が可能になります。デバイスに内蔵されたチャージポンプにより、ユニポーラアナログ電源を使用しながら、AGNDA より 312.5mV 低い電圧を測定できます。シャントの片側が ADS131B26-Q1 の AGNDA ピンと同じ GND 電位に接続されているため、このバイポーラ電圧測定能力が重要です。これは、デバイスが測定する必要がある絶対電圧が AGNDA より 150mV 低いことを意味します。

高精度と分解能を実現しながら 1ms 以内の高速な過電流検出を可能にするため、ADS131B26-Q1 は、グローバルチョップモードを使用して 4kSPS (OSR = 1024) で動作するように構成されています。グローバルチョップモードにより、温度と時間の間の最小オフセットエラーを除去します。これらの設定を使用する変換時間は、式 21 に従って 0.75ms です。入力換算ノイズは、約 $1.28\mu V_{RMS}/\sqrt{2} = 0.91\mu V_{RMS}$ です。グローバルチョップモードセクションの説明を参照してください。したがって、最小 $0.91\mu V_{RMS}/50\mu\Omega = 18mA$ の電流を分解できます。ADS131B26-Q1 をインターフェイスとするマイコンにおいて、より長い時間にわたって変換結果を平均化することで、分解能をさらに向上させることができます。

アナログ入力 (R13、R14、C6) の差動アンチエイリアシングフィルタの-3dB コーナー周波数は、 $1/(2 \times \pi \times 2 \times 100\Omega \times 47nF) = 16.9kHz$ に設定され、ADC1A 変調器の周波数で 40dB 以上の減衰を提供します。直列抵抗の値 (R13 と R14) は小さくし、ADC1A の入力電流に起因して抵抗両端での電圧降下によって発生する追加のオフセット誤差を回避するためです。

ADC1B は、ADC1A と同じ構成で、同じデジタルフィルタ応答でシャント電圧を同時にサンプリングできます。

9.2.2.2 バッテリー バック電圧測定

800V バッテリー パックの電圧は、R₂₃、R₂₄、R₂₅、R₂₆、R₂₇ で構成される高電圧抵抗デバイダを使用することで、ADC3A の電圧範囲に分割されます。この場合は、ゲイン= 1 を ADC3A に使用することで、 $V_{IN3A} = V_{VPA} - V_{VNA} = \pm 1.25V$ の差動電圧測定を可能にします。バッテリー バック電圧の測定値は、VNA が HV_BAT- AGNDA に接続されたユニポーラのシングルエンド測定です。そのため、ADC3A の 0V から 1.25V の電圧範囲のみを使用します。式 23 は 抵抗デバイダ比を計算します。

$$V_{IN3A} / V_{BAT_MAX} = 1.25V / 800V = R_{27} / (R_{23} + R_{24} + R_{25} + R_{26} + R_{27}) \quad (23)$$

この例では、バッテリーが不必要に消費されないように、抵抗デバイスから流れるリーク電流は $100\mu\text{A}$ 以下にする必要があります。したがって、抵抗デバイスの抵抗は、 $R_{\text{TOTAL}} \geq$

$V_{\text{BAT_MAX}}/I_{\text{LEAKAGE}} = 800\text{V}/100\mu\text{A} = 8\text{M}\Omega$ よりも大きくする必要があります。抵抗値の場合、 $R_{23} = R_{24} = R_{25} = R_{26} = 2\text{M}\Omega$ 、また、 $R_{27} = 12\text{k}\Omega$ が選択されます。したがって、 R_{27} の最大電圧は $V_{\text{BAT_MAX}} = 800\text{V}$ の場合で 1.2V となり、ADC3A の最大入力電圧 1.25V までの余裕が残されます。

車載用回路設計で利用できる単一の抵抗の最大抵抗が特定の値に制限される状況は多いです。また、1 本の抵抗が対応できる最大電圧は制限されています。これらの理由から、分圧器のハイサイド抵抗を複数の抵抗 (R_{23} 、 R_{24} 、 R_{25} 、 R_{26}) に分割する理由が挙げられます。もう 1 つの理由は、1 つの抵抗で短絡障害が発生した場合でも、残りの抵抗が引き続き ADC3A のアナログ入力ピン (VPA および VNA) に流れる電流を安全なレベルに制限することができます。

9.2.2.3 その他の電圧測定

ADC2A と ADC2B を使用して、メイン コンタクトの前後の電圧など、BMS 内の他の電圧を測定できます。ADC の構成と抵抗デバイスの選択は、ADC3A と ADC3B を使用したバッテリー バック電圧測定のガイドラインと同じです。

この例では、電圧測定用に ADC2A のアナログ入力 V0A と ADC2B のアナログ入力 V0B を示しています。ADC2A と ADC2B の負のマルチプレクサ チャンネルでは、それぞれ AGNDA と AGNDB を使用しています。

9.2.2.4 シャント温度測定

この例のシャント温度は、アナログ電源 (AVDD) を励起源とする標準的な分圧器構成で、リニア $10\text{k}\Omega$ PTC である TMP61-Q1 を使用して測定されます。PTC 抵抗は 式 25 を使用して計算され、式 24 から求められます。

$$V_{\text{PTC}} = V_{\text{V1A}} - V_{\text{AGNDA}} = \text{AVDD} \times R_{\text{PTC}} / (R_6 + R_{\text{PTC}}) \quad (24)$$

$$R_{\text{PTC}} = R_6 \times V_{\text{PTC}} / (\text{AVDD} - V_{\text{PTC}}) \quad (25)$$

ADC2A でゲイン = 1 を使用し、ADC2A の負のマルチプレクサチャンネルを内部で AGNDA に接続すると、V1A の最大入力電圧は 1.25V に制限されます。したがって、測定対象の温度範囲全体にわたって PTC の値の範囲にわたって V1A の電圧が 1.25V 未満に維持されるように、高精度抵抗の値 R_6 を選択する必要があります。TMP61-Q1 は、最も高い温度 ($+125^\circ\text{C}$) で最大の抵抗値 (約 $18\text{k}\Omega$) となります。次の 式 25 においては、 $R_6 \geq 29.5\text{k}\Omega$ を意味します。AVDD 電源電圧が最大 3.6V まで変動しても、V1A の最大電圧 1.25V を超えないようにするため、 R_6 の値として $34\text{k}\Omega$ が選択されます。

9.2.2.5 アナログ出力温度センサの測定

このアプリケーション例では、アナログ出力温度センサ LMT84-Q1 を使用した冗長シャント温度測定を示します。LMT84-Q1 は温度に比例する電圧を出力し、その電圧は -40°C で 1.247V 、 125°C で 0.332V になります。温度センサの出力電圧はアナログ入力 V1B で ADC2B で直接測定され、ゲイン = 1 を使用して ADC2A の負のマルチプレクサ チャンネルが内部で AGNDB に接続されています。

9.2.3 アプリケーション曲線

図 9-2 は、シャントに 0A の電流が流れる場合の温度に対する電流測定 (ADC1A、ADC1B) の測定精度を示しています。図 9-3 は、シャントの誤差を除いた温度に対する電流測定 (ADC1A、ADC1B) のゲイン誤差を示しています。 25°C で較正されたオフセットとゲイン誤差

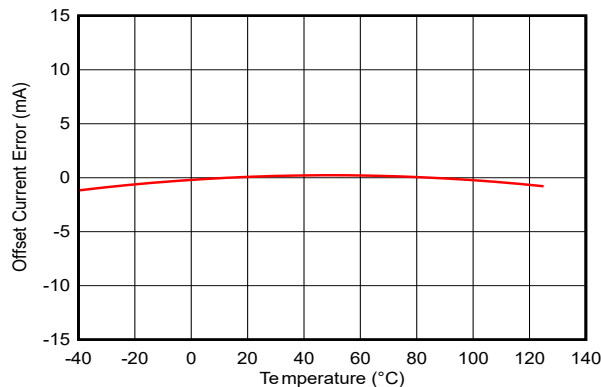


図 9-2. オフセット電流誤差と温度との関係
(ADC1A、ADC1B)

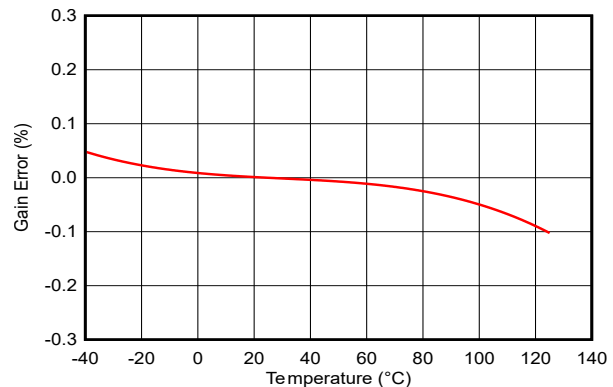


図 9-3. ゲイン誤差と温度との関係
(ADC1A、ADC1B)

9.3 電源に関する推奨事項

9.3.1 電源オプション

図 9-4 に示す ADS131B26-Q1 の電源アーキテクチャを使用すると、各種のアプリケーション要件をサポートするために、デバイスに電力を供給する複数の方法を実現できます。

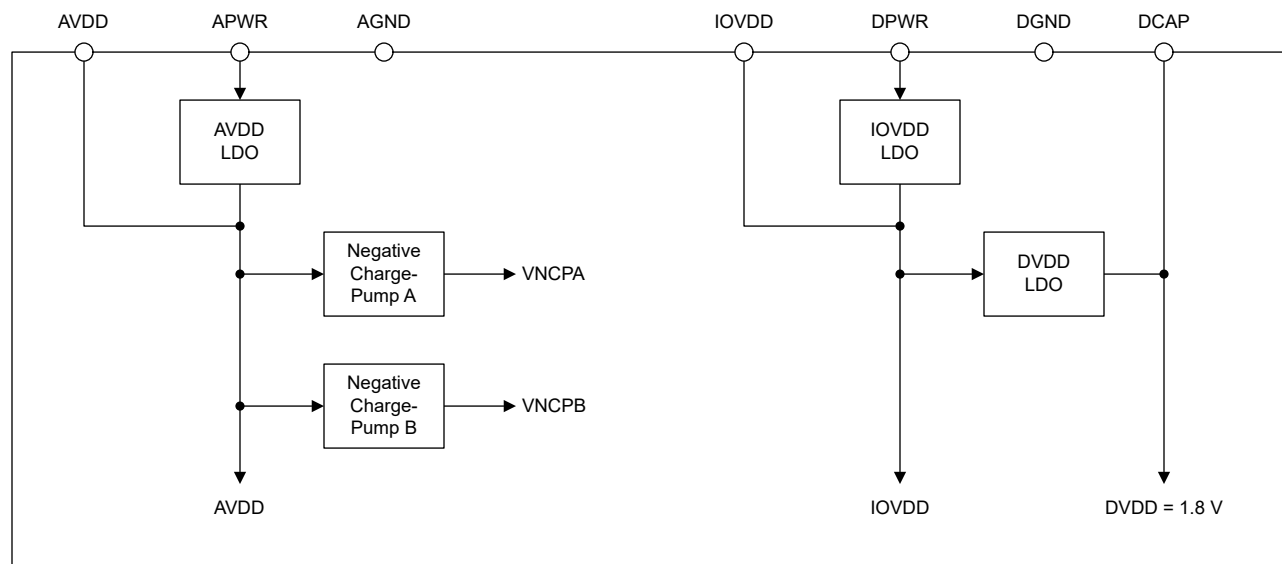


図 9-4. 電源アーキテクチャ

AVDD LDO は、APWR ピン上の 4V ~ 16V の非安定化電圧を受け付け、AVDD ピンから外部回路に電力を供給できる、レギュレートされた 3.3 V AVDD 電源を出力します。AVDD 電源は、デバイスのすべてのアナログ回路に電力を供給します。アプリケーションでレギュレートされた 3.3V 電源が利用可能な場合、AVDD LDO は APWR ピンと AVDD ピンを短絡することでバイパスできます。

セクション A とセクション B の負のチャージポンプは、各 ADC のさまざまなゲインステージに負の電源電圧を供給し、GND 未満の入力電圧を測定できるようにします。

IOVDD LDO は、DPWR ピン上の 4V ~ 16V の非安定化電圧を受け付け、IOVDD ピンから外部回路に電力を供給できる、レギュレートされた 3.3 V IOVDD 電源を出力します。IOVDD 電源は、デバイスのデジタル I/O の電圧を設定します。アプリケーションでレギュレートされた 3.3 - V または 5V 電源が利用可能な場合、DPWR ピンと IOVDD ピンを短絡することで IOVDD LDO をバイパスできます。

DVDD LDO は、デバイスのデジタル コア用の 1.8 V 電源を生成します。

以下のセクションでは、最も一般的に使用される 3 つの外部電源供給オプションを示しますが、他の組み合わせも可能です。

9.3.1.1 単一の非レギュレートされた外部 4V ~ 16V 電源 (3.3V デジタル I/O レベル)

APWR ピンと DPWR ピンの両方に接続された単一の非調整 4V ~ 16V 電源 (図 9-5 を参照) を使用してデバイスに電力を供給できます。この場合、AVDD ピンおよび IOVDD ピンに外部電源は供給されません。AVDD LDO は内部 3.3V AVDD 電源を生成し、IOVDD LDO は 3.3V I/O 電源を生成します。

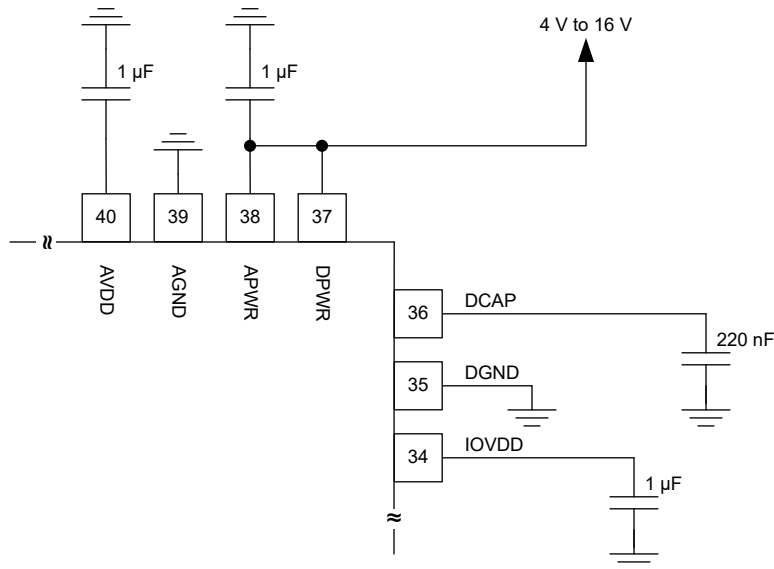


図 9-5. 単一の非レギュレートされた外部 4V ~ 16V 電源

9.3.1.2 単一のレギュレートされた外部 3.3V 電源 (3.3V デジタル IO レベル)

APWR ピンと DPWR ピンの両方に接続された単一のレギュレートされた 3.3V 電源 (図 9-6 を参照) を使用してデバイスに電力を供給できます。この場合、APWR ピンと AVDD ピン、および DPWR ピンと IOVDD ピンを外部で短絡する必要があります。この方法では、AVDD および IOVDD LDO がバイパスされます。外部 3.3V 電源は、AVDD および IOVDD 電源として直接使用できます。

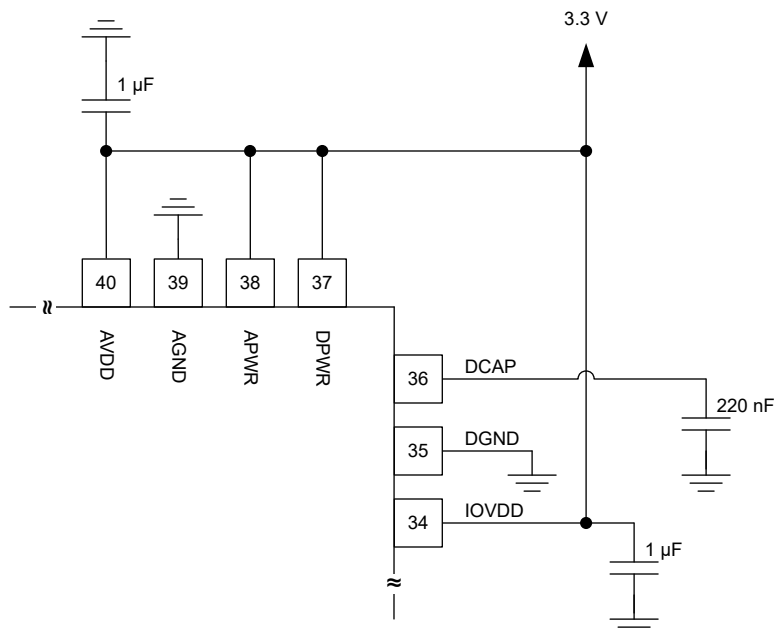


図 9-6. 単一のレギュレートされた外部 3.3V 電源

9.3.1.3 単一のレギュレートされた外部 5V 電源 (5V デジタル I/O レベル)

5V レベルでデジタル I/O を動作させるために、APWR ピンと DPWR ピンの両方に接続された単一のレギュレートされた 5V 電源 (図 9-7 に示すように) を使用してデバイスに電力を供給することができます。この場合、AVDD ピンに外部電源は供給されません。AVDD LDO は、内部 3.3V AVDD 電源を生成します。DPWR ピンと IOVDD ピンは、外部で短絡する必要があります。この方法で IOVDD LDO はバイパスされます。外部 5V 電源は、IOVDD 電源として直接使用されます。

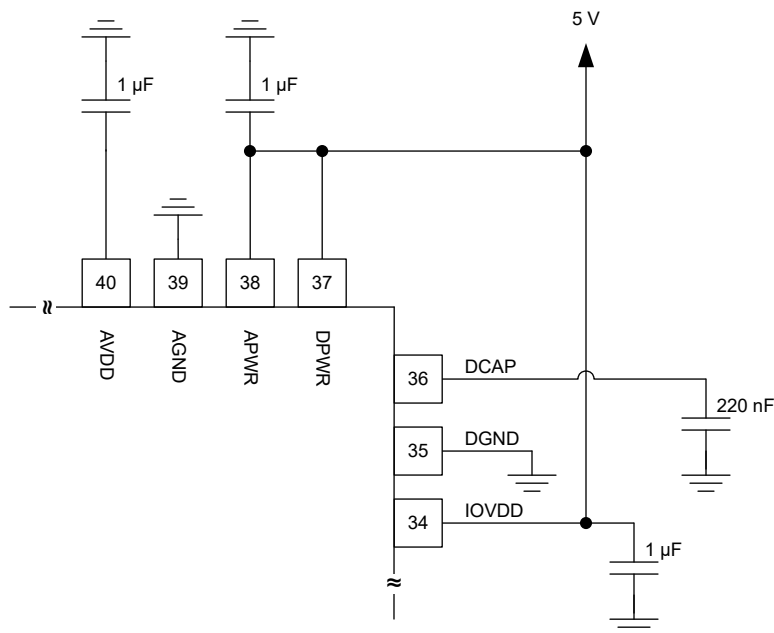


図 9-7. 単一のレギュレートされた外部 5V 電源

9.3.2 電源シーケンス

電源は任意の順序でシーケンスできますが、アナログおよびデジタル入力それぞれのアナログまたはデジタル電源電圧の上限を超えてはいけません。

9.3.3 電源のデカップリング

最適な性能を実現するには、良好な電源デカップリングが重要です。

- APWR および AVDD は、それぞれ 1 μ F コンデンサを使用して AGND とデカップリングする必要があります。APWR と AVDD が互いに短絡している場合は、AVDD ピンの近くに配置した単一の 1 μ F デカップリング コンデンサで十分です。
- DPWR および IOVDD は、それぞれ 1 μ F コンデンサを使用して DGND とデカップリングする必要があります。DPWR と IOVDD が互いに短絡している場合は、IOVDD ピンの近くに配置した単一の 1 μ F デカップリング コンデンサで十分です。デカップリング コンデンサで十分です。
- APWR と DPWR が互いに短絡している場合は、2 つの電源用に 1 つの 1 μ F デカップリング コンデンサで十分です。
- DCAP ピンの DVDD LDO 出力は、DGND に対して 220nF のコンデンサでデカップリングする必要があります。

バイパス コンデンサは、デバイスの電源ピンのできるだけ近くに配置し、低インピーダンスで接続します。電源デカップリング用として、等価直列抵抗 (ESR) および インダクタンス (ESL) が低い特性を持つ、積層セラミック チップ コンデンサ (MLCC) の使用を推奨しています。非常に敏感なシステムや、過酷なノイズ環境のシステムでは、コンデンサとデバイスのピン間の接続にビアの使用を避けることで、ノイズ耐性を改善できる場合があります。並列に複数のビアを使用すると、全体的なインダクタンスが低減でき、さらにグランド プレーンへの接続も改善されます。

9.4 レイアウト

9.4.1 レイアウトのガイドライン



最適な性能を得るために、PCB の 1 層全体をグランド プレーンに割り当て、この層には他の信号配線を行わないでください。ただし、特定の最終製品による制限によっては、専用のグランド プレーンが実用的ではない場合があります。グランド プレーン分離が必要な場合は、デバイスのプレーンを直接接続します。この構成でグランド ループが発生するので、グランド プレーンを複数の場所で接続しないでください。

干渉を最小限に抑えるため、デジタルトレースをすべてのアナログ入力および関連部品から離して配線します。

アナログ入力では C0G コンデンサを使用します。電源デカップリング コンデンサにはセラミック コンデンサ (X7R レベルなど) を使用します。高 K コンデンサ (Y5V) は推奨されません。必要なコンデンサをデバイスのピンにできるだけ近づけて配置します。最適な性能を得るため、バイパス コンデンサのグランド側接続に低インピーダンス接続を使用します。

外部クロックを印加するときは、クロックにオーバーシュートやグリッチがないことを確認してください。多くの場合、クロックバッファのソース端子抵抗を配置すると、オーバーシュートを低減できます。クロック入力にグリッチがあると、変換データ内のノイズにつながる可能性があります。

9.4.2 レイアウト例

 9-8 に、ADS131B26-Q1 のレイアウト例を示します。ここでは、 9-1 の回路の部品を参照しています。一般に、アナログ信号は左に分割され、デジタル信号が右に分割されます。

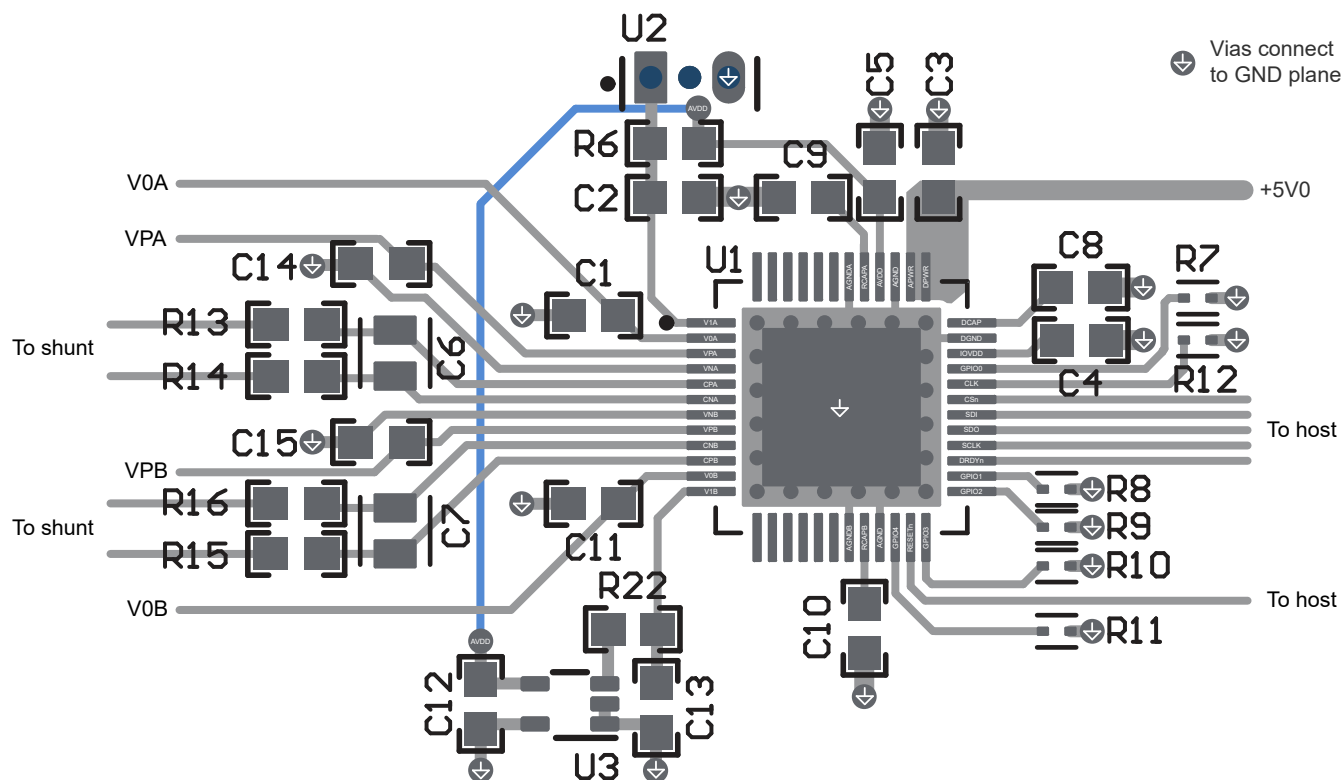


図 9-8. レイアウト例

10 デバイスおよびドキュメントのサポート

テキサス・インスツルメンツは、幅広い開発ツールを提供しています。デバイスの性能の評価、コードの生成、ソリューションの開発を行うためのツールとソフトウェアを以下で紹介します。

10.1 ドキュメントのサポート

10.1.1 関連資料

関連資料については、以下を参照してください。

- テキサス・インスツルメンツ、『TMP61-Q1 車載グレード、 $\pm 1\%$ 10k Ω リニア・サーミスタ』データシート
- テキサス・インスツルメンツ、『LMT84-Q1 車載用グレード、1.5V 対応、10 μ A アナログ出力温度センサ』データシート

10.2 ドキュメントの更新通知を受け取る方法

ドキュメントの更新についての通知を受け取るには、www.tij.co.jp のデバイス製品フォルダを開いてください。[通知] をクリックして登録すると、変更されたすべての製品情報に関するダイジェストを毎週受け取ることができます。変更の詳細については、改訂されたドキュメントに含まれている改訂履歴をご覧ください。

10.3 サポート・リソース

テキサス・インスツルメンツ E2E™ サポート・フォーラムは、エンジニアが検証済みの回答と設計に関するヒントをエキスパートから迅速かつ直接得ることができる場所です。既存の回答を検索したり、独自の質問をしたりすることで、設計に必要な支援を迅速に得ることができます。

リンクされているコンテンツは、各寄稿者により「現状のまま」提供されるものです。これらはテキサス・インスツルメンツの仕様を構成するものではなく、必ずしもテキサス・インスツルメンツの見解を反映したものではありません。テキサス・インスツルメンツの使用条件を参照してください。

10.4 商標

テキサス・インスツルメンツ E2E™ is a trademark of Texas Instruments.

すべての商標は、それぞれの所有者に帰属します。

10.5 静電気放電に関する注意事項



この IC は、ESD によって破損する可能性があります。テキサス・インスツルメンツは、IC を取り扱う際には常に適切な注意を払うことを推奨します。正しい取り扱いおよび設置手順に従わない場合、デバイスを破損するおそれがあります。

ESD による破損は、わずかな性能低下からデバイスの完全な故障まで多岐にわたります。精密な IC の場合、パラメータがわずかに変化するだけで公表されている仕様から外れる可能性があるため、破損が発生しやすくなっています。

10.6 用語集

[テキサス・インスツルメンツ用語集](#) この用語集には、用語や略語の一覧および定義が記載されています。

11 改訂履歴

資料番号末尾の英字は改訂を表しています。その改訂履歴は英語版に準じています。

Changes from JULY 24, 2023 to JANUARY 31, 2025 (from Revision A (July 2023) to Revision B (January 2025))

Page

- | | |
|--|----|
| • AVDD_OTW_CFG[1:0] および IOVDD_OTW_CFG[1:0] レジスタ ビット フィールドの 00b ビット設定の温度値を -60°C に変更しました..... | 84 |
|--|----|

Changes from Revision * (September 2022) to Revision A (July 2023)

Page

- | | |
|--|---|
| • 初の一般公開、ドキュメントのステータスを「事前情報」から「量産データ」に変更 | 1 |
|--|---|

12 メカニカル、パッケージ、および注文情報

以降のページには、メカニカル、パッケージ、および注文に関する情報が記載されています。この情報は、指定のデバイスに使用できる最新のデータです。このデータは、予告なく、このドキュメントを改訂せずに変更される場合があります。本データシートのブラウザ版を使用されている場合は、画面左側の説明をご覧ください。

重要なお知らせと免責事項

テキサス・インスツルメンツは、技術データと信頼性データ (データシートを含みます)、設計リソース (リファレンス デザインを含みます)、アプリケーションや設計に関する各種アドバイス、Web ツール、安全性情報、その他のリソースを、欠陥が存在する可能性のある「現状のまま」提供しており、商品性および特定目的に対する適合性の黙示保証、第三者の知的財産権の非侵害保証を含むいかなる保証も、明示的または黙示的にかかわらず拒否します。

これらのリソースは、テキサス・インスツルメンツ製品を使用する設計の経験を積んだ開発者への提供を意図したものです。(1) お客様のアプリケーションに適した テキサス・インスツルメンツ製品の選定、(2) お客様のアプリケーションの設計、検証、試験、(3) お客様のアプリケーションに該当する各種規格や、その他のあらゆる安全性、セキュリティ、規制、または他の要件への確実な適合に関する責任を、お客様のみが単独で負うものとします。

上記の各種リソースは、予告なく変更される可能性があります。これらのリソースは、リソースで説明されている テキサス・インスツルメンツ製品を使用するアプリケーションの開発の目的でのみ、テキサス・インスツルメンツはその使用をお客様に許諾します。これらのリソースに関して、他の目的で複製することや掲載することは禁止されています。テキサス・インスツルメンツや第三者の知的財産権のライセンスが付与されている訳ではありません。お客様は、これらのリソースを自身で使用した結果発生するあらゆる申し立て、損害、費用、損失、責任について、テキサス・インスツルメンツおよびその代理人を完全に補償するものとし、テキサス・インスツルメンツは一切の責任を拒否します。

テキサス・インスツルメンツの製品は、[テキサス・インスツルメンツの販売条件](#)、または [ti.com](https://www.ti.com) やかかる テキサス・インスツルメンツ製品の関連資料などのいずれかを通じて提供する適用可能な条項の下で提供されています。テキサス・インスツルメンツがこれらのリソースを提供することは、適用されるテキサス・インスツルメンツの保証または他の保証の放棄の拡大や変更を意味するものではありません。

お客様がいかなる追加条項または代替条項を提案した場合でも、テキサス・インスツルメンツはそれらに異議を唱え、拒否します。

郵送先住所: Texas Instruments, Post Office Box 655303, Dallas, Texas 75265
Copyright © 2025, Texas Instruments Incorporated

PACKAGING INFORMATION

| Orderable part number | Status (1) | Material type (2) | Package Pins | Package qty Carrier | RoHS (3) | Lead finish/ Ball material (4) | MSL rating/ Peak reflow (5) | Op temp (°C) | Part marking (6) |
|----------------------------------|---------------|----------------------|------------------|-----------------------|-------------|--------------------------------------|-----------------------------------|--------------|---------------------|
| ADS131B26QPHPRQ1 | Active | Production | HTQFP (PHP) 48 | 1000 LARGE T&R | Yes | NIPDAU | Level-3-260C-168 HR | -40 to 125 | 131B26Q |
| ADS131B26QPHPRQ1.A | Active | Production | HTQFP (PHP) 48 | 1000 LARGE T&R | Yes | NIPDAU | Level-3-260C-168 HR | -40 to 125 | 131B26Q |

⁽¹⁾ **Status:** For more details on status, see our [product life cycle](#).

⁽²⁾ **Material type:** When designated, preproduction parts are prototypes/experimental devices, and are not yet approved or released for full production. Testing and final process, including without limitation quality assurance, reliability performance testing, and/or process qualification, may not yet be complete, and this item is subject to further changes or possible discontinuation. If available for ordering, purchases will be subject to an additional waiver at checkout, and are intended for early internal evaluation purposes only. These items are sold without warranties of any kind.

⁽³⁾ **RoHS values:** Yes, No, RoHS Exempt. See the [TI RoHS Statement](#) for additional information and value definition.

⁽⁴⁾ **Lead finish/Ball material:** Parts may have multiple material finish options. Finish options are separated by a vertical ruled line. Lead finish/Ball material values may wrap to two lines if the finish value exceeds the maximum column width.

⁽⁵⁾ **MSL rating/Peak reflow:** The moisture sensitivity level ratings and peak solder (reflow) temperatures. In the event that a part has multiple moisture sensitivity ratings, only the lowest level per JEDEC standards is shown. Refer to the shipping label for the actual reflow temperature that will be used to mount the part to the printed circuit board.

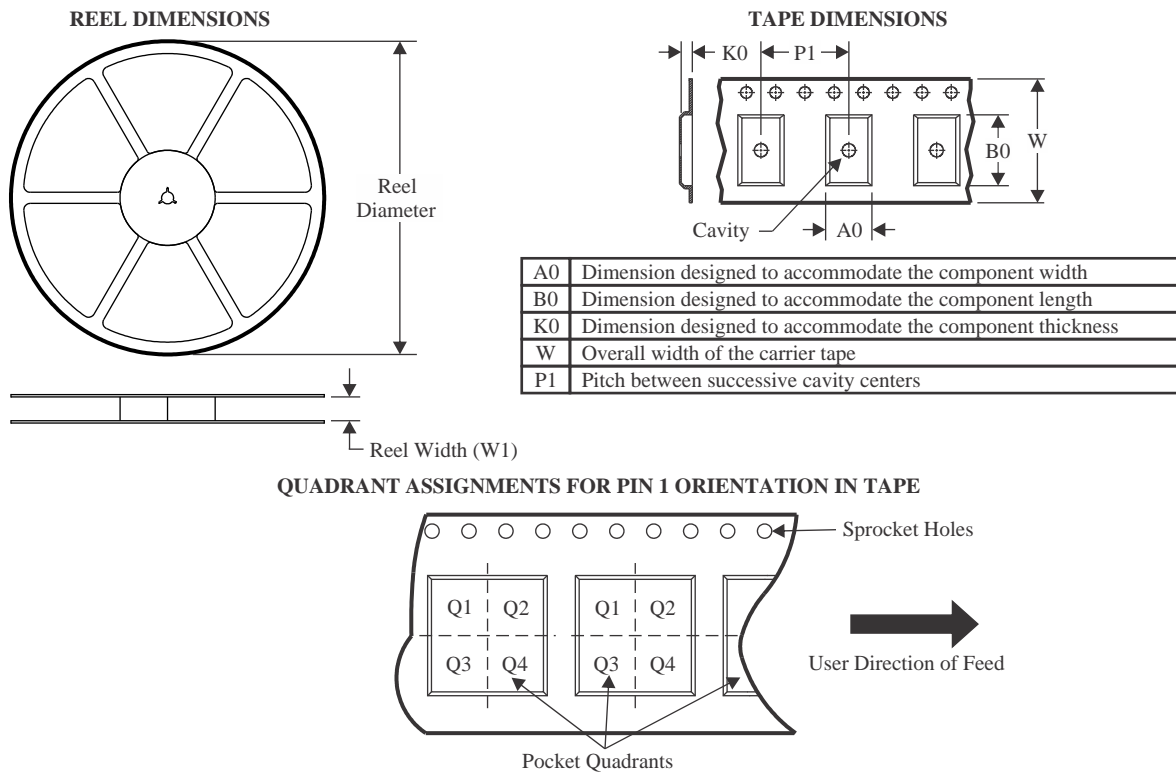
⁽⁶⁾ **Part marking:** There may be an additional marking, which relates to the logo, the lot trace code information, or the environmental category of the part.

Multiple part markings will be inside parentheses. Only one part marking contained in parentheses and separated by a "~" will appear on a part. If a line is indented then it is a continuation of the previous line and the two combined represent the entire part marking for that device.

Important Information and Disclaimer:The information provided on this page represents TI's knowledge and belief as of the date that it is provided. TI bases its knowledge and belief on information provided by third parties, and makes no representation or warranty as to the accuracy of such information. Efforts are underway to better integrate information from third parties. TI has taken and continues to take reasonable steps to provide representative and accurate information but may not have conducted destructive testing or chemical analysis on incoming materials and chemicals. TI and TI suppliers consider certain information to be proprietary, and thus CAS numbers and other limited information may not be available for release.

In no event shall TI's liability arising out of such information exceed the total purchase price of the TI part(s) at issue in this document sold by TI to Customer on an annual basis.

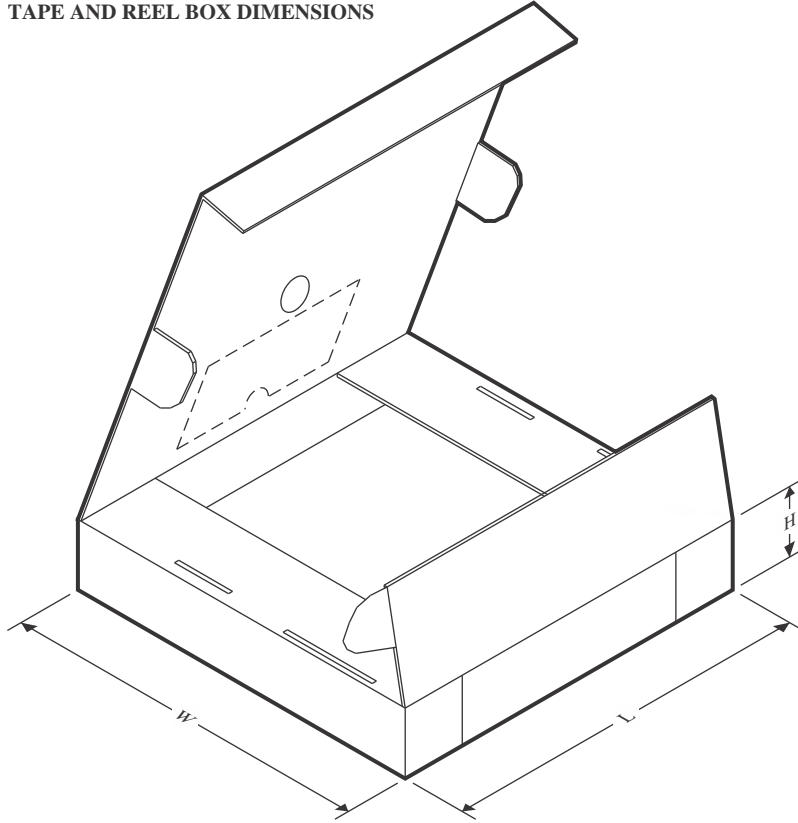
TAPE AND REEL INFORMATION



*All dimensions are nominal

| Device | Package Type | Package Drawing | Pins | SPQ | Reel Diameter (mm) | Reel Width W1 (mm) | A0 (mm) | B0 (mm) | K0 (mm) | P1 (mm) | W (mm) | Pin1 Quadrant |
|------------------|--------------|-----------------|------|------|--------------------|--------------------|---------|---------|---------|---------|--------|---------------|
| ADS131B26QPHPRQ1 | HTQFP | PHP | 48 | 1000 | 330.0 | 16.4 | 9.6 | 9.6 | 1.5 | 12.0 | 16.0 | Q2 |

TAPE AND REEL BOX DIMENSIONS



*All dimensions are nominal

| Device | Package Type | Package Drawing | Pins | SPQ | Length (mm) | Width (mm) | Height (mm) |
|------------------|--------------|-----------------|------|------|-------------|------------|-------------|
| ADS131B26QPHPRQ1 | HTQFP | PHP | 48 | 1000 | 336.6 | 336.6 | 31.8 |

GENERIC PACKAGE VIEW

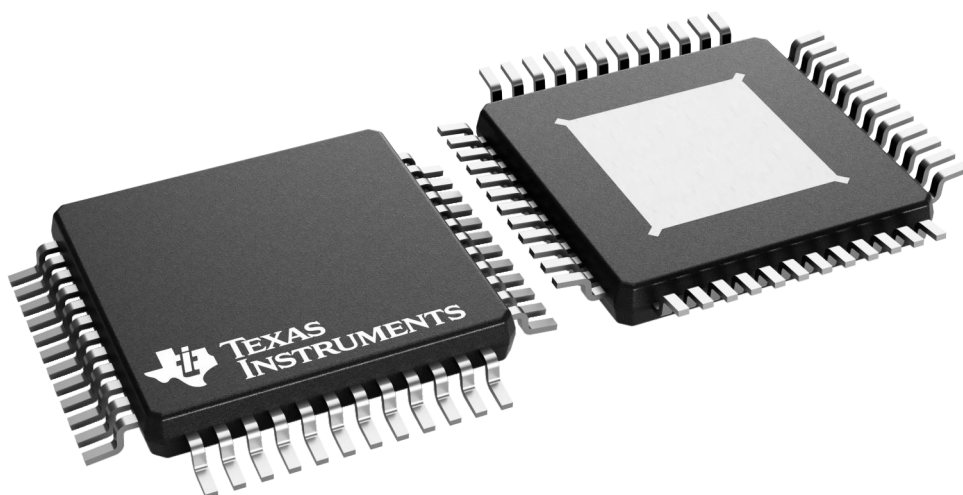
PHP 48

TQFP - 1.2 mm max height

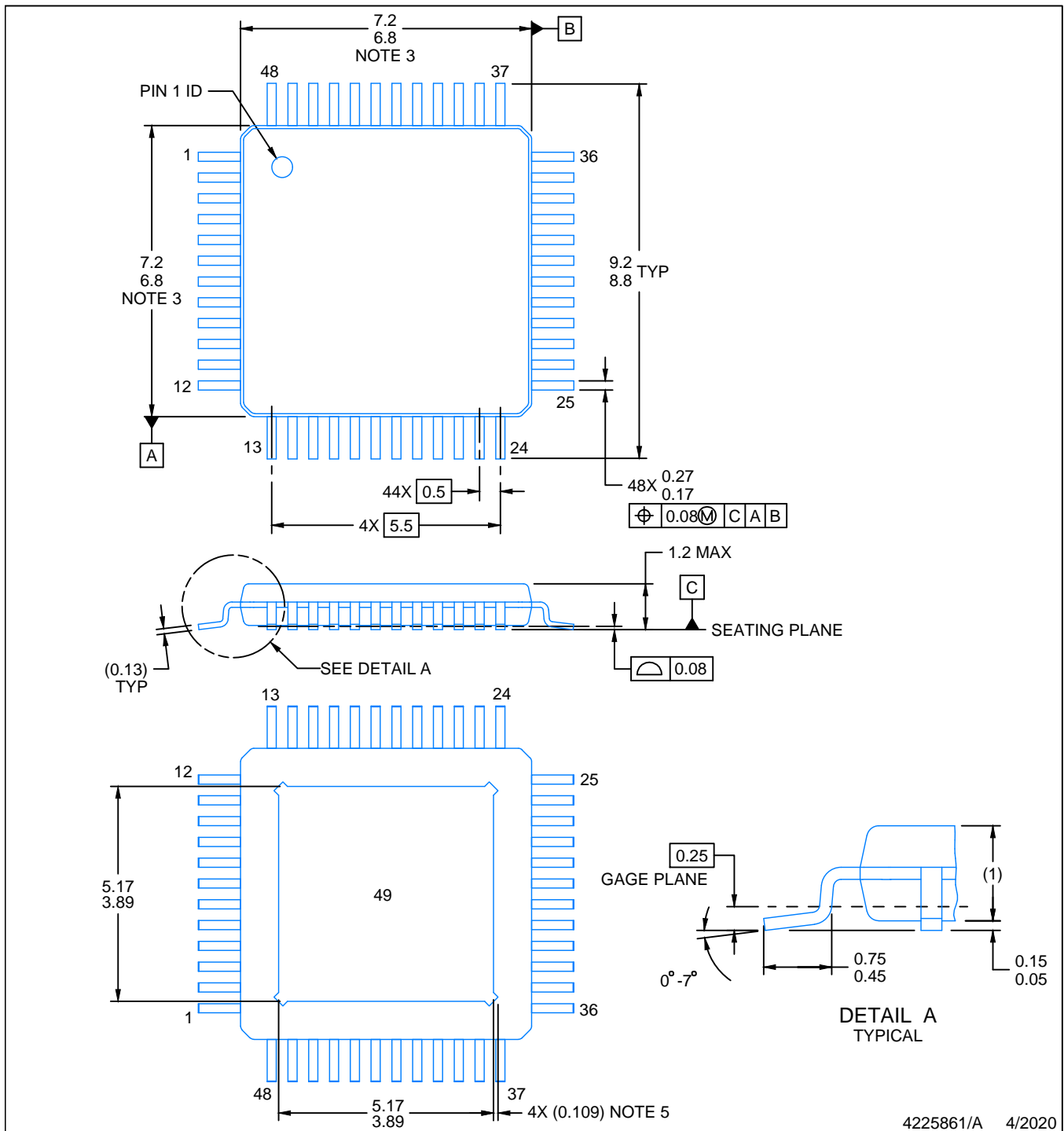
7 x 7, 0.5 mm pitch

QUAD FLATPACK

This image is a representation of the package family, actual package may vary.
Refer to the product data sheet for package details.



4226443/A



4225861/A 4/2020

NOTES:

PowerPAD is a trademark of Texas Instruments.

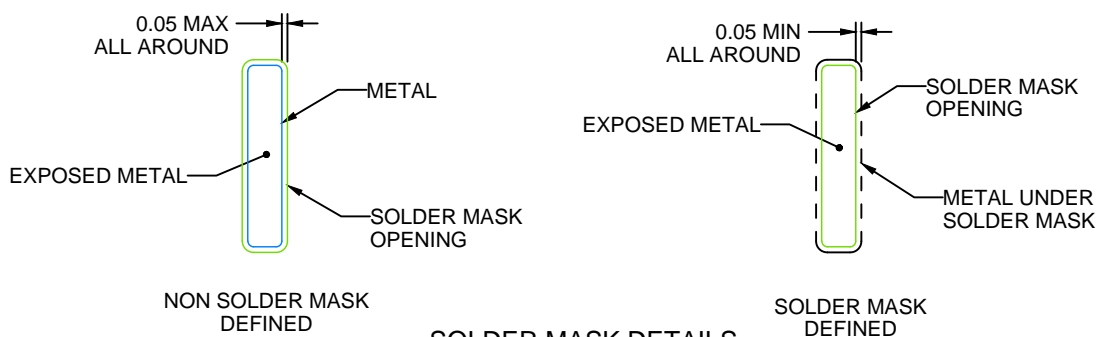
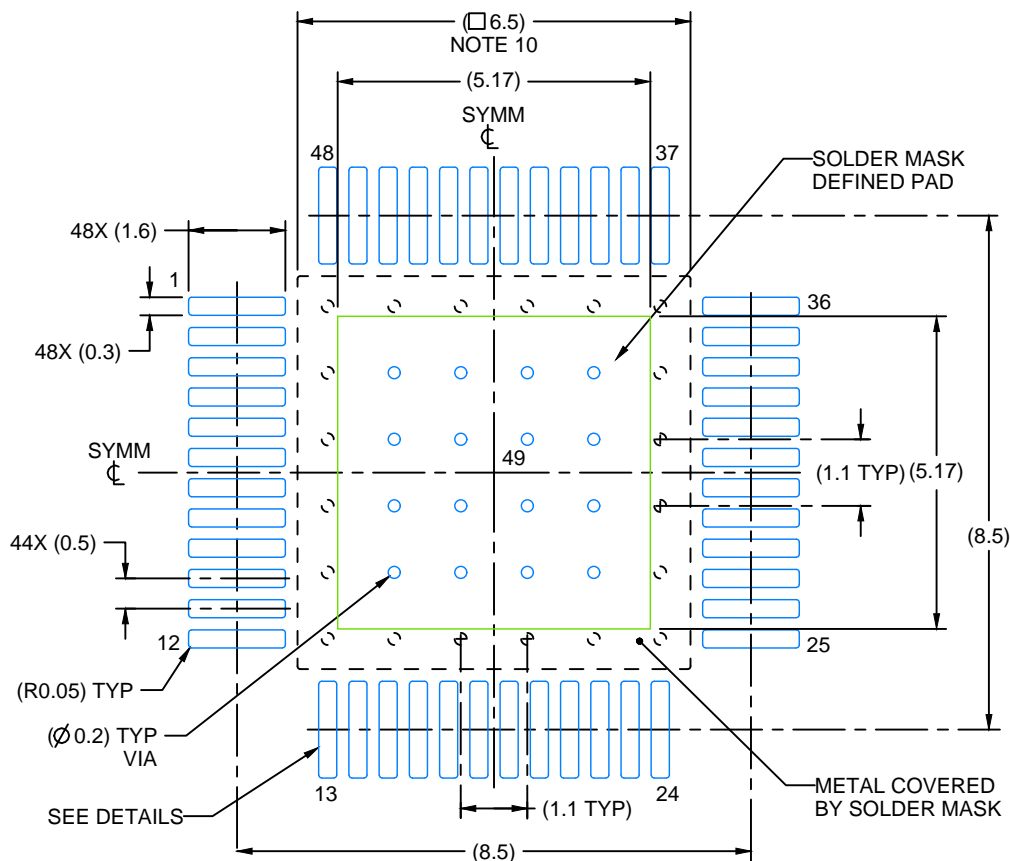
1. All linear dimensions are in millimeters. Any dimensions in parenthesis are for reference only. Dimensioning and tolerancing per ASME Y14.5M.
2. This drawing is subject to change without notice.
3. This dimension does not include mold flash, protrusions, or gate burrs. Mold flash, protrusions, or gate burrs shall not exceed 0.15 mm per side.
4. Reference JEDEC registration MS-026.
5. Feature may not be present.

EXAMPLE BOARD LAYOUT

PHP0048G

PowerPAD™ HTQFP - 1.2 mm max height

PLASTIC QUAD FLATPACK



SOLDER MASK DETAILS

4225861/A 4/2020

NOTES: (continued)

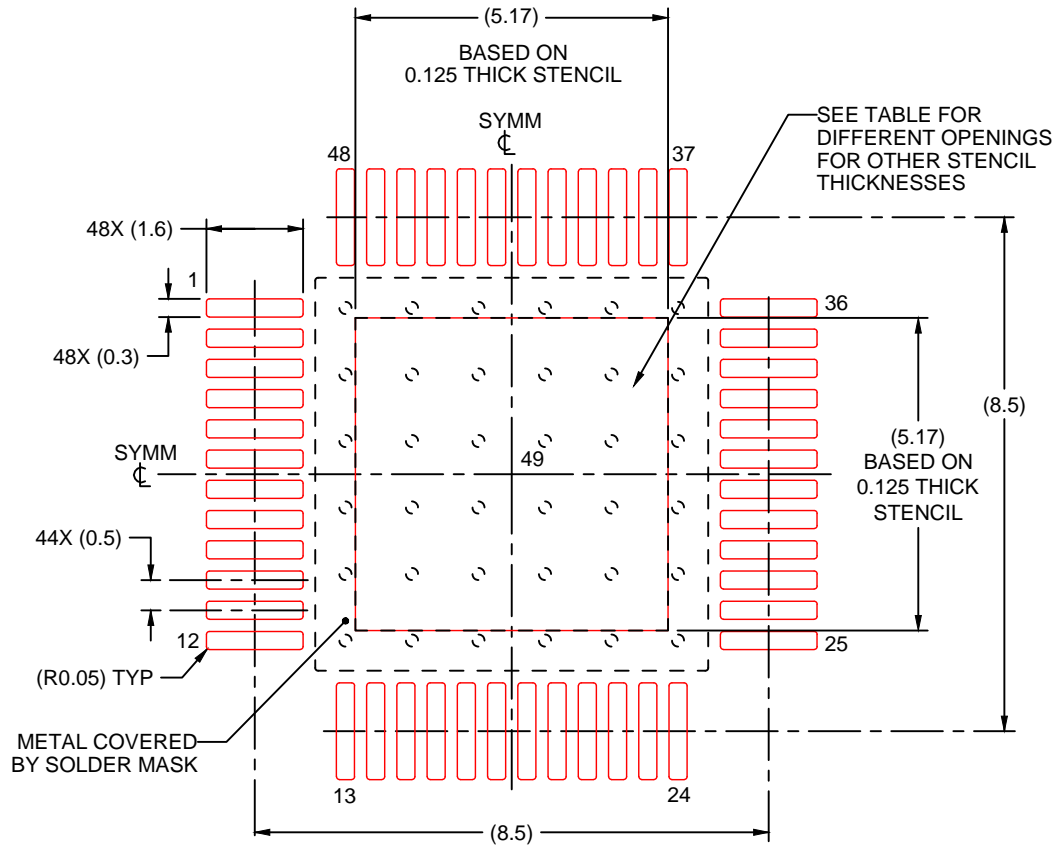
6. Publication IPC-7351 may have alternate designs.
7. Solder mask tolerances between and around signal pads can vary based on board fabrication site.
8. This package is designed to be soldered to a thermal pad on the board. See technical brief, Powerpad thermally enhanced package, Texas Instruments Literature No. SLMA002 (www.ti.com/lit/slma002) and SLMA004 (www.ti.com/lit/slma004).
9. Vias are optional depending on application, refer to device data sheet. It is recommended that vias under paste be filled, plugged or tented.
10. Size of metal pad may vary due to creepage requirement.

EXAMPLE STENCIL DESIGN

PHP0048G

PowerPAD™ HTQFP - 1.2 mm max height

PLASTIC QUAD FLATPACK



SOLDER PASTE EXAMPLE
EXPOSED PAD
100% PRINTED SOLDER COVERAGE BY AREA
SCALE:8X

| STENCIL THICKNESS | SOLDER STENCIL OPENING |
|-------------------|------------------------|
| 0.1 | 5.78 X 5.78 |
| 0.125 | 5.17 X 5.17 (SHOWN) |
| 0.150 | 4.72 X 4.72 |
| 0.175 | 4.37 X 4.37 |

4225861/A 4/2020

NOTES: (continued)

11. Laser cutting apertures with trapezoidal walls and rounded corners may offer better paste release. IPC-7525 may have alternate design recommendations.
12. Board assembly site may have different recommendations for stencil design.

重要なお知らせと免責事項

TI は、技術データと信頼性データ (データシートを含みます)、設計リソース (リファレンス デザインを含みます)、アプリケーションや設計に関する各種アドバイス、Web ツール、安全性情報、その他のリソースを、欠陥が存在する可能性のある「現状のまま」提供しており、商品性および特定目的に対する適合性の黙示保証、第三者の知的財産権の非侵害保証を含むいかなる保証も、明示的または黙示的にかかわらず拒否します。

これらのリソースは、TI 製品を使用する設計の経験を積んだ開発者への提供を意図したものです。(1) お客様のアプリケーションに適した TI 製品の選定、(2) お客様のアプリケーションの設計、検証、試験、(3) お客様のアプリケーションに該当する各種規格や、その他のあらゆる安全性、セキュリティ、規制、または他の要件への確実な適合に関する責任を、お客様のみが単独で負うものとし、TI は一切の責任を拒否します。

上記の各種リソースは、予告なく変更される可能性があります。これらのリソースは、リソースで説明されている TI 製品を使用するアプリケーションの開発の目的でのみ、TI はその使用をお客様に許諾します。これらのリソースに関して、他の目的で複製することや掲載することは禁止されています。TI や第三者の知的財産権のライセンスが付与されている訳ではありません。お客様は、これらのリソースを自身で使用した結果発生するあらゆる申し立て、損害、費用、損失、責任について、TI およびその代理人を完全に補償するものとし、TI は一切の責任を拒否します。

TI の製品は、[TI の販売条件](#)、[TI の総合的な品質ガイドライン](#)、[ti.com](https://www.ti.com) または TI 製品などに関連して提供される他の適用条件に従い提供されます。TI がこれらのリソースを提供することは、適用される TI の保証または他の保証の放棄の拡大や変更を意味するものではありません。TI がカスタム、またはカスタマー仕様として明示的に指定していない限り、TI の製品は標準的なカタログに掲載される汎用機器です。

お客様がいかなる追加条項または代替条項を提案する場合も、TI はそれらに異議を唱え、拒否します。

Copyright © 2025, Texas Instruments Incorporated

最終更新日：2025 年 10 月