



32ビット、高性能デジタルシグマADコンバータ

特長

- 高分解能
 - 130dB SNR (250SPS)
 - 127dB SNR (500SPS)
- 高精度
 - THD: -122dB (Typ)、-115dB (Max)
 - INL: 0.6ppm
- 安定な変調器
(高速応答オーバーレンジ検出付き)
- フレキシブルなデジタル・フィルタ:
 - Sinc + FIR + IIR (選択可能)
 - 線形あるいは最小位相応答
 - プログラマブルなハイパス・フィルタ
 - 選択可能なFIRデータ・レート:
 - 250SPS ~ 4kSPS
- フィルタ・バイパス・オプション
- 低消費電力:
 - 動作時: 12mW
 - シャットダウン時: 10μW
- オフセットおよびゲイン誤差のキャリブレーション・エンジン
- 同期入力
- アナログ電源:
 - 単電源 (+5V) あるいは両電源 (±2.5V)
- デジタル電源: 1.8V ~ 3.3V

アプリケーション

- エネルギー探査
- 地震監視
- 高精度機器

概要

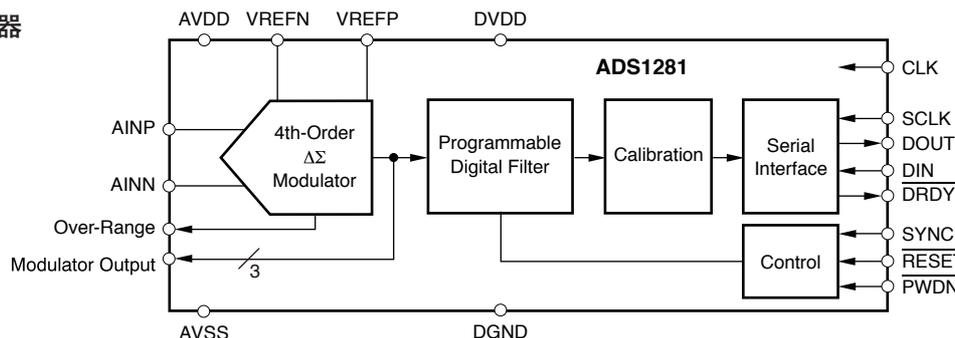
ADS1281は非常に高性能なシングルチップのADコンバータ(ADC)であり、エネルギー探査および地震監視の要求に対して設計されています。シングルチップ設計によって、高実装密度アプリケーションの改善が行われます。

本コンバータでは4次の非常に安定したデルタ・シグマ ($\Delta\Sigma$) 型変調器を使用し、優れたノイズおよび直線性特性を提供しています。この変調器は内蔵のデジタル・フィルタと連結して使用するか、あるいは後処理のフィルタを使用するためバイパスすることができます。

デジタル・フィルタは、sincフィルタ段および有限インパルス応答 (FIR) ローパス・フィルタ段と、それに続く無限インパルス応答 (IIR) ハイパス・フィルタ (HPF) 段で構成されています。選択可能なデシメーション・フィルタにより、250から4000サンプル/秒 (SPS) のデータ・レートが提供されます。また、FIRローパス・フィルタ段により、線形かつ最小の位相応答が提供されます。HPFは調整可能なコーナー周波数を特長としています。内蔵のゲインおよびオフセットのスケールリング・レジスタにより、システム・キャリブレーションがサポートされています。

同期入力 (SYNC) を使用すると、複数のADS1281の変換の同期をとることができます。また、SYNC入力は、変換の連続アラインメントを行うクロック入力を外部の信号源から受け入れます。

変調器およびフィルタで、わずか12mWが消費されます。ADS1281は小型のTSSOP-24パッケージで提供され、-40°Cから+85°Cで仕様が規定され、最大動作温度範囲は+125°Cまでになります。



Gate Drive、PowerPAD は、テキサス・インスツルメンツの商標です。

この資料は、Texas Instruments Incorporated (TI) が英文で記述した資料を、皆様のご理解の一助として頂くために日本テキサス・インスツルメンツ (日本 TI) が英文から和文へ翻訳して作成したものです。資料によっては正規英語版資料の更新に対応していないものがあります。日本 TI による和文資料は、あくまでも TI 正規英語版をご理解頂くための補助的参考資料としてご利用下さい。製品のご検討およびご採用にあたりましては必ず正規英語版の最新資料をご確認下さい。TI および日本 TI は、正規英語版にて更新の情報を提供しているにもかかわらず、更新以前の情報に基づいて発生した問題や障害等につきましては如何なる責任も負いません。



静電気放電対策

静電気放電はわずかな性能の低下から完全なデバイスの故障に至るまで、様々な損傷を与えます。すべての集積回路は、適切なESD保護方法を用いて、取扱いと保存を行うようにして下さい。高精度の集積回路は、損傷に対して敏感であり、極めてわずかなパラメータの変化により、デバイスに規定された仕様に適合しなくなる場合があります。

注文情報

最新のパッケージおよび注文に関する情報は、本文書の巻末の「パッケージ・オプション」附録あるいはTIのウェブサイト www.tij.co.jp もしくは www.ti.com をご覧ください。

絶対最大定格⁽¹⁾

| | ADS1281 | 単位 |
|-----------------|-------------------------|----|
| AVDD (対AVSS) | -0.3 ~ +5.5 | V |
| AVSS (対DGND) | -2.8 ~ +0.3 | V |
| DVDD (対DGND) | -0.3 ~ +3.9 | V |
| 入力電流 | 100,瞬時 | mA |
| 入力電流 | 10,連続 | mA |
| アナログ入力電圧 | AVSS - 0.3 ~ AVDD + 0.3 | V |
| デジタル入力電圧(対DGND) | -0.3 ~ DVDD + 0.3 | V |
| 最大接合部温度 | +150 | °C |
| 動作温度範囲 | -40 ~ +125 | °C |
| 保存温度範囲 | -60 ~ +150 | °C |

(1) 絶対最大定格以上のストレスは、致命的なダメージを製品に与えることがあります。これはストレスの定格のみについて示してあり、このデータシートの「推奨動作条件」に示された値を越える状態での本製品の機能動作は含まれていません。絶対最大定格の状態に長時間置くと、本製品の信頼性に影響を与えることがあります。

電気的特性

特に指定のない限り、最大値と最小値の規定は $T_A = -40^{\circ}\text{C} \sim +85^{\circ}\text{C}$ 、代表値 (TYP) は $+25^{\circ}\text{C}$ 、 $\text{AVDD} = +2.5\text{V}$ 、 $\text{AVSS} = -2.5\text{V}$ 、 $f_{\text{CLK}}^{(1)} = 4.096\text{MHz}$ 、 $\text{VREFP} = +2.5\text{V}$ 、 $\text{VREFN} = -2.5\text{V}$ 、 $\text{DVDD} = +3.3\text{V}$ 、 $f_{\text{DATA}} = 1000\text{SPS}$ 。

| パラメータ | 測定条件 | ADS1281 | | | 単位 | |
|-------------------------------------|---|---|------------------------|--------------------------------|-------------|--------------------------------|
| | | MIN | TYP | MAX | | |
| アナログ入力 | | | | | | |
| フルスケール入力電圧 | $V_{\text{IN}} = \text{AINP} - \text{AINN}$ | | $\pm V_{\text{REF}}/2$ | | V | |
| 絶対入力範囲 | AINP or AINN | $\text{AVSS} - 0.1$ | | $\text{AVDD} + 0.1$ | V | |
| 差動入力インピーダンス | | | 55 | | k Ω | |
| AC特性 | | | | | | |
| 信号対ノイズ比 ⁽²⁾ | SNR | $f_{\text{DATA}} = 250\text{SPS}$ | | 130 | dB | |
| | | $f_{\text{DATA}} = 500\text{SPS}$ | | 127 | | |
| | | $f_{\text{DATA}} = 1000\text{SPS}$ | 120 | 124 | | |
| | | $f_{\text{DATA}} = 2000\text{SPS}$ | | 121 | | |
| | | $f_{\text{DATA}} = 4000\text{SPS}$ | | 118 | | |
| 全高調波歪み | THD | | -122 | -115 | dB | |
| スプリアス・フリー・ダイナミック・レンジ ⁽³⁾ | SFDR | $V_{\text{IN}} = 31.25\text{Hz}, -0.5\text{dBFS}$ | | 123 | dB | |
| DC特性 | | | | | | |
| 分解能 | ノー・ミッシング・コード | | 31 | | Bits | |
| データ・レート | f_{DATA} | FIRフィルタ・モード | 250 | 4000 | SPS | |
| | | Sincフィルタ・モード | 8,000 | 128,000 | SPS | |
| 積分非直線性 ⁽⁴⁾ | INL | 差動入力 | | 0.00006 | 0.0005 | % FSR ⁽⁵⁾ |
| オフセット誤差 | | 入力短絡 | | 10 | 200 | μV |
| キャリブレーション後のオフセット誤差 ⁽⁶⁾ | | | | 1 | | μV |
| オフセット・ドリフト | | | | 0.06 | | $\mu\text{V}/^{\circ}\text{C}$ |
| ゲイン誤差 | | | | 0.1 | 0.3 | % |
| キャリブレーション後のゲイン誤差 ⁽⁶⁾ | | | | 0.0002 | | % |
| ゲイン・ドリフト | | | | 0.4 | | ppm/ $^{\circ}\text{C}$ |
| 同相除去比 | | $f_{\text{CM}} = 60\text{Hz}$ | 105 | 120 | | dB |
| 電源除去比 | AVDD, AVSS | $f_{\text{PS}} = 60\text{Hz}$ | 85 | 95 | | dB |
| | DVDD | | 85 | 105 | | |
| FIRデジタル・フィルタ応答 | | | | | | |
| 通過帯域リップル | | | | | ± 0.003 | dB |
| 通過帯域 (-0.01dB) | | | | $0.375 \times f_{\text{DATA}}$ | | Hz |
| 阻止帯域減衰 ⁽⁷⁾ | | | 135 | | | dB |
| 阻止帯域 | | | | $0.500 \times f_{\text{DATA}}$ | | Hz |
| 帯域幅 (-3dB) | | | | $0.413 \times f_{\text{DATA}}$ | | Hz |
| 群遅延 | | FIRフィルタ、最小位相 | | $5/f_{\text{DATA}}$ | | s |
| | | FIRフィルタ、線形位相 | | $31/f_{\text{DATA}}$ | | |
| セトリング・タイム (レイテンシ) | | FIRフィルタ、最小位相 | | $10/f_{\text{DATA}}$ | | s |
| | | FIRフィルタ、線形位相 | | $62/f_{\text{DATA}}$ | | |
| ハイパス・フィルタ・コーナー周波数 | | | 0.1 | | 10 | Hz |

(1) f_{CLK} はシステム・クロックです。

(2) $\text{SNR} = \text{信号対ノイズ比} = 20 \times \log (V_{\text{RMS}} \text{ フルスケール} / V_{\text{RMS}} \text{ ノイズ})$, $V_{\text{IN}} = 20\text{mV}_{\text{DC}}$ 。

(3) 高調波を含む最大スプリアス成分。

(4) 最適ライン・フィッティング法。

(5) $\text{FSR} = \text{フルスケール範囲} = \pm V_{\text{REF}}/2$

(6) キャリブレーション精度は、ノイズが1/4に減じる程度 (キャリブレーションは16回の読み取り値の平均) です。

(7) $N \times f_{\text{CLK}}/512 \pm f_{\text{DATA}}/2$ ($N=1, 2, 3, \dots$) の範囲の入力周波数は、変調器のチョッピング・クロックとミキシングできます。これらの周波数範囲では、相互変調=120dB (標準) です。

電気的特性 (続き)

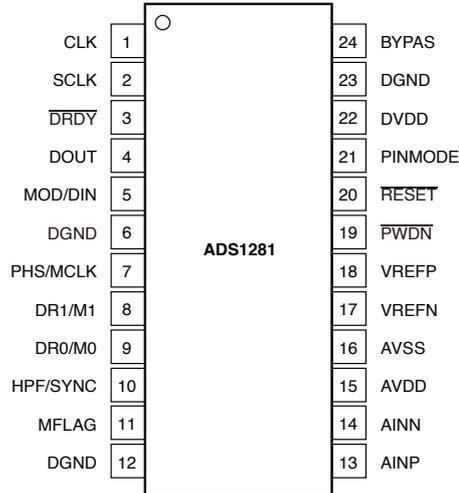
特に指定のない限り、最大値と最小値の規定は $T_A = -40^{\circ}\text{C} \sim +85^{\circ}\text{C}$ 、代表値 (TYP) は $+25^{\circ}\text{C}$ 、 $\text{AVDD} = +2.5\text{V}$ 、 $\text{AVSS} = -2.5\text{V}$ 、 $f_{\text{CLK}}^{(1)} = 4.096\text{MHz}$ 、 $\text{VREFP} = +2.5\text{V}$ 、 $\text{VREFN} = -2.5\text{V}$ 、 $\text{DVDD} = +3.3\text{V}$ 、 $f_{\text{DATA}} = 1000\text{SPS}$ 。

| パラメータ | 測定条件 | ADS1281 | | | 単位 |
|--|---|--------------------------|-----|-------------------------------------|---------------|
| | | MIN | TYP | MAX | |
| リファレンス入力 | | | | | |
| リファレンス電圧入力 $V_{\text{REF}} = \text{VREFP} - \text{VREFN}$ | | 0.5 | 5 | $(\text{AVDD} - \text{AVSS}) + 0.2$ | V |
| 負リファレンス入力 | VREFN | $\text{AVSS} - 0.1$ | | $\text{VREFP} - 0.5$ | V |
| 正リファレンス入力 | VREFP | $\text{VREFN} + 0.5$ | | $\text{AVDD} + 0.1$ | V |
| リファレンス入力インピーダンス | | | 85 | | k Ω |
| デジタル入力/出力 | | | | | |
| V_{IH} | | $0.8 \times \text{DVDD}$ | | DVDD | V |
| V_{IL} | | DGND | | $0.2 \times \text{DVDD}$ | V |
| V_{OH} | $I_{\text{OH}} = 1\text{mA}$ | $0.8 \times \text{DVDD}$ | | | V |
| V_{OL} | $I_{\text{OL}} = 1\text{mA}$ | | | $0.2 \times \text{DVDD}$ | V |
| 入力リーク電流 | $0 < V_{\text{DIGITAL IN}} < \text{DVDD}$ | | | ± 10 | μA |
| クロック入力 | f_{CLK} | 1 | | 4.096 | MHz |
| 電源 | | | | | |
| AVSS | | -2.6 | | 0 | V |
| AVDD | | $\text{AVSS} + 4.75$ | | $\text{AVSS} + 5.25$ | V |
| DVDD | | 1.65 | | 3.6 | V |
| AVDD, AVSS電流 | 動作モード | | 2 | 3 | mA |
| | スタンバイ・モード | | 1 | 15 | μA |
| | パワーダウン・モード | | 1 | 15 | μA |
| DVDD電流 | 動作モード | | 0.6 | 0.8 | mA |
| | 変調器モード | | 0.1 | | mA |
| | スタンバイ・モード | | 25 | 50 | μA |
| | パワーダウン・モード ⁽⁸⁾ | | 1 | 15 | μA |
| 電力消費 | 動作モード | | 12 | 18 | mW |
| | スタンバイ・モード | | 90 | 250 | μW |
| | パワーダウン・モード | | 10 | 150 | μW |

(8) CLK入力停止。

デバイス情報

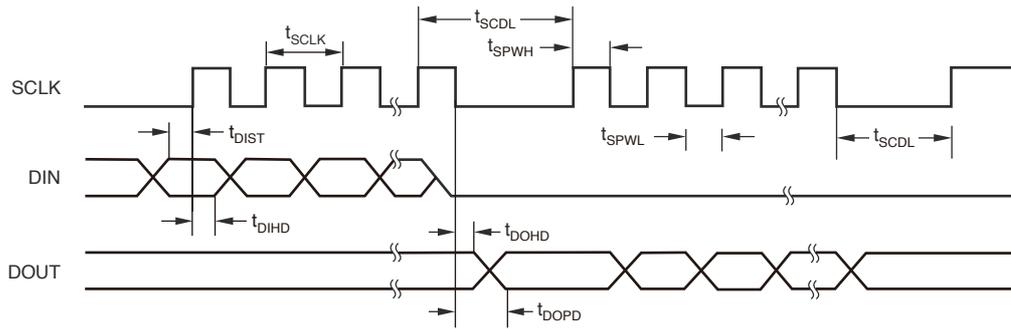
TSSOP-24 (上面図)



ピン構成

| 名称 | ピン番号 | 端子機能 | 説明 | |
|----------|-----------|------------|--|---|
| | | | 端子モード (PINMODE = 1) | レジスタ・モード (PINMODE = 0) |
| CLK | 1 | デジタル入力 | マスター・クロック入力 | マスター・クロック入力 |
| SCLK | 2 | デジタル入力 | SPIシリアル・クロック入力 | SPIシリアル・クロック入力 |
| DRDY | 3 | デジタル出力 | データ・レディ出力:この立ち下がりエッジでデータを読む。 | データ・レディ出力:この立ち下がりエッジでデータを読む。 |
| DOUT | 4 | デジタル出力 | SPIシリアル・データ出力 | SPIシリアル・データ出力 |
| MOD/DIN | 5 | デジタル入力 | MOD: 0 = デジタル・フィルタ・モード、 1 = フィルタ・バイパス (変調器出力) | DIN: SPI シリアル・データ入力 |
| PHS/MCLK | 7 | デジタル入出力 | (MOD = 0) PHS: 0 = 線形位相フィルタ、1 = 最小位相フィルタ (MOD = 1) MCLK: 変調器クロック出力 | 変調器モードの場合: MCLK: 変調器クロック出力 変調器モード以外の場合: 本端子は非使用入力 (プルアップまたはプルダウン、オープン禁止。) |
| DR1/M1 | 8 | デジタル入出力 | (MOD = 0) DR1 = データ・レート選択入力1、 (MOD = 1) M1 = 変調器データ出力1 | 変調器モードの場合: M1: 変調器データ出力1 変調器モード以外の場合: 本端子は非使用入力 (プルアップまたはプルダウン、オープン禁止。) |
| DR0/M0 | 9 | デジタル入出力 | (MOD = 0) DR0 = データ・レート選択入力0、 (MOD = 1) M0 = 変調器データ出力0 | 変調器モードの場合: M0: 変調器データ出力0 変調器モード以外の場合: 本端子は非使用入力 (プルアップまたはプルダウン、オープン禁止。) |
| HPF/SYNC | 10 | デジタル入力 | (MOD=0) HPF: 0=ハイパス・フィルタをオフ、 1=ハイパス・フィルタをオン (MOD=1) SYNC=同期入力 | SYNC: 同期入力 |
| MFLAG | 11 | デジタル出力 | 変調器オーバーレンジ・フラグ: 0=通常範囲,1=変調器オーバーレンジ | 変調器オーバーレンジ・フラグ: 0=通常範囲,1=変調器オーバーレンジ |
| DGND | 6, 12, 23 | デジタル・グラウンド | デジタル・グラウンド、12ピンは主接地点 | デジタル・グラウンド、12ピンは主接地点 |
| AINP | 13 | アナログ入力 | 正アナログ入力 | 正アナログ入力 |
| AINN | 14 | アナログ入力 | 負アナログ入力 | 負アナログ入力 |
| AVDD | 15 | アナログ電源 | 正アナログ電源 | 正アナログ電源 |
| AVSS | 16 | アナログ電源 | 負アナログ電源 | 負アナログ電源 |
| VREFN | 17 | アナログ入力 | 負リファレンス入力 | 負リファレンス入力 |
| VREFP | 18 | アナログ入力 | 正リファレンス入力 | 正リファレンス入力 |
| PWDN | 19 | デジタル入力 | パワーダウン入力、“Low” アクティブ | パワーダウン入力、“Low” アクティブ |
| RESET | 20 | デジタル入力 | 同期入力 | リセット入力 |
| PINMODE | 21 | デジタル入力 | 1 = 端子モード | 0 = レジスタ・モード |
| DVDD | 22 | デジタル電源 | デジタル電源: +1.8V to +3.3V | デジタル電源: +1.8V to +3.3V |
| BYPAS | 24 | コンデンサ・バイパス | デジタル・コアのバイパス:1μFコンデンサをGNDと接続 | デジタル・コアのバイパス:1μFコンデンサをGNDと接続 |

タイミング図



タイミング条件

特に指定のない限り、 $T_A = -40^{\circ}\text{C} \sim +85^{\circ}\text{C}$ 、 $\text{DVDD} = 1.65\text{V} \sim 3.6\text{V}$ 。

| パラメータ | 説明 | MIN | MAX | 単位 |
|----------------------|--|-----|-----|--------------------|
| t_{SCLK} | SCLK周期 | 2 | 16 | $1/f_{\text{CLK}}$ |
| $t_{\text{SPWH, L}}$ | SCLKパルス幅の“High”および“Low” ⁽¹⁾ | 0.8 | 10 | $1/f_{\text{CLK}}$ |
| t_{DIST} | セットアップ・タイム：DIN有効からSCLK立ち上がりエッジまで | 50 | | ns |
| t_{DIHD} | ホールド・タイム：SCLK立ち上がりエッジからDIN無効まで | 50 | | ns |
| t_{DOPD} | 伝播遅延：SCLK立ち下がりエッジから新しい有効DOUTまで ⁽²⁾ | | 100 | ns |
| t_{DOHD} | ホールド・タイム：SCLK立ち下がりエッジからDOUT無効まで | 0 | | ns |
| t_{SCDL} | 命令の最終SCLK立ち上がりエッジから、レジスタ・リード/ライト・データの最初のSCLK立ち上がりエッジまで（連続した命令間も含む） | 24 | | $1/f_{\text{CLK}}$ |

- (1) 64個の $\overline{\text{DRDY}}$ 立ち下がりエッジの間SCLKを“Low”に保つと、SPIインターフェイスがリセットされます。
 (2) DOUTの負荷 = 20pF // 100k Ω

代表的特性

特に指定のない限り、 $T_A = +25^\circ\text{C}$ 、 $AVDD = +2.5\text{V}$ 、 $AVSS = -2.5\text{V}$ 、 $f_{\text{CLK}} = 4.096\text{MHz}$ 、 $V_{\text{REFP}} = +2.5\text{V}$ 、 $V_{\text{REFN}} = -2.5\text{V}$ 、 $DVDD = +3.3\text{V}$ 、 $f_{\text{DATA}} = 1000\text{SPS}$ 。

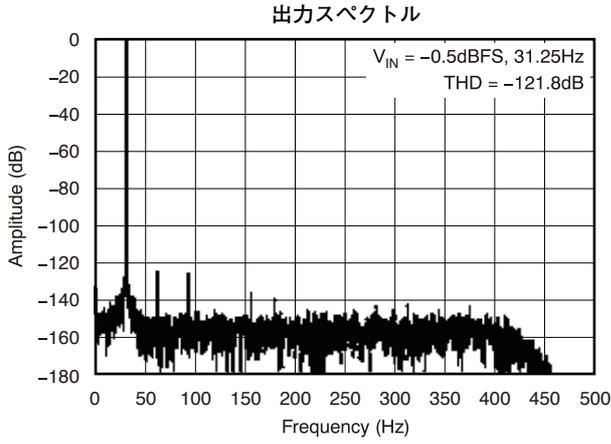


図1

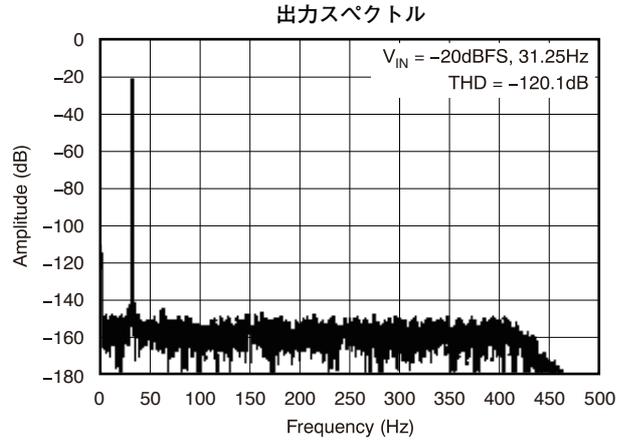


図2

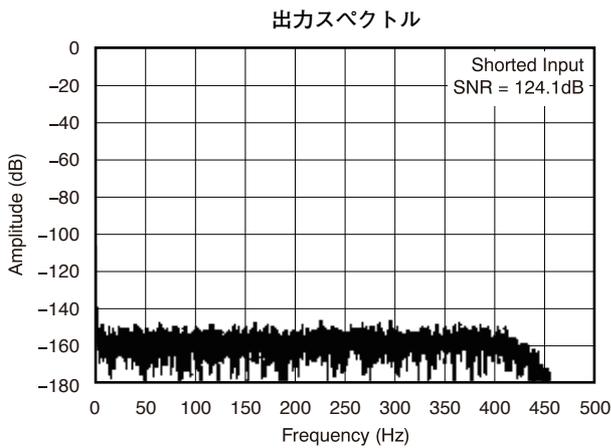


図3

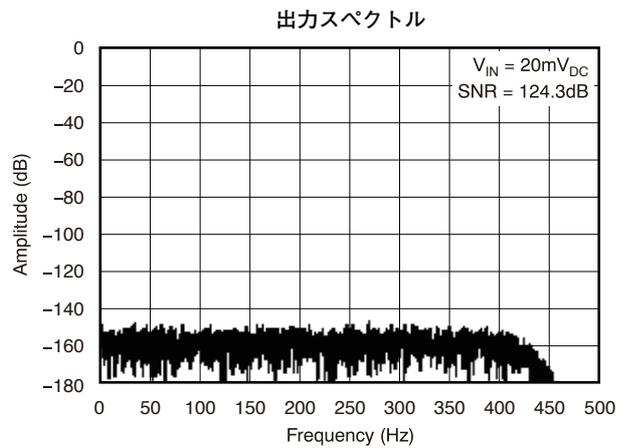


図4

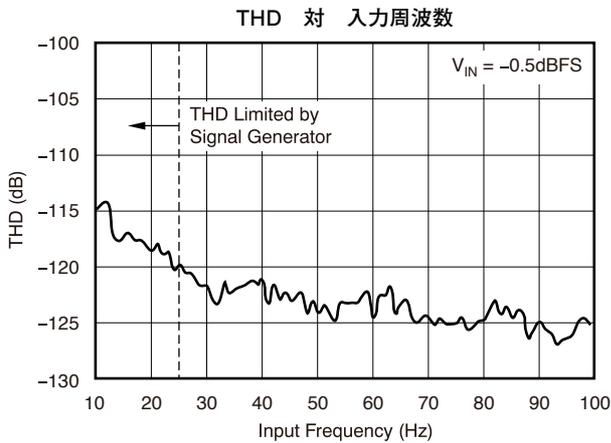


図5

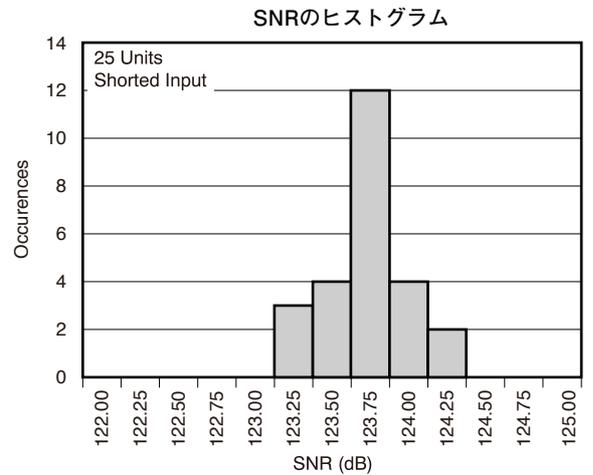


図6

代表的特性 (続き)

特に指定のない限り、 $T_A = +25^\circ\text{C}$ 、 $AVDD = +2.5\text{V}$ 、 $AVSS = -2.5\text{V}$ 、 $f_{\text{CLK}} = 4.096\text{MHz}$ 、 $V_{\text{REFP}} = +2.5\text{V}$ 、 $V_{\text{REFN}} = -2.5\text{V}$ 、 $DVDD = +3.3\text{V}$ 、 $f_{\text{DATA}} = 1000\text{SPS}$ 。

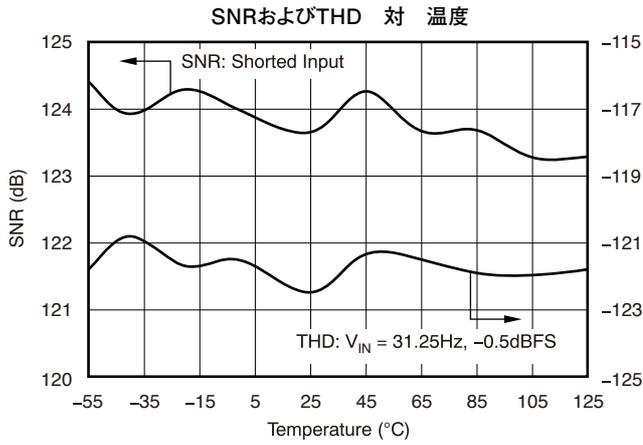


図7

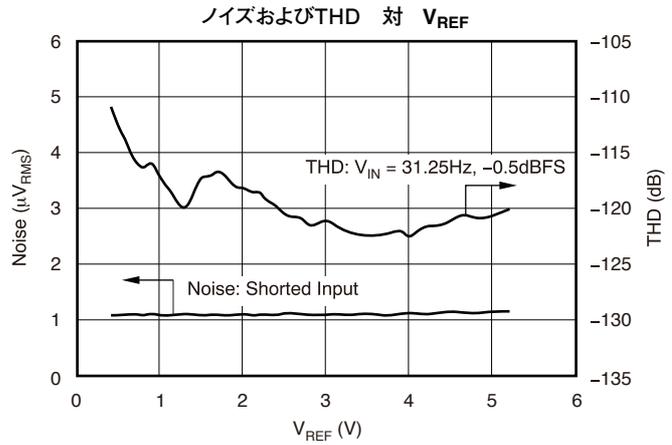


図8

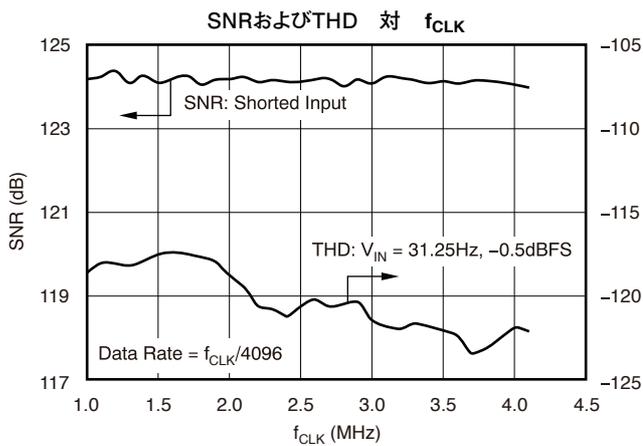


図9

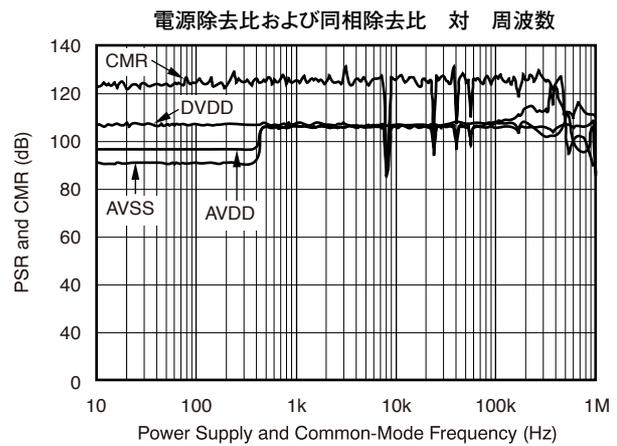


図10

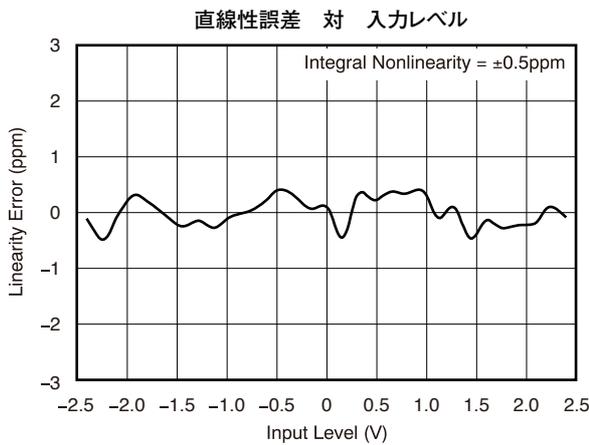


図11

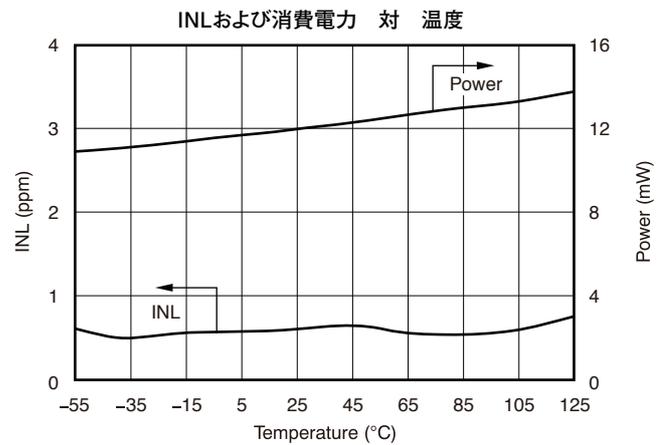


図12

代表的特性 (続き)

特に指定のない限り、 $T_A = +25^\circ\text{C}$ 、 $AVDD = +2.5\text{V}$ 、 $AVSS = -2.5\text{V}$ 、 $f_{\text{CLK}} = 4.096\text{MHz}$ 、 $V_{\text{REFP}} = +2.5\text{V}$ 、 $V_{\text{REFN}} = -2.5\text{V}$ 、 $VDVDD = +3.3\text{V}$ 、 $f_{\text{DATA}} = 1000\text{SPS}$ 。

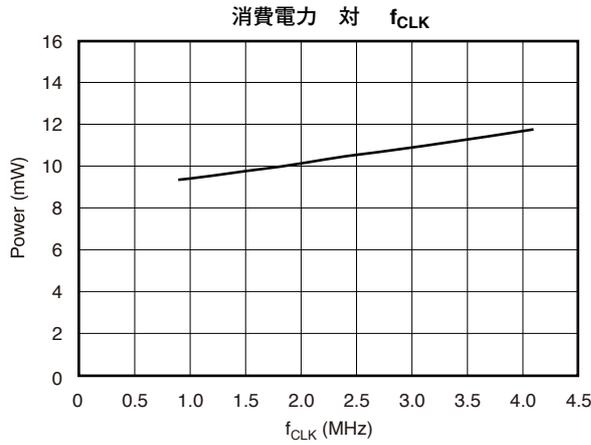


図13

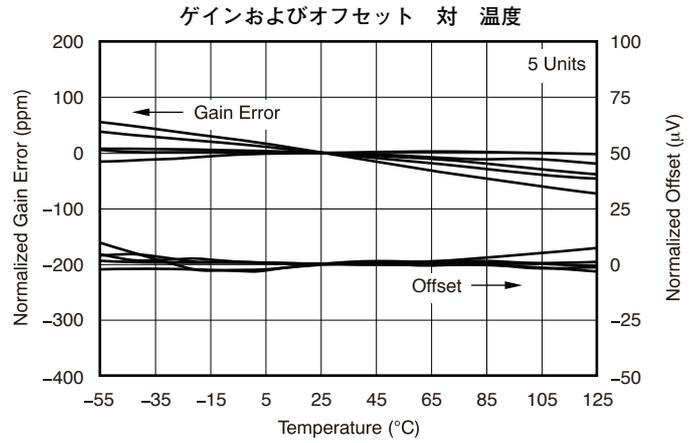


図14

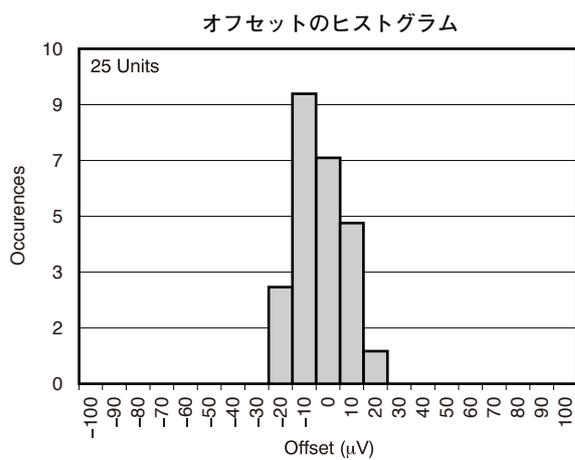


図15

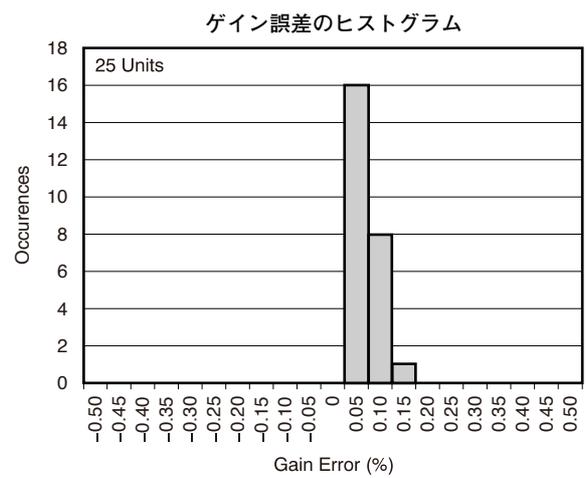


図16

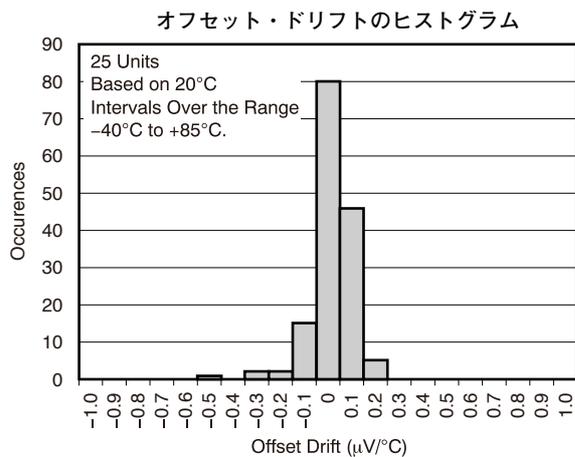


図17

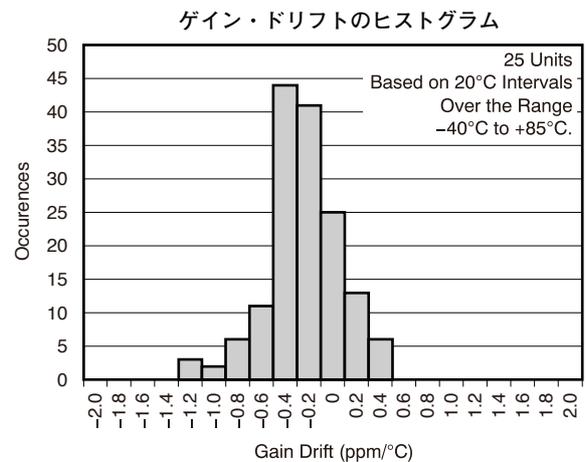


図18

機能概要

ADS1281は高性能のADコンバータであり、エネルギー探査、地震監視、クロマトグラフィその他の高精度なアプリケーションを対象にしています。本コンバータは24から32ビットの出力データを、4000SPSから250SPSの変換レートで提供します。

図19にADS1281のブロック図を示します。本デバイスは、入力範囲の融通性のための単電源および両電源のアナログ電源（それぞれAVDDおよびAVSS）と、1.8Vから3.3Vのデジタル電源を特長としています。アナログ電源は、単電源信号（入力オフセット込み）の入力には+5Vに設定し、両電源信号（グラウンドを基準）の入力には±2.5Vより低い範囲に設定することができます。

内部の低ドロップアウト（LDO）レギュレータが、DVDDからデジタル・コアへ電力を供給するために使用されます。BYPAS端子はLDOの出力であり、ノイズ低減用の0.1μFコンデンサが必要です（BYPASは外部回路の駆動に使用してはなりません）。

非常に安定な4次ΔΣ変調器により、差動入力信号 $V_{IN} = (AINP - AINN)$ が差動リファレンス $V_{REF} = (VREFP - VREFN)$ に対して測定されます。デジタル出力（MFLAG）は、変調器が入力過駆動状態にあればオーバーレンジであることを表示します。変調器出力は、MCLK、M0、およびM1出力端子にて直接得ることができます。変調器は、出力コード読み取り値を供給する内蔵のデジタル・フィルタに接続されています。

デジタル・フィルタは、可変デシメーション・レートを構成する5次のsincフィルタ、それに続く32分の1にデシメーションするプログラマブル位相のFIRローパス・フィルタ、および出力のためのDC除去用の調整可能なハイパス・フィルタとなっています。デジタル・フィルタの出力は、sinc、FIRローパス、あるいはIIRハイパスの各セクションから得ることができます。

ゲインおよびオフセット・レジスタによりデジタル・フィルタ出力はスケールングされて、最終出力コード値が生成されます。このスケールング機能は、キャリブレーションおよびセンサのゲイン・マッチングに使用できます。出力データは24ビットあるいはフルの32ビットで提供されるので、高分解能な性能を十分に活用することができます。

PINMODE入力端子により、端子制御あるいはレジスタ制御というデバイスの制御モードが設定できます。端子制御モードでは、デバイスは単純な端子設定になり、プログラミングすべきレジスタはありません。レジスタ制御モードでは、デバイスはレジスタ設定により制御されます。いくつかのデバイス端子の機能は、選択された制御モードに依存します（「端子およびレジスタ・モード」節を参照）。

SYNC入力によりデジタル・フィルタおよび変調器の動作がともにリセットされるため、複数のADS1281デバイスの変換を外部動作に同期させることができます。SYNC入力は連続トグル入力モードに対応しており、変換レートの整数倍にロックされた外部のデータ・フレーム・クロックを入力することができます。

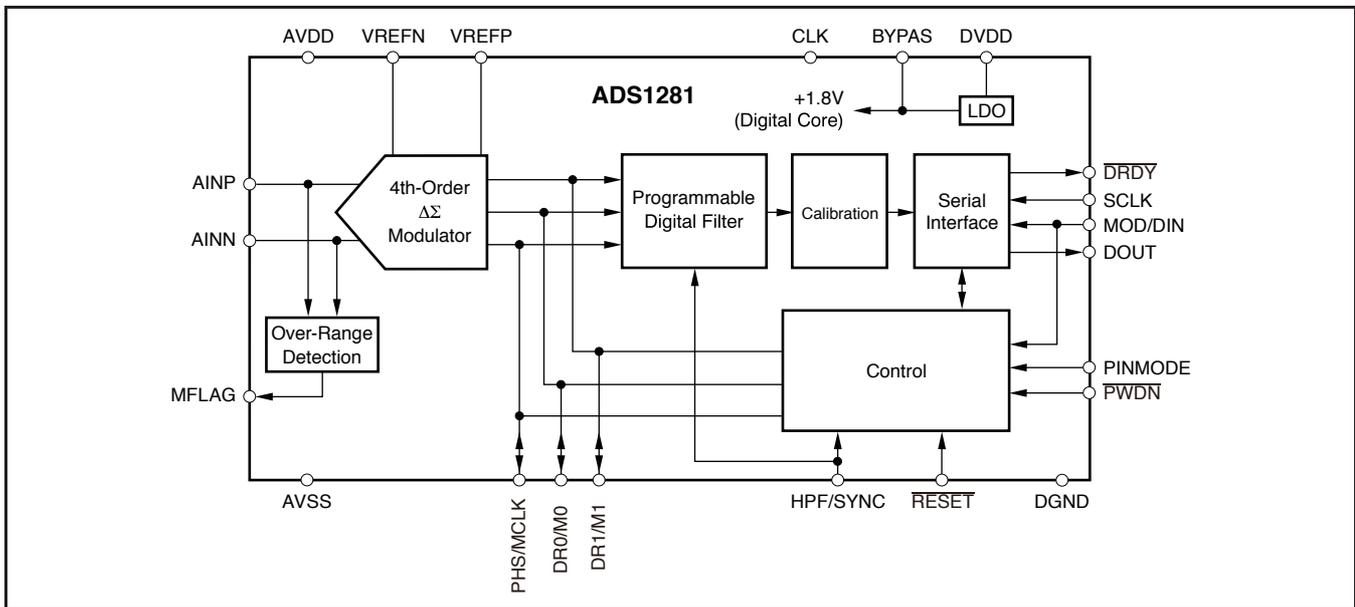


図19. ADS1281のブロック図

$\overline{\text{RESET}}$ 入力によりレジスタ設定がリセット（レジスタ・モード）され、変換処理も再スタートとなります。

$\overline{\text{PWDN}}$ 入力により、デバイスはマイクロ・パワー・モードに設定されます。ただし、 $\overline{\text{PWDN}}$ モードではレジスタ設定が保持されないことに注意願います。レジスタ設定を保持したい場合は、代わりにSTANBY命令を使用します（スタンバイ・モードでは、停止時の消費電流がわずかに増加します）。

$\overline{\text{RESET}}$ およびSYNCは、高ノイズ耐性、シュミット・トリガかつクロックを使用した入力のため、高ノイズ環境におけるデバイスの信頼性を高めます。

シリアル・インターフェイスは、設定レジスタからの読み取りおよび設定レジスタへの書き込み以外に、変換データの読み取りに使用されます。

ノイズ特性

ADS1281は優れたノイズ特性を備えています。表1にSNR特性を要約します。

表1. ノイズ特性 (Typ値) (1)

| データ・レート | フィルタ | -3dB帯域幅(Hz) | SNR (dB) |
|---------|------|-------------|----------|
| 250 | FIR | 103 | 130 |
| 500 | FIR | 206 | 127 |
| 1000 | FIR | 413 | 124 |
| 2000 | FIR | 826 | 121 |
| 4000 | FIR | 1652 | 118 |

(1) $V_{IN} = 20mV_{DC}$.

アイドル・トーン

ADS1281の変調器には、アイドル・トーンのエネギーをランダム化する内部ディザ信号が組み込まれています。低レベルのアイドル・トーンはありますが、標準でフルスケールの-137dBです。この低レベルのアイドル・トーンは、外部で20mVのオフセットを適用して、通過帯域外へシフトすることができます。

ADC

ADS1281のADCブロックは、高精度変調器およびプログラマブルなデジタル・フィルタの2ブロックで構成されています。

変調器

本デバイスの高性能の変調器は図20に示すように、非常に安定な4次 $\Delta\Sigma$ 、2+2パイプライン構造になっています。この変調器により量子化ノイズは高帯域（通過帯域外）にシフトされ、デジタル・フィルタリングで容易に除去できます。変調器のフィルタリングは、内蔵のデジタル・フィルタにより、あるいは後処理フィルタを使用して行うことができます。

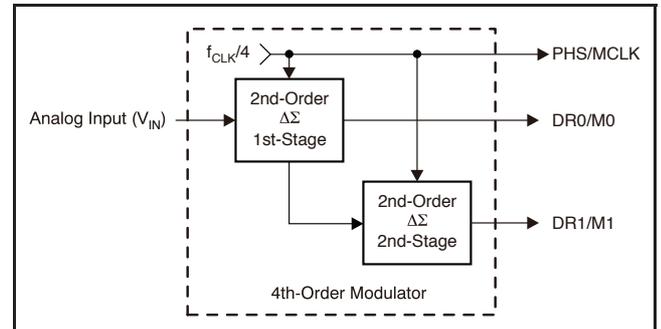


図20. 4次変調器

変調器の初段において、アナログ入力電圧はパルス・コード変調 (PCM) ストリームに変換されます。差動アナログ入力 (AINP-AINN)のレベルがリファレンス電圧 $1/2 \times (V_{REFP} - V_{REFN})$ に近い場合、PCMデータ・ストリームの“1”の密度は最大になります。差動アナログ入力レベルがゼロに近い場合、PCMの“0”および“1”の密度は、ほぼ等しくなります。アナログ入力レベルの2つの極値 (+FSおよび-FS) では、PCMストリームの“1”の密度は、それぞれ+90%および+10%になります。

変調器の第2段では、初段での量子化ノイズを相殺するように設計された“1”の密度のデータ・ストリームが生成されます。両段のデータ・ストリームはデジタル・フィルタ段への入力前に、式1で示すように結合されます。

$$Y[n] = 3M0[n-2] - 6M0[n-3] + 4M0[n-4] + 9(M1[n] - 2M1[n-1] + M1[n-2]) \quad (1)$$

$M0[n]$ は最新の初段出力を表し、 $M0[n-1]$ は先に変換した初段出力を表します。変調器出力がイネーブルされると、デジタル・フィルタは省電力のためにシャットダウンされます。

変調器は4kHzの通過帯域内の入力信号に最適化されています。図21に示すように、変調器のノイズ・シェーピングは、6kHzを超えるとノイズが急峻に増加しています。変調器の入力は、通過帯域内のノイズをより低減するチョッピング構造です。ノイズは通過帯域から追い出され、チョッピング周波数 ($f_{CLK}/512 = 8\text{kHz}$) に現れています。6.5kHzのノイズ成分はトーン周波数であり、20mVの外部入力により帯域外にシフトされています。なお、トーン周波数は、およそ $V_{IN}/0.003$ (単位kHz) になります。

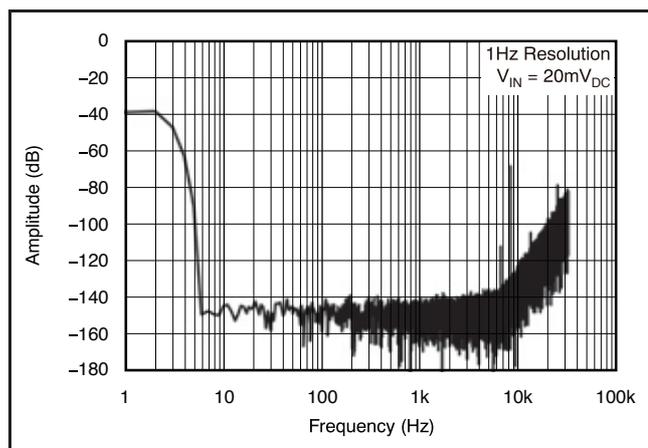


図21. 変調器出力スペクトル

変調器オーバーレンジ

ADS1281の変調器は非常に安定であるため、入力の過駆動状態からの回復動作が予測可能です。本変調器には、しばしば不安定な出力データ・ストリームをもたらす自己リセット動作がありません。

ADS1281の変調器は、正のフルスケールを入力信号が印加されると、1の密度が90%デューティ・サイクルのデータ・ストリームを出力します（負のフルスケール信号の場合は10%デューティ・サイクル）。入力が90%変調を超えて100%変調未満の過駆動（負の過駆動では、それぞれ10%と0%）をされると、変調器は安定なまま1の密度のデータ・ストリームを出力し続けます。このとき、デジタル・フィルタの出力コードは、過駆動の期間に依存して+FSあるいは-FSにクリップされる/されない、のいずれかになります。入力が長期間の過駆動（最悪ケース）から通常範囲に戻ると、変調器はすぐさま通常範囲に戻りますが、デジタル・フィルタの群遅延により変換結果の線形範囲内への戻りが遅れます（線形位相FIRの場合31回の読み取り）。データが完全にセトリングするには、さらに31回の読み取り（合計で62回）が必要になります。

変調器が100%のデューティ・サイクルすなわち全部1あるいは全部0になるまで ($\pm 110\% \text{FSR}$) 入力が十分に過駆動されると、変調器は安定飽和状態に入ります。このときも過駆動の期間に依存して、デジタル出力コードは+FSあるいは-FSにクリップされます。短期間の過駆動の場合、出力コードは必ずしもクリップされません。入力が通常範囲に戻ると、変調器が飽和から脱して線形範囲に戻るために、最大12変調器クロック・サイクル (f_{MOD}) が必要になります。デジタル・フィルタには、データの完全なセトリングのために62変換の追加が必要になります（線形位相FIR）。

オーバーレンジの極端な例では、いずれの入力も（アナログ電源電圧+内部ESDダイオード電圧降下）を超える過駆動があります。このとき、内部ESDダイオードが同通し始め、入力における信号はクリップされます。差動入力信号範囲を超えない駆動の場合、変調器は線形動作のままです。差動入力信号範囲を超えると、変調器は飽和しても安定であり、出力は全部1あるいは全部0になります。入力の過駆動が除去されると、ダイオードは即座に回復し、ADS1281は通常状態に回復します。なお、線形な入力範囲がアナログ電源電圧を $\pm 100\text{mV}$ 超えた電圧までであることに注意願います。入力レベルがこれを超える場合、入力電流をピーク瞬時値で100mAおよび連続電流で10mAに制限するように配慮願います。

変調器オーバーレンジ検出 (MFLAG)

ADS1281には高速に応答するオーバーレンジ検出機能があり、差動入力がほぼ100%オーバーレンジを超えたことを表示します。この閾値の公差は $\pm 2.5\%$ です。MFLAG出力は、オーバーレンジ状態のとき”High”をアサートします。図22および図23に示すように、入力の絶対値はレンジの100%と比較されます。コンパレータの出力は $f_{MOD}/2$ でサンプリングされ、MFLAG出力になります。したがって、MFLAGのパルス幅の最小値は $f_{MOD}/2$ です。

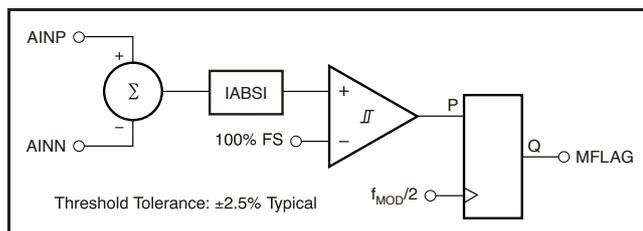


図22. 変調器オーバーレンジ検出のブロック図

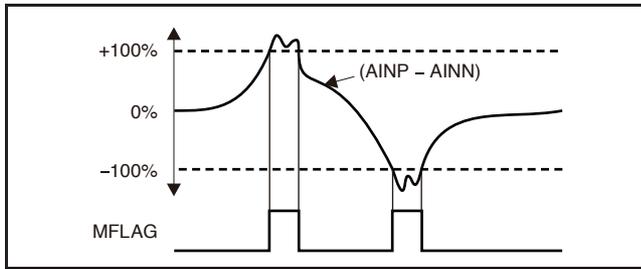


図23. 変調器オーバーレンジ・フラグ動作

変調器出力モード

変調器のデジタル・ストリーム出力は、内部デジタル・フィルタをバイパスあるいはディスエーブルすると直接的に得られます。変調器の出力モードは、端子モードにおけるMOD/DIN = 1の設定と、レジスタ・モードにおけるCONFIG0レジスタのビットFILTR[1:0] = 00の設定でアクティブになります。

このとき、端子DR0/M0およびDR1/M1は変調器データ出力になり、端子PHS/MCLKは変調器クロック出力になります。変調器出力モードでない場合、これらの端子は入力であり、フローティングにはなりません。

変調器出力は、変調器クロック用の出力 (PHS/MCLK) および変調器データ用の2出力 (DR0/M0およびDR1/M1) の、合計3出力で構成されています。変調器クロックの出力レートは f_{MOD} ($f_{CLK} / 4$) です。SYNC入力は、図24に示すようにMODCLKの位相をリセットします。また、SYNC入力はCLKの立ち上がりエッジでラッチされます。MODCLKはリセットされ、5CLK周期後に次のMODCLKの立ち上がりエッジが発生します。

変調器出力データは2ビット幅であり、フィルタリングされる前に互いに結合する必要があります。式1の時間領域式のように、これらのデータ出力が結合されます。

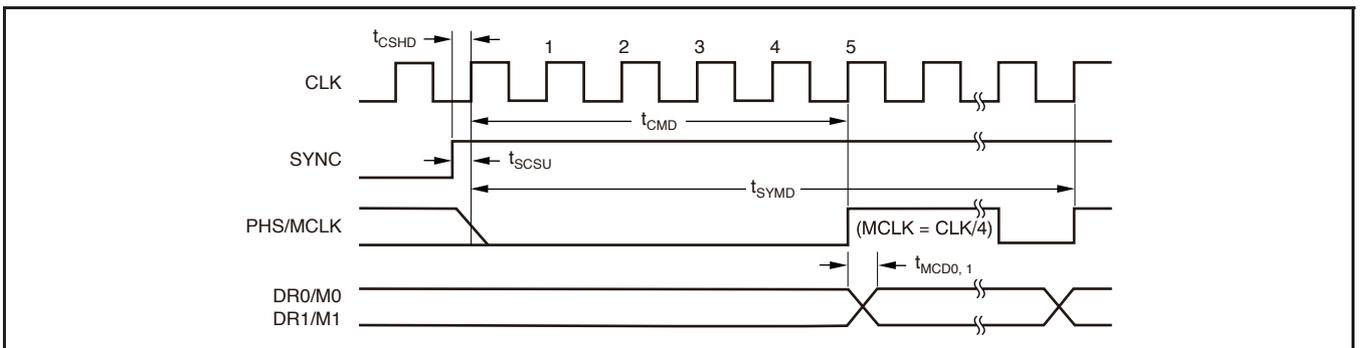


図24. 変調器モードのタイミング

図24の変調器出力タイミング

| パラメータ | 説明 | MIN | TYP | MAX | 単位 |
|--------------|--|-----|-----|-----|-------------|
| $t_{MCD0,1}$ | MODCLKの立ち上がりエッジからM0, M1有効までの伝播遅延 ⁽¹⁾ | | | 100 | ns |
| t_{CMD} | CLK立ち上がりエッジ (SYNCの立ち上がりエッジ後の) から、MODCLK立ち上がりエッジまでのリセット時間 | | 5 | | $1/f_{CLK}$ |
| t_{CSHD} | CLKに対するSYNCのホールド・タイム (CLKのエッジでラッチしない) | 10 | | | ns |
| t_{SCSU} | CLKに対するSYNCのセットアップ・タイム (CLKのエッジでラッチする) | 10 | | | ns |
| t_{SYMD} | SYNCから安定ビット・ストリームまで | | | 16 | $1/f_{MOD}$ |

(1) M0およびM1の負荷=20pF // 100kΩ

デジタル・フィルタ

デジタル・フィルタは変調器出力を受け、データ・ストリームを間引きます。そのフィルタリング量を調整することで、分解能およびデータ・レート間のトレードオフを行うことができます。すなわち、フィルタリング量を増加して分解能を上げるか、フィルタリング量を低減してデータ・レートを高めます。

デジタル・フィルタは図25に示すように、可変デシメーションの5次sincフィルタ、選択可能な位相で固定デシメーションのFIRローパス・フィルタ (LPF)、およびプログラマブルな1次ハイパス・フィルタ (HPF) の3フィルタ段がカスケード接続された構成です。

出力は図25に示すように、これら3フィルタから取り出すことができます。デジタル・フィルタを完全にオフするには、フィルタ・バイパス設定 (変調器出力) を選択します。ADS1281で部分的なフィルタリングを行うには、sincフィルタ出力を選択します。内蔵のフィルタリングを完全に行うには、sincおよびFIR段の両方をアクティブにします。さらにHPFを使用して、データからDCおよび低周波成分を除去することができます。表2にレジスタ・モードのフィルタ・オプションを示します。また、表3に端子モードのフィルタ・オプションを示します。

表2. デジタル・フィルタの選択 (レジスタ・モード)

| FILTR[1:0]ビット | 選択されるデジタル・フィルタ |
|---------------|-----------------------------------|
| 00 | バイパス：変調器出力モード |
| 01 | Sinc |
| 10 | Sinc + FIR |
| 11 | Sinc + FIR + HPF (ローパスおよびハイパス) |

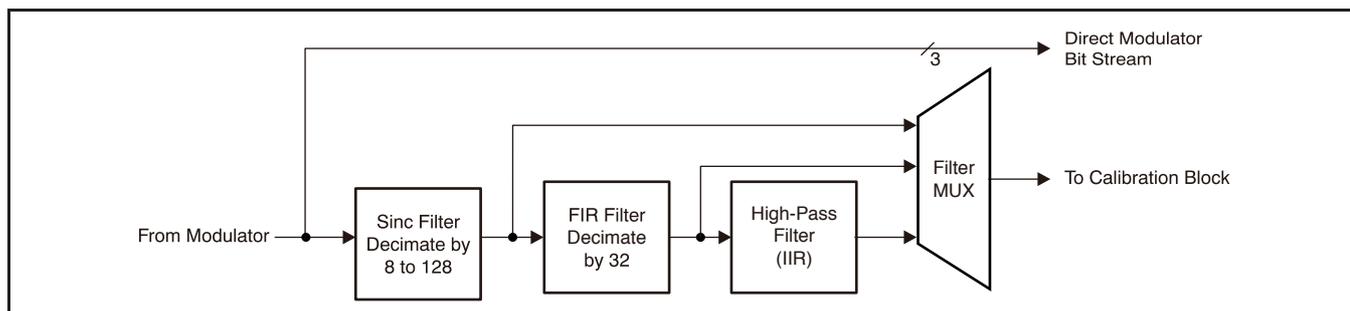


図25. デジタル・フィルタ

表4. Sincフィルタのデータ・レート (CLK = 4.096MHz)

| DR[1:0]端子 | DR[2:0]レジスタ | デシメーション比(N) | Sincデータ・レート (SPS) |
|-----------|-------------|-------------|-------------------|
| 00 | 000 | 128 | 8,000 |
| 01 | 001 | 64 | 16,000 |
| 10 | 010 | 32 | 32,000 |
| 11 | 011 | 16 | 64,000 |
| — | 100 | 8 | 128,000 |

表3. デジタル・フィルタの選択 (端子モード)

| MOD/DIN端子 | HPF/SYNC端子 | 選択されるデジタル・フィルタ |
|-----------|------------|-----------------------------------|
| 1 | X | バイパス：変調器出力モード |
| 0 | 0 | Sinc + FIR |
| 0 | 1 | Sinc + FIR + HPF (ローパスおよびハイパス) |

Sincフィルタ段 (sinc/x)

sincフィルタは、可変デシメーション・レートの5次ローパス・フィルタです。データは、変調器からフィルタのこの部分へ f_{MOD} ($f_{CLK} / 4$)のレートで供給されます。sincフィルタは変調器の高周波ノイズを減衰させ、次にデータ・ストリームを並列データに変換 (デシメート) します。このデシメーション・レートは、表4に示すようにDR[1:0]およびMODEの選択で設定され、コンバータ全体のデータ・レートに影響します。

sincフィルタのスケーリングされたZ領域伝達関数を式2に示します。

$$H(Z) = \left[\frac{1 - Z^N}{1 - Z^{-1}} \right]^5 \quad (2)$$

sincフィルタの周波数領域の伝達関数を式3に示します。

$$|H(f)| = \left[\frac{\sin\left[\frac{N4\pi \times f}{f_{CLK}}\right]}{N \sin\left[\frac{4\pi f}{f_{CLK}}\right]} \right]^5 \quad (3)$$

ここに：

N = デシメーション比 (表4参照)

sincフィルタにはノッチ(ゲインがゼロの点)があり、出力データ・レートとその倍数で発生します。それらの周波数では、フィルタのゲインがゼロになります。sincフィルタの周波数応答を図26に示し、そのロールオフを図27に示します。

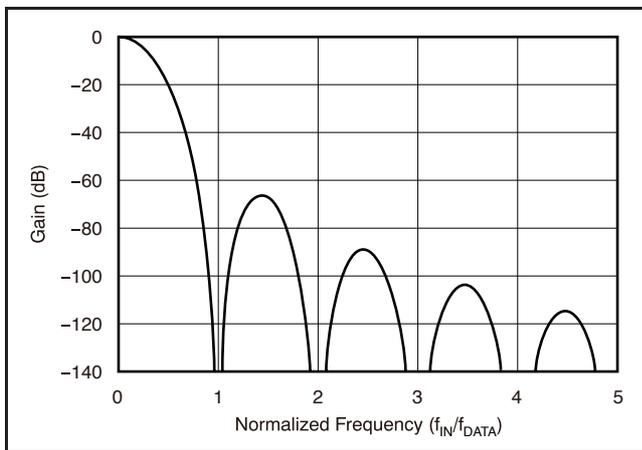


図26. sincフィルタの周波数応答

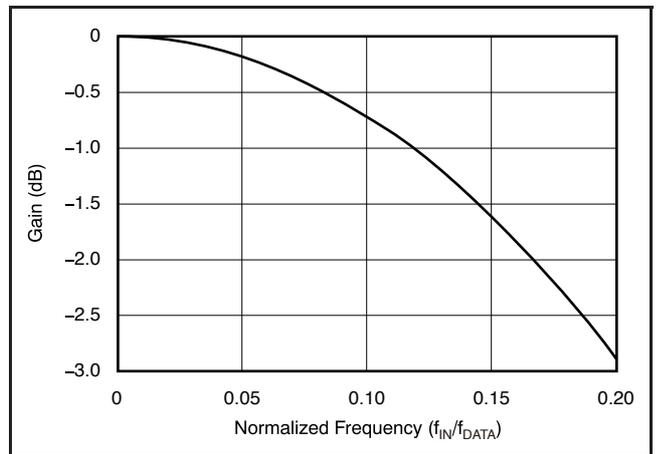


図27. sincフィルタのロールオフ

FIR段

ADS1281のデジタル・フィルタの2段目は、FIRローパス・フィルタです。データはsincフィルタから供給されます。FIR段は、図28に示すように4つの小ブロックに分割されます。最初の2つのサブブロックはデシメーション比が2のハーフバンド・フィルタです。3番目のサブブロックはデシメーション比4でデシメートされ、4番目のサブブロックは2でデシメートされます。したがって、FIR段全体のデシメーション比は32になります。ただし、2つの係数の組が位相選択に依存して、3番目と4番目の小ブロックで使用されることに注意願います。本文書の末尾にある「補足」節の表23で、FIR段の係数を列記します。表5に、FIR段のデータ・レートと全体のデシメーション比を示します。

表5. FIRフィルタのデータ・レート

| DR[1:0]端子 | DR[2:0]レジスタ | デシメーション比(N) | FIRデータ・レート(SPS) |
|-----------|-------------|-------------|-----------------|
| 00 | 000 | 4096 | 250 |
| 01 | 001 | 2048 | 500 |
| 10 | 010 | 1024 | 1000 |
| 11 | 011 | 512 | 2000 |
| — | 100 | 256 | 4000 |

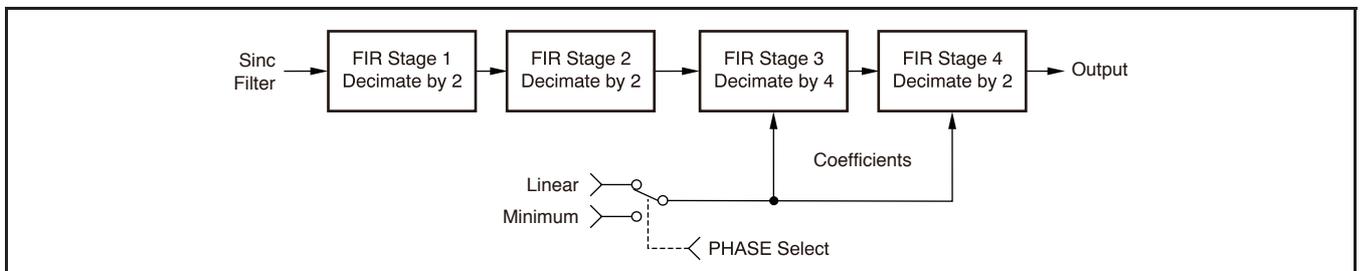


図28. FIRフィルタの小段

FIRの周波数応答は、図29のようにデータ・レートの0.375まで平坦な通過帯域を示しています（±0.003dBの通過帯域リップル）。図30に通過帯域から阻止帯域までの遷移を示します。

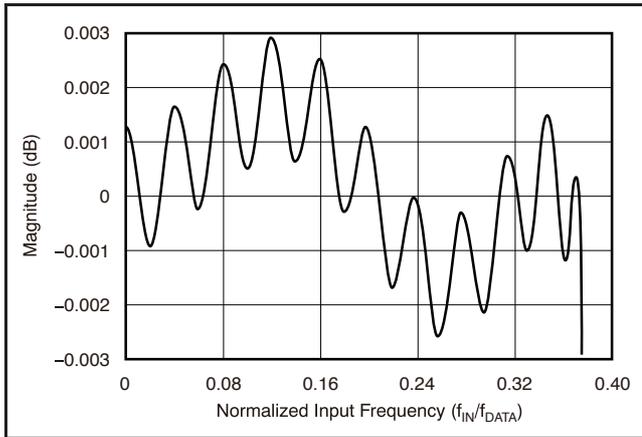


図29. FIR通過帯域応答
($f_{DATA} = 500\text{Hz}$)

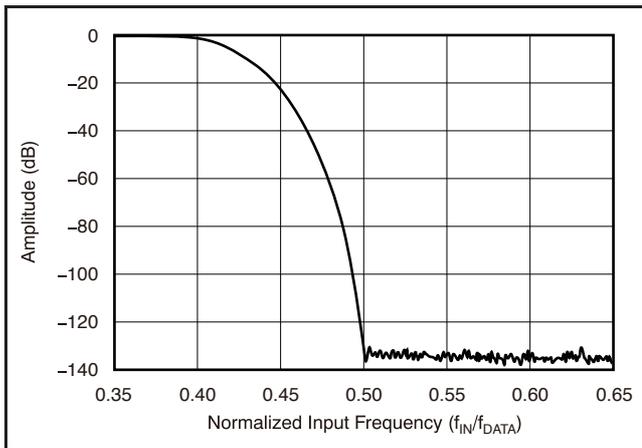


図30. FIR遷移帯域応答

図30には示してありませんが、通過帯域応答は変調器周波数の倍数で繰り返されます ($Nf_{MOD} - f_0$ および $Nf_{MOD} + f_0$, ここで $N = 1, 2, \dots$, および $f_0 =$ 通過帯域)。これらのイメージ周波数が信号内にあって外部的にフィルタリングされない場合、通過帯域内に折り返されて（すなわちエイリアシング）誤差が発生します。そこで、アンチ・エイリアシング用のローパス・フィルタをADS1281の入力前に配置して、帯域外入力信号を制限するように推奨します。これには大抵の場合、1個のRCフィルタで十分です。

群遅延およびステップ応答

FIRブロックは、線形あるいは最小位相の選択が可能な多段FIR構造として組み込まれました。各段のフィルタの通過帯域、遷移帯域、および阻止帯域の応答は大体同じものですが、個々の位相応答は異なります。

線形位相応答

線形位相フィルタには、一定の遅延時間対入力周波数特性（すなわち、一定の群遅延）があります。また、線形位相フィルタの特性では、入力信号のあらゆる時点から出力データの同じ時点までの遅延時間が一定であり、入力信号の性質に依存しません。このフィルタ特性は、マルチ・トーン解析の際に位相誤差が基本的にゼロになります。しかし、線形位相フィルタの群遅延およびセトリング・タイムは、図31に示すように最小位相フィルタより幾分か大きくなります。

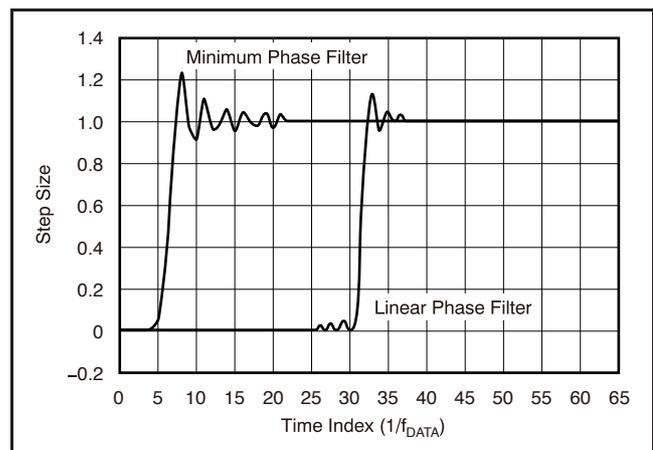


図31. FIRステップ応答

最小位相応答

最小位相フィルタでは、入力信号の到着から出力までの遅延が小さいですが、図32に示すように、位相関係は周波数に対して一定ではありません。フィルタ位相はPHSビット（レジスタ・モード）あるいはPHS/MCLK端子（端子モード）により選択されます。表6に補足情報を示します。

表6. FIR位相の選択

| PHS BITあるいは PHS/MCLK端子 | フィルタ位相 |
|---------------------------|--------|
| 0 | 線形 |
| 1 | 最小 |

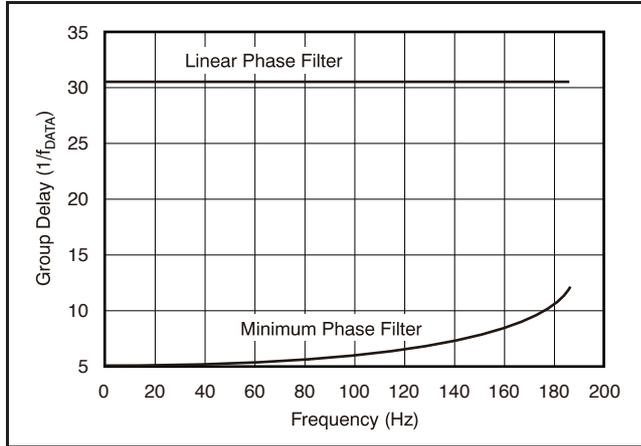


図32. FIR群遅延 ($f_{DATA} = 500\text{Hz}$)

HPF段

ADS1281のフィルタの最終段は、IIR構造として組み込まれた1次のHPFです。このフィルタ段はDC信号をブロックし、カットオフ周波数以下の低周波成分をロールオフします。本フィルタの伝達関数を式4に示します。

$$HPF(Z) = \frac{2-a}{2} \times \frac{1-Z^{-1}}{1-bZ^{-1}} \quad (4)$$

ここに、bは式5で算出されます。

$$b = \frac{(1 + (1-a)^2)^2}{2} \quad (5)$$

ハイパスのコーナー周波数は、レジスタHPF[1:0]により16進数でプログラミングされます。また、式6を使用してハイパスのコーナー周波数を設定します。表7にハイパス・フィルタ値の例を示します。

$$HPF[\text{dec}] = 65,536 \left[1 - \sqrt{1 - 2 \frac{\cos \omega_N + \sin \omega_N - 1}{\cos \omega_N}} \right] \quad (6)$$

ここに、

HPF = ハイパス・フィルタのレジスタ値 (16進数に変換)

$\omega_N = 2\pi f_{HP}/f_{DATA}$ (normalized frequency, radians)

f_{HP} = High-pass corner frequency (Hz)

f_{DATA} = Data rate (Hz)

表7. ハイパス・フィルタ値の例 (1)

| f_{HP} (Hz) | データ・レート (SPS) | HPF[1:0] |
|---------------|---------------|----------|
| 0.5 | 250 | 0337h |
| 1.0 | 500 | 0337h |
| 1.0 | 1000 | 019Ah |

(1) 端子制御モードでは、HPF値は0332hに固定です。

HPFは小さいゲイン誤差を生じ、その程度は f_{HP} / f_{DATA} の比に依存します。ゲイン誤差は、 f_{HP} / f_{DATA} の大抵の一般値について無視できるものです。図33にHPFのゲイン誤差を示します。ゲイン誤差係数は式13に示します (本文書の末尾の「補足」節を参照)。

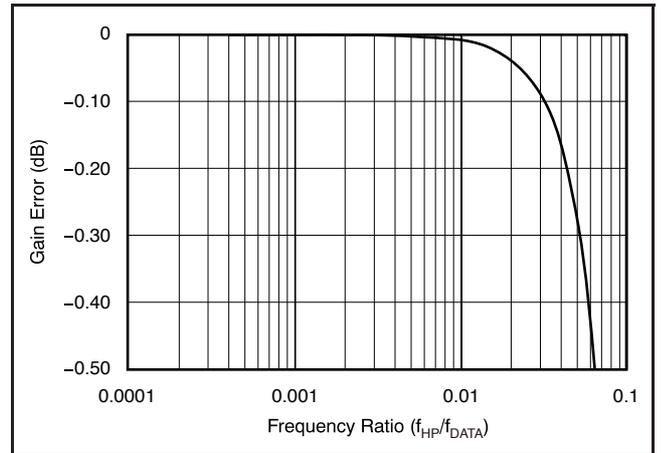


図33. HPFゲイン誤差

図34にHPFの1次のゲインおよび位相応答を示します。ステップ入力の印加や同期化の場合、フィルタのセトリング・タイムを考慮に入れるべきことに注意願います。

アナログ入力回路 (AINP, AINN)

ADS1281では、連続的に充放電される内部コンデンサを使用して、差動入力信号 $V_{IN} = (AINP - AINN)$ が差動リファレンス $V_{REF} = (VREFP - VREFN)$ に対して測定されます。図36にADC入力回路の単純化した図を示します。図の右側は、コンデンサとスイッチを等価回路で置き換えた入力回路を示します。図36のスイッチのオン/オフ・タイミングを図35に示します。

図36において、 S_1 は入力サンプリング期間に閉じます。スイッチ S_1 が閉じた状態で、 C_{A1} はAINPに充電され、 C_{A2} はAINNに充電され、 C_B は $(AINP - AINN)$ に充電されます。放電期間では、 S_1 が最初に開き、次に S_2 が閉じます。このとき、 C_{A1} および C_{A2} は約 $AVSS + 1.3V$ に放電され、 C_B は0Vに放電されます。このサンプリング/放電の2相サイクルは、 $t_{SAMPLE} = 1/f_{MOD}$ の周期で繰り返されます。 f_{MOD} は変調器の動作周波数です。これについては「マスター・クロック入力」節をご覧ください。

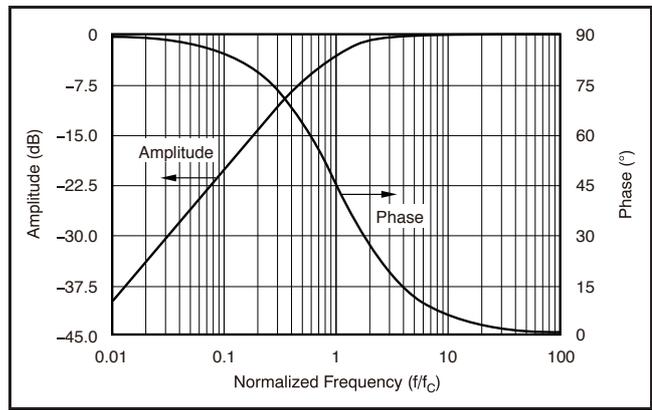


図34. HPFのゲインおよび位相応答

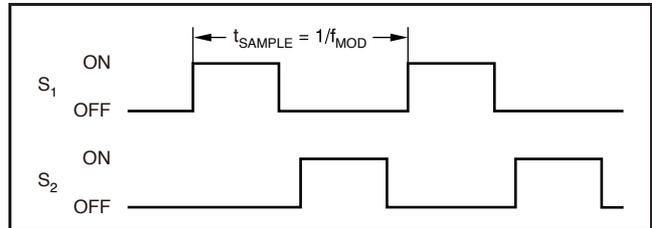


図35. 図36の S_1 および S_2 のスイッチ・タイミング

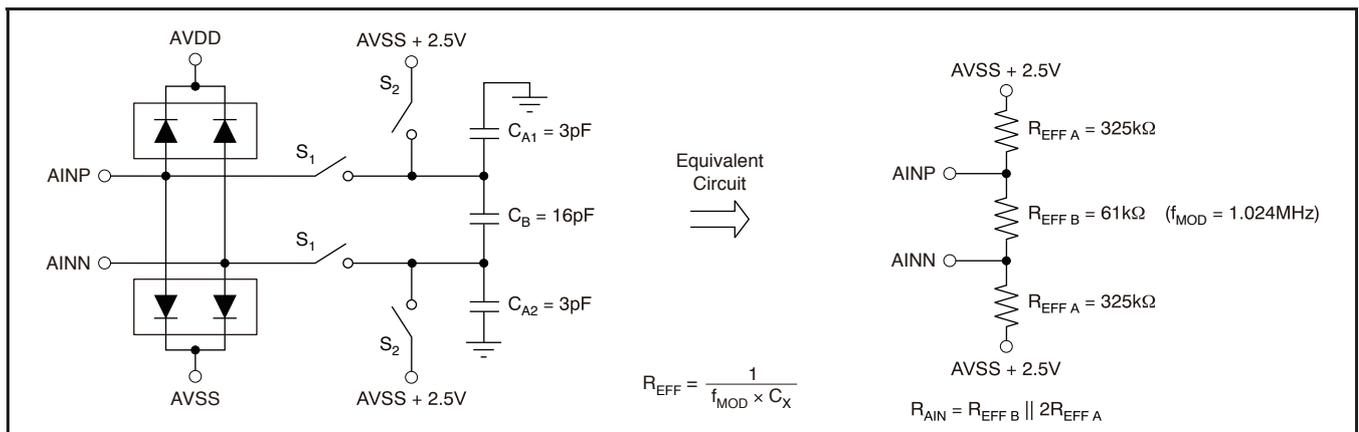


図36. 単純化したADC入力構造

入力サンプリング・コンデンサを充電するために、ADS1281のADC入力を駆動する信号源から過渡電流が流れます。この電流の平均値を使用して、実効インピーダンス ($R_{EFF} = V_{IN} / I_{AVERAGE}$) が算出できます。これらのインピーダンスは、 f_{MOD} に反比例して増減します。例えば、 f_{MOD} が2分の1に低減すると、インピーダンスは2倍になります。

ESDダイオードはアナログ入力を保護しています。このダイオードをオンさせないために、式7に示す通り、入力端子の電圧がAVSSを300mV以上下回らないように、同様にAVDDを300mV以上超えないようにしてください。

$$AVSS - 300mV < (AINP \text{ or } AINN) < AVDD + 300mV \quad (7)$$

アプリケーションによっては、入力電圧をこの範囲に制限するために、本デバイスには外付けのクランプ・ダイオードや直列抵抗を要することがあります。

ADS1281は非常に高性能のADCです。その最適な特性を引き出すために、ADS1281の性能に相応するノイズおよび歪み特性を持つバッファでADS1281入力を駆動することが重要です。これについては、「アプリケーション」節をご覧ください。ほとんどのアプリケーションでは、入力端子間に外付けのコンデンサ (COG/NPO誘電体) を直接接続する必要があります。THDを最小限にする最適な容量値は、入力ドライバのセトリング特性に依存し、最適値を求めるにはいくつかの実験が必要になります (一般に、2.2nFから100nFの範囲)。また、信号の同相電圧を電源の中心電位に置くと、最適な特性が実現できます。

ADS1281は差動信号に対して最適化されていますが、片方の入力を電源の中心に固定すると、シングルエンド信号で入力を駆動できます。ダイナミック・レンジをフルに活用するには、入力を5 V_{PP} (V_{REF} = 5V時) で駆動する必要があります。

電圧リファレンス入力 (VREFP, VREFN)

ADS1281のADCの電圧リファレンスは、VREFPとVREFN間の差電圧すなわち $V_{REF} = V_{REFP} - V_{REFN}$ になります。リファレンス入力では、アナログ入力に類似した図37に示す回路構造が採用されています。スイッチド・キャパシタ型のリファレンス入力で表現される平均負荷は、 $R_{EFF} = t_{SAMPLE} / C_{IN}$ ($t_{SAMPLE} = 1 / f_{MOD}$) の実効差動インピーダンスにモデル化できます。リファレンス入力の実効インピーダンスは、ゼロでない信号源インピーダンスを持つ外部リファレンスの負荷になることに注意願います。

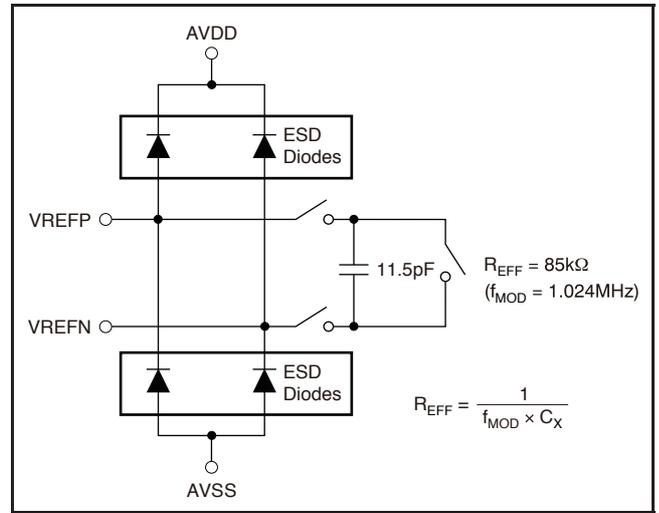


図37. 単純化したリファレンス入力回路

ADS1281のリファレンス入力は、ESDダイオードによって保護されています。このダイオードがオンしないように、両入力の電圧は式8で示す範囲内にあることが必要です。

$$AVSS - 300mV < (VREFP \text{ or } VREFN) < AVDD + 300mV \quad (8)$$

ADS1281から最適な特性を引き出すには、高精度なリファレンス電圧が必要になります。リファレンスにおけるノイズおよびドリフトにより、システム全体の性能が劣化します。したがって、最大限の性能を引き出すために、リファレンス電圧を生成する回路に特別な配慮を払うことが重要です。ほとんどのアプリケーションに対して、1μFのセラミック・コンデンサをリファレンス入力端子間に直接配置するよう推奨します。

マスター・クロック入力 (CLK)

ADS1281は、動作するためのクロック入力を必要とします。このクロックはCLK端子に供給します。データ変換レートは、CLK周波数により直接的に増減します。電力消費対CLK周波数の特性は、比較的一定になります (代表的特性を参照)。

あらゆる高速データ・コンバータと同様に、高品質で低ジッタのクロックが最適特性を得るために必要です。クロック信号源には水晶クロック発生器を薦めます。クロック入力での過剰なリングングは確実に除去してください。それには、クロック用配線をできるだけ短くし、50Ωの直列抵抗をクロック信号源の近くに挿入します。

端子およびレジスタ・モード

PINMODE入力（21ピン）を使用して、端子モードあるいはレジスタ・モードのデバイス制御モードを設定します。端子モード（PINMODE = 1）では、デバイスの制御は端子によって設定され、プログラミングすべきレジスタはありません。レジスタ・モードでは、デバイスの制御は設定レジスタによって設定されます。レジスタ空間により自由度が増加するため、レジスタ・モードには端子モードより多くの制御オプションがあります。表8に、両制御モード間の違いを述べます。

また、表9に設定される端子の機能を選択した制御モード別に要約します。

ADS1281には、SYNC入力端子およびSYNC命令という2つの同期方法があります。また、ADS1281にはパルス同期および連続同期の2つの同期モードがあります。パルス同期モードでは、ADS1281は単発の同期動作に同期します。連続同期モードでは、デバイスは単発の同期動作あるいは、SYNC端子に供給されるデータ・レートの整数倍に等しい周期の連続クロックに同期します。同期入力と $\overline{\text{DRDY}}$ 出力の周期が整合しない場合、ADS1281の再同期化および変換が再開されます。なお、端子制御モードでは、 $\overline{\text{RESET}}$ 入力同期制御として働くことに注意願います。

同期化（SYNC端子およびSYNC命令）

ADS1281は外部動作に同期させることができます。同様に、同期動作がすべてのADS1281に同時に供給されるならば、他のADS1281に同期させることもできます。

表8. 端子モードおよびレジスタ・モードの機能

| 機能 | 端子モード (PINMODE = 1) | レジスタ・モード (PINMODE = 0) |
|-------------------|----------------------------------|---|
| 同期オプション | パルス同期のみ | 連続あるいはパルス同期 |
| デジタル・フィルタ・オプション | SINC + LPF あるいは SINC + LPF + HPF | Sinc, Sinc + LPF, あるいは Sinc + LPF + HPF |
| デジタル・ハイパス・フィルタ周波数 | f_{DATA} の比としてのロー・カット固定 | プログラマブル |
| キャリブレーション・レジスタ | なし | あり |
| インターフェース命令 | なし | あり |

表9. モード依存の端子機能

| 機能 | 端子モード (PINMODE = 1) | レジスタ・モード (PINMODE = 0) |
|----------|------------------------|---------------------------|
| MOD/DIN | MOD入力（変調器モードの選択） | SPI DIN入力 |
| HPF/SYNC | HPF入力（ハイパス・フィルタの選択） | SYNC入力 |
| RESET | 同期入力 | リセット入力 |
| PHS/MCLK | LPF位相入力あるいはMCLK出力 | MCLK出力 |
| DR0/M0 | DR0入力あるいはM0出力 | M0出力 |
| DR1/M1 | DR1入力あるいはM1出力 | M1出力 |

パルス同期モード

パルス同期モードでは、同期動作が発生（端子あるいは命令により）すると、ADS1281は変換処理を停止し、そして再開します。同期動作が発生したら、図38および表10で示すように、デバイスは内部メモリをリセットし、 $\overline{\text{DRDY}}$ が“High”になり、デジタル・フィルタがセトリングした後、新しい変換データがレディになります。

連続同期モード

連続同期モードでは、単発の同期パルスあるいは連続クロックのいずれかを印加することができます。単発の同期パルスを印加する場合（立ち上がりエッジ）、デバイスはパルス同期モードと類似した動作をします。しかし、このモードでは $\overline{\text{DRDY}}$ は影響されずにトグルし続けますが、DOUT出力はデータがレディになるまで“Low”のままです。変換データがゼロでない場合、新しい変換データがレディになります（図38に示すように）。

連続クロックがSYNC端子に印加される場合、その周期は出力データ・レートの整数倍でなければならず、さもないとデバイスは再同期化を始めます。同期入力がCLKの最初の立ち上がりエッジで印加される場合、本デバイスは再同期化を始めます（ $t_{\text{SYNC}} \neq N/f_{\text{DATA}}$ の条件下で）。 $\overline{\text{DRDY}}$ は出力し続けますが、DOUTは新しいデータがレディになるまで“Low”のままです。次に、印加される同期クロックの周期が出力データ・レートの整数倍と整合すると、デバイスは再同期化することなく自走します。印加クロックと出力データ・レート（ $\overline{\text{DRDY}}$ ）の位相は整合する必要がありません。図39に連続同期モードのタイミングを示します。

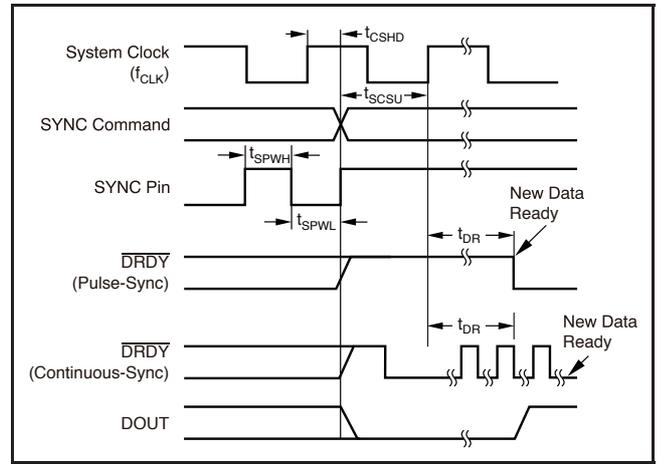


図38. 単発同期に対するパルス同期タイミングと連続同期タイミング

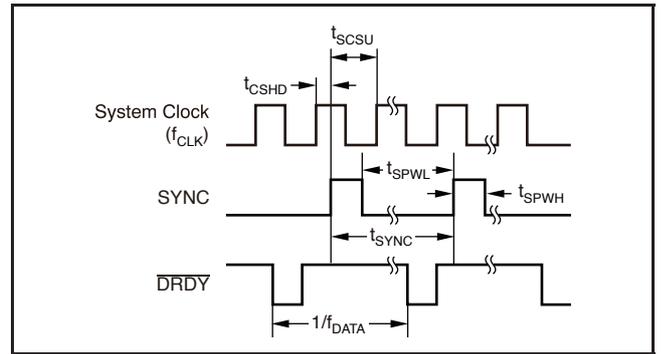


図39. 同期クロックに対する連続同期タイミング

表10. 図38および図39のパルス同期タイミング

| パラメータ | 説明 | MIN | MAX | 単位 |
|----------------------|--------------------------------------|--|----------|---------------------|
| t_{SYNC} | SYNCの周期 ⁽¹⁾ | 1 | Infinite | n/f_{DATA} |
| t_{CSHD} | CLKエッジでラッチしないときのCLKからSYNCへのホールド・タイム | 10 | | ns |
| t_{SCSU} | CLKエッジでラッチするときのSYNCからCLKへのセットアップ・タイム | 10 | | ns |
| $t_{\text{SPWH, L}}$ | SYNCパルス幅の“High”または“Low” | 2 | | $1/f_{\text{CLK}}$ |
| t_{DR} | データ・レディに要する時間（Sincフィルタ） | 補足の表24参照 | | |
| | データ・レディに要する時間（FIRフィルタ） | $62.98046875/f_{\text{DATA}} + 466/f_{\text{CLK}}$ | | |

(1) 連続同期モード。再同期化を生じない自走SYNCクロック入力。

RESET (RESET 端子およびリセット命令)

ADS1281は、RESET 端子を“Low”に下げる、あるいはリセット命令を送信する、という2通りの方法でリセットすることができます。RESET 端子を使用する場合、それを“Low”にしてから最小 $2/f_{CLK}$ だけ“Low”に保ってリセットを行います。ADS1281は、本端子を解放(“High”)するまでリセット状態にあります。命令による方法では、8個のSCLKの立ち上がりエッジ後の、次のCLKの立ち上がりエッジで f_{CLK} は効力を持ちます。注意：リセット命令を確実に機能させるには、SPI インターフェイスのリセットが必要です。これについては、「シリアル・インターフェイス」節をご覧ください。

リセット状態では、レジスタはデフォルト値に設定され、変換は次のCLKの立ち上がりエッジに同期して開放されます。新しい変換データは、図40および表11のように準備されます。

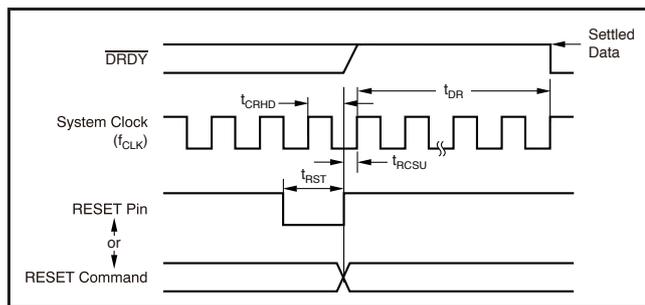


図40. リセット・タイミング

表11. 図40のリセット・タイミング

| パラメータ | 説明 | MIN | 単位 |
|------------|-------------------------|--------------------------------------|-------------|
| t_{CRHD} | CLKからRESET へのホールド・タイム | 10 | ns |
| t_{RCSU} | RESET からCLKへのセットアップ・タイム | 10 | ns |
| t_{RST} | RESET “Low” | 2 | $1/f_{CLK}$ |
| t_{DR} | データ・レディに要する時間 | $62.98046875/f_{DATA} + 468/f_{CLK}$ | |

パワーダウン (PWDN 端子およびスタンバイ命令)

ADS1281をパワーダウンする方法には、PWDN 端子を“Low”にする、あるいはスタンバイ命令を送るという2通りがあります。PWDN 端子を“Low”にすると、内部回路はディスエーブルされて最小電力になり、レジスタの設定内容はリセットされます。

表12. 新データに関するパワーオン、PWDN 端子、ウエークアップ命令のタイミング

| パラメータ | 説明 | 補足の表24参照 | フィルタ・モード |
|----------|---|--|----------------------------|
| t_{DR} | パワーオン後の 2^{16} 個のCLKサイクルの後でデータ・レディに要する時間。 PWDN 端子の制御後、あるいはウエークアップ命令後の新データのレディに要する時間。 | $62.98046875/f_{DATA} + 468/f_{CLK}^{(2)}$ | SINC ⁽¹⁾ FIR |

(1) 電源のパワーオンと PWDN 端子のデフォルト値は1000SPS FIR.

(2) ウエークアップ命令については、2CLKサイクルを減じます。ウエークアップ命令は、命令期間中のSCLKの8番目の立ち上がりエッジ後の次のCLKの立ち上がりエッジから、DRDY の立ち下がりエッジ間で時間測定されます。

パワーダウン状態では、デバイス出力がアクティブであり続けますので、デバイス入力フローティングにはしてはならないことに注意願います。スタンバイ命令が送信される場合、SPI ポートおよび各設定レジスタはアクティブのままです。図41および表12にタイミングを示します。

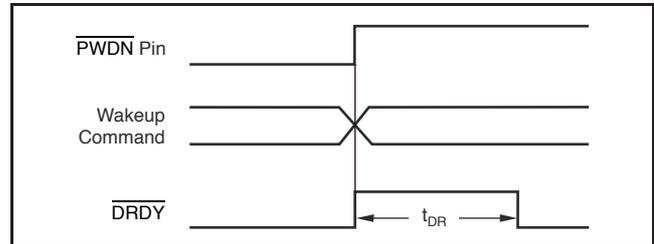


図41. PWDN 端子およびウエークアップ命令のタイミング (t_{DR} は表12で示す)

パワーオン・シーケンス

ADS1281には、AVDD, AVSS, およびDVDDの3電源があります。図42にADS1281のパワーオン・シーケンスを示します。各電源のシーケンスは任意に設定できます。また、各電源(AVDD-AVSS)とDVDDの電位差により内部リセットが発生し、それによって全体の内部リセットが発生します。各電源が最小値閾値を超えると、それから 2^{16} 個の f_{CLK} サイクルがカウントされた後に内部リセットが解除されます。内部リセットが解除された後、図42および表12にしたがって新変換データがレディになります。

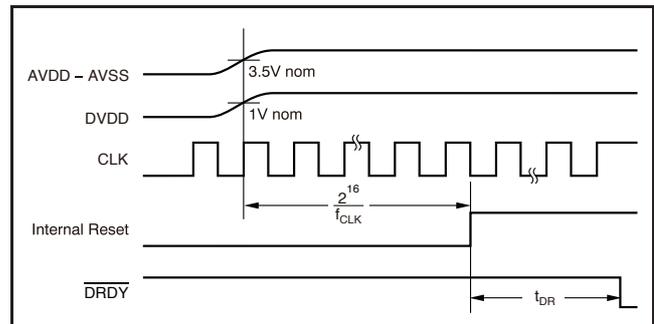


図42. パワーオン・シーケンス

DVDD電源

DVDD電源は+1.65Vから+3.6Vの範囲で動作します。DVDDを2.25Vより低い値で動作させる場合、DVDD端子をBYPAS端子に接続します。DVDDが2.25V以上の場合は、DVDD端子をBYPAS端子に接続しません。この接続関係を図43に示します。

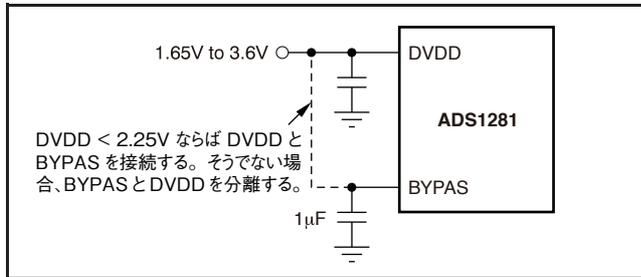


図43. DVDD電源

シリアル・インターフェイス

シリアル・インターフェイスを使用して変換データを読み取り、設定レジスタにアクセスします。本インターフェイスには、SCLK、DIN、およびDOUTの3つの基本信号があります。出力 $\overline{\text{DRDY}}$ は、「連続データ読取り」モード時にデータの読み取りがレディになると“Low”になります。図44に、複数のコンバータを使用する際の接続を示します。

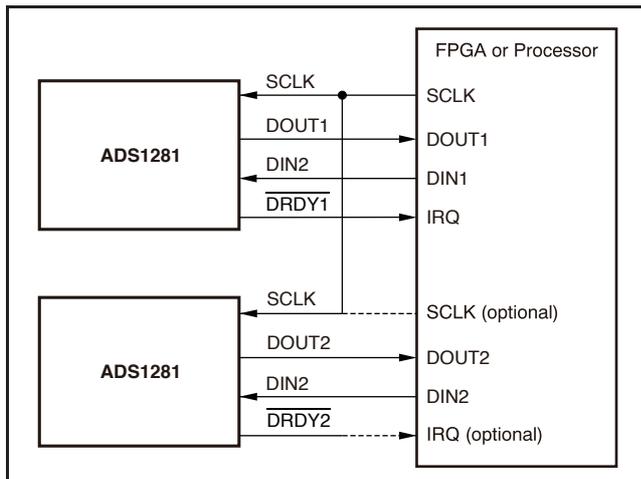


図44. 複数デバイス時の端子モード・インターフェイス

シリアル・クロック (SCLK)

シリアル・クロック (SCLK) は、ADS1281へ入力 (DIN) およびADS1281から出力 (DOUT) する時のクロック信号に使用される入力端子です。この入力はシュミット・トリガ入力であり、高いノイズ耐性があります。可能なかぎりSCLKをクリーンにして、グリッチによる不注意なデータ・シフトを防止されることを推奨します。

データはSCLKの立ち上がりエッジでDINにシフト入力され、SCLKの立ち下がりエッジでDOUTからシフト出力されます。SCLKを64 $\overline{\text{DRDY}}$ サイクル間“Low”に保つと、進行中のデータ転送や命令は停止し、SPIインターフェイスはリセットされます。そして、その次のSCLKパルスで新規の通信サイクルが始まります。このタイムアウト機能を使用すると、転送が中断されたりSCLKに不注意なグリッチが生じたりした場合に、インターフェイスを回復することができます。SCLKがアクティブでない場合は、“Low”にします。

データ入力 (DIN)

データ入力端子 (DIN) を使用して、設定データおよび命令をADS1281に入力します。「連続データ読取り」モードで変換データを読み取る場合、DINを“Low”にします (ただし、「連続データ読取り停止」命令の発行時を除きます)。DINにおけるデータは、SCLKの立ち上がりエッジでコンバータにシフト入力されます。端子モードでは、DINは使用されません。

データ出力 (DOUT)

データ出力端子 (DOUT) を使用して、ADS1281からデータを出力します。データは、SCLKの立ち下がりエッジでDOUT端子にシフト出力されます。端子モードでは、変換データのみが本端子から読み取られます。

データ・レディ (DRDY)

$\overline{\text{DRDY}}$ は出力であり、それが“Low”に変化したときの遷移は、図45に示すように新しい変換データがレディであることを表します。「連続データ読取り」モードでデータを読み取る場合、データは $\overline{\text{DRDY}}$ が再度“Low”になる前の4CLK周期内に読み取る必要があります。さもないと、データが新しい変換データで書き込まれてしまいます。命令モードでデータを読み取る場合、リード動作はデータの破損を伴わずに次の $\overline{\text{DRDY}}$ の発生と重なることができます。

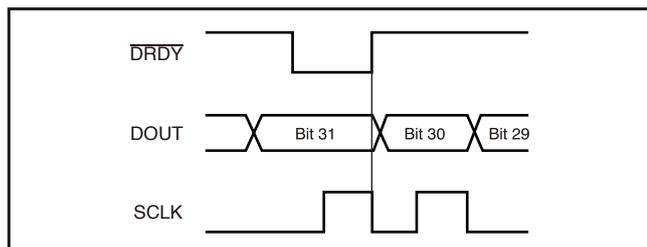


図45. データ読み取りを伴う $\overline{\text{DRDY}}$

$\overline{\text{DRDY}}$ はSCLKの最初の立ち下がりエッジで“High”にリセットされます。データの読み取りを伴う/伴わない $\overline{\text{DRDY}}$ の機能を、図45および図46にそれぞれ示します。

データが読み取られない場合 (SCLKが供給されない)、図46に示すように、 $\overline{\text{DRDY}}$ はデータ更新期間に $4 f_{\text{CLK}}$ 周期の“High”パルスを出力します。

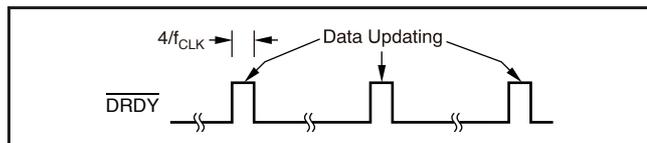


図46. データ読み取りを伴わない $\overline{\text{DRDY}}$

データ・フォーマット

ADS1281は表13に示すように、2の補数のバイナリ形式で32ビットの変換データを出力します。データのLSBは冗長符号ビットであり、正数では“0”，負数では“1”になります。しかし、出力が+FSにクリップされる場合はLSB = 1，出力が-FSにクリップされる場合はLSB = 0になります。なお、必要であれば、データの読み取りは24ビットに止めることができます。

表13. 理想出力コード 対 入力信号

| 入力信号 V_{IN} (A _{INP} - A _{INN}) | 32ビット理想出力コード ⁽¹⁾ | |
|--|-----------------------------|-----------|
| | FIRフィルタ | SINCフィルタ |
| $> \frac{V_{\text{REF}}}{2}$ | 7FFFFFFFh | (2) |
| $\frac{V_{\text{REF}}}{2}$ | 7FFFFFFEh | 3FFFFFFFh |
| $\frac{V_{\text{REF}}}{2 \times (2^{30} - 1)}$ | 0000002h | 0000001h |
| 0 | 0000000h | 0000000h |
| $\frac{-V_{\text{REF}}}{2 \times (2^{30} - 1)}$ | FFFFFFFh | FFFFFFFh |
| $\frac{-V_{\text{REF}}}{2} \times \frac{2^{30}}{2^{30} - 1}$ | 8000001h | C000000h |
| $< \frac{-V_{\text{REF}}}{2} \times \frac{2^{30}}{2^{30} - 1}$ | 8000000h | (2) |

- (1) ノイズ、直線性、オフセット、およびゲインの各誤差の影響を除外します。
 (2) sincフィルタ・モードの場合、フルスケール・レンジを超えたとき、出力はクリップしません。

データの読み取り

ADS1281の変換データを読み取る方法には、「連続データ読み取り」および「コマンド・データ読み取り」の2通りがあります。

「連続データ読み取り」

「連続データ読み取り」モードではリード命令を必要とせず、変換データがデバイスから直接的にシフト出力されます。本モードがパワーオン時のデフォルト・モードになります。また、本モードはRDATAC命令によりイネーブルされます。 $\overline{\text{DRDY}}$ が“Low”になると、新データがレディであることを示し、図47のようにデータのMSBがDOUTに現れます。通常、データはSCLKの立ち上がりエッジで読み取られ、 $\overline{\text{DRDY}}$ はSCLKの最

初の立ち下がりエッジの発生時に“High”に戻ります。32ビットのデータがシフト出力された後、さらなるSCLKの遷移でDOUTは“Low”になります。必要であれば、データのリードバックは24ビットに止めることができます。データ・シフト動作は、 $\overline{\text{DRDY}}$ が再度“Low”になる前の4CLK周期内で完了する必要があります。さもないと、データが破損します。

「連続データ読み取り」モードは、端子モードでのデフォルトのデータ・モードです。「連続データ読み取り停止」命令が出ると、 $\overline{\text{DRDY}}$ 出力は停止されますが、ADS1281は変換を続行します。「連続データ読み取り停止」モードでは、データは「コマンド・データ読み取り」によってのみ読み取ることができます。

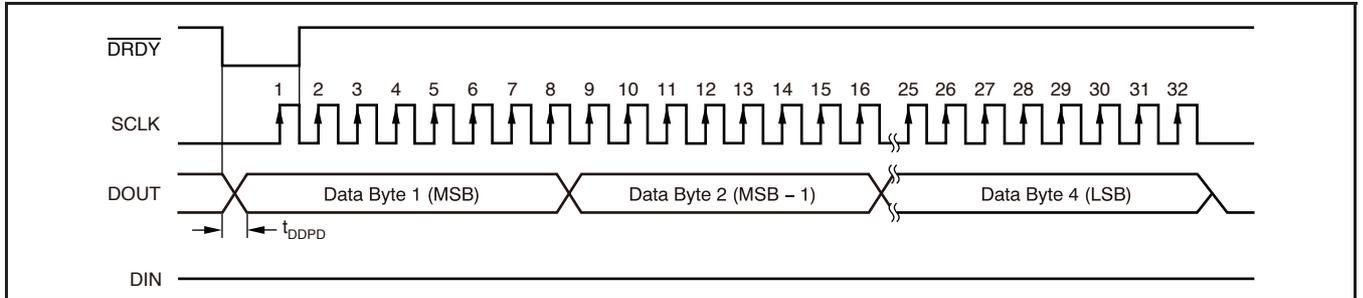


図47. 「連続データ読み取り」

表14. 図47のタイミング・データ

| パラメータ | 説明 | MIN | TYP | MAX | 単位 |
|-----------|--|-----|-----|-----|----|
| t_{DDP} | $\overline{\text{DRDY}}$ からDOUTの有効なMSBまでの伝播遅延 ⁽¹⁾ | | | 100 | ns |

(1) DOUTの負荷=20pF//100k Ω

「コマンド・データ読取り」

「連続データ読取り」モードは、SDATAC命令により停止されます。本モードでは、変換データは命令により読み取られます。この「コマンド・データ読取り」モードでは、「コマンド・データ読取り」命令をデータ変換ごとにデバイスへ送る必要があります（図48に示すように）。この命令が受信されると（8番目のSCLKの立ち上がりエッジで）、 $\overline{\text{DRDY}}$ が“Low”になることから (t_{DR}) のみ、データは読み取りに対してレディになります。 $\overline{\text{DRDY}}$ が“Low”になると、変換データはDOUTに現れます。このデータは、SCLKの立ち上がりエッジで読み取ることができます。

ワン・ショット動作

ADS1281では、ソフトウェア制御下でSTANDBY命令を用いて、非常に電力効率の良いワン・ショット変換を行うことができます。図49にこのシーケンスを示します。まず、STANDBY命令を発してスタンバイ・モードに設定します。

測定を行う準備ができると、WAKEUP命令を發します。 $\overline{\text{DRDY}}$ を監視し、それが“Low”になると、完全にセトリングした変換データがレディになり、「連続データ読取り」モードで直接読み取ることができます。その後、次のSTANDBY命令を發します。次の測定の準備ができると、次のWAKEUP命令で開始して、前と同じサイクルを繰り返します。

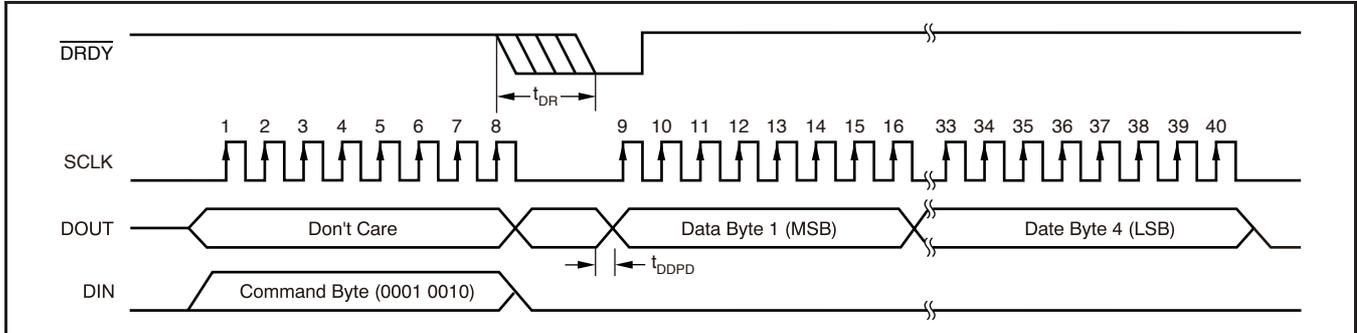
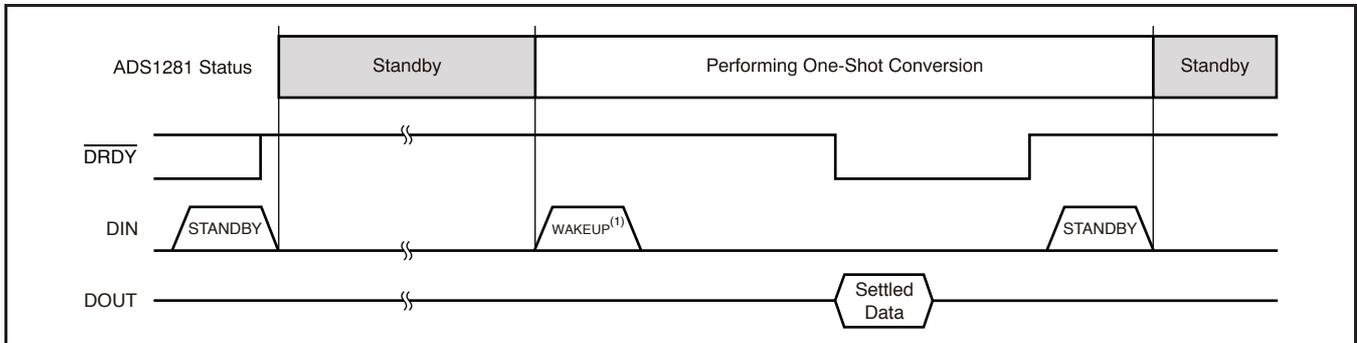


図48. 「コマンド・データ読取り」、RDATA (t_{DDPD} タイミングは表14参照)

表15. 図48のデータ読み取りタイミング

| パラメータ | 説明 | MIN | TYP | MAX | 単位 |
|-----------------|------------------------------|-----|-----|-----|-------------------|
| t_{DR} | 「コマンド・データ読取り」命令後の、新データに要する時間 | 0 | | 1 | t_{DATA} |



(1) 新データまでの時間は、図41および表12を参照のこと。

図49. STANDBY命令を使用したワン・ショット変換

オフセットおよびフルスケール・キャリブレーション・レジスタ

変換データは、最終出力コードにする前にオフセットとゲインについてスケーリングすることができます。図50に示すように、デジタル・フィルタの出力は最初にオフセット・レジスタ (OFC) により減算され、次にフルスケール・レジスタ (FSC) により乗算されます。このスケーリングを式9で示します。

$$\text{最終出力データ} = (\text{入力} - \text{OFC}[2:0]) \times \frac{\text{FSC}[2:0]}{400000\text{h}} \quad (9)$$

オフセットおよびフルスケール・レジスタの値は、両レジスタに直接書き込んで設定するか、あるいはキャリブレーション命令により自動的に設定されます。

OFC[2:0]レジスタ

オフセット・キャリブレーションは24ビット・ワードであり、表18に示すように3個の8ビット・レジスタで構成されています。オフセット・レジスタは、32ビットの変換データとそろえるために先詰め形式です。オフセットは2の補数形式であり、最大正数値は7FFFFFFhであり、最大負数値は800000hです。この値が変換データから減算されます。レジスタ値000000hにはオフセットの補正がありません (デフォルト値)。オフセット・キャリブレーション・レジスタ値により-FSから+FSの範囲のオフセットを修正できますが (表16に示すように)、入力における過負荷を避けるために、アナログ入力フルスケール範囲を超えてはならないことに注意願います。

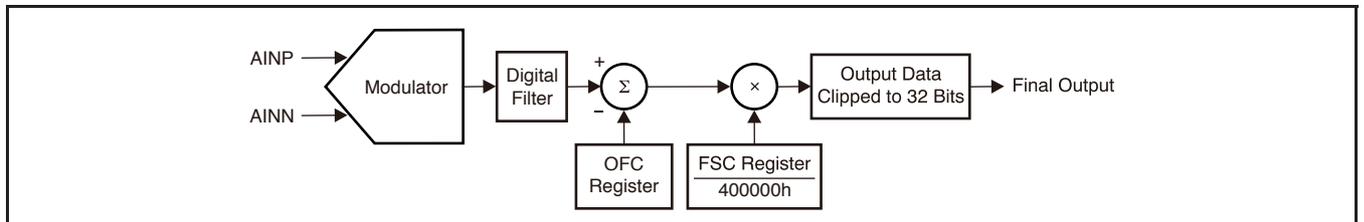


図50. キャリブレーション・ブロック図

表18. オフセット・キャリブレーション・ワード

| レジスタ | バイト | ビット順 | | | | | | | |
|------|-----|-----------|-----|-----|-----|-----|-----|-----|----------|
| OFC0 | LSB | B7 | B6 | B5 | B4 | B3 | B2 | B1 | B0 (LSB) |
| OFC1 | MID | B15 | B14 | B13 | B12 | B11 | B10 | B9 | B8 |
| OFC2 | MSB | B23 (MSB) | B22 | B21 | B20 | B19 | B18 | B17 | B16 |

表19. フルスケール・キャリブレーション・ワード

| レジスタ | バイト | ビット順 | | | | | | | |
|------|-----|-----------|-----|-----|-----|-----|-----|-----|----------|
| FSC0 | LSB | B7 | B6 | B5 | B4 | B3 | B2 | B1 | B0 (LSB) |
| FSC1 | MID | B15 | B14 | B13 | B12 | B11 | B10 | B9 | B8 |
| FSC2 | MSB | B23 (MSB) | B22 | B21 | B20 | B19 | B18 | B17 | B16 |

表16. オフセット補正值

| OFCレジスタ | 最終出力コード ⁽¹⁾ |
|----------|------------------------|
| 7FFFFFFh | 8000000h |
| 000001h | FFFFFF00h |
| 000000h | 0000000h |
| FFFFFFFh | 00000100h |
| 800000h | 7FFFFFF00h |

(1) ゼロのコード入力時のフル32ビットの最終出力コード

FSC[2:0]レジスタ

フルスケール・キャリブレーションは24ビット・ワードであり、表19に示すように3個の8ビット・レジスタで構成されています。フルスケール・補正值は24ビットのストレート・オフセット・バイナリであり、コード400000hで1.0に正規化されています。表17にフルスケール・レジスタのスケーリングを要約します。レジスタ値が400000h (デフォルト値) では、ゲインの補正が行われません (ゲイン=1)。ゲイン・キャリブレーション・レジスタ値は1より大きいゲイン誤差を修正しますが (ゲイン修正 < 1)、入力の過負荷を回避するために、アナログ入力フルスケール範囲を超えてはならないことに注意願います。

表16. フルスケール・キャリブレーション・レジスタ値

| FSCレジスタ | ゲイン補正 |
|---------|-------|
| 800000h | 2.0 |
| 400000h | 1.0 |
| 200000h | 0.5 |
| 000000h | 0 |

キャリブレーション命令

キャリブレーション命令をADS1281に送ると、変換データをキャリブレーションすることができます。オフセットおよびゲイン値は、キャリブレーションを行うために内部レジスタに書き込まれます。これらの命令を送信する前に、適切な入力信号をADS1281入力に印加しておく必要があります。より確実なキャリブレーション結果を得るには、低いデータ・レートを使用します。データ・レートを下げることにより低減化が図れます。また、パワーオン時にキャリブレーションする場合、リファレンス電圧が完全にセトリングしているようにしてください。

図51にキャリブレーション命令シーケンスを示します。アナログ入力電圧（およびリファレンス）が安定した後、「連続データ読取り停止」命令に続いて、SYNC命令および「連続データ読取り」命令を送ります。SYNC命令から64データ周期後、 $\overline{\text{DRDY}}$ が“Low”になります。 $\overline{\text{DRDY}}$ が“Low”になった後、「連続データ読取り停止」命令を送り、次にキャリブレーション命令と「連続データ読取り」命令を続けます。キャリブレーション命令から16データ周期後、キャリブレーションは完了して、このとき変換データを読み取ることができます。なお、SYNC入力はキャリブレーション・シーケンスの間、“High”に保つ必要があります。

OFSCAL命令

OFSCAL命令によりオフセット・キャリブレーションが行われます。オフセット・キャリブレーション命令を送出する前に、ADS1281にゼロの入力信号を印加し、かつ、入力を安定しておく必要があります。この命令が送られると、ADS1281では16回の読み取りが平均され、その値がOFCレジスタに書き込まれます。OFCレジスタの内容は、その後で読み取りや書き込みをすることができます。なお、オフセット・キャリブレーションの間、フルスケール補正はバイパスされます。

GANCAL

GANCAL命令によりゲイン・キャリブレーションが行われます。キャリブレーション命令を送出する前に、正か負のフルスケール値を入力する。ただし、その範囲を超えてはいけません。DC信号が安定した後、この命令を送ることができます。ADS1281では16回の読み取りが平均され、次にゲイン誤差を補償する値が計算されます。その後、ゲイン修正値がFSCレジスタに書き込まれます。GANCALレジスタの内容は、その後で読み取りや書き込みをすることができます。ゲイン・キャリブレーション命令は1より大きいゲイン誤差を修正しますが（ゲイン修正 < 1）、入力の過負荷を回避するために、アナログ入力はフルスケール範囲を超えてはならないことに注意願います。なお、ゲイン・キャリブレーションはオフセット・キャリブレーションの後で実施するようにします。

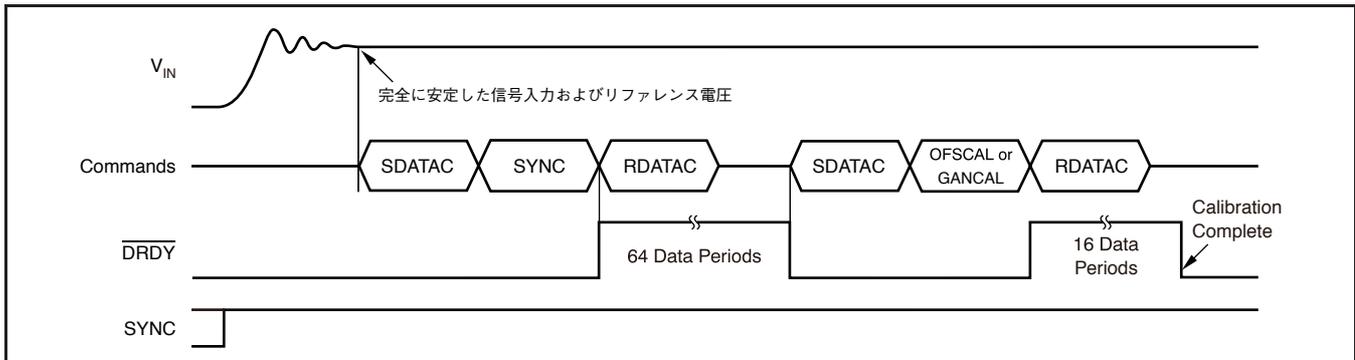


図51. オフセット/ゲイン・キャリブレーション・タイミング

ユーザ・キャリブレーション

ADS1281のシステム・キャリブレーションは、キャリブレーション命令を使用しなくても行うことができます。この手順では、補正値は外部で計算してキャリブレーション・レジスタに書き込みます。この手順のステップは以下の通りです。

1. OFSCAL[2:0]レジスタ = 000000hおよびGANCAL[2:0] = 400000hに設定します。これらの値により、オフセットおよびゲインのレジスタは、それぞれ0および1に設定されます。
2. システムの入力にゼロの差動入力を印加します。システムの設定を待ち、次にn回の出力読み取りを平均します。平均される読み取り回数を増加すると、より確実なキャリブレーション結果が得られます。この平均値をOFCレジスタに書き込みます。
3. 差動の正あるいは負のDC信号あるいはAC信号を、フルスケール入力より小さい値でシステムに印加します。システムの設定を待ち、次にn回の出力読み取りを平均します。

FSCレジスタに書き込まれる値は、式10および式11で計算されます。

DC信号のキャリブレーションを式10および式11に示します。期待出力コードは、31ビットの出力データに基づいています。

$$FSC[2:0] = 400000h \times \left[\frac{\text{Expected Output Code}}{\text{Actual Output Code}} \right] \quad (10)$$

$$\text{期待出力コード} = 2 \times V_{IN} \times \frac{2^{31}}{V_{REF}} \quad (11)$$

AC信号のキャリブレーションには、収集したデータのRMS値を使用します（式12に示すように）。

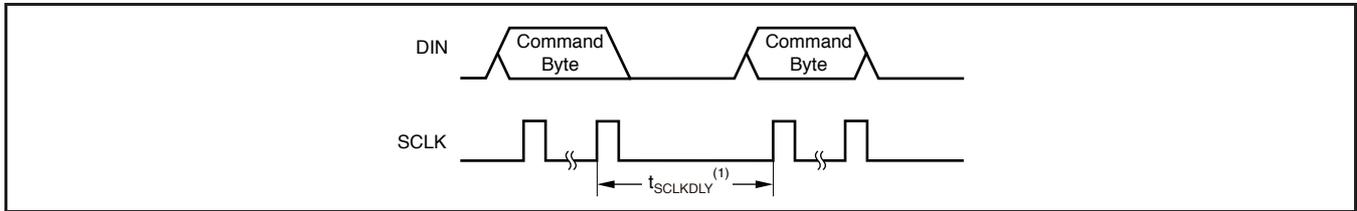
$$FSC[2:0] = 400000h \times \frac{\text{Expected RMS Value}}{\text{Actual RMS Value}} \quad (12)$$

命令

表20に示す一覧の命令により、ADS1281の動作が制御されます。命令動作はレジスタ・モードでのみ可能です。ほとんどの命令はスタンバイオン（すなわち、1バイト長）であり、レジスタ・リードおよびライト命令類には、実際のデータ・バイト以外に第2命令バイトが必要です。

命令と命令の間、また1命令内のバイトとバイトの間には、 $24 f_{CLK}$ の遅延が必要です。この遅延は、1命令における最後のSCLKの立ち上がりエッジから始まり、次の命令の最初のSCLKの立ち上がりエッジまでになります。この遅延を図52に示します。

「連続データ読取り」モードでは、SCLKが供給されると、ADS1281のDOUT端子に変換データが出力されます。DOUTにおける変換データと、レジスタからのデータ、あるいは「コマンド・データ読取り」動作の結果生じるDOUTに出力されるデータとで衝突があり得るので、RREG命令あるいは「コマンド・データ読取り」命令の前に、「連続データ読取り停止」命令を送る必要があります。この「連続データ読取り停止」命令により、DOUT端子における変換データの直接出力がディスエーブルされます。



(1) $t_{SCLKDLY} = 24/f_{CLK}$ (min).

図52. 連続した命令

表20. 命令の説明

| 命令 | 種類 | 説明 | 第1命令バイト ⁽¹⁾⁽²⁾ | 第2命令バイト ⁽³⁾ |
|---------|-----------|---|-----------------------------|--------------------------|
| WAKEUP | 制御 | スタンバイ・モードからのウエークアップ | 0000 000X (00h or 01h) | |
| STANDBY | 制御 | スタンバイ・モードに入る | 0000 001X (02h or 03h) | |
| SYNC | 制御 | A/D変換を同期する | 0000 010X (04h or 5h) | |
| RESET | 制御 | レジスタをデフォルト値にリセットする | 0000 011X (06h or 07h) | |
| RDATAC | 制御 | 連続データ読取り: データを連続して読み取る | 0001 0000 (10h) | |
| SDATAC | 制御 | 連続データ読取り停止: 連続データ読取りモードを停止する | 0001 0001 (11h) | |
| RDATA | データ | コマンド・データ読取り: 命令によるデータの読み取り ⁽⁴⁾ | 0001 0010 (12h) | |
| RREG | レジスタ | レジスタ読取り: レジスタ・アドレスrrrrrからnnnnn個のレジスタを読み取る ⁽⁴⁾ | 001r rrrr (20h + 000r rrrr) | 000n nnnn (00h + n nnnn) |
| WREG | レジスタ | レジスタ書き込み: レジスタ・アドレスrrrrrからnnnnn個のレジスタに書き込む ⁽⁴⁾ | 010r rrrr (40h + 000r rrrr) | 000n nnnn (00h + n nnnn) |
| OFSCAL | キャリブレーション | オフセット・キャリブレーション | 0110 0000 (60h) | |
| GANCAL | キャリブレーション | ゲイン・キャリブレーション | 0110 0001 (61h) | |

(1) X=任意

(2) rrrr=レジスタ・リードおよびレジスタ・ライト命令の開始アドレス

(3) nnnn=リード/ライトされるレジスタ数-1。例えば、3レジスタをリード/ライトするには、nnnn=2 (00010) に設定します。

(4) この命令を送出する前に、「連続データ読取り」モードをキャンセルする必要があります。

WAKEUP：スタンバイ・モードからのウェークアップ

説明：この命令を使用してスタンバイ・モードから抜け出します。この命令の送付に関して、準備すべき最初のデータの時間関係を図41と表12に示します。通常動作時（例えば、DINを“Low”にした「連続データ読取り」法でデータを読み取る場合）にこの命令を送っても、何ら影響はありません。

STANDBY：スタンバイ・モード

説明：この命令によりADS1281はスタンバイ・モードに置かれます。スタンバイ・モードではデバイスは消費電力低減状態に入りますが、レジスタ設定を保存し、SPIインターフェイスをアクティブに保つための消費電流が少し残ります。完全にデバイスをシャットダウンするには、 $\overline{\text{PWDN}}$ 端子を“Low”にします（このとき、レジスタ設定は保存されません）。スタンバイ・モードから抜け出すには、WAKEUP命令を発します。スタンバイ・モードの動作を図53に示します。

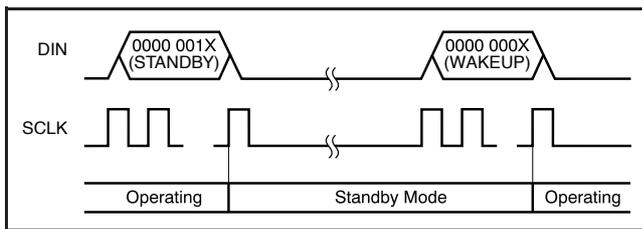


図53. STANDBY命令シーケンス

SYNC：A/D変換の同期をとる

説明：この命令でA/D変換の同期をとります。この命令の受信により、進行中の読み取りはキャンセルされ、変換処理が再開されます。複数のADS1281の同期をとるには、すべてのデバイスにこの命令を同時に送る必要があります。この命令の実行にはSYNC端子を“High”にする必要があることに注意願います。

RESET：デバイスをリセットする

説明：RESET命令によりレジスタはデフォルト値にリセットされ、「連続データ読取り」モードがイネーブルになり、変換処理が再開されます。このように、RESET命令は機能的には $\overline{\text{RESET}}$ 端子と同一です。リセット命令のタイミングは図40をご覧ください。

RDATAC：「連続データ読取り」

説明：この命令により「連続データ読取り」モード（デフォルト・モード）がイネーブルされます。本モードでは、データ読み取り命令を送ることなく、変換データをデバイスから直接的に読み取ることができます。また、 $\overline{\text{DRDY}}$ が“Low”になるたびに、新しいデータが読み取りに対してレディになります。より詳細については、「連続データ読取り」節をご覧ください。

SDATAC：「連続データ読取り停止」

説明：この命令により「連続データ読取り」モードが停止します。「連続データ読取り」モードからの抜け出しは、レジスタおよびデータ読み取り命令を送る前に必要になります。この命令により $\overline{\text{DRDY}}$ 出力は抑えられますが、ADS1281の変換は続行します。

RDATA：「コマンド・データ読取り」

説明：この命令により変換データが読み取られます。詳細は「コマンド・データ読取り」節をご覧ください。

RREG：「レジスタ読取り」

説明：この命令を使用して、単数あるいは複数のレジスタ・データを読み取ります。この命令は2バイトの命令コードの引数と、それに続くレジスタ・データ出力で構成されています。命令コードの第1バイトには開始アドレスがあり、第2バイトでは読み取らなければならないレジスタ数-1が規定されます。

第1命令バイト：001r rrrrr，ここでrrrrrrは1番目のレジスタの開始アドレスになります。

第2命令バイト：000n nnnn，ここでnnnnは読み取るレジスタ数-1になります。

レジスタ・データは、SCLKの16番目の立ち下がりエッジからDOUTに現れ始めます。

RREG命令を図54に示します。24f_{CLK}の遅延が各バイト処理間で必要なことに注意願います。

WREG：「レジスタ書き込み」

説明：この命令により単数あるいは複数のレジスタ・データが書き込まれます。この命令は2バイトの命令コードの引数と、それに続くレジスタ・データ入力で構成されています。命令コードの第1バイトには開始アドレスがあり、第2バイトでは書き込むべきレジスタ数-1が規定されます。

第1命令バイト：001r rrrrr，ここでrrrrrrは1番目のレジスタの開始アドレスになります。

第2命令バイト：000n nnnn，ここでnnnnは書き込むレジスタ数-1になります。

データ・バイト：1あるいは2以上のデータ・レジスタのバイト数であり、規定されたデータ・レジスタ数に依存します。

図55にWREG命令を示します。24 f_{CLK} の遅延が各バイト処理間で必要なことに注意願います。

OFSCAL : オフセット・キャリブレーション

説明：この命令によりオフセット・キャリブレーションが行われます。この命令を送出する前に、コンバータ入力（あるいは、外付けのプリアンプへの入力）にゼロを入力して、かつ、それを安定させます。この動作の後でオフセット・キャリブレーション・レジスタを更新します。より詳細は「キャリブレーション命令」節をご覧ください。

GANCAL : ゲイン・キャリブレーション

説明：この命令によりゲイン・キャリブレーションが行われます。コンバータへの入力は安定したDC入力の、望ましくは、正のフルスケールに近い（しかし、超えない）ものにします。この動作の後で、ゲイン・キャリブレーション・レジスタを更新します。より詳細は「キャリブレーション命令」節をご覧ください。

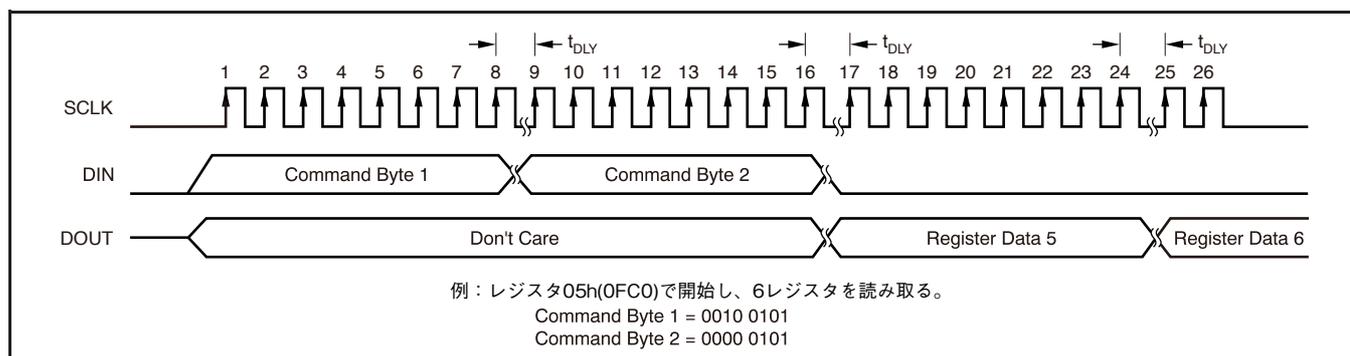


図54. 「レジスタ読取り」 (t_{DLY} は表21に示す)

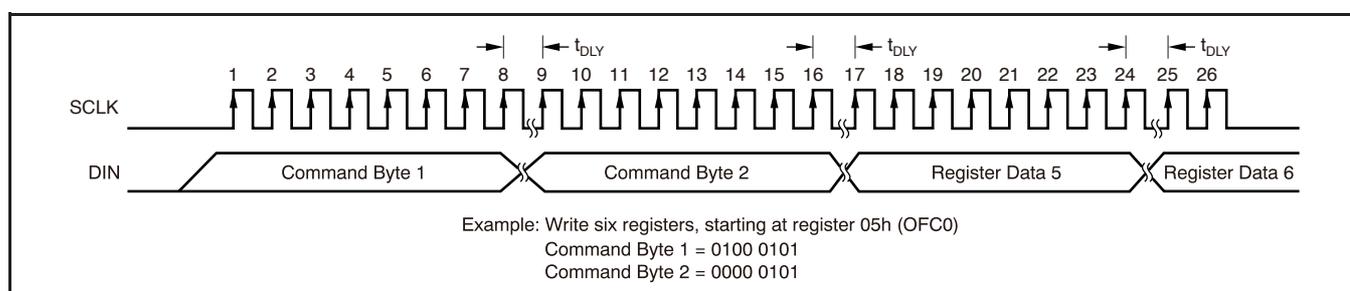


図55. 「レジスタ書込み」 (t_{DLY} は表21に示す)

表21. t_{DRY} 値

| パラメータ | MIN |
|-----------|-------------|
| t_{DLY} | $24f_{CLK}$ |

レジスタ・マップ

レジスタ・モード (PINMODE = 0) では、デバイス・レジスタのリードおよびライト・アクセスが可能です。レジスタ全体で、データ・レート、フィルタ選択、キャリブレーションなどといった、デバイスの設定に必要なすべての情報が格納されています。レジスタはRREGおよびWREG命令によりアクセスされます。また、レジスタは連続バイトの送受信により、個別あるいはレジスタ・ブロックとしてアクセスすることができます。

表22. レジスタ・マップ

| アドレス | レジスタ | リセット値 | BIT 7 | BIT 6 | BIT 5 | BIT 4 | BIT 3 | BIT 2 | BIT 1 | BIT 0 |
|------|----------|-------|-------|-------|-------|-------|-------|-------|--------|--------|
| 00h | ID | X0h | ID3 | ID2 | ID1 | ID0 | 0 | 0 | 0 | 0 |
| 01h | CONFIG0 | 52h | SYNC | 1 | DR2 | DR1 | DR0 | PHS | FILTR1 | FILTR0 |
| 02h | Reserved | 08h | 0 | 0 | 0 | 0 | 1 | 0 | 0 | 0 |
| 03h | HPF0 | 32h | HPF07 | HPF06 | HPF05 | HPF04 | HPF03 | HPF02 | HPF01 | HPF00 |
| 04h | HPF1 | 03h | HPF15 | HPF14 | HPF13 | HPF12 | HPF11 | HPF10 | HPF09 | HPF08 |
| 05h | OFC0 | 00h | OFC07 | OFC06 | OFC05 | OFC04 | OFC03 | OFC02 | OFC01 | OFC00 |
| 06h | OFC1 | 00h | OFC15 | OFC14 | OFC13 | OFC12 | OFC11 | OFC10 | OFC09 | OFC08 |
| 07h | OFC2 | 00h | OFC23 | OFC22 | OFC21 | OFC20 | OFC19 | OFC18 | OFC17 | OFC16 |
| 08h | FSC0 | 00h | FSC07 | FSC06 | FSC05 | FSC04 | FSC03 | FSC02 | FSC01 | FSC00 |
| 09h | FSC1 | 00h | FSC15 | FSC14 | FSC13 | FSC12 | FSC11 | FSC10 | FSC09 | FSC08 |
| 0Ah | FSC2 | 40h | FSC23 | FSC22 | FSC21 | FSC20 | FSC19 | FSC18 | FSC17 | FSC16 |

ID : IDレジスタ (アドレス00h)

| 7 | 6 | 5 | 4 | 3 | 2 | 1 | 0 |
|-----|-----|-----|-----|---|---|---|---|
| ID3 | ID2 | ID1 | ID0 | 0 | 0 | 0 | 0 |

リセット値=X8h

ビット[7:4]

ID[3:0]

工場でプログラミングされた識別ビット (読み取り専用)

ビット[3:0]

予約

常に '0' を書き込む。

CONFIG0 : 設定レジスタ0 (アドレス01h)

| 7 | 6 | 5 | 4 | 3 | 2 | 1 | 0 |
|------|---|-----|-----|-----|-------|--------|--------|
| SYNC | 1 | DR2 | DR1 | DR0 | PHASE | FILTR1 | FILTR0 |

リセット値=52h

- ビット[7] SYNC
同期モード
0: パルスSYNCモード (デフォルト)
1: 連続SYNCモード
- ビット[6] 予約
常に '1' を書き込む (デフォルト)
- ビット[5:3] データ・レート選択
DR[2:0]
000: 250SPS
001: 500SPS
010: 1000SPS (デフォルト)
011: 2000SPS
100: 4000SPS
- ビット[2] FIR位相応答
PHASE
0: 線形位相 (デフォルト)
1: 最小位相
- ビット[1:0] デジタル・フィルタ選択
FILTR[1:0]
デジタル・フィルタ設定
00: 内蔵フィルタをバイパス、変調器出力モード
01: Sincフィルタのみ
10: Sinc+LPFフィルタ (デフォルト)
11: Sinc+LPF+HPFフィルタ

予約 : (アドレス02h)

| 7 | 6 | 5 | 4 | 3 | 2 | 1 | 0 |
|---|---|---|---|---|---|---|---|
| 0 | 0 | 0 | 0 | 1 | 0 | 0 | 0 |

リセット値=08h

- ビット[7:0] 予約
常に '08h' を書き込む

HPF1およびHPF0

これら2バイト（それぞれ上位バイトと下位バイト）により、HPFのコーナー周波数が設定されます。

HPF0：ハイパス・フィルタのコーナー周波数、下位バイト（アドレス03h）

| | | | | | | | |
|------|------|------|------|------|------|------|------|
| 7 | 6 | 5 | 4 | 3 | 2 | 1 | 0 |
| HP07 | HP06 | HP05 | HP04 | HP03 | HP02 | HP01 | HP00 |

リセット値=32h

HPF1：ハイパス・フィルタのコーナー周波数、上位バイト（アドレス04h）

| | | | | | | | |
|------|------|------|------|------|------|------|------|
| 7 | 6 | 5 | 4 | 3 | 2 | 1 | 0 |
| HP15 | HP14 | HP13 | HP12 | HP11 | HP10 | HP09 | HP08 |

リセット値=03h

OFC2, OFC1, OFC0

これら3バイトによりOFC値が設定されます。

OFC0：オフセット補正值、下位バイト（アドレス05h）

| | | | | | | | |
|------|------|------|------|------|------|------|------|
| 7 | 6 | 5 | 4 | 3 | 2 | 1 | 0 |
| OC07 | OC06 | OC05 | OC04 | OC03 | OC02 | OC01 | OC00 |

リセット値=00h

OFC1：オフセット補正值、中位バイト（アドレス06h）

| | | | | | | | |
|------|------|------|------|------|------|------|------|
| 7 | 6 | 5 | 4 | 3 | 2 | 1 | 0 |
| OC15 | OC14 | OC13 | OC12 | OC11 | OC10 | OC09 | OC08 |

リセット値=00h

OFC2：オフセット補正值、上位バイト（アドレス07h）

| | | | | | | | |
|------|------|------|------|------|------|------|------|
| 7 | 6 | 5 | 4 | 3 | 2 | 1 | 0 |
| OC23 | OC22 | OC21 | OC20 | OC19 | OC18 | OC17 | OC16 |

リセット値=00h

FSC2, FSC1, FSC0

これら3バイトによりFSC値が設定されます。

FSC0：ゲイン補正值、下位バイト（アドレス08h）

| | | | | | | | |
|-------|-------|-------|-------|-------|-------|-------|-------|
| 7 | 6 | 5 | 4 | 3 | 2 | 1 | 0 |
| FSC07 | FSC06 | FSC05 | FSC04 | FSC03 | FSC02 | FSC01 | FSC00 |

リセット値=00h

FSC1：ゲイン補正值、中位バイト（アドレス09h）

| | | | | | | | |
|-------|-------|-------|-------|-------|-------|-------|-------|
| 7 | 6 | 5 | 4 | 3 | 2 | 1 | 0 |
| FSC15 | FSC14 | FSC13 | FSC12 | FSC11 | FSC10 | FSC09 | FSC08 |

リセット値=00h

FSC2：ゲイン補正值、上位バイト（アドレス0Ah）

| | | | | | | | |
|-------|-------|-------|-------|-------|-------|-------|-------|
| 7 | 6 | 5 | 4 | 3 | 2 | 1 | 0 |
| FSC23 | FSC22 | FSC21 | FSC20 | FSC19 | FSC18 | FSC17 | FSC16 |

リセット値=40h

設定ガイド

ADS1281には、端子制御モードおよびレジスタ制御モードの2動作モードがあります。端子制御モードでは、デバイス動作は端子により制御され、プログラミングすべきレジスタはありません。レジスタ制御モードでは、デバイス動作の制御にレジスタが使用されます。RESETあるいはパワーオン後、下記の手順でレジスタを設定することができます。

1. SPIインターフェイスをリセットする。

SPIインターフェイスを使用する前に、SPIインターフェイスの回復が必要かもしれません（規定外のI/Oパワーアップ・シーケンスを行うと、誤ったSCLK検出を生じることがあります）。SPIインターフェイスをリセットするには、 $\overline{\text{RESET}}$ 端子をトグルさせるか、「連続データ読取り」モードであれば、SCLKを64 $\overline{\text{DRDY}}$ 周期の間“Low”に保ちます。

2. レジスタを設定する。

レジスタは、個別あるいはグループとして書き込んで設定します。ソフトウェアでは、いずれのモードでも設定できます。SDATAC命令をレジスタ読み取り/書き込み動作の前に送り、「連続データ読取り」モードをキャンセルする必要があります。

3. レジスタ・データを検証する。

デバイスとの通信の検証に、レジスタをリードバックすることができます。

4. データ・モードを設定する。

レジスタ設定の後、「連続データ読取り」命令による「連続データ読取り」モード、あるいはSDATAC命令を用いた「コマンド・データ読取り」モードのいずれかに、デバイスを設定することができます。

5. 読み取りの同期をとる。

SYNCが“High”の場合、ADS1281は常に自走してデータ変換を行います。この変換を停止および再開するには、SYNCを“Low”にし、次に“High”にします。

6. データを読み取る。

「連続データ読取り」モードがアクティブの場合、SCLKパルスを供給して $\overline{\text{DRDY}}$ が下がった後にデータを直接的に読み取ることができます。「連続データ読取り」モードがアクティブでない場合、「コマンド・データ読取り」命令によってのみデータを読み取ることができます。したがって、このモードでは、「コマンド・データ読取り」命令を送って各変換結果を読み取る必要があります（ $\overline{\text{DRDY}}$ は、各データ読み取り命令が送られた後でアサートされることに注意願います）。

アプリケーション情報

ADS1281は非常に高分解能のADCです。したがって、デバイス特性を最適にするには、周辺回路およびプリント回路基板(PCB)の設計に特別な注意を払う必要があります。マイクロコントローラおよび発振器のようなノイズの多いデジタル部品は、本コンバータやアナログ・フロントエンド部品から離れたPCB領域に配置します。また、デジタル部品は電源の供給ポイントの近くに配置して、デジタル電流のパスを短くし、ノイズに敏感なアナログ部品から離します。

図56に受信機インターフェイス例を示します。このアプリケーション回路例では、ADS1281と、±2.5Vでプリアンプとして+4倍ゲイン $[G = 1 + 2(R_2/R_1)]$ で動作しているOPA211があります。

このプリアンプ構成では、本質的に同相除去比が高くなります。また、49.9Ωの抵抗により、ドライバー出力がバイパスコンデンサから分離されています。

オプションの12.7kΩ抵抗は、20mVDCの入力オフセットを提供します。このオフセットは、低レベルのアイドル・トーンを通過帯域外に移動させます。外部抵抗は、良い同相除去比を保つため0.1%以下の精度でマッチングしている必要があります。(12.7kΩから49.9Ωがマッチング)

REF02の+5Vリファレンスは、ADS1281へリファレンス電圧を供給します。リファレンス出力は、R3とC1でフィルタリングされます。このフィルタは、電源投入後安定するまでに数

秒かかります。C2のコンデンサは、リファレンス入力端子での高周波数バイパスが目的ですので、ADS1281の端子近くに使用します。R3 (1kΩ) は、システムのゲイン・エラー (-1.2%) を生じますので注意してください。この誤差を無くす為に、フィルタ部に外部パッドを使用できます。

また、REF5050 (5V) またはREF5045 (4.5V) のリファレンスを使用する事ができます。REF5045リファレンスは、5V電源での動作時にメリットがあります。REF5050は最低5.2Vの電源が必要です。これらのリファレンスでも、ノイズ・フィルタは必要です。

どのような分解能の回路でも、良い電源バイパス方法を使用してください。コンデンサをデバイス端子近くに取り付けます。

電源にスイッチング・デバイスを使用する時は、ADS1281の通過帯域に於ける電源の周波数成分を確認してください。電圧リップルは最小に保って下さい。

リファレンスおよびアナログ入力には、特別に注意を払います。ADS1281のアーキテクチャでは、リファレンス回路を注意深く選択しないと、それによって全体の性能が容易に制限されてしまいます。47Ω抵抗によって、オペアンプとリファレンス端子のコンデンサが分離されているだけでなく、ノイズのフィルタリングも追加されています。規定の特性を実現するには、リファレンス回路の帯域内ノイズをできるだけ低くします。

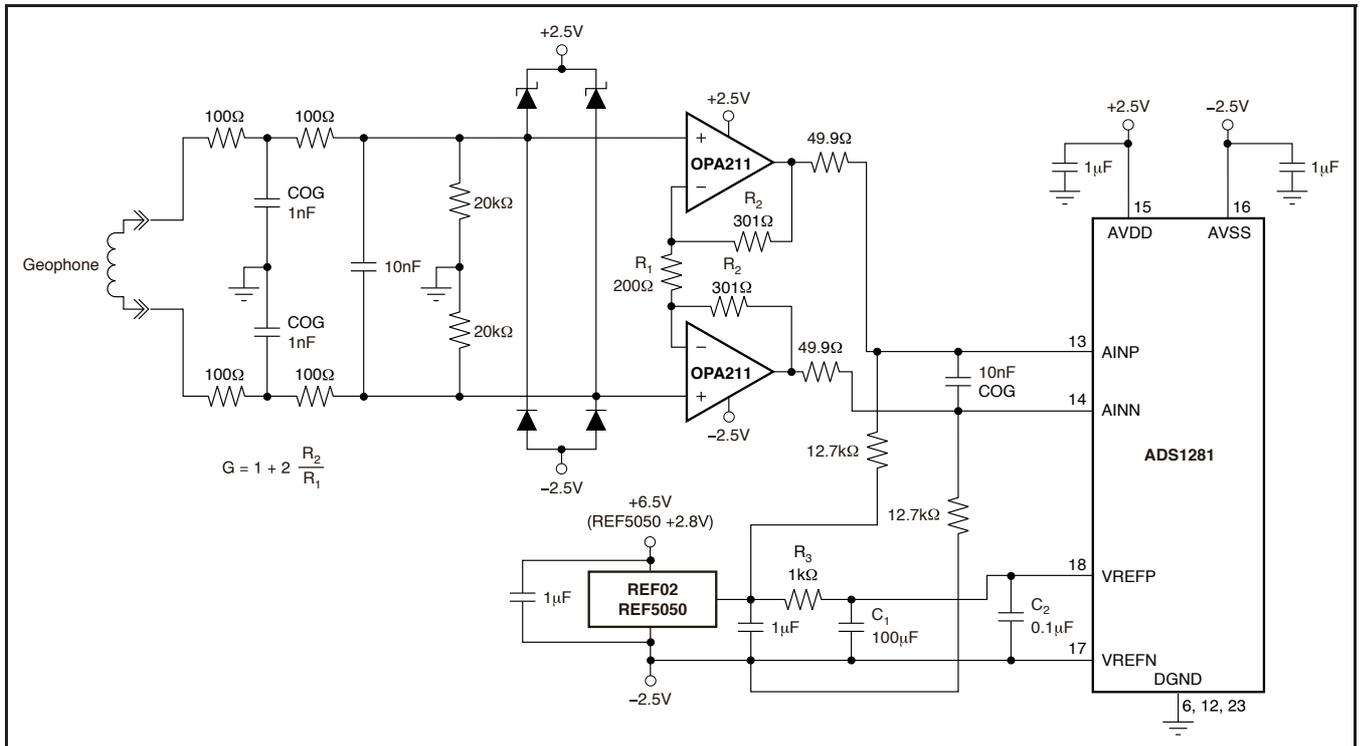
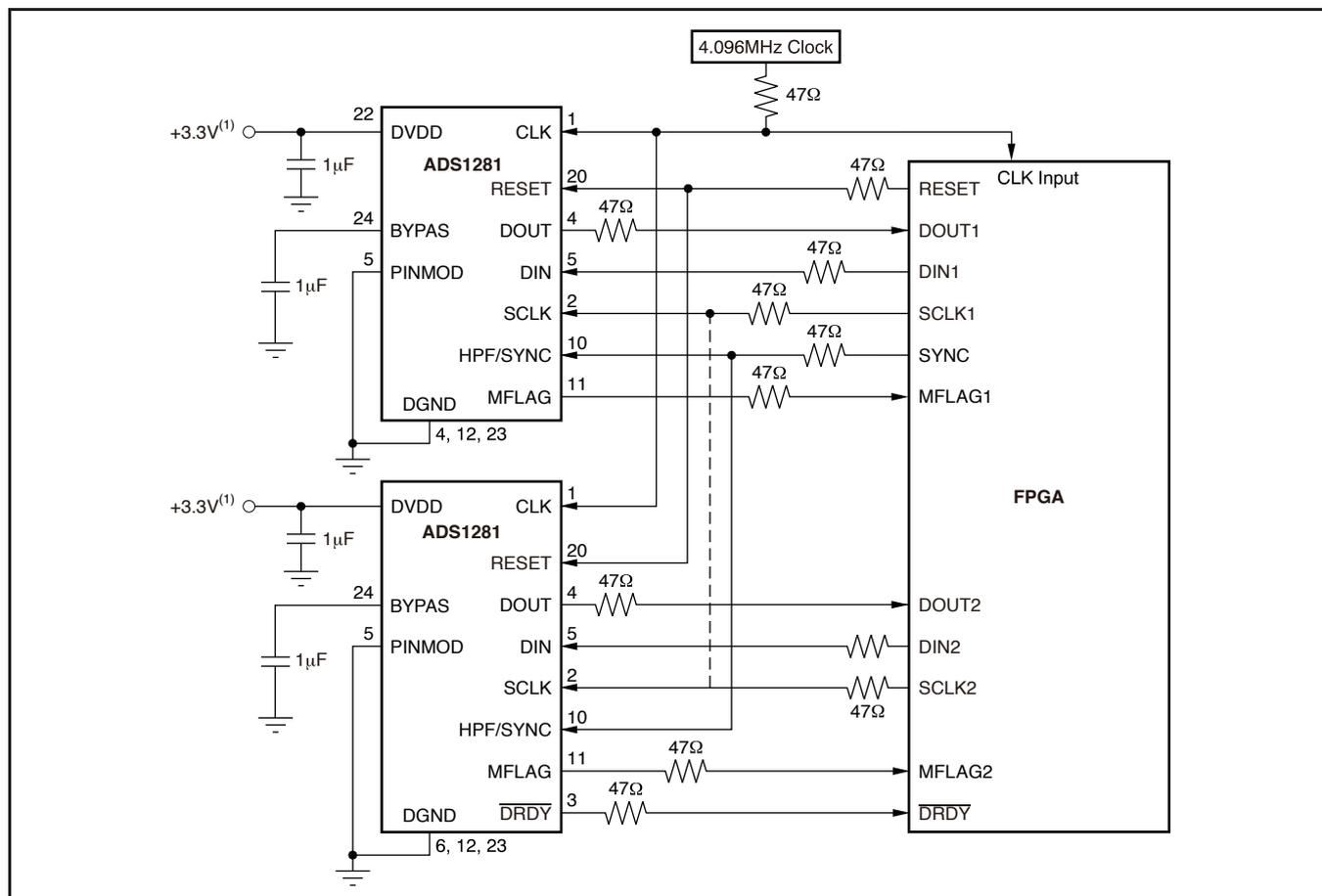


図56. 受信器インターフェイス、両電源構成

図57にFPGA（フィールド・プログラマブル・ゲート・アレイ）デバイスとのデジタル接続を示します。本図の例では、2個のADS1281が接続されています。各ADS1281からの $\overline{\text{DRDY}}$ 出力が使用できますが、両デバイスの同期がとれていれば、一方のデバイスからの $\overline{\text{DRDY}}$ 出力だけで十分です。両デバイス間のSCLKの共有ラインはオプションです。

各デバイスからの変調器オーバーレンジ・フラグ（MFLAG）がFPGAと接続しています。同期をとるために、1つのSYNC制御ラインがすべてのADS1281に接続しています。また、RESETラインもすべてのADS1281に接続しています。

最適性能を得るために、FPGAおよび全ADS1281を同一のクロックで動作させます。デジタル入力でのリングングがないようにしてください。47Ωの抵抗をデジタル・トレースに直列に入れると、インピーダンスが制御されてリングングの低減に役立ちます。抵抗はトレースの信号源（ドライバ）側に配置します。使用しないデジタル入力はフローティングにはならず、直接DVDDあるいはGNDに接続します。



注意：破線はオプションです。
 (1) DVDD < 2.25V については、「DVDD電源」節をご覧ください。

図57. FPGAデバイス

補足

表23. FIR段の係数

| 係数 | セクション1 | セクション2 | セクション3 | | セクション4 | |
|-----------------|-------------------|---------|--|-----------|-------------------|-----------|
| | スケールリング=1/8388608 | | スケールリング=134217728 | | スケールリング=134217728 | |
| | | | 線形位相 | 最小位相 | 線形位相 | 最小位相 |
| b ₀ | -10944 | -774 | -73 | 819 | -132 | 11767 |
| b ₁ | 0 | 0 | -874 | 8211 | -432 | 133882 |
| b ₂ | 103807 | 8994 | -4648 | 44880 | -75 | 769961 |
| b ₃ | 0 | 0 | -16147 | 174712 | 2481 | 2940447 |
| b ₄ | -507903 | -51663 | -41280 | 536821 | 6692 | 8262605 |
| b ₅ | 0 | 0 | -80934 | 1372637 | 7419 | 17902757 |
| b ₆ | 2512192 | 199523 | -120064 | 3012996 | -266 | 30428735 |
| b ₇ | 4194304 | 0 | -118690 | 5788605 | -10663 | 40215494 |
| b ₈ | 2512192 | -629120 | -18203 | 9852286 | -8280 | 39260213 |
| b ₉ | 0 | 0 | 224751 | 14957445 | 10620 | 23325925 |
| b ₁₀ | -507903 | 2570188 | 580196 | 20301435 | 22008 | -1757787 |
| b ₁₁ | 0 | 4194304 | 893263 | 24569234 | 348 | -21028126 |
| b ₁₂ | 103807 | 2570188 | 891396 | 26260385 | -34123 | -21293602 |
| b ₁₃ | 0 | 0 | 293598 | 24247577 | -25549 | -3886901 |
| b ₁₄ | -10944 | -629120 | -987253 | 18356231 | 33460 | 14396783 |
| b ₁₅ | | 0 | -2635779 | 9668991 | 61387 | 16314388 |
| b ₁₆ | | 199523 | -3860322 | 327749 | -7546 | 1518875 |
| b ₁₇ | | 0 | -3572512 | -7171917 | -94192 | -12979500 |
| b ₁₈ | | -51663 | -822573 | -10926627 | -50629 | -11506007 |
| b ₁₉ | | 0 | 4669054 | -10379094 | 101135 | 2769794 |
| b ₂₀ | | 8994 | 12153698 | -6505618 | 134826 | 12195551 |
| b ₂₁ | | 0 | 19911100 | -1333678 | -56626 | 6103823 |
| b ₂₂ | | -774 | 25779390 | 2972773 | -220104 | -6709466 |
| b ₂₃ | | | 27966862 | 5006366 | -56082 | -9882714 |
| b ₂₄ | | | 半分だけ表示。 b ₂₂ と 対象に開始。 | 4566808 | 263758 | -353347 |
| b ₂₅ | | | | 2505652 | 231231 | 8629331 |
| b ₂₆ | | | | 126331 | -215231 | 5597927 |
| b ₂₇ | | | | -1496514 | -430178 | -4389168 |
| b ₂₈ | | | | -1933830 | 34715 | -7594158 |
| b ₂₉ | | | | -1410695 | 580424 | -428064 |
| b ₃₀ | | | | -502731 | 283878 | 6566217 |
| b ₃₁ | | | | 245330 | -588382 | 4024593 |
| b ₃₂ | | | | 565174 | -693209 | -3679749 |
| b ₃₃ | | | | 492084 | 366118 | -5572954 |
| b ₃₄ | | | | 231656 | 1084786 | 332589 |
| b ₃₅ | | | | -9196 | 132893 | 5136333 |
| b ₃₆ | | | | -125456 | -1300087 | 2351253 |
| b ₃₇ | | | | -122207 | -878642 | -3357202 |
| b ₃₈ | | | -61813 | 1162189 | -3767666 | |
| b ₃₉ | | | -4445 | 1741565 | 1087392 | |
| b ₄₀ | | | 22484 | -522533 | 3847821 | |
| b ₄₁ | | | 22245 | -2490395 | 919792 | |
| b ₄₂ | | | 10775 | -688945 | -2918303 | |

表23. FIR段の係数（続き）

| 係数 | セクション1 | セクション2 | セクション3 | | セクション4 | |
|-----------------|------------------|--------|-----------------|-------|--|----------|
| | スケーリング=1/8388608 | | スケーリング=13421728 | | スケーリング=13421728 | |
| | | | 線形位相 | 最小位相 | 線形位相 | 最小位相 |
| b ₄₃ | | | | 940 | 2811738 | -2193542 |
| b ₄₄ | | | | -2953 | 2425494 | 1493873 |
| b ₄₅ | | | | -2599 | -2338095 | 2595051 |
| b ₄₆ | | | | -1052 | -4511116 | -79991 |
| b ₄₇ | | | | -43 | 641555 | -2260106 |
| b ₄₈ | | | | 214 | 6661730 | -963855 |
| b ₄₉ | | | | 132 | 2950811 | 1482337 |
| b ₅₀ | | | | 33 | -8538057 | 1480417 |
| b ₅₁ | | | | | -10537298 | -586408 |
| b ₅₂ | | | | | 9818477 | -1497356 |
| b ₅₃ | | | | | 41426374 | -168417 |
| b ₅₄ | | | | | 56835776 | 1166800 |
| b ₅₅ | | | | | 半分だけ表示。 b ₂₂ と 対象に開始。 | 644405 |
| b ₅₆ | | | | | | -675082 |
| b ₅₇ | | | | | | -806095 |
| b ₅₈ | | | | | | 211391 |
| b ₅₉ | | | | | | 740896 |
| b ₆₀ | | | | | | 141976 |
| b ₆₁ | | | | | | -527673 |
| b ₆₂ | | | | | | -327618 |
| b ₆₃ | | | | | | 278227 |
| b ₆₄ | | | | | | 363809 |
| b ₆₅ | | | | | | -70646 |
| b ₆₆ | | | | | | -304819 |
| b ₆₇ | | | | | | -63159 |
| b ₆₈ | | | | | | 205798 |
| b ₆₉ | | | | | 124363 | |
| b ₇₀ | | | | | -107173 | |
| b ₇₁ | | | | | -131357 | |
| b ₇₂ | | | | | 31104 | |
| b ₇₃ | | | | | 107182 | |
| b ₇₄ | | | | | 15644 | |
| b ₇₅ | | | | | -71728 | |
| b ₇₆ | | | | | -36319 | |
| b ₇₇ | | | | | 38331 | |
| b ₇₈ | | | | | 38783 | |
| b ₇₉ | | | | | -13557 | |
| b ₈₀ | | | | | -31453 | |
| b ₈₁ | | | | | -1230 | |
| b ₈₂ | | | | | 20983 | |
| b ₈₃ | | | | | 7729 | |
| b ₈₄ | | | | | -11463 | |
| b ₈₅ | | | | | -8791 | |
| b ₈₆ | | | | | 4659 | |

表23. FIR段の係数（続き）

| 係数 | セクション1 | セクション2 | セクション3 | | セクション4 | |
|------------------|-------------------|--------|-------------------|------|-------------------|-------|
| | スケールリング=1/8388608 | | スケールリング=134217728 | | スケールリング=134217728 | |
| | | | 線形位相 | 最小位相 | 線形位相 | 最小位相 |
| b ₈₇ | | | | | | 7126 |
| b ₈₈ | | | | | | -732 |
| b ₈₉ | | | | | | -4687 |
| b ₉₀ | | | | | | -976 |
| b ₉₁ | | | | | | 2551 |
| b ₉₂ | | | | | | 1339 |
| b ₉₃ | | | | | | -1103 |
| b ₉₄ | | | | | | -1085 |
| b ₉₅ | | | | | | 314 |
| b ₉₆ | | | | | | 681 |
| b ₉₇ | | | | | | 16 |
| b ₉₈ | | | | | | -349 |
| b ₉₉ | | | | | | -96 |
| b ₁₀₀ | | | | | | 144 |
| b ₁₀₁ | | | | | | 78 |
| b ₁₀₂ | | | | | | -46 |
| b ₁₀₃ | | | | | | -42 |
| b ₁₀₄ | | | | | | 9 |
| b ₁₀₅ | | | | | | 16 |
| b ₁₀₆ | | | | | | 0 |
| b ₁₀₇ | | | | | | -4 |

$$\text{HPFゲイン誤差係数} = \frac{1 - \sqrt{1 - 2 \left[\frac{\cos \omega_N + \sin \omega_N - 1}{\cos \omega_N} \right]}}{2 - \left[\frac{\cos \omega_N + \sin \omega_N - 1}{\cos \omega_N} \right]} \quad (13)$$

この式の使い方の例については、「HPF段」節をご覧ください。

表24. t_{DR} データ・レディに要する時間（Sincフィルタ）

| f _{DATA} | f _{CLK} ⁽¹⁾ |
|-------------------|---------------------------------|
| 128k | 440 |
| 64k | 616 |
| 32k | 968 |
| 16k | 1672 |
| 8k | 2824 |

(1) SYNCおよびウェイクアップ命令について、f_{CLK}=（8番目のSCLKの立ち上がりエッジの次のCLKの立ち上がりエッジから、DRDYの立ち下がりエッジまでのCLKサイクル数）。ウェイクアップ命令のみについては、2・f_{CLK} サイクルを減算します。

表24は表10および表12で参照されています。

パッケージ情報

| Orderable Device | Status ⁽¹⁾ | Package Type | Package Drawing | Pins | Package Qty | Eco Plan ⁽²⁾ | Lead/Ball Finish | MSL Peak Temp ⁽³⁾ |
|------------------|-----------------------|--------------|-----------------|------|-------------|-------------------------|------------------|------------------------------|
| ADS1281IPW | ACTIVE | TSSOP | PW | 24 | 60 | Green (RoHS & no Sb/Br) | CU NIPDAU | Level-1-260C-UNLIM |
| ADS1281IPWG4 | ACTIVE | TSSOP | PW | 24 | 60 | Green (RoHS & no Sb/Br) | CU NIPDAU | Level-1-260C-UNLIM |
| ADS1281IPWR | ACTIVE | TSSOP | PW | 24 | 2000 | Green (RoHS & no Sb/Br) | CU NIPDAU | Level-1-260C-UNLIM |
| ADS1281IPWRG4 | ACTIVE | TSSOP | PW | 24 | 2000 | Green (RoHS & no Sb/Br) | CU NIPDAU | Level-1-260C-UNLIM |

(1) マーケティング・ステータスは次のように定義されています。

ACTIVE：製品デバイスが新規設計用に推奨されています。

LIFEBUY：TIによりデバイスの生産中止予定が発表され、ライフタイム購入期間が有効です。

NRND：新規設計用に推奨されていません。デバイスは既存の顧客をサポートするために生産されていますが、TIでは新規設計にこの部品を使用することを推奨していません。

PREVIEW：デバイスは発表済みですが、まだ生産が開始されていません。サンプルが提供される場合と、提供されない場合があります。

OBSOLETE：TIによりデバイスの生産が中止されました。

(2) エコ・プラン - 環境に配慮した製品分類プランであり、Pb-Free (RoHS)、Pb-Free (RoHS Expert) および Green (RoHS & no Sb/Br) があります。最新情報および製品内容の詳細については、<http://www.ti.com/productcontent> でご確認ください。

TBD：Pb-Free/Green 変換プランが策定されていません。

Pb-Free (RoHS)：TIにおける“Lead-Free”または“Pb-Free”(鉛フリー)は、6つの物質すべてに対して現在のRoHS要件を満たしている半導体製品を意味します。これには、同種の材質内で鉛の重量が0.1%を超えないという要件も含まれます。高温で半田付けするように設計されている場合、TIの鉛フリー製品は指定された鉛フリー・プロセスでの使用に適しています。

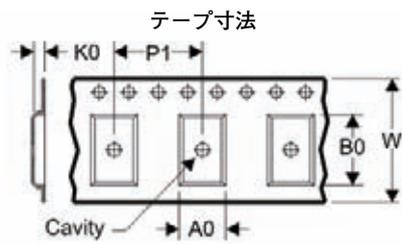
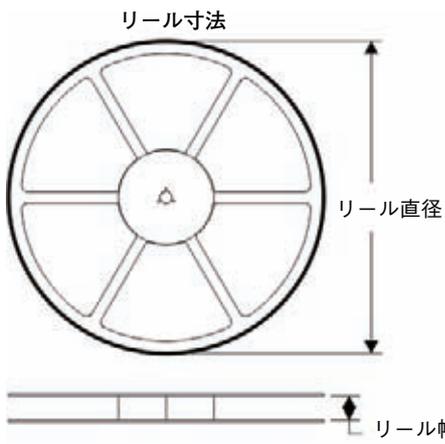
Pb-Free (RoHS Exempt)：この部品は、1) ダイとパッケージの間に鉛ベースの半田バンプ使用、または2) ダイとリードフレーム間に鉛ベースの接着剤を使用、が除外されています。それ以外は上記の様にPb-Free (RoHS)と考えられます。

Green(RoHS & no Sb/Br)：TIにおける“Green”は、“Pb-Free”(RoHS互換)に加えて、臭素(Br)およびアンチモン(Sb)をベースとした難燃材を含まない(均質な材質中のBrまたはSb重量が0.1%を超えない)ことを意味しています。

(3) MSL、ピーク温度 -- JEDEC 業界標準分類に従った耐湿性レベル、およびピーク半田温度です。

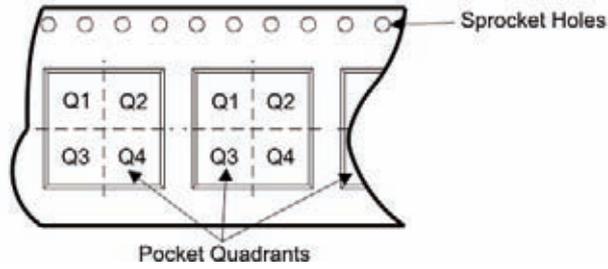
重要な情報および免責事項：このページに記載された情報は、記載された日付時点でのTIの知識および見解を表しています。TIの知識および見解は、第三者によって提供された情報に基づいており、そのような情報の正確性について何らの表明および保証も行いません。第三者からの情報をより良く統合するための努力は続けております。TIでは、事実を適切に表す正確な情報を提供すべく妥当な手順を踏み、引き続きそれを継続してゆきますが、受け入れる部材および化学物質に対して破壊試験や化学分析は実行していない場合があります。TIおよびTI製品の供給者は、特定の情報を機密情報として扱っているため、CAS番号やその他の制限された情報が公開されない場合があります。

テープおよびリール・ボックス情報



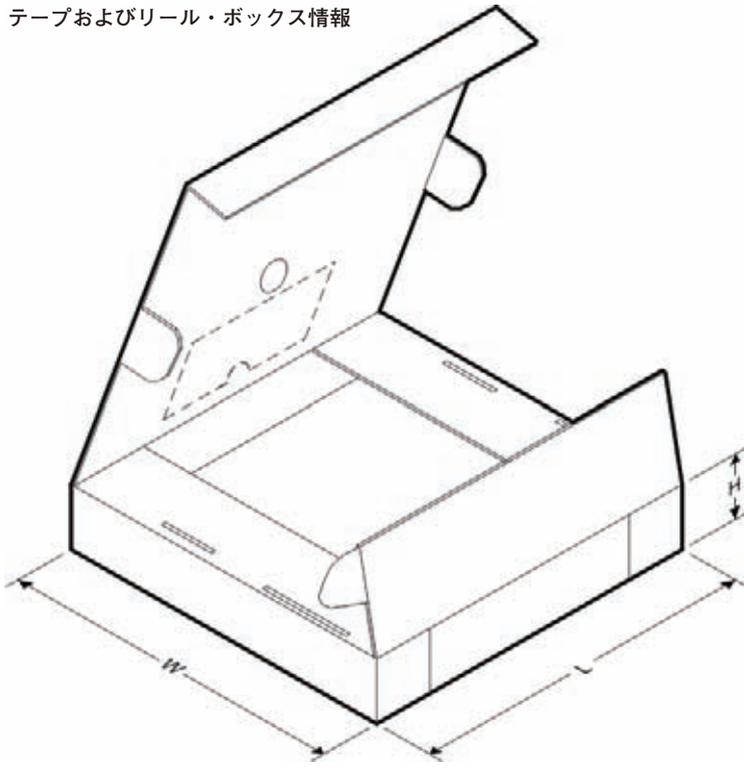
| | |
|----|-----------------|
| A0 | 部品幅に合わせて設計された寸法 |
| B0 | 部品長に合わせて設計された寸法 |
| K0 | 部品厚に合わせて設計された寸法 |
| W | キャリア・テープの全体幅 |
| P1 | 連続キャビティ中心間のピッチ |

テープ内の1ピン・オリエンテーションの象限配置



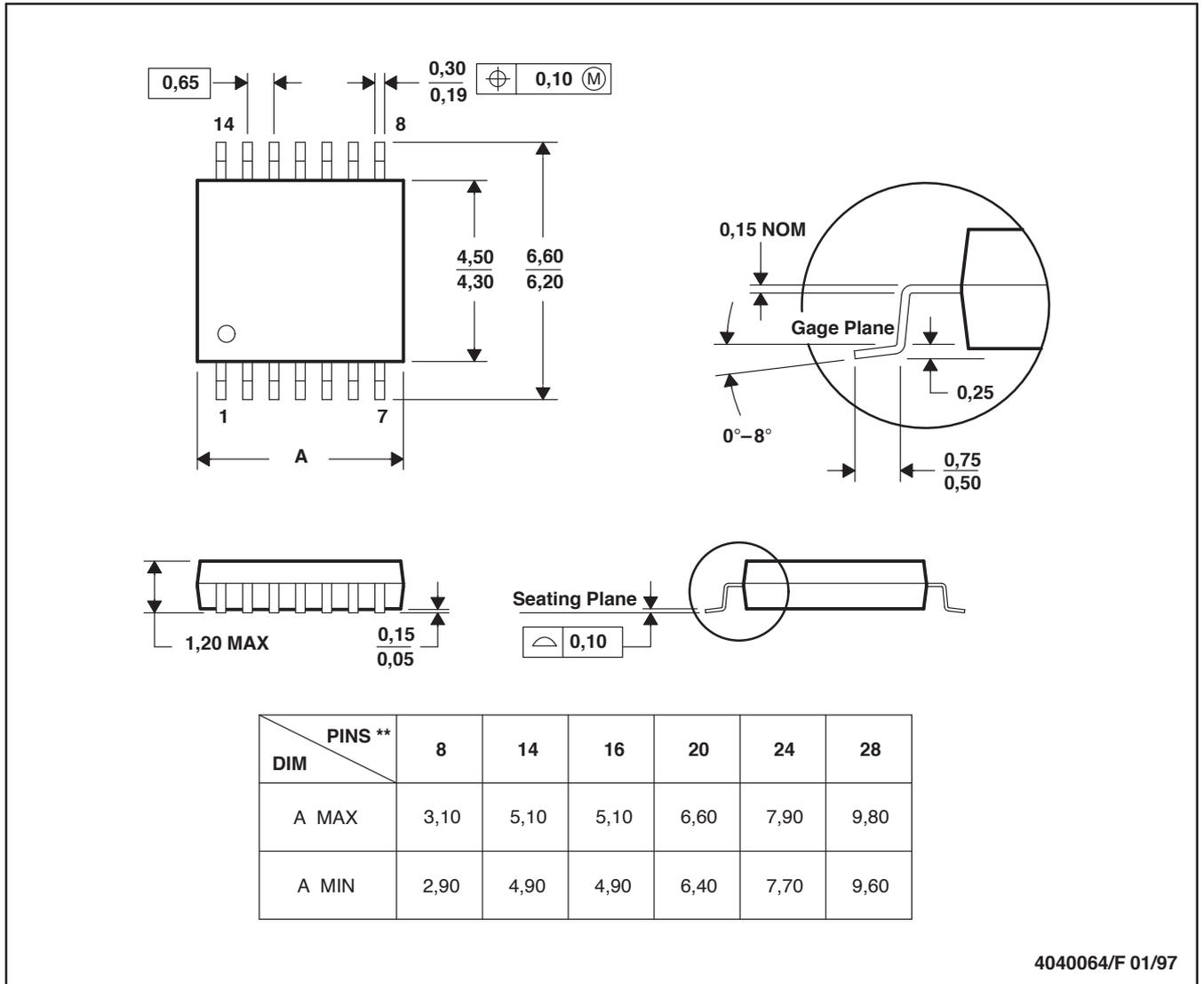
| Device | Package | Pins | Site | Reel Diameter (mm) | Reel Width (mm) | A0 (mm) | B0 (mm) | K0 (mm) | P1 (mm) | W (mm) | Pin1 Quadrant |
|-------------|---------|------|---------|--------------------|-----------------|---------|---------|---------|---------|--------|---------------|
| ADS1281IPWR | PW | 24 | SITE 60 | 330 | 16 | 6.95 | 8.3 | 1.6 | 8 | 16 | Q1 |

テープおよびリール・ボックス情報



| Device | Package | Pins | Site | Length (mm) | Width (mm) | Height (mm) |
|-------------|---------|------|---------|-------------|------------|-------------|
| ADS1281IPWR | PW | 24 | SITE 60 | 346.0 | 346.0 | 33.0 |

14 PINS SHOWN



4040064/F 01/97

注記:

- A. 直線寸法はすべてミリメートルです。
- B. 本図は予告なく変更することがあります。
- C. ボディの寸法には、0,15 を超えるモールド・フラッシュや突起は含まれません。
- D. JEDEC MO - 153 に準拠します。

ご注意

日本テキサス・インスツルメンツ株式会社(以下TIJといいます)及びTexas Instruments Incorporated(TIJの親会社、以下TIJないしTexas Instruments Incorporatedを総称してTIJといいます)は、その製品及びサービスを任意に修正し、改善、改良、その他の変更をし、もしくは製品の製造中止またはサービスの提供を中止する権利を留保します。従いまして、お客様は、発注される前に、関連する最新の情報を取得して頂き、その情報が現在有効かつ完全なものであるかどうかをご確認下さい。全ての製品は、お客様とTIJとの間に取引契約が締結されている場合は、当該契約条件に基づき、また当該取引契約が締結されていない場合は、ご注文の受諾の際に提示されるTIJの標準販売契約約款に従って販売されます。

TIJは、そのハードウェア製品が、TIの標準保証条件に従い販売時の仕様に対応した性能を有していること、またはお客様とTIJとの間で合意された保証条件に従い合意された仕様に対応した性能を有していることを保証します。検査およびその他の品質管理技法は、TIが当該保証を支援するのに必要とみなす範囲で行なわれております。各デバイスの全てのパラメータに関する固有の検査は、政府がそれ等の実行を義務づけている場合を除き、必ずしも行なわれておりません。

TIJは、製品のアプリケーションに関する支援もしくはお客様の製品の設計について責任を負うことはありません。TI製部品を使用しているお客様の製品及びそのアプリケーションについての責任はお客様にあります。TI製部品を使用したお客様の製品及びアプリケーションについて想定される危険を最小のものとするため、適切な設計上および操作上の安全対策は、必ずお客様にてお取り下さい。

TIJは、TIの製品もしくはサービスが使用されている組み合わせ、機械装置、もしくは方法に関連しているTIの特許権、著作権、回路配置利用権、その他のTIの知的財産権に基づいて何らかのライセンスを許諾するということは明示的にも黙示的にも保証も表明もしていません。TIが第三者の製品もしくはサービスについて情報を提供することは、TIが当該製品もしくはサービスを使用することについてライセンスを与えるとか、保証もしくは承認をすることを意味しません。そのような情報を使用するには第三者の特許その他の知的財産権に基づき当該第三者からライセンスを得なければならない場合もあり、またTIの特許その他の知的財産権に基づきTIからライセンスを得て頂かなければならない場合もあります。

TIのデータ・ブックもしくはデータ・シートの中にある情報を複製することは、その情報に一切の変更を加えること無く、かつその情報と結び付けられた全ての保証、条件、制限及び通知と共に複製がなされる限りにおいて許されるものとします。当該情報に変更を加えて複製することは不正で誤認を生じさせる行為です。TIは、そのような変更された情報や複製については何の義務も責任も負いません。

TIの製品もしくはサービスについてTIJにより示された数値、特性、条件その他のパラメータと異なる、あるいは、それを超えてなされた説明で当該TI製品もしくはサービスを再販売することは、当該TI製品もしくはサービスに対する全ての明示的保証、及び何らかの黙示的保証を無効にし、かつ不正で誤認を生じさせる行為です。TIJは、そのような説明については何の義務も責任もありません。

TIJは、TIの製品が、安全でないことが致命的となる用途ないしアプリケーション(例えば、生命維持装置のように、TI製品に不良があった場合に、その不良により相当な確率で死傷等の重篤な事故が発生するようなもの)に使用されることを認めておりません。但し、お客様とTIの双方の権限有る役員が書面でそのような使用について明確に合意した場合は除きます。たとえTIJがアプリケーションに関連した情報やサポートを提供したとしても、お客様は、そのようなアプリケーションの安全面及び規制面から見た諸問題を解決するために必要とされる専門的知識及び技術を持ち、かつ、お客様の製品について、またTI製品をそのような安全でないことが致命的となる用途に使用することについて、お客様が全ての法的責任、規制を遵守する責任、及び安全に関する要求事項を満足させる責任を負っていることを認め、かつそのことに同意します。さらに、もし万一、TIの製品がそのような安全でないことが致命的となる用途に使用されたことによって損害が発生し、TIないしその代表者がその損害を賠償した場合は、お客様がTIないしその代表者にその全額の補償をするものとします。

TI製品は、軍事的用途もしくは宇宙航空アプリケーションないし軍事的環境、航空宇宙環境にて使用されるようには設計もされていませんし、使用されることを意図されていません。但し、当該TI製品が、軍需対応グレード品、若しくは「強化プラスチック」製品としてTIが特別に指定した製品である場合は除きます。TIが軍需対応グレード品として指定した製品のみが軍需品の仕様書に合致いたします。お客様は、TIが軍需対応グレード品として指定していない製品を、軍事的用途もしくは軍事的環境下で使用することは、もっぱらお客様の危険負担においてなされるということ、及び、お客様がもっぱら責任をもって、そのような使用に関して必要とされる全ての法的要求事項及び規制上の要求事項を満足させなければならないことを認め、かつ同意します。

TI製品は、自動車用アプリケーションないし自動車の環境において使用されるようには設計されていませんし、また使用されることを意図されていません。但し、TIがISO/TS 16949の要求事項を満たしていると特別に指定したTI製品は除きます。お客様は、お客様が当該TI指定品以外のTI製品を自動車用アプリケーションに使用しても、TIは当該要求事項を満たしていなかったことについて、いかなる責任も負わないことを認め、かつ同意します。

Copyright © 2009, Texas Instruments Incorporated
日本語版 日本テキサス・インスツルメンツ株式会社

弊社半導体製品の取り扱い・保管について

半導体製品は、取り扱い、保管・輸送環境、基板実装条件によっては、お客様での実装前後に破壊/劣化、または故障を起こすことがあります。

弊社半導体製品のお取り扱い、ご使用にあたっては下記の点を遵守して下さい。

1. 静電気

素手で半導体製品単体を触らないこと。どうしても触る必要がある場合は、リストストラップ等で人体からアースをとり、導電性手袋等をして取り扱うこと。

弊社出荷梱包単位(外装から取り出された内装及び個装)又は製品単品で取り扱いを行う場合は、接地された導電性のテーブル上で(導電性マットにアースをとったもの等)、アースをした作業者が行うこと。また、コンテナ等も、導電性のものを使うこと。

マウンタやはんだ付け設備等、半導体の実装に関わる全ての装置類は、静電気の帯電を防止する措置を施すこと。

前記のリストストラップ・導電性手袋・テーブル表面及び実装装置類の接地等の静電気帯電防止措置は、常に管理されその機能が確認されていること。

2. 温・湿度環境

温度: 0~40、相対湿度: 40~85%で保管・輸送及び取り扱いを行うこと。(但し、結露しないこと。)

直射日光があたる状態で保管・輸送しないこと。

3. 防湿梱包

防湿梱包品は、開封後は個別推奨保管環境及び期間に従い基板実装すること。

4. 機械的衝撃

梱包品(外装、内装、個装)及び製品単品を落下させたり、衝撃を与えないこと。

5. 熱衝撃

はんだ付け時は、最低限260以上の高温状態に、10秒以上さらさないこと。(個別推奨条件がある時はそれに従うこと。)

6. 汚染

はんだ付け性を損なう、又はアルミ配線腐食の原因となるような汚染物質(硫黄、塩素等ハロゲン)のある環境で保管・輸送しないこと。はんだ付け後は十分にフラックスの洗浄を行うこと。(不純物含有率が一定以下に保証された無洗浄タイプのフラックスは除く。)

以上