

ADS127L21 512kSPS、プログラマブルフィルタ、24 ビット、広帯域幅のデル タ シグマ ADC

1 特長

- プログラム可能な FIR フィルタ
- プログラム可能な IIR フィルタ
- 広帯域または低レイテンシのフィルタ オプション
- データレートをプログラム可能:
 - 広帯域フィルタ: 512kSPS
 - 低レイテンシ フィルタ: 1.365MSPS
- 変換レイテンシ (低レイテンシ フィルタ): 3μs
- AC 精度および DC 精度:
 - ダイナミックレンジ (200kSPS): 111.5dB (標準値)
 - THD: -125dB (標準値)
 - INL: FSR の 0.4ppm (標準値)
 - オフセットドリフト: 50nV/°C (標準値)
 - ゲインドリフト: 0.5ppm/°C (標準値)
- 電力スケラブルな速度範囲:
 - 最高速度: 512kSPS、33mW (標準値)
 - 高速度: 400kSPS、26mW (標準値)
 - 中速度: 200kSPS、14mW (標準値)
 - 低速度: 50kSPS、4.3mW (標準値)
- 入力範囲: $\pm V_{REF}$ または $\pm 2V_{REF}$
- バッファ付き入力
- 内部または外部クロック動作
- 機能安全対応
 - 機能安全システムの設計に役立つ資料を利用可能

2 アプリケーション

- 試験および測定機器:
 - データ アクイジション (DAQ)
 - 音響および動的歪みゲージ
- ファクトリ オートメーション / 制御:
 - 振動、コンディション監視
- 医療:
 - ドップラー超音波
- グリッド インフラストラクチャ:
 - 電源品質アナライザ

3 説明

ADS127L21 は、プログラマブル デジタル フィルタを備えた、24 ビットのデルタ シグマ ($\Delta\Sigma$) アナログ/デジタル コンバータ (ADC) です。このデジタル フィルタのデータレートは、広帯域フィルタ使用時に最大 512kSPS、低レイテンシフィルタ使用時に最大 1365kSPS です。本デバイスは、低消費電力で優れた AC 性能と DC 精度を備えています。

プログラム可能な無限および有限インパルス応答 (IIR および FIR) デジタル フィルタにより、A 重み付け補償や周波数ノッチ フィルタなどのカスタムのフィルタ プロファイルを使用できます。広帯域または低レイテンシのフィルタ オプションにより、AC 信号の性能または DC 信号のデータスループットをすべて 1 つのデバイスで最適化します。

低ドリフトの変調器は、優れた DC 精度を備えており、小さい帯域内ノイズで AC 性能を向上しています。アーキテクチャは、消費電力に関する拡張性が高く、データレート、分解能、消費電力を最適化するために、4 つの速度モードがあります。信号およびリファレンス入力バッファは、ドライバの負荷を低減して精度を向上させます。

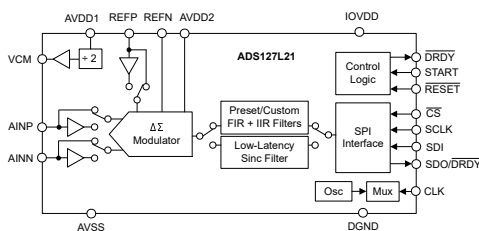
絶縁バリア越しの信号ラインの数を減らすため、シリアルインターフェイスはデジタイズ チェーン機能を備えています。動作の信頼性を高めるため、SPI 入力データとレジスタ メモリの内容は巡回冗長性検査 (CRC) で検証されます。

3mm × 3mm WQFN パッケージは、スペースに制約のあるアプリケーション向けに設計されています。本デバイスは、-40°C ~ +125°C の温度範囲について完全に動作が規定されています。

パッケージ情報

部品番号	パッケージ (1)	パッケージ サイズ (2)
ADS127L21	RUK (WQFN, 20)	3mm × 3mm

- (1) 詳細については、[メカニカル](#)、[パッケージ](#)、および[注文情報](#)をご覧ください。
- (2) パッケージ サイズ (長さ × 幅) は公称値であり、該当する場合はピンを含みます。



概略ブロック図



目次

1 特長	1	6.10 THD の測定.....	37
2 アプリケーション	1	6.11 IMD の測定.....	38
3 説明	1	6.12 SFDR の測定.....	38
4 ピン構成および機能	3	6.13 ノイズ性能.....	39
5 仕様	4	7 詳細説明	45
5.1 絶対最大定格.....	4	7.1 概要.....	45
5.2 ESD 定格.....	4	7.2 機能ブロック図.....	46
5.3 推奨動作条件.....	5	7.3 機能説明.....	46
5.4 熱に関する情報.....	5	7.4 デバイスの機能モード.....	69
5.5 電気的特性.....	6	7.5 プログラミング.....	75
5.6 タイミング要件 ($1.65V \leq IOVDD \leq 2V$).....	16	8 レジスタ マップ	88
5.7 スイッチング特性 ($1.65V \leq IOVDD \leq 2V$).....	17	9 アプリケーションと実装	104
5.8 タイミング要件 ($2V < IOVDD \leq 5.5V$).....	18	9.1 アプリケーション情報.....	104
5.9 スイッチング特性 ($2V < IOVDD \leq 5.5V$).....	19	9.2 代表的なアプリケーション.....	105
5.10 タイミング図.....	19	9.3 電源に関する推奨事項.....	114
5.11 代表的特性.....	21	9.4 レイアウト.....	115
6 パラメータ測定情報	35	10 デバイスおよびドキュメントのサポート	117
6.1 オフセット誤差の測定.....	35	10.1 ドキュメントのサポート.....	117
6.2 オフセットドリフトの測定.....	35	10.2 ドキュメントの更新通知を受け取る方法.....	117
6.3 ゲイン誤差の測定.....	35	10.3 サポート・リソース.....	117
6.4 ゲイン・ドリフトの測定.....	35	10.4 商標.....	117
6.5 NMRR の測定.....	35	10.5 静電気放電に関する注意事項.....	117
6.6 CMRR の測定.....	36	10.6 用語集.....	117
6.7 PSRR の測定.....	36	11 改訂履歴	117
6.8 SNR の測定.....	37	12 メカニカル、パッケージ、および注文情報	118
6.9 INL 誤差の測定.....	37		

4 ピン構成および機能

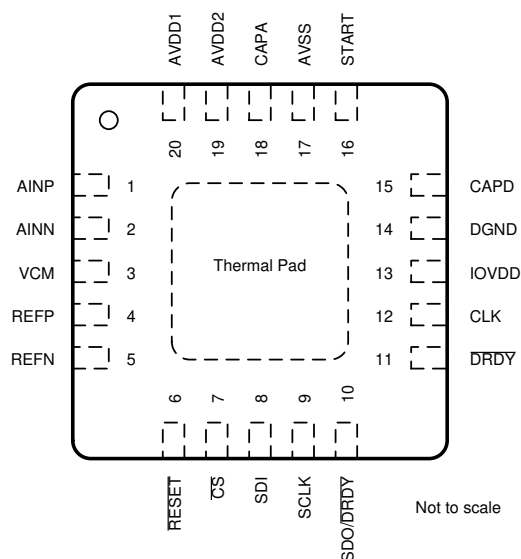


図 4-1. RUK パッケージ、20 ピン WQFN (上面図)

表 4-1. ピンの機能

名称	ピン番号	タイプ	説明
AINN	2	アナログ入力	負のアナログ入力。詳細については、「 アナログ入力 」セクションを参照してください。
AINP	1	アナログ入力	正のアナログ入力。詳細については、「 アナログ入力 」セクションを参照してください。
AVDD1	20	アナログ電源	正のアナログ電源 1。詳細については、「 電源 」セクションを参照してください。
AVDD2	19	アナログ電源	正のアナログ電源 2。詳細については、「 電源 」セクションを参照してください。
AVSS	17	アナログ電源	負のアナログ電源。詳細については、「 電源 」セクションを参照してください。
CAPA	18	アナログ出力	アナログ電圧レギュレータの出力コンデンサのバイパス。
CAPD	15	アナログ出力	デジタル電圧レギュレータの出力コンデンサのバイパス。
CLK	12	デジタル入力	クロック入力。詳細については、「 クロック動作 」セクションを参照してください。
CS	7	デジタル入力	チップ セレクトで、アクティブ Low です。詳細については、「 チップ セレクト 」セクションを参照してください。
DGND	14	グラウンド	デジタル グラウンド。
DRDY	11	デジタル出力	データ準備完了で、アクティブ Low です。詳細については、「 データ準備完了 」セクションを参照してください。
IOVDD	13	デジタル電源	I/O 電源電圧。詳細については、「 電源 」セクションを参照してください。
REFN	5	アナログ入力	負のリファレンス入力。詳細については、「 リファレンス電圧 」セクションを参照してください。
REFP	4	アナログ入力	正のリファレンス入力。詳細については、「 リファレンス電圧 」セクションを参照してください。
RESET	6	デジタル入力	リセットで、アクティブ Low です。詳細については、「 リセット 」セクションを参照してください。
SCLK	9	デジタル入力	シリアル データ クロック。詳細については、「 シリアル クロック 」セクションを参照してください。
SDI	8	デジタル入力	シリアル データ入力。詳細については、「 シリアル データ入力 」を参照してください。
SDO/DRDY	10	デジタル出力	シリアル データ出力およびデータ準備完了 (オプション)。詳細については、「 SDO/DRDY 」セクションを参照してください。
START	16	デジタル入力	変換開始。詳細については、「 同期 」セクションを参照してください。
VCM	3	アナログ出力	同相電圧出力。詳細については、「 VCM の出力電圧 」セクションを参照してください。
サーマル パッド	パッド	—	サーマル パワー パッド。AVSS に接続します。

5 仕様

5.1 絶対最大定格

動作時周囲温度範囲内 (特に記述のない限り) ⁽¹⁾

		最小値	最大値	単位
電源電圧	AVDD1 から AVSS へ	-0.3	6.5	V
	AVDD2 から AVSS へ	-0.3	6.5	
	AVSS から DGND へ	-3	0.3	
	IOVDD から DGND へ	-0.3	6.5	
	IOVDD から AVSS へ		8.5	
LDO 出力ピン	CAPD, CAPA	DGND - 0.3	1.65	V
デジタル入出力電圧	SDO/ $\overline{\text{DRDY}}$, $\overline{\text{DRDY}}$, START	DGND - 0.3	IOVDD + 0.3	V
	$\overline{\text{CS}}$, SCLK, SDI, $\overline{\text{RESET}}$, CLK	DGND - 0.3	6.5	
入力電流	連続、電源ピンを除く任意のピン ⁽²⁾	-10	10	mA
温度	接合部、 T_J		150	°C
	保存、 T_{stg}	-65	150	

- (1) 「絶対最大定格」の範囲外の動作は、デバイスの永続的な損傷の原因となる可能性があります。「絶対最大定格」は、これらの条件において、または「推奨動作条件」に示された値を超える他のいかなる条件でも、本製品が正しく動作することを意味するものではありません。絶対最大定格の範囲内であっても推奨動作条件の範囲外で短時間動作させると、デバイスは損傷を受けないかもしれませんが、完全に機能しなくなる可能性があります。デバイスの信頼性、機能、性能に影響を及ぼし、デバイスの寿命を縮める可能性があります。
- (2) アナログ入力ピン AINP、AINN、REFP、および REFN は、AVDD1 および AVSS にダイオード クランプされています。アナログ入力電圧が $\text{AVDD1} + 0.3\text{V}$ または $\text{AVSS} - 0.3\text{V}$ を超えた場合、入力電流を 10mA に制限します。デジタル入力ピン START とデジタル出力ピン SDO/ $\overline{\text{DRDY}}$ および $\overline{\text{DRDY}}$ は、IOVDD および DGND にダイオード クランプされます。デジタル入力ピン $\overline{\text{CS}}$ 、SCLK、SDI、 $\overline{\text{RESET}}$ 、および CLK は、DGND にダイオード クランプされます。デジタル入力電圧が $\text{IOVDD} + 0.3\text{V}$ (影響を受けるピンの場合) を超えるか、 $\text{DGND} - 0.3\text{V}$ を超える場合、入力電流を 10mA に制限します。

5.2 ESD 定格

			値	単位
$V_{\text{(ESD)}}$	静電放電	人体モデル (HBM)、ANSI/ESDA/JEDEC JS-001 準拠 ⁽¹⁾	1500	V
		デバイス帯電モデル (CDM)、ANSI/ESDA/JEDEC JS-002 準拠 ⁽²⁾	1000	

- (1) JEDEC のドキュメント JEP155 に、500V HBM では標準の ESD 管理プロセスで安全な製造が可能であると規定されています。
- (2) JEDEC のドキュメント JEP157 に、250V CDM では標準の ESD 管理プロセスで安全な製造が可能であると規定されています。

5.3 推奨動作条件

動作時周辺温度範囲内 (特に記述のない限り)

				最小値	公称値	最大値	単位
電源							
アナログ電源	AVDD1 から AVSS へ	最高速度モード	4.5	5.5	V		
		高速度モード	4.5	5.5			
		中速度モード	3	5.5			
		低速度モード	2.85	5.5			
		AVDD1 から DGND へ		1.65	V		
		AVSS/AVDD1 から DGND への絶対比率		1.2	V/V		
		AVDD2 から AVSS へ		1.74	5.5	V	
		AVSS から DGND へ		-2.75	0		
デジタル電源	IOVDD から DGND へ	1.65	5.5	V			
アナログ入力							
V _{AINP} 、 V _{AINN}	絶対入力電圧	ブリチャージ バッファがオフ	AVSS - 0.05	AVDD1 + 0.05	V		
		ブリチャージ バッファがオン	AVSS + 0.1	AVDD1 - 0.1			
V _{IN}	差動入力電圧 V _{IN} = V _{AINP} - V _{AINN}	1x の入力範囲	-V _{REF}	V _{REF}	V		
		2x の入力範囲	-2・V _{REF}	2・V _{REF}			
電圧リファレンス入力							
V _{REF}	差動リファレンス電圧 V _{REF} = V _{REFP} - V _{REFN}	Low のリファレンス範囲	0.5	2.5	2.75	V	
		High のリファレンス範囲	1	4.096	AVDD1 - AVSS		
V _{REFN}	負のリファレンス電圧		AVSS - 0.05			V	
V _{REFP}	正のリファレンス電圧	ブリチャージ バッファがオフ		AVDD1 + 0.05	V		
		ブリチャージ バッファがオン		AVDD1 - 0.7			
クロック信号							
f _{CLK}	周波数	最高速度モード	0.5	32.768	33.66	MHz	
		高速度モード	0.5	25.6	26.3		
		中速度モード	0.5	12.8	13.15		
		低速度モード	0.5	3.2	3.29		
デジタル入力							
	入力電圧		DGND	IOVDD	V		
温度範囲							
T _A	周囲温度	動作中	-45	125	°C		
		仕様	-40	125			

5.4 熱に関する情報

熱評価基準 ⁽¹⁾			ADS127L21	単位
			WQFN (RUK)	
			20 ピン	
$R_{\theta JA}$	接合部から周囲への熱抵抗		58.3	°C/W
$R_{\theta JC(top)}$	接合部からケース (上面) への熱抵抗		39.9	°C/W
$R_{\theta JB}$	接合部から基板への熱抵抗		29.2	°C/W
Ψ_{JT}	接合部から上面への特性パラメータ		0.8	°C/W
Ψ_{JB}	接合部から基板への特性パラメータ		29.1	°C/W
$R_{\theta JC(bot)}$	接合部からケース (底面) への熱抵抗		25.9	°C/W

(1) 従来および最新の熱評価基準の詳細については、『半導体および IC パッケージの熱評価基準』アプリケーション ノートを参照してください。

5.5 電気的特性

最小値および最大値の仕様は $T_A = -40^{\circ}\text{C} \sim +125^{\circ}\text{C}$ で適用されます。標準値の仕様は $T_A = 25^{\circ}\text{C}$ です。すべての仕様は $\text{AVDD1} = 5\text{V}$ 、 $\text{AVDD2} = 1.8\text{V} \sim 5\text{V}$ 、 $\text{AVSS} = 0\text{V}$ 、 $\text{IOVDD} = 1.8\text{V}$ 、 $V_{\text{IN}} = 0\text{V}$ 、 $V_{\text{CM}} = 2.5\text{V}$ 、 $V_{\text{REFP}} = 4.096\text{V}$ 、 $V_{\text{REFN}} = 0\text{V}$ 、高リファレンス範囲、1 倍の入力範囲、すべての速度モード、入力プリチャージ バッファがオン、リファレンス プリチャージ バッファがオン時のものです (特に記述のない限り)

パラメータ	テスト条件	最小値	標準値	最大値	単位
アナログ入力、最大速度モード					
入力電流、 差動入力電圧	プリチャージ バッファがオフ		125		$\mu\text{A/V}$
	プリチャージ バッファがオフ、2 倍の入力範囲		60		
	プリチャージ バッファがオン		± 4		μA
入力電流ドリフト、 差動入力電圧	プリチャージ バッファがオフ		5		$\text{nA/V/}^{\circ}\text{C}$
	プリチャージ バッファがオフ、2 倍の入力範囲		2		
	プリチャージ バッファがオン		5		$\text{nA/}^{\circ}\text{C}$
入力電流、 同相入力電圧	プリチャージ バッファがオフ		6.5		$\mu\text{A/V}$
	プリチャージ バッファがオフ、2 倍の入力範囲		3		
	プリチャージ バッファがオン		± 4		μA
アナログ入力、高速度モード					
入力電流、 差動入力電圧	プリチャージ バッファがオフ		95		$\mu\text{A/V}$
	プリチャージ バッファがオフ、2 倍の入力範囲		47		
	プリチャージ バッファがオン		± 3		μA
入力電流ドリフト、 差動入力電圧	プリチャージ バッファがオフ		3		$\text{nA/V/}^{\circ}\text{C}$
	プリチャージ バッファがオフ、2 倍の入力範囲		1.5		
	プリチャージ バッファがオン		5		$\text{nA/}^{\circ}\text{C}$
入力電流、 同相入力電圧	プリチャージ バッファがオフ		5		$\mu\text{A/V}$
	プリチャージ バッファがオフ、2 倍の入力範囲		2.5		
	プリチャージ バッファがオン		± 3		μA
アナログ入力、中速度モード					
入力電流、 差動入力電圧	プリチャージ バッファがオフ		47		$\mu\text{A/V}$
	プリチャージ バッファがオフ、2 倍の入力範囲		25		
	プリチャージ バッファがオン		± 1.5		μA
入力電流ドリフト、 差動入力電圧	プリチャージ バッファがオフ		2		$\text{nA/V/}^{\circ}\text{C}$
	プリチャージ バッファがオフ、2 倍の入力範囲		1		
	プリチャージ バッファがオン		5		$\text{nA/}^{\circ}\text{C}$
入力電流、 同相入力電圧	プリチャージ バッファがオフ		2.5		$\mu\text{A/V}$
	プリチャージ バッファがオフ、2 倍の入力範囲		1.3		
	プリチャージ バッファがオン		± 1.5		μA
アナログ入力、低速度モード					
入力電流、 差動入力電圧	プリチャージ バッファがオフ		12		$\mu\text{A/V}$
	プリチャージ バッファがオフ、2 倍の入力範囲		6		
	プリチャージ バッファがオン		± 0.4		μA
入力電流ドリフト、 差動入力電圧	プリチャージ バッファがオフ		1		$\text{nA/V/}^{\circ}\text{C}$
	プリチャージ バッファがオフ、2 倍の入力範囲		0.5		
	プリチャージ バッファがオン		0.2		$\text{nA/}^{\circ}\text{C}$
入力電流、 同相入力電圧	プリチャージ バッファがオフ		0.6		$\mu\text{A/V}$
	プリチャージ バッファがオフ、2 倍の入力範囲		0.3		
	プリチャージ バッファがオン		± 0.4		μA

5.5 電気的特性 (続き)

最小値および最大値の仕様は $T_A = -40^{\circ}\text{C} \sim +125^{\circ}\text{C}$ で適用されます。標準値の仕様は $T_A = 25^{\circ}\text{C}$ です。すべての仕様は AVDD1 = 5V、AVDD2 = 1.8V~5V、AVSS = 0V、IOVDD = 1.8V、 $V_{\text{IN}} = 0\text{V}$ 、 $V_{\text{CM}} = 2.5\text{V}$ 、 $V_{\text{REFP}} = 4.096\text{V}$ 、 $V_{\text{REFN}} = 0\text{V}$ 、高リファレンス範囲、1 倍の入力範囲、すべての速度モード、入力プリチャージ バッファがオン、リファレンス プリチャージ バッファがオン時のものです (特に記述のない限り)

パラメータ		テスト条件		最小値	標準値	最大値	単位
DC 特性							
	分解能	OSR ≥ 32		24		ビット	
	ノイズ			詳細については、「 ノイズ性能 」を参照してください			
INL	積分非直線性 ⁽¹⁾	T _A = 25°C ± 5°C		0.4	1.4	ppm (対 FSR)	
		T _A = 0°C ~ 70°C		0.4	1.8		
		T _A = -40°C ~ 125°C		0.4	2.2		
		最高速度モード		1.5	5		
	オフセット エラー	T _A = 25°C		-250	±30	250	μV
	オフセットのドリフト				50	200	nV/°C
	オフセット長期ドリフト	1000hr			0.5		μV
	ゲイン誤差	T _A = 25°C		-2500	±200	2500	ppm (対 FSR)
	ゲインドリフト				0.5	1	ppm (対 FSR) / °C
	ゲイン長期ドリフト	1000hr			10		ppm
NMRR	ノーマル モード除去比	f _{IN} = 50Hz (±1Hz)、f _{DATA} = 50SPS、sinc4 フィルタ		100	dB		
		f _{IN} = 60Hz (±1Hz)、f _{DATA} = 60SPS、sinc4 フィルタ		100			
CMRR	同相除去比	DC 時		110	130	dB	
		最高 10kHz		115			
		DC 時、2 倍の入力範囲		95			
PSRR	電源除去比	AVDD1、DC		100	120	dB	
		AVDD2、DC		115	130		
		IOVDD、DC		115	130		
AC 性能、最高速度モード (f _{CLK} = 32.768MHz)							
f _{DATA}	データレート	フル広帯域フィルタ		4	512		
		FIR2 広帯域フィルタ		8	1024		
		FIR1 広帯域フィルタ		16	2048		
		低レイテンシ フィルタ		0.1024	1365.3		
DR	ダイナミックレンジ	入力短絡、 OSR = 64、f _{DATA} = 256kSPS	広帯域フィルタ	109	111.5	dB	
			広帯域フィルタ、 V _{REF} = 2.5V	107.5			
			広帯域フィルタ、 V _{REF} = 2.5V、 2 倍の入力範囲	108.5			
			Sinc4 フィルタ	112	114		
			Sinc4 フィルタ、 V _{REF} = 2.5V	110.5			
			Sinc4 フィルタ、 V _{REF} = 2.5V、 2 倍の入力範囲	111			

5.5 電気的特性 (続き)

最小値および最大値の仕様は $T_A = -40^{\circ}\text{C} \sim +125^{\circ}\text{C}$ で適用されます。標準値の仕様は $T_A = 25^{\circ}\text{C}$ です。すべての仕様は $\text{AVDD1} = 5\text{V}$ 、 $\text{AVDD2} = 1.8\text{V} \sim 5\text{V}$ 、 $\text{AVSS} = 0\text{V}$ 、 $\text{IOVDD} = 1.8\text{V}$ 、 $V_{\text{IN}} = 0\text{V}$ 、 $V_{\text{CM}} = 2.5\text{V}$ 、 $V_{\text{REFP}} = 4.096\text{V}$ 、 $V_{\text{REFN}} = 0\text{V}$ 、高リファレンス範囲、1 倍の入力範囲、すべての速度モード、入力プリチャージ バッファがオン、リファレンス プリチャージ バッファがオン時のものです (特に記述のない限り)

パラメータ		テスト条件		最小値	標準値	最大値	単位
SNR	信号対雑音比	$f_{\text{IN}} = 1\text{kHz}$ 、 $V_{\text{IN}} = -0.2\text{dBFS}$ 、 $\text{OSR} = 64$ 、 $f_{\text{DATA}} = 256\text{kSPS}$	広帯域フィルタ		110		dB
			広帯域フィルタ、 $V_{\text{REF}} = 2.5\text{V}$		106		
			広帯域フィルタ、 $V_{\text{REF}} = 2.5\text{V}$ 、2 倍の入力範囲		107		
			Sinc4 フィルタ		112		
			Sinc4 フィルタ、 $V_{\text{REF}} = 2.5\text{V}$		108.5		
			Sinc4 フィルタ、 $V_{\text{REF}} = 2.5\text{V}$ 、2 倍の入力範囲		110		
THD	全高調波歪	$f_{\text{IN}} = 1\text{kHz}$ 、 $V_{\text{IN}} = -0.2\text{dBFS}$ 、 $\text{OSR} = 64$ 、 $f_{\text{DATA}} = 256\text{kSPS}$	$V_{\text{REF}} = 2.5\text{V}$		-119	-108	dB
			$V_{\text{REF}} = 4.096\text{V}$		-110	-103	
IMD	相互変調歪み	$f_{\text{IN}} = 9.7\text{kHz}$ および 10.3kHz 、 $V_{\text{IN}} = -6.5\text{dBFS}$	2 次項		-125		dB
			3 次項		-120		
SFDR	スプリアスフリー ダイナミックレンジ	$f_{\text{IN}} = 1\text{kHz}$ 、 $V_{\text{IN}} = -0.2\text{dBFS}$ 、 $\text{OSR} = 64$			110		dB
AC 性能、高速度モード ($f_{\text{CLK}} = 25.6\text{MHz}$)							
f_{DATA}	データ レート	フル広帯域フィルタ		3.125		400	kSPS
		FIR2 広帯域フィルタ		6.25		800	
		FIR1 広帯域フィルタ		12.5		1600	
		低レイテンシ フィルタ		0.08		1067	
DR	ダイナミックレンジ	入力短絡、 $\text{OSR} = 64$ 、 $f_{\text{DATA}} = 200\text{kSPS}$	広帯域フィルタ	109	111.5		dB
			広帯域フィルタ、 $V_{\text{REF}} = 2.5\text{V}$		107.5		
			広帯域フィルタ、 $V_{\text{REF}} = 2.5\text{V}$ 、2 倍の入力範囲		108.5		
			Sinc4 フィルタ	112	114.5		
			Sinc4 フィルタ、 $V_{\text{REF}} = 2.5\text{V}$		110.5		
			Sinc4 フィルタ、 $V_{\text{REF}} = 2.5\text{V}$ 、2 倍の入力範囲		111		
SNR	信号対雑音比	$f_{\text{IN}} = 1\text{kHz}$ 、 $V_{\text{IN}} = -0.2\text{dBFS}$ 、 $\text{OSR} = 64$ 、 $f_{\text{DATA}} = 200\text{kSPS}$	広帯域フィルタ		110		dB
			広帯域フィルタ、 $V_{\text{REF}} = 2.5\text{V}$		106		
			広帯域フィルタ、 $V_{\text{REF}} = 2.5\text{V}$ 、2 倍の入力範囲		107		
			Sinc4 フィルタ		112		
			Sinc4 フィルタ、 $V_{\text{REF}} = 2.5\text{V}$		108.5		
			Sinc4 フィルタ、 $V_{\text{REF}} = 2.5\text{V}$ 、2 倍の入力範囲		110		
THD	全高調波歪	$f_{\text{IN}} = 1\text{kHz}$ 、 $V_{\text{IN}} = -0.2\text{dBFS}$ 、 $\text{OSR} = 64$ 、 $f_{\text{DATA}} = 200\text{kSPS}$	$V_{\text{REF}} = 2.5\text{V}$		-125	-113	dB
			$V_{\text{REF}} = 4.096\text{V}$		-125	-106	

5.5 電気的特性 (続き)

最小値および最大値の仕様は $T_A = -40^{\circ}\text{C} \sim +125^{\circ}\text{C}$ で適用されます。標準値の仕様は $T_A = 25^{\circ}\text{C}$ です。すべての仕様は $AVDD1 = 5\text{V}$ 、 $AVDD2 = 1.8\text{V} \sim 5\text{V}$ 、 $AVSS = 0\text{V}$ 、 $IOVDD = 1.8\text{V}$ 、 $V_{IN} = 0\text{V}$ 、 $V_{CM} = 2.5\text{V}$ 、 $V_{REFP} = 4.096\text{V}$ 、 $V_{REFN} = 0\text{V}$ 、高リファレンス範囲、1 倍の入力範囲、すべての速度モード、入力プリチャージ バッファがオン、リファレンス プリチャージ バッファがオン時のものです (特に記述のない限り)

パラメータ		テスト条件		最小値	標準値	最大値	単位
IMD	相互変調歪み	$f_{IN} = 9.7\text{kHz}$ および 10.3kHz 、 $V_{IN} = -6.5\text{dBFS}$	2 次項		-125		dB
			3 次項		-125		dB
SFDR	スプリアスフリー ダイナミックレンジ	$f_{IN} = 1\text{kHz}$ 、 $V_{IN} = -0.2\text{dBFS}$ 、OSR = 64			125		dB

5.5 電気的特性 (続き)

最小値および最大値の仕様は $T_A = -40^{\circ}\text{C} \sim +125^{\circ}\text{C}$ で適用されます。標準値の仕様は $T_A = 25^{\circ}\text{C}$ です。すべての仕様は $\text{AVDD1} = 5\text{V}$ 、 $\text{AVDD2} = 1.8\text{V} \sim 5\text{V}$ 、 $\text{AVSS} = 0\text{V}$ 、 $\text{IOVDD} = 1.8\text{V}$ 、 $V_{\text{IN}} = 0\text{V}$ 、 $V_{\text{CM}} = 2.5\text{V}$ 、 $V_{\text{REFP}} = 4.096\text{V}$ 、 $V_{\text{REFN}} = 0\text{V}$ 、高リファレンス範囲、1 倍の入力範囲、すべての速度モード、入力プリチャージ バッファがオン、リファレンス プリチャージ バッファがオン時のものです (特に記述のない限り)

パラメータ		テスト条件		最小値	標準値	最大値	単位
AC 性能、中速度モード (f _{CLK} = 12.8MHz)							
f _{DATA}	データレート	フル広帯域フィルタ		1.5625		200	kSPS
		FIR2 広帯域フィルタ		3.125		400	
		FIR1 広帯域フィルタ		6.25		800	
		低レイテンシ フィルタ		0.08		533.3	
DR	ダイナミックレンジ	入力短絡、 OSR = 64、f _{DATA} = 100kSPS	広帯域フィルタ	109	112		dB
			広帯域フィルタ、 V _{REF} = 2.5V		107.5		
			広帯域フィルタ、 V _{REF} = 2.5V 2 倍の入力範囲		108.5		
			Sinc4 フィルタ	112	114.5		
			Sinc4 フィルタ、 V _{REF} = 2.5V		110.5		
			Sinc4 フィルタ、 V _{REF} = 2.5V、 2 倍の入力範囲		111		
SNR	信号対雑音比	f _{IN} = 1 kHz、V _{IN} = -0.2 dBFS、 OSR = 64、f _{DATA} = 100kSPS	広帯域フィルタ		110		dB
			広帯域フィルタ、 V _{REF} = 2.5V		106		
			広帯域フィルタ、 V _{REF} = 2.5V、 2 倍の入力範囲		107		
			Sinc4 フィルタ		112		
			Sinc4 フィルタ、 V _{REF} = 2.5V		108.5		
			Sinc4 フィルタ、 V _{REF} = 2.5V、 2 倍の入力範囲		110		
THD	全高調波歪	f _{IN} = 1kHz、V _{IN} = -0.2dBFS、 OSR = 64、f _{DATA} = 100kSPS	V _{REF} = 2.5 V		-125	-117	dB
			V _{REF} = 4.096 V		-125	-115	
IMD	相互変調歪み	f _{IN} = 9.7kHz および 10.3kHz、 V _{IN} = -6.5dBFS	2 次項		-125		dB
			3 次項		-125		
SFDR	スプリアスフリー ダイナミックレンジ	f _{IN} = 1kHz、V _{IN} = -0.2dBFS、OSR = 64			125		dB
AC 性能、低速度モード (f _{CLK} = 3.2MHz)							
f _{DATA}	データレート	フル広帯域フィルタ		0.390625		50	kSPS
		FIR2 広帯域フィルタ		0.78125		100	
		FIR1 広帯域フィルタ		1.5625		200	
		低レイテンシ フィルタ		0.01		133.3	

5.5 電気的特性 (続き)

最小値および最大値の仕様は $T_A = -40^{\circ}\text{C} \sim +125^{\circ}\text{C}$ で適用されます。標準値の仕様は $T_A = 25^{\circ}\text{C}$ です。すべての仕様は $\text{AVDD1} = 5\text{V}$ 、 $\text{AVDD2} = 1.8\text{V} \sim 5\text{V}$ 、 $\text{AVSS} = 0\text{V}$ 、 $\text{IOVDD} = 1.8\text{V}$ 、 $V_{\text{IN}} = 0\text{V}$ 、 $V_{\text{CM}} = 2.5\text{V}$ 、 $V_{\text{REFP}} = 4.096\text{V}$ 、 $V_{\text{REFN}} = 0\text{V}$ 、高リファレンス範囲、1 倍の入力範囲、すべての速度モード、入力プリチャージ バッファがオン、リファレンス プリチャージ バッファがオン時のものです (特に記述のない限り)

パラメータ		テスト条件	最小値	標準値	最大値	単位
DR	ダイナミックレンジ	入力短絡、 $\text{OSR} = 64$ 、 $f_{\text{DATA}} = 25\text{kSPS}$	広帯域フィルタ	109	112	dB
			広帯域フィルタ、 $V_{\text{REF}} = 2.5\text{V}$	107.5		
			広帯域フィルタ、 $V_{\text{REF}} = 2.5\text{V}$ 、 2 倍の入力範囲	108.5		
			Sinc4 フィルタ	112	114.5	
			Sinc4 フィルタ、 $V_{\text{REF}} = 2.5\text{V}$	110.5		
			Sinc4 フィルタ、 $V_{\text{REF}} = 2.5\text{V}$ 、 2 倍の入力範囲	111.5		
SNR	信号対雑音比	$f_{\text{IN}} = 1\text{kHz}$ 、 $V_{\text{IN}} = -0.2\text{dBFS}$ 、 $\text{OSR} = 64$ 、 $f_{\text{DATA}} = 25\text{kSPS}$	広帯域フィルタ	110		dB
			広帯域フィルタ、 $V_{\text{REF}} = 2.5\text{V}$	106		
			広帯域フィルタ、 $V_{\text{REF}} = 2.5\text{V}$ 、 2 倍の入力範囲	108		
			Sinc4 フィルタ	112		
			Sinc4 フィルタ、 $V_{\text{REF}} = 2.5\text{V}$	108		
			Sinc4 フィルタ、 $V_{\text{REF}} = 2.5\text{V}$ 、 2 倍の入力範囲	110		
THD	全高調波歪	$f_{\text{IN}} = 1\text{kHz}$ 、 $V_{\text{IN}} = -0.2\text{dBFS}$ 、 $\text{OSR} = 64$ 、 $f_{\text{DATA}} = 25\text{kSPS}$	$V_{\text{REF}} = 2.5\text{V}$	-125	-114	dB
			$V_{\text{REF}} = 4.096\text{V}$	-125	-113	
IMD	相互変調歪み	$f_{\text{IN}} = 9.7\text{kHz}$ および 10.3kHz 、 $V_{\text{IN}} = -6.5\text{dBFS}$	2 次項	-125		dB
			3 次項	-125		dB
SFDR	スプリアスフリー ダイナミックレンジ	$f_{\text{IN}} = 1\text{kHz}$ 、 $V_{\text{IN}} = -0.2\text{dBFS}$ 、 $\text{OSR} = 64$		125		dB
デフォルトの FIR フィルタ						
	パス バンド周波数	パス バンドリップルのエンベロープ内		$0.4 \cdot f_{\text{DATA}}$		Hz
		-0.1dB 周波数		$0.4125 \cdot f_{\text{DATA}}$		
		-3dB 周波数		$0.4374 \cdot f_{\text{DATA}}$		
	パス バンドリップル		-0.0004		0.0004	dB
	ストップ バンド周波数	ストップ バンド減衰時		$0.5 \cdot f_{\text{DATA}}$		Hz
	ストップ バンド減衰 ⁽²⁾			106		dB
	群遅延			$34 / f_{\text{DATA}}$		s
	セトリング タイム			$68 / f_{\text{DATA}}$		s
	全体の間引き比		8		4096	
プログラム可能な FIR3 フィルタ						
	タップ数			128		
	係数の分解能			32		ビット
	係数のフォーマット			1.31		
	10 進での範囲		-1		$1 \sim 1/2^{31}$	
	間引き比			2		
プログラム可能な IIR フィルタ						
	実装		4 つのバイカッド、直接形式 1			

5.5 電気的特性 (続き)

最小値および最大値の仕様は $T_A = -40^{\circ}\text{C} \sim +125^{\circ}\text{C}$ で適用されます。標準値の仕様は $T_A = 25^{\circ}\text{C}$ です。すべての仕様は $AVDD1 = 5\text{V}$ 、 $AVDD2 = 1.8\text{V} \sim 5\text{V}$ 、 $AVSS = 0\text{V}$ 、 $IOVDD = 1.8\text{V}$ 、 $V_{IN} = 0\text{V}$ 、 $V_{CM} = 2.5\text{V}$ 、 $V_{REFP} = 4.096\text{V}$ 、 $V_{REFN} = 0\text{V}$ 、高リファレンス範囲、1 倍の入力範囲、すべての速度モード、入力プリチャージ バッファがオン、リファレンス プリチャージ バッファがオン時のものです (特に記述のない限り)

パラメータ	テスト条件	最小値	標準値	最大値	単位
スケール ファクタ			5		
係数の分解能			32		ビット
係数のフォーマット			2.30		
10 進での範囲		-2		$2 - 2/2^{31}$	
間引き比			1		

5.5 電気的特性 (続き)

最小値および最大値の仕様は $T_A = -40^{\circ}\text{C} \sim +125^{\circ}\text{C}$ で適用されます。標準値の仕様は $T_A = 25^{\circ}\text{C}$ です。すべての仕様は $\text{AVDD1} = 5\text{V}$ 、 $\text{AVDD2} = 1.8\text{V} \sim 5\text{V}$ 、 $\text{AVSS} = 0\text{V}$ 、 $\text{IOVDD} = 1.8\text{V}$ 、 $V_{\text{IN}} = 0\text{V}$ 、 $V_{\text{CM}} = 2.5\text{V}$ 、 $V_{\text{REFP}} = 4.096\text{V}$ 、 $V_{\text{REFN}} = 0\text{V}$ 、高リファレンス範囲、1 倍の入力範囲、すべての速度モード、入力プリチャージ バッファがオン、リファレンス プリチャージ バッファがオン時のものです (特に記述のない限り)

パラメータ		テスト条件		最小値	標準値	最大値	単位
電圧リファレンス入力							
	REFP および REFN 入力電流	REFP プリチャージ バッファがオフ	最高速度モード	225			μA/V
			高速度モード	190			
			中速度モード	130			
			低速度モード	80			
	REFP 入力電流	REFP プリチャージ バッファがオン		±2			μA
	REFP および REFN 入力電流ドリフト	REFP プリチャージ バッファがオフ	最高速度モード	10			nA/°C
			高速度モード	10			
			中速度モード	10			
			低速度モード	10			
	REFP 入力電流ドリフト	REFP プリチャージ バッファがオン		10			nA/°C
内部発振器							
	周波数			25.4	25.6	25.8	MHz
VCM 出力電圧							
	出力電圧			(AVDD1 + AVSS) / 2			V
	精度			-1%	±0.1%	1%	
	電圧ノイズ	1kHz の帯域幅		25			μV _{RMS}
	起動時間	C _L = 100nF		1			ms
	容量性負荷			100			nF
	抵抗性負荷			2			kΩ
	回路短絡時の電流制限			10			mA
デジタル入出力							
V _{IL}	ロジック Low 入力スレッシュョルド			0.3 IOVDD			V
V _{IH}	ロジック High 入力スレッシュョルド			0.7 IOVDD			V
	入力ヒステリシス			150			mV
	入力電流	RESET ピンを除く		-1			μA
	RESET ピンのプルアップ抵抗			20			kΩ
V _{OL}	ロジック Low 出力電圧	OUT_DRV = 0b、I _{OL} = 2mA		0.2 · IOVDD			V
		OUT_DRV = 1b、I _{OL} = 1mA		0.2 · IOVDD			
V _{OH}	ロジック High 出力電圧	OUT_DRV = 0b、I _{OH} = -2 mA		0.8 · IOVDD			V
		OUT_DRV = 1b、I _{OH} = -1 mA		0.8 · IOVDD			

5.5 電気的特性 (続き)

最小値および最大値の仕様は $T_A = -40^{\circ}\text{C} \sim +125^{\circ}\text{C}$ で適用されます。標準値の仕様は $T_A = 25^{\circ}\text{C}$ です。すべての仕様は $AVDD1 = 5\text{V}$ 、 $AVDD2 = 1.8\text{V} \sim 5\text{V}$ 、 $AVSS = 0\text{V}$ 、 $IOVDD = 1.8\text{V}$ 、 $V_{IN} = 0\text{V}$ 、 $V_{CM} = 2.5\text{V}$ 、 $V_{REFP} = 4.096\text{V}$ 、 $V_{REFN} = 0\text{V}$ 、高リファレンス範囲、1 倍の入力範囲、すべての速度モード、入力プリチャージ バッファがオン、リファレンス プリチャージ バッファがオン時のものです (特に記述のない限り)

パラメータ		テスト条件		最小値	標準値	最大値	単位
アナログ電源電流							
I _{AVDD1} 、 I _{AVSS}	AVDD1 および AVSS 電流 (バッファ オフ)	最高速度モード			2.1	2.2	mA
		高速度モード			1.7	1.8	
		中速度モード			0.9	1.0	
		低速度モード			0.25	0.3	
		スタンバイ モード			35	μA	
		パワーダウン モード			5		
	AVDD1 および AVSS 追加 電流 (バッファ機能による)	入力プリチャージ バッファ	最高速度モード		1.75	2.3	mA
			高速度モード		1.35	1.9	
			中速度モード		0.7	1.0	
			低速度モード		0.2	0.3	
		REFP プリチャージ バッファ	最高速度モード		1.8	1.95	mA
			高速度モード		1.5	1.6	
			中速度モード		0.9	1.0	
			低速度モード		0.4	0.5	
	VCM (同相電圧) バッファ			0.1		mA	
	I _{AVDD2} 、 I _{AVSS}	AVDD2 および AVSS 電流	最高速度モード			4.5	4.9
高速度モード				3.5	3.8		
中速度モード				2.2	2.5		
低速度モード				0.85	0.95		
スタンバイ モード				60	μA		
パワーダウン モード				1			
デジタル電源電流							
I _{IOVDD}	IOVDD 電流	広帯域フィルタ、OSR = 32、 IIR フィルタ オフ	最高速度モード		7.2	8.5	mA
			高速度モード		5.7	6.8	
			中速度モード		2.8	3.4	
			低速度モード		0.75	0.9	
		低レイテンシ フィルタ、OSR = 32	最高速度モード		1.1	1.3	mA
			高速度モード		0.85	1.0	
			中速度モード		0.45	0.55	
			低速度モード		0.15	0.18	
		スタンバイ モード	外部クロック		10	μA	
			内部発振器		40		
		パワーダウン モード			10	μA	
		IOVDD 追加電流	IIR フィルタ、OSR = 32、 高速度モード	FIR/IIR シーケンス		0.3	mA
	IIR/FIR シーケンス				0.6		

5.5 電気的特性 (続き)

最小値および最大値の仕様は $T_A = -40^{\circ}\text{C} \sim +125^{\circ}\text{C}$ で適用されます。標準値の仕様は $T_A = 25^{\circ}\text{C}$ です。すべての仕様は $AVDD1 = 5\text{V}$ 、 $AVDD2 = 1.8\text{V} \sim 5\text{V}$ 、 $AVSS = 0\text{V}$ 、 $IOVDD = 1.8\text{V}$ 、 $V_{IN} = 0\text{V}$ 、 $V_{CM} = 2.5\text{V}$ 、 $V_{REFP} = 4.096\text{V}$ 、 $V_{REFN} = 0\text{V}$ 、高リファレンス範囲、1 倍の入力範囲、すべての速度モード、入力プリチャージ バッファがオン、リファレンス プリチャージ バッファがオン時のものです (特に記述のない限り)

パラメータ		テスト条件		最小値	標準値	最大値	単位
消費電力							
P _D	消費電力	AVDD2 = 1.8V、 プリチャージ バッファ オフ、 IIR および FIR フィルタ、OSR = 32	最高速度モード		32.8		mW
			高速度モード		26		
			中速度モード		14		
			低速度モード		4.3		
		AVDD2 = 1.8V、 プリチャージ バッファ オフ、 低レイテンシ フィルタ、OSR = 32	最高速度モード		20.6		mW
			高速度モード		16.3		
			中速度モード		9.3		
			低速度モード		3.1		

- (1) ベストフィット方式。
- (2) デジタル フィルタによって提供されるストップバンド減衰。ストップ バンドの入力周波数は、 $f_{MOD} / 32$ で始まるチョップ周波数の倍数と相互変調し、106dB を超えるストップ バンド減衰をもたらします。詳細については、「[ストップバンドの減衰](#)」の図を参照してください。

5.6 タイミング要件 (1.65V ≤ IOVDD ≤ 2V)

動作時周囲温度範囲内、特に記述のない限り

		最小値	最大値	単位
CLK ピン				
t _c (CLK)	CLK 周期、最大速度モード	29.7	2000	ns
	CLK 周期、高速度モード	38	2000	
	CLK 周期、中速度モード	76	2000	
	CLK 周期、低速度モード	304	2000	
t _w (CLKL)	パルス幅、CLK Low、最大速度モード	13.2		ns
	パルス幅、CLK Low、高速度モード	17		
	パルス幅、CLK Low、中速度モード	34		
	パルス幅、CLK Low、低速度モード	128		
t _w (CLKH)	パルス幅、CLK High、最大速度モード	13.2		ns
	パルス幅、CLK High、高速度モード	17		
	パルス幅、CLK High、中速度モード	34		
	パルス幅、CLK High、低速度モード	128		
SPI シリアル インターフェイス				
t _c (SC)	SCLK 周期	25	1/(4・f _{DATA})	ns
t _w (SCL)	パルス幅、SCLK low	10		ns
t _w (SCH)	パルス幅、SCLK high	10		ns
t _d (CSSC)	遅延時間、CS _¯ 立ち下がりエッジから最初の SCLK 立ち上がりエッジまで	10		ns
t _{su} (DI)	セットアップ時間、SDI 有効から SCLK 立ち下がりエッジまで	4		ns
t _h (DI)	ホールド時間、SCLK 立ち下がりエッジから SDI 有効まで	6		ns
t _d (SCCS)	遅延時間、最後の SCLK 立ち下がりエッジから CS _¯ 立ち上がりエッジまで	10		ns
t _w (CSH)	パルス幅、CS High	20		ns
t _d (FF)	遅延時間、フィルタ係数の読み取り / 書き込み動作中の SPI フレーム間	10		t _{CLK}
RESET ピン				
t _w (RSL)	パルス幅、RESET Low	4		t _{CLK}
t _d (RSSC)	遅延時間、RESET _¯ 立ち上がりエッジまたは SPI RESET パターンから通信開始まで	10000		t _{CLK}
START ピン				
t _w (STL)	パルス幅、START low	4		t _{CLK}
t _w (STH)	パルス幅、START high	4		t _{CLK}
t _{su} (STCLK)	セットアップ時間、START High から CLK 立ち上がりエッジまで ⁽¹⁾	9		ns
t _h (STCLK)	ホールド時間、CLK 立ち上がりエッジから START High まで ⁽¹⁾	9		ns
t _{su} (STDR)	セットアップ時間、START 立ち下がりエッジまたは STOP ビットから DRDY _¯ 立ち下がりエッジにより次の変換を停止するまで (スタート / ストップ変換モード)	8		t _{CLK}

(1) CLK 立ち上がりエッジのセットアップ時間とホールド時間の間に START 立ち上がりエッジを適用しないでください。

5.7 スイッチング特性 (1.65V ≤ IOVDD ≤ 2V)

動作時周囲温度範囲全体、OUT_DRV = 0b、C_{LOAD} = 20pF (特に記述のない限り)

パラメータ		テスト条件	最小値	標準値	最大値	単位
SPI シリアル インターフェイス						
t _w (DRH)	パルス幅、 $\overline{\text{DRDY}}$ High		2			t _{CLK}
t _p (CSDO)	伝搬遅延時間、 $\overline{\text{CS}}$ 立ち下がりエッジから SDO/ $\overline{\text{DRDY}}$ 駆動状態まで				20	ns
t _p (CSDOZ)	伝搬遅延時間、 $\overline{\text{CS}}$ 立ち上がりエッジから SDO/ $\overline{\text{DRDY}}$ 高インピーダンス状態まで				20	ns
t _h (SCDO)	ホールド時間、SCLK 立ち上がりエッジから無効な SDO/ $\overline{\text{DRDY}}$ まで		3			ns
t _p (SCDO)	伝搬遅延時間、SCLK 立ち上がりエッジから有効な SDO/ $\overline{\text{DRDY}}$ まで				23	ns
t _p (SCDR)	伝搬遅延時間、8 番目の SCLK 立ち下がりエッジから $\overline{\text{DRDY}}$ が High に戻るまで				5	t _{CLK}
t _p (DODR)	伝搬遅延時間、最後の SCLK 立ち下がりエッジにおける SDO から $\overline{\text{DRDY}}$ モードへの SDO/ $\overline{\text{DRDY}}$ 遷移の読み取り動作	デュアル ファンクション SDO/ $\overline{\text{DRDY}}$ モード			50	ns

5.8 タイミング要件 (2V < IOVDD ≤ 5.5V)

動作時周囲温度範囲内、特に記述のない限り

		最小値	最大値	単位
CLK ピン				
t _c (CLK)	CLK 周期、最大速度モード	29.7	2000	ns
	CLK 周期、高速度モード	38	2000	
	CLK 周期、中速度モード	76	2000	
	CLK 周期、低速度モード	304	2000	
t _w (CLKL)	パルス幅、CLK Low、最大速度モード	13.2		ns
	パルス幅、CLK Low、高速度モード	17		
	パルス幅、CLK Low、中速度モード	34		
	パルス幅、CLK Low、低速度モード	128		
t _w (CLKH)	パルス幅、CLK High、最大速度モード	13.2		ns
	パルス幅、CLK High、高速度モード	17		
	パルス幅、CLK High、中速度モード	34		
	パルス幅、CLK High、低速度モード	128		
SPI シリアル インターフェイス				
t _c (SC)	SCLK 周期	19.5	1/(4・f _{DATA})	ns
t _w (SCL)	パルス幅、SCLK low	8		ns
t _w (SCH)	パルス幅、SCLK high	8		ns
t _d (CSSC)	遅延時間、CS 立ち下がりエッジから最初の SCLK 立ち上がりエッジまで	10		ns
t _{su} (DI)	セットアップ時間、SDI 有効から SCLK 立ち下がりエッジまで	4		ns
t _h (DI)	ホールド時間、SCLK 立ち下がりエッジから SDI 有効まで	6		ns
t _d (SCCS)	遅延時間、最後の SCLK 立ち下がりエッジから CS 立ち上がりエッジまで	10		ns
t _w (CSH)	パルス幅、CS High	20		ns
t _d (FF)	遅延時間、フィルタ係数の読み取り / 書き込み動作中の SPI フレーム間	10		t _{CLK}
RESET ピン				
t _w (RSL)	パルス幅、RESET Low	4		t _{CLK}
t _d (RSSC)	遅延時間、RESET 立ち上がりエッジまたは SPI RESET パターンから通信開始まで	10000		t _{CLK}
START ピン				
t _w (STL)	パルス幅、START Low	4		t _{CLK}
t _w (STH)	パルス幅、START High	4		t _{CLK}
t _{su} (STCLK)	セットアップ時間、START High から CLK 立ち上がりエッジまで ⁽¹⁾	9		ns
t _h (STCLK)	ホールド時間、CLK 立ち上がりエッジから START High まで ⁽¹⁾	9		ns
t _{su} (STDR)	セットアップ時間、START 立ち下がりエッジまたは STOP ビットから DRDY 立ち下がりエッジにより次の変換を停止するまで (スタート / ストップ変換モード)	8		t _{CLK}

(1) CLK 立ち上がりエッジのセットアップ時間とホールド時間の間に START 立ち上がりエッジを適用しないでください。

5.9 スイッチング特性 (2V < IOVDD ≤ 5.5V)

動作時周囲温度範囲全体、OUT_DRV = 0b、C_{LOAD} = 20pF (特に記述のない限り)

パラメータ		テスト条件	最小値	標準値	最大値	単位
SPI シリアル インターフェイス						
t _w (DRH)	パルス幅、 $\overline{\text{DRDY}}$ High		2			t _{CLK}
t _p (CSDO)	伝搬遅延時間、 $\overline{\text{CS}}$ 立ち下がりエッジから SDO/ $\overline{\text{DRDY}}$ 駆動まで				17	ns
t _p (CSDOZ)	伝搬遅延時間、 $\overline{\text{CS}}$ 立ち上がりエッジから SDO/ $\overline{\text{DRDY}}$ 高インピーダンス状態まで				17	ns
t _h (SCDO)	ホールド時間、SCLK 立ち上がりエッジから無効な SDO/ $\overline{\text{DRDY}}$ まで		3			ns
t _p (SCDO)	伝搬遅延時間、SCLK 立ち上がりエッジから有効な SDO/ $\overline{\text{DRDY}}$ まで				19	ns
t _p (SCDR)	伝搬遅延時間、8 番目の SCLK 立ち下がりエッジから $\overline{\text{DRDY}}$ が High に戻るまで				5	t _{CLK}
t _p (DODR)	伝搬遅延時間、最後の SCLK 立ち下がりエッジにおける SDO から $\overline{\text{DRDY}}$ モードへの SDO/ $\overline{\text{DRDY}}$ 遷移の読み取り動作	デュアル ファンクション SDO/ $\overline{\text{DRDY}}$ モード			50	ns

5.10 タイミング図

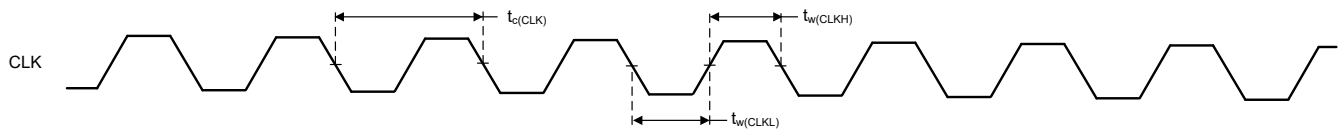


図 5-1. クロックのタイミング要件

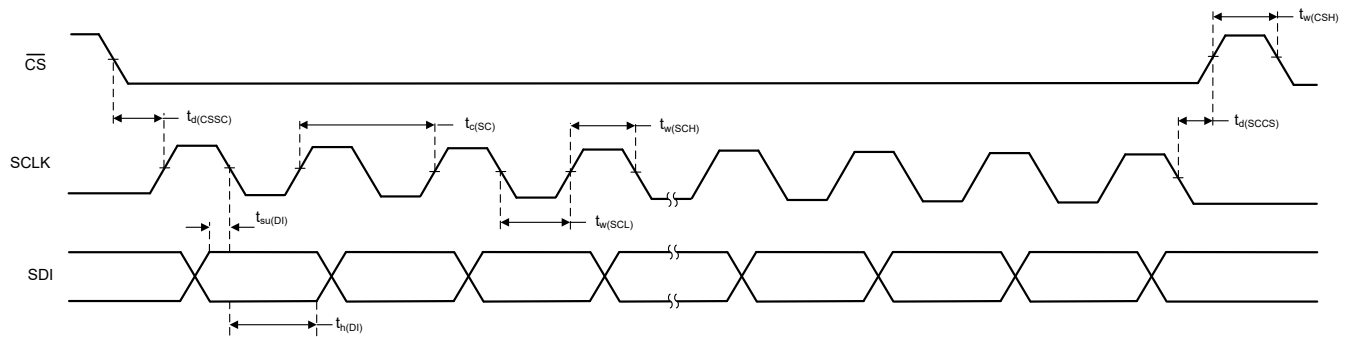


図 5-2. シリアル・インターフェイスのタイミング要件

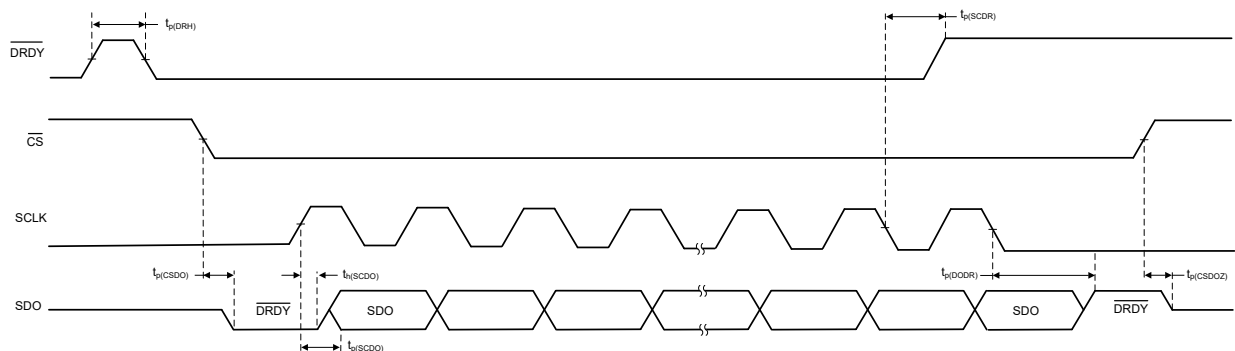


図 5-3. シリアル・インターフェイスのスイッチング特性

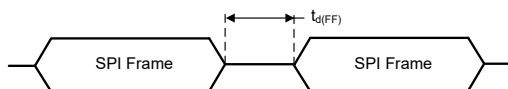


図 5-4. SPI フレームのタイミング要件

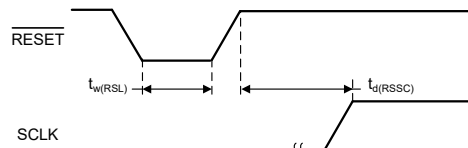


図 5-5. RESET ピンのタイミング

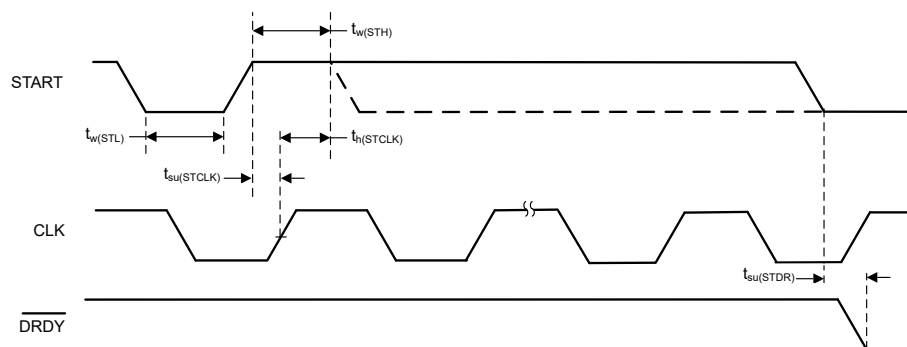
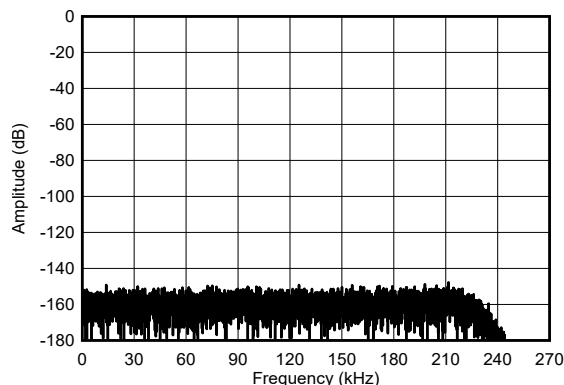


図 5-6. START ピンのタイミング

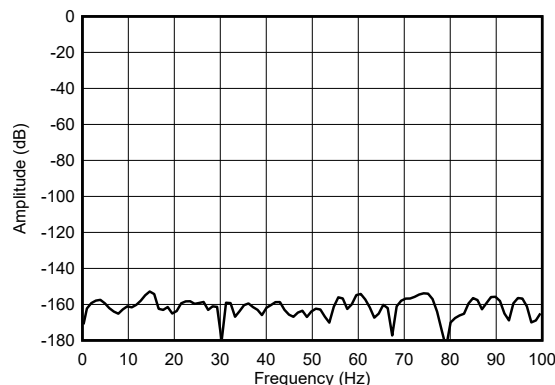
5.11 代表的特性

AVDD1 = 5V、AVDD2 = 1.8V、AVSS = 0V、IOVDD = 1.8V、 $V_{REF} = 4.096V$ 、高リファレンス範囲、高速度モード、広帯域フィルタ、OSR = 32、1x の入力範囲、入力プリチャージ バッファがオン、リファレンス プリチャージ バッファがオフ、 $T_A = 25^{\circ}C$ のとき (特に記述のない限り)



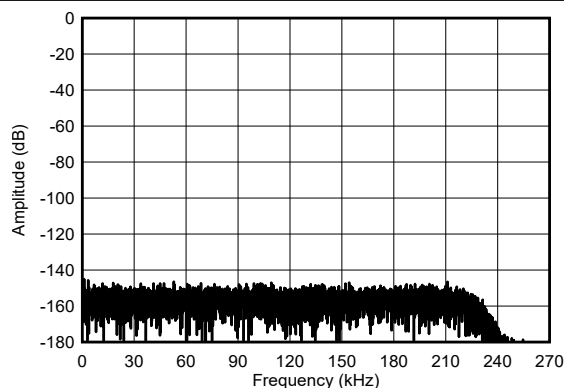
広帯域フィルタ

図 5-7. 最高速度モード、短絡入力 FFT



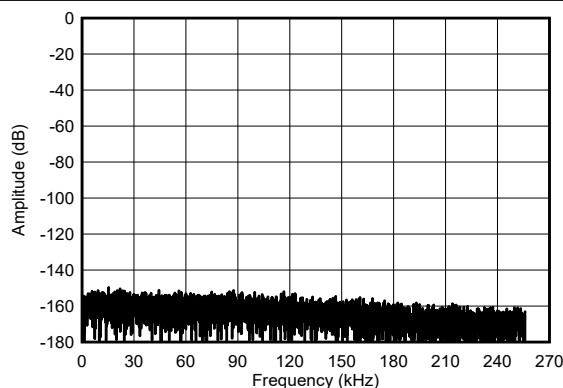
0Hz~100Hz

図 5-8. 最高速度モード、短絡入力 FFT



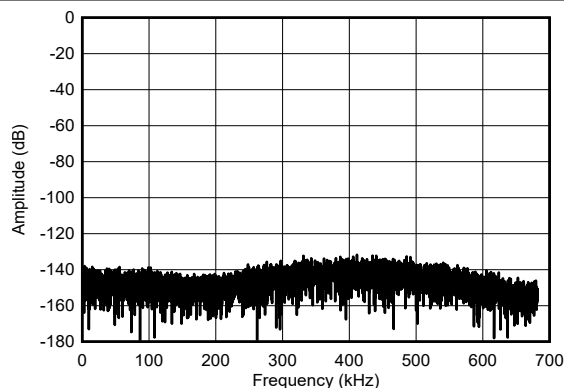
$V_{REF} = 2.5V$ 、広帯域フィルタ、2x 範囲

図 5-9. 最高速度モード、短絡入力 FFT



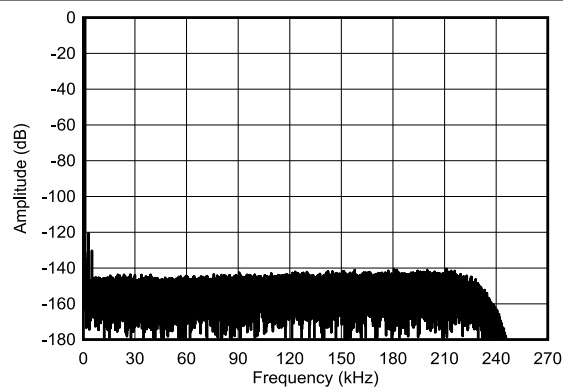
Sinc4 フィルタ

図 5-10. 最高速度モード、短絡入力 FFT



Sinc4 フィルタ、OSR = 12

図 5-11. 最高速度モード、短絡入力 FFT

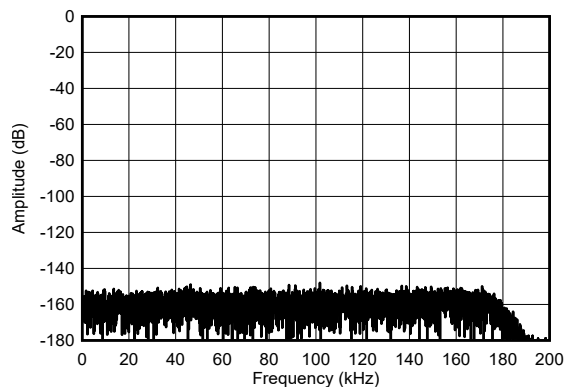


$V_{IN} = -0.2dBFS$ 、1kHz、広帯域フィルタ

図 5-12. 最高速度モード、フルスケール FFT

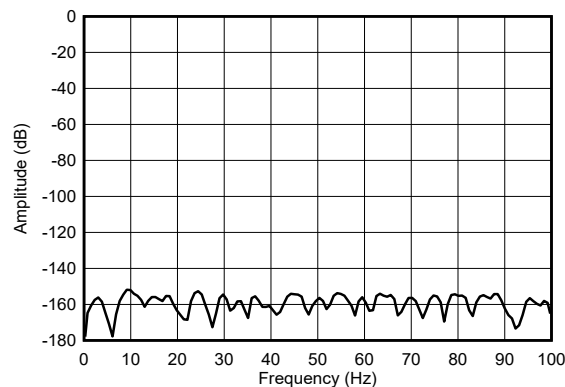
5.11 代表的特性 (続き)

AVDD1 = 5V、AVDD2 = 1.8V、AVSS = 0V、IOVDD = 1.8V、 $V_{REF} = 4.096V$ 、高リファレンス範囲、高速度モード、広帯域フィルタ、OSR = 32、1x の入力範囲、入力プリチャージ バッファがオン、リファレンス プリチャージ バッファがオフ、 $T_A = 25^{\circ}C$ のとき (特に記述のない限り)



広帯域フィルタ

図 5-13. 高速度モード、短絡入力 FFT



0Hz~100Hz

図 5-14. 高速度モード、短絡入力 FFT

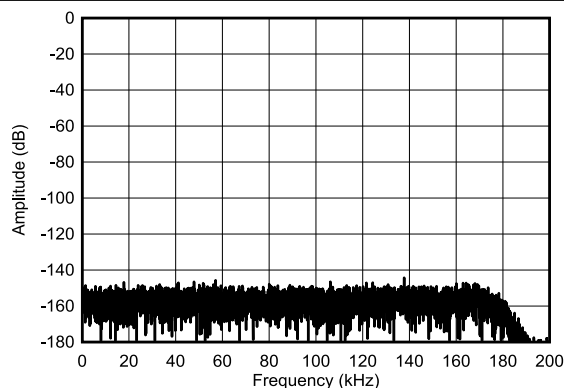
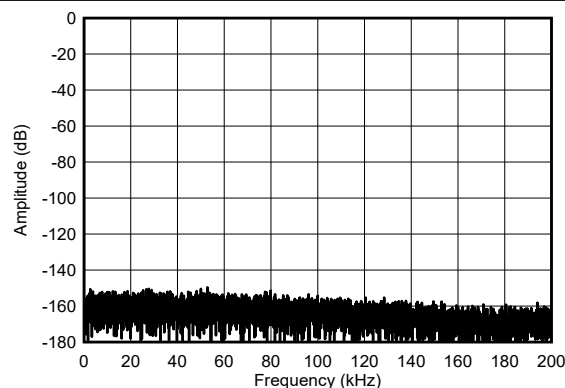
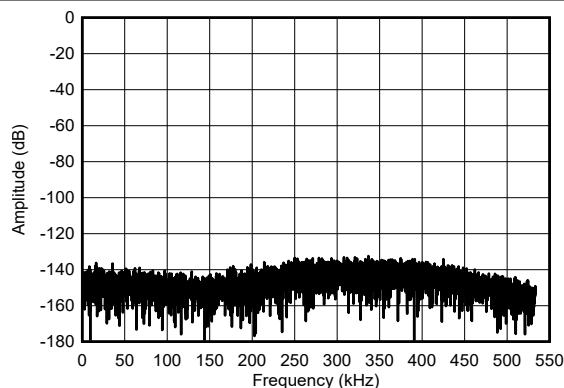
 $V_{REF} = 2.5V$ 、広帯域フィルタ、2x 範囲

図 5-15. 高速度モード、短絡入力 FFT



Sinc4 フィルタ

図 5-16. 高速度モード、短絡入力 FFT



Sinc4 フィルタ、OSR = 12

図 5-17. 高速度モード、短絡入力 FFT

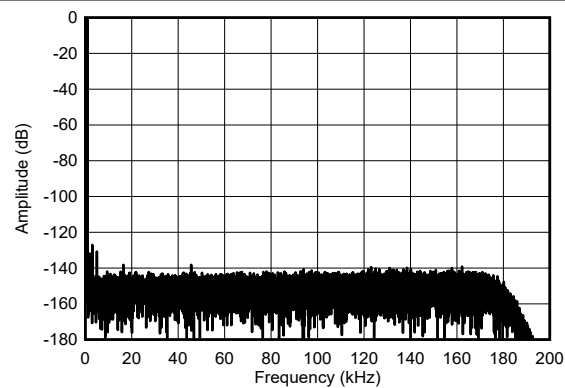
 $V_{IN} = -0.2dBFS$ 、1kHz、広帯域フィルタ

図 5-18. 高速度モード、フルスケール FFT

5.11 代表的特性 (続き)

AVDD1 = 5V、AVDD2 = 1.8V、AVSS = 0V、IOVDD = 1.8V、 $V_{REF} = 4.096V$ 、高リファレンス範囲、高速度モード、広帯域フィルタ、OSR = 32、1x の入力範囲、入力プリチャージバッファがオン、リファレンスプリチャージバッファがオフ、 $T_A = 25^\circ C$ のとき (特に記述のない限り)

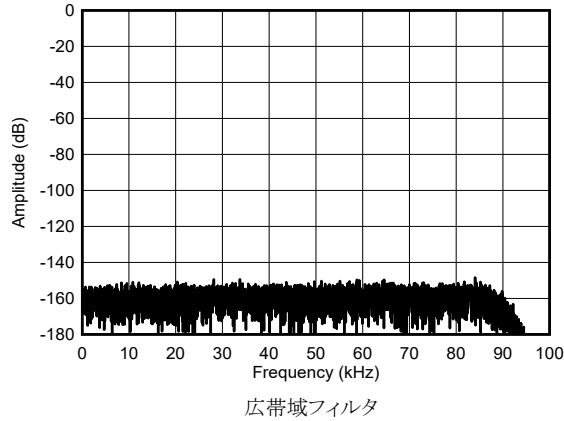


図 5-19. 中速度モード、短絡入力 FFT

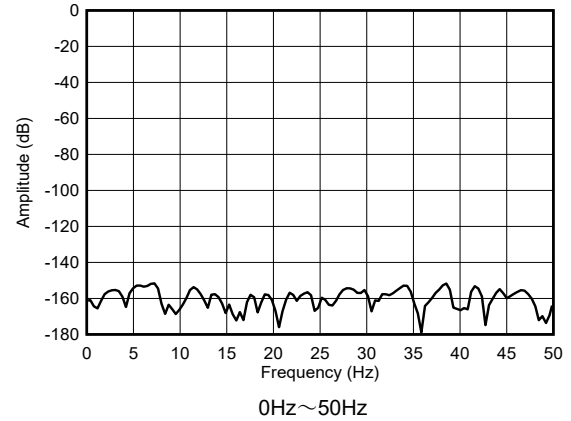


図 5-20. 中速度モード、短絡入力 FFT

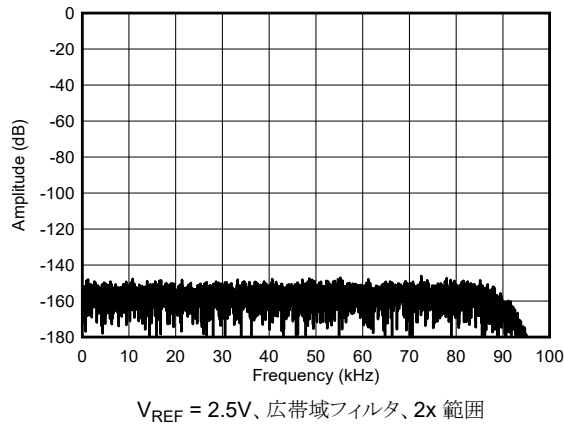


図 5-21. 中速度モード、短絡入力 FFT

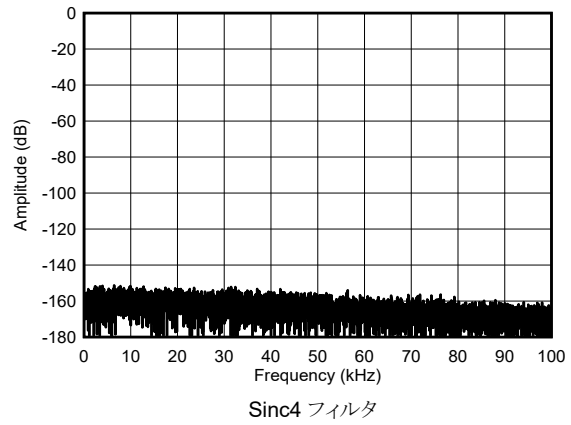


図 5-22. 中速度モード、短絡入力 FFT

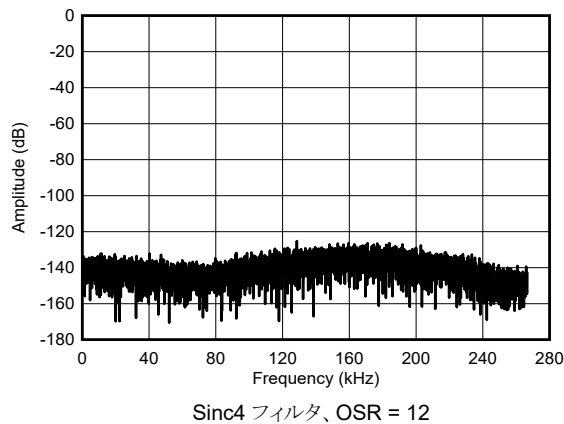


図 5-23. 中速度モード、短絡入力 FFT

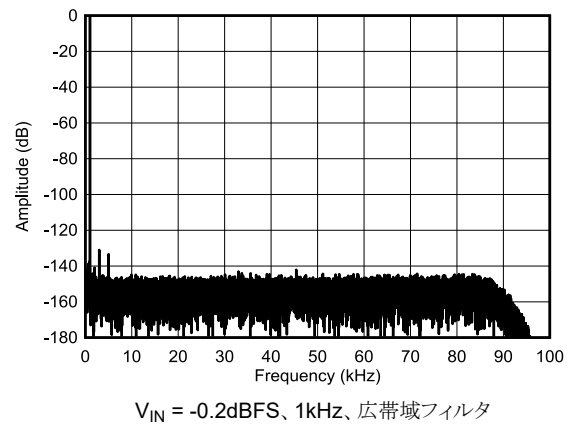
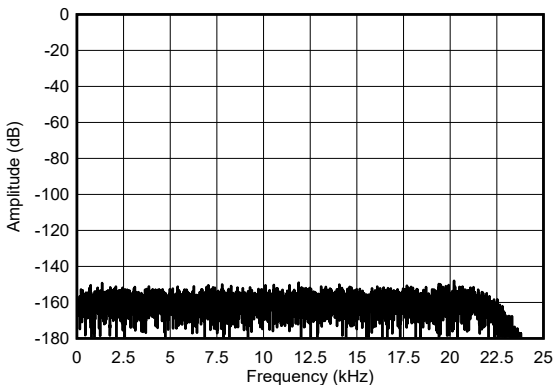


図 5-24. 中速度モード、フルスケール FFT

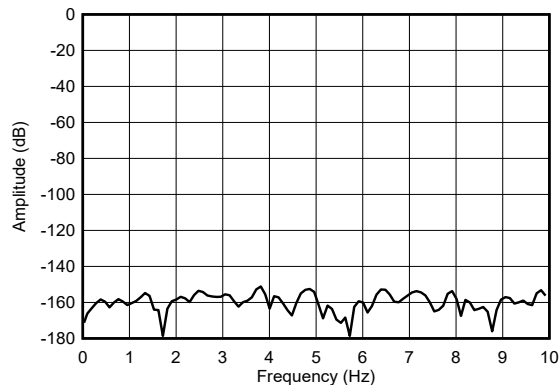
5.11 代表的特性 (続き)

AVDD1 = 5V、AVDD2 = 1.8V、AVSS = 0V、IOVDD = 1.8V、 $V_{REF} = 4.096V$ 、高リファレンス範囲、高速度モード、広帯域フィルタ、OSR = 32、1x の入力範囲、入力プリチャージバッファがオン、リファレンスプリチャージバッファがオフ、 $T_A = 25^\circ C$ のとき (特に記述のない限り)



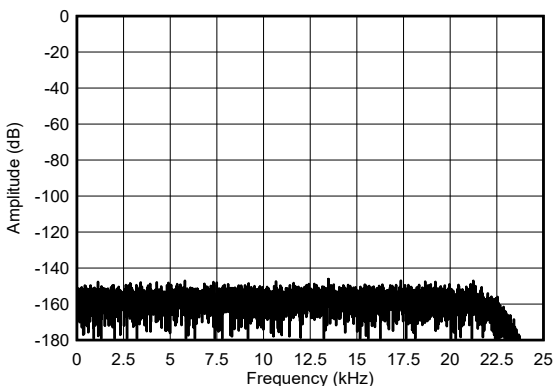
広帯域フィルタ

図 5-25. 低速度モード、短絡入力 FFT



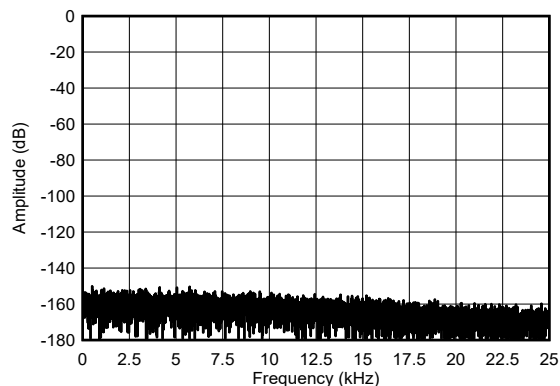
0Hz~10Hz

図 5-26. 低速度モード、短絡入力 FFT



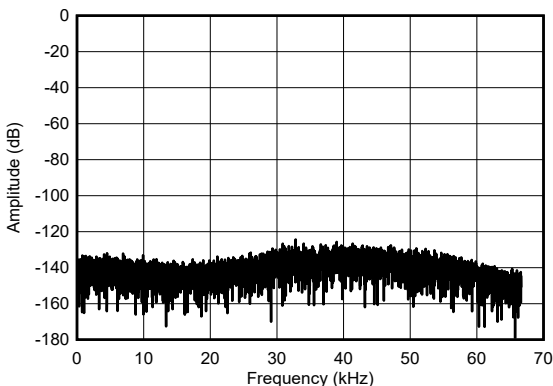
$V_{REF} = 2.5V$ 、広帯域フィルタ、2x 範囲

図 5-27. 低速度モード、短絡入力 FFT



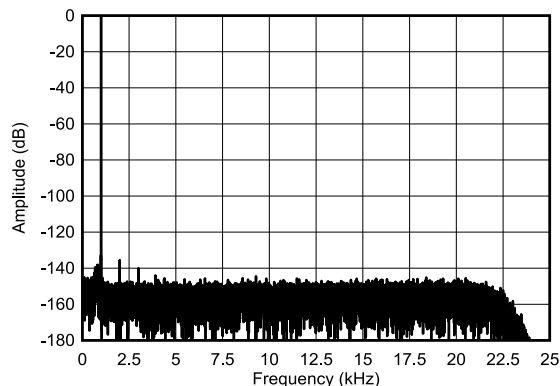
Sinc4 フィルタ

図 5-28. 低速度モード、短絡入力 FFT



Sinc4 フィルタ、OSR = 12

図 5-29. 低速度モード、短絡入力 FFT



$V_{IN} = -0.2dBFS$ 、1kHz、広帯域フィルタ

図 5-30. 低速度モード、フルスケール FFT

5.11 代表的特性 (続き)

AVDD1 = 5V、AVDD2 = 1.8V、AVSS = 0V、IOVDD = 1.8V、 $V_{REF} = 4.096V$ 、高リファレンス範囲、高速度モード、広帯域フィルタ、OSR = 32、1x の入力範囲、入力プリチャージ バッファがオン、リファレンス プリチャージ バッファがオフ、 $T_A = 25^\circ C$ のとき (特に記述のない限り)

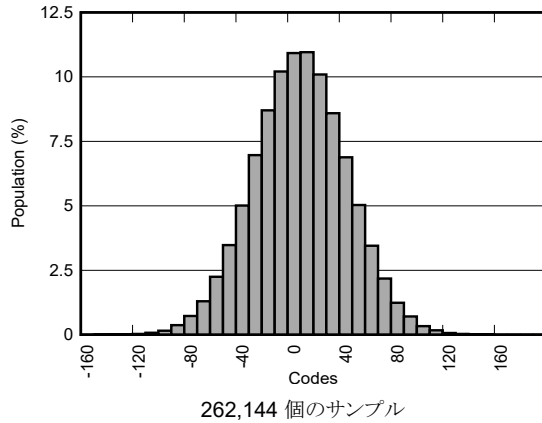


図 5-31. 最高速度モードのコード分布

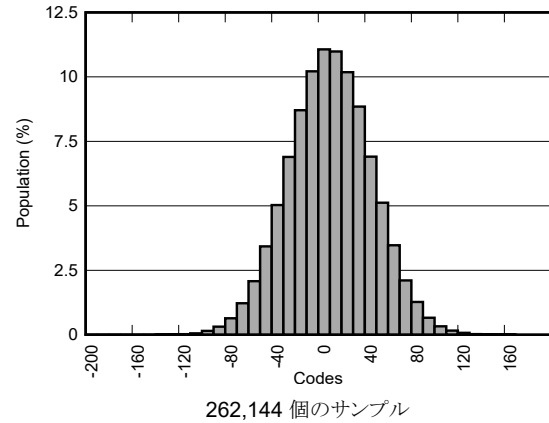


図 5-32. 高速度モードのコード分布

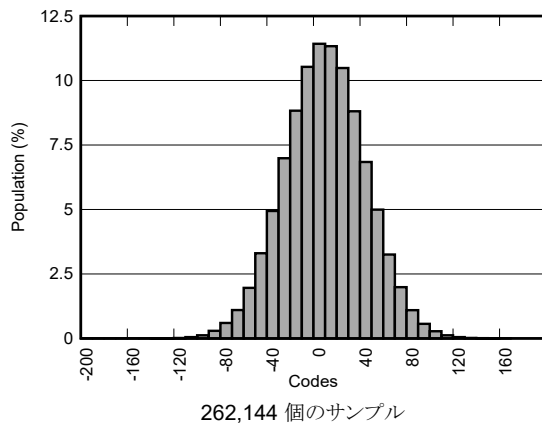


図 5-33. 中速度モードのコード分布

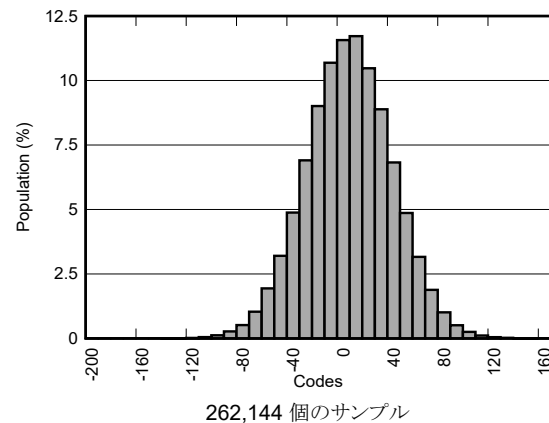


図 5-34. 低速度モードのコード分布

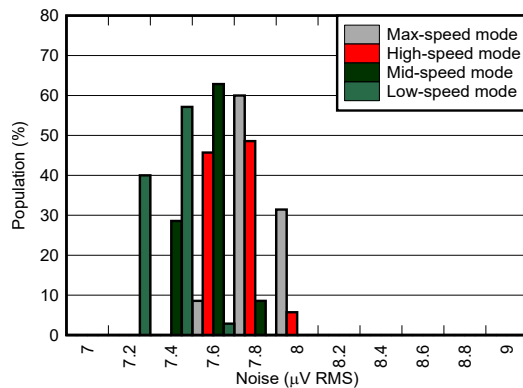


図 5-35. ノイズ性能の分布

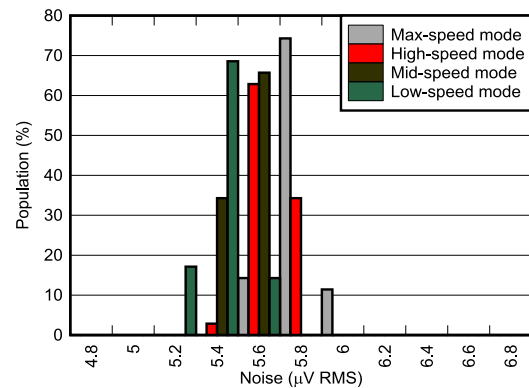


図 5-36. ノイズ性能の分布

5.11 代表的特性 (続き)

AVDD1 = 5V、AVDD2 = 1.8V、AVSS = 0V、IOVDD = 1.8V、 $V_{REF} = 4.096V$ 、高リファレンス範囲、高速度モード、広帯域フィルタ、OSR = 32、1x の入力範囲、入力プリチャージ バッファがオン、リファレンス プリチャージ バッファがオフ、 $T_A = 25^\circ C$ のとき (特に記述のない限り)

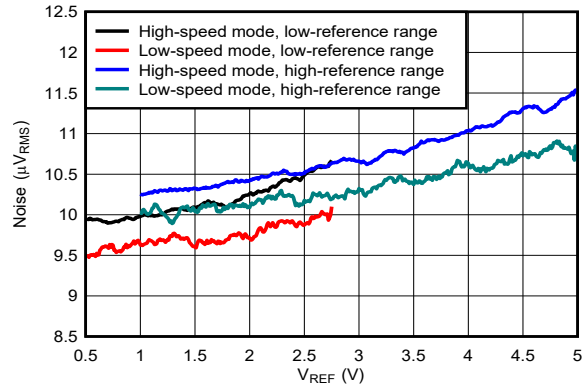
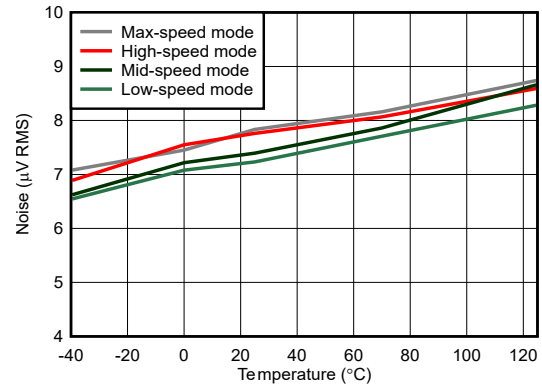
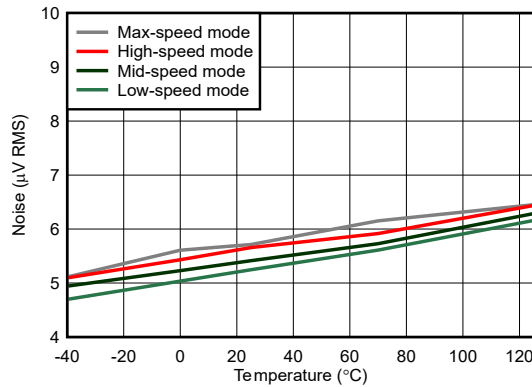


図 5-37. ノイズ性能とリファレンス電圧との関係



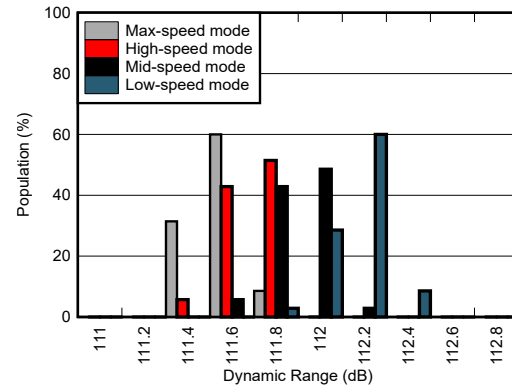
広帯域フィルタ、OSR = 64

図 5-38. ノイズ性能と温度との関係



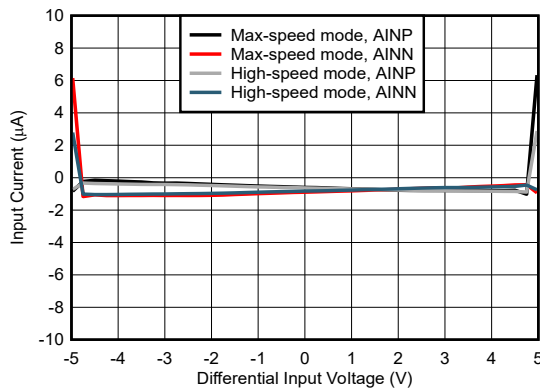
Sinc4 フィルタ、OSR = 64

図 5-39. ノイズ性能と温度との関係



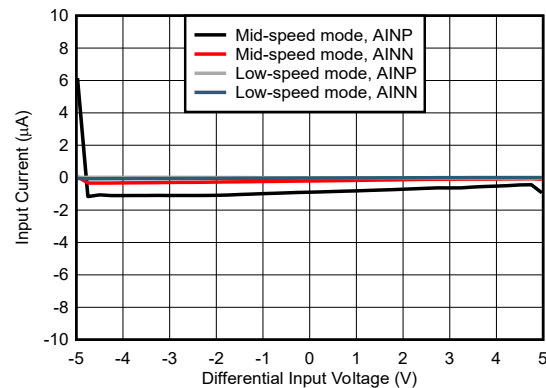
広帯域フィルタ、OSR = 64、30 ユニット

図 5-40. ダイナミックレンジの分布



プリチャージ バッファがオン

図 5-41. 入力電流と差動電圧との関係



プリチャージ バッファがオン

図 5-42. 入力電流と差動電圧との関係

5.11 代表的特性 (続き)

AVDD1 = 5V, AVDD2 = 1.8V, AVSS = 0V, IOVDD = 1.8V, $V_{REF} = 4.096V$, 高リファレンス範囲、高速度モード、広帯域フィルタ、OSR = 32、1x の入力範囲、入力プリチャージバッファがオン、リファレンスプリチャージバッファがオフ、 $T_A = 25^\circ C$ のとき (特に記述のない限り)

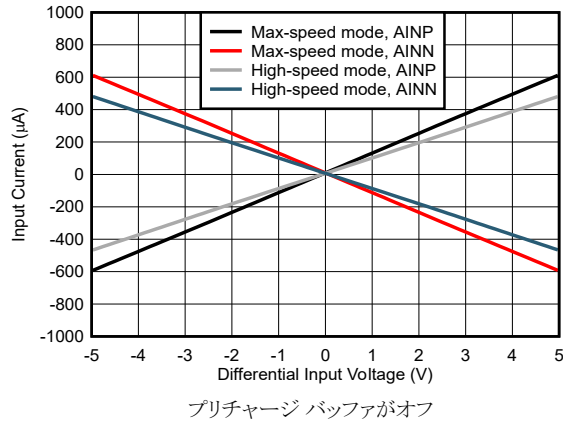


図 5-43. 入力電流と差動電圧との関係

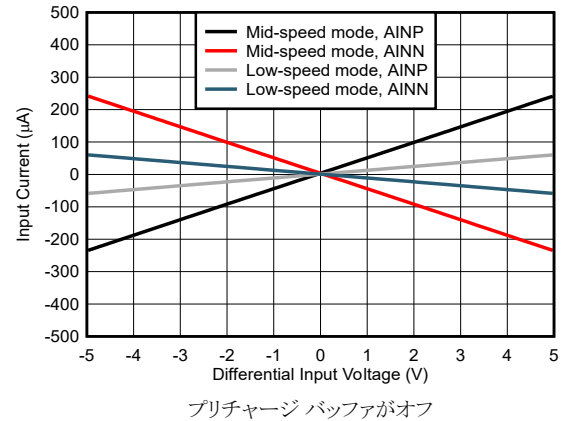


図 5-44. 入力電流と差動電圧との関係

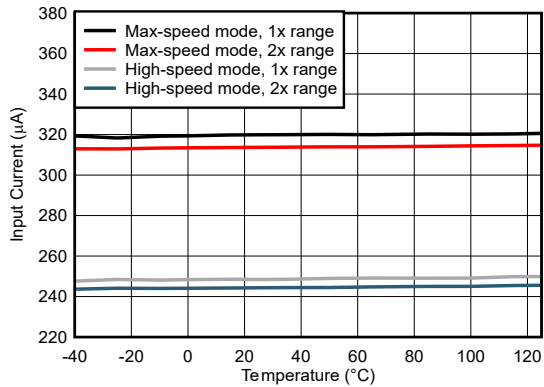


図 5-45. 入力電流と温度との関係

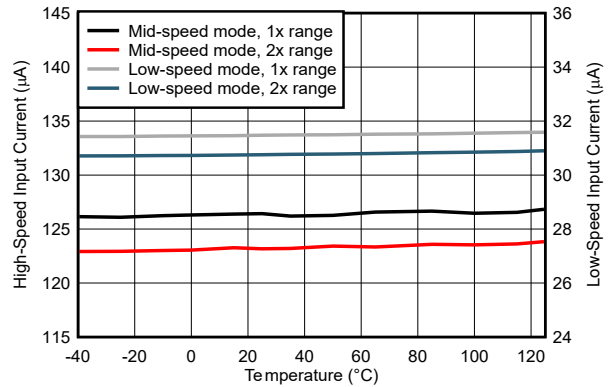


図 5-46. 入力電流と温度との関係

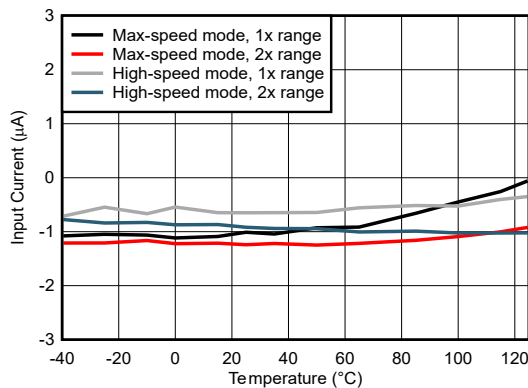


図 5-47. 入力電流と温度との関係

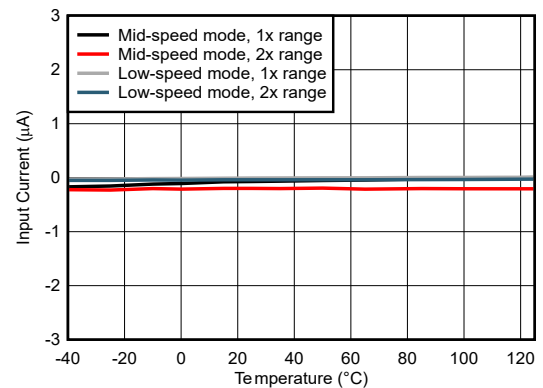


図 5-48. 入力電流と温度との関係

5.11 代表的特性 (続き)

AVDD1 = 5V、AVDD2 = 1.8V、AVSS = 0V、IOVDD = 1.8V、 $V_{REF} = 4.096V$ 、高リファレンス範囲、高速度モード、広帯域フィルタ、OSR = 32、1x の入力範囲、入力プリチャージバッファがオン、リファレンスプリチャージバッファがオフ、 $T_A = 25^\circ C$ のとき (特に記述のない限り)

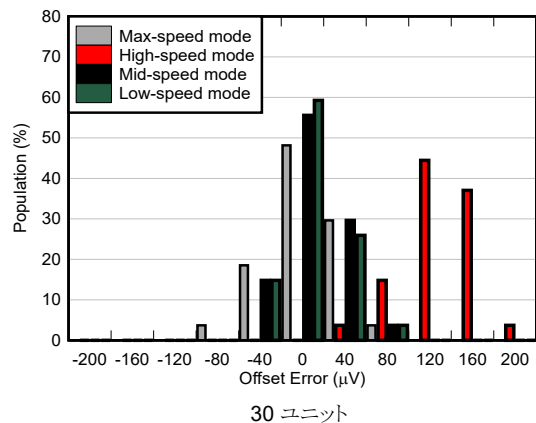


図 5-49. オフセット誤差の分布

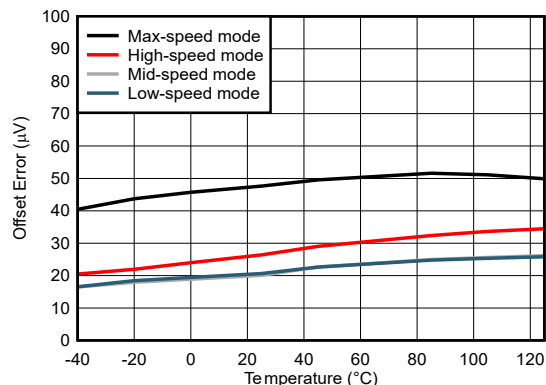


図 5-50. オフセット誤差と温度との関係

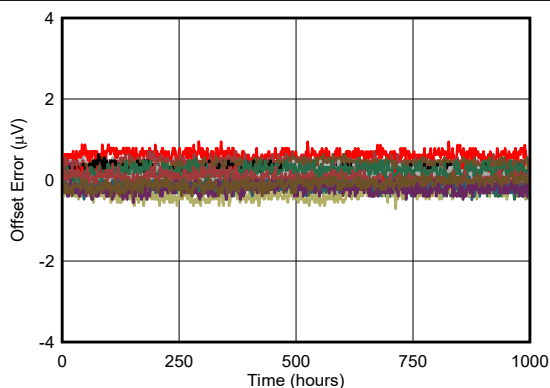


図 5-51. 長期的なオフセットドリフト

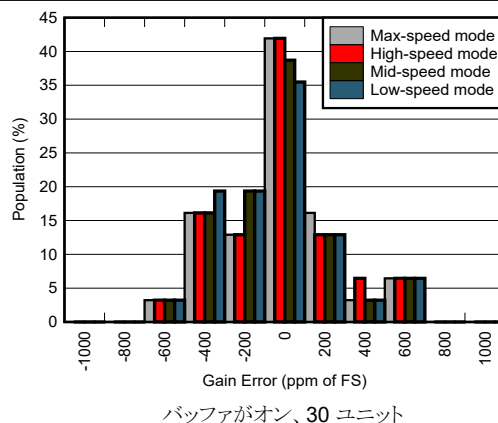


図 5-52. ゲイン誤差の分布

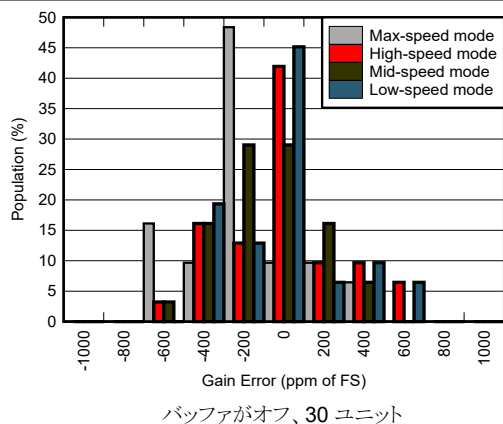


図 5-53. ゲイン誤差の分布

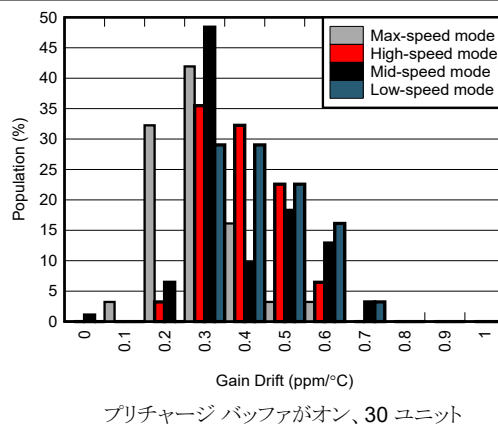
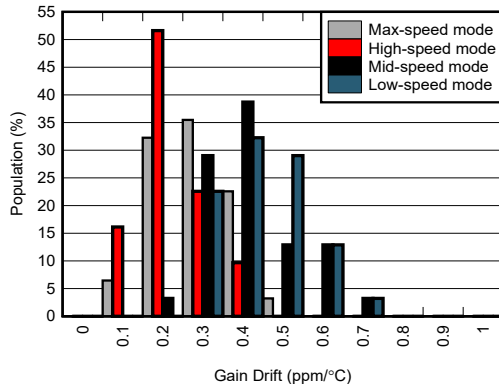


図 5-54. ゲインドリフトの分布

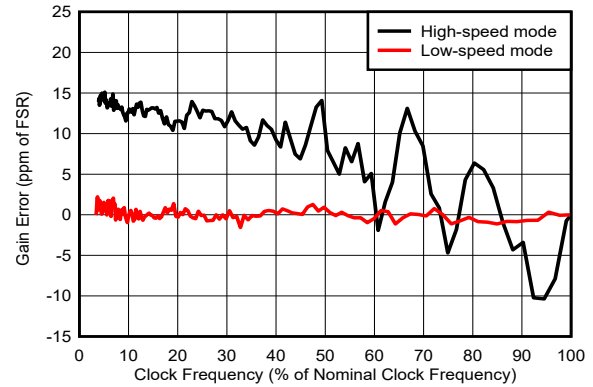
5.11 代表的特性 (続き)

AVDD1 = 5V、AVDD2 = 1.8V、AVSS = 0V、IOVDD = 1.8V、 $V_{REF} = 4.096V$ 、高リファレンス範囲、高速度モード、広帯域フィルタ、OSR = 32、1x の入力範囲、入力プリチャージバッファがオン、リファレンスプリチャージバッファがオフ、 $T_A = 25^\circ C$ のとき (特に記述のない限り)



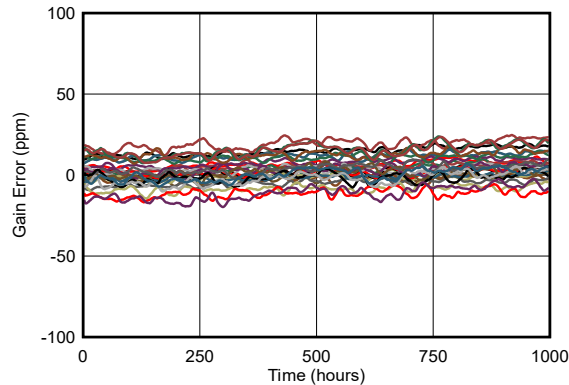
プリチャージバッファがオフ、30 ユニット

図 5-55. ゲイン ドリフトの分布



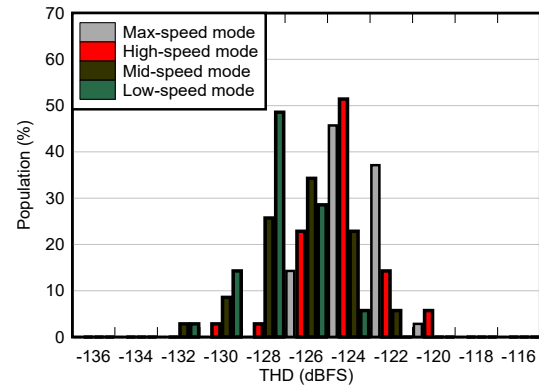
公称クロック周波数で較正されたゲイン誤差

図 5-56. ゲイン誤差とクロック周波数との関係



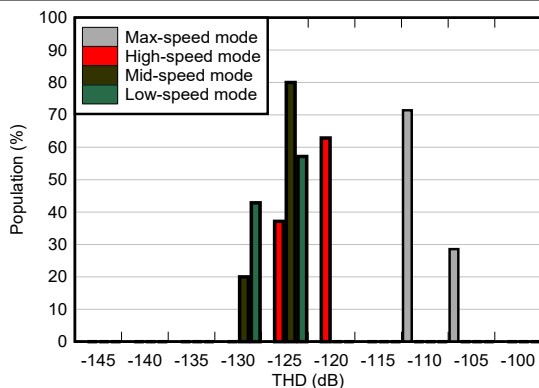
30 ユニット、ゲインは $t = 0$ で較正済み

図 5-57. 長期的なゲイン ドリフト



$V_{REF} = 2.5V$ 、30 ユニット

図 5-58. THD の分布



$V_{REF} = 4.096V$ 、30 ユニット

図 5-59. THD の分布

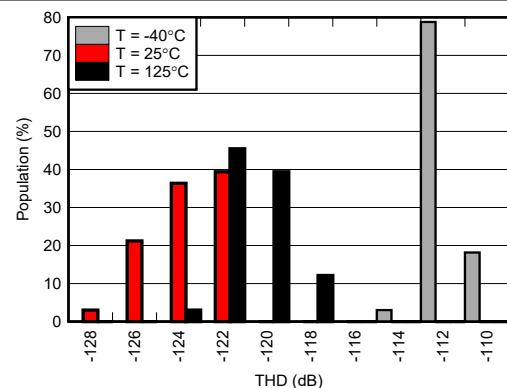


図 5-60. THD 過熱の分布

5.11 代表的特性 (続き)

AVDD1 = 5V、AVDD2 = 1.8V、AVSS = 0V、IOVDD = 1.8V、 $V_{REF} = 4.096V$ 、高リファレンス範囲、高速度モード、広帯域フィルタ、OSR = 32、1x の入力範囲、入力プリチャージバッファがオン、リファレンスプリチャージバッファがオフ、 $T_A = 25^\circ C$ のとき (特に記述のない限り)

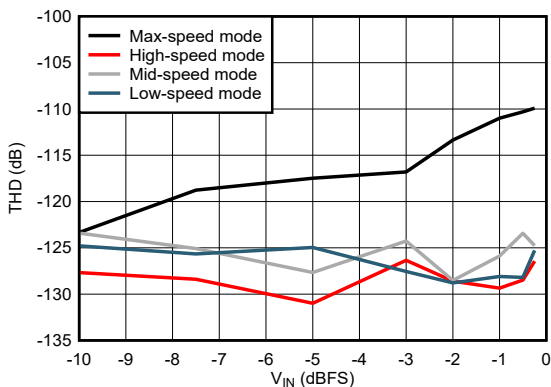


図 5-61. THD と入力振幅との関係

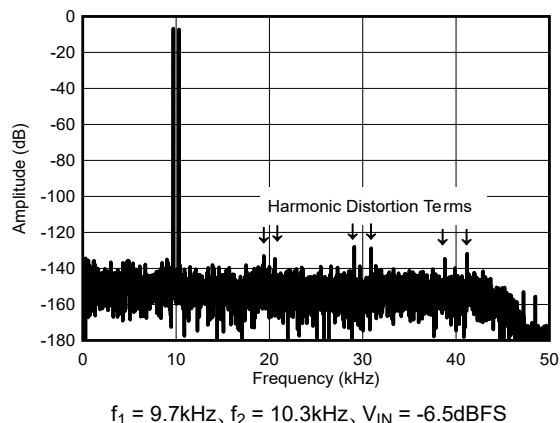


図 5-62. 相互変調歪み FFT

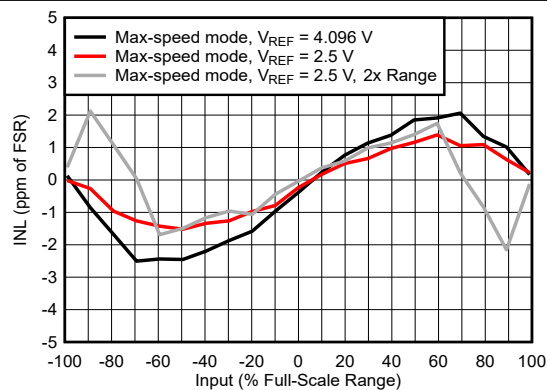


図 5-63. INL 誤差と入力電圧との関係

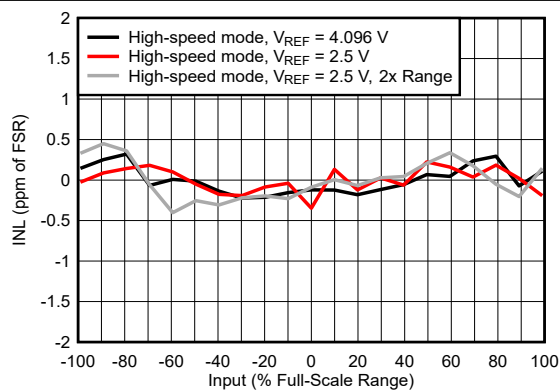


図 5-64. INL 誤差と入力電圧との関係

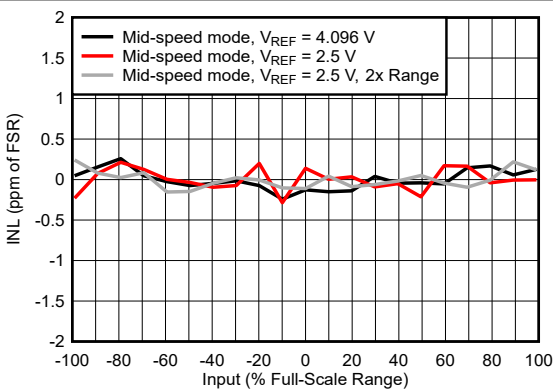


図 5-65. INL 誤差と入力電圧との関係

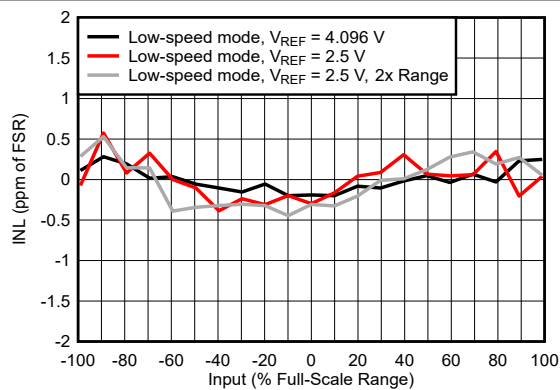


図 5-66. INL 誤差と入力電圧との関係

5.11 代表的特性 (続き)

AVDD1 = 5V、AVDD2 = 1.8V、AVSS = 0V、IOVDD = 1.8V、 $V_{REF} = 4.096V$ 、高リファレンス範囲、高速度モード、広帯域フィルタ、OSR = 32、1x の入力範囲、入力プリチャージバッファがオン、リファレンスプリチャージバッファがオフ、 $T_A = 25^\circ C$ のとき (特に記述のない限り)

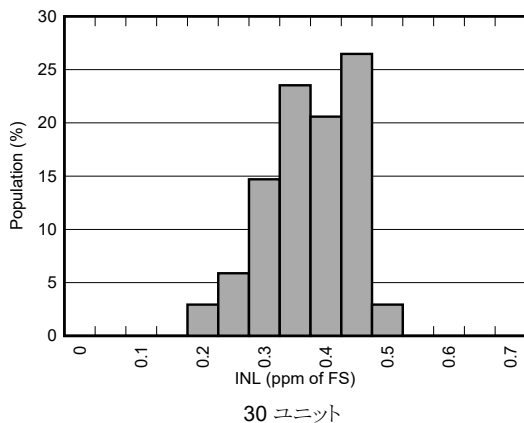


図 5-67. INL の分布

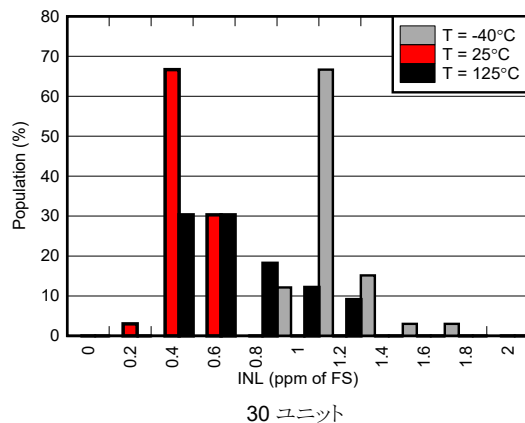


図 5-68. INL の過熱分布

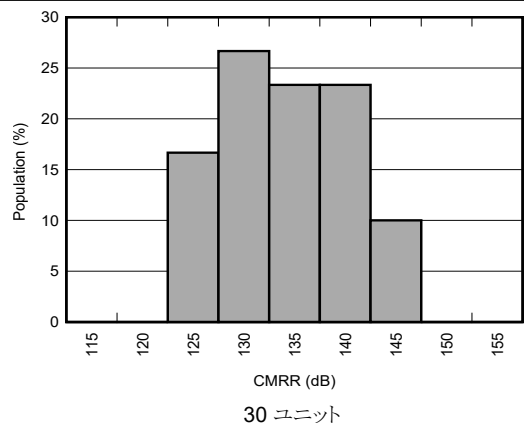


図 5-69. DC CMRR の分布

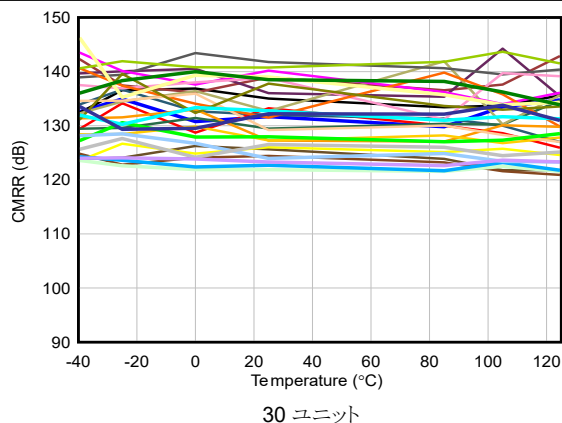


図 5-70. DC CMRR と温度との関係

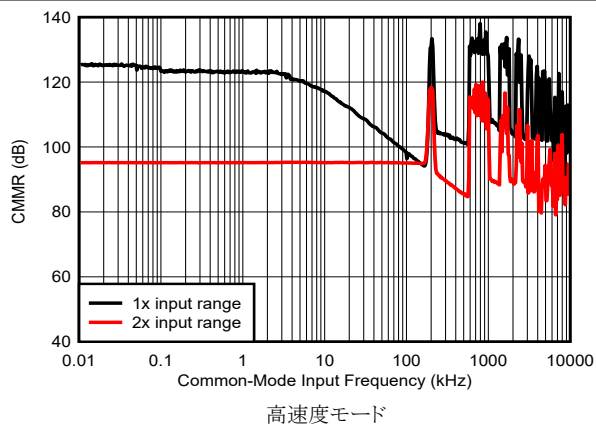


図 5-71. CMRR と周波数との関係

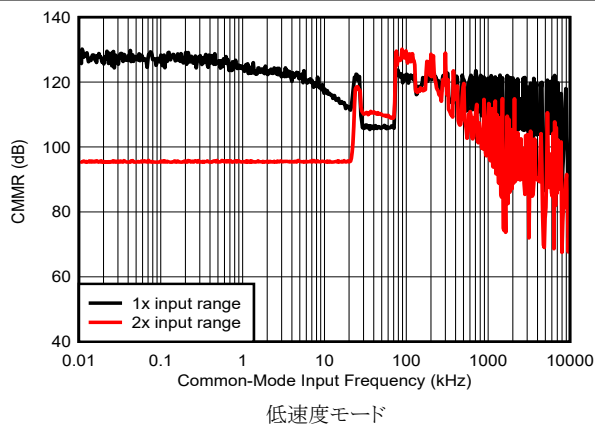


図 5-72. CMRR と周波数との関係

5.11 代表的特性 (続き)

AVDD1 = 5V, AVDD2 = 1.8V, AVSS = 0V, IOVDD = 1.8V, $V_{REF} = 4.096V$ 、高リファレンス範囲、高速度モード、広帯域フィルタ、OSR = 32、1x の入力範囲、入力プリチャージ バッファがオン、リファレンス プリチャージ バッファがオフ、 $T_A = 25^\circ C$ のとき (特に記述のない限り)

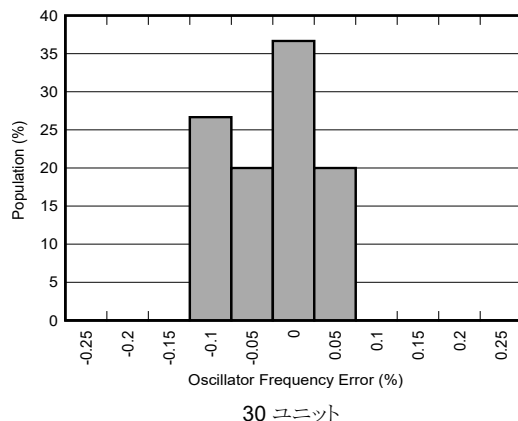


図 5-73. 発振器の周波数分布

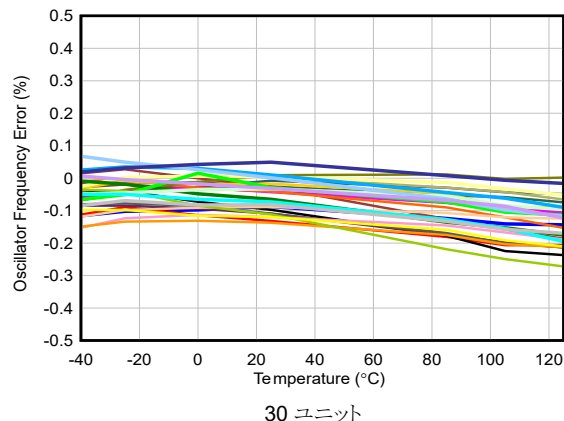


図 5-74. 発振器周波数と温度との関係

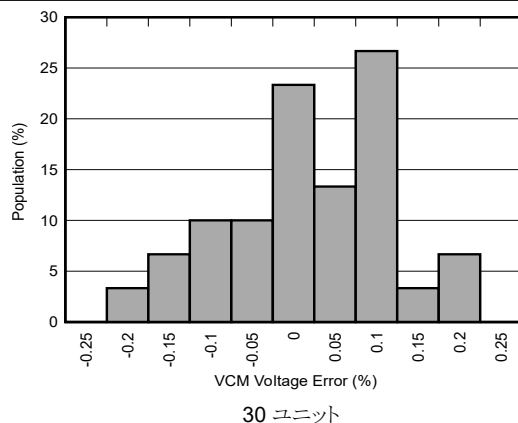


図 5-75. VCM 電圧の分布

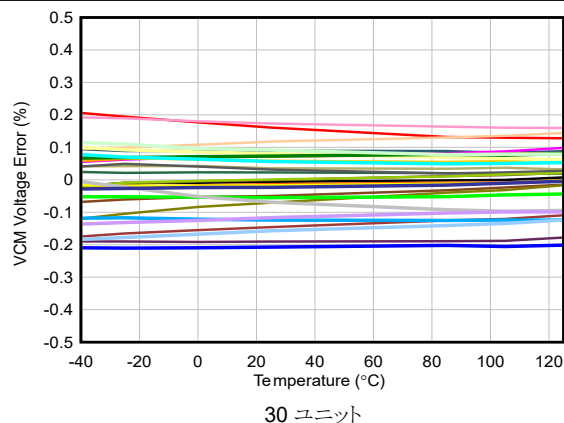


図 5-76. VCM 電圧と温度との関係

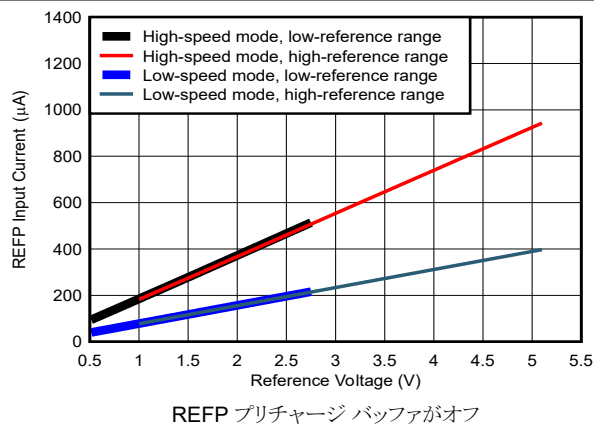


図 5-77. REFP 入力電流とリファレンス電圧との関係

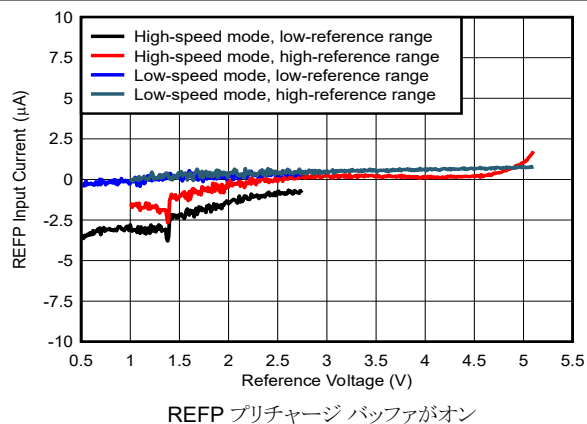


図 5-78. REFP 入力電流とリファレンス電圧との関係

5.11 代表的特性 (続き)

AVDD1 = 5V、AVDD2 = 1.8V、AVSS = 0V、IOVDD = 1.8V、 $V_{REF} = 4.096V$ 、高リファレンス範囲、高速度モード、広帯域フィルタ、OSR = 32、1x の入力範囲、入力プリチャージ バッファがオン、リファレンス プリチャージ バッファがオフ、 $T_A = 25^\circ C$ のとき (特に記述のない限り)

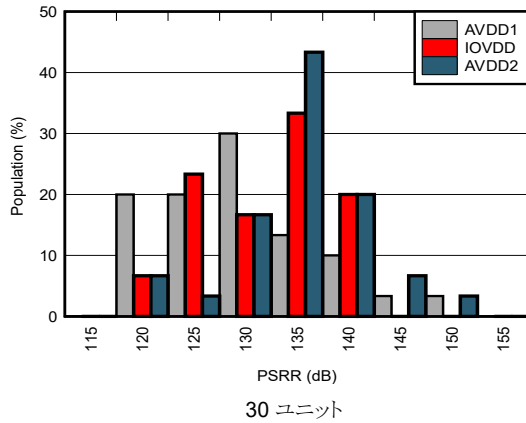


図 5-79. DC PSRR の分布

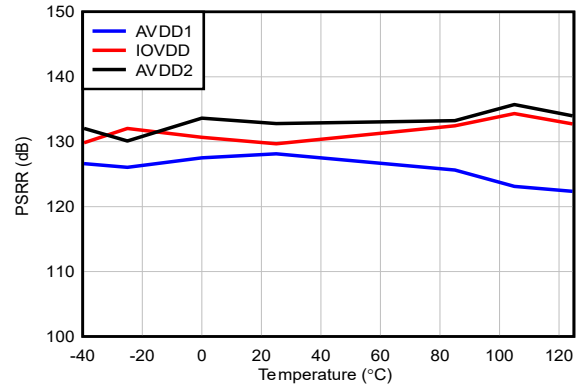


図 5-80. DC PSRR と温度との関係

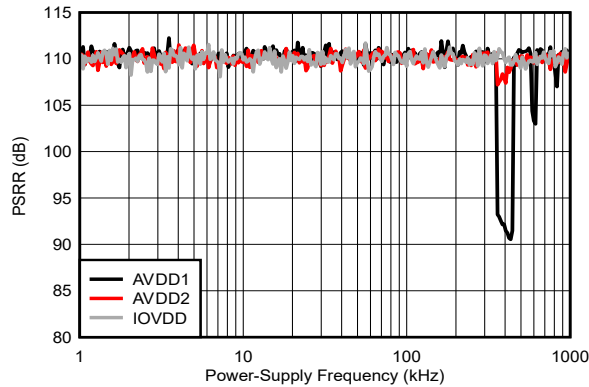


図 5-81. PSRR と電源周波数との関係

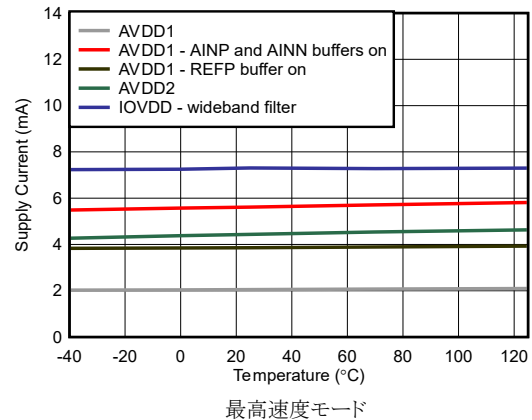


図 5-82. 電源電流と温度との関係

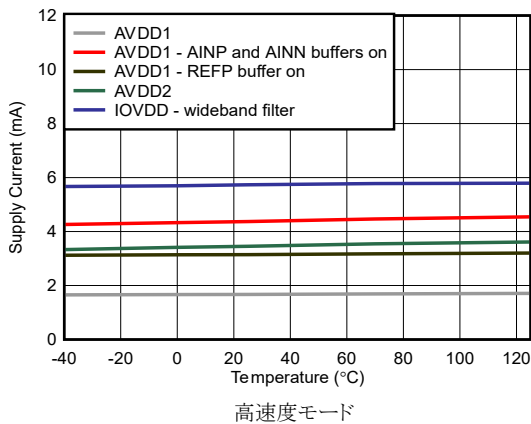


図 5-83. 電源電流と温度との関係

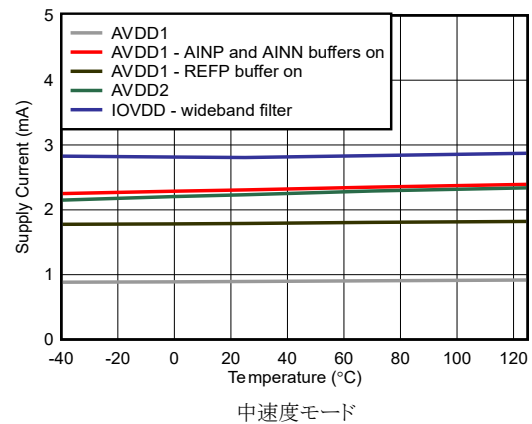
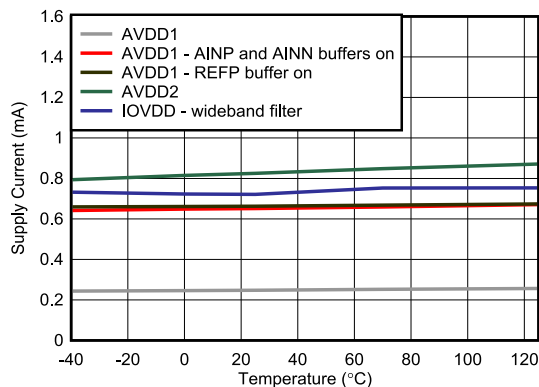


図 5-84. 電源電流と温度との関係

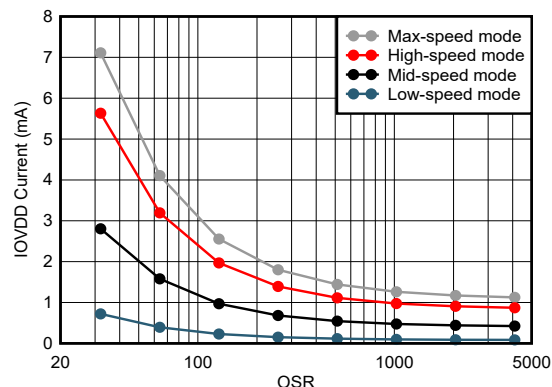
5.11 代表的特性 (続き)

AVDD1 = 5V、AVDD2 = 1.8V、AVSS = 0V、IOVDD = 1.8V、 $V_{REF} = 4.096V$ 、高リファレンス範囲、高速度モード、広帯域フィルタ、OSR = 32、1x の入力範囲、入力プリチャージバッファがオン、リファレンスプリチャージバッファがオフ、 $T_A = 25^\circ C$ のとき (特に記述のない限り)



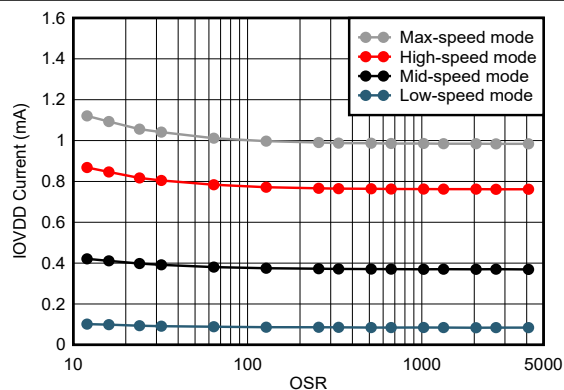
低速度モード

図 5-85. 電源電流と温度との関係



広帯域フィルタ

図 5-86. IOVDD 電流とオーバーサンプリング比との関係



低レイテンシ フィルタ

図 5-87. IOVDD 電流とオーバーサンプリング比との関係

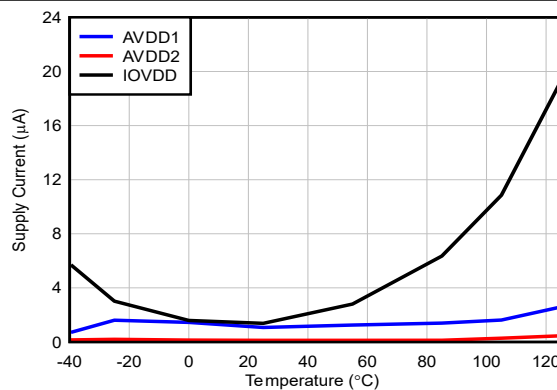


図 5-88. パワーダウン モードでの電源電流と温度との関係

6 パラメータ測定情報

6.1 オフセット誤差の測定

オフセット誤差は、ADC 入力外部で短絡した状態で測定されます。入力同相電圧は、AVDD1 および AVSS 電源電圧範囲の中間点に固定されています。オフセット誤差は、 $T_A = 25^\circ\text{C}$ で規定されています。

6.2 オフセット ドリフトの測定

オフセットドリフトは、指定された温度範囲全体にわたって複数のポイントで測定される、オフセット電圧の変化として定義されます。ドリフトは、ボックス方式を使用して計算されます。この方式では、指定された温度範囲内で最大と最小のオフセット電圧を囲むボックスが形成されます。このボックス方式では、温度誤差の限界が規定されますが、テスト対象となるデバイスの測定結果について、正確な形状とスロープは規定されません。

ボックス方式を使用したオフセットドリフトの計算を、式 1 に示します。

$$\text{Offset Drift (nV/}^\circ\text{C)} = 10^9 \cdot (V_{\text{OFSMAX}} - V_{\text{OFSMIN}}) / (T_{\text{MAX}} - T_{\text{MIN}}) \quad (1)$$

ここで

- V_{OFSMAX} および V_{OFSMIN} =指定された温度範囲内での最大と最小のオフセット電圧
- T_{MAX} と T_{MIN} =最高と最低の温度

6.3 ゲイン誤差の測定

ゲイン誤差は、ADC 伝達関数の実際のスロープと理想的なスロープとの差として定義されます。ゲイン誤差は、DC テスト電圧を FSR の -95% と 95% で印加して測定します。誤差は、DC テスト電圧 (理想的なスロープ) の変化を、ADC 出力電圧 (実際のスロープ) の変化から減算して計算されます。スロープの差を理想的なスロープで除算し、 10^6 を掛けて、誤差を FSR の ppm に変換します。ADC リファレンス電圧に起因する誤差は、ゲイン誤差の測定から除外されます。ゲイン誤差は、 $T_A = 25^\circ\text{C}$ で規定されます。ゲイン誤差の計算を、式 2 に示します。

$$\text{Gain Error (ppm of FSR)} = 10^6 \cdot (\Delta V_{\text{OUT}} - \Delta V_{\text{IN}}) / \Delta V_{\text{IN}} \quad (2)$$

ここで

- ΔV_{OUT} = 2 つの ADC 出力電圧の差
- ΔV_{IN} = 2 つの入力テスト電圧の差

6.4 ゲイン・ドリフトの測定

ゲイン・ドリフトは、指定された温度範囲全体にわたって複数のポイントで測定される、ゲイン誤差の変化として定義されます。ボックス方式が使用され、指定された温度範囲内で最大と最小のゲイン誤差を囲むボックスが形成されます。このボックス方式では、温度誤差の限界が規定されますが、テスト対象となるデバイスの測定結果について、正確な形状とスロープは規定されません。ボックス方式によるゲイン・ドリフトを、式 3 に示します。

$$\text{ゲイン・ドリフト (ppm/}^\circ\text{C)} = (GE_{\text{MAX}} - GE_{\text{MIN}}) / (T_{\text{MAX}} - T_{\text{MIN}}) \quad (3)$$

ここで

- GE_{MAX} と GE_{MIN} =指定された温度範囲における最大と最小のゲイン誤差
- T_{MAX} と T_{MIN} =最高と最低の温度

6.5 NMRR の測定

ノーマル モード除去比 (NMRR) は、ADC が特定の周波数でノーマル モードの入力信号を除去する能力を規定しています。これらの周波数は、通常、50Hz および 60Hz の入力周波数について示されます。ノーマル モード除去は、デジタルフィルタの周波数応答によって一意に決定されます。この場合、低レイテンシの sinc3 および sinc4 フィルタの周波数応答のヌルは 50Hz と 60Hz に配置され、これらの周波数で除去を行います。

6.6 CMRR の測定

CMRR (同相除去比) は、ADC が同相入力信号をどの程度除去できるのかを示すものです。CMRR は、DC および AC パラメータとして表されます。CMRR (DC) を測定するには、 $AVSS + 50mV$ 、 $(AVDD1 + AVSS) / 2$ 、 $AVDD1 - 50mV$ の 3 つの同相テスト電圧を印加します。この測定では、複数の入力を互いに短絡します。同相テスト電圧の変化に対する、ADC オフセット電圧の最大の変化を記録します。CMRR (DC) の計算方法を、式 4 に示します。

$$CMRR (dc) (dB) = 20 \cdot \log(\Delta V_{CM} / \Delta V_{OS}) \quad (4)$$

ここで

- ΔV_{CM} = DC 同相テスト電圧の変化
- ΔV_{OS} = 対応するオフセット電圧の変化

CMRR (AC) を測定するには、フルスケール範囲の 95% のさまざまなテスト周波数で AC 同相信号を印加します。FFT (高速フーリエ変換) プロットは、同相信号が印加されたときの ADC データから計算されます。式 5 に示すように、周波数スペクトル内で振幅の大きい 9 つのスパリアス周波数について、電力を合計します。これらの周波数は、同相テスト信号の振幅にも関係しています。

$$PSRR (ac) (dB) = 20 \cdot \log(V_{CM} / V_O) \quad (5)$$

ここで

- $V_{CM} (RMS)$ = 同相入力信号の振幅
- $V_O (RMS)$ = スパリアス周波数の 2 乗和平方根の振幅 = $\sqrt{(V_0^2 + V_1^2 + \dots V_8^2)}$

6.7 PSRR の測定

電源除去比 (PSRR) は、ADC が電源との干渉をどの程度除去できるかを示します。PSRR は AC および DC パラメータとして表されます。PSRR (DC) を測定するには、外部で入力を短絡させた状態で、電源電圧を最小、公称、最大の規定電圧の範囲で変化させます。電源電圧の変化に対する、ADC オフセット電圧の最大の変化を記録します。PSRR (DC) は、式 6 に示すように、電源電圧ステップの変化とオフセット電圧の変化との比率として計算されます。

$$PSRR (dc) (dB) = 20 \cdot \log(\Delta V_{PS} / \Delta V_{OS}) \quad (6)$$

ここで

- ΔV_{PS} = 電源電圧の変化
- ΔV_{OS} = オフセット電圧の変化

PSRR (AC) を測定するには、さまざまなテスト周波数の $100mV_{PP}$ ($35mV_{RMS}$) 信号で、電源電圧を変調します。電源変調による ADC データの FFT が実行されます。式 7 に示すように、周波数スペクトル内で振幅の大きい 9 つのスパリアス周波数について、電力を合計します。これらの周波数は、電源変調信号の振幅にも関係しています。

$$PSRR (ac) (dB) = 20 \cdot \log(V_{PS} / V_O) \quad (7)$$

ここで

- $V_{PS} (RMS)$ = $100mV$ の AC 電源変調信号
- $V_O (RMS)$ = スパリアス周波数の 2 乗和平方根の振幅 = $\sqrt{(V_0^2 + V_1^2 + \dots V_8^2)}$

6.8 SNR の測定

信号対雑音比 (SNR) は、フルスケールの AC 入力信号でのノイズ性能の測定値です。SNR の測定では、 V_{CM} = 中間電源電圧で、-0.2dBFS、1kHz のテスト信号を使用します。式 8 に示すように、SNR は入力信号の RMS 値と、他のすべての周波数成分の二乗和平方根との比です。周波数成分は、ADC 出力サンプルの FFT 計算から得られます。非コヒーレント サンプリングのために FFT ウィンドウ処理を使用すると、元の信号の周囲にある周波数ビンのスペクトル リークが除去されます。元の信号の DC および高調波も、除外されます。

$$SNR \text{ (dB)} = 20 \cdot \log(V_{IN} / e_n) \quad (8)$$

ここで

- V_{IN} = 入力テスト信号
- e_n = DC および信号高調波を除く周波数成分の 2 乗和平方根

6.9 INL 誤差の測定

積分非直線性 (INL) 誤差は、ADC の DC 伝達関数の直線性を示します。INL は、ADC のスロープとオフセット伝達関数から計算される直線に沿って、一連の DC テスト電圧を印加することで測定されます。INL は、DC テスト電圧 $[V_{IN(N)}]$ の組と、対応する出力電圧 $[V_{OUT(N)}]$ の組との差です。INL 誤差を計算するエンドポイント方式を、式 9 に示します。

$$INL \text{ (FSR の ppm)} = \text{一連の INL テストの最大絶対値} [10^6 \cdot (V_{IN(N)} - V_{OUT(N)}) / FSR] \quad (9)$$

ここで

- N = DC テスト電圧のインデックス
- $[V_{IN(N)}]$ = FSR の -95%~95% の範囲にわたるテスト電圧の組
- $[V_{OUT(N)}]$ = 対応する ADC 出力電圧の組
- FSR (フルスケール範囲) = $2 \cdot V_{REF}$ (1x 入力範囲) または $4 \cdot V_{REF}$ (2x 入力範囲)

INL の最適化手法では、最小 2 乗誤差 (LSE) の計算を使用して新しい直線を決定し、元のエンドポイント線の上下にある INL 誤差の 2 乗和平方根を最小化します。

6.10 THD の測定

全高調波歪み (THD) は、AC 入力信号を使用する ADC の動的直線性を規定します。THD の測定では、 V_{CM} = 中間電源電圧で、-0.2dBFS、1kHz 差動の入力信号を印加します。十分な数のデータ ポイントを収集して、周波数ビンの幅が 5Hz 以下の FFT 結果を生成します。5Hz のビン幅により、高調波ビンのノイズが低減され、一貫した THD 測定が可能になります。式 10 に示すように、THD は入力信号振幅に対する高調波の 2 乗和平方根振幅の比として計算されます。

$$THD \text{ (dB)} = 20 \cdot \log(V_H / V_{IN}) \quad (10)$$

ここで

- V_H = 高調波の 2 乗和平方根: $\sqrt{(V_2^2 + V_3^2 + \dots + V_n^2)}$ 、ここで V_n = 9 次高調波電圧
- V_{IN} = 入力信号の基本波

6.11 IMD の測定

相互変調歪み (IMD) は、2 つの入力周波数の混合効果を規定します。周波数の混合は ADC の非直線性に起因し、元の信号にはない和および差の周波数が発生することがあります。IMD の 2 次項は、 $(f_1 + f_2)$ および $(f_1 - f_2)$ です。IMD の 3 次項は、 $(2f_1 + f_2)$ 、 $(2f_1 - f_2)$ 、 $(f_1 + 2f_2)$ 、および $(f_1 - 2f_2)$ です。テスト信号 $f_1 = 9.7\text{kHz}$ および $f_2 = 10.3\text{kHz}$ は、-6.5dBFS です。IMD₂ および IMD₃ は、元の試験周波数の合計と、2 次項および 3 次項の二乗和平方根との比として規定されています。式 11 によって IMD₂ および IMD₃ を計算します。

$$\begin{aligned}\text{IMD}_2 \text{ (dB)} &= 20 \cdot \log(V_2 / V_{\text{IN}}) \\ \text{IMD}_3 \text{ (dB)} &= 20 \cdot \log(V_3 / V_{\text{IN}})\end{aligned}\tag{11}$$

ここで

- IMD₂ = 2 次 IMD
- IMD₃ = 3 次 IMD
- v_2 = 2 次項の二乗和平方根
- v_3 = 3 次項の二乗和平方根
- V_{IN} = 2 つのテスト信号の合計振幅

6.12 SFDR の測定

SFDR は、シングル トーン AC 入力の RMS 値と、ADC 周波数スペクトル内で最大のスプリアス信号との比です。スプリアスフリー ダイナミックレンジ (SFDR) の測定には、元の信号の高調波が含まれます。SFDR の測定では、 V_{CM} = 中間電源電圧で、-0.2dBFS、1kHz の入力信号を印加します。SFDR は、入力信号の RMS 値と、元の信号の高調波を含む、最も大きい単一のスプリアス信号との比です。式 12 で SFDR を計算できます。

$$\text{SFDR (dB)} = 20 \cdot \log(V_{\text{IN}} / V_{\text{SPUR}})\tag{12}$$

ここで

- V_{IN} = 入力テスト信号
- V_{SPUR} = 単一の最大スプリアスのレベル

6.13 ノイズ性能

ADC には 4 つの動作速度モードがあり、ADC の分解能、消費電力、信号帯域幅の間でトレードオフを選択できます。モードには最高速度、高速度、中速度、低速度があり、この順にデバイスの消費電力が減少します。広帯域フィルタは、最大 512kSPS (最高速度モード)、400kSPS (高速度モード)、200kSPS (中速度モード)、50kSPS (低速度モード) のデータレートに対応しています。フィルタ時間のレイテンシを短縮するため、中間の FIR1 または FIR2 段の部分的フィルタからデータにアクセスすることもできます。

低レイテンシの sinc4 フィルタは、最大 1.365MSPS (最高速度モード)、1.066MSPS (高速度モード)、533kSPS (中速度モード)、133kSPS (低速度モード) のデータレートを実現します。

プログラム可能なオーバーサンプリング比 (OSR) によって、出力データレートと信号帯域幅が決定され、合計ノイズ性能に影響します。OSR を大きくすると、変調器からより多くのサンプルを取得し、平均化して 1 つの変換結果を得ることになるため、信号帯域幅と合計ノイズが減少します。

フィルタのノイズ特性の要約を、表 6-1 から表 6-5 までに示します。ノイズ性能は、1x 入力範囲と 4.096V のリファレンス電圧について規定されています。これに対して、リファレンス電圧を 2.5V に下げると、ダイナミックレンジが 4dB (標準値) 減少します。2.5V のリファレンス電圧と 2x 入力範囲で動作する場合は、4.096V のリファレンス電圧と 1x 入力範囲で動作する場合に比べて、ダイナミックレンジが 3dB (標準値) 減少します。

ノイズ データは、入力短絡されて中間電源電圧にバイアスされているときの、変換データの標準偏差 (RMS) の結果です。ノイズ データは、 $T_A = 25^\circ\text{C}$ での標準的な性能を表したものです。RMS ノイズ (e_n) の測定には、少なくとも 1,000 回または 10 秒の連続変換 (どちらか早い方) が使用されます。ノイズの統計的な性質から、繰り返しノイズを測定すると、ノイズの結果は大きくなる、または小さくなる可能性があります。

式 13 は、RMS ノイズをダイナミックレンジに変換します。式 14 は、RMS ノイズを有効分解能に変換します。

$$\text{Dynamic Range (dB)} = 20 \cdot \log_{10}[\text{FSR} / (2 \cdot \sqrt{2} \cdot e_n)] \quad (13)$$

$$\text{Effective Resolution (bits)} = \log_2(\text{FSR} / e_n) \quad (14)$$

ここで

- $\text{FSR} = 2 \cdot V_{\text{REF}}$ (1x の入力範囲)
- $\text{FSR} = 4 \cdot V_{\text{REF}}$ (2x の入力範囲)
- e_n = ノイズ電圧 (RMS)

ADC のノイズ性能を評価するときは、外部バッファとアンプのノイズが合計ノイズ性能に及ぼす影響を考慮してください。入力マルチプレクサの入力短絡テスト接続を選択し、アンプが絶縁された状態で ADC のノイズ性能を評価します。

表 6-1. 広帯域フィルタのノイズ性能 ($V_{\text{REF}} = 4.096\text{V}$ 、1x の入力範囲)

モード	f_{CLK} (MHz)	OSR	データレート (kSPS)	ノイズ (e_n , μVRMS)	ダイナミックレンジ (dB)	実効分解能 (ビット)
最高速度	32.768	32	512	11.1	108.3	19.5
高速度	25.6		400	10.9	108.5	19.5
中速度	12.8		200	10.6	108.7	19.6
低速度	3.2		50	10.4	108.9	19.6
最高速度	32.768	64	256	7.64	111.6	20.0
高速度	25.6		200	7.50	111.7	20.1
中速度	12.8		100	7.30	112.0	20.1
低速度	3.2		25	7.14	112.2	20.1
最高速度	32.768	128	128	5.34	114.7	20.5
高速度	25.6		100	5.25	114.8	20.6
中速度	12.8		50	5.07	115.1	20.6
低速度	3.2		12.5	4.97	115.3	20.7

表 6-1. 広帯域フィルタのノイズ性能 ($V_{REF} = 4.096V$ 、1x の入力範囲) (続き)

モード	f _{CLK} (MHz)	OSR	データレート (kSPS)	ノイズ (e _n , μV _{RMS})	ダイナミックレンジ (dB)	実効分解能 (ビット)
最高速度	32.768	256	64	3.79	117.7	21.0
高速度	25.6		50	3.72	117.8	21.1
中速度	12.8		25	3.58	118.2	21.1
低速度	3.2		6.25	3.53	118.3	21.1
最高速度	32.768	512	32	2.71	120.6	21.5
高速度	25.6		25	2.67	120.7	21.5
中速度	12.8		12.5	2.54	121.2	21.6
低速度	3.2		3.125	2.47	121.4	21.7
最高速度	32.768	1024	16	1.88	123.8	22.1
高速度	25.6		12.5	1.87	123.8	22.1
中速度	12.8		6.25	1.82	124.0	22.1
低速度	3.2		1.5625	1.76	124.3	22.2
最高速度	32.768	2048	8	1.34	126.7	22.5
高速度	25.6		6.25	1.32	126.8	22.5
中速度	12.8		3.125	1.29	127.0	22.6
低速度	3.2		0.78125	1.25	127.3	22.6
最高速度	32.768	4096	4	0.96	129.6	23.0
高速度	25.6		3.125	0.95	129.7	23.0
中速度	12.8		1.5625	0.93	129.9	23.1
低速度	3.2		0.390625	0.89	130.3	23.1

表 6-2. sinc3 および sinc4 フィルタのノイズ性能 ($V_{REF} = 4.096V$ 、1x の入力範囲)

モード	f _{CLK} (MHz)	OSR	データレート (kSPS)	ノイズ (e _n , μV _{RMS}) ⁽¹⁾		ダイナミックレンジ (dB)		実効分解能 (ビット)	
				SINC3	SINC4	SINC3	SINC4	SINC3	SINC4
最高速度	32.768	12	1365.3	239	66.8	81.7	92.7	15.1	16.9
高速度	25.6		1066.6	235	66.6	81.8	92.8	15.1	16.9
中速度	12.8		533.3	235	63.8	81.8	93.1	15.1	17.0
低速度	3.2		133.33	232	63.1	81.9	93.2	15.1	17.0
最高速度	32.768	16	1024	99.9	24.8	89.2	101.3	16.3	18.3
高速度	25.6		800	99.6	24.5	89.3	101.5	16.3	18.4
中速度	12.8		400	98.9	24.5	89.3	101.5	16.3	18.4
低速度	3.2		100	96.0	24.3	89.6	101.5	16.4	18.4
最高速度	32.768	24	682.67	31.1	10.8	99.4	108.6	18.0	19.5
高速度	25.6		533.3	31.0	10.3	99.4	108.9	18.0	19.6
中速度	12.8		266.67	30.8	10.1	99.5	109.2	18.0	19.6
低速度	3.2		66.67	30.7	9.96	99.5	109.3	18.0	19.6
最高速度	32.768	32	512	15.2	8.24	105.6	110.9	19.0	19.9
高速度	25.6		400	15.0	8.07	105.7	111.1	19.1	20.0
中速度	12.8		200	14.8	7.88	105.8	111.3	19.1	20.0
低速度	3.2		50	14.7	7.76	105.9	111.4	19.1	20.0
最高速度	32.768	64	256	6.20	5.71	113.4	114.1	20.3	20.5
高速度	25.6		200	6.15	5.53	113.5	114.4	20.3	20.5
中速度	12.8		100	5.98	5.42	113.7	114.6	20.4	20.5
低速度	3.2		25	5.78	5.24	114.0	114.9	20.4	20.6

表 6-2. sinc3 および sinc4 フィルタのノイズ性能 ($V_{REF} = 4.096V$ 、1x の入力範囲) (続き)

モード	f_{CLK} (MHz)	OSR	データレート (kSPS)	ノイズ (e_n , μV_{RMS}) ⁽¹⁾		ダイナミックレンジ (dB)		実効分解能 (ビット)	
				SINC3	SINC4	SINC3	SINC4	SINC3	SINC4
最高速度	32.768	128	128	4.21	3.98	116.8	117.2	20.9	21.0
高速度	25.6		100	4.16	3.89	116.9	117.4	20.9	21.0
中速度	12.8		50	4.10	3.75	117.0	117.8	20.9	21.1
低速度	3.2		12.5	3.99	3.72	117.2	117.8	21.0	21.1
中速度	12.8	167	38.323	3.56	3.39	118.2	118.6	21.1	21.2
最高速度	32.768	256	64	2.99	2.78	119.7	120.4	21.4	21.5
高速度	25.6		50	2.95	2.74	119.8	120.5	21.4	21.5
中速度	12.8		25	2.87	2.69	120.1	120.6	21.4	21.5
低速度	3.2		6.25	2.81	2.61	120.3	120.9	21.5	21.6
最高速度	32.768	333	49.201	2.67	2.50	120.7	121.3	21.5	21.6
高速度	25.6		38.438	2.59	2.46	121.0	121.4	21.6	21.7
中速度	12.8		19.219	2.53	2.43	121.2	121.5	21.6	21.7
低速度	3.2		4.804	2.46	2.33	121.4	121.9	21.7	21.7
最高速度	32.768	512	32	2.11	1.98	122.8	123.3	21.9	22.0
高速度	25.6		25	2.09	1.93	122.8	123.5	21.9	22.0
中速度	12.8		12.5	2.01	1.88	123.2	123.8	22.0	22.1
低速度	3.2		3.125	1.96	1.67	123.4	124.8	22.0	22.2
最高速度	32.768	667	24.564	1.90	1.77	123.7	124.3	22.0	22.1
高速度	25.6		19.19	1.86	1.75	123.8	124.4	22.1	22.2
中速度	12.8		9.595	1.82	1.67	124.0	124.8	22.1	22.2
低速度	3.2		2.39	1.77	1.65	124.3	124.9	22.1	22.2
最高速度	32.768	1024	16	1.50	1.41	125.7	126.3	22.4	22.5
高速度	25.6		12.5	1.47	1.40	125.9	126.3	22.4	22.5
中速度	12.8		6.25	1.43	1.34	126.1	126.7	22.4	22.5
低速度	3.2		1.56	1.42	1.31	126.2	126.9	22.5	22.6
最高速度	32.768	1333	12.291	1.36	1.25	126.6	127.3	22.5	22.6
高速度	25.6		9.602	1.34	1.23	126.7	127.4	22.5	22.7
中速度	12.8		4.801	1.29	1.19	127.0	127.7	22.6	22.7
低速度	3.2		1.2	1.24	1.17	127.4	127.9	22.7	22.7
最高速度	32.768	2048	8	1.06	1.00	128.7	129.2	22.9	23.0
高速度	25.6		6.25	1.05	0.995	128.8	129.3	22.9	23.0
中速度	12.8		3.125	1.02	0.952	129.1	129.7	22.9	23.0
低速度	3.2		0.78	0.969	0.935	129.5	129.8	23.0	23.1
最高速度	32.768	2667	6.143	0.967	0.890	129.5	130.3	23.0	23.1
高速度	25.6		4.799	0.949	0.858	129.7	130.6	23.0	23.2
中速度	12.8		2.4	0.913	0.867	130.0	130.5	23.1	23.2
低速度	3.2		0.6	0.914	0.844	130.0	130.7	23.1	23.2
最高速度	32.768	4096	4	0.751	0.710	131.7	132.2	23.4	23.5
高速度	25.6		3.125	0.752	0.709	131.7	132.2	23.4	23.5
中速度	12.8		1.563	0.725	0.681	132.0	132.6	23.4	23.5
低速度	3.2		0.39	0.709	0.649	132.2	133.0	23.5	23.6

表 6-2. sinc3 および sinc4 フィルタのノイズ性能 ($V_{REF} = 4.096V$ 、1x の入力範囲) (続き)

モード	f_{CLK} (MHz)	OSR	データレート (kSPS)	ノイズ (e_n , μV_{RMS}) ⁽¹⁾		ダイナミックレンジ (dB)		実効分解能 (ビット)	
				SINC3	SINC4	SINC3	SINC4	SINC3	SINC4
最高速度	32.768	5333	3.072	0.697	0.630	132.4	133.3	23.5	23.6
高速度	25.6		2.4	0.676	0.626	132.6	133.3	23.5	23.6
低速度	3.2		0.3	0.661	0.604	132.8	133.6	23.6	23.7
中速度	12.8	13333	0.437	0.410	0.60	136.3	137.0	24.2	24.3
中速度	12.8	16000	0.400	0.392	0.356	137.4	138.2	24.3	24.5
最高速度	32.768	26667	0.614	0.335	0.320	138.7	139.4	24.5	24.6
高速度	25.6		0.480	0.330	0.311	138.9	139.1	24.6	24.7
低速度	3.2		0.06	0.316	0.290	139.2	140.0	24.7	24.8
最高速度	32.768	32000	0.512	0.309	0.303	139.4	139.6	24.7	24.7
高速度	25.6		0.4	0.306	0.294	139.5	139.9	24.7	24.7
低速度	3.2		0.05	0.290	0.275	140.0	140.5	24.8	24.8
中速度	12.8	48000	0.133	0.251	0.274	141.2	140.5	25.0	24.8
中速度	12.8	80000	0.08	0.233	0.208	141.9	142.9	25.1	25.2
最高速度	32.768	96000	0.17067	0.238	0.202	141.7	143.1	25.0	25.3
高速度	25.6		0.133	0.186	0.250	143.8	141.3	25.4	25.0
低速度	3.2		0.0167	0.245	0.207	141.5	142.9	25.0	25.2
最高速度	32.768	160000	0.102	0.243	0.243	141.5	141.5	25.0	25.0
高速度	25.6		0.08	0.232	0.242	141.9	141.6	25.1	25.0
低速度	3.2		0.01	0.243	0.177	141.5	144.3	25.0	25.5

(1) 24 ビット量子化の制限により、OSR 値が大きいと、ノイズ結果が変動する可能性があります。 $4.096V/2^{23} = 0.488\mu V$ / コード。

表 6-3. sinc3 + sinc1 および sinc4 + sinc1 フィルタのノイズ性能 ($V_{REF} = 4.096V$ 、1x の入力範囲)

モード	f_{CLK} (MHz)	OSR	データレート (SPS)	ノイズ (e_n , μV_{RMS}) ⁽¹⁾	ダイナミックレンジ (dB)	実効分解能 (ビット)
中速度	12.8	13333	480	0.573	134.1	23.8
中速度	12.8	16000	400	0.533	134.7	23.9
最高速度	32.768	26656	614	0.419	136.8	24.2
高速度	25.6		480	0.416	136.9	24.2
低速度	3.2		60	0.413	136.9	24.2
最高速度	32.768	32000	512	0.409	137.0	24.3
高速度	25.6		400	0.387	137.5	24.3
低速度	3.2		50	0.362	138.1	24.4
中速度	12.8	48000	133	0.321	139.1	24.6
中速度	12.8	80000	80	0.274	140.5	24.8
最高速度	32.768	96000	170.6	0.254	141.1	24.9
高速度	25.6		133	0.256	141.1	24.9
低速度	3.2		16.7	0.251	141.2	25.0
最高速度	32.768	160000	102.44	0.202	143.1	25.3
高速度	25.6		80	0.187	143.8	25.4
低速度	3.2		10	0.201	143.2	25.3

(1) 24 ビット量子化の制限により、OSR 値が大きいと、ノイズ結果が変動する可能性があります。 $4.096V/2^{23} = 0.488\mu V$ / コード。sinc3 + sinc1 および sinc4 + sinc1 フィルタは、ノイズ性能が同一です。

表 6-4. FIR1 フィルタのノイズ性能 ($V_{REF} = 4.096V$ 、1x の入力範囲)

モード	f _{CLK} (MHz)	OSR	データレート (kSPS)	ノイズ (e _n , μV_{RMS})	ダイナミックレンジ (dB)	実効分解能 (ビット)
最高速度	32.768	8	2048	641	73.1	13.6
高速度	25.6		1600	648	73.0	13.6
中速度	12.8		800	662	72.8	13.6
低速度	3.2		200	681	72.6	13.6
最高速度	32.768	16	1024	93.0	89.9	16.4
高速度	25.6		800	94.8	89.7	16.4
中速度	12.8		400	99.9	89.2	16.3
低速度	3.2		100	105	88.8	16.2
最高速度	32.768	32	512	11.0	108.4	19.5
高速度	25.6		400	10.8	108.6	19.5
中速度	12.8		200	10.5	108.8	19.6
低速度	3.2		50	10.3	109.0	19.6
最高速度	32.768	64	256	7.44	111.8	20.1
高速度	25.6		200	7.30	112.0	20.1
中速度	12.8		100	7.09	112.2	20.1
低速度	3.2		25	6.93	112.4	20.2
最高速度	32.768	128	128	5.20	114.9	20.6
高速度	25.6		100	5.10	115.1	20.6
中速度	12.8		50	4.93	115.4	20.7
低速度	3.2		12.5	4.82	115.6	20.7
最高速度	32.768	256	64	3.69	117.9	21.1
高速度	25.6		50	3.63	118.0	21.1
中速度	12.8		25	3.48	118.4	21.2
低速度	3.2		6.25	3.39	118.6	21.2
最高速度	32.768	512	32	2.64	120.8	21.6
高速度	25.6		25	2.62	120.9	21.6
中速度	12.8		12.5	2.47	121.4	21.7
低速度	3.2		3.125	1.27	127.1	22.6
最高速度	32.768	1024	16	1.94	123.5	22.0
高速度	25.6		12.5	1.90	123.6	22.0
中速度	12.8		6.25	1.76	124.3	22.2
低速度	3.2		1.5625	0.886	130.3	23.1

表 6-5. FIR2 フィルタの性能 ($V_{REF} = 4.096V$ 、1x の入力範囲)

モード	f _{CLK} (MHz)	OSR	データレート (kSPS)	ノイズ (e _n , μV_{RMS})	ダイナミックレンジ (dB)	実効分解能 (ビット)
最高速度	32.768	16	1024	51.0	95.1	17.3
高速度	25.6		800	51.0	95.1	17.3
中速度	12.8		400	50.3	95.2	17.3
低速度	3.2		100	50.0	95.3	17.3
最高速度	32.768	32	512	11.6	108.0	19.4
高速度	25.6		400	11.4	108.1	19.5
中速度	12.8		200	11.1	108.3	19.5
低速度	3.2		50	10.9	108.5	19.5

表 6-5. FIR2 フィルタの性能 ($V_{REF} = 4.096V$ 、1x の入力範囲) (続き)

モード	f _{CLK} (MHz)	OSR	データ レート (kSPS)	ノイズ (e _n , μV_{RMS})	ダイナミック レンジ (dB)	実効分解能 (ビット)
最高速度	32.768	64	256	7.85	111.3	20.0
高速度	25.6		200	7.69	111.5	20.0
中速度	12.8		100	7.47	111.8	21.1
低速度	3.2		25	7.33	111.9	21.1
最高速度	32.768	128	128	5.47	114.5	20.5
高速度	25.6		100	5.36	114.7	20.5
中速度	12.8		50	5.18	114.9	20.6
低速度	3.2		12.5	5.07	115.1	20.6
最高速度	32.768	256	64	3.86	117.5	21.0
高速度	25.6		50	3.80	117.6	21.0
中速度	12.8		25	3.66	118.0	21.1
低速度	3.2		6.25	3.58	118.2	21.1
最高速度	32.768	512	32	2.79	120.3	21.5
高速度	25.6		25	2.73	120.5	21.5
中速度	12.8		12.5	2.59	121.0	21.6
低速度	3.2		3.125	1.76	124.3	22.2
最高速度	32.768	1024	16	2.01	123.2	22.0
高速度	25.6		12.5	1.99	123.3	22.0
中速度	12.8		6.25	1.83	124.0	22.1
低速度	3.2		1.5625	1.26	127.2	22.6
最高速度	32.768	2048	8	1.51	125.6	22.4
高速度	25.6		6.25	1.48	125.8	22.4
中速度	12.8		3.125	0.928	129.9	23.1
低速度	3.2		0.78125	0.927	129.9	23.1

7 詳細説明

7.1 概要

ADS127L21 は、高性能、24 ビットのデルタ シグマ ($\Delta\Sigma$) アナログ/デジタル コンバータ (ADC) です。このデバイスのデータレートは、広帯域フィルタ モードで最大 512kSPS、低レイテンシ フィルタ モードで 1.365MHz です。プログラム可能なデジタル フィルタにより、フィルタ応答をカスタマイズできます。このデバイスには 4 つの速度モードがあり、分解能、帯域幅、消費電力のトレードオフを選択できます。

ADS127L21 の機能は、「機能ブロック図」に示されています。入力および正のリファレンス電圧プリチャージ バッファは、入力インピーダンスを増加させ、システム エラーを低減します。VCM 出力は中間電圧を供給し、外部入力ドライバの同相電圧を駆動します。

差動入力信号は $V_{IN} = (V_{AINP} - V_{AINN})$ と定義され、差動基準電圧は $V_{REF} = (V_{REFP} - V_{REFN})$ と定義されます。マルチビット デルタ シグマ変調器は、差動基準電圧に対する差動入力信号を測定します。変調器は、量子化ノイズを帯域外周波数範囲に形成し、そのノイズはデジタル フィルタによって除去されます。信号帯域内に残るノイズは、一定密度のホワイトノイズです。デジタル フィルタは変調器のデータに対して間引きとフィルタ処理を行い、高分解能のデータを出力します。

デジタル フィルタには、低レイテンシと広帯域という 2 つの動作モードがあります。低レイテンシ モードは、プログラム可能な sinc3 または sinc4 フィルタを使用し、オプションとしてカスケード動作の sinc1 フィルタを選択できます。低レイテンシ フィルタを使用すると、DC 信号測定のレイテンシ時間を最小化できます。

広帯域フィルタは、プリセットまたはプログラム可能な係数の FIR フィルタと、直列に動作する 4 つのバイカッド IIR フィルタで構成されます。IIR フィルタを使用すると、ハイパス、バンド パス、バンド除去、ローパスなどのカスタマイズされたフィルタを使用できます。

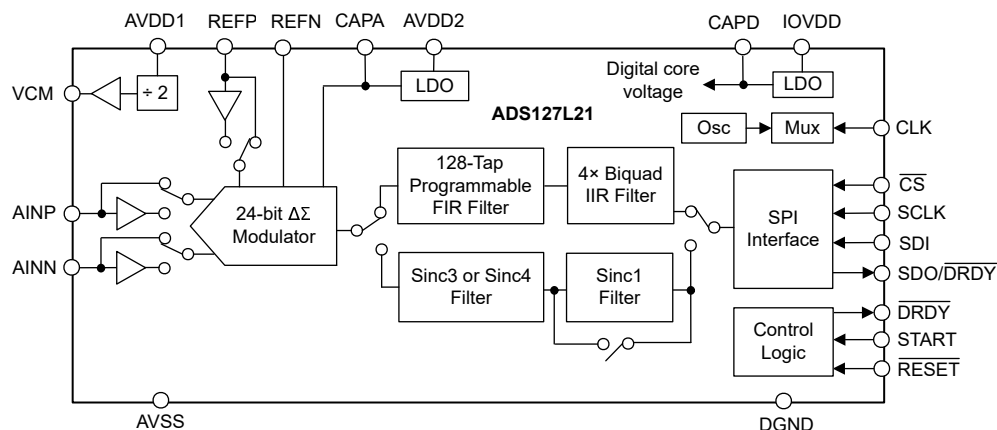
プログラム可能なオーバーサンプリング比 (OSR) と 4 つの速度モードを組み合わせることで、信号帯域幅、分解能、消費電力を最適化できます。

SPI 互換のシリアル インターフェイスを使用して、デバイスを構成し、変換データを読み取ります。このインターフェイスにはデジタイズチェーン接続機能があり、マルチチャネルの同時サンプリング システムを簡単に SPI 接続できます。巡回冗長性検査 (CRC) エラー監視機能を内蔵しているため、システム レベルの信頼性が向上します。 \overline{DRDY} ピンは、変換データの準備が整ったことを示します。 \overline{DRDY} 機能を SDO/ \overline{DRDY} ピンと組み合わせて、SPI ラインの数を減らすことができます。

このデバイスは、AC または DC 信号アプリケーション用の外部クロック動作と、DC 信号アプリケーション用の内部発振器をサポートしています。START ピンは、デジタル フィルタのプロセスを同期します。RESET ピンは ADC をリセットします。

電源電圧 AVDD1 は、プリチャージ バッファと入力サンプリング スイッチに電力を供給します。AVDD2 は、内部電圧レギュレータを介して変調器に電力を供給します。電源電圧 IOVDD はデジタル I/O 電圧で、デジタル電圧レギュレータを使用して、デジタル コアにも電力を供給します。内部レギュレータは、消費電力を最小限に抑えながら、一貫したレベルの性能を実現します。

7.2 機能ブロック図



7.3 機能説明

7.3.1 アナログ入力 (AINP、AINN)

ADC のアナログ入力は差動で、入力は差動電圧として定義されます: $V_{IN} = V_{AINP} - V_{AINN}$ 。最高の性能を得るため、中間電圧 $(AVDD1 + AVSS) / 2$ を中心とする同相電圧を持つ差動信号で入力を駆動します。

ADC は、 $AVDD1$ と $AVSS$ のどちらかの電源を構成することで、それぞれユニポーラまたはバイポーラの入力信号を受け付けます。電源がユニポーラ動作に構成された差動信号の例を、[図 7-1](#) に示します。同相電圧が中間電圧 $(AVDD1 / 2)$ のとき、対称入力電圧のヘッドルームが利用可能です。ユニポーラ動作には $AVDD1 = 5V$ と $AVSS = 0V$ を使用します ($AVDD1$ の低減動作については仕様を参照)。

バイポーラ動作の差動信号の例を、[図 7-2](#) に示します。信号の同相電圧 (V_{CM}) は通常 $0V$ です。バイポーラ動作には $AVDD1 = 2.5V$ および $AVSS = -2.5V$ を使用します。

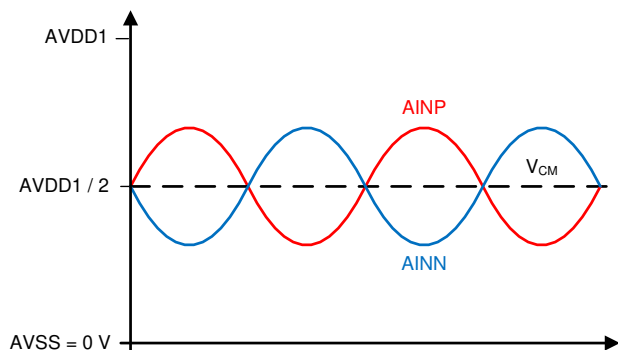


図 7-1. ユニポーラの差動入力信号

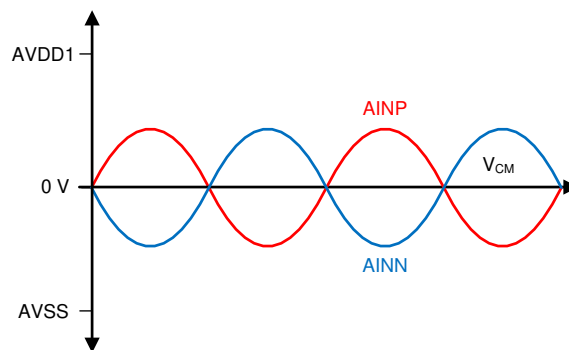


図 7-2. バイポーラの差動入力信号

バイポーラとユニポーラのどちらの電源構成でも、 $AINN$ 入力を $AVSS$ 、グランド、または中間電圧に接続することで、ADC はシングルエンド入力信号を受け付けます。ただし、このとき $AINN$ は固定されているため、ADC の電圧範囲は $AINP$ の入力電圧スイングによって制限されます。すなわち、バイポーラ動作の場合は $\pm 2.5V$ 、 $5V$ ユニポーラ動作の場合は $0V \sim 5V$ となります。

図 7-3 に示す簡略化された回路は、アナログ入力回路の構造を表しています。

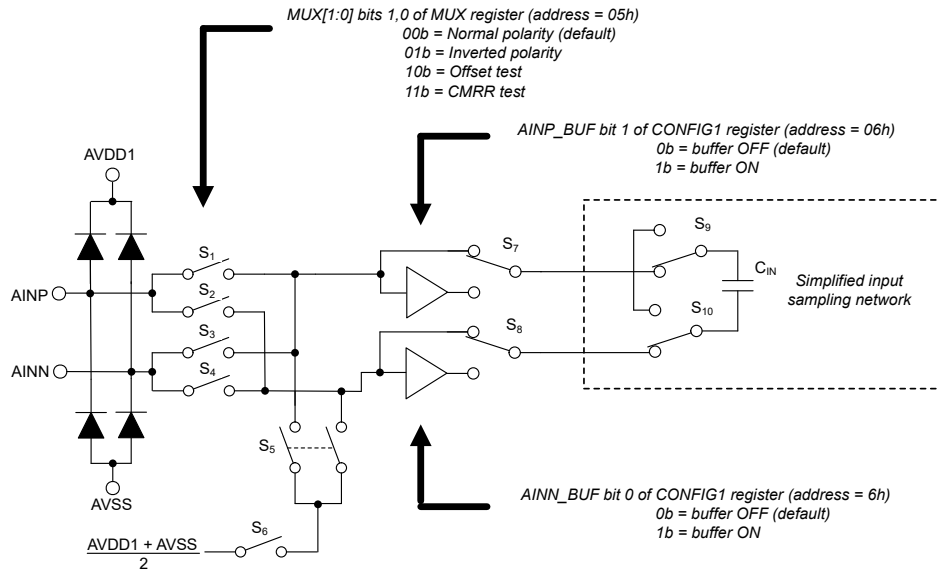


図 7-3. アナログ入力回路

ダイオードは、ADC 入力を静電気放電 (ESD) イベントから保護します。このようなイベントは、静電気放電 (ESD) が制御された環境で製造を行うとき、製造プロセスの途中やプリント基板 (PCB) のアセンブリの間に発生するものです。入力が $AVSS - 0.3V$ より下に、または $AVDD1 + 0.3V$ より上に駆動されると、保護ダイオードが導通することがあります。このような条件が起きる可能性がある場合は、外付けのクランプ ダイオード、直列抵抗、または両方を使用して、入力電流を指定の値に制限します。

入力マルチプレクサでは、通常または逆の入力信号極性を選択できます。また、マルチプレクサには 2 つの内部テストモードがあり、ADC の性能検証に役立ちます。オフセット テスト モードは、ADC 入力を短絡させて、ノイズとオフセット誤差を検証します。結果として得られるノイズとオフセット電圧のデータは、ユーザーが評価します。CMRR 性能をテストするには、CMRR テスト モードで CMRR テスト信号を AINP 入力に印加します。その結果として得られる CMRR テスト データも、ユーザーが評価します。図 7-3 の入力マルチプレクサ回路のスイッチ構成を、表 7-1 に示します。

表 7-1. 入力マルチプレクサの構成

MUX[1:0] のビット	閉じているスイッチ	説明
00b	S ₁ , S ₄	通常極性入力 ($V_{IN} = V_{AINP} - V_{AINN}$)
01b	S ₂ , S ₃	逆極性入力 ($V_{IN} = V_{AINN} - V_{AINP}$)
10b	S ₅ , S ₆	内部のノイズとオフセット誤差のテスト
11b	S ₁ , S ₅	AINP に印加される信号による CMRR テスト

ADC は、 C_{IN} コンデンサに電圧を保存することで、変調器の周波数 (f_{MOD}) で入力電圧をサンプリングします。このコンデンサは変調器の逆のクロック位相で放電され、この時点でサンプル プロセスが繰り返されます。 C_{IN} の瞬間的な充電要求から、変調器の周波数において、信号が半サイクル以内にセトリングする必要があります。この周波数は $t = 1 / (2 \cdot f_{MOD})$ です。この要件を満たすため、外部ドライバの帯域幅は通常、元の信号周波数よりもはるかに大きくする必要があります。求められる THD、SNR、ゲイン誤差の性能が達成されたとき、ドライバの帯域幅は十分だと判定されます。中速度および低速モードの動作では、変調器の周波数が低下するため、ドライバがセトリングするまでの時間の猶予が長くなります。

サンプリング コンデンサに必要な入力電荷は、ピーク電流と、ADC 入力に流れ込む平均電流としてモデル化されます。式 15 と式 16 に示されているように、入力電流は差動成分と絶対成分で構成されます。

$$\text{Input Current (Differential Input Voltage)} = f_{MOD} \cdot C_{IN} \cdot 10^6 \text{ (}\mu\text{A/V)} \quad (15)$$

ここで

- $f_{\text{MOD}} = f_{\text{CLK}} / 2$
- $C_{\text{IN}} = 7.4\text{pF}$ (1x 入力範囲)、 3.6pF (2x 入力範囲)

$$\text{Input Current (Absolute Input Voltage)} = f_{\text{MOD}} \cdot C_{\text{CM}} \cdot 10^6 \text{ (}\mu\text{A/V)} \quad (16)$$

ここで

- $f_{\text{MOD}} = f_{\text{CLK}} / 2$
- $C_{\text{CM}} = 0.35\text{pF}$ (1x 入力範囲)、 0.17pF (2x 入力範囲)

$f_{\text{MOD}} = 12.8\text{MHz}$ (高速度モード)、 $C_{\text{IN}} = 7.4\text{pF}$ 、 $C_{\text{CM}} = 0.35\text{pF}$ の場合、差動電圧による平均電流は $95 \mu\text{A/V}$ です。絶対電圧から得られる平均電流は $4.5\mu\text{A/V}$ です。たとえば、 $\text{AINP} = 4.5\text{V}$ 、 $\text{AINN} = 0.5\text{V}$ の場合、 $V_{\text{IN}} = 4\text{V}$ になります。合計 AINP 平均電流 = $(4\text{V} \cdot 95\mu\text{A/V}) + (4.5\text{V} \cdot 4.5\mu\text{A/V}) = 400\mu\text{A}$ です。合計 AINN 平均電流は、 $(-4\text{V} \cdot 95\mu\text{A/V}) + (0.5\text{V} \cdot 4.5\mu\text{A/V}) = -378\mu\text{A}$ です。

このデバイスには入力プリチャージ バッファが組み込まれているため、 C_{IN} コンデンサからの充電要求を大幅に低減できます。バッファをイネーブルすると、最初はサンプリング フェーズ中にインサーキット状態です。 C_{IN} がフルチャージに近いとき、バッファはバイパスされます (図 7-3 の S_7 と S_8 が上位の状態)。その後、外部の信号がコンデンサをわずかに充電します。サンプル フェーズが完了すると、サンプリング コンデンサが変調器によって放電され、変換サイクルが完了します。バッファにより、 C_{IN} の充電に必要な入力電流が減少するため、入力インピーダンスが改善され、外部ドライバの要件が緩和されます。入力バッファは、[CONFIG1](#) レジスタの AINP_BUF ビットと AINN_BUF ビットによりイネーブルされます。 AINN がグラウンドまたは低インピーダンスの固定電位に接続されているなら、 AINN バッファをディセーブルすると消費電力を低減できます。

7.3.1.1 入力レンジ

ADC には、1x と 2x の 2 つの入力範囲があります。1x の範囲は $V_{\text{IN}} = \pm V_{\text{REF}}$ で定義され、2x の範囲は $V_{\text{IN}} = \pm 2V_{\text{REF}}$ で定義されます。リファレンス電圧が 2.5V 以下の場合、2x の入力範囲では可能な範囲が 2 倍になります。 2.5V のリファレンスを使用すると、2x 入力範囲では、通常、 SNR が 1dB 向上します。ただし、ダイナミック レンジを最大化するには、入力を 5V の電源レールで駆動する必要があります。可能な最高のダイナミック レンジを得る (標準値 4dB の改善) には、 4.096V または 5V のリファレンス電圧を使用します (ADC を高リファレンス電圧範囲モードにプログラムします)。高リファレンス電圧範囲を選択すると、2x の範囲動作が内部で強制的に 1x の範囲モードになります。入力範囲のプログラムについては、[CONFIG1](#) レジスタを参照してください。ADC の入力範囲オプションの概要を、表 7-2 に示します。

表 7-2. ADC の入力範囲

INP_RNG ビット ⁽¹⁾	入力電圧範囲 (V)
0	$\pm V_{\text{REF}}$
1	$\pm 2V_{\text{REF}}$

(1) 高リファレンス電圧範囲を選択すると、入力範囲は強制的に 1x になります。

場合によっては、利用可能な入力範囲の全体が電源電圧によって制限されることがあります。たとえば、2x 範囲モードで 2.5V のリファレンス電圧を持つ 3V AVDD1 電源を使用すると、入力範囲は電源電圧を上回ります。

また、ADC には、標準のフルスケール範囲を超えて入力範囲を拡張するオプションもあります。このモードでは、入力範囲が 25% 拡大され、信号のクリッピングが発生しない、信号のヘッドルームが得られます。出力データは、正および負のフルスケール出力コード (7FFFFFFh および 800000h) が $\pm 1.25 \cdot k \cdot V_{\text{REF}}$ になるようにスケールリングされます。この計算では、 k は 1x または 2x の入力範囲オプションです。

変調器の飽和により、信号が標準フルスケール範囲の 110% を超えると、 SNR 性能は低下します。[STATUS1](#) レジスタの MOD_FLAG ビットは、変調器の飽和が発生したことを示します。拡張範囲で動作しているときの SNR 性能を 図 7-4 に示します。拡張範囲モードのプログラムについては、[CONFIG1](#) レジスタを参照してください。

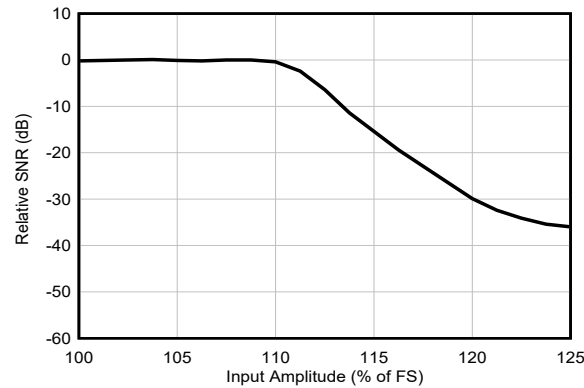


図 7-4. 拡張範囲の SNR 性能

7.3.2 リファレンス電圧 (REFP, REFN)

動作にはリファレンス電圧が必要です。リファレンス電圧入力は差動で、 $V_{REF} = V_{REFP} - V_{REFN}$ と定義され、REFP および REFN ピンに印加されます。リファレンス電圧の動作範囲の詳細については、「[リファレンス電圧の範囲](#)」セクションを参照してください。

図 7-5 に示すように、リファレンス入力はアナログ入力と同様の入力構造を持っています。ESD ダイオードはリファレンス入力を保護します。リファレンス ピンの電圧が $AVSS$ を $0.3V$ 以上下回る、または $AVDD1$ を $0.3V$ 上回ることがないようにします。これらの制限により、ESD ダイオードがオンにならないようになっています。このような条件が起きる可能性がある場合は、外付けのクランプ ダイオード、直列抵抗、または両方を使用して、入力電流を指定の値に制限します。

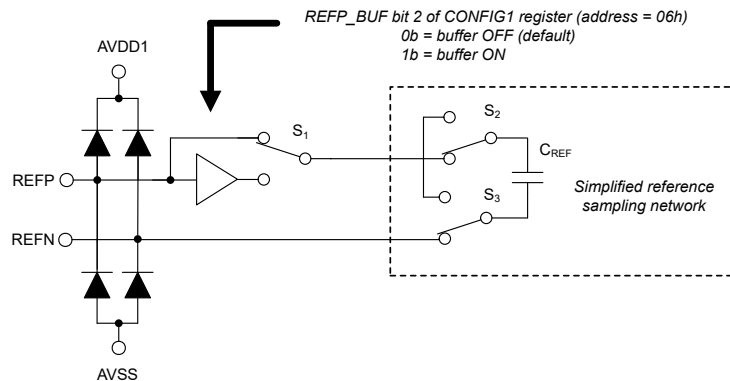


図 7-5. リファレンス入力回路

リファレンス電圧は、サンプリング コンデンサ C_{REF} によってサンプリングされます。バッファなしモードでは、電流はリファレンス入力を經由してサンプリング コンデンサを充電します。この電流は、DC 成分と AC 成分で構成され、AC 成分は変調器のサンプリング クロックの周波数によって変化します。リファレンス入力電流の仕様については、「[電氣的特性](#)」表を参照してください。

リファレンス サンプリング コンデンサを充電するには、リファレンス電圧がサンプル位相 $t = 1 / (2 \cdot f_{MOD})$ の最後でセトリングする必要があります。リファレンス電圧のセトリングが不完全な場合、ゲイン誤差とゲイン誤差ドリフトが大きくなる可能性があります。低速度モードで動作すると、変調器のサンプリング クロック周波数が低下するため、リファレンスドライバがセトリングするための時間が長くなります。

ADC には、サンプリング コンデンサによって消費される電荷を低減するため、REFP 入力のプリチャージ バッファ オプションがあります。プリチャージ バッファは、リファレンス サンプリング コンデンサ C_{REF} の粗い充電を行います。サンプル フェーズの途中で、プリチャージ バッファがバイパスされます (図 7-5 に示すように、 S_1 は上側の位置にあります)。ここで、外部ドライバはサンプリング コンデンサに精密な充電を行います。バッファによりサンプリング コンデンサの電荷要求が減少するため、リファレンス電圧の入力インピーダンスは増加します。

多くのアプリケーションでは REFN がグランドに接続されるため、このような場合は REFN 用のプリチャージ バッファは必要ありません。REFN が低インピーダンスのソースではないアプリケーションでは、REFN 入力バッファリングを検討してください。

7.3.2.1 リファレンス電圧の範囲

リファレンス電圧は、Low のリファレンス電圧範囲と High のリファレンス電圧範囲の 2 つの範囲に分けられます。2.5V や 4.096V など、印加される基準電圧と一致するように電圧範囲をプログラムします。低い基準電圧の動作範囲は 0.5V～2.75V、高い基準電圧の動作範囲は 1V から AVDD1 – AVSS 電源までです。2.5V など範囲が重なる場合に、ノイズ性能を最善にするには、Low のリファレンス範囲を使用します。CONFIG1 レジスタの REF_RNG ビットを、適切なリファレンス電圧にプログラムします。High のリファレンス範囲を選択すると、入力範囲は内部で強制的に 1x になります。

7.3.3 クロック動作

ADC クロック回路のブロック図を、図 7-6 に示します。ADC は、CLK ピンに印加される外部クロック信号、または内部発振器によって動作します。クロックの動作は、CONFIG3 レジスタの CLK_SEL ビットで行われます。クロック分周器の出力から ADC のシステム クロック (f_{CLK}) が生成されます。システム クロックの周波数をさらに 2 分周して、変調器のクロック (f_{MOD}) が生成されます。

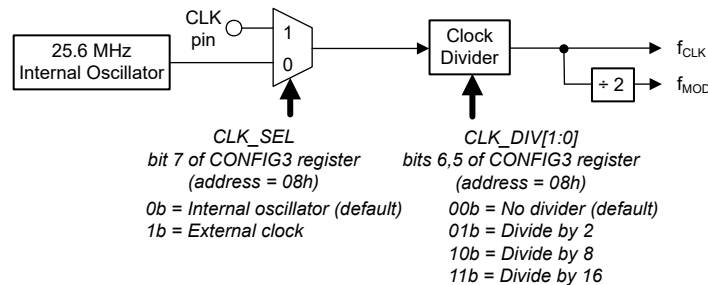


図 7-6. クロックのブロック図

必要に応じて、クロック分周器を使用して、選択した速度モードに適切な周波数をプログラムします。それぞれの速度モードの公称クロック周波数と、最小 OSR 設定での対応データ レートを、表 7-3 に示します。2 分周または 16 分周のクロック分周係数により、すべての速度モードの低レイテンシ フィルタ OSR 値が、強制的に中速度モードの値になります。速度モードの OSR 値の一覧については、表 8-12 を参照してください。

クロック分周器の値が 1 を超える場合、分周されたクロック信号の位相が不明なため、ADC の同期は不確定です。一貫した同期結果を得るには、1 分周クロック設定を使用します。

表 7-3. ADC クロック周波数

速度モード	クロック周波数 (MHz)	最大定格データ レート (kSPS)	
		広帯域フィルタ	低レイテンシフィルタ
最大	32.768	512	1365.3
High	25.6	400	1066.6
中速度	12.8	200	533.3
Low	3.2	50	133.333

7.3.3.1 内部発振器

電源投入およびデバイスのリセット時、ADC はデフォルトで内部発振器モード (CLK_SEL ビット = 0b) になります。内部発振器の周波数は 25.6MHz に固定されているため、中速度および低速度モードを使用するときはクロック デバイダを使用します。最大速度モードでは、内部発振器を利用できません。内部発振器にはクロック ジッタが存在するため、内部発振器は DC 信号の測定のみを使用します。AC 信号を測定するときは、内部発振器をお勧めしません。

クロック モードを外部クロックから内部発振器に変更するとき、外部クロックを維持してください。クロック モードの変更に使用される SPI レジスタ書き込みコマンドが完了した後、このクロックが少なくとも 4 クロック サイクルにわたって維持されて

いるようにします。ADC は、クロック モード変更後 150 μ s の間、制御入力 (START および RESET ピン) を無視します。
この期間のうちに内部発振器が安定します。

7.3.3.2 外部クロック

外部クロック動作の場合は、CLK_SEL ビットを 1b にプログラムします。このビットをプログラムする前に、CLK ピンにクロック信号を印加します。クロック分周器を使用して、クロック周波数を分周できます。たとえば、低速度モード用の 3.2MHz 内部クロックを生成するには、25.6MHz クロック信号を 8 分周します。

クロック周波数を下げると、OSR 値の間で特定のデータ レートが得られます。ただし、クロック周波数を下げても、変換ノイズは元のクロック周波数と同じです。変換ノイズを減らすには、OSR 値を増やすか、フィルタ モードを変更するしかありません。

クロックのジッタにより、信号がサンプリングされるタイミングが変動し、SNR 性能が低下します。データシートの SNR 性能を満たすには、低ジッタのクロックが不可欠です。たとえば、信号周波数が 200kHz であれば、ジッタが < 10ps (RMS) の外部クロックが必要です。信号周波数が低い場合、信号周波数が 1/10 になるごとに、クロックのジッタ要件が -20dB だけ緩和されます。たとえば、 $f_{IN} = 20\text{kHz}$ であれば、クロックに 100ps のジッタが許容されます。多くの種類の RC 発振器はジッタのレベルが高いため、AC 信号の測定には使用できません。代わりに、水晶またはバルク弾性波タイプの発振器を使用してください。クロック入力のリングングを避けてください。多くの場合、クロック バッファの出力に直列抵抗を配置すると、リングングを低減できます。

7.3.4 変調器

変調器はスイッチト コンデンサの 3 次アーキテクチャで、優れたノイズ性能と直線性性能を実現すると同時に、低消費電力を維持します。ほとんどの変調器は、大振幅または帯域外の信号で駆動されると飽和する可能性があります。飽和が起きても、帯域内信号は引き続き変換されますが、ノイズフロアは大きくなります。変調器の飽和を避けるための振幅制限と周波数との関係を、図 7-7 に示します。帯域内信号の振幅制限は 1dBFS です。

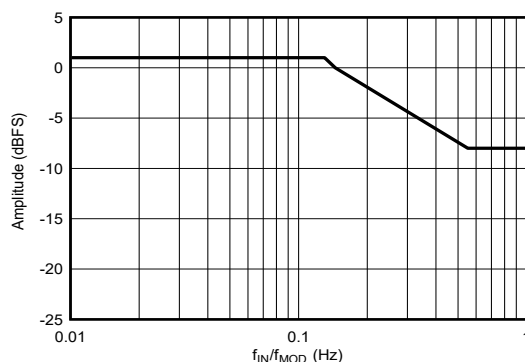


図 7-7. 変調器の飽和を避けるための振幅制限

変調器の飽和は、STATUS1 レジスタの MOD_FLAG ビットによって示されます。変調器の飽和ステータスは変換期間中にラッチされ、変換の完了時にリフレッシュされます。帯域外信号による変調器の飽和は、ADC 入力でアンチエイリアスフィルタを使用することで避けられます。THS4551 のアンチエイリアス・フィルタの設計 セクションでは、4 次のアンチエイリアスフィルタの例について説明します。ただし、入力振幅が飽和制限値を下回っている場合は、低次フィルタを使用できます。

7.3.5 デジタル フィルタ

デジタル フィルタは、ローパス フィルタ処理と、変調器の低分解能データの間引きを行い、高分解能で低速の変換データを生成します。オーバーサンプリング比 (OSR) は、フィルタリングと間引きの量を決定します。その結果、信号帯域幅、変換ノイズ、最終的なデータ レートに影響を及ぼします。出力データ レートは、 $f_{DATA} = f_{MOD} / OSR$ で定義されます。

図 7-8 に示すように、ADC では広帯域と低レイテンシの 2 つのフィルタ モードを選択できます。これらのフィルタは、周波数応答特性 (広帯域フィルタ モード) と時間領域特性 (低レイテンシ フィルタ モード) の間で最適化を行います。広帯域フィルタは、アナログ タイプ フィルタをエミュレーションするための IIR フィルタを備えています。広帯域 FIR および IIR フィルタの係数は、ユーザーがプログラム可能です。

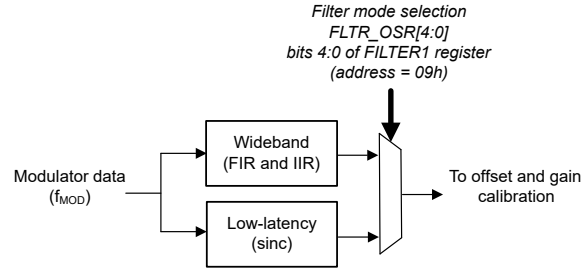


図 7-8. デジタル フィルタの図

7.3.5.1 広帯域フィルタ

広帯域フィルタには、パスバンド、遷移バンド、ストップバンドの特性があるため、AC 信号の測定に適しています。広帯域フィルタは、最高速度モード動作で 211kHz の入力信号帯域幅をサポートします。広帯域フィルタは、デフォルトの係数を使用し、「仕様」セクションに記載されている特性で動作するか、ユーザーがプログラムした係数を使用して動作します。広帯域フィルタには、アナログ フィルタのデジタル フィルタ エミュレーション用に、4 つのバンクで構成される IIR フィルタも含まれています。

広帯域フィルタのブロック図を、図 7-9 に示します。

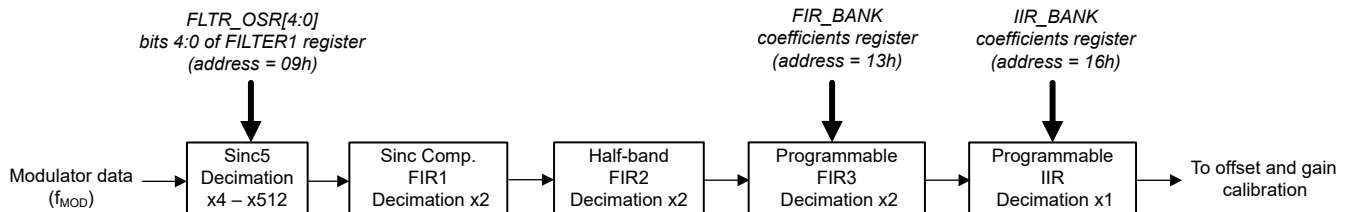


図 7-9. 広帯域フィルタの図

7.3.5.1.1 広帯域フィルタ オプション

広帯域フィルタは段の間のバイパスを行い、FIR3-IIR フィルタ シーケンスを反転することもできます。広帯域フィルタのオプションを、図 7-10 に示します。フィルタ段をディセーブルすると、フィルタ機能と、関連する間引きがバイパスされます。たとえば、FIR2、FIR3、IIR フィルタ段をディセーブルすると、FIR1 フィルタのデータは通常の 4 倍のデータレートで出力されます。フィルタ オプションの数に制限はありません。ただし、FIR2 がディセーブルの場合、FIR3 フィルタと IIR フィルタも、合計 OSR を 16 としてディセーブルする必要があります。

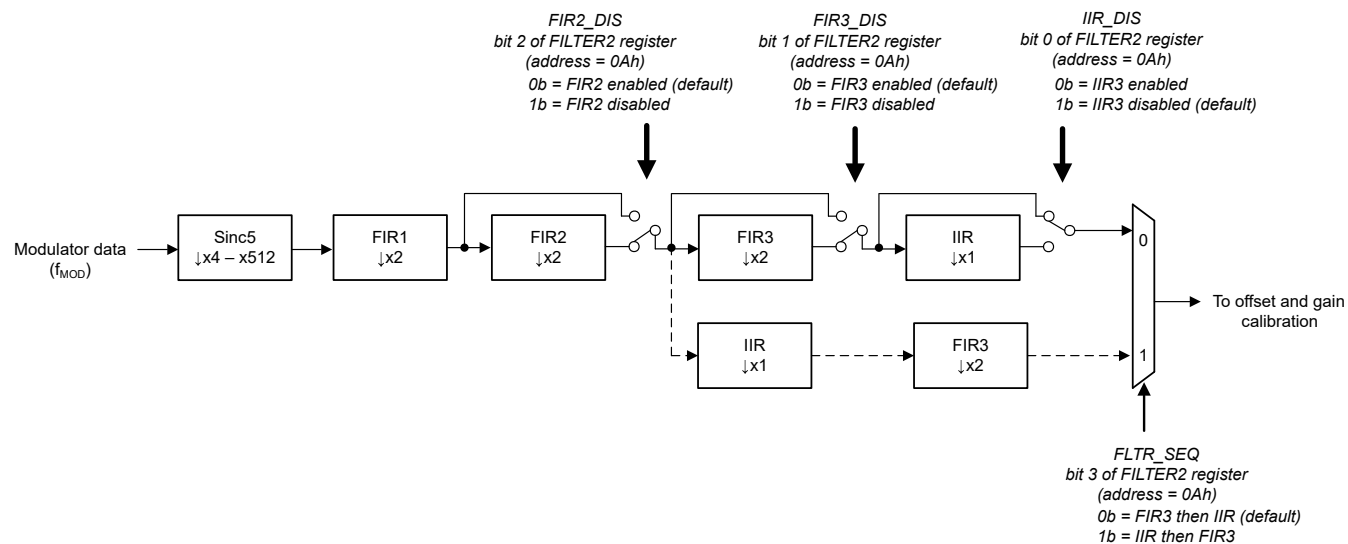


図 7-10. 広帯域フィルタ オプション

7.3.5.1.2 sinc5 フィルタの段

sinc5 フィルタは、平均化とデシメーションにより変調器データを事前フィルタ処理します。sinc5 フィルタの可変 OSR によって、最終的なデータレートの範囲が決まります。sinc5 フィルタの OSR は、FILTER1 レジスタの FLTR_OS[4:0] ビットで 4～512 にプログラム可能なため、最終的に OSR の範囲は 32～4096 になります。

7.3.5.1.3 FIR1 フィルタ段

FIR1 フィルタの段は sinc5 フィルタに続きます。FIR1 フィルタは、sinc5 フィルタのロールオフを補償しながら、帯域制限とデータの間引きを行います。FIR1 フィルタの係数は固定で、2 分周の間引きが行われます。FIR1 フィルタのデータは、FIR2、FIR3、IIR フィルタをディセーブルすることで、出力に直接ルーティングされます。FIR1 フィルタ出力の周波数応答を、図 7-11 に示します。

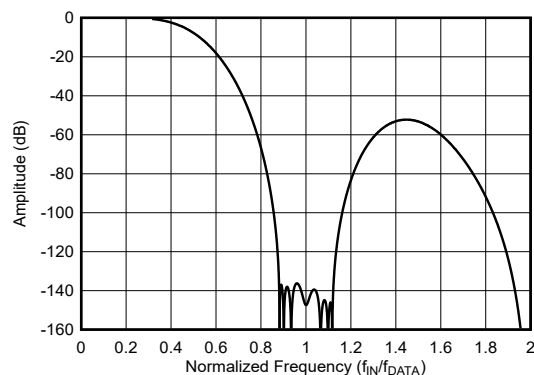


図 7-11. FIR1 フィルタの周波数応答 (OSR = 32)

FIR1 フィルタのノイズ性能については、表 6-4 を参照してください。フィルタのレイテンシ時間の値を、表 7-4 に示します。

表 7-4. FIR1 フィルタのレイテンシ時間

モード	f _{CLK} (MHz)	OSR ⁽¹⁾	データレート (kSPS)	レイテンシ時間 ⁽²⁾ (μs)
最高速度	32.768	8	2048	5.9
高速度	25.6		1600	7.5
中速度	12.8		800	15.0
低速度	3.2		200	59.8

表 7-4. FIR1 フィルタのレイテンシ時間 (続き)

モード	f _{CLK} (MHz)	OSR ⁽¹⁾	データレート (kSPS)	レイテンシ時間 ⁽²⁾ (μs)
最高速度	32.768	16	1024	11.0
高速度	25.6		800	14.1
中速度	12.8		400	28.1
低速度	3.2		100	112.3
最高速度	32.768	32	512	21.3
高速度	25.6		400	27.2
中速度	12.8		200	54.4
低速度	3.2		50	217.2
最高速度	32.768	64	256	41.8
高速度	25.6		200	53.4
中速度	12.8		100	106.9
低速度	3.2		25	427.4
最高速度	32.768	128	128	82.8
高速度	25.6		100	105.9
中速度	12.8		50	211.8
低速度	3.2		12.5	847.2
最高速度	32.768	256	64	164.8
高速度	25.6		50	210.9
中速度	12.8		25	421.9
低速度	3.2		6.25	1687.3
最高速度	32.768	512	32	328.9
高速度	25.6		25	420.9
中速度	12.8		12.5	841.9
低速度	3.2		3.125	3367.4
最高速度	32.768	1024	16	657.0
高速度	25.6		12.5	840.9
中速度	12.8		6.25	1681.9
低速度	3.2		1.5625	6727.3

- (1) FIR1 OSR は、[FILTER1](#) レジスタの `FILT_OS[4:0]` 設定を 4 で除算したものです。
(2) アナログ入力バッファがイネーブルされると、レイテンシ時間は $8 / f_{CLK}$ (μs) 増加します。

7.3.5.1.4 FIR2 フィルタ段

FIR2 フィルタは、2 分周の間引きによりデータレートを低減する、中間段のハーフバンド ローパス フィルタです。FIR3 と IIR のフィルタ段を無効にすると、FIR2 フィルタのデータが直接出力に供給されます。FIR2 フィルタ出力の周波数応答を、[図 7-12](#) に示します。

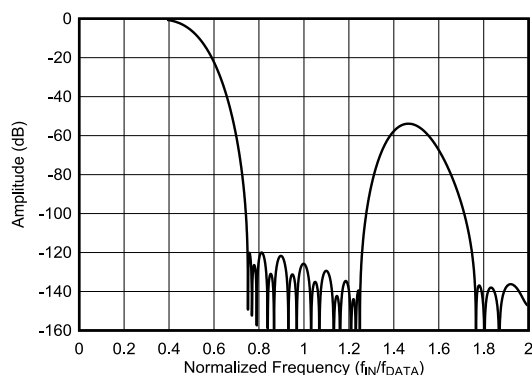


図 7-12. FIR2 フィルタの周波数応答 (OSR = 32)

FIR2 フィルタのレイテンシ時間とノイズ性能を、表 7-5 と表 6-5 に示します。

表 7-5. FIR2 フィルタのレイテンシ時間

モード	f_{CLK} (MHz)	OSR ⁽¹⁾	データレート (kSPS)	レイテンシ時間 ⁽²⁾ (μ s)
最高速度	32.768	16	1024	19.8
高速度	25.6		800	25.3
中速度	12.8		400	50.6
低速度	3.2		100	202.3
最高速度	32.768	32	512	38.9
高速度	25.6		400	49.7
中速度	12.8		200	99.4
低速度	3.2		50	397.2
最高速度	32.768	64	256	76.9
高速度	25.6		200	98.4
中速度	12.8		100	196.9
低速度	3.2		25	787.4
最高速度	32.768	128	128	153.1
高速度	25.6		100	195.9
中速度	12.8		50	391.9
低速度	3.2		12.5	1567.5
最高速度	32.768	256	64	305.5
高速度	25.6		50	390.9
中速度	12.8		25	781.8
低速度	3.2		6.25	3127.4
最高速度	32.768	512	32	610.1
高速度	25.6		25	780.9
中速度	12.8		12.5	1561.8
低速度	3.2		3.125	6247.5
最高速度	32.768	1024	16	1219.5
高速度	25.6		12.5	1560.9
中速度	12.8		6.25	3121.8
低速度	3.2		1.5625	12487
最高速度	32.768	2048	8	2438.3
高速度	25.6		6.25	3120.9
中速度	12.8		3.125	6241.9
低速度	3.2		0.78125	24.968

(1) FIR2 OSR は、[FILTER1](#) レジスタの FILT_OS[4:0] 設定を 2 で除算したものです。

(2) アナログ入力バッファがイネーブルされると、レイテンシ時間は $8 / f_{CLK}$ (μ s) 増加します。

7.3.5.1.5 FIR3 フィルタ段

FIR3 フィルタは、プリセットまたはプログラム可能な係数を使用します。FIR3 フィルタには、フィルタ x2 デシメーションのバイパスを含むバイパス オプションがあります。FIR3 フィルタの通常の構造を、[図 7-13](#) に示します。

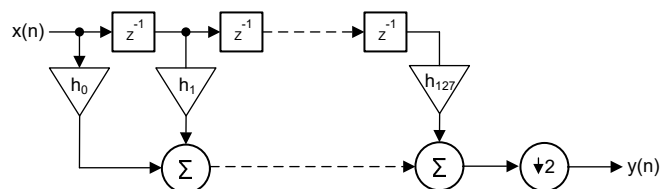


図 7-13. FIR3 フィルタの構造

FIR3 フィルタは 128 のタップで構成され、固定の 2 分周の間引きを使用して最終的なデータ レート低減を実行します。係数は符号付き 1.31 形式の 32 ビット整数値で、MSB が符号ビットです。このビットは、 -1 (80000000h) から $1 - 1/2^{31}$ (7FFFFFFh) までの 範囲の 10 進数を表します。これらの係数は一般に、合計するとユニティとなり、パスバンドのゲインは 0dB になるよう設計されます。タップ数が少ない場合は、最後の係数に 0 値をパッドします。

ADC は 128 タップを使用するため、最初の変換のレイテンシ時間は $75 / f_{\text{DATA}} + 16 / f_{\text{CLK}}$ です。これに対し、プリセットされた係数では $68 / f_{\text{DATA}} + 16 / f_{\text{CLK}}$ です。ただし、フィルタの群遅延はフィルタの係数の設計によって定義されます。

FLTR_OSR[4:0] レジスタ ビットは、広帯域フィルタ全体の OSR と最終データ レートをプログラムします。FLTR_SEL[2:0] レジスタ ビット = 000b はデフォルトの係数動作を選択し、111b はプログラム可能な係数動作を選択します。詳細については、[FILTER1](#) レジスタを参照してください。

FIR3 フィルタのプログラム可能な係数は、[FIR_BANK](#) レジスタに書き込まれます。このレジスタは単一アドレス (アドレス 13h) で、128 の係数値、合計 512 バイトを格納します。係数を読み書きするには、同じレジスタ アドレスに対して読み取りまたは書き込み操作を繰り返します。デバイスは、バイトの読み取りまたは書き込み動作が完了するたびに、メモリ ポインタを次の内部メモリ位置まで自動的にインクリメントします。[表 7-6](#) に示すように、最初にアクセスされるバイトは 127 番目の係数 (h_{127}) の MSB、続いて MSB-1、MSB-2、LSB バイトがアクセスされます。その次は 126 番目の係数の MSB がアクセスされ、以下この順にアクセスが続きます。読み取り / 書き込み動作の最後のバイト (バイト 512) は、係数 h_0 の LSB です。読み取りまたは書き込み動作中に、レジスタのアドレスのいずれかが別のアドレスに変更された場合、係数ポインタは最初のメモリ位置 (h_{127} の MSB) にリセットされます。書き込み動作中に SPI CRC エラーが発生した場合、STATUS1 レジスタの SPI_ERR ビットをクリアします。この操作により、係数の読み取りまたは書き込み動作を最初から再開します。

フィルタ係数の読み取りまたは書き込みを行うときは、SPI フレーム間に $10 \times t_{\text{CLK}}$ 以上の遅延時間が必要です。フィルタ係数を書き込んでから、ADC を同期します。

表 7-6. FIR3 の係数アップロードのバイト シーケンス (レジスタ アドレス = 13h)

FIR3 の係数	バイト シーケンス	バイト
h_{127}	1, 2, 3, 4	MSB, MSB-1, MSB-2, LSB
h_{126}	5, 6, 7, 8	MSB, MSB-1, MSB-2, LSB
...
h_0	509, 510, 511, 512	MSB, MSB-1, MSB-2, LSB

7.3.5.1.6 FIR3 のデフォルト係数

FIR3 係数は、カスタム係数を提供しなくても利用できます。デフォルトの係数は、[FILTER1](#) レジスタの FLTR_SEL[2:0] = 000b によって選択されます。デフォルト係数は線形位相応答、低いパスバンドリップル、狭い遷移帯域、高いストップバンド減衰という特長があります。

デフォルトの広帯域フィルタの周波数応答を、[図 7-14](#) から [図 7-18](#) までに示します。パスバンドリップルを、[図 7-14](#) に示します。遷移帯域での周波数応答を、[図 7-15](#) に示します。

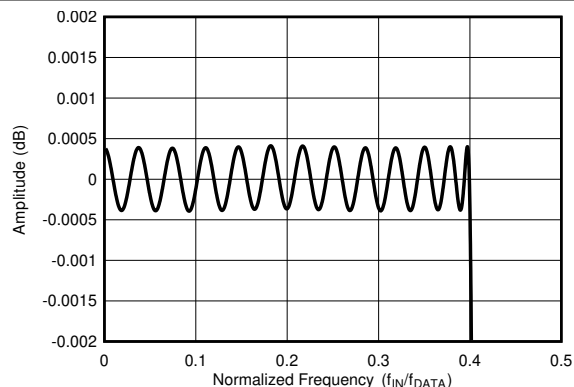


図 7-14. 広帯域フィルタのパスバンド リップル

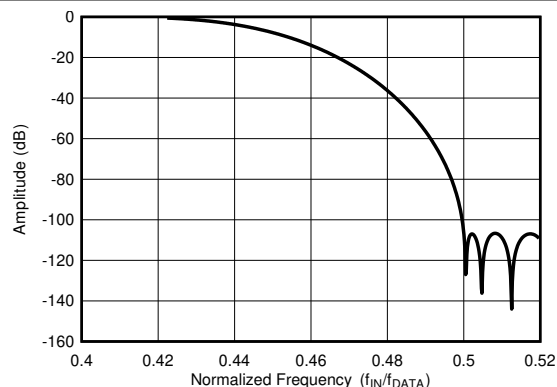


図 7-15. 広帯域フィルタの遷移帯域

OSR ≥ 64 のときの f_{DATA} までの周波数応答を図 7-16 に示します。信号のエリヤスを低減するため、ストップ バンドは $f_{\text{DATA}} / 2$ で始まります。 f_{MOD} までのフィルタを図 7-17 に示します。ストップバンド領域では、信号周波数は $f_{\text{MOD}} / 32$ のチョップ周波数の倍数と相互変調します。したがって、デジタル フィルタによって得られる減衰を上回る一連の応答ピークが生成されます。応答ピークの幅は、フィルタの帯域幅の 2 倍です。ADC 入力をアナログ アンチエイリアス フィルタでフィルタ処理すると、ストップバンド減衰が改善されます。ADC 入力における 4 次アンチエイリアス フィルタの詳細については、「[THS4551 のアンチエイリアス・フィルタの設計](#)」セクションを参照してください。

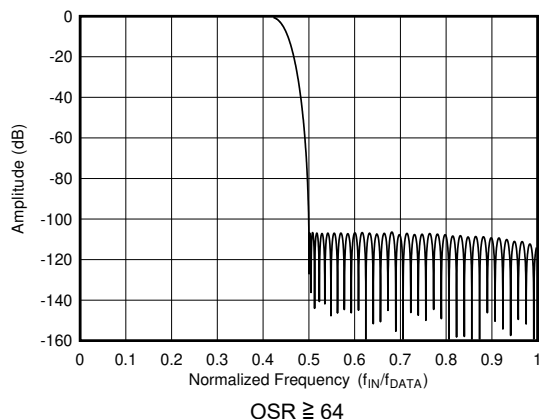


図 7-16. 広帯域フィルタの周波数応答

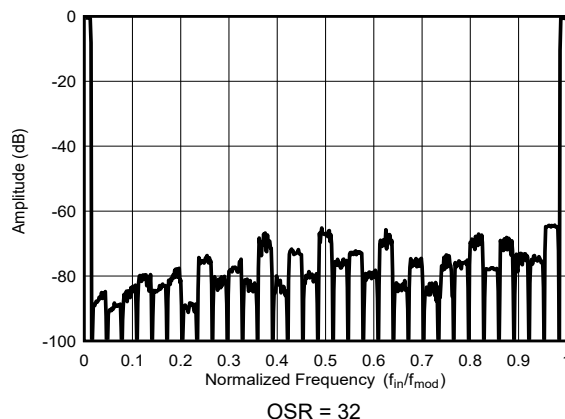


図 7-17. 広帯域フィルタのストップバンド減衰

f_{MOD} でのフィルタ応答を図 7-18 に示します。この図に示されているように、フィルタ応答は f_{MOD} の入力信号に対して繰り返されます。アンチエイリアス フィルタによって除去されなければ、 f_{MOD} の信号周波数は、パス バンドでエイリアスされた周波数に見えます。

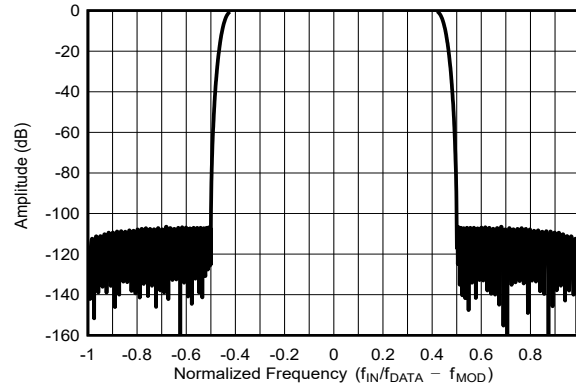


図 7-18. f_{MOD} での広帯域フィルタ周波数応答

また、入力周波数が f_{MOD} の倍数のときも、エイリアスが 발생합니다。これらの周波数帯域は、次の式で定義されます。

$$\text{Alias frequency bands: } (N \cdot f_{MOD}) \pm f_{BW} \quad (17)$$

ここで

- $N = 1, 2, 3$ など
- f_{MOD} = 変調器のサンプリング周波数
- f_{BW} = フィルタの帯域幅

フィルタの群遅延は、入力信号がフィルタの出力に出現するまでの伝搬です。フィルタは線形位相の設計なので、複合入力信号のエンベロープはフィルタによって歪むことはありません。群遅延 (時間単位で表されます) は、周波数に対して一定で、 $34 / f_{DATA}$ です。ステップ入力が増加してから、68 データ周期後にデータが完全にセトリングします。フィルタの群遅延 ($34 / f_{DATA}$) と、ステップ入力のセトリング タイム ($68 / f_{DATA}$) を 図 7-19 に示します。

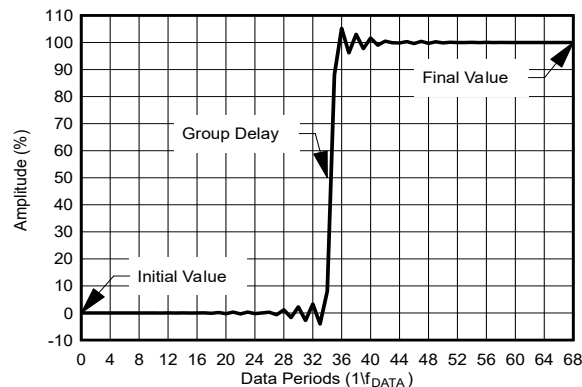


図 7-19. 広帯域フィルタのステップ応答

デジタル フィルタは、ADC が同期されると再起動されます。ADC は、フィルタが完全にセトリングするまでの時間として、最初の 68 変換期間を抑制します。同期後にデータを破棄する必要はありません。データの抑制時間は、表 7-7 の「レイテンシ時間」列に記載されている変換レイテンシ時間です。すべてのデータ レートについて、 $16 f_{CLK}$ サイクルのオーバーヘッド時間が発生します。ステップ入力が増加しランダムに変換期間に適用されると、次の 69 回の変換は、セトリングされていないデータになります。すべてのデータ レートにおいて、振幅応答の -0.1dB 周波数は $0.4125 \times f_{DATA}$ で、 -3dB 周波数は $0.4374 \times f_{DATA}$ です。

表 7-7. 広帯域デフォルト フィルタの特性

モード	f _{CLK} (MHz)	OSR	データレート (kSPS)	-0.1dB 周波数 (kHz)	-3dB 周波数 (kHz)	レイテンシ時間 ⁽¹⁾ (μs)
最高速度	32.768	32	512	211.2	223.9	135.5
高速度	25.6		400	165	174.96	173.4
中速度	12.8		200	82.5	87.48	346.9
低速度	3.2		50	20.63	21.87	1387.8
最高速度	32.768	64	256	105.6	112.0	270.4
高速度	25.6		200	82.5	87.48	346.1
中速度	12.8		100	41.25	43.74	692.2
低速度	3.2		25	10.31	10.94	2768.7
最高速度	32.768	128	128	52.8	55.99	540.0
高速度	25.6		100	41.25	43.74	691.2
中速度	12.8		50	20.63	21.87	1382.3
低速度	3.2		12.5	5.1562	5.468	5529.2
最高速度	32.768	256	64	26.4	28.00	1079.2
高速度	25.6		50	20.625	21.87	1381.3
中速度	12.8		25	10.31	10.93	2762.6
低速度	3.2		6.25	2.578	2.734	11051
最高速度	32.768	512	32	13.2	14.00	2157.6
高速度	25.6		25	10.312	10.935	2761.6
中速度	12.8		12.5	5.156	5.467	5523.3
低速度	3.2		3.125	1.289	1.367	22093
最高速度	32.768	1024	16	6.6	7.998	4314.2
高速度	25.6		12.5	5.156	5.467	5522.3
中速度	12.8		6.25	2.578	2.734	11045
低速度	3.2		1.5625	0.645	0.6834	44178
最高速度	32.768	2048	8	3.3	3.499	8627.8
高速度	25.6		6.25	2.578	2.734	11044
中速度	12.8		3.125	1.289	1.367	22087
低速度	3.2		0.78125	0.322	0.3417	88348
最高速度	32.768	4096	4	1.65	1.750	17254
高速度	25.6		3.125	1.289	1.367	22086
中速度	12.8		1.5625	0.645	0.6834	44172
低速度	3.2		0.390625	0.161	0.1709	176690

(1) IIR フィルタはバイパスされます。アナログ入力バッファがイネーブルされると、レイテンシ時間は $8 / f_{CLK}$ (μs) 増加します。

7.3.5.1.7 IIR フィルタの段

広帯域フィルタには、IIR フィルタ オプションがあります。図 7-20 に示すように、IIR フィルタは 5 つのスケール係数 (g_1 から g_5 まで) を持つ 4 つのバイカッド フィルタで構成されています。IIR フィルタ ブロックは、FILTER2 レジスタの IIR_DIS によってイネーブルされます (デフォルトはディセーブル)。IIR フィルタは、FIR3 フィルタの前または後に動作できます。

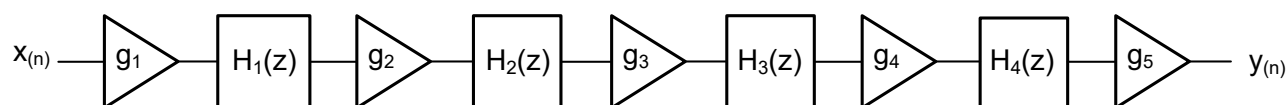


図 7-20. IIR フィルタのブロック図

図 7-21 に示すように、バイカッド フィルタ セクションは直接形式 1 で実装されています。バイカッド伝達関数を、式 18 に示します。

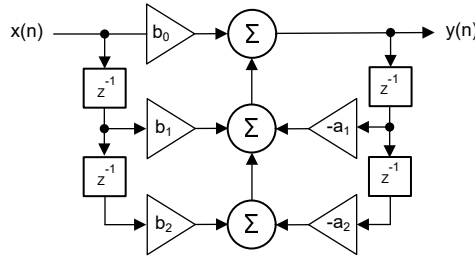


図 7-21. IIR H(z)

$$H(z) = \frac{b_0 + b_1 z^{-1} + b_2 z^{-2}}{1 + a_1 z^{-1} + a_2 z^{-2}} \quad (18)$$

バイカッド係数は符号付き 2.30 形式の 32 ビット整数値で、MSB を符号ビットとして、10 進で -2 (80000000h) から $2 - 2/2^{31}$ (7FFFFFFFh) までの範囲を表します。係数は IIR_BANK レジスタにアップロードされます。このレジスタは単一アドレス (アドレス 16h) で、80 の係数バイトと 20 のスケーリング係数バイトで構成される、IIR 係数の 100 バイトのセットを格納します。

係数の読み取りと書き込みを行うには、同じレジスタ アドレス (アドレス 16h) に対してシーケンシャルな読み取りおよび書き込み操作を実行します。読み取りまたは書き込み操作が完了するたびに、内部ポインタが次のメモリ位置まで自動的にインクリメントします。表 7-8 に示すように、動作の最初のバイトは係数 g_5 の MSB、その後 MSB-1、MSB-2、LSB バイトが続き、その次に a_{42} の MSB、以下同様に続きます。係数 a_{42} は、4 番目のバイカッド $H_4(z)$ の係数 a_2 を表します。最後のバイト (バイト 100) は、 g_1 の LSB です。読み取りまたは書き込み操作のシーケンス中にアドレスが別のレジスタに変更されると、ポインタは最初のメモリ位置にリセットされます。書き込み動作中に SPI CRC エラーが発生した場合、STATUS1 レジスタの SPI_ERR ビットをクリアして、係数の書き込み操作を最初からやり直します。フィルタ係数の読み取りまたは書き込みを行うときは、SPI フレーム間に $10 \times t_{CLK}$ 以上の遅延時間が必要です。

フィルタ係数を書き込んでから、ADC を同期します。

IIR フィルタのデフォルト構成は、ユニティ ゲインのオールパス フィルタです。つまり、 g_1 から g_5 まで = 1、 $b_{x0} = 1$ 、 b_{x1} 、 b_{x2} 、 a_{x1} 、 $a_{x2} = 0$ です。ここで、 x はバイカッド数です。

表 7-8. IIR の係数アップロードのバイト シーケンス (レジスタ アドレス = 16h)

IIR 係数	バイト シーケンス	バイト	デフォルト値	
			16 進	10 進
g_5	1, 2, 3, 4	MSB, MSB-1, MSB-2, LSB	40000000h	1.0
a_{42}	5, 6, 7, 8	MSB, MSB-1, MSB-2, LSB	00000000h	0
a_{41}	9, 10, 11, 12	MSB, MSB-1, MSB-2, LSB	00000000h	0
b_{42}	13, 14, 15, 16	MSB, MSB-1, MSB-2, LSB	00000000h	0
b_{41}	17, 18, 19, 20	MSB, MSB-1, MSB-2, LSB	00000000h	0
b_{40}	21, 22, 23, 24	MSB, MSB-1, MSB-2, LSB	40000000h	1.0
g_4	25, 26, 27, 28	MSB, MSB-1, MSB-2, LSB	40000000h	1.0
...
b_{10}	93, 94, 95, 96	MSB, MSB-1, MSB-2, LSB	40000000h	1.0
g_1	97, 98, 99, 100	MSB, MSB-1, MSB-2, LSB	40000000h	1.0

7.3.5.1.7.1 IIR フィルタの安定性

安定動作するように設計された IIR フィルタは、多項式 $H(z)$ 分母の極半径が、単位円上またはその中にある必要があります。つまり、極半径 r は ≤ 1 である必要があります。ただし、ADS127L21 IIR フィルタの分解能は有限なので、IIR フィルタにアーティファクトが生じる可能性があります。アーティファクトには、信号入力ゼロでのデッドバンド効果や、元の信号に含まれていない丸めノイズが含まれます。アーティファクトは、極半径 $H(z)$ が > 0.98 のときに発生します。図 7-22 に、 z 平面の単位円と IIR フィルタの極半径 0.98 を示します。

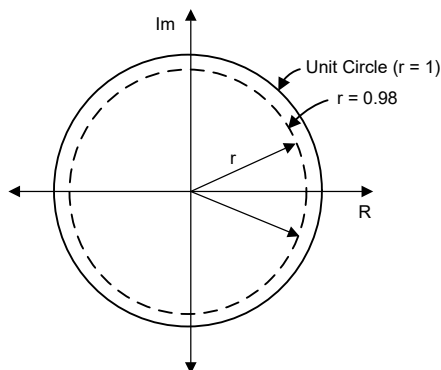


図 7-22. z 平面

$H(z)$ プロトタイプ フィルタ設計の極半径は、 $\sqrt{a_2}$ で計算します。この計算において、 a_2 は $H(z)$ 分母の $1 + a_1z^{-1} + a_2z^{-2}$ 多項式の係数です。フィルタ周波数に対するデータ レートの比率を減らすと、極の半径が小さくなります。ADC 内のフィルタをテストして、プロトタイプ IIR フィルタ設計の適合性を評価します。

7.3.5.2 低レイテンシ フィルタ (sinc)

低レイテンシ フィルタは、CIC (カスケード接続された積分器の組み合わせ) トポロジで、変換データがフィルタ経由で伝搬されるときに遅延 (レイテンシ) を最小限に抑えます。CIC フィルタは特徴的な $\sin x/x$ (sinc) 周波数応答を示すため、sinc フィルタとも呼ばれます。レイテンシ時間が広帯域フィルタより短いため、DC 信号の高速収集や制御ループでの使用に適しています。図 7-23 に示すように、このデバイスは OSR をプログラム可能で、いくつかの sinc フィルタ構成を選択できます。sinc3、sinc4 に続いて、sinc1 段をカスケード接続することもできます。sinc フィルタの構成により、アキュジション時間、ノイズ性能、ライン サイクル除去の間でトレードオフを選択できるようになります。

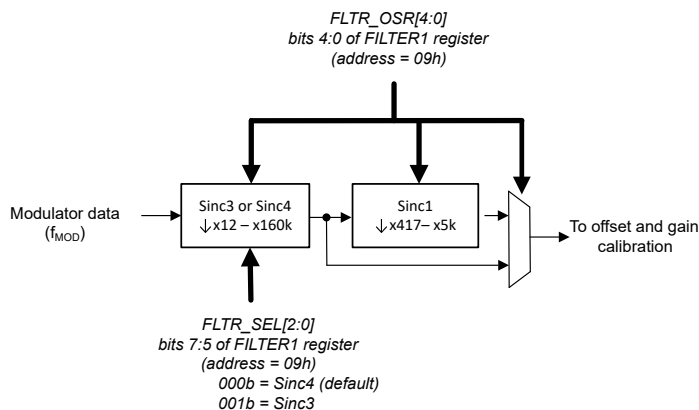


図 7-23. sinc フィルタのブロック図

sinc フィルタの周波数応答の一般的式を、式 19 に示します。単一段の sinc フィルタ モードでは、2 段目は使用されません。

$$|H(f)| = \left| \frac{\sin \left[\frac{A\pi f}{f_{\text{MOD}}} \right]}{A \sin \left[\frac{\pi f}{f_{\text{MOD}}} \right]} \right|^n \cdot \left| \frac{\sin \left[\frac{AB\pi f}{f_{\text{MOD}}} \right]}{B \sin \left[\frac{A\pi f}{f_{\text{MOD}}} \right]} \right| \quad (19)$$

ここで

- $n = 1$ 段目のフィルタの次数 (3 または 4)
- $A = \text{sinc3}$ または sinc4 段の OSR
- $B = \text{sinc 1}$ 段の OSR
- f = 入力信号の周波数
- $f_{\text{MOD}} = f_{\text{CLK}} / 2$

レイテンシは、新しい変換の開始から $\overline{\text{DRDY}}$ の立ち下がりエッジまでの時間として定義されます。その時点で完全にセトリングしたデータが得られます。未セトリングのデータは ADC によって抑制されるため、データを破棄する必要はありません。各 sinc フィルタ モードの詳細なレイテンシ データを、表 7-9 と表 7-12 に示します。

アクティブな変換の途中で (START ピンや START ビットと同期せずに) 入力信号が変化した場合、完全にはセトリングしていないデータが一時的に出力されます。データが完全にセトリングするために必要な経過時間は、sinc フィルタの表に記載されているレイテンシ時間の値を、それより大きい整数の変換期間に丸めることで求められます。

7.3.5.2.1 sinc3 および sinc4 フィルタ

sinc フィルタは、高速変調器のデータの平均化と間引きを行い、低いデータ レートで高分解能の出力データを生成します。OSR 値を大きくすると、データ レートが低下するとともに、信号の帯域幅が減少し、間引きとデータ平均化が増えることから変換ノイズが低減します。sinc3 および sinc4 フィルタの -3dB 周波数とレイテンシ時間を、表 7-9 に示します。

表 7-9. sinc3 および sinc4 のフィルタ特性

モード	f_{CLK} (MHz)	OSR	データレート (kSPS)	-3dB 周波数 (kHz)		レイテンシ時間 ⁽¹⁾ (μs)	
				SINC3	SINC4	SINC3	SINC4
最高速度	32.768	12	1365.3	357.0	310.2	2.97	3.66
高速	25.6		1066.6	278.9	242.3	3.73	4.69
中速度	12.8		533.3	139.5	121.2	7.46	9.36
低速度	3.2		133.33	34.9	30.3	29.8	37.4
最高速度	32.768	16	1024	267.8	232.7	3.66	4.63
高速	25.6		800	209.2	181.8	4.67	5.95
中速度	12.8		400	104.6	90.9	9.33	11.9
低速度	3.2		100	26.2	22.7	37.4	47.3
最高速度	32.768	24	682.67	178.5	155.1	5.12	6.64
高速	25.6		533.3	139.5	121.2	6.57	8.43
中速度	12.8		266.67	69.7	60.6	13.1	16.9
低速度	3.2		66.67	17.4	15.1	52.3	67.4
最高速度	32.768	32	512	133.9	116.3	6.59	8.55
高速	25.6		400	104.6	90.9	8.42	10.9
中速度	12.8		200	52.3	45.4	16.9	21.8
低速度	3.2		50	13.1	11.4	67.3	87.2
最高速度	32.768	64	256	66.9	58.2	12.4	16.4
高速	25.6		200	52.3	45.4	16.0	21.0
中速度	12.8		100	26.2	22.7	31.8	41.9
低速度	3.2		25	6.54	5.68	127	167

表 7-9. sinc3 および sinc4 のフィルタ特性 (続き)

モード	f _{CLK} (MHz)	OSR	データレート (kSPS)	-3dB 周波数 (kHz)		レイテンシ時間 ⁽¹⁾ (μs)	
				SINC3	SINC4	SINC3	SINC4
最高速度	32.768	128	128	33.5	29.1	24.2	32.0
高速	25.6		100	26.2	22.7	31.0	41.0
中速度	12.8		50	13.1	11.4	61.9	81.9
低速度	3.2		12.5	3.27	2.84	247	327
中速度	12.8	167	38.323	10.0	8.71	80.2	106
最高速度	32.768	256	64	16.7	14.5	47.6	63.2
高速	25.6		50	13.1	11.4	60.9	80.9
中速度	12.8		25	6.54	5.68	121.9	162
低速度	3.2		6.25	1.63	1.42	487	648
最高速度	32.768	333	49.201	12.9	11.2	61.7	82.0
高速	25.6		38.438	10.1	8.73	79.0	105
中速度	12.8		19.219	5.03	4.37	158	210
低速度	3.2		4.804	1.26	1.09	631	840
最高速度	32.768	512	32	8.37	7.27	94.5	126
高速	25.6		25	6.54	5.68	121	161
中速度	12.8		12.5	3.27	2.84	242	322
低速度	3.2		3.125	0.817	0.710	967	1287
最高速度	32.768	667	24.564	6.42	5.58	123	164
高速	25.6		19.19	5.02	4.36	157	209
中速度	12.8		9.595	2.51	2.18	314	419
低速度	3.2		2.39	0.627	0.545	1258	1675
最高速度	32.768	1024	16	4.18	3.64	188	251
高速	25.6		12.5	3.27	2.84	241	321
中速度	12.8		6.25	1.63	1.42	482	642
低速度	3.2		1.5625	0.409	0.355	1927	2567
最高速度	32.768	1333	12.291	3.21	2.79	245	326
高速	25.6		9.602	2.51	2.18	313	417
中速度	12.8		4.801	1.26	1.09	627	835
低速度	3.2		1.2	0.314	0.273	2507	3340
最高速度	32.768	2048	8	2.09	1.82	376	501
高速	25.6		6.25	1.63	1.42	481	641
中速度	12.8		3.125	0.817	0.710	962	1282
低速度	3.2		0.7813	0.204	0.178	3847	5127
最高速度	32.768	2667	6.143	1.61	1.40	489	652
高速	25.6		4.799	1.26	1.09	626	834
中速度	12.8		2.4	0.628	0.545	1252	1669
低速度	3.2		0.6	0.157	0.136	5008	6675
最高速度	32.768	4096	4	1.046	0.909	751	1001
高速	25.6		3.125	0.817	0.710	961	1281
中速度	12.8		1.563	0.409	0.355	1922	2562
低速度	3.2		0.391	0.102	0.089	7687	10247
最高速度	32.768	5333	3.072	0.803	0.698	977	1303
高速	25.6		2.4	0.628	0.545	1251	1667
低速度	3.2		0.3	0.078	0.068	10006	13340

表 7-9. sinc3 および sinc4 のフィルタ特性 (続き)

モード	f _{CLK} (MHz)	OSR	データレート (kSPS)	-3dB 周波数 (kHz)		レイテンシ時間 ⁽¹⁾ (μs)	
				SINC3	SINC4	SINC3	SINC4
中速度	12.8	13333	0.480	0.126	0.109	6251	8335
中速度	12.8	16000	0.400	0.105	0.0909	7501	10002
最高速度	32.768	26667	0.614	0.161	0.140	4884	6511
高速	25.6		0.480	0.126	0.109	6251	8334
低速度	3.2		0.06	0.0157	0.0136	50008	66675
最高速度	32.768	32000	0.512	0.134	0.116	5860	7813
高速	25.6		0.4	0.105	0.091	7501	10001
低速度	3.2		0.05	0.0131	0.0114	60007	80007
中速度	12.8	48000	0.133	0.0349	0.0303	22502	30002
中速度	12.8	80000	0.08	0.0209	0.0182	37502	50002
最高速度	32.768	96000	0.17067	0.0446	0.0388	17579	23438
高速	25.6		0.133	0.0349	0.0303	22501	30001
低速度	3.2		0.0166	0.0044	0.0038	180007	240007
最高速度	32.768	160000	0.102	0.0268	0.0233	29298	39063
高速	25.6		0.08	0.0209	0.0182	37501	50001
低速度	3.2		0.01	0.0026	0.0023	300005	400004

(1) アナログ入力バッファがイネーブルされると、レイテンシ時間は $8 / f_{CLK}$ (μs) 増加します。

フィルタ処理で行われる平均化でデータが減少するため、 $OSR \leq 24$ の場合、出力データは 24 ビット全体が得られるわけではありません。 OSR 値 ≤ 24 のときの出力分解能を、表 7-10 に要約します。

表 7-10. sinc3 および sinc4 のデータ分解能

OSR	分解能 (ビット数)
12	19
16	20.5
24	23

sinc フィルタの周波数応答を、図 7-24 と 図 7-25 に示します。周波数応答は、 f_{DATA} とその倍数で発生する、一連のヌル応答で構成されます。ヌル周波数では、フィルタのゲインは 0 です。 $f_{MOD} / 2$ 周波数から開始される周波数応答の折りたたみを、図 7-25 に示します。 $n \cdot f_{MOD}$ ($n = 1, 2, 3$ など) に近い入力周波数では、フィルタによる減衰は行われません。

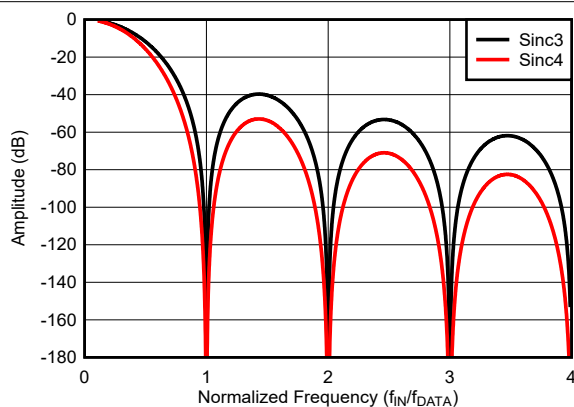


図 7-24. sinc3 と sinc4 の周波数応答 (OSR = 32)

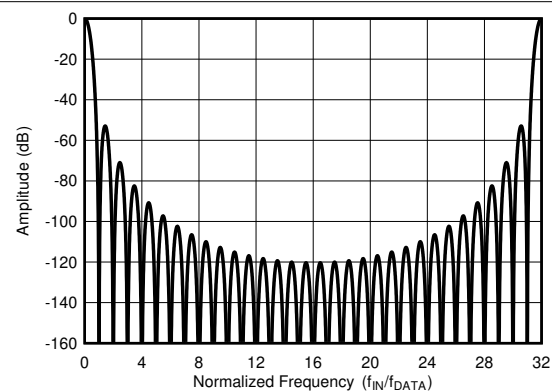


図 7-25. f_{MOD} に対する sinc4 の周波数応答 (OSR = 32)

共通ラインサイクル周波数に等しいデータ レートに対するフィルタの通常モード除去を、表 7-11 に示します。

表 7-11. 通常モード除去

モード	OSR	f_{DATA} (SPS)	2% のクロック変動		6% のクロック変動	
			SINC3 フィルタ	SINC4 フィルタ	SINC3 フィルタ	SINC4 フィルタ
低速度	96000	16.6	100dB	135 dB	72 dB	95 dB
低速度	32000	50				
低速度	26667	60				
高速度	32000	400				

7.3.5.2.2 sinc3 + sinc1 および sinc4 + sinc1 カスケード フィルタ

選択したデータ レートについて、sinc3 および sinc4 フィルタに、sinc1 のフィルタ セクションをカスケード接続できます。単一段の sinc3 または sinc4 フィルタと比べて、sinc1 フィルタをカスケード接続すると、同じデータ レートで動作したときのレイテンシ時間が短くなります。ただし、sinc3 および sinc4 フィルタは、データ レート周波数での周波数除去範囲が広いので、50Hz および 60Hz の干渉信号の除去について優れています。カスケード モードで動作する場合、sinc3 または sinc4 段の OSR は 32 に固定されます ($OSR = A$)。sinc1 段 ($OSR = B$) のデシメーションによって、出力データレートが決まります。カスケード フィルタの最初の段は、sinc3 または sinc4 にプログラムできます。カスケード フィルタの特性の要約を、表 7-12 に示します。

表 7-12. sinc3 + sinc1 および sinc4 + sinc1 カスケード フィルタの特性

モード	f _{CLK} (MHz)	OSR (A × B) ⁽¹⁾	データ レート (SPS)	-3dB 周波数 (Hz)	レイテンシ時間 (μs)	
					SINC3 + SINC1	SINC4 + SINC1
中速度	12.8	13334 (32 × 417)	480	212	2097	2102
中速度	12.8	16000 (32 × 500)	400	177	2512	2517
最高速度	32.768	26656 (32 × 833)	614	271	1632	1634
高速度	25.6		480	212	2089	2091
低速度	3.2		60	26.5	16708	16728
最高速度	32.768	32000 (32 × 1000)	512	226	1958	1960
高速度	25.6		400	177	2506	2509
低速度	3.2		50	22.1	20048	20068
中速度	12.8	48000 (32 × 1500)	133	58.9	7512	7517
中速度	12.8	80000 (32 × 2500)	80	35.4	12512	12517
最高速度	32.768	96000 (32 × 3000)	170.6	75.4	5864	5866
高速度	25.6		133.3	58.9	7506	7508
低速度	3.2		16.7	7.37	60048	60068
最高速度	32.768	160000 (32 × 5000)	102.4	45.3	9770	9772
高速度	25.6		80	35.4	12506	12508
低速度	3.2		10	4.42	100047	100067

(1) A = 最初の段 sinc3 または sinc4 の OSR、B = 2 番目の段 sinc1 の OSR。

sinc1 カスケード モード フィルタの周波数応答を、図 7-26 に示します。この図では、最初の段が sinc4 モードで OSR = 26656 および 32000 です。これらの OSR 値は、低速モード動作での f_{DATA} = 50SPS および 60SPS に相当します。周波数応答のヌルは、n · f_{DATA} で発生します (n = 1, 2, 3, ...)。ヌル周波数では、フィルタのゲインは 0 です。ADC クロック周波数誤差が発生しなければ、ヌル周波数から ±2% の信号周波数変動に対して、ノーマル モード除去は 34dB (標準値) です。

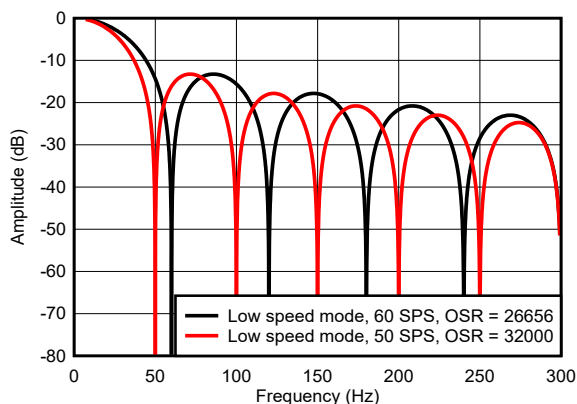


図 7-26. sinc1 カスケード フィルタの周波数応答

7.3.6 電源

このデバイスには、3 つのアナログ電源 (AVDD1、AVSS、AVDD2) と 1 つのデジタル電源 (IOVDD) があります。

7.3.6.1 AVDD1 と AVSS

AVDD1 と AVSS はアナログ電源で、入力と電圧リファレンスのプリチャージ バッファとサンプリング スイッチに電力を供給します。信号入力の種類に応じて、ADC をバイポーラ電源動作またはユニポーラ電源動作に構成します。バイポーラ電源動作の値の例は AVDD1 = 2.5V、AVSS = -2.5V、ユニポーラ電源動作の値の例は AVDD1 = 5V、AVSS = DGND です。

7.3.6.2 AVDD2

AVDD2 は AVSS を基準とするアナログ電源で、変調器コアへの電力供給に使用されます。ユニポーラ電源動作では、AVDD2 を AVDD1 に接続して必要な電源電圧の数を減らすか、AVDD2 を低電圧電源に接続してデバイスの消費電力を低減します。

7.3.6.3 IOVDD

IOVDD は、デバイスのデジタル I/O 電源電圧です。IOVDD は内部で 1.35V にレギュレートされ、デジタル コアに電力を供給します。IOVDD の電圧レベルは、アナログ電源の電圧レベルとは独立です。

7.3.6.4 パワーオン リセット (POR)

ADC は、電源モニターを使用して、電源投入および電源ブラウンアウト イベントを検出します。IOVDD デジタル電源の電源を投入するか、電源を切って再投入すると、デバイスがリセットされます。アナログ電源の投入や、電源を切って再投入した場合は、ADC がリセットされません。

IOVDD のデジタル電源オン スレッシュホールドと内部 CAPD 電圧を、図 7-27 に示します。電圧が対応するスレッシュホールドを上回ると、ADC はリセットから解放されます。SPI の通信準備が完了すると、 $\overline{\text{DRDY}}$ は High に遷移します。START ピンが High なら、ADC は変換をただちに開始し、変換ごとに $\overline{\text{DRDY}}$ ピンのパルスが発生します。ただし、変換データが有効になるのは、電源とリファレンス電圧が安定した後です。STATUS レジスタの POR_FLAG ビットは、デバイスの POR を示します。次の POR イベントを検出するには、1b を書き込んでビットをクリアします。

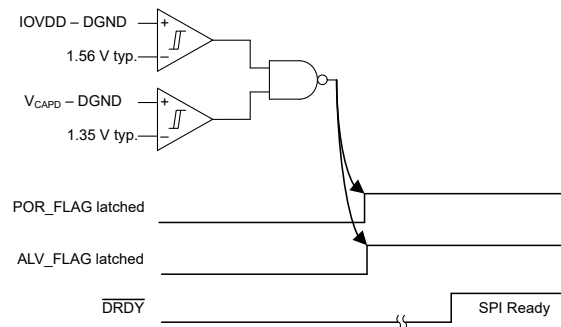


図 7-27. デジタル電源のスレッシュホールド

アナログ電源のパワーオン スレッシュホールドを、図 7-28 に示します。アナログ電源電圧の 4 つの条件である (AVDD1 - AVSS)、(AVDD1 - DGND)、(AVDD2 - AVSS)、(CAPA - AVSS) のために、4 つのモニターが使用されます。電源投入後に、すべての電源とリファレンス電圧が安定した後で、有効な変換データが利用可能になります。いずれかのアナログ電源電圧が対応するスレッシュホールドを下回ると、STATUS レジスタの ALV_FLAG ビットがセットされます。1b を書き込むと、ビットがクリアされ、次のアナログ電源の低電圧状態が検出されます。アナログ電源を切ってから再投入しても、ADC はリセットされません。IOVDD 電源の電圧が低いと、内部アナログ LDO (CAPA) がリセットされるため、POR_FLAG がセットされるときは、アナログ低電圧フラグ (ALV_FLAG) がセットされます。

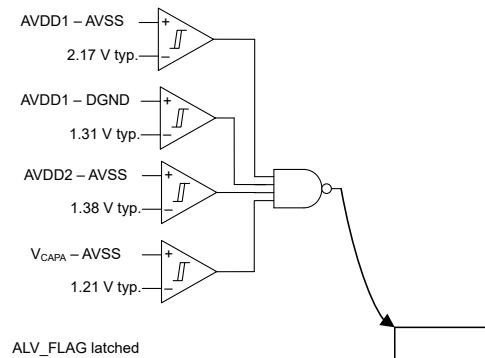


図 7-28. アナログ電源のスレッシュホールド

7.3.6.5 CAPA および CAPD

CAPA および CAPD は、内部のアナログおよびデジタル電圧レギュレータの出力電圧です。これらのレギュレータを使用して電源電圧を低減し、内部サブ回路を低消費電力で動作させることができます。これらのレギュレータは、外部負荷を駆動するには設計されていません。CAPA はアナログ レギュレータの電圧出力で、AVDD2 から電力を供給されます。出力電圧は、AVSS を基準として 1.6V です。AVSS との間に 1 μ F のコンデンサを使用し、CAPA をバイパスします。

CAPD は、IOVDD から電力を供給されるデジタル レギュレータの電圧出力です。レギュレータの出力は、DGND を基準として 1.35V です。DGND との間に 1 μ F のコンデンサを使用し、CAPD をバイパスします。

7.3.7 VCM の出力電圧

VCM の出力は、完全差動アンプ (FDA) の出力同相の制御入力に使用されるバイアス電圧です。バイアス電圧は、ADC 入力信号用の同相電圧を確立します。VCM の電圧は、AVDD1 - AVSS 電源の中間電圧にレギュレートされます。多くのタイプの FDA では、FDA と ADC が同じ電源を使用しているときに同相制御入力フローティング状態になると、同じ同相電圧が供給されます。ただし、FDA と ADC の電源の値が異なる場合は、FDA の同相電圧を VCM の電圧でバイアスします。VCM の電圧を使用しない場合は、ピンを未接続のままにします。VCM の出力は、CONFIG1 レジスタの VCM ビットでイネーブルされます。

7.4 デバイスの機能モード

7.4.1 速度モード

この ADC には、電力スケーラブルな速度モードがあり、信号帯域幅、データ レート、消費電力を最適化できます。速度モード間でデータ レートの値が重複する場合、OSR の値を大きくするとダイナミックレンジ性能が向上します。最高速度モードではデータ レートと信号帯域幅が最も高くなり、低速度モードでは大きな信号帯域幅を必要としないアプリケーション向けに、消費電力を最小化できます。ADC のクロック周波数は、速度モードに合わせてユーザーが調整します。クロック周波数とクロック分周器のオプションについては、「クロック動作」セクションを参照してください。速度モードは、CONFIG2 レジスタの SPEED_MODE[1:0] ビットによって選択されます。

7.4.2 アイドルモード

ADC は、変換が停止したときにアイドル モードを維持して全電力を供給したままにするか、低消費電力のスタンバイ モードに移行するかを選択できます。アイドル モードでは、信号および電圧リファレンス入力のサンプリングを含め、アナログ回路は完全に動作し続けます。デジタル フィルタのみが非アクティブになります。変換が再開されると、デジタル フィルタは変換プロセスを開始します。アイドル モード (デフォルト) は、CONFIG2 レジスタの STBY_MODE ビットによってプログラムされます。

7.4.3 スタンバイモード

ADC には、変換が停止したとき低消費電力のスタンバイ モードに移行するオプションがあります。スタンバイ モードの機能は、CONFIG2 レジスタの STBY_MODE ビットでイネーブルされると、自動的に開始されます。スタンバイ中、信号とリファレンス電圧のサンプリングは停止します。変換が再開されると、信号とリファレンス電圧のサンプリングが再開されます。スタンバイ モードが終了するとき、最初の変換のレイテンシ時間は 24 f_{CLK} サイクル増加します。

7.4.4 パワーダウンモード

パワーダウン モードは、CONFIG2 レジスタの PWDN ビットをセットすることでイネーブルされます。パワーダウン モードでは、アナログおよびデジタルのセクションはオフになりますが、PWDN ビットがクリアされたときにパワーダウン モードを終了できるよう、必要な SPI 動作を維持するため、わずかなバイアス電流が流れ続けます。ユーザー レジスタ設定を維持するため、デジタル LDO もアクティブなままです。パワーダウン モードでは、信号および電圧リファレンスのサンプリングが停止します。パワーダウン モードを終了するには、PWDN ビットに 0b を書き込むか、デバイスをリセットします。

7.4.5 リセット

ADC は電源投入時に自動リセットを実行します。また、RESET ピンや SPI の動作により手動でリセットすることもできます。リセット時に、制御ロジック、デジタル・フィルタ、SPI が再起動し、ユーザー・レジスタはデフォルト値にリセットされます。リセット後に ADC が動作可能になる時期の詳細については、図 5-5 を参照してください。

7.4.5.1 RESET ピン

RESET ピンはアクティブ Low 入力です。RESET を Low にしてから High に戻すと、ADC はリセットされます。RESET ピンには 20kΩ のプルアップ抵抗が内蔵されているため、使用しない場合に RESET を High に接続する必要はありません。RESET ピンはシュミットトリガ入力で、ノイズ感度を低減するよう設計されています。RESET ピンのタイミングと、リセット後に SPI 通信が利用可能になるタイミングについては、図 5-5 を参照してください。ADC はパワーオン時に自動リセットを実行するため、手動リセットは不要です。

7.4.5.2 SPI レジスタへの書き込みによるリセット

このデバイスは、SPI 動作により、CONTROL レジスタに 01011000b を書き込むことでリセットされます。このレジスタに他の値を書き込んでも、リセットされません。4 線式 SPI モードでは、CS が High になったとき、フレームの最後でリセットが有効になります。3 線式 SPI モードでは、レジスタ書き込み動作の SCLK の最後の立ち下がりエッジで、リセットが有効になります。3 線式 SPI モードでリセットするには、SPI 通信が SPI ホストと同期している必要があります。SPI が同期していない場合は、「SPI の入力パターンによるリセット」セクションに記載されているパターンを使用してデバイスをリセットします。リセットは、STATUS レジスタの POR_FLAG をチェックすることで検証されます。

7.4.5.3 SPI の入力パターンによるリセット

このデバイスは、SPI 動作で長いビットパターンを入力することでもリセットされます。この入力パターンは、通常のコマンド形式の一部ではありません。ビットシーケンス全体にわたって CS を Low のままにする必要があります。ADC をリセットできる入力パターンには、パターン 1 とパターン 2 の 2 つがあります。パターン 1 は、1023 個以上の連続した 1 と、それに続く 1 つの 0 で構成されます。デバイスは、最後の 0 がシフトインされると、SCLK の立ち下がりエッジでリセットされます。このパターンは、3 線式または 4 線式の SPI モードで使用されます。パターン 1 のリセット例を、図 7-29 に示します。

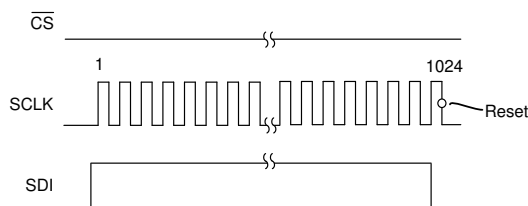


図 7-29. リセット パターン 1 (3 線式または 4 線式 SPI モード)

リセット パターン 2 は、4 線式 SPI モードでのみ使用されます。リセットのため、1024 個以上の連続した 1 を入力し (最後に 0 がない)、その後で CS を High にすると、リセットが発生します。デバイスがデジタイズチェーンモードで接続されている場合は、パターン 2 を使用します。パターン 2 のリセット例を、図 7-30 に示します。

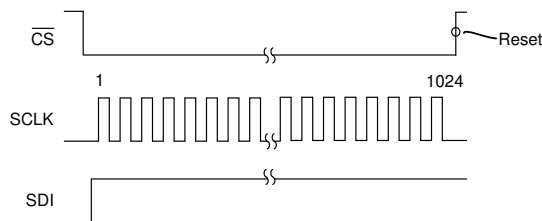


図 7-30. リセット パターン 2 (4 線式 SPI モード)

7.4.6 同期

変換は、START ピン、またはオプションとして SPI 動作により同期および制御されます。SPI 動作を使用して変換を制御する場合は、ピンとの競合を避けるため、START ピンを Low のままにします。04h から 0Eh までのレジスタのいずれかに書き込むと、継続的な変換が再開され、同期が失われます。この場合、ADC の再同期が必要になることがあります。

ADC には、変換の同期と制御のため、同期、スタート / ストップ、ワンショットの 3 つのモードがあり、それぞれに特定の機能の違いがあります。目的の同期モードを、**CONFIG2** レジスタの **START_MODE[1:0]** ビットでプログラムします。SPI 動作で制御できるのは、スタート / ストップとワンショットのモードのみです。

ADC の同期後、最初の変換では完全にセトリグされたデータが出力されますが、通常の変換周期に比べて遅延 (レイテンシ時間) が発生します。このレイテンシは、デジタル フィルタが完全にセトリグするため必要な時間で、データレートとフィルタ モードによって異なります。フィルタのレイテンシの詳細については、**デジタル フィルタ** セクションを参照してください。

7.4.6.1 同期制御モード

同期制御モードでは、**START** が High か Low かにかかわらず、ADC は連続的に変換を行います。ADC は、**START** の立ち上がりエッジで同期されます。同期が行われると、フィルタのセトリグ・タイム (レイテンシ時間) を確保するため、最初の **DRDY** 立ち下がりエッジが遅延します。このモードでは、単一パルス入力と、データレートの倍数に等しい連続クロック入力の両方を、**START** ピンに印加できます。

ADC は、**START** の立ち上がりエッジで同期されます。**START** の次の立ち上がりエッジまでの時間が変換期間の n 倍で、 $\pm 1 / f_{CLK}$ のウィンドウ内の場合、ADC は再同期されません ($n = 1, 2, 3$ など)。このとき同期が行われないのは、ADC の変換期間が **START** 信号の周期とすでに同期しているためです。印加される **START** 信号の周期が変換期間の n 倍でない場合、ADC は再同期します。デジタル・フィルタの伝搬遅延の結果として、**START** 信号と **DRDY** 出力との間に位相差が生じます。**START** パルスの周期が変換期間の n 倍と等しくない場合の **START** 信号への同期を、**図 7-31** に示します。

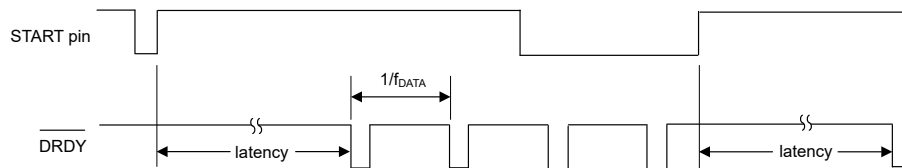


図 7-31. 同期制御モード

7.4.6.2 スタート / ストップ制御モード

スタート / ストップ制御モードは、変換の開始と停止に使用されるゲート制御モードです。変換は、**START** ピンを High にするか、変換が SPI 操作で制御されている場合は **CONTROL** レジスタの **START** ビットに 1b を書き込むことで開始されます。

START ピンを Low にするか、SPI 操作で **STOP** ビットに 1b を書き込むことで停止されるまで、変換が続けて行われます。**DRDY** は変換の開始時に High に駆動され、各変換データの準備が完了した時点で Low に駆動されます。変換の進行中に **START** を Low にするか、**STOP** ビットに 1b を書き込むと、進行中の変換が完了した後で停止します (**START** のタイミングの詳細については、**図 5-6** を参照してください)。

進行中の変換を再開するには、**START** を一瞬だけ Low にしてから High に戻すか、1b を再度 **START** ビットに書き込みます。**START** と **DRDY** の動作を、**図 7-32** に示します。スタンバイ モードで変換が停止した場合、**DRDY** は Low に落ちてから 3 クロック サイクル後に High に戻ります。それ以外の場合、変換データの読み出し中に 8 番目の **SCLK** エッジで強制的に High になるまで、**DRDY** は Low のままです。データが読み取られない場合、**DRDY** は Low のまま維持され、次の **DRDY** 立ち下がりエッジの直前に一瞬だけ High になります。

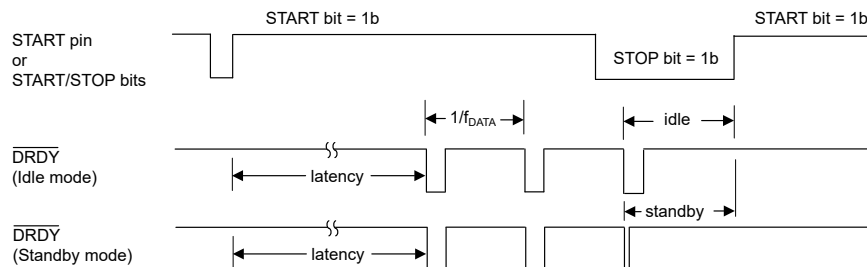


図 7-32. スタート/ストップ制御モード

7.4.6.3 ワンショット制御モード

ワンショット制御モードでは、START が High になったとき、または SPI の動作によって **CONTROL** レジスタの START ビットが 1b にセットされたときに、単一の変換が開始されます。DRDY は High に駆動され、変換が開始されたことを示し、変換が完了すると Low に駆動されます。その時点でデータを読み戻すことができます。

START を Low にしたり、STOP ビットに 1b を書き込んだりしても、進行中の変換は中断されません。STOP ビットは影響しません。変換を再開するには、START に Low から High のパルスを送るか、START ビットに 1b を再度書き込みます。ワンショット制御モードの動作を、図 7-33 に示します。スタンバイ モードがイネーブルのとき、DRDY は Low に遷移してから、3 クロック サイクル後に High になります。それ以外の場合、DRDY は Low に保たれてから、START の次の立ち上がりエッジで強制的に High になります。

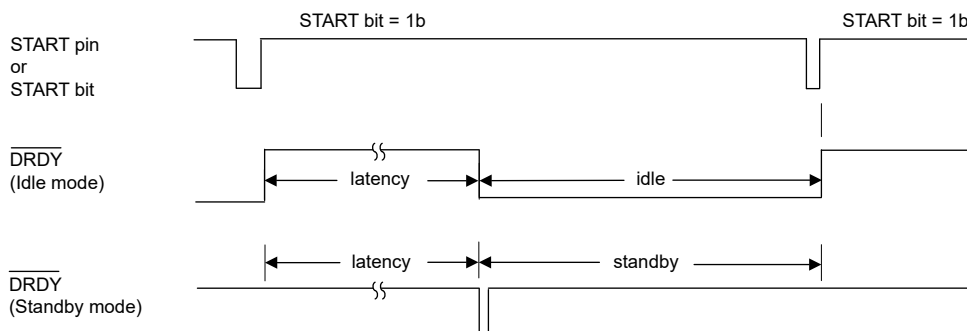


図 7-33. ワンショット制御モード

7.4.7 変換開始の遅延時間

START ピンまたは START ビットがアサートされると、最初の変換サイクルの開始をプログラムした時間だけ遅延させることができます。この遅延時間により、スタンバイ モードを終了した後で電圧リファレンスなどの外部コンポーネントをセトリングさせる、または外部マルチプレクサ経由で信号をスイッチングするときのセトリング時間を増やすことができます。最初の遅延時間の後で、以後の変換は遅延されません。プログラム可能な遅延値だけ、デジタル フィルタのレイテンシ時間の値が加算されます。詳細については、**FILTER2** レジスタの DELAY[2:0] ビットを参照してください。

7.4.8 校正

ADS127L21 は、ユーザー・オフセットおよびゲイン校正レジスタにより、オフセットとゲイン校正を行えます。図 7-34 に示すように、24 ビットのオフセット較正值を変換データから減算した後で、24 ビットのゲイン較正值で乗算します。出力データは最終的な分解能 (16 または 24 ビット) に丸められ、スケーリング動作後に +FS および -FS のコード値にクリッピングされます。

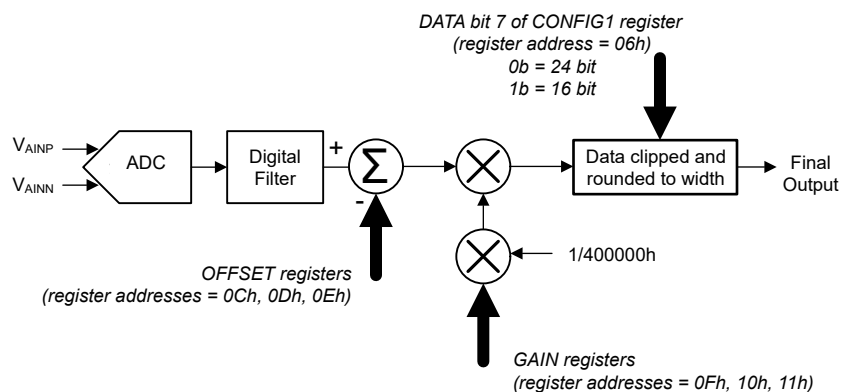


図 7-34. 較正のブロック図

変換データの較正方法を、式 20 に示します。

$$\text{最終出力データ} = (\text{データ} - \text{オフセット}) \times \text{ゲイン} / 400000h \quad (20)$$

7.4.8.1 OFFSET2、OFFSET1、OFFSET0 較正レジスタ (アドレス 0Ch、0Dh、0Eh)

オフセット較正值は 24 ビットの値で、2 の補数形式でコード化された 3 つの 8 ビット レジスタで構成されます。変換データからオフセット値が減算されます。レジスタ 0Ch は最上位バイト、レジスタ 0Dh は中間バイト、レジスタ 0Eh は最下位バイトです。ADC が 16 ビット分解能にプログラムされている場合、最小のオフセット バイトによって LSB より小さいオフセット精度が得られます。オフセット較正值の例を、表 7-13 に示します。

表 7-13. OFFSET レジスタの値

OFFSET レジスタの値	適用されるオフセット
000010h	–16LSB
000001h	–1LSB
FFFFFFh	1LSB
FFFFFF0h	16LSB

7.4.8.2 GAIN2、GAIN1、GAIN0 較正レジスタ (アドレス 0Fh、10h、11h)

ゲイン較正值は 24 ビットの値で、3 つの 8 ビット・レジスタで構成され、ストレート・バイナリ形式でコード化されて、400000h でユニティ・ゲインとなるよう正規化されています。たとえば、1 より大きいゲイン誤差を修正する場合、計算されるゲイン較正值は 400000h 未満です。レジスタ 0Fh は最上位バイト、レジスタ 10h は中間バイト、レジスタ 11h は最下位バイトです。ゲイン較正值の例を、表 7-14 に示します。

表 7-14. GAIN レジスタの値

GAIN レジスタの値	適用されるゲイン
433333h	1.05
400000h	1
3CCCCCh	0.95

7.4.8.3 較正手順

推奨される較正手順は次のとおりです。

1. オフセットおよびゲイン較正レジスタを、それぞれ 000000h および 400000h にプリセットします。
2. ADC 入力を短絡してオフセット較正を実行します。あるいは、外部アンプ段のゲイン誤差を含めるには、システムレベルで入力を短絡します。変換データを取得し、オフセット較正レジスタにデータの平均値を書き込みます。データを平均化すると、変換ノイズが減少し、較正精度が向上します。
3. ADC 入力に較正信号を印加して、ゲイン較正を実行します。外部バッファ段のオフセット誤差を含めるには、この信号をシステムレベルで印加します。標準入力範囲モードでは、出力コードのクリッピングを避けるため、フルスケール入力範囲よりも低い較正電圧を選択します。出力コードがクリッピングされると、較正が不正確になります。たとえば、 $V_{REF} = 4.096V$ で 3.9V の較正信号を使用します。拡張範囲モードで動作している場合、較正信号を V_{REF} に設定しても、出力コードがクリップされることはありません。変換データを取得し、結果を平均化します。ゲインの較正值を計算するには、式 21 を使用します。

$$\text{Gain Calibration Value} = (\text{expected output code} / \text{actual output code}) \cdot 400000h \quad (21)$$

たとえば、4.096V の基準電圧を使用するとき、3.9V の較正電圧の予測される出力コードは $(3.9V / 4.096V) \cdot 7FFFFFFh = 79E000h$ です。

7.5 プログラミング

7.5.1 シリアル・インターフェイス (SPI)

シリアル・インターフェイスは、変換データの読み取り、デバイス・レジスタの構成、ADC 変換の制御に使用されます。オプションの CRC モードでは、ホストと ADC の間でのデータ転送にエラーがないことを検証します。追加の CRC は、レジスタ・データのロード後にレジスタ・マップの内容を検証します。

シリアル・インターフェイスは、 $\overline{\text{CS}}$ 、SCLK、SDI、SDO/DRDY の 4 つの信号で構成されます。このインターフェイスはペリフェラル・モード (パッシブ) で動作し、SCLK はホストによって駆動されます。このインターフェイスは、SPI モード 1 (CPOL = 0 および CPHA = 1) と互換性があります。SPI モード 1 では、SCLK はアイドル時に Low になり、SCLK の立ち上がりエッジでデータが更新され、SCLK の立ち下がりエッジでデータが読み取られます。このインターフェイスは全二重動作をサポートしているため、入力データと出力データを同時に送信できます。また、このインターフェイスは複数の ADC をデジタイザ・チェーン接続できるため、SPI 接続を簡素化できます。

7.5.1.1 チップ・セレクト ($\overline{\text{CS}}$)

$\overline{\text{CS}}$ はアクティブ Low 入力で、インターフェイスの通信をイネーブルします。通信フレームは $\overline{\text{CS}}$ を Low にすると開始され、 $\overline{\text{CS}}$ を High にすると終了します。 $\overline{\text{CS}}$ を High にすると、デバイスはシフトインされた合計ビット数に関係なく、入力データの最後の 16 ビット (CRC モードでは 24 ビット) を解釈してフレームを終了します。 $\overline{\text{CS}}$ が High のとき、SPI インターフェイスはリセットされ、コマンドがブロックされて、SDO/DRDY はハイ・インピーダンス状態に移行します。DRDY は、 $\overline{\text{CS}}$ の状態にかかわらずアクティブ出力です。インターフェイスを 3 線式 SPI モードで動作させるには、 $\overline{\text{CS}}$ を Low に接続します。

7.5.1.2 シリアル・クロック (SCLK)

SCLK は、ADC との間でデータのシフトイン / シフトアウトを行うために使用されるシリアル・クロック入力です。出力データは SCLK の立ち上がりエッジで更新され、入力データは SCLK の立ち下がりエッジでラッチされます。SCLK はシュミット・トリガ入力で、ノイズ耐性を高めるよう設計されています。SCLK はノイズ耐性がありますが、意図しない遷移を避けるため、可能な限りノイズがないようにしてください。SCLK 入力のリンギングとオーバーシュートを避けてください。多くの場合、SCLK ドライバに直列の終端抵抗を接続するとリンギングが低減します。

7.5.1.3 シリアル データ入力 (SDI)

SDI は、デバイスへのシリアル インターフェイスデータ入力です。ADC は、SCLK の立ち下がりエッジで入力データをラッチします。アクティブでないとき、アイドル SDI は High または Low です。

7.5.1.4 シリアル データ出力 / データ準備完了 (SDO/DRDY)

SDO/DRDY は、デュアル機能の出力ピンです。このピンは、出力データのみを供給するか、出力データとともにデータ準備完了の提示を行うようにプログラム可能です。デュアル機能モードでは、出力データとデータ準備完了の動作が単一のピンに多重化されます。出力データは、SCLK の立ち上がりエッジで更新されます。SDO/DRDY ピンは、 $\overline{\text{CS}}$ が High のときハイ インピーダンス状態です。デュアル機能の動作の詳細については、「SDO/DRDY」セクションを参照してください。このモードは、FILTER3 レジスタの DATA_MODE[1:0] ビットによりプログラムされます。

7.5.1.5 SPI フレーム

シリアル インターフェイスによる通信は、フレームの概念に基づいています。フレームは、データのシフト インまたはシフトアウトに必要な、規定された数の SCLK で構成されます。フレームは $\overline{\text{CS}}$ を Low にすると開始され、 $\overline{\text{CS}}$ を High にすると終了します。 $\overline{\text{CS}}$ を High にすると、デバイスは、入力データの最後の 16 ビット (CRC モードでは 24 ビット) を解釈します。このデバイスは、デバイスにシフトインされたデータの量に関係なく、最後の 16 (または 24) ビットを解釈します。通常は、入力フレームが出力フレームのサイズと一致するよう、必要に応じて入力フレームを先行 0 でパディングします。ただし、全二重モードでデータを送受信しない場合、16 ビット フレーム オプション (CRC モードでは 24 ビット フレーム) を使用すると、フレームサイズが短くなります。出力フレーム サイズは、表 7-15 に示すように、プログラムされたデータ分解能 (16 ビットまたは 24 ビット) や、オプションの STATUS ヘッダと CRC バイトによって異なります。ADC の電源投入またはリセット後のデフォルトの出力フレーム サイズは 24 ビットです。3 線式 SPI モードでは、同期を維持するために、入力フレームが SPI の出力フレームのサイズと一致するようにします。

表 7-15. 出力フレームのサイズ

分解能 (ビット数)	STATUS バイト	CRC バイト	フレーム サイズ (ビット数)
24	なし	なし	24
24	なし	あり	32
24	あり	なし	32
24	あり	あり	40
16	なし	なし	16
16	なし	あり	24
16	あり	なし	24
16	あり	あり	32

7.5.1.6 全二重動作

シリアル インターフェイスは、全二重動作をサポートしています。全二重動作では、1 つのフレームでデータの送信と受信を同時に行えます。たとえば、前にアドレス指定したレジスタのデータが出力されるのと同時に、次のレジスタの読み取りコマンドを入力できます。この操作により、レジスタ読み取りのスループットは 2 倍になります。全二重動作の例を、図 7-36 に示します。

7.5.1.7 デバイスのコマンド

レジスタのデータの読み取りと書き込みのため、コマンドが使用されます。表 8-1 に示すレジスタ マップは一連の 1 バイトレジスタで構成され、読み取りおよび書き込み操作でこれらのレジスタにアクセスできます。入力コマンドシーケンスの最小フレーム長は 2 バイト (CRC モードでは 3 バイト) です。必要なら、出力データフレームの長さと一致するように、入力コマンドシーケンスに先行ゼロを埋め込みます。CRC モードでは、デバイスはフレームの末尾にある CRC バイトの直前の 2 バイトを解釈します。ADS127L21 のデバイスコマンドを、表 7-16 に示します。

表 7-16. SPI コマンド

説明	BYTE1	BYTE2	バイト 3 (オプションの CRC バイト)
無操作	00h	00h	D7h
レジスタ読み取りコマンド	40h + アドレス[4:0]	未使用	バイト 1 とバイト 2 の CRC
レジスタ書き込みコマンド	80h + アドレス[4:0]	レジスタ データ	バイト 1 とバイト 2 の CRC

標準のコマンド長とは異なる、拡張された長さのビット パターンが存在します。これらのパターンは、3 線式 SPI 動作で ADC と SPI フレームをリセットします。これらのパターンについては、「SPI の入力パターンによるリセット」および「3 線式 SPI モード」セクションの説明を参照してください。

7.5.1.7.1 無動作

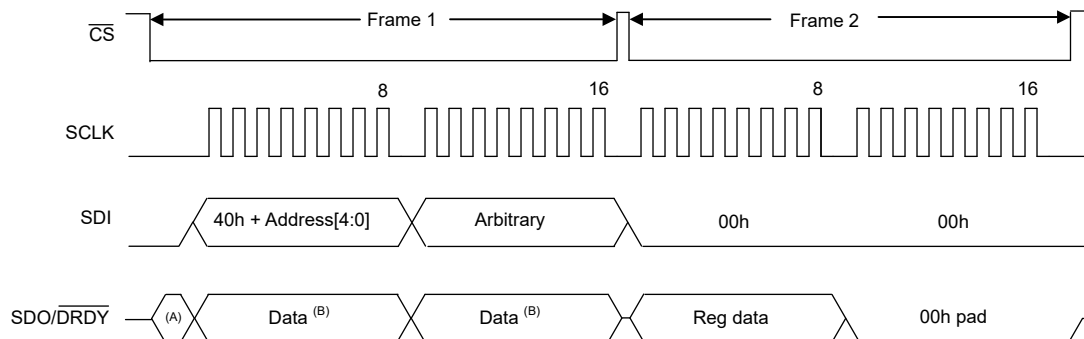
無動作コマンドのバイトは <00h 00h> です。変換データの読み取りなど、コマンドが不要な場合は、これらのバイトを使用します。SPI CRC がイネーブルであれば、CRC バイトが必要です (バイト 3)。これは、<00h 00h> のバイトに対しては常に D7h です。データの読み戻し中は SDI を Low に保持しますが、CRC モードでは SPI_ERR フラグがセットされ、以後のレジスタ書き込み動作はブロックされます。レジスタ書き込み動作が必要になるまでは、変換データの読み取り中の SPI_ERR フラグを無視できます。その時点で、STATUS レジスタの SPI_ERR フラグに 1b を書き込んでクリアします。

7.5.1.7.2 レジスタ読み取りコマンド

レジスタ読み取りコマンドは、レジスタのデータを読み取ります。このコマンドはオフフレーム プロトコルに従い、読み取りコマンドが 1 つのフレームで送信され、ADC は応答として、次のフレームでレジスタのデータを送信します。コマンドの最初のバイトは、5 ビットのレジスタ アドレスにベース コマンド値 (40h) を追加したものです。2 番目のコマンド バイトの値は任意ですが、最初のバイトとまとめて CRC が計算されます。有効なアドレス範囲外のレジスタが指定された場合、応答として 00h が返されます。レジスタのデータ形式は、最上位ビットが最初です。

16 ビットの実出力フレーム サイズを使用してレジスタのデータを読み取る例を、図 7-35 に示します。フレーム 1 はコマンドフレーム、フレーム 2 はデータ応答フレームです。 $\overline{\text{CS}}$ を High にすると、フレームは分割されます。データ応答フレームの中で、レジスタのデータ バイトの後は、16 ビットのフレームを埋めるために 00h でパディングされます。必要なら、 $\overline{\text{CS}}$ を High にすると、データ バイトの後のデータ応答フレームを短くできます。

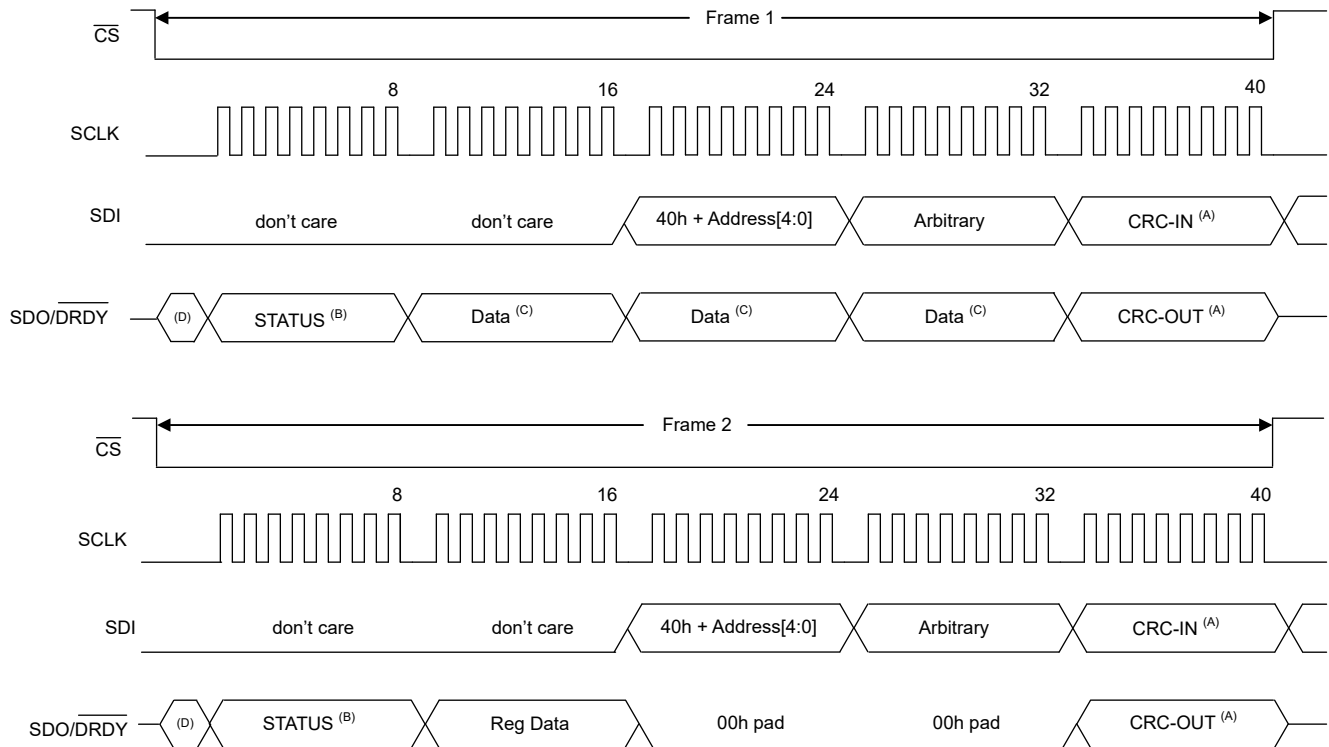
全二重モードで動作している場合 (レジスタ読み取りコマンドの入力中に、24 ビットの変換データを同時に読み取るなど)、コマンド フレームがデータ応答フレームの長さと同じになるように、先頭を 00h でパディングします。複数のレジスタを構成するとき、オプションとして全二重動作を選択できます。この動作では、前のレジスタのデータ応答フレーム中に次のレジスタの読み取りコマンドを入力することで、レジスタ読み取り動作のスループットを 2 倍にできます。



- A. 最初の SCLK より前の SDO/DRDY の以前の状態。
- B. データは 16 ビットの変換データ、またはレジスタのデータの場合、データ フィールドはレジスタのデータ バイト + 00h です。

図 7-35. レジスタ データの読み取り、最小の 16 ビットのフレーム サイズ

全二重動作で最大 40 ビットのフレーム サイズを使用するレジスタ読み取り動作の例を、図 7-36 に示します。フレーム 1 では、変換データはレジスタ読み取りコマンドの入力と同時に出力されます (前のフレームがレジスタ読み取りコマンドではない場合)。入力コマンドには、出力データ フレームの長さと同じになるように、2 つの無意味なバイトがパディングされます。パディングされた入力バイトは、CRC-IN コードの計算から除外されます。フレーム 2 は、前のレジスタのデータ出力と同時に実行される、次のレジスタ読み取りコマンドの入力を示します。レジスタのデータの後に 0 がパディングされ、変換データの出力フレームと同じ場所に CRC-OUT が配置されます。CRC-OUT コードには、データ出力フレーム内のすべての先行バイトが含まれています。STATUS ヘッダの SPI_ERR ビットは、SPI CRC エラーが発生したかどうか、およびレジスタ読み取りコマンドが受け付けられたかどうかを示します。



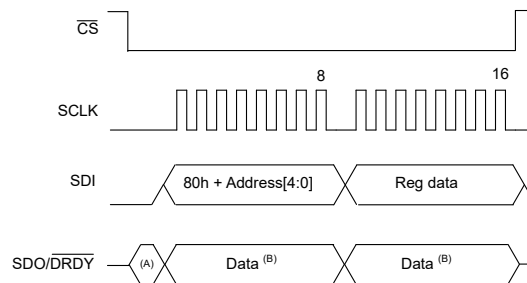
- A. オプションの CRC バイト。CRC がディセーブルなら、フレームは 1 バイト短くなります。
- B. オプションの STATUS バイト。STATUS がディセーブルなら、フレームは 1 バイト短くなります。
- C. 前の動作に応じて、データフィールドは変換データまたはレジスタのデータに 2 つの 00h のパディング バイトを加えたものです。
- D. 最初の SCLK より前の SDO/DRDY の以前の状態。

図 7-36. レジスタのデータの読み取り、最大の 40 ビットのフレーム サイズ

7.5.1.7.3 レジスタ書き込みコマンド

レジスタ書き込みコマンドは、レジスタのデータを書き込みます。レジスタ書き込みの動作は、単一のフレームで実行されます。コマンドの最初のバイトは、5 ビットのレジスタ アドレスに追加されたベース値 (80h) です。コマンドの 2 番目のバイトはレジスタのデータです。有効なアドレス範囲外のレジスタへの書き込みは無視されます。

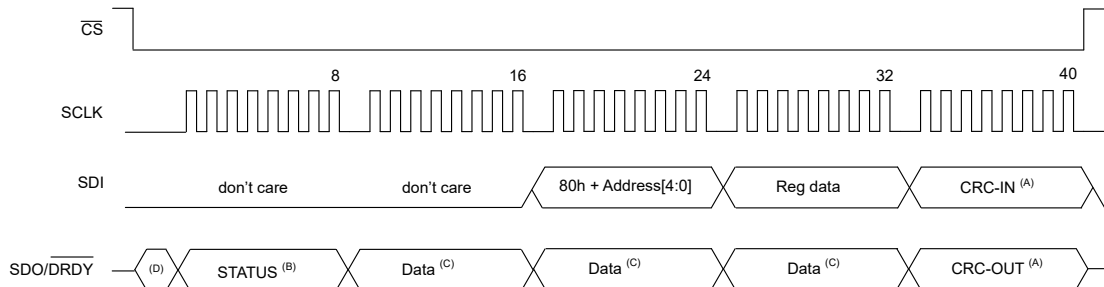
16 ビットのフレーム サイズを使用するレジスタ書き込み動作の例を、[図 7-37](#) に示します。全二重モードで動作する (レジスタ書き込みコマンドの入力時に、24 ビットの変換データを同時に読み取る) 場合は、出力フレームの長さとも一致するように、入力データの先頭に 1 つ以上のパディング バイトを含めます。複数のレジスタを同時に構成する (このとき、変換データは無視されます) 場合、最小の 16 ビットのフレーム サイズを使用すると、スループットが向上します。



- A. 最初の SCLK より前の SDO/DRDY の以前の状態。
- B. データは変換データであるか、レジスタ データの場合、フィールドはレジスタ データ バイト + 1 つの 00h パッド バイトです。

図 7-37. レジスタ データの書き込み、最小の 16 ビットのフレーム サイズ

最大の 40 ビットのフレーム サイズを使用するレジスタ書き込み動作の例を、図 7-38 に示します。全二重動作で、コマンドの入力と変換データの出力が同時に行われることも示しています。入力フレームには、出力フレームと一致するよう先頭に 2 つの未使用バイトが付加されているため、すべての変換データ バイトが送信されます。レジスタのデータの読み戻し、または STATUS バイトの SPI_ERR ビットで入力バイトの CRC エラーをチェックすることで、書き込み動作が正常に行われたことが検証されます。入力 SPI の CRC エラーが発生すると、SPI_ERR がセットされ、同じ SPI_ERR ビットに 1b を書き込んでリセットするまで、それ以後のレジスタ書き込み動作はブロックされます (STATUS レジスタへの書き込みを除く)。



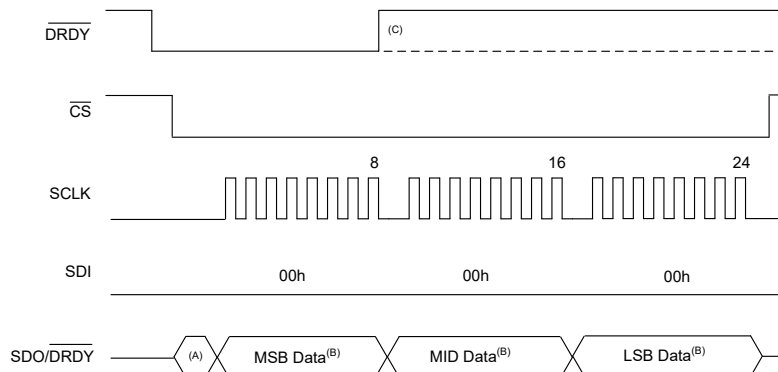
- A. オプションの CRC バイト。CRC がディセーブルなら、フレームは 1 バイト短くなります。
- B. オプションの STATUS バイト。STATUS がディセーブルなら、フレームは 1 バイト短くなります。
- C. データフィールドは、24 ビットの変換データ、またはレジスタ読み取りコマンドが前のフレームで送信された場合、レジスタのデータ バイト + 2 つの 00h のパディング バイトです。
- D. 最初の SCLK より前の SDO/DRDY の以前の状態。

図 7-38. レジスタ データの書き込み、最大の 40 ビットのフレーム サイズ

7.5.1.8 変換データの読み取り

変換データは、 \overline{CS} を Low にし、SCLK を適用してデータを直接シフトアウトすることで読み取ります (コマンドは使用しません)。変換データはバッファされるため、次の \overline{DRDY} 立ち下がりエッジの前に、最大 1 f_{MOD} クロック サイクルまでデータを読み取ることができます。次の変換データが準備される前に、変換データを複数回読み取ることができます。レジスタ読み取りコマンドが前のフレームで送信されると、変換データはレジスタ データに置き換えられます。

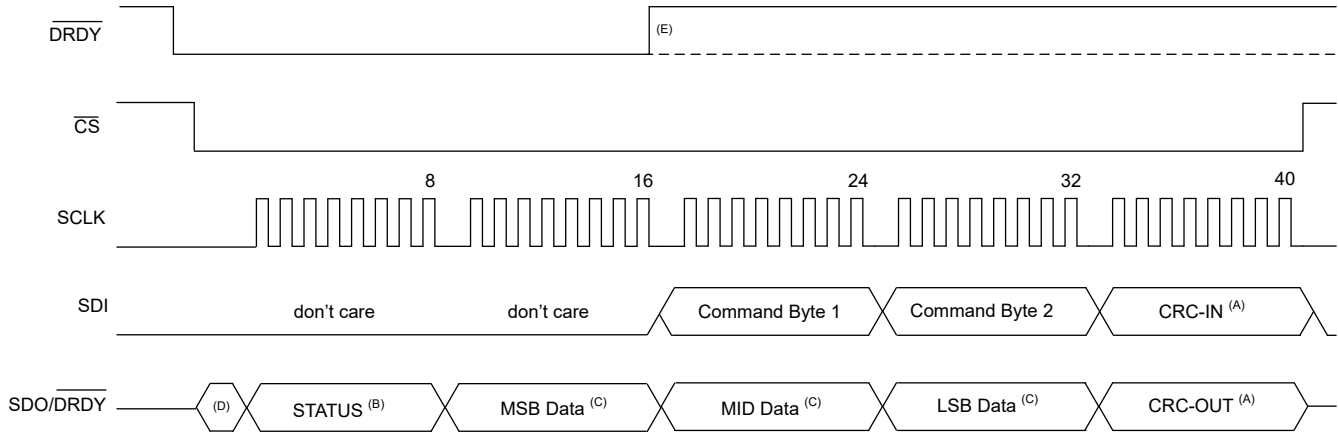
STATUS バイトと CRC バイトがディセーブルのときに 24 ビットの変換データを読み取る例を、図 7-39 に示します。



- A. 最初の SCLK より前に SDO_MODE = 0b なら、SDO/DRDY は以前の状態です。それ以外の場合、SDO/DRDY は \overline{DRDY} に従います。
- B. データフィールドは 2 バイト (16 ビット分解能) または 3 バイト (24 ビット分解能) です。
- C. 同期およびスタート/ストップ制御モードでは、SCLK の 8 番目の立ち下がりエッジで \overline{DRDY} が High に戻ります。ワンショット制御モードでは、新しい変換が開始されるまで \overline{DRDY} は Low のままです。

図 7-39. 変換データの読み取り、短い形式

図 7-40 は、STATUS ヘッダ バイトと CRC バイトを含む、長い形式のデータ読み取り動作の例です。この例では、オプションの全二重伝送を使用して、変換データの出力と同時にレジスタ コマンドを入力できるようにする方法も示しています。入力コマンドが必要ない場合、入力バイトは 00h、00h、D7h です。出力の CRC (CRC-OUT) コードの計算には、STATUS バイトが含まれます。MSB データの 8 番目の SCLK の後で変換データの読み戻しが停止した場合、DRDY は High に戻ります。その後、ステータス バイトの DRDY ビットが Low になり、データ読み取りが試行されたことを示します。



- A. オプションの CRC バイト。CRC がディセーブルなら、フレームは 1 バイト短くなります。
- B. オプションの STATUS ヘッダ。STATUS がディセーブルなら、フレームは 1 バイト短くなります。
- C. データは 2 バイト (16 ビット分解能) または 3 バイト (24 ビット分解能) です。
- D. SDO_MODE ビットが 0 なら、SDO/DRDY の以前の状態は、SCLK が開始するまで保持されます。それ以外の場合、SDO/DRDY は DRDY に従います。
- E. 同期およびスタート/ストップ制御モードでは、DRDY は SCLK の 16 番目の立ち下がりエッジ (MS データ バイトの 8 番目のビット) で High に戻ります。ワンショット制御モードでは、新しい変換が開始されるまで DRDY は Low のままです。

図 7-40. 変換データの読み取り、長い形式

通常動作では、変換データの準備完了の読み取りは DRDY 信号に同期しますが、データは DRDY 信号と非同期に読み取りできます。ただし、DRDY の立ち下がりエッジの近くで変換データを読み取った場合、以前のデータと新しいデータのどちらが出力されるかは不確定です。SCLK のシフト動作が、DRDY の立ち下がりエッジよりも少なくとも $1 f_{MOD}$ クロック サイクル前に開始すると、古いデータが提供されます。シフト動作が、DRDY の立ち下がりエッジよりも少なくとも $1 f_{MOD}$ クロック サイクル後に開始すると、新しいデータが出力されます。STATUS バイトの DRDY ビットは、データが古い (以前に読み取られたデータ) か、新しいかを示します。

7.5.1.8.1 変換データ

変換データは 2 の補数形式、MSB ファースト (符号ビット) でコード化され、分解能は 24 ビットまたは 16 ビットにプログラム可能です。24 ビットまたは 16 ビットの分解能は、CONFIG1 レジスタの DATA ビットによってプログラムされます。16 ビットの量子化ノイズがあるため、16 ビット データの SNR は 98.1dB に制限されます。24 ビット分解能モードの標準および拡張入力範囲の出力コードを、表 7-17 に示します。入力信号がそれぞれの正および負のフルスケール値を超えると、変換データは正および負のフルスケールのコード値にクリッピングされます。

表 7-17. 24 ビットの出力データ形式

差動入力電圧 (V) ⁽¹⁾	24 ビットの出力データ ⁽²⁾	
	標準範囲	拡張範囲
$1.25 \cdot k \cdot V_{REF} \cdot (2^{23} - 1) / 2^{23}$	7FFFFFFh	7FFFFFFh
$k \cdot V_{REF} \cdot (2^{23} - 1) / 2^{23}$	7FFFFFFh	666666h
$k \cdot V_{REF} / 2^{23}$	000001h	000001h
0	000000h	000000h
$-k \cdot V_{REF} / 2^{23}$	FFFFFFh	FFFFFFh

表 7-17. 24 ビットの出カデータ形式 (続き)

差動入力電圧 (V) ⁽¹⁾	24 ビットの出カデータ ⁽²⁾	
	標準範囲	拡張範囲
$-k \cdot V_{REF}$	800000h	99999Ah
$-1.25 \cdot k \cdot V_{REF}$	800000h	800000h

(1) $k = 1x$ または $2x$ の入力範囲オプション。

(2) オフセットとゲイン誤差を除いた理想的な出力データ。OSR 値 < 32 の場合は分解能が低下します。

7.5.1.8.2 データ準備完了

変換データの読み戻し準備が完了したことを判断するには、いくつかの方法があります。

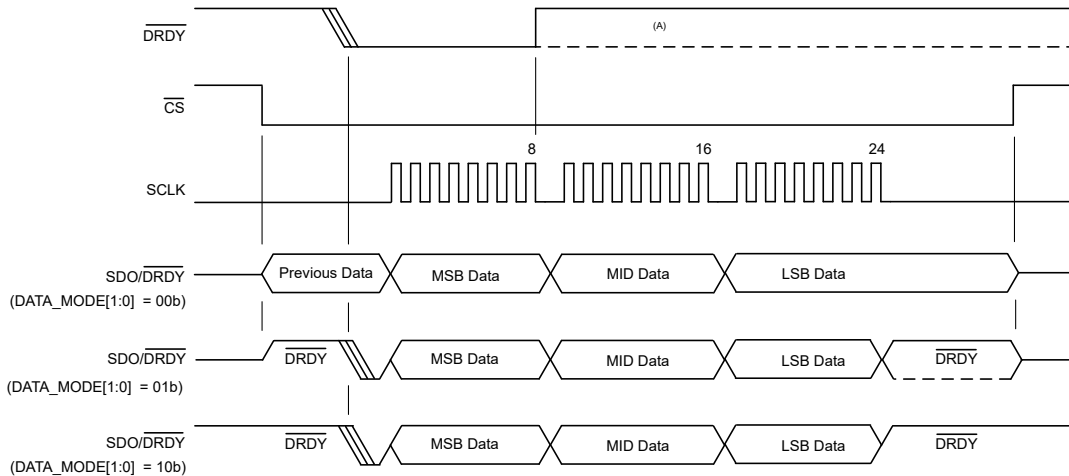
1. ハードウェア: \overline{DRDY} または SDO/\overline{DRDY} ピンを監視します
2. ソフトウェア: STATUS バイトの DRDY ビットを監視します
3. クロックのカウント: ADC クロックの数をカウントし、データの準備完了を予測します

7.5.1.8.2.1 \overline{DRDY}

\overline{DRDY} は、データ準備完了の出力信号です。 \overline{DRDY} は、変換が開始された、または再同期されたとき High に駆動され、変換データが準備完了したとき Low に駆動されます。 \overline{DRDY} は、変換データの読み取り時に 8 番目の SCLK で High に戻ります。この動作は、同期制御モードとスタート / ストップ制御モードに適用されます。ワンショット制御モードでは、変換データを読み取る間は \overline{DRDY} は Low のままです。ADC がスタンバイ・モード (STBY_MODE ビット = 1b) に移行するようプログラムされている場合、 \overline{DRDY} は Low に遷移してから、 $3 f_{CLK}$ サイクル後に High に戻ります。変換データが読み取られない場合、次の立ち下がりエッジの直前に \overline{DRDY} パルスが High になります。それぞれの変換制御モードにおける \overline{DRDY} の動作の詳細については、「同期」セクションを参照してください。 \overline{DRDY} は、 \overline{CS} が High か Low かにかかわらずアクティブ出力です。

7.5.1.8.2.2 SDO/\overline{DRDY}

SDO/\overline{DRDY} は、デュアル機能の出力ピンです。このピンは、データ出力モード固定にするか、または、データレディ(データ読み取りではない)からデータ出力モード(データの読み取り)に自動的にモード変更するか、を選んでプログラムできます。自動モードでは、SPI I/O ラインの数を節約するため、このピンが \overline{DRDY} ピンの機能を代替します。自動モードで \overline{CS} が Low の場合、 SDO/\overline{DRDY} は、SCLK の最初の立ち上がりエッジまで \overline{DRDY} ピンをミラーリングします。この時点で、このピンはデータ出力モードに切り替わります。データ読み取り動作が完了すると、このピンは \overline{DRDY} モードに戻ります。データ読み取り動作が完了すると (SCLK の 24 番目の立ち下がりエッジ、または CRC および STATUS バイトが含まれる場合は 40 番目のエッジ)、ピンは DRDY のミラーリングに戻ります。DATA_MODE[1:0] ビット = 01b とすると、自動モードにプログラムされます。10b の設定でも自動モードとして機能しますが、 \overline{CS} が High のときは、 SDO/\overline{DRDY} をアクティブ出力として維持します。 SDO/\overline{DRDY} の動作を、図 7-41 に示します。



- A. 同期およびスタート/ストップ制御モードで、 $\overline{\text{DRDY}}$ は 8 番目の SCLK 立ち下がりエッジ (MSB データの 8 番目のビット) で High に戻ります。フロッピー制御モードでは、新しい変換が開始されるまで $\overline{\text{DRDY}}$ は Low のままです。

図 7-41. SDO/ $\overline{\text{DRDY}}$ および $\overline{\text{DRDY}}$ 機能

7.5.1.8.2.3 DRDY ビット

データの準備完了をソフトウェアで判定するには、 $\overline{\text{DRDY}}$ ビット (STATUS バイトのビット 0) をポーリングします。 $\overline{\text{DRDY}} = 1b$ のとき、データは前回のデータ読み取り動作のときと違う、新しいものです。それ以外の場合、以前のデータと変わりありません。データの読み取り後、次の変換データの準備ができるまで、このビットはクリアされた状態に保たれます。データの消失を避けるため、最低でも出力データ・レートと同じ頻度でこのビットをポーリングしてください。

7.5.1.8.2.4 クロックのカウント

データが準備完了したかどうかを判定するもう 1 つの方法は、クロック・サイクルをカウントすることです。内部クロック発振器は観察できないため、この方法は外部クロックを使用するときのみ使用可能です。同期または変換が開始した後で、最初の変換は、通常の変換期間に比べてクロック・サイクル数が増加します。最初の変換のクロック・サイクル数は、「[デジタル フィルタ](#)」セクションに記載されているように、レイテンシ時間と等価です。

7.5.1.8.3 STATUS バイト

STATUS は、変換データの先頭に置かれるオプションのバイトです。 STATUS バイトのフィールドの説明については、[表 8-5](#) を参照してください。 STATUS バイトは、[CONFIG3](#) レジスタの STATUS ビットをセットするとイネーブルされます。変換データとともに送信される STATUS バイトの内容は、 STATUS レジスタと同じです。

7.5.1.9 デイジー チェーン動作

複数の ADC を使用する同時サンプリング システムでは、デイジー チェーン スtring の接続により、ホストコントローラへの SPI I/O の数を減らすことができます。デイジー チェーン接続では、あるデバイスの SPI 出力が次のデバイスの SPI 入力に接続されます。この接続により、チェーン接続されたデバイスは、ホストコントローラから見ると、単一の論理デバイスとして認識されます。デイジー チェーン動作には特別なプログラミングは必要ありません。単純に追加のシフト クロックを適用するだけで、チェーン内のすべてのデバイスにアクセスできます。動作を簡素化するため、各デバイスに同じ SPI フレーム サイズをプログラムします。たとえば、すべてのデバイスの CRC オプションをイネーブルにすると、32 ビットのフレーム サイズが生成されます。

デイジーチェーン構成で接続された 4 台のデバイスを、[図 7-42](#) に示します。[ADS127L21 \(1\)](#) の SDI はホストの SPI データ出力に、[ADS127L21 \(4\)](#) の SDO/DRDY はホストの SPI データ入力に接続します。シフト動作は、チェーン内のすべてのデバイスで同時に行われます。各 ADC が変換データのシフトを完了すると、 SDI のシフトインされたデータが SDO/DRDY に出力されます。次に、このピンはチェーン内の次のデバイスの SDI を駆動します。シフト動作は、チェーン内の最後のデバイスに到達するまで続けられます。 $\overline{\text{CS}}$ が High になると、 SPI フレームは終了します。この時点で、各デ

バースにシフトインされたデータが解釈されます。 $\overline{\text{SDO/DRDY}}$ ピンは、データ出力専用モードにプログラムする必要があります。

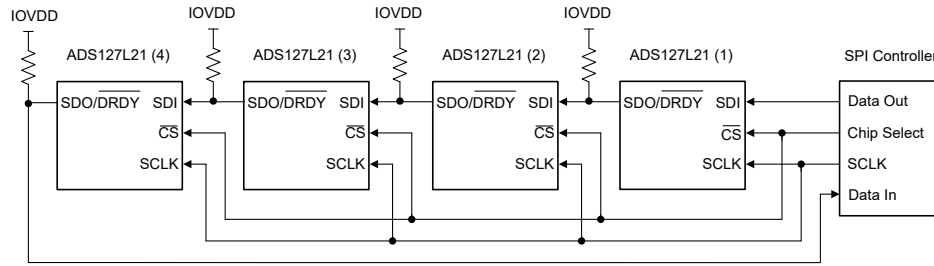


図 7-42. デイジー チェーン接続

デバイスが電源投入された後の最初の通信で各デバイスにより使用される 24 ビット フレームのサイズを、図 7-43 に示します。

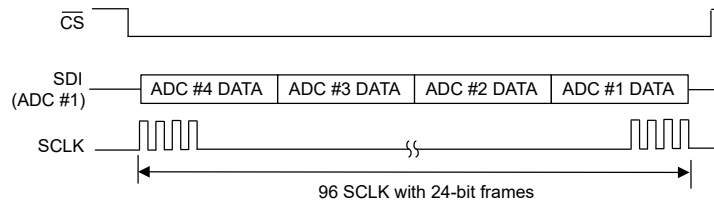
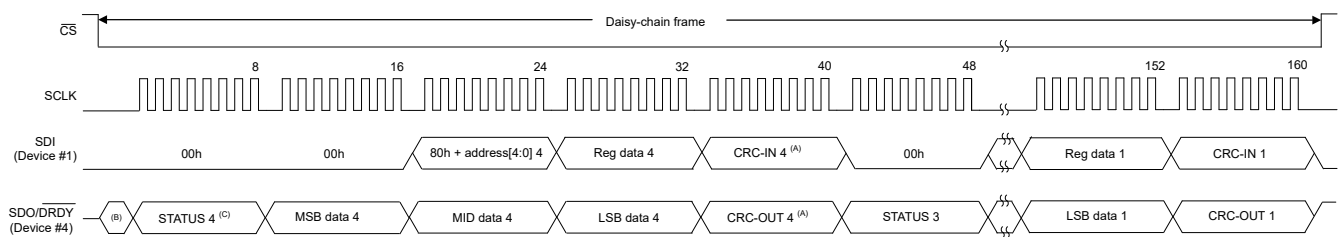


図 7-43. 24 ビットのデータ入力シーケンス

データを入力するため、ホストは最初に、チェーン内の最後のデバイス向けのデータをシフトインします。各 ADC の入力バイト数は、出力フレーム サイズと一致するようにサイズ設定されています。デフォルトのフレーム サイズは 24 ビットなので、まず、各 ADC では、2 つのコマンド バイトの前にパッド バイトを付加して 3 バイトが必要です。ADC (4) の入力データが最初で、次に ADC (3) の入力データ、以後同様に続きます。

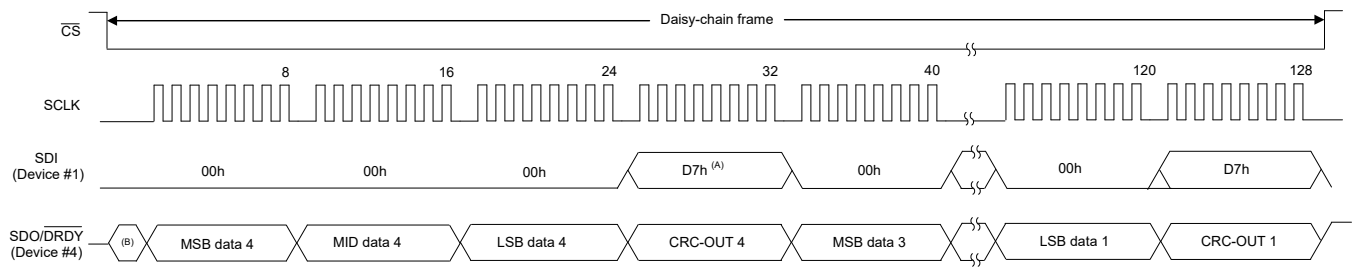
図 7-42 のデイジー チェーンにおけるレジスタの書き込み動作の詳細な入力データ シーケンスを 図 7-44 に示します。各 ADC について、40 ビットのフレームが示されています (データが 24 ビットに加えて、STATUS および CRC バイトがイネーブル)。コマンド動作は、ADC ごとに異なる場合があります。レジスタの読み取り動作では、レジスタのデータを読み取るために 2 番目のフレーム動作が必要です。



- A. オプションの CRC バイト。CRC がディセーブルなら、各フレームは 1 バイト短くなります。
- B. SCLK が適用される前の $\overline{\text{SDO/DRDY}}$ の以前の状態。
- C. オプションの STATUS バイト。STATUS がディセーブルなら、各フレームは 1 バイト短くなります。

図 7-44. デイジー チェーン接続でのレジスタ データの書き込み

図 7-42 に記載されているデバイス接続から変換データを読み取るためのクロック シーケンスを、図 7-45 に示します。この例は、32 ビットの出力フレーム (データが 24 ビットに加えて、CRC バイトがイネーブル) を示しています。シーケンス内の最初には ADC (4) の出力データで、次に ADC (3) のデータ、以後同様に続きます。フレームあたりのビット数にチェーン内のデバイス数を乗算した値が、データをシフト アウトするために必要なクロック数です。この例では、出力フレームが 32 ビット \times 4 つのデバイスで、合計クロック数は 128 です。



- A. オプションの CRC バイト。CRC がディセーブルなら、各フレームは 1 バイト短くなります。
B. SCLK が適用される前の SDO/DRDY の以前の状態。

図 7-45. デイジー チェーン接続での変換データの読み取り

デイジー チェーン構成で接続されるデバイスの最大数は、SCLK 信号の周波数、データレート、およびフレームあたりのビット数によって制限されます。式 22 によって、チェーン内で使用できるデバイスの最大数を計算できます。パラレル接続の SPI にも同じ制限が適用されます。この場合も、各 ADC からのデータは直列順に読み取られるためです。

$$\text{Maximum devices in a chain} = \lfloor f_{\text{SCLK}} / (f_{\text{DATA}} \cdot \text{bits per frame}) \rfloor \quad (22)$$

たとえば、デイジー・チェーン接続デバイスの最大数は、 $\lfloor 20\text{MHz} / (100\text{kHz} \cdot 32) \rfloor$ の小数点以下切り捨てで、6 になります。ここで、 $f_{\text{SCLK}} = 20\text{MHz}$ 、 $f_{\text{DATA}} = 100\text{kSPS}$ 、32 ビット フレームが使用されると想定しています。

7.5.1.10 3 線式 SPI モード

ADC は、 $\overline{\text{CS}}$ を接地することで 3 線式 SPI 動作を選択できます。電源投入時またはリセット後に $\overline{\text{CS}}$ がグラウンドに接続されていると、3 線式モードになります。3 線式 SPI モードは、STATUS レジスタのビット 7 (CS_MODE) で表示されます。 $\overline{\text{CS}}$ を High にすると、デバイスは 4 線式 SPI モードに変更されます。

3 線式モードでは、 $\overline{\text{CS}}$ がフレーム タイミングを制御しないため、SCLK は ADC によってカウントされ、フレームの開始と終了が判定されます。SCLK のビット数をホストで制御して、出力フレームのサイズと一致ようにします。フレームあたりのビット数は、デバイスの構成によって異なります。出力フレームのサイズを、表 7-15 に示します。フレーム タイミングは SCLK の数によって決定されるため、電源投入時に発生するような SCLK の意図しない遷移を避ける必要があります。

3 線式 SPI モードでは、4 線式モードと同じコマンド フォーマットとクロック供給がサポートされます。ただし、 $\overline{\text{CS}}$ のトグルはありません。残りのレジスタのフレーム間に待機時間の要件はありません。ただし、プログラマブルなフィルタ係数の読み取り / 書き込み動作については、フレーム間で $10f_{\text{CLK}}$ サイクルの遅延が必要です。

7.5.1.10.1 3 線式 SPI モードのフレームのリセット

3 線式 SPI モードでは、意図しない SCLK 遷移によってフレームがずれて、SPI 同期が失われる可能性があります。図 7-46 に示すように、SPI は SPI リセット パターンを送信することで再同期されます。リセット パターンは、63 個以上 1 が続いた後で、64 番目の SCLK で 0 が 1 つです。65 番目の SCLK は、新しい SPI フレームを開始します。その他の方法として、RESET をトグルするか、「SPI の入力パターンによるリセット」セクションで説明されているリセット パターンを使用して、ADC を完全にリセットできます。

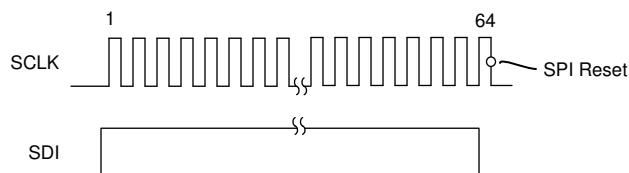


図 7-46. 3 線式モードの SPI のリセット パターン

7.5.1.11 SPI の CRC

SPI の巡回冗長性検査 (CRC) は、ホスト コントローラとの間で送信エラーを検出するために使用される SPI 検査コードです。ホストから、SDI で入力データとともに入力 CRC バイトが送信され、ADC から SDO/DRDY で送信される出力データにも CRC バイトが付属します。SPI の CRC エラー チェックは、CONFIG3 レジスタの SPI_CRC ビットによってイネーブルされます。

CRC コードは、ホストによって 2 つのコマンド バイトに対して計算されます。フレームの先頭にパディングされる入力バイトは、CRC の計算に含まれません。ADC は、入力コマンドの CRC コードを、2 つの入力コマンド バイトについて計算された内部コードと比較してチェックします。CRC コードが一致しない場合、コマンドは実行されず、STATUS バイトの SPI_ERR ビットがセットされます。レジスタへの書き込み操作はブロックされます。ただし、STATUS レジスタの SPI_ERR ビットに 1b を書き込んで SPI の CRC エラーをクリアする操作は行えます。レジスタ読み取り操作は、レジスタ読み取りコマンドの SPI フレームで SPI_CRC エラーが検出されない限り、ブロックされません。

出力 CRC コードの計算に使用されるバイト数は、フレームで送信されるデータ バイトの数によって異なります。出力 CRC コードより前のすべてのデータ バイトが、CRC 計算で使用されます。出力 CRC の計算に使用されるバイト数を、表 7-18 に示します。

表 7-18. 出力 CRC コードのバイト数

バイト数	バイト フィールドの説明
2	16 ビットの変換データ
2	1 バイトのレジスタ データ + 00h のパディング バイト
3	16 ビットの変換データ + STATUS バイト
3	24 ビットの変換データ
3	1 バイトのレジスタ データ + 2 つの 00h のパディング バイト
4	24 ビットの変換データ + STATUS バイト
4	1 バイトのレジスタ データ + 3 つの 00h のパディング バイト

CRC 値は、CRC 多項式を使用した可変長引数のビット単位排他論理和 (XOR) 演算の、8 ビットまたは 16 ビットの剰余です。ADS127L21 は、CRC 機能に応じて 8 ビットと 16 ビットの CRC 長を使用します。SPI、メイン プログラム メモリ、IIR フィルタ係数には 8 ビットの CRC が使用されます。8 ビットの CRC は、CRC-8-ATM (HEC) 多項式: $X^8 + X^2 + X^1 + 1$ に基づいています。この多項式には、9 つの係数として 1 00000111 があります。

16 ビットの CRC は、128 の FIR フィルタ係数にのみ使用されます。16 ビットの CRC は、CRC-16-IBM 多項式: $X^{16} + X^{15} + X^2 + 1$ に基づいています。この 17 個の係数は 1 10000000 00000101 です。

CRC の値は、次の手順で計算します。

1. 初期データ値の LSB に 0 を追加して、8 ビット (16 ビットの CRC の場合は 16 ビット) 左にシフトし、新しいデータ値を生成します。
2. 手順 1 で得られた新しいデータ値の MSB と、FFh (16 ビットの CRC の場合は FFFFh) との初期 XOR 演算を行います。
3. CRC 多項式の MSB を、データの左端のロジック 1 と揃えます。
4. CRC 多項式と揃っていないデータ値のビットがドロップダウンし、新しい XOR 結果の右側に追加されます。データ値と、揃えられた CRC 多項式との XOR 演算を行います。XOR 演算により、新しい短い値が生成されます。
5. XOR の結果が 8 ビットまたは 16 ビットの CRC 長以下の場合、手順は終了し、8 ビットまたは 16 ビットの CRC コード結果が得られます。それ以外の場合は、手順 3 で現在の XOR 結果を使用して XOR 演算を続行します。ループの繰り返し回数は、初期データの値によって異なります。

7.5.2 レジスタ メモリの CRC

CRC は、ユーザー レジスタ メモリの意図しない変更を検出するために使用されます。レジスタ メモリは、メイン プログラム メモリ、FIR フィルタ係数メモリ、IIR フィルタ係数メモリという 3 つの領域で構成され、それぞれに CRC 値があります。エラー フラグは、これら 3 つの領域での CRC エラーを示します (STATUS2 レジスタを参照)。これらのフラグは論理和され、STATUS1 レジスタのグローバル レジスタ マップ CRC エラー フラグ (CRC_ERR) に設定されます。CRC 機能は、CONFIG3 レジスタの REG_CRC ビットによってイネーブルされます。

7.5.2.1 メイン プログラム メモリの CRC

メイン プログラム メモリの CRC は、「SPI の CRC」セクションに示されている 8 ビット CRC 多項式を使用して、レジスタ アドレス 00h~11h について計算されます。この範囲には、アドレス 02h、03h、04h (STATUS1、STATUS2、CONTROL レジスタ) は含まれません。プログラム メモリが変更されるたびに、CRC 値を MAIN_CRC レジスタに書き込みます。ADC は、値を内部計算と比較します。値が一致しない場合、STATUS2 レジスタの M_CRC_ERR ビットがセットされます。このエラーは他の CRC メモリ エラーと論理和され、STATUS1 レジスタのグローバル CRC_ERR に示されます。M_CRC_ERR がセットされているなら、メモリの内容を確認して CRC 値を更新します。ADC が内部 CRC を計算するまで少し待ってから、ビットに 1b を書き込んでクリアします。CRC エラー チェックは、CONFIG3 レジスタの REG_CRC ビットによってイネーブルされます。

REV_ID はデバイスの製造中に予告なく変更される可能性があるため、CRC 値を計算するときは REV_ID レジスタの内容を読み出してください。

7.5.2.2 FIR フィルタ係数の CRC

FIR フィルタ係数の CRC は、FIR 係数メモリの検証に使用されます。FIR CRC 値は、ゼロ値の終了係数を含め、128 の 32 ビット FIR 係数について計算されます。FIR メモリには、16 ビット CRC 多項式が使用されます (詳細については、「SPI の CRC」セクションを参照)。FIR 係数を ADC にロードしてから、16 ビット CRC 値を 2 つの 8 ビット FIR CRC レジスタに書き込みます (FIR_CRC1 および FIR_CRC0 レジスタを参照)。ADC は、CRC 値を内部計算と比較します。値が一致しない場合、STATUS2 レジスタの F_CRC_ERR ビットがセットされます。このビットは他の CRC エラー フラグと論理和され、STATUS1 レジスタのグローバル CRC_ERR ビットに設定されます。エラー フラグがセットされているなら、FIR 係数の内容をチェックし、CRC 値を訂正してから、REG_CRC ビットをディセーブルし、その後で再度イネーブルしてビットをクリアします。FILTER2 レジスタの FIR3_DIS ビットによって FIR3 フィルタがディセーブルされている場合、FIR 係数 CRC もディセーブルです。

7.5.2.3 IIR フィルタ係数の CRC

IIR フィルタ係数の CRC は、IIR 係数メモリを検証します。IIR の CRC 値は、8 ビットの CRC 多項式を使用して、25 個の 32 ビット IIR 係数について計算されます。「SPI の CRC」セクションを参照してください。IIR 係数が ADC にロードされた後で、8 ビットの CRC 値を IIR_CRC レジスタに書き込みます。ADC は、CRC 値を内部計算と比較します。値が一致しない場合、STATUS2 レジスタの I_CRC_ERR ビットがセットされます。このビットは、他の CRC エラー フラグと論理 OR され、STATUS1 レジスタのグローバル CRC_ERR ビットに設定されます。エラー ビットがセットされているなら、IIR 係数の内容をチェックし、CRC 値を更新してから、REG_CRC ビットをディセーブルし、その後で再度イネーブルしてビッ

トをクリアします。[FILTER2](#) レジスタの IIR_DIS ビットによって IIR フィルタもディセーブルされている場合、IIR 係数の CRC もディセーブルです。

8 レジスタ マップ

ADS127L21 のレジスタ マップを、表 8-1 に示します。レジスタのデータは、SPI の動作ごとに 1 つずつ読み取りまたは書き込みされます。FIR_BANK および IIR BANK レジスタは、単一のアドレスを使用してフィルタ係数の読み取りまたは書き込みを行います。CONTROL レジスタ (アドレス = 04h) より大きなレジスタ アドレスに書き込むと、変換が再起動され、同期が失われます。変換が停止中は (START ピンが Low または STOP ビットが書き込まれた)、レジスタに書き込んでも変換は再起動されません。

表 8-1. ADS127L21 のレジスタ マップの概要

アドレス	レジスタ	デフォルト	ビット 7	ビット 6	ビット 5	ビット 4	ビット 3	ビット 2	ビット 1	ビット 0
00h	DEV_ID	02h	DEV_ID[7:0]							
01h	REV_ID	xxh	REV_ID[7:0]							
02h	STATUS1	x1100xxxb	CS_MODE	ALV_FLAG	POR_FLAG	SPI_ERR	CRC_ERR	ADC_ERR	MOD_FLAG	DRDY
03h	STATUS2	00h	予約済み					I_CRC_ERR	F_CRC_ERR	M_CRC_ERR
04h	CONTROL	00h	RESET[5:0]						START	ストップ
05h	MUX	00h	予約済み						MUX[1:0]	
06h	CONFIG1	00h	データ	EXT_RNG	REF_RNG	INP_RNG	VCM	REFP_BUF	AINP_BUF	AINN_BUF
07h	CONFIG2	08h	予約済み		START_MODE[1:0]		SPEED_MODE[1:0]		STBY_MODE	PWDN
08h	CONFIG3	00h	CLK_SEL	CLK_DIV[1:0]		OUT_DRV	予約済み	SPI_CRC	REG_CRC	STATUS
09h	FILTER1	00h	FLTR_SEL[2:0]			FLTR_OSR[4:0]				
0Ah	FILTER2	01h	予約済み	DELAY[2:0]			FLTR_SEQ	FIR2_DIS	FIR3_DIS	IIR_DIS
0Bh	FILTER3	01h	予約済み						DATA_MODE[1:0]	
0Ch	OFFSET2	00h	OFFSET[23:16]							
0Dh	OFFSET1	00h	OFFSET[15:8]							
0Eh	OFFSET0	00h	OFFSET[7:0]							
0Fh	GAIN2	40h	GAIN[23:16]							
10h	GAIN1	00h	GAIN[15:8]							
11h	GAIN0	00h	GAIN[7:0]							
12h	MAIN_CRC	00h	MAIN_CRC[7:0]							
13h	FIR_BANK	xxh	FIR_BANK[7:0]							
14h	FIR_CRC1	xxh	FIR_CRC[15:8]							
15h	FIR_CRCx0	xxh	FIR_CRC[7:0]							
16h	IIR_BANK	xxh	IIR_BANK[7:0]							
17h	IIR_CRC	xxh	IIR_CRC[7:0]							

レジスタのアクセス コードを、表 8-2 に示します。

表 8-2. レジスタのアクセス コード

アクセス タイプ	コード	説明
読み出し	R	読み取り専用
書き込み	W	書き込み専用
読み取り / 書き込み	R/W	読み取り / 書き込み
リセットまたはデフォルト値	-n	リセット後の値またはデフォルト値

DEV_ID レジスタ (アドレス = 00h) [リセット = 02h]

[「レジスタ マップの概要」](#)に戻ります。

図 8-1. DEV_ID レジスタ

7	6	5	4	3	2	1	0
DEV_ID[7:0]							
R-02h							

表 8-3. DEV_ID レジスタのフィールドの説明

ビット	フィールド	タイプ	リセット	説明
7:0	DEV_ID[7:0]	R	02h	デバイス ID。 02h = ADS127L21

REV_ID レジスタ (アドレス=01h) [リセット=xxh]

[「レジスタ マップの概要」](#)に戻ります。

図 8-2. REV_ID レジスタ

7	6	5	4	3	2	1	0
REVID[7:0]							
R-xxxxxxxh							

表 8-4. REV_ID レジスタのフィールドの説明

ビット	フィールド	タイプ	リセット	説明
7:0	REV_ID[7:0]	R	xxxxxxxh	ダイのリビジョン ID。 ダイのリビジョン ID は、デバイスの製造中に予告なく変更されることがあります。

STATUS1 レジスタ (アドレス = 02h) [リセット = x1100xxxh]

[「レジスタ マップの概要」](#)に戻ります。

図 8-3. STATUS1 レジスタ

7	6	5	4	3	2	1	0
CS_MODE	ALV_FLAG	POR_FLAG	SPI_ERR	CRC_ERR	ADC_ERR	MOD_FLAG	DRDY
R-xb	R/W-1b	R/W-1b	R/W-0b	R-0b	R-xb	R-xb	R-xb

表 8-5. STATUS1 レジスタのフィールドの説明

ビット	フィールド	タイプ	リセット	説明
7	CS_MODE	R	xb	CS モード。 このビットは、SPI モードが 4 線式か 3 線式かを示します。モードは、電源投入時またはリセット後の \overline{CS} の状態によって決定されます。 0b = 4 線式 SPI 動作 (\overline{CS} がアクティブ) 1b = 3 線式 SPI 動作 (\overline{CS} が Low に接続)
6	ALV_FLAG	R/W	1b	アナログ電源低電圧フラグ。 このビットは、アナログ電源で低電圧が検出されたことを示します。1b を書き込むと、フラグがクリアされ、次の低電圧状態が検出されます。 0b = フラグが最後にクリアされたときから低電圧検出なし 1b = 低電圧検出あり

表 8-5. STATUS1 レジスタのフィールドの説明 (続き)

ビット	フィールド	タイプ	リセット	説明
5	POR_FLAG	R/W	1b	<p>パワーオンリセット (POR) フラグ。</p> <p>このビットは、デバイスの電源投入、IOVDD 電源のブラウンアウト、またはユーザーが開始したリセットによって、デバイスがリセットされたことを示します。1b を書き込むと、ビットがクリアされ、次のリセットが検出されます。</p> <p>0b = フラグが最後にクリアされたときからリセットなし</p> <p>1b = デバイスのリセット発生</p>
4	SPI_ERR	R/W	0b	<p>SPI 通信の CRC エラー。</p> <p>このビットは、SPI の CRC エラーを示します。セットされると、STATUS レジスタでのエラーのクリア (1b を書き込むとエラーがクリアされます) を除いて、レジスタ書き込み動作がブロックされます。レジスタ読み取り動作は引き続き機能します。SPI の CRC エラー検出は、CONFIG4 レジスタの SPI_CRC ビットによってイネーブルされます。</p> <p>0b = SPI の CRC エラーなし</p> <p>1b = SPI の CRC エラー</p>
3	CRC_ERR	R	0b	<p>メモリのグローバル CRC エラー。</p> <p>このビットは、メイン メモリ、FIR 係数、IIR 係数の CRC エラーの論理和です。関連する CRC レジスタに書き込まれた値が ADC の計算と一致しない場合、STATUS2 レジスタの I_CRC_ERR、F_CRC_ERR、M_CRC_ERR ビットに個別のエラー ビットがセットされます。それぞれの CRC エラーがクリアされると、これらのフラグは自動的にクリアされます。メモリの CRC エラー チェックをイネーブルするには、CONFIG3 レジスタの REG_CRC ビットをセットします。</p> <p>0b = メモリのグローバル CRC エラーなし</p> <p>1b = メモリのグローバル CRC エラー</p>
2	ADC_ERR	R	xb	<p>内部 ADC エラー。ADC_ERR は内部エラーを示します。電力サイクルを実行するか、デバイスをリセットします。</p> <p>0b = ADC エラーなし</p> <p>1b = ADC エラー</p>
1	MOD_FLAG	R	xb	<p>変調器の飽和フラグ。このビットは、変換サイクル中に変調器の飽和が発生したことを示します。このフラグは、変換サイクルの終了時に有効になります。</p> <p>0b = 変調器の飽和なし</p> <p>1b = 変換サイクル中に変調器の飽和発生</p>
0	DRDY	R	xb	<p>データ準備完了ビット。</p> <p>このビットは、新しい変換データの準備が完了したことを示します。このビットは、$\overline{\text{DRDY}}$ ピンの反転です。このビットを $\overline{\text{DRDY}}$ ピンの代わりにポーリングして、変換データが新しいものか、最後の読み取り動作からの繰り返しデータかを判定します。ワンショット制御モードでは、新しい変換が開始されるまで、このビットは 1b のままです。</p> <p>0b = データは新しいものではない</p> <p>1b = データは新しい</p>

STATUS2 レジスタ (アドレス = 03h) [リセット = 00h]

「レジスタ マップの概要」に戻ります。

図 8-4. STATUS2 レジスタ

7	6	5	4	3	2	1	0
予約済み					I_CRC_ERR	F_CRC_ERR	M_CRC_ERR
R-00000b					R-0b	R-0b	R/W-0b

表 8-6. STATUS2 レジスタのフィールドの説明

ビット	フィールド	タイプ	リセット	説明
7:3	予約済み	R	00000b	予約済み
2	I_CRC_ERR	R	0b	IIR 係数メモリの CRC エラー。 IIR メモリの CRC レジスタ (レジスタ アドレス 17h) に書き込まれた値が内部計算と一致しない場合、このビットと、STATUS1 レジスタのグローバル CRC_ERR ビットに、エラーがフラグされます。IIR_CRC レジスタの値を訂正し、レジスタの CRC チェック (CONFIG3 レジスタの REG_CRC ビット) をディセーブルしてから再度イネーブルして、エラーをクリアします。REG_CRC ビット (CONFIG3 レジスタ) をセットして、IIR メモリのエラーチェックをイネーブルします。 0b = IIR 係数メモリの CRC エラーなし 1b = IIR 係数メモリの CRC エラー
1	F_CRC_ERR	R	0b	FIR 係数メモリの CRC エラー。 FIR メモリの CRC レジスタ (レジスタ アドレス 14h と 15h) に書き込まれた値が内部計算と一致しない場合、このビットと、STATUS1 レジスタのグローバル CRC_ERR ビットに、エラーがフラグされます。FIR_CRC レジスタの値を訂正し、レジスタの CRC チェック (CONFIG3 レジスタの REG_CRC ビット) をディセーブルしてから再度イネーブルして、エラーをクリアします。REG_CRC ビット (CONFIG3 レジスタ) をセットして、レジスタ バンクのエラー チェックをイネーブルします。 0b = FIR 係数メモリの CRC エラーなし 1b = FIR 係数メモリの CRC エラー
0	M_CRC_ERR	R/W	0b	メイン メモリの CRC エラー。 メイン レジスタ メモリの CRC レジスタ (レジスタ アドレス 12h) に書き込まれた値が内部計算と一致しない場合、このビットと、STATUS1 レジスタのグローバル CRC_ERR ビットに、エラーがフラグされます。MAIN_CRC レジスタの値を訂正してから、このビットに 1b を書き込んで、エラーをクリアします。REG_CRC ビット (CONFIG3 レジスタ) をセットして、レジスタ バンクのエラー チェックをイネーブルします。 0b = メイン メモリの CRC エラーなし 1b = メイン メモリの CRC エラー

CONTROL レジスタ (アドレス = 04h) [リセット = 00h]

「レジスタ マップの概要」に戻ります。

図 8-5. CONTROL レジスタ

7	6	5	4	3	2	1	0
RESET[5:0]						START	ストップ
W-000000b						W-0b	W-0b

表 8-7. CONTROL レジスタのフィールドの説明

ビット	フィールド	タイプ	リセット	説明
7:2	RESET[5:0]	W	000000b	<p>デバイスリセット。</p> <p>ADC をリセットするには 010110b を書き込みます。ADC をリセットするには、1 回の書き込み動作で、隣接する START ビットと STOP ビットの両方を 00b にセットする必要があります。これらのビットの読み取り値は常に 000000b です。</p>
1	START	W	0b	<p>変換の開始。</p> <p>1b を書き込むと、変換が開始または再開されます。ワンショット制御モードでは、1 回の変換が開始されます。スタート / ストップ制御モードでは、変換が開始され、STOP ビットによって停止されるまで続行されます。変換の実効中に 1b を START ビットに書き込むと、変換が再開されます。同期制御モードでは、このビットは無効です。START ビットと STOP ビットの両方に 1b を書き込んでも、何も起きません。START ビットはセルフ クリアで、読み取り値は常に 0b です。</p> <p>0b = 動作なし 1b = 変換を開始または再開</p>
0	STOP	W	0b	<p>変換を停止します。</p> <p>このビットは、現在の変換が完了した後で変換を停止します。同期制御モードでは、このビットは無効です。START と STOP の両方に 1b を書き込んでも、何も起きません。STOP はセルフ クリアで、読み取り値は常に 0b です。</p> <p>0b = 動作なし 1b = 現在の変換完了後に変換を停止</p>

MUX レジスタ (アドレス = 05h) [リセット = 00h]

[「レジスタ マップの概要」](#)に戻ります。

図 8-6. MUX レジスタ

7	6	5	4	3	2	1	0
予約済み						MUX[1:0]	
R-000000b						R/W-00b	

表 8-8. MUX レジスタ フィールドの説明

ビット	フィールド	タイプ	リセット	説明
7:2	予約済み	R	000000b	予約済み
1:0	MUX[1:0]	R/W	00b	<p>入力マルチプレクサの選択。</p> <p>これらのビットはアナログ入力の極性を選択し、テスト モードを選択します。詳細については、「アナログ入力」セクションを参照してください。</p> <p>00b=通常入力の極性</p> <p>01b=反転入力の極性</p> <p>10b=オフセットとノイズのテスト:AINP と AINN が切断され、ADC 入力が内部的に (AVDD1 + AVSS) / 2 と短絡した状態</p> <p>11b=同相テスト:ADC 入力が内部で短絡し、AINP に接続された状態</p>

CONFIG1 レジスタ (アドレス = 06h) [リセット = 00h]

「レジスタ マップの概要」に戻ります。

図 8-7. CONFIG1 レジスタ

7	6	5	4	3	2	1	0
データ	EXT_RNG	REF_RNG	INP_RNG	VCM	REFP_BUF	AINP_BUF	AINN_BUF
R/W-0b	R/W-0b	R/W-0b	R/W-0b	R/W-0b	R/W-0b	R/W-0b	R/W-0b

表 8-9. CONFIG1 レジスタのフィールドの説明

ビット	フィールド	タイプ	リセット	説明
7	データ	R/W	0b	データの分解能の選択。 このビットは、出力データの分解能を選択します。 0b = 24 ビット分解能 1b = 16 ビット分解能
6	EXT_RNG	R/W	0b	拡張入力範囲の選択。 このビットは、入力範囲を 25% 拡張します。詳細については、「 入力レンジ 」セクションを参照してください。 0b = 標準入力範囲 1b = 25% 拡張入力範囲
5	REF_RNG	R/W	0b	電圧リファレンス範囲の選択。 このビットをプログラムして、印加されるリファレンス電圧と一致するように、Low または High のリファレンス電圧の範囲を選択します。リファレンス電圧の範囲については、「 推奨動作条件 」表を参照してください。High のリファレンス電圧範囲を選択すると、INP_RNG ビットは内部で 1x の入力範囲にオーバーライドされます。 0b = Low のリファレンス電圧範囲 1b = High のリファレンス電圧範囲
4	INP_RNG	R/W	0b	入力範囲の選択。 このビットは、1x または 2x の入力範囲を選択します。詳細については、「 入力レンジ 」セクションを参照してください。 0b = 1x の入力範囲 1b = 2x の入力範囲
3	VCM	R/W	0b	VCM 出力イネーブル。 このビットは、VCM 出力電圧ピンをイネーブルします。VCM の電圧は $(AVDD1 + AVSS) / 2$ です。 0b = ディセーブル 1b = イネーブル
2	REFP_BUF	R/W	0b	リファレンスの正のバッファ イネーブル。 このビットは、REFP リファレンス入力プリチャージ バッファをイネーブルします。 0b = ディセーブル 1b = イネーブル
1	AINP_BUF	R/W	0b	アナログ入力の正のバッファ イネーブル。 このビットは、AINP アナログ入力プリチャージ バッファをイネーブルします。 0b = ディセーブル 1b = イネーブル

表 8-9. CONFIG1 レジスタのフィールドの説明 (続き)

ビット	フィールド	タイプ	リセット	説明
0	AINN_BUF	R/W	0b	アナログ入力の負のバッファ イネーブル。 このビットは、AINN アナログ入力プリチャージ バッファをイネーブルします。 0b = ディセーブル 1b = イネーブル

CONFIG2 レジスタ (アドレス = 07h) [リセット = 08h]

「レジスタ マップの概要」に戻ります。

図 8-8. CONFIG2 レジスタ

7	6	5	4	3	2	1	0
予約済み		START_MODE[1:0]		SPEED_MODE[1:0]		STBY_MODE	PWDN
R-0b		R/W-00b		R/W-10b		R/W-0b	R/W-0b

表 8-10. CONFIG2 レジスタのフィールドの説明

ビット	フィールド	タイプ	リセット	説明
7:6	予約済み	R	00b	予約済み
5:4	START_MODE[1:0]	R/W	00b	START モードの選択。 これらのビットは、START ピンのモードをプログラムします。詳細については、「同期」セクションを参照してください。 00b = スタート / ストップ制御モード 01b = ワンショット制御モード 10b = 同期制御モード 11b = 予約済み
3:2	SPEED_MODE[1:0]	R/W	10b	速度モードの選択。 これらのビットは、デバイスの速度モードをプログラムします。記載されている ADC クロック周波数はモードに対応します。 00b = 低速度モード ($f_{CLK} = 3.2\text{MHz}$) 01b = 中速度モード ($f_{CLK} = 12.8\text{MHz}$) 10b = 高速度モード ($f_{CLK} = 25.6\text{MHz}$) 11b = 最高速度モード ($f_{CLK} = 32.768\text{MHz}$ 、外部のみ)
1	STBY_MODE	R/W	0b	スタンバイ モードの選択。 このビットは、変換が停止したとき自動的にスタンバイ モードをイネーブルします。 0b = アイドル モード。変換が停止しても ADC は完全に電力を供給され続けます。 1b = スタンバイ モード。変換が停止すると ADC はパワー ダウンします。変換が再開されると、スタンバイ モードを終了します。
0	PWDN	R/W	0b	パワーダウン モードの選択。 このビットは、ADC の電源をオフにします。SPI の動作と、ユーザー レジスタの設定を保持するためのデジタル LDO を除いて、すべての機能がパワー ダウンされます。 0b = 通常動作 1b = パワーダウン モード

CONFIG3 レジスタ (アドレス = 08h) [リセット = 00h]

「レジスタ マップの概要」に戻ります。

図 8-9. CONFIG3 レジスタ

7	6	5	4	3	2	1	0
CLK_SEL	CLK_DIV[1:0]	OUT_DRV	予約済み	SPI_CRC	REG_CRC	STATUS	
R/W-0b	R/W-00b	R/W-0b	R-0b	R/W-0b	R/W-0b	R/W-0b	R/W-0b

表 8-11. CONFIG3 レジスタのフィールドの説明

ビット	フィールド	タイプ	リセット	説明
7	CLK_SEL	R/W	0b	クロックの選択。 内部または外部クロックによる動作を選択します。 0b = 内部発振器で動作 1b = 外部クロックで動作
6:5	CLK_DIV[1:0]	R/W	00b	クロック分周器の選択。 内部または外部クロックのクロック分周係数を選択します。2 分周および 16 分周クロック分周係数を選択すると、中速度モードの低レイテンシフィルタの OSR 値が、他のすべての速度モードにも強制的に適用されます。速度モードの OSR 値の一覧については、 FILTER1 レジスタを参照してください。 00b = $f_{CLK} / 1$ 01b = $f_{CLK} / 2$ 10b = $f_{CLK} / 8$ 11b = $f_{CLK} / 16$
4	OUT_DRV	R/W	0b	デジタル出力ドライブの選択。 デジタル出力の駆動強度を選択します。 0b = 最大強度で駆動 1b = 半強度で駆動
3	予約済み	R	0b	予約済み
2	SPI_CRC	R/W	0b	SPI CRC イネーブル。 このビットは、SPI CRC エラー検出をイネーブルします。イネーブルすると、デバイスは CRC 入力バイトを検証し、出力データに CRC バイトを追加します。入力 SPI CRC エラーが検出されると、STATUS バイトの SPI_ERR ビットがセットされます。エラーをクリアするには、SPI_ERR ビットに 1b を書き込みます。 0b = ディセーブル 1b = イネーブル
1	REG_CRC	R/W	0b	メモリ CRC イネーブル。 このビットは、メイン、IIR 係数、FIR 係数のメモリ CRC エラーチェックをイネーブルします。関連する CRC 値レジスタに書き込まれた値が ADC の計算と一致しない場合、STATUS2 レジスタの I_CRC_ERR、F_CRC_ERR、M_CRC_ERR の各エラー ビットにそれぞれのエラーが報告されます。CRC エラー ビットのいずれかがセットされている場合、STATUS1 レジスタのグローバル CRC エラー ビット (CRC_ERR) がセットされます。CRC 値を修正してから REG_CRC ビットをトグルすると、I_CRC_ERR フラグと F_CRC_ERR フラグがクリアされます。 0b = ディセーブル 1b = イネーブル

表 8-11. CONFIG3 レジスタのフィールドの説明 (続き)

ビット	フィールド	タイプ	リセット	説明
0	STATUS	R/W	0b	STATUS1 バイトの出力イネーブル。 このビットをプログラムすると、変換データの先頭に STATUS1 レジスタのデータが付加されます。STATUS1 レジスタのデータは、レジスタの読み取り時にも、レジスタ データの出力の先頭に付加されます。 0b = ディセーブル 1b = イネーブル

FILTER1 レジスタ (アドレス = 09h) [リセット = 00h]

「レジスタ マップの概要」に戻ります。

図 8-10. FILTER1 レジスタ

7	6	5	4	3	2	1	0
FLTR_SEL[2:0]			FLTR_OSR[4:0]				
R/W-000b			R/W-00000b				

表 8-12. FILTER1 レジスタのフィールドの説明

ビット	フィールド	タイプ	リセット	説明
7:5	FLTR_SEL[2:0]	R/W	000b	デジタルフィルタの選択。 これらのビットの機能は、FLTR_OSR[4:0] ビットで広帯域と sinc のどちらのフィルタ モードを選択しているかによって異なります。 FLTR_OSR[4:0] で広帯域フィルタを選択した場合、これらのビットによってプリセットまたはプログラム可能な FIR フィルタ係数が選択されます。 000b = プリセットの FIR フィルタ係数 001b～110b = 予約済み 111b = プログラム可能な FIR フィルタ係数 FLTR_OSR[4:0] で sinc フィルタを選択した場合、最初の段のフィルタに sinc3 と sinc4 のどちらを使用するか、このビットで選択します。 000b = 最初の段のフィルタは sinc4 001b = 最初の段のフィルタは sinc3 010b～111b = 予約済み

表 8-12. FILTER1 レジスタのフィールドの説明 (続き)

ビット	フィールド	タイプ	リセット	説明
4:0	FLTR_OSR[4:0]	R/W	00000b	<p>デジタルフィルタモードとオーバーサンプリング比の選択。</p> <p>これらのビットは、オーバーサンプリング比とフィルタモード (広帯域または sinc) を選択します。sinc フィルタモードの場合、sincx = sinc3 または sinc4 フィルタを、FLTR_SEL[2:0] で選択します。FIR2 と FIR3 のどちらかがディセーブルのとき、広帯域フィルタ OSR の値は 2 減少し、FIR2 と FIR3 の両方がディセーブルのときは 4 減少します。出力データレートは f_{MOD} / OSR と同じです。</p> <p>00000b = 広帯域、OSR = 32 00001b = 広帯域、OSR = 64 00010b = 広帯域、OSR = 128 00011b = 広帯域、OSR = 256 00100b = 広帯域、OSR = 512 00101b = 広帯域、OSR = 1024 00110b = 広帯域、OSR = 2048 00111b = 広帯域、OSR = 4096 01000b = Sincx、OSR = 12 01001b = Sincx、OSR = 16 01010b = Sincx、OSR = 24 01011b = Sincx、OSR = 32 01100b = Sincx、OSR = 64 01101b = Sincx、OSR = 128 01110b = Sincx、OSR = 256 (167 中速度モード) 01111b = Sincx、OSR = 333 (256 中速度モード) 10000b = Sincx、OSR = 512 (333 中速度モード) 10001b = Sincx、OSR = 667 (512 中速度モード) 10010b = Sincx、OSR = 1024 (667 中速度モード) 10011b = Sincx、OSR = 1333 (1024 中速度モード) 10100b = Sincx、OSR = 2048 (1333 中速度モード) 10101b = Sincx、OSR = 2667 (2048 中速度モード) 10110b = Sincx、OSR = 4096 (2667 中速度モード) 10111b = Sincx、OSR = 5333 (4096 中速度モード) 11000b = Sincx、OSR = 26667 (13333 中速度モード) 11001b = Sincx、OSR = 32000 (16000 中速度モード) 11010b = Sincx、OSR = 96000 (48000 中速度モード) 11011b = Sincx、OSR = 160000 (80000 中速度モード) 11100b = Sincx + sinc1、OSR = 26656 (13334 中速度モード) 11101b = Sincx + sinc1、OSR = 32000 (16000 中速度モード) 11110b = Sincx + sinc1、OSR = 96000 (48000 中速度モード) 11111b = Sincx + sinc1、OSR = 160000 (80000 中速度モード)</p>

FILTER2 レジスタ (アドレス = 0Ah) [リセット = 01h]

[「レジスタ マップの概要」](#)に戻ります。

図 8-11. FILTER2 レジスタ

7	6	5	4	3	2	1	0
予約済み	DELAY[2:0]		FLTR_SEQ	FIR2_DIS	FIR3_DIS	IIR_DIS	
R/W-0b	R/W-000b		R/W-0b	R/W-0b	R/W-0b	R/W-0b	R/W-1b

表 8-13. FILTER2 レジスタのフィールドの説明

ビット	フィールド	タイプ	リセット	説明
7	予約済み	R	0b	予約済み
6:4	DELAY[2:0]	R/W	000b	変換開始の遅延時間の選択。 これらのビットは、START ピンが High になるか、START ビットに書き込みが行われてから、最初の変換の開始までの遅延時間をプログラムします ($f_{MOD} = f_{CLK} / 2$)。 000b = 0 001b = 4 / f_{MOD} 010b = 8 / f_{MOD} 011b = 16 / f_{MOD} 100b = 32 / f_{MOD} 101b = 128 / f_{MOD} 110b = 512 / f_{MOD} 111b = 1024 / f_{MOD}
3	FLTR_SEQ	R/W	0b	広帯域フィルタの計算シーケンス。 このビットは、IIR および FIR3 広帯域フィルタ セクションの計算シーケンスをプログラムします。 0b = FIR3 の次に IIR 1b = IIR の次に FIR3
2	FIR2_DIS	R/W	0b	広帯域フィルタ、FIR2 セクションのディセーブル。 このビットは、広帯域フィルタの FIR2 セクションをディセーブルします。 0b = イネーブル 1b = ディセーブル
1	FIR3_DIS	R/W	0b	広帯域フィルタ、FIR3 セクションのディセーブル。 このビットは、広帯域フィルタの FIR3 セクションをディセーブルします。 0b = イネーブル 1b = ディセーブル
0	IIR_DIS	R/W	1b	広帯域フィルタ、IIR セクションのディセーブル。 このビットは、広帯域フィルタの IIR セクションをディセーブルします。 0b = イネーブル 1b = ディセーブル

FILTER3 レジスタ (アドレス = 0Bh) [リセット = 01h]

[「レジスタ マップの概要」](#)に戻ります。

図 8-12. FILTER3 レジスタ

7	6	5	4	3	2	1	0
予約済み						DATA_MODE[1:0]	
R-000000b						R/W-01b	

表 8-14. FILTER3 レジスタのフィールドの説明

ビット	フィールド	タイプ	リセット	説明
7:2	Reserved[5:0]	R	000000b	予約済み
1:0	DATA_MODE[1:0]	R/W	01b	データ出力ピンの機能選択。 これらのビットは、SDO/DRDY ピンの機能をプログラムします。SPI のディ ジー チェーン接続には、データ出力のみのモードを使用します。 00b = SDO/DRDY ピンはデータ出力専用モード 01b = SDO/DRDY はデュアル モード: データ出力およびデータ準備完 了 10b = モード 01b と同じだが、CS が High のとき SDO/DRDY がアクティ ブになる 11b = 予約済み

OFFSET2、OFFSET1、OFFSET0 レジスタ (アドレス = 0Ch、0Dh、0Eh) [リセット = 00h、00h、00h]

[「レジスタ マップの概要」](#)に戻ります。

図 8-13. OFFSET2、OFFSET1、OFFSET0 レジスタ

7	6	5	4	3	2	1	0
OFFSET[23:16]							
R/W-00000000b							
7	6	5	4	3	2	1	0
OFFSET[15:8]							
R/W-00000000b							
7	6	5	4	3	2	1	0
OFFSET[7:0]							
R/W-00000000b							

表 8-15. OFFSET レジスタのフィールドの説明

ビット	フィールド	タイプ	リセット	説明
23:0	OFFSET[23:0]	R/W	000000h	ユーザー オフセットの較正值。 3 つのレジスタにより、24 ビットのオフセット較正ワードを形成します。 OFFSET[23:0] は 2 の補数表現で、変換結果から減算されます。オフセ ット演算は、ゲイン演算よりも先に行われます。

GAIN2、GAIN1、GAIN0 レジスタ (アドレス = 0Fh、10h、11h) [リセット = 40h、00h、00h]

[「レジスタ マップの概要」](#)に戻ります。

図 8-14. GAIN2、GAIN1、GAIN0 レジスタ

7	6	5	4	3	2	1	0
GAIN[23:16]							
R/W-01000000b							
7	6	5	4	3	2	1	0
GAIN[15:8]							
R/W-00000000b							
7	6	5	4	3	2	1	0
GAIN[7:0]							
R/W-00000000b							

表 8-16. GAIN レジスタのフィールドの説明

ビット	フィールド	タイプ	リセット	説明
23:0	GAIN[23:0]	R/W	400000h	ユーザー ゲインの較正值。 3 つのレジスタにより、24 ビットのゲイン較正ワードを形成します。 GAIN[23:0] はストレート バイナリ表現で、ゲイン = 1 について 400000h に正規化されています。オフセット動作の後、変換データに GAIN[23:0] / 400000h を掛けます。

MAIN_CRC レジスタ (アドレス = 12h) [リセット = 00h]

[「レジスタ マップの概要」](#)に戻ります。

図 8-15. MAIN_CRC レジスタ

7	6	5	4	3	2	1	0
MAIN_CRC[7:0]							
R/W-00000000b							

表 8-17. MAIN_CRC レジスタのフィールドの説明

ビット	フィールド	タイプ	リセット	説明
7:0	MAIN_CRC[7:0]	R/W	00h	メイン メモリの CRC 値。 メイン メモリの CRC は、レジスタ 0h と 1h で計算されてから、レジスタ 2h、3h、4h をスキップして、レジスタ 5h～11h が続けて計算されます。計算された CRC 値をこのレジスタに書き込みます。値が内部計算と一致しない場合、STATUS2 レジスタの M_REG_ERR ビットがセットされます。STATUS1 レジスタのグローバル CRC_ERR ビットもセットされます。3 種類のメモリ バンクのすべてで CRC をイネーブルするには、CONFIG3 レジスタの REG_CRC ビットをセットします。

FIR_BANK レジスタ (アドレス = 13h) [リセット = xxh]

[「レジスタ マップの概要」](#)に戻ります。

図 8-16. FIR_BANK レジスタ

7	6	5	4	3	2	1	0
FIR_BANK[7:0]							
R/W-xxh							

表 8-18. FIR_BANK レジスタのフィールドの説明

ビット	フィールド	タイプ	リセット	説明
7:0	FIR_BANK[7:0]	R/W	xxh	FIR プログラム可能フィルタ係数レジスタのメモリ バンク。 このレジスタは、プログラム可能な FIR フィルタ メモリの 128 の係数を格納する単一のアドレス空間です。同じレジスタ アドレスに連続で読み取りや書き込みの操作を行うとき、内部ポインタは次のメモリ位置までインクリメントします。読み取りや書き込みの操作で、アドレスが別のレジスタに変更されると、内部ポインタは最初のメモリ空間にリセットされます。プログラム可能な係数のリセット値は未定義です。FIR 係数のバイト シーケンスについては、「 FIR3 フィルタ段 」セクションを参照してください。

FIR_CRC1、FIR_CRC0 レジスタ (アドレス = 14h、15h) [リセット = xxh、xxh]

[「レジスタ マップの概要」](#)に戻ります。

図 8-17. FIR_CRC1、FIR_CRC0 レジスタ

7	6	5	4	3	2	1	0
FIR_CRC1[15:8]							
R/W-xxh							
7	6	5	4	3	2	1	0
FIR_CRC0[7:0]							
R/W-xxh							

表 8-19. FIR_CRC1、FIR_CRC0 レジスタのフィールドの説明

ビット	フィールド	タイプ	リセット	説明
23:0	FIR_CRC[23:0]	R/W	xxxxh	プログラム可能な FIR フィルタ係数の CRC 値。 プログラム可能な FIR フィルタ係数の CRC は、128 の 32 ビット FIR フィルタ係数についてユーザーが計算した値です。FIR 係数の CRC には 16 ビットの多項式が使用されます ($x^{16} + x^{15} + x^2 + 1$)。FIR_CRC1 はハイ バイト値です。書き込まれた値が内部計算と一致しない場合、STATUS2 レジスタの F_REG_ERR ビットがセットされます。STATUS1 レジスタのグローバル CRC_ERR ビットもセットされます。3 種類のメモリ バンクのすべてで CRC をイネーブルするには、CONFIG3 レジスタの REG_CRC ビットをセットします。詳細については、該当セクション FIR フィルタ係数の CRC を参照してください。

IIR_BANK レジスタ (アドレス = 16h) [リセット = xxh]

[「レジスタ マップの概要」](#)に戻ります。

図 8-18. IIR_BANK レジスタ

7	6	5	4	3	2	1	0
IIR_BANK[7:0]							
R/W-xxh							

表 8-20. IIR_BANK レジスタのフィールドの説明

ビット	フィールド	タイプ	リセット	説明
7:0	IIR_BANK[7:0]	R/W	xxh	プログラム可能な IIR フィルタの係数レジスタ バンク。 このレジスタは、IIR フィルタのプログラム可能な係数を格納する単一のアドレス空間です。このレジスタに連続して読み取り / 書き込み操作を行うと、内部ポインタは次のメモリ バイト位置までインクリメントされます。IIR フィルタ係数のバイト シーケンスについては、 表 7-8 を参照してください。読み取りまたは書き込みの操作中に、アドレスが別のレジスタに変更されると、動作は最初の IIR 係数のメモリ位置にリセットされます。

IIR_CRC レジスタ (アドレス = 17h) [リセット = xxh]

[「レジスタ マップの概要」](#)に戻ります。

図 8-19. IIR_CRC レジスタ

7	6	5	4	3	2	1	0
IIR_CRC[7:0]							
R/W-xxh							

表 8-21. IIR_CRC レジスタのフィールドの説明

ビット	フィールド	タイプ	リセット	説明
7:0	IIR_CRC[7:0]	R/W	xxh	IIR フィルタの係数メモリの CRC 値。 IIR フィルタ係数のメモリ CRC は、IIR フィルタ メモリ全体についてユーザーが計算した値です。書き込まれた値が内部計算と一致しない場合、STATUS2 レジスタの I_REG_ERR ビットがセットされます。STATUS1 レジスタのグローバル CRC_ERR ビットもセットされます。3 種類のメモリ バンクのすべてで CRC をイネーブルするには、CONFIG3 レジスタの REG_CRC ビットをセットします。詳細については、該当セクション IIR フィルタ係数の CRC を参照してください。

9 アプリケーションと実装

注

以下のアプリケーション情報は、テキサス・インスツルメンツの製品仕様に含まれるものではなく、テキサス・インスツルメンツではその正確性または完全性を保証いたしません。個々の目的に対する製品の適合性については、お客様の責任で判断していただくことになります。また、お客様は自身の設計実装を検証しテストすることで、システムの機能を確認する必要があります。

9.1 アプリケーション情報

ADS127L21 で高い性能を実現するには、入力ドライバ、アンチエイリアス・フィルタ、リファレンス電圧、SPI クロック処理、PCB レイアウトの要件を十分に理解する必要があります。設計のガイドラインについては、以下のセクションを参照してください。

9.1.1 SPI 動作

ADC は、SPI のクロックを柔軟に設定でき、IOVDD の広い電圧範囲を使用できますが、データシートの性能を完全に実現するには、以下のガイドラインが役立ちます。

1. 可能なら、CLK 信号と位相が一貫する (すなわち、比が 2:1、1:1、1:2、1:4 などである) SCLK 信号を使用します
2. SCLK と CLK との間の位相スキューを最小化します (< 5ns)
3. IOVDD を可能な限り低い電圧で動作させ、デジタル ノイズの結合を低減します
4. IOVDD $\geq 3.3V$ なら、変換期間全体にわたって SCLK を連続的に動作させ、ノイズ結合の影響を変換期間全体に分散することを検討します
5. SDO/DRDY の配線容量を $\leq 20pF$ に抑え、デジタル コード遷移に関連するピーク電流を制限します

ADC は、SCLK の立ち上がりエッジでデータを更新し、SCLK の立ち下がりエッジでデータをラッチします。SCLK 信号周波数の実用的な制限値は、3.3V の IOVDD 電源を使用した場合、22MHz です。この制限では、SCLK の立ち上がりエッジでのアサート後のデータ伝搬遅延時間を考慮しています。SDO/DRDY 信号パスに他の遅延がないと仮定して、 $f_{DATA} = 512kSPS$ 、40 ビット ペイロードで 24 ビット データを読み取ることができます。

ただし、FIR1 フィルタ出力モードでは、供給されるデータは最大 2.048MSPS で、24 ビットのデータを読み取るには 49.152MHz の SCLK 信号が必要です。SCLK = 49.152MHz でデータを読み取るには、データ更新と同じ立ち上がりエッジでデータをラッチするため、非標準の SPI クロックが必要です。ADC データのホールド時間仕様は、新しいデータに更新する前に、古いデータを一時的に保持します。外部コントローラへの離散バッファを追加して、SDO/DRDY 信号を遅延させると、ホールド時間を延ばすことができます。

9.1.2 入力ドライバ

ADC にはプリチャージ バッファが内蔵されており、アナログ入力ドライバのセトリングと帯域幅要件を低減できます。10MHz 以下の帯域幅のドライバを使用する場合は、入力プリチャージ バッファをイネーブルします。また、ドライバと ADC 入力に間に長い距離がある場合 (ケーブル接続など) は、バッファも有効にします。より高いゲイン帯域幅のドライバを使用する場合は、プリチャージ バッファを無効にして、消費電力を低減します。いずれの場合も、入力プリチャージ バッファがアクティブな状態で、THD および SNR のデータシート性能をフル定格で実現します。低速度モードでは変調器が低速で動作するため、ドライバは変調器のサンプリング間隔の合間において、より長い時間をかけてセトリングできます。低速度モードでの動作では、プリチャージ バッファをディセーブルした状態で低帯域幅入力ドライバを使用できます。

9.1.3 アンチエイリアス フィルタ

変調器のサンプリング レート ($f_{MOD} = f_{CLK} / 2$) に近い周波数の入力信号が発生すると、パス バンドにフォールドバック (またはエイリアス) され、データ エラーを引き起こします。エイリアスされている場合、周波数誤差は後処理で除去できません。ADC 入力にあるアナログ アンチエイリアス フィルタは、ADC によってエイリアスされる前に、入力信号から帯域外周波数を除去します。必要なアンチエイリアス フィルタの次数は、選択した OSR と f_{MOD} での信号減衰の目標値によって決まります。OSR の値が大きいと、目的の減衰を実現するために、フィルタの f_{DATA} ナイキスト周波数と f_{MOD} との間の

周波数範囲が広がります。たとえば、 $OSR = 128$ なら、 f_{DATA} と f_{MOD} との差は 20 倍以上です。コーナー周波数 = f_{DATA} 、3 次、60dB/dec のフィルタにより、 f_{MOD} で 120dB のエイリアス除去が実現されます。

9.1.4 基準電圧

ADC がデータシートの性能を実現するには、サンプリングされたリファレンス入力を充電するため、低ノイズで駆動強度の優れたリファレンス電圧が必要です。変調器は、(スタンバイ モードとパワーダウン モードを除いて) 変換が実行中かどうかにかかわらず、リファレンス電圧を連続的にサンプリングするため、リファレンス負荷は一定です。したがって、リファレンス電圧のセトリングが不十分な場合、システムのゲイン誤差として現れます。ゲイン誤差は、ユーザー較正を実行することにより解消されます。リファレンス出力に 22 μ F のデカップリング コンデンサを接続し、リファレンス入力ピンの両端に直接 1 μ F と 0.1 μ F のコンデンサを接続すると、リファレンス キックバック電圧をフィルタリングできます。この電圧は、コンデンサのサンプリングによって発生します。ADC にはオプションのリファレンス プリチャージ バッファが組み込まれており、キックバック電圧とゲイン誤差を大幅に低減できます。

9.1.5 同時サンプリング・システム

マルチチャネル・システムで ADC を使用するときは、同じ設計の原則が適用されるほか、クロックの配線、同期、共有のリファレンス電圧、SPI クロック供給について追加の検討事項があります。『同時サンプリング・システムの ADS127L11』アプリケーション・ブリーフには、類似の ADC (ADS127L11) についての解説があり、同時サンプリング・システムでの使用法の詳細が示されています。

9.2 代表的なアプリケーション

9.2.1 A 重み付けフィルタの設計

マイクروفोन信号から A 重み付け周波数補償を行う ADS127L21 IIR フィルタを、図 9-1 に示します。A 重み付けは、知覚される音圧レベル (SPL) に対する人間の耳の周波数依存感度を考慮して、元の入力周波数スペクトルを形成します。このため、労働安全衛生規格では、A 重み付け補償された計測装置を使用して、騒音の大きい環境での SPL 暴露制限を規定しています。A 重み付け補償の曲線を、図 9-2 に示します。

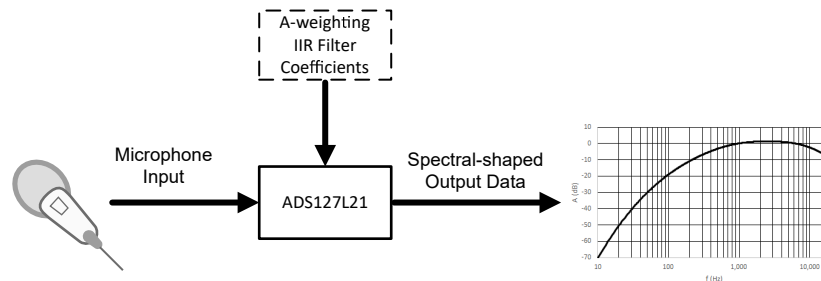


図 9-1. ADS127L21 A 重み付け補償

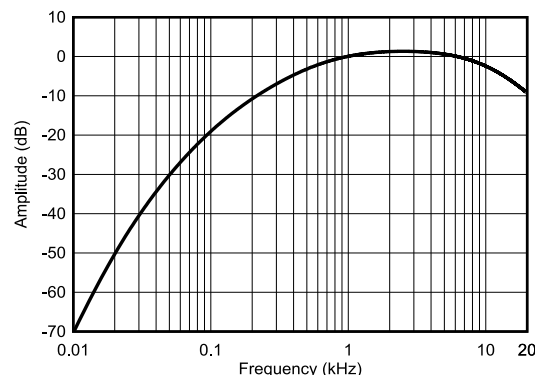


図 9-2. A 重み付けの周波数応答

A 重み付け補償は、ANSI S1.43 および IEC 616672-1 で連続時間領域の極によって規定されています。連続時間の極を、デジタル フィルタ設計で Z 領域の極として直接使用することはできません。このアプリケーションは、ADS127L21 の IIR デジタル フィルタで使用するために、連続時間の極から Z 領域の極への変換ステップを要約します。

9.2.1.1 設計要件

ANSI の A 重み付け規格では、アプリケーションの要件に応じて 3 つの精度クラスが規定されています。マイクロフォンの入射角が $\pm 22.5^\circ$ のとき、計測クラスの精度レベルを、表 9-1 に示します。これによって、この設計ではフィルタの追従誤差を 0.3dB 未満に抑えることができます。

表 9-1. ANSI の A 重み付け計測クラスの精度 (マイクロフォンの入射角 $\pm 22.5^\circ$)

周波数範囲 (Hz)	タイプ 0 (dB)	タイプ 1 (dB)	タイプ 2 (dB)
31.5~2000	± 0.5	± 1	± 2
2000~4000	± 1	+1.5, -1	± 2.5
4000~5000	± 1	+2, -1.5	± 3
5000~6300	± 1.5	+2.5, -2	± 3.5
6300~8000	± 2	+3, -2.5	± 4.5
8000~10000	± 2	+3.5, -3.5	指定なし
10000~12500	± 3	+4, -6.5	指定なし

表 9-2 に示すように、IIR フィルタ設計の目標誤差は、10Hz~20kHz の帯域幅にわたって ± 0.3 dB 未満です。50kSPS のサンプル レートで 20.6kHz、-0.1dB の帯域幅をサポートし、20kHz のオーディオ帯域全体にわたって準拠を維持できるよう選択されています。

表 9-2. 設計要件

パラメータ	値
周波数範囲	10Hz~20kHz
補償精度	$< \pm 0.3$ dB
サンプル レート	50kHz

9.2.1.2 詳細な設計手順

双一次変換では、連続時間関数 $H_A(s)$ を離散時間関数 $H_A(z)$ に変換します。分析の観点からは、双一次変換では z の関数を $H_A(s)$ の s に代入して $H_A(z)$ を生成します。

ANSI 規格の A 重み付け伝達関数を 式 23 に示します。分母の極周波数は Hz 単位です。

$$H_A(f) = 20 \times \text{Log} \left[\frac{12194^2 \times f^4}{(f^2 + 20.6^2) \times \sqrt{(f^2 + 107.7^2) \times (f^2 + 737.9^2) \times (f^2 + 12194^2)}} \right] + 2 \quad (23)$$

周波数の項に 2π を乗算して角周波数に変換した、式 23 の S 平面への変換を 式 24 に示します。

$$H_A(s) = \frac{7.39014 \times 10^9 \times s^4}{(s + 129.4)^2 \times (s + 767.4) \times (s + 4636) \times (s + 76818)^2} \quad (24)$$

双一次変換は、 $H_A(s)$ の変数 s に [式 25](#) を代入して、それぞれの分母の項の $H_A(z)$ を生成します。

$$s = \frac{2}{T} \times \frac{1 - z^{-1}}{1 + z^{-1}} \quad (25)$$

ここで

- $T = 1 / 50\text{kSPS}$

z 平面変換では、極が ADC ナイキスト周波数 ($f_{\text{DATA}} / 2$) に近い位置にあるとき、周波数誤差が発生します。このため、12,194Hz のナイキスト周波数に最も近い極の誤差は、変数 s の新しい式で補償され、[式 25](#) を置き換えます。[式 26](#) に、変数 s の新しい式を示します。

$$s = \frac{\omega_0}{\tan\left[\frac{\omega_0 \times T}{2}\right]} \times \frac{1 - z^{-1}}{1 + z^{-1}} \quad (26)$$

ここで

- $\omega_0 = 2\pi \times f$
- f = コーナー周波数

変数 z の同じ累乗を集めて、 z^{-1} / z^{-1} ですべて乗算すると、[式 27](#) のバイクワッド形式で $H_A(z)$ が得られます。

$$H(z) = \frac{b_0 + b_1 z^{-1} + b_2 z^{-2}}{1 + a_1 z^{-1} + a_2 z^{-2}} \quad (27)$$

IIR フィルタ設計のバイクワッド係数の値を、10 進および 2.30 16 進の形式で、[表 9-3](#) に示します。 g_5 を含むゲイン係数は、1.0 (40000000h) です。係数のアップロード手順については、「[IIR フィルタの段](#)」セクションを参照してください。

表 9-3. A 重み付け IIR フィルタの係数 (10 進、2.30 16 進形式)

係数(1)	バイクワッド 1	バイクワッド 2	バイクワッド 3	バイクワッド 4
b_{x0}	0.997417013	0.993278382	0.955663664	0.481661428
	3FD5AE2Bh	3F91DF7Eh	3D2997EEh	1ED38A74h
b_{x1}	-1.994834026	-0.99327838	-0.955663664	0.161859553
	8054A3AAh	C06E2082h	C2D66812h	0A5BE82Ch
b_{x2}	0.997417013	0.00000000	0.00000000	0.00000000
	3FD5AE2Bh	00000000h	00000000h	00000000h
a_{x1}	-1.99483069	-0.986556766	-0.911327329	-0.395604811
	8054B1ACh	C0DC4103h	C5ACD023h	E6AE6929h
a_{x2}	0.994837367	0.00000000	0.00000000	0.039125792
	3FAB6A59h	00000000	00000000h	02810977h
g_x	1.00000000	1.00000000	1.00000000	1.00000000
	40000000h	40000000h	40000000h	40000000h

1. x = バイクワッド数。

9.2.1.3 アプリケーション曲線

10Hz～20kHz の周波数帯域でスイープされた正弦波信号での ADS127L21 A 重み付け IIR フィルタの誤差を、図 9-3 に示します。フィルタの適合誤差は、設計目標の $\pm 0.3\text{dB}$ を下回っています。フィルタの適合誤差は ADC 単独で、マイクロフォンの誤差は含まれていません。このフィルタは、2kHz のフルスケール信号入力で、-1dB のフルスケール ADC 出力を提供するようにスケールアップされています。ADC 入力アンプ段のゲインを下げることで、過負荷状況に備えた追加の信号ヘッドルームが得られます。

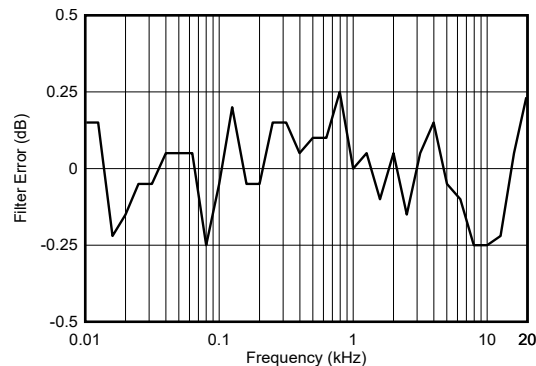


図 9-3. A 重み付け IIR フィルタの誤差

9.2.2 PGA855 プログラマブル ゲイン アンプ

ADS127L21 の入力を駆動する PGA855 プログラマブル ゲイン アンプを、図 9-4 に示します。PGA855 は、 $\pm 15\text{V}$ 電源を使用し、24V 入力に対応できる差動入力と差動出力を備えています。PGA は、信号を差動に変換して ADC 差動入力を駆動することにより、シングルエンド信号を受け入れます。ピンで制御されるゲインにより、信号が ADC の入力範囲にスケールアップされます。PGA855 は、別々の入力電源と出力電源で動作します。たとえば、入力セクションに $\pm 15\text{V}$ 電源を、出力セクションに 5V 電源を使用します。5V 出力動作により、PGA オーバードライブ状態での ADC 入力の過負荷が防止されます。ADC の VCM 出力は、PGA 出力の同相電圧を駆動します。

このアプリケーションの目標は、複数のゲイン設定にわたって、PGA と ADC の組み合わせについて、SNR と THD の性能を評価することです。2 極のアンチエイリアス フィルタについても説明します。

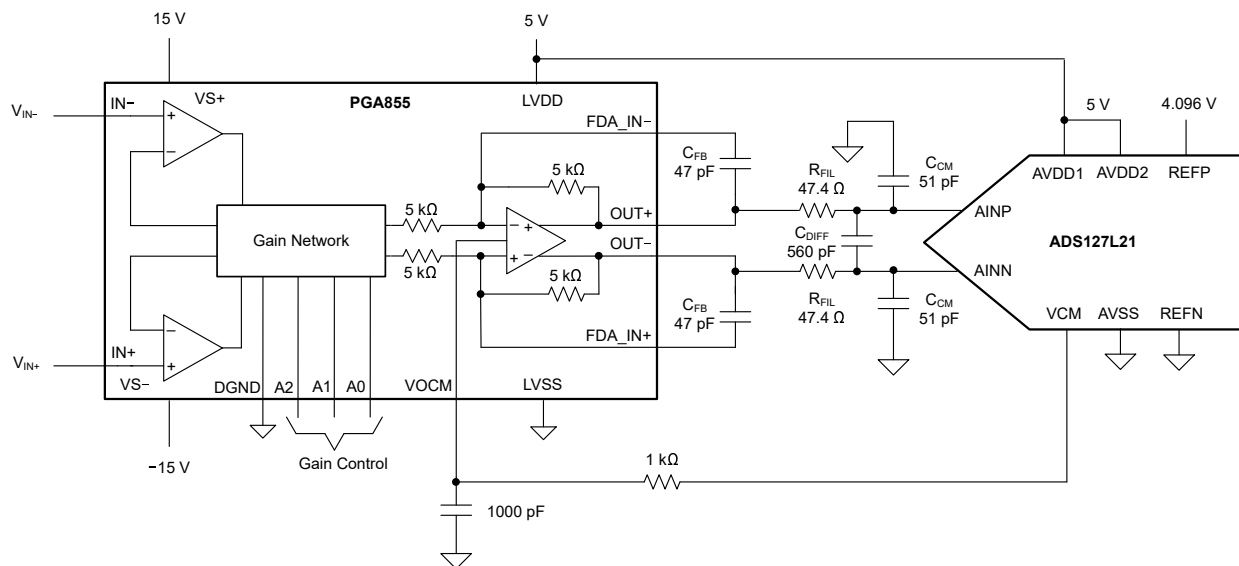


図 9-4. PGA855 のドライバ回路

9.2.2.1 設計要件

表 9-4 に、PGA855 の設計パラメータの一覧を示します。

表 9-4. 設計パラメータ

パラメータ	値
入力電圧 (V_{PP} , 差動)	20V, 16V, 8V, 4V, 2V, 1V, 0.5V, 0.25V
ADC リファレンス電圧	4.096V
データレート	187.5kSPS, OSR = 64
エイリアス除去	12MHz f_{MOD} で -35dB
テスト周波数	1kHz
THD (ゲイン = 1)	< -120dB
SNR (ゲイン = 1, 広帯域フィルタ)	> 107dB
SNR (ゲイン = 1, sinc4 フィルタ)	> 109dB

9.2.2.2 詳細な設計手順

PGA855 回路には、2 つの 1 次アンチエイリアス フィルタが実装されています。図 9-4 に示されているように、最初のフィルタは PGA の $5k\Omega$ 帰還抵抗と、並列の C_{FB} によって構成されます。PGA 抵抗は絶対公差 $\pm 15\%$ なので、この公差がフィルタのカットオフ周波数に及ぼす影響を考慮してください。 $C_{FB} = 47pF$ から、フィルタのカットオフ周波数は 675kHz です。抵抗公差の上限側では、フィルタ周波数が 574kHz に変化します。この公差では、フィルタは広帯域フィルタ信号帯域 (77kHz) のエッジで -0.1dB の平坦度を維持します。

2 番目のアンチエイリアス フィルタは、ADS127L21 の入力にあります。フィルタ値 $R_{FIL} = 47.4\Omega$ と $C_{DIFF} = 560pF$ から、2.8MHz のフィルタ カットオフ周波数が得られます。ADC 入力のプリチャージ バッファは、サンプル位相の入力電荷を大幅に低減し、ADC の入力インピーダンスを上昇させてゲイン誤差を低減します。バッファがあるため、この設計では R_{FIL} と C_{DIFF} を大きくして、アンチエイリアス除去を改善できます。

C0G 誘電体コンデンサは信号パス (C_{FB} , C_{DIFF} , C_{CM}) の全体に使用され、低歪み性能を実現します。

9.2.2.3 アプリケーション曲線

1kHz の正弦波テスト信号によって、SNR および THD データが生成されます。振幅は、ADC から -0.2dBFS を出力するように調整されています。

ADC 入力バッファをイネーブルにして ADS127L21 を駆動する PGA855 の SNR、ENOB、THD の組み合わせ性能の要約を、表 9-5 に示します。ゲイン = 1 のとき、この設計は -121.4dB の THD と、広帯域フィルタで 107.6dB の SNR、sinc4 フィルタで 109.6dB の SNR を実現しています。

表 9-5. PGA855 と ADS127L21 の性能の要約

PGA のゲイン (V/V)	入力 (V_{PP})	SNR (dB)		実効分解能 (ビット)		THD (dB)
		広帯域	SINC4	広帯域	SINC4	
0.125	20	106.0	107.6	19.1	19.4	-119.6
0.25	16	107.5	109.0	19.4	19.6	-119.0
0.5	8	107.7	109.8	19.4	19.7	-121.2
1	4	107.6	109.6	19.4	19.7	-121.4
2	2	107.0	109.6	19.3	19.7	-121.4
4	1	105.4	107.4	19.0	19.3	-121.4
8	0.5	101.7	104.0	18.4	18.8	-121.4
16	0.25	96.7	99.1	17.6	17.9	-117.0

広帯域フィルタと sinc4 フィルタについて、対応する 1kHz フルスケール FFT プロットを 図 9-5 と 図 9-6 に示します。sinc4 フィルタの周波数ロールオフにより、広帯域フィルタに比べて SNR 性能は平均 2dB 向上します。どちらのフィルタも、THD 結果は同じです。

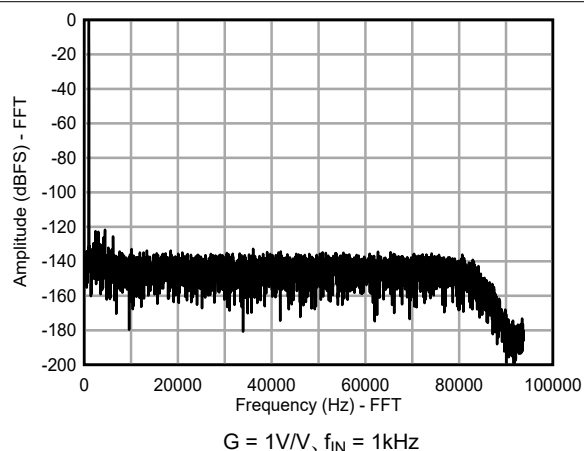


図 9-5. 広帯域フィルタの性能

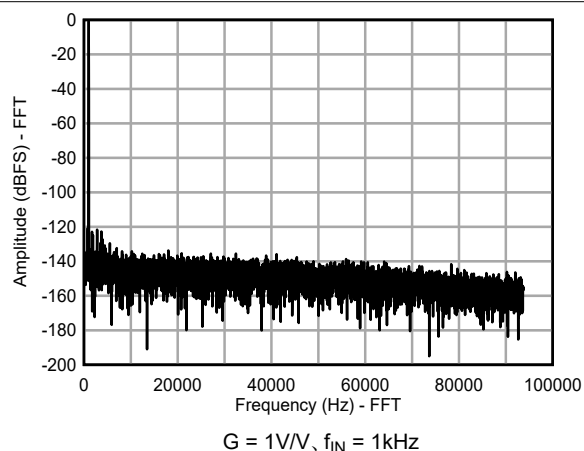


図 9-6. sinc4 フィルタの性能

2 極アンチエイリアス フィルタの応答を、図 9-7 に示します。このフィルタは、12MHz の f_{MOD} 周波数で、-38dB のアンチエイリアスを実現します。

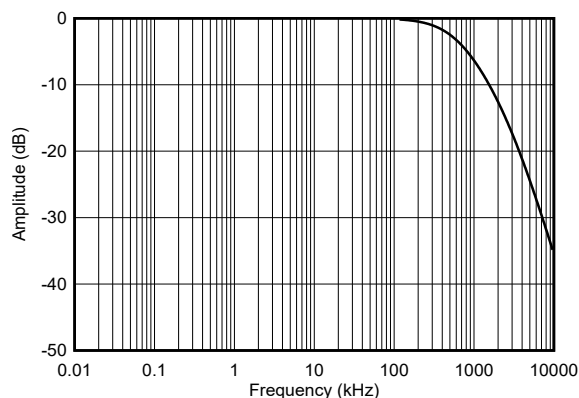


図 9-7. PGA855 のアンチエイリアス フィルタ応答

9.2.3 THS4551 のアンチエイリアス・フィルタの設計

高精度のデータ・アキュイジション・システムで 사용되는 ADS127L21 のアプリケーションを、[図 9-8](#) に示します。多くのセンサは、高周波信号成分の量が制限されています。この理由から、センサとアンプの高周波ノイズをフィルタリングして、ノイズがパスバンドにエイリアシングされることを防ぐには、1 次または 2 次のフィルタで十分です。ただし、一部のアプリケーションでは信号が未知で、高次のアンチエイリアス・フィルタが必要になる場合があります。この設計の目標は、ADC 入力に THS4551 FDA アンチエイリアス・フィルタを置き、変調器のサンプル・レート (f_{MOD}) で帯域外信号を減衰させることです。

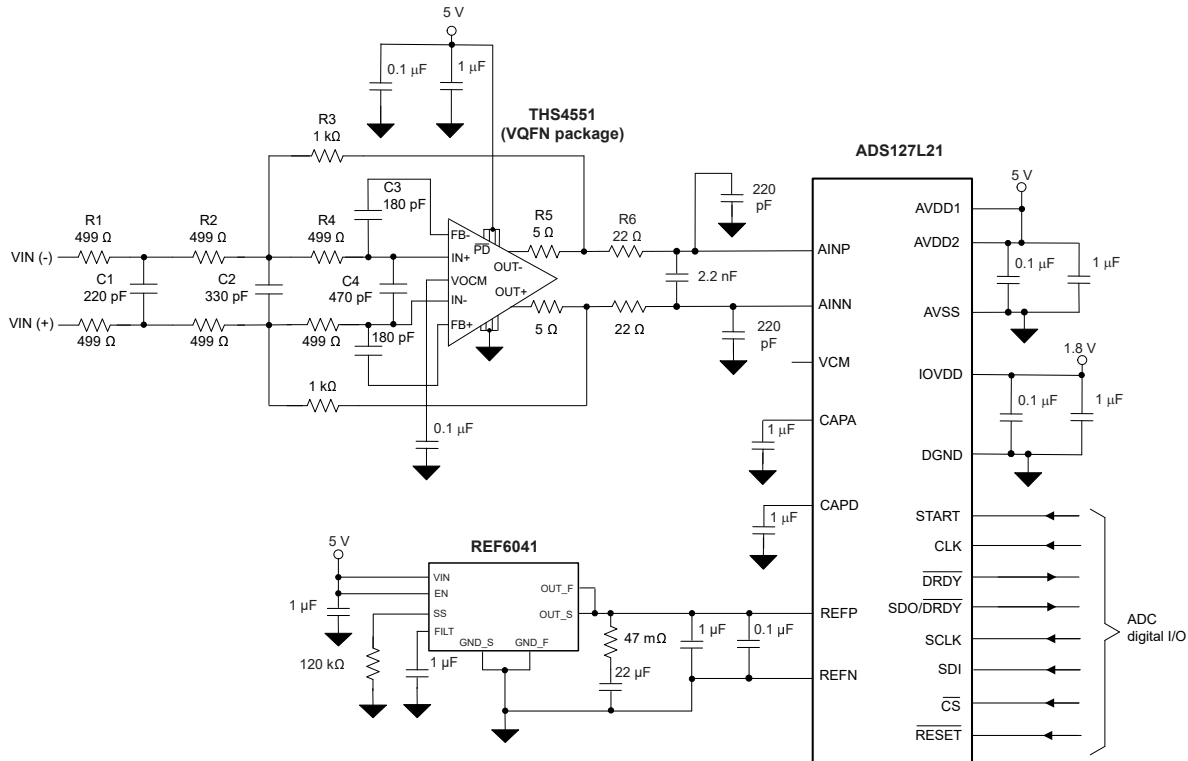


図 9-8. ADS127L21 の回路図

9.2.3.1 設計要件

アンチエイリアス フィルタの設計要件は、広帯域フィルタ モードで $OSR = 32$ 設定を使用し、臨界 f_{MOD} 周波数での減衰が 90dB です。高速度モードでの臨界 f_{MOD} 周波数は 12.8MHz です。このフィルタは、振幅応答がフラットで、信号のパスバンド内でのグループ遅延誤差が小さくなるよう設計されています。

この設計例の設計目標値と実際の値を、[表 9-6](#) に示します。

表 9-6. アンチエイリアス フィルタの設計要件

フィルタのパラメータ	目標値	実際の値
電圧ゲイン	0dB	0dB
12.8MHz でのエイリアス除去	90dB	90dB
-0.1dB 周波数	250kHz	260kHz
-3dB 周波数	500kHz	550kHz
振幅のピーク	20m dB	12m dB
群遅延の直線性	0.1μs	0.017μs
フィルタと ADC の合計ノイズ (165kHz 帯域幅)	12μV	11.8μV

9.2.3.2 詳細な設計手順

アンチエイリアス フィルタは、パッシブ 1 次入力フィルタ、アクティブ 2 次フィルタ、パッシブ 1 次出力フィルタで構成されます。フィルタは全体で 4 次であり、OSR (32) を小さい値に選択する必要があります。OSR 32 の結果、 f_{DATA} のナイキスト周波数と f_{MOD} 周波数の間の周波数範囲は 2 デケード未満になります。この 4 次フィルタにより、この周波数範囲全体にわたって 90dB のロールオフが得られます。 f_{MOD} でのフィルタ ロールオフは、フィルタの重要な機能です。

アクティブ フィルタ段には、135MHz のゲイン帯域幅積 (GBP) と 50ns のセトリング タイムを持つ THS4551 アンプを選択します。このアンプの GBP は、DC ゲインが 15dB の場合も、12.8MHz でフィルタのロールオフを維持するのに十分です。たとえば、ゲインが要求されるアプリケーションでは、 f_{MOD} 周波数で必要なロールオフを完全にサポートするために、10MHz のアンプでは GBP が限界に近いです。THS4551 は、セトリング タイムの仕様の関係で、ADC でサンプリングされた入力の駆動にも適しています。

アクティブ フィルタ セクションの設計は、判定される部品値の数を減らすため、R が等しいと仮定して開始されます。フィルタの DC ゲインは $R_3 / (R_1 + R_2)$ です。抵抗ノイズとアンプ入力電流ノイズが ADC のノイズに影響を与えないよう、十分に小さな値として 1k Ω の抵抗を使用します。

1k Ω の入力抵抗を 2 つの 499 Ω 抵抗 (R_1 および R_2) に分割し、 C_1 を使用して 1 次フィルタを実装します。1 次フィルタは 2 次のアクティブ フィルタと分離されますが、 R_1 と R_2 を共有し、各フィルタ段のコーナー周波数を決定します。コーナー周波数は、 C_1 と、 C_1 の端子でのデブナン抵抗によって与えられます ($R_{\text{TH}} = 2 \times 250\Omega$)。

『ADC インターフェイス アプリケーションにおける MFB フィルタの設計方法論』アプリケーション ノート には、この例で使用するフィルタ設計の式が記載されています。設計への入力は、マルチ帰還アクティブ フィルタ トポロジのフィルタ f_0 とフィルタ Q です。 R_4 を任意に選択すると、 C_3 帰還コンデンサおよび単一の 330pF 差動コンデンサ (C_2) の値が決まります。この場合、 R_4 は $2 \times 499\Omega$ で、 C_3 は $2 \times 180\text{pF}$ です。差動コンデンサ (C_4) はフィルタ設計の一部ではありませんが、フィルタの位相マージンの改善に役立ちます。5 Ω の抵抗 (R_5) は、アンプの出力を浮遊容量から絶縁し、フィルタの位相マージンをさらに改善します。

ADC 入力の最終段の RC フィルタは、2 つの目的を果たします。まず、このフィルタによってフィルタの全体的な応答に 4 つ目の極が生まれるので、フィルタのロールオフが増加します。フィルタのもう 1 つの目的は、ADC のコンデンサでサンプリングされた入力をフィルタ処理するため電荷を蓄積することです。電荷を蓄積することで、アンプの瞬間的な電荷要求が低減され、低い歪みおよび低いゲイン誤差が維持されます。電荷の蓄積がないと、アンプのセトリングが不十分なために歪みやゲイン誤差が劣化することがあります。入力フィルタの値は $2 \times 22\Omega$ と 2.2nF です。22 Ω の抵抗は THS4551 フィルタ ループの外側にあり、アンプの出力を 2.2nF のコンデンサから絶縁して位相マージンを維持します。

低歪み特性を実現するため、信号パスのすべての場所に電圧係数が低い C0G コンデンサが使用されています。アンプのゲイン抵抗は公差 0.1% で、最良の THD 性能が得られます。アンプによって同じ機能が提供されるため、ADC の VCM 出力をアンプの VOVM 入力ピンに接続することはオプションです。

アクティブ フィルタの設計とアプリケーションについて、その他の例は THS4551 のデータシートに記載されています。

9.2.3.3 アプリケーション曲線

以下の図は、SPICE ベースのアナログ シミュレーション プログラムである TINA-TI™ によって生成されたものです。THS4551 の SPICE モデルは、THS4551 の製品フォルダからダウンロードできます。

アンチエイリアスフィルタの周波数応答、およびアンチエイリアスフィルタとADCの合計応答を、[図 9-9](#) に示します。この図に示すように、このフィルタはナイキスト周波数から 12.8MHz の f_{MOD} 周波数まで、90dB のストップバンド減衰を実現します。

アナログフィルタの群遅延を、[図 9-10](#) に示します。この群遅延は 0.575 μ s で、ADC デジタルフィルタの群遅延 85 μ s ($34 / f_{DATA}$) と比較して小さくなります。アナログフィルタの群遅延の直線性は 0.017 μ s で、165kHz のパスバンドのエッジでピークになります。

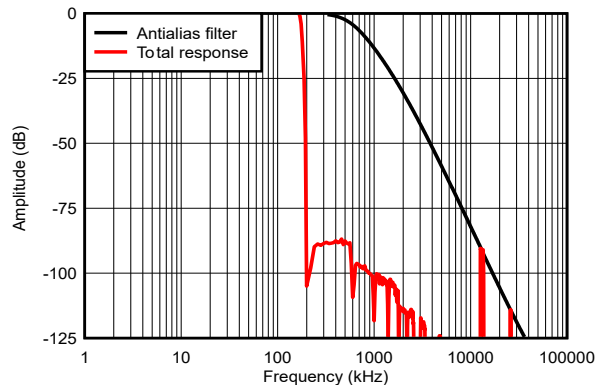


図 9-9. アンチエイリアスフィルタの周波数応答

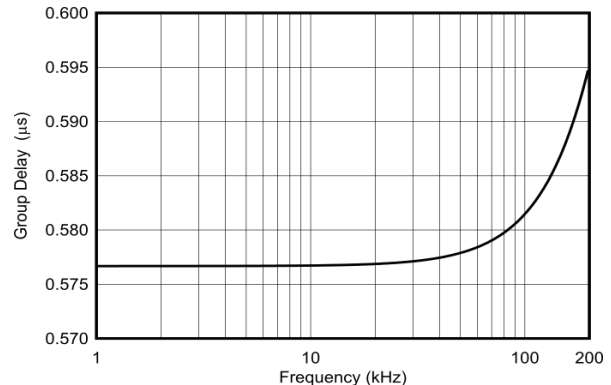


図 9-10. アンチエイリアスフィルタの群遅延

アンチエイリアスフィルタ回路のノイズ密度、ADC のノイズ密度、フィルタとADCの合計ノイズ密度を、[図 9-11](#) に示します。ノイズ密度は、周波数に対してプロットされた帯域幅の $\sqrt{\text{Hz}}$ あたりのノイズ電圧です。

1Hz のスタート周波数から ADC の最終帯域幅までの合計ノイズを、[図 9-12](#) に示します。200Hz 未満では、ノイズの大部分は THS4551 アンプの $1/f$ 電圧および電流ノイズです。200Hz を超えると、ノイズの大部分は ADC ノイズになります。165kHz 帯域幅でのフィルタとADCの合計ノイズは 11.8 μ V で、目標値の 12 μ V を満たしています。

THS4551 の代わりに THP210 入力ドライバを使用すると、低周波数のノイズ性能を向上できます。詳細については、[THP210 と ADS127L11 の性能に関するアプリケーションノート](#)を参照してください。

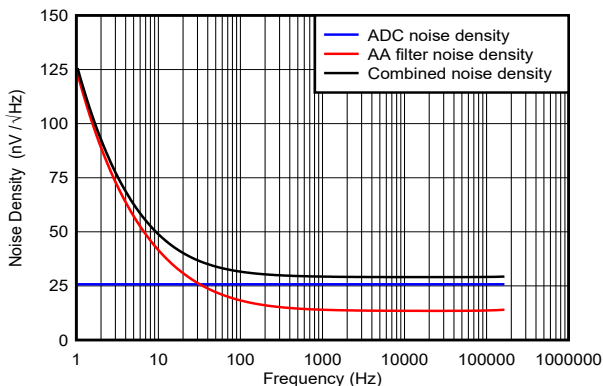


図 9-11. ノイズ密度

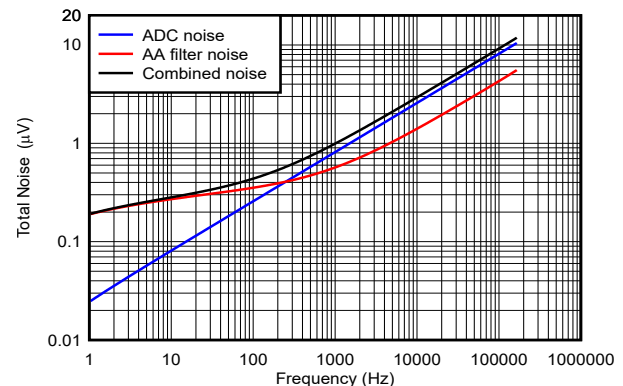


図 9-12. 合計ノイズ

9.3 電源に関する推奨事項

ADC には 3 つのアナログ電源と 1 つのデジタル電源があります。これらの電源は任意の順序でシーケンシングでき、電源電圧のランプ レートが低速でも高速でも対応できます。ただし、どのような状況でも、アナログ入力とデジタル入力は、対応する AVDD1 と AVSS (アナログの場合)、または IOVDD (デジタルの場合) 電源電圧を超えないようにする必要があります。

電源電圧 AVDD1 および AVSS により、アナログ入力の範囲が設定されます。バイポーラ入力信号は、バイポーラ電源電圧 (たとえば AVDD1 = 2.5V、AVSS = -2.5V) を使用するのみ可能です。ユニポーラ入力信号は、ユニポーラ電源電圧 (たとえば AVDD1 = 5V、AVSS = DGND) を使用すれば可能です。中速度および低速度モードでの動作では、AVDD1 を 3.3V および 3V (公称) で動作させて消費電力を削減することもできます。

AVDD2 電源電圧は、AVSS を基準にしています。IOVDD 電源電圧は、DGND を基準にしています。1 つのアプリケーション オプションは、AVSS = DGND として、すべての電源で 5V の単一電圧を使用することです。中速度および低速度モードでは、すべての電源で単一の 3.3V および 3V 電圧オプションを使用できます。AVDD1、AVSS、AVDD2、IOVDD の可能な電源電圧を、表 9-7 に示します。すべての電圧は公称値です。

表 9-7. 電源の構成

モード	アナログ構成	AVDD1 - DGND	AVSS - DGND	AVDD2 - DGND	IOVDD - DGND
最高速度	ユニポーラ	5V	0V	1.8V~5V	1.8V~5V
	バイポーラ	2.5V	-2.5V	0V~2.5V	1.8V~5V
高速度	ユニポーラ	5V	0V	1.8V~5V	1.8V~5V
	バイポーラ	2.5V	-2.5V	0V~2.5V	1.8V~5V
中速度	ユニポーラ	3.3V~5V	0V	1.8V~5V	1.8V~5V
	バイポーラ	1.65V~2.5V	-1.65V~-2.5V	0.15V~2.5V	1.8V~5V
低速度	ユニポーラ	3V~5V	0V	1.8V~5V	1.8V~5V
	バイポーラ	1.5V~2.5V	-1.5V~-2.5V	0.3V~2.5V	1.8V~5V

データシートの性能を実現するには、デバイスのピンで電源バイパスが不可欠です。また ADC には、CAPA および CAPD ピンと、アナログ入力ピンおよびリファレンス ピン用のコンデンサも必要です。小さい値のコンデンサを、短い直接の配線により、デバイスのピンの近くに配置します。

デバイスのピンの推奨バイパス コンポーネントは次のとおりです。

1. AVDD1 から AVSS へ:ピン間に 1 μ F と 0.1 μ F のコンデンサを並列に組み合わせます
2. AVDD2 から AVSS へ:ピン間に 1 μ F と 0.1 μ F のコンデンサを並列に組み合わせます
3. IOVDD から DGND へ:ピン間に 1 μ F と 0.1 μ F のコンデンサを並列に組み合わせます
4. CAPA から AVSS へ:ピン間に 1 μ F のコンデンサを配置します
5. CAPD から DGND へ:ピン間に 1 μ F のコンデンサを配置します
6. REFP、REFN:ピン間に 1 μ F と 0.1 μ F のコンデンサを並列に組み合わせます
7. AINP、AINN:一般的な推奨事項として、22 Ω の抵抗を直列接続し、ピン間に 2.2nF、各ピンから AVSS へ 220pF を接続します

ユニポーラ電源での動作用に構成されたデバイスの部品配置を、図 9-13 に示します。

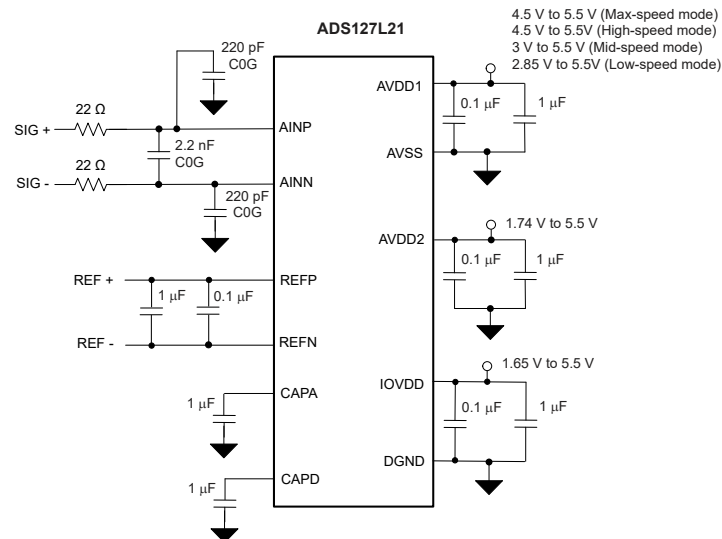


図 9-13. デバイスの推奨されるコンデンサ バイパス

9.4 レイアウト

9.4.1 レイアウトのガイドライン

データシートの性能を実現するには、最低でも 4 層の PCB 基板を使用し、内側の層はグランドと電源プレーンに割り当てます。単一の、連続したグランド プレーン上でアナログ グランドとデジタル グランドを組み合わせることで、最高の性能を実現できます。ただし、レイアウトの形状によっては、デジタル電流をアナログ グランドから遠ざけるために、別々のアナログ グランドとデジタル グランドを使用する必要があります。たとえば、点滅する LED インジケータやリレーなどからの電流がある場合です。この場合、グランドのリターン パスも負荷ごとに分けることを検討してください。別々のアナログ グランドとデジタル グランドを使用する場合は、ADC で両方のグランドを結合します。

電源プレーン層を使用して、電源を ADC に配線します。

最上層と最下層には、アナログ信号とデジタル信号を配線します。差動ノイズ結合を低減するため、入力信号は信号チェーン全体で整合差動ペアとして配線します。デジタル信号がアナログ信号と交差する、または隣接して配置されることは避けます。このレイアウトは、クロック入力、SPI 信号、SCLK、SDO/DRDY などの高周波デジタル信号に特に当てはまります。パッケージのピン配置により、デジタル信号とアナログ信号を交差させる必要が最小限に抑えられます。

電圧リファレンスは、ADC の近くに配置します。リファレンス グランド ピンが ADC REFN ピンの近くになるように、リファレンスの向きを合わせます。リファレンス入力バイパス コンデンサは、ADC ピンに直接配置します。マルチチャネル システムでは、各 ADC に基準バイパスコンデンサを使用します。基準グランド ピンは、グランド プレーン (一部のバイポーラ電源システムでは AVSS) に 1 点で接続します。REFP と REFN をペアのトレースとして各 ADC に配線します。

9.4.2 レイアウト例

図 9-14 は、図 9-8 の回路図に基づくレイアウト例です。4 層 PCB を使用して、内部の層はグラウンドと電源のプレーンに割り当てています。アンプの入力ピンの下にあるプレーン層にカットアウトを使用して、浮遊容量を減らし、アンプの位相マージンを増やしています。デバイスの下にある最下層にバイパス コンデンサを配置できるようにするため、ADS127L21 および THS4551 WQFN パッケージ用のサーマル ビアは使用しません。パラレル電源のバイパス コンデンサのうち小さい方を、デバイスの電源ピンのできるだけ近くに配置します。

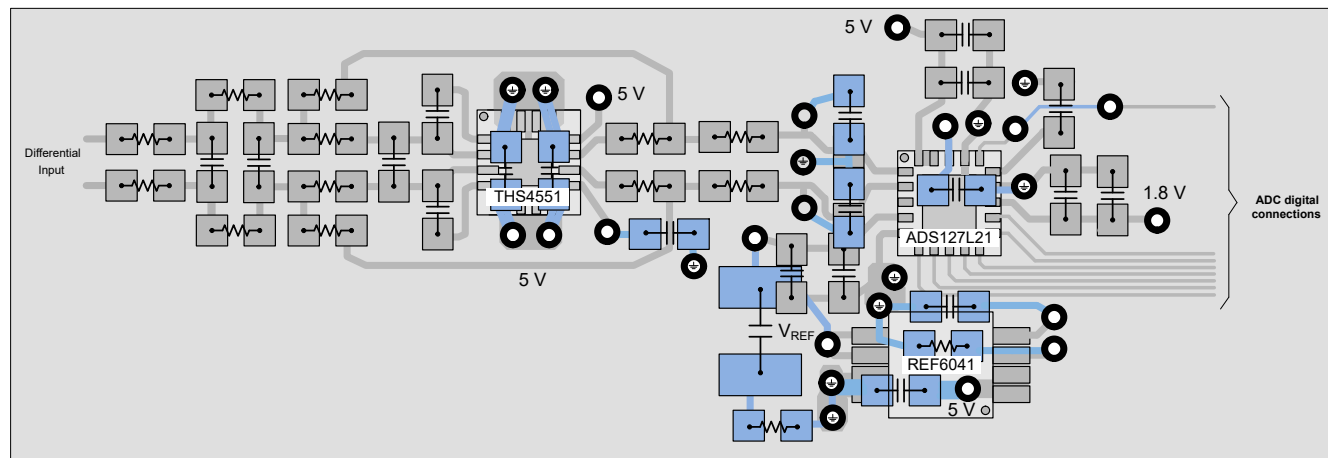


図 9-14. 代表的なアプリケーション回路のレイアウト例

WQFN パッケージをプリント基板に実装する方法の詳細については、『QFN および SON の PCB 実装』アプリケーション ノートを参照してください。

10 デバイスおよびドキュメントのサポート

10.1 ドキュメントのサポート

10.1.1 関連資料

関連資料については、以下を参照してください。

- テキサス・インスツルメンツ、『THP210 と ADS127L11 の性能』アプリケーション・ノート
- テキサス・インスツルメンツ、『PGA855 低ノイズ、広帯域幅、完全差動 PGA』データシート
- テキサス・インスツルメンツ、『同時サンプリング・システムでの ADS127L11 の使用』アプリケーション・ブリーフ
- テキサス・インスツルメンツ、『ADS127L11 CRC カリキュレータ』
- テキサス・インスツルメンツ、『4 チャンネルの同期 IEPE 振動センサ・インターフェイスのリファレンス・デザイン』
- テキサス・インスツルメンツ、『THS4551 低ノイズ、高精度、150MHz、完全差動アンプ』データシート
- テキサス・インスツルメンツ、『REF60xx 高精度電圧リファレンス、内蔵 ADC ドライブ・バッファ付』データシート
- テキサス・インスツルメンツ、『ADC インターフェイス・アプリケーションにおける MFB フィルタの設計方法論』アプリケーション・ノート
- テキサス・インスツルメンツ、『QFN と SON の PCB 実装』アプリケーション・ノート

10.2 ドキュメントの更新通知を受け取る方法

ドキュメントの更新についての通知を受け取るには、www.tij.co.jp のデバイス製品フォルダを開いてください。[通知] をクリックして登録すると、変更されたすべての製品情報に関するダイジェストを毎週受け取ることができます。変更の詳細については、改訂されたドキュメントに含まれている改訂履歴をご覧ください。

10.3 サポート・リソース

テキサス・インスツルメンツ E2E™ サポート・フォーラムは、エンジニアが検証済みの回答と設計に関するヒントをエキスパートから迅速かつ直接得ることができる場所です。既存の回答を検索したり、独自の質問をしたりすることで、設計に必要な支援を迅速に得ることができます。

リンクされているコンテンツは、各寄稿者により「現状のまま」提供されるものです。これらはテキサス・インスツルメンツの仕様を構成するものではなく、必ずしもテキサス・インスツルメンツの見解を反映したものではありません。テキサス・インスツルメンツの使用条件を参照してください。

10.4 商標

TINA-TI™ and テキサス・インスツルメンツ E2E™ are trademarks of Texas Instruments.

すべての商標は、それぞれの所有者に帰属します。

10.5 静電気放電に関する注意事項



この IC は、ESD によって破損する可能性があります。テキサス・インスツルメンツは、IC を取り扱う際には常に適切な注意を払うことを推奨します。正しい取り扱いおよび設置手順に従わない場合、デバイスを破損するおそれがあります。

ESD による破損は、わずかな性能低下からデバイスの完全な故障まで多岐にわたります。精密な IC の場合、パラメータがわずかに変化するだけで公表されている仕様から外れる可能性があるため、破損が発生しやすくなっています。

10.6 用語集

テキサス・インスツルメンツ用語集 この用語集には、用語や略語の一覧および定義が記載されています。

11 改訂履歴

資料番号末尾の英字は改訂を表しています。その改訂履歴は英語版に準じています。

Changes from Revision B (April 2024) to Revision C (August 2025)	Page
• 「推奨動作条件」セクションの最大クロック周波数の仕様を変更.....	5
• 「電気的特性」セクションに最高速度モードの最大 INL 仕様を追加.....	6
• 「タイミング要件」セクション I および II の最小 CLK 周期の仕様を変更.....	16

- 「クロック動作」セクションに CLK_DIV[1:0] 同期の説明を追加.....50
- 「SPI コマンド」の表およびドキュメント全体で、BYTE1 コマンドアドレスフィールドを [3:0] から [4:0] に変更.....76

Changes from Revision A (June 2023) to Revision B (April 2024)**Page**

- 「絶対最大定格」セクションのデジタル入出力電圧の最大仕様を変更4
 - 「代表的特性」セクションにフルスケール信号 FFT プロットを追加21
 - 「A 重み付けフィルタ設計アプリケーション」セクションの詳細設計手順を変更106
-

12 メカニカル、パッケージ、および注文情報

以降のページには、メカニカル、パッケージ、および注文に関する情報が記載されています。この情報は、指定のデバイスについて利用可能な最新のデータです。このデータは、予告なしに、また、ドキュメントの改訂なしに変更される場合があります。本データシートのブラウザ版を使用されている場合は、画面左側の説明をご覧ください。

重要なお知らせと免責事項

テキサス・インスツルメンツは、技術データと信頼性データ (データシートを含みます)、設計リソース (リファレンス デザインを含みます)、アプリケーションや設計に関する各種アドバイス、Web ツール、安全性情報、その他のリソースを、欠陥が存在する可能性のある「現状のまま」提供しており、商品性および特定目的に対する適合性の黙示保証、第三者の知的財産権の非侵害保証を含むいかなる保証も、明示的または黙示的にかかわらず拒否します。

これらのリソースは、テキサス・インスツルメンツ製品を使用する設計の経験を積んだ開発者への提供を意図したものです。(1) お客様のアプリケーションに適した テキサス・インスツルメンツ製品の選定、(2) お客様のアプリケーションの設計、検証、試験、(3) お客様のアプリケーションに該当する各種規格や、その他のあらゆる安全性、セキュリティ、規制、または他の要件への確実な適合に関する責任を、お客様のみが単独で負うものとします。

上記の各種リソースは、予告なく変更される可能性があります。これらのリソースは、リソースで説明されている テキサス・インスツルメンツ製品を使用するアプリケーションの開発の目的でのみ、テキサス・インスツルメンツはその使用をお客様に許諾します。これらのリソースに関して、他の目的で複製することや掲載することは禁止されています。テキサス・インスツルメンツや第三者の知的財産権のライセンスが付与されている訳ではありません。お客様は、これらのリソースを自身で使用した結果発生するあらゆる申し立て、損害、費用、損失、責任について、テキサス・インスツルメンツおよびその代理人を完全に補償するものとし、テキサス・インスツルメンツは一切の責任を拒否します。

テキサス・インスツルメンツの製品は、[テキサス・インスツルメンツの販売条件](#)、または [ti.com](https://www.ti.com) やかかる テキサス・インスツルメンツ製品の関連資料などのいずれかを通じて提供する適用可能な条項の下で提供されています。テキサス・インスツルメンツがこれらのリソースを提供することは、適用されるテキサス・インスツルメンツの保証または他の保証の放棄の拡大や変更を意味するものではありません。

お客様がいかなる追加条項または代替条項を提案した場合でも、テキサス・インスツルメンツはそれらに異議を唱え、拒否します。

郵送先住所: Texas Instruments, Post Office Box 655303, Dallas, Texas 75265
Copyright © 2025, Texas Instruments Incorporated

PACKAGING INFORMATION

Orderable part number	Status (1)	Material type (2)	Package Pins	Package qty Carrier	RoHS (3)	Lead finish/ Ball material (4)	MSL rating/ Peak reflow (5)	Op temp (°C)	Part marking (6)
ADS127L21IRUKR	Active	Production	WQFN (RUK) 20	3000 LARGE T&R	Yes	NIPDAU	Level-2-260C-1 YEAR	-40 to 125	127L21
ADS127L21IRUKR.A	Active	Production	WQFN (RUK) 20	3000 LARGE T&R	Yes	NIPDAU	Level-2-260C-1 YEAR	-40 to 125	127L21
ADS127L21IRUKT	Active	Production	WQFN (RUK) 20	250 SMALL T&R	Yes	NIPDAU	Level-2-260C-1 YEAR	-40 to 125	127L21
ADS127L21IRUKT.A	Active	Production	WQFN (RUK) 20	250 SMALL T&R	Yes	NIPDAU	Level-2-260C-1 YEAR	-40 to 125	127L21

⁽¹⁾ **Status:** For more details on status, see our [product life cycle](#).

⁽²⁾ **Material type:** When designated, preproduction parts are prototypes/experimental devices, and are not yet approved or released for full production. Testing and final process, including without limitation quality assurance, reliability performance testing, and/or process qualification, may not yet be complete, and this item is subject to further changes or possible discontinuation. If available for ordering, purchases will be subject to an additional waiver at checkout, and are intended for early internal evaluation purposes only. These items are sold without warranties of any kind.

⁽³⁾ **RoHS values:** Yes, No, RoHS Exempt. See the [TI RoHS Statement](#) for additional information and value definition.

⁽⁴⁾ **Lead finish/Ball material:** Parts may have multiple material finish options. Finish options are separated by a vertical ruled line. Lead finish/Ball material values may wrap to two lines if the finish value exceeds the maximum column width.

⁽⁵⁾ **MSL rating/Peak reflow:** The moisture sensitivity level ratings and peak solder (reflow) temperatures. In the event that a part has multiple moisture sensitivity ratings, only the lowest level per JEDEC standards is shown. Refer to the shipping label for the actual reflow temperature that will be used to mount the part to the printed circuit board.

⁽⁶⁾ **Part marking:** There may be an additional marking, which relates to the logo, the lot trace code information, or the environmental category of the part.

Multiple part markings will be inside parentheses. Only one part marking contained in parentheses and separated by a "-" will appear on a part. If a line is indented then it is a continuation of the previous line and the two combined represent the entire part marking for that device.

Important Information and Disclaimer: The information provided on this page represents TI's knowledge and belief as of the date that it is provided. TI bases its knowledge and belief on information provided by third parties, and makes no representation or warranty as to the accuracy of such information. Efforts are underway to better integrate information from third parties. TI has taken and continues to take reasonable steps to provide representative and accurate information but may not have conducted destructive testing or chemical analysis on incoming materials and chemicals. TI and TI suppliers consider certain information to be proprietary, and thus CAS numbers and other limited information may not be available for release.

In no event shall TI's liability arising out of such information exceed the total purchase price of the TI part(s) at issue in this document sold by TI to Customer on an annual basis.

TAPE AND REEL INFORMATION



*All dimensions are nominal

Device	Package Type	Package Drawing	Pins	SPQ	Reel Diameter (mm)	Reel Width W1 (mm)	A0 (mm)	B0 (mm)	K0 (mm)	P1 (mm)	W (mm)	Pin1 Quadrant
ADS127L21IRUKR	WQFN	RUK	20	3000	330.0	12.4	3.3	3.3	1.1	8.0	12.0	Q2
ADS127L21IRUKT	WQFN	RUK	20	250	180.0	12.4	3.3	3.3	1.1	8.0	12.0	Q2

TAPE AND REEL BOX DIMENSIONS



*All dimensions are nominal

Device	Package Type	Package Drawing	Pins	SPQ	Length (mm)	Width (mm)	Height (mm)
ADS127L21IRUKR	WQFN	RUK	20	3000	367.0	367.0	35.0
ADS127L21IRUKT	WQFN	RUK	20	250	210.0	185.0	35.0

GENERIC PACKAGE VIEW

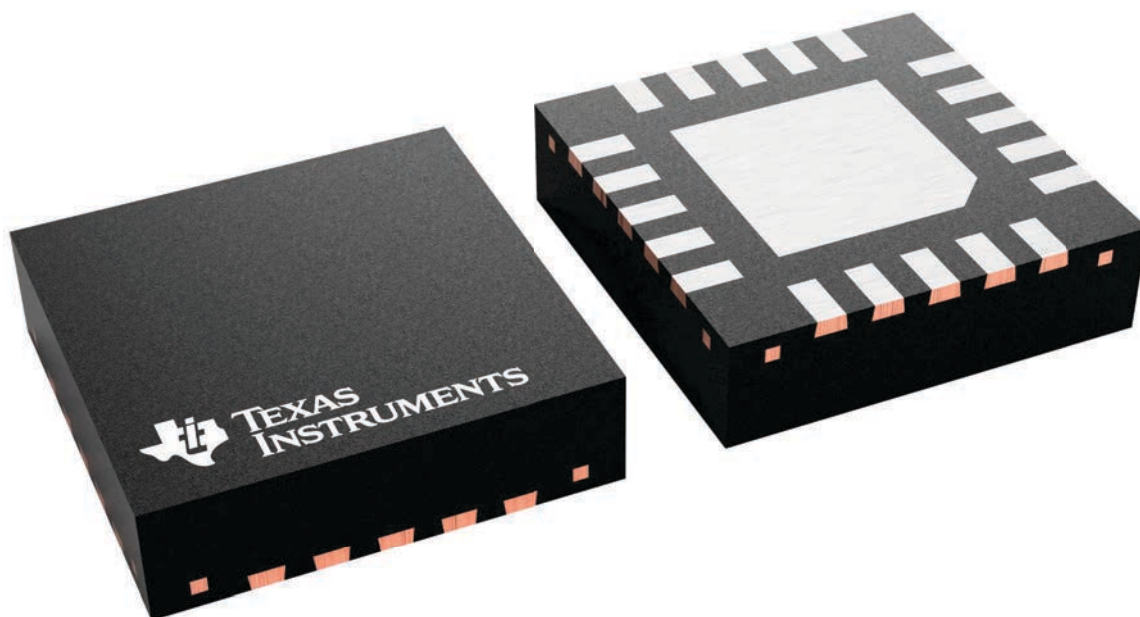
RUK 20

WQFN - 0.8 mm max height

3 x 3, 0.4 mm pitch

PLASTIC QUAD FLATPACK - NO LEAD

This image is a representation of the package family, actual package may vary.
Refer to the product data sheet for package details.



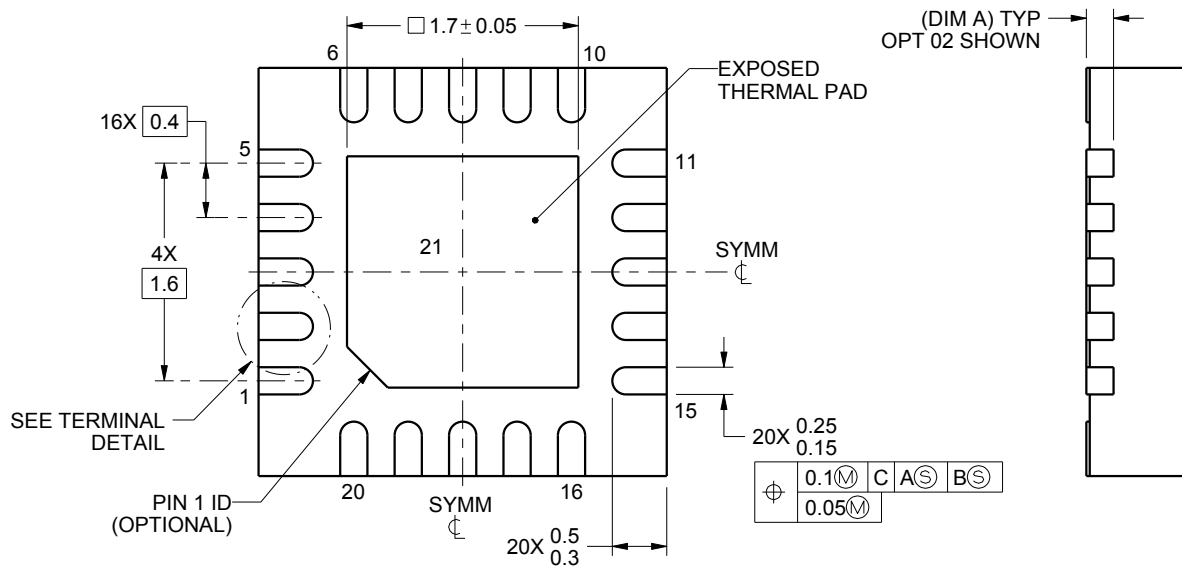
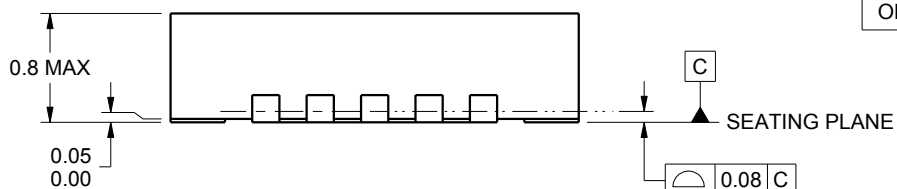


WQFN - 0.8 mm max height

PLASTIC QUAD FLATPACK - NO LEAD



DIMENSION A	
OPTION 01	(0.1)
OPTION 02	(0.2)



4222676/A 02/2016

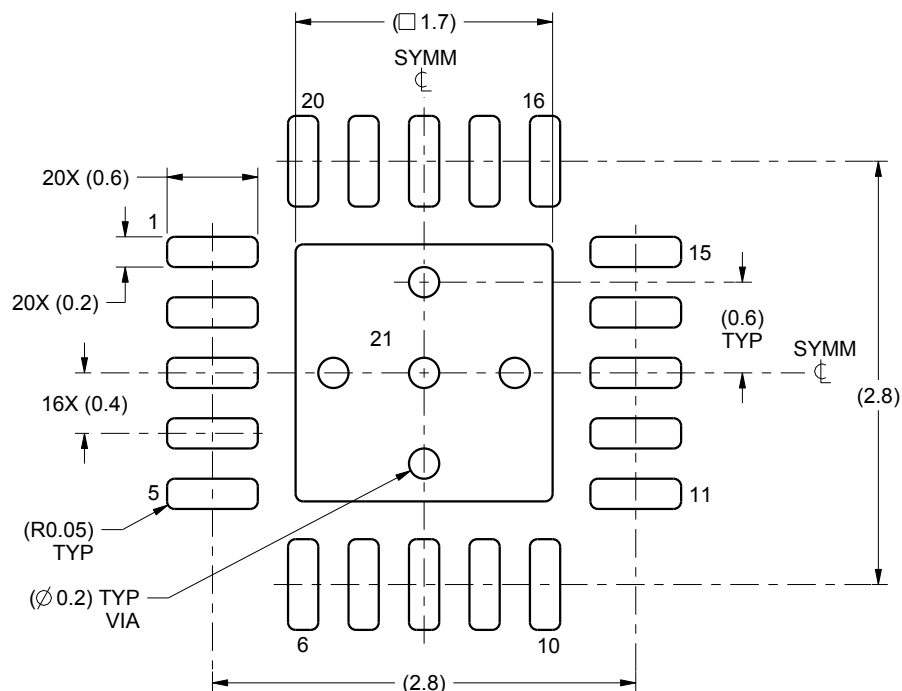
NOTES:

1. All linear dimensions are in millimeters. Any dimensions in parenthesis are for reference only. Dimensioning and tolerancing per ASME Y14.5M.
2. This drawing is subject to change without notice.
3. The package thermal pad must be soldered to the printed circuit board for thermal and mechanical performance.

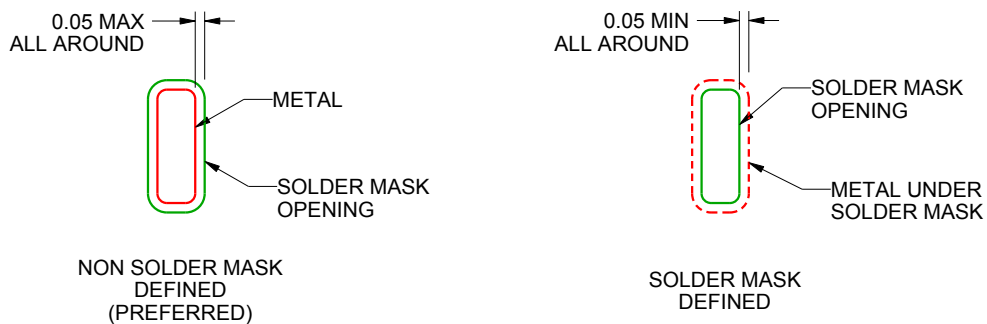
RUK0020B

WQFN - 0.8 mm max height

PLASTIC QUAD FLATPACK - NO LEAD



LAND PATTERN EXAMPLE
SCALE:20X



SOLDER MASK DETAILS

4222676/A 02/2016

NOTES: (continued)

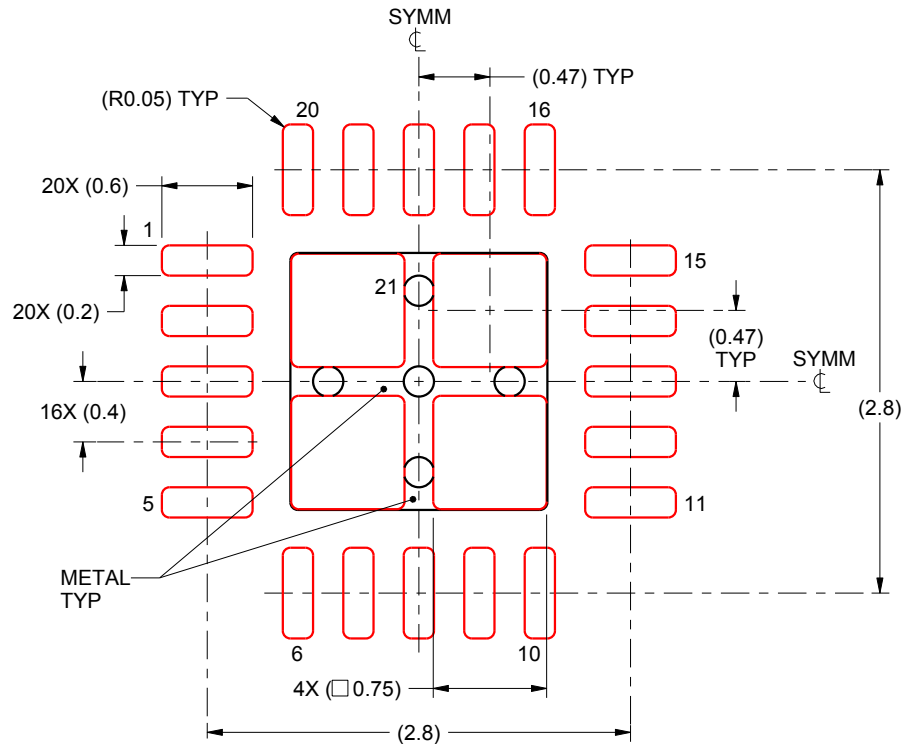
4. This package is designed to be soldered to a thermal pad on the board. For more information, see Texas Instruments literature number SLUA271 (www.ti.com/lit/sluea271).
5. Vias are optional depending on application, refer to device data sheet. If any vias are implemented, refer to their locations shown on this view. It is recommended that vias under paste be filled, plugged or tented.

EXAMPLE STENCIL DESIGN

RUK0020B

WQFN - 0.8 mm max height

PLASTIC QUAD FLATPACK - NO LEAD



SOLDER PASTE EXAMPLE BASED ON 0.1 mm THICK STENCIL

EXPOSED PAD 21:
78% PRINTED SOLDER COVERAGE BY AREA UNDER PACKAGE
SCALE:20X

4222676/A 02/2016

NOTES: (continued)

6. Laser cutting apertures with trapezoidal walls and rounded corners may offer better paste release. IPC-7525 may have alternate design recommendations.

重要なお知らせと免責事項

TI は、技術データと信頼性データ (データシートを含みます)、設計リソース (リファレンス デザインを含みます)、アプリケーションや設計に関する各種アドバイス、Web ツール、安全性情報、その他のリソースを、欠陥が存在する可能性のある「現状のまま」提供しており、商品性および特定目的に対する適合性の黙示保証、第三者の知的財産権の非侵害保証を含むいかなる保証も、明示的または黙示的にかかわらず拒否します。

これらのリソースは、TI 製品を使用する設計の経験を積んだ開発者への提供を意図したものです。(1) お客様のアプリケーションに適した TI 製品の選定、(2) お客様のアプリケーションの設計、検証、試験、(3) お客様のアプリケーションに該当する各種規格や、その他のあらゆる安全性、セキュリティ、規制、または他の要件への確実な適合に関する責任を、お客様のみが単独で負うものとし、TI は一切の責任を拒否します。

上記の各種リソースは、予告なく変更される可能性があります。これらのリソースは、リソースで説明されている TI 製品を使用するアプリケーションの開発の目的でのみ、TI はその使用をお客様に許諾します。これらのリソースに関して、他の目的で複製することや掲載することは禁止されています。TI や第三者の知的財産権のライセンスが付与されている訳ではありません。お客様は、これらのリソースを自身で使用した結果発生するあらゆる申し立て、損害、費用、損失、責任について、TI およびその代理人を完全に補償するものとし、TI は一切の責任を拒否します。

TI の製品は、[TI の販売条件](#)、[TI の総合的な品質ガイドライン](#)、[ti.com](https://www.ti.com) または TI 製品などに関連して提供される他の適用条件に従い提供されます。TI がこれらのリソースを提供することは、適用される TI の保証または他の保証の放棄の拡大や変更を意味するものではありません。TI がカスタム、またはカスタマー仕様として明示的に指定していない限り、TI の製品は標準的なカタログに掲載される汎用機器です。

お客様がいかなる追加条項または代替条項を提案する場合も、TI はそれらに異議を唱え、拒否します。

Copyright © 2025, Texas Instruments Incorporated

最終更新日：2025 年 10 月