



24ビット広帯域A/Dコンバータ

特 長

- 105kSPS データレート

- AC特性

帯域幅 51kHz

SN比 109dB (高分解能モード)

THD -105dB

- DC精度

オフセット・ドリフト $1.8\mu\text{V}/^\circ\text{C}$

ゲイン・ドリフト $2\text{ppm}/^\circ\text{C}$

- 選択可能な動作モード

高速モード：105kSPS データレート

高分解能モード：109dB SN比

ローパワーモード：35mW電力消費

- パワーダウン制御

- デジタル・フィルタ

線形位相応答

通過帯域リップル： $\pm 0.005\text{dB}$

阻止帯域の減衰：100dB

- コマンドによる内部オフセット補償

- SPITMあるいはフレーム同期のシリアル・インターフェイスが選択可能

- 2マルチチャネル・システム用途に設計

デイジタル・チェイン可能なシリアル・インターフェイス

同期が容易

- 単純なピン・ドライブ制御

● -40°C から $+105^\circ\text{C}$ で規定

● アナログ電源電圧：5V

● デジタル電源電圧：1.8Vから3.3V

ア プ リ ケ シ ョ ン

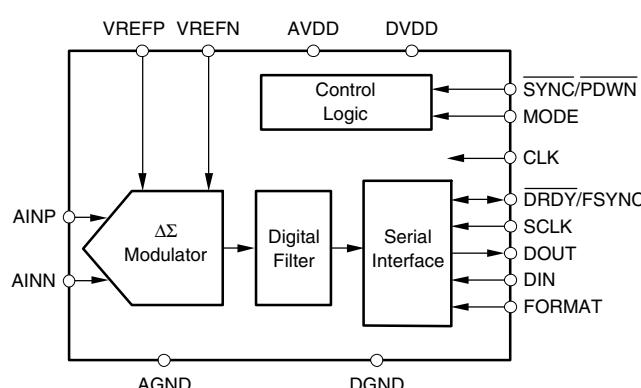
- 振動/モーダル解析

- 音響

- ダイナミックひずみゲージ

- 圧力センサー

- 試験および計測



この資料は、Texas Instruments Incorporated (TI) が英文で記述した資料を、皆様のご理解の一助として頂くために日本テキサス・インスツルメンツ (日本TI) が英文から和文へ翻訳して作成したものです。

資料によっては正規英語版資料の更新に対応していないものがあります。日本TIによる和文資料は、あくまでもTI正規英語版をご理解頂くための補助的参考資料としてご使用下さい。

製品のご検討およびご採用にあたりましては必ず正規英語版の最新資料をご確認下さい。

TIおよび日本TIは、正規英語版にて更新の情報を提供しているにもかかわらず、更新以前の情報に基づいて発生した問題や障害等につきましては如何なる責任も負いません。

概要

ADS1271は24ビットのデルタ-シグマ型ADC(アナログ・トゥ・デジタル・コンバータ)であり、そのデータレートは最大105kSPSです。ADS1271は、優れたDC精度と並外れたAC特性というユニークな組み合わせを提供します。その高次のチョッパ安定型変調器は、帯域内の低ノイズとともに非常に低ドリフトを実現しています。また、実装されているデシメーション・フィルタは、変調器および信号帯域外ノイズを抑圧します。ADS1271は、使用可能な帯域幅をナイキスト周波数の最大90%まで0.005dB以下のリップルで提供します。

従来の良好なドリフト特性を提供する産業用デルタ-シグマ型ADCは、通過帯域のドループが大きいデジタルフィルタを使用しています。その結果、信号帯域幅に制限が生じており、主にDC計測用途に限られています。オーディオ・アプリケーション用の高分解能ADCはより広い使用可能な帯域幅を提供しますが、オフセットおよびドリフトの仕様がその産業用の相当品よりもはるかに劣ります。ADS1271は両方のコンバータを組み合わせて、拡張された産業温度範囲で保証する優れたACおよびDC仕様により、高精細の産業用途の計測を可能にしています。

3つの動作モードにより、変換速度、分解能、および消費電力の最適化ができます。また、SPIあるいはフレーム同期の選択可能なシリアル・インターフェイスにより、マイクロコントローラやDSPとの簡便なインターフェイスが可能です。内部オフセット補償を含めたすべての動作がピンから直接制御でき、プログラミングを要するレジスタはありません。

絶対最大定格

over operating free-air temperature range unless otherwise noted⁽¹⁾

	ADS1271	UNIT
AVDD to AGND	-0.3 to +6.0	V
DVDD to DGND	-0.3 to +3.6	V
AGND to DGND	-0.3 to +0.3	V
Input Current	100, Momentary	mA
	10, Continuous	mA
Analog Input to AGND	-0.3 to AVDD + 0.3	V
Digital Input or Output to DGND	-0.3 to DVDD + 0.3	V
Maximum Junction Temperature	+150	°C
Operating Temperature Range	-40 to +105	°C
Storage Temperature Range	-60 to +150	°C
Lead Temperature (soldering, 10s)	+300	°C

(1) Stresses above these ratings may cause permanent damage.
Exposure to absolute maximum conditions for extended periods
may degrade device reliability. These are stress ratings only, and
functional operation of the device at these or any other conditions
beyond those specified is not implied.

注文情報

最新のパッケージおよび注文に関する情報は、本データシートの巻末のパッケージ・オプション付録をご覧ください。または、弊社のウェブサイト www.ti.com を参照願います。



静電気放電対策

静電気放電はわずかな性能の低下から完全なデバイスの故障に至るまで、様々な損傷を与えます。すべての集積回路は、適切なESD保護方法を用いて、取扱いと保存を行うようにして下さい。高精度の集積回路は、損傷に対して敏感であり、極めてわずかなパラメータの変化により、デバイスに規定された仕様に適合しなくなる場合があります。

電気的特性

All specifications at $T_A = -40^\circ\text{C}$ to $+105^\circ\text{C}$, AVDD = +5V, DVDD = +1.8V, $f_{\text{CLK}} = 27\text{MHz}$, VREFP = 2.5V, VREFN = 0V, unless otherwise noted.

PARAMETER	TEST CONDITIONS	ADS1271			UNITS
		MIN	TYP	MAX	
Analog Inputs					
Full-scale input voltage (FSR) ⁽¹⁾	$V_{\text{IN}} = (\text{AINP} - \text{AINN})$		$\pm V_{\text{REF}}$		V
Absolute input voltage	AINP or AINN to AGND	AGND - 0.1		AVDD + 0.1	V
Common-mode input voltage	$V_{\text{CM}} = (\text{AINP} + \text{AINN})/2$		2.5		V
Differential inputif impedance	High-Speed mode		16.4		$\text{k}\Omega$
	High-Resolution mode		16.4		$\text{k}\Omega$
	Low-Power mode		32.8		$\text{k}\Omega$
DC Performance					
Resolution	No missing codes	24			Bits
Data rate (f_{DATA})	High-Speed mode		105,469		SPS
	High-Resolution mode		52,734		SPS
	Low-Power mode		52,734		SPS
Integral nonlinearity (INL)	Differential input, $V_{\text{CM}} = 2.5\text{V}$		± 0.0006	± 0.0015	% of FSR ⁽¹⁾
Offset error	High-Speed mode	Without calibration	0.150	1	mV
		With calibration	On the level of the noise		
Offset drift			1.8		$\mu\text{V}/^\circ\text{C}$
Gain error			0.1	0.5	%
Gain error drift			2		$\text{ppm}/^\circ\text{C}$
Noise	High-Speed mode	Shorted input	9.0	20	$\mu\text{V, rms}$
	High-Resolution mode		6.5		$\mu\text{V, rms}$
	Low-Power mode		9.0		$\mu\text{V, rms}$
Common-mode rejection	$f_{\text{CM}} = 60\text{Hz}$	90	100		dB
Power-supply rejection	AVDD		80		dB
	DVDD	$f = 60\text{Hz}$	80		dB
AC Performance					
Signal-to-noise ratio (SNR) ⁽²⁾ (unweighted)	High-Speed mode		99	106	dB
	High-Resolution mode			109	dB
	Low-Power mode			106	dB
Total harmonic distortion (THD) ⁽³⁾	$V_{\text{IN}} = 1\text{kHz, } -0.5\text{dBFS}$		-105	-95	dB
Spurious free dynamic range			-108		dB
Passband ripple				± 0.005	dB
Passband			0.453 f_{DATA}		Hz
-3dB Bandwidth			0.49 f_{DATA}		Hz
Stop band attenuation		100			dB
Stop band	High-Speed mode	0.547 f_{DATA}		63.453 f_{DATA}	Hz
	High-Resolution mode	0.547 f_{DATA}		127.453 f_{DATA}	Hz
	Low-Power mode	0.547 f_{DATA}		63.453 f_{DATA}	Hz
Group delay	High-Speed and Low-Power modes		38 / f_{DATA}		s
	High-Resolution mode		39 / f_{DATA}		s
Settling time (latency)	High-Speed and Low-Power modes	Complete settling	76 / f_{DATA}		s
	High-Resolution mode	Complete settling	78 / f_{DATA}		s

- (1) FSR = フルスケール範囲 = $2V_{\text{REF}}$
- (2) SN比はDCノイズ仕様のリミットで保証されます。
- (3) THDは入力信号の9次高調波まで含みます。
- (4) MODEおよびFORMATピンは除外します。
- (5) SCLKに関する詳細は本文をご覧ください。

電気的特性(続き)

All specifications at $T_A = -40^\circ\text{C}$ to $+105^\circ\text{C}$, AVDD = +5V, DVDD = +1.8V, f_{CLK} = 27MHz, VREFP = 2.5V, VREFN = 0V, unless otherwise noted.

PARAMETER	TEST CONDITIONS	ADS1271			UNITS
		MIN	TYP	MAX	
Voltage Reference Inputs					
Reference input voltage (V _{REF})	$\text{V}_{\text{REF}} = \text{VREFP} - \text{VREFN}$	2.0	2.5	2.65	V
Negative reference input (V _{REFN})		AGND - 0.1		VREFP - 2.0	V
Positive reference input (V _{REFP})		VREFN + 2.0		AVDD - 0.5	V
Reference Input impedance	High-Speed mode		4.2		kΩ
	High-Resolution mode		4.2		kΩ
	Low-Power mode		8.4		kΩ
Digital Input /Output					
V _{IH}		0.7 DVDD		DVDD	V
V _{IL}		DGND		0.3 DVDD	V
V _{OH}	$\text{IOH} = 5\text{mA}$	0.8 DVDD		DVDD	V
V _{OL}	$\text{IOL} = 5\text{mA}$	DGND		0.2 DVDD	V
Input leakage ⁽⁴⁾	$0 < \text{V}_{\text{IN DIGITAL}} < \text{DVDD}$			±10	μA
Master clock rate (f _{CLK})		0.1		27	MHz
Serial clock rate (f _{SCLK}) ⁽⁵⁾	SPI format	24 f _{DATA}		f _{CLK}	MHz
	Frame-Sync format	High-Speed mode	64 f _{DATA}	64 f _{DATA}	MHz
		High-Resolution mode	128 f _{DATA}	128 f _{DATA}	MHz
		Low-Power mode	64 f _{DATA}	64 f _{DATA}	MHz
Power Supply					
AVDD		4.75	5	5.25	V
DVDD		1.65		3.6	V
AVDD current	High-Speed mode		17	25	mA
	High-Resolution mode		17	25	mA
	Low-Power mode		6.3	9.5	mA
	Power-Down mode	$T > 85^\circ\text{C}$	1	70	μA
		$T \leq 85^\circ\text{C}$	1	10	μA
DVDD current	High-Speed mode		3.5	6	mA
	High-Resolution mode		2.5	5	mA
	Low-Power mode		1.8	3.5	mA
	Power-Down mode	$T > 85^\circ\text{C}, \text{DVDD} = 3.3\text{V}$	1	70	μA
Power dissipation	High-Speed mode	$T \leq 85^\circ\text{C}, \text{DVDD} = 3.3\text{V}$	1	20	μA
			92	136	mW
	High-Resolution mode		90	134	mW
	Low-Power mode		35	54	mW
Temperature Range					
Specified		-40		+105	°C
Operating		-40		+105	°C
Storage		-60		+150	°C

(1) FSR = full-scale range = 2V_{REF} .

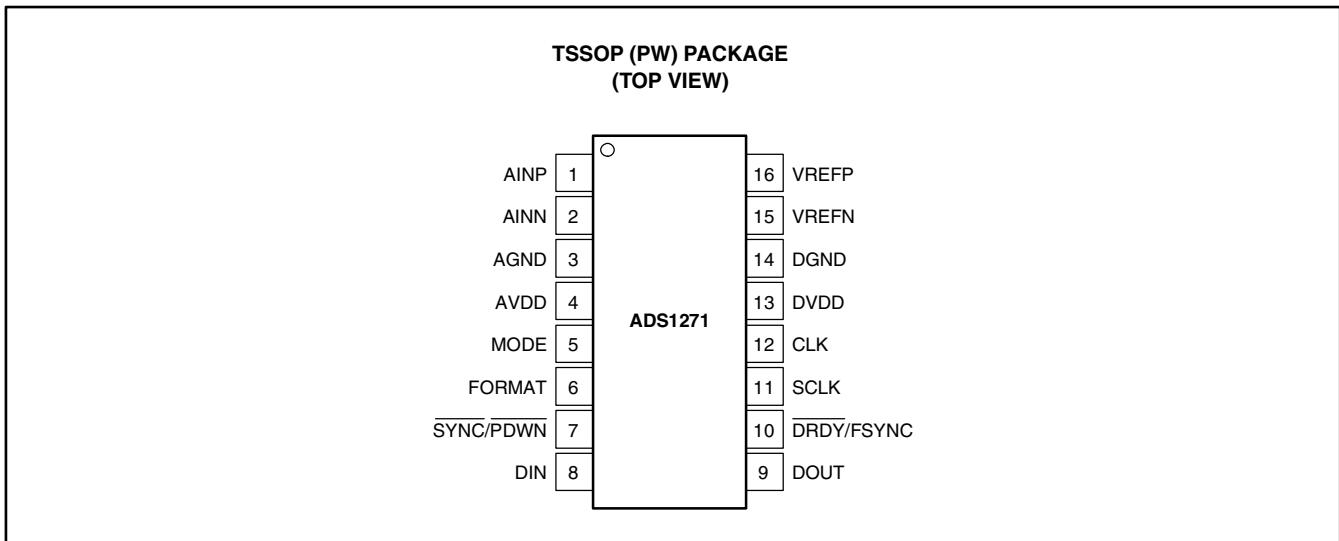
(2) Minimum SNR is ensured by the limit of the DC noise specification.

(3) THD includes the first nine harmonics of the input signal.

(4) MODE and FORMAT pins excluded.

(5) See the text for more details on SCLK.

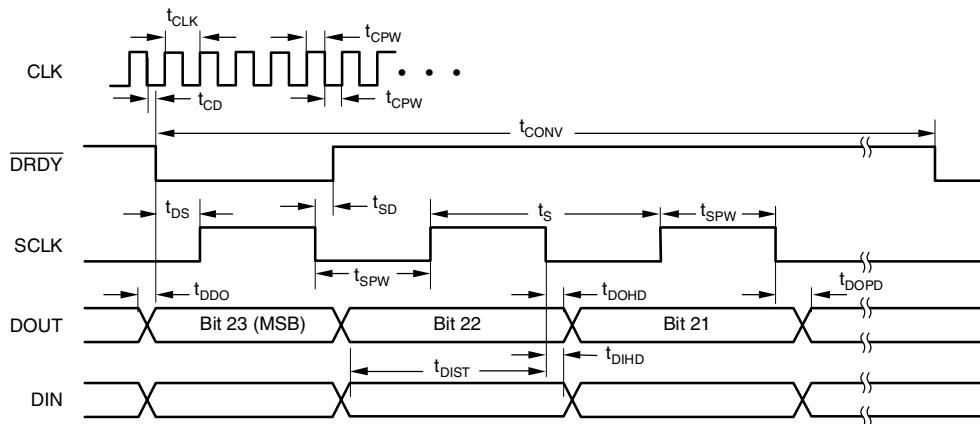
ピン配置



端子機能

PIN NAME	NO.	FUNCTION	DESCRIPTION
AINP	1	Analog Input	Positive analog input
AINN	2	Analog Input	Negative analog input
AGND	3	Analog Input	Analog ground
AVDD	4	Analog Input	Analog supply
MODE	5	Digital Input	MODE = 0: High-Speed mode MODE = float: High-Resolution mode MODE = 1: Low-Power mode
FORMAT	6	Digital Input	FORMAT = 0: SPI FORMAT = 1: Frame-Sync
SYNC/PDWN	7	Digital Input	Synchronize/Power-down input, active low
DIN	8	Digital Input	Data input for daisy-chain operation
DOUT	9	Digital Output	Data output
DRDY/FSYNC	10	Digital Input/Output	If FORMAT = 0 (SPI), then pin 10 = DRDY output If FORMAT = 1 (Frame-Sync), then pin 10 = FSYNC input
SCLK	11	Digital Input	Serial clock for data retrieval
CLK	12	Digital Input	Master clock
DVDD	13	Digital Input	Digital supply
DGND	14	Digital Input	Digital ground
VREFN	15	Analog Input	Negative reference input
VREFP	16	Analog Input	Positive reference input

タイミング特性：SPIフォーマット



タイミング仕様：SPIフォーマット

For $T_A = -40^{\circ}\text{C}$ to $+105^{\circ}\text{C}$ and $\text{DVDD} = 1.65\text{V}$ to 3.6V .

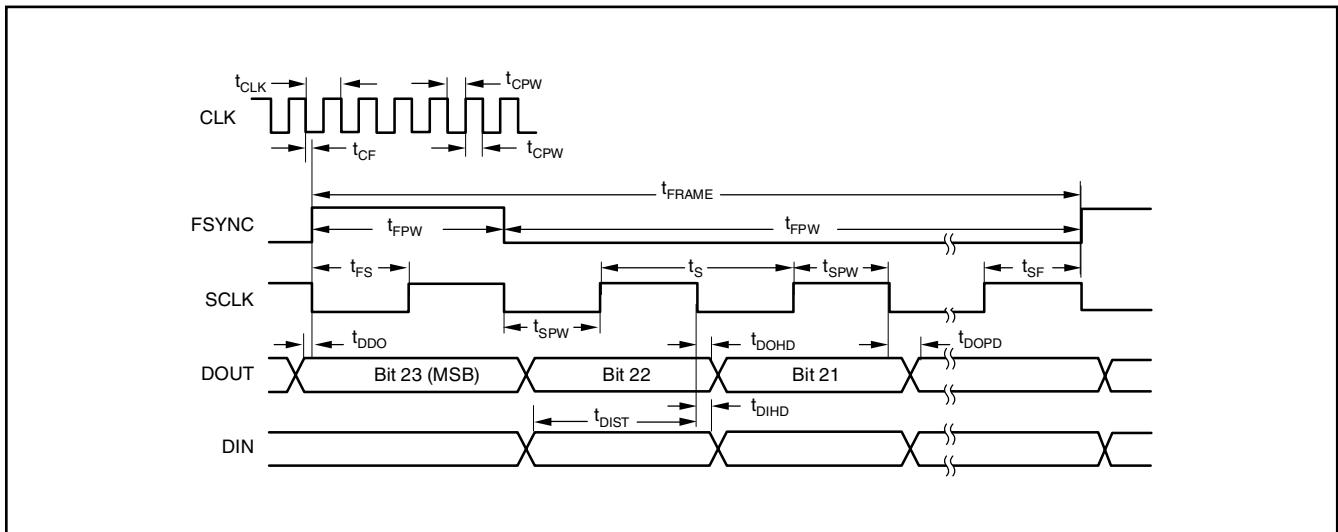
SYMBOL	PARAMETER	MIN	TYP	MAX	UNIT
t_{CLK}	CLK period ($1/f_{CLK}$)	37		10,000	ns
t_{CPW}	CLK positive or negative pulse width	15			ns
t_{CONV}	High-Speed mode		256		CLK periods
	Conversion period ($1/f_{DATA}$)		512		CLK periods
	High-Resolution mode		512		CLK periods
$t_{CD}^{(1)}$	Falling edge of CLK to falling edge of $\overline{\text{DRDY}}$		8		ns
$t_{DS}^{(1)}$	Falling edge of $\overline{\text{DRDY}}$ to rising edge of first SCLK to retrieve data	5			ns
$t_{DDO}^{(1)}$	Valid DOUT to falling edge of $\overline{\text{DRDY}}$	0			ns
$t_{SD}^{(1)}$	Falling edge of SCLK to rising edge of $\overline{\text{DRDY}}$		8		ns
$t_s^{(2)}$	SCLK period	t_{CLK}			ns
t_{SPW}	SCLK positive or negative pulse width	12			ns
$t_{DOHD}^{(1)(3)}$	SCLK falling edge to old DOUT invalid (hold time)	5			ns
$t_{DOPD}^{(1)}$	SCLK falling edge to new DOUT valid (propagation delay)			12	ns
t_{DIST}	New DIN valid to falling edge of SCLK (setup time)	6			ns
$t_{DIHD}^{(3)}$	Old DIN valid to falling edge of SCLK (hold time)	6			ns

(1) および DOUT の負荷 = 20 pF

(2) 最適特性を得るために、 f_{SCLK}/f_{CLK} を 1, 1/2, 1/4, 1/8などの比に限定します。

(3) t_{DOHD} (DOUTホールドタイム) および t_{DIHD} (DINホールドタイム) は、逆の最悪条件 (デジタル電源電圧および周囲温度) 下で指定されています。DOUTをDINに直接に接続した等しい条件下では、タイミング余裕が4nSになります。

タイミング特性：フレーム同期フォーマット



タイミング仕様：フレーム同期フォーマット

for $T_A = -40^{\circ}\text{C}$ to $+105^{\circ}\text{C}$ and $\text{DVDD} = 1.65\text{V}$ to 3.6V .

SYMBOL	PARAMETER	MIN	TYP	MAX	UNIT
t_{CLK}	CLK period ($1/f_{CLK}$)	37		10,000	ns
t_{CPW}	CLK positive or negative pulse width	15			ns
t_{CF}	Falling edge of CLK to falling edge of SCLK	-0.35 t_{CLK}		0.35 t_{CLK}	ns
t_{FRAME}	Frame period ($1/f_{DATA}$)	High-Speed mode	256		CLK periods
		High-Resolution mode	256 or 512(1)		CLK periods
		Low-Power mode	256 or 512(1)		CLK periods
t_{FPW}	FSYNC positive or negative pulse width	1			SCLK periods
t_{FS}	Rising edge of FSYNC to rising edge of SCLK	5			ns
t_{SF}	Rising edge of SCLK to rising edge of FSYNC	5			ns
t_S	SCLK period (SCLK must be continuously running)	High-Speed mode	$t_{FRAME}/64$		t_{FRAME} periods
		High-Resolution mode	$t_{FRAME}/128$		t_{FRAME} periods
		Low-Power mode	$t_{FRAME}/64$		t_{FRAME} periods
t_{SPW}	SCLK positive or negative pulse width	0.4 t_{SCLK}		0.6 t_{SCLK}	ns
t_{DOHD} ⁽²⁾⁽³⁾	SCLK falling edge to old DOUT invalid (hold time)	5			ns
t_{DOPD} ⁽²⁾	SCLK falling edge to new DOUT valid (propagation delay)			12	ns
t_{DDO} ⁽²⁾	Valid DOUT to falling edge of FSYNC	0			ns
t_{DIST}	New DIN valid to falling edge of SCLK (setup time)	6			ns
t_{DIHD} ⁽³⁾	Old DIN valid to falling edge of SCLK (hold time)	6			ns

(1) ADS1271は自動的にいずれかのフレーム周期を検出します。

(2) DOUTの負荷 = 20pF

(3) t_{DOHD} (DOUTホールドタイム) および t_{DIHD} (DINホールドタイム) は、逆の最悪条件 (デジタル電源電圧および周囲温度) 下で指定されています。DOUTをDINに直接に接続した等しい条件下では、タイミング余裕が 4nS になります。

代表的特性

$T_A = 25^\circ\text{C}$, AVDD = 5V, DVDD = 1.8V, f_{CLK} = 27MHz, VREFP = 2.5V, VREFN = 0V, unless otherwise noted.

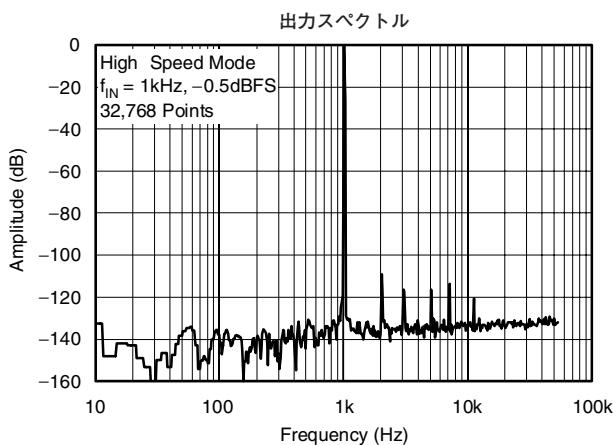


図 1

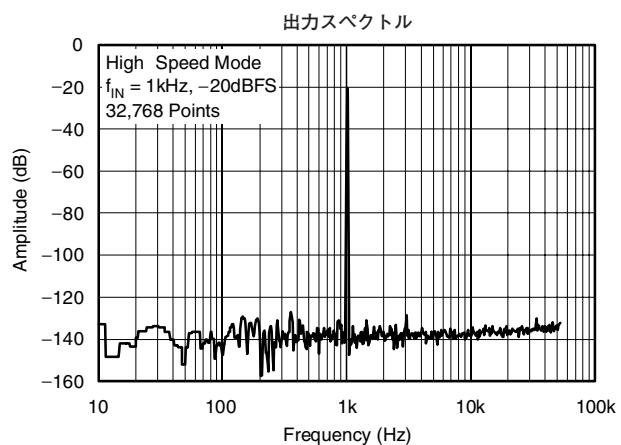


図 2

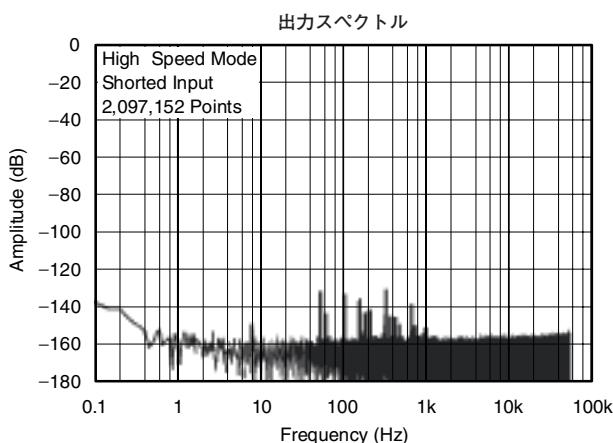


図 3

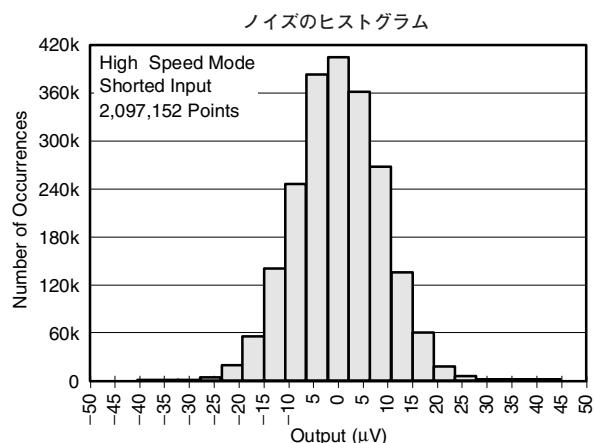


図 4

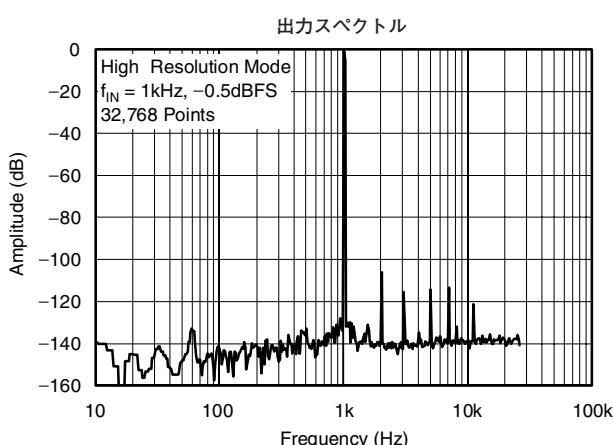


図 5

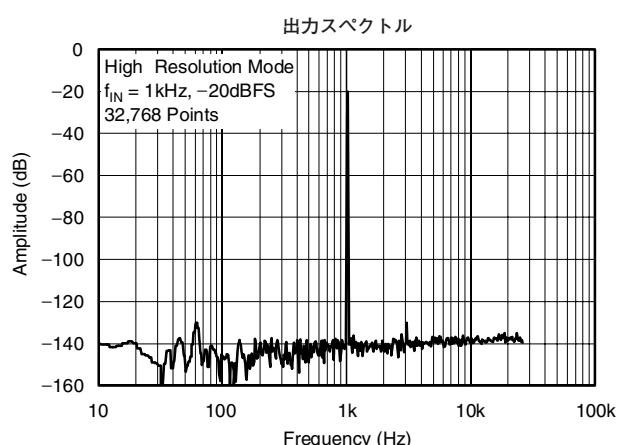


図 6

代表的特性

$T_A = 25^\circ\text{C}$, AVDD = 5V, DVDD = 1.8V, $f_{\text{CLK}} = 27\text{MHz}$, VREFP = 2.5V, VREFN = 0V, unless otherwise noted.

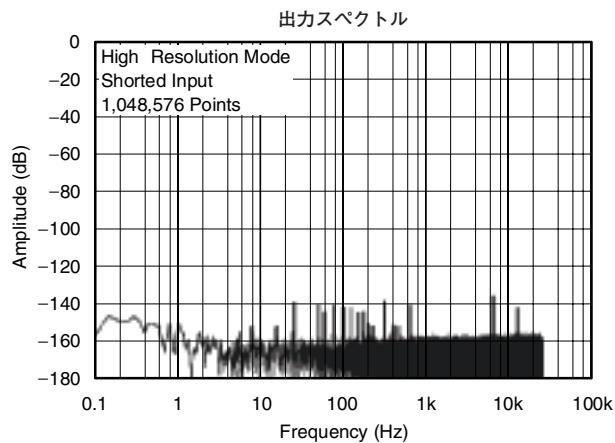


図 7

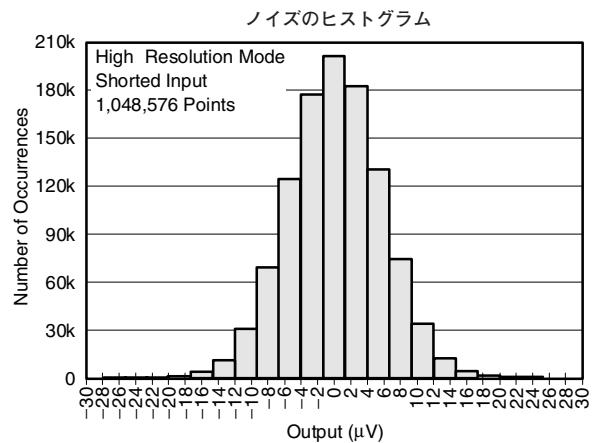


図 8

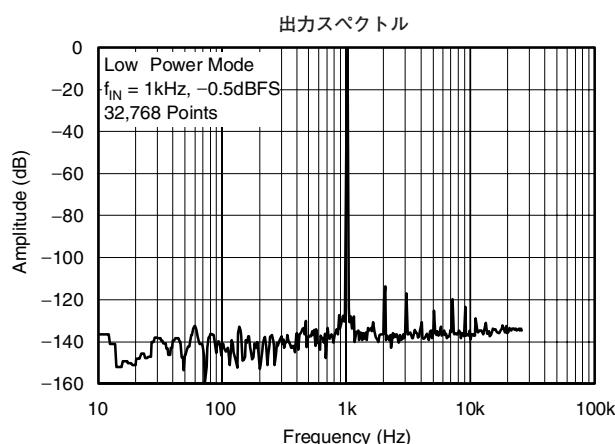


図 9

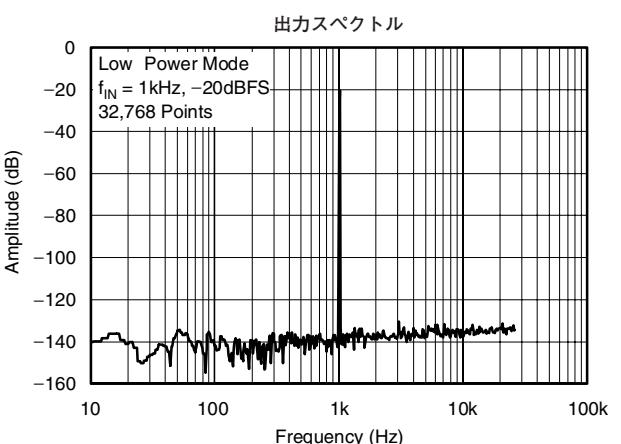


図 10

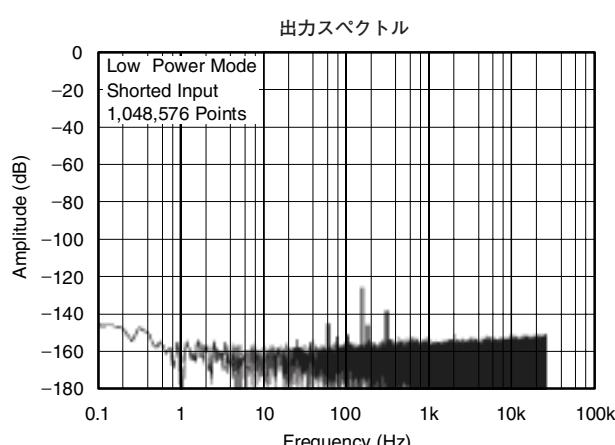


図 11

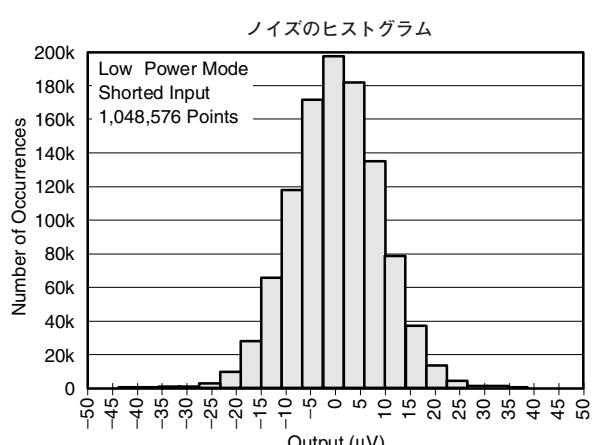


図 12

代表的特性

$T_A = 25^\circ\text{C}$, $\text{AVDD} = 5\text{V}$, $\text{DVDD} = 1.8\text{V}$, $f_{\text{CLK}} = 27\text{MHz}$, $\text{VREFP} = 2.5\text{V}$, $\text{VREFN} = 0\text{V}$, unless otherwise noted.

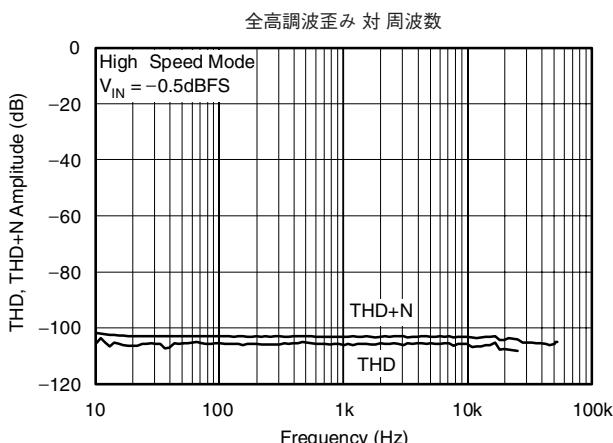


図 13

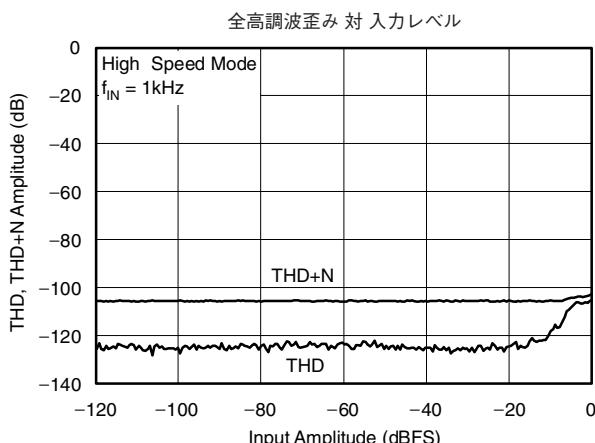


図 14

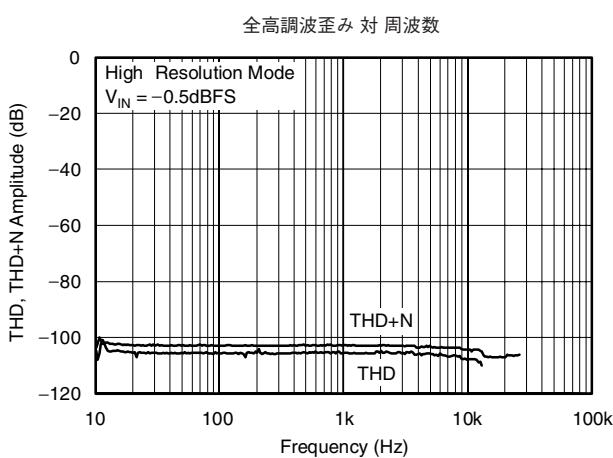


図 15

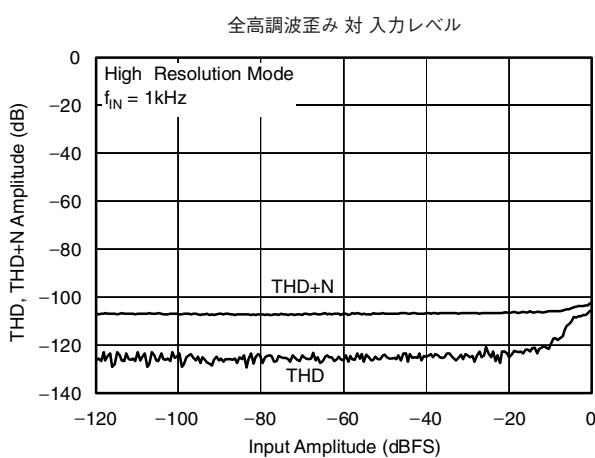


図 16

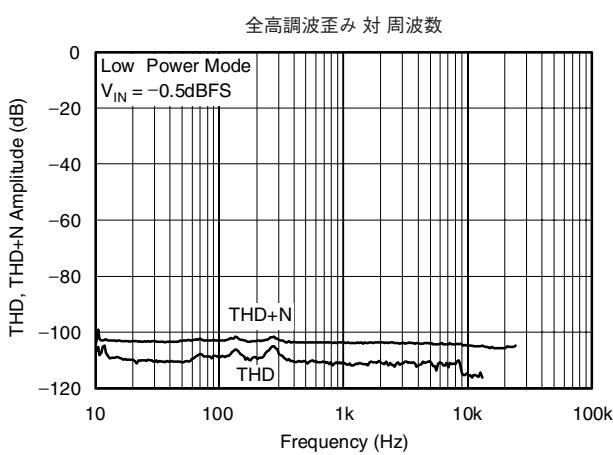


図 17

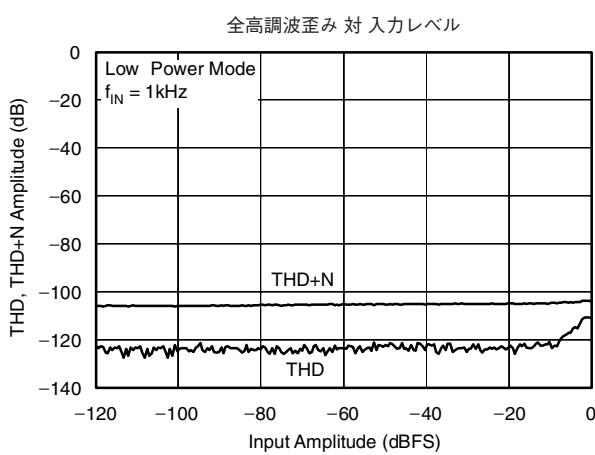


図 18

代表的特性

$T_A = 25^\circ\text{C}$, AVDD = 5V, DVDD = 1.8V, $f_{\text{CLK}} = 27\text{MHz}$, VREFP = 2.5V, VREFN = 0V, unless otherwise noted.

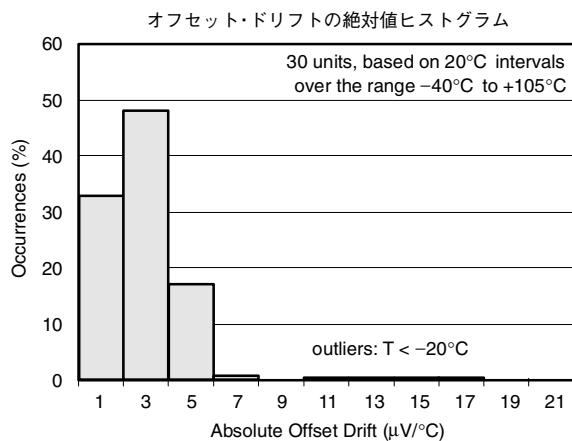


図 19

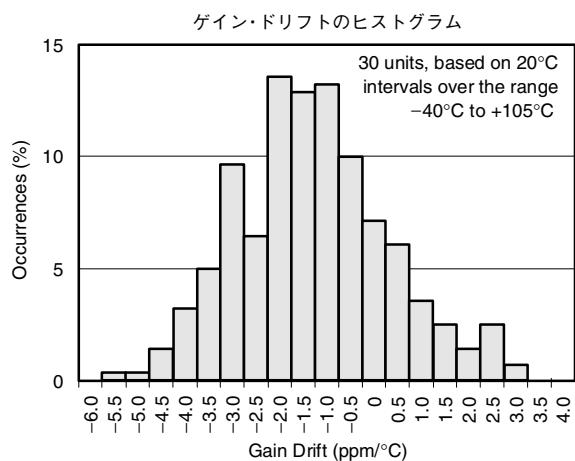


図 20

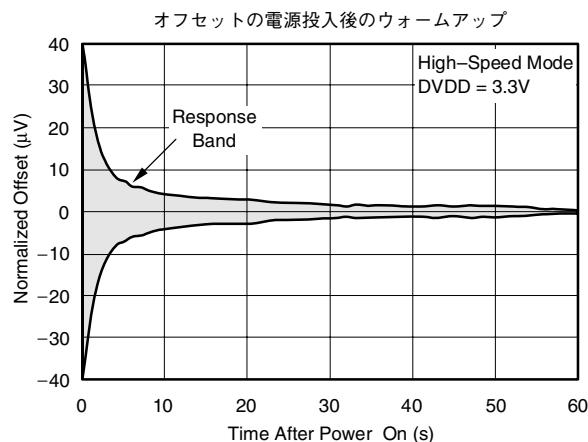


図 21

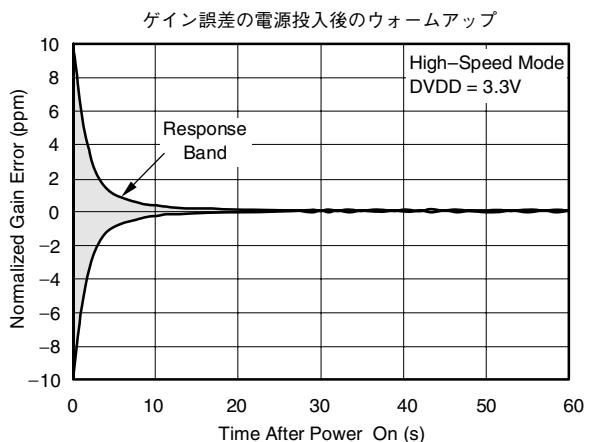


図 22

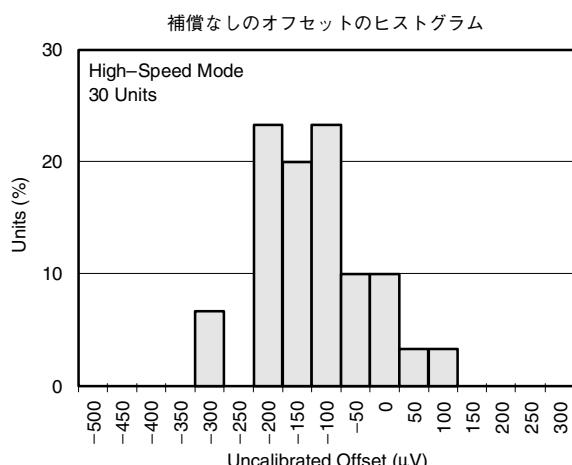


図 23

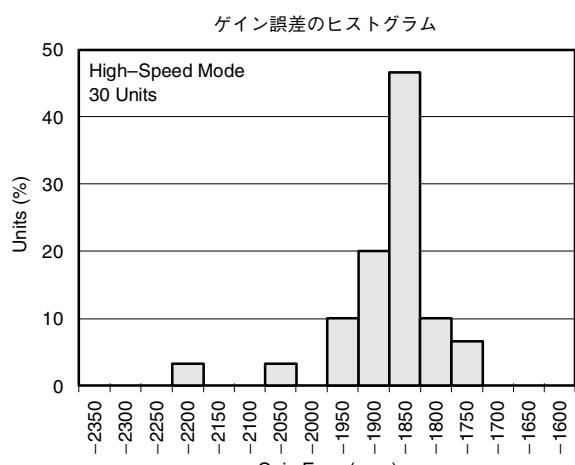
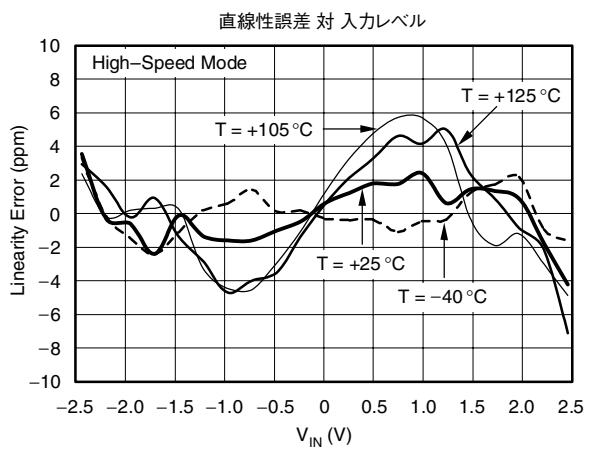
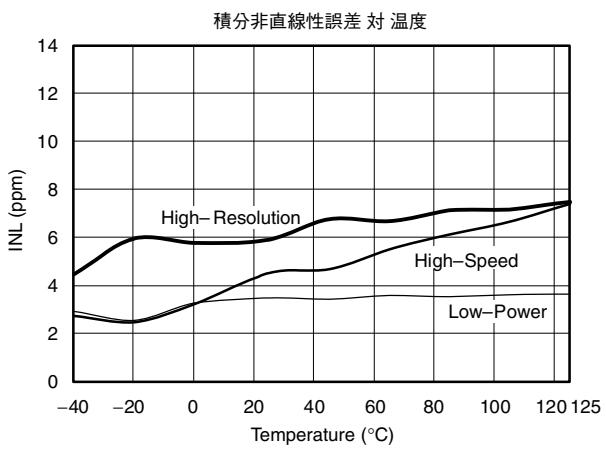
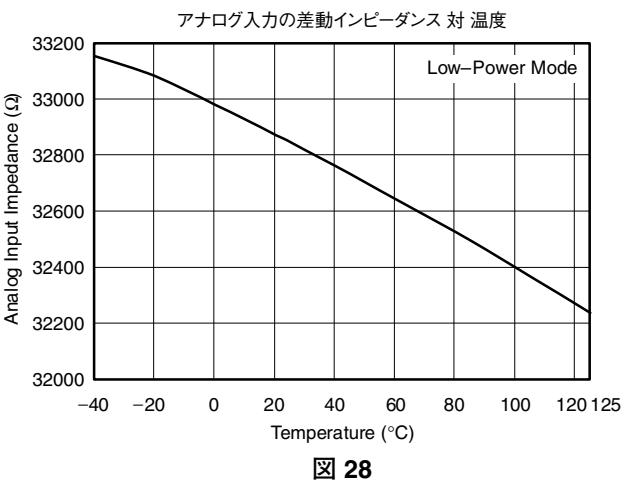
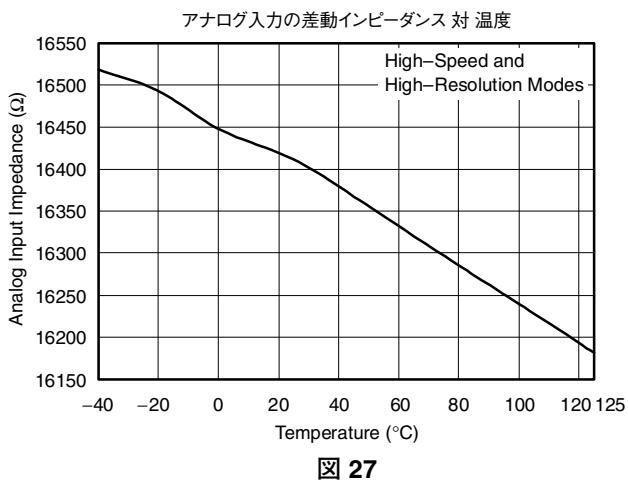
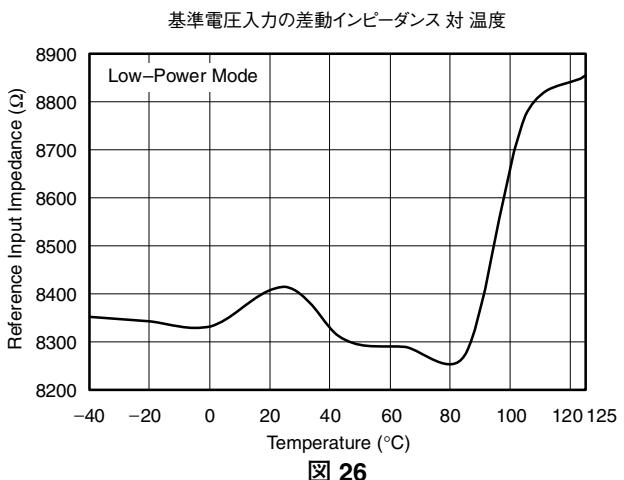
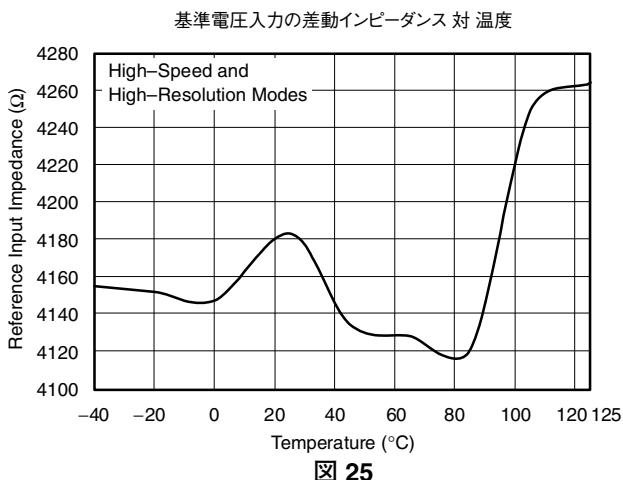


図 24

代表的特性

$T_A = 25^\circ\text{C}$, AVDD = 5V, DVDD = 1.8V, fCLK = 27MHz, VREFP = 2.5V, VREFN = 0V, unless otherwise noted.



代表的特性

$T_A = 25^\circ\text{C}$, $\text{AVDD} = 5\text{V}$, $\text{DVDD} = 1.8\text{V}$, $f_{\text{CLK}} = 27\text{MHz}$, $\text{VREFP} = 2.5\text{V}$, $\text{VREFN} = 0\text{V}$, unless otherwise noted.

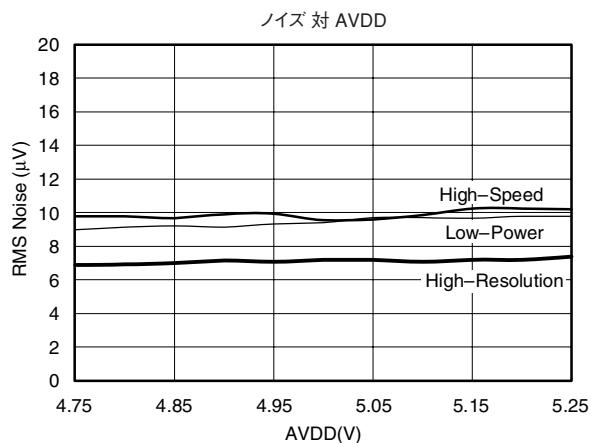


図 31

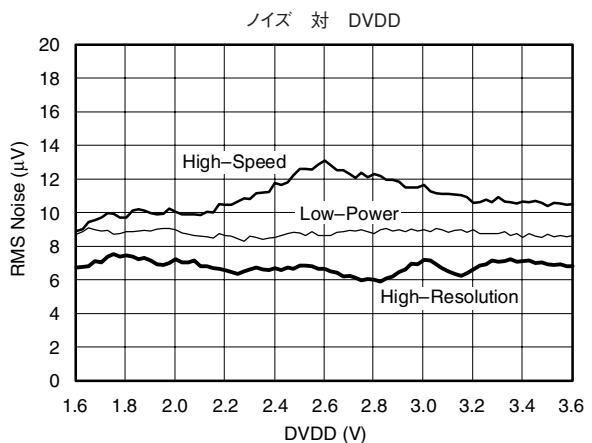


図 32

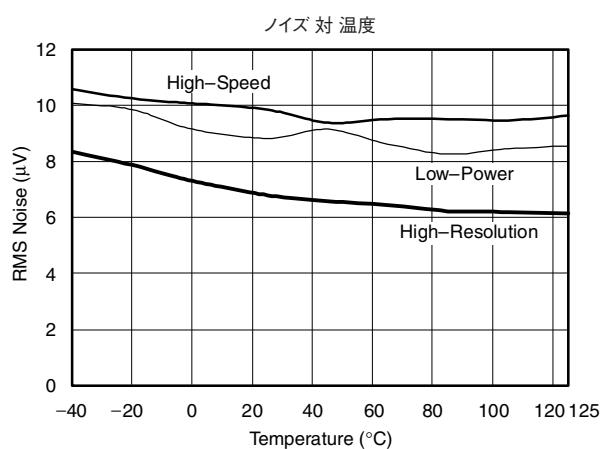


図 33

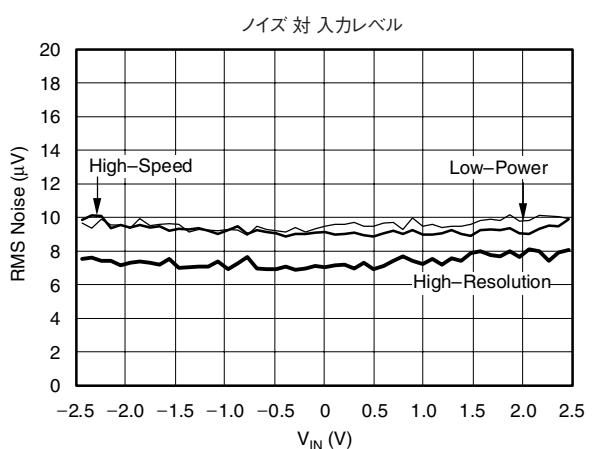


図 34

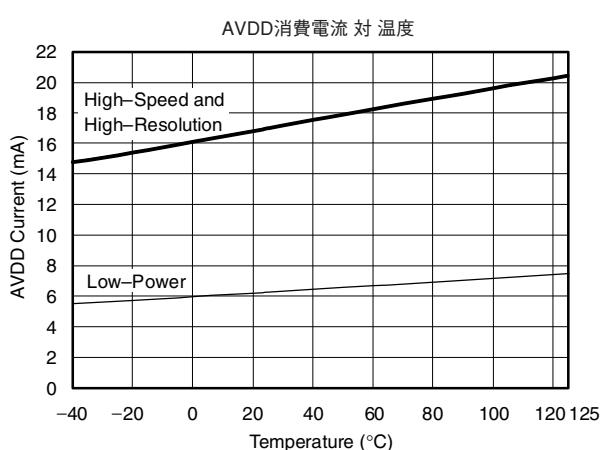


図 35

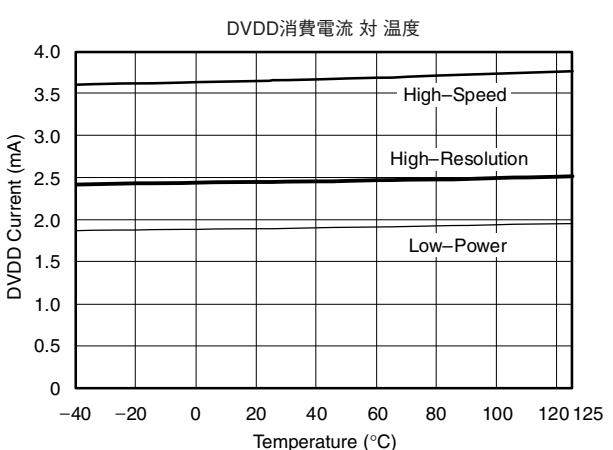


図 36

概 観

ADS1271は24ビットのデルタ-シグマ型ADCであり、抜群のDC精度と優れたAC特性の組み合わせを提供します。図37にADS1271のブロック・ダイアグラムを示します。ADS1271コンバータは、先進の6次チョッパ安定型デルタ-シグマ変調器と、それに続く低リップルの線形位相FIRフィルタから構成されます。変調器は差動入力信号 $V_{IN} = (AINP - AINN)$ を差動基準電圧 $V_{REF} = (VREFP - VREFN)$ に対して計測します。デジタル・フィルタは変調器信号を受け取り、低ノイズのデジタル出力を供給します。また、変換速度、分解能、および消費電力間のトレードオフを実現するために、ADS1271は高速、高分解能、および

低消費電力の3動作モードをサポートしています。その各モードの特性を表1に要約します。高速モードではデータレートが105kSPSであり、高分解能モードではSN比 = 109dB、および低消費電力モードでは消費電力がわずか35mWです。

ADS1271は単に適切なIOピンで設定するようになっており、プログラミングを要するレジスタはありません。データは、SPIとフレーム同期の両フォーマットをサポートするシリアル・インターフェイスで取り出されます。また、ADS1271にはディジ・チェインが可能な出力および外部から同期できる能力があるため、マルチチャネル・システムで容易に使用することができます。

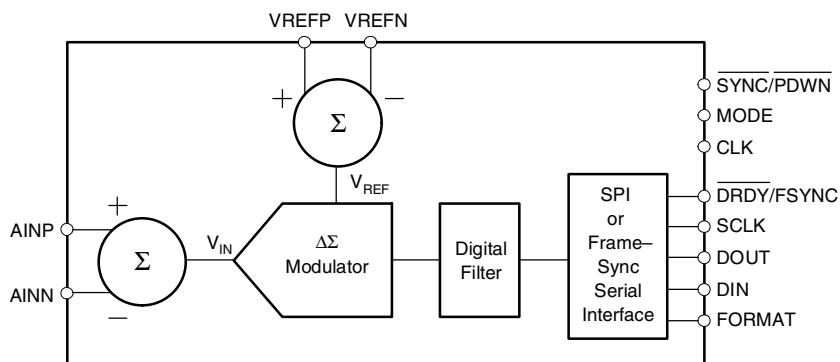


図 37. ブロック図

MODE	DATA RATE (SPS)	PASSBAND (Hz)	SNR (dB)	NOISE (μVRMS)	POWER (mW)
High-Speed	105,469	47,777	106	9.0	92
High-Resolution	52,734	23,889	109	6.5	90
Low-Power	52,734	23,889	106	9.0	35

表 1. 動作モード特性の要約

アナログ入力 (AINP, AINN)

ADS1271は差動入力信号 $V_{IN} = (AINP - AINN)$ を差動基準電圧 $V_{REF} = (VREFP - VREFN)$ に対して計測します。差動入力の測定可能な正の最大値は $+V_{REF}$ であり、そのデジタル出力コードは正の最大値である $7FFFFFh$ になります。同様に、差動入力の測定可能な負の最大値は $-V_{REF}$ であり、そのデジタル出力コードは負の最大値である $800000h$ になります。

ADS1271が差動入力信号を計測しているときの、入力電圧の絶対値もまた重要です。これは各入力 (AINP, AINN) における AGNDに対する電圧になります。この電圧の範囲は下記のようになります。

$$0.1V < (AINN \text{ or } AINP) < A VDD + 0.1V$$

いずれかの入力が $-0.1V$ を下回るか、あるいは $(AVDD + 0.1V)$ を上回る値になると、入力におけるESD保護ダイオードがオンします。

ADS1271はスイッチト・キャパシタ回路を使用して入力電圧を測定しています。内部コンデンサは両入力で充電され、次に放電されます。図38にこれらの回路の概念図を示します。スイッ

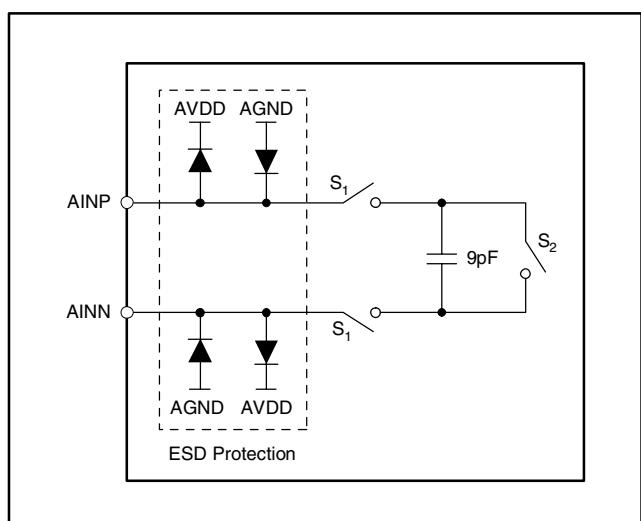


図 38. アナログ入力の等価回路

MODE	INTERFACE FORMAT	f_{MOD}
High-Speed	SPI or Frame-Sync	$f_{CLK}/4$
High-Resolution	SPI	$f_{CLK}/4$
	Frame-Sync	$f_{CLK}/4$ or $f_{CLK}/2$
Low-Power	SPI	$f_{CLK}/8$
	Frame-Sync	$f_{CLK}/8$ or $f_{CLK}/4$

表 2. 異なるモードおよびフォーマットに関する変調器周波数

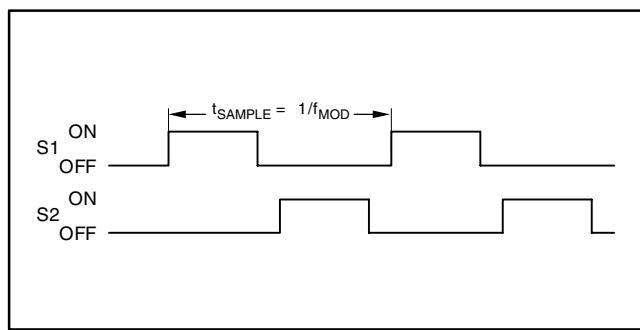


図 39. 図 38のS1およびS2のスイッチ・タイミング

S2は、サンプリング用コンデンサの放電における変調器回路の全体の作用を示します。しかし、実際の回路はこれと異なります。スイッチS1およびS2のタイミングを図39に示します。サンプリング時間 (t_{SAMPLE}) は、変調器のサンプリング周波数 (f_{MOD}) の逆数であり、表2に示すような動作モード、インターフェイスのフォーマット、およびCLKの周波数の関数になります。フレーム同期フォーマットを高分解能あるいは低消費電力のモードで使用する場合、 f_{MOD} と f_{CLK} の比率はFSYNC入力で設定されるフレーム周期によって決まります。

スイッチト・キャパシタ入力による平均負荷は、図40に示すような実効差動インピーダンスにモデル化できます。この実効インピーダンスは f_{MOD} の関数になることに注意願います。

ADS1271は非常に高性能なADCです。その最適特性を得るには、適切な回路を使用してADS1271の入力をドライブすることが重要です。この推奨ドライブ回路については、『アプリケーション情報』節をご覧ください。

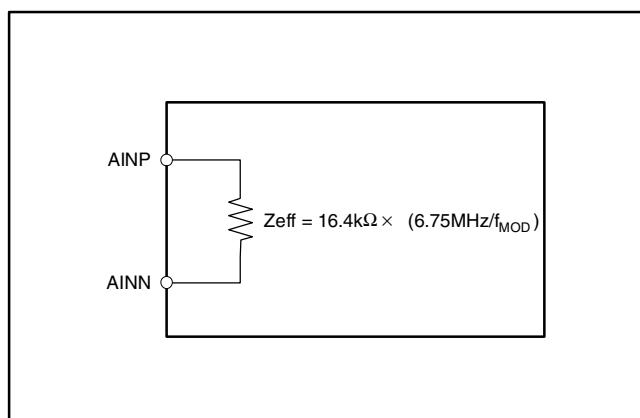


図 40. 実効入力インピーダンス

基準電圧入力 (VREFP, VREFN)

ADS1271の基準電圧は、VREFPとVREFNの2ピン間の差動電圧 $V_{REF} = (VREFP - VREFN)$ になります。この基準電圧入力はアナログ入力と類似した構造を使用しています。その基準電圧入力の等価回路を図41に示します。アナログ入力と同様に、スイッチト・キャパシタによる負荷は図42に示す実効インピーダンスでモデル化できます。

図41において、ESDダイオードが基準電圧入力を保護します。これらのダイオードがオンしないようにするには、基準電圧ピンにかかる電圧がAGNDを0.1V以上下回らないようにします。また、同様にAVDDを0.1V以上超えないようにします。すなわち：

$$-0.1V \leq VREFN \leq VREFP - 2V$$

$$VREFN + 2V \leq VREFP \leq AVDD - 0.5V$$

適切なドライブ能力を備えた上質な基準電圧源が、ADS1271の最高の特性を得るのに不可欠になります。基準電圧のノイズおよびドリフトは、システム全体の特性を低下させます。基準電圧源回路の例は、『アプリケーション情報』節をご覧ください。

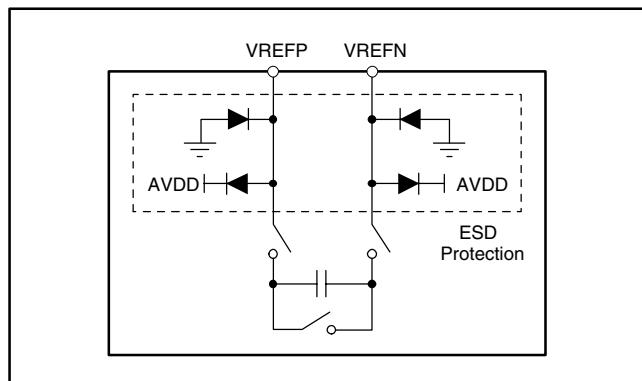


図 41. 基準電圧入力の等価回路

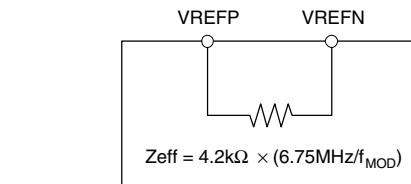


図 42. 基準電圧入力の実効インピーダンス

クロック入力 (CLK)

ADS1271には外部クロック信号をCLK入力ピンへ印加する必要があります。あらゆる高速データコンバータと同様に、最適特性には上質で低ジッタのクロックが不可欠です。したがって、水晶クロック発振器をクロック源としてお薦めします。クロック入力における過剰なリンギングは確実に除去してください。それには、47Ωの直列抵抗を使用して、クロック配線を可能な限り短くするのが有効です。

クロック周波数と出力データレートの比率は、動作モードとインターフェイス・フォーマットの関数になります。表3にSPIフォーマットを選択した場合の比率を示します。また、同表に代表的なCLK周波数とそれに対応するデータレートも示します。高速モードを使用する場合、変換ごとに256のCLK周期を要します。また、高分解能あるいは低消費電力のモードを選択すると、変換ごとに512のCLK周期を要します。

表4にフレーム同期フォーマットを選択した場合の比率を示します。フレーム同期フォーマットを高分解能あるいは低消費電力のモードで使用すると、の比率は256あるいは512であります。ADS1271は、どちらの比率が使用されているか自動的に判別します。256の比率を使用すると、等しいデータレートを維持しながらCLK周波数を2分の1に低減できます。また、出力データレートはクロック周波数で調整できます。フレーム同期に関する詳細は、『シリアル・インターフェイス』節をご覧ください。

MODE SELECTION	f _{CLK} /f _{DATA}	TYPICAL f _{CLK} (MHz) →	CORRESPONDING DATA RATE (SPS)
High-Speed	256	27 → 105,469	
High-Resolution	512	27 → 52,734	
Low-Power	512	27 → 52,734	

表 3. SPIフォーマットのクロック比率

MODE SELECTION	f _{CLK} /f _{FRAME}	TYPICAL f _{CLK} (MHz) →	CORRESPONDING DATA RATE (SPS)
High-Speed	256	27 → 105,469	
High-Resolution	256	13.5 → 52,734	
	512	27 → 52,734	
Low-Power	256	13.5 → 52,734	
	512	27 → 52,734	

表 4. フレーム同期フォーマットのクロック比率

動作モード選択(MODE)

ADS1271は、高速、高分解能、および低消費電力の3動作モードをサポートします。モード選択はデジタル入力ピンMODEの状態により、表5に示すように決まります。高インピーダンスすなわちフローティング状態によって、MODEピンは3番目の状態をサポートできます。ADS1271は動作中のMODEピンの状態を常に監視し、状態の変化に対して12,288個のCLK周期後に応答します。MODEピンをフローティングにする場合、ピンにおける全容量値を100pF以下、および抵抗性負荷を10MΩ以上に保ち、適正な動作を保証するようにします。動作モードを変更すると、内部のオフセット補正值がクリアされます。したがって、内部のオフセット補償を使用する場合、モード変更後に必ず再補償してください。

複数のADS1271を相互にデイジーチェインで使用し、高分解能モード(MODEピンをフローティング)で動作させる場合、各デバイスのMODEピンは互いに分離する必要があります。このようにすると、適正なデバイス動作が保証されます。高速および低消費電力のモードでは、MODEピンを互いに結合することができます。

MODE PIN STATUS	MODE SELECTION
Logic Low (DGND)	High-Speed
Floating ⁽¹⁾	High-Resolution
Logic High (DVDD)	Low-Power

表5. 動作モード選択

(1) MODEピンの負荷: C < 100pF, R > 10MΩ

SPIフォーマットを使用する場合、動作モードの変更が発生してから安定した(すなわち、適正な)データがレディになるまで、図43に示すように DRDYはハイレベルに保たれます。

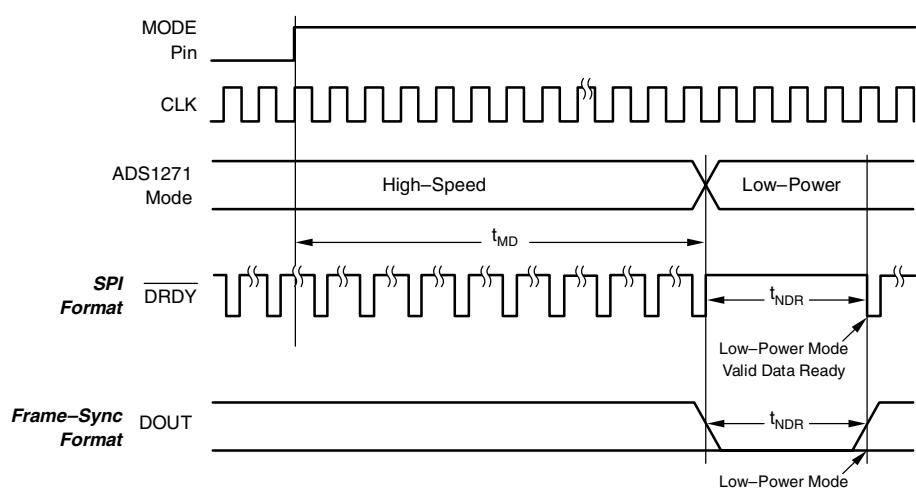
フレーム同期フォーマットでは、動作モードの変更が発生してから安定したデータがレディになるまで、図43に示すようにDOUTピンはローレベルに保たれます。したがって、データが適正であることを意味するDOUTのハイレベルへの切換わりを判別してから、デバイスからのデータを読み取ることができます。

フォーマット選択 FORMAT)

マイクロコントローラやDSPと容易に接続するために、ADS1271は次の2つのシリアル・インターフェイス・フォーマットをサポートしています。すなわち、SPIコンパチブルのインターフェイスとフレーム同期インターフェイスです。各フォーマットは、FORMATピンにより表6に示すように選択されます。FORMATピンは適当な電圧に直接接続することを推奨します。このピンの状態が変化したら、その後で同期操作を行って適正な動作を保証するようにします。

FORMAT PIN STATUS	SERIAL INTERFACE FORMAT
Logic Low (DGND)	SPI
Logic High (DVDD)	Frame-Sync

表6. フォーマット選択



SYMBOL	DESCRIPTION	MIN	TYP	MAX	UNITS
t _{MD}	Time to register MODE changes	12,288			CLK periods
t _{NDR}	Time for new data to be ready		128		Conversions (1/f _{DATA})

図43. モード切り替えタイミング

同期

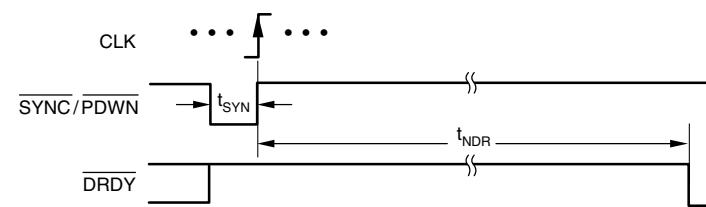
SYNC/PDWNピンには2つの機能があります。これにパルスを印加すると変換開始の同期をとり、 2^{19} 以上のCLKサイクル(t_{SYN})の間これをローレベルに保つと、ADS1271をパワーダウン・モードに設定します。詳細は『パワーダウンおよびオフセット補償』の節をご覧ください。

ADS1271は、**SYNC/PDWN**をローレベルにして同期がとれます。このようにすると変換プロセスが停止し、デジタル・フィルタに使用される内部カウンタがリセットされます。変換プロセスを再度開始するには、**SYNC/PDWN**をCLKの立ち上がりエッジでハイレベルにします。同期化によってADS1271の変換を外部事象と連動させることができます。例えば、アナログ入力の外部マルチプレクサの切り換えです。また、複数のADS1271の変換を同期することもできます。

SPIフォーマットでは、図44に示すように**SYNC/PDWN**がローレベルになると、すぐに**DRDY**がハイレベルになります。次に**SYNC/PDWN**がハイレベルに戻った後も、デジタル・フィルタ

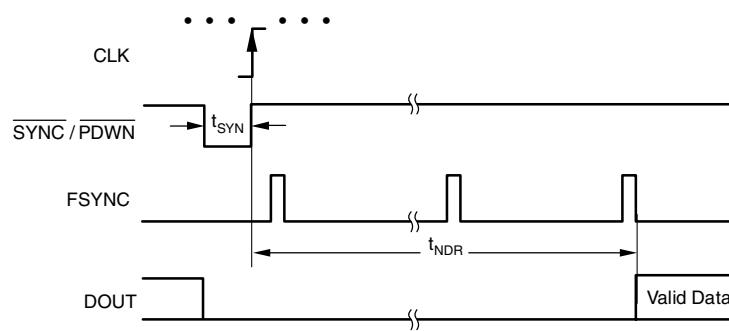
がセトリングしている間は、**DRDY**はハイレベルのままであります。適正なデータが読み取りに対してレディになると、**DRDY**はローレベルになります。

フレーム同期フォーマットでは、図45に示すように**SYNC/PDWN**がローレベルになると、すぐに**DOUT**がローレベルになります。次に**SYNC/PDWN**がハイレベルに戻った後も、デジタル・フィルタがセトリングしている間は、**DOUT**はローレベルのままであります。適正なデータが読み取りに対してレディになると、**DOUT**は適正なデータの出力を開始します。ADS1271は、**SYNC/PDWN**ピンの状態をその立ち下がエッジで検出します。複数のADS1271を同期する場合、SCLKの立ち上がりエッジで**SYNC/PDWN**ピンをハイレベルに設定し、すべてのADS1271が同一のSCLK周期で確実にリストアするようにします。同期化の間は、**FSYNC**とSCLKを入力し続けることをお奨めします。



SYMBOL	DESCRIPTION	MIN	TYP	MAX	UNITS
t_{SYN}	Synchronize pulse width	1		2^{18}	CLK periods
t_{NDR}	Time for new data to be ready		128		Conversions ($1/f_{DATA}$)

図 44. SPIフォーマットの同期化タイミング



SYMBOL	DESCRIPTION	MIN	TYP	MAX	UNITS
t_{SYN}	Synchronize pulse width	1		2^{18}	CLK periods
t_{NDR}	Time for new data to be ready	128		129	Conversions ($1/f_{DATA}$)

図 45. フレーム同期フォーマットの同期化タイミング

パワーダウンおよびオフセット補償

同期制御にくわえて、SYNC/PDWNピンはパワーダウン・モードとオフセット補償を制御する役割もします。このモードに入るには、SYNC/PDWNピンを最小 2^{19} CLK周期分だけローレベルに保ちます。パワーダウン・モードの間は、アナログとデジタルの両方の回路が完全に機能を停止します。デジタル入力は内部的にディスエーブルされるので、CLKおよびSCLKを停止する必要はありません。パワーダウン・モードを抜けるには、CLKの立ち上がりエッジでSYNC/PDWNをハイレベルに戻します。

ADS1271はチョッパ安定型変調器を使用して、もとより非常な低オフセット・ドリフトを提供しています。しかし、それ以上にオフセットを最小化するため、ADS1271はパワーダウン・モードを抜ける時にオフセットの自己補償を実施しています。パワーダウンが完了すると、オフセットの自己補償が始まります。このとき、アナログ入力AINPおよびAINNが自動的に信号源から分離され、内部で互いに短絡されます。この補償の実行中は、アナログ入力に印加する信号源を操作する必要はありません。

パワーダウン・モードを抜けるときは、基準電圧を安定しておく必要があります。さもないと、補償がうまくいきません。

オフセットの自己補償は、デバイス内部のオフセット誤差を除去するだけであり、外部起因のオフセット誤差を除去するものではありません。

注記：オフセット自己補償がなされると、その結果のオフセット値はコンバータのノイズのピーク・トゥ・ピーク値範囲内で毎回異なります。高速モードでは、それは一般的に178 LSBになります。

オフセットの補正值は、デバイスの動作モードが変る(例えば、高速モードから高分解能モードへ)たびにクリアされます。

SPIフォーマットを使用する場合、パワーダウン・モードを抜けた後のデジタル・フィルタがセトリングする間、図46に示すようにDRDYはハイレベルのままで。

フレーム同期フォーマットを使用する場合、パワーダウン・モードを抜けた後のデジタル・フィルタがセトリングする間、図47に示すようにDOUTはローレベルのままで。

注記：パワーダウン・モードでは、ADS1271の入力をドライブしておく必要があります(入力をフローティングにしてはなりません)。また、このときADS1271は出力をあるDCレベルにドライブします。

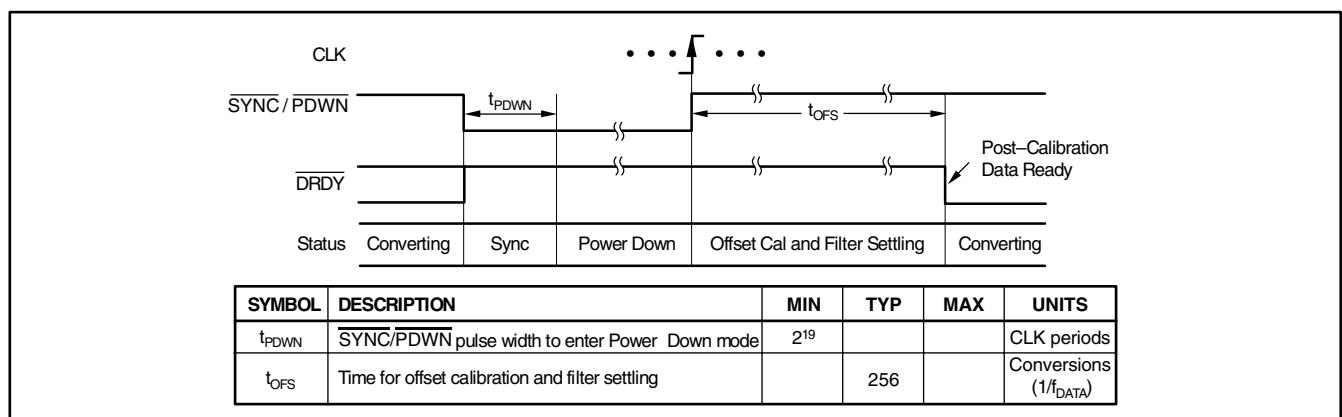


図 46. SPIフォーマットのパワーダウンのタイミング

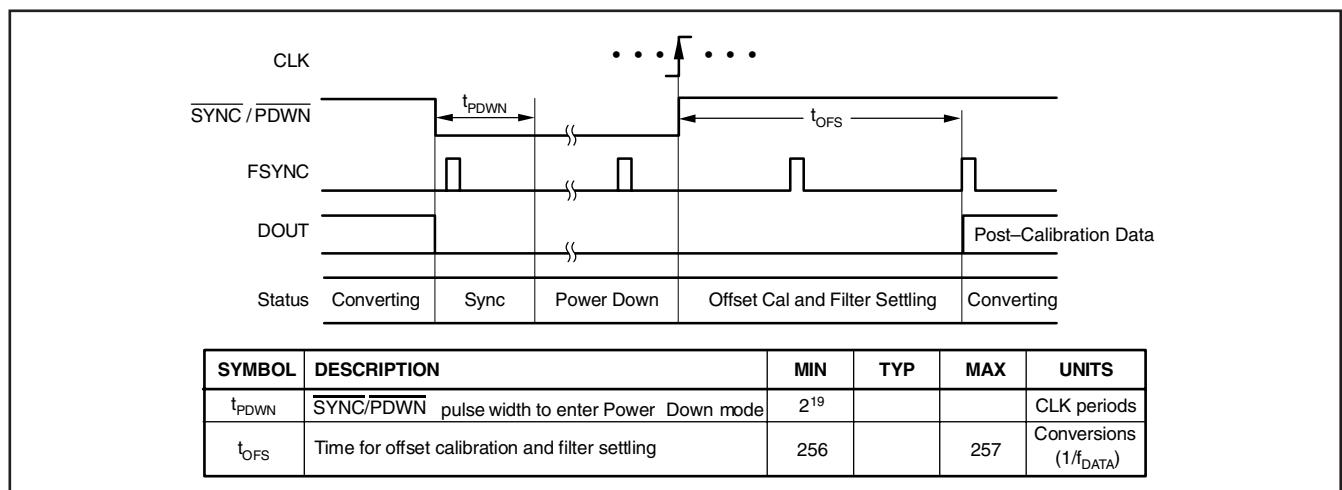


図 47. フレーム同期フォーマットのパワーダウンのタイミング

パワーアップ・シーケンス

アナログおよびデジタル電源は、いかなるアナログあるいはデジタル入力のドライブに先んじて立ち上げる必要があります。各電源を立ち上げる順序は任意です。各電源と基準電圧入力が安定したら、すぐにADS1271からのデータを読み取ることができます。

周波数応答

デジタル・フィルタがデバイス全体の周波数応答を設定します。フィルタには多段FIRトポロジーを使用し、最小の通過帯域リップルかつ阻止帯域における高減衰の線形位相を提供しています。デジタル・フィルタのオーバーサンプリング・レシオ(すなわち、出力データレートに対する変調器のサンプリングの比: f_{MOD}/f_{DATA})は、表7に示すように選択された動作モードの関数になります。 f_{MOD} はCLK/2あるいはCLK/4であり、動作モードによります。

高速モードおよび低消費電力モード

デジタル・フィルタの構成は、高速および低消費電力の両動作モードで同一であり、オーバーサンプリング・レシオは64に設定されます。図48に、高速および低消費電力の両動作モードの f_{DATA} で正規化した周波数特性を示します。また、図49に通過帯域のリップルを示します。さらに、通過帯域から阻止帯域への遷移帯域を図50に示します。全体の周波数応答は、図51に示すように変調器周波数 f_{MOD} ($64 \times f_{DATA}$) の倍数ごとに繰り返します。これらのイメージ周波数が信号内に存在し、かつ部的にフィルタされなければ、通過帯域へ折り返されて(すなわち、エイリアシング)誤差を発生します。しかし、阻止帯域が非常に広いので、一般に1個の単純な低次のアンチ・エイリアシング・フィルタが、帯域外ノイズを制限するためにADS1271の前で必要になるだけです。この詳細に関しては表8をご覧ください。

MODE	OVERSAMPLING RATIO (f_{MOD}/f_{DATA})
High-Speed	64
High-Resolution	128
Low-Power	64

表7. オーバーサンプリング・レシオ 対 動作モード

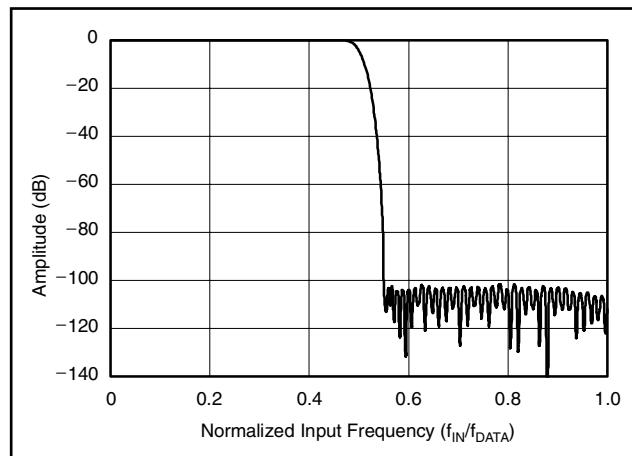


図48. 高速モードおよび低消費電力モードの周波数応答

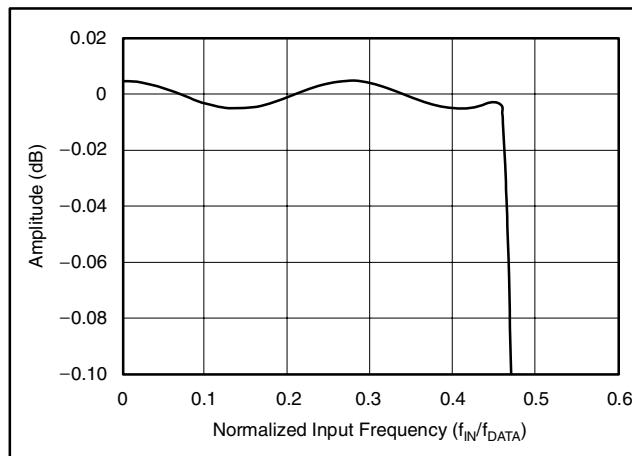


図49. 高速モードおよび低消費電力モードの通過帯域の周波数応答

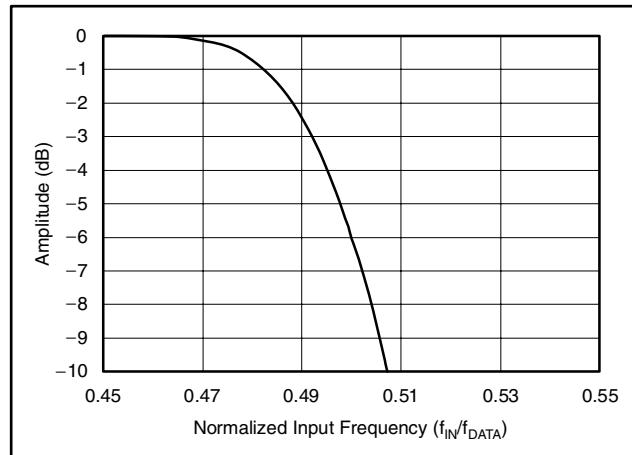


図50. 高速モードおよび低消費電力モードの遷移帯域の周波数応答

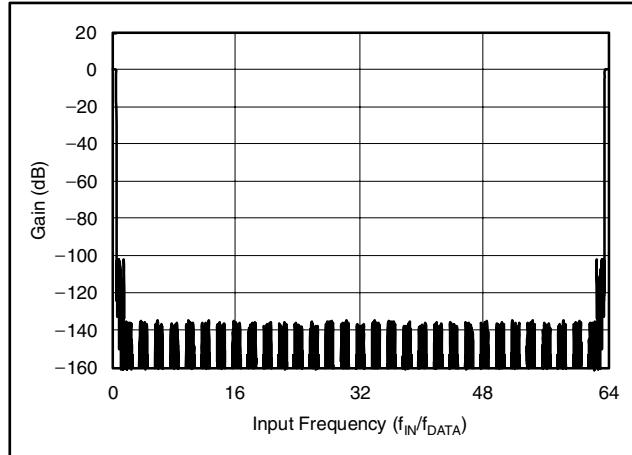


図47. 高速モードおよび低消費電力モードの f_{MOD} に対する周波数応答

高分解能モード

高分解能モードのオーバーサンプリング・レシオは128です。図52に、高分解能モードにおける f_{DATA} で正規化した周波数応答を示します。また、図53に通過帯域のリップルを示し、通過帯域から阻止帯域への遷移帯域を図54に示します。全体の周波

数応答は、図55に示すように変調器周波数 f_{MOD} の倍数(128× f_{DATA})ごとに繰り返します。しかし、阻止帯域が非常に広いので、一般に1個の単純な低次のアンチ・エイリアシング・フィルタが、帯域外ノイズを制限するためにADS1271の前で必要になるだけです。この詳細に関しては表8をご覧ください。

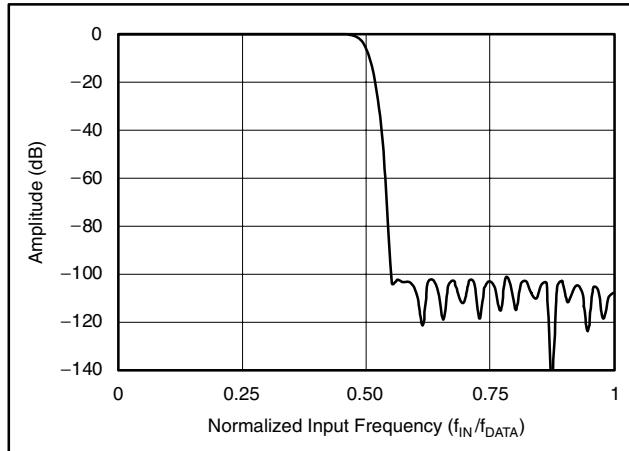


図 52. 高分解能モードの周波数応答

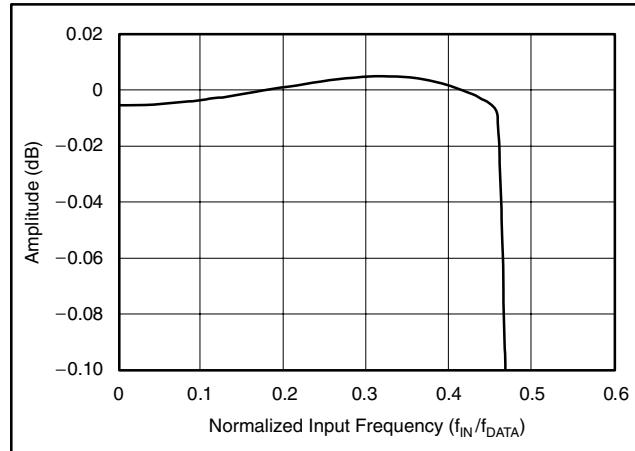


図 53. 高分解能モードの通過帯域の周波数応答

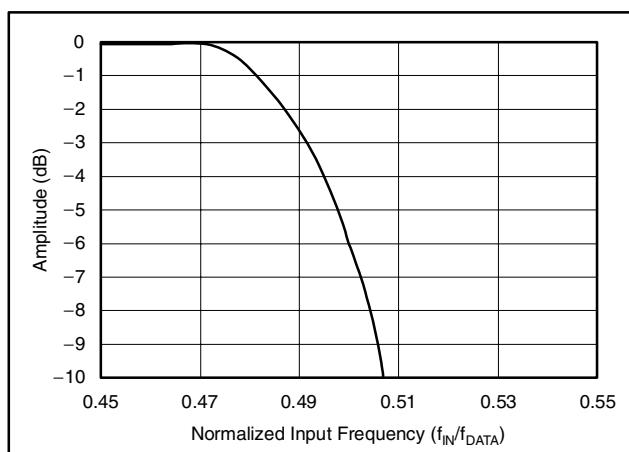


図 54. 高分解能モードの遷移帯域の周波数応答

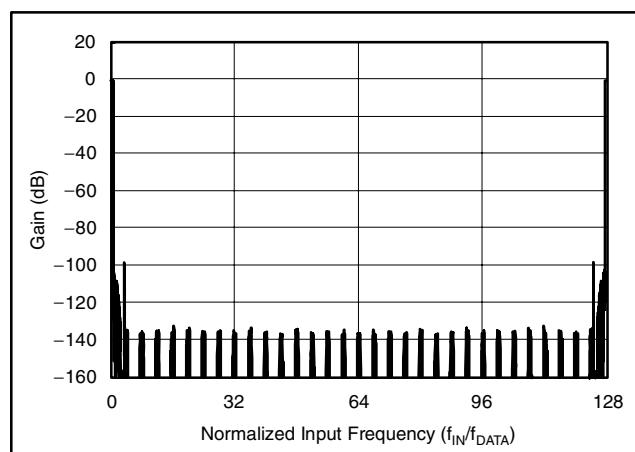


図 55. 高分解能モードのに対する周波数応答

ANTIALIAS FILTER ORDER	IMAGE REJECTION (dB) (f _{-3dB} at f _{DATA})	
	HS, LP	HR
1	39	45
2	75	87
3	111	129

表 8. アンチ・エイリアシング・フィルタ次数 対 イメージ除去

位相応答

ADS1271には、多段構成の線形位相デジタル・フィルタが組み込まれています。線形位相フィルタは、入力周波数に対して一定の遅延時間(一定の群遅延)になります。すなわちこれは、あらゆる時点の入力信号から同じ時点での出力データへの遅延時間が一定であり、入力信号周波数に依存しないということを意味します。マルチ・トーン信号を解析する場合、この動作により基本的に位相誤差がゼロになります。

セトリング・タイム

周波数および位相応答と同様に、デジタル・フィルタはセトリング・タイムも決定します。図56は、アナログ入力をステップ変化させた後の、変換周期で正規化した出力のセトリング動作を示します。X軸の単位は変換周期です。アナログ入力でステップ変化が発生した後、出力データの変化が30変換周期よりも前では非常にわずかであることに注意願います。出力データは、高速および低消費電力モードでは76変換周期後に、高分解能モードでは78変換周期後に十分セトリングしています。

データ・フォーマット

ADS1271は24ビットデータを2の補数形式で出力します。正のフルスケール入力は7FFFFFhの出力コードになり、負のフルスケール入力は800000hの出力コードになります。フルスケールを超える信号の出力は、これらのコードにクリップされます。表9は、異なる入力信号に対する理想的な出力コードについての要約です。

シリアル・インターフェイス

ADS1271からのデータは、シリアル・インターフェイスを用いて読み取られます。マイクロコントローラやDSPとの接続を容易にするため、SPIおよびフレーム同期の2種類のインターフェイス・フォーマットが用意されています。FORMATピンで、どちらかのインターフェイスを選択します。両方のインターフェ

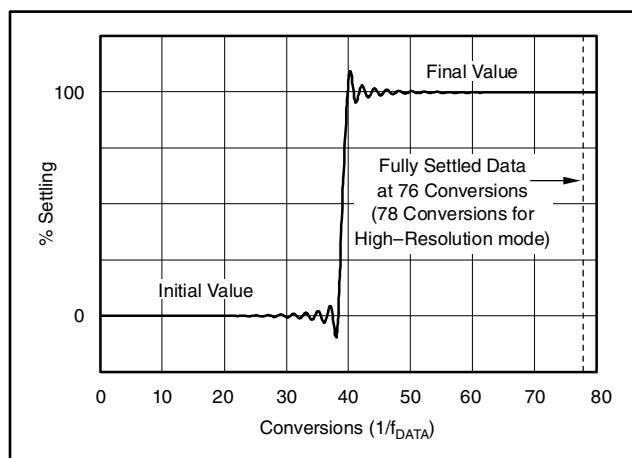


図56. 全動作モードのセトリング・タイム

イスに対して同じピン(SCLK, DRDY/FSYNC, DOUT, およびDIN)を使用しますが、これらのピンの機能は選択されたインターフェイスによって各々異なります。

SPIシリアル・インターフェイス

SPI互換のフォーマットは、単純なリード・オンリーのインターフェイスです。読み取りに対するデータ・レディはDRDY出力によって表示され、データはSCLKの立ち下がりエッジでMSBから先にシフトアウトされます。このインターフェイスは、複数のADS1271を使用する場合、DIN入力を使ってディジー・チェイン接続ができます。この詳細は『ディジー・チェイン』節をご覧ください。

SCLK (SPIフォーマット)

シリアル・クロック (SCLK) はシュミットトリガー入力特性を備え、その立ち下がりエッジでDOUTピンにデータをシフトアウトします。また、DINピンをディジー・チェインに使用する場合も、SCLKの立ち下がりエッジでDINピンのデータをシフトインします。ADS1271はSCLKの立ち下がりエッジでデータを出し、ユーザはSCLKの立ち上がりエッジでこのデータを入力します。SCLK入力にヒステリシスがあるとは言え、SCLK波形は極力クリーンにして、グリッチによるデータの誤シフトを防止することを推奨します。SCLKはデータ読み取り後にローレベルに保つ必要があります。また、SCLKはCLKと等しい周波数まで上げることができます。さらに、変換中はSCLKを自走あるいはストップ・クロック動作のいずれにもできます。コンバータの変換特性を最大化するために、CLKに対するSCLKの比を下記のようにします。

$$SCLK = \frac{CLK}{2^N} \quad (N = 0, 1, 2, \dots)$$

INPUT SIGNAL V _{IN} (AINP – AINN)	IDEAL OUTPUT CODE ⁽¹⁾
$\geq +V_{REF}$	7FFFFFFh
$+V_{REF}$ $\frac{2^{23} - 1}{2^{23} - 1}$	000001h
0	000000h
$-V_{REF}$ $\frac{2^{23} - 1}{2^{23} - 1}$	FFFFFFFFFFh
$\leq -V_{REF} \left(\frac{2^{23}}{2^{23} - 1} \right)$	800000h

表9. 入力信号対理想出力コード

(1) ノイズ、INL、オフセット、およびゲイン誤差の影響を除く。

DRDY / FSYNC

SPIフォーマットでは、本ピンは $\overline{\text{DRDY}}$ 出力として機能します。読み取りに対してデータがレディならば本ピンはローレベルになり、それに続く最初のSCLKの立ち下がりエッジでハイレベルに戻ります。データが読み取られない(すなわち、SCLKがローレベルを維持)場合、次の変換データがレディになる直前に $\overline{\text{DRDY}}$ は図57のようにハイレベルを出力します。 $\overline{\text{DRDY}}$ がローレベルになる1CLK周期前に、新しいデータはADS1271内でロードされます。したがって、重ね書きを避けるために、全データはこのタイミングまでにシフトアウトされなければなりません。

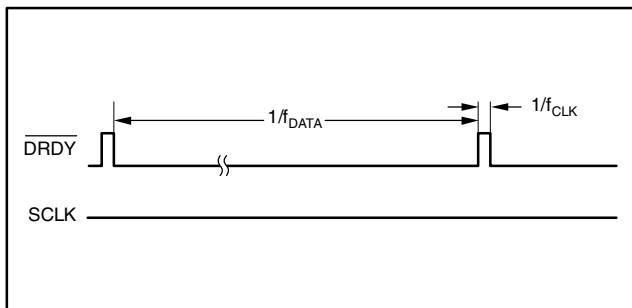


図 57. 読み取り無し時の $\overline{\text{DRDY}}$ タイミング

DOUT

変換データはDOUTピンにシフトアウトされます。 $\overline{\text{DRDY}}$ がローレベルになると、MSBのデータがDOUTピンで有効になります。それに続く下位ビットは、SCLKの各立ち下がりエッジでシフトアウトされます。デイジー・チェインをする場合、DINを使用してシフトインされたデータは、24ビットのデータすべてがシフトアウトされた後にDOUTに出力されます。

DIN

複数のADS1271を相互にデイジー・チェインする場合に、本入力は使用されます。最初のADS1271のDOUTピンを次のデバイスのDINピンに接続します。本ピンは、SPIあるいはフレーム同期のいずれのフォーマットにも使用できます。データはSCLKの立ち下がりエッジでシフトインされます。また、ADS1271を単体で使用する場合は、DINをローレベルに接続します。この詳細は『デイジー・チェイン』節をご覧ください。

フレーム同期シリアル・インターフェイス

フレーム同期フォーマットは、オーディオADCによく使用されるインターフェイスに類似しています。すなわち、スレーブ形式で動作します。したがってユーザは、フレーム信号のFSYNC(ステレオ・オーディオADCのレフト/ライト・クロックに類似)、およびシリアル・クロックのSCLK(オーディオADCのビット・クロックに類似)を供給する必要があります。データはMSBファーストすなわちレフト・ジャスティファイド(左揃え)で出力されます。フレーム同期を使用する場合、CLK、

FSYNC、およびSCLK入力は以下のサブ節で述べるように、それぞれ同期していかなければなりません。

SCLK(フレーム同期フォーマット)

シリアル・クロック(SCLK)はシュミットトリガー入力特性を備え、その立ち下がりエッジでDOUTピンにデータをシフトアウトします。また、DINピンをデイジー・チェインに使用する場合も、SCLKの立ち下がりエッジでDINピンのデータをシフトインします。SCLK入力にヒステリシスがあるとは言え、SCLK波形は極力クリーンにして、グリッチによるデータの誤シフトを防止することを推奨します。フレーム同期フォーマットを使用する場合、SCLKは連続的に供給する必要があります。SCLKを停止すると、データの読み取りを誤ります。フレーム同期フォーマットは、表10に示すモードで決まる特定の関係をSCLKとFSYNCの間に要します。

MODE	REQUIRED SCLK PERIOD
High-Speed	$\tau_{\text{FRAME}}/64$
High-Resolution	$\tau_{\text{FRAME}}/128$
Low-Power	$\tau_{\text{FRAME}}/64$

表 10. フレーム同期フォーマット使用時のSCLK周期

DRDY / FSYNC

フレーム同期フォーマットでは、本ピンはFSYNC入力として使用されます。フレーム同期入力(FSYNC)はフレーム周期を設定します。必要なFSYNC周期を表11に示します。高速モードのFSYNC周期は、256のCLK周期である必要があります。高分解能および低消費電力の両モードについては、256あるいは512CLK周期のFSYNC周期が可能です。ADS1271は、どちらが使用されているか自動的に判別します。FSYNC周期が適切な値でなければ、データの読み取りを誤ります。FSYNCはSCLKの立ち下がりエッジと同期をとることを推奨します。

MODE	REQUIRED FSYNC PERIOD
High-Speed	256 CLK Periods
High-Resolution	256 or 512 CLK periods
Low-Power	256 or 512 CLK periods

表 11. FSYNC周期

DOUT

変換データはDOUTピンにシフトアウトされます。FSYNCがハイレベルになる前のSCLKの立ち上がりエッジで、MSBのデータがDOUTピンで有効になります。それに続く下位ビットは、SCLKの各立ち下がりエッジでシフトアウトされます。デイジー・チェインをする場合、DINを使用してシフトインされたデータは、24ビットのデータすべてがシフトアウトされた後にDOUTに出力されます。

DIN

複数のADS1271を相互にデイジー・チェインする場合に、本入力は使用されます。本ピンは、SPIあるいはフレーム同期のいずれのフォーマットにも使用できます。データはSCLKの立ち下がりエッジでシフトインされます。また、ADS1271を単体で使用する場合は、DINをローレベルに接続します。この詳細は『デイジー・チェイン』節をご覧ください。

デイジー・チェイン

複数のADS1271を相互にデイジー・チェインして、シリアル・インターフェイスを単純化できます。それには、ひとつのADS1271のDOUTを次のADS1271のDINに接続します。最初のDOUTは出力データを提供し、チェイン内の最後のDINはグランドに接続します。また、デイジー・チェイン内のすべてのADS1271に共通のSCLKを使用します。図58に、4個のADS1271を用いたデイジー・チェインの例を示します。図59に、SPIフォーマット時の読み取りのタイミング図を示します。すべてのデータをシフトアウトするには96のSCLKが必要です。

SPIフォーマットでは、すべての $\overline{\text{SYNC}}/\overline{\text{PDWN}}$ 入力を相互に接続して、すべてのADS1271の同期をとることを推奨します。複数のADS1271をこのように構成すると、1デバイスの $\overline{\text{DRDY}}$ 出力を監視するだけで済みます。

フレーム同期フォーマットでは、すべてのADS1271はFSYNCおよびSCLKにより同期して動作します。しかし、同一の f_{CLK} サイクル(CLK)に確実に同期するように、すべての $\overline{\text{SYNC}}/\overline{\text{PDWN}}$ 入力を互いに接続することを推奨します。

ADS1271は f_{CLK} の立ち下がりエッジで $\overline{\text{SYNC}}/\overline{\text{PDWN}}$ ピンをクロックします。したがって、正確な同期をとるために f_{CLK} の立

ち上がりエッジで $\overline{\text{SYNC}}/\overline{\text{PDWN}}$ ピンを遷移させます。

DOUTおよびDINはともにSCLKの立ち下がりエッジでシフトされるので、DOUTの伝播遅延時間がDINのセットアップ・タイムになります。したがって、SCLKのスキューを最小にしてタイミング違反を防止します。デイジー・チェイン時のMODEピンの使用については、『モード選択』の節をご覧ください。

デイジー・チェイン時のSPIフォーマットは、SCLK周波数の設定がより自由なため最大の柔軟性を提供します。デイジー・チェインにできるADS1271の最大数は、24ビットすべてのデータを読み取るのに必要な時間($24 \times 1/f_{\text{DATA}}$)で変換時間($1/f_{\text{CLK}}$)を割って求まります。

ここで、以下の例について考察します。

$$f_{\text{CLK}} = 27\text{MHz}$$

mode = High-Resolution (52,734SPS)

format = SPI

$$f_{\text{SCLK}} = 27\text{MHz}$$

このデイジー・チェインの最大長は、

$$27\text{MHz}/(24 \times 52,734\text{SPS}) = 21.3$$

これを切り捨てる、デイジー・チェインにできるADS1271の最大数として21が得られます。

デイジー・チェインはフレーム同期フォーマットでも可能です。しかし、デイジー・チェインにできるADS1271の最大数は、SPIフォーマットの使用時よりも少なくなります。なぜなら、フレーム周期とSCLK周期の比率が、表10に示すように固定だからです。上記の数値を使用すると、ADS1271の最大数は高速および低消費電力のモードで2、高分解能モードで5になります。

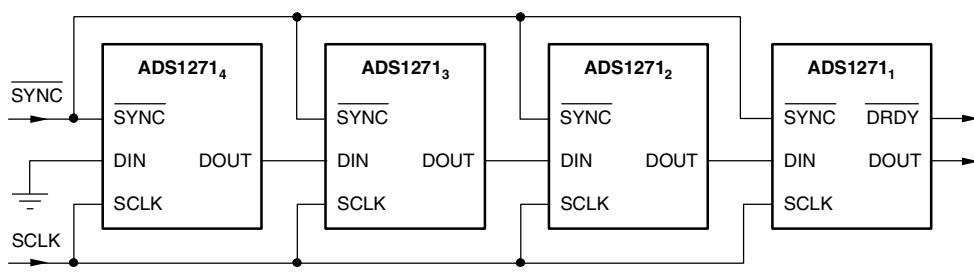


図 58. 複数ADS1271のSPIフォーマット時のデイジー・チェイン接続例

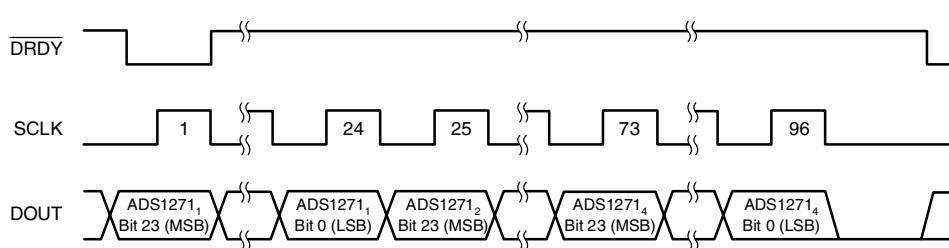


図 59. 図 58(SPIフォーマット)の例のタイミング図

アプリケーション情報

ADS1271から仕様の特性を引き出すには、以下のレイアウトおよび部品のガイドラインを考慮する必要があります。

1. 電源：ADS1271は動作するのにDVDDおよびAVDDの2電源が必要です。DVDDの許容電圧範囲は1.65Vから3.6Vであり、AVDDは4.75Vから5.25Vに制限されています。最高の特性はDVDD = 1.8Vのときを得られます。両方の電源について、10μFのタンタル・コンデンサを使用し、さらに0.1μFのセラミック・コンデンサをバイパスし、それらをデバイスの電源ピンの直近に配置します。あるいは、10μFのセラミック・コンデンサを単体で使用することもできます。電源はノイズを相対的に少なくし、電圧スパイクを発生するデバイス(例えば、リレー、LEDディスプレイ・ドライバなど)と電源を共有しないようにします。スイッチング電源を使用する場合は、電圧リップルを低く(< 2mV)します。電源シーケンスは任意の順序にできます。
2. グランド・プレーン：AGNDおよびDGNDの両方を接続した单一のグランド・プレーンを使用できます。デジタルとアナログを分離したグランドを使用する場合は、両グランドをコンバータのところで互いに接続します。
3. デジタル入力：ADS1271へのデジタル入力は、50Ωの直列抵抗で信号源終端することを推奨します。この抵抗はデジタル信号源(発信器、ロジック・ゲート、DSPなど)のドライブ端に接近して配置します。このようにすると、ADC特性の劣化につながるデジタル信号ラインのリンギングを低減するのに役立ちます。
4. アナログ/デジタル回路：アナログ回路(入力バッファ、基準電圧源)およびそれに関連する配線をデジタル回路(DSP、マイクロコントローラ、ロジック)から離して配置します。また、デジタル信号配線とアナログ信号配線の交差を排除し、ノイズ結合およびクロストークを低減します。

5. 基準電圧入力：基準電圧入力のREFPおよびREFN間に、最低10μFのタンタル・コンデンサと0.1μFのセラミック・コンデンサを接続することを推奨します。基準電圧入力は低インピーダンスの信号源でドライブします。最高特性を得るために、基準電圧の広帯域ノイズは3μVRMS以下にします。この値以上のノイズがある基準電圧については、外付けの基準電圧用フィルタが必要になります。

6. アナログ入力：アナログ入力は差動的にドライブし、仕様の特性を実現する必要があります。正確な差動ドライバあるいはトランス(ACアプリケーション)が、この目的に使用できます。アナログ入力配線(AINP, AINN)はペアにして、バッファからコンバータへ短く直行するように引き回し、デジタル信号配線から遠ざけます。

1nFから10nFのコンデンサをAINPおよびAINNのアナログ入力ピン間に直接接続します。低誘電率のコンデンサ(COGやフィルムタイプのような)を使用し、低THDを確保します。また、各アナログ入力ピンとグランド間にコンデンサをそれぞれ接続します。これらは差動コンデンサ(AINPとAINN間に接続したもの)の容量値の1/10より大きくせず(一般に100pF)、AC同相特性を保ちます。

7. 部品配置：電源、アナログ入力、および基準電圧入力用のバイパス・コンデンサは、できるだけデバイス・ピンの近くに配置します。これは特に小容量のセラミック・コンデンサについて重要です。表面実装タイプの部品を使用し、高インダクタンスのリード部品を排除することを推奨します。

図60から図62は、ADS1271に使用できる基本的な接続およびインターフェイスを示します。

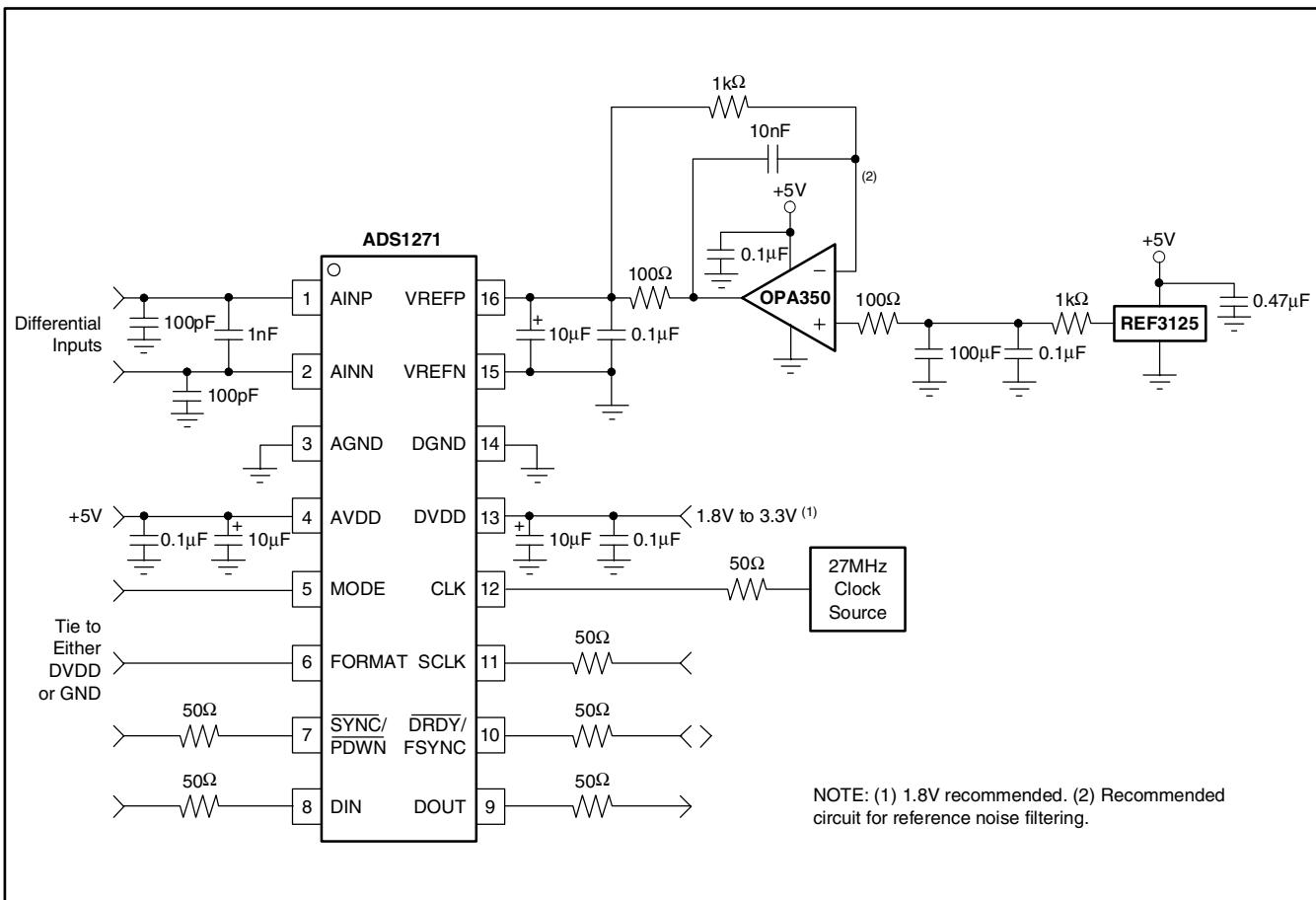


図 60. 基本的な接続図

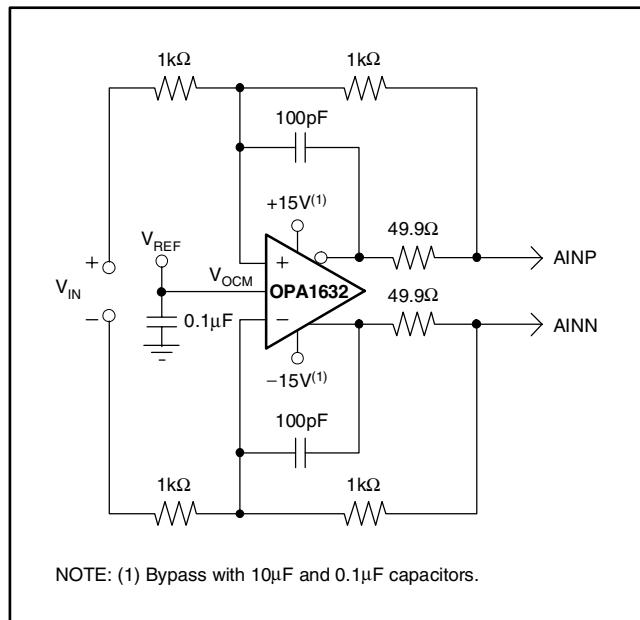


図 61. 基本的な差動信号インターフェイス

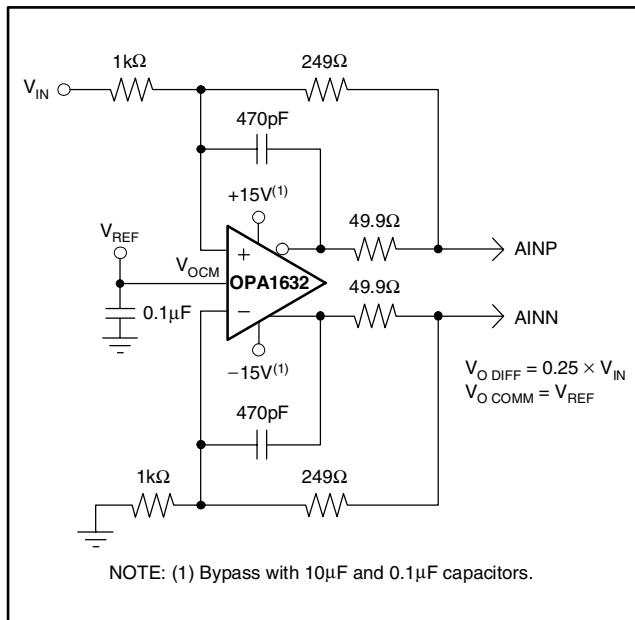


図 62. 基本的なシングルエンド信号インターフェイス

PACKAGING INFORMATION

Orderable part number	Status (1)	Material type (2)	Package Pins	Package qty Carrier	RoHS (3)	Lead finish/ Ball material (4)	MSL rating/ Peak reflow (5)	Op temp (°C)	Part marking (6)
ADS1271IBPW	Active	Production	TSSOP (PW) 16	90 TUBE	Yes	NIPDAU	Level-2-260C-1 YEAR	-40 to 105	ADS 1271B
ADS1271IBPW.B	Active	Production	TSSOP (PW) 16	90 TUBE	Yes	NIPDAU	Level-2-260C-1 YEAR	-40 to 105	ADS 1271B
ADS1271IBPWG4	Active	Production	TSSOP (PW) 16	90 TUBE	Yes	NIPDAU	Level-2-260C-1 YEAR	-40 to 105	ADS 1271B
ADS1271IBPWG4.B	Active	Production	TSSOP (PW) 16	90 TUBE	Yes	NIPDAU	Level-2-260C-1 YEAR	-40 to 105	ADS 1271B
ADS1271IBPWR	Active	Production	TSSOP (PW) 16	2000 LARGE T&R	Yes	NIPDAU	Level-2-260C-1 YEAR	-40 to 105	ADS 1271B
ADS1271IBPWR.B	Active	Production	TSSOP (PW) 16	2000 LARGE T&R	Yes	NIPDAU	Level-2-260C-1 YEAR	-40 to 105	ADS 1271B
ADS1271IPW	Active	Production	TSSOP (PW) 16	90 TUBE	Yes	NIPDAU	Level-2-260C-1 YEAR	-40 to 105	ADS 1271
ADS1271IPW.B	Active	Production	TSSOP (PW) 16	90 TUBE	Yes	NIPDAU	Level-2-260C-1 YEAR	-40 to 105	ADS 1271
ADS1271IPWG4	Active	Production	TSSOP (PW) 16	90 TUBE	Yes	NIPDAU	Level-2-260C-1 YEAR	-40 to 105	ADS 1271
ADS1271IPWR	Active	Production	TSSOP (PW) 16	2500 LARGE T&R	Yes	NIPDAU	Level-2-260C-1 YEAR	-40 to 105	ADS 1271
ADS1271IPWR.B	Active	Production	TSSOP (PW) 16	2500 LARGE T&R	Yes	NIPDAU	Level-2-260C-1 YEAR	-40 to 105	ADS 1271
ADS1271IPWRG4	Active	Production	TSSOP (PW) 16	2500 LARGE T&R	Yes	NIPDAU	Level-2-260C-1 YEAR	-40 to 105	ADS 1271
ADS1271IPWRG4.B	Active	Production	TSSOP (PW) 16	2500 LARGE T&R	Yes	NIPDAU	Level-2-260C-1 YEAR	-40 to 105	ADS 1271

⁽¹⁾ **Status:** For more details on status, see our [product life cycle](#).

⁽²⁾ **Material type:** When designated, preproduction parts are prototypes/experimental devices, and are not yet approved or released for full production. Testing and final process, including without limitation quality assurance, reliability performance testing, and/or process qualification, may not yet be complete, and this item is subject to further changes or possible discontinuation. If available for ordering, purchases will be subject to an additional waiver at checkout, and are intended for early internal evaluation purposes only. These items are sold without warranties of any kind.

⁽³⁾ **RoHS values:** Yes, No, RoHS Exempt. See the [TI RoHS Statement](#) for additional information and value definition.

⁽⁴⁾ **Lead finish/Ball material:** Parts may have multiple material finish options. Finish options are separated by a vertical ruled line. Lead finish/Ball material values may wrap to two lines if the finish value exceeds the maximum column width.

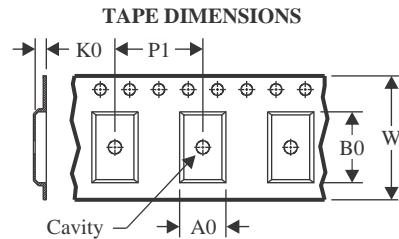
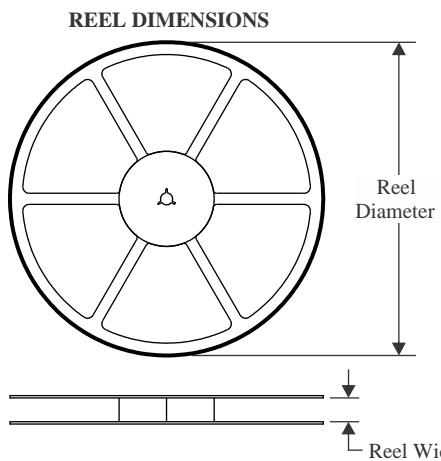
⁽⁵⁾ **MSL rating/Peak reflow:** The moisture sensitivity level ratings and peak solder (reflow) temperatures. In the event that a part has multiple moisture sensitivity ratings, only the lowest level per JEDEC standards is shown. Refer to the shipping label for the actual reflow temperature that will be used to mount the part to the printed circuit board.

⁽⁶⁾ **Part marking:** There may be an additional marking, which relates to the logo, the lot trace code information, or the environmental category of the part.

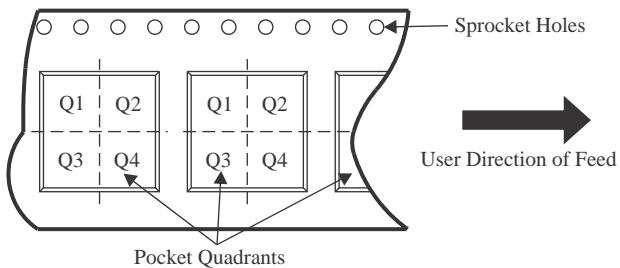
Multiple part markings will be inside parentheses. Only one part marking contained in parentheses and separated by a "~" will appear on a part. If a line is indented then it is a continuation of the previous line and the two combined represent the entire part marking for that device.

Important Information and Disclaimer: The information provided on this page represents TI's knowledge and belief as of the date that it is provided. TI bases its knowledge and belief on information provided by third parties, and makes no representation or warranty as to the accuracy of such information. Efforts are underway to better integrate information from third parties. TI has taken and continues to take reasonable steps to provide representative and accurate information but may not have conducted destructive testing or chemical analysis on incoming materials and chemicals. TI and TI suppliers consider certain information to be proprietary, and thus CAS numbers and other limited information may not be available for release.

In no event shall TI's liability arising out of such information exceed the total purchase price of the TI part(s) at issue in this document sold by TI to Customer on an annual basis.

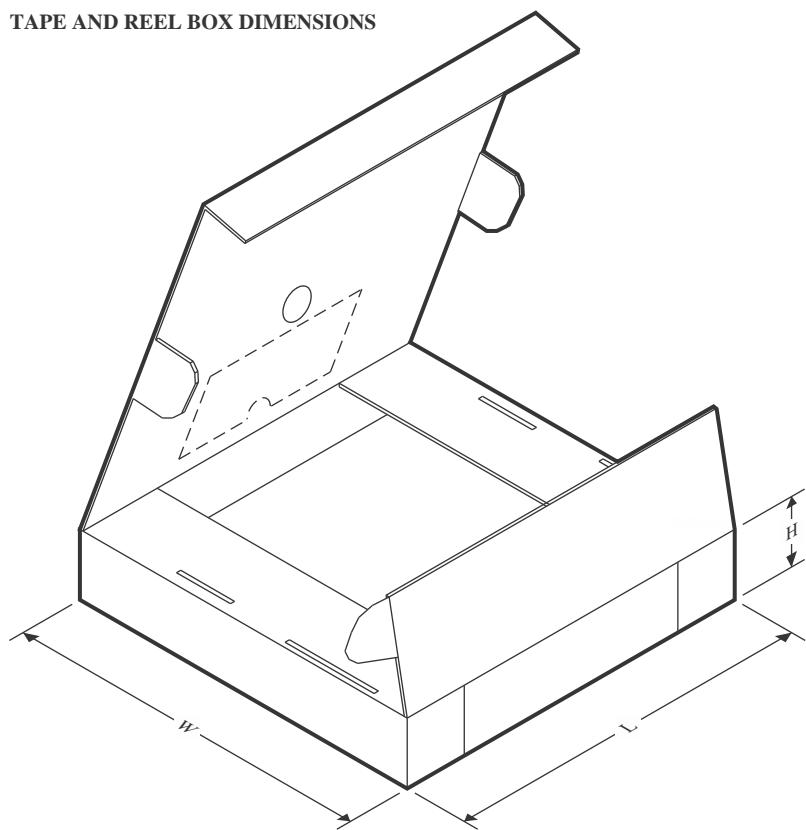
TAPE AND REEL INFORMATION

A0	Dimension designed to accommodate the component width
B0	Dimension designed to accommodate the component length
K0	Dimension designed to accommodate the component thickness
W	Overall width of the carrier tape
P1	Pitch between successive cavity centers

QUADRANT ASSIGNMENTS FOR PIN 1 ORIENTATION IN TAPE

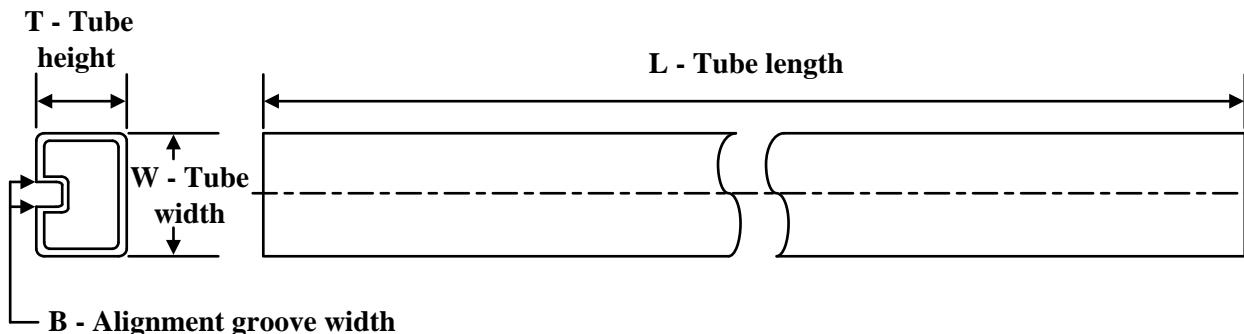
*All dimensions are nominal

Device	Package Type	Package Drawing	Pins	SPQ	Reel Diameter (mm)	Reel Width W1 (mm)	A0 (mm)	B0 (mm)	K0 (mm)	P1 (mm)	W (mm)	Pin1 Quadrant
ADS1271IBPWR	TSSOP	PW	16	2000	330.0	12.4	6.9	5.6	1.6	8.0	12.0	Q1
ADS1271IPWR	TSSOP	PW	16	2500	330.0	12.4	6.9	5.6	1.6	8.0	12.0	Q1
ADS1271IPWRG4	TSSOP	PW	16	2500	330.0	12.4	6.9	5.6	1.6	8.0	12.0	Q1

TAPE AND REEL BOX DIMENSIONS


*All dimensions are nominal

Device	Package Type	Package Drawing	Pins	SPQ	Length (mm)	Width (mm)	Height (mm)
ADS1271IBPWR	TSSOP	PW	16	2000	350.0	350.0	43.0
ADS1271IPWR	TSSOP	PW	16	2500	350.0	350.0	43.0
ADS1271IPWRG4	TSSOP	PW	16	2500	350.0	350.0	43.0

TUBE


*All dimensions are nominal

Device	Package Name	Package Type	Pins	SPQ	L (mm)	W (mm)	T (μ m)	B (mm)
ADS1271IBPW	PW	TSSOP	16	90	530	10.2	3600	3.5
ADS1271IBPW.B	PW	TSSOP	16	90	530	10.2	3600	3.5
ADS1271IPWG4	PW	TSSOP	16	90	530	10.2	3600	3.5
ADS1271IPWG4.B	PW	TSSOP	16	90	530	10.2	3600	3.5
ADS1271IPW	PW	TSSOP	16	90	530	10.2	3600	3.5
ADS1271IPW.B	PW	TSSOP	16	90	530	10.2	3600	3.5
ADS1271IPWG4	PW	TSSOP	16	90	530	10.2	3600	3.5

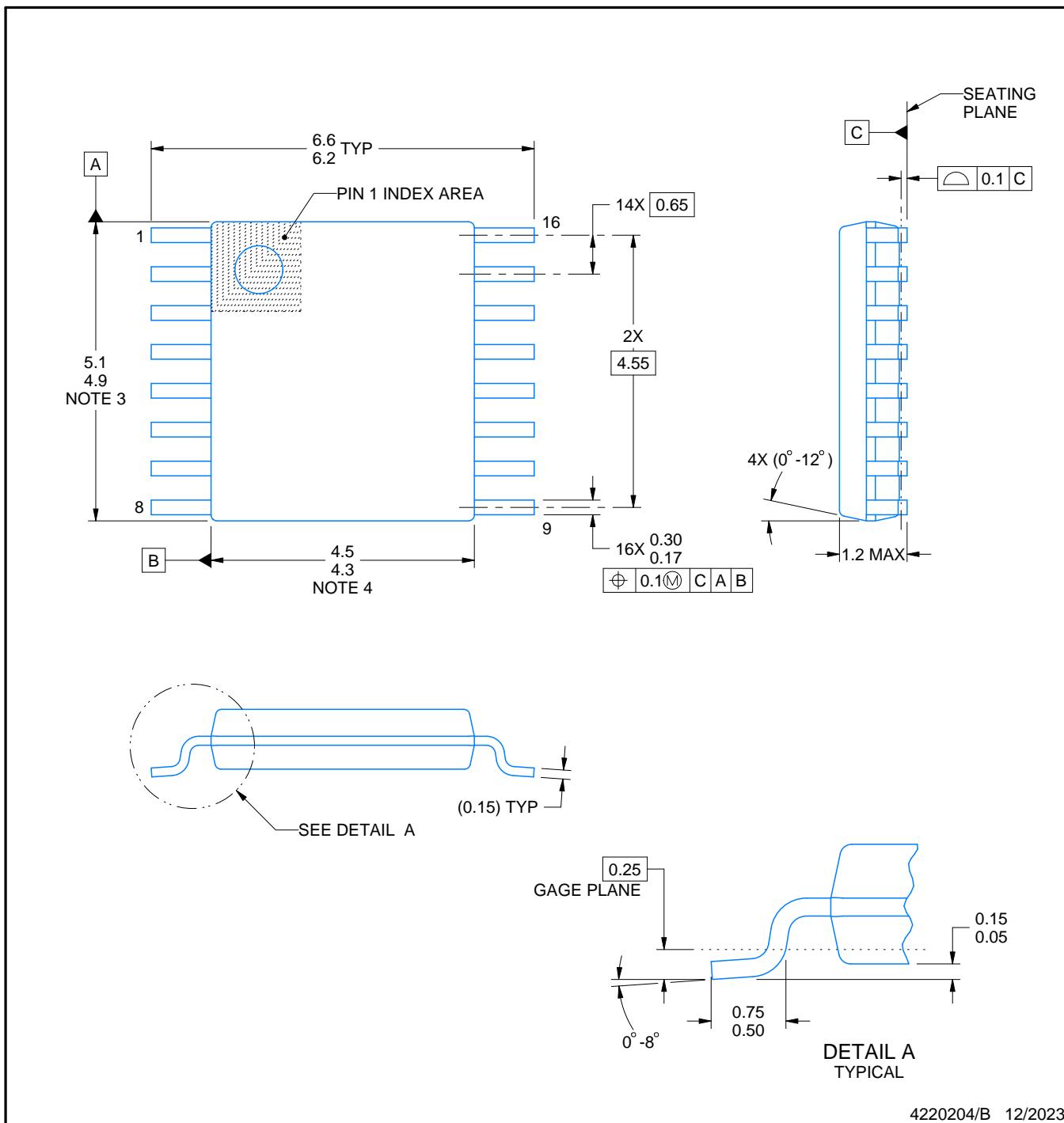
PACKAGE OUTLINE

PW0016A



TSSOP - 1.2 mm max height

SMALL OUTLINE PACKAGE



NOTES:

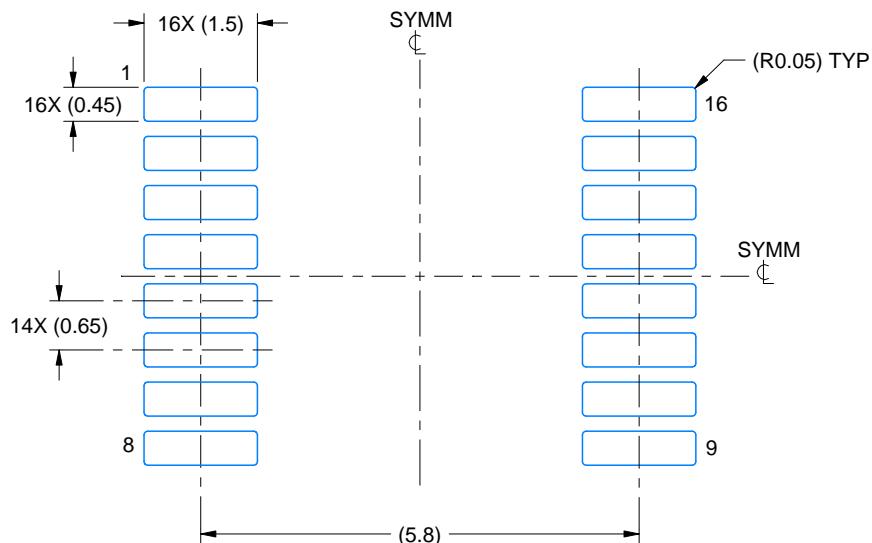
- All linear dimensions are in millimeters. Any dimensions in parenthesis are for reference only. Dimensioning and tolerancing per ASME Y14.5M.
- This drawing is subject to change without notice.
- This dimension does not include mold flash, protrusions, or gate burrs. Mold flash, protrusions, or gate burrs shall not exceed 0.15 mm per side.
- This dimension does not include interlead flash. Interlead flash shall not exceed 0.25 mm per side.
- Reference JEDEC registration MO-153.

EXAMPLE BOARD LAYOUT

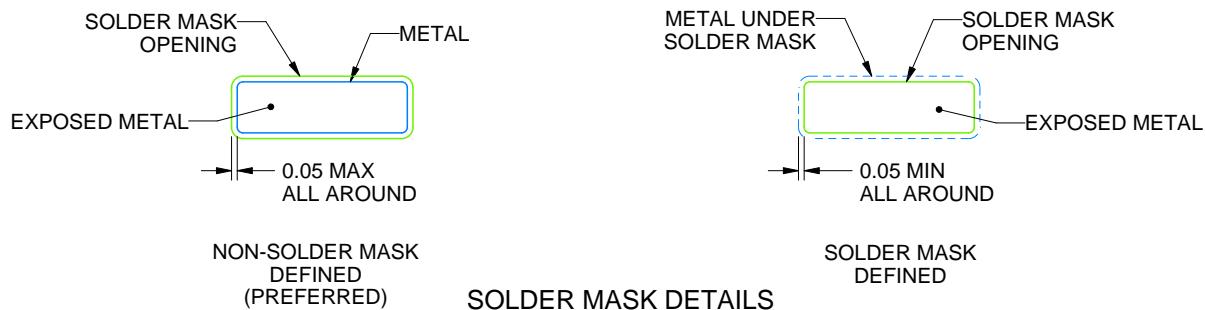
PW0016A

TSSOP - 1.2 mm max height

SMALL OUTLINE PACKAGE



LAND PATTERN EXAMPLE
EXPOSED METAL SHOWN
SCALE: 10X



SOLDER MASK DETAILS

4220204/B 12/2023

NOTES: (continued)

6. Publication IPC-7351 may have alternate designs.

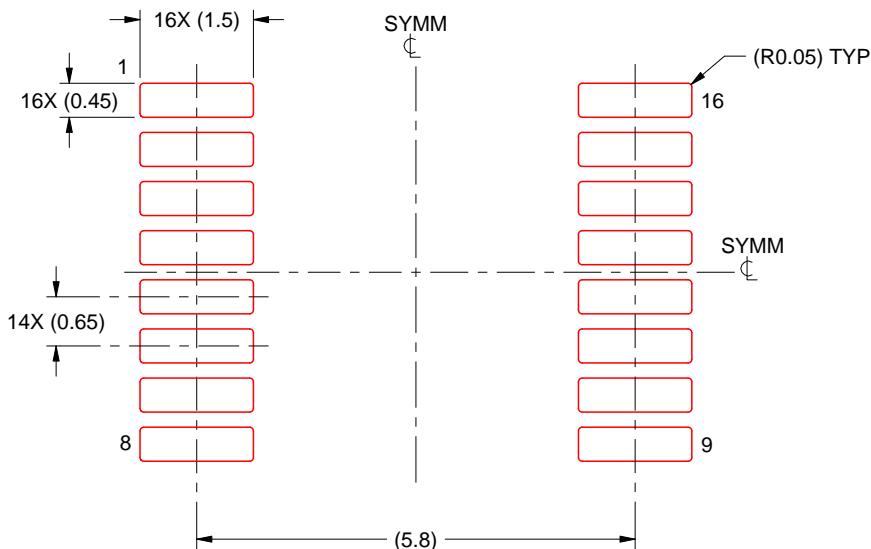
7. Solder mask tolerances between and around signal pads can vary based on board fabrication site.

EXAMPLE STENCIL DESIGN

PW0016A

TSSOP - 1.2 mm max height

SMALL OUTLINE PACKAGE



SOLDER PASTE EXAMPLE
BASED ON 0.125 mm THICK STENCIL
SCALE: 10X

4220204/B 12/2023

NOTES: (continued)

8. Laser cutting apertures with trapezoidal walls and rounded corners may offer better paste release. IPC-7525 may have alternate design recommendations.
9. Board assembly site may have different recommendations for stencil design.

重要なお知らせと免責事項

TIは、技術データと信頼性データ(データシートを含みます)、設計リソース(リファレンス デザインを含みます)、アプリケーションや設計に関する各種アドバイス、Webツール、安全性情報、その他のリソースを、欠陥が存在する可能性のある「現状のまま」提供しており、商品性および特定目的に対する適合性の默示保証、第三者の知的財産権の非侵害保証を含むいかなる保証も、明示的または默示的にかかわらず拒否します。

これらのリソースは、TI製品を使用する設計の経験を積んだ開発者への提供を意図したもので、(1)お客様のアプリケーションに適したTI製品の選定、(2)お客様のアプリケーションの設計、検証、試験、(3)お客様のアプリケーションに該当する各種規格や、その他のあらゆる安全性、セキュリティ、規制、または他の要件への確実な適合に関する責任を、お客様のみが単独で負うものとします。

上記の各種リソースは、予告なく変更される可能性があります。これらのリソースは、リソースで説明されているTI製品を使用するアプリケーションの開発の目的でのみ、TIはその使用をお客様に許諾します。これらのリソースに関して、他の目的で複製することや掲載することは禁止されています。TIや第三者の知的財産権のライセンスが付与されている訳ではありません。お客様は、これらのリソースを自身で使用した結果発生するあらゆる申し立て、損害、費用、損失、責任について、TIおよびその代理人を完全に補償するものとし、TIは一切の責任を拒否します。

TIの製品は、[TIの販売条件](#)、[TIの総合的な品質ガイドライン](#)、[ti.com](#)またはTI製品などに関連して提供される他の適用条件に従い提供されます。TIがこれらのリソースを提供することは、適用されるTIの保証または他の保証の放棄の拡大や変更を意味するものではありません。TIがカスタム、またはカスタマー仕様として明示的に指定していない限り、TIの製品は標準的なカタログに掲載される汎用機器です。

お客様がいかなる追加条項または代替条項を提案する場合も、TIはそれらに異議を唱え、拒否します。

Copyright © 2025, Texas Instruments Incorporated

最終更新日：2025年10月