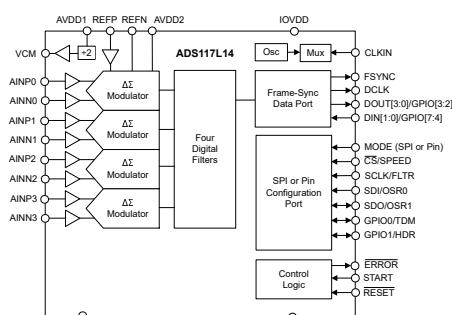


ADS117L1x 512kSPS、クワッドおよびオクタル、同時サンプリング、16 ビット $\Delta\Sigma$ ADCs

1 特長

- 4つまたは8つのチャネルを同時に測定
- 広帯域フィルタモード: 最大 512kSPS
 - 線形位相応答
 - $\pm 0.0004\text{dB}$ パスバンドリップル
 - 106dB ストップバンド減衰
- 低レイテンシフィルタモード: 最大 1365kSPS
 - 3.9 μs 変換レイテンシ
- 電力スケーラブルな速度モード:
 - 最高速度: 21mW/ch (512kSPS/1365kSPS)
 - 高速度: 16mW/ch (400kSPS/1067kSPS)
 - 中速度: 9mW/ch (200kSPS/533kSPS)
 - 低速度: 3mW/ch (50kSPS/133kSPS)
- 高精度:
 - 200kSPS での SNR: 97.7dB (標準値)
 - THD: -115dB (標準値)
 - INL: 0.5LSB (標準値)
 - オフセットドリフト: 60nV/ $^{\circ}\text{C}$ (標準値)
 - ゲインドリフト: 1ppm/ $^{\circ}\text{C}$ の FSR (標準値)
- プリチャージバッファ付き信号入力
- バイポーラまたはユニポーラの電源動作
- $\pm V_{\text{REF}}$ または $\pm 2V_{\text{REF}}$ 入力範囲
- ピン設定または SPI でプログラム可能
- 出力データ用のフレーム同期ポート
- 内部または外部クロック動作
- アナログ電源電圧: 2.85V ~ 5.5V



機能ブロック図

2 アプリケーション

- 試験および測定機器:
 - データアクイジョン (DAQ)
 - 衝撃および振動計測器
 - 音響および動的歪みゲージ
- ファクトリオートメーション / 制御:
 - 状況監視
- 航空宇宙 / 防衛:
 - ソナー
- 医療:
 - 脳波 (EEG)
- グリッドインフラ:
 - 電源品質アナライザ

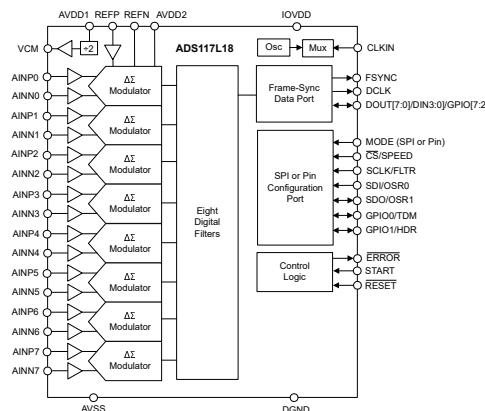
3 説明

ADS117L14 (クワッド) および ADS117L18 (オクタル) は、16ビットのデルタシグマ ($\Delta\Sigma$) アナログ - デジタルコンバーター (ADC) です。これらのデバイスは、4または8チャネルの同時サンプリングを、512kSPS (広帯域フィルタモード) および 1365kSPS (低レイテンシフィルタモード) までのデータレートで実現します。24ビットの ADS127L14 (クワッド) および ADS127L18 (オクタル) ADC は、解像度を向上させるピン互換デバイスです。

パッケージ情報

部品番号	パッケージ ⁽¹⁾	パッケージサイズ
ADS117L1x	RSH (VQFN, 56)	7mm × 7mm

(1) 詳細については、[メカニカル、パッケージ、および注文情報](#)をご覧ください。



このリソースの元の言語は英語です。翻訳は概要を便宜的に提供するもので、自動化ツール（機械翻訳）を使用していることがあり、TIでは翻訳の正確性および妥当性につきましては一切保証いたしません。実際の設計などの前には、ti.com で必ず最新の英語版をご参照くださいますようお願いいたします。

電力スケーラブルな速度モードにより、データレート、帯域幅、消費電力の間でトレードオフを最適化できます。広帯域フィルタおよび低レイテンシフィルタにより、AC信号の性能またはDC信号のデータスループットをすべて1つのデバイスで最適化します。

プログラム可能なオーバーサンプリング比(OSR)によって、データレートと信号帯域幅が決まります。線形位相の広帯域フィルタにより、使用可能帯域幅はナイキスト周波数の80%、パスバンドリップルは $\pm 0.0004\text{dB}$ です。低レイテンシフィルタは、 $3.9\mu\text{s}$ の変換レイテンシでデータを供給します。

各入力チャネルのプリチャージバッファは、アナログ入力電流とサンプリングノイズを低減し、精度を向上させます。リファレンス入力バッファは、リファレンス負荷を低減して精度を向上させます。

低ドリフトの変調器は、優れたDC精度を備えており、小さいノイズで卓越した16ビット性能を実現します。クロストーク誤差が小さいため、チャネル間の信号結合が減少し、データ絶縁が向上します。

これらのデバイスは、単純なピン接続またはSPIポートを使用してプログラムされます。データレーン数を選択可能なフレーム同期データポートにより、並列または時分割多重形式で変換データが得られます。デイジーチェーン動作では、同じデータレーン数を使用してシステムのチャネル数を拡張します。

これらのデバイスは、同一の7mm × 7mm VQFNパッケージで供給され、ドロップイン拡張機能が可能で、-40°C～+125°C温度範囲での動作が完全に規定されています。

目次

1 特長	1	6.11 IMD の測定	30
2 アプリケーション	1	6.12 SFDR の測定	30
3 説明	1	6.13 ノイズ性能	31
4 ピン構成および機能	4	7 詳細説明	35
5 仕様	8	7.1 概要	35
5.1 絶対最大定格	8	7.2 機能ブロック図	36
5.2 ESD 定格	8	7.3 機能説明	36
5.3 推奨動作条件	9	7.4 デバイスの機能モード	54
5.4 熱に関する情報	9	7.5 プログラミング	67
5.5 電気的特性	10	8 レジスタマップ	74
5.6 タイミング要件	15	9 アプリケーションと実装	90
5.7 スイッチング特性	16	9.1 アプリケーション情報	90
5.8 タイミング図	16	9.2 代表的なアプリケーション	91
5.9 代表的特性	19	9.3 電源に関する推奨事項	94
6 パラメータ測定情報	27	9.4 レイアウト	95
6.1 オフセット誤差の測定	27	10 デバイスおよびドキュメントのサポート	97
6.2 オフセットドリフトの測定	27	10.1 ドキュメントのサポート	97
6.3 ゲイン誤差の測定	27	10.2 ドキュメントの更新通知を受け取る方法	97
6.4 ゲインドリフトの測定	27	10.3 サポート・リソース	97
6.5 NMRR の測定	27	10.4 商標	97
6.6 CMRR の測定	28	10.5 静電気放電に関する注意事項	97
6.7 PSRR の測定	28	10.6 用語集	97
6.8 SNR の測定	29	11 改訂履歴	97
6.9 INL 誤差の測定	29	12 メカニカル、パッケージ、および注文情報	98
6.10 THD の測定	29		

4 ピン構成および機能

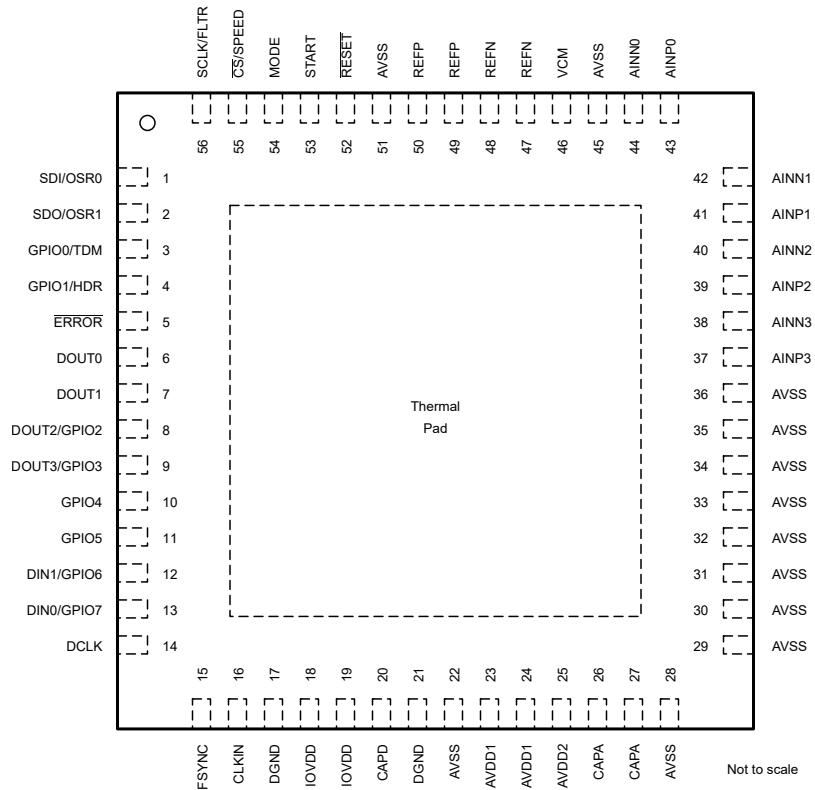


図 4-1. ADS117L14 RSH パッケージ、56 ピン VQFN (上面図)

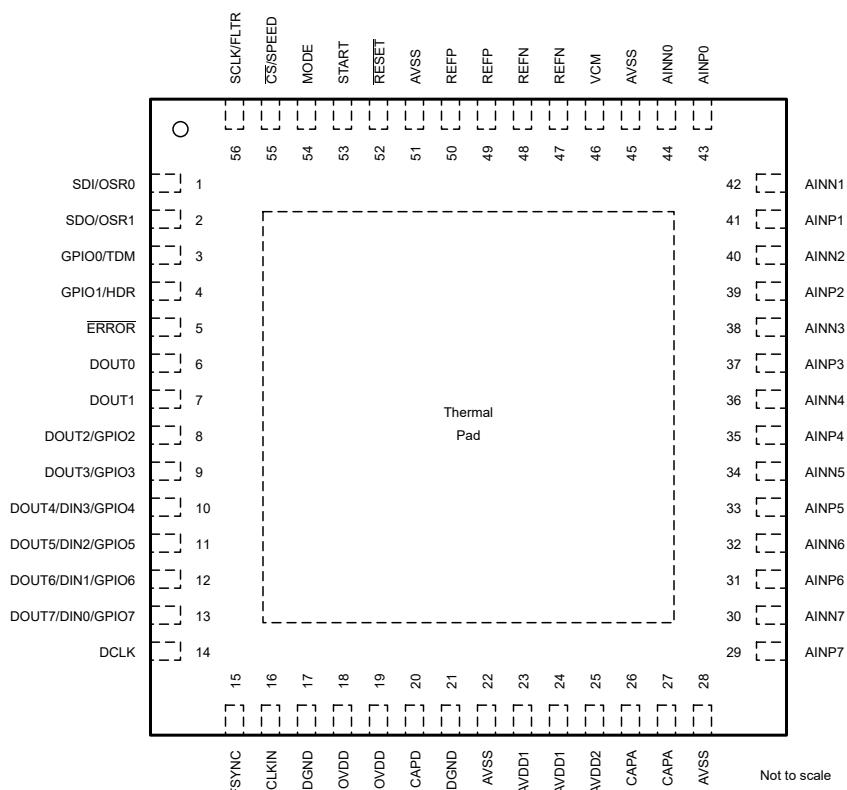


図 4-2. ADS117L18 RSH パッケージ、56 ピン VQFN (上面図)

表 4-1. ピンの機能

名称	ADS117L14 ピン	ADS117L18 ピン	TYPE ⁽¹⁾	説明
AINN0	44	44	I	チャネル 0 の負アナログ入力。詳細については、「 アナログ入力 」セクションを参照してください。
AINN1	42	42	I	チャネル 1 の負アナログ入力。詳細については、「 アナログ入力 」セクションを参照してください。
AINN2	40	40	I	チャネル 2 の負アナログ入力。詳細については、「 アナログ入力 」セクションを参照してください。
AINN3	38	38	I	チャネル 3 の負アナログ入力。詳細については、「 アナログ入力 」セクションを参照してください。
AINN4	—	36	I	チャネル 4 の負アナログ入力。詳細については、「 アナログ入力 」セクションを参照してください。
AINN5	—	34	I	チャネル 5 の負アナログ入力。詳細については、「 アナログ入力 」セクションを参照してください。
AINN6	—	32	I	チャネル 6 の負アナログ入力。詳細については、「 アナログ入力 」セクションを参照してください。
AINN7	—	30	I	チャネル 7 の負アナログ入力。詳細については、「 アナログ入力 」セクションを参照してください。
AINP0	43	43	I	チャネル 0 の正アナログ入力。詳細については、「 アナログ入力 」セクションを参照してください。

表 4-1. ピンの機能 (続き)

名称	ADS117L14 ピン	ADS117L18 ピン	TYPE ⁽¹⁾	説明
AINP1	41	41	I	チャネル 1 の正アナログ入力。詳細については、「 アナログ入力 」セクションを参照してください。
AINP2	39	39	I	チャネル 2 の正アナログ入力。詳細については、「 アナログ入力 」セクションを参照してください。
AINP3	37	37	I	チャネル 3 の正アナログ入力。詳細については、「 アナログ入力 」セクションを参照してください。
AINP4	—	35	I	チャネル 4 の正アナログ入力。詳細については、「 アナログ入力 」セクションを参照してください。
AINP5	—	33	I	チャネル 5 の正アナログ入力。詳細については、「 アナログ入力 」セクションを参照してください。
AINP6	—	31	I	チャネル 6 の正アナログ入力。詳細については、「 アナログ入力 」セクションを参照してください。
AINP7	—	29	I	チャネル 7 の正アナログ入力。詳細については、「 アナログ入力 」セクションを参照してください。
AVDD1	23, 24	23, 24	P	正のアナログ電源 1。詳細については、 電源に関する推奨事項 セクションを参照してください。
AVDD2	25	25	P	正のアナログ電源 2。詳細については、 電源に関する推奨事項 セクションを参照してください。
AVSS	22, 28, 29, 30、 31, 32, 33, 34、 35, 36, 45, 51	22, 28, 45, 51	P	負のアナログ電源。詳細については、 電源に関する推奨事項 セクションを参照してください。
CAPA	26, 27	26, 27	P	アナログ電圧レギュレータの出力バイパス。詳細については、 CAPA および CAPD セクションを参照してください。
CAPD	20	20	P	デジタル電圧レギュレータの出力のバイパス。詳細については、 CAPA および CAPD セクションを参照してください。
CLKIN	16	16	I	クロック入力。詳細については、 クロック動作 セクションを参照してください。
CS/速度	55	55	I	SPI モード: アクティブ low チップ セレクト。詳細については、 SPI のプログラミング セクションを参照してください。 ハードウェア モード (トライステート入力): 速度範囲の選択。 詳細については、 ハードウェア プログラミング セクションを参照してください。
DCLK	14	14	O	フレーム同期ビット クロック出力。詳細については、 フレーム同期データポート セクションを参照してください。
DGND	17, 21	17, 21	GND	デジタル グランド。
DIN0/GPIO7	13	—	I/O	デイジー チェーン データ入力 0。詳細については、 フレーム同期データポート セクションを参照してください。 汎用入出力 7。詳細については、 GPIO セクションを参照してください。
DIN1/GPIO6	12	—	I/O	デイジー チェーン データ入力 1。詳細については、 フレーム同期データポート セクションを参照してください。 汎用入出力 6。詳細については、 GPIO セクションを参照してください。
DOUT0	6	6	O	データ出力 0。詳細については、 フレーム同期データポート セクションを参照してください。
DOUT1	7	7	O	データ出力 1。詳細については、 フレーム同期データポート セクションを参照してください。
DOUT2/GPIO2	8	8	I/O	データ出力 2。詳細については、 フレーム同期データポート セクションを参照してください。 汎用入出力 2。詳細については、 GPIO セクションを参照してください。
DOUT3/GPIO3	9	9	I/O	データ出力 3。詳細については、 フレーム同期データポート セクションを参照してください。 汎用入出力 3。詳細については、 GPIO セクションを参照してください。
DOUT4/DIN3/GPIO4	—	10	I/O	データ出力 4 とデイジー チェーン データ入力 3。詳細については、 フレーム同期データポート セクションを参照してください。 汎用入出力 4。詳細については、 GPIO セクションを参照してください。
DOUT5/DIN2/GPIO5	—	11	I/O	データ出力 5 とデイジー チェーン データ入力 2。詳細については、 フレーム同期データポート セクションを参照してください。 汎用入出力 5。詳細については、 GPIO セクションを参照してください。
DOUT6/DIN1/GPIO6	—	12	I/O	データ出力 6 とデイジー チェーン データ入力 1。詳細については、 フレーム同期データポート セクションを参照してください。 汎用入出力 6。詳細については、 GPIO セクションを参照してください。
DOUT7/DIN0/GPIO7	—	13	I/O	データ出力 7 とデイジー チェーン データ入力 0。詳細については、 フレーム同期データポート セクションを参照してください。 汎用入出力 7。詳細については、 GPIO セクションを参照してください。

表 4-1. ピンの機能 (続き)

名称	ADS117L14 ピン	ADS117L18 ピン	TYPE ⁽¹⁾	説明
エラー	5	5	O	オープンドレイン出力誤差信号。詳細については、 ERROR ピンとERR_FLAG ビットセクション を参照してください。
FSYNC	15	15	O	フレーム同期ワードクロック出力。詳細については、 フレーム同期データポートセクション を参照してください。
GPIO0/TDM	3	3	I/O	汎用入出力 0。詳細については、 GPIO セクション を参照してください。 ハードウェアモード(トライステート入力):TDM 比の選択。 詳細については、 ハードウェアプログラミングセクション を参照してください。
GPIO1/HDR	4	4	I/O	汎用入出力 1。詳細については、 GPIO セクション を参照してください。 ハードウェアモード(tri 状態入力):データヘッダーの選択。 詳細については、 ハードウェアプログラミングセクション を参照してください。
GPIO4	10	—	I/O	汎用入出力 4。詳細については、 GPIO セクション を参照してください。
GPIO5	11	—	I/O	汎用入出力 5。詳細については、 GPIO セクション を参照してください。
IOVDD	18, 19	18, 19	P	デジタル I/O 電源電圧。詳細については、 電源に関する推奨事項 セクションを参照してください。
モード	54	54	I	トライステート入力。構成モードの選択 1 = SPI プログラムモード 0 または float = ハードウェアプログラムモード
REFN	47, 48	47, 48	I	負のリファレンス電圧入力。詳細については、「 リファレンス電圧 」セクションを参照してください。
REFP	49, 50	49, 50	I	正のリファレンス電圧入力。詳細については、「 リファレンス電圧 」セクションを参照してください。
RESET	52	52	I	リセット入力、アクティブ low。詳細については、 RESET ピンセクション を参照してください。
SCLK/FLTR	56	56	I	SPI モード:シリアルクロック入力。詳細については、 SPI のプログラミング セクションを参照してください。 ハードウェアモード(トライステート入力):フィルタモードの選択。 詳細については、 ハードウェアプログラミングセクション を参照してください。
SDI/OSR0	1	1	I	SPI モード:シリアルデータ入力。詳細については、 SPI のプログラミング セクションを参照してください。 ハードウェアモード(トライステート入力):フィルタ OSR0 を選択します。 詳細については、 ハードウェアプログラミングセクション を参照してください。
SDO/OSR1	2	2	I/O	SPI モード:シリアルデータ出力。詳細については、 SPI のプログラミング セクションを参照してください。 ハードウェアモード(トライステート入力):フィルタ OSR1 を選択します。 詳細については、 ハードウェアプログラミングセクション を参照してください。
START	53	53	I	変換制御。詳細については、 同期 セクションを参照してください。
VCM	46	46	O	同相電圧出力。詳細については、 VCM の出力電圧 セクションを参照してください。
サーマルパッド	—	—	—	サーマルパワーパッド。サーマルパッドを AVSS に接続。

(1) I: 入力、O: 出力、I/O: 双方向入出力、P: 電源、G ND: グラウンド

5 仕様

5.1 絶対最大定格

動作時周囲温度範囲内 (特に記述のない限り) ⁽¹⁾

		最小値	最大値	単位
電源電圧	AVDD1 から AVSS へ	-0.3	6.5	V
	AVDD2 から AVSS へ	-0.3	6.5	
	AVSS から DGND へ	-3	0.3	
	IOVDD から DGND へ	-0.3	2.2	
アナログ入力電圧	AINPx, AINNx, REFP, REFN	AVSS - 0.3	AVDD1 + 0.3	V
アナログ出力電圧	CAPA から AVSS へ	AVSS	1.65	V
	CAPD から DGND へ	DGND	1.65	
	VCM から AVSS へ	AVSS	AVDD1	
デジタル入出力電圧	DGND へ	DGND - 0.3	2.2	V
入力電流	連続、電源ピンを除く任意のピン ⁽²⁾	-10	10	mA
温度	接合部、T _J		150	°C
	保存、T _{stg}	-65	150	

- (1) 「絶対最大定格」の範囲外の動作は、デバイスの永続的な損傷の原因となる可能性があります。「絶対最大定格」は、これらの条件において、または「推奨動作条件」に示された値を超える他のいかなる条件でも、本製品が正しく動作することを意味するものではありません。絶対最大定格の範囲内であっても推奨動作条件の範囲外で短時間動作させると、デバイスは損傷を受けないかもしれません、完全に機能しなくなる可能性があり、デバイスの信頼性、機能、性能に影響を及ぼし、デバイスの寿命を縮める可能性があります。
- (2) アナログ入力ピン AINPx, AINNx, REFP、および REFN は、AVDD1 および AVSS にダイオード クランプされています。アナログ入力電圧が AVDD1 + 0.3V 以上か、AVSS - 0.3V 以下の場合、入力電流を 10mA に制限します。デジタル I/O ピンは、DGND のみにダイオード クランプされます。デジタルピンの電圧が DGND-0.3V を下回った場合は、入力電流を 10mA に制限します。

5.2 ESD 定格

			値	単位
V _(ESD)	静電放電	人体モデル (HBM)、ANSI/ESDA/JEDEC JS-001 準拠 ⁽¹⁾	2000	V
		デバイス帶電モデル (CDM)、ANSI/ESDA/JEDEC JS-002 準拠 ⁽²⁾	1000	

(1) JEDEC のドキュメント JEP155 に、500V HBM では標準の ESD 管理プロセスで安全な製造が可能であると規定されています。

(2) JEDEC のドキュメント JEP157 に、250V CDM では標準の ESD 管理プロセスで安全な製造が可能であると規定されています。

5.3 推奨動作条件

動作時周辺温度範囲内 (特に記述のない限り)

			最小値	公称値	最大値	単位
電源						
アナログ電源		AVDD1 から AVSS へ	最高速度モード	4.5	5.5	V
			高速度モード	4.5	5.5	
			中速度モード	3	5.5	
			低速度モード	2.85	5.5	
		AVDD1 から DGND へ		1.65		V
		バイポーラ電源 AVSS/AVDD1 比			1.2	V/V
		AVDD2 から AVSS へ		1.74	5.5	V
		AVSS から DGND へ		-2.75	0	V
	デジタル電源	IOVDD から DGND へ		1.65	1.95	V
アナログ入力						
V_{AINPn} , V_{AINNn}	絶対入力電圧	入力バッファがオフ	AVSS - 0.05	AVDD1 + 0.05		V
		入力バッファがオン	AVSS + 0.1	AVDD1 - 0.1		
V_{INn}	差動入力電圧 $V_{IN} = V_{AINP} - V_{AINN}$	1x の入力範囲	- V_{REF}	V_{REF}		V
		2x の入力範囲	-2 V_{REF}	2 V_{REF}		
電圧リファレンス入力						
V_{REF}	差動リファレンス電圧 $V_{REF} = V_{REFP} - V_{REFN}$	Low のリファレンス範囲	0.5	2.5	2.75	V
		High のリファレンス範囲	1	4.096	AVDD1 - AVSS	
V_{REFN}	負のリファレンス電圧		AVSS - 0.05			V
V_{REFP}	正のリファレンス電圧	REFP バッファがオフ			AVDD1 + 0.05	V
		REFP バッファがオン			AVDD1 - 0.7	
クロック信号						
f_{CLK}	クロック周波数	最高速度モード	0.5	32.768	33.66	MHz
		高速度モード	0.5	25.6	26.3	
		中速度モード	0.5	12.8	13.15	
		低速度モード	0.5	3.2	3.29	
デジタル入力						
	入力電圧		0		IOVDD	V
温度範囲						
T_A	周囲温度	動作中	-50		125	°C
		仕様	-40		125	

5.4 熱に関する情報

熱評価基準 ⁽¹⁾			ADS117L14、ADS117L18	単位
			VQFN (RSH)	
			56 ピン	
$R_{\theta JA}$	接合部から周囲への熱抵抗		23.5	°C/W
$R_{\theta JC(\text{top})}$	接合部からケース (上面) への熱抵抗		11.5	°C/W
$R_{\theta JB}$	接合部から基板への熱抵抗		6.3	°C/W
Ψ_{JT}	接合部から上面への特性パラメータ		0.1	°C/W
Ψ_{JB}	接合部から基板への特性パラメータ		6.2	°C/W
$R_{\theta JC(\text{bot})}$	接合部からケース (底面) への熱抵抗		1.1	°C/W

(1) 従来および最新の熱評価基準の詳細については、『半導体および IC パッケージの熱評価基準』アプリケーション レポートを参照してください。

5.5 電気的特性

最小値および最大値の仕様は $T_A = -40^\circ\text{C} \sim +125^\circ\text{C}$ で適用されます。標準値の仕様は $T_A = 25^\circ\text{C}$ です。すべての仕様は AVDD1 = 5V, AVDD2 = 1.8V ~ 5V, AVSS = 0V, IOVDD = 1.8V, $V_{IN} = 0\text{V}$, $V_{CM} = 2.5\text{V}$, $V_{REFP} = 4.096\text{V}$, $V_{REFN} = 0\text{V}$, 高リファレンス範囲、1倍の入力範囲、すべての速度モード、すべてのチャンネルがアクティブ、入力プリチャージバッファがオン、リファレンスプリチャージバッファがオン時のものです（特に記述のない限り）

パラメータ	テスト条件	最小値	標準値	最大値	単位
アナログ入力、最大速度モード					
入力電流、差動入力電圧	入力バッファがオフ	125			$\mu\text{A}/\text{V}$
	入力バッファがオフ、2倍の入力範囲	60			
	入力バッファがオン	± 2			μA
入力電流ドリフト、差動入力電圧	入力バッファがオフ	5			$\text{nA}/\text{V}/^\circ\text{C}$
	入力バッファがオフ、2倍の入力範囲	2			
	入力バッファがオン	20			$\text{nA}/^\circ\text{C}$
入力電流、同相入力電圧	入力バッファがオフ	6.5			$\mu\text{A}/\text{V}$
	入力バッファがオフ、2倍の入力範囲	3			
	入力バッファがオン	± 2			μA
アナログ入力、高速度モード					
入力電流、差動入力電圧	入力バッファがオフ	95			$\mu\text{A}/\text{V}$
	入力バッファがオフ、2倍の入力範囲	47			
	入力バッファがオン	± 1.5			μA
入力電流ドリフト、差動入力電圧	入力バッファがオフ	3			$\text{nA}/\text{V}/^\circ\text{C}$
	入力バッファがオフ、2倍の入力範囲	1.5			
	入力バッファがオン	5			$\text{nA}/^\circ\text{C}$
入力電流、同相入力電圧	入力バッファがオフ	5			$\mu\text{A}/\text{V}$
	入力バッファがオフ、2倍の入力範囲	2.5			
	入力バッファがオン	± 1.5			μA
アナログ入力、中速度モード					
入力電流、差動入力電圧	入力バッファがオフ	47			$\mu\text{A}/\text{V}$
	入力バッファがオフ、2倍の入力範囲	25			
	入力バッファがオン	± 1.5			μA
入力電流ドリフト、差動入力電圧	入力バッファがオフ	2			$\text{nA}/\text{V}/^\circ\text{C}$
	入力バッファがオフ、2倍の入力範囲	1			
	入力バッファがオン	5			$\text{nA}/^\circ\text{C}$
入力電流、同相入力電圧	入力バッファがオフ	2.5			$\mu\text{A}/\text{V}$
	入力バッファがオフ、2倍の入力範囲	1.3			
	入力バッファがオン	± 1.5			μA
アナログ入力、低速度モード					
入力電流、差動入力電圧	入力バッファがオフ	12			$\mu\text{A}/\text{V}$
	入力バッファがオフ、2倍の入力範囲	6			
	入力バッファがオン	± 0.4			μA
入力電流ドリフト、差動入力電圧	入力バッファがオフ	1			$\text{nA}/\text{V}/^\circ\text{C}$
	入力バッファがオフ、2倍の入力範囲	0.5			
	入力バッファがオン	0.2			$\text{nA}/^\circ\text{C}$
入力電流、同相入力電圧	入力バッファがオフ	0.6			$\mu\text{A}/\text{V}$
	入力バッファがオフ、2倍の入力範囲	0.3			
	入力バッファがオン	± 0.4			μA

5.5 電気的特性 (続き)

最小値および最大値の仕様は $T_A = -40^\circ\text{C} \sim +125^\circ\text{C}$ で適用されます。標準値の仕様は $T_A = 25^\circ\text{C}$ です。すべての仕様は AVDD1 = 5V、AVDD2 = 1.8V ~ 5V、AVSS = 0V、IOVDD = 1.8V、 $V_{IN} = 0V$ 、 $V_{CM} = 2.5V$ 、 $V_{REFP} = 4.096V$ 、 $V_{REFN} = 0V$ 、高リファレンス範囲、1 倍の入力範囲、すべての速度モード、すべてのチャンネルがアクティブ、入力プリチャージバッファがオン、リファレンス プリチャージバッファがオン時のものです (特に記述のない限り)

パラメータ	テスト条件	最小値	標準値	最大値	単位
DC 特性					
	分解能	ミッシング コードなし	16		ビット
e_n	DC ノイズ		詳細については、「ノイズ性能」を参照してください		
	オフセット エラー	$T_A = 25^\circ\text{C}$	-250	± 60	μV
	オフセットのドリフト		50	200	$\text{nV}/^\circ\text{C}$
	ゲイン誤差	$T_A = 25^\circ\text{C}$	-2500	± 200	2500 ppm (対 FSR)
	ゲインドリフト		1	3	ppm (対 FSR) / $^\circ\text{C}$
INL	積分非直線性 ⁽¹⁾		0.5	1	LSB
CMRR	同相除去比	DC	90	115	dB
		最高 10kHz		110	
		DC 時、2 倍の入力範囲		105	
PSRR	電源除去比	AVDD1、DC	98		dB
		AVDD2、DC	130		
		IOVDD、DC	108		
AC 特性					
f_{DATA}	データレート	最高速度モード	広帯域フィルタ	4	512 kSPS
			低レイテンシ フィルタ	0.1024	1365.3
		高速度モード	広帯域フィルタ	3.125	400
			低レイテンシ フィルタ	0.08	1067
		中速度モード	広帯域フィルタ	1.5625	200
			低レイテンシ フィルタ	0.08	533.3
		低速度モード	広帯域フィルタ	0.390625	50
			低レイテンシ フィルタ	0.01	133.3
SNR	信号対雑音比	$f_{IN} = 1\text{kHz}$, $V_{IN} = -0.2\text{dBFS}$, OSR = 64	広帯域フィルタ	97.0	97.7 dB
			広帯域フィルタ、 $V_{REF} = 2.5V$ 、 2 倍の入力範囲		97.5
			低レイテンシ フィルタ	97.0	97.9
			低レイテンシ フィルタ $V_{REF} = 2.5V$ 、 2 倍の入力範囲		97.8
THD	全高調波歪	$f_{IN} = 1\text{kHz}$, $V_{IN} = -0.2\text{dBFS}$		-115	-105 dB
		最高速度モード		-105	-100
IMD	相互変調歪み	$f_{IN} = 9.7\text{kHz}$ および 10.3kHz, $V_{IN} = -6.5\text{dBFS}$	2 次項	-120	dB
			3 次項	-110	
SFDR	スプリアスフリー ダイナミック レンジ	$f_{IN} = 1\text{kHz}$, $V_{IN} = -0.2\text{dBFS}$		110	dB
	クロストーク	$f_{IN} = 1\text{kHz}$, $V_{IN} = -0.2\text{dBFS}$ ⁽³⁾		-120	dB
NMRR	ノーマル モード除去比	$f_{IN} = 50\text{Hz} (\pm 1\text{Hz})$, $f_{DATA} = 50\text{SPS}$, sinc3 フィルタ		100	dB
		$f_{IN} = 60\text{Hz} (\pm 1\text{Hz})$, $f_{DATA} = 60\text{SPS}$, sinc3 フィルタ		100	
広帯域フィルタの特性					
	パス バンド周波数	パス バンドリップルのエンベロープ内		$0.4 \cdot f_{DATA}$	Hz
		-0.1dB 周波数		$0.4125 \cdot f_{DATA}$	
		-3dB 周波数		$0.4374 \cdot f_{DATA}$	

5.5 電気的特性 (続き)

最小値および最大値の仕様は $T_A = -40^\circ\text{C} \sim +125^\circ\text{C}$ で適用されます。標準値の仕様は $T_A = 25^\circ\text{C}$ です。すべての仕様は AVDD1 = 5V, AVDD2 = 1.8V ~ 5V, AVSS = 0V, IOVDD = 1.8V, $V_{IN} = 0V$, $V_{CM} = 2.5V$, $V_{REFP} = 4.096V$, $V_{REFN} = 0V$, 高リファレンス範囲、1倍の入力範囲、すべての速度モード、すべてのチャンネルがアクティブ、入力プリチャージバッファがオン、リファレンス プリチャージバッファがオン時のものです (特に記述のない限り)

パラメータ	テスト条件	最小値	標準値	最大値	単位
バス バンドリップル		-0.0004	0.0004	dB	
ストップ バンド周波数	ストップ バンド減衰時		$0.5 \cdot f_{DATA}$	Hz	
ストップ バンド減衰 ⁽²⁾			106	dB	
群遅延			$34 / f_{DATA}$	s	
セトリング タイム			$68 / f_{DATA}$	s	

電圧リファレンス入力

REFP および REFN 入力電流	REFP バッファがオフ	最高速度モード	225	$\mu\text{A}/\text{V}/\text{ch}$
		高速度モード	190	
		中速度モード	130	
		低速度モード	80	
REFP 入力電流	REFP バッファがオン		± 3	$\mu\text{A}/\text{ch}$
REFP および REFN 入力電流ドリフト	REFP バッファがオフ		20	nA/ $^\circ\text{C}/\text{ch}$
REFP 入力電流ドリフト	REFP バッファがオン		10	nA/ $^\circ\text{C}/\text{ch}$

内部発振器

f_{OSC}	オシレータの周波数	25.4	25.6	25.8	MHz
-----------	-----------	------	------	------	-----

VCM 出力電圧

出力電圧		$(AVDD1 + AVSS) / 2$	V
精度		$\pm 1\%$	$\pm 0.1\%$
電圧ノイズ	1kHz の帯域幅	25	μV_{RMS}
起動時間	$C_L = 100\text{nF}$	1	ms
容量性負荷		100	nF
抵抗性負荷		2	k Ω
回路短絡時の電流制限		10	mA

デジタル入出力

V_{IL}	ロジック Low 入力レベル		0.3 IOVDD	V
V_{IH}	ロジック High 入力レベル	0.7 IOVDD		V
I_{LEAK}	外部リーケージ電流	トライステートビン、フローティング入力状態	-5	μA
C_{LOAD}	容量性負荷	トライステートビン、フローティング入力状態	50	pF
R_{EXT}	プルアップまたはプルダウン抵抗	トライステートビン:論理 low または high 状態	0	k Ω
V_{OL}	ロジック Low 出力レベル	OUT_DRV = 0b, $I_{OL} = 2\text{mA}$	$0.2 \cdot IOVDD$	V
		OUT_DRV = 1b, $I_{OL} = 1\text{mA}$	$0.2 \cdot IOVDD$	
V_{OH}	ロジック High 出力レベル	OUT_DRV = 0b, $I_{OH} = -2\text{mA}$	$0.8 \cdot IOVDD$	V
		OUT_DRV = 1b, $I_{OH} = -1\text{mA}$	$0.8 \cdot IOVDD$	
		エラー ピン, $I_{OH} = -2\mu\text{A}$	$0.8 \cdot IOVDD$	
入力ヒステリシス			150	mV
入力電流		-1	1	μA

5.5 電気的特性 (続き)

最小値および最大値の仕様は $T_A = -40^\circ\text{C} \sim +125^\circ\text{C}$ で適用されます。標準値の仕様は $T_A = 25^\circ\text{C}$ です。すべての仕様は AVDD1 = 5V、AVDD2 = 1.8V ~ 5V、AVSS = 0V、IOVDD = 1.8V、 $V_{IN} = 0V$ 、 $V_{CM} = 2.5V$ 、 $V_{REFP} = 4.096V$ 、 $V_{REFN} = 0V$ 、高リファレンス範囲、1倍の入力範囲、すべての速度モード、すべてのチャンネルがアクティブ、入力プリチャージバッファがオン、リファレンス プリチャージバッファがオン時のものです (特に記述のない限り)

パラメータ	テスト条件		最小値	標準値	最大値	単位	
アナログ電源電流							
I_{AVDD1}, I_{AVSS}	AVDD1、AVSS 電流 (バッファ オフ)	1 チャネル	最高速度モード	1.9	2.1	mA	
		各追加チャネル		1.7	2.0	mA/ch	
		1 チャネル	高速度モード	1.5	1.7	mA	
		各追加チャネル		1.3	1.6	mA/ch	
		1 チャネル	中速度モード	0.9	1.0	mA	
		各追加チャネル		0.7	0.85	mA/ch	
		1 チャネル	低速度モード	0.3	0.35	mA	
		各追加チャネル		0.2	0.21	mA/ch	
		スタンバイ モード		110		μA	
		パワーダウン モード		5		μA	
I_{AVDD2}, I_{AVSS}	AVDD1、AVSS バッファ電流	入力バッファ	最高速度モード	1.78	2.1	mA/バッフ ア	
			高速度モード	1.36	1.6		
			中速度モード	0.7	0.85		
			低速度モード	0.2	0.25		
		REFP バッファ	最高速度モード	1.6	1.7	mA/バッフ ア	
			高速度モード	1.5	1.65		
			中速度モード	0.9	1.0		
			低速度モード	0.4	0.5		
		VCM (同相電圧) バッファ		0.1		mA	
		AVDD2、AVSS 電流		4.6	5.1	mA/ch	
		最高速度モード		3.6	4.0		
		高速度モード		2.3	2.55		
		中速度モード		0.85	0.96		
		低速度モード		60		μA	
		スタンバイ モード		1		μA	
デジタル電源電流							
I_{IOVDD}	IOVDD 電流	広帯域フィルタ $OSR = 32$	最高速度モード	2.1	2.5	mA/ch	
			高速度モード	1.6	2.0		
			中速度モード	0.8	1		
			低速度モード	0.2	0.35		
		低レイテンシ フィルタ $OSR = 32$	最高速度モード	0.6	0.8	μA	
			高速度モード	0.5	0.7		
			中速度モード	0.20	0.35		
			低速度モード	0.05	0.15		
		スタンバイ モード	外部クロック	15			
			内部発振器	50			
		パワーダウン モード		35		μA	

5.5 電気的特性 (続き)

最小値および最大値の仕様は $T_A = -40^\circ\text{C} \sim +125^\circ\text{C}$ で適用されます。標準値の仕様は $T_A = 25^\circ\text{C}$ です。すべての仕様は AVDD1 = 5V、AVDD2 = 1.8V ~ 5V、AVSS = 0V、IOVDD = 1.8V、 $V_{IN} = 0V$ 、 $V_{CM} = 2.5V$ 、 $V_{REFP} = 4.096V$ 、 $V_{REFN} = 0V$ 、高リファレンス範囲、1倍の入力範囲、すべての速度モード、すべてのチャンネルがアクティブ、入力プリチャージバッファがオン、リファレンス プリチャージバッファがオン時のものです (特に記述のない限り)

パラメータ	テスト条件	最小値	標準値	最大値	単位
消費電力					
P_D	ADS117L14 広帯域フィルタ、 AVDD2 = 1.8V、 バッファがオフ	最高速度モード	83	95	mW
		高速度モード	64	76	
		中速度モード	37	43	
		低速度モード	12	14	
	ADS117L14 低レイテンシ フィルタ、 AVDD2 = 1.8V、 バッファがオフ	最高速度モード	72	83	
		高速度モード	57	66	
		中速度モード	33	39	
		低速度モード	11	13	
	ADS117L18 広帯域フィルタ、 AVDD2 = 1.8V、 バッファがオフ	最高速度モード	165	190	
		高速度モード	128	151	
		中速度モード	74	86	
		低速度モード	24	28	
	ADS117L18 低レイテンシ フィルタ、 AVDD2 = 1.8V、 バッファがオフ	最高速度モード	144	165	
		高速度モード	112	132	
		中速度モード	65	77	
		低速度モード	21	25	

- (1) ベストフィット方式。
- (2) デジタル フィルタによって提供されるストップバンド減衰。ストップ バンドの入力周波数は、 $f_{MOD} / 32$ で始まるチョップ周波数と相互変調し、106dB 以上のストップ バンド減衰をもたらします。詳細については、「[ストップ バンドの減衰](#)」の図を参照してください。
- (3) 3つ(ADS117L14)と7つ(ADS117L18)のアクティブ チャンネルで、1つの短絡した入力チャネルでクロストークを測定。

5.6 タイミング要件

1.65V ≤ IOVDD ≤ 1.95V、動作時周囲温度範囲全体 (特に記述のない限り)

		最小値	最大値	単位
クロック				
$t_c(\text{CLKIN})$	CLKIN 周期	15	2000	ns
$t_w(\text{CLKINL})$	パルス幅、CLKIN low	6.5		ns
$t_w(\text{CLKINH})$	パルス幅、CLKIN high	6.5		ns
$t_c(\text{CLK})^{(1)}$	ADC クロック周期、最大速度モード	29.7	2000	ns
	ADC クロック周期、高速度モード	38	2000	
	ADC クロック周期、中速度モード	76	2000	
	ADC クロック周期、低速度モード	304	2000	
$t_w(\text{CLKL})$	パルス幅、CLK Low、最大速度モード	13.2		ns
	パルス幅、CLK Low、高速度モード	17		
	パルス幅、CLK Low、中速度モード	34		
	パルス幅、CLK Low、低速度モード	128		
$t_w(\text{CLKH})$	パルス幅、CLK High、最大速度モード	13.2		ns
	パルス幅、CLK High、高速度モード	17		
	パルス幅、CLK High、中速度モード	34		
	パルス幅、CLK High、低速度モード	128		
フレーム同期 (データポート)				
$t_c(\text{DCLK})$	DCLK 期間、スタンダードアロン動作	15		ns
	DCLK 周期、デイジーチェーン動作	29.7		ns
SPI (構成ポート)				
$t_c(\text{SCLK})$	SCLK 周期	75		ns
$t_w(\text{SCL})$	パルス幅、SCLK low	25		ns
$t_w(\text{SCH})$	パルス幅、SCLK high	25		ns
$t_d(\text{CSSC})$	遅延時間、 $\overline{\text{CS}}$ 立ち下がりエッジから最初の SCLK 立ち上がりエッジまで	20		ns
$t_{su(\text{DI})}$	セットアップ時間、SDI 有効から SCLK 立ち下がりエッジまで	6		ns
$t_h(\text{DI})$	ホールド時間、SCLK 立ち下がりエッジから SDI 有効まで	8		ns
$t_d(\text{SCCS})$	遅延時間、最後の SCLK 立ち下がりエッジから $\overline{\text{CS}}$ 立ち上がりエッジまで	20		ns
$t_w(\text{CSH})$	パルス幅、 $\overline{\text{CS}}$ High	20		ns
START ピン				
$t_w(\text{STL})$	パルス幅、START low	4		t_{CLK}
$t_w(\text{STH})$	パルス幅、START high	4		t_{CLK}
$t_{su(\text{STCL})}$	セットアップ時間、START 立ち上がりエッジから CLKIN 立ち上がりエッジまで ⁽²⁾	4		ns
$t_h(\text{STCL})$	ホールド時間、CLKIN 立ち上がりエッジから START 立ち上がりエッジまで ⁽²⁾	6		ns
$t_{su(\text{STFS})}$	セットアップ時間、START 立ち上がりエッジまたは STOP ビットから FSYNC 立ち下がりエッジにより次の変換を停止するまで (スタート / ストップ変換モード)	24		t_{CLK}
RESET ピン				
$t_w(\text{RSL})$	パルス幅、RESET Low	4		t_{CLK}

(1) f_{CLK} はメイン ADC クロックです。

(2) 同期の不確実性を回避するため、セットアップ時間とホールド時間の仕様の間に START を high に駆動しないようにします。

5.7 スイッチング特性

1.65V ≤ IOVDD ≤ 1.9V、動作時周囲温度範囲全体、OUT_DRV = 0b、C_LOAD = 20pF (特に記述のない限り)

パラメータ		テスト条件	最小値	標準値	最大値	単位
クロック						
t _{C(CLK)}	ADC クロック周期 (プログラマブル) ⁽¹⁾		1、2、3、4 または 8/f _{CLKIN} または /f _{OSC}			
フレーム同期 (データポート)						
t _{c(FSYNC)}	FSYNC 周期		1 / f _{DATA}	ns		
t _{w(FSYNCH)}	パルス幅、FSYNC high		0.5 / f _{DATA}	ns		
t _{w(FSYNCL)}	パルス幅、FSYNC low		0.5 / f _{DATA}	ns		
t _{p(FSDC)}	伝搬遅延時間、FSYNC 立ち下がりエッジから DCLK 立ち上がりエッジまで		-1	1	ns	
t _{c(DCLK)}	DCLK 周期 (プログラマブル) ⁽¹⁾		1、2、4、または 8/f _{CLKIN} または /f _{OSC}			
t _{w(DCLKH)}	パルス幅、DCLK low		0.5 · t _{c(DCLK)}	ns		
t _{w(DCLKL)}	パルス幅、DCLK high		0.5 · t _{c(DCLK)}	ns		
t _{h(DCDO)}	ホールド時間、DCLK 立ち下がりエッジから前の DOUT 無効まで		-2	ns		
t _{p(DCDO)}	伝搬遅延時間、DCLK の立ち下がりエッジから新しい DOUT が有効になるまでの時間		7	ns		
SPI (構成ポート)						
t _{p(CSDO)}	伝搬遅延時間、CS 立ち下がりエッジから SDO 駆動状態まで			16	ns	
t _{p(CSDOZ)}	伝搬遅延時間、CS 立ち上がりエッジから SDO トライステートまで			16	ns	
t _{p(SCDO)}	伝搬遅延時間、SCLK 立ち上がりエッジから有効な SDO まで			20	ns	
START ピン						
t _{p(STFS1)}	伝搬遅延時間、START 立ち下がりエッジから FSYNC 信号停止まで (スタート/ストップ モード)			11	ns	t _{CLK}
t _{p(STDC)}	伝搬遅延時間、START 立ち下がりエッジから DCLK 信号停止まで (スタート/ストップ モード)			7	ns	t _{CLK}
t _{p(STFS2)}	伝搬遅延時間、START 立ち上がりエッジから FSYNC 立ち上がりエッジ (最初の変換準備完了) まで			「デジタル フィルタ」セクションを参照してください		
RESET ピン						
t _{p(RSFS)}	伝搬遅延時間、RESET 立ち上がりエッジから FSYNC 立ち下がりエッジまで (ADC 準備完了)			10 ⁴	ns	t _{CLK}

(1) デイジー チェーン接続には外部クロック動作が必要で、CLK_DIV[2:0]、DCLK_DIV[1:0]= 1 分周が必要です。

5.8 タイミング図

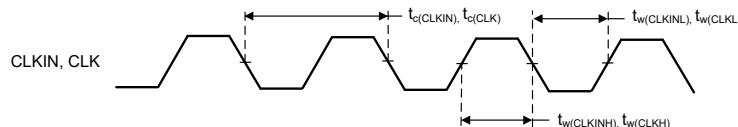


図 5-1. クロックのタイミング要件

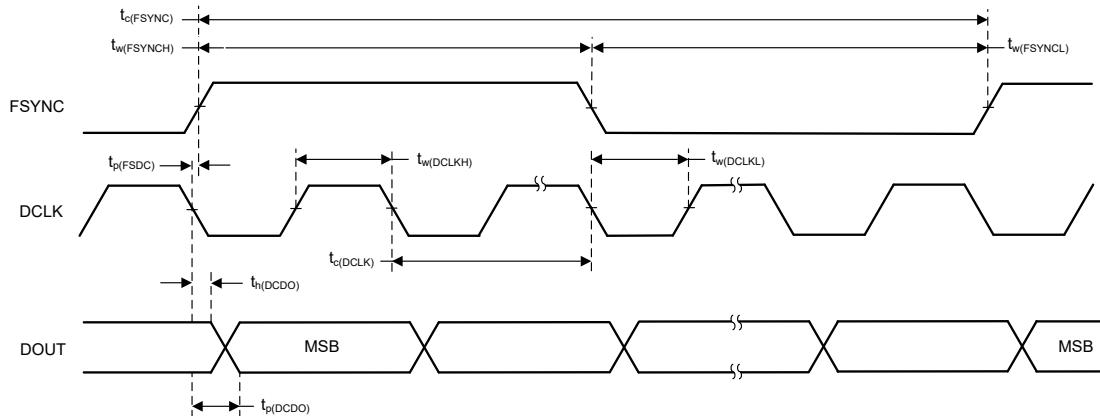


図 5-2. フレーム同期ポートのスイッチング特性

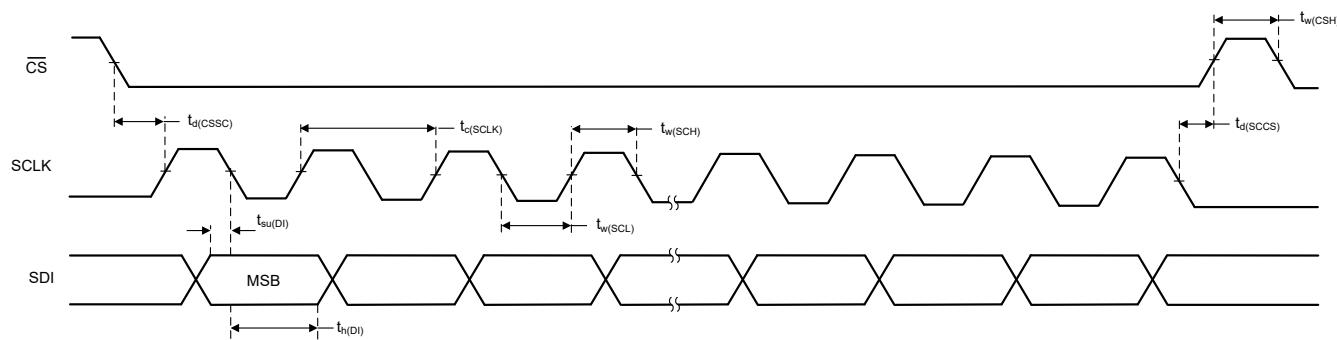


図 5-3. SPI のタイミング要件

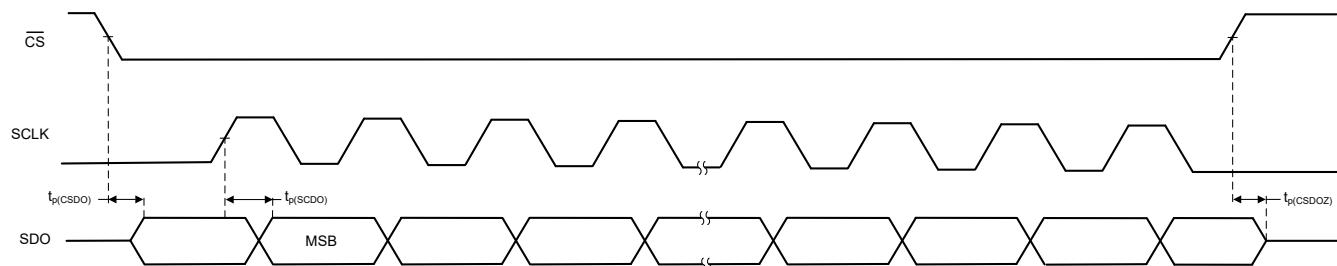


図 5-4. SPI スイッチング特性

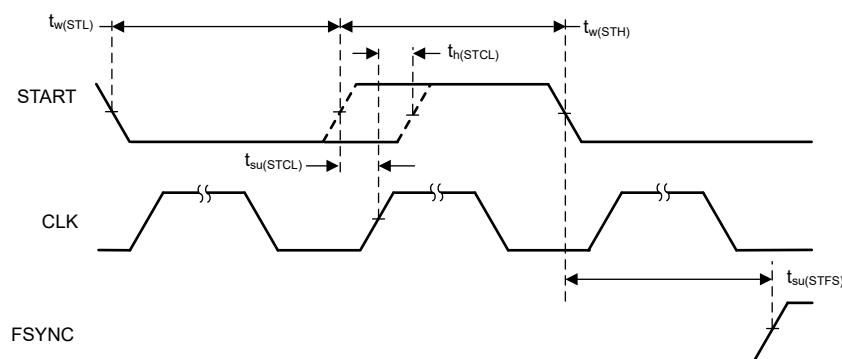


図 5-5. START ピンのタイミング要件

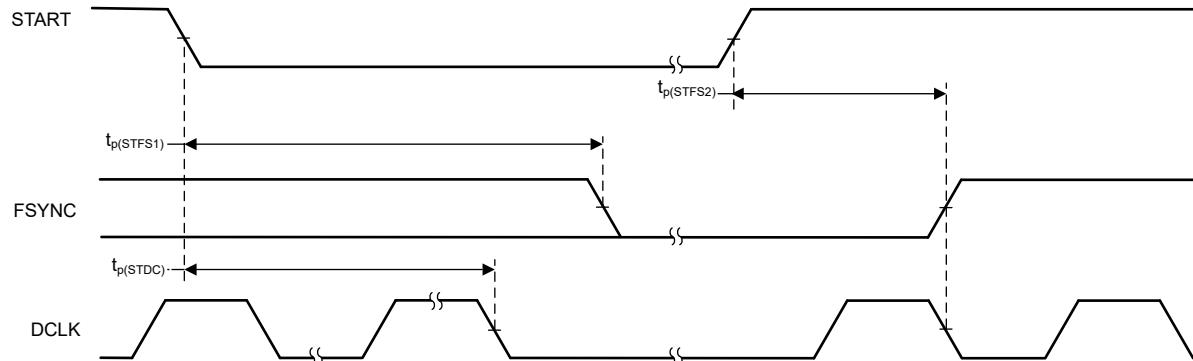


図 5-6. START ピンのスイッチング特性

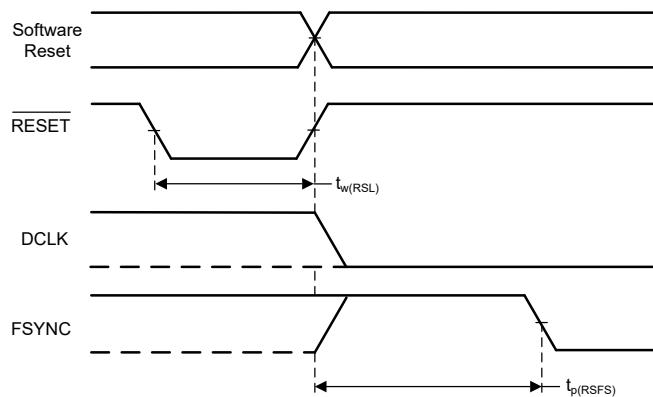


図 5-7. RESET ピンのタイミング要件およびスイッチング特性

5.9 代表的特性

AVDD1 = AVDD2 = 1.8V、AVSS = 0V、IOVDD = 1.8V、 $V_{REF} = 4.096V$ 、高リファレンス範囲、高速度モード、広帯域フィルタ、OSR = 32、1x の入力範囲、入力プリチャージバッファがオン、リファレンス プリチャージ バッファがオフ、 $T_A = 25^{\circ}\text{C}$ 、データは典型的なチャネルパフォーマンスを表すとき (特に記述のない限り)。

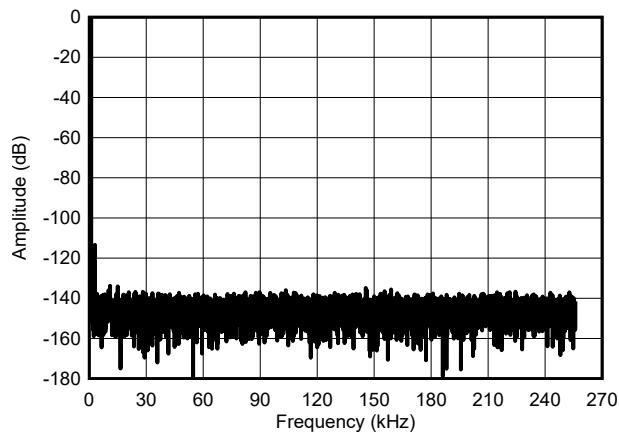


図 5-8. 最高速度モード、フルスケール FFT

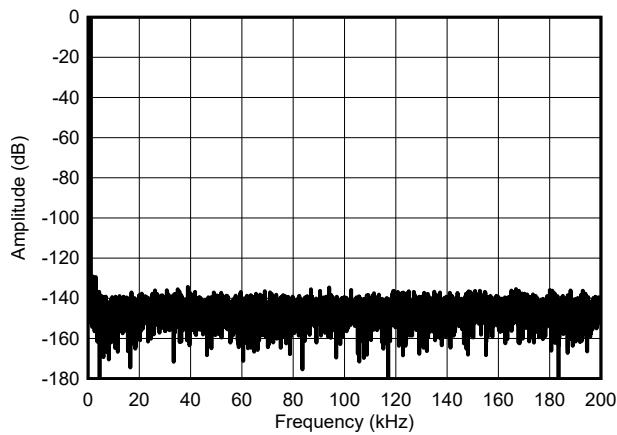


図 5-9. 高速度モード、フルスケール FFT

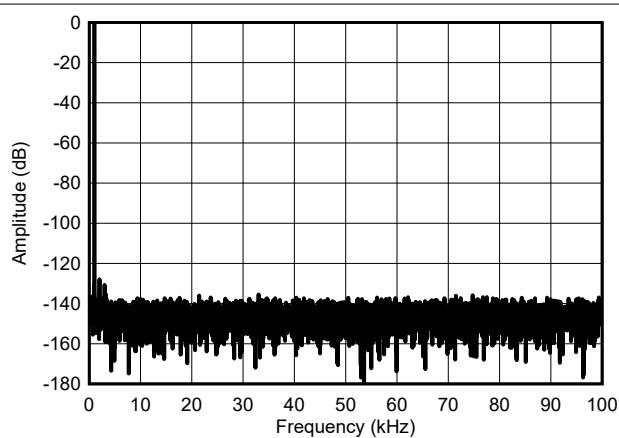


図 5-10. 中速度モード、フルスケール FFT

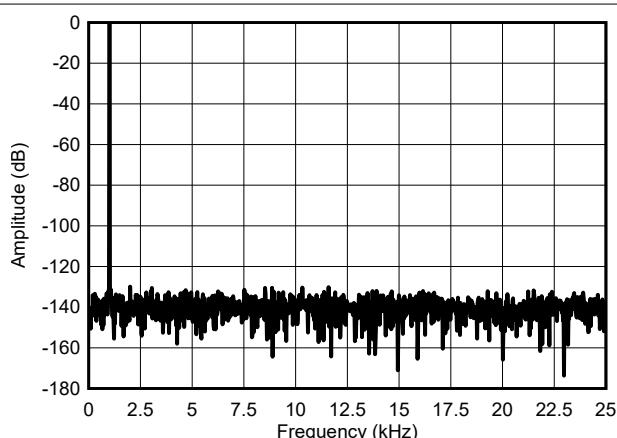


図 5-11. 低速度モード、フルスケール FFT

5.9 代表的特性 (続き)

AVDD1 = AVDD2 = 1.8V、AVSS = 0V、IOVDD = 1.8V、 $V_{REF} = 4.096V$ 、高リファレンス範囲、高速度モード、広帯域フィルタ、OSR = 32、1x の入力範囲、入力プリチャージバッファがオン、リファレンス プリチャージ バッファがオフ、 $T_A = 25^{\circ}\text{C}$ 、データは典型的なチャネルパフォーマンスを表すとき (特に記述のない限り)。

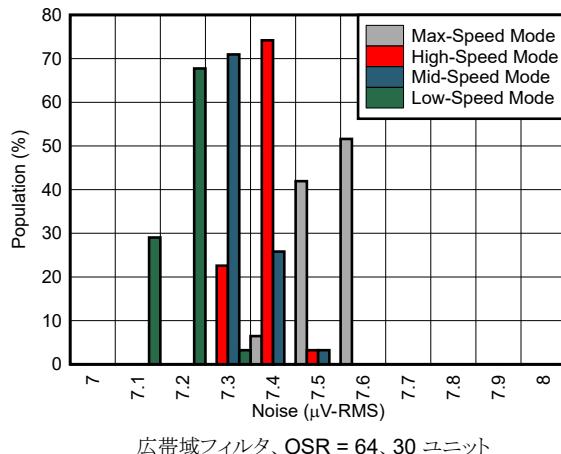


図 5-12. ノイズヒストグラム

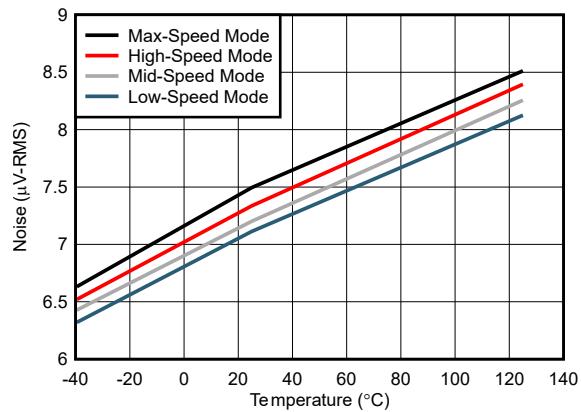


図 5-13. ノイズと温度との関係

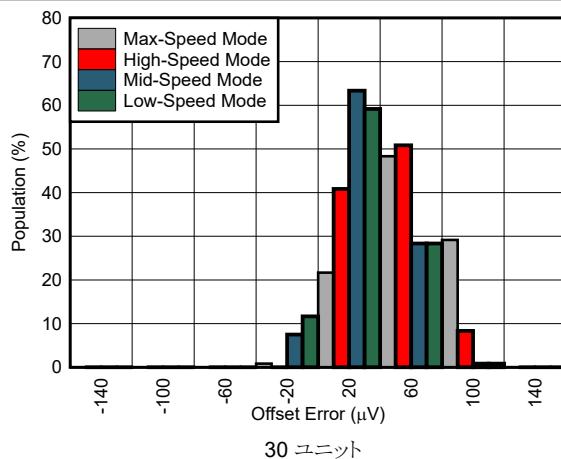


図 5-14. オフセット電圧のヒストグラム

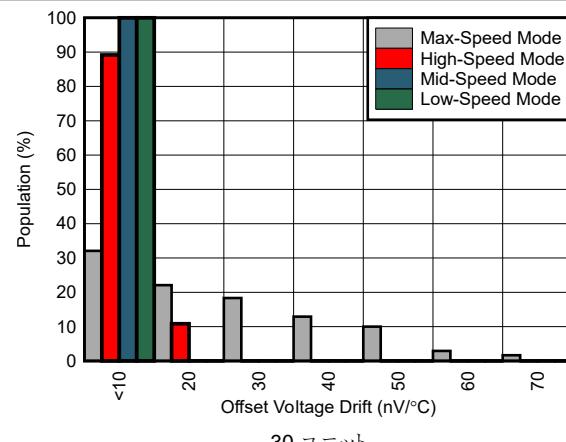
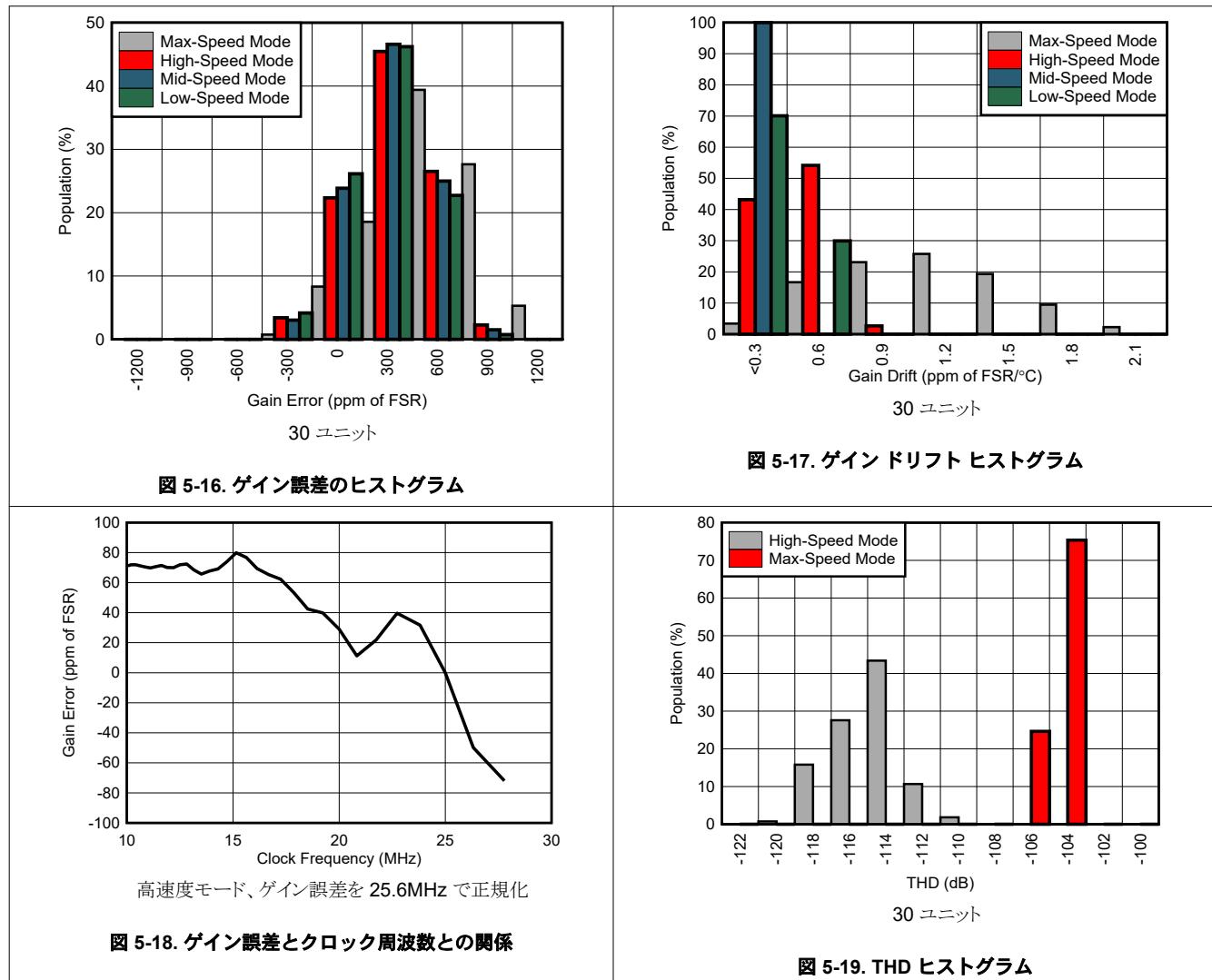


図 5-15. オフセット電圧ドリフトのヒストグラム

5.9 代表的特性 (続き)

AVDD1 = AVDD2 = 1.8V、AVSS = 0V、IOVDD = 1.8V、 $V_{REF} = 4.096V$ 、高リファレンス範囲、高速度モード、広帯域フィルタ、OSR = 32、1x の入力範囲、入力プリチャージバッファがオン、リファレンス プリチャージ バッファがオフ、 $T_A = 25^\circ C$ 、データは典型的なチヤネルパフォーマンスを表すとき (特に記述のない限り)。



5.9 代表的特性 (続き)

AVDD1 = AVDD2 = 1.8V、AVSS = 0V、IOVDD = 1.8V、 $V_{REF} = 4.096V$ 、高リファレンス範囲、高速度モード、広帯域フィルタ、OSR = 32、1x の入力範囲、入力プリチャージバッファがオン、リファレンス プリチャージ バッファがオフ、 $T_A = 25^{\circ}\text{C}$ 、データは典型的なチヤネルパフォーマンスを表すとき (特に記述のない限り)。

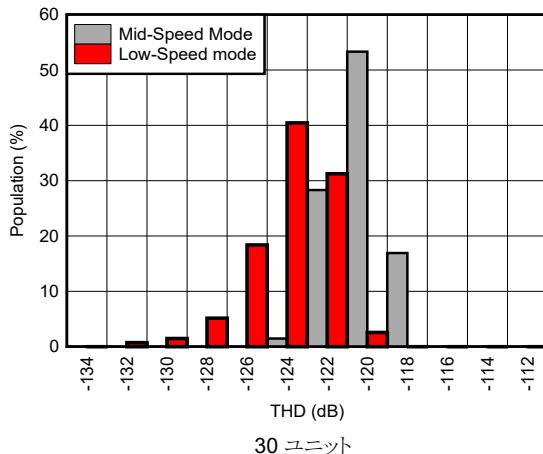


図 5-20. THD ヒストグラム

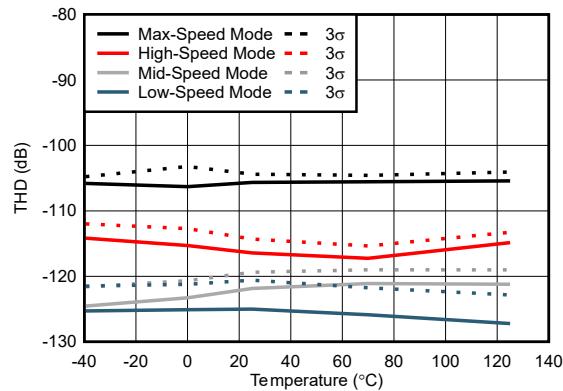


図 5-21. THD と温度との関係

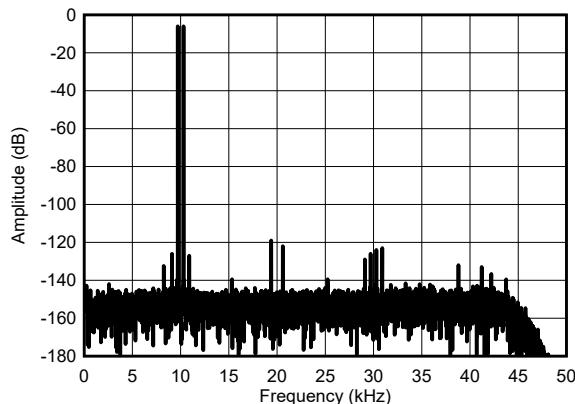


図 5-22. IMD FFT

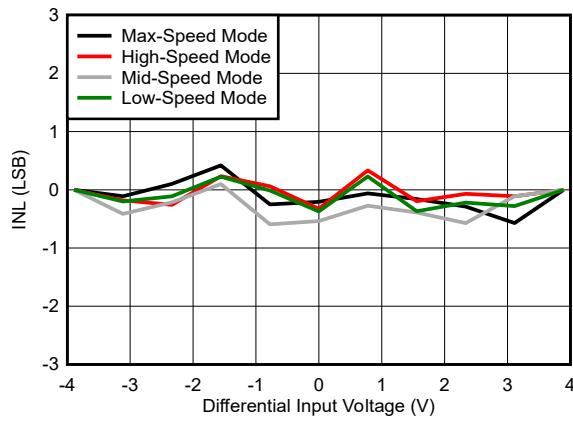


図 5-23. INL と入力電圧との関係

5.9 代表的特性 (続き)

AVDD1 = AVDD2 = 1.8V, AVSS = 0V, IOVDD = 1.8V, $V_{REF} = 4.096V$, 高リファレンス範囲、高速度モード、広帯域フィルタ、OSR = 32、1x の入力範囲、入力プリチャージバッファがオン、リファレンス プリチャージ バッファがオフ、 $T_A = 25^\circ C$ 、データは典型的なチャネルパフォーマンスを表すとき (特に記述のない限り)。

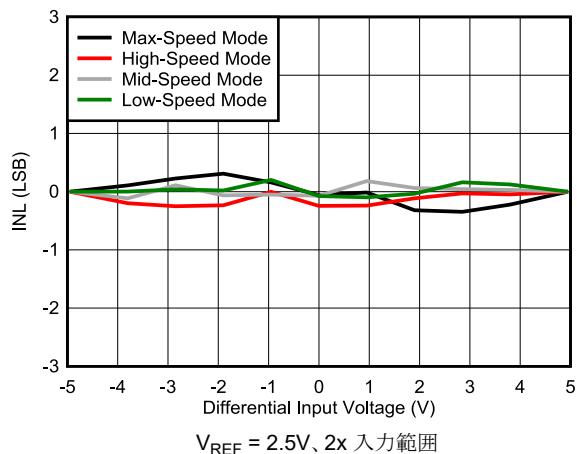


図 5-24. INL と入力電圧との関係

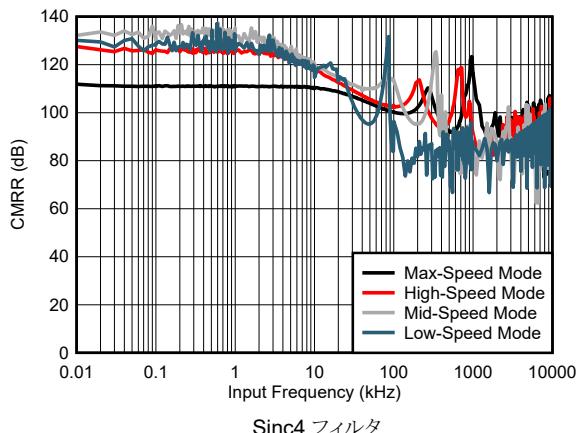


図 5-25. CMRR と周波数との関係

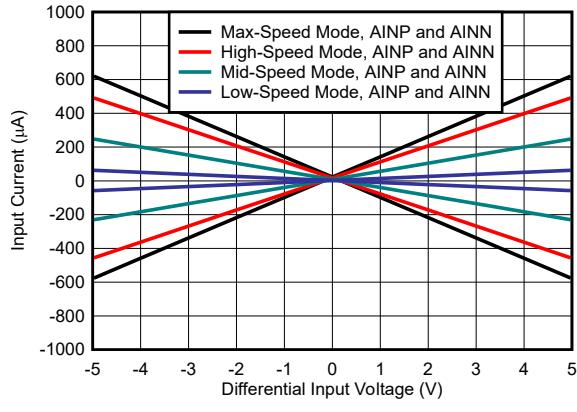


図 5-26. 入力電流と入力電圧との関係

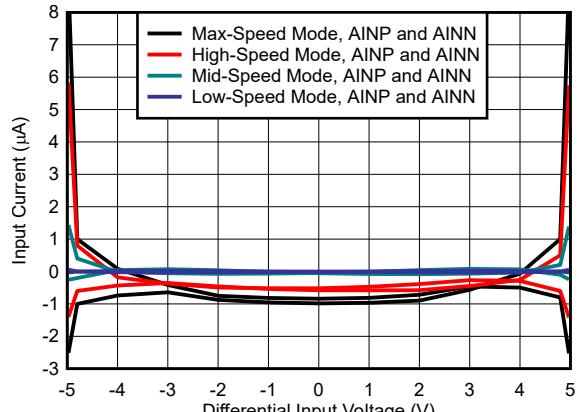


図 5-27. 入力電流と入力電圧との関係

5.9 代表的特性 (続き)

AVDD1 = AVDD2 = 1.8V、AVSS = 0V、IOVDD = 1.8V、 $V_{REF} = 4.096V$ 、高リファレンス範囲、高速度モード、広帯域フィルタ、OSR = 32、1x の入力範囲、入力プリチャージバッファがオン、リファレンスプリチャージバッファがオフ、 $T_A = 25^{\circ}\text{C}$ 、データは典型的なチヤネルパフォーマンスを表すとき (特に記述のない限り)。

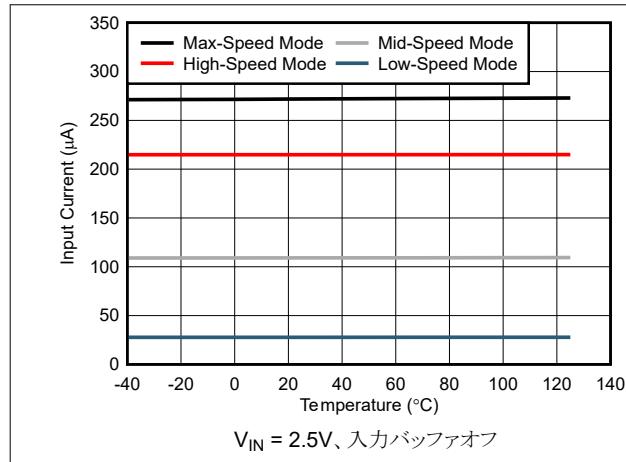


図 5-28. 入力電流と温度の関係

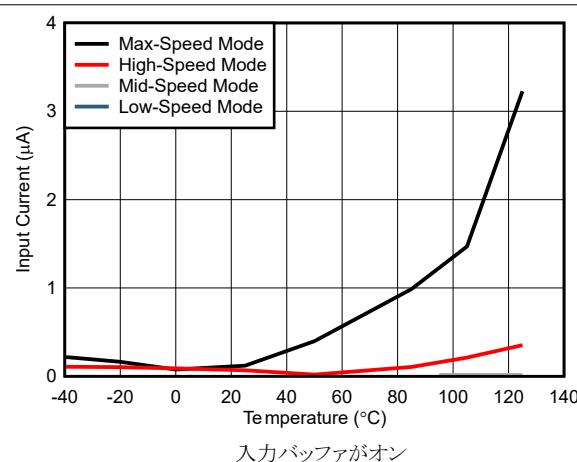


図 5-29. 入力電流と温度の関係

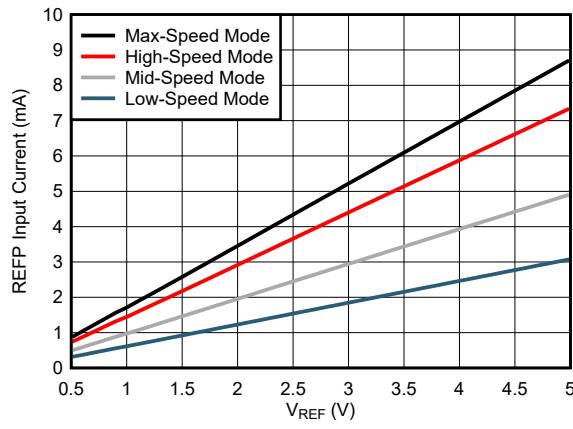


図 5-30. REFP 入力電流とリファレンス電圧との関係

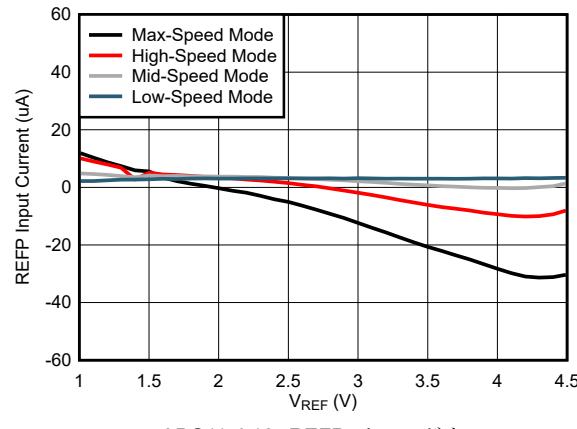


図 5-31. REFP 入力電流とリファレンス電圧との関係

5.9 代表的特性 (続き)

AVDD1 = AVDD2 = 1.8V, AVSS = 0V, IOVDD = 1.8V, V_{REF} = 4.096V、高リファレンス範囲、高速度モード、広帯域フィルタ、OSR = 32、1x の入力範囲、入力プリチャージバッファがオン、リファレンス プリチャージバッファがオフ、T_A = 25°C、データは典型的なチャネルパフォーマンスを表すとき (特に記述のない限り)。

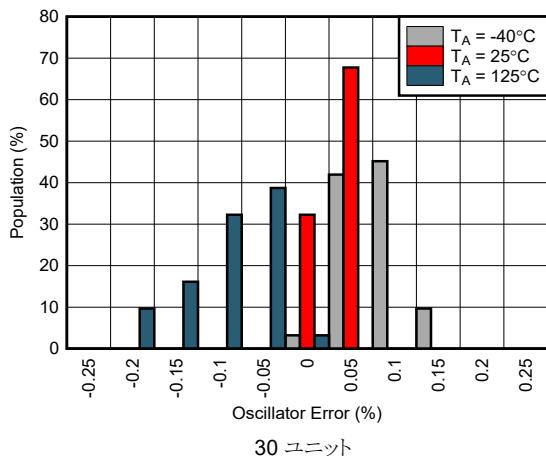


図 5-32. 発振器の周波数ヒストグラム

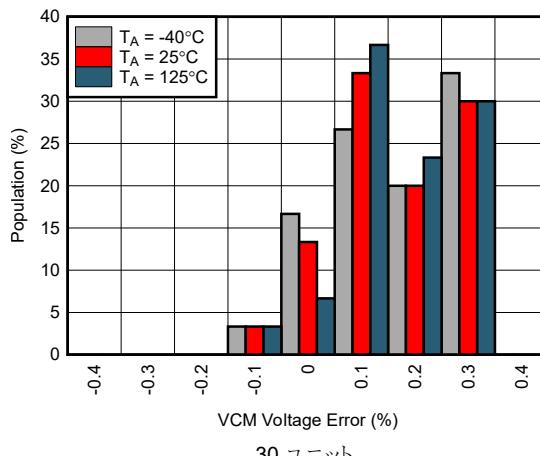


図 5-33. VCM 出力電圧ヒストグラム

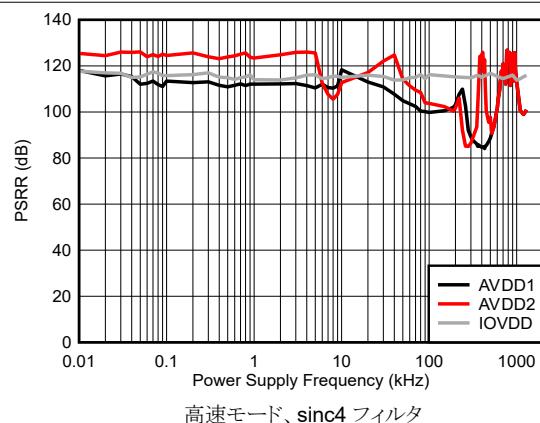


図 5-34. PSRR と電源周波数との関係

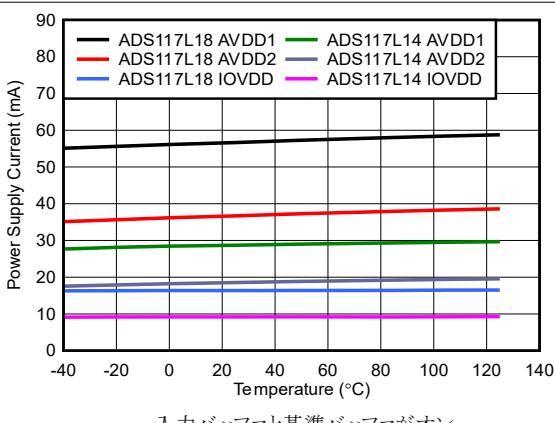


図 5-35. 最高速度モード電源電流と温度との関係

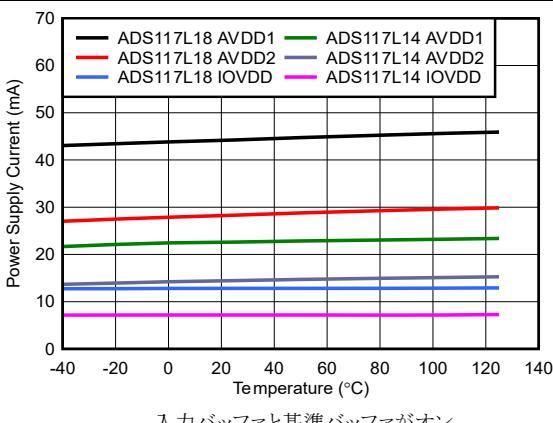


図 5-36. 高速モード電源電流と温度との関係

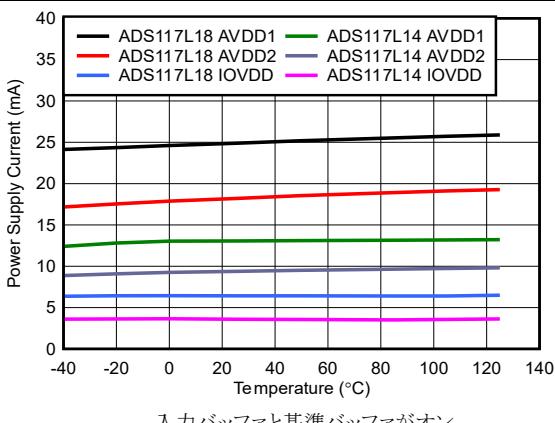


図 5-37. 中速度モード電源電流と温度との関係

5.9 代表的特性 (続き)

AVDD1 = AVDD2 = 1.8V、AVSS = 0V、IOVDD = 1.8V、 $V_{REF} = 4.096V$ 、高リファレンス範囲、高速度モード、広帯域フィルタ、OSR = 32、1x の入力範囲、入力プリチャージバッファがオン、リファレンス プリチャージ バッファがオフ、 $T_A = 25^{\circ}\text{C}$ 、データは典型的なチャネルパフォーマンスを表すとき (特に記述のない限り)。

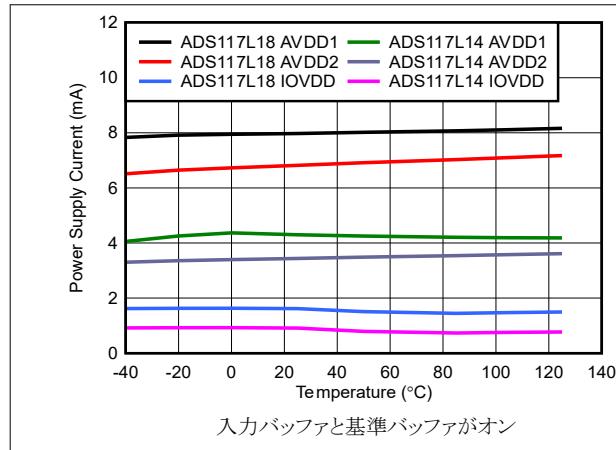


図 5-38. 低速モード電源電流と温度との関係

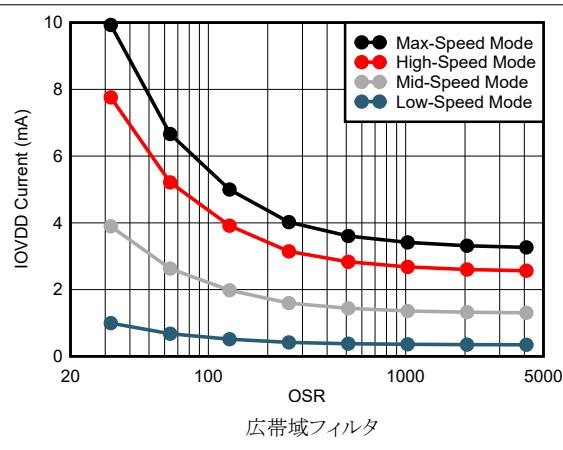


図 5-39. ADS117L14 IOVDD 電流と OSR の関係

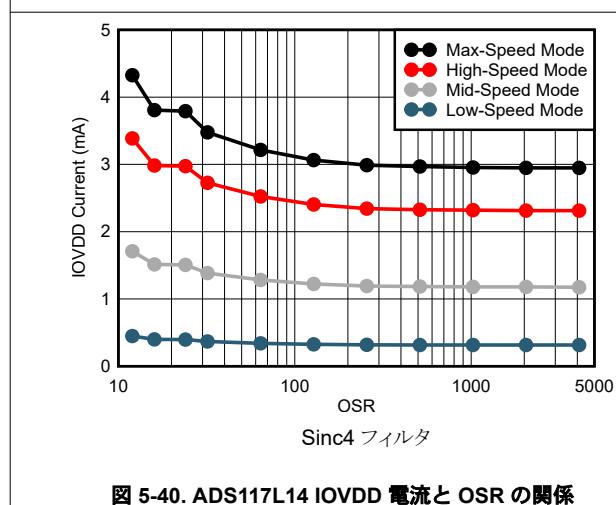


図 5-40. ADS117L14 IOVDD 電流と OSR の関係

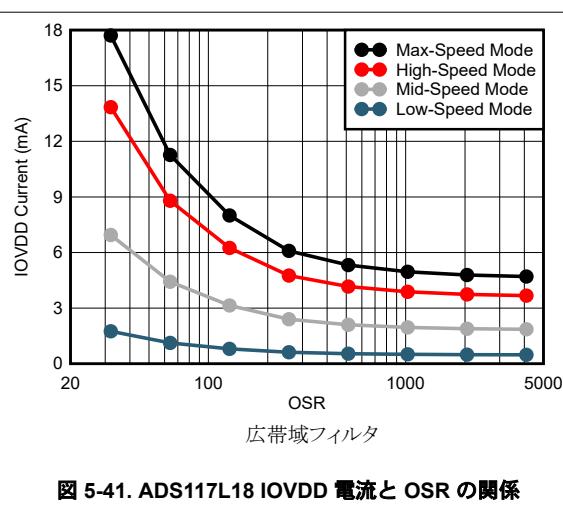


図 5-41. ADS117L18 IOVDD 電流と OSR の関係

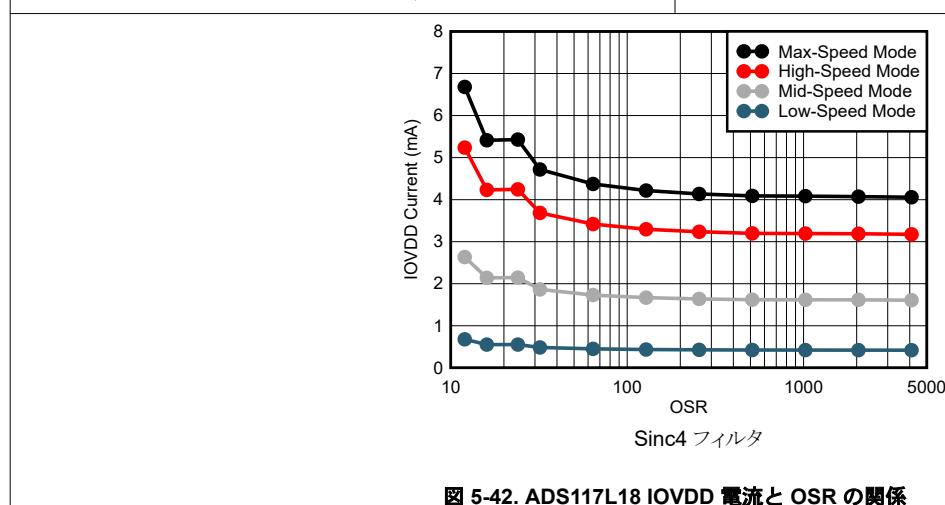


図 5-42. ADS117L18 IOVDD 電流と OSR の関係

6 パラメータ測定情報

6.1 オフセット誤差の測定

オフセット誤差は、ADC 入力が外部で短絡した状態で測定されます。入力同相電圧は、AVDD1 および AVSS 電源電圧範囲の中間点に固定されています。オフセット誤差は、 $T_A = 25^\circ\text{C}$ で規定されています。

6.2 オフセット ドリフトの測定

オフセットドリフトは、指定された温度範囲全体にわたって複数のポイントで測定される、オフセット電圧の変化として定義されます。オフセットドリフトは ボックス方式を使用して計算され、指定された温度範囲内で最大と最小のオフセット電圧を囲むボックスが形成されます。このボックス方式では、温度誤差の限界が規定されますが、テスト対象となるデバイスの測定結果について、正確な形状とスロープは規定されません。ボックス方式を使用したオフセットドリフトの計算を、式 1 に示します。

$$\text{Offset Drift (nV/}^\circ\text{C)} = 10^9 \cdot (V_{\text{OFSMAX}} - V_{\text{OFSMIN}}) / (T_{\text{MAX}} - T_{\text{MIN}}) \quad (1)$$

ここで

- V_{OFSMAX} および V_{OFSMIN} =指定された温度範囲内での最大と最小のオフセット電圧
- T_{MAX} と T_{MIN} =最高と最低の温度

6.3 ゲイン誤差の測定

ゲイン誤差は、ADC 伝達関数の実際のスロープと理想的なスロープとの差として定義されます。ゲイン誤差は、DC テスト電圧を FSR の -95% と 95% で印加して測定します。誤差は、DC テスト電圧 (理想的なスロープ) の変化を、ADC 出力電圧 (実際のスロープ) の変化から減算して計算されます。スロープの差を理想的なスロープで除算し、 10^6 を掛けて、誤差を FSR の ppm に変換します。ADC リファレンス電圧に起因する誤差は、ゲイン誤差の測定から除外されます。ゲイン誤差は、 $T_A = 25^\circ\text{C}$ で規定されます。ゲイン誤差の計算を、式 2 に示します。

$$\text{Gain Error (ppm of FSR)} = 10^6 \cdot (\Delta V_{\text{OUT}} - \Delta V_{\text{IN}}) / \Delta V_{\text{IN}} \quad (2)$$

ここで

- ΔV_{OUT} =2 つの ADC 出力電圧の差
- ΔV_{IN} =2 つの入力テスト電圧の差

6.4 ゲイン ドリフトの測定

ゲインドリフトは、指定された温度範囲全体にわたって複数のポイントで測定される、ゲイン誤差の変化として定義されます。ボックス方式が使用され、指定された温度範囲内で最大と最小のゲイン誤差を囲むボックスが形成されます。このボックス方式では、温度誤差の限界が規定されますが、テスト対象となるデバイスの測定結果について、正確な形状とスロープは規定されません。ボックス方式を使用したオフセットドリフトの計算を、式 3 に説明されます。

$$\text{Gain Drift (ppm/}^\circ\text{C)} = (G_{\text{E}}_{\text{MAX}} - G_{\text{E}}_{\text{MIN}}) / (T_{\text{MAX}} - T_{\text{MIN}}) \quad (3)$$

ここで

- $G_{\text{E}}_{\text{MAX}}$ と $G_{\text{E}}_{\text{MIN}}$ =指定された温度範囲における最大と最小のゲイン誤差
- T_{MAX} と T_{MIN} =最高と最低の温度

6.5 NMRR の測定

ノーマル モード除去比 (NMRR) は、ADC が特定の周波数でノーマル モードの入力信号を除去する能力を規定しています。これらの出力周波数は、通常、50Hz および 60Hz について示されます。ノーマル モード除去は、デジタル フィルタの周波数応答によって一意に決定されます。この場合、低レイテンシの sinc3 フィルタ オプションの周波数応答のヌルは 50Hz と 60Hz に配置され、これらの周波数で除去を行います。

6.6 CMRR の測定

CMRR (同相除去比) は、ADC が同相入力信号をどの程度除去できるのかを示すものです。CMRR は、DC および AC パラメータとして表されます。CMRR (DC) を測定するには、外部で互いに短絡した入力に 3 つの同相テスト電圧を印加します。これらのテスト電圧は、AVSS + 50mV、(AVDD1 + AVSS)/2、および AVDD1 - 50mV と等しくなります。同相テスト電圧の変化に対する、ADC オフセット電圧の最大の変化を記録します。CMRR (DC) の計算方法を、式 4 に示します。

$$\text{CMRR (dc) (dB)} = 20 \cdot \log(\Delta V_{\text{CM}} / \Delta V_{\text{OS}}) \quad (4)$$

ここで

- ΔV_{CM} = DC 同相テスト電圧の変化
- ΔV_{OS} = 対応するオフセット電圧の変化

CMRR (AC) を測定するには、フルスケール範囲の 95% のさまざまなテスト周波数で AC 同相信号を印加します。FFT は、同相信号が印加されたときの ADC データから計算されます。式 5 は、周波数スペクトル内で振幅の大きい 9 つのスプリアス周波数について、電力の合計を示しています。これらの周波数は、同相テスト信号の振幅に関係しています。

$$\text{CMRR (ac) (dB)} = 20 \cdot \log(V_{\text{CM}} / V_{\text{O}}) \quad (5)$$

ここで

- $V_{\text{CM}} (\text{RMS})$ = 同相入力信号の振幅
- $V_{\text{O}} (\text{RMS})$ = スプリアス周波数の 2 乗和平方根の振幅 = $\sqrt{(V_0^2 + V_1^2 + \dots + V_8^2)}$

6.7 PSRR の測定

電源除去比 (PSRR) は、ADC が電源との干渉をどの程度除去できるかを示します。PSRR は AC および DC パラメータとして表されます。PSRR (DC) を測定するには、外部で入力を短絡させた状態で、電源電圧を最小、公称、最大の規定電圧範囲で変化させます。電源電圧の変化に対する、ADC オフセット電圧の最大の変化を記録します。PSRR (DC) は、式 6 に示すように、電源電圧ステップの変化とオフセット電圧の変化との比率として計算されます。

$$\text{PSRR (dc) (dB)} = 20 \cdot \log(\Delta V_{\text{PS}} / \Delta V_{\text{OS}}) \quad (6)$$

ここで

- ΔV_{PS} = 電源電圧の変化
- ΔV_{OS} = オフセット電圧の変化

PSRR (AC) を測定するため、電源電圧がさまざまなテスト周波数で、100mVpp (35mVRMS) 信号によって変調されます。電源変調による ADC データの FFT が実行されます。式 7 は、周波数スペクトル内で振幅の大きい 9 つのスプリアス周波数について、電力の合計を示しています。これらの周波数は、電源変調信号の振幅にも関係しています。

$$\text{PSRR (ac) (dB)} = 20 \cdot \log(V_{\text{PS}} / V_{\text{O}}) \quad (7)$$

ここで

- $V_{\text{PS}} (\text{RMS})$ = 35mV の AC 電源変調信号
- $V_{\text{O}} (\text{RMS})$ = スプリアス周波数の 2 乗和平方根の振幅 = $\sqrt{(V_0^2 + V_1^2 + \dots + V_8^2)}$

6.8 SNR の測定

信号対雑音比 (SNR) は、フルスケールの AC 入力信号でのノイズ性能の測定値です。SNR の測定では、 V_{CM} = 中間電源電圧で、-0.2dBFS、1kHz のテスト信号を使用します。[式 8](#) に示すように、SNR は入力信号の RMS 値と、ADC 出力サンプルの FFT 結果から求められた、他のすべての周波数成分の 2 乗和平方根との比です。元の信号の DC および高調波は、SNR 計算から除外されます。非コヒーレント サンプリングのために FFT ウィンドウ関数が使用される場合、元の信号の周囲のスペクトル漏れビンが削除され、SNR が計算されます。

$$\text{SNR (dB)} = 20 \cdot \log(V_{IN} / e_n) \quad (8)$$

ここで

- V_{IN} = 入力テスト信号
- e_n = DC および信号高調波を除く周波数成分の 2 乗和平方根

6.9 INL 誤差の測定

積分非直線性 (INL) 誤差は、ADC の DC 伝達関数の直線性を示します。INL は、ADC の入力範囲全体にわたって一連の DC テスト電圧を印加することで測定されます。INL は、DC テスト電圧 $[V_{IN(N)}]$ の組と、ADC のスロープおよびオフセット伝達関数から計算された対応する出力電圧 $[V_{OUT(N)}]$ の組との差です。INL 誤差を計算するエンドポイント方式を、[式 9](#) に示します。

$$\text{INL (LSB)} = \text{Maximum of test voltage series } [2^{16} \cdot |V_{IN(N)} - V_{OUT(N)}| / \text{FSR}] \quad (9)$$

ここで

- N = DC テスト電圧のインデックス
- $[V_{IN(N)}]$ = 入力範囲の -95%~95% にわたるテスト電圧の組
- $[V_{OUT(N)}]$ = 対応する ADC 出力電圧の組
- FSR (フルスケール範囲) = $2 \cdot V_{REF}$ (1x 入力範囲) または $4 \cdot V_{REF}$ (2x 入力範囲)

INL の最適化手法では、最小 2 乗誤差 (LSE) の計算を使用して新しい直線を決定します。この線により、元のエンドポイント線の上下にある INL 誤差の 2 乗和平方根を最小化できます。

6.10 THD の測定

全高調波歪み (THD) は、AC 入力信号を使用する ADC の動的直線性を規定します。THD の測定では、 V_{CM} = 中間電源電圧で、-0.2dBFS、1kHz 差動の入力信号が適用されます。十分な数のデータ ポイントを収集して、周波数ビンの幅が 5Hz 以下の FFT 結果を生成します。5Hz のビン幅により、高調波ビンのノイズが低減され、一貫した THD 測定が可能になります。[式 10](#) に示すように、THD は入力信号振幅に対する高調波の 2 乗和平方根振幅の比として計算されます。

$$\text{THD (dB)} = 20 \cdot \log(V_H / V_{IN}) \quad (10)$$

ここで

- V_H = 高調波の 2 乗和平方根: $\sqrt{(V_2^2 + V_3^2 + \dots + V_n^2)}$ 、ここで V_n = 9 次高調波電圧
- V_{IN} = 入力信号の基本波

6.11 IMD の測定

相互変調歪み (IMD) は、2つの入力信号の混合効果を規定します。信号の混合は ADC の非直線性に起因し、元の信号にはない新しい和および差の周波数が発生することがあります。IMD の 2 次項は、 $(f_1 + f_2)$ および $(f_1 - f_2)$ です。IMD の 3 次項は、 $(2f_1 + f_2)$ 、 $(2f_1 - f_2)$ 、 $(f_1 + 2f_2)$ 、および $(f_1 - 2f_2)$ です。テスト信号 $f_1 = 9.7\text{kHz}$ および $f_2 = 10.3\text{kHz}$ は、-6.5dBFS です。[式 11](#) に、IMD 計算を示します。

$$\begin{aligned} \text{IMD}_2 (\text{dB}) &= 20 \cdot \log(V_2 / V_{\text{IN}}) \\ \text{IMD}_3 (\text{dB}) &= 20 \cdot \log(V_3 / V_{\text{IN}}) \end{aligned} \quad (11)$$

ここで

- IMD_2 = 2 次 IMD
- IMD_3 = 3 次 IMD
- V_2 = 2 次項の二乗和平方根
- V_3 = 3 次項の二乗和平方根
- V_{IN} = 入力テスト信号の合計振幅

6.12 SFDR の測定

スプリアス フリー ダイナミック レンジ (SFDR) は、シングルトーン AC 入力の RMS 値と、ADC 周波数スペクトル内で最大のスプリアス信号との比です。SFDR の測定結果には、元の信号の高調波が含まれます。SFDR の測定では、 V_{CM} = 中間電源電圧で、-0.2dBFS、1kHz の入力信号を印加します。[式 12](#) に示すように、SFDR は、入力信号の RMS 値と、元の信号の高調波を含む、单一の最も大きいスプリアス信号との比です。

$$\text{SFDR} (\text{dB}) = 20 \cdot \log(V_{\text{IN}} / V_{\text{SPUR}}) \quad (12)$$

ここで

- V_{IN} = 入力テスト信号
- V_{SPUR} = 単一の最大スプリアスのレベル

6.13 ノイズ性能

ADC にはプログラム可能な OSR 付きの 4 つの速度モードがあり、消費電力と帯域幅の間でトレードオフを選択できます。モードには最高速度、高速度、中速度、低速度があり、このレベルにデバイスの消費電力と信号帯域幅が減少します。

ADC 入力が短絡した場合、出力コードは単一の値、または 2 つ以上の値の間のフリッカー コードになります。コードフリッカーは、選択した OSR 値に対応する ADC ノイズと、次のコード遷移に対する DC 信号に依存します。ADC のピークツーピークノイズ値は通常、RMS ノイズ値の 6.6 倍です。コードフリッカーは、ノイズの振幅がコード遷移を引き起こすのに十分な大きさである場合に発生します。

ADC の量子化誤差は $\pm 0.5 \text{ LSB}$ です。ac 信号の場合、量子化誤差は量子化ノイズになります。**図 6-1** に、信号が変化すると、ノイズへの変換時量子化誤差 (LSB 誤差プロット) を示します。非コヒーレントサンプリングの場合、この量子化ノイズはホワイトノイズとして近似され、周波数帯域全体に均等に拡散されます。N ビット ADC の場合、信号対量子化ノイズ比 (SQNR) は次のとおりです。SQNR (dB) = $6.02 \times N + 1.76$ 。16 ビット ADC の場合、SQNR は 98.1dB です。

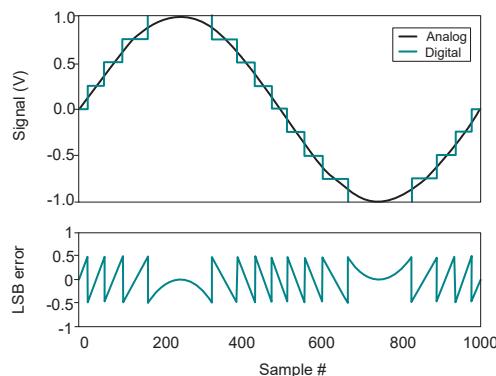


図 6-1. 正弦波入力の量子化ノイズ

ノイズ特性の要約を、**表 6-1** から **表 6-5** までに示します。表の SNR 値は、RMS フルスケール範囲と、ADC 热ノイズおよび 16 ビット量子化ノイズの結果の 2 乗和平方根の比で計算されます。このデバイスでは、量子化ノイズの値は通常、熱ノイズより大きいため、OSR 値が大きくなると SNR は 98.1dB に制限されます。

表 6-1. 広帯域フィルタのノイズ性能 ($V_{REF} = 4.096\text{V}$ 、1x の入力範囲)

モード	f_{CLK} (MHz)	OSR	データレート (kSPS)	ノイズ ($e_n, \mu V_{RMS}$)	SNR (dB)
最高速度	32.768	32	512	10.9	97.7
高速	25.6		400	10.8	97.7
中速度	12.8		200	10.5	97.8
低速度	3.2		50	10.4	97.8
最高速度	32.768	64	256	7.48	97.9
高速	25.6		200	7.33	97.9
中速度	12.8		100	7.21	97.9
低速度	3.2		25	7.17	97.9
最高速度	32.768	128	128	5.17	98.0
高速	25.6		100	5.14	98.0
中速度	12.8		50	5.02	98.0
低速度	3.2		12.5	5.02	98.0

表 6-1. 広帯域フィルタのノイズ性能 ($V_{REF} = 4.096V$ 、 $1x$ の入力範囲) (続き)

モード	f_{CLK} (MHz)	OSR	データレート (kSPS)	ノイズ (e_n , μV_{RMS})	SNR (dB)
最高速度	32.768	256	64	3.64	98.1
高速	25.6		50	3.59	98.1
中速度	12.8		25	3.55	98.1
低速度	3.2		6.25	3.55	98.1
最高速度	32.768	512	32	2.56	98.1
高速	25.6		25	2.55	98.1
中速度	12.8		12.5	2.49	98.1
低速度	3.2		3.125	2.49	98.1
最高速度	32.768	1024	16	1.73	98.1
高速	25.6		12.5	1.80	98.1
中速度	12.8		6.25	1.73	98.1
低速度	3.2		1.5625	1.75	98.1
最高速度	32.768	2048	8	1.37	98.1
高速	25.6		6.25	1.28	98.1
中速度	12.8		3.125	1.26	98.1
低速度	3.2		0.78125	1.26	98.1
最高速度	32.768	4096	4	0.93	98.1
高速	25.6		3.125	0.92	98.1
中速度	12.8		1.5625	0.90	98.1
低速度	3.2		0.390625	0.89	98.1

表 6-2. Sinc4 フィルタのノイズ性能 ($V_{REF} = 4.096V$ 、 $1x$ の入力範囲)

モード	f_{CLK} (MHz)	OSR	データレート (kSPS)	ノイズ (e_n , μV_{RMS})	SNR (dB)
最高速度	32.768	12	1365.3	65.1	91.9
高速	25.6		1066.6	66.1	91.8
中速度	12.8		533.3	65.3	91.9
低速度	3.2		133.33	65.3	91.9
最高速度	32.768	16	1024	25.1	96.4
高速	25.6		800	25.1	96.4
中速度	12.8		400	24.6	96.5
低速度	3.2		100	24.7	96.5
最高速度	32.768	24	682.67	10.4	97.8
高速	25.6		533.3	10.3	97.8
中速度	12.8		266.67	10.1	97.8
低速度	3.2		66.67	10.1	97.8
最高速度	32.768	32	512	8.05	97.9
高速	25.6		400	7.83	97.9
中速度	12.8		200	7.78	97.9
低速度	3.2		50	7.76	97.9
最高速度	32.768	64	256	5.46	98.0
高速	25.6		200	5.44	98.0
中速度	12.8		100	5.30	98.0
低速度	3.2		25	5.30	98.0

表 6-2. Sinc4 フィルタのノイズ性能 ($V_{REF} = 4.096V$ 、1x の入力範囲) (続き)

モード	f_{CLK} (MHz)	OSR	データレート (kSPS)	ノイズ (e_n , μV_{RMS})	SNR (dB)
最高速度	32.768	128	128	3.79	98.1
高速	25.6		100	3.76	98.1
中速度	12.8		50	3.68	98.1
低速度	3.2		12.5	3.62	98.1
最高速度	32.768	256	64	2.74	98.1
高速	25.6		50	2.69	98.1
中速度	12.8		25	2.63	98.1
低速度	3.2		6.25	2.62	98.1
最高速度	32.768	512	32	1.90	98.1
高速	25.6		25	1.89	98.1
中速度	12.8		12.5	1.86	98.1
低速度	3.2		3.125	1.84	98.1
最高速度	32.768	1024	16	1.34	98.1
高速	25.6		12.5	1.34	98.1
中速度	12.8		6.25	1.33	98.1
低速度	3.2		1.56	1.32	98.1
最高速度	32.768	2048	8	0.98	98.1
高速	25.6		6.25	0.95	98.1
中速度	12.8		3.125	0.93	98.1
低速度	3.2		0.78	0.92	98.1
最高速度	32.768	4096	4	0.70	98.1
高速	25.6		3.125	0.69	98.1
中速度	12.8		1.563	0.66	98.1
低速度	3.2		0.39	0.66	98.1

表 6-3. Sinc4 + Sinc1 フィルタの性能 ($V_{REF} = 4.096V$ 、1x の入力範囲)

モード	f_{CLK} (MHz)	OSR	データレート (kSPS)	ノイズ (e_n) (μV_{RMS})	SNR (dB)
最高速度	32.768	64	256	6.77	98.0
高速	25.6		200	6.62	98.0
中速度	12.8		100	6.60	98.0
低速度	3.2		25	6.50	98.0
最高速度	32.768	128	128	5.16	98.0
高速	25.6		100	5.13	98.0
中速度	12.8		50	5.07	98.0
低速度	3.2		12.5	5.02	98.0
最高速度	32.768	320	51.2	3.39	98.1
高速	25.6		40	3.35	98.1
中速度	12.8		20	3.29	98.1
低速度	3.2		5	3.28	98.1
最高速度	32.768	640	25.6	2.42	98.1
高速	25.6		20	2.39	98.1
中速度	12.8		10	2.35	98.1
低速度	3.2		2.5	2.36	98.1

表 6-3. Sinc4 + Sinc1 フィルタの性能 ($V_{REF} = 4.096V$ 、1x の入力範囲) (続き)

モード	f_{CLK} (MHz)	OSR	データレート (kSPS)	ノイズ (e_n) (μV_{RMS})	SNR (dB)
最高速度	32.768	1280	12.8	1.74	98.1
高速	25.6		10	1.73	98.1
中速度	12.8		5	1.69	98.1
低速度	3.2		1.25	1.68	98.1
最高速度	32.768	3200	5.12	1.10	98.1
高速	25.6		4	1.09	98.1
中速度	12.8		2	1.07	98.1
低速度	3.2		0.5	1.07	98.1
最高速度	32.768	6400	2.56	0.79	98.1
高速	25.6		2	0.78	98.1
中速度	12.8		1	0.77	98.1
低速度	3.2		0.25	0.77	98.1
最高速度	32.768	12800	1.28	0.57	98.1
高速	25.6		1	0.56	98.1
中速度	12.8		0.5	0.55	98.1
低速度	3.2		0.125	0.54	98.1
最高速度	32.768	32000	0.512	0.37	98.1
高速	25.6		0.4	0.37	98.1
中速度	12.8		0.2	0.37	98.1
低速度	3.2		0.05	0.37	98.1

表 6-4. Sinc3 フィルタの性能 ($V_{REF} = 4.096V$ 、1x の入力範囲)

モード	f_{CLK} (MHz)	OSR	データレート (SPS)	ノイズ (e_n) (μV_{RMS})	SNR (dB)
最高速度	32.768	26667	614.4	0.32	98.1
高速	25.6		480	0.32	98.1
中速度	12.8		240	0.32	98.1
低速度	3.2		60	0.32	98.1
最高速度	32.768	32000	512	0.32	98.1
高速	25.6		400	0.31	98.1
中速度	12.8		200	0.31	98.1
低速度	3.2		50	0.31	98.1

表 6-5. Sinc3 + Sinc1 フィルタの性能 ($V_{REF} = 4.096V$ 、1x の入力範囲)

モード	f_{CLK} (MHz)	OSR	データレート (SPS)	ノイズ (e_n) (μV_{RMS})	SNR (dB)
最高速度	32.768	96000	170.6	0.25	98.1
高速	25.6		133.3	0.25	98.1
中速度	12.8		66.6	0.25	98.1
低速度	3.2		16.6	0.25	98.1
最高速度	32.768	160000	102.4	0.24	98.1
高速	25.6		80	0.25	98.1
中速度	12.8		40	0.25	98.1
低速度	3.2		10	0.25	98.1

7 詳細説明

7.1 概要

ADS117L14 および ADS117L18 は、4 チャネルおよび 8 チャネル、16 ビット、同時サンプリング、デルタシグマ ($\Delta\Sigma$) アナログ - デジタル コンバータ (ADC) です。これらのデバイスは、DC 精度、AC 分解能、広い信号帯域幅を兼ね備え、同期マルチチャネル データ収集システムを実現します。これらの ADC は、低消費電力で広い信号帯域幅に合わせて最適化済みです。

機能ブロック図に、デバイスの機能を示します。このデバイスは 4 つまたは 8 つの独立したデルタシグマ ADC で構成されており、フレーム同期データ ポート経由でデータが読み取られます。各 ADC にはプログラム可能なデジタル フィルタがあり、広帯域フィルタ モードで最大 512kSPS、低レイテンシ フィルタ モードで最大 1365.3kSPS のサンプル レートを実現します。選択可能な 4 つの電力スケーラブルな速度モードにより、信号帯域幅、SNR、および電力消費を最適化できます。

各 ADC チャネルの信号および基準電圧入力プリチャージ バッファは、アナログ入力電流とサンプリング ノイズを低減し、低帯域幅の信号ドライバを使用できます。VCM 出力は、外部バッファおよびゲイン ステージの共通モード電圧を駆動するために使用されるバッファリングされた中間電源電圧です。

マルチビット $\Delta\Sigma$ 変調器は、差動リニアレンズ電圧 $V_{REF} = (V_{REFP} - V_{REFN})$ に対して差動入力信号 $V_{IN} = (V_{AINP} - V_{AINN})$ を測定します。この変調器は、低分解能の高周波データを生成します。変調器のノイズ成形により、低分解能データの量子化ノイズが帯域外周波数範囲にシフトされ、デジタル フィルタによってノイズが除去されます。パスバンド内に残っているノイズは、低レベルの熱ノイズです。デジタル フィルタは変調器のデータに対して間引きとフィルタ処理を行い、最終的な出力データを提供します。

デジタル フィルタには、低レイテンシフィルタ (通常 DC 信号測定に使用) と広帯域フィルタ (通常 AC 信号測定に使用) の 2 つのフィルタ モードがあります。低レイテンシ フィルタは、可変次の sinc フィルタで、sinc4、sinc4 + sinc1、sinc3、sinc3 + sinc1 のフィルタ オプションがあります。このフィルタにより、ノイズ性能、変換レイテンシ、信号帯域幅の間で最適化が可能になります。広帯域フィルタは、多段の線形位相有限インパルス応答 (FIR) フィルタです。このフィルタは、低いパスバンド リップル、狭い遷移帯域、高いストップバンド減衰を備えた優れた周波数応答特性を提供します。本デバイスは、チャネル間で 2 の消費電力に関連するデータレートを処理できます。

MODE ピンは、ハードウェア ピンの設定、または SPI シリアル インターフェイスにより、デバイス構成方法を選択します。

フレーム同期データ ポートは、4 つまたは 8 つのデータ レーンまたは時分割多重 (TDM) フォーマットを使って変換データを提供し、データ レーンを 2 つまたは 1 つに減らします。DOUTx ピンをチェーン化されたデバイスの DINx ピンに配線して、複数のデバイスをデジタル チェーン接続します。

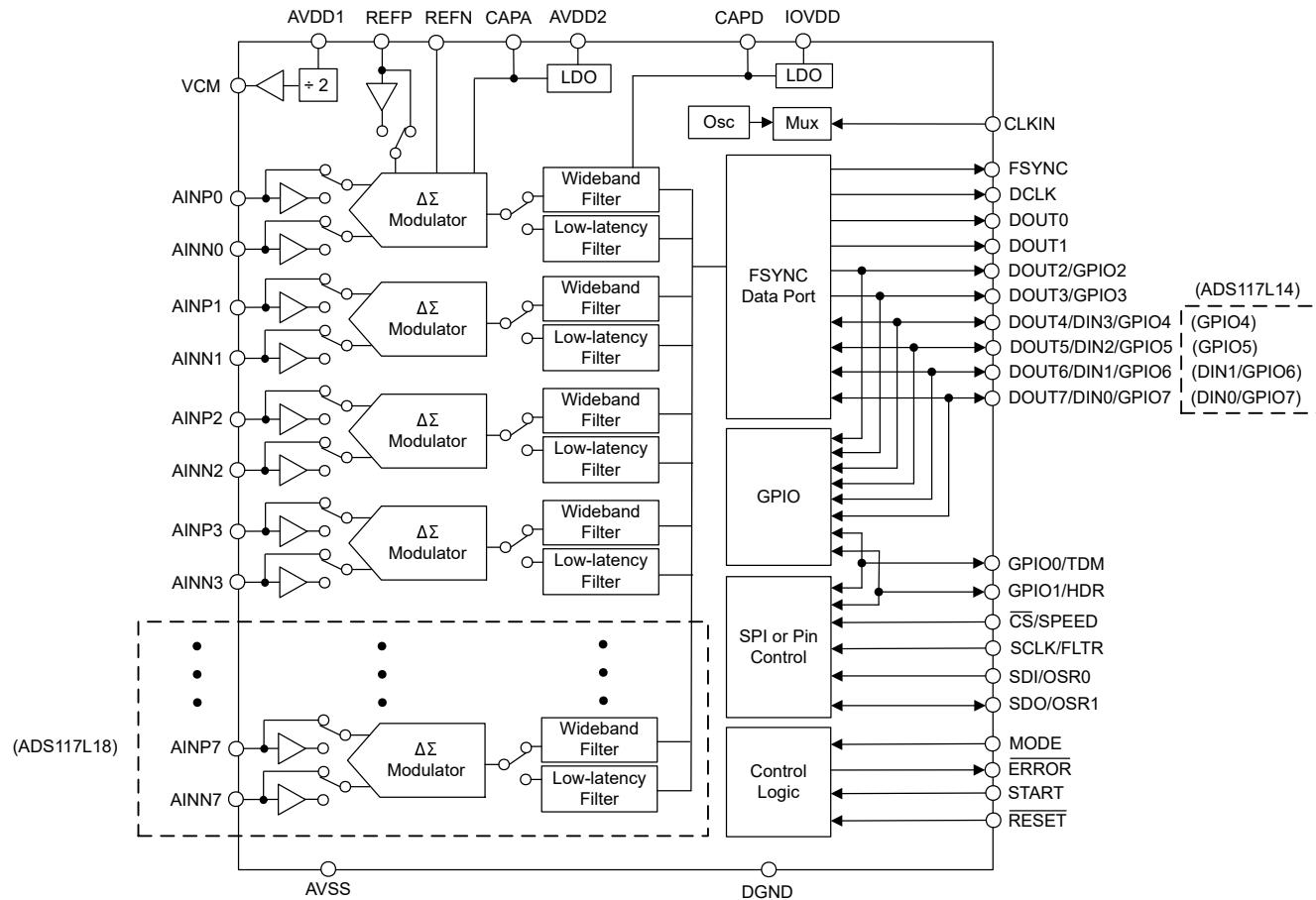
このデバイスは、同期アプリケーション用の外部クロック動作と、スタンドアロン アプリケーション用の内部発振器動作をサポートします。START ピンを使うと、ADC チャネルを同時に同期できます。RESET ピンは ADC をリセットします。

フレーム同期ポートおよび SPI 構成ポートに対しては、巡回冗長性検査 (CRC) エラー検出を利用できます。レジスタ マップの CRC はバックグラウンドで動作し、デバイスに初期値がアップロードされた後、レジスタ値の意図しない変更を検出します。ADC エラーが検出されると、オープンドレインの ERROR 出力ピンが low にアサートされます。

8 つの汎用入出力 (GPIO) ピンが利用可能です。2 つの GPIO はスタンドアロン ピンであり、残りの 6 つの GPIO ピンは、フレーム同期 DINx および DOUTx ピンと多重化されます。

AVDD1 電源電圧は、プリチャージ バッファと入力サンプリング スイッチに電力を供給します。AVDD2 は、内部電圧レギュレータを介して変調器に電力を供給します。IOVDD 電源電圧はデジタル I/O 電圧で、2 つ目の電圧レギュレータを使用して、デジタルコアにも電力を供給します。内部レギュレータにより、全体の消費電力が削減され、さまざまな電源状況においてデバイス性能の一貫したレベルが維持されます。

7.2 機能ブロック図



7.3 機能説明

7.3.1 アナログ入力(AINP、AINN)

ADC のチャンネル入力は差動で、入力は差動電圧として定義されます: $V_{IN} = V_{AINP} - V_{AINN}$ 。最高の性能を得るため、中間電圧 ($AVDD1 + AVSS$) / 2を中心とする同相電圧を持つ差動信号で入力を駆動します。未使用の入力はグランド、または $AVSS \sim AVDD1$ 電源電圧範囲内の DC 電圧に接続します。

ADC は、 $AVDD1$ と $AVSS$ のどちらかの電源を構成することで、それぞれユニポーラまたはバイポーラの入力信号を受け付けます。ユニポーラ電源構成の差動信号の例を、図 7-1 に示します。同相電圧が中間電圧 ($AVDD1 / 2$) のとき、対称入力電圧のヘッドルームを提供します。ユニポーラ動作の場合、 $AVDD1 = 5V$ および $AVSS = 0V$ を使用します (中速度および低速度モードでは $AVDD1$ 電源電圧の低減を選択できます)。VCM ピンはバッファ付きの同相電圧を供給し、外部ドライバ段の信号電圧をレベルシフトします。

バイポーラ電源構成の差動信号の例を、図 7-2 に示します。信号の同相電圧は通常 $0V$ です。バイポーラ動作の場合、 $AVDD1$ および $AVSS = \pm 2.5V$ を使用します (中速度および低速度モードでは、 $AVDD1 - AVSS$ の電源電圧を下げることもできます)。

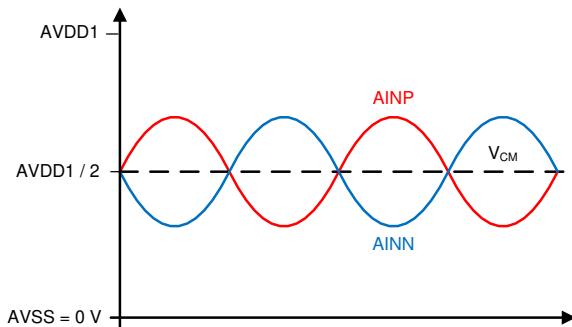


図 7-1. ユニポーラの差動入力信号

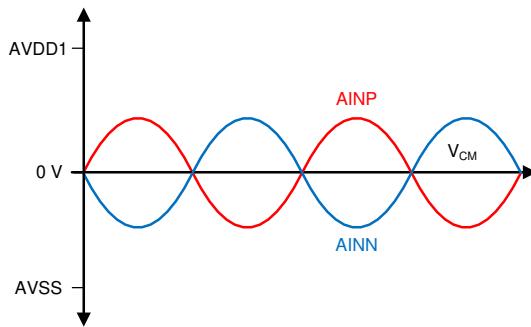


図 7-2. バイポーラの差動入力信号

バイポーラとユニポーラのどちらの構成でも、AINN 入力を AVSS、グランド、または中間電圧に接続することで、ADC はシングルエンド入力信号を受け付けます。ただし、AINN は固定電圧なので、完全な差動入力スイング範囲は得られません。したがって、ADC のダイナミックレンジは、AINP 入力の電圧スイング (5V 電源では $\pm 2.5V$ 、または $0V \sim 5V$) に制限されます。

図 7-3 の回路に、ADC チャネルのアナログ入力の概略回路図を示します。ダイオードは、静電気放電 (ESD) が制御された環境で製造を行うとき、製造プロセスの途中やプリント基板 (PCB) のアセンブリの間に発生する ESD イベントからアナログ入力を保護します。入力が AVSS - 0.3V より下に、または AVDD1 + 0.3V より上に駆動されると、保護ダイオードが導通することがあります。このような条件が起きる可能性がある場合は、外付けのクランプダイオード、直列抵抗、または両方を使用して、入力電流を絶対最大定格セクションに示されている値に制限します。

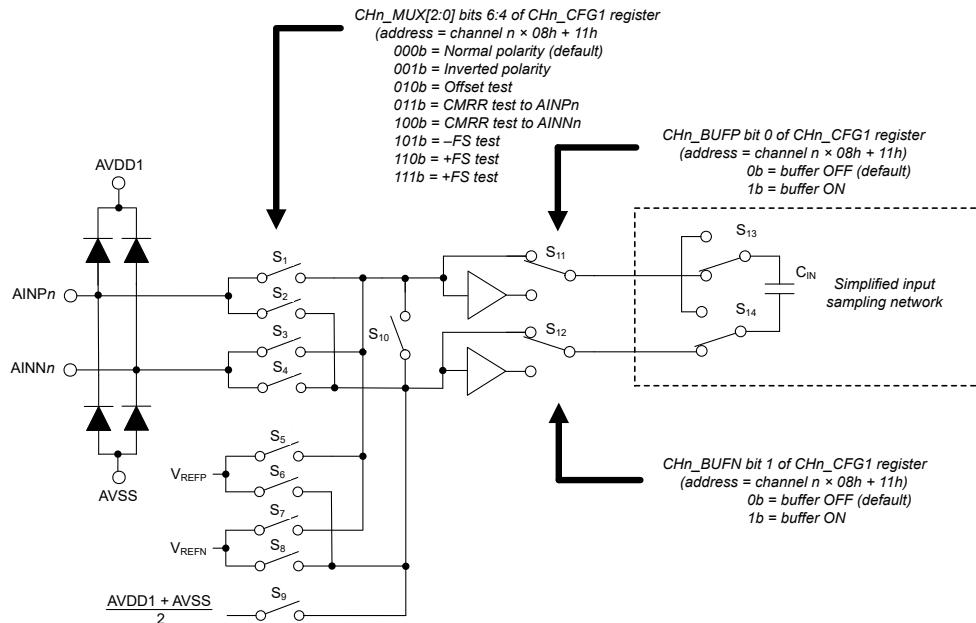


図 7-3. アナログ入力回路

ADC チャネルの入力マルチプレクサは互いに独立して構成可能です。このマルチプレクサでは、通常または逆信号極性と内部テストモードを選択できます。このテストモードは、ADC の性能テストと診断に使用されます。入力短絡テストモードは、入力を電源電圧の中点に短絡することで、ノイズおよびオフセット誤差を検証します。フルスケール範囲をテストするには、+FS または -FS 接続を選択します。評価中に出力コードがクリッピングされないようにするために、ゲインレジスタの値を小さくするか、ADC を拡張範囲モードにプログラムします。CMRR テストモードでは、入力を互いに短絡し、ユーザーが AINP_n または AINN_n 入力に DC または AC テスト信号を印加することで、CMRR 性能を検証します。CMRR の

性能は、結果として得られたデータをユーザーが分析して判定します。テスト モードを使用する際に、入力プリチャージ バッファを最高の精度でイネーブルします。

図 7-3 の入力マルチプレクサ回路のスイッチ構成を、表 7-1 に示します。

表 7-1. 入力マルチプレクサの構成

CHn_MUX[2:0] ビット	閉じているスイッチ	説明
000b	S ₁ , S ₄	通常極性の入力
001b	S ₂ , S ₃	逆極性の入力
010b	S ₉ , S ₁₀	オフセット電圧およびノイズテスト用の入力短絡
011b	S ₁ , S ₁₀	CMRR テストでは、ユーザーが信号を AINP _n に印加した状態で入力を短絡
100b	S ₄ , S ₁₀	CMRR テストでは、ユーザーが信号を AIINN _n に印加した状態で入力を短絡
101b	S ₆ , S ₇	ゲイン テスト用の -FS dc 信号
110b	S ₅ , S ₈	ゲイン テスト用の +FS dc 信号
111b	S ₅ , S ₈	ゲイン テスト用の +FS dc 信号

入力サンプリング コンデンサ C_{IN} は、図 7-3 の破線で示されている単純化された入力サンプリング回路の一部です。C_{IN} の瞬間的な充電要求から、変調器の周波数 $t = 1 / (2 \cdot f_{MOD})$ において、信号が半サイクル以内にセトリングする必要があります。この要件を満たすため、ドライバの帯域幅は通常、元の信号周波数よりもはるかに大きくなります。THD と SNR について、データシートに記載されている性能が達成されたとき、ドライバの帯域幅は十分だと判定されます。低速モードでは変調器のサンプリング レートが高速モードに比べて 8 倍遅いため、ドライバのセトリングに使用できる時間が長くなります。

入力サンプリング コンデンサに必要な電荷は、ADC 入力の平均入力電流としてモデル化されます。式 13 と式 14 で示されているように、入力電流は差動成分と絶対成分で構成されます。

$$\text{Input Current (Differential Input Voltage)} = f_{MOD} \cdot C_{IN} \cdot 10^6 \text{ (\mu A/V)} \quad (13)$$

ここで

- $f_{MOD} = f_{CLK} / 2$
- $C_{IN} = 7.4\text{pF}$ (1x 入力範囲)、 3.6pF (2x 入力範囲)

$$\text{Input Current (Absolute Input Voltage)} = f_{MOD} \cdot C_{CM} \cdot 10^6 \text{ (\mu A/V)} \quad (14)$$

ここで

- $f_{MOD} = f_{CLK} / 2$
- $C_{CM} = 0.35\text{pF}$ (1x 入力範囲)、 0.17pF (2x 入力範囲)

$f_{MOD} = 12.8\text{MHz}$ (高速モード)、 $C_{IN} = 7.4\text{pF}$ 、 $C_{CM} = 0.3\text{pF}$ なら、差動電圧による入力電流は $95\mu\text{A/V}$ で、絶対電圧による入力電流は $4.5\mu\text{A/V}$ です。たとえば、AINP_n = 4.5V、AIINN_n = 0.5V の場合、VIN = 4V になります。合計 AINP_n 平均電流 = $(4V \cdot 95\mu\text{A/V}) + (4.5V \cdot 4.5\mu\text{A/V}) = 400\mu\text{A}$ です。合計 AIINN_n 平均電流は、 $(-4V \cdot 95\mu\text{A/V}) + (0.5V \cdot 4.5\mu\text{A/V}) = -378\mu\text{A}$ です。

このデバイスには入力プリチャージ バッファが組み込まれているため、ココンデンサ C_{IN} に必要な電荷を大幅に低減できます。動作中に、プリチャージ バッファが充電電流を供給します。サンプリング フェーズの終わり附近で、コンデンサ C_{IN} はほぼ完全に充電されます。外部ドライバがコンデンサの細かい電荷を供給できるよう、バッファは切断されます (図 7-3 の S₁₁ と S₁₂ が上位置)。サンプル フェーズが完了すると、サンプリング コンデンサが放電され、サイクルが完了します。その後でサンプル プロセスが繰り返されます。プリチャージ バッファの動作により、入力電流が 99% 以上低減され、多くの場合、THD および SNR 性能が向上します。プリチャージ バッファは、CHn_CFG1 レジスタの CHn_BUFP および CHn_BUFN ビットでイネーブルになります。いずれかのチャネルの AIIN 入力がグランドまたは低インピーダンス ソースに接続されている場合は、AINN バッファを無効にして消費電力を削減します。シングルエンド入力アプリケーションは、低インピーダンス ソースの例です。

7.3.1.1 入力レンジ

ADC の入力範囲はプログラム可能であり、 $V_{IN} = \pm V_{REF}$ 、または $V_{IN} = \pm 2V_{REF}$ として定義されます。2.5V のリファレンス電圧を使用する場合、 $\pm 2V_{REF}$ 入力範囲では、使用可能な入力範囲が 2 倍になります。 $\pm 2V_{REF}$ 入力レンジにより、ダイナミックレンジは標準で +1dB 改善されます。ただし、全ダイナミックレンジ（2.5V のリファレンス電圧の場合）を実現するには、入力を AVDD1 と AVSS の各電源レールに駆動する必要があります。2.5V のリファレンス電圧での動作に比べて、4.096V (+4dB) または 5V (+6dB) の基準電圧を使用することでダイナミックレンジ性能が向上します。高リファレンス電圧範囲を選択すると（4.096V または 5V のリファレンス電圧に使用）、 $\pm 2V_{REF}$ の範囲は内部で強制的に $\pm V_{REF}$ の範囲に選択されます。入力範囲の設定については、[CHn_CFG1](#) レジスタの CHn_INP_RNG ビットを参照してください。

ADC の一部の構成では、使用可能な入力範囲が電源電圧を超えていません。たとえば、 $\pm 2V_{REF}$ モードで 2.5V のリファレンス電圧を持つ 3V AVDD1 電源を使用する場合です。この場合、 $\pm 2V_{REF}$ の全入力範囲を利用できません。

ADC チャネルには、入力範囲を 25% 拡大するオプションがあります。このモードでは、信号にヘッドルームが追加されます。出力データは、正および負のフルスケール出力コード（`FFFFFh` および `800000h`）が以下で発生します。

$$V_{IN} = \pm 1.25 \times k \times V_{REF} \quad (15)$$

ここで

- $K = 1$ または 2 。 $\pm V_{REF}$ または $\pm 2V_{REF}$ の範囲の選択に応じてます

拡張範囲モードのプログラムについては、[CHn_CFG1](#) レジスタを参照してください。

拡張範囲モードで、信号が通常のフルスケール範囲の 110% を超えると、ADC は有効な変換結果を出力しますが、変調器の飽和により SNR 性能は低下します。フレーム同期ステータスバイトの MOD_FLAG ビットは、変調器の飽和が発生していることを示します。詳細については、[フレーム同期ステータスバイト](#)を参照してください。拡張範囲モードでの SNR 性能と入力振幅の関係を、[図 7-4](#) に示します。

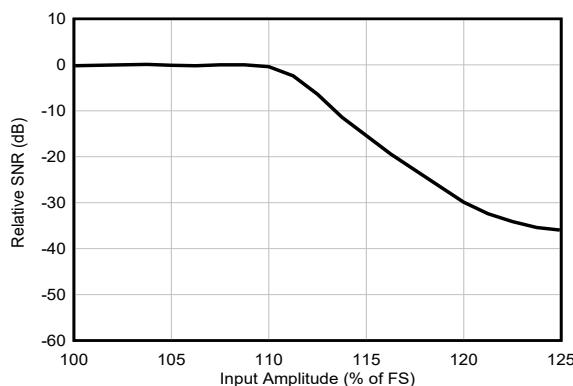


図 7-4. 拡張範囲の SNR 性能

7.3.2 リファレンス電圧 (REFP, REFN)

動作にはリファレンス電圧が必要です。リファレンス電圧入力は差動で、 $V_{REF} = V_{REFP} - V_{REFN}$ であり、REFP および REFN 入力に印加されます。リファレンス電圧の動作範囲の詳細については、「リファレンス電圧の範囲」セクションを参照してください。

[図 7-5](#) に示すように、リファレンス入力のサンプリング構造はアナログ入力構造に似ています。ESD ダイオードは、リファレンス入力を保護し、リファレンスピンの電圧スレッショルドを超過した場合にオンにします。これらのダイオードをオフに保つには、リファレンスピンの電圧が AVSS より 0.3V 以上下がらないか、AVDD1 より 0.3V 以上上がらないことを確認してください。このような条件が起きる可能性がある場合は、外付けのクランプダイオード、直列抵抗、または両方を使用して、入力電流を指定の値に制限します。

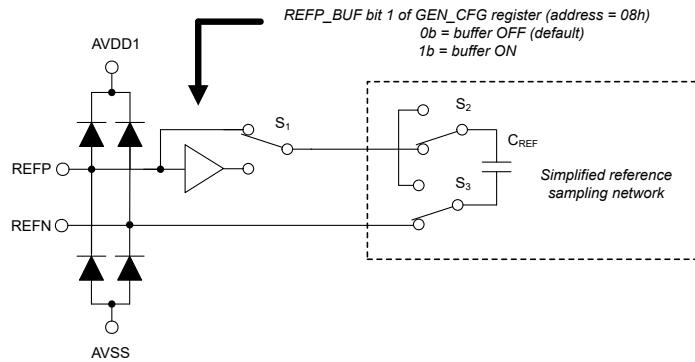


図 7-5. リファレンス入力回路

リファレンス電圧は、サンプリングコンデンサ C_{REF} によってサンプリングされます。バッファなしモードでは、電流はリファレンス入力を経由してサンプリングコンデンサを充電します。この電流は、DC成分とAC成分で構成され、AC成分は変調器のサンプリングクロックの周波数によって変化します。リファレンス入力電流の仕様については、「セクション 5.5」表を参照してください。

リファレンスサンプリングコンデンサを充電するには、外部リファレンスドライバがサンプル位相 $t = 1 / (2 \cdot f_{MOD})$ の最後でセトリングする必要があります。リファレンス電圧のセトリングが不完全な場合、ゲイン誤差とゲイン誤差ドリフトが大きくなる可能性があります。低速度モードで動作すると、変調器のサンプリングクロック周波数が低下するため、リファレンスドライバがセトリングするための時間が長くなります。

REFP 入力には、サンプリングコンデンサによって消費される電荷を削減するためのプリチャージバッファオプションが用意されています。プリチャージバッファは、リファレンスサンプリングコンデンサ C_{REF} の粗い充電を行います。サンプルフェーズの途中で、プリチャージバッファがバイパスされます(図 7-5 に示すように、 S_1 は上側の位置にあります)。ここで、外部ドライバはサンプリングコンデンサに精密な充電を行います。バッファにより、サンプリングコンデンサの充電の要件が減少するため、外部ドライバの帯域幅要件は大幅に低減されます。

REFN 入力を流れるサンプリング電流は、REFP バッファでは低減されません。多くのアプリケーションでは、REFN をグランドに接続するか、REFN を AVSS に接続するため、REFN 用のプリチャージバッファは必要ありません。REFN が低インピーダンスでないアプリケーションでは、REFN 入力をバッファリングします。

7.3.2.1 リファレンス電圧の範囲

リファレンス電圧範囲: 低いリファレンス電圧範囲または高いリファレンス範囲を選択して、ADC の性能を最適化します。2.5V や 4.096V など、基準電圧と一致するように範囲をプログラムします。**low** 電圧範囲は、0.5V ~ 2.75V の電圧を受け入れ、高い電圧範囲は 1V ~ AVDD1 - AVSS の電圧を受け入れます。2.5V など範囲が重なる場合に、**low** のリファレンス範囲を使用します。GEN_CFG1 レジスタの REF_RNG ビットをプログラムして、基準電圧範囲を選択します。**high** のリファレンス範囲を選択すると、入力範囲は強制的に $V_{IN} = \pm V_{REF}$ になります。

7.3.3 クロック動作

図 7-6 にクロック図を示します。入力クロックマルチプレクサは、CLKIN ピンの外部クロック信号または内部クロック発振器信号を選択します。信号はすべての ADC チャネルにルーティングされます。クロック分周器は、メイン ADC クロック周波数 (f_{CLK}) と、フレーム同期ポート DCLK 信号の周波数 (f_{DCLK}) をプログラムします。 f_{CLK} を 2 で分周して、変調器のサンプリングクロック周波数 (f_{MOD}) を導出します。また、 f_{CLK} を 32 で分周して、クロック信号診断用のフリーランニングカウンタを駆動します(CLK_CNT レジスタ)。

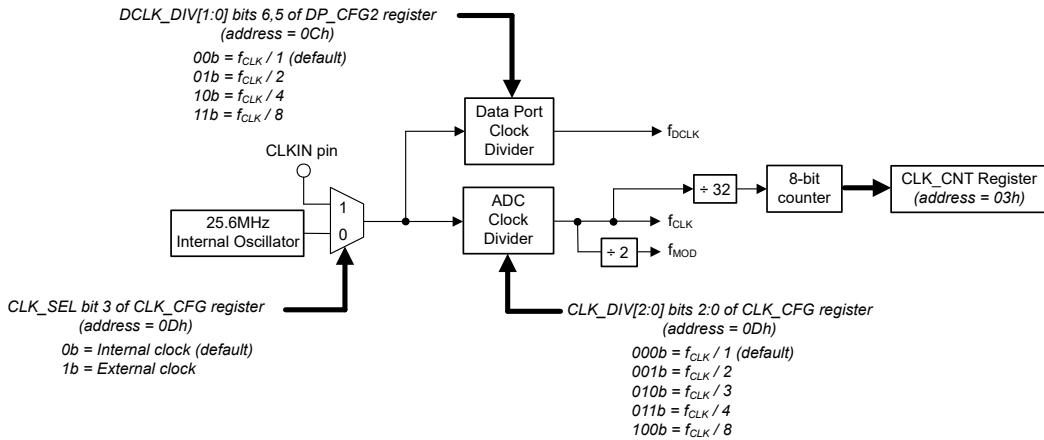


図 7-6. クロックのブロック図

速度モードによって、許容される最大クロック周波数が決まります。各速度モードのクロック周波数については、「[速度モード](#)」セクションを参照してください。

7.3.3.1 クロック分周比

ADC には 2 つのクロック分周器があり、ADC クロックのための 1 つの分周器、フレーム同期ポートの DCLK 信号のための 1 つの分周器があります。

ADC のクロック周波数は CLK_DIV[2:0] ビットを使用して、1、2、3、4、または 8 で分周されます。クロック分周器の値が 1 を超える場合、分周されたクロック信号の位相が不明なため、ADC の同期は不確定です。ただし、デバイス内の ADC チャネルは互いに同期しています。同期の不確実性を回避するには、1 で割るオプションを使用します。また、フレーム同期ポートのデイジタルチャーン動作には、1 分周オプションが必要です。

DCLK_DIV[1:0] ビットを使用して、DCLK の周波数を 1、2、4、8 で分周します。DCLK は、ADC クロックより高速に動作することができ、高速データ転送をサポートできます。

7.3.3.2 内部発振器

ADC は、ADC 動作用の内部発振器を備えています。クロック ジッタがあるため、内部発振器は DC 信号の測定にのみ推奨します。AC 信号の測定、デバイスがデイジタルチャーン接続されている場合、またはシステムクロックとの同期が重要な場合は、外部クロックを使用します。SPI モードでは、デフォルト動作は内部発振器であり、CLK_SEL ビットを 1b に設定することで、外部クロックに変更されます。ハードウェアプログラミングモードでは、外部クロック動作がデフォルトです。内部発振器は 25.6MHz 固定周波数なので、ADC クロック分周器をプログラムして、速度モードに応じて ADC 周波数を設定します。

クロックモードを外部クロックから内部発振器に変更するとき、クロックモードを変更した後も外部クロックを維持してください。クロックモードを変更した SPI レジスタ書き込みコマンドの後、少なくとも 4 サイクルはクロックモードを維持します。ADC は、クロックモード変更後 150μs の間、制御入力 (START および RESET ピン) を無視します。この期間のうちに内部発振器が安定します。

7.3.3.3 外部クロック

ADC は外部クロック動作を提供します。SPI プログラミングモードで外部クロック動作を選択するには、CLK_SEL ビットを 1 に設定し、CLKIN ピンにクロック信号を適用します。ハードウェアプログラミングモードでは、外部クロック動作のみが可能です。

必要に応じて、クロック周波数を公称指定周波数から下げて、使用可能な OSR 値の間で特定のデータレートを実現します。これにより、低減されたデータレートでの変換ノイズは、元の周波数と同じになります。変換ノイズを減らすには、デジタルフィルタ OSR 値を増やすか、速度またはフィルタモードを変更するしかありません。

クロックのジッタにより、変調器のサンプリングのタイミングが変動し、SNR 性能が低下します。データシートの SNR 性能を満たすには、低ジッタのクロックを使用します。たとえば、100kHz の信号周波数では、SNR が低下する前に、最大

50ps (RMS) のクロック ジッタが許容されます。多くの種類の RC 発振器はジッタのレベルが高いので、AC 信号の測定には使用できません。代わりに、水晶発振器または集積回路のクロックソースを使用します。ADC を駆動するクロック バッファの出力に直列抵抗を配置することにより、クロック入力のリンギングを低減します。

7.3.4 パワーオン リセット (POR)

ADC は、電源モニタを使用して、電源投入およびブラウンアウトイベントを検出します。IOVDD 電源の電源を投入するか、電源を切って再投入すると、デバイスがリセットされます。アナログ電源をオンにしたり、電源を入れ直したりしても、デバイスはリセットされません。

図 7-7 に、IOVDD および安定化された CAPD 電源オン電圧スレッショルドを示します。電圧がスレッショルドを超えると、 $t_{d(RSSC)}$ の遅延後に、ADC がリセットから解放されます。START ピンが high なら、ADC は変換プロセスを開始して、データポートにデータを供給します。SPI ステータス レジスタの POR_FLAG ビットとデータポートヘッダー バイトの PWR_FLAG は、デバイスの POR を示します。動作には不要ですが、POR_FLAG ビットに 1b を書き込んで、フラグをクリアして次の POR イベントを検出します。データポートステータス バイトの PWR_FLAG は、ハードウェア プログラミング モードでディセーブルのままでです。

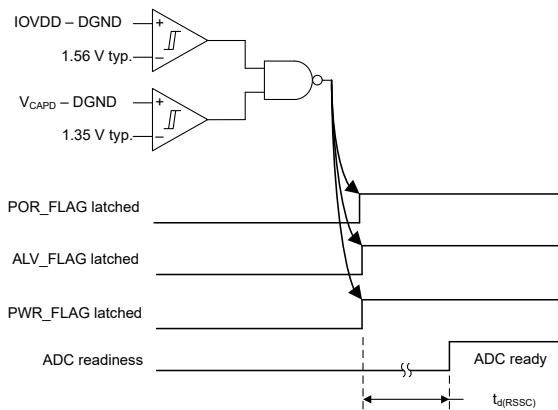


図 7-7. デジタル電源のスレッショルド

図 7-8 に、アナログ電源のパワーオン スレッショルドを示します。電源の 4 つの条件である (AVDD1 - DGND)、(AVDD1 - AVSS)、(AVDD2 - AVSS)、安定化 CAPA 電圧 (CAPA - AVSS) に対して、4 つのモニタが使用されます。アナログ電源電圧がスレッショルド値を下回ると、ALV_FLAG ビット (SPI ステータス レジスタ) と PWR_FLAG (データポートのヘッダー バイト) は、1b にラッチされます。動作の必要はありませんが、ALV_FLAG ビットに 1b を書き込んで、フラグをクリアし、次のアナログ電源低電圧状態を検出します。アナログ電源を切ってから再投入しても、ADC はリセットされません。IOVDD 電源の電圧が低いと、内部アナログ LDO (CAPA) がリセットされるため、アナログ低電圧フラグ (ALV_FLAG) もセットされます。デバイスがハードウェア プログラミング モードで動作しているとき、DATA ポートステータス バイトの PWR_FLAG がディセーブルになります。

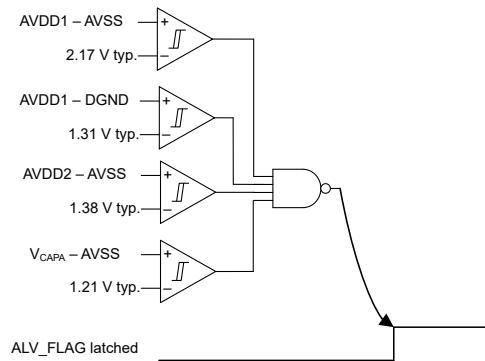


図 7-8. アナログ電源のスレッショルド

7.3.5 VCM の出力電圧

VCM ピンは、AVDD1 および AVSS の中間点に等しいバッファ付き DC 出力電圧です。VCM の出力は、信号をレベルシフトする電圧であり、完全差動アンプ (FDA) の VCM 入力として一般に使用されます。VCM の出力は、[GEN_CFG1](#) レジスタの VCM ビットでイネーブルされます。VCM を使用しない場合は、ピンを未接続のままにして無効にします。

7.3.6 GPIO

ADC には、8 つの汎用デジタル入出力 (GPIO) ピンがあります。GPIO の電圧レベルは、IOVDD および DGND です。図 7-9 に、GPIO のブロック図を示します。

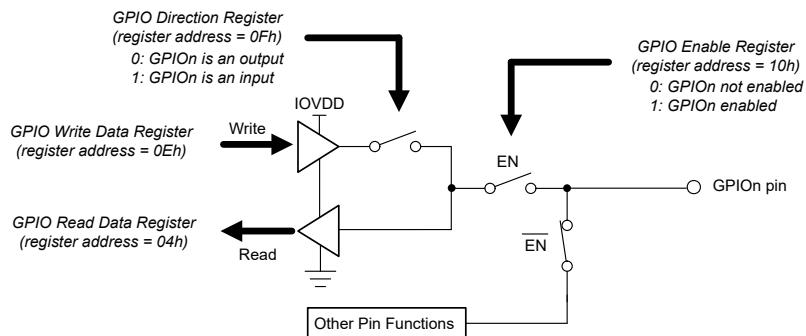


図 7-9. GPIO のブロック図

GPIO ピンは **GPIO EN** レジスタによりイネーブルされ、**GPIO DIR** レジスタにより入力または出力としてプログラムできます。GPIO ピンは **GPIO RD** レジスタによって読み出され、**GPIO WR** レジスタによって書き込まれます。出力にプログラムされている場合、GPIO 読み取りレジスタ動作により、GPIO ピンの電圧の値が返されます。GPIO ピンは他の機能と多重化され、GPIO がイネーブルのときは他の機能よりも優先度が最も高くなります。すべてのデジタル入力と同様に、入力として構成するときは、GPIO ピンをフローティングにしないでください。図 7-10 に、GPIO ピンの位置を示します。

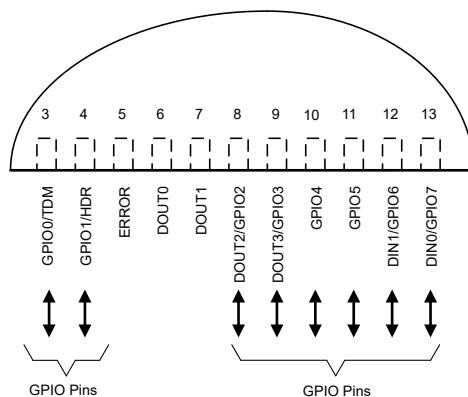


図 7-10. GPIO ピン (ADS117L14 ピンを表示)

7.3.7 変調器

変調器はスイッチコンデンサの3次アーキテクチャで、優れたノイズ性能と直線性性能を実現すると同時に、低消費電力を維持します。ほとんどの変調器と同様に、高振幅信号または帯域外信号で範囲外になると、変調器の飽和が発生する可能性があります。飽和が起きても、帯域内信号は引き続き変換されますが、ノイズ フロアは大きくなります。[図 7-11](#) は、変調器の飽和とノイズの増加を回避するための帯域外信号の振幅制限を示しています。DC および帯域内信号の振幅制限は、フルスケール範囲より 1dB 高くなります。

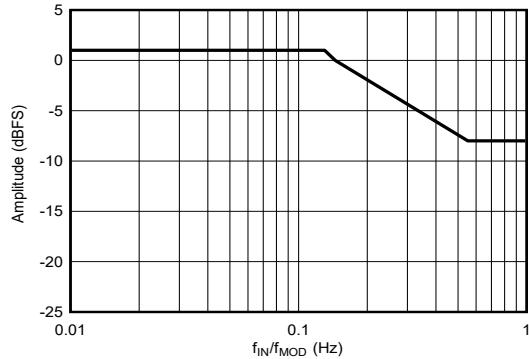


図 7-11. 変調器の飽和を避けるための振幅制限

変調器の飽和は、各チャネルのデータポートステータスヘッダーの MOD_FLAG ビットによって通知されます。飽和状態は変換期間中にラッチされ、新しい変換ごとに更新されます。ADC 入力でアナログ フィルタを使用して帯域外信号をフィルタリングし、ノイズの増加を防止します。[代表的なアプリケーションセクション](#)では、4 次帯域幅制限アンチエイリアス フィルタの例を示します。

7.3.8 デジタル フィルタ

デジタル フィルタの帯域幅制限(フィルタ)と間引き(データレート低減)により、変調器の低分解能データが、高分解能で低速の ADC 出力データを生成します。オーバーサンプリング比(OSR)は、フィルタリングと間引きの量を決定します。その結果、信号帯域幅、帯域内ノイズ、および ADC 出力データレートに影響を及ぼします。ADC 出力データレートは、 $f_{DATA} = f_{MOD} / OSR$ で定義されます。

ADC には、広帯域フィルタと低レイテンシ フィルタの 2 つのフィルタ タイプがあります。フィルタは、周波数特性(広帯域 フィルタ - フラットな通過帯域)と時間領域特性(低レイテンシ フィルタ - 高速応答時間)の間で最適化を行います。すべての ADC チャネルは同じフィルタ タイプにする必要がありますが、データレートが 2^x の比であれば、別のデータレートも使用できます。ここで $x = 0, 1, 2, 3$ などです。フィルタ タイプは、[CHn_CFG2](#) レジスタでプログラム可能です。ここで、 n はチャネル番号です。

7.3.8.1 広帯域 フィルタ

広帯域フィルタは、線形位相応答、平坦な通過帯域振幅、狭い遷移帯域、および高い阻止帯域減衰を特徴とする多段 FIR 設計です。これらの特性のため、AC 信号を測定するためのフィルタとして推奨します。ADC には、8 つのプログラム可能な OSR 値と 4 つの速度モードがあり、データレート、帯域幅、分解能のオプションがあります。

広帯域フィルタの周波数応答を、[図 7-12](#) から [図 7-16](#) までに示します。パスバンド リップルの詳細を、[図 7-12](#) に示します。遷移帯域での周波数応答を、[図 7-13](#) に示します。

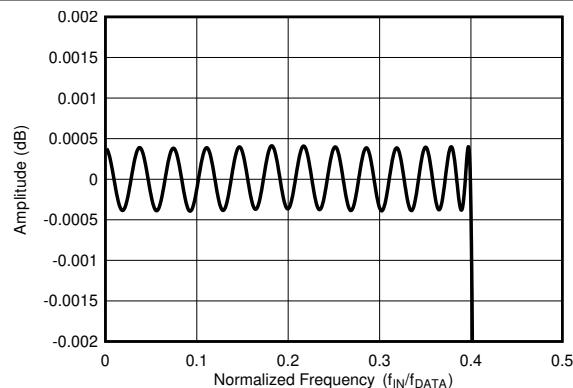


図 7-12. 広帯域フィルタのパスバンド リップル

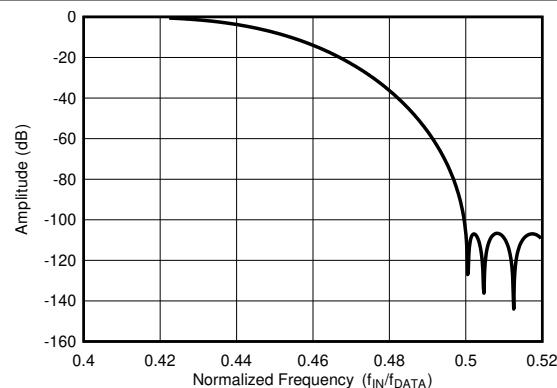


図 7-13. 広帯域フィルタの遷移帯域

$OSR \geq 64$ のとき、 f_{DATA} に対する周波数応答を、図 7-14 に示します。ストップバンドは $f_{DATA}/2$ から始まり、ナイキスト周波数でのエイリアシングを防ぎます。 $OSR = 32$ のとき、 f_{MOD} に対するストップバンド減衰を、図 7-15 に示します。ストップバンド領域では、帯域外入力周波数が $f_{MOD} / 32$ チョップ周波数の倍数と混合されます。このプロセスにより、デジタルフィルタによって提供される減衰を超えるストップバンド応答ピークのパターンが作成されます。応答ピークの幅は、フィルタの帯域幅の 2 倍です。ADC 入力でアンチエイリアス フィルタと組み合わせて使用すると、ストップバンド減衰が改善されます。

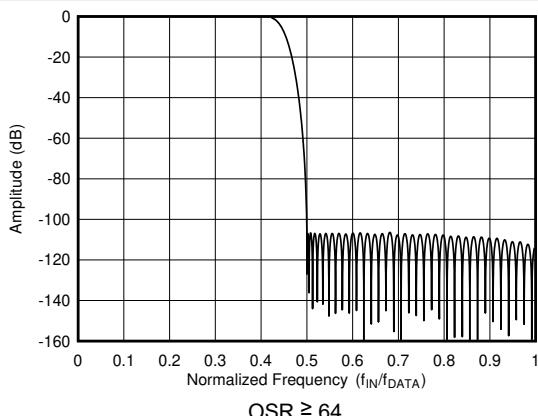


図 7-14. 広帯域フィルタの周波数応答

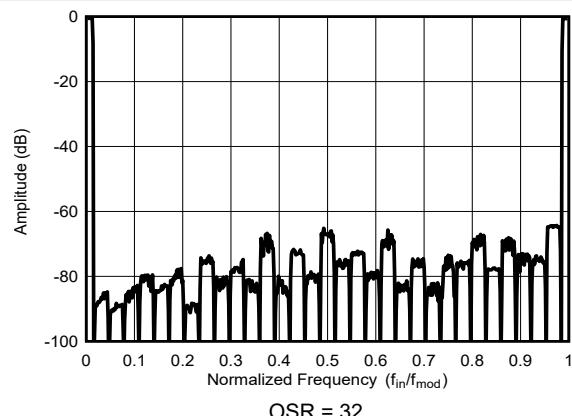


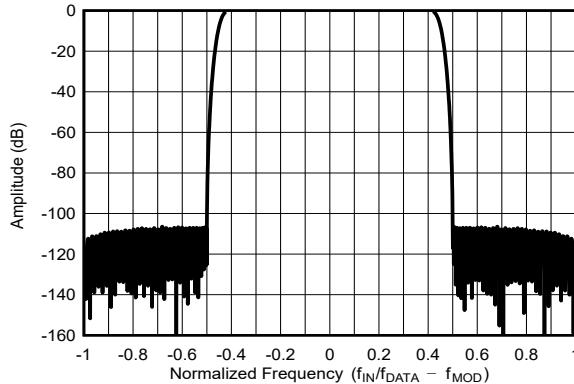
図 7-15. 広帯域フィルタのストップバンド

f_{MOD} を中心とするフィルタ応答を、図 7-16 に示します。ここで、フィルタ応答は繰り返されます。アンチエイリアシング フィルタによって除去されなければ、 f_{MOD} の入力周波数は、パス バンドでエイリアシングされた周波数となります。また、入力周波数が f_{MOD} の倍数のときも、エイリアスが発生します。これらの周波数帯域は、次の式で定義されます。

$$\text{Alias frequency bands: } (N \cdot f_{MOD}) \pm f_{BW} \quad (16)$$

ここで

- $N = 1, 2, 3$ など
- f_{MOD} = 変調器のサンプリング周波数
- f_{BW} = フィルタの帯域幅

図 7-16. f_{MOD} を中心とした広帯域フィルタ周波数応答

フィルタのグループ遅延は、信号がフィルタの入力から出力まで伝搬する時間です。フィルタは線形位相設計であるため、多重周波数複合信号のエンベロープはフィルタ処理によって歪みません。群遅延（時間単位で表されます）は、信号周波数に対して一定で、 $34 / f_{DATA}$ です。ADC 入力にステップ入力が印加された後、データが完全にセトリングするのは 68 データ周期後に発生することに注意します。フィルタの群遅延 ($34 / f_{DATA}$) と、ステップ入力のセトリング タイム (68 / f_{DATA}) を、図 7-17 に示します。

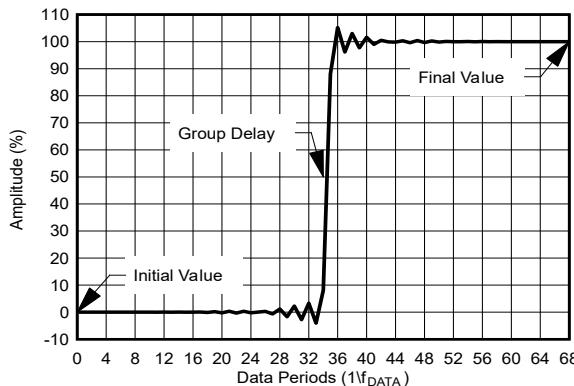


図 7-17. 広帯域フィルタのステップ応答

デジタル フィルタは、ADC が同期されると再起動します。同期後、フィルタは次の 68 回の変換を破棄して、フィルタのセトリング時間を確保します。表 7-2 のレイテンシ時間列には、同期後に最初の変換がフレーム同期ポートに表示されるまでの時間が一覧表示されます。レイテンシ時間には、フィルタリセットの初期オーバーヘッド時間が含まれます。最初のデータは完全にセトリングされたデータです。連続変換中にステップ入力が発生した場合、次の 69 回の変換は部分的に確定したデータになります。

表 7-2. 広帯域フィルタの特性

モード	f_{CLK} (MHz)	OSR	データレート (kSPS)	-0.1dB 周波数 (kHz)	-3dB 周波数 (kHz)	レイテンシ時間 ⁽¹⁾ (μs)
最高速度	32.768	32	512	211.2	223.9	134.2
高速	25.6		400	165	174.96	171.8
中速度	12.8		200	82.5	87.48	343.5
低速度	3.2		50	20.63	21.87	1374

表 7-2. 広帯域フィルタの特性 (続き)

モード	f _{CLK} (MHz)	OSR	データレート (kSPS)	-0.1dB 周波数 (kHz)	-3dB 周波数 (kHz)	レイテンシ時間 ⁽¹⁾ (μs)
最高速度	32.768	64	256	105.6	112.0	267.0
高速	25.6		200	82.5	87.48	341.8
中速度	12.8		100	41.25	43.74	683.5
低速度	3.2		25	10.31	10.94	2734
最高速度	32.768	128	128	52.8	55.99	532.0
高速	25.6		100	41.25	43.74	681.0
中速度	12.8		50	20.63	21.87	1362
低速度	3.2		12.5	5.1562	5.468	5448
最高速度	32.768	256	64	26.4	28.00	1064
高速	25.6		50	20.625	21.87	1362
中速度	12.8		25	10.31	10.93	2724
低速度	3.2		6.25	2.578	2.734	10895
最高速度	32.768	512	32	13.2	14.00	2126
高速	25.6		25	10.312	10.935	2721
中速度	12.8		12.5	5.156	5.467	5443
低速度	3.2		3.125	1.289	1.367	21770
最高速度	32.768	1024	16	6.6	7.998	4251
高速	25.6		12.5	5.156	5.467	5441
中速度	12.8		6.25	2.578	2.734	10883
低速度	3.2		1.5625	0.645	0.6834	43530
最高速度	32.768	2048	8	3.3	3.499	8501
高速	25.6		6.25	2.578	2.734	10881
中速度	12.8		3.125	1.289	1.367	21762
低速度	3.2		0.78125	0.322	0.3417	87050
最高速度	32.768	4096	4	1.65	1.750	17001
高速	25.6		3.125	1.289	1.367	21761
中速度	12.8		1.5625	0.645	0.6834	43522
低速度	3.2		0.390625	0.161	0.1709	174090

(1) アナログ入力バッファがイネーブルされると、レイテンシ時間は $8 / f_{CLK}$ (μs) 増加します。

7.3.8.2 低レイテンシ フィルタ (sinc)

低レイテンシ フィルタは、入力データがフィルタを通過する際の遅延 (レイテンシ) が最小限に抑えられるという主な特性を持つカスケード インテグレータ コム (CIC) トポロジです。CIC フィルタは特徴的な $\sin x/x$ (sinc) 周波数応答を示すため、sinc フィルタとも呼ばれます。このデバイスでは、sinc4、sinc4 + sinc1、sinc3、sinc3 + sinc1 の 4 つの sinc フィルタ構成を選択できます。これらの構成により、アクイジション時間、ノイズ性能、ライン サイクル除去の間でトレードオフが提供されます。

レイテンシ時間は、デバイス同期時間から FSYNC の立ち上がりエッジまで測定され、その時点でセトリングされたデータが最初に利用可能になります。広帯域フィルタと比べてレイテンシ時間が短いため、DC 信号の高速収集に適しています。データはセトリングされるため、同期後にデータを破棄する必要はありません。各 sinc フィルタ モードの詳細なレイテンシデータは、セクション [Sinc3 + Sinc1 フィルタ](#) から [Sinc4 フィルタ](#) に記載されています。

連続変換中に入力信号が変化した場合、次のいくつかの変換は部分的にセトリングします。完全に確定したデータに必要な変換回数は、待ち時間値を次の変換期間の整数に丸めることで決定されます。

sinc フィルタの周波数応答の一般的な式を、式 17 に示します。単一段の sinc フィルタ オプション (たとえば、単一段の sinc3 または sinc4 フィルタ) の場合、2 段目は使用されません。

$$|H(f)| = \left| \frac{\sin \left[\frac{A\pi f}{f_{MOD}} \right]}{A \sin \left[\frac{\pi f}{f_{MOD}} \right]} \right|^n \cdot \left| \frac{\sin \left[\frac{AB\pi f}{f_{MOD}} \right]}{B \sin \left[\frac{A\pi f}{f_{MOD}} \right]} \right| \quad (17)$$

ここで

- N = 段 1 のフィルタの次数 (3 または 4)
- f = 単一周波数
- A = 段 1 の OSR
- B = 段 2 の OSR
- $f_{MOD} = f_{CLK} / 2$

7.3.8.2.1 Sinc4 フィルタ

sinc4 フィルタは、変調器データの平均化とデシメーションを実行し、最大速度モードでは最大 1365.3kSPS、高速モードでは 1066.6kSPS、中速モードでは 533.3kSPS、低速モードでは 133.333kSPS のデータレートを生成します。OSR 値を大きくすると ADC データレートが低下し、データの平均化とデシメーションの増加により信号帯域幅と総ノイズが減少します。

表 7-3 に、sinc4 のフィルタ特性を示します。

表 7-3. Sinc4 フィルタの特性

モード	f _{CLK} (MHz)	OSR	データレート (kSPS)	-3dB 周波数 (kHz)	レイテンシ時間 (μs) ⁽¹⁾
最高速度	32.768	12	1365.3	310.2	3.9
高速	25.6		1066.6	242.3	5.1
中速度	12.8		533.3	121.2	10.1
低速度	3.2		133.33	30.3	40.5
最高速度	32.768	16	1024	232.7	4.9
高速	25.6		800	181.8	6.3
中速度	12.8		400	90.9	12.6
低速度	3.2		100	22.7	50.5
最高速度	32.768	24	682.67	155.1	6.9
高速	25.6		533.3	121.2	8.9
中速度	12.8		266.67	60.6	17.1
低速度	3.2		66.67	15.1	70.8
最高速度	32.768	32	512	116.3	8.9
高速	25.6		400	90.9	11.4
中速度	12.8		200	45.4	22.8
低速度	3.2		50	11.4	91.4
最高速度	32.768	64	256	58.2	16.6
高速	25.6		200	45.4	21.3
中速度	12.8		100	22.7	42.6
低速度	3.2		25	5.68	171
最高速度	32.768	128	128	29.1	32.3
高速	25.6		100	22.7	41.3
中速度	12.8		50	11.4	82.6
低速度	3.2		12.5	2.84	331
最高速度	32.768	256	64	14.5	63.6
高速	25.6		50	11.4	81.4
中速度	12.8		25	5.68	163
低速度	3.2		6.25	1.42	651
最高速度	32.768	512	32	7.27	126
高速	25.6		25	5.68	162
中速度	12.8		12.5	2.84	324
低速度	3.2		3.125	0.710	1294
最高速度	32.768	1024	16	3.64	251
高速	25.6		12.5	2.84	321
中速度	12.8		6.25	1.42	643
低速度	3.2		1.5625	0.355	2570

表 7-3. Sinc4 フィルタの特性 (続き)

モード	f _{CLK} (MHz)	OSR	データレート (kSPS)	-3dB 周波数 (kHz)	レイテンシ時間 (μs) ⁽¹⁾
最高速度	32.768	2048	8	1.82	501
高速	25.6		6.25	1.42	641
中速度	12.8		3.125	0.710	1282
低速度	3.2		0.7813	0.178	5130
最高速度	32.768	4096	4	0.909	1001
高速	25.6		3.125	0.710	1281
中速度	12.8		1.563	0.355	2562
低速度	3.2		0.391	0.089	10250

(1) アナログ入力バッファがイネーブルされると、レイテンシ時間は $8 / f_{CLK}$ (μs) 増加します。

OSR = 32 での sinc4 の周波数応答を、図 7-18 と図 7-19 に示します。周波数応答は、f_{DATA} の倍数で発生する一連の応答ヌルと、その間の一連の減衰ピークで構成されます。ヌル周波数では、フィルタのゲインは 0 です。フィルタ応答の折り畳まれた画像は、f_{IN}/f_{DATA} > OSR/2 のときに現れます。OSR = 32 の周波数プロットに示します。図 7-19 0dB 減衰は、n × f_{MOD} (n = 1, 2, 3, など) 付近の入力周波数で発生します。これらの周波数に信号が存在する場合、信号はパス バンドにエイリアスされます。

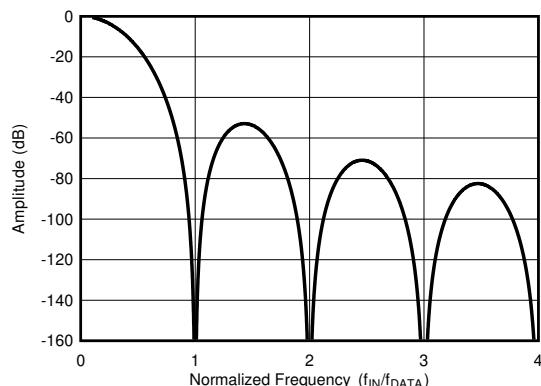


図 7-18. sinc4 の周波数応答
(OSR = 32)

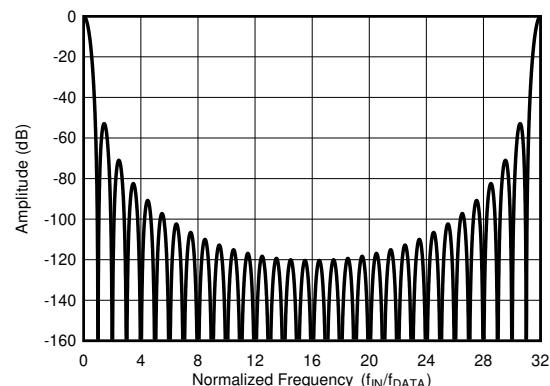


図 7-19. f_{MOD} に対する sinc4 の周波数応答 (OSR = 32)

7.3.8.2.2 Sinc4 + Sinc1 カスケード フィルタ

sinc4 + sinc1 フィルタは、sinc4 フィルタと sinc1 フィルタのカスケード接続です。sinc4 段の固定 OSR (OSR = 32) に sinc1 段の OSR を乗算することで、ADC 出力データレートが決まります。sinc4 + sinc1 フィルタ モードは、單一段の sinc4 フィルタよりもレイテンシ時間が短くなります。sinc4 + sinc1 フィルタの特性の要約を、表 7-4 に示します。

表 7-4. Sinc4 + Sinc1 カスケード フィルタの特性

モード	f _{CLK} (MHz)	OSR (A × B) ⁽²⁾	データレート (kSPS)	-3dB 周波数 (kHz)	レイテンシ時間 (μs) ⁽¹⁾
最高速度	32.768	64 (32 × 2)	256	87.49	10.9
高速	25.6		200	68.35	13.9
中速度	12.8		100	34.18	27.9
低速度	3.2		25	8.544	111
最高速度	32.768	128 (32 × 4)	128	52.44	14.8
高速	25.6		100	40.97	19.0
中速度	12.8		50	20.49	37.9
低速度	3.2		12.5	5.121	152

表 7-4. Sinc4 + Sinc1 カスケード フィルタの特性 (続き)

モード	f _{CLK} (MHz)	OSR (A × B) ⁽²⁾	データレート (kSPS)	-3dB 周波数 (kHz)	レイテンシ時間 (μs) ⁽¹⁾
最高速度	32.768	320 (32 × 10)	51.2	22.36	26.5
高速	25.6		40	17.47	34.0
中速度	12.8		20	8.735	67.9
低速度	3.2		5	2.184	272
最高速度	32.768	640 (32 × 20)	25.6	11.28	46.0
高速	25.6		20	8.814	58.9
中速度	12.8		10	4.407	118
低速度	3.2		2.5	1.102	471
最高速度	32.768	1280 (32 × 40)	12.8	5.658	85.1
高速	25.6		10	4.420	109
中速度	12.8		5	2.210	218
低速度	3.2		1.25	0.552	871
最高速度	32.768	3200 (32 × 100)	5.12	2.266	202
高速	25.6		4	1.770	259
中速度	12.8		2	0.885	517
低速度	3.2		0.5	0.221	2068
最高速度	32.768	6400 (32 × 200)	2.56	1.133	398
高速	25.6		2	0.885	509
中速度	12.8		1	0.443	1018
低速度	3.2		0.25	0.111	4075
最高速度	32.768	12800 (32 × 400)	1.28	0.566	788
高速	25.6		1	0.442	1008
中速度	12.8		0.5	0.221	2017
低速度	3.2		0.125	0.055	8069
最高速度	32.768	32000 (32 × 1000)	0.512	0.226	1960
高速	25.6		0.4	0.177	2508
中速度	12.8		0.2	0.089	5018
低速度	3.2		0.05	0.022	20070

(1) アナログ入力バッファがイネーブルされると、レイテンシ時間は $8 / f_{CLK}$ (μs) 増加します。

(2) A = 1 段目の OSR、B = 2 段目の OSR。

3 つの OSR 値に対する sinc4 + sinc1 フィルタの周波数応答を、図 7-20 に示します。これらの組み合わせによる周波数応答は、sinc4 および sinc1 フィルタの重ね合わせの応答になります。OSR 値が小さい場合、応答プロファイルは sinc4 フィルタのロールオフによって支配されます。周波数応答のヌルは、 $n \cdot f_{DATA}$ で発生します ($n = 1, 2, 3, \dots$)。ヌル周波数では、フィルタのゲインは 0 です。

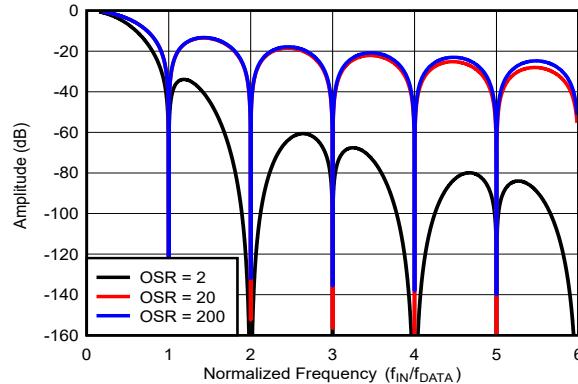


図 7-20. Sinc4 + Sinc1 フィルタの周波数応答

7.3.8.2.3 Sinc3 フィルタ

sinc3 フィルタ モードは單一段フィルタです。sinc3 フィルタには、ラインサイクルのノイズ除去のため、400SPS、60SPS、50SPS など複数のデータレートオプションがあります。低速度モードで $10/50 \times 3.2\text{MHz} = 0.64\text{MHz}$ まで ADC クロックを低速化することで、10SPS に対応します。周波数応答ノッチの幅が広いため、優れたライン周波数の NMRR および CMRR を達成しています。Sinc3 フィルタの特性を、表 7-5 に示します。

表 7-5. Sinc3 フィルタの特性

モード	f_{CLK} (MHz)	OSR	データレート (SPS)	-3dB 周波数 (Hz)	レイテンシ (ms)	最初の NMRR (dB)	
						2% のクロック許容誤差	6% のクロック許容誤差
最高速度	32.768	26667	614.4	161.3	4.88	100	71
高速	25.6		480	126	6.25		
中速度	12.8		240	63.0	12.5		
低速度	3.2		60	15.7	50.0		
最高速度	32.768	32000	512	134	5.86	100	71
高速	25.6		400	105	7.50		
中速度	12.8		200	252	15		
低速度	3.2		50	13.1	60.0		

sinc3 フィルタ (OSR = 32000) 出力の周波数応答を、図 7-21 に示します。図 7-22 に、0.9 から $1.1 \cdot f_{IN}/f_{DATA}$ の領域での詳細な応答を示します。

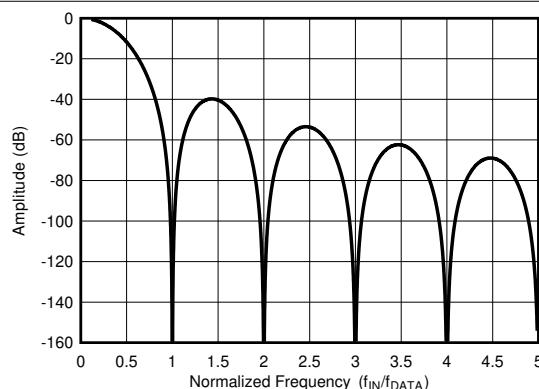
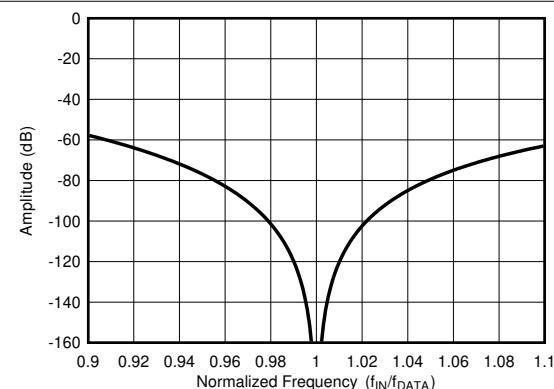
図 7-21. Sinc3 の周波数応答
(OSR = 32000)

図 7-22. Sinc3 の周波数応答の詳細 (OSR = 32000)

7.3.8.2.4 Sinc3 + Sinc1 フィルタ

sinc3 + sinc1 フィルタ モードは、sinc3 と sinc1 フィルタのカスケード接続です。sinc3 段の OSR は固定 (OSR = 32000) で、sinc1 段の OSR は 3 と 5 にプログラム可能です。sinc3 + sinc1 フィルタの特性を、表 7-6 に示します。

表 7-6. Sinc3 + Sinc1 フィルタ特性

モード	f_{CLK} (MHz)	OSR (A × B) ⁽¹⁾	データレート (SPS)	-3dB 周波数 (Hz)	レイテンシ (ms)	最初の NMRR (dB)	
						2% のクロック許容誤差	6% のクロック許容誤差
最高速度	32.768	96000 (32000 × 3)	170	69	9.77	34	26
高速	25.6		133.3	54	12.5		
中速度	12.8		66.6	27	25		
低速度	3.2		16.7	6.7	100		
最高速度	32.768	160000 (32000 × 5)	102	43.5	13.7	34	26
高速	25.6		80	34	17.5		
中速度	12.8		40	17	35		
低速度	3.2		10	4.2	140		

(1) A = 1 段目の OSR、B = 2 段目の OSR。

sinc3 + sinc1 フィルタ出力の周波数応答を、図 7-23 に示します。周波数応答は、特性的な sinc フィルタの応答ローブとヌルを表します。ヌルは f_{DATA} とその倍数で発生します。図 7-24 に、0.9 から $1.1 \cdot f_{IN}/f_{DATA}$ の領域での詳細な応答を示します。

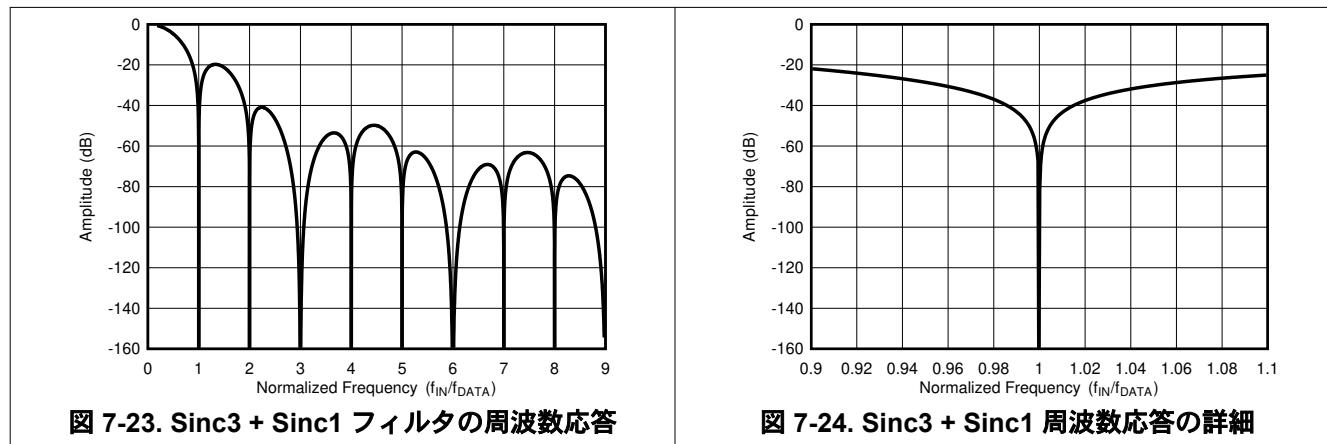


図 7-23. Sinc3 + Sinc1 フィルタの周波数応答

図 7-24. Sinc3 + Sinc1 周波数応答の詳細

7.4 デバイスの機能モード

7.4.1 リセット

ADC はパワーオン時に自動リセットを実行します。手動リセットは、**RESET** ピンまたは SPI ポートでも実行されます。制御ロジック、デジタル フィルタ、SPI、データ ポートの動作、およびユーザー レジスタはデフォルト値にリセットされます。デバイスのプログラムに使用するハードウェア プログラミング ピンも、再スキャンされます。デバイスのリセットは、SPI ステータス レジスタの **POR_FLAG** によって確認されます。リセット後に ADC が動作可能になる時期の詳細については、図 5-7 を参照してください。

7.4.1.1 **RESET** ピン

RESET ピンは、ADC をリセットするアクティブ low 入力です。**RESET** ピンはシュミットトリガ入力で、ノイズ感度を低減するよう設計されています。**RESET** ピンのタイミングとリセット後の SPI 通信の開始については、図 5-7 を参照してください。ADC はパワーオン時に自動リセットを実行するため、手動リセットは不要です。

7.4.1.2 SPI レジスタによるリセット

このデバイスは、SPI 動作により、CONTROL レジスタに 01011000b を書き込むことでリセットされます。**CS** が high になったとき、フレームの最後でリセットが有効になります。このレジスタに他の値を書き込んでも、デバイスがリセットされません。

7.4.1.3 SPI の入力パターンによるリセット

このデバイスは、SPI で特殊な入力パターンでもリセットされます。この入力パターンは、入力コマンドの形式に従っていません。リセットのため、1024 個以上の連続した 1 を入力し、その後で **CS** を high にすると、リセットが発生します。リセットパターンを、図 7-25 に示します。

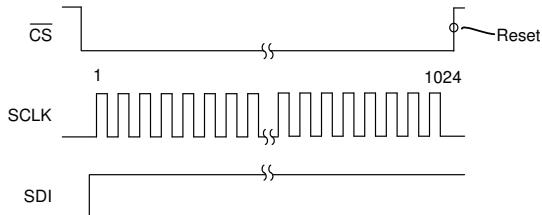


図 7-25. SPI リセットパターン

7.4.2 IDLE モードとスタンバイ モード

ADC は、変換が停止したときに変換をアイドル状態にするか、スタンバイ モードに移行するかを選択できます。このモードは、**GEN_CFG2** レジスタの **STBY_MODE** ビットによってプログラムされるすべてのチャネルのグローバル設定です。アイドル モードでは、信号および電圧リファレンス入力のサンプリングを含め、アナログ回路は完全にバイアスされ、動作します。デジタル フィルタのみがアイドルになります。変換が開始されると、デジタル フィルタが再始動され、変換プロセスが開始されます。

スタンバイ モードで変換が停止すると、信号とリファレンス電圧のサンプリングが停止し、消費電力を節約します。変換が再開されると、信号とリファレンス電圧のサンプリングが再開されます。スタンバイ モードを終了すると、フィルタの変換レイテンシ時間に $24f_{CLK}$ サイクルが追加されます。

7.4.3 パワーダウン

チャネルは、それぞれの **CHn_CFG2** 構成レジスタの **CHn_PWDN** ビットによって個別に電源オフされます。チャネルのアナログ セクションがディセーブルになり、出力データが最後の既知のデータになります。TDM モードでは、電源オフ時のチャネルのスロット位置が保持されます。チャネルが再度イネーブルになると、SPI レジスタの書き込み時に変換はリセットされます。必要に応じて ADC を再同期します。すべてのチャネルのパワーダウンからチャネルをアクティブにする場合は、300μs を待機してからチャネルを同期します。

7.4.4 速度モード

4つのプログラム可能な速度モードにより、データレート、ノイズ性能、消費電力の間でトレードオフを決定できます。[表7-7](#)に、最大データレート(最小値でのOSR)と公称クロック周波数を示します。低速度モードでの動作により、大きな信号帯域幅を必要としないアプリケーション向けに、低い帯域幅でデバイスの消費電力が低減されます。

表 7-7. データ レートとクロック周波数

モード	クロック周波数 (f_{CLK})	f_{DATA} 広帯域フィルタ	f_{DATA} 低レイテンシ フィルタ
最高速度	32.768MHz	512kSPS	1365.3kSPS
高速	25.6MHz	400kSPS	1066.6kSPS
中速度	12.8MHz	200kSPS	533.3kSPS
低速度	3.2MHz	50kSPS	133.3kSPS

速度モードは、[GEN_CFG2](#) レジスタの SPEED_MODE[1:0] ビットによってプログラムされます。速度モードの選択はユニバーサルで、すべてのチャネルに適用されます。クロック周波数の許容誤差については、[セクション 5.3](#) を参照してください。

7.4.5 同期

ADC チャネルは、START ピンによって、または SPI 制御レジスタの START ビットに書き込むことによって同期されます。同期は、すべての ADC チャネルの変換時間をまとめたものです。SPI を介して変換を制御する場合(スタート/ストップ制御モードを使用)、ピンとの競合を避けるために START ピンを低く保ちます。SPI プログラミング モードでは、08h ~ 50h のアドレス範囲のレジスタに書き込むと、すべてのチャネルが同時に再起動します。再起動により、元の開始信号との同期が失われます。必要に応じて ADC チャネルを再同期します。

1を超える値の内部クロック分周器を使用した場合、分周されたクロック信号の位相が不明なために ADC チャネルが変換を行っているときは、ADC の同期は不確定です。ただし、ADC チャネルは互いに同期した状態を維持します。同期の不確実性を回避するには、1で割るオプションを使用します。

同期後、ADC はデジタルフィルタが安定するまで待機してから、出力データを供給します。待機時間はフィルタのレイテンシと等しくなります(フィルタのレイテンシ データについては、[デジタルフィルタセクション](#)を参照)。チャネルの OSR 値が異なる場合、このデバイスは最も低速なデータチャネルが安定するまで待機してから、フレーム同期出力信号が開始されます。この場合、高速なチャネル更新中にデータが繰り返されると、低速のチャネル DP_STATUS バイトの RPT_DATA ビットが設定されます。

ADC には、同期と制御のために、同期およびスタート/ストップ制御モードの 2 つのモードがあり、それぞれに特定の機能があります。SPI プログラミング モードでは、モードは [GEN_CFG2](#) レジスタの START_MODE[1:0] ビットによってプログラムされます。ハードウェア プログラミング モードでは、広帯域フィルタ モードを選択すると、同期制御モードが強制的に適用されます。低レイテンシ フィルタ モードを選択すると、開始/停止制御モードは強制的に実行されます。同期制御モードは、SPI 効果では使用できません。

7.4.5.1 同期制御モード

同期制御モードは、START ピンの立ち上がりエッジで ADC チャネルを同期します。START が high か low かにかかわらず変換が続行されます。START ピンに、单一の同期パルス入力または連続クロック入力を印加します。

[図 7-26](#) に示すように、同期は最初の START 立ち上がりエッジで行われます。START の次の立ち上がりエッジまでの時間が変換期間の n 倍で、 $\pm 1 / f_{CLK}$ のウインドウ内の場合、ADC は再同期されません($n = 1, 2, 3$ など)。このとき最同期が行われるのは、ADC の変換期間が START 信号の周期と同期しているためです。同様に、START 信号期間が、 $\pm 1 f_{CLK}$ サイクル以内の変換期間の n 倍でない場合、ADC チャネルは再同期されます。START 信号の時間に制限はありません。

[図 7-26](#) は、START 入力の周期が変換周期の 1 倍または倍数に等しくない場合の ADC の再同期を示しています。デジタル フィルタの処理時間の結果として、同期を引き起こした開始信号とその結果として得られる FSYNC 出力信号との間に時間差が生じます。時間差はフィルタの OSR 値によって異なります。

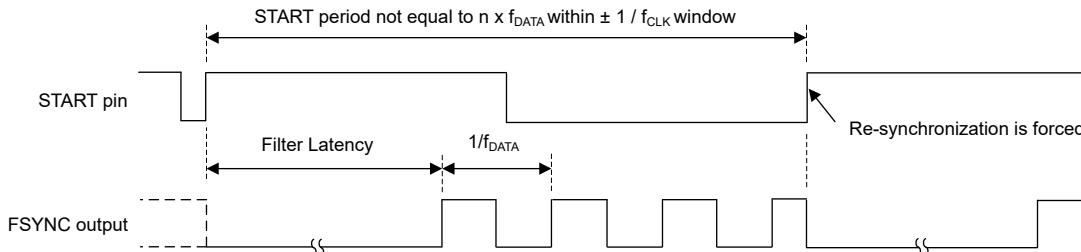


図 7-26. 同期制御モード

7.4.5.2 スタート / ストップ制御モード

スタート/ストップ制御モードでは、変換を有効化/無効化します。すべてのチャネルは、START ピンをハイにするか、CONTROL レジスタの START ビットに 1b を書き込むことによって同期 (開始) されます。レジスタ書き込み動作後に CS を high になると、スタートビットにアクノリッジされます。ADC は、START ピンをローにするか、STOP ビットに 1b を書き込むことによって停止するまで、変換を継続します。停止すると、進行中の変換が完了し、追加の変換が停止します。FSYNC クロック信号の最後の立上りエッジは、最後の変換データです。進行中の変換を再開するには、START を一瞬だけ Low にしてから High に戻すか、1b を再度 START ビットに書き込みます。ワンショット変換を実行するには、START を high に短時間パルスするか、START ビットに書き込んだ後すぐに STOP ビットに書き込みます。図 7-27 に、START 制御と FSYNC 出力信号を示します。

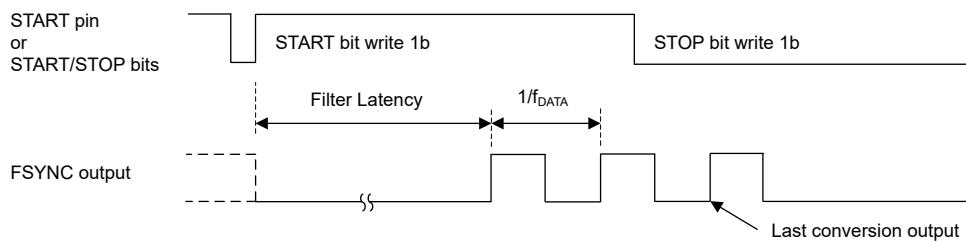


図 7-27. スタート / ストップ制御モード

7.4.6 變換開始の遅延時間

遅延時間を設定することで、同期後の最初の変換の開始を遅らせます。最初の変換で遅延時間を使用した後、次の変換は再度同期されるまで遅延されません。この遅延時間により、外部部品のセトリングが可能になります。たとえば、外部マルチプレクサを通して信号スイッチングを行う時間を提供します。遅延は、すべての ADC チャネルに対してグローバルで、変換のレイテンシ時間に加算されます。GEN_CFG1 レジスタの DELAY[2:0] ビットを参照してください。

7.4.7 調整

各チャネルのオフセットおよびゲイン レジスタは、オフセットおよびゲイン誤差を修正します。図 7-28 に示すように、24 ビットのオフセット レジスタを変換データから減算した後で、24 ビットのゲイン レジスタで乗算します。データは 16 ビットに丸められ、最終出力に +FS および -FS のコード値にクリッピングされます。

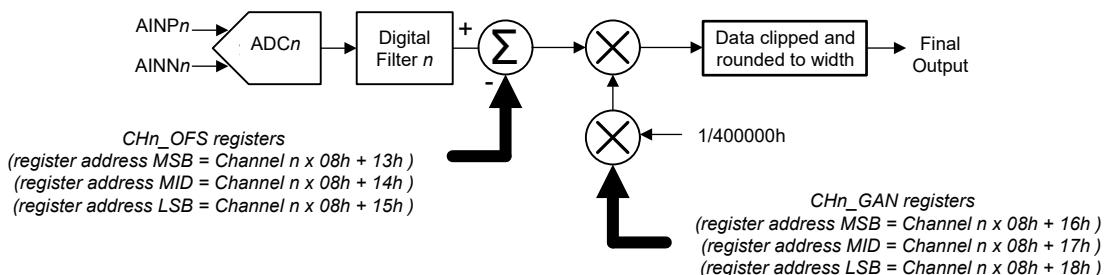


図 7-28. 調整のブロック図

変換データの較正方法を、式 18 に示します。

$$\text{Final Output Data} = (\text{Data} - \text{CH}_n\text{_OFS}) \times \text{CH}_n\text{_GAN} / 400000h \quad (18)$$

7.4.7.1 オフセット較正レジスタ

オフセット較正值は 24 ビットワードで、2 の補数形式でコード化された 3 つの 8 ビットレジスタで構成されます。変換データからオフセット値が減算されます。各チャネルの 3 つのレジスタの最上位バイトは、下位アドレスです。各チャネルのレジスタアドレスについては、[CH_n オフセット](#) レジスタを参照してください。変換データは、最上位のオフセットバイトに揃えられるように左揃えされます。オフセット較正值の例を、表 7-8 に示します。

表 7-8. OFFSET レジスタの値

OFFSET レジスタの値	適用されるオフセット
001000h	-16 LSB
000100h	-1 LSB
FFFF00h	1 LSB
FFF000h	16 LSB

7.4.7.2 ゲイン較正レジスタ

ゲイン較正值は 24 ビットワード値で、3 つのレジスタで構成され、ストレートバイナリ形式でコード化されて、400000h でユニティゲインとなるよう正規化されています。たとえば、1 より大きいゲイン誤差を修正する場合、計算されるゲイン較正值は 400000h 未満です。ゲイン較正值の例を、表 7-9 に示します。3 つのレジスタの最上位バイトは下位アドレスです。各チャネルのゲインレジスタアドレスについては、[CH_n Gain](#) レジスタを参照してください。

表 7-9. GAIN レジスタの値

GAIN レジスタの値	ゲイン補正が適用されます
433333h	1.05
400000h	1
3CCCCCh	0.95

7.4.7.3 較正手順

推奨される較正手順は次のとおりです。

- オフセットおよびゲイン較正レジスタを、それぞれ 000000h および 400000h にプリセットします。
- 入力マルチプレクサを使用して入力を短絡し、オフセット較正を実行します。外部アンプ段のオフセット誤差を含めるには、システムの入力を短絡します。チャネルから変換データを取得し、オフセット較正レジスタにデータの平均値を書き込みます。データを平均化すると、変換ノイズが減少し、較正精度が向上します。
- 入力に較正信号を印加して、ゲイン較正を実行します。外部アンプ段のゲイン誤差を含めるには、信号をシステム入力に適用します。標準入力範囲モードでは、出力コードのクリッピングを避けるため、フルスケール入力範囲よりも低い較正電圧を選択します。出力コードがクリッピングされると、較正が不正確になります。たとえば、V_{REF} = 4.096V で 3.9V の較正信号を使用します。拡張入力範囲モードで動作する場合、V_{REF} に等しい較正信号を使用できます。チャネルから変換データを取得し、結果を平均化します。ゲインの較正值を計算するには、式 19 を使用します。

$$\text{Gain Calibration Value} = (\text{expected output code} / \text{actual output code}) \cdot 400000h \quad (19)$$

たとえば、4.096V の基準電圧を使用するとき、3.9V の較正電圧の予測される出力コードは(3.9V / 4.096V) · 7FFFFFFh = 79E000h です。

7.4.8 診断

デバイスは、ADC 動作中のエラーを検出するための診断機能を複数備えています。

7.4.8.1 **ERROR** ピンと **ERR_FLAG** ビット

ERROR ピンは内部の $100\text{k}\Omega$ プルアップ抵抗を備えたオープンドレインのデジタル出力であり、**low** に駆動してエラーを示します。図 7-29 に、**ERROR** ピンのブロック図を示します。コントローラ入力からのリーク電流が出力高電圧誤差を引き起こす場合は、より大きな値のプルアップ抵抗を使用します。複数のデバイスの **ERROR** ピンは互いに接続できます。ステータスレジスタを読み取って、エラーをアサートしたデバイスを特定します。

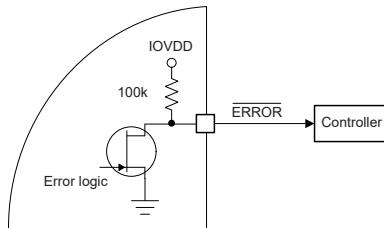


図 7-29. **ERROR** ピン

エラーは、7つの SPI ステータスレジスタビットの論理和です。エラーの原因となる STATUS レジスタビットを、表 7-10 に示します。

表 7-10. エラー ビット

ステータス レジスタ ビット	ビットの位置	機能
ALV_FLAG	STATUS[6]	アナログ低電圧フラグ
POR_FLAG	STATUS[5]	パワーオンリセット フラッグ
SPI_ERR	STATUS[4]	SPI 入力の CRC エラー
REG_ERR	STATUS[3]	レジスタマップの CRC エラー
ADC_ERR	STATUS[2]	内部 ADC 誤差
ADDR_ERR	STATUS[1]	SPI レジスタアドレス エラー
SCLK_ERR	STATUS[0]	SCLK カウント エラー

ALV_FLAG フラグおよび POR_FLAG フラグの自動アサートにより、電源オン時に **ERROR** が **low** に駆動されます。デバイスの動作には必要ありませんが、SPI ステータスレジスタに **1b** を書き込んで電源フラグをクリアし、他のエラーを表示できるようにします。エラーの原因となっているエラー状態の後に、**1b** を書き込むことで他のエラー ビットはクリアされます。データポートの STATUS バイトの **ERR_FLAG** は、**ERROR** ピンの反転です。ハードウェア制御モードでは、STATUS レジスタにアクセスできないため、ADC_ERR ビットのみでエラーが発生します。

7.4.8.2 SPI の CRC

SPI CRC は、SPI ポートとの間での転送エラーを検出する SPI エラー チェックコードです。ホストからの ADC 入力データとともに、CRC バイトが送信されます。ADC からのレジスタデータとともに、CRC バイトが送信されます。SPI CRC エラー チェックは、[GEN_CFG3](#) レジスタの SPI_CRC_EN ビットによってイネーブルされます。

SPI CRC 引数は 2 バイトです。CRC-In コードは 2 つの入力コマンド バイトにわたって計算されます。フレームの先頭にパディングされる入力バイトは、CRC の計算に含まれません。ADC は、入力コマンドの CRC コードを、受信した 2 つのバイトから計算された内部コードと比較します。CRC コードが一致しない場合、コマンドは実行されず、STATUS バイトの SPI_ERR ビットがセットされます。それ以降のレジスタへの書き込み操作はブロックされます。ただし、STATUS レジスタの SPI_ERR ビットに **1b** を書き込んで SPI の CRC エラーをクリアする操作は行えます。レジスタ読み取り操作は、直前のレジスタ読み取りコマンドフレームで SPI_CRC エラーが検出されない限り、ブロックされません。

CRC-OUT コードは、出力レジスタのデータ バイトと STATUS バイトについて計算されます。STATUS がディセーブルなら、CRC-OUT の計算のために、バイトはゼロとして扱われます。

CRC 値は、CRC 多項式を使用した可変長引数のビット単位排他論理和 (XOR) 演算の、8 ビットの剩余です。8 ビットの CRC は、CRC-8-ATM (HEC) 多項式: $X^8 + X^2 + X^1 + 1$ に基づいています。この多項式には、9 つの係数として 1 00000111 があります。

CRC の値は、次の手順で計算します。

1. 初期データ値の **LSB** に 0 を追加して、8 ビット左にシフトし、新しいデータ値を生成します。
2. 手順 1 で得られた新しいデータ値の **MSB** と、FFh との初期 XOR 演算を行います。
3. CRC 多項式の **MSB** を、データの左端のロジック 1 と揃えます。
4. CRC 多項式と揃っていないデータ値のビットがドロップダウンし、新しい XOR 結果の右側に追加されます。データ値と、揃えられた CRC 多項式との XOR 演算を行います。XOR 演算により、新しい短い値が生成されます。
5. XOR の結果が 8 ビットの CRC 長以下の場合、手順は終了し、8 ビットの CRC コード結果が得られます。それ以外の場合は、手順 3 で現在の XOR 結果を使用して XOR 演算を続行します。ループの繰り返し回数は、初期データの値によって異なります。

7.4.8.3 レジスタ マップの CRC

レジスタ マップの CRC は、レジスタ値の変更を検出します。CRC は 16 ビット値で、レジスタ 05h (上位バイト) とレジスタ 06h (下位バイト) に格納されます。レジスタ アドレス範囲 08h ~ 50h (ADS117L14 と ADS117L18 の両方) にわたって CRC を計算し、その値を CRC レジスタに書き込みます。ADC は、CRC レジスタ値を内部計算と比較します。CRC レジスタ値が正しくない場合、STATUS バイトの REG_ERR フラグがセットされます。CRC 値を訂正してから、REG_ERR ビットに 1b を書き込んで、エラーをクリアします。[GEN_CFG3](#) レジスタの REG_CRC_EN ビットによって、レジスタ CRC がイネーブルされます。

レジスタ マップの CRC では、CRC-16-IBM 多項式に基づく 16 ビットの多項式を使用します。 $X^{16} + X^{15} + X^2 + 1$ 。この 17 個の係数は 1 10000000 00000101 です。

7.4.8.4 ADC 誤差

ADC は、内蔵不揮発性メモリのチェックを連続的に実行します。エラーが検出されると、STATUS レジスタの ADC_ERR フラグが設定されます。ADC をリセットするか、電源を切って再投入して、ADC_ERR をクリアします。

7.4.8.5 SPI アドレス範囲

読み取りおよび書き込みコマンドによるレジスタ アクセスが、有効なアドレス範囲についてチェックされます。有効なアドレス範囲は、ADS117L14 および ADS117L18 デバイスの場合 00h ~ 50h です。レジスタ アドレス範囲を超えると、STATUS レジスタの ADDR_ERR ビットが設定されます。1b を書き込んでエラーをクリアします。STATUS レジスタを除き、フラグがセットされている場合、レジスタへの書き込み動作はブロックされます。アドレス範囲チェックは、[GEN_CFG3](#) レジスタで SPI_ADDR_EN = 1b を設定することで有効化されます。

7.4.8.6 SCLK カウンタ

SCLK カウンタは、SPI フレーム内の SCLK 数が 8 の倍数であることを監視します。SCLK 数が 8 の倍数でない場合、STATUS レジスタの SCLK_ERR フラグが設定されます。STATUS レジスタ以外では、ビットに 1b を書き込んでフラグがクリアされるまで、レジスタ書き込み動作はブロックされます。SCLK カウンタは、[GEN_CFG3](#) レジスタの SCLK_CNT_EN = 1b を設定することでイネーブルになります。

7.4.8.7 クロック カウンタ

ADC にはクロック カウンタがあり、内部クロック周波数を確認します。[CLK_CNT](#) は、周波数 = $f_{CLK}/32$ のときに連続ロールオーバー モードで動作する 8 ビットレジスタです。クロック周波数を確認するには、既知の間隔でレジスタを読み出し、値の差を予想値と比較します。カウンタ値を読み出すには、ADC が最小 SCLK 周波数 $f_{CLK}/32$ でアクティブ変換モードになっている必要があります。

カウンタは、[GEN_CFG3](#) レジスタの CLK_CNT_EN ビットでイネーブルされます。有効化されている場合、カウンタ値は 00h に初期化されます。無効化されている場合、カウンタ値は 00h です。

7.4.8.8 フレーム同期 CRC

フレーム同期 CRC は、変換データに追加されるオプションのバイトです。CRC は 8 ビットであり、2 つのデータ バイトに対して計算されます。イネーブルされている場合は、STATUS_DP バイトを含む 3 バイトについても計算されます。CRC は、SPI CRC と同じ CRC-8 ATM 多項式を使用します。DP_CFG1 レジスタの DP_CRC_EN ビットによって、CRC バイトがイネーブルされます。

7.4.8.9 セルフ テスト

本デバイスの各チャネルには、オフセット誤差、ゲイン誤差、ノイズ、CMRR テスト機能があります。これらのテストは、入力マルチプレクサのテスト モードを使用して、結果データを外部処理することで実施されます。テスト オプションについては、[表 7-1](#) を参照してください。

7.4.9 フレーム同期データ ポート

フレーム同期データ ポートは変換データを出力します。このポートは、FSYNC および DCLK 出力クロック信号との同期読み取り専用インターフェイスであり、DOUTx ピンに対してプログラミング可能な数のデータ レーンを備えています。フレーム同期信号は、スタート/ストップ制御モードで停止している場合を除き、連続的に動作します。

フレーム同期ピンを、[図 7-30](#) に示します。フレーム同期ポートのピン 8 ~ 13 は、GPIO ピンと多重化されています。イネーブルのとき、GPIO 機能がフレーム同期ピンよりも優先されます。デフォルト動作は、GPIO は無効です。

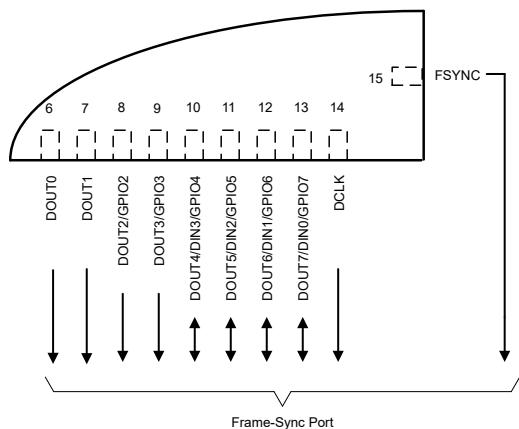


図 7-30. ADS117L18 フレーム同期ポート ピン

[図 7-31](#) に、FSYNC、DCLK、DOUTx の信号を示します。(これ以降、DIN および GPIO 機能はピン名から削除されます)。新しい変換データは、FSYNC の立ち上がりエッジで同期され、DCLK の立ち下がりエッジでデータ ビットが更新されます。データは、パケット間のブレークを伴わずに連続的にシフトアウトされます。図に示される依存フィールドは、時分割多重化とデイジー チェーン動作の入力ビットによって異なります。

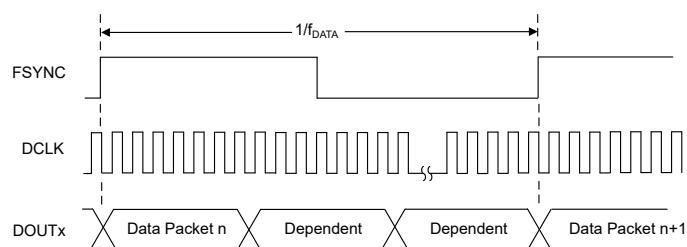


図 7-31. フレーム同期ポートの動作

7.4.9.1 データ パケット

データ ポートは、データ パケット形式で変換データを提供します。データ パケットは、STATUS_DP ヘッダ バイト、チャネル データ、CRC バイトで構成されます。STATUS_DP および CRC バイトはオプションであり、各チャネルの変換データに対応しています。図 7-32 には完全な長さの 4 バイトのデータ パケットを示しますが、16 ビットのデータのみで構成される 2 バイトのパケットに構成できます。パケットの STATUS_DP ヘッダーと CRC バイトは、DP_CFG1 レジスタのビット 7 とビット 6 によってイネーブルされます。



A. STATUS_DP および CRC バイトはオプションです。

図 7-32. データ パケット

7.4.9.2 データ形式

これらの ADC は、バイポーラとユニポーラの 2 つのデータ形式をサポートしており、各チャネルの CH_n_CFG1 レジスタの CH_n_FORMAT ビットでプログラム可能です。バイポーラ形式は、正および負の信号範囲を表し、データは 2 の補数形式で符号化され、MSB 符号ビットが先頭です。ユニポーラ形式は、正の信号範囲のみを表し、ストレート バイナリ形式でコード化されます。負の信号範囲のデータ値は 0 にクランプされます。正の範囲の信号について、16 ビットのフル分解能は、ユニポーラ形式で供給されます。表 7-11 に、データのスケーリングを示します。信号が最小/最大入力範囲を超えると、変換データは最小/最大コード値にクリッピングされます。

表 7-11. バイポーラのデータ形式 (CH_n_FORMAT = 0)

入力電圧、V _{IN} (V) ⁽¹⁾	出力データ ⁽²⁾	
	標準範囲	拡張範囲
1.25 · k · V _{REF} · (2 ¹⁵ - 1) / 2 ¹⁵	7FFFh	7FFFh
k · V _{REF} · (2 ¹⁵ - 1) / 2 ¹⁵		6666h
k · V _{REF} / 2 ¹⁵	0001h	0001h
0	0000h	0000h
-k · V _{REF} / 2 ¹⁵	FFFFh	FFFFh
-k · V _{REF}	8000h	999Ah
-1.25 · k · V _{REF}		8000h

表 7-12. ユニポーラのデータ形式 (CH_n_FORMAT = 1)

入力電圧、V _{IN} (V) ⁽¹⁾	出力データ ⁽²⁾	
	標準範囲	拡張範囲
1.25 · k · V _{REF}	FFFFh	FFFFh
k · V _{REF}		CCCCh
k · V _{REF} / 2 ¹⁶	0001h	0001h
≤ 0	0000h	0000h

(1) 1x または 2x の入力範囲オプションに応じて、k = 1 または 2 になります。

(2) オフセット、ゲイン、直線性、ノイズ誤差を除く理想的な出力データ。

7.4.9.3 STATUS_DP ヘッダー バイト

STATUS_DP は、変換データの先頭に置かれるオプションのヘッダー バイトです。STATUS_DP は、データのチャネル番号とステータス インジケーターを示します。図 7-33 および表 7-13 に、フィールドの説明を示します。STATUS_DP ヘッダーは、DP_CFG1 レジスタの DP_STAT_EN ビットをセットするとイネーブルされます。

図 7-33. STATUS_DP ヘッダー

7	6	5	4	3	2	1	0
---	---	---	---	---	---	---	---

図 7-33. STATUS_DP ヘッダー (続き)

PWR_FLAG	ERR_FLAG	MOD_FLAG	RPT_DATA	PWDN	CH_ID[2:0]
----------	----------	----------	----------	------	------------

表 7-13. STATUS_DP ヘッダーのフィールドの説明

ビット	フィールド	説明
7	PWR_FLAG	パワー フラグ。 このフラグは、デバイスの電源オンを示す SPI ステータス レジスタの ALV_FLAG と POR_FLAG の論理和です。必要に応じて、ALV_FLAG と POR_FLAG をクリアして、PWR_FLAG をクリアします。デバイスの動作には、PWR_FLAG のクリアは必要ありません。ハードウェア プログラミング モードでは、このビットは常に 0b になります。 0b = フラグから電源イベントが最後にクリアされていない 1b = 電源イベント
6	ERR_FLAG	エラーフラグ。 このビットは、ERROR ピン出力の反転です。ハードウェア プログラミング モードでは、このビットは常に 0b になります。詳細については、「 エラー ピン 」セクションを参照してください。 0b = エラーなし 1b = エラー
5	MOD_FLAG	変調器飽和フラグ。 このビットは、変換サイクル中の変調器飽和を示します。各変換が完了するとフラグが更新されます。 0b = 変調器の飽和なし 1b = 変調器が飽和した
4	RPT_DATA	繰り返しデータ フラグ。 このビットは、データが新規であるか、反復されるかを示します。繰り返しデータが発生するのは、チャネル間のデータレートが異なるためです。低速のチャネルでは、より高速なチャネルの更新の間で元のデータが繰り返されます。反復データは、DP_CFG1 レジスタの DP_DAISY ビットによってプログラムされる反復データ モードによっても発生します。ハードウェア プログラミング モードでは、このビットは常に 0b になります。 0b = データは新しい 1b = データは繰り返される
3	PWDN	パワーダウン フラグ このビットは、電源オフまたはスタンバイ モードを示します。 0b = チャネルはパワーダウン モードまたはスタンバイ モード 1b = 通常動作
2:0	CH_ID[2:0]	チャネル識別番号。 これらのビットは、データに対応するチャネル番号を示します。 000b = チャネル 001b = チャネル 1 010b = チャネル 2 011b = チャネル 3 100b = チャネル 4 (ADS117L18 のみ) 101b = チャネル 5 (ADS117L18 のみ) 110b = チャネル 6 (ADS117L18 のみ) 111b = チャネル 7 (ADS117L18 のみ)

7.4.9.4 FSYNC ピン

FSYNC ピンは、フレーム同期ポートのワード クロック信号です。FSYNC が high に遷移し、新しいチャネル データの開始を示します。FSYNC クロック周波数は f_{DATA} です。チャネルが異なるデータ レートにプログラムされている場合、FSYNC 周波数が最高速のデータ チャネルです。

7.4.9.5 DCLK ピン

DCLK ピンは、DOUTx ピンから変換データをシフトアウトするフレーム同期ポート ビットクロック出力信号です。データは DCLK の立ち下がりエッジで更新され、DCLK の立ち上がりエッジで読み取られます。

DCLK 周波数は、プログラミング可能な分周器によりクロック入力信号から得られます。CLK および DCLK の分周器の詳細については、「[クロック動作](#)」セクションを参照してください。1 回の変換期間でデータを送信するには、DCLK 信号の周波

数で十分である必要があります。そうしないと、データは失われます。式 20 に、8 チャネルの ADS117L18 の最小 DCLK 周波数の計算方法を示します。

$$f_{DCLK} \geq f_{DATA} \cdot TDM \text{ ratio} \cdot \text{Data Packet Size} \quad (20)$$

ここで

- f_{DATA} = データレート (Hz)。
- TDM 比率 = 1:8 つのデータレーン、2:4 つのデータレーン、4:2 つのデータレーン、8:1 つデータレーン。
- データパケット = チャネルデータパケットのビット数 (16, 24、または 32 ビット)。

$f_{DATA} = 200\text{kSPS}$ 、TDM 比率 = 2 (4 つのデータレーン)、32 ビットのデータパケットで動作する 8 チャネルの ADS117L18 の例として、最小 DCLK 周波数 = $200\text{kHz} \cdot 2 \cdot 32 = 12.8\text{MHz}$ です。DCLK は必要な最小値よりも大きくすることができます。この場合、データパケットビットの後に発生する追加ビットは無視されます。4 チャネルの ADS117L14 の場合、 f_{DCLK} 式の TDM 比 (データレーン数に対応) を 2 で除算します。デバイスをデイジタルチェーンモードで動作させる場合、 f_{DCLK} の式の TDM 比に、チェーン内のデバイス数を乗算します。

表 7-14 に、ADS117L18 の CLK および DCLK 周波数の追加例を示します。CLK および DCLK 分周器を使用して、速度モード、データレート、TDM 比、パケットサイズに基づいて、必要な ADC および DCLK クロック周波数を提供します。

表 7-14. 8 チャネル ADS117L18 の DCLK 周波数の例

速度モード	データレート (kSPS)	TDM 比	パケットサイズ	最小 DCLK (MHz)	CLKIN 入力 (MHz)	CLK デバイダ ⁽¹⁾	ADC クロック (MHz)	DCLK デバイダ ⁽¹⁾	DCLK 実際の値 (MHz)
最大値	1365.3	2	24	65.536	65.536	2	32.768	1	65.536
最大値	512	1	24	12.288	32.768	1	32.768	2	16.384
最大値	512	4	24	49.152	65.536	2	32.768	1	65.536
High	400	4	24	38.4	51.2	2	25.6	1	51.2
中速度	200	4	32	25.6	25.6	2	12.8	1	25.6
中速度	200	1	32	6.4	12.8	1	12.8	1	12.8
Low	50	8	32	12.8	12.8	4	3.2	1	12.8

(1) デイジタルチェーン動作では、CLK および DCLK 分周器を 1 分周方法にプログラムする必要があります。

7.4.9.6 DOUTx ピン

DOUTx は、フレーム同期ポートのデータ出力ピンです。出力データは DCLK の立ち下がりエッジで更新され、ホストによって立ち上がりエッジでラッチされます。チャネルデータを供給する DOUTx ピンの数は、DP_CFG1 レジスタの DP_TDM[1:0] ビットによってプログラムされます。非アクティブな DOUTx ピンは、GPIO として、または別のデバイスからデータを入力するためのデイジタルチェーン入力ピン (DIN) としても利用できます。

7.4.9.7 DINx ピン

DINx ピンは、デイジタルチェーン動作のため別のデバイスからデータを受信するフレーム同期ポートのデジタル入力です。DOUTx ピンの数 (またはデータレーン) は、DP_CFG1 レジスタの DP_TDM[1:0] ビットによりプログラムされます。DP_TDM[1:0] プログラミングのレベルに応じて、未使用的 DOUTx ピンは自動的に DINx 入力ピンに状態を変化させます。例外は、出力として維持される DOUT1 ピンです。デイジタルチェーンモードを使用しない場合は、DINx ピンをグランドに接続するか、プルダウン抵抗を使用します。DINx ピンをフローティングにしないでください。

7.4.9.8 時分割多重化

時分割多重化 (TDM) モードでは、チャネルデータをデータレーン内にシリアル化します。データレーン数は、ADS117L18 では 1, 2, 4, 8、ADS117L14 では 1, 2、または 4 にプログラム可能です。データレーン数がチャネル数よりも少ない場合、デバイスはデータを TDM モードでパックします。DP_CFG1 レジスタの DP_TDM[1:0] ビットは、データレーンの数をプログラムします。

データレーンの一般的な特性を以下に示します。

- データレーン数が 8 未満 (ADS117L18) または 4 未満 (ADS117L14) の場合、未使用の DOUT ピンはデータ入力になります。デイジーチェーン接続をサポートします。例外は DOUT1 で、これは駆動された出力のままであります。
- DINx ピンの番号は、デイジーチェーンの DOUTx ピンの番号と相關しています。データ入力は、low に接続するか（または必要に応じて high に接続する）、デイジーチェーンデバイスで駆動する必要があります。
- チャネルの電源がオフのとき、データスロットは固定されたデータで同じ位置を占有します。STATUS バイトのチャネル ID ビットはアクティブのままであります。
- チャネルがオフのとき、データレーンの DOUTx ピンは出力として維持されます。

図 7-34 に、ADS117L18 のデータレーンオプション 1 つを示します。DOUT7 を経由した DOUT2 は未使用の入力になります。フローティングにすることはできません。DIN0 ピンにデイジーチェーンデータを適用します。使わない場合、ピンをグランドに接続します。

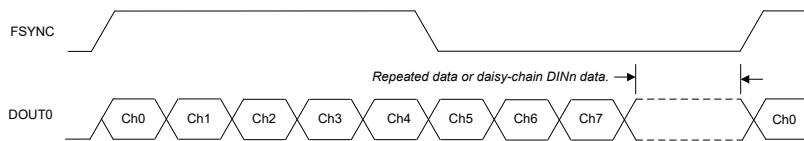


図 7-34. DP_TDM[1:0] = 00b、1 つのデータ レーン (ADS117L18)

図 7-35 に、ADS117L18 の 2 つのデータレーンオプションと、ADS117L14 の 1 つのデータレーンオプションを示します。DOUT7 (ADS117L18) および DOUT2, DOUT3 (ADS117L14) により DOUT2 は未使用入力になります。フローティングにできません。DIN0 ピン (ADS117L14) と DIN0, DIN1 (ADS117L18) にデイジーチェーンデータを適用します。ピンを使用しない場合は、グランドに接続してください。

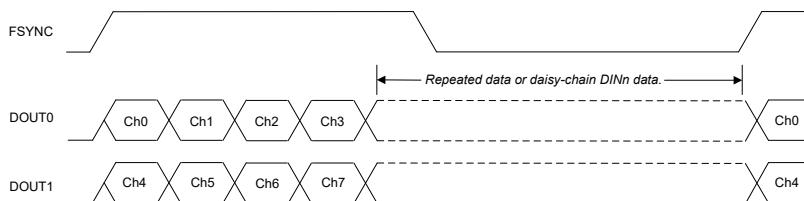


図 7-35. DP_TDM[1:0] = 01b、2 つのデータ レーン (ADS117L18) または 1 つのデータ レーン (ADS117L14)

図 7-36 に、ADS117L18 の 4 つのデータレーンオプションと、ADS117L14 の 2 つのデータレーンオプションを示します。DOUT4 ~ DOUT7 (ADS117L18) は未使用の入力になります。フローティングにできない入力をフローティングにしてください。DIN0, DIN1 (ADS117L14) および DIN0 ~ DIN3 (ADS117L18) にデイジーチェーンデータを適用します。使用しない場合は、グランドに接続します。

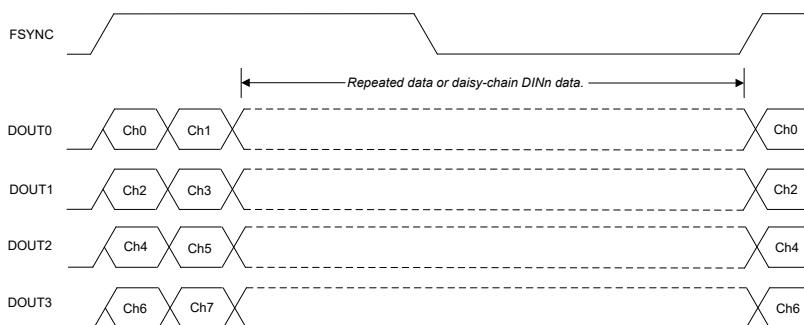


図 7-36. DP_TDM[1:0] = 10b、4 データ レーン (ADS117L18) または 2 データ レーン (ADS117L14)

図 7-37 に、ADS117L18 の 8 つのデータレーンオプションと、ADS117L14 の 4 つのデータレーンオプションを示します。DOUT4 から DOUT7 までは ADS117L14 では利用できません。このモードでは、デイジーチェーン接続はできません。

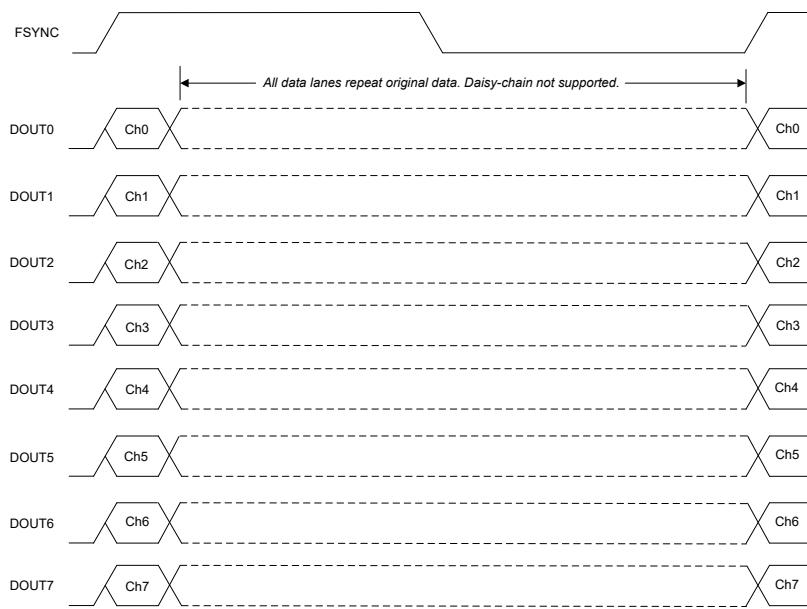


図 7-37. DP_TDM[1:0] = 11b、8 データ レーン (ADS117L18) または 4 データ レーン (ADS117L14)

7.4.9.9 デイジーチェーン

複数のデバイスを使用する場合にデータレーンの数を減らすため、デバイスはフレーム同期ポートのデイジーチェーン接続に対応しています。デイジーチェーン接続の場合、**DOUTx** ピンを以下のデバイスの **DINx** ピンに接続します。以下のデバイスで表示されるデータ **DINx** ピンはシフトインされ、**DOUTx** のデータに追加されます。**DP_CFG1** レジスタの **DP_DAIKY** ビットは、デイジーチェーン接続のためデータを受信するために **DINx** ピンをプログラムします。ディセーブルなら、デイジーチェーン入力データは無視され、各デバイスの元のデータが繰り返されます。

OSR とパケットサイズを考慮して、変換期間内にすべてのデータが出力されるので、デイジーチェーン接続されたデバイスの数に制限はありません。そうしないと、データが失われます。**DCL** の詳細については、「**DCLK ピン**」セクションを参照してください。

デイジーチェーン動作のデバイスの一般的な要件は次のとおりです。

- ADC クロックと **DCLK** の周波数は同じです。
- DCLK_DIV[1:0]** および **CLK_DIV[2:0]** は 1 分周値にプログラムされます。
- 外部クロック動作:
- DP_TDM[1:0]** (TDM モード) は、チェーン内のすべてのデバイスについて同じにプログラムされます。
- デバイスが同期されます。

図 7-38 に、16 のデータチャネルに 1 つのデータレーンを使用する 2 つの ADS117L18 デバイスのデイジーチェーン接続を示します (**DP_TDM[1:0] = 00b**)。この TDM モードでは、**DOUT[7:4]** ピンはデフォルトで **DIN[3:0]** データ入力になります。**DOUT2** と **DOUT3** も入力は使用されないため、外部プルダウン抵抗を使用して入力がフローティングにならないようにします。**DOUT1** は未接続の出力です。データ周期内にシフトアウトする必要があるデータ量のため、32 ビットのデータパケットで動作するための **OSR** の最小値は 256 です。

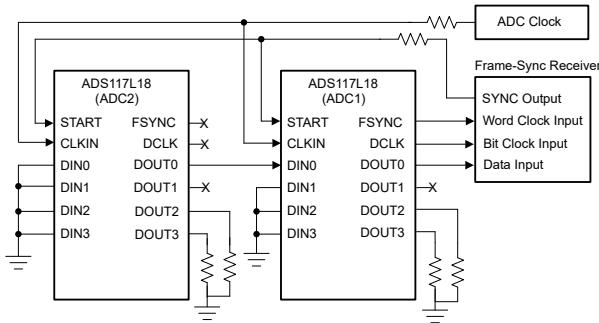


図 7-38. 1 レーンのデイジーチェーン

図 7-39 に、1 つのデータレーン接続のデータフォーマットを示します。

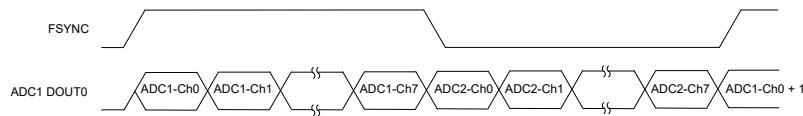


図 7-39. 1 レーンのデイジーチェーンデータ

図 7-40 に、16 のデータチャネルに対応する 4 つのデータレーンを使用する 2 つの ADS117L18 デバイスのデイジーチェーン接続を示します (DP_TDM[1:0] = 10b)。別の方は、2 つのデータレーンモードでデバイスを並列動作させ、同じデータレーン数が得られますが、データ形式は異なります。

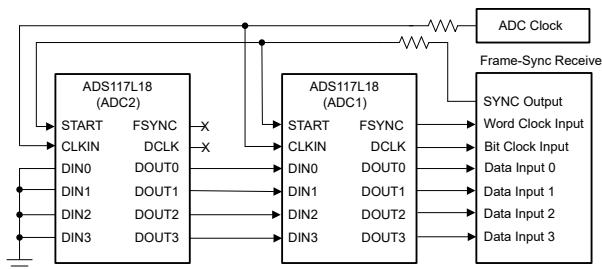


図 7-40. 4 レーンのデイジーチェーン

図 7-41 に、4 つのデータレーン接続のデータフォーマットを示します。

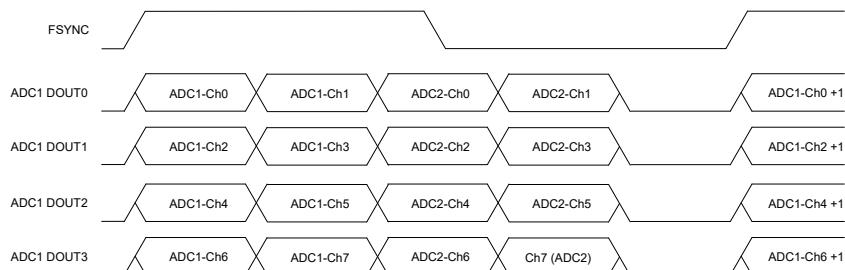


図 7-41. 4 レーンのデイジーチェーンデータ

7.4.9.10 DOUT_x のタイミング

DOUT_x ピンのタイミングはプログラミング可能であるため、外部要件を満たすことができます。図 7-42 に示すように、DOUT_x は FSYNC および DCLK 信号に対して ±6ns の範囲で遅延または進行し、約ビットの重みは 0.3ns です。FSYNC 信号と DCLK 信号の間のタイミングは固定されています。DP_CFG2 レジスタの DOUT_DLY[4:0] ビットは、DOUT_x タイミングをプログラムします。

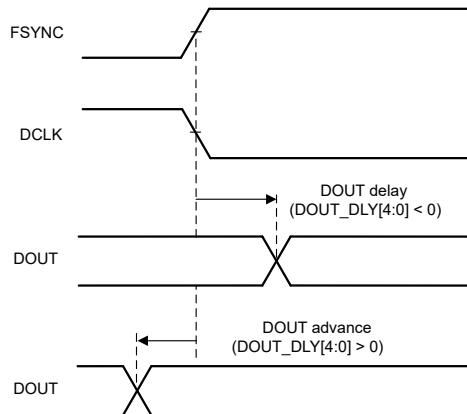


図 7-42. DOUT タイミング調整

7.5 プログラミング

このデバイスには、フレーム同期と SPI の 2 つのインターフェイスがあります。フレーム同期インターフェイスは変換データを、SPIインターフェイスはデバイスの構成に使用します。このデバイスは、SPI プログラミングを置き換えるために、ハードウェア デバイスピンによってもプログラムされます。MODE ピンは、ハードウェア プログラミング モードまたは SPI プログラミング モードのいずれかを選択します。MODE ピンは、電源投入時およびリセット後に読み取られ、プログラミング モードを決定します。詳細については、「[ハードウェア プログラミング](#)」セクションを参照してください。SPI プログラミングの詳細については、「[SPI のプログラミング](#)」セクションを参照してください。

7.5.1 ハードウェア プログラミング

ハードウェア プログラミング モードでは、ピンを IOVDD、DGND、またはフローティングにストラップすることでデバイスをプログラムします。また、コントローラ I/O に接続して ADC 構成を必要に応じて変更することもできます。ハードウェア プログラミングは、MODE ピンをフローティングまたは接地することで選択できます。この場合、SPI プログラミングは無効になります。[図 7-43](#) と [表 7-15](#) に、ハードウェア ピンとピンの機能を示します。ハードウェア モードでは、すべてのデバイスオプションを利用できるとは限りません。[SPI のプログラミング](#)の詳細については、[SPI のプログラミング](#)セクションを参照してください。

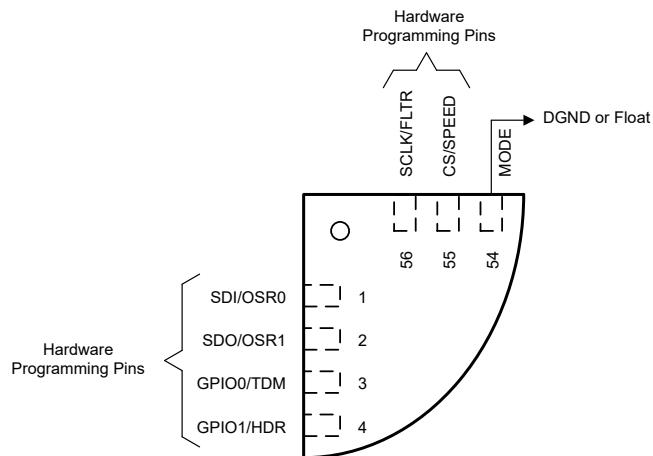


図 7-43. ハードウェア プログラミング モード

表 7-15. ハードウェア プログラミング ピン

ピン	番号	説明	STATE ⁽¹⁾	機能		
モード	54	SPI またはハードウェア プログラミング モード	0	ハードウェア プログラミング、すべてのバッファがオン		
			1	SPI プログラミング		
			F	ハードウェア プログラミング、すべてのバッファがオフ		
CS/速度	55	速度モード	0	低速度モード		
			1	最高速度モード		
			F	中速度モード		
SCLK/FLTR	56	フィルタ タイプ	0	広帯域フィルタ		
			1	低レイテンシ sinc4 フィルタ		
			F	低レイテンシ sinc4 + sinc1 フィルタ		
SDO/OSR1 SDI/OSR0	2.1	フィルタ OSR	OSR1/ OSR0	広帯域フィルタ	SINC4 フィルタ	SINC4 + SINC1 フィルタ
			00	32	12	64
			01	64	16	128
			0F	128	24	320
			10	256	32	640
			11	512	64	1280
			1F	1024	128	3200
			F0	2048	256	6400
			F1	4096	1024	12800
			FF	4096	4096	32000
GPIO0/TDM	3	データ ポート TDM	0	TDM なし、4 つまたは 8 つのデータレーン (すべての DOUTx ピンを使用)		
			1	ADS117L18:1 つのデータレーン (DOUT0 ピン)		
			F	ADS117L14:1 つのデータレーン (DOUT0 ピン)) ADS117L18:2 つのデータレーン (DOUT0 および DOUT1 ピン)		
GPIO1/HDR	4	データ ポートのヘッダー	0	16 データビット (専用)		
			1	ステータス ヘッダー バイト + 16 データビット		
			F	ステータス ヘッダー バイト + 16 データビット + CRC バイト		

1. F = フローティング状態。

デバイスは、電源投入時とデバイスのリセット時に、弱いドライバ ($Z_{OUT} = 25\text{k}\Omega$) 経由でパルスを印加することでピンを読み取ります。電源投入またはリセットの前に、ピン レベルが確立されていることを確認してください。フローティング状態が検出されると、デバイスはピンを low に駆動して、通常動作時にピンがフローティングにならないようにします。ピンを読み取った後、次の電源投入またはリセットサイクルまで、ピンに対する変更は確認されません。

本デバイスはピンを読み取るためにパルスを印加するため、フローティング状態条件によって、外部ピンの容量と外部リード電流が制限されます。また、論理 1 および 0 の入力条件によって、最大プルアップ抵抗とプルダウン抵抗も制限されます。**図 7-44** に、各状態の電気制限を示します。適切なピン モードを検出するには、他のデバイスのフローティング入力を互いに接続しないでください。

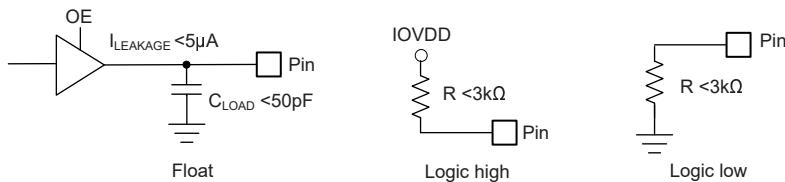


図 7-44. ハードウェア プログラミング ピンの条件

ハードウェア モードでは利用できないプログラミング オプションは、SPI レジスタのデフォルト値を想定しています。デフォルト値については、[レジスタ マップ](#)セクションを参照してください。[表 7-16](#) に、SPI デフォルトに対する例外を示します。

表 7-16. ハードウェア プログラミングのデフォルト

機能	ハードウェアモードのデフォルト
クロック モード	外部クロック
基準範囲	High のリファレンス範囲
VCM 出力	イネーブル

7.5.2 SPI のプログラミング

SPI プログラミングは、mode ピンを IOVDD に接続することで選択します。SPI モードでは、ハードウェア モードがディセーブルされ、SPI レジスタに書き込むことによってデバイスがプログラムされます。[図 7-45](#) に、SPI ピンを示します。

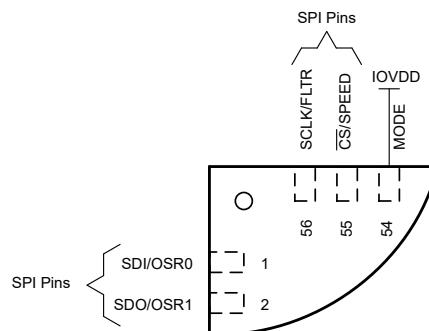


図 7-45. SPI ピン

SPI は次の 4 つの信号で構成されます。 \overline{CS} 、SCLK、SDI、SDO (ハードウェア ピンの機能はその後、ピン名から削除される)。インターフェイスはパッシブ モードで動作し、SCLK はホストによって駆動されるデバイスへの入力となります。このインターフェイスは、SPI モード 1 ($CPOL = 0$ および $CPHA = 1$) と互換性があります。SPI モード 1 では、SCLK はアイドル時に Low になり、SCLK の立ち上がりエッジでデータが更新され、SCLK の立ち下がりエッジでデータが読み取られます。このインターフェイスは全二重動作をサポートしているため、入力データと出力データを同時に送信します。

オプションの 8 ビット CRC 値は、ホストとデバイスの間のデータ転送を検証します。16 ビットの CRC レジスタ値は、初期レジスタデータがロードされた後に、レジスタ マップの変更を検出します。

7.5.2.1 チップ セレクト (\overline{CS})

\overline{CS} はアクティブ Low 入力で、SPI の通信をイネーブルします。通信は \overline{CS} を low にすると開始され、 \overline{CS} を high にすると終了します。 \overline{CS} を high にすると、入力データの最後の 16 ビット (CRC モードでは 24 ビット) を解釈して通信を終了します。デバイスは、シフトインされたビット数にかかわらず、最後のビットを解釈します。 \overline{CS} が high のとき、SPI インターフェイスはリセットされ、コマンドがブロックされて、SDO ピンは高インピーダンス状態になります。

7.5.2.2 シリアル クロック (SCLK)

SCLK は、レジスタ データを ADC にシフトしたり、ADC からシフトしたりするシリアル クロック入力です。SCLK の立ち上がりエッジでの出力データ更新と入力データは、SCLK の立ち下がりエッジでラッチされます。SCLK はシュミットトリガ入力で、ノイズ耐性を高めるよう設計されています。SCLK はノイズ耐性がありますが、意図しない遷移を避けるため、可能な限りノイズがないようにしてください。SCLK 入力のリンギングとオーバーシュートを避けてください。多くの場合、SCLK ドライバに直列の終端抵抗を配置するとリンギングが低減します。

7.5.2.3 シリアル データ入力 (SDI)

SDI は、SPI のデータ入力です。デバイスにデータを入力するために使用されます。データは、SCLK の立ち下がりエッジでラッチされます。アクティブでないとき、アイドル SDI は High または Low です。

7.5.2.4 シリアルデータ出力 (SDO)

SDO は SPI データ出力です。ADC からの出力データは、SCLK の立ち上がりエッジで更新されます。 \overline{CS} が high のとき、SDO ピンはトライステートです。

7.5.3 SPI フレーム

SPI による通信は、フレームの概念に基づいています。フレームは \overline{CS} を Low にすると開始され、 \overline{CS} を High にすると終了します。 \overline{CS} がハイになると、デバイスはシフトインされたデータの量に関係なく、最後の 16 ビットまたは 24 ビットのデータ（構成によって異なります）を解釈します。

7.5.4 コマンド

デバイスの構成と制御のため、レジスタのデータの読み書きのため、コマンドが使用されます。コマンドは、2 バイト長（およびオプションの CRC バイト）です。レジスタ マップは、8 ビットレジスタのシリーズで、読み取りおよび書き込み操作でアクセスでき、一度に 1 つずつレジスタにアクセスできます。SPI CRC がイネーブルの場合、デバイスは CRC バイトの前にある 2 バイトの CRC 入力値を計算して、コマンドを検証します。表 7-17 はコマンドフォーマットを示します。

表 7-17. コマンド

コマンド	BYTE1	BYTE2	BYTE 3 (オプションの CRC モード)
読み取りレジスタ	00h + レジスタ アドレス[6:0]	未使用	バイト 1 とバイト 2 の CRC
書き込みレジスタ	80h + レジスタ アドレス[6:0]	レジスタ データ	バイト 1 とバイト 2 の CRC

ADC を直接リセットする特殊な入力ビットパターンがあります。詳細については、[SPI の入力パターンによるリセットセクション](#)を参照してください。

STATUS および CRC オプションに対応する読み出しおよび書き込みコマンドの入力および出力バイト シーケンスを、表 7-18 に示します。STATUS および CRC は、[GEN_CFG3](#) レジスタのそれぞれのビットを設定することによって有効になります。CRC がイネーブルかどうかに応じて、通信フレームのサイズは 2 または 3 バイトです。

表 7-18. SPI フレーム サイズ

フレーム サイズ	STATUS	CRC	入力バイト シーケンス	出力バイト シーケンス ⁽¹⁾
2 バイト	なし	なし	書き込みコマンド:コマンド + データ	書き込みコマンド:エコー + 0 読み取りコマンド:データ + 0
	あり	なし	読み取りコマンド:コマンド + 0	書き込みコマンド:エコー + ステータス 読み取りコマンド:データ + ステータス
3 バイト	なし	あり	書き込みコマンド:コマンド + データ + CRC	書き込みコマンド:エコー + 0 + CRC 読み取りコマンド:データ + 0 + CRC
	あり	あり	読み取りコマンド:コマンド + 0 + CRC	書き込みコマンド:エコー + ステータス + CRC 読み取りコマンド:データ + ステータス + CRC

(1) エコーは、次のフレームにエコーされる書き込みコマンドの前のフレーム レジスタ データ バイトです

7.5.4.1 レジスタ書き込みコマンド

レジスタ書き込みコマンドは、レジスタのデータを書き込みます。レジスタ書き込みの動作は、1 つのフレームで実行されます。コマンドの最初のバイトは、7 ビットのレジスタ アドレスに追加されたベース値（80h）です。コマンドの 2 番目のバイトはレジスタのデータです。範囲外のアドレスが発生したときにアドレス検証がイネーブルになると、書き込み動作が拒否され、STATUS バイトの ADDR_ERR フラグがセットされます。レジスタのデータ形式は、MSB が最初です。

図 7-46 に、STATUS および CRC がディセーブルの場合にレジスタ データを書き込み、2 バイトのコマンド動作を実現する例を示します。前の動作がレジスタ書き込みコマンドであった場合、最初の出力バイトは前に書き込まれたレジスタ データのエコーです。それ以外の場合、最初の出力バイトは、レジスタ読み取り動作からのレジスタ データです。

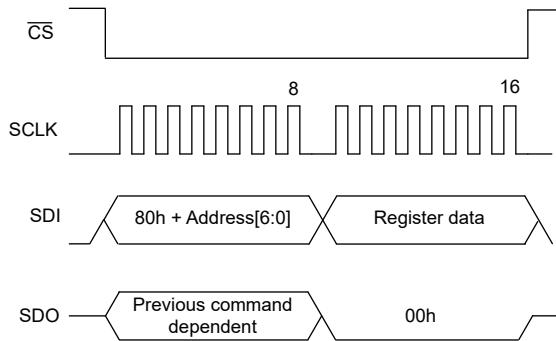


図 7-46. レジスタ データの書き込み (STATUS および CRC 無効)

STATUS と CRC がイネーブルのレジスタ書き込み動作の例を、図 7-47 に示します。CRC がイネーブルであるため、フレーム長は 3 バイト長です。前の動作がレジスタ書き込みコマンドであった場合、最初の出力バイトは前に書き込まれたレジスタ データのエコーです。前のフレームで CRC または範囲外アドレス エラーが発生した場合、書き込み動作は拒否されます。その後、エコー バイトが反転され、STATUS バイトの SPI_FLAG ビットがセットされます。1b を書き込んでクリアすることで SPI_FLAG がリセットされるまで、それ以後のレジスタ書き込み動作はブロックされます。前の動作がレジスタ 読み取りである場合、最初の出力バイトはレジスタのデータです。

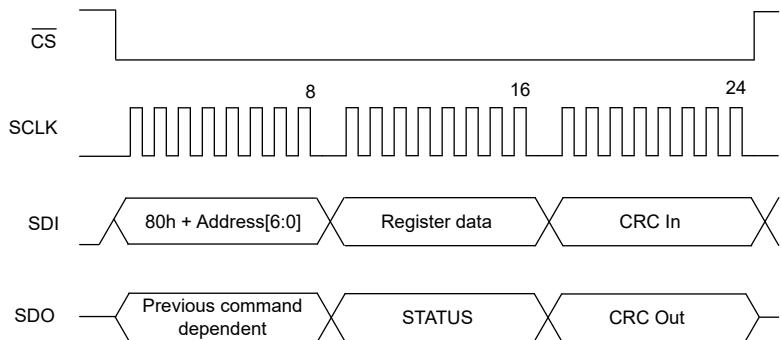


図 7-47. レジスタ データの書き込み (STATUS および CRC がイネーブル)

7.5.4.2 レジスタ読み取りコマンド

レジスタ読み取りコマンドは、レジスタのデータを読み取ります。このコマンドはオフフレーム プロトコルに従い、読み取りコマンドが 1 つのフレームで送信され、ADC は応答として、次のフレームでレジスタのデータを送信します。コマンドの最初のバイトは 00h と 7 ビットのレジスタ アドレスです。2 番目のバイトは使用されません。有効な範囲外のレジスタ アドレスに対する応答は 00h です。SPI アドレス範囲検証がイネーブルの場合、STATUS バイトの ADDR_ERR フラグが設定されます。レジスタのデータ形式は、MSB が最初です。現在のレジスタのデータを読み取るときに次のコマンドをシフトして、全二重動作が可能です。

STATUS バイトと CRC バイトがディセーブルのときにレジスタ データを読み取る例を、図 7-48 に示します。フレーム 1 はコマンドフレーム、フレーム 2 はデータ応答フレームです。 \overline{CS} を High にすると、フレームは分割されます。この例では、CRC がディセーブルなため、応答フレームの長さは 2 バイト長です。オプションで、 \overline{CS} を high にすると、レジスタ データが読み取られた後で、応答フレームを短くサイクルします。無効なレジスタから読み出すと、レジスタ データは 0 を返します。

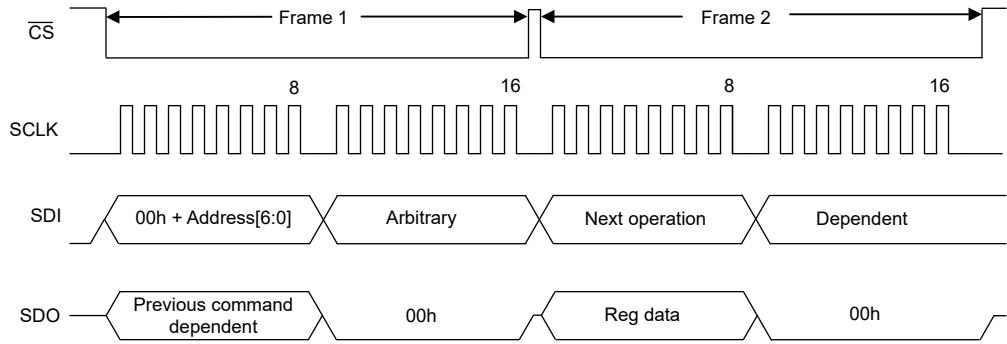


図 7-48. レジスタ データの読み取り (STATUS および CRC 無効)

STATUS と CRC がイネーブルのときにレジスタ データを読み取る例を、図 7-49 に示します。CRC がイネーブルであるため、フレーム長は 3 バイトです。2 番目のコマンド バイトの値は任意ですが、最初のコマンド バイトと組み合わせて CRC In 値を決定するために使用されます。レジスタのデータ バイトとステータス バイトによって、CRC 出力値が決定されます。

レジスタ読み取りコマンド中に CRC エラーが発生すると、SPI_ERR フラグが STATUS にセットされます。レジスタ読み取りコマンド中に範囲外アドレスエラーが発生した場合、レジスタ応答データ (Reg DATA) は 0 で、ADDR_ERR フラグが設定されます。どちらの場合も、エラーフラグが設定されているかクリアされても、以後の読み取りが処理されます。

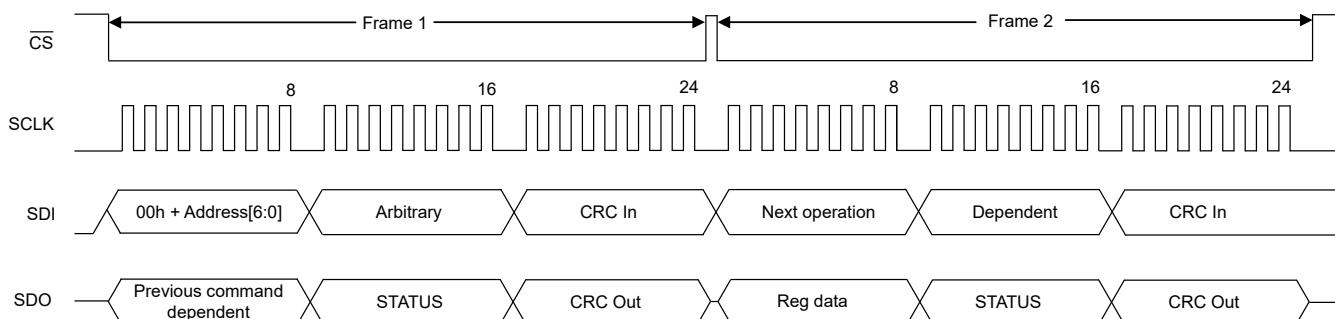


図 7-49. レジスタ データの読み取り (STATUS および CRC イネーブル)

7.5.5 SPI デイジー チェーン

SPI はデイジー チェーン接続に対応しており、複数のデバイスを接続できます。デイジー チェーン動作の場合、SDO ピンを以下のデバイスの SDI ピンに接続します。特別なプログラミングは必要ありません。単に追加のシフトクロックを適用して、チェーン内のすべてのデバイスにアクセスするためのフレーム長を延長します。データを入力するため、最初に、チェーン内の最後のデバイス向けのデータをシフトインします。デバイスは、CS を high にする前に、最後の 2 バイトまたは 3 バイトのデータを解釈します (CRC がイネーブルの場合は 3 バイト)。データは、チェーン内の最後のデバイスからシフトアウトされ、その後、チェーン内の最初のデバイスからのデータが送信されます。

図 7-50 に、2 つのデバイスのデイジー チェーン接続を示します。また、図 7-51 に各デバイスのレジスタ書き込みコマンドのデータ フォーマットを示します。コントローラのデータ出力ラインは、ADC (1) SDI および ADC (2) SDO に接続され、コントローラのデータ入力ラインに接続されます。ADC (1) の入力データは SDO 上でシフト アウトされ、ADC (2) の SDI を駆動します。シフト動作は、チェーン内の最後のデバイスに到達するまで続けられます。CS が high になると、SPI フレームは終了します。この時点で、各デバイスにシフトインされたデータが解釈されます。2 番目のフレームでは、ADC (2) SDO ピンを使用して両方のデバイスからレジスタ データがシフト アウトされます。

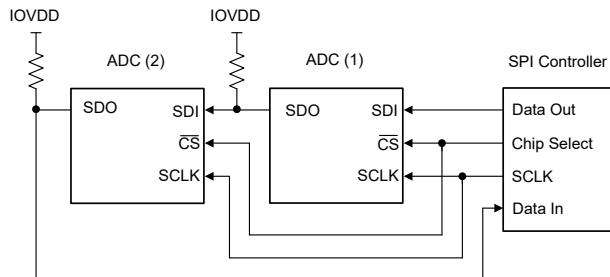


図 7-50. SPI デイジー チェーン

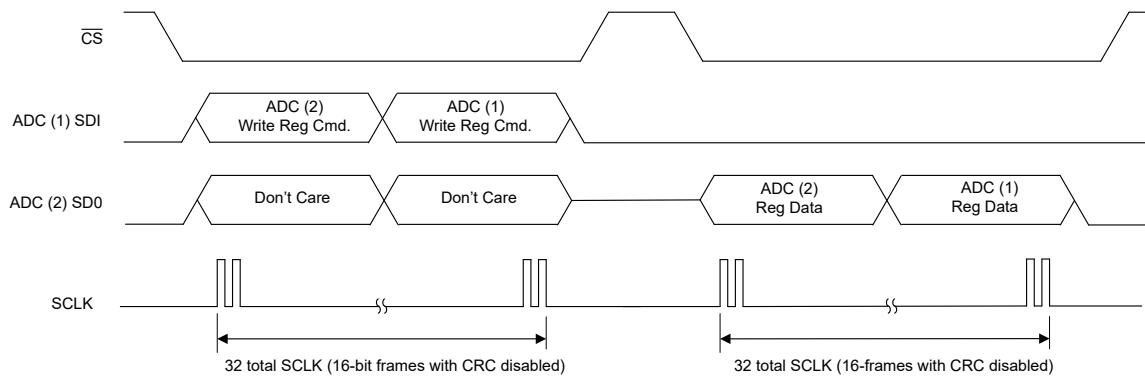


図 7-51. SPI デイジー チェーンレジスタの書き込みデータ形式

8 レジスタ マップ

表 8-1 ADS117L14 および ADS117L18 のレジスタ メモリ マップを示します。メモリ アドレス 02h ~ 10h は、すべてのデバイス チャネルに共通のプログラミングです。アドレス 11h ~ 30h は、デバイスのチャネル 0 ~ 3 に適用されます。アドレス 31h ~ 50h は、デバイスのチャネル 4 ~ 7 に適用されます。リストにないレジスタ アドレスは、書き込むことはできません。

表 8-1. レジスタ マップの概要

アドレス	登録	リセット	ビット 7	ビット 6	ビット 5	ビット 4	ビット 3	ビット 2	ビット 1	ビット 0
00h	DEV_ID	xxh					DEV_ID[7:0]			
01h	REV_ID	xxh					REV_ID[7:0]			
02h	STATUS	60h	予約済み	ALV_FLAG	POR_FLAG	SPI_ERR	REG_ERR	ADC_ERR	ADDR_ERR	SCLK_ERR
03h	CLK_CNT	00h					CLK_CNT[7:0]			
04h	GPIO_RD	00h					GPIO_RD[7:0]			
05h	CRC_MSB	00h					CRC_MSB[7:0]			
06h	CRC_LSB	00h					CRC_LSB[7:0]			
07h	CONTROL	00h			RESET[5:0]			START		ストップ
08h	GEN_CFG1	00h	予約済み		DELAY[2:0]		VCM	REFP_BUF		REF_RNG
09h	GEN_CFG2	04h	予約済み		START_MODE[1:0]		SPEED_MODE[1:0]			STBY_MODE
0Ah	GEN_CFG3	C0h	OUT_DRV	予約済み	CLK_CNT_EN	SPI_STAT_EN	SPI_ADDR_EN	SCLK_CNT_EN	SPI_CRC_EN	REG_CRC_EN
0Bh	DP_CFG1	20h	DP_CRC_EN	DP_STAT_EN	DP_TDM[1:0]		予約済み	DP_DAISY		予約済み
0Ch	DP_CFG2	00h	予約済み	DCLK_DIV[1:0]			DOUT_DLY[4:0]			
0Dh	CLK_CFG	00h		予約済み		CLK_SEL		CLK_DIV[2:0]		
0Eh	GPIO_WR	00h			GPIO_WR[7:0]					
0Fh	GPIO_DIR	00h			GPIO_DIR[7:0]					
10h	GPIO_EN	00h			GPIO_EN[7:0]					
11h	CH0_CFG1	00h	CH0_FORMAT	CH0_MUX[2:0]		CH0_INP_RNG	CH0_EX_RNG	CH0_BUFN	CH0_BUFP	
12h	CH0_CFG2	00h	予約済み	CH0_PWDN		CH0_FLTR[4:0]				
13h	CH0_OFS_MSB	00h			CH0_OFFSET_MSB[7:0]					
14h	CH0_OFS_MID	00h			CH0_OFFSET_MID[7:0]					
15h	CH0_OFS_LSB	00h			CH0_OFFSET_LSB[7:0]					
16h	CH0_GAN_MSB	40h			CH0_GAIN_MSB[7:0]					
17h	CH0_GAN_MID	00h			CH0_GAIN_MID[7:0]					
18h	CH0_GAN_LSB	00h			CH0_GAIN_LSB[7:0]					
19h	CH1_CFG1	00h	CH1_FORMAT	CH1_MUX[2:0]		CH1_INP_RNG	CH1_EX_RNG	CH1_BUFN	CH1_BUFP	
1Ah	CH1_CFG2	00h	予約済み	CH1_PWDN		CH1_FLTR[4:0]				
1Bh	CH1_OFS_MSB	00h			CH1_OFFSET_MSB[7:0]					
1Ch	CH1_OFS_MID	00h			CH1_OFFSET_MID[7:0]					
1Dh	CH1_OFS_LSB	00h			CH1_OFFSET_LSB[7:0]					
1Eh	CH1_GAN_MSB	40h			CH1_GAIN_MSB[7:0]					
1Fh	CH1_GAN_MID	00h			CH1_GAIN_MID[7:0]					
20h	CH1_GAN_LSB	00h			CH1_GAIN_LSB[7:0]					
21h	CH2_CFG1	00h	CH2_FORMAT	CH2_MUX[2:0]		CH2_INP_RNG	CH2_EX_RNG	CH2_BUFN	CH2_BUFP	
22h	CH2_CFG2	00h	予約済み	CH2_PWDN		CH2_FLTR[4:0]				
23h	CH2_OFS_MSB	00h			CH2_OFFSET_MSB[7:0]					
24h	CH2_OFS_MID	00h			CH2_OFFSET_MID[7:0]					
25h	CH2_OFS_LSB	00h			CH2_OFFSET_LSB[7:0]					
26h	CH2_GAN_MSB	40h			CH2_GAIN_MSB[7:0]					
27h	CH2_GAN_MID	00h			CH2_GAIN_MID[7:0]					
28h	CH2_GAN_LSB	00h			CH2_GAIN_LSB[7:0]					
29h	CH3_CFG1	00h	CH3_FORMAT	CH3_MUX[2:0]		CH3_INP_RNG	CH3_EX_RNG	CH3_BUFN	CH3_BUFP	
2Ah	CH3_CFG2	00h	予約済み	CH3_PWDN		CH3_FLTR[4:0]				
2Bh	CH3_OFS_MSB	00h			CH3_OFFSET_MSB[7:0]					
2Ch	CH3_OFS_MID	00h			CH3_OFFSET_MID[7:0]					
2Dh	CH3_OFS_LSB	00h			CH3_OFFSET_LSB[7:0]					
2Eh	CH3_GAN_MSB	40h			CH3_GAIN_MSB[7:0]					

表 8-1. レジスタ マップの概要 (続き)

アドレス	登録	リセット	ビット 7	ビット 6	ビット 5	ビット 4	ビット 3	ビット 2	ビット 1	ビット 0
2Fh	CH3_GAN_MID	00h				CH3_GAIN_MID[7:0]				
30h	CH3_GAN_LSB	00h				CH3_GAIN_LSB[7:0]				
31h	CH4_CFG1	00h	CH4_FORMAT		CH4_MUX[2:0]		CH4_INP_RNG	CH4_EX_RNG	CH4_BUFN	CH4_BUFP
32h	CH4_CFG2	00h	予約済み		CH4_PWDN			CH4_FLTR[4:0]		
33h	CH4_OFS_MSB	00h				CH4_OFFSET_MSB[7:0]				
34h	CH4_OFS_MID	00h				CH4_OFFSET_MID[7:0]				
35h	CH4_OFS_LSB	00h				CH4_OFFSET_LSB[7:0]				
36h	CH4_GAN_MSB	40h				CH4_GAIN_MSB[7:0]				
37h	CH4_GAN_MID	00h				CH4_GAIN_MID[7:0]				
38h	CH4_GAN_LSB	00h				CH4_GAIN_LSB[7:0]				
39h	CH5_CFG1	00h	CH5_FORMAT		CH5_MUX[2:0]		CH5_INP_RNG	CH5_EX_RNG	CH5_BUFN	CH5_BUFP
3Ah	CH5_CFG2	00h	予約済み		CH5_PWDN			CH5_FLTR[4:0]		
3Bh	CH5_OFS_MSB	00h				CH5_OFFSET_MSB[7:0]				
3Ch	CH5_OFS_MID	00h				CH5_OFFSET_MID[7:0]				
3Dh	CH5_OFS_LSB	00h				CH5_OFFSET_LSB[7:0]				
3Eh	CH5_GAN_MSB	40h				CH5_GAIN_MSB[7:0]				
3Fh	CH5_GAN_MID	00h				CH5_GAIN_MID[7:0]				
40h	CH5_GAN_LSB	00h				CH5_GAIN_LSB[7:0]				
41h	CH6_CFG1	00h	CH6_FORMAT		CH6_MUX[2:0]		CH6_INP_RNG	CH6_EX_RNG	CH6_BUFN	CH6_BUFP
42h	CH6_CFG2	00h	予約済み		CH6_PWDN			CH6_FLTR[4:0]		
43h	CH6_OFS_MSB	00h				CH6_OFFSET_MSB[7:0]				
44h	CH6_OFS_MID	00h				CH6_OFFSET_MID[7:0]				
45h	CH6_OFS_LSB	00h				CH6_OFFSET_LSB[7:0]				
46h	CH6_GAN_MSB	40h				CH6_GAIN_MSB[7:0]				
47h	CH6_GAN_MID	00h				CH6_GAIN_MID[7:0]				
48h	CH6_GAN_LSB	00h				CH6_GAIN_LSB[7:0]				
49h	CH7_CFG1	00h	CH7_FORMAT		CH7_MUX[2:0]		CH7_INP_RNG	CH7_EX_RNG	CH7_BUFN	CH7_BUFP
4Ah	CH7_CFG2	00h	予約済み		CH7_PWDN			CH7_FLTR[4:0]		
4Bh	CH7_OFS_MSB	00h				CH7_OFFSET_MSB[7:0]				
4Ch	CH7_OFS_MID	00h				CH7_OFFSET_MID[7:0]				
4Dh	CH7_OFS_LSB	00h				CH7_OFFSET_LSB[7:0]				
4Eh	CH7_GAN_MSB	40h				CH7_GAIN_MSB[7:0]				
4Fh	CH7_GAN_MID	00h				CH7_GAIN_MID[7:0]				
50h	CH7_GAN_LSB	00h				CH7_GAIN_LSB[7:0]				

表 8-2 に、このセクションのアクセス タイプ コードを示します。

表 8-2. レジスタ アクセス タイプ コード

アクセス タイプ	表記	説明
R	R	読み取り専用
W	W	書き込み専用
W1C	W1C	1 を書き込むことでクリア
R/W	R/W	読み出しありは書き込み

8.1 DEV_ID レジスタ (アドレス = 00h) [リセット = 04h または 06h]

表 8-3 に、DEV_ID を示します。

表 8-3. DEV_ID レジスタの説明

ビット	フィールド	タイプ	リセット	説明
7-0	DEV_ID[7:0]	R	00000xx0b	デバイス識別番号。 00000101b = ADS117L14 00000111b = ADS117L18

8.2 REV_ID レジスタ (アドレス = 01h) [リセット = xxh]

表 8-4 に、REV_ID を示します。

表 8-4. REV_ID レジスタの説明

ビット	フィールド	タイプ	リセット	説明
7-0	REV_ID[7:0]	R	xxxxxxxxxb	ダイのリビジョン番号。 ダイのリビジョン番号は、デバイスの製造中に事前の予告なく変更される可能性があります。

8.3 STATUS レジスタ (アドレス = 02h) [リセット = 60h]

図 8-1 に、STATUS を示し、表 8-5 に、その説明を示します。

図 8-1. STATUS レジスタ

7	6	5	4	3	2	1	0
予約済み	ALV_FLAG	POR_FLAG	SPI_ERR	REG_ERR	ADC_ERR	ADDR_ERR	SCLK_ERR
R-0b	R/W1C-1b	R/W1C-1b	R/W1C-0b	R/W1C-0b	R-0b	R/W1C-0b	R/W1C-0b

表 8-5. STATUS レジスタ フィールドの説明

ビット	フィールド	タイプ	リセット	説明
7	予約済み	R	0b	予約済み
6	ALV_FLAG	R/W1C	1b	アナログ電源低電圧フラグ。 このビットは、アナログ電源の低電圧状態を示します。1b を書き込むとフラグがリセットされ、次に低電圧状態が発生したことが検出されます。 0b = フラグが最後にクリアされたときからイベントなし 1b = アナログ電源低電圧が検出された
5	POR_FLAG	R/W1C	1b	パワーオンリセットフラグ。 このビットは、IOVDD 電源のパワーオンまたはブラウンアウトのとき、またはユーザー リセット動作によって、デバイスがリセットされたことを示します。1b を書き込むとフラグがリセットされ、次にデバイスリセットが発生したことが検出されます。 0b = フラグが最後にクリアされたときからリセットが起きていない 1b = リセットが起きた
4	SPI_ERR	R/W1C	0b	SPI の CRC エラー。 このビットは、SPI CRC エラーが検出されたことを示します。このレジスタを除くと、ビットがセットされているとき、レジスタへの書き込み動作がブロックされます。1b を書き込んでビットをクリアします。CRC 検証は、SPI_CRC_EN ビットによってイネーブルされます。 0b = エラーなし 1b = SPI CRC エラー

表 8-5. STATUS レジスタ フィールドの説明 (続き)

ビット	フィールド	タイプ	リセット	説明
3	REG_ERR	R/W1C	0b	レジスタマップの CRC エラー。 このビットは、レジスタマップの CRC エラーを示します。ユーザーは、両方のデバイスのアドレス 08h ~ 50h で計算された 16 ビット CRC 値を CRC_MSB および CRC LSB レジスタに書き込みます。CRC 値を修正してエラーをクリアし、1b を書き込んでビットをクリアします。レジスタマップの CRC 検証は、REG_CRC_EN レジスタビットによってイネーブルされます。 0b = エラーなし 1b = レジスタマップの CRC エラー
2	ADC_ERR	R	0b	ADC エラー。 このビットは、内部 ADC エラーを示します。デバイスをリセットするか、パワー サイクルを実行してエラーをクリアします。 0b = エラーなし 1b = ADC エラー
1	ADDR_ERR	R/W1C	0b	SPI レジスタ アドレス エラー。 このビットは、無効なレジスタ読み取りまたは書き込みアドレスを示します。両方のデバイスの有効なアドレス範囲は 00h ~ 50h です。エラーが設定されると、STATUS レジスタを除いて、レジスタ書き込み動作がブロックされます。1b を書き込んでエラーをクリアします。アドレス エラー チェックは、SPI_ADDR_EN = 1b を設定することで有効化されます。 0b = エラーなし 1b = レジスタ読み取り/書き込みアドレスが無効です
0	SCLK_ERR	R/W1C	0b	SPI SCLK カウント エラー。 このビットは、SCLK サイクル数が 8 の倍数ではなかったことを示します。STATUS レジスタを除き、フラグがセットされると、レジスタへの書き込み動作がブロックされます。1b を書き込んでエラーをクリアします。SCLK カウントのエラー チェックは、SCLK_CNT_EN = 1b を設定することでイネーブルされます。 0b = エラーなし 1b = SCLK クロック サイクル数は 8 の倍数ではない

8.4 CLK_CNT レジスタ (アドレス = 03h) [リセット = 00h]

表 8-6 に、CLK_CNT を示します。

表 8-6. CLK_CNT レジスタの説明

ビット	フィールド	タイプ	リセット	説明
7-0	CLK_CNT[7:0]	R	00000000b	クロック カウント値レジスタ。 このレジスタは、ADC クロックのカウンタです。このカウンタは、 $f_{CLK}/32$ のレートで CLK_DIV[2:0] 設定で除算したレートでインクリメントします。既知の間隔でレジスタを読み出して ADC クロック周波数を確認します。クロックの数は、CLK_CNT_EN レジスタビットでイネーブルされます。イネーブルにすると、カウンタ値は 00h にリセットされます。ディセーブル時、カウント値は 00h です。

8.5 GPIO_RD レジスタ (アドレス = 04h) [リセット = 00h]

図 8-2 に、GPIO_RD を示し、表 8-7 に、その説明を示します。

図 8-2. GPIO_RD レジスタ

7	6	5	4	3	2	1	0
GPIO_RD7	GPIO_RD6	GPIO_RD5	GPIO_RD4	GPIO_RD3	GPIO_RD2	GPIO_RD1	GPIO_RD0
R-0b							

表 8-7. GPIO_RD レジスタのフィールドの説明

ピット	フィールド	タイプ	リセット	説明
7-0	GPIO_RD[7:0]	R	00000000b	GPIO 読み取りデータレジスタ。 これらのビットは、GPIO の読み出し値です。GPIO が出力としてプログラムされている場合、返される値は GPIO ピンからです。

8.6 CRC_MSB、CRC_LSB レジスタ (アドレス = 05h、06h) [リセット = 00h]

表 8-8 に、CRC レジスタを示します。

表 8-8. CRC レジスタの説明

名称	アドレス	タイプ	リセット	説明
CRC_MSB	5h	R/W	00h	2 バイトレジスタ マップの CRC 値。
CRC_LSB	6h	R/W	00h	16 ビットの CRC 値を書き込みます。レジスタ範囲 08h ~ 50h で計算されます。レジスタ マップの CRC チェックは、REG_CRC_EN ビットによってイネーブルされます。CRC エラーは STATUS レジスタの REG_ERR ビットに報告されます。

8.7 CONTROL レジスタ (アドレス = 07h) [リセット = 00h]

図 8-3 に、CONTROL を示し、表 8-9 に、その説明を示します。

図 8-3. CONTROL レジスタ

7	6	5	4	3	2	1	0
RESET[5:0]						START	ストップ
R/W-000000b						R/W-0b	R/W-0b

表 8-9. CONTROL レジスタのフィールドの説明

ピット	フィールド	タイプ	リセット	説明
7-2	RESET[5:0]	R/W	000000b	ソフトウェアリセット。 ADC をリセットするには、010110b の値を書き込みます。同じ書き込み動作で、START ビットまたは STOP ビットも 0b になっていることを確認します。これらのビットは自動的にクリアされ、常に 000000b を読み取ります。
1	START	R/W	0b	変換を開始します。 1b を書き込んで、チャネル変換を開始します。このビットは、進行中の変換も再開します。STOP ビットに 1b が書き込まれるまで、変換が続行されます。このビットは、書き込まれると自動的にクリアされるため、読み出し値は常に 0b です。このビットは同期制御モードでは機能しません。 0b = 動作なし 1b = 変換を開始または再開

表 8-9. CONTROL レジスタのフィールドの説明 (続き)

ビット	フィールド	タイプ	リセット	説明
0	ストップ	R/W	0b	<p>変換を停止します。</p> <p>1b を書き込むことで、チャネル変換を停止します。このビットは、書き込まれると自動的にクリアされるため、読み出し値は常に 0b です。このビットは同期制御モードでは機能しません。</p> <p>0b = 動作なし</p> <p>1b = すべてのチャネルで変換を停止</p>

8.8 GEN_CFG1 レジスタ (アドレス = 08h) [リセット = 00h]

図 8-4 に、GEN_CFG1 を示し、表 8-10 に、その説明を示します。

図 8-4. GEN_CFG1 レジスタ

7	6	5	4	3	2	1
予約済み		DELAY[2:0]		VCM	REFP_BUF	REF_RNG
R-00b		R/W-000b		R/W-0b	R/W-0b	R/W-0b

表 8-10. GEN_CFG1 レジスタのフィールドの説明

ビット	フィールド	タイプ	リセット	説明
7-6	予約済み	R	00b	予約済み。
5-3	DELAY[2:0]	R/W	000b	<p>変換開始遅延時間の選択。</p> <p>START を high にした後(または START ビットを設定した後)、変換開始遅延時間を f_{MOD} サイクル数で選択します。</p> <p>000b = 0 001b = 4 010b = 8 011b = 16 100b = 32 101b = 128 110b = 512 111b = 1024</p>
2	VCM	R/W	0b	<p>同相電圧出力イネーブル。</p> <p>このビットは、VCM ピンの同相電圧出力をイネーブルします。VCM 出力電圧は $(AVDD1 + AVSS)/2$ に等しくなります。</p> <p>0b = ディセーブル 1b = イネーブル</p>
1	REFP_BUF	R/W	0b	<p>リファレンスの正のバッファイネーブル。</p> <p>このビットは、すべてのチャネルの REFP プリチャージバッファをイネーブルします。</p> <p>0b = ディセーブル 1b = イネーブル</p>
0	REF_RNG	R/W	0b	<p>電圧リファレンス範囲の選択。</p> <p>このビットは、リファレンス入力の low または high の電圧動作範囲を選択します。実際の基準電圧と一致するように範囲をプログラムします。</p> <p>0b = 低電圧のリファレンス範囲 1b = 高電圧のリファレンス範囲</p>

8.9 GEN_CFG2 レジスタ (アドレス = 09h) [リセット = 04h]

図 8-5 に、GEN_CFG2 を示し、表 8-11 に、その説明を示します。

図 8-5. GEN_CFG2 レジスタ

7	6	5	4	3	2	1	0
予約済み		START_MODE[1:0]		SPEED_MODE[1:0]		STBY_MODE	
R-000b		R/W-00b		R/W-10b		R/W-0b	

表 8-11. GEN_CFG2 レジスタのフィールドの説明

ビット	フィールド	タイプ	リセット	説明
7-5	予約済み	R	000b	予約済み
4-3	START_MODE[1:0]	R/W	00b	START モードの選択。 これらのビットは、START ピンの機能モードをプログラムします。詳細については、同期セクションを参照してください。 00b = スタート/ストップ制御モード 01b = 予約済み 10b = 同期制御モード 11b = 予約済み
2-1	SPEED_MODE[1:0]	R/W	10b	速度モードの選択。 これらのビットは、デバイスの速度モードをプログラムします。 00b=低速度モード ($f_{CLK} = 3.2MHz$) 01b=中速度モード ($f_{CLK} = 12.8MHz$) 10b=高速度モード ($f_{CLK} = 25.6MHz$) 11b=最高速度モード ($f_{CLK} = 32.768MHz$)
0	STBY_MODE	R/W	0b	スタンバイ モードの選択。 このビットは、変換が停止したときスタンバイ モードをイネーブルします。スタンバイ モードでは、アイドル モードに比べて消費電力を低減できます。 0b = アイドル モード、デバイスは完全に電源供給 1b = スタンバイ モード、チャネルのアナログ セクションはパワーダウン

8.10 GEN_CFG3 レジスタ (アドレス = 0Ah) [リセット = 80h]

図 8-6 に、GEN_CFG3 を示し、表 8-12 に、その説明を示します。

図 8-6. GEN_CFG3 レジスタ

7	6	5	4	3	2	1	0
OUT_DRV	予約済み	CLK_CNT_EN	SPI_STAT_EN	SPI_ADDR_EN	SCLK_CNT_EN	SPI_CRC_EN	REG_CRC_EN
R/W-1b	R-1b	R/W-0b	R/W-0b	R/W-0b	R/W-0b	R/W-0b	R/W-0b

表 8-12. GEN_CFG3 レジスタのフィールドの説明

ビット	フィールド	タイプ	リセット	説明
7	OUT_DRV	R/W	1b	デジタル出力ドライバの選択。 デジタル出力ドライバの強度を選択します。駆動強度が最大になると、出力信号のスルーレートが増加します。 0b = フルパワー ドライバ強度 1b = ハーフパワー ドライバ強度
6	予約済み	R	1b	予約済み
5	CLK_CNT_EN	R/W	0b	クロック カウンタのイネーブル。 このビットは、ADC クロック カウンタ レジスタをイネーブルします。 0b = ディセーブル 1b = イネーブル
4	SPI_STAT_EN	R/W	0b	SPI ステータス バイト出力イネーブル。 このビットは、SPI 出力のステータス レジスタの値をイネーブルにします。 0b = ディセーブル 1b = イネーブル
3	SPI_ADDR_EN	R/W	0b	SPI レジスタ アドレス イネーブル。 このビットは、SPI アドレス検証をイネーブルします。レジスタの読み出しまでは書き込みアドレスが無効な場合、STATUS レジスタの ADDR_ERR ビットがセットされます。 0b = ディセーブル 1b = イネーブル
2	SCLK_CNT_EN	R/W	0b	SCLK カウントがイネーブル。 このビットは、SPI SCLK カウント検証をイネーブルします。1 フレーム内の SCLK サイクル数が 8 の倍数でない場合、STATUS レジスタの SCLK_ERR ビットがセットされます。 0b = ディセーブル 1b = イネーブル
1	SPI_CRC_EN	R/W	0b	SPI CRC イネーブル。 このビットは、SPI CRC 出力バイトと入力データ CRC チェックをイネーブルします。入力 CRC にエラーがある場合、STATUS バイトの SPI_ERR ビットが設定されます。エラーをクリアするには、SPI_ERR ビットに 1b を書き込みます。 0b = ディセーブル 1b = イネーブル
0	REG_CRC_EN	R/W	0b	レジスタ マップの CRC イネーブル。 このビットは、レジスタ マップの CRC エラー検証をイネーブルします。CRC 値が正しくない場合、STATUS バイトの REG_ERR ビットが設定されます。 0b = ディセーブル 1b = イネーブル

8.11 DP_CFG1 レジスタ (アドレス = 0Bh) [リセット = 20h]

図 8-7 に、DP_CFG1 を示し、表 8-13 に、その説明を示します。

図 8-7. DP_CFG1 レジスタ

7	6	5	4	3	2	1	0
DP_CRC_EN	DP_STAT_EN	DP_TDM[1:0]		予約済み	DP_DAISY	予約済み	
R/W-0b	R/W-0b	R/W-10b		R-00b	R/W-0b	R-0b	

表 8-13. DP_CFG1 レジスタのフィールドの説明

ビット	フィールド	タイプ	リセット	説明
7	DP_CRC_EN	R/W	0b	データポート CRC バイトイネーブル。 このビットは、データポート CRC バイトをイネーブルします。CRC バイトは、チャネルデータの末尾に追加されます。 0b = ディセーブル 1b = イネーブル
6	DP_STAT_EN	R/W	0b	データポートのステータス バイトイネーブル。 このビットは、データポートのステータス バイトをイネーブルします。 STATUS バイトは、チャネルデータの先頭に接頭辞が付けられます。 0b = ディセーブル 1b = イネーブル
5-4	DP_TDM[1:0]	R/W	10b	データポートの時分割多重化 (TDM) 構成。 これらのビットはデータレーンの数を選択します。詳細については、 時分割多重化セクション を参照してください。 00b = 1 つのデータレーン 01b = 1 つのデータレーン (ADS117L14) / 2 つのデータレーン (ADS117L18) 10b = 2 つのデータレーン (ADS117L14) / 4 つのデータレーン (ADS117L18) 11b = 4 つのデータレーン (ADS117L14) / 8 つのデータレーン (ADS117L18)
3-2	予約済み	R	00b	予約済み。
1	DP_DAISY	R/W	0b	データポートディジー チェーン モード。 このビットは、ディジー チェーンまたは反復データモードを選択します。 0b = TDM データモード。DINx データはシフトインされ、元のチャネルデータに追加されます。 1b = 反復データモード。元のチャネルデータが繰り返され、DINx データは無視されます。
0	予約済み	R	0b	予約済み。

8.12 DP_CFG2 レジスタ (アドレス = 0Ch) [リセット = 00h]

図 8-8 に、DP_CFG2 を示し、表 8-14 に、その説明を示します。

図 8-8. DP_CFG2 レジスタ

7	6	5	4	3	2	1	0
予約済み	DCLK_DIV[1:0]	DOUT_DLY[4:0]					
R-0b	R/W-00b	R/W-00000b					

表 8-14. DP_CFG2 レジスタのフィールドの説明

ピット	フィールド	タイプ	リセット	説明
7	予約済み	R	0b	予約済み
6-5	DCLK_DIV[1:0]	R/W	00b	データポート DCLK 周波数分周器。 これらのビットはフレーム同期 DCLK 周波数を選択します。 00b = 10 で分周 01b = 2 で分周 10b = 4 で分周 11b = 8 で分周
4-0	DOUT_DLY[4:0]	R/W	00000b	データポート DOUTx 遅延。 これらのビットは、DCLK および FSYNC 信号に対する DOUTx 信号の遅延または前進を選択します。正の値は DOUTx 信号に進み、負の値は DOUTx 信号に遅延します。ビットの重みは約 0.3ns です。詳細については、「データポートオフセットタイミング」セクションを参照してください。

8.13 CLK_CFG レジスタ (アドレス = 0Dh) [リセット = 00h]

図 8-9 に、CLK_CFG を示し、表 8-15 に、その説明を示します。

図 8-9. CLK_CFG レジスタ

7	6	5	4	3	2	1	0
予約済み			CLK_SEL	CLK_DIV[2:0]			
R-0000b			R/W-0b	R/W-000b			

表 8-15. CLK_CFG レジスタのフィールドの説明

ピット	フィールド	タイプ	リセット	説明
7-4	予約済み	R	0000b	予約済み。
3	CLK_SEL	R/W	0b	ADC クロックの選択。 このビットは、内部発振器または外部クロック動作を選択します。 0b = 内部発振器 1b = 外部クロック
2-0	CLK_DIV[2:0]	R/W	000b	ADC のクロック分周器。 これらのビットは、外部クロックと内部発振器の両方のクロック信号分周器を選択します。 000b = 1 で分周 001b = 2 で分周 010b = 3 で分周 011b = 4 で分周 100b - 111b = 8 で分周

8.14 GPIO_WR レジスタ (アドレス = 0Eh) [リセット = 00h]

図 8-10 に、GPIO_WR を示し、表 8-16 に、その説明を示します。

図 8-10. GPIO_WR レジスタ

7	6	5	4	3	2	1	0
GPIO_WR7	GPIO_WR6	GPIO_WR5	GPIO_WR4	GPIO_WR3	GPIO_WR2	GPIO_WR1	GPIO_WR0
R/W-0b							

表 8-16. GPIO_WR レジスタのフィールドの説明

ピット	フィールド	タイプ	リセット	説明
7-0	GPIO_WR[7:0]	R/W	00000000b	GPIO 書き込みデータ。 このレジスタは、GPIO 書き込みデータレジスタです。GPIO ピンの方向を出力モードに設定して、値を書き込む。GPIO データを読み取るには、GPIO_RD レジスタを参照してください。 0b = GPIO ピンは low に駆動される 1b = GPIO ピンは high に駆動される

8.15 GPIO_DIR レジスタ (アドレス = 0Fh) [リセット = 00h]

図 8-11 に、GPIO_DIR を示し、表 8-17 に、その説明を示します。

図 8-11. GPIO_DIR レジスタ

7	6	5	4	3	2	1	0
GPIO_DIR7	GPIO_DIR6	GPIO_DIR5	GPIO_DIR4	GPIO_DIR3	GPIO_DIR2	GPIO_DIR1	GPIO_DIR0
R/W-0b							

表 8-17. GPIO_DIR レジスタのフィールドの説明

ピット	フィールド	タイプ	リセット	説明
7-0	GPIO_DIR[7:0]	R/W	00000000b	GPIO の方向。 このレジスタは、GPIO の方向を入力または出力としてプログラムします。 0b = GPIO ピンは出力 1b = GPIO ピンは入力

8.16 GPIO_EN レジスタ (アドレス = 10h) [リセット = 00h]

図 8-12 に、GPIO_EN を示し、表 8-18 に、その説明を示します。

図 8-12. GPIO_EN レジスタ

7	6	5	4	3	2	1	0
GPIO_EN7	GPIO_EN6	GPIO_EN5	GPIO_EN4	GPIO_EN3	GPIO_EN2	GPIO_EN1	GPIO_EN0
R/W-0b							

表 8-18. GPIO_EN レジスタのフィールドの説明

ピット	フィールド	タイプ	リセット	説明
7-0	GPIO_EN[7:0]	R/W	00000000b	GPIO イネーブル。 このレジスタにより、各ピンの GPIO 機能がイネーブルになります。イネーブルのとき、GPIO ピンの機能は他のピン機能よりも優先されます。 0b = GPIO ピンがディセーブル 1b = GPIO ピンがイネーブル

8.17 Chn_CFG1 レジスタ (アドレス = チャネル番号×08h + 11h) [リセット = 00h]

チャネル n 構成 1 のレジスタ アドレスを表 8-19 に示します。レジスタ ビット マップを図 8-13 に示し、説明を表 8-20 に示します。

表 8-19. CHn_CFG1 レジスタ アドレス

名称	説明	アドレス
CH0_CFG1	チャネル 0 構成 1	11h
CH1_CFG1	チャネル 1 構成 1	19h
CH2_CFG1	チャネル 2 構成 1	21h
CH3_CFG1	チャネル 3 構成 1	29h
CH4_CFG1	チャネル 4 構成 1	31h
CH5_CFG1	チャネル 5 構成 1	39h
CH6_CFG1	チャネル 6 構成 1	41h
CH7_CFG1	チャネル 7 構成 1	49h

図 8-13. CHn_CFG1 レジスタ

7	6	5	4	3	2	1	0
CHn_FORMAT	CHn_MUX[2:0]		CHn_INP_RNG	CHn_EX_RNG	CHn_BUFN	CHn_BUFP	
R/W-0b	R/W-000b		R/W-0b	R/W-0b	R/W-0b	R/W-0b	

表 8-20. CHn_CFG1 レジスタのフィールドの説明

ビット	フィールド	タイプ	リセット	説明
7	CHn_FORMAT	R/W	0b	データ形式。 このビットは、データ形式を選択します。 0b = 正および負の信号の 2 の補数形式 1b = 正の信号のみのストレート バイナリ形式
6-4	CHn_MUX[2:0]	R/W	000b	チャネル入力マルチプレクサの選択。 これらのビットは、信号入力または入力テスト モードのいずれかを選択します。詳細については、 アナログ入力 (AINP, AINN) セクションを参照してください。 000b = 通常入力極性 001b = 逆入力極性 010b = オフセットとノイズのテスト: 内部電源の中間電圧への短絡 011b = AINP への CMRR テスト 100b = AINN への CMRR テスト 101b = -FS テスト 110b = + FS テスト 111b = +FS テスト
3	CHn_INP_RNG	R/W	0b	チャネル入力範囲の選択。 このビットは、1x または 2x の入力範囲を選択します。詳細については、 「スケーリング」 セクションを参照してください。 0b = 1x の入力範囲 1b = 2x の入力範囲
2	CHn_EX_RNG	R/W	0b	チャネル拡張入力範囲の選択。 このビットは、入力範囲を 25% 拡張します。詳細については、「 スケーリング 」セクションを参照してください。 0b = ディセーブル 1b = イネーブル: FS 範囲は 25% 拡張されています
1	CHn_BUFN	R/W	0b	チャネル アナログ入力の負のバッファ イネーブル。 このビットは、チャネル AINN プリチャージ バッファをイネーブルします。 0b = ディセーブル 1b = イネーブル

表 8-20. CHn_CFG1 レジスタのフィールドの説明 (続き)

ビット	フィールド	タイプ	リセット	説明
0	CHn_BUFP	R/W	0b	チャネル アナログ入力の正のバッファイネーブル。 このビットは、チャネル AINP プリチャージバッファをイネーブルします。 0b = ディセーブル 1b = イネーブル

8.18 CH_n_CFG2 レジスタ (アドレス = チャネル番号×08h + 12h) [リセット = 00h]

チャネル n 構成 2 のレジスタ アドレスを表 8-21 に示します。レジスタ ビット マップを図 8-14 に示し、説明を表 8-22 に示します。

表 8-21. CH_n_CFG2 レジスタ アドレス

名称	レジスタの説明	アドレス
CH0_CFG2	チャネル 0 構成 2	12h
CH1_CFG2	チャネル 1 構成 2	1Ah
CH2_CFG2	チャネル 2 構成 2	22h
CH3_CFG2	チャネル 3 構成 2	2Ah
CH4_CFG2	チャネル 4 構成 2	32h
CH5_CFG2	チャネル 5 構成 2	3Ah
CH6_CFG2	チャネル 6 構成 2	42h
CH7_CFG2	チャネル 7 構成 2	4Ah

図 8-14. CH_n_CFG2 レジスタ

7	6	5	4	3	2	1	0
予約済み	CH _n _PWDN	CH _n _FLTR[4:0]					
R-00b	R/W-0b	R/W-00000b					

表 8-22. CH_n_CFG2 レジスタのフィールドの説明

ピット	フィールド	タイプ	リセット	説明
7-6	予約済み	R	00b	予約済み。
5	CH _n _PWDN	R/W	0b	チャネル パワーダウン モードの選択。 設定すると、ADC チャネルの電源がオフになります。パワーダウンすると、 チャネル データは最後に残りのデータになります。 0b = アクティブ 1b = 電源オフ

表 8-22. CHn_CFG2 レジスタのフィールドの説明 (続き)

ビット	フィールド	タイプ	リセット	説明
4-0	CHn_FLTR[4:0]	R/W	00000b	<p>チャネルのデジタル フィルタとデータレートの選択。</p> <p>これらのビットは、各チャネルのデジタル フィルタとデータレートを構成します。チャネル間のデータレートは、2 のべき乗で関連付けられる必要があります。このデバイスには、広帯域、sinc4、sinc4+sinc1、sinc3、sinc3 + sinc1 の 5 つのフィルタ構成があります。OSR に対応するデータレートについては、デジタル フィルタセクションを参照してください。</p> <p>00000b = 広帯域: OSR = 32 00001b = 広帯域: OSR = 64 00010b = 広帯域: OSR = 128 00011b = 広帯域: OSR = 256 00100b = 広帯域: OSR = 512 00101b = 広帯域: OSR = 1024 00110b = 広帯域: OSR = 2048 00111b = 広帯域: OSR = 4096 01000b = Sinc4: OSR = 12 01001b = Sinc4: OSR = 16 01010b = Sinc4: OSR = 24 01011b = Sinc4: OSR = 32 01100b = Sinc4: OSR = 64 01101b = Sinc4: OSR = 128 01110b = Sinc4: OSR = 256 01111b = Sinc4: OSR = 512 10000b = Sinc4: OSR = 1024 10001b = Sinc4: OSR = 2048 10010b = Sinc4: OSR = 4096 10011b = Sinc4: OSR = 32 + sinc1: OSR = 2 10100b = Sinc4: OSR = 32 + sinc1: OSR = 4 10101b = Sinc4: OSR = 32 + sinc1: OSR = 10 10110b = Sinc4: OSR = 32 + sinc1: OSR = 20 10111b = Sinc4: OSR = 32 + sinc1: OSR = 40 11000b = Sinc4: OSR = 32 + sinc1: OSR = 100 11001b = Sinc4: OSR = 32 + sinc1: OSR = 200 11010b = Sinc4: OSR = 32 + sinc1: OSR = 400 11011b = Sinc4: OSR = 32 + sinc1: OSR = 1000 11100b = Sinc3: OSR = 26666 11101b = Sinc3: OSR = 32000 11110b = Sinc3: OSR = 32000 + sinc1: OSR = 3 11111b = Sinc3: OSR = 32000 + sinc1: OSR = 5</p>

8.19 Chnn オフセット レジスタ [オフセット = 000000h]

表 8-23 に、チャネル n のオフセットレジスタを示します。

表 8-23. CHn オフセット レジスタの説明

名称	アドレス			タイプ	リセット	説明
	MSB	MID	LSB			
チャネル 0 のオフセット	13h	14h	15h	R/W	000000h	3 バイトのオフセットワード。 3 つのレジスタにより、各チャネルの 24 ビットのオフセット較正ワードを形成します。オフセット値は 2 の補数表現で、変換結果から減算されます。オフセット演算は、ゲイン演算よりも先に行われます。変換データは、オフセット値に合わせて左揃えになります。
チャネル 1 のオフセット	1Bh	1Ch	1Dh			
チャネル 2 のオフセット	23h	24h	25h			
チャネル 3 のオフセット	2Bh	2Ch	2Dh			
チャネル 4 のオフセット	33h	34h	35h			
チャネル 5 のオフセット	3Bh	3Ch	3Dh			
チャネル 6 のオフセット	43h	44h	45h			
チャネル 7 のオフセット	4Bh	4Ch	4Dh			

8.20 CHn ゲイン レジスタ[リセット = 400000h]

表 8-24 に、チャネル n ゲイン レジスタを示します。

表 8-24. CHn ゲイン レジスタの説明

名称	アドレス			タイプ	リセット	説明
	MSB	MID	LSB			
チャネル 0 ゲイン	16h	17h	18h	R/W	400000h	これらのレジスタは 3 バイトのゲイン レジスタです。 3 つのレジスタにより、各チャネルの 24 ビットのゲイン較正ワードを形成します。ゲイン値はストレート バイナリ表現で、ゲイン=1 について 400000h に正規化されています。オフセット動作の後、変換データに GAIN[23:0] / 400000h を掛けます。
チャネル 1 ゲイン	1Eh	1Fh	20h			
チャネル 2 ゲイン	26h	27h	28h			
チャネル 3 ゲイン	2Eh	2Fh	30h			
チャネル 4 ゲイン	36h	37h	38h			
チャネル 5 ゲイン	3Eh	3Fh	40h			
チャネル 6 ゲイン	46h	47h	48h			
チャネル 7 ゲイン	4Eh	4Fh	50h			

9 アプリケーションと実装

注

以下のアプリケーション情報は、テキサス・インスツルメンツの製品仕様に含まれるものではなく、テキサス・インスツルメンツはその正確性も完全性も保証いたしません。個々の目的に対する製品の適合性については、お客様の責任で判断していただくことになります。また、お客様は自身の設計実装を検証しテストすることで、システムの機能を確認する必要があります。

9.1 アプリケーション情報

ADS117L1x デバイスで性能を実現するには、入力ドライバ、アンチエイリアス フィルタ、リファレンス電圧、バイパス コンデンサ、PCB レイアウトの要件を十分に理解する必要があります。設計のガイドラインについては、以下のセクションを参照してください。

9.1.1 入力ドライバ

入力プリチャージ バッファは、ADC サンプリング コンデンサに起因するキックバック電圧を低減します。キックバックを低減すると、直線性性能が向上し、信号ドライバの帯域幅要件が緩和されます。一般に、バッファは、10MHz 以下の入力ドライバ帯域幅にとって、最大の利点をもたらします。より高い帯域幅のドライバを使用する場合は、プリチャージ バッファを無効にして、消費電力を低減することがオプションです。ただし、150MHz 未満の入力ドライバでバッファを使用すると、完全定格の THD データシートの性能が実現します。低速の ADC モードでは変調器が低速のクロック レートで動作するため、ドライバは変調器の入力サンプル間でセトリングするために、より長い時間を与えられます。THP210 ドライバの性能の詳細については、関連するシングル チャネル ADC [THP210 および ADS127L11 の性能アプリケーション ノート](#) を参照してください。

9.1.2 アンチエイリアス フィルタ

変調器のサンプリング レート (f_{MOD}) に近い周波数の入力信号が発生すると、パス バンドにエイリアスされ、データ エラーを引き起こします。エイリアスされている場合、誤差は後処理で除去できません。これらの信号が存在する場合、ADC 入力にアナログ ローパス フィルタが配置されて帯域外周波数を除去し、エイリアシングを低減します。アンチエイリアス フィルタの次数は、OSR 値と必要な減衰レベルによって異なります。OSR の値が大きいと、フィルタが信号を減衰するためのナイキスト周波数と f_{MOD} 間の周波数範囲が広くなります。たとえば、OSR = 128 なら、 f_{DATA} と f_{MOD} との差は 20 倍以上です。コーナー周波数 = f_{DATA} 、3 次、60dB/dec のフィルタにより、 f_{MOD} で 120dB のエイリアス除去が実現されます。

9.1.3 基準電圧

データシートの性能を満たすには、サンプリングされたリファレンス入力を安定させる低ノイズで十分な駆動強度を備えたリファレンス電圧が必要です。リファレンス電圧のセトリングが不十分な場合、システムのゲイン誤差として現れます。リファレンス セトリングが不十分な極端な場合は、デバイスの直線性に影響を与えます。正入力のリファレンス プリチャージ バッファは、リファレンス入力の電荷を大幅に低減し、ゲイン誤差を低減します。リファレンス入力バイパス コンデンサについては、[電源に関する推奨事項](#) セクションを参照してください。

9.2 代表的なアプリケーション

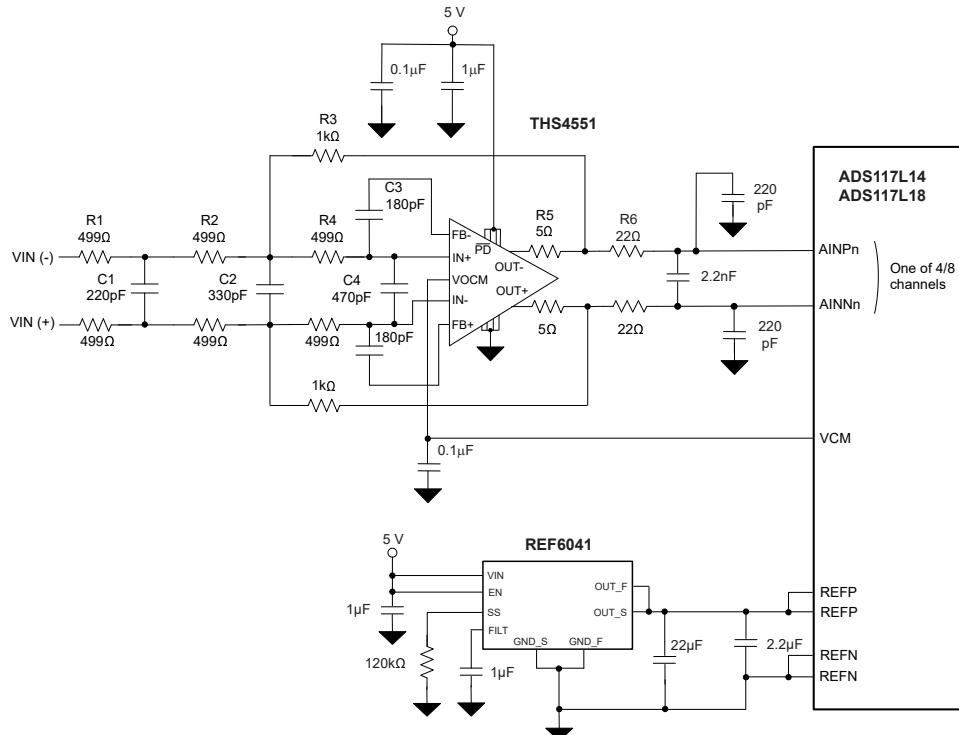


図 9-1. 入力信号アンチエイリアス フィルタと基準電圧

9.2.1 設計要件

図 9-1 に、THS4551 完全差動入力信号ドライバを使用した入力アンチエイリアス フィルタを示します。この設計の目標は、ADC 入力にアンチエイリアス フィルタを置き、変調器のサンプルレート (f_{MOD}) で帯域外信号を減衰させることです。フィルタの要件は、広帯域フィルタ モードで $OSR = 32$ ($f_{DATA} = 400\text{kHz}$) を使用し、 f_{MOD} 周波数 (高速度モードで 12.8MHz) での減衰が 90dB です。その他のフィルタ設計の目標は、振幅応答がフラットで、信号のパスバンド内でのグループ遅延誤差が小さくなることです。

設計目標値とこの設計で達成された実際の値を、表 9-1 に示します。

表 9-1. アンチエイリアス フィルタの設計要件

フィルタのパラメータ	目標値	実際の値
電圧ゲイン	0dB	0 dB
12.8MHz でのエイリアス除去	90dB	90 dB
-0.1dB 周波数	250kHz	260kHz
-3dB 周波数	500kHz	550kHz
バスバンド振幅のピーク	20m dB	12m dB
群遅延の直線性	0.1μs	0.017μs
フィルタと ADC の合計ノイズ (165kHz 帯域幅)	12μV	11.8μV

9.2.2 詳細な設計手順

アンチエイリアス フィルタは、パッシブ 1 次入力フィルタ、アクティブ 2 次フィルタ、パッシブ 1 次出力フィルタで構成されます。フィルタは全体で 4 次です。フィルタ設計には、ワースト ケースの広帯域フィルタ OSR 値 (32) が対応しています。このワースト ケースの値により、 f_{DATA} のナイキスト周波数と f_{MOD} 周波数の間の周波数範囲は 2 ディケード未満になります。

す。この4次フィルタにより、この周波数範囲全体にわたって 90dB のロールオフが得られます。 f_{MOD} でのロールオフは、フィルタの重要な要件です。

アクティブ フィルタ段には、135MHz のゲイン帯域幅積と 50ns のセトリング タイムを持つ THS4551 アンプを選択します。このアンプの GBP は、12.8MHz でフラットなパスバンド応答と安定したフィルタのロールオフを維持するのに十分です。ゲインを使用する 10MHz アンプは、 f_{MOD} 周波数で必要なロールオフを完全にサポートするために、GBP が限界に達しています。

アクティブ フィルタ セクションの設計は、選択する部品値の数を減らすため、R が等しいと仮定して開始されます。フィルタの DC ゲインは $R_3 / (R_1 + R_2)$ です。抵抗ノイズとアンプ入力電流ノイズが ADC のノイズに影響を与えないよう、十分に小さな値として 1kΩ の抵抗の値を使用します。

1kΩ の入力抵抗を 2 つの 499Ω 抵抗 (R_1 および R_2) に分割し、 C_1 を使用して 1 次フィルタを実装します。1 次フィルタは 2 次のアクティブ フィルタと分離されますが、 R_1 と R_2 を共有し、各フィルタ段のコーナー周波数を決定します。コーナ一周波数は、 C_1 と、 C_1 の端子でのテブナン抵抗によって与えられます ($R_{TH} = 2 \times 250\Omega$)。

この設計では、 R_4 (2×499Ω) の任意の選択を使用すると仮定します。2×180pF (C3) 帰還コンデンサと、1 つの 330pF 差動コンデンサ (C2) の値を計算します。これらの値は、『ADC インターフェイス アプリケーションの MFB フィルタの設計方法論』アプリケーション ノートに記載されているフィルタ設計の式で計算されます。設計への入力は、マルチ帰還アクティブ フィルタトポロジのフィルタ f_O とフィルタ Q です。差動コンデンサ (C4) はフィルタ設計の一部ではありませんが、フィルタの位相マージンを改善します。5Ω の抵抗 (R_5) は、アンプの出力を浮遊容量から絶縁し、フィルタの位相マージンをさらに改善します。

ADC 入力の最終の RC フィルタは、2 つの目的を果たします。まず、このフィルタによってフィルタの全体的な応答に 4 つ目の極が生まれるので、ロールオフが増加します。入力での RC フィルタのもう 1 つの目的は、ADC でサンプリングされた入力をフィルタ処理するため電荷を蓄積することです。電荷を蓄積することで、アンプの瞬間的な電荷要求が低減され、低い歪みおよび低いゲイン誤差が維持されます。電荷の蓄積がないと、アンプのセトリングが不十分なために歪みやゲイン誤差が劣化することがあります。入力フィルタの値は 2 × 22Ω と 2.2nF です。22Ω の抵抗は THS4551 フィルタ ループの外側にあり、アンプの出力を 2.2nF のコンデンサから絶縁して位相マージンを維持します。

低歪み特性を実現するため、信号パスのすべての場所に電圧係数が低い COG コンデンサが使用されています。アンプのゲイン抵抗は公差 0.1% で、最良の THD 性能が得られます。アンプによって同じ機能が提供されるため、ADC の VCM 出力をアンプの VOCM 入力ピンに接続することはオプションです。

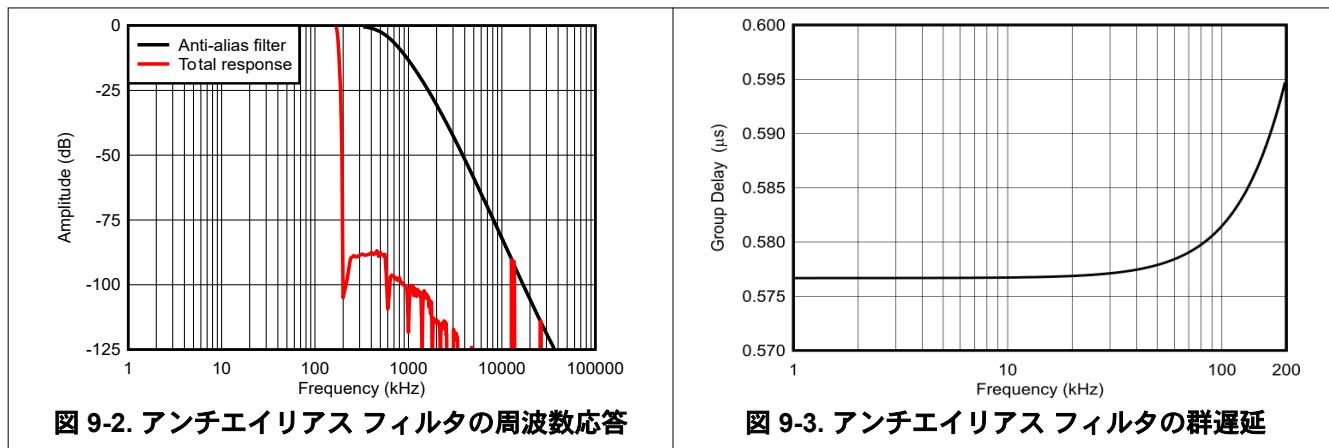
アクティブ フィルタの設計とアプリケーションについて、その他の例は [THS4551 のデータシート](#) に記載されています。

9.2.3 アプリケーション曲線

以下の図は、SPICE ベースのアナログ シミュレーション プログラムである **TINA-TI™** によって生成されたものです。THS4551 の SPICE モデルは、[THS4551 の製品フォルダ](#)からダウンロードできます。

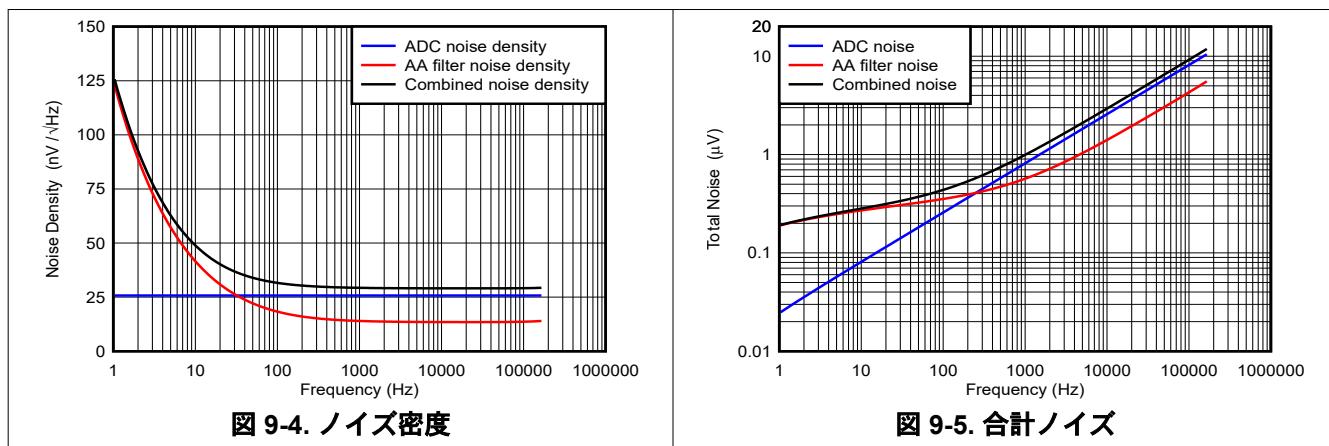
アンチエイリアス フィルタの周波数応答、およびアンチエイリアス フィルタと ADC の合計応答を、[図 9-2](#) に示します。この図に示すように、このフィルタはナイキスト周波数から 12.8MHz の f_{MOD} 周波数まで、90dB のストップバンド減衰を実現します。

アナログ フィルタの群遅延を、[図 9-3](#) に示します。この群遅延は 0.575μs で、ADC デジタル フィルタの群遅延 85μs ($34 / f_{DATA}$) と比較して小さくなります。アナログ フィルタの群遅延の直線性は 0.017μs で、165kHz のパス バンドのエッジでピークになります。



アンチエイリアス フィルタ回路のノイズ密度、ADC のノイズ密度、フィルタと ADC の合計ノイズ密度を、[図 9-4](#) に示します。ノイズ密度は、周波数に対してプロットされた帯域幅の $\sqrt{\text{Hz}}$ あたりのノイズ電圧です。

1Hz のスタート周波数から ADC の最終帯域幅までの合計ノイズを、[図 9-5](#) に示します。200Hz 未満では、ノイズの大部分は THS4551 アンプの $1/f$ 電圧および電流ノイズです。200Hz を超えると、ノイズの大部分は ADC ノイズになります。165kHz 帯域幅でのフィルタと ADC の統合ノイズは 11.8μV で、目標値の 12μV を満たしています。



9.3 電源に関する推奨事項

ADCには3つのアナログ電源と1つのデジタル電源があります。電源電圧 AVDD1 と AVSS は、ユニポーラまたはバイポーラ信号タイプのチャネルを構成します。構成例は、ユニポーラ信号では AVDD1 = 5V と AVSS = DGND、バイポーラ信号では AVDD1 = 2.5V と AVSS = -2.5V です。AVDD2 の電源電圧は AVSS を基準とし、IOVDD の電源電圧は DGND を基準とします。電源の仕様範囲を、「[推奨動作条件](#)」セクションに示します。

表 9-2 に、電源の構成オプションを示します。表示されている電源電圧の値は公称値です。

表 9-2. 電源の構成 (公称)

速度モード	構成	AVDD1 - DGND	AVSS - DGND	AVDD2 - DGND	IOVDD - DGND
最高速度	ユニポーラ	5V	0V	1.8V ~ 5V	1.8V
	バイポーラ	2.5V	-2.5V	0V ~ 2.5V	1.8V
高速	ユニポーラ	5V	0V	1.8V ~ 5V	1.8V
	バイポーラ	2.5V	-2.5V	0V ~ 2.5V	1.8V
中速度	ユニポーラ	3.3V ~ 5V	0V	1.8V ~ 5V	1.8V
	バイポーラ	1.65V ~ 2.5V	-1.65V ~ -2.5V	0.15V ~ 2.5V	1.8V
低速度	ユニポーラ	3V ~ 5V	0V	1.8V ~ 5V	1.8V
	バイポーラ	1.5V ~ 2.5V	-1.5V ~ -2.5V	0.3V ~ 2.5V	1.8V

この電源は特別なシーケンスを必要とせず、電源オンに関係なく任意の順序で対応でき、低速または高速のランプレートに対応できます。ただし、どのような状況でも、アナログ入力とデジタル入力は、対応する AVDD1 と AVSS (アナログの場合)、または IOVDD (デジタルの場合) 電源電圧を超えないようにする必要があります。IOVDD 電源電圧が印加された後で、内部リセットが実行されます。

デバイスに推奨されるバイパスコンデンサを、表 9-3 に示します。すべてのコンデンサは最小 6.3V、X7R セラミック誘電体です。DGND に 1 つのグランドプレーンを使用することに加え、IOVDD、AVDD1、AVDD2、AVSS の電源プレーンで最高の性能を実現します。ユニポーラ電源動作で AVSS = 0V の場合、AVSS と DGND には 1 つのグランドプレーンを使用します。バイポーラ電源動作で AVSS = -2.5V の場合、AVSS と AVDD1 を DGND プレーンにバイパスします。

ADS117L14 と ADS117L18 の両方について、AVSS のピン番号 45 と 51 にバイパスコンデンサは必要ありません。また、ADS117L14 の AVSS ピン番号 29 ~ 36 には、バイパスコンデンサは必要ありません。これらのピンを AVSS プレーンに接続します。

表 9-3. バイパスコンデンサ

正のピン	負のピン	コンデンサ (X7R)
IOVDD (ピン 18、19 を互いに接続)	DGND (pin17)	2.2uF
CAPD (ピン 20)	DGND (ピン 21)	2.2uF
AVDD1 (ピン 23、24 を互いに接続)	AVSS (ピン 22)	2.2uF
AVDD2 (ピン 25)	AVSS (ピン 22)	2.2uF
CAPA (ピン 26、27 を互いに接続)	AVSS (ピン 28)	10uF
REFP (ピン 49、50 を互いに接続)	REFN (ピン 47、48 を互いに接続)	2.2μF (REFP バッファオン)、10uF (REFP バッファオフ)
REFN (ピン 47、48 を互いに接続)	AVSS (ピン 45、51 を互いに接続)	2.2μF (REFN がグランドに接続されていない場合にのみ必要)

9.3.1 AVDD1 と AVSS

AVDD1 と AVSS はアナログ電源電圧で、プリチャージバッファと変調器のサンプリングスイッチに電力を供給します。ADC をバイポーラ動作 ($\pm 2.5V$ 電源など) またはユニポーラ動作 (AVDD1 = 5V、AVSS = DGND など) 用に設定しま

す。中速度および低速度の動作モードでは、AVDD1 を下げることもできます。詳細については、[セクション 5.3](#) セクションを参照してください。

9.3.2 AVDD2

AVDD2 は、変調器コアに電力を供給するアナログ電源電圧です。電源の数を簡素化するために、AVDD2 を AVDD1 に接続するか、または AVDD2 を低い電圧で動作させて消費電力を低減します。

9.3.3 IOVDD

IOVDD は、デバイス I/O ピンのデジタル電源電圧です。IOVDD は内部でレギュレートされ、デジタル コアに電力を供給します。IOVDD の電圧レベルは、アナログ電源の構成に独立です。

9.3.4 CAPA および CAPD

CAPA および CAPD は、内部電圧レギュレータの出力電圧です。これらの電圧は内部動作用であり、外部負荷を駆動するようには設計されていません。これらのピンには、[表 9-3](#) に示すように外付けのバイパスコンデンサが必要です。

9.4 レイアウト

9.4.1 レイアウトのガイドライン

データシートの性能を実現するには、最低でも 4 層の PCB 基板を使用し、内側の層はグランドと電源プレーンに割り当てます。1 つ以上の電源プレーンを使用して、電源を ADC に配線します。単一の、連続したグランドプレーン上でアナログ グランドとデジタル グランドを組み合わせることで、最高の性能を実現できます。ただし、レイアウトの形状によっては、デジタル電流をアナログ グランドから遠ざけるために、アナログ グランドとデジタル グランドを別々にする必要があります。ノイズの多いデジタル電流には、パルス状の LED インジケーター やリレーなどが含まれます。この場合、グランドのリターン パスもデジタル電流ごとに分けることを検討してください。別々のアナログ グランドとデジタル グランドを使用する場合は、ADC で両方のグランドを結合します。

最上層と最下層には、アナログ信号とデジタル信号を配線します。差動ノイズ結合を低減するため、入力信号は信号チーン全体で整合差動ペアとして配線します。デジタル信号がアナログ信号と交差する、または隣接して配置されることを避けます。ジッタの原因となる可能性のある結合を防止するために、ADC クロック入力信号を SPI、フレーム同期信号、他のクロック信号から分離します。

電圧リファレンスは、ADC の近くに配置します。リファレンス グランドピンが ADC REFN ピンの近くに配置され、ADC REFN ピンからリファレンス グランド ピンに直接接続されるように、リファレンスの向きを合わせます。リファレンス入力コンデンサを REFIO リファレンス入力ピンの近くに配置します。信号入力バイパスコンデンサを ADC 入力の近くに配置します。各入力とグランドの間のコンデンサの位置上で差動入力コンデンサの位置を最適化します。

[図 9-6](#) に、SPI 接続を備えた ADS117L18 のレイアウト例を示します。アナログ入力差動コンデンサは、2.2nF の C0G 誘電体です。アナログ入力同相コンデンサは、220pF の C0G 誘電体です。差動入力コンデンサは、アナログ入力ピンの近くに配置します。スペースを節約するため、入力ドライバは PCB の上面と底面に配置されています。

デジタル出力と直列に 10Ω の抵抗を使用して、 40Ω のドライバ出力インピーダンスを強化し、PCB トレースにリンギングの可能性を低減しています。DOUTx/DINx/GPIOx ピン (ピン 10 ~ 13) にはプルダウン抵抗を使用して、入力にプログラムされている場合にピンがフローティングになることを防止します。

9.4.2 レイアウト例

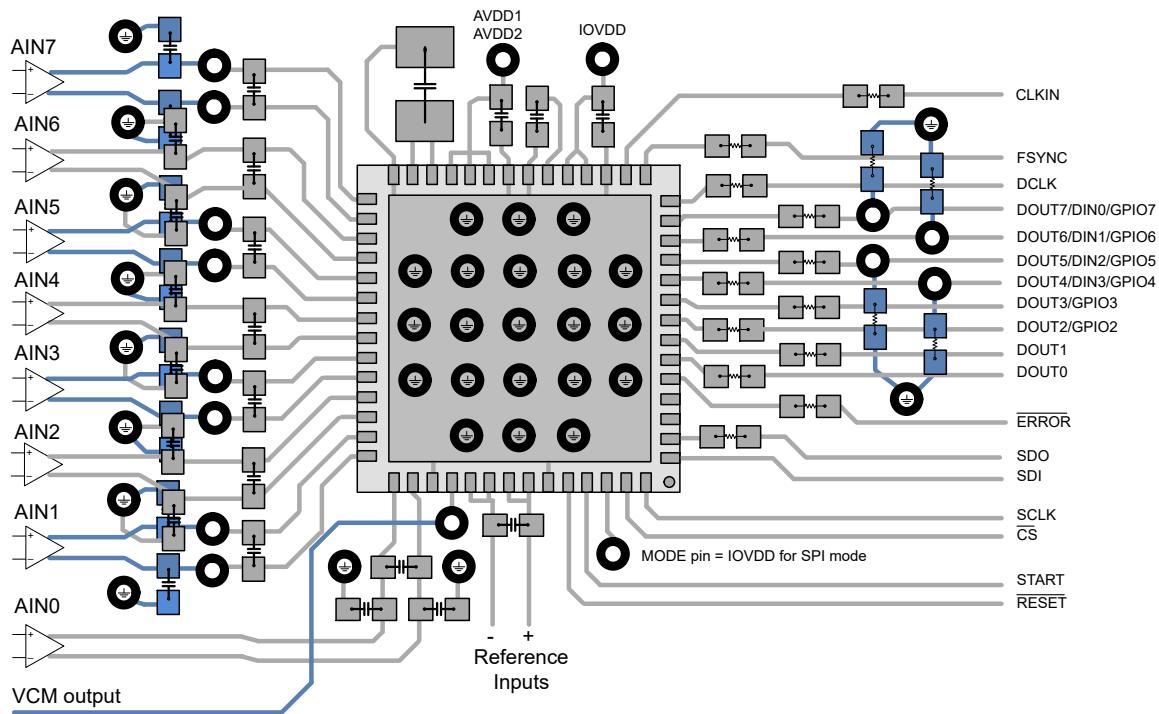


図 9-6. ADS117L18 の PCB レイアウトの例

VQFN パッケージをプリント基板に実装する方法の詳細については、『QFN および SON の PCB 実装』アプリケーションノートを参照してください。

10 デバイスおよびドキュメントのサポート

10.1 ドキュメントのサポート

10.1.1 関連資料

関連資料については、以下を参照してください。

- テキサス・インスツルメンツ、『[THP210 と ADS127L11 の性能』アプリケーションノート](#)
- テキサス・インスツルメンツ、『[ADS127L11 設計カリキュレータ](#)』
- テキサス・インスツルメンツ、[TIDUD62PLC](#) アナログ入力用の IEPE 振動センサ インターフェイスのリファレンス デザイン デザインガイド
- テキサス・インスツルメンツ、『[THS4551 低ノイズ、高精度、150MHz、完全差動アンプ』データシート](#)』
- テキサス・インスツルメンツ、『[REF60xx 高精度電圧リファレンス、内蔵 ADC ドライブ バッファ付』データシート](#)』
- テキサス・インスツルメンツ、『[ADC インターフェイス アプリケーションにおける MFB フィルタの設計方法論』アプリケーションノート](#)』
- テキサス・インスツルメンツ、『[QFN と SON の PCB 実装』アプリケーションノート](#)』

10.2 ドキュメントの更新通知を受け取る方法

ドキュメントの更新についての通知を受け取るには、www.tij.co.jp のデバイス製品フォルダを開いてください。[通知] をクリックして登録すると、変更されたすべての製品情報に関するダイジェストを毎週受け取ることができます。変更の詳細については、改訂されたドキュメントに含まれている改訂履歴をご覧ください。

10.3 サポート・リソース

テキサス・インスツルメンツ E2E™ サポート・フォーラムは、エンジニアが検証済みの回答と設計に関するヒントをエキスパートから迅速かつ直接得ることができる場所です。既存の回答を検索したり、独自の質問をしたりすることで、設計で必要な支援を迅速に得ることができます。

リンクされているコンテンツは、各寄稿者により「現状のまま」提供されるものです。これらはテキサス・インスツルメンツの仕様を構成するものではなく、必ずしもテキサス・インスツルメンツの見解を反映したものではありません。テキサス・インスツルメンツの使用条件を参照してください。

10.4 商標

TINA-TI™ and テキサス・インスツルメンツ E2E™ are trademarks of Texas Instruments.

すべての商標は、それぞれの所有者に帰属します。

10.5 静電気放電に関する注意事項



この IC は、ESD によって破損する可能性があります。テキサス・インスツルメンツは、IC を取り扱う際には常に適切な注意を払うことを推奨します。正しい取り扱いおよび設置手順に従わない場合、デバイスを破損するおそれがあります。

ESD による破損は、わずかな性能低下からデバイスの完全な故障まで多岐にわたります。精密な IC の場合、パラメータがわずかに変化するだけで公表されている仕様から外れる可能性があるため、破損が発生しやすくなっています。

10.6 用語集

[テキサス・インスツルメンツ用語集](#) この用語集には、用語や略語の一覧および定義が記載されています。

11 改訂履歴

資料番号末尾の英字は改訂を表しています。その改訂履歴は英語版に準じています。

日付	改訂	注
May 2025	*	初版リリース

12 メカニカル、パッケージ、および注文情報

以降のページには、メカニカル、パッケージ、および注文に関する情報が記載されています。この情報は、指定のデバイスに使用できる最新のデータです。このデータは、予告なく、このドキュメントを改訂せずに変更される場合があります。本データシートのブラウザ版を使用されている場合は、画面左側の説明をご覧ください。

重要なお知らせと免責事項

テキサス・インスツルメンツは、技術データと信頼性データ（データシートを含みます）、設計リソース（リファレンス デザインを含みます）、アプリケーションや設計に関する各種アドバイス、Web ツール、安全性情報、その他のリソースを、欠陥が存在する可能性のある「現状のまま」提供しており、商品性および特定目的に対する適合性の默示保証、第三者の知的財産権の非侵害保証を含むいかなる保証も、明示的または默示的にかかわらず拒否します。

これらのリソースは、テキサス・インスツルメンツ製品を使用する設計の経験を積んだ開発者への提供を意図したものです。(1) お客様のアプリケーションに適した テキサス・インスツルメンツ製品の選定、(2) お客様のアプリケーションの設計、検証、試験、(3) お客様のアプリケーションに該当する各種規格や、その他のあらゆる安全性、セキュリティ、規制、または他の要件への確実な適合に関する責任を、お客様のみが単独で負うものとします。

上記の各種リソースは、予告なく変更される可能性があります。これらのリソースは、リソースで説明されている テキサス・インスツルメンツ製品を使用するアプリケーションの開発の目的でのみ、テキサス・インスツルメンツはその使用をお客様に許諾します。これらのリソースに関して、他の目的で複製することや掲載することは禁止されています。テキサス・インスツルメンツや第三者の知的財産権のライセンスが付与されている訳ではありません。お客様は、これらのリソースを自身で使用した結果発生するあらゆる申し立て、損害、費用、損失、責任について、テキサス・インスツルメンツおよびその代理人を完全に補償するものとし、テキサス・インスツルメンツは一切の責任を拒否します。

テキサス・インスツルメンツの製品は、[テキサス・インスツルメンツの販売条件](#)、または ti.com やかかる テキサス・インスツルメンツ製品の関連資料などのいづれかを通じて提供する適用可能な条項の下で提供されています。テキサス・インスツルメンツがこれらのリソースを提供することは、適用されるテキサス・インスツルメンツの保証または他の保証の放棄の拡大や変更を意味するものではありません。

お客様がいかなる追加条項または代替条項を提案した場合でも、テキサス・インスツルメンツはそれらに異議を唱え、拒否します。

郵送先住所: Texas Instruments, Post Office Box 655303, Dallas, Texas 75265

Copyright © 2025, Texas Instruments Incorporated

PACKAGING INFORMATION

Orderable part number	Status (1)	Material type (2)	Package Pins	Package qty Carrier	RoHS (3)	Lead finish/ Ball material (4)	MSL rating/ Peak reflow (5)	Op temp (°C)	Part marking (6)
ADS117L14IRSHR	Active	Production	VQFN (RSH) 56	2500 LARGE T&R	Yes	NIPDAU	Level-2-260C-1 YEAR	-40 to 125	ADS117L14
ADS117L18IRSHR	Active	Production	VQFN (RSH) 56	2500 LARGE T&R	Yes	NIPDAU	Level-2-260C-1 YEAR	-40 to 125	ADS117L18

⁽¹⁾ **Status:** For more details on status, see our [product life cycle](#).

⁽²⁾ **Material type:** When designated, preproduction parts are prototypes/experimental devices, and are not yet approved or released for full production. Testing and final process, including without limitation quality assurance, reliability performance testing, and/or process qualification, may not yet be complete, and this item is subject to further changes or possible discontinuation. If available for ordering, purchases will be subject to an additional waiver at checkout, and are intended for early internal evaluation purposes only. These items are sold without warranties of any kind.

⁽³⁾ **RoHS values:** Yes, No, RoHS Exempt. See the [TI RoHS Statement](#) for additional information and value definition.

⁽⁴⁾ **Lead finish/Ball material:** Parts may have multiple material finish options. Finish options are separated by a vertical ruled line. Lead finish/Ball material values may wrap to two lines if the finish value exceeds the maximum column width.

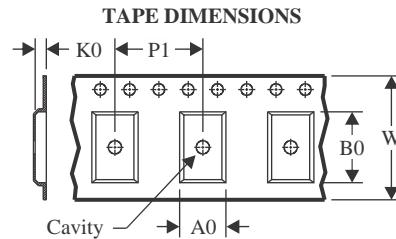
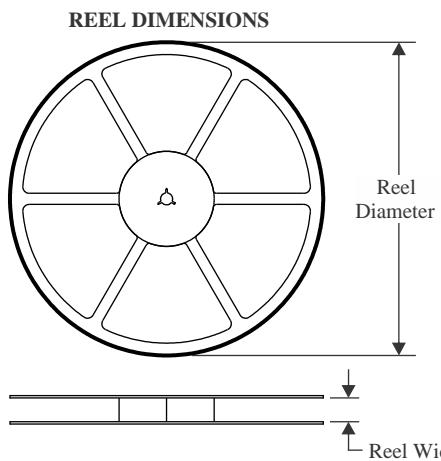
⁽⁵⁾ **MSL rating/Peak reflow:** The moisture sensitivity level ratings and peak solder (reflow) temperatures. In the event that a part has multiple moisture sensitivity ratings, only the lowest level per JEDEC standards is shown. Refer to the shipping label for the actual reflow temperature that will be used to mount the part to the printed circuit board.

⁽⁶⁾ **Part marking:** There may be an additional marking, which relates to the logo, the lot trace code information, or the environmental category of the part.

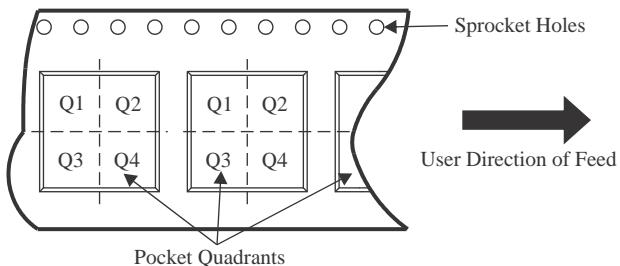
Multiple part markings will be inside parentheses. Only one part marking contained in parentheses and separated by a "~" will appear on a part. If a line is indented then it is a continuation of the previous line and the two combined represent the entire part marking for that device.

Important Information and Disclaimer: The information provided on this page represents TI's knowledge and belief as of the date that it is provided. TI bases its knowledge and belief on information provided by third parties, and makes no representation or warranty as to the accuracy of such information. Efforts are underway to better integrate information from third parties. TI has taken and continues to take reasonable steps to provide representative and accurate information but may not have conducted destructive testing or chemical analysis on incoming materials and chemicals. TI and TI suppliers consider certain information to be proprietary, and thus CAS numbers and other limited information may not be available for release.

In no event shall TI's liability arising out of such information exceed the total purchase price of the TI part(s) at issue in this document sold by TI to Customer on an annual basis.

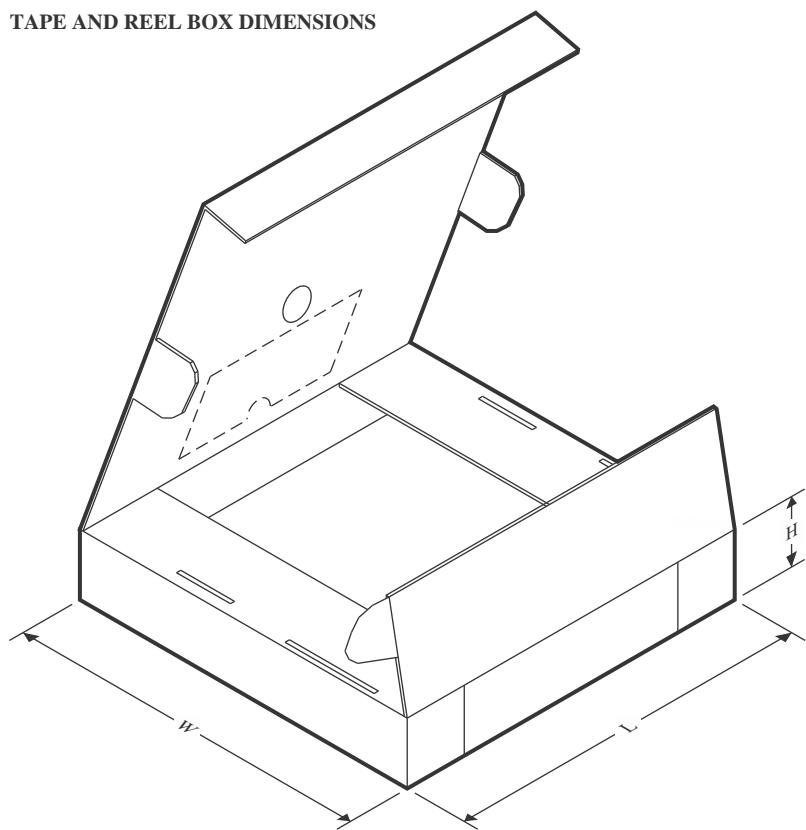
TAPE AND REEL INFORMATION

A0	Dimension designed to accommodate the component width
B0	Dimension designed to accommodate the component length
K0	Dimension designed to accommodate the component thickness
W	Overall width of the carrier tape
P1	Pitch between successive cavity centers

QUADRANT ASSIGNMENTS FOR PIN 1 ORIENTATION IN TAPE

*All dimensions are nominal

Device	Package Type	Package Drawing	Pins	SPQ	Reel Diameter (mm)	Reel Width W1 (mm)	A0 (mm)	B0 (mm)	K0 (mm)	P1 (mm)	W (mm)	Pin1 Quadrant
ADS117L14IRSHR	VQFN	RSH	56	2500	330.0	16.4	7.3	7.3	1.1	12.0	16.0	Q2
ADS117L18IRSHR	VQFN	RSH	56	2500	330.0	16.4	7.3	7.3	1.1	12.0	16.0	Q2

TAPE AND REEL BOX DIMENSIONS


*All dimensions are nominal

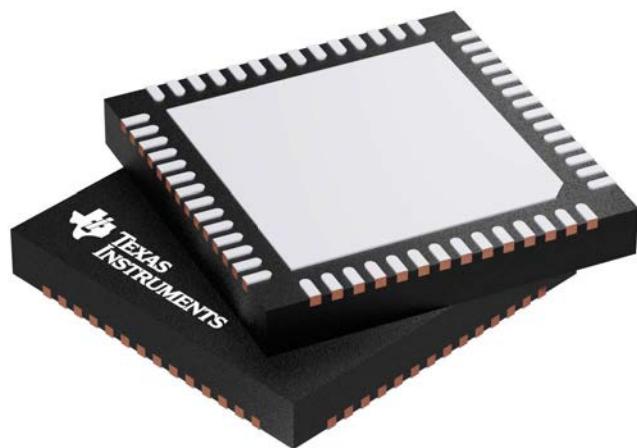
Device	Package Type	Package Drawing	Pins	SPQ	Length (mm)	Width (mm)	Height (mm)
ADS117L14IRSHR	VQFN	RSH	56	2500	367.0	367.0	35.0
ADS117L18IRSHR	VQFN	RSH	56	2500	367.0	367.0	35.0

GENERIC PACKAGE VIEW

RSH 56

VQFN - 1 mm max height

PLASTIC QUAD FLATPACK - NO LEAD

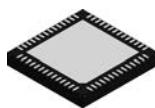


Images above are just a representation of the package family, actual package may vary.
Refer to the product data sheet for package details.

4207513/D

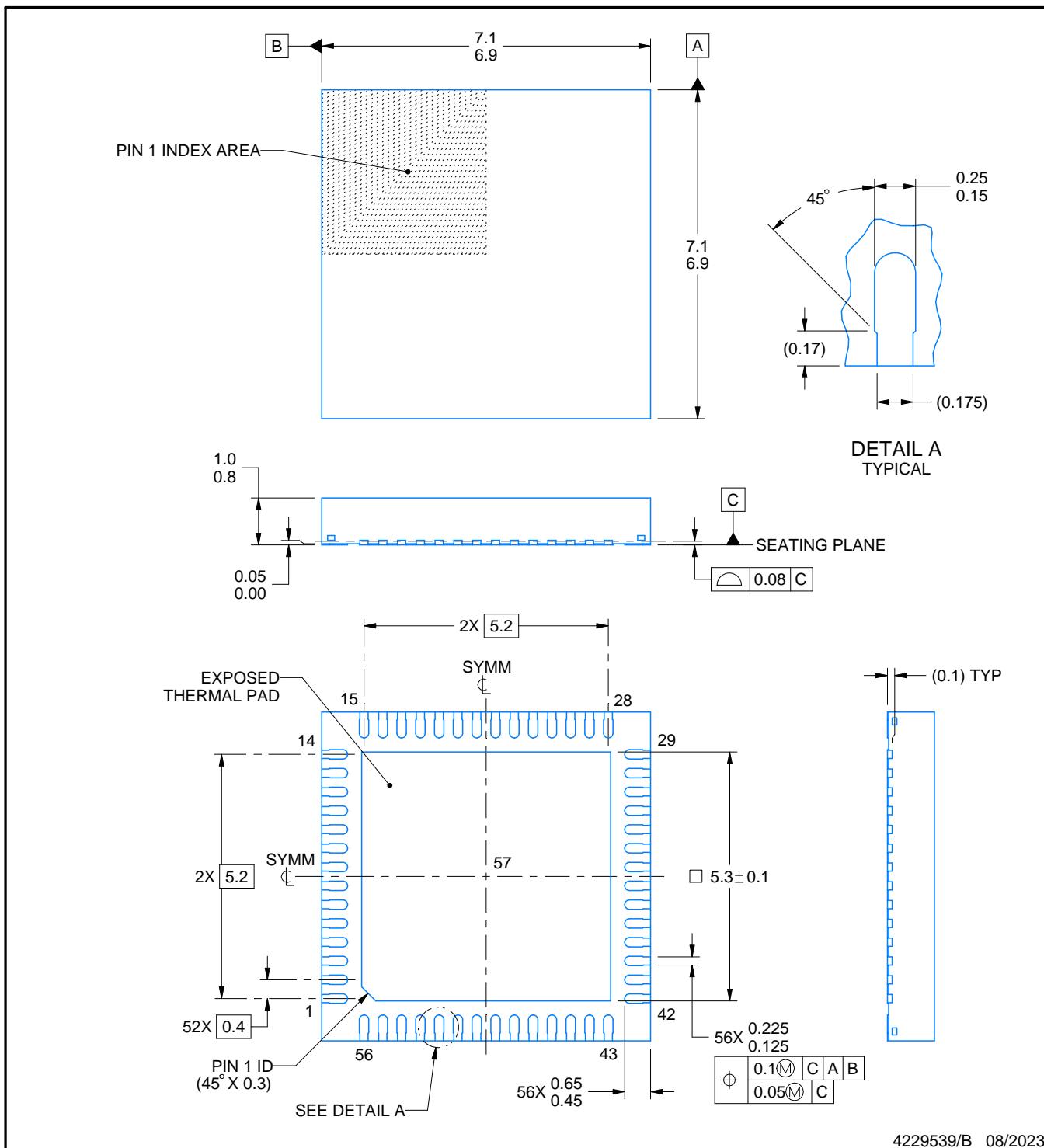
PACKAGE OUTLINE

RSH0056G



VQFN - 1 mm max height

PLASTIC QUAD FLATPACK - NO LEAD



NOTES:

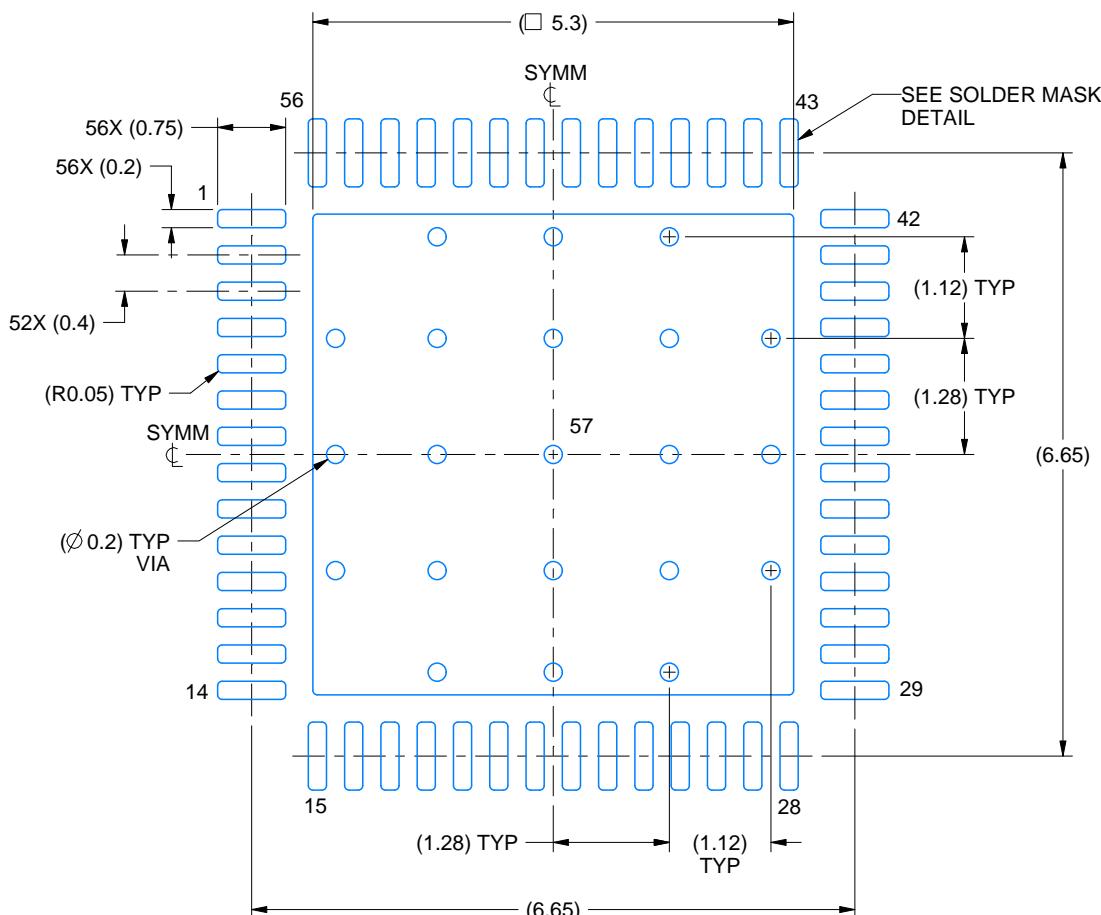
1. All linear dimensions are in millimeters. Any dimensions in parenthesis are for reference only. Dimensioning and tolerancing per ASME Y14.5M.
2. This drawing is subject to change without notice.
3. The package thermal pad must be soldered to the printed circuit board for thermal and mechanical performance.

EXAMPLE BOARD LAYOUT

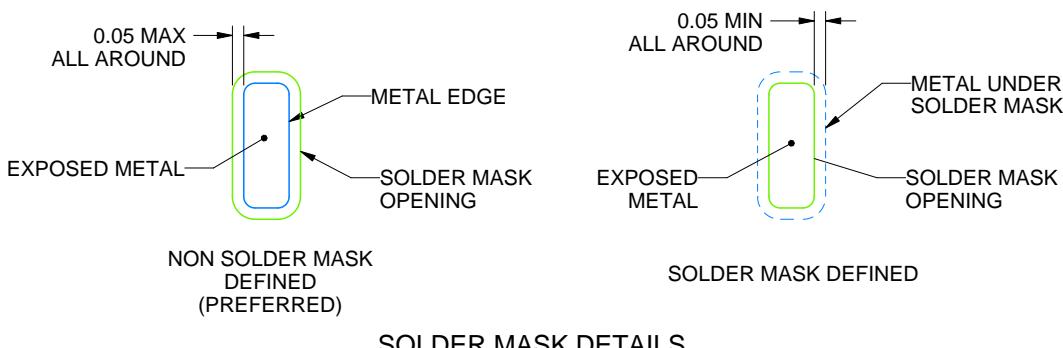
RSH0056G

VQFN - 1 mm max height

PLASTIC QUAD FLATPACK - NO LEAD



LAND PATTERN EXAMPLE
EXPOSED METAL SHOWN
SCALE: 12X



4229539/B 08/2023

NOTES: (continued)

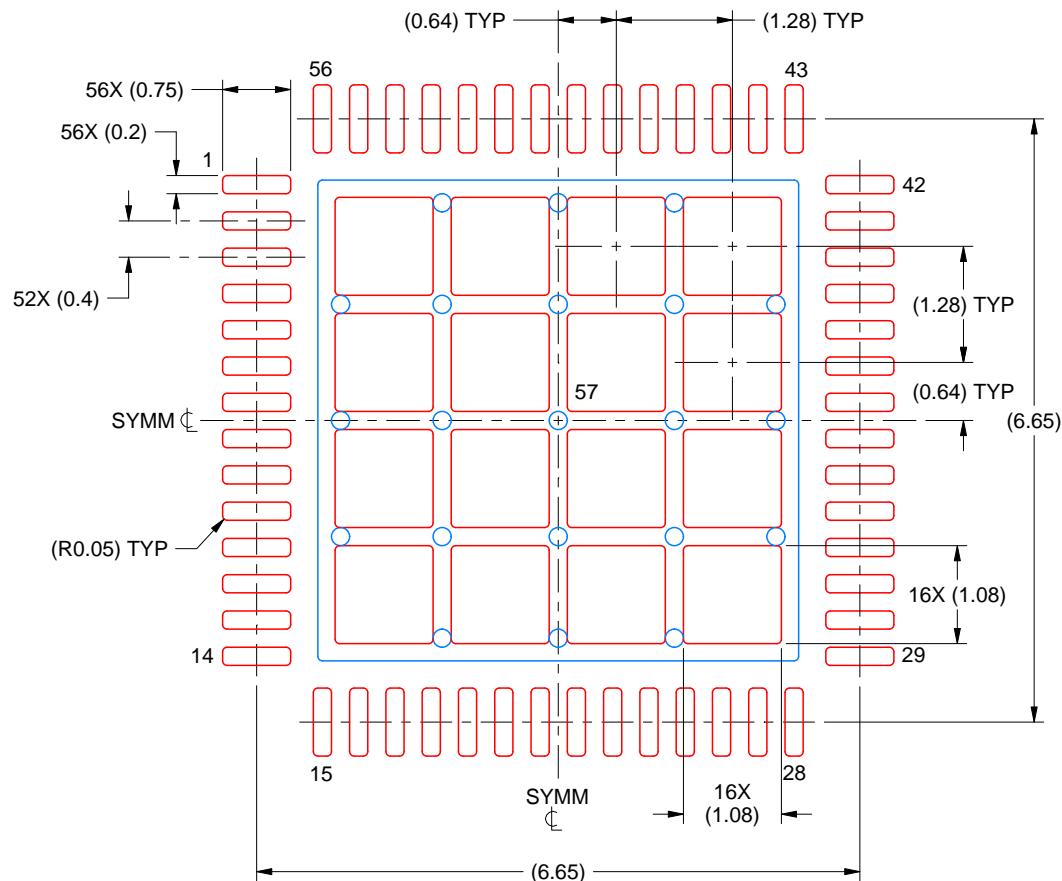
4. This package is designed to be soldered to a thermal pad on the board. For more information, see Texas Instruments literature number SLUA271 (www.ti.com/lit/slua271).
5. Vias are optional depending on application, refer to device data sheet. If any vias are implemented, refer to their locations shown on this view. It is recommended that vias under paste be filled, plugged or tented.

EXAMPLE STENCIL DESIGN

RSH0056G

VQFN - 1 mm max height

PLASTIC QUAD FLATPACK - NO LEAD



SOLDER PASTE EXAMPLE BASED ON 0.100 MM THICK STENCIL SCALE: 12X

EXPOSED PAD 57

66% PRINTED SOLDER COVERAGE BY AREA UNDER PACKAGE

4229539/B 08/2023

NOTES: (continued)

6. Laser cutting apertures with trapezoidal walls and rounded corners may offer better paste release. IPC-7525 may have alternate design recommendations.

重要なお知らせと免責事項

TIは、技術データと信頼性データ(データシートを含みます)、設計リソース(リファレンス デザインを含みます)、アプリケーションや設計に関する各種アドバイス、Web ツール、安全性情報、その他のリソースを、欠陥が存在する可能性のある「現状のまま」提供しており、商品性および特定目的に対する適合性の默示保証、第三者の知的財産権の非侵害保証を含むいかなる保証も、明示的または默示的にかかわらず拒否します。

これらのリソースは、TI 製品を使用する設計の経験を積んだ開発者への提供を意図したもので、(1)お客様のアプリケーションに適した TI 製品の選定、(2)お客様のアプリケーションの設計、検証、試験、(3)お客様のアプリケーションに該当する各種規格や、その他のあらゆる安全性、セキュリティ、規制、または他の要件への確実な適合に関する責任を、お客様のみが単独で負うものとします。

上記の各種リソースは、予告なく変更される可能性があります。これらのリソースは、リソースで説明されている TI 製品を使用するアプリケーションの開発の目的でのみ、TI はその使用をお客様に許諾します。これらのリソースに関して、他の目的で複製することや掲載することは禁止されています。TI や第三者の知的財産権のライセンスが付与されている訳ではありません。お客様は、これらのリソースを自身で使用した結果発生するあらゆる申し立て、損害、費用、損失、責任について、TI およびその代理人を完全に補償するものとし、TI は一切の責任を拒否します。

TI の製品は、[TI の販売条件](#)、[TI の総合的な品質ガイドライン](#)、[ti.com](#) または TI 製品などに関連して提供される他の適用条件に従い提供されます。TI がこれらのリソースを提供することは、適用される TI の保証または他の保証の放棄の拡大や変更を意味するものではありません。TI がカスタム、またはカスタマー仕様として明示的に指定していない限り、TI の製品は標準的なカタログに掲載される汎用機器です。

お客様がいかなる追加条項または代替条項を提案する場合も、TI はそれらに異議を唱え、拒否します。

Copyright © 2025, Texas Instruments Incorporated

最終更新日：2025 年 10 月