

ADCV08832

*ADCV08832 Low Voltage, 8-Bit Serial I/O CMOS A/D Converter with
Sample/Hold Function*



Literature Number: JAJ954

ご注意：この日本語データシートは参考資料として提供しており、内容が最新でない場合があります。製品のご検討およびご採用に際しては、必ず最新の英文データシートをご確認ください。



2001 年 5 月

ADCV08832

低電圧、8 ビットシリアル I/O サンプル・ホールド機能付き、CMOS A/D コンバータ

概要

ADCV08832 は、3 線式シリアルインタフェース対応、低電圧の 8 ビット逐次比較型 A/D コンバータです。シリアル I/O は、マイクロコントローラ、PLD、汎用のマイクロプロセッサ、DSP やシフトレジスタとコンパチブルなインタフェースです。このインタフェースは、ナショナル セミコンダクターの MICROWIRE™ シリアル通信スタンダードに対応して構成されています。

トータルの消費電力を最小限に抑えるために、デバイスが変換を行わない場合は常に、ADCV08832 は低電圧モードにすることができます。

サンプル / ホールド機能により、実際の A/D 変換中に正入力のアナログ電圧が変化することを防ぎます。アナログ入力は、シングルエンド、差動、擬似差動モードなどの様々な組み合わせにおいて動作するように構成が可能です。

特長

- 少ない I/O 端子数の 3 線式シリアル・デジタル・インタフェース
- 電源電圧範囲 2.7V ~ 5V
- アナログ入力サンプル / ホールド機能
- GND から V_{CC} までのアナログ入力範囲
- ゼロスケール調整もしくはフルスケール調整不用

TTL/CMOS 入出力コンパチブル

TLV0832 および ADC0832 との上位端子互換が可能

アプリケーション

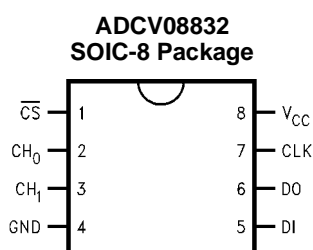
- センサおよび波形デジタイジング
- プロセスコントロール監視
- ノイズの多い環境下でのリモートセンシング
- 計測機器
- 各種診断装置
- 低消費電力回路

主な仕様

(特記のない限り、通常、3.3V 電源)

分解能	8 ビット
変換時間 ($f_{CLK} = 500 \text{ kHz}$)	16 μs (max)
消費電力	1.7 mW
パワーダウンモード	< 0.1 μW
総合無調整誤差	0.8 LSB
全温度範囲でノーミッシングコード保証	(- 40 ~ + 125)

ピン配置図



製品情報

定格温度範囲	Package	Package Marking	Transport Media
Industrial (- 40 T_J + 125)			
ADCV08832CIM	M08A	ADC08832I	95 Units in Rail
ADCV08832CIMX	M08A	ADC08832I	2500 Units in Tape and Reel

COPST™ と MICROWIRE™ はナショナル セミコンダクター社の登録商標です。

絶対最大定格 (Notes 1, 3)

本データシートには軍用・航空宇宙用の規格は記載されていません。
関連する電気的信頼性試験方法の規格を参照下さい。

電源電圧 (V_{CC})	6.5V
各入出力端子電圧	- 0.3V ~ $V_{CC} + 0.3V$
各端子の入力電流 (Note 4)	± 5 mA
パッケージの入力電流 (Note 4)	± 20 mA
ESD 耐性 (Note 6)	
人体モデル	2500V
マシンモデル	250V
接合温度 (Note 5)	150

保存温度範囲 - 65 ~ + 150

ハンダ付け温度

赤外線 235

動作定格 (Notes 2, 3)

定格温度範囲	- 40 < T_J < + 125
電源電圧	2.7V ~ 5.5V
熱抵抗 (θ_{JA})	
SO パッケージ、8 ピン表面実装	190 /W
クロック周波数	10 kHz f_{CLK} 1000 kHz

電気的特性

特記のない限り、以下の仕様は $V_{CC} = 3.3V_{DC}$, $f_{CLK} = 500kHz$ 、50%デューティサイクルに対して適用されます。**太文字表記のリミット値は $T_A = T_J = T_{MIN} \sim T_{MAX}$ にわたって適用され、その他の全てのリミット値は $T_A = T_J = 25$ に対して適用されます。**

Symbol	Parameter	Conditions	Typical (Note 7)	Limits (Note 8)	Units
--------	-----------	------------	---------------------	--------------------	-------

CONVERTER AND MULTIPLEXED CHARACTERISTICS

TUE	Total Unadjusted Error	(Note 9)	± 0.1	± 0.8	LSB (max)
V_{OFF}	Offset Error		0.03	± 0.5	LSB
DNL	Differential Nonlinearity		0.1	± 0.5	LSB
INL	Integral Nonlinearity		0.1	± 0.5	LSB
FS	Full Scale Error		0.06	± 0.8	LSB
V_{IN}	Analog Input Voltage	(Note 10)		($V_{CC} + 0.05$) ($GND - 0.05$)	V (max) V (min)
	DC Common Mode Error		± 0.02		LSB (max)
	Analog Input Leakage Current (Note 11)	On Channel	± 11.0		nA
		Off Channel	± 3.0		nA

DC CHARACTERISTICS

$V_{IN(1)}$	Logical " 1 " Input Voltage		1.0	2.0	V (min)
$V_{IN(0)}$	Logical " 0 " Input Voltage		1.1	0.8	V (max)
I_{IN}	Digital Input Current		± 2		μA (max)
$V_{OUT(1)}$	Logical " 1 " Output Voltage	$V_{CC} = 2.7V$ $I_{OUT} = - 360 \mu A$	3.3	2.4	V (min)
$V_{OUT(0)}$	Logical " 0 " Output Voltage	$V_{CC} = 2.7V$ $I_{OUT} = 1.6$ mA	0.2	0.4	V (max)
I_{OUT}	TRI-STATE Output Current	$V_{OUT} = 0V$ $V_{OUT} = 3.3V$	- 2.0 2.0		μA μA
I_{SOURCE}	Digital Output Short Circuit Current	$V_{OUT} = 0V$	- 13		mA
I_{SINK}	Digital Output Sink Circuit	$V_{OUT} = V_{CC}$	9.6		mA
I_{CC}	Supply Current (Note 15)	$\overline{CS} = V_{CC}$	0.1		nA
		$\overline{CS} = \text{Low}$, $CLK = V_{CC}$	330	500	μA (max)

電気的特性

特記のない限り、以下の仕様は $V_{CC} = 3.3V$ 、50%デューティサイクル、 $t_r = t_f = 20ns$ に対して適用されます。太文字表記のリミット値は $T_A = T_J = T_{MIN} \sim T_{MAX}$ にわたって適用され、その他の全てのリミット値は $T_A = T_J = 25$ に対して適用されます。

Symbol	Parameter	Conditions	Typical	Limits	Units
f_{CLK}	Max Clock Frequency	$V_{CC} = 5$	1000		kHz
		$V_{CC} = 3.3$	700	500	kHz
		$V_{CC} = 2.7$	400		kHz
	Clock Duty Cycle (Note 12)			40 60	% (min) % (max)
t_{CONV}	Conversion Time (Not Including MUX Addressing Time)	$f_{CLK} = 500 \text{ kHz}$		8 16	$1/f_{CLK}$ μs
t_{ca}	Acquisition Time			1/2	$1/f_{CLK}$ (max)
t_{SET-UP}	Set Up Time Required from Falling CS to Rising Clock Edge			15	ns (min)
t_{HOLD}	Data Input Valid after CLK Rising Edge			20	ns (min)
t_{pd1}, t_{pd0}	CLK Falling Edge to Output Data Valid (Note 13)	$C_L = 100 \text{ pF}$: Data MSB First Data LSB First		150 100	ns (max) ns (max)
t_{1H}, t_{0H}	TRI-STATE Delay from Rising Edge of CS to Data Output and SARS Hi-Z	$C_L = 100 \text{ pF}, R_L = 10 \text{ k}$ (see TRI-STATE Test Circuit)	35		ns
C_{IN}	Input Capacitance of CH_0, CH_1 (Note 14)		13		pF
C_{IN}	Input Capacitance of CLK, D1		5		pF
C_{OUT}	Output Capacitance of Logic Outputs D0 (in TRI-STATE)		5		pF

ダイナミック特性

特記のない限り、以下の仕様は $V_{CC} = 3.3V$ 、 $f_{CLK} = 500kHz$ 、 $T_A = 25$ 、 $R_{SOURCE} = 25$ 、 $f_{IN} = 9.6kHz$ 、 $V_{IN} = 3.3V_{P-P}$ 、干渉しない 2048 個のサンプルに対して適用されます。

Symbol	Parameter	Conditions	Typical	Limits	Units
f_S	Sampling Rate		$f_{CLK}/13$		ksps
SNR	Signal-to-Noise Ratio (Note 16)		49.5		dB
THD	Total Harmonic Distortion (Note 17)		- 66		dB
SINAD	Signal-to-Noise and Distortion		49.4		dB
ENOB	Effective Number Of Bits (Note 15)		7.9		Bits
SFDR	Spurious Free Dynamic Range		- 67.6		dB

Note 1: 絶対最大定格とは、IC に破壊が発生する可能性があるリミット値をいいます。

Note 2: 動作定格とはデバイスが機能する条件を示しますが、特定の性能リミット値を示すものではありません。保証された仕様、および試験条件については「電気的仕様」を参照して下さい。保証された仕様は電気的特性に記載されている試験条件においてのみ適用されます。デバイスが記載の試験条件下で動作しない場合、いくつかの性能特性が低下することがあります。

Note 3: 特記のない限り、全ての電圧は $GND = 0V_{DC}$ を基準にして測定されています。

Note 4: いずれかの端子で入力電圧 (V_{IN}) が電源電圧を超えた場合 (すなわち $V_{IN} < (GND)$ または $V_{IN} > V_{CC}$ のとき)、その端子の入力電流を 5mA 以下に制限しなければなりません。最大パッケージ入力定格電流 (20mA) により、 V_{CC} を超えて 5mA の電流を流すことができる端子数は 4 本に制限されます。

Note 5: 温度上昇時の動作では、最大消費電力の定格を T_{Jmax} (最大接合部温度)、 J_A (接合部・周囲温度間熱抵抗) および T_A (周囲温度) に従ってデレーティングしなければなりません。任意温度における最大許容消費電力は、 $P_D = (T_{Jmax} - T_A)/J_A$ または絶対最大定格で示される値のうち、いずれか低い方の値です。

Note 6: 人体モデルの場合、100pF のコンデンサから直列抵抗 1.5k を通して各端子に放電させます。マシンモデルの場合は、200pF のコンデンサから直接各端子に放電させます。

Note 7: 代表値 (Typical) は、 $T_J = +25$ で得られる最も標準的な数値です。

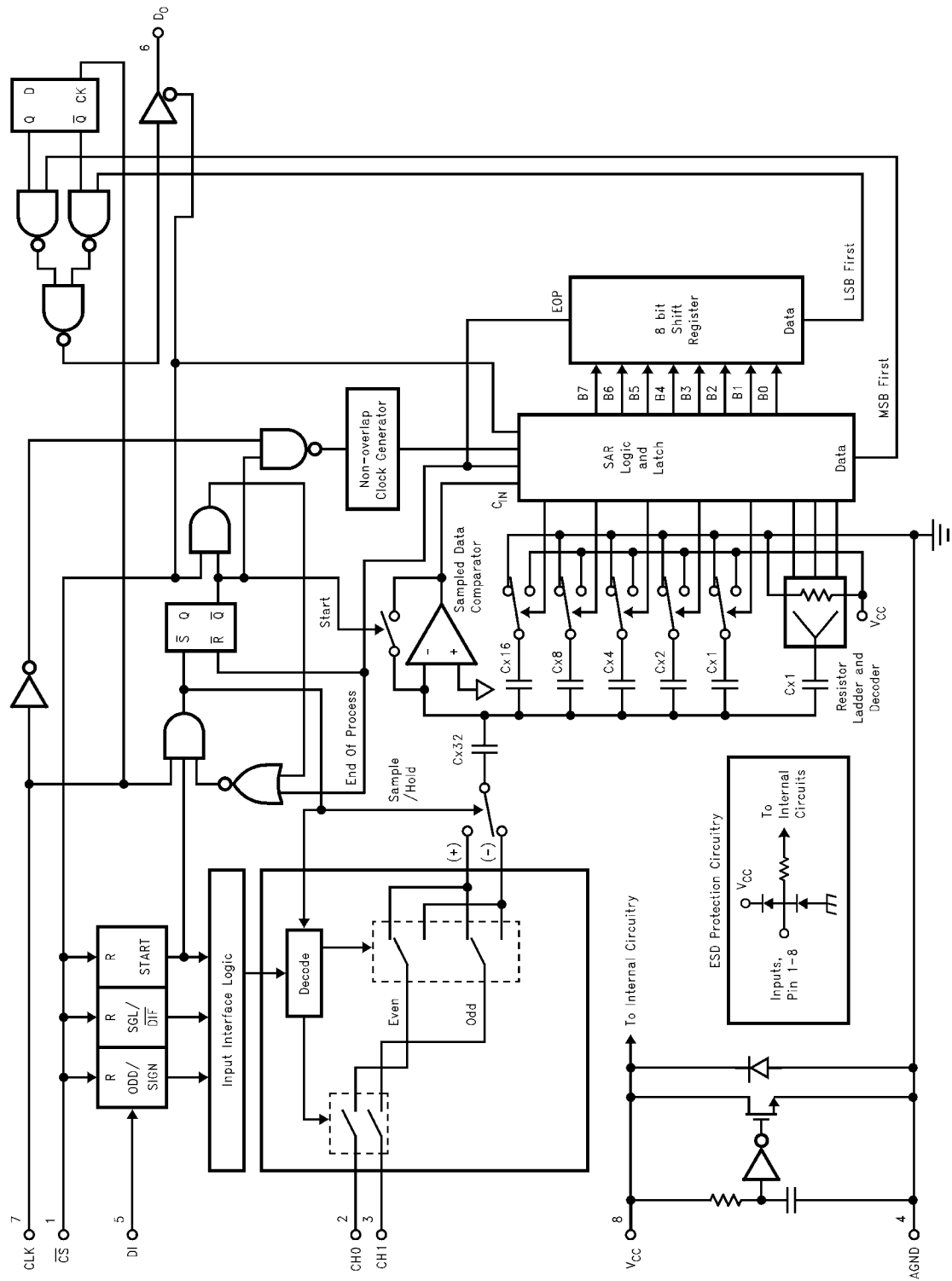
Note 8: テストリミット値はナショナル セミコンダクター社の平均出荷品質レベル AOQL (Average Outgoing Quality Level) に基づき保証されます。

Note 9: 総合無調整誤差には、オフセット誤差、フルスケール誤差、直線性誤差およびマルチプレクサ誤差を含みます。

ダイナミック特性 (つづき)

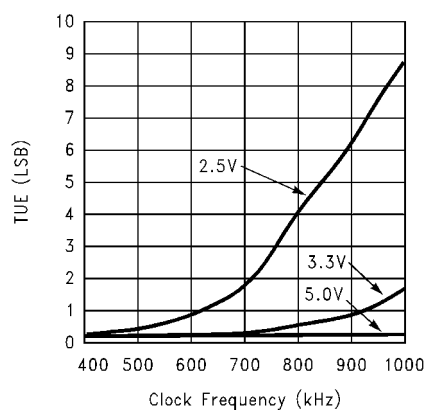
- Note 10:** $V_{IN(-)}$ 、 $V_{IN(+)}$ の入力に対するデジタル出力は、0000 0000 になります。1 つのダイオードはグラウンド以下のアナログ入力に対して、もう 1 つのダイオードは電源電圧 V_{CC} 以上のアナログ入力に対して順方向バイアスされるように、2 つのオンチップダイオードが各アナログ入力に接続されています (機能ブロック図を参照)。低い V_{CC} レベル (例えば 2.7V) でのテスト中に、高いレベルの入力 (例えば、3.3V) が入ると、入力ダイオードの導通が起こります。特に、温度上昇時には、フルスケール近くのアナログ入力に対して誤差を生じる可能性があります。規定されている特性は、どちらかのダイオードの 50mV の順方向バイアスまでは許容しています。これは、アナログ入力 V_{IN} が電源電圧範囲を 50mV 以上超えない限り、出力コードは正確であることを意味しています。選択されていないチャネルでこの範囲を超える場合には、選択されたチャネルの読み出しに影響を及ぼします。 $0V_{DC} \sim 3.30V_{DC}$ の絶対的な入力電圧範囲を達成するためには、全温度範囲にわたる、初期許容値の変化および負荷変動に対して最低 $3.25V_{DC}$ の電源電圧が必要になります。
- Note 11:** チャネル漏れ電流の測定は、シングルエンド・チャネルを選択し、クロックをオフにしてから行います。“ オフ・チャネルの漏れ電流 ” の場合、次の 2 通りの方法で測定します。1 つは、セレクト・チャネル電圧を “ High ” レベル ($3.3V_{DC}$) に保持し、残り 7 本のオフ・チャネル電圧を “ Low ” レベル ($0V_{DC}$) に保持してオフ・チャネルに流れる全電流を測定します。もう 1 つの方法では、セレクト・チャネル電圧を “ Low ” レベル、オフ・チャネル電圧を “ High ” レベルに保持してオフ・チャネルに流れる全電流を再び測定します。これらの 2 つのチャネル漏れ電流測定方法は、選択チャネルの全電流を測定する以外同じです。
- Note 12:** 全てのクロック周波数に対して、40% から 60% の範囲のデューティサイクルで適切な動作が確保されます。
- Note 13:** Data MSB first は、逐次比較ループで使われるコンパレータの出力なので、コンパレータの応答時間を許容するための遅延時間が追加されています。
- Note 14:** 各アナログ入力は、300 (代表値) の抵抗が 13pF のサンプル / ホールド回路に直列接続される回路構成になっています。
- Note 15:** 有効ビット (ENOB) は、信号 / (ノイズ + 歪み) 比 (SINAD) で測定された値を用いて、 $ENOB = (SINAD - 1.76) / 6.02$ の等式から算出されます。
- Note 16:** 信号 / ノイズ比は、信号振幅とバックグラウンド・ノイズ・レベルとの比です。入力信号の高調波は、この計算に含まれません。
- Note 17:** 最初の 6 つの高調波で THD が計算されます。

ADCV08832 機能ブロック図

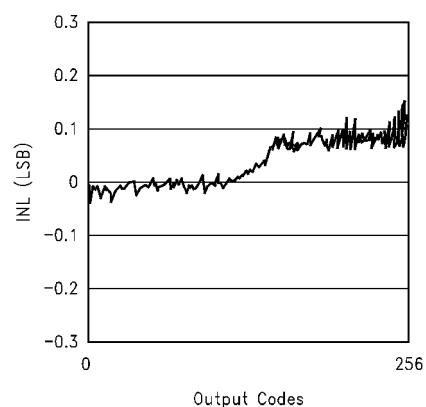


代表的な性能特性 特記のない限り、 $T_A = 25^\circ\text{C}$ 、 $V_{CC} = 3.3\text{V}$ の条件でのグラフを示す。

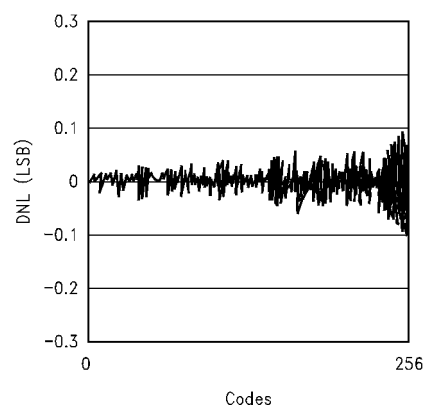
TUE vs Clock Frequency



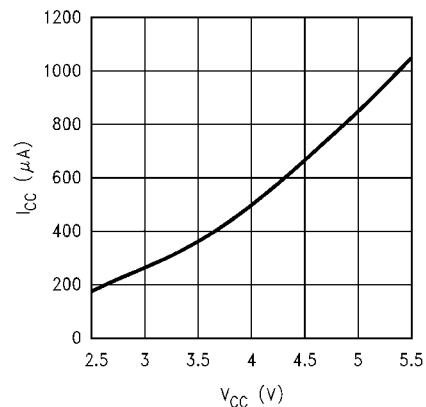
INL vs Output Codes



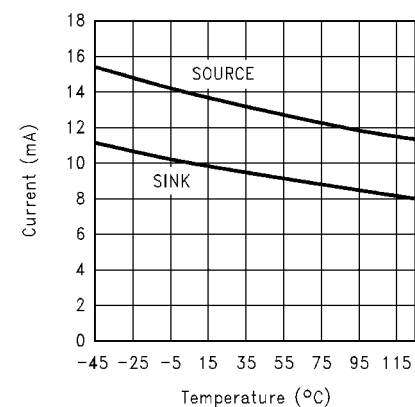
DNL vs Output Codes



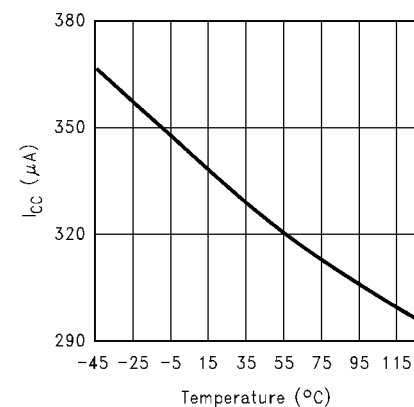
I_{CC} (operating) vs V_{CC}



Typical Digital Output Current vs Temperature

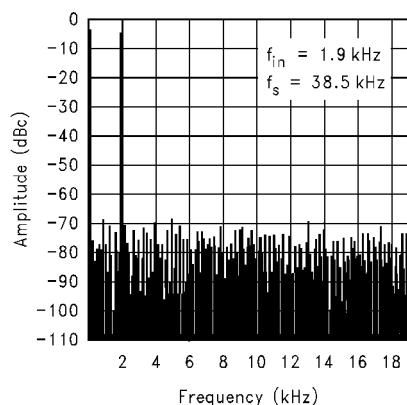


I_{CC} (operating) vs Temperature

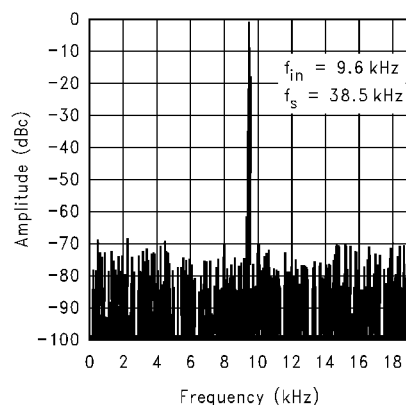


代表的な性能特性 特記のない限り、 $T_A = 25^\circ\text{C}$ 、 $V_{CC} = 3.3\text{V}$ の条件でのグラフを示す。(つづき)

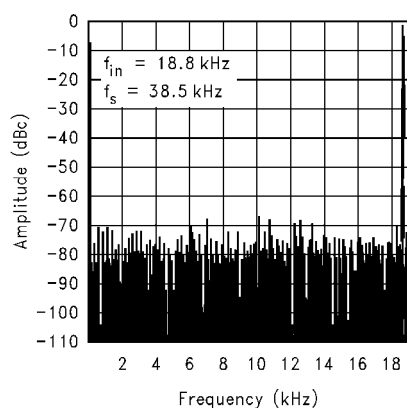
Spectral Response with 1.9 kHz
Sine Wave Input, $f_{CLK} = 500\text{ kHz}$



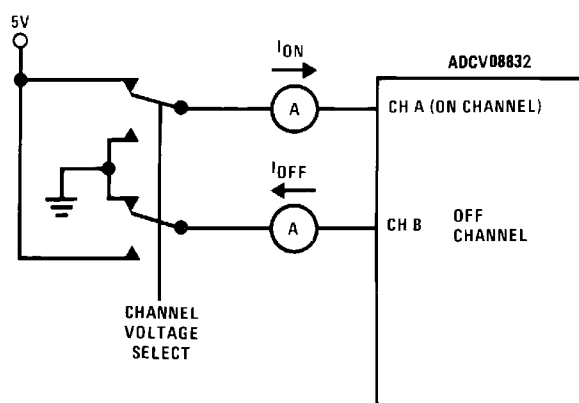
Spectral Response with 9.6 kHz
Sine Wave Input, $f_{CLK} = 500\text{ kHz}$



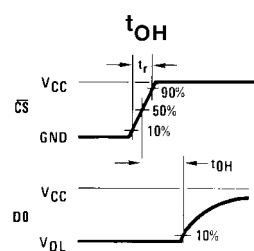
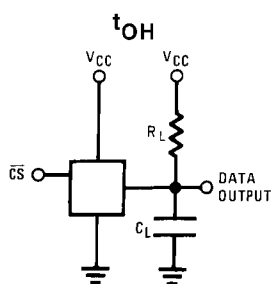
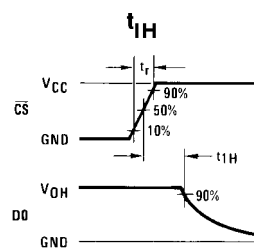
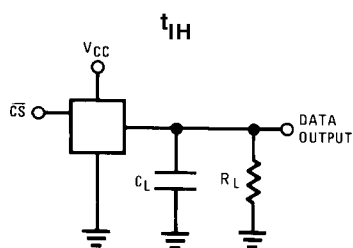
Spectral Response with 18.8 kHz
Sine Wave Input, $f_{CLK} = 500\text{ kHz}$



漏れ電流テスト回路

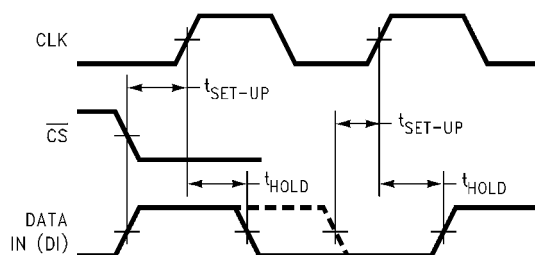


TRI-STATE テスト回路と波形

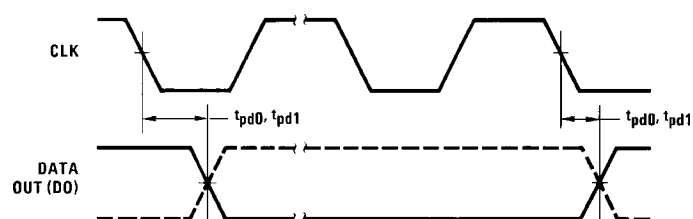


タイミング図

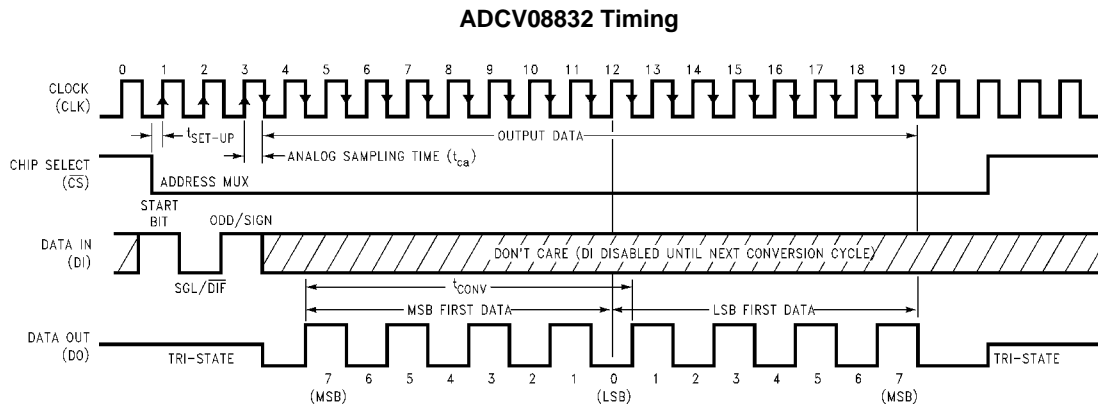
Data Input Timing



Data Output Timing



タイミング図 (つづき)



機能説明

1.0 マルチプレクサ・アドレッシング

これらのコンバータは逐次比較ルーチンによる差動アナログ入力の変換機能を備えたサンプル・データ・コンバータを用いています。

差動の場合には、変換電圧は、常に“+”端子に割り当てられた入力と“−”端子に割り当てられた入力との差になります。変換される一対の入力端子極性は、どのラインが正極性であるかということコンバータに与えることを示しています。“+”端子に割り当てられた入力電圧が“−”端子に割り当てられた入力電圧より低い場合は、コンバータはオールゼロのデジタルコードを出力します。

コンバータのアナログ入力のマルチプレクサは、ソフトウェアでシングルエンドまたは差動モードの選択が可能です。トランスデューサ・データ収集システムに求められるアナログ信号処理はこの柔軟性により、大きく簡略化されます。

1 台の ADCV08832 でグラウンド基準入力、差動入力、さらに任意の電圧を基準にした信号の処理が可能です。

入力の構成は、変換開始に先立って MUX アドレッシング処理の間に割り当てられます。MUX アドレスは、どのアナログ入力がいネープルになり、この入力がシングルエンドであるか差動であるかを選択します。差動モードの選択の場合には、チャネルの極性も割り当てます。チャネル 0 を正入力、チャネル 1 を負入力に、また逆にチャネル 0 を負入力に、チャネル 1 を正入力にも選択することが出来ます。下記の MUX アドレッシングの表をご参照ください。

MUX Addressing: ADCV08832

Single-Ended MUX Mode				
MUX Address			Channel #	
Start Bit	SGL/ DIF	ODD/ SIGN	0	1
1	1	0	+	
1	1	1		+

Differential MUX Mode				
MUX Address			Channel #	
Start Bit	SGL/ DIF	ODD/ SIGN	0	1
1	0	0	+	−
1	0	1	−	+

入力の構成は、ソフトウェア制御の下に行われるため、各変換を行う前に必要に応じて変更することが可能です。1 つのチャネルはある変換においてシングルエンド、グラウンド基準として扱うことができ、次の変換においては差動チャネルの 1 入力とすることが出来ます。

各チャネルのアナログ入力電圧は、グラウンド以下 50mV から V_{CC} 以上 50mV まで変換精度を損なうことなく振幅をとることが出来ます。

2.0 デジタル・インタフェース

このコンバータは、制御プロセッサとシリアル通信インタフェースを通して通信できます。この A/D コンバータは出力ノイズが小さいため、アナログ信号源の近くに置くことが可能です。

タイミング図と機能ブロック図を参照して、変換手順を追うことでこのコンバータの動作を理解することが出来ます。

1. 変換は、最初に \overline{CS} (チップセレクト) が Low になった時に初期化されます。このラインは変換期間中 (13 クロックサイクル) Low に保たなければなりません。コンバータは、スタート・ビットと MUX 割り当てワードを待ちます。
2. クロック信号の各立ち上がりエッジでデータ入力ライン (DI) のデータは、MUX アドレス・シフト・レジスタにクロック同期します。スタート・ビットは、このラインに現れる最初のロジック“1”です (全ての読み込みゼロは無視されます)。スタート・ビットに続いてコンバータは、次の 2 ビットが MUX アドレスであることを要求します。
3. 奇数の符号ビットがラッチされてから 1/2 クロック後、変換が開始します。自動的に 1/2 クロック周期のインターバル (この間は何も起きません) が選択された MUX レジスタを最終的なアナログ入力値に安定させるために挿入されます。変換が開始すると、それ以降は、DI ラインは、無視されます。

機能説明 (つづき)

- 3 つめのクロックの立ち上がりエッジで、データ出力 (DO) ラインは、TRI-STATE 状態を終了し、この MUX セットアップタイムの 1 クロックの周期の間、リーディング・ゼロを出力します。
- この変換の間、SAR コンバータは、比率キャパシタ・アレイ (最初の 5 ビット) と抵抗ラダー (最後の 3 ビット) から内部生成される逐次電圧に対し、一連のアナログ入力電圧が高い (High) か、低い (Low) かの比較を行い、その結果を出力します。各比較が終了する度に、CLK の立下がりエッジでコンバータの出力が DO にクロック同期します。
- 8 クロック周期の後、逐次比較ルーチンが完了します。
- 次に、逐次比較レジスタに格納されたデータは、内部シフトレジスタにロードされ、LSB ファーストデータがシフトアウトされます。すべて出力されると、DO ラインは Low になり、CS ラインが High にもどるまで Low に保たれます。
- DI と DO ラインを互いに結び、双方向 I/O プロセッサを介して 1 本のラインで制御することも可能です。これは、DO ラインがハイ・インピーダンス状態である、MUX アドレッシング期間中のみ DI 入力があるため可能です。

3.0 消費電力の低減

3.3V 電源では、 \overline{CS} がロジック Low のとき、ADC0832 の消費電流は約 330 μ A です。 \overline{CS} が High のとき、デバイスはパワーダウンモードになり、総消費電力を最小限に抑えます。

パワーダウンモードでは、いくつかのアナログ回路とデジタル・ロジックは静的低電力状態にされます。また DO 出力ドライバは、TRI-STATE モードになります。

静的電力消費を最適化するには、CLK、CS、DI のデジタル入力ロジック信号に特に注意を払う必要があります。各デジタル入力には、 V_{CC} と GND 間に大きな CMOS バッファがあります。従来の TTL レベルの High (2.4V) は、各入力でロジック 1 を読み込むのに十分な値です。ただし、各入力では V_{IH} から V_{CC} への電圧差がある場合があります。このような電圧差があると、CS 端子が High で低電力モードのときでさえ極端な静的消費電力の原因となります。

したがって、静的消費電力を最小限に抑えるには、すべてのデジタル・ロジック・レベルをコンバータの電源と同じにすることをお勧めします。このアプリケーションには、特に CMOS ロジックが適しています。

4.0 アナログ入力

ADC0832 の最も重要な長所は、アナログ信号源のすぐそばに配置可能なこと、またわずか数本の信号線を介して制御プロセッサとのインタフェースが可能であることです。これにより、回路は非常に小さくなり、ノイズの影響を最も受けやすいアナログ信号の精度を維持することができます。ただし、ノイズが多い、または大きな同相電圧に重畳しているアナログ入力については注意が必要です。

真の差動入力段階では、“+” 入力と“-” 入力の両方に共通な信号はいずれもキャンセルされます。ADC0832 では、選択したチャネルペアの正の入力は、アキュイジションタイム (t_{acq}) 中の変換開始前に一度だけサンプリングされます。負の入力は、SAR シーケンスの決定のたびごとにサンプリングされるため、変換期間中は、つねに安定している必要があります。これは、アナログ入力上の AC 同相信号は、すべてがキャンセルされないことがあるため、変換エラーが発生することがあるためです。同相正弦波のリニアな近似条件の悪い近似エラーは、次のようになります。

$$V_{error}(MAX) = V_{PEAK} (2/f_{CM})(t_{conv})$$

ここで、 f_{CM} は同相信号の周波数、 V_{PEAK} はそのピーク電圧値、 t_{conv} は A/D コンバータの変換時間 ($t_{conv} = 13/f_{CLK}$) です。

500kHz のコンバータ動作で、60Hz の同相信号が 1/4LSB 誤差 (5mV) を発生させるためには、そのピーク値は 0.328V でなければなりません。

4.1 サンプル/ホールド

ADC0832 には、入力信号を得るための内蔵のサンプル/ホールド回路が備わっています。サンプル/ホールドでは、入力信号をシングルエンド・モードか擬似差動モードでサンプリングできます。

4.2 入力オペアンプ

アナログ入力をオペアンプでドライブするときは、オペアンプを許容時間内に安定させることが重要です。フルサンプリング・レートを実行するためには、アナログ入力を低インピーダンス・ソース (100 Ω) かまたは LM6142 のような高速のオペアンプでドライブする必要があります。より高いインピーダンス・ソースまたはより遅いオペアンプを使用するには、アナログ入力安定するための時間をより多くとるようにします。

4.3 ソース抵抗

ADC0832 のアナログ入力は、300 Ω の抵抗 (R_{ON}) と直列な 13pF のコンデンサ (C_{IN}) のように見えます。 C_{IN} は、選択された“+”と“-”入力の間で各変換サイクルの間に切り替わります。大きな外部ソース抵抗では、入力が安定するのが遅くなります。すべての RC 時定数は、アナログ入力が完全に安定するよう十分短くすることが重要です。

4.4 基板レイアウトの注意事項、グラウンドとバイパス

ADC0832 は、アナログ・グラウンド・プレーンと 1 点でのグラウンド接続テクニックを使用してください。GND 端子はグラウンド・プレーンに直接接続してください。

電源端子は、シングルエンド・モードにおいてセラミックのコンデンサで、リード線をできるだけ短くして、グラウンド・プレーンにバイパスしてください。すべてのアナログ入力は、直接 1 点グラウンドを基準とします。

5.0 オプションの調整

5.1 ゼロ誤差

この A/D コンバータのオフセット調整は不要です。アナログ入力電圧の最小値 $V_{IN(MIN)}$ がグラウンド電位でなければ、ゼロ・オフセットが可能です。差動モードでは、任意の V_{IN} “-” 入力を $V_{IN(MIN)}$ 値でバイアスすると、この最小入力電圧でオール・ゼロ (0000 0000) のデジタル・コードを出力するようにコンバータを設定することができます。

A/D コンバータのゼロ誤差は、伝達関数の最初の立上がり位置で生じ、 $V_{IN}(-)$ 入力を接地し小さな正電圧を $V_{IN}(+)$ 入力に加えて測定します。ゼロ誤差は、出力デジタル・コードが 0000 0000 から 0000 0001 に遷移するのに必要な実際の DC 入力電圧値と理想の 1/2LSB 値 ($1/2LSB = 6.4mV$) との差です。

6.0 ダイナミック・パフォーマンス

ダイナミック・パフォーマンスの仕様は、波形のサンプリングやデジタル化を行うアプリケーションでは役立ちます。一般的に、メモリ・バッファを使用して、後の処理のために連続するデジタル出力をキャプチャします。2 の累乗 (例えば、1024、2048、4096) で多数のデータ・サンプルをキャプチャすることにより、高速フーリエ変換 (FFT) では信号の周波数成分をデジタルで解析できます。アプリケーションに応じて、さらにデジタル処理を行うことができます。

機能説明 (つづき)

6.1 サンプリング・レート

サンプリング・レート (スループット・レートとも呼ばれる) とは、A/D コンバータによってサンプリングされる時間間隔のことです。サンプリング・レートには、MUX のセットアップ時間などのファクタ、データの獲得時間、インタフェースの時間遅延の他に変換時間も含まれます。通常、サンプリング・レートは、A/D コンバータのクロック周波数が最大であるときの 1 秒当たりのデータ・サンプリング数で表されます。

ナイキスト周波数 (サンプリング・レートの 1/2) を超える周波数成分を持つ信号は、ナイキスト周波数以下の周波数成分にエイリアス化されます。信号の劣化を避けるためには、入力信号の最大周波数成分の 2 倍以上でサンプリングするか、フロントエンドにローパス・フィルタ (アンチ・エイリアシング) を挿入します。

6.2 信号対ノイズ比 (SN 比)

信号 / ノイズ比 (SNR) とは、本来の信号の RMS の大きさと本来の信号以外の信号 (ハーモニックを除く) の合計 RMS (サンプリング周波数の 1/2 (ナイキスト周波数) まで) との比のことです。

6.3 総ハーモニック歪み (THD)

総ハーモニック歪みとは、ハーモニックの振幅の合計 RMS と本来の入力周波数との比のことです。

$$THD = 20 \log [(V_2^2 + V_3^2 + V_4^2 + V_5^2 + V_6^2)^{1/2} / V_1]$$

ここで、 V_1 は本来の信号の RMS 振幅で、 V_2 、 V_3 、 V_4 、 V_5 、 V_6 は個々のハーモニックの RMS 振幅です。理論上では、すべてのハーモニックが THD の計算に含まれます。しかし経験上、最初の 6 つだけが大きく寄与するので、それらの測定が必要になります。

アプリケーション

6.4 信号対ノイズ + 歪み比 (SINAD)

信号とノイズ + 歪みの比 (SINAD) とは、本来の信号の RMS の大きさと本来の信号以外の信号 (ノイズとハーモニックを含む) の合計 RMS (サンプリング周波数の 1/2 (ナイキスト周波数) まで、DC 成分を除く) との比のことです。

SINAD は、波形サンプリングのプロセスで A/D コンバータが使用する数量化レベルの数によっても異なります。数量化レベルをより大きくすると、数量化ノイズと理論上のノイズ・パフォーマンスは小さくなります。n ビットの A/D コンバータに対する理論上の SINAD は、次式で与えられます。

$$SINAD = (6.02 n + 1.76) \text{ dB}$$

したがって、8 ビットのコンバータでは、理論上 $SINAD = 49.92 \text{ dB}$ となります。

6.5 有効ビット数

有効ビット数 (ENOB) は、ダイナミック・パフォーマンスを数値化するもう 1 つの仕様です。ENOB は、次式で与えられます。

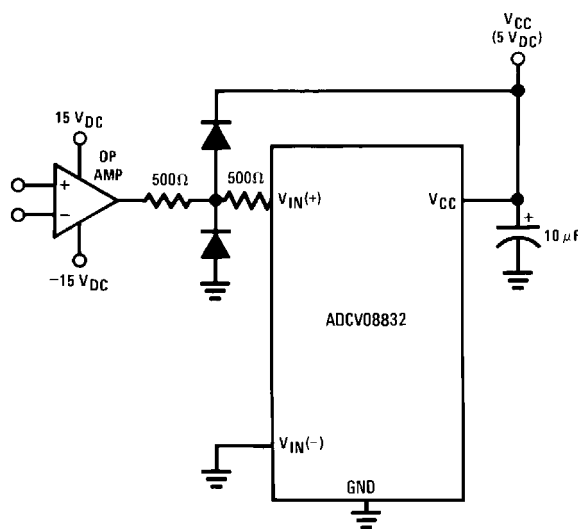
$$ENOB = [(SINAD - 1.76) / 6.02]$$

SINAD 同様、有効ビット数は、量子化、ADC 非リニアリティ、ノイズ、歪みなどを含むいくつかの誤差の累積効果を示します。

6.6 スプリアス・フリー・ダイナミック・レンジ (SFDR)

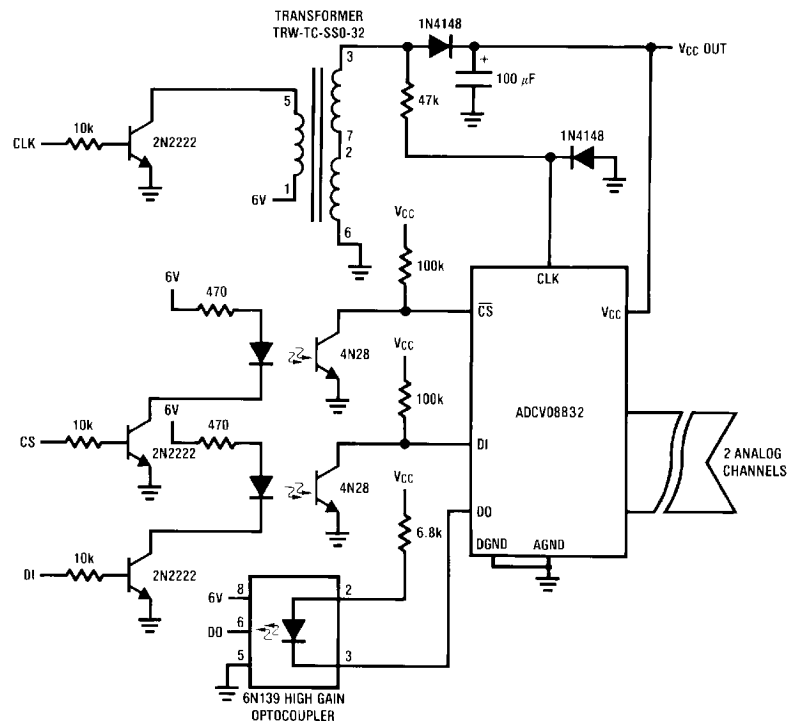
スプリアス・フリー・ダイナミック・レンジ (SFDR) とは、信号振幅と、一番高いハーモニックまたはスプリアス・ノイズ要素の振幅との比のことです。振幅がフルスケールの場合は、この仕様は単にピーク・ハーモニックまたはスプリアス・ノイズの相互作用となります。

Protecting the Input

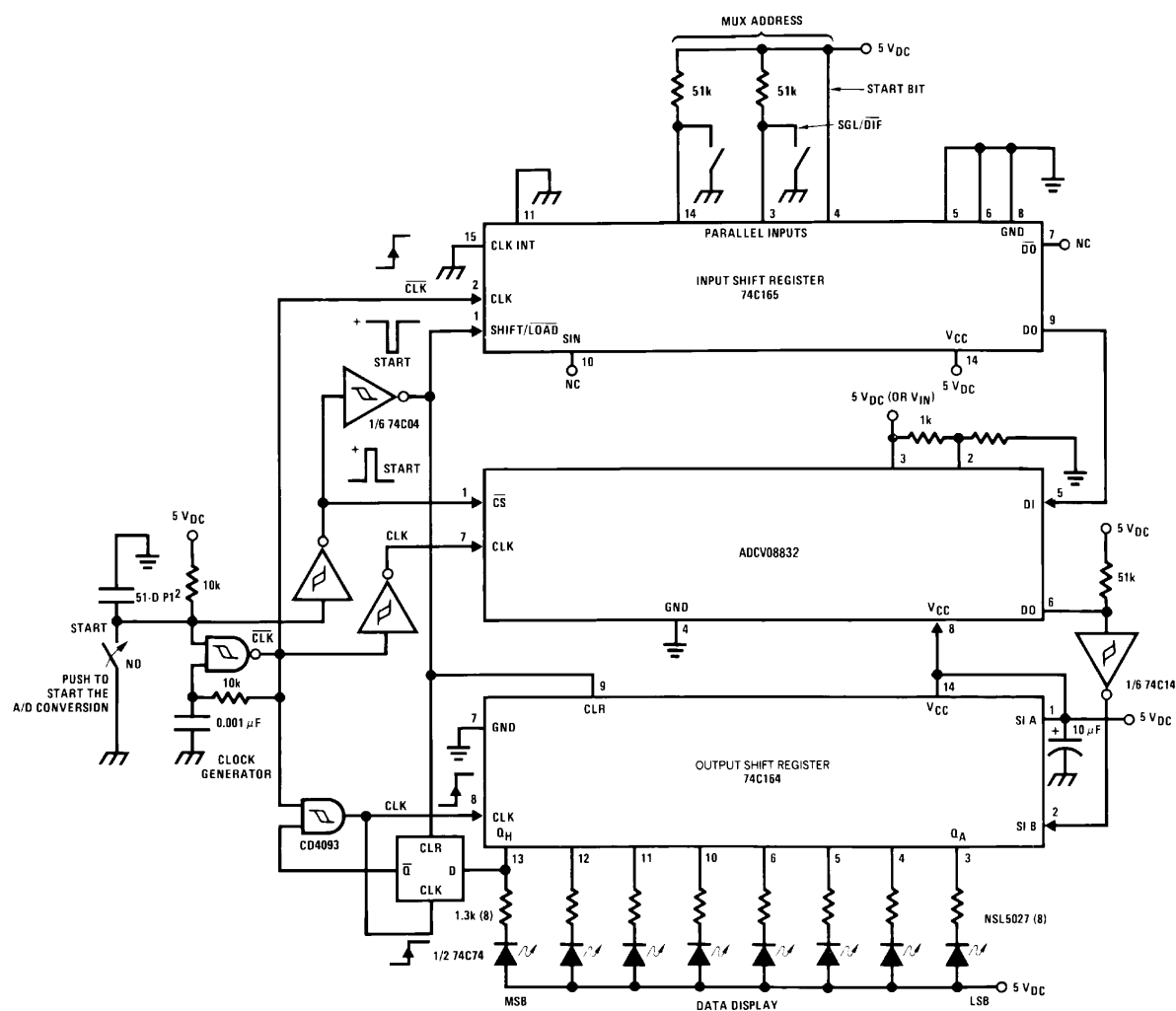


アプリケーション (つづき)

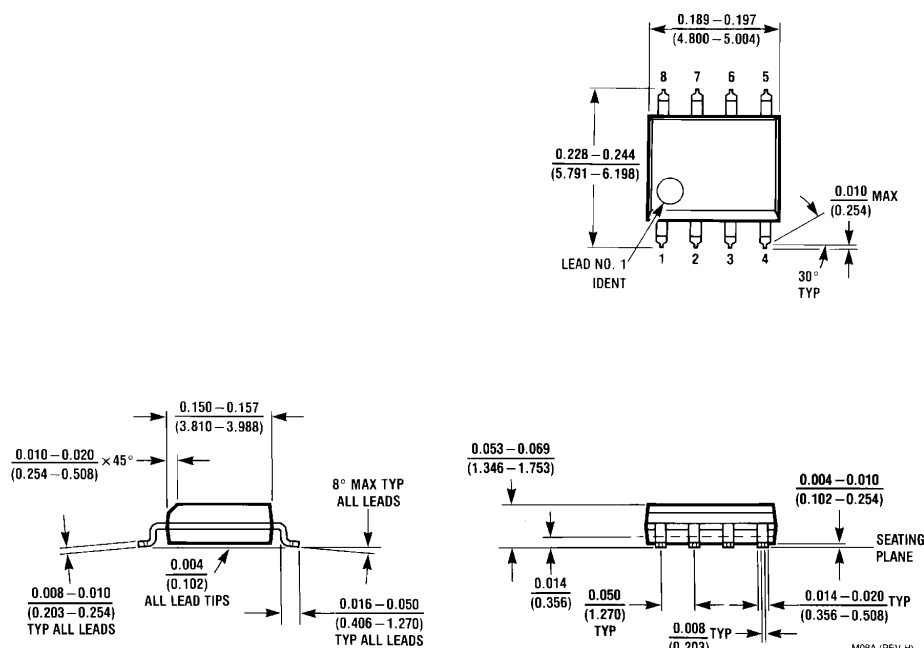
Isolated Data Converter



A “ Stand-Alone ” Hook-Up for ADCV08832 Evaluation



外形寸法図 特記のない限り inches (millimeters)



Order Number ADCV08832CIM
NS Package Number M08A

生命維持装置への使用について

弊社の製品はナショナル セミコンダクター社の書面による許可なくしては、生命維持用の装置またはシステム内の重要な部品として使用することはできません。

1. 生命維持用の装置またはシステムとは (a) 体内に外科的に使用されることを意図されたもの、または (b) 生命を維持あるいは支持するものをいい、ラベルにより表示される使用法に従って適切に使用された場合に、これの不具合が使用者に身体的障害を与えると予想されるものをいいます。
2. 重要な部品とは、生命維持にかかわる装置またはシステム内のすべての部品をいい、これの不具合が生命維持用の装置またはシステムの不具合の原因となりそれらの安全性や機能に影響を及ぼすことが予想されるものをいいます。

ナショナル セミコンダクター ジャパン株式会社

本社 / 〒 135-0042 東京都江東区木場 2-17-16 TEL.(03)5639-7300

技術資料（日本語 / 英語）はホームページより入手可能です。

<http://www.national.com/JPN/>

その他のお問い合わせはフリーダイヤルをご利用下さい。

 0120-666-116

PACKAGING INFORMATION

Orderable part number	Status (1)	Material type (2)	Package Pins	Package qty Carrier	RoHS (3)	Lead finish/ Ball material (4)	MSL rating/ Peak reflow (5)	Op temp (°C)	Part marking (6)
ADCV08832CIMX/NOPB	Active	Production	SOIC (D) 8	2500 LARGE T&R	Yes	SN	Level-1-260C-UNLIM	-40 to 125	ADCV0 8832I
ADCV08832CIMX/NOPB.A	Active	Production	SOIC (D) 8	2500 LARGE T&R	Yes	SN	Level-1-260C-UNLIM	-40 to 125	ADCV0 8832I

⁽¹⁾ **Status:** For more details on status, see our [product life cycle](#).

⁽²⁾ **Material type:** When designated, preproduction parts are prototypes/experimental devices, and are not yet approved or released for full production. Testing and final process, including without limitation quality assurance, reliability performance testing, and/or process qualification, may not yet be complete, and this item is subject to further changes or possible discontinuation. If available for ordering, purchases will be subject to an additional waiver at checkout, and are intended for early internal evaluation purposes only. These items are sold without warranties of any kind.

⁽³⁾ **RoHS values:** Yes, No, RoHS Exempt. See the [TI RoHS Statement](#) for additional information and value definition.

⁽⁴⁾ **Lead finish/Ball material:** Parts may have multiple material finish options. Finish options are separated by a vertical ruled line. Lead finish/Ball material values may wrap to two lines if the finish value exceeds the maximum column width.

⁽⁵⁾ **MSL rating/Peak reflow:** The moisture sensitivity level ratings and peak solder (reflow) temperatures. In the event that a part has multiple moisture sensitivity ratings, only the lowest level per JEDEC standards is shown. Refer to the shipping label for the actual reflow temperature that will be used to mount the part to the printed circuit board.

⁽⁶⁾ **Part marking:** There may be an additional marking, which relates to the logo, the lot trace code information, or the environmental category of the part.

Multiple part markings will be inside parentheses. Only one part marking contained in parentheses and separated by a "~" will appear on a part. If a line is indented then it is a continuation of the previous line and the two combined represent the entire part marking for that device.

Important Information and Disclaimer: The information provided on this page represents TI's knowledge and belief as of the date that it is provided. TI bases its knowledge and belief on information provided by third parties, and makes no representation or warranty as to the accuracy of such information. Efforts are underway to better integrate information from third parties. TI has taken and continues to take reasonable steps to provide representative and accurate information but may not have conducted destructive testing or chemical analysis on incoming materials and chemicals. TI and TI suppliers consider certain information to be proprietary, and thus CAS numbers and other limited information may not be available for release.

In no event shall TI's liability arising out of such information exceed the total purchase price of the TI part(s) at issue in this document sold by TI to Customer on an annual basis.

TAPE AND REEL INFORMATION



*All dimensions are nominal

Device	Package Type	Package Drawing	Pins	SPQ	Reel Diameter (mm)	Reel Width W1 (mm)	A0 (mm)	B0 (mm)	K0 (mm)	P1 (mm)	W (mm)	Pin1 Quadrant
ADC08832CIMX/NOPB	SOIC	D	8	2500	330.0	12.4	6.5	5.4	2.0	8.0	12.0	Q1

TAPE AND REEL BOX DIMENSIONS



*All dimensions are nominal

Device	Package Type	Package Drawing	Pins	SPQ	Length (mm)	Width (mm)	Height (mm)
ADC08832CIMX/NOPB	SOIC	D	8	2500	367.0	367.0	35.0

重要なお知らせと免責事項

TI は、技術データと信頼性データ (データシートを含みます)、設計リソース (リファレンス デザインを含みます)、アプリケーションや設計に関する各種アドバイス、Web ツール、安全性情報、その他のリソースを、欠陥が存在する可能性のある「現状のまま」提供しており、商品性および特定目的に対する適合性の黙示保証、第三者の知的財産権の非侵害保証を含むいかなる保証も、明示的または黙示的にかかわらず拒否します。

これらのリソースは、TI 製品を使用する設計の経験を積んだ開発者への提供を意図したものです。(1) お客様のアプリケーションに適した TI 製品の選定、(2) お客様のアプリケーションの設計、検証、試験、(3) お客様のアプリケーションに該当する各種規格や、その他のあらゆる安全性、セキュリティ、規制、または他の要件への確実な適合に関する責任を、お客様のみが単独で負うものとし、TI は一切の責任を拒否します。

上記の各種リソースは、予告なく変更される可能性があります。これらのリソースは、リソースで説明されている TI 製品を使用するアプリケーションの開発の目的でのみ、TI はその使用をお客様に許諾します。これらのリソースに関して、他の目的で複製することや掲載することは禁止されています。TI や第三者の知的財産権のライセンスが付与されている訳ではありません。お客様は、これらのリソースを自身で使用した結果発生するあらゆる申し立て、損害、費用、損失、責任について、TI およびその代理人を完全に補償するものとし、TI は一切の責任を拒否します。

TI の製品は、[TI の販売条件](#)、[TI の総合的な品質ガイドライン](#)、[ti.com](#) または TI 製品などに関連して提供される他の適用条件に従い提供されます。TI がこれらのリソースを提供することは、適用される TI の保証または他の保証の放棄の拡大や変更を意味するものではありません。TI がカスタム、またはカスタマー仕様として明示的に指定していない限り、TI の製品は標準的なカタログに掲載される汎用機器です。

お客様がいかなる追加条項または代替条項を提案する場合も、TI はそれらに異議を唱え、拒否します。

Copyright © 2025, Texas Instruments Incorporated

最終更新日：2025 年 10 月