

ADC3668、ADC3669 デュアル チャンネル、16 ビット、250MSPS および 500MSPS A/D コンバータ (ADC)

1 特長

- 16 ビット、デュアル チャンネル 250/500MSPS ADC
- ノイズ スペクトル密度: -160.4dBFS/Hz
- 熱ノイズ: 76.4dBFS
- シングル コア (非インターリーブ) ADC アーキテクチャ
- アパーチャ ジッタ: 75fs
- バッファ付きアナログ入力
 - プログラム可能な 100Ω および 200Ω 終端
- 入力フルスケール: $2V_{pp}$
- フルパワー入力帯域幅 (-3dB): 1.4GHz
- スペクトル性能 ($f_{IN} = 70\text{MHz}$, -1dBFS 時):
 - 信号対雑音比: 75.6dBFS
 - SFDR HD2, 3: 80dBc
 - SFDR の最大スプリアス: 94dBFS
- INL: $\pm 2\text{LSB}$ (標準値)
- DNL: $\pm 0.5\text{LSB}$ (標準値)
- デジタル ダウンコンバータ (DDC)
 - 最大 4 つの独立した DDC
 - 複素数と実数のデシメーション
 - デシメーション: $/2$, $/4 \sim /32768$ のデシメーション
 - 48 ビット NCO による位相コヒーレント周波数ホッピング
- DDR / シリアル LVDS インターフェイス
 - DDC バイパス用の 16 ビット パラレル DDR LVDS
 - デシメーション用のシリアル LVDS
 - 高比率デシメーション用の 32 ビット出力オプション
- 消費電力: 300mW / チャンネル (500MSPS)

2 アプリケーション

- ソフトウェア無線
- スペクトル アナライザ
- レーダー
- 分光器
- パワーアンプ直線化
- 通信インフラ

3 概要

ADC3668 と ADC3669 (ADC366x) は、16 ビット、250MSPS および 500MSPS、デュアル チャンネル A/D コンバータ (ADC) です。これらのデバイスは高い信号対雑音比 (SNR) を実現するように設計されており、-160dBFS/Hz (500MSPS) のノイズ スペクトル密度を実現します。

ADC366x は、オプションのクワッド バンド デジタル ダウンコンバータ (DDC) を搭載しており、比率 2 の広帯域デシメーションから、比率 32768 の狭帯域デシメーションまでサポートしています。DDC では、位相コヒーレントと位相連続の周波数ホッピングをサポートする 48 ビット NCO を使用しています。

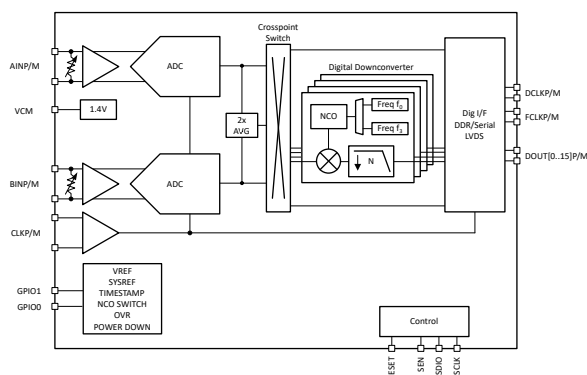
ADC366x には、フレキシブルな LVDS インターフェイスが装備されています。デシメーション バイパス モードでは、16 ビット幅のパラレル DDR LVDS インターフェイスを使用します。デシメーションを使用するときは、シリアル LVDS インターフェイスを使用して出力データが送信され、デシメーションの増加に応じて必要なレーン数が少なくなります。デシメーション比が高い場合、出力分解能を 32 ビットに増やすことができます。

電力効率の優れた ADC アーキテクチャは、500MSPS で 300mW/ch の消費電力を実現し、低サンプリング レートで電力スケールリングを実現します (250MSPS で 250mW/ch)。

製品情報

部品番号	パッケージ (1)	最大サンプリング レート
ADC3669	64QFN	500MSPS
ADC3668	64QFN	250MSPS

(1) 詳細については、[セクション 12](#) を参照してください。



ブロック図



目次

1 特長.....	1	8.1 概要.....	26
2 アプリケーション.....	1	8.2 機能ブロック図.....	26
3 概要.....	1	8.3 機能説明.....	27
4 デバイスの比較.....	2	8.4 デバイスの機能モード.....	52
5 ピン構成および機能.....	3	8.5 プログラミング.....	56
6 仕様.....	5	9 アプリケーションと実装.....	74
6.1 絶対最大定格.....	5	9.1 アプリケーション情報.....	74
6.2 ESD 定格.....	5	9.2 代表的なアプリケーション.....	74
6.3 推奨動作条件.....	5	9.3 電源に関する推奨事項.....	79
6.4 熱に関する情報.....	6	9.4 レイアウト.....	80
6.5 電気的特性 - 消費電力.....	6	10 デバイスおよびドキュメントのサポート.....	81
6.6 電気的特性 - DC 仕様.....	6	10.1 ドキュメントのサポート.....	81
6.7 電気的特性 - AC 仕様 (ADC3668 - 250MSPS).....	9	10.2 ドキュメントの更新通知を受け取る方法.....	81
6.8 電気的特性 - AC 仕様 (ADC3669 - 500MSPS).....	11	10.3 サポート・リソース.....	81
6.9 タイミング要件.....	13	10.4 商標.....	81
6.10 代表的特性、ADC3668.....	14	10.5 静電気放電に関する注意事項.....	81
6.11 代表的特性、ADC3669.....	19	10.6 用語集.....	81
7 パラメータ測定情報.....	25	11 改訂履歴.....	81
8 詳細説明.....	26	12 メカニカル、パッケージ、および注文情報.....	82

4 デバイスの比較

表 4-1. デバイス比較表

部品番号	最大サンプリングレート	分解能	チャンネル数
ADC3669	500MSPS	16 ビット	2
ADC3668	250MSPS	16 ビット	2
ADC3569	500MSPS	16 ビット	1
ADC3568	250MSPS	16 ビット	1
ADC3649	500MSPS	14 ビット	2
ADC3648	250MSPS	14 ビット	2
ADC3549	500MSPS	14 ビット	1
ADC3548	250MSPS	14 ビット	1

5 ピン構成および機能

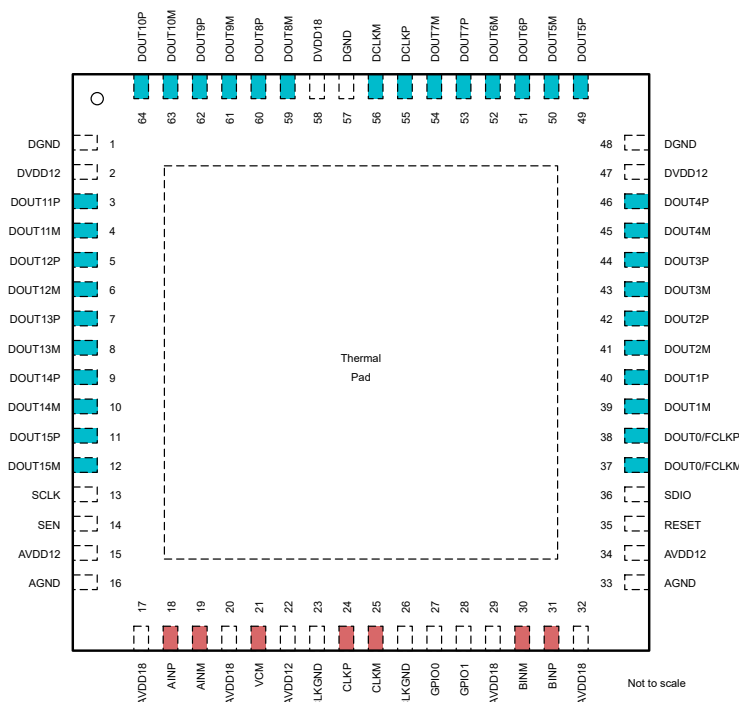


図 5-1. RTD パッケージ、64 ピン VQFN
(上面図)

表 5-1. ピンの機能

ピン		タイプ ⁽¹⁾	説明
名称	番号		
AGND	16, 33	I	アナログ グランド、0V
AINM	19	I	チャンネル A 差動信号入力、負接続。差動入力、プログラム可能な内部終端 (100Ω または 200Ω) を備えており、自己バイアスされています。
AINP	18	I	チャンネル A 差動信号入力、正接続。
AVDD12	15, 22, 34	I	アナログ 1.2V 電源
AVDD18	17, 20, 29, 32	I	アナログ 1.8V 電源
BINM	30	I	チャンネル B 差動信号入力、負接続。差動入力、プログラム可能な内部終端 (100Ω または 200Ω) を備えており、自己バイアスされています。
BINP	31	I	チャンネル B 差動信号入力、正接続。
CLKGND	23, 26	I	クロック グランド、0V
CLKP	24	I	デバイス サンプリング クロック差動入力。最高の AC 性能を得るために、クロック信号は AC 結合し、外部で終端することを推奨します。差動入力、入力同相電圧 (0.75V) に対して自己バイアスされます。
CLKM	25	I	
DCLKP	55	O	差動 LVDS データビット クロック出力。
DCLKM	56	O	
DGND	1, 48, 57	I	デジタル グランド、0V
DOUT0/FCLKM	37	O	差動 LVDS データビット出力レーン 0。デシメーション モードでは、このピンは、差動 SLVDS フレーム クロック出力となり、LSB と置き換えられます。
DOUT0/FCLKP	38	O	
DOUT1M	39	O	差動 LVDS データビット出力レーン 1。使用しない場合は、フローティングのままにして、SPI 経由で電源オフできます。
DOUT1P	40	O	

表 5-1. ピンの機能 (続き)

ピン		タイプ ⁽¹⁾	説明
名称	番号		
DOUT2M	41	O	差動 LVDS データ ビット出力レーン 2。使用しない場合は、フローティングのままにして、SPI 経由で電源オフできます。
DOUT2P	42	O	
DOUT3M	43	O	差動 LVDS データ ビット出力レーン 3。使用しない場合は、フローティングのままにして、SPI 経由で電源オフできます。
DOUT3P	44	O	
DOUT4M	45	O	差動 LVDS データ ビット出力レーン 4。使用しない場合は、フローティングのままにして、SPI 経由で電源オフできます。
DOUT4P	46	O	
DOUT5P	49	O	差動 LVDS データ ビット出力レーン 5。使用しない場合は、フローティングのままにして、SPI 経由で電源オフできます。
DOUT5M	50	O	
DOUT6P	51	O	差動 LVDS データ ビット出力レーン 6。使用しない場合は、フローティングのままにして、SPI 経由で電源オフできます。
DOUT6M	52	O	
DOUT7P	53	O	差動 LVDS データ ビット出力レーン 7。使用しない場合は、フローティングのままにして、SPI 経由で電源オフできます。
DOUT7M	54	O	
DOUT8M	59	O	差動 LVDS データ ビット出力レーン 8。使用しない場合は、フローティングのままにして、SPI 経由で電源オフできます。
DOUT8P	60	O	
DOUT9M	61	O	差動 LVDS データ ビット出力レーン 9。使用しない場合は、フローティングのままにして、SPI 経由で電源オフできます。
DOUT9P	62	O	
DOUT10M	63	O	差動 LVDS データ ビット出力レーン 10。使用しない場合は、フローティングのままにして、SPI 経由で電源オフできます。
DOUT10P	64	O	
DOUT11P	3	O	差動 LVDS データ ビット出力レーン 11。使用しない場合は、フローティングのままにして、SPI 経由で電源オフできます。
DOUT11M	4	O	
DOUT12P	5	O	差動 LVDS データ ビット出力レーン 12。使用しない場合は、フローティングのままにして、SPI 経由で電源オフできます。
DOUT12M	6	O	
DOUT13P	7	O	差動 LVDS データ ビット出力レーン 13。使用しない場合は、フローティングのままにして、SPI 経由で電源オフできます。
DOUT13M	8	O	
DOUT14P	9	O	差動 LVDS データ ビット出力レーン 14。使用しない場合は、フローティングのままにして、SPI 経由で電源オフできます。
DOUT14M	10	O	
DOUT15P	11	O	差動 LVDS データ ビット出力レーン 15。使用しない場合は、フローティングのままにして、SPI 経由で電源オフできます。
DOUT15M	12	O	
DVDD12	2、47	I	デジタル 1.2V 電源
DVDD18	58	I	デジタル 1.8V 電源
GPIO0	27	I/O	同期または制御入力またはステータス出力または外部電圧リファレンス (1.2V)。未使用時は、フローティングにできます。
GPIO1	28	I/O	同期または制御入力またはステータス出力または外部電圧リファレンス (1.2V)。未使用時は、フローティングにできます。
リセット	35	I	ハードウェアリセットアクティブ HIGH。このピンには、内部に DGND への 21kΩ プルダウン抵抗があります。
SCLK	13	I	シリアル インターフェイス プログラミング用のシリアル インターフェイス クロック。このピンには、内部に DVDD18 への 21kΩ プルアップ抵抗があります。
SDIO	36	I/O	シリアル インターフェイス データ入出力。このピンには、内部に DVDD18 への 21kΩ プルアップ抵抗があります。
SEN	14	I	シリアル インターフェイス チップ セレクト。このピンには、内部に DVDD18 への 21kΩ プルアップ抵抗があります。
VCM	21	O	同相電圧出力 (1.4V)

(1) I = 入力、O = 出力、I/O = 入力または出力、G = グランド、P = 電源。

6 仕様

6.1 絶対最大定格

自由気流での動作温度範囲内 (特に記述のない限り) ⁽¹⁾

パラメータ	テスト条件	最小値	最大値	単位
電源電圧範囲、AVDD18		-0.3	2.1	V
電源電圧範囲、AVDD12		-0.3	1.4	V
電源電圧範囲、DVDD18		-0.3	2.1	V
電源電圧範囲、DVDD12		-0.3	1.4	V
入力ピンに印加される電圧	AINP/M、BINP/M	-0.3	2.1	V
	CLKP/M	-0.3	1.4	V
	GPIO0/1、RESET、SCLK、SEN、SDIO	-0.3	DVDD18 + 0.2	V
ピーク RF 入力電力 (AINP/M、BINP/M)	100Ω 差動終端		10	dBm
接合部温度、T _J			125	°C
保管温度、T _{stg}		-65	150	

- (1) 絶対最大定格を上回るストレスが加わった場合、デバイスに永続的な損傷が発生する可能性があります。これらはあくまでもストレス定格であり、「推奨動作条件」に示されている条件を超える当該の条件またはその他のいかなる条件下での、デバイスの正常な動作を保証するものではありません。絶対最大定格の状態が長時間続くと、デバイスの信頼性に影響を与える可能性があります。

6.2 ESD 定格

			値	単位
V _(ESD)	静電放電	人体モデル (HBM)、ANSI/ESDA/JEDEC JS-001 準拠 ⁽¹⁾	1500	V
		デバイス帯電モデル (CDM)、ANSI/ESDA/JEDEC JS-002 に準拠 ⁽²⁾	750	

- (1) JEDEC ドキュメント JEP155 には、500V HBM であれば標準的な ESD 管理プロセスにより安全な製造が可能であると記載されています。
(2) JEDEC ドキュメント JEP157 には、250V CDM であれば標準的な ESD 管理プロセスにより安全な製造が可能であると記載されています。

6.3 推奨動作条件

自由気流での動作温度範囲内 (特に記述のない限り)

		最小値	公称値	最大値	単位
AVDD18	1.8V アナログ電源	1.75	1.8	1.85	V
AVDD12	1.2V アナログ電源	1.15	1.2	1.225	V
DVDD18	1.8V デジタル電源	1.75	1.8	1.85	V
DVDD12	1.2V デジタル電源	1.15	1.2	1.225	V
T _A	自由空気での動作温度	-40		105	°C
T _J	動作時接合部温度			115 ⁽¹⁾	

- (1) この接合部温度を超えて長時間使用すると、デバイスの時間あたりの故障回数 (FIT) レートが上昇する可能性があります。

6.4 熱に関する情報

熱評価基準 ⁽¹⁾		ADC3668/69	単位
		RTD (QFN)	
		64 ピン	
$R_{\Theta JA}$	接合部から周囲への熱抵抗	22.3	°C/W
$R_{\Theta JC(top)}$	接合部からケース (上面) への熱抵抗	11.4	°C/W
$R_{\Theta JB}$	接合部から基板への熱抵抗	7.4	°C/W
Ψ_{JT}	接合部から上面への特性パラメータ	0.1	°C/W
Ψ_{JB}	接合部から基板への特性パラメータ	7.3	°C/W
$R_{\Theta JC(bot)}$	接合部からケース (底面) への熱抵抗	1.1	°C/W

(1) 熱評価基準の詳細については、『半導体および IC パッケージの熱評価基準』アプリケーションレポート、SPRA953 を参照してください。

6.5 電気的特性 - 消費電力

最大値と最小値は、自由気流での動作温度範囲および公称電源電圧について規定されています。特に記述のない限り、標準値は $T_A = 25^\circ\text{C}$ 、ADC サンプルングレート = 500MSPS、DDC バイパス モード、50% クロック デューティ サイクル、公称電源電圧、-1dBFS 差動入力で規定されています。

パラメータ		テスト条件	最小値	標準値	最大値	単位
ADC3668 - 250MSPS						
I_{AVDD18}	電源電流、1.8V アナログ電源	DDR LVDS		115	130	mA
I_{AVDD12}	電源電流、1.2V アナログ電源			65	130	
I_{DVDD18}	電源電流、1.8V デジタル電源			75	105	
I_{DVDD12}	電源電流、1.2V デジタル電源			78	150	
P_{DIS}	消費電力			476		mW
ADC3669 - 500MSPS						
I_{AVDD18}	電源電流、1.8V アナログ電源	DDR LVDS		126	140	mA
I_{AVDD12}	電源電流、1.2V アナログ電源			98	170	
I_{DVDD18}	電源電流、1.8V デジタル電源			69	105	
I_{DVDD12}	電源電流、1.2V デジタル電源			113	210	
P_{DIS}	消費電力			604		mW
パワーダウン モード						
P_{DIS}	パワー ダウン モードの消費電力	グローバル パワー ダウン		30		mW

6.6 電気的特性 - DC 仕様

最大値と最小値は、自由気流での動作温度範囲および公称電源電圧について規定されています。特に記述のない限り、標準値は $T_A = 25^\circ\text{C}$ 、ADC サンプルングレート = 500MSPS、DDC バイパス モード、50% クロック デューティ サイクル、公称電源電圧、-1dBFS 差動入力、内部リファレンスで規定されています。

パラメータ		テスト条件	最小値	標準値	最大値	単位
DC 精度						
ミッシング コードなし			16			ビット
ADC3668:250MSPS (内部リファレンス)						
DNL	微分非直線性	$F_{IN} = 70\text{MHz}$	-0.9	± 0.5		LSB
INL	積分非直線性	$F_{IN} = 70\text{MHz}$		± 2		LSB
V_{OS_ERR}	オフセット エラー			10		LSB
V_{OS_DRIFT}	温度範囲でのオフセットドリフト			10		LSB

6.6 電気的特性 - DC仕様 (続き)

最大値と最小値は、自由気流での動作温度範囲および公称電源電圧について規定されています。特に記述のない限り、標準値は $T_A = 25^\circ\text{C}$ 、ADC サンプリングレート = 500MSPS、DDC バイパス モード、50% クロック デューティサイクル、公称電源電圧、-1dBFS 差動入力、内部リファレンスで規定されています。

パラメータ		テスト条件	最小値	標準値	最大値	単位
GAIN _{ERR}	ゲイン誤差	外部リファレンス	±1			%FSR
		内部リファレンス	±3			
GAIN _{DRIFT}	温度範囲でのゲインドリフト	外部リファレンス	±0.5			%FSR
		内部リファレンス	±1			
ADC3669: 500MSPS (内部リファレンス)						
DNL	微分非直線性	F _{IN} = 70MHz	-0.9	±0.5		LSB
INL	積分非直線性	F _{IN} = 70MHz	±2			LSB
V _{OS_ERR}	オフセット エラー		10			LSB
V _{OS_DRIFT}	温度範囲でのオフセットドリフト		10			LSB
GAIN _{ERR}	ゲイン誤差	外部リファレンス	±1			%FSR
		内部リファレンス	±3			
GAIN _{DRIFT}	温度範囲でのゲインドリフト	外部リファレンス	±0.5			%FSR
		内部リファレンス	±1			
ADC アナログ入力 (AINP/M、BINP/M)						
FS	入力フル スケール	差動	2.0			V _{pp}
V _{ICM}	入力同相電圧		1.3	1.4	1.5	V
Z _{IN}	差動入力インピーダンス	差動、100MHz	100			Ω
V _{CM}	出力同相電圧		1.4			V
BW	アナログ入力帯域幅 (-3dB)		1.4			GHz
クロック入力 (CLKP/M)						
入力クロック周波数		ADC3669	100	500		MHz
		ADC3668	100	250		MHz
V _{ID}	差動入力電圧		0.5	2	2.4	V _{pp}
V _{ICM}	入力同相電圧		0.75			V
Z _{IN}	差動入力インピーダンス	差動、500MHz	5			kΩ
クロック デューティ サイクル			35	50	65	%
外部リファレンス入力 (GPIO1)						
VREF	外部基準電圧		1.175	1.2	1.225	V
I _{VREF}	入力電流、外部電圧リファレンス入力		10			μA
デジタル入力 (GPIO0、GPIO1、RESET、SCLK、SEN、SDIO)						
V _{IH}	High レベル入力電圧		1.4	1.8		V
V _{IL}	Low レベル入力電圧			0	0.4	V
I _{IH}	High レベル入力電流			90	150	μA
I _{IL}	Low レベル入力電流		-150	-90		μA
C _I	入力容量		1.5			pF
デジタル出力 (GPIO0、GPIO1、SDIO)						
V _{OH}	High レベル出力電圧	I _{LOAD} = -400uA	AVDD18 - 0.1	AVDD18		V
V _{OL}	Low レベル出力電圧	I _{LOAD} = 400uA	0.1			V
LVDS/SLVDS インターフェイス (DOUT[0..15]P/M、DCLKP/M)						
出力データフォーマット (デフォルト)			2 の補数			

6.6 電気的特性 - DC 仕様 (続き)

最大値と最小値は、自由気流での動作温度範囲および公称電源電圧について規定されています。特に記述のない限り、標準値は $T_A = 25^{\circ}\text{C}$ 、ADC サンプルングレート = 500MSPS、DDC バイパス モード、50% クロック デューティ サイクル、公称電源電圧、-1dBFS 差動入力、内部リファレンスで規定されています。

パラメータ		テスト条件	最小値	標準値	最大値	単位
V_{OD}	差動出力電圧	差動ピーク ツー ピーク	500	700	850	mVpp
V_{OCM}	出力同相電圧		0.96	1.02	1.08	V

6.7 電気的特性 - AC 仕様 (ADC3668 - 250MSPS)

最大値と最小値は、自由気流での動作温度範囲および公称電源電圧について規定されています。特に記述のない限り、標準値は $T_A = 25^\circ\text{C}$ 、ADC サンプルレート = 250MSPS、DDC バイパス モード、50% クロック デューティサイクル、公称電源電圧、-1dBFS 差動入力、内部リファレンスで規定されています。

パラメータ		テスト条件	最小値 ⁽¹⁾	標準値	最大値	単位
AC 精度						
NSD	ノイズ スペクトル密度	$f_{IN} = 100\text{MHz}$ 、 $A_{IN} = -20\text{dBFS}$		-157.4		dBFS/Hz
NF	ノイズ指数:	$f_{IN} = 100\text{MHz}$ 、 $A_{IN} = -20\text{dBFS}$		23.6		dB
SNR	信号対雑音比	$f_{IN} = 10\text{MHz}$		75.5		dBFS
		$f_{IN} = 70\text{MHz}$		75.2		
		$f_{IN} = 170\text{MHz}$		74.6		
		$f_{IN} = 300\text{MHz}$		72.9		
		$f_{IN} = 450\text{MHz}$		71.4		
SINAD	信号対雑音歪み比	$f_{IN} = 10\text{MHz}$		73.6		dBFS
		$f_{IN} = 70\text{MHz}$		74.1		
		$f_{IN} = 170\text{MHz}$		72.2		
		$f_{IN} = 300\text{MHz}$		68.5		
		$f_{IN} = 450\text{MHz}$		64.7		
ENOB	有効ビット数	$f_{IN} = 10\text{MHz}$		11.9		ビット
		$f_{IN} = 70\text{MHz}$		12.0		
		$f_{IN} = 170\text{MHz}$		11.7		
		$f_{IN} = 300\text{MHz}$		11.1		
		$f_{IN} = 450\text{MHz}$		10.4		
THD	全高調波歪み (最初の 5 つの高調波)	$f_{IN} = 10\text{MHz}$		77		dBc
		$f_{IN} = 70\text{MHz}$		80		
		$f_{IN} = 170\text{MHz}$		75		
		$f_{IN} = 300\text{MHz}$		71		
		$f_{IN} = 450\text{MHz}$		65		
HD2	2 次高調波歪み	$f_{IN} = 10\text{MHz}$		79		dBFS
		$f_{IN} = 70\text{MHz}$	70	85		
		$f_{IN} = 170\text{MHz}$		78		
		$f_{IN} = 300\text{MHz}$		76		
		$f_{IN} = 450\text{MHz}$		68		
HD3	3 次高調波歪み	$f_{IN} = 10\text{MHz}$		83		dBFS
		$f_{IN} = 70\text{MHz}$	72	81		
		$f_{IN} = 170\text{MHz}$		81		
		$f_{IN} = 300\text{MHz}$		79		
		$f_{IN} = 450\text{MHz}$		74		
Non HD2,3	スプリアス フリー ダイナミック レンジ (HD2 と HD3 を除く)	$f_{IN} = 10\text{MHz}$		96		dBFS
		$f_{IN} = 70\text{MHz}$		96		
		$f_{IN} = 170\text{MHz}$		95		
		$f_{IN} = 300\text{MHz}$		88		
		$f_{IN} = 450\text{MHz}$		81		

6.7 電气的特性 - AC 仕様 (ADC3668 - 250MSPS) (続き)

最大値と最小値は、自由気流での動作温度範囲および公称電源電圧について規定されています。特に記述のない限り、標準値は $T_A = 25^\circ\text{C}$ 、ADC サンプルングレート = 250MSPS、DDC バイパス モード、50% クロック デューティ サイクル、公称電源電圧、-1dBFS 差動入力、内部リファレンスで規定されています。

パラメータ		テスト条件	最小値 ⁽¹⁾	標準値	最大値	単位
IMD3	2 トーンの相互変調歪み	$f_1 = 100\text{MHz}$, $f_2 = 120\text{MHz}$, $A_{IN} = -7\text{dBFS}$ / トーン		83		dBc

(1) SNR、HD3、Non HD23、IMD3 の最小値は ATE で規定されています。HD2 はベンチ特性評価により規定されています。

6.8 電気的特性 - AC 仕様 (ADC3669 - 500MSPS)

最大値と最小値は、自由気流での動作温度範囲および公称電源電圧について規定されています。特に記述のない限り、標準値は $T_A = 25^\circ\text{C}$ 、ADC サンプルングレート = 500MSPS、DDC バイパス モード、50% クロック デューティ サイクル、公称電源電圧、-1dBFS 差動入力、内部リファレンスで規定されています。

パラメータ		テスト条件	最小値 ⁽¹⁾	標準値	最大値	単位
AC 精度						
NSD	ノイズ スペクトル密度	$f_{IN} = 100\text{MHz}$ 、 $A_{IN} = -20\text{dBFS}$		-160.4		dBFS/Hz
NF	ノイズ指数:	$f_{IN} = 100\text{MHz}$ 、 $A_{IN} = -20\text{dBFS}$		20.6		dB
SNR	信号対雑音比	$f_{IN} = 10\text{MHz}$		75.8		dBFS
		$f_{IN} = 70\text{MHz}$	70	75.6		
		$f_{IN} = 170\text{MHz}$		74.9		
		$f_{IN} = 300\text{MHz}$		72.6		
		$f_{IN} = 450\text{MHz}$		71.5		
SINAD	信号対雑音歪み比	$f_{IN} = 10\text{MHz}$		72.6		dBFS
		$f_{IN} = 70\text{MHz}$		73.7		
		$f_{IN} = 170\text{MHz}$		72.4		
		$f_{IN} = 300\text{MHz}$		68.2		
		$f_{IN} = 450\text{MHz}$		64.4		
ENOB	有効ビット数	$f_{IN} = 10\text{MHz}$		11.8		ビット
		$f_{IN} = 70\text{MHz}$		11.9		
		$f_{IN} = 170\text{MHz}$		11.7		
		$f_{IN} = 300\text{MHz}$		11.0		
		$f_{IN} = 450\text{MHz}$		10.4		
THD	全高調波歪み (最初の 5 つの高調波)	$f_{IN} = 10\text{MHz}$		74		dBc
		$f_{IN} = 70\text{MHz}$		77		
		$f_{IN} = 170\text{MHz}$		74		
		$f_{IN} = 300\text{MHz}$		68		
		$f_{IN} = 450\text{MHz}$		63		
HD2	2 次高調波歪み	$f_{IN} = 10\text{MHz}$		76		dBFS
		$f_{IN} = 70\text{MHz}$	70	82		
		$f_{IN} = 170\text{MHz}$		77		
		$f_{IN} = 300\text{MHz}$		81		
		$f_{IN} = 450\text{MHz}$		76		
HD3	3 次高調波歪み	$f_{IN} = 10\text{MHz}$		88		dBFS
		$f_{IN} = 70\text{MHz}$	70	80		
		$f_{IN} = 170\text{MHz}$		83		
		$f_{IN} = 300\text{MHz}$		71		
		$f_{IN} = 450\text{MHz}$		65		
Non HD2,3	スプリアス フリー ダイナミック レンジ (HD2 と HD3 を除く)	$f_{IN} = 10\text{MHz}$		94		dBFS
		$f_{IN} = 70\text{MHz}$		94		
		$f_{IN} = 170\text{MHz}$		90		
		$f_{IN} = 300\text{MHz}$		86		
		$f_{IN} = 450\text{MHz}$		87		

最大値と最小値は、自由気流での動作温度範囲および公称電源電圧について規定されています。特に記述のない限り、標準値は $T_A = 25^\circ\text{C}$ 、ADC サンプルングレート = 500MSPS、DDC バイパス モード、50% クロック デューティ サイクル、公称電源電圧、-1dBFS 差動入力、内部リファレンスで規定されています。

パラメータ		テスト条件	最小値 ⁽¹⁾	標準値	最大値	単位
IMD3	2 トーンの相互変調歪み	$f_1 = 100\text{MHz}$, $f_2 = 120\text{MHz}$, $A_{\text{IN}} = -7\text{dBFS}$ / トーン		86		dBc

(1) SNR、HD3、Non HD23、IMD3 の最小値は ATE で規定されています。HD2 はベンチ特性評価により規定されています。

6.9 タイミング要件

最大値と最小値は、自由気流での動作温度範囲および公称電源電圧について規定されています。特に記述のない限り、標準値は $T_A = 25^\circ\text{C}$ 、ADC サンプルングレート = 500MSPS、DDC バイパス モード、50% クロック デューティ サイクル、公称電源電圧、-1dBFS 差動入力で規定されています。

パラメータ		テスト条件	最小 値	公称 値	最大 値	単位
ADC タイミング仕様						
T _{AD}	アパーチャ遅延		200		ps	
T _A	アパーチャ ジッタ		75		fs	
CER	コード エラー レート	F _S = 500MSPS、エラー > 64 コード	1E-10		エラー / サ ンプル	
		F _S = 500MSPS、エラー > 128 コード	3E-13			
		F _S = 250MSPS、エラー > 64 コード	1E-11			
ウェークアップ時間		グローバル パワー ダウン モード終了から有効デ ータまでの時間 (内部電圧リファレンス オフ)	3		ms	
レイテンシ: t _{PD} + t _{ADC} + t _{DIG}						
t _{PD}	伝搬遅延: サンプルング クロックの立ち下がりエッ ジから DCLK 立ち上がりエッジまで	伝搬遅延: サンプルング クロックの立ち下がりエッ ジから DCLK 立ち上がりエッジまで	1.4 + T _S /4	1.7 + T _S /4	2 + T _S /4	ns
t _{ADC}	ADC レイテンシ	DDR LVDS、通常モード	38		ADC クロ ック サイ クル	
		DDR LVDS、低レイテンシ モード	4			
	タイムスタンプ: 入力から LVDS 出力まで	DDR LVDS	8			
t _{DIG}	デジタル レイテンシ: インターフェイスおよびデシ メーション	DDC バイパス	5		出力クロッ ク サイクル	
		1/2 のデシメーション (実数または複素数)	24			
		1/4、1/8 のデシメーション (実数または複素数)	49			
		1/16 ~ 1/32768 のデシメーション (実数または複 素数)	50			
シリアル プログラミング インターフェイス (SCLK, SEN, SDIO) - 入力						
f _{CLK} (SCLK)	シリアル クロック周波数		1		20	MHz
t _{SLOADS}	SEN 立ち下がりエッジから SCLK 立ち上がりエッジまでのセットアップ時間		10		ns	
t _{SLOADH}	SCLK 立ち上がりエッジから SEN 立ち上がりエッジまでのホールド時間		10		ns	
t _{DSU}	SDIO から SCLK 立ち上がりエッジまでのセットアップ時間		10		ns	
t _{DH}	SCLK 立ち上がりエッジから SDIO までのホールド時間		10		ns	
シリアル プログラミング インターフェイス (SDIO) - 出力						
t _{OZD}	SDIO トライステートから駆動へ				10	ns
t _{ODZ}	SDIO データからトライステートへ				14	ns
t _{OD}	SDIO は SCLK の立ち下がりエッジから有効				10	ns
タイミング: SYSREF						
t _S (SYSREF)	セットアップ時間: SYSREF 有効から CLKP/M 立ち上がりエッジまで		100		ps	
t _H (SYSREF)	ホールド時間: CLKP/M 立ち上がりエッジから SYSREF 無効まで		100		ps	
インターフェイス タイミング: DDR および SLVDS						
t _{DV}	データ有効時間: データ遷移から DCLK 遷移ま で	F _S = 500MSPS	0.465	0.68	0.905	ns
		F _S = 250MSPS	0.905	1.16	1.415	ns
t _{DI}	データ無効時間: DCLK 遷移からデータ遷移ま で	F _S = 500MSPS	0.095	0.32	0.535	ns
		F _S = 250MSPS	0.615	0.84	1.065	ns

6.10 代表的特性、ADC3668

特に記述のない限り、標準値は $T_A = 25^\circ\text{C}$ 、ADC サンプルングレート = 250MSPS、DDC バイパス モード、50% クロック デューティ サイクル、公称電源電圧、-1dBFS 差動入力で規定されています。

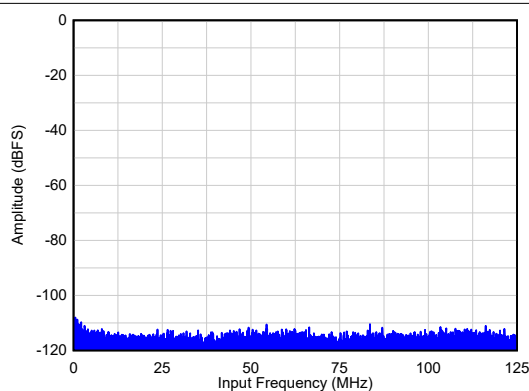


図 6-1. アイドル チャネル ノイズ

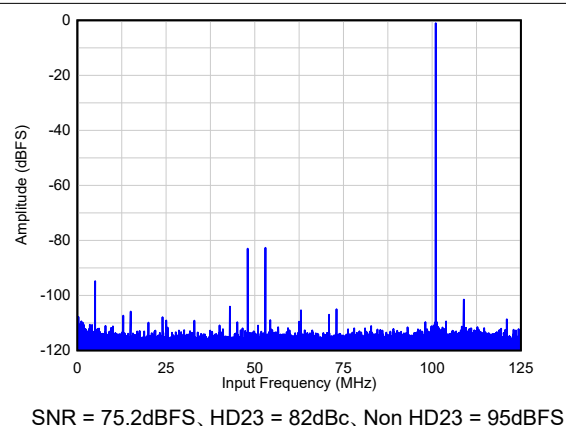


図 6-2. $F_{IN} = 101\text{MHz}$ でのシングル トーン FFT

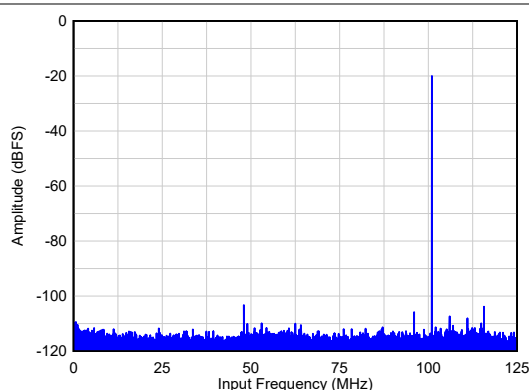


図 6-3. $F_{IN} = 101\text{MHz}$ 、 $A_{IN} = -20\text{dBFS}$ でのシングル トーン FFT

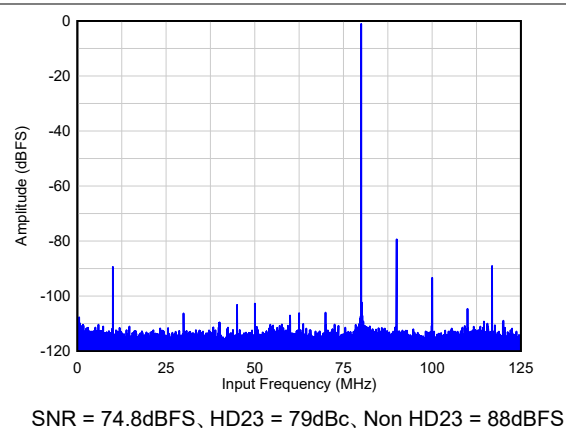


図 6-4. $F_{IN} = 170\text{MHz}$ でのシングル トーン FFT

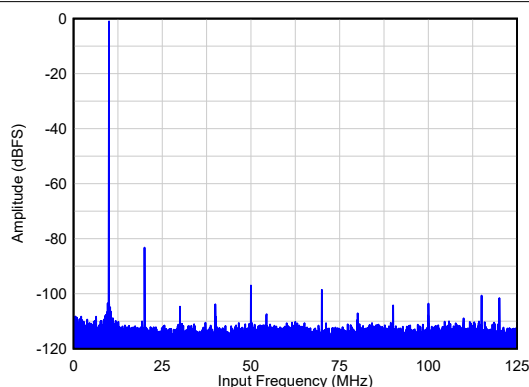


図 6-5. $F_{IN} = 240\text{MHz}$ でのシングル トーン FFT

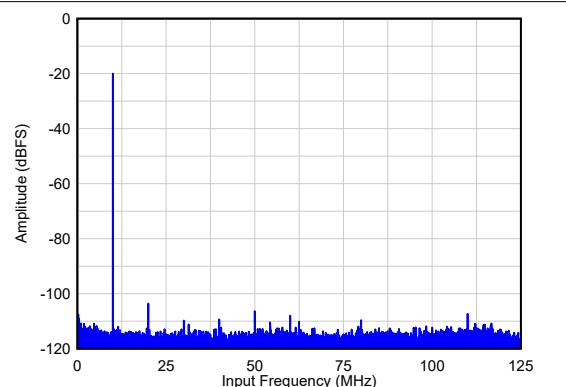
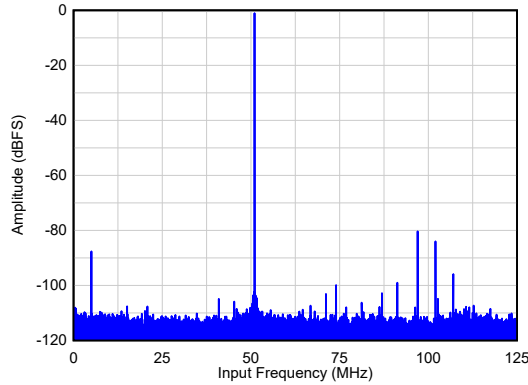


図 6-6. $F_{IN} = 240\text{MHz}$ 、 $A_{IN} = -20\text{dBFS}$ でのシングル トーン FFT

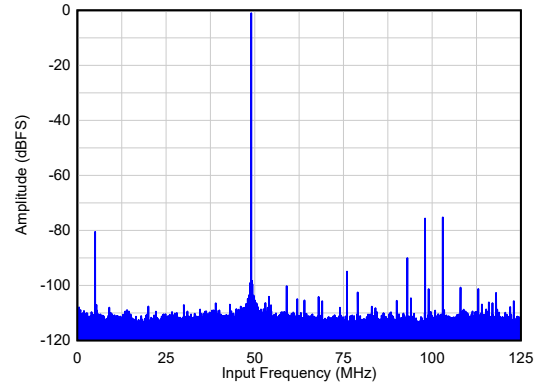
6.10 代表的特性、ADC3668 (続き)

特に記述のない限り、標準値は $T_A = 25^\circ\text{C}$ 、ADC サンプルレート = 250MSPS、DDC バイパス モード、50% クロック デューティ サイクル、公称電源電圧、-1dBFS 差動入力で規定されています。



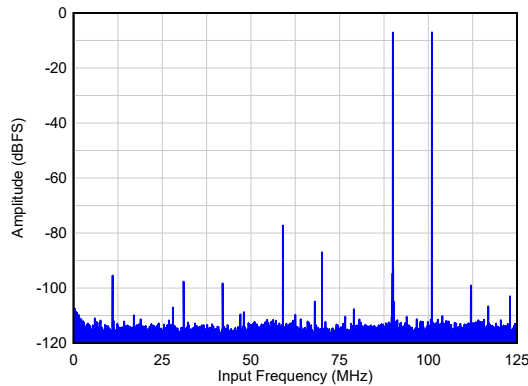
SNR = 73.4dBFS、HD23 = 80dBc、Non HD23 = 85dBFS

図 6-7. $F_{IN} = 300\text{MHz}$ でのシングル トーン FFT



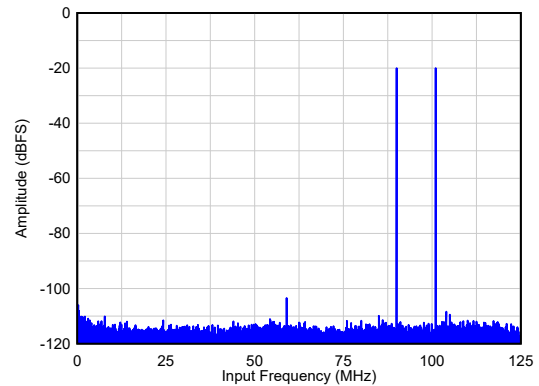
SNR = 71.5dBFS、HD23 = 76dBc、Non HD23 = 80dBFS

図 6-8. $F_{IN} = 450\text{MHz}$ でのシングル トーン FFT



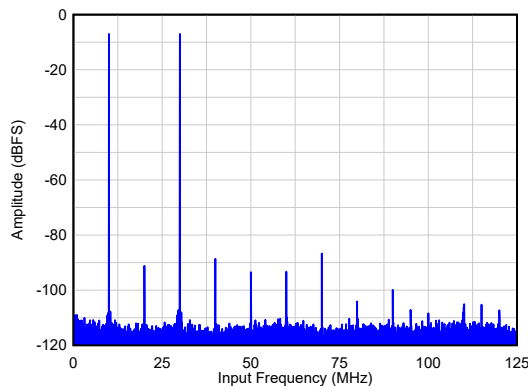
$A_{IN} = -7\text{dBFS/tone}$ 、IMD3 = 91dBc

図 6-9. $F_{IN} = 90/110\text{MHz}$ での 2 トーン FFT



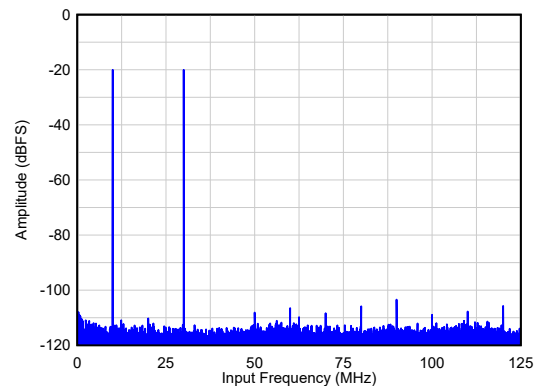
$A_{IN} = -20\text{dBFS/tone}$ 、IMD3 = 99dBc

図 6-10. $F_{IN} = 70/100\text{MHz}$ での 2 トーン FFT



$A_{IN} = -7\text{dBFS/tone}$ 、IMD3 = 83dBc

図 6-11. $F_{IN} = 220/240\text{MHz}$ での 2 トーン FFT



$A_{IN} = -20\text{dBFS/tone}$ 、IMD3 = 87dBc

図 6-12. $F_{IN} = 220/240\text{MHz}$ での 2 トーン FFT

6.10 代表的特性、ADC3668 (続き)

特に記述のない限り、標準値は $T_A = 25^\circ\text{C}$ 、ADC サンプルングレート = 250MSPS、DDC バイパス モード、50% クロック デューティ サイクル、公称電源電圧、-1dBFS 差動入力で規定されています。

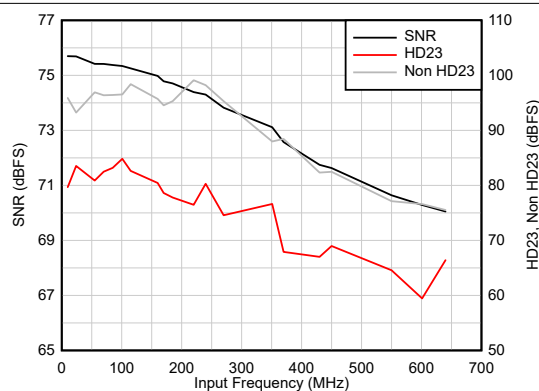
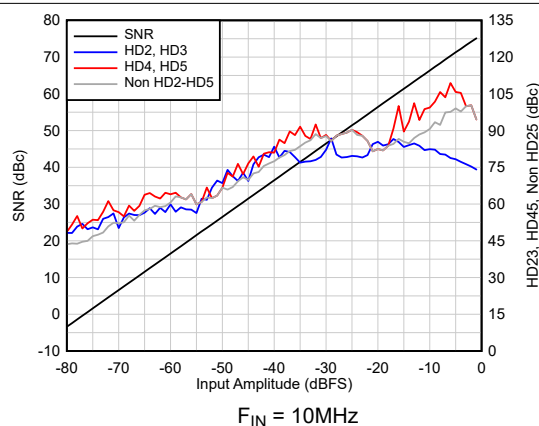
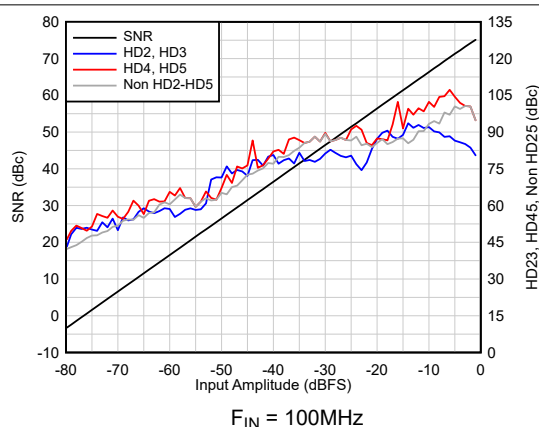
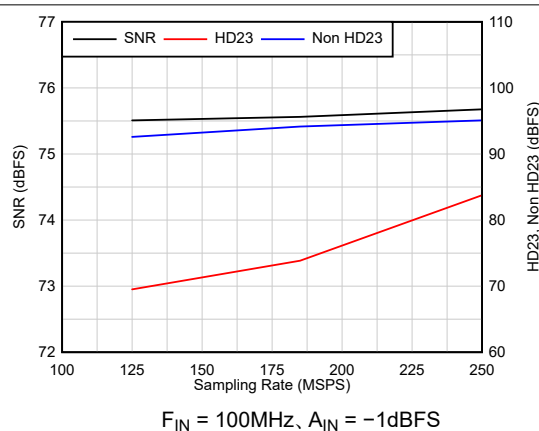
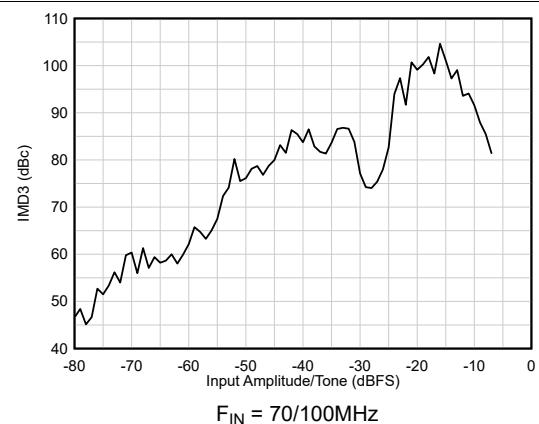
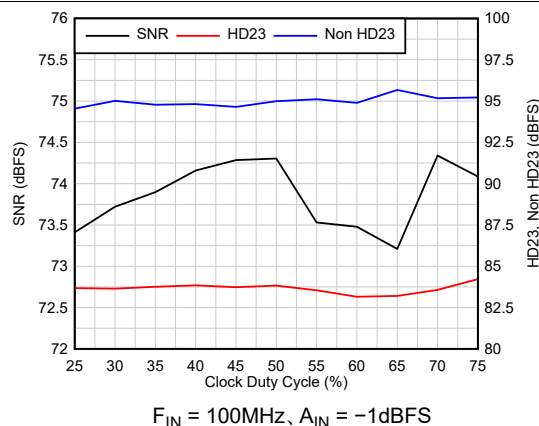
図 6-13. AC 性能と F_{IN} との関係図 6-14. AC 性能と A_{IN} との関係図 6-15. AC 性能と A_{IN} との関係図 6-16. AC 性能と F_S との関係図 6-17. IMD3 と A_{IN} との関係

図 6-18. AC 性能とクロック デューティ サイクルとの関係

6.10 代表的特性、ADC3668 (続き)

特に記述のない限り、標準値は $T_A = 25^\circ\text{C}$ 、ADC サンプルングレート = 250MSPS、DDC バイパス モード、50% クロック デューティ サイクル、公称電源電圧、-1dBFS 差動入力で規定されています。

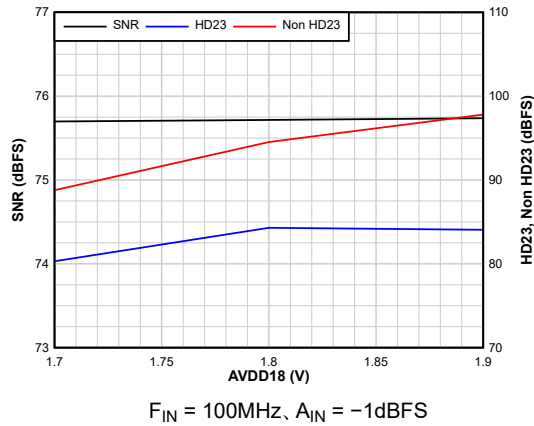


図 6-19. AC 性能と AVDD18 との関係

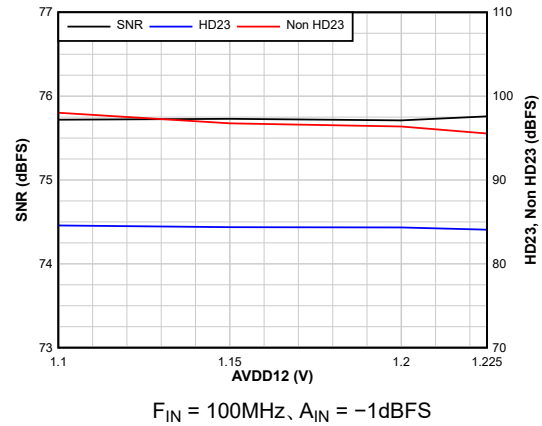


図 6-20. AC 性能と AVDD12 との関係

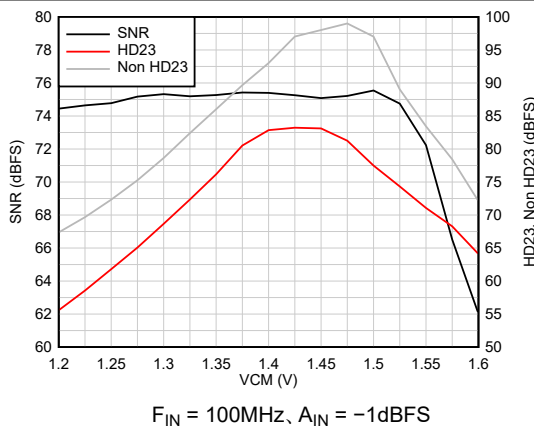


図 6-21. AC 性能と VCM との関係

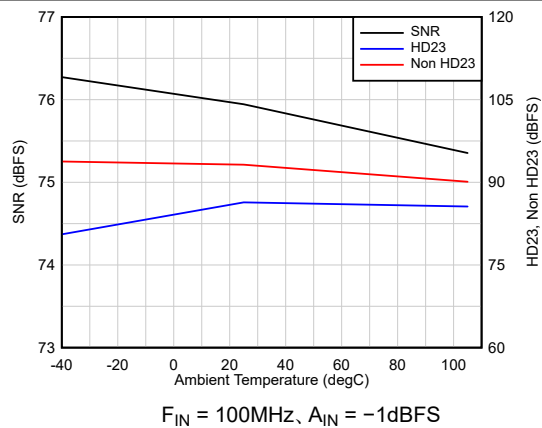


図 6-22. AC 性能と温度との関係

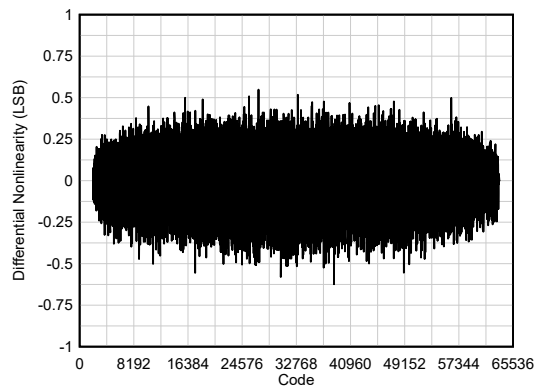


図 6-23. DNL

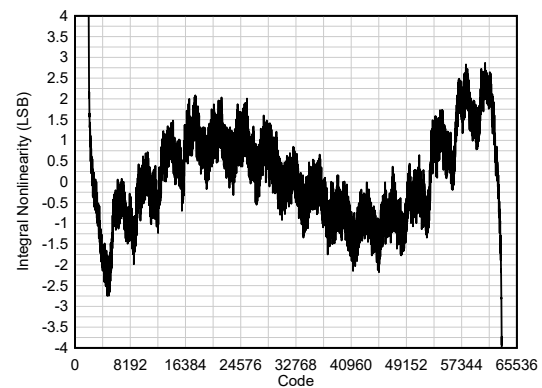


図 6-24. INL

6.10 代表的特性、ADC3668 (続き)

特に記述のない限り、標準値は $T_A = 25^\circ\text{C}$ 、ADC サンプルングレート = 250MSPS、DDC バイパス モード、50% クロック デューティ サイクル、公称電源電圧、-1dBFS 差動入力で規定されています。

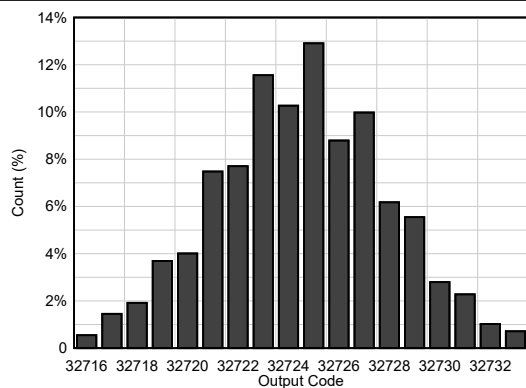


図 6-25. DC オフセット ヒストグラム

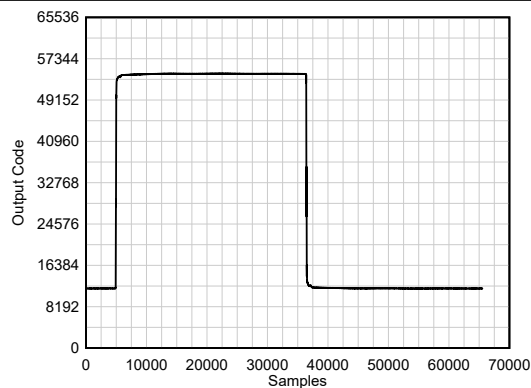


図 6-26. パルス応答

6.11 代表的特性、ADC3669

特に記述のない限り、標準値は $T_A = 25^\circ\text{C}$ 、ADC サンプルングレート = 500MSPS、DDC バイパス モード、50% クロック デューティ サイクル、公称電源電圧、-1dBFS 差動入力で規定されています。

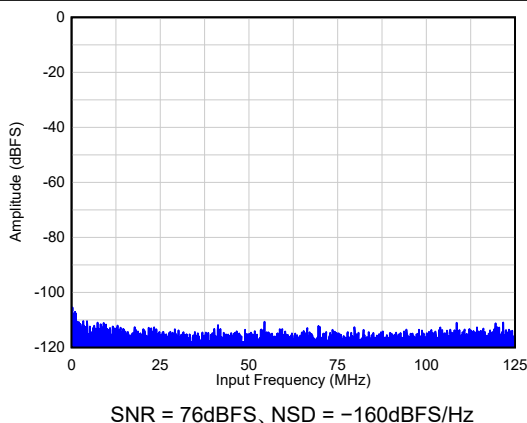


図 6-27. アイドル チャネル ノイズ

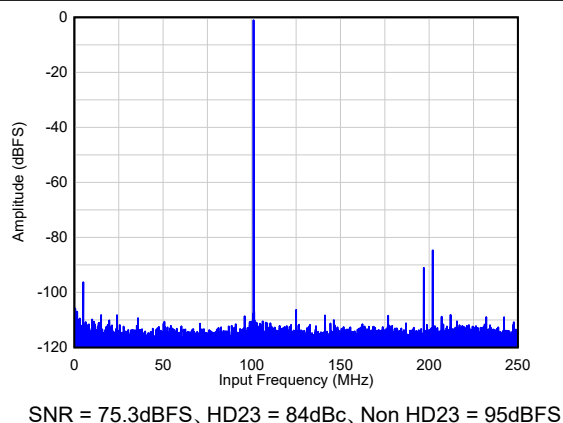


図 6-28. $F_{IN} = 101\text{MHz}$ でのシングル トーン FFT

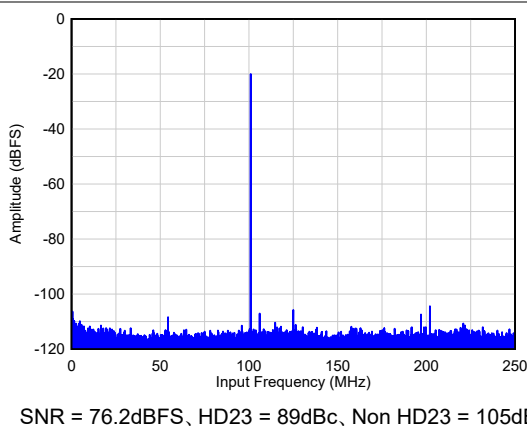


図 6-29. $F_{IN} = 101\text{MHz}$ 、 $A_{IN} = -20\text{dBFS}$ でのシングル トーン FFT

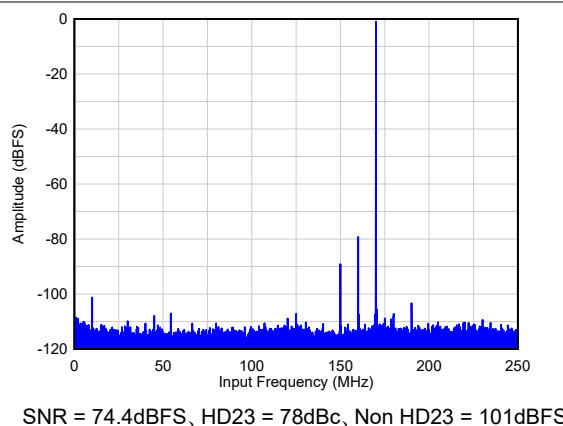


図 6-30. $F_{IN} = 170\text{MHz}$ でのシングル トーン FFT

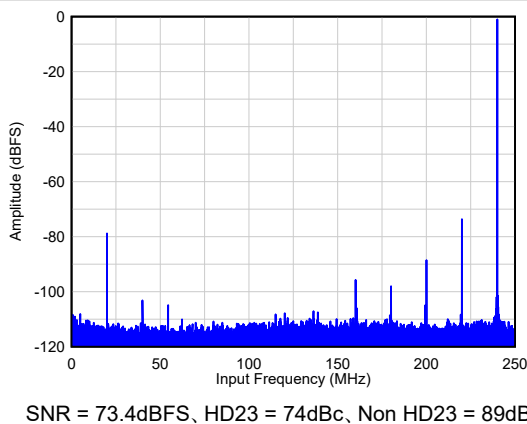


図 6-31. $F_{IN} = 240\text{MHz}$ でのシングル トーン FFT

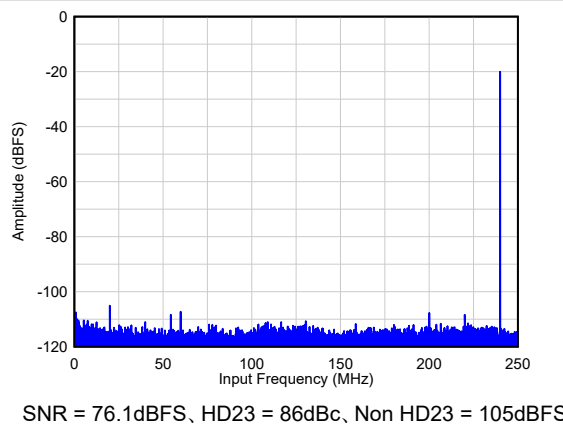
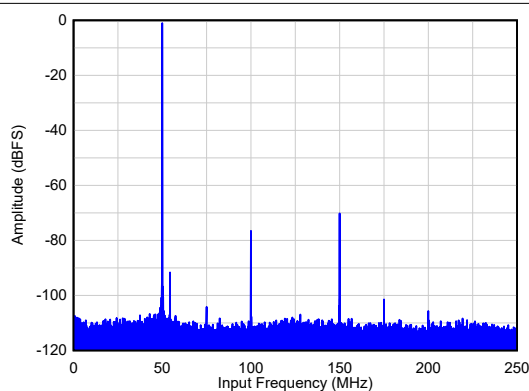


図 6-32. $F_{IN} = 240\text{MHz}$ 、 $A_{IN} = -20\text{dBFS}$ でのシングル トーン FFT

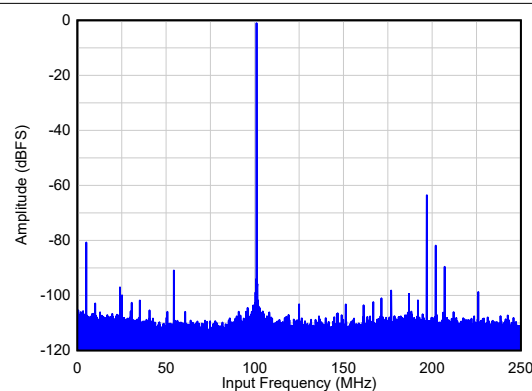
6.11 代表的特性、ADC3669 (続き)

特に記述のない限り、標準値は $T_A = 25^\circ\text{C}$ 、ADC サンプルングレート = 500MSPS、DDC バイパス モード、50% クロック デューティ サイクル、公称電源電圧、-1dBFS 差動入力で規定されています。



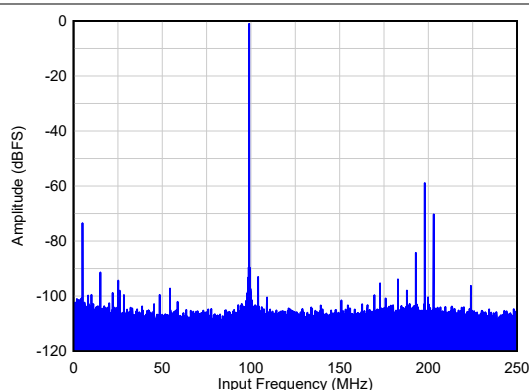
SNR = 70.7dBFS, HD23 = 74dBc, Non HD23 = 92dBFS

図 6-33. $F_{IN} = 450\text{MHz}$ でのシングル トーン FFT



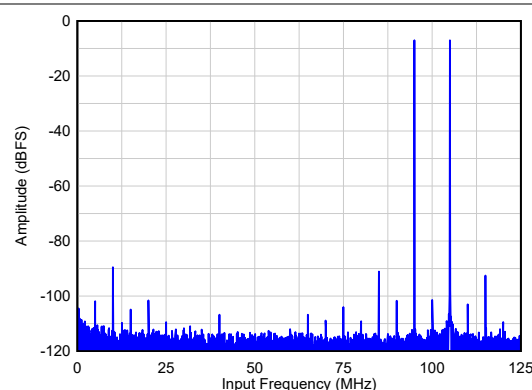
SNR = 68.9dBFS, HD23 = 69dBc, Non HD23 = 81dBFS

図 6-34. $F_{IN} = 605\text{MHz}$ でのシングル トーン FFT



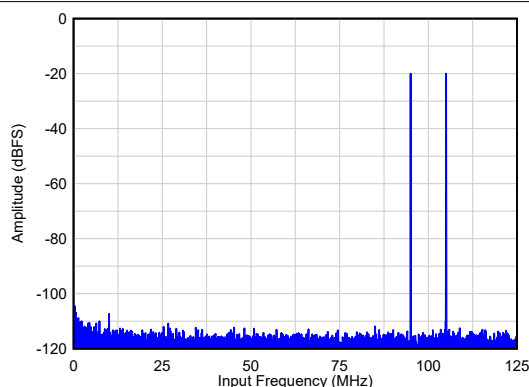
SNR = 65.7dBFS, HD23 = 63dBc, Non HD23 = 74dBFS

図 6-35. $F_{IN} = 905\text{MHz}$ でのシングル トーン FFT



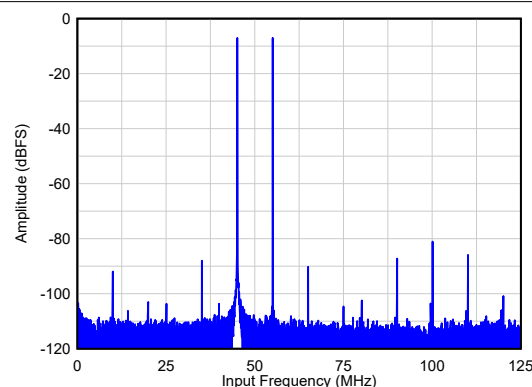
$A_{IN} = -7\text{dBFS}/\text{tone}$, IMD3 = 83dBc

図 6-36. $F_{IN} = 95/105\text{MHz}$ での 2 トーン FFT



$A_{IN} = -20\text{dBFS}/\text{tone}$, IMD3 = 92dBc

図 6-37. $F_{IN} = 95/105\text{MHz}$ での 2 トーン FFT



$A_{IN} = -7\text{dBFS}/\text{tone}$, IMD3 = 81dBc

図 6-38. $F_{IN} = 445/455\text{MHz}$ での 2 トーン FFT

6.11 代表的特性、ADC3669 (続き)

特に記述のない限り、標準値は $T_A = 25^\circ\text{C}$ 、ADC サンプルングレート = 500MSPS、DDC バイパス モード、50% クロック デューティ サイクル、公称電源電圧、-1dBFS 差動入力で規定されています。

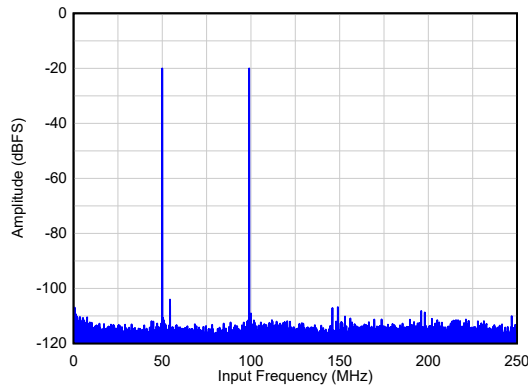


図 6-39. $F_{IN} = 445/455\text{MHz}$ での 2 トーン FFT

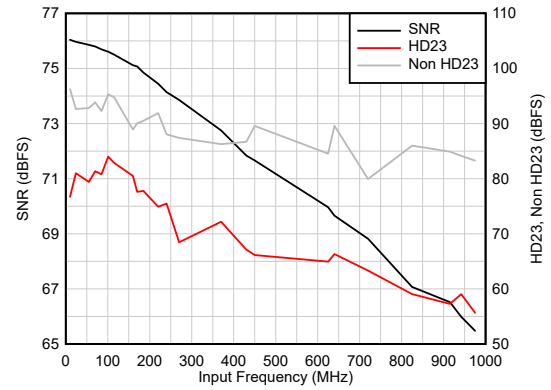


図 6-40. AC 性能と F_{IN} との関係

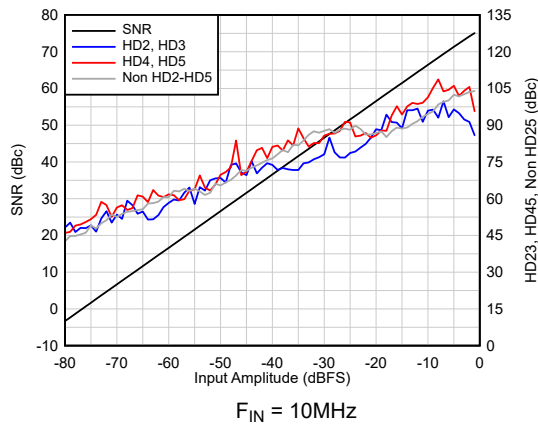


図 6-41. AC 性能と A_{IN} との関係

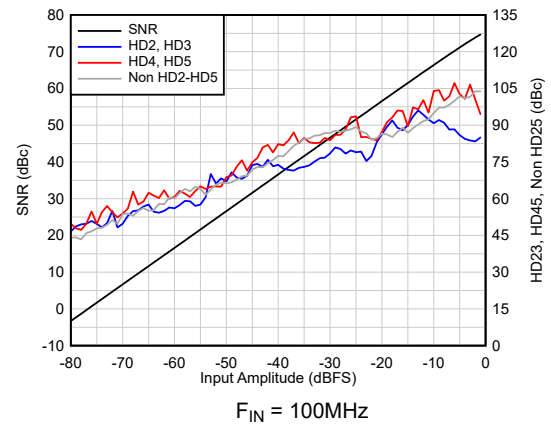


図 6-42. AC 性能と A_{IN} との関係

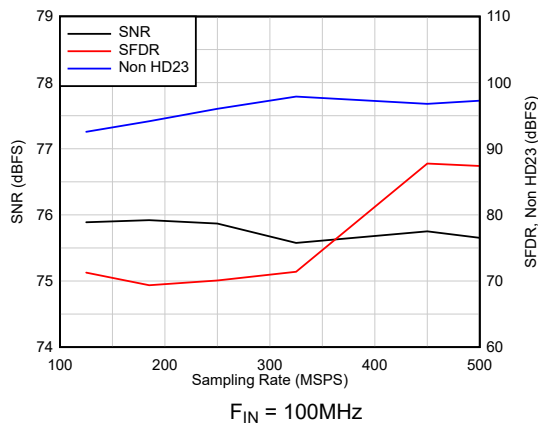


図 6-43. AC 性能と F_S との関係

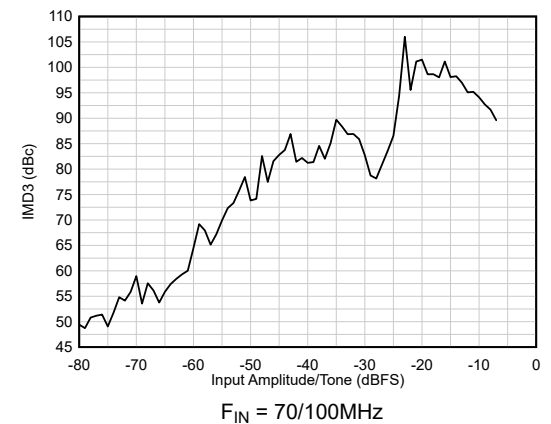


図 6-44. IMD3 と A_{IN} との関係

6.11 代表的特性、ADC3669 (続き)

特に記述のない限り、標準値は $T_A = 25^\circ\text{C}$ 、ADC サンプルレート = 500MSPS、DDC バイパス モード、50% クロック デューティ サイクル、公称電源電圧、-1dBFS 差動入力で規定されています。

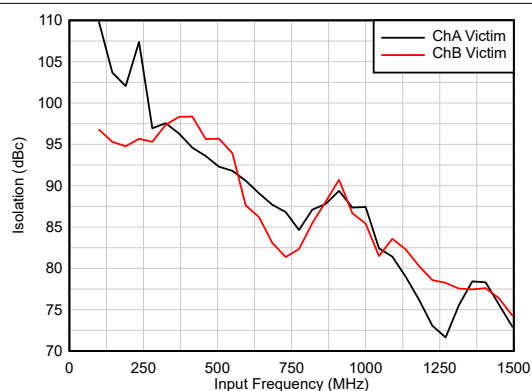


図 6-45. 絶縁と F_{IN} との関係

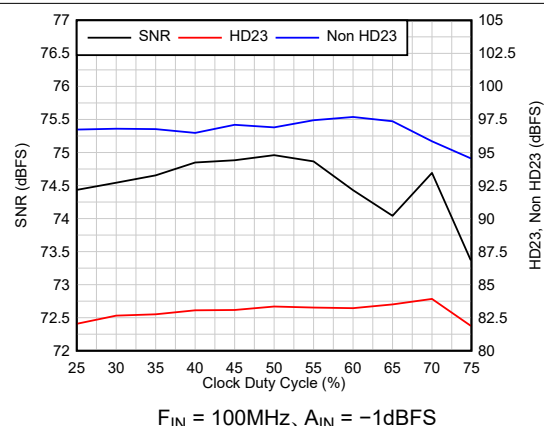


図 6-46. AC 性能とクロック デューティ サイクルとの関係

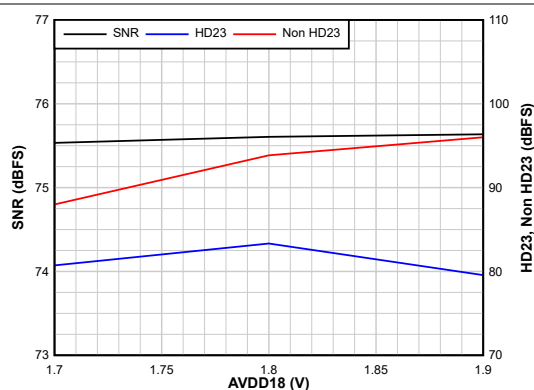


図 6-47. AC 性能と AVDD18 との関係

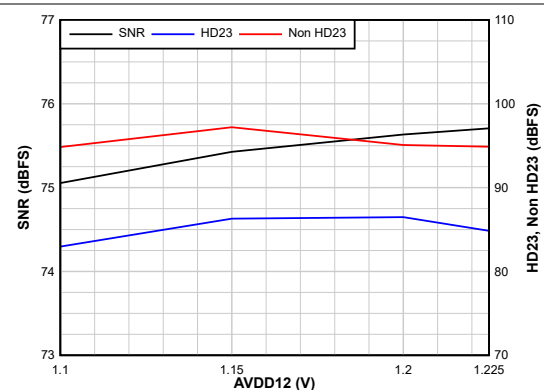


図 6-48. AC 性能と AVDD12 との関係

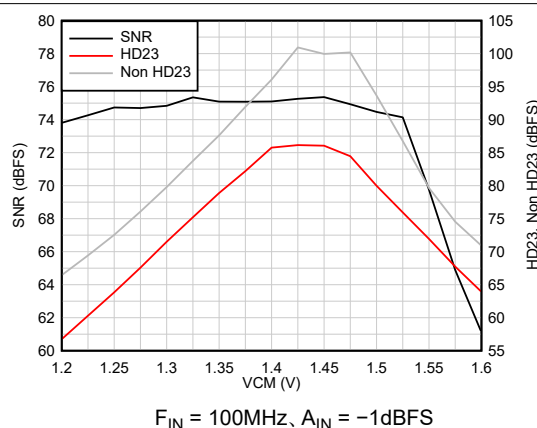


図 6-49. AC 性能と VCM との関係

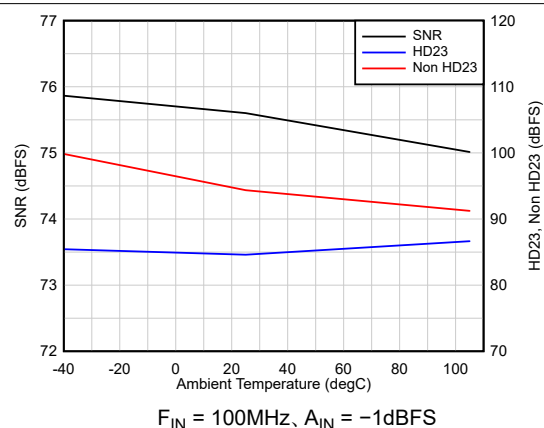


図 6-50. AC 性能と温度との関係

6.11 代表的特性、ADC3669 (続き)

特に記述のない限り、標準値は $T_A = 25^\circ\text{C}$ 、ADC サンプルングレート = 500MSPS、DDC バイパス モード、50% クロック デューティ サイクル、公称電源電圧、-1dBFS 差動入力で規定されています。

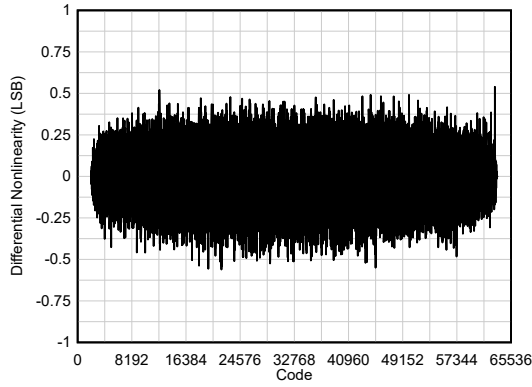


図 6-51. DNL

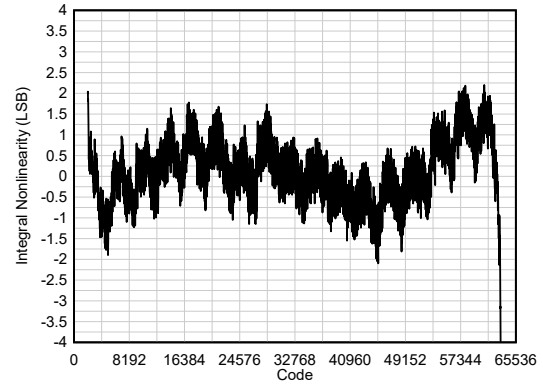


図 6-52. INL

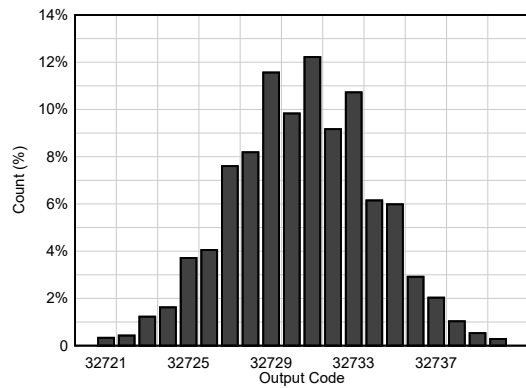


図 6-53. DC オフセット ヒストグラム

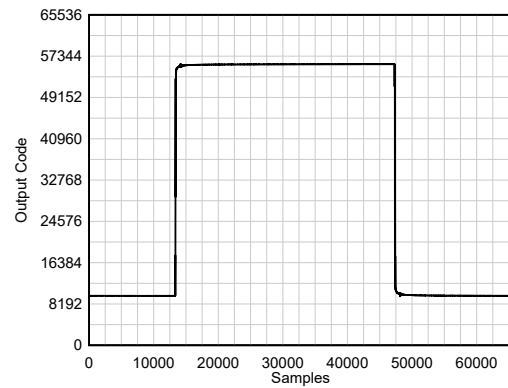
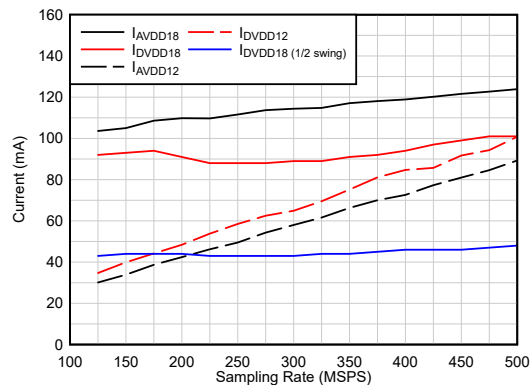
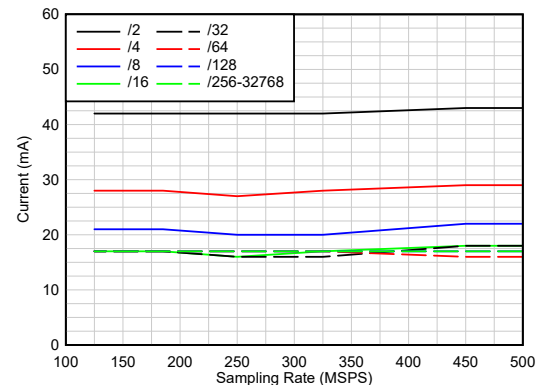


図 6-54. パルス応答



デシメーション バイパス、DDR LVDS

図 6-55. 電流とサンプルングレートとの関係

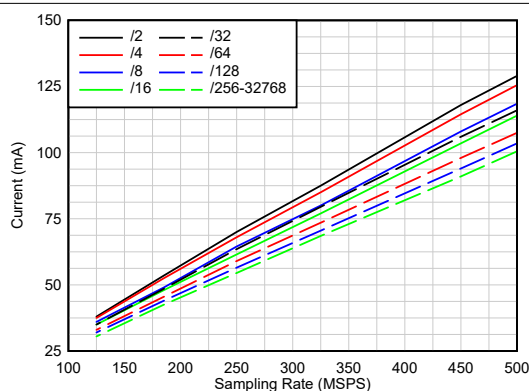


実数デシメーション、DVDD18

図 6-56. 電流とサンプルングレートとの関係

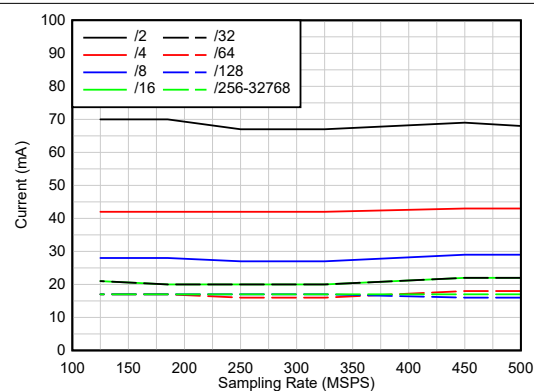
6.11 代表的特性、ADC3669 (続き)

特に記述のない限り、標準値は $T_A = 25^\circ\text{C}$ 、ADC サンプルングレート = 500MSPS、DDC バイパス モード、50% クロック デューティ サイクル、公称電源電圧、-1dBFS 差動入力で規定されています。



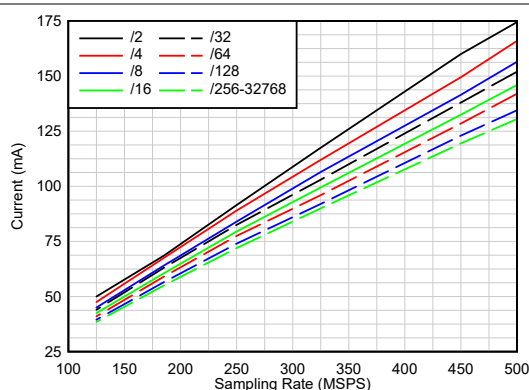
実数デシメーション、DVDD12

図 6-57. 電流とサンプルングレートとの関係



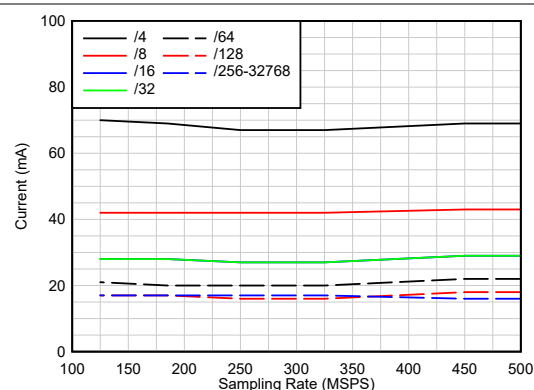
複素デシメーション、デュアル バンド、DVDD18

図 6-58. 電流とサンプルングレートとの関係



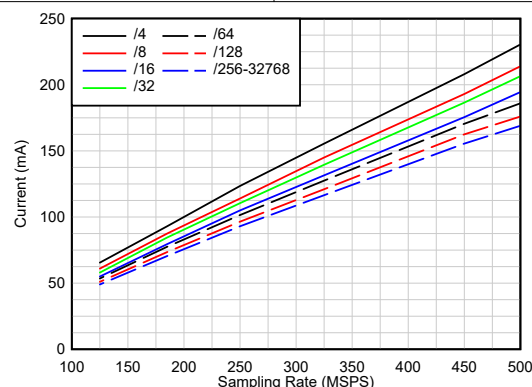
複素デシメーション、デュアル バンド、DVDD12

図 6-59. 電流とサンプルングレートとの関係



複素デシメーション、クワッド バンド、DVDD18

図 6-60. 電流とサンプルングレートとの関係



複素デシメーション、クワッド バンド、DVDD12

図 6-61. 電流とサンプルングレートとの関係

7 パラメータ測定情報

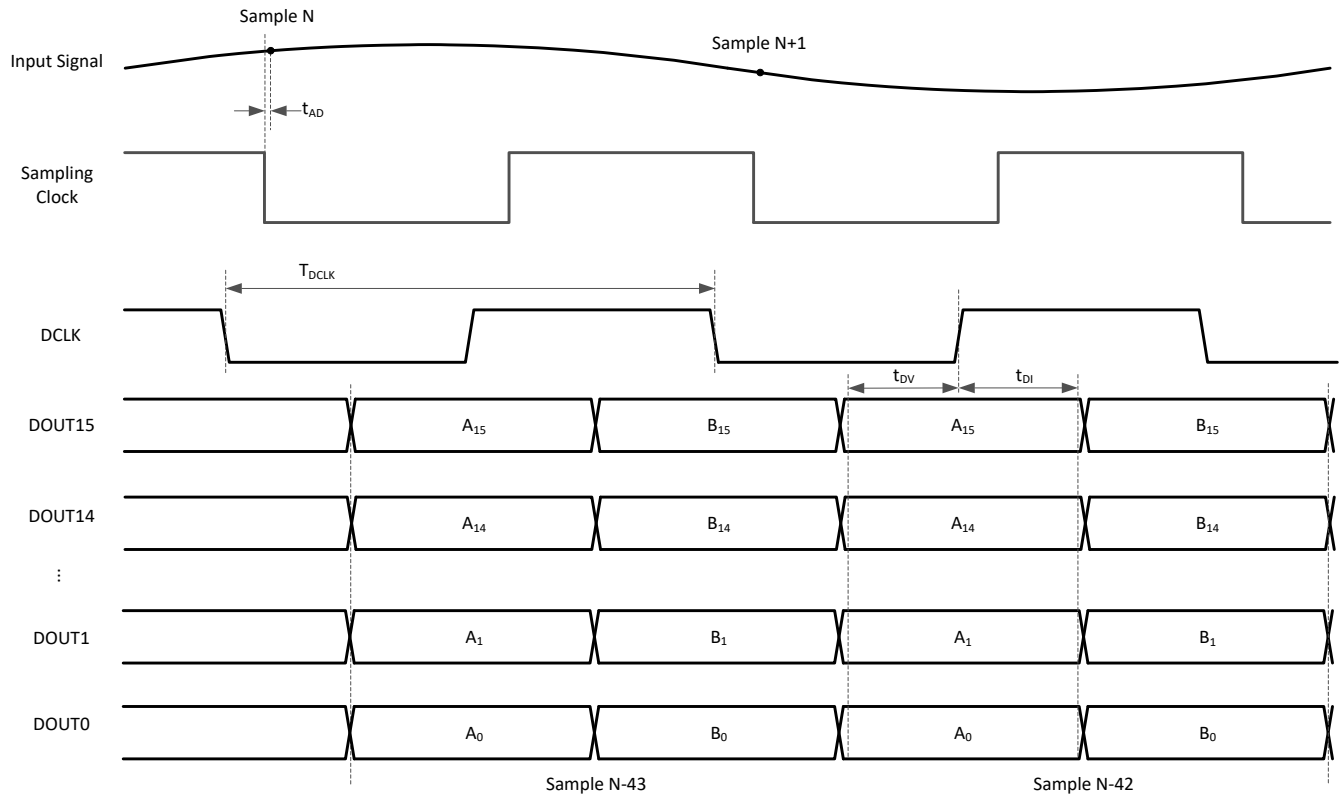


図 7-1. タイミング図：パラレル DDR LVDS

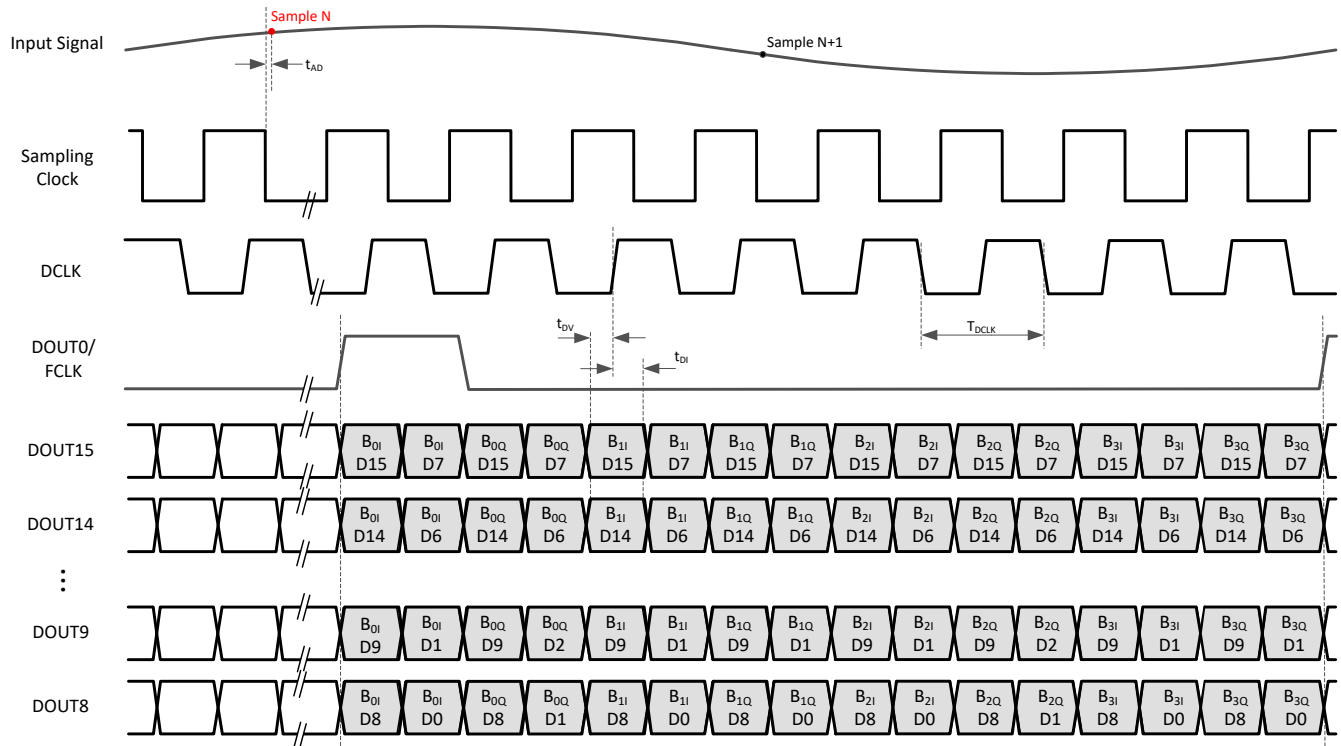


図 7-2. タイミング図：シリアル LVDS (例：クワッドバンド、16 ビット、1/8 の複素デシメーション)

8 詳細説明

8.1 概要

ADC366x は、16 ビット、250MSPS および 500MSPS、デュアル チャンネル A/D コンバータ (ADC) です。このデバイスは、高い信号対雑音比 (SNR) を実現するよう設計されており、-160dBFS/Hz という低いノイズ スペクトル密度を備えています。バッファ付きアナログ入力は、1.4GHz (-3dB) のフルパワー入力帯域幅で、100Ω および 200Ω のプログラム可能な内部終端インピーダンスをサポートしています。

ADC366x は、クワッド バンド デジタル ダウンコンバータ (DDC) を搭載しており、比率 2 の広帯域デシメーションから、比率 32768 の狭帯域デシメーションまでサポートしています。DDC では、位相コヒーレントと位相連続の周波数ホッピングをサポートする 48 ビット NCO を使用しています。

ADC366x には、フレキシブルな LVDS インターフェイスが装備されています。デシメーション バイパス モードでは、出力データは、DDR クロックにより、16 組の LVDS ペアを介して送信されます。実数または複素数のデシメーションを使用する場合、出力データは、シリアル LVDS インターフェイスを使って送信されます。デシメーションが増加すると、使用されるレーン数が減少します。

電力効率の優れた ADC アーキテクチャは、500MSPS で 300mW/ch の消費電力を実現し、低サンプリング レートで電力スケールリングを実現します (250MSPS で 250mW/ch)。

8.2 機能ブロック図

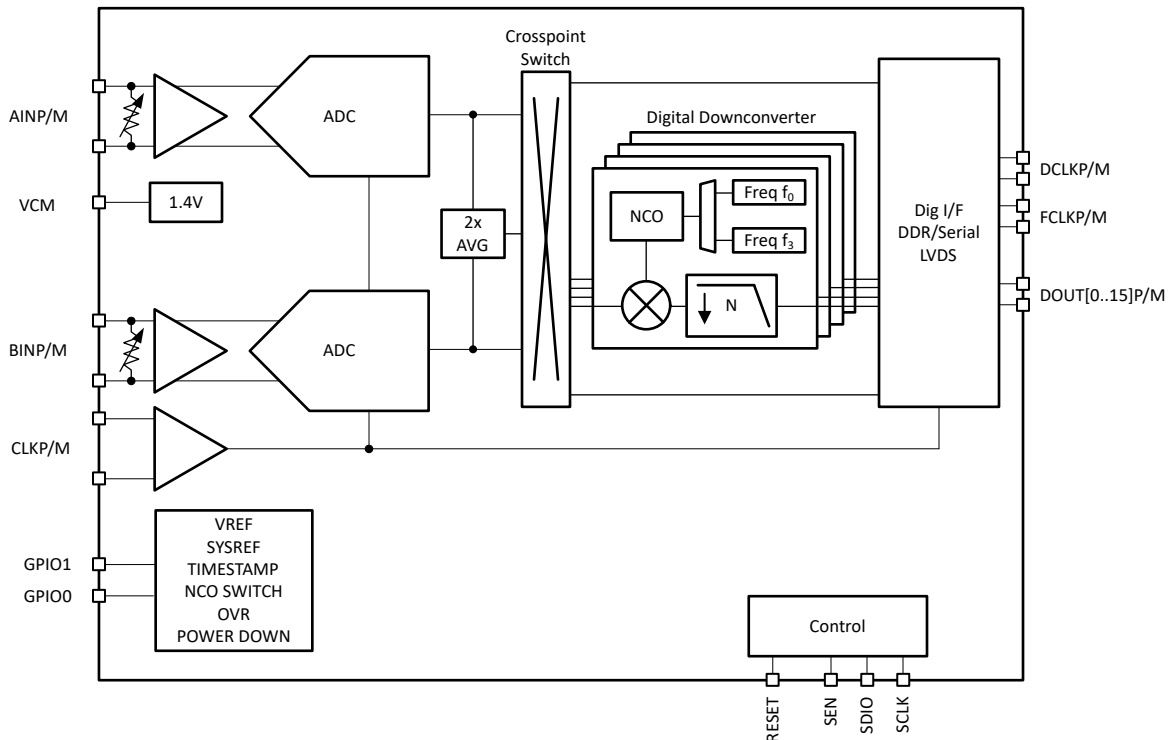


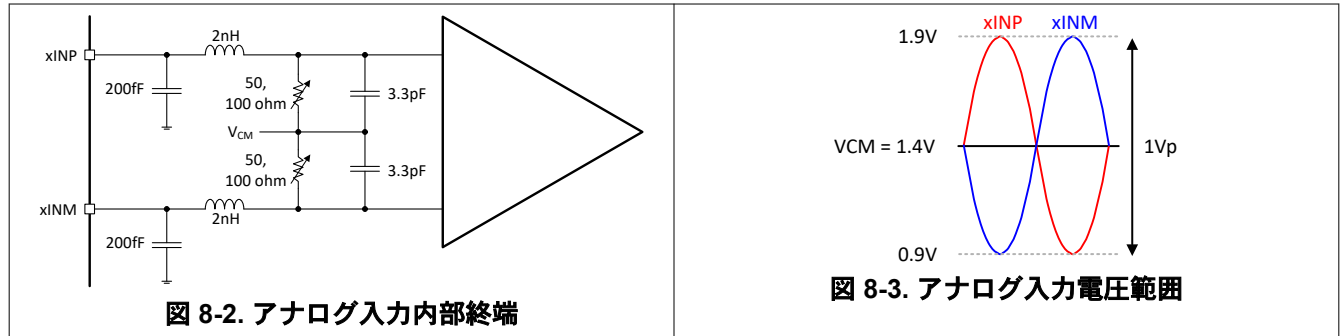
図 8-1. ブロック図

8.3 機能説明

8.3.1 アナログ入力

ADC366x のアナログ入力には内部バッファがあり、サンプリング コンデンサを外部入力回路のグリッチ ノイズから絶縁します。アナログ入力には、 100Ω の差動分割終端があり、 V_{CM} への内部バイアスを備えています (図 8-2 の代表的な入力モデルを参照)。これは、SPI レジスタへの書き込みにより差動 200Ω 終端に変更できます。

入力フルスケールは $2V_{pp}$ 、 V_{CM} は $1.4V$ なので、アナログ入力の電圧は $0.9V \sim 1.9V$ の範囲でスイングします。ADC 入力は、通常動作で $1.9V$ をサポートするように、信頼性の高い設計を採用しています。



このデバイスは、図 8-4 および 図 8-5 に示すように、アナログ入力の AC 結合と DC 結合の両方をサポートしています。

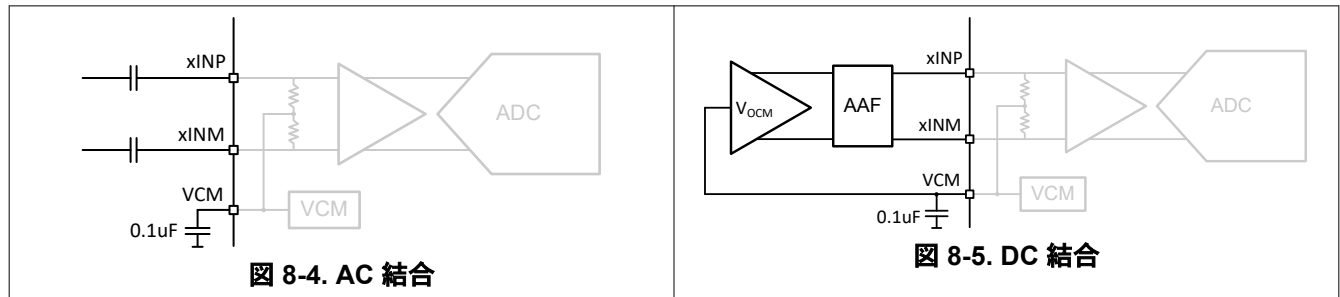


図 8-6 に、内部終端 100Ω および 200Ω に対する入力帯域幅 ($-3dB$) を示します。

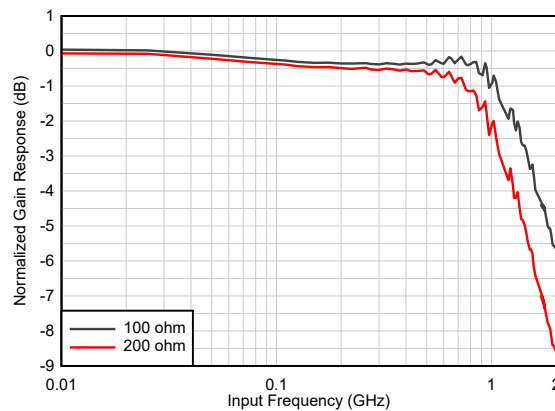


図 8-6. 内部終端 100Ω および 200Ω に対するフル パワー入力帯域幅

8.3.1.1 ナイキスト ゾーン選択

この ADC は、目的の信号がどのナイキスト ゾーンにあるかに基づいて最適化されるデジタル誤り訂正を備えています。最適な性能を得るには、SPI レジスタ マップで正しい入力周波数範囲 (レジスタ 0x132) およびナイキスト ゾーン (レジスタ 0x16B) を選択する必要があります。デフォルトでは、1 次ナイキスト ゾーンが選択されています。

8.3.1.2 アナログ フロント エンド設計

ADC の SNR と HD3 性能を最適化するため、アナログ入力のすぐ前に RCR 回路を追加することを推奨します。図 8-7 に、入力周波数が 500MHz より低い場合と高い場合に推奨される RCR 回路を示します (この例は AC 結合を示していますが、DC 結合でも同じように適用できます)。ソース インピーダンスは 50Ω と想定しています。ADC が外部アンプによって駆動される場合は、RCR 回路が不要になることもあります。

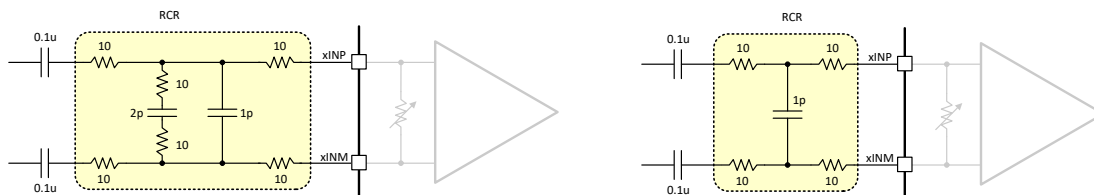


図 8-7. $F_{IN} < 500\text{MHz}$ (左) および $F_{IN} > 500\text{MHz}$ (右) の外部 RCR

8.3.2 サンプリング クロック入力

サンプリング クロック入力は、外部 AC 結合および終端を備えており、差動で駆動されるよう設計されています。この ADC には、図 8-8 に示すように、内部同相電圧バイアスがあります。

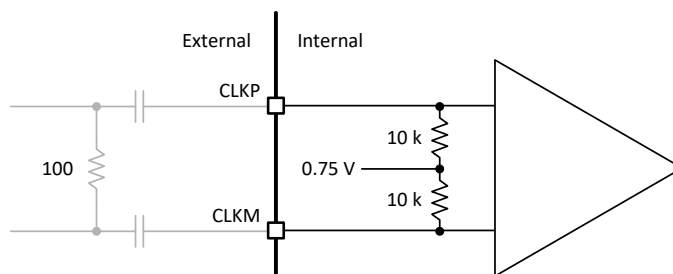


図 8-8. サンプリング クロック入力回路

内部サンプリング クロック パスは、残留位相ノイズへの影響が小さくなるように設計されています。サンプリング クロック回路には、最高の位相ノイズとジッタ性能を得るために、専用の低ノイズ電源が必要です。内部残留クロックの位相ノイズは、クロックの振幅にも影響を受けます。

内部残留クロック ノイズは、次の 2 つの成分で構成されます。表 8-1 に示すように、1) 位相ノイズと 2) 振幅ノイズがあります。位相ノイズは、入力周波数およびサンプリング レート ($20 \cdot \log(f_{IN}/F_S)$) に応じてスケールリングされますが、振幅ノイズはスケールリングされません。

表 8-1. $F_S = 500\text{MHz}$ での位相ノイズと振幅ノイズ

周波数オフセット (MHz)	位相ノイズ (dbc/Hz)	振幅ノイズ (dbc/Hz)
0.001	-130	-129
0.01	-140	-139
0.1	-150	-149
1	-160	-159
3	-165	-164
10	-165	-164

図 8-9 および 図 8-10 に、3 つの異なる入力周波数での位相ノイズと振幅ノイズを示します。

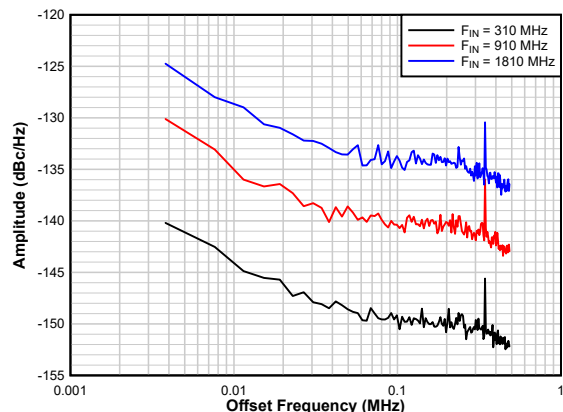


図 8-9. 位相ノイズの例

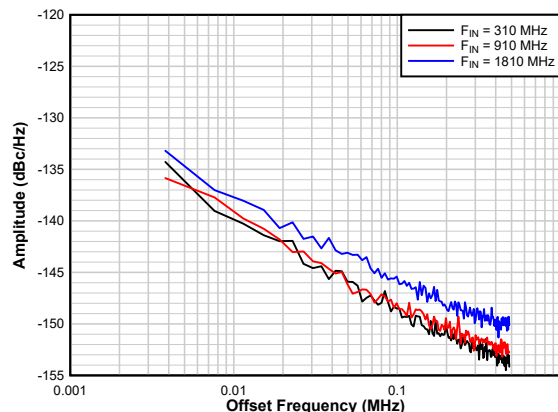


図 8-10. 振幅ノイズの例

内部クロックのノイズも、外部クロックの振幅に依存します。図 8-11～図 8-14 に、クロック振幅に対してさまざまな入力周波数で想定される AC 性能を示します。

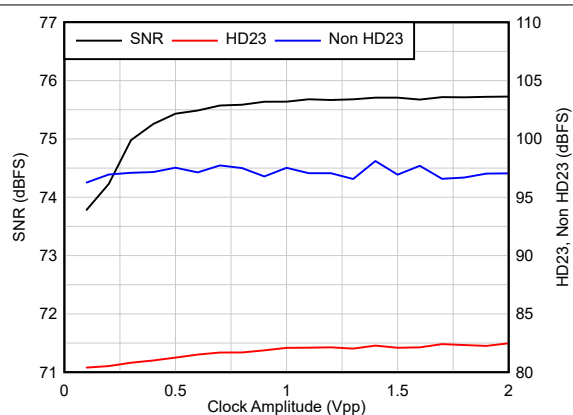


図 8-11. AC とクロック振幅との関係
 $F_S = 500\text{MSPS}$, $F_{IN} = 100\text{MHz}$, $A_{IN} = -1\text{dBFS}$

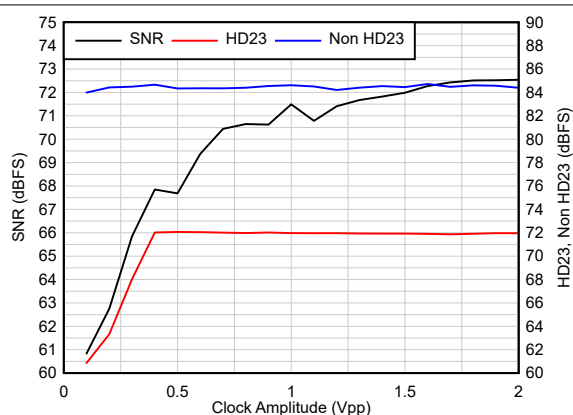


図 8-12. AC とクロック振幅との関係
 $F_S = 500\text{MSPS}$, $F_{IN} = 400\text{MHz}$, $A_{IN} = -1\text{dBFS}$

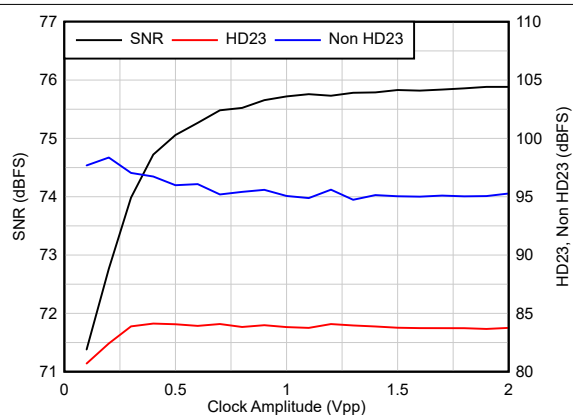


図 8-13. AC とクロック振幅との関係
 $F_S = 250\text{MSPS}$, $F_{IN} = 100\text{MHz}$, $A_{IN} = -1\text{dBFS}$

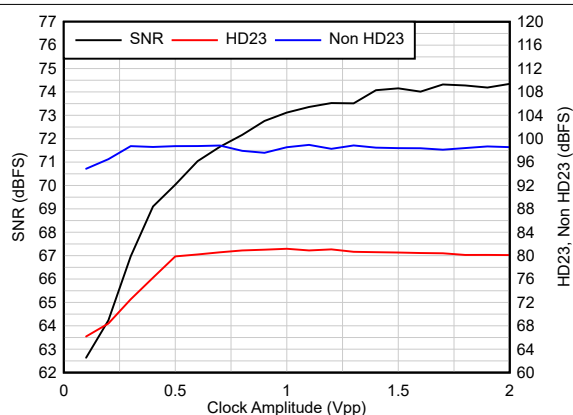


図 8-14. AC とクロック振幅との関係
 $F_S = 250\text{MSPS}$, $F_{IN} = 240\text{MHz}$, $A_{IN} = -1\text{dBFS}$

8.3.3 複数チップの同期

このデバイスでは、オプションとして確定的レイテンシを実現できるので、動作モードに応じて複数のデバイス間での同期が容易になります。

- **DDC バイパス モード:** このデバイスは、もともと本質的にレイテンシが確定的です。外部マルチチップ同期は、デバイス間のクロックの配線パターンを一致させることによって実現されます。ただし、内部ランプ テスト パターンは、SYSREF 信号を使用してリセットできます。
- **DDC モード:** デシメーション フィルタに関連する内部ブロック (クロック分周器、NCO 位相など) は、SYSREF 信号を使用して確定的状態にリセットされます。図 8-15 に示すように、デバイス間のクロックおよび SYSREF 信号の配線 (青色の線) を一致させることで、外部マルチチップ同期を実現します。

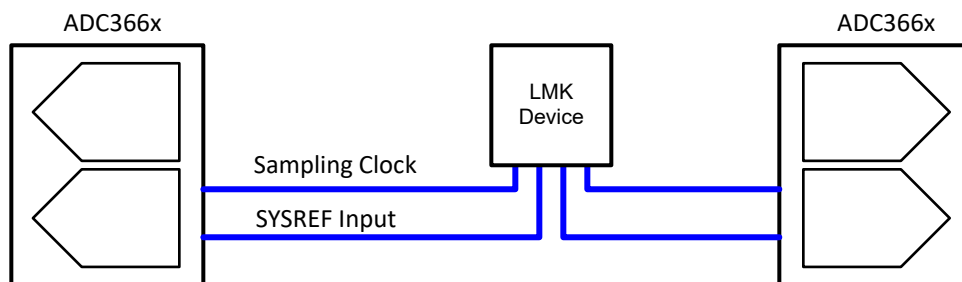


図 8-15. 2 つのデバイスの同期例

GPIO0 ピンは、同期入力として構成できます。図 8-16 に示すように、マルチチップ同期に単一のパルスを適用できます。

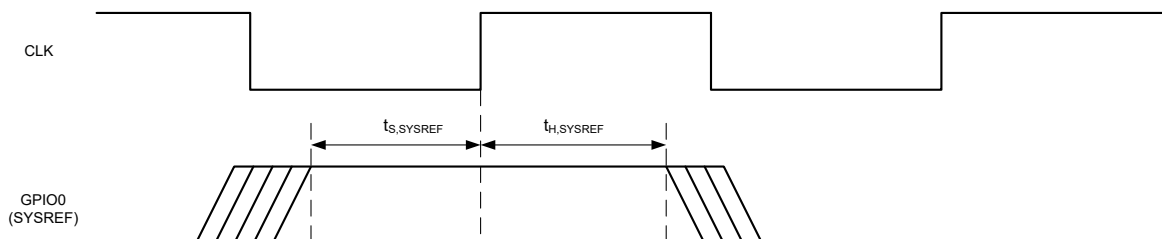


図 8-16. タイミング：外部同期入力

SPI レジスタ マップには、NCO 位相など特定のブロックのみをリセットするための複数の異なる同期マスクがあります。

表 8-2. 外部 SYSREF 構成のためのレジスタ書き込み例

ADDR	データ	説明
0x146	0x00	ピン GPIO0 を SYSREF 入力として構成します

8.3.3.1 SYSREF モニタ

セットアップ時間とホールド時間を最大化するため、SYSREF 入力信号の立ち上がりエッジは、サンプリング クロックの立ち下がりエッジとエッジをそろえる必要があります。SYSREF 信号は、サンプリング クロックの立ち上がりエッジから 60ps 後に内部的にサンプリングされます。

デバイスには、内部 SYSREF 監視回路が搭載されており、SYSREF のサンプリングの瞬間付近での SYSREF ロジックレベルの不安定性を検出します。この不安定性は、デバイス間の不整合につながる可能性があります。SYSREF 監視回路は、SYSREF ロジック状態の遷移が、サンプリング クロックの立ち上がりエッジから -60ps～+140ps の範囲内であるかどうかを検出することにより、SYSREF / クロックの不整合に関する情報を提供します。この回路は、以下に示す SYSREF ウィンドウに対応する SYSREF XOR フラグの 1 つを検出してフラグを立てます。

- ウィンドウ XOR1: SYSREF がサンプル クロックより 20～60ps 先行
- ウィンドウ XOR2: SYSREF がサンプル クロックより 20ps～0ps 先行、または SYSREF がサンプル クロックより 0～20ps 遅延
- ウィンドウ XOR3: SYSREF がサンプル クロックより最大 20～60ps 遅延
- ウィンドウ XOR4: SYSREF がサンプル クロックより 60～100ps 遅延
- ウィンドウ XOR5: SYSREF がサンプル クロックより 100～140ps 遅延

SYSREF モニタレジスタは、SYSREF の立ち上がりエッジごとに更新されます。<SYSREF DET> レジスタ (D6) はステイキキー (SYSREF エッジが検出されたことを通知) であり、手動でクリアする必要があります。

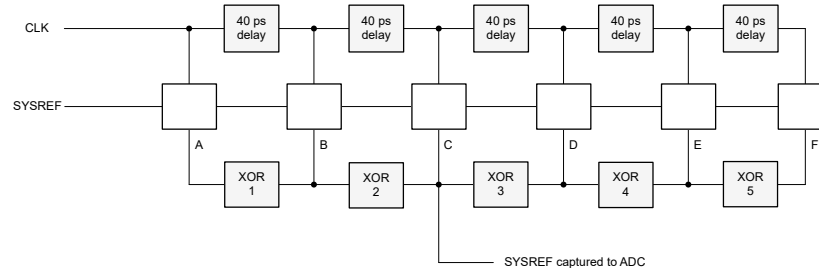


図 8-17. SYSREF 検出回路

図 8-18 の例では、SYSREF 信号の整列がずれており、サンプリング クロックの立ち下がりエッジよりもはるかに後で SYSREF 信号が到着した状況を示しています。この例では、遅延した SYSREF 信号は「B」と「C」のフリップフロップの間で遷移し、XOR2 フラグを発生させます。この XOR フラグは、レジスタ 0x140 で通知されます。この例では、表 8-3 に示すように、レジスタ 0x140 を読み出すと 0x62 が得られます。

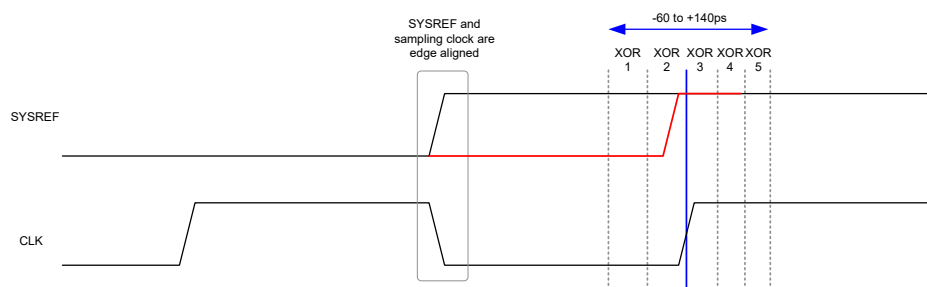


図 8-18. キャプチャ ウィンドウ内での SYSREF 遷移の検出

表 8-3. SYSREF ウィンドウ レジスタの例 (0x140)

ADDR	D7	D6	D5	D4	D3	D2	D1	D0
0x140	0	SYSREF DET	SYSREF OR	SYSREF X5	SYSREF X4	SYSREF X3	SYSREF X2	SYSREF X1
	0	1	1	0	0	0	1	0

8.3.4 タイムスタンプ

ADC366x はタイムスタンプ機能を備えており、DDC バイパス モードで、アナログ入力の特定のサンプルにタグを付けることができます。この機能を (SPI 書き込みにより) イネーブルにすると、GPIO/SYSREF ピンのロジック Low から High への遷移が、サンプリング クロックの立ち上がりエッジで記録されます。タイムスタンプ信号は、レーン DOUT0 (LSB) に出 force されますが、この信号は、レイテンシが出力データと一致していません。

図 8-19 に示すように、タイムスタンプ信号は、出力データの 35 クロック サイクル前に示されます。

- レイテンシ出力データ: 43 クロック サイクル
- レイテンシ タイムスタンプ出力: 8 クロック サイクル

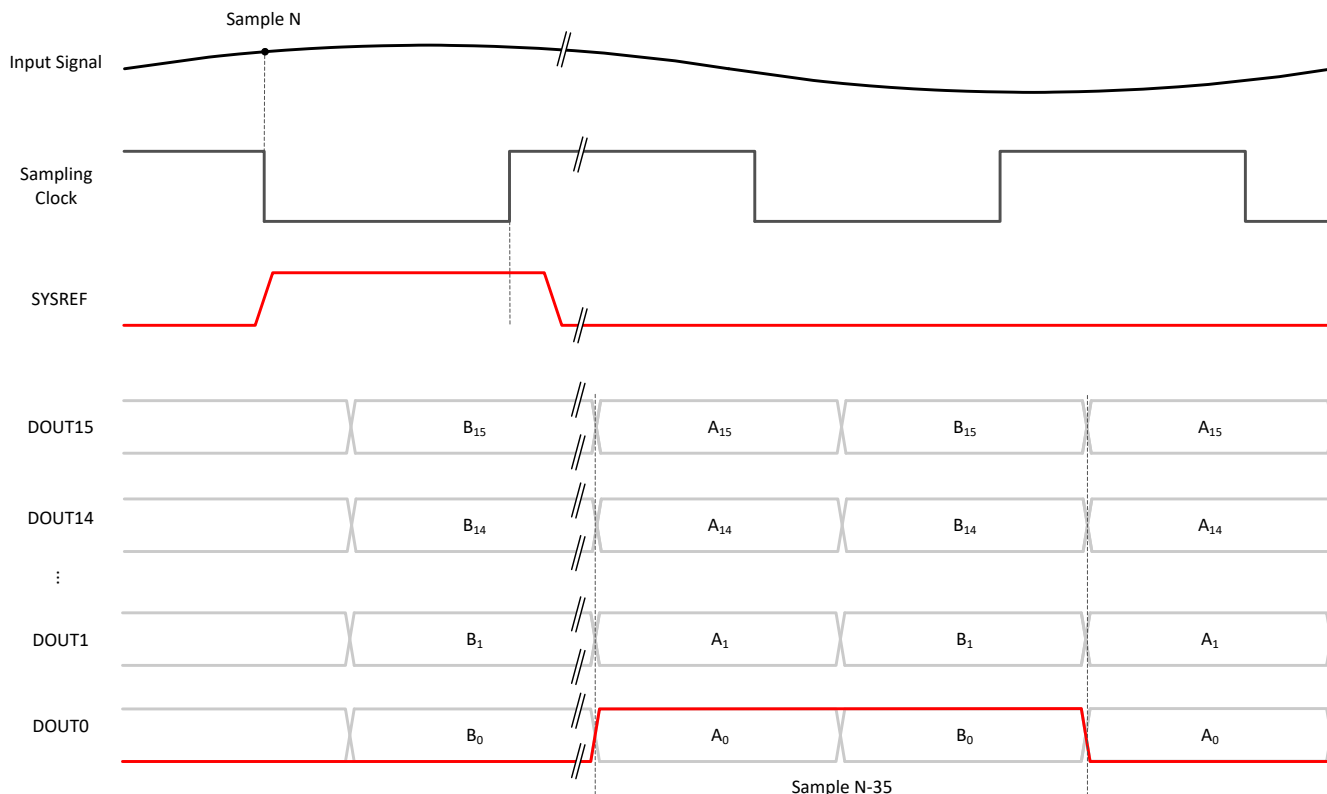


図 8-19. タイミング図 - タイムスタンプ

表 8-4. ピン GPIO0 のタイムスタンプをイネーブルするためのレジスタ書き込みの例

ADDR	データ	説明
0x146	0x00	ピン GPIO0 で SYSREF をイネーブルします。
0x162	0xC0	LSB を置き換えるタイムスタンプ機能をイネーブルにします。

8.3.5 オーバーレンジ

信号が表現可能なデジタル範囲 (最大コード) を超えると、デバイスはオーバーレンジ インジケータをトリガします。オーバーレンジ出力は、レジスタ 0x10A/0x10B で設定できます。OVR 通知のレイテンシは、データ レイテンシと等しいかそれ以下です。

OVR は、次の 2 つの方法で通知できます。

- GPIO ピン: チャンネルごとに 1 つの GPIO OVR ピン、または 2 つの ADC の OVR 信号の OR をとった 1 つの GPIO ピン (レジスタ 0x146)

- **LSB データ:** 各チャンネル出力データ (レジスタ 0x116) の LSB が OVR 信号に置き換えられます。デシメーション モードでは、ADC の接続されている DDC 出力ストリームの LSB が OVR 信号に置き換えられます (DDC マルチプレクサ入力により制御)。

8.3.6 外部電圧リファレンス

最高の精度と最小の温度ドリフトを得るために、ADC に外部 1.2V 電圧リファレンスを供給できます。外部リファレンスは、GPIO1 ピンから供給することができます (SPI により構成)。10 μ F および 0.1 μ F セラミック バイパス コンデンサ (C_{VREF}) を GPIO1 ピンと AGND ピンの間に接続し、できるだけピンの近くに配置することを推奨します。

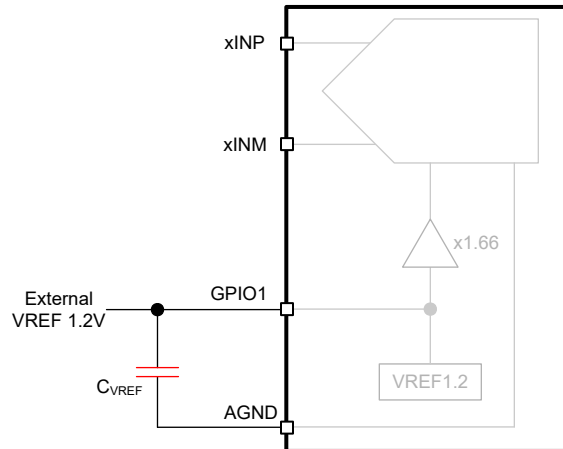


図 8-20. 外部電圧リファレンス

8.3.7 デジタル ゲイン

このデバイスは、両方のチャンネルについて、プログラム可能なデジタル ゲインを備えています。このゲインは、レジスタ 0x15B (CHA) および 0x15C (CHB) にプログラムされます。8 ビット レジスタ フィールドは、符号ビット付きの 7 ビット (2 の補数) です。

実際のゲイン (dB) は次のとおりです。 $20 \times \log (1 + (7 \text{ ビット ゲイン} / 128))$

たとえば、レジスタ値 0x7F は 6dB のデジタル ゲインに対応し、0xC0 は -6dB のデジタル ゲインに対応します。

8.3.8 デシメーション フィルタ

ADC366x は、図 8-21 に示すように、最大 4 つのデジタル ダウン コンバータを実現します。SPI レジスタ書き込みでクロス ポイント スイッチを使用すると、4 つの DDC のいずれかを、いずれかの ADC または $2 \times$ AVG ブロックの出力に接続できます。デュアル バンド モード (2 DDC) では、 $1/2 \sim 1/32768$ のデシメーションがサポートされています。4 DDC モードでは、表 8-5 に示すように、最小のデシメーションは $1/4$ です。実数 (シングル バンドのみ) および複素数のデシメーションがサポートされています。実数デシメーションでは、パスバンドは約 40% であり、複素数デシメーションでは、パスバンドは約 80% です (表 8-6 を参照)。

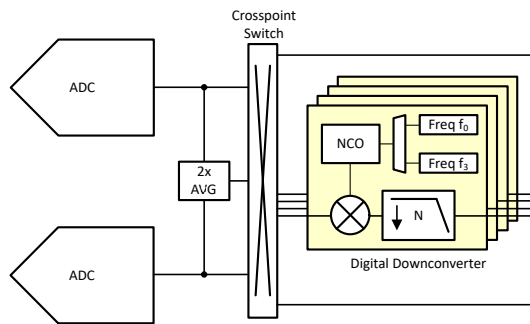


図 8-21. 内蔵デジタル ダウン コンバータ

表 8-5. さまざまなデシメーション フィルタの帯域オプションの概要

DDC の数	最小デシメーション	最大デシメーション
2	$1/2$	$1/32768$
4	$1/4$	$1/32768$

表 8-6. 複素数デシメーションおよび実数デシメーションと出力帯域幅との関係

デシメーション係数 (複素数)	DDC ごとの複素数出力帯域幅	DDC ごとの実数出力帯域幅
N	$0.8 \times F_S / N$	$0.4 \times F_S / N$

デシメーションは、<COMMON DECIMATION> SPI レジスタ (0x169、D3～D0) をセットすることでイネーブルになります。デフォルトでは、この設定は「実数」デシメーションになります。「複素数」デシメーションは、レジスタ <COMPLEX EN> (0x162、D2) でイネーブルになります。

8.3.8.1 特長あるデシメーション比

DDC は、それぞれ異なる個別のデシメーション比を持つようにプログラム可能です。出力データ レートは、最小のデシメーション比を持つデシメーション フィルタに基づいて決まります。デシメーション係数の大きい DDC の出力サンプルは、それに応じて出力データ ストリームで繰り返されます。たとえば、DDC0 を $1/4$ に、DDC1 を $1/8$ に設定すると、DDC0 の出力データ レートは DDC1 の 2 倍になります ($F_{out0} = F_S/4$ と $F_{out1} = F_S/8$ との関係)。したがって、DDC1 の出力サンプルは、図 8-22 に示すように 1 回繰り返されます。

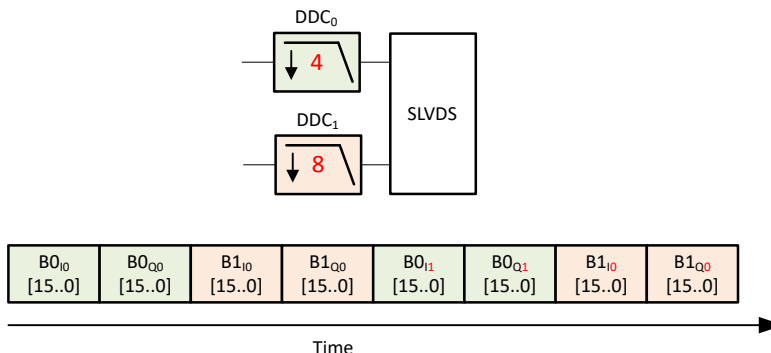


図 8-22. 異なるデシメーション係数

8.3.8.2 デシメーション フィルタ 応答

このセクションでは、正規化された ADC サンプルング レートでのさまざまなデシメーション フィルタ 応答について説明します。複素フィルタのパス バンドは約 80% (-1dB) であり、最小 85dB のストップ バンド除去を実現しています。

デシメーション フィルタの応答を ADC サンプルング クロック周波数 F_S に正規化して、図 8-24～図 8-53 に示します。各図には、図 8-23 に示すように、フィルタのパスバンド、遷移バンド、エイリアスまたはストップバンドが含まれています。x 軸は、(NCO 周波数シフト後の) オフセット周波数を ADC サンプルング レート F_S に正規化したものを示します。

たとえば、1/4 の複素セットアップでは、出力データ レートは $F_S / 4$ 複素、ナイキスト ゾーンは $F_S / 8$ すなわち $0.125 \times F_S$ です。遷移バンド (青色) は $0.125 \times F_S$ を中心にしており、エイリアス遷移バンドは $0.375 \times F_S$ を中心にしています。ストップ バンド (赤色) は、パスバンドの上側にエイリアスがあり、 $0.25 \times F_S$ および $0.5 \times F_S$ を中心にして配置されています。ストップ バンド減衰は、85dB を超えています。

注

より高いデシメーション比 (/32 以降) では、ファー アウト遷移およびストップ バンドは -120dB を超えます。デシメーション フィルタ プロットは、-120dB より小さい減衰に関連する応答のみ示しています。

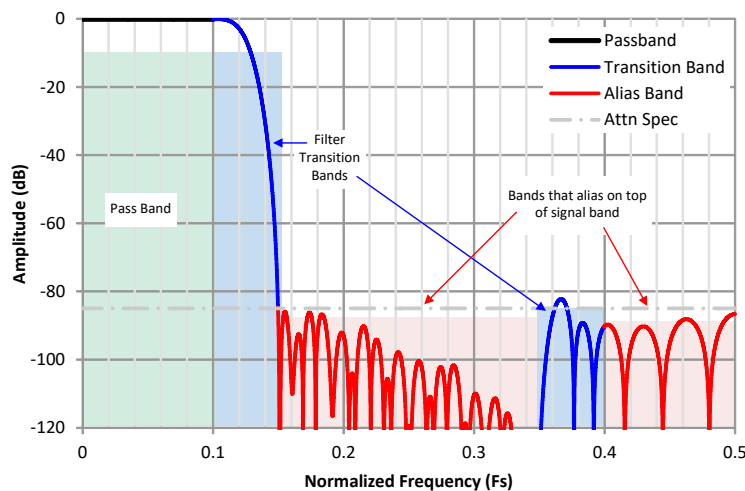


図 8-23. デシメーション フィルタ プロットの解釈

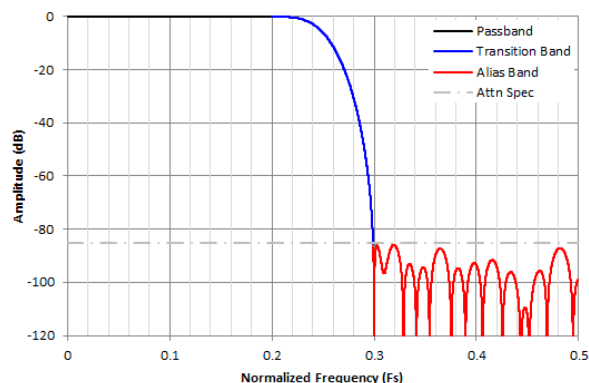


図 8-24. 1/2 複素デシメーションのフィルタ 応答

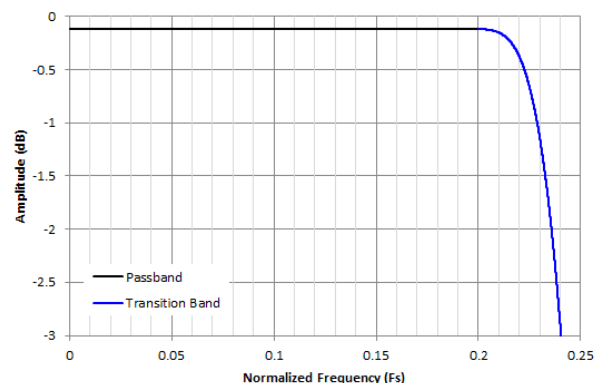


図 8-25. 1/2 デシメーションのパスバンド リップル 応答

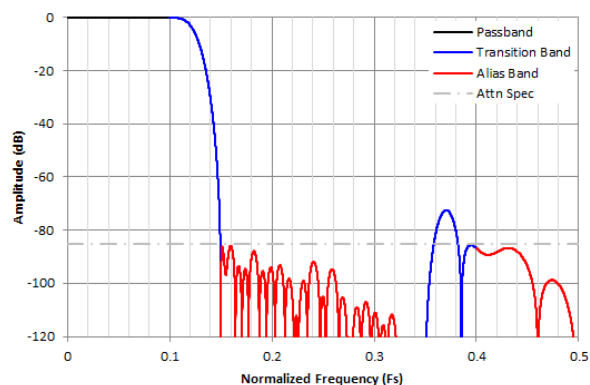


図 8-26. 1/4 複素デシメーションのフィルタ応答

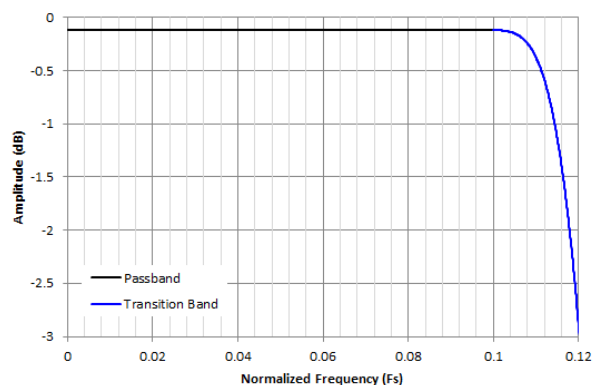


図 8-27. 1/4 デシメーションのパスバンド リップル応答

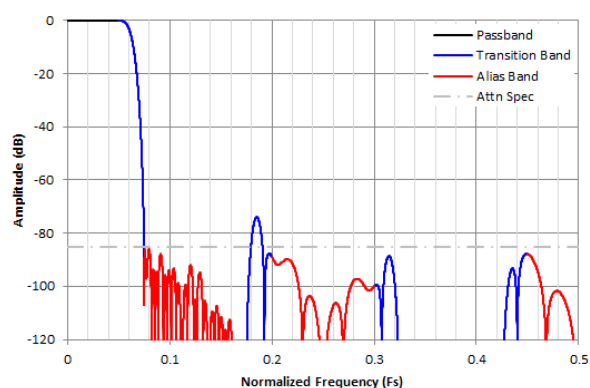


図 8-28. 1/8 複素デシメーションのフィルタ応答

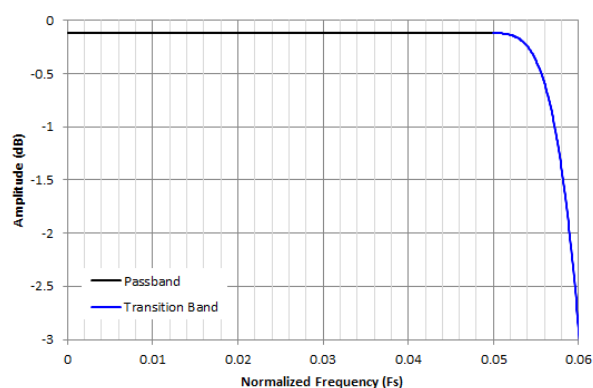


図 8-29. 1/8 デシメーションのパスバンド リップル応答

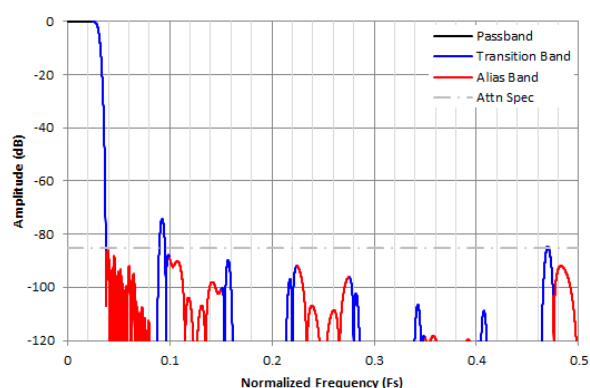


図 8-30. 1/16 複素デシメーションのフィルタ応答

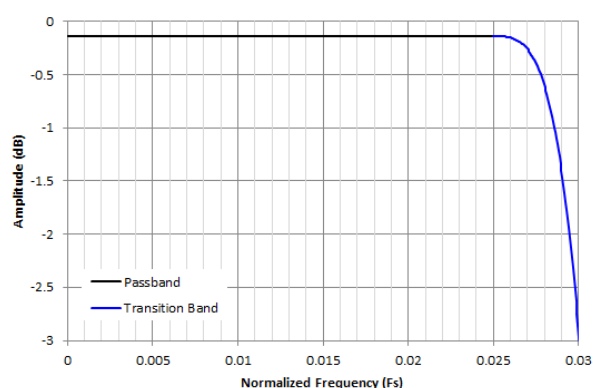


図 8-31. 1/16 デシメーションのパスバンド リップル応答

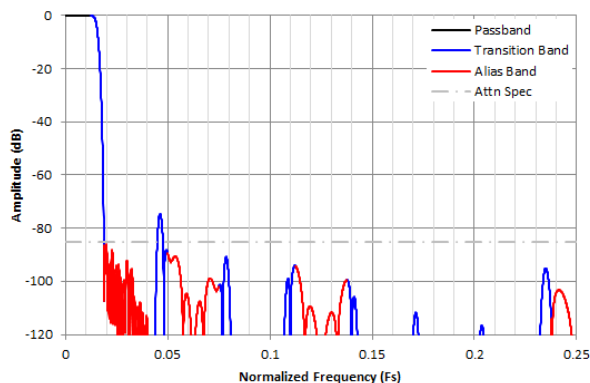


図 8-32. 1/32 複素デシメーションのフィルタ応答

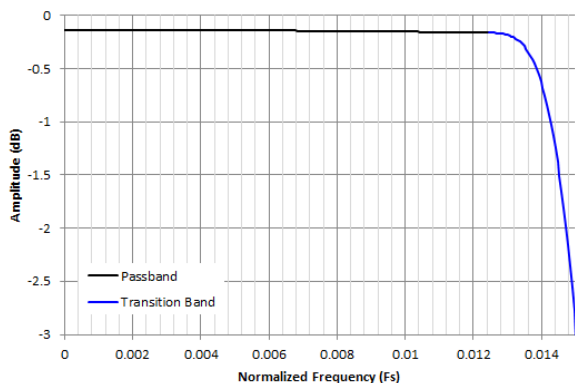


図 8-33. 1/32 デシメーションのパスバンド リップル 応答

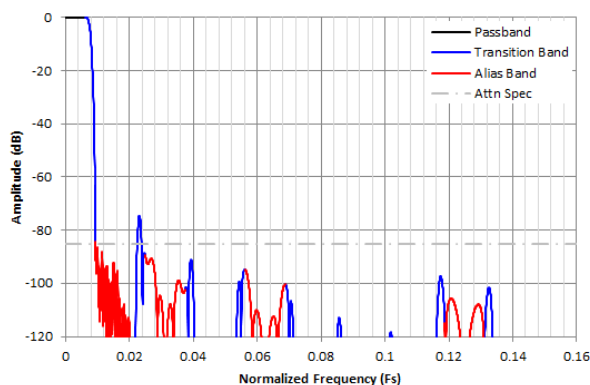


図 8-34. 1/64 複素デシメーションのフィルタ応答

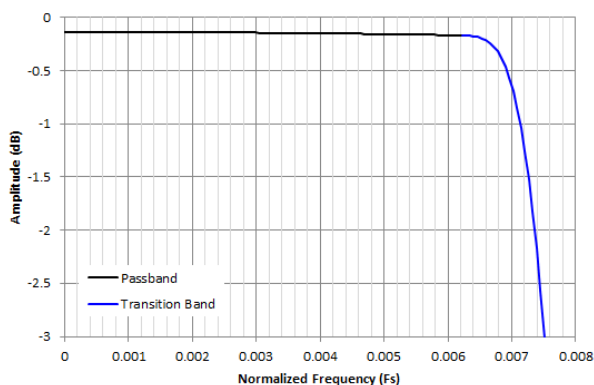


図 8-35. 1/64 複素デシメーションのフィルタ リップル 応答

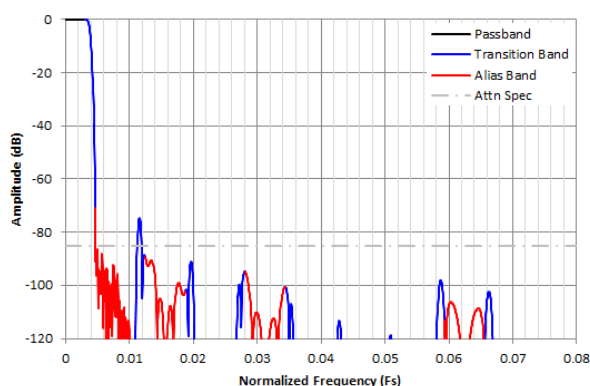


図 8-36. 1/128 複素デシメーションのフィルタ応答

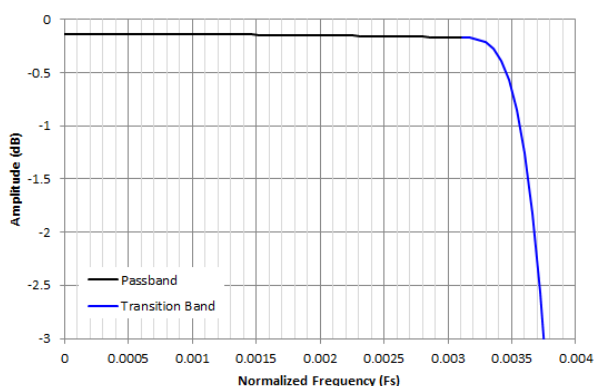


図 8-37. 1/128 デシメーションのパスバンド リップル 応答

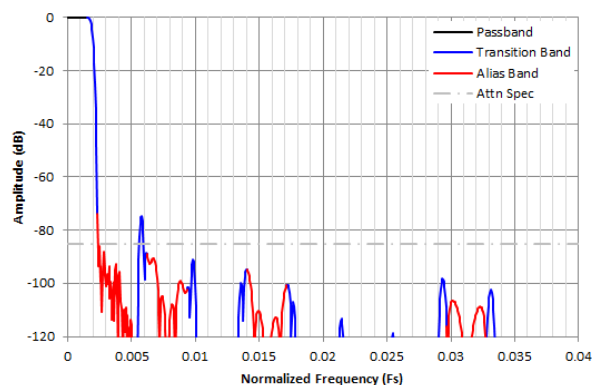


図 8-38. 1/256 複素デシメーションのフィルタ応答

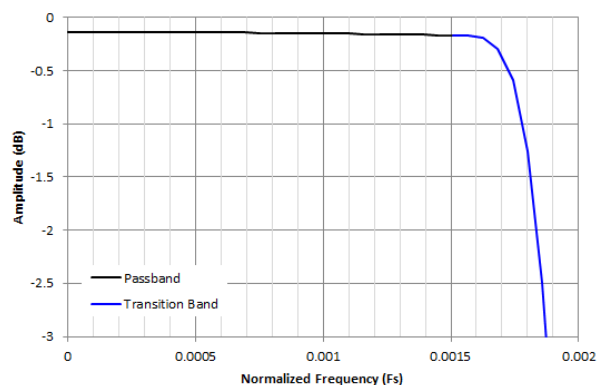


図 8-39. 1/256 デシメーションのパスバンド リップル 応答

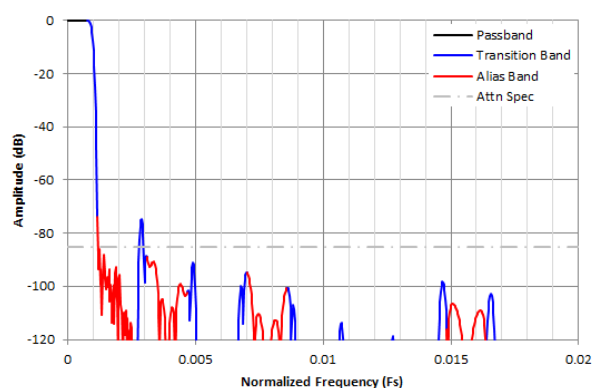


図 8-40. 1/512 複素デシメーションのフィルタ応答

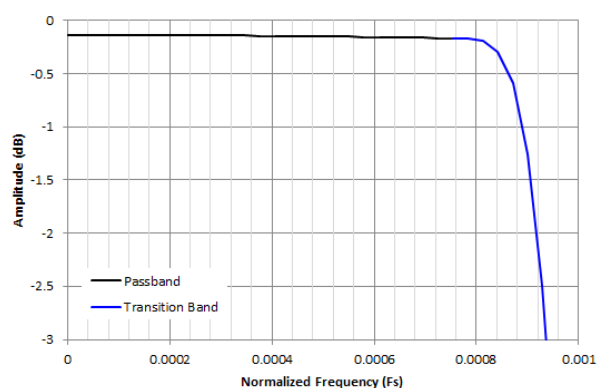


図 8-41. 1/512 デシメーションのパスバンド リップル 応答

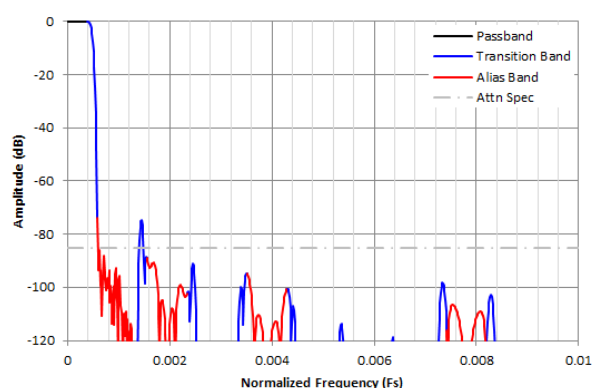


図 8-42. 1/1024 複素デシメーションのフィルタ応答

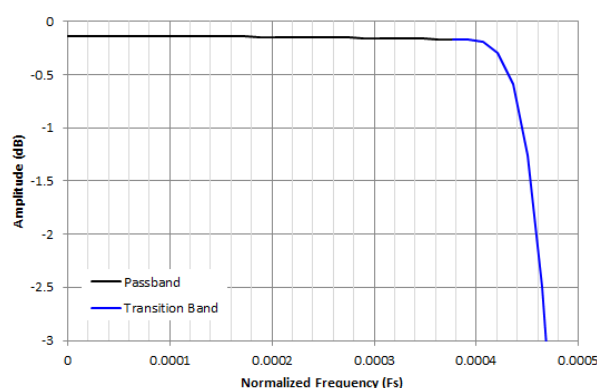


図 8-43. 1/1024 デシメーションのパスバンド リップル 応答

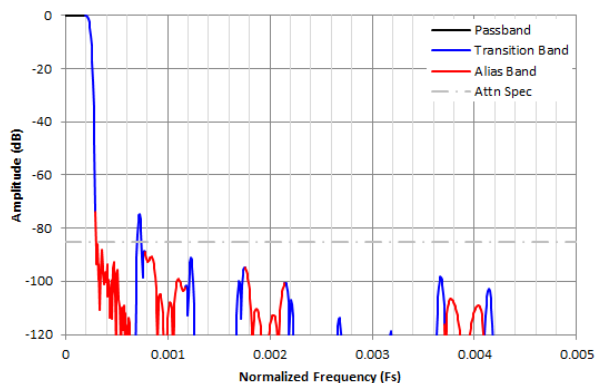


図 8-44. 1/2048 複素デシメーションのフィルタ応答

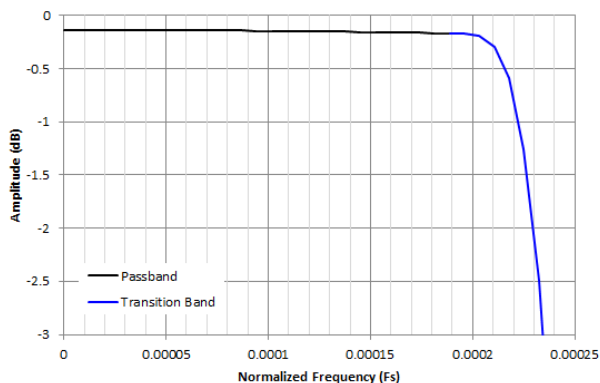


図 8-45. 1/2048 デシメーションのパスバンド リップル応答

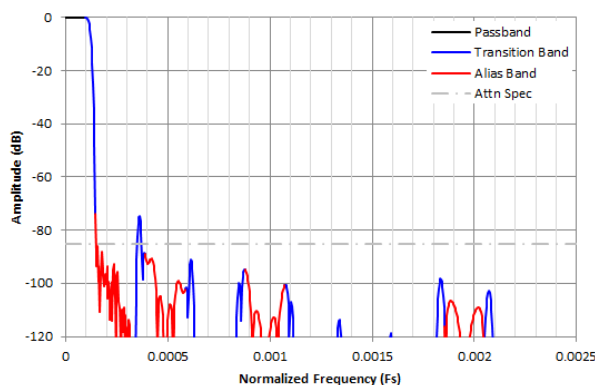


図 8-46. 1/4096 複素デシメーションのフィルタ応答

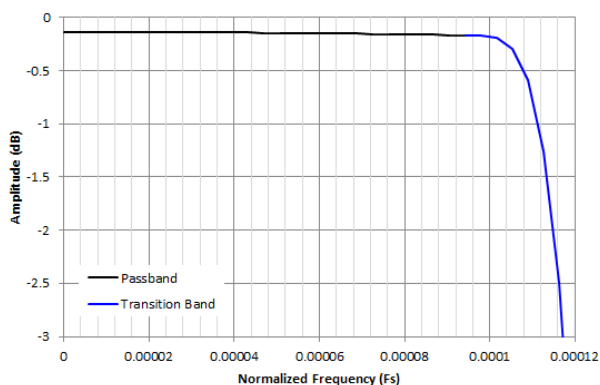


図 8-47. 1/4096 デシメーションのパスバンド リップル応答

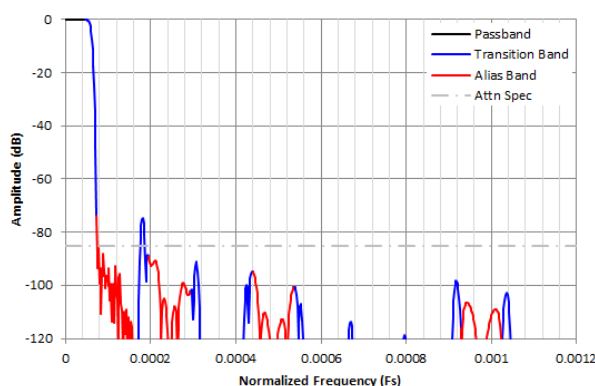


図 8-48. 1/8192 複素デシメーションのフィルタ応答

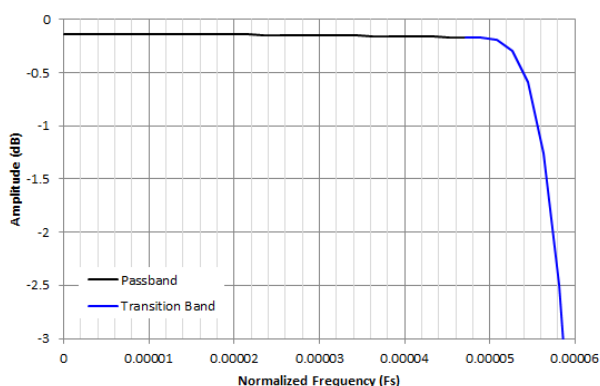


図 8-49. 1/8192 デシメーションのパスバンド リップル応答

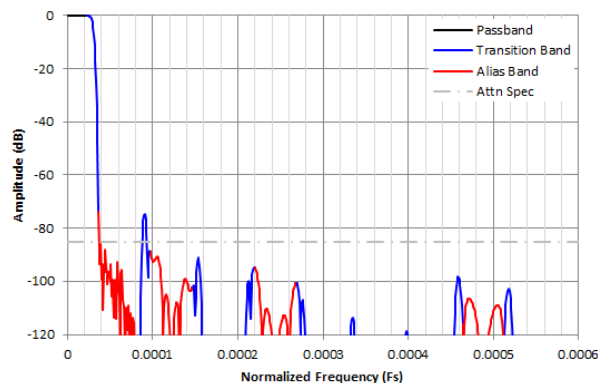


図 8-50. 1/16384 複素デシメーションのフィルタ応答

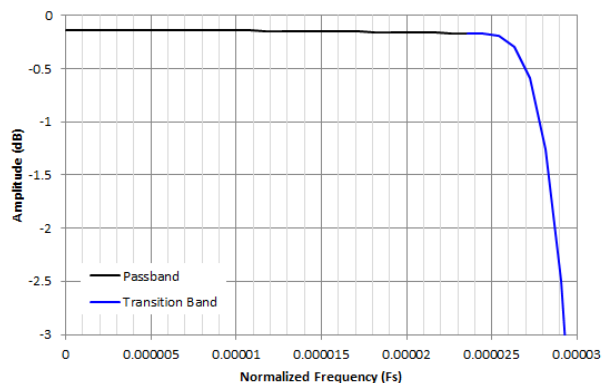


図 8-51. 1/16384 デシメーションのパスバンド リップル応答

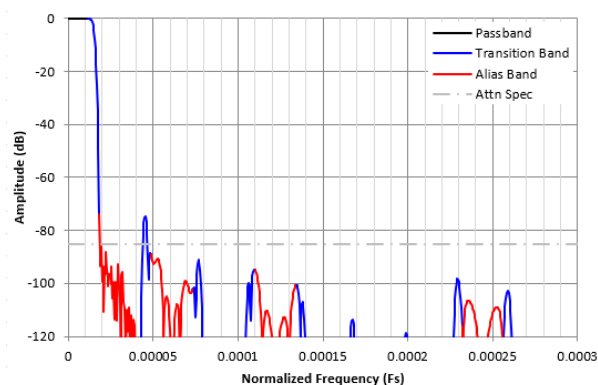


図 8-52. 1/32768 複素デシメーションのフィルタ応答

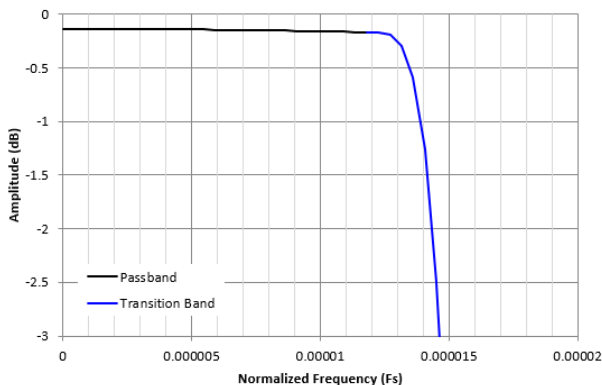


図 8-53. 1/32768 デシメーションのパスバンド リップル応答

8.3.8.3 デシメーション フィルタ構成

デジタル デシメーション フィルタの動作は、レジスタ 0x163～0x169 を使用して制御できます。NCO 周波数は、レジスタ 0x200～0x2DF にマップされます。DDC は多用途で、多くの動作モードをサポートできます。

表 8-7. DDC の構成

ADDR	説明
0x163	どの DDC にどの ADC が接続されるかを選択します。デフォルトでは、各 ADC は 2 つの DDC に接続されます。
0x164	NCO モードを選択し、NCO 周波数を更新します
0x165	NCO 周波数の更新を構成します
0x166	NCO 周波数 0～3 を各 NCO に割り当てます
0x167/168	異なるデシメーション係数を使用する場合は、各 DDC に対するデシメーションを選択します
0x169	DDC の数および共通のデシメーション係数を構成します

以下のシーケンスを使用して、DDC を静的動作モード (固定 NCO / 低速変化 NCO 周波数のいずれか) に設定できます。複素デシメーション /1024、クワッド バンド 32 ビット出力

表 8-8. DDC の構成例

ADDR	データ	説明
0x162	0x06	複素デシメーション、32 ビット出力分解能を選択します。
0x169	0x1A	4x DDC (クワッド バンド) に構成し、共通デシメーションを 1024 に設定します。

8.3.8.4 数値制御発振器 (NCO)

各デジタル ダウンコンバータ (DDC) は、48 ビットの数値制御発振器 (NCO) を使用して、デジタル フィルタリングの前に周波数の配置を微調整します。SPI レジスタ書き込みを使用して、各 DDC に対して最大 4 種類の NCO 周波数をプログラムします。デジタル NCO は、少なくとも 100dB の SFDR を達成するように設計されています。

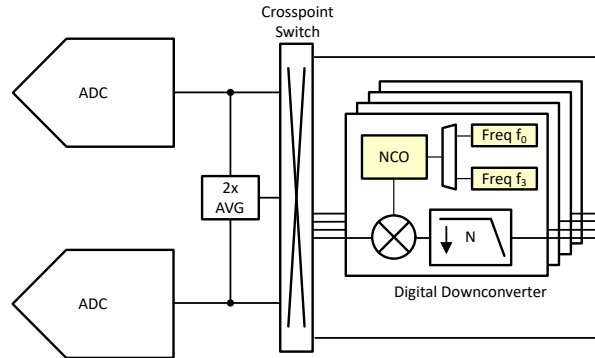


図 8-54. NCO のブロック図

NCO 動作モードには、位相連続および無限位相コヒーレントの 2 つの異なるモードがあります。

1. 位相連続 NCO

NCO 周波数が変化するには、図 8-55 (左) に示すように、NCO 位相は新しい周波数に徐々に調整されます。「破線」は、元の f_1 周波数の位相を示しています。

2. 無限位相コヒーレント NCO

位相コヒーレント NCO では、SYSREF を使用して、すべての周波数が 1 つのイベントに同期します。これにより、周波数ホッピングの間で位相コヒーレンスが維持されるため、NCO をリセットする必要なしに、無限回の周波数ホッピングを実現できます。これを図 8-55 (右) に示します。元の周波数 f_1 に戻ると、NCO 位相は NCO が周波数を一度も変えなかったかのように見えます。

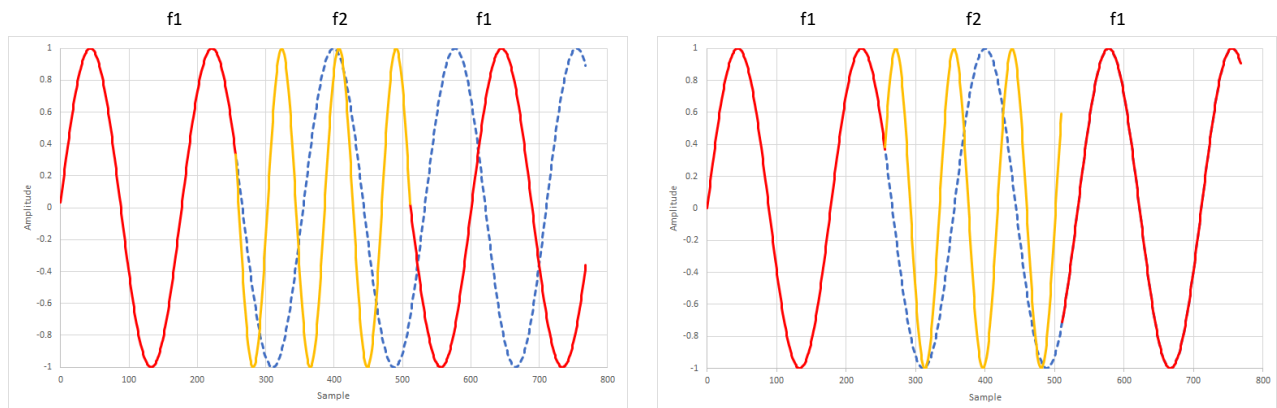


図 8-55. 位相連続 (左) と無限位相コヒーレント (右) NCO 周波数スイッチング

発振器は、次のような複素指数関数列を生成します。

$$e^{j\omega n} \text{ (default) or } e^{-j\omega n} \quad (1)$$

ここで、周波数 (ω) は 48 ビット レジスタ設定により符号付き数値として指定されます

複素指数関数列に ADC からの実数入力を乗算し、目的のキャリアを $f_{IN} + f_{NCO}$ に等しい周波数にミックスします。NCO 周波数は $-F_S/2$ から $+F_S/2$ の範囲で調整でき、符号付き 2 の補数として処理されます。

NCO 周波数の設定は、48 ビットのレジスタ値によって設定され、次のように計算されます。

$$\text{NCO frequency (0 to } +F_S/2\text{): } NCO = f_{NCO} \times 2^{48} / F_S \quad (2)$$

$$\text{NCO frequency } (-F_S/2 \text{ to } 0\text{): } NCO = (f_{NCO} + F_S) \times 2^{48} / F_S \quad (3)$$

ここで

- NCO = NCO レジスタ設定 (10 進値)
- f_{NCO} = 目標とする NCO 周波数 (MHz)
- F_S = ADC サンプルング レート (MSPS)

NCO プログラミングをこの例で説明します。

- ADC サンプルング レート $F_S = 500\text{MSPS}$
- 目標とする NCO 周波数 = 120MHz

$$\text{NCO frequency setting} = f_{NCO} \times 2^{48} / F_S = 120\text{MHz} \times 2^{48} / 500 \text{ MSPS} = 67,553,994,410,557 \quad (4)$$

表 8-9 に、DDC0 の NCO の周波数 0 を、その周波数に設定するためのレジスタ書き込みを示します。

表 8-9. NCO 周波数を変更するためのレジスタ書き込みの例

ADDR	データ	説明
0x200	0x3D	NCO0 の周波数を 120MHz (67,553,994,410,557) に設定します。 これは 0x3D70 A3D7 0A3D であり、LSB が 0x200 から始まります。
0x201	0x0A	
0x202	0xD7	
0x203	0xA3	
0x204	0x70	
0x205	0x3D	
0x165	0x00	すべての NCO を新しい周波数でロードおよび更新します。
0x165	0x01	
0x165	0x00	
0x160	0x00	NCO 周波数を更新するために、手動で SYSREF (ピン経由または SPI SYSREF) を発行します。
0x160	0x04	
0x160	0x00	

8.3.9 デジタル インターフェイス

ADC366x は、動作モードに応じて 2 種類の LVDS インターフェイスをサポートしています。

- DDR LVDS: DDC バイパス モードでは、出力クロックの立ち上がりエッジと立ち下がりエッジの両方で、16 ビット幅の DDR LVDS を使って ADC からのデータを出力します。
- シリアル LVDS (SLVDS): デシメーション (実数または複素数) を使用する場合、出力データはシリアル化され、少ないレーンで出力されます。

8.3.9.1 パラレル LVDS (DDR)

パラレル LVDS は、デシメーション バイパス モードで使用します。図 8-56 に示すように、チャンネル A の 16 ビットはすべて DCLK の立ち上がりエッジで送信され、チャンネル B の 16 ビットは DCLK の立ち下がりエッジで送信されます。

レーン DOUT0/1/2 のチャンネル A またはチャンネル B の出力データは、次のものに置き換えることが可能です。

- レジスタ 0x116 で設定されたレーン DOUT0/1/2 でのオーバーレンジ出力 OVR
- レジスタ 0x116 で設定されたレーン DOUT0/1/2 での出力スクランブル モードの PRBS ビット
- レジスタ 0x162 で設定されたレーン DOUT0 のみのタイムスタンプ。DOUT0 に設定すると、OVR および SCR よりもタイムスタンプが優先されます。

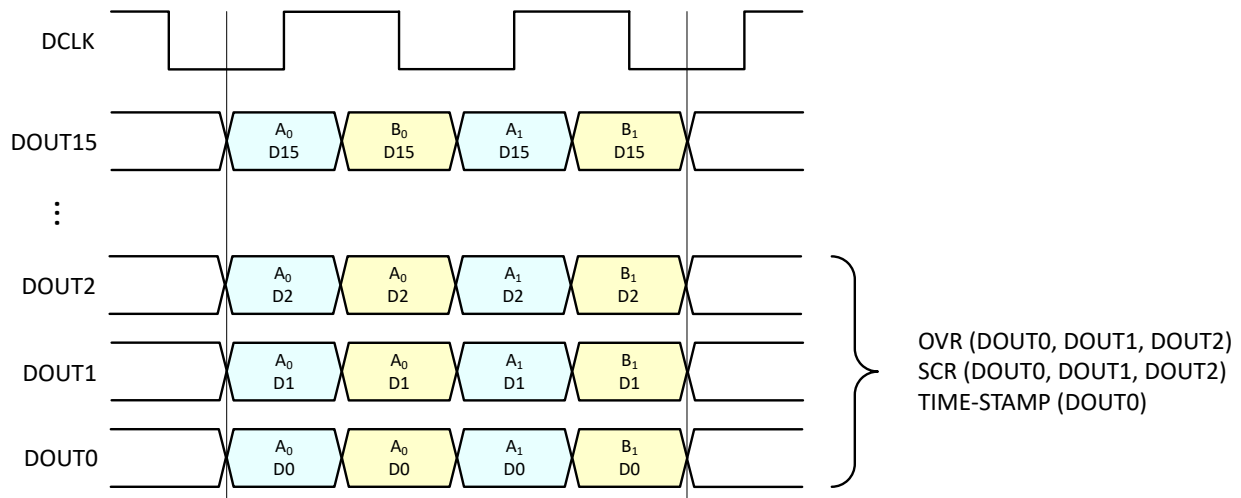


図 8-56. DDR LVDS モードでの出力データ フォーマット

8.3.9.2 デシメーション付きシリアル LVDS (SLVDS)

実数または複素数のデシメーションを使用する場合、出力データをシリアル化して送信します。これにより、LVDS トランスミッタの使用個数が少なくなります。フレーム クロック (FCLK) は、サンプルの開始と停止を示します。データ ビットは、データ クロック (DCLK) の立ち上がりエッジおよび立ち下がりエッジでクロック出力されます。フレーム クロックは、DOUT0 に出力され、データ出力に使用できる LVDS レーン数は最大 15 です。出力マルチプレクサを使用しない場合、出力インターフェイスのマッピングは、常にレーン DOUT15 から始まります。

実数デシメーションでは、1 つの ADC につき 1 つのバンドだけがサポートされます。

レーン数と出力データレートは、次のパラメータで計算できます。

- R: 出力分解能: 16 ビット = 1、32 ビット = 2
- B: DDC バンドの合計数
- C: 実数または複素数のデシメーション: 実数 = 1、複素数 = 2
- D: デシメーション係数
- FS: ADC サンプリング クロック周波数
- $K = R \times B \times C$
- $L = 8 \times K / D$ (LVDS 出力レーン数)

$L < 1$ の場合、DCLK 出力分周器 (0x590、D1) をイネーブルにする必要があります。

表 8-10. SLVDS クロックおよびデータレートの計算

パラメータ	$L \geq 1$	$L < 1$
フレーム クロック (FCLK) 周波数	FS / D	
データ ビット クロック (DCLK) 周波数	FS	DOUT / 2
レーンあたりのデータ出力レート DOUT (DOUT/L)	FS x 2	FS / D x 16 x K

SLVDS フレームの組み立ては、ADC によって自動的に実行され、ここに示す方式に従います。レーン DOUT15 から始めて、各チャネルの MSB を使用します。

表 8-11. SLVDS フレームの組み立て

デシメーション	出力分解能	バンド順序
実数	16 ビット	B_0, B_1
	32 ビット	
複雑	16 ビット	$B_{0I}, B_{0Q}, B_{1I}, B_{1Q}, B_{2I}, B_{2Q}, B_{3I}, B_{3Q}$
	32 ビット	

以下に、4 つの異なる例について、フレームの組み立てと計算の詳細を示します。

事例 1: デュアル バンド、1/8 の実数デシメーション、16 ビット出力分解能、FS = 500MSPS

- $K = 2$ ($R = 1$, $B = 2$, $C = 1$)
- $L = 8 \times K / D = 8 \times 2 / 8 = 2$
- $FCLK = FS / D = 500\text{MSPS} / 8 = 62.5\text{MHz}$
- $DCLK = 500\text{MHz}$
- $DOUT / \text{レーン} = 1\text{Gbps}$

図 8-57 に、例 1 の SLVDS フレームの組み立てを示します。2 つのレーンを使用して、DCLK の立ち上がりエッジで奇数ビット、DCLK の立ち下がりエッジで偶数ビットのデータを送信します。

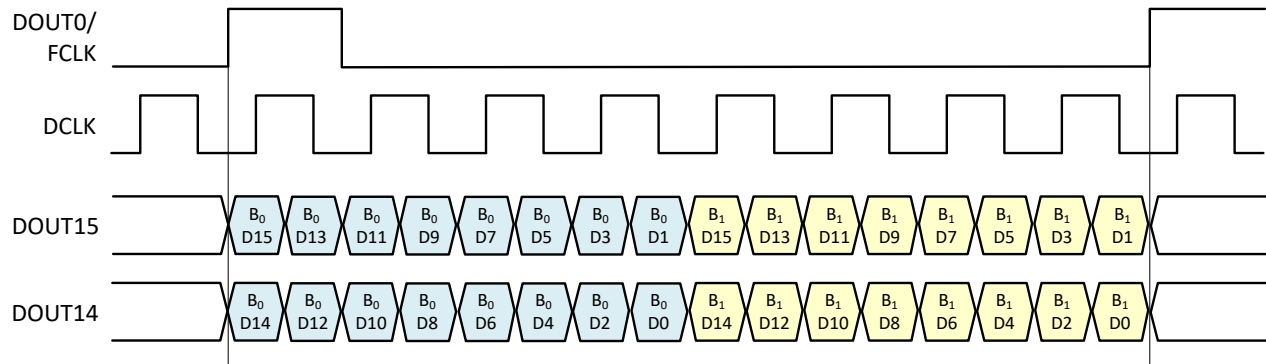


図 8-57. 例 1 の SLVDS フレームの組み立て

事例 2: デュアル バンド、1/128 の実数デシメーション、32 ビット出力分解能、FS = 500MSPS

- $K = 4$ ($R = 2$, $B = 2$, $C = 1$)
- $L = 8 \times K / D = 8 \times 4 / 128 = 1/4 \Rightarrow 1$ レーンを使用。
- $FCLK = FS / D = 500\text{MSPS} / 128 = 3.91\text{MHz}$
- $DCLK = 125\text{MHz}$
- $DOUT / \text{レーン} = 0.25\text{Gbps}$

図 8-58 に、例 2 の SLVDS フレームの組み立てを示します。1 つのレーンを使用して、最初に DDC バンド 0 (B_0) の 32 ビットを送信し、その後に DDC バンド 1 の 32 ビットを送信します。

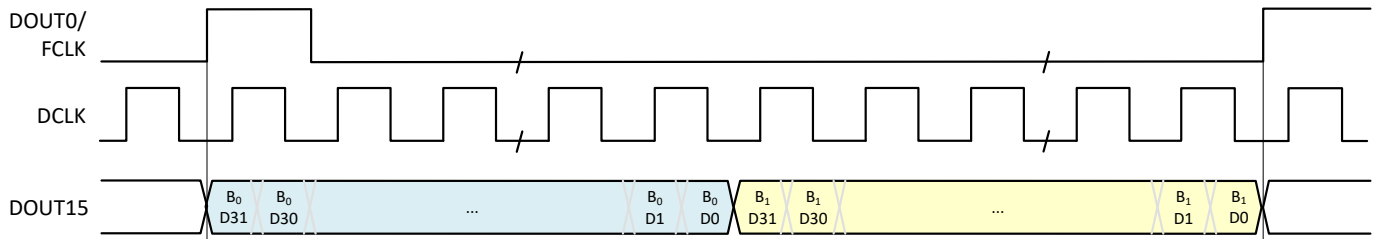


図 8-58. 例 2 の SLVDS フレームの組み立て

事例 3: デュアル バンド、1/16 の複素数デシメーション、16 ビット出力分解能、FS = 500Msps

- $K = 4$ ($R = 1$, $B = 2$, $C = 2$)
- $L = 8 \times K / D = 8 \times 4 / 16 = 2$
- $FCLK = FS / D = 500\text{MSPS} / 16 = 31.25\text{MHz}$
- $DCLK = 500\text{MHz}$
- $DOUT / \text{レーン} = 1\text{Gbps}$

図 8-59 に、例 3 の SLVDS フレームの組み立てを示します。このフレームの組み立ては、DOUT15 において DDC バンド B_0 の MSB で始まります。各サンプルは 2 つのレーンに分散されます。

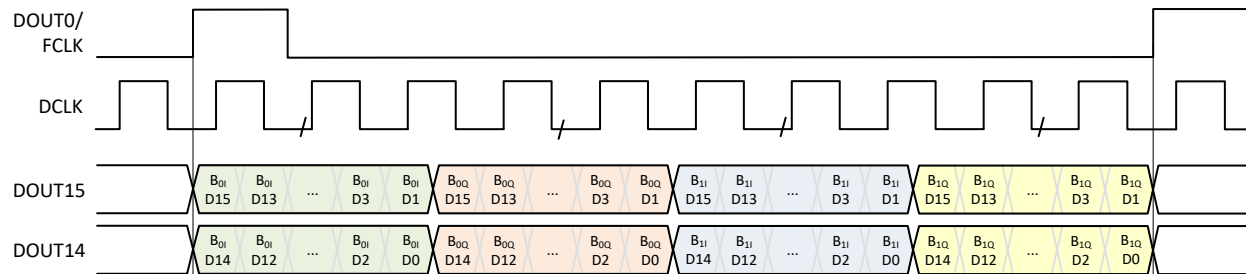


図 8-59. 例 3 の SLVDS フレームの組み立て

事例 4: クワッド バンド、1/8 の複素数デシメーション、16 ビットの出力分解能、FS = 500Msps

- $K = 8$ ($R = 1$, $B = 4$, $C = 2$)
- $L = 8 \times K / D = 8 \times 8 / 8 = 8$
- $FCLK = FS / D = 500\text{MSPS} / 8 = 62.5\text{MHz}$
- $DCLK = 500\text{MHz}$
- $DOUT / \text{レーン} = 1\text{Gbps}$

図 8-60 に、例 3 の SLVDS フレームの組み立てを示します。このフレームの組み立ては、DOUT15 において DDC バンド B_0 の MSB で始まります。各サンプルは 8 つのレーンに分散されます。

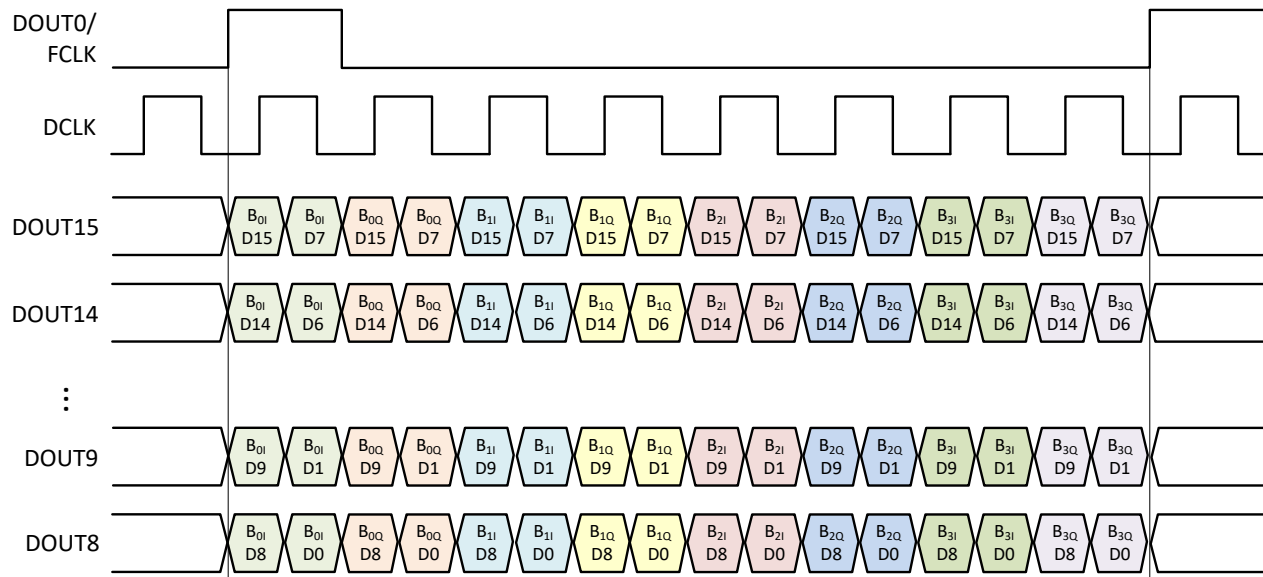


図 8-60. 例 4 の SLVDS フレームの組み立て

事例 5: シングル バンド、1/256 の複素数デシメーション、32 ビットの出力分解能、FS = 500Msps

- $K = 8$ ($R = 2$, $B = 2$, $C = 2$)
- $L = 8 \times K / D = 8 \times 8 / 256 = 1/4 \Rightarrow 1$ レーンを使用。
- $FCLK = FS / D = 500\text{MSPS} / 256 = 1.95\text{MHz}$
- $\text{DOUT/レーン} = FS / D \times 16 \times K = 500\text{MSPS} / 256 \times 16 \times 8 = 250\text{Mbps}$
- $\text{DCLK} = 125\text{MHz}$

図 8-61 に、例 4 の SLVDS フレームの組み立てを示します。フレームの組み立てでは、DDC バンド 0 の 32 ビット「I」サンプルから DDC バンド 1 の 32 ビット「Q」サンプルまでの DOUT15 のみを使用します。

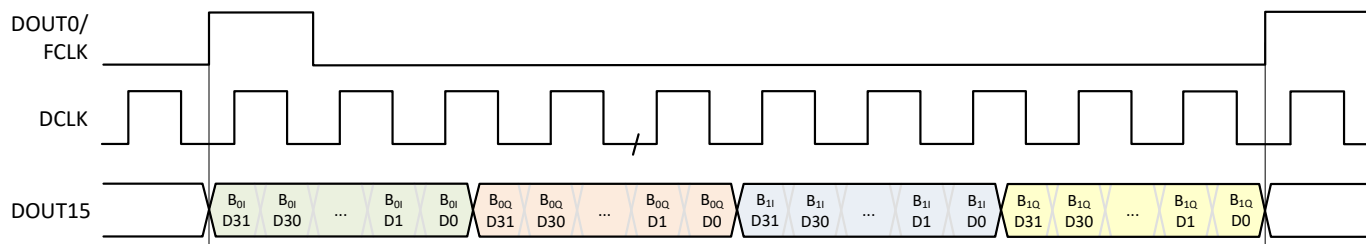


図 8-61. 例 5 の SLVDS フレームの組み立て

8.3.9.2.1 SLVDS - ステータス ビットの挿入

デシメーション機能付きシリアル LVDS では、出力データをオーバーレンジまたは PRBS スランブル ビット (SCR) に置き換えることもできます。FCLK はすでに出力レーン DOUT0 を使用していることに注意してください。

16 の SLVDS レーンを使用する場合、[図 8-62](#) のクワッド バンドの例に示すように、OVR または PRBS (SCR) ビットを LSB+1 (DOUT1) および/または LSB+2 (DOUT2) に置き換えることができます。

16 未満の SLVDS レーンを使用する場合、[図 8-63](#) のデュアル バンドの例に示すように、OVR または PRBS (SCR) ビットを LSB および/または LSB+1 に置き換えることができます。

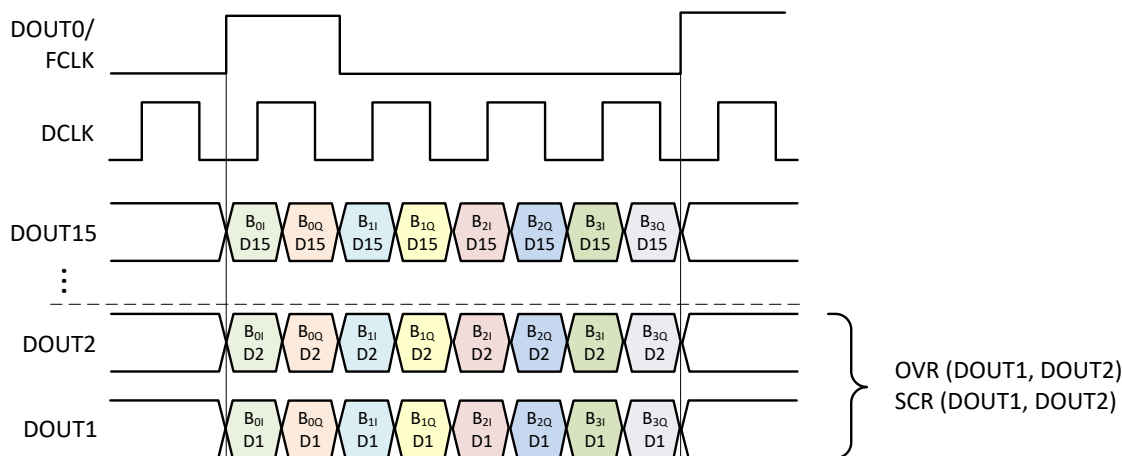


図 8-62. 出力データ置換 : 16 つの SLVDS レーン

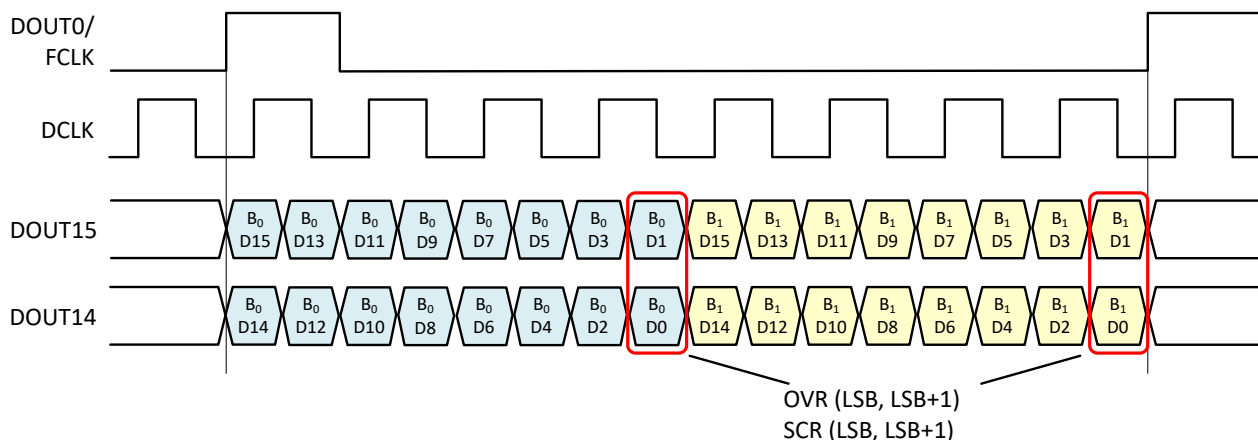


図 8-63. 出力データ置換 : 16 未満の SLVDS レーン

8.3.9.3 出力データ フォーマット

出力データは、2 の補数 (デフォルト) またはオフセット バイナリ形式に構成することができます。後者の場合は、SPI レジスタへの書き込み (レジスタ 0x162) を使用します。[表 8-12](#) に、2 つのフォーマット オプションと 16 または 32 ビットの出力分解能に対する、出力コードの最小値と最大値の概要を示します。

表 8-12. 最小出力コードと最大出力コードの概要、および各種フォーマットでの分解能の比較

分解能 (ビット)	2 の補数 (デフォルト)		オフセット バイナリ	
	16	32	16	32
$V_{IN,MAX}$	0x7FFF	0x7FFF FFFF	0xFFFF	0xFFFF FFFF
0	0x0000	0x0000 0000	0x8000	0x8000 0000

表 8-12. 最小出力コードと最大出力コードの概要、および各種フォーマットでの分解能の比較 (続き)

分解能 (ビット)	2 の補数 (デフォルト)		オフセット バイナリ	
	16	32	16	32
$V_{IN,MIN}$	0x8000	0x8000 0000	0x0000	0x0000 0000

8.3.9.4 32 ビット出力分解能

ADC366x は、16 ビットおよび 32 ビットの出力分解能をサポートしています。表 8-13 に示すように、量子化ノイズの制限による SNR の低下を回避するために、大きいデシメーション係数 (実数の場合 16、複素数の場合 32 以上のデシメーション) を使用する場合には、32 ビット出力分解能を推奨します。

出力分解能は、レジスタ 0x162 への SPI レジスタへの書き込みにより変更できます。

表 8-13. 出力 SNR : デシメーションと出力分解能との関係

ベースライン SNR (dBFS)	実数デシメーション	3dB PER /2 での SNR (dBFS)	16 ビット出力分解能での SNR (dBFS)	32 ビット出力分解能での SNR (dBFS)
76	/16	88.0	87.6	88.0
76	/32	91.1	90.3	91.1
76	/256	100.1	96.0	100.1
76	/32768	121.1	98.0	121.1

8.3.9.5 出力スクランブラ

ADC には、オプションの出力スクランブラが含まれています。ADC では、内部 PRBS ジェネレータが PRBS パターンを生成します。各データビットは、PRBS ビットストリームと XOR 処理されます。スクランブル処理された出力データは、(0x146 で構成されている LSB、LSB-1、または LSB-2 出力データを置き換える) PRBS ビットとともに (パラレルまたはシリアル LVDS で) 送信されます。

受信ロジックデバイスは PRBS ビットストリームを抽出し、回復した PRBS ビットを使用して各データビットを XOR 処理することで受信データにデコードします。

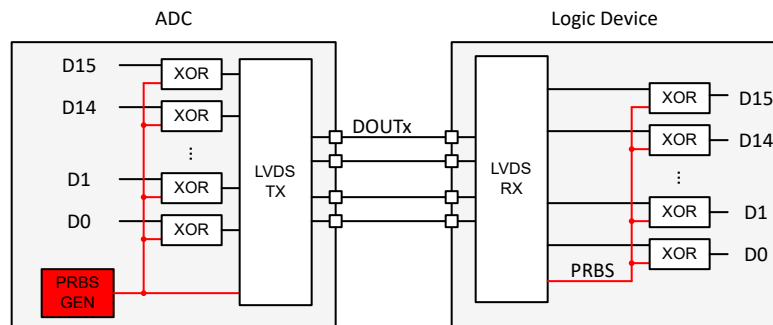


図 8-64. 出力スクランブラ

8.3.9.6 出力 MUX

LVDS 出力インターフェイスには出力マルチプレクサが含まれており、[図 8-65](#) に示すように、内部デジタル レーンを任意の LVDS 出力レーンに再ルーティングできます。これにより、リンクの冗長性またはリンクの修復に使用できるレーン マッピングの柔軟性が向上します。LVDS 出力マルチプレクサは、**<LVDS MUX EN>** (レジスタ 0x116、D7) を設定することによりイネーブルにできます。マルチプレクサ構成は、**<DOUTxMUX>** レジスタ (0x117~0x11E) へ書き込むことで制御できます。マルチプレクサ構成は、数学的には $DOUT_k = DIG[DOUT_k_MUX]$ として記述できます。ここで、 k はレーン番号を示します。たとえば、**<DOUT2 MUX>** の値を 2 に設定すると、DIG2 が DOUT2 にリダイレクトされます。[図 8-66](#) に、すべての DOUT ピンに使用されるマルチプレクサ構造の例を示します。

さらに、シリアル LVDS (デシメーションのみ) を使用する場合、同じ内部デジタル レーンを複数の LVDS 出力レーンに接続することで、出力マルチプレクサを使用して重複した冗長出力を生成できます。



図 8-65. LVDS 出力マルチプレクサ

図 8-66. 例 : DOUT2 の出力マルチプレクサ

8.3.9.7 テスト・パターン

このデバイスには、テスト パターン ジェネレータが内蔵されているため、LVDS 出力のデバッグやキャリブレーションを簡単に行えます。テスト パターン ジェネレータは、[図 8-67](#) に示すように DDC の後に配置されています。

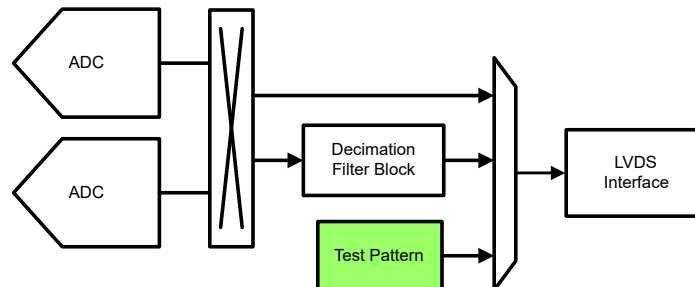


図 8-67. テスト パターン ジェネレータ

テスト パターン ジェネレータをイネーブルにすると (レジスタ 0x14A の **<TEST PATTERN>**)、現在の出力データ サンプル、通常の ADC またはデシメーション データをすべて置き換えます。テスト パターンはすべてのチャンネルで同じです。テスト パターン ブロックは、20 ビットのテスト パターンを生成します。パターンは **<TEST PATTERN>** フィールドの値によって制御されます。

デシメーションでは、テスト パターン ブロックは、デフォルトでデシメーションされたクロックで動作します。レジスタ 0x14A の **<PATTERN CLK>** フィールドをセットすることにより、Fs クロックで動作するように切り替えることもできます。テスト パターン機能は、低レイテンシ動作モードではイネーブルにできません。

以下のレジスタ書き込みを使用すると、16 ビットの出力分解能でステップ サイズ 1 のランプ パターンを構成できます。

表 8-14. カスタム ステップ サイズを使用したランプ パターンの設定例

ADDR	データ	説明
0x14A	0x02	カスタム ステップ サイズでランプ パターンを有効化します

表 8-14. カスタム ステップ サイズを使用したランプ パターンの設定例 (続き)

ADDR	データ	説明
0x14B	0x10	ステップ サイズは 16LSB (20 ビット分解能の場合) であり、16 ビット分解能の 1LSB に相当します

8.4 デバイスの機能モード

通常動作 (DDC バイパスおよび DDC) のほかに、このデバイスは複数の追加動作モードをサポートしています。

8.4.1 低レイテンシ モード

このデバイスは、デジタル誤り訂正機能のほか、デシメーション フィルタ、テスト パターン、SDR LVDS など、他のすべてのデジタル機能をバイパスすることにより、低レイテンシ モードの動作を行います。この動作モードは、9 クロック サイクルのレイテンシであり、低レイテンシ制御ループなどのアプリケーションで使用できます。ただし、デジタル誤り訂正ブロックがバイパスされるため、AC 性能が低下する可能性があります。以下の FFT プロットは、低レイテンシ モードと通常動作モードのスペクトルを比較しています。低レイテンシ モードは、<low latency EN> レジスタ (0x165) でイネーブルにできます。

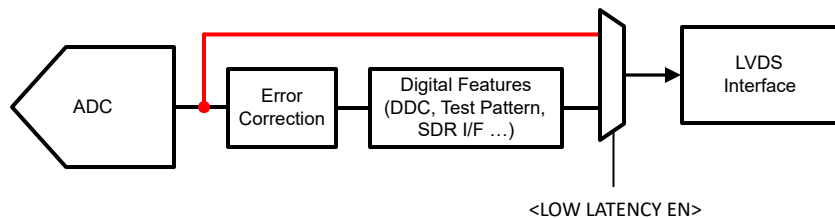


図 8-68. 低レイテンシ モード

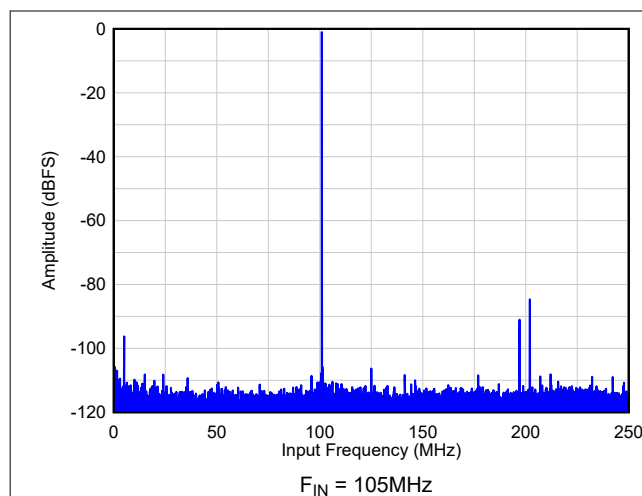


図 8-69. FFT : 通常モード

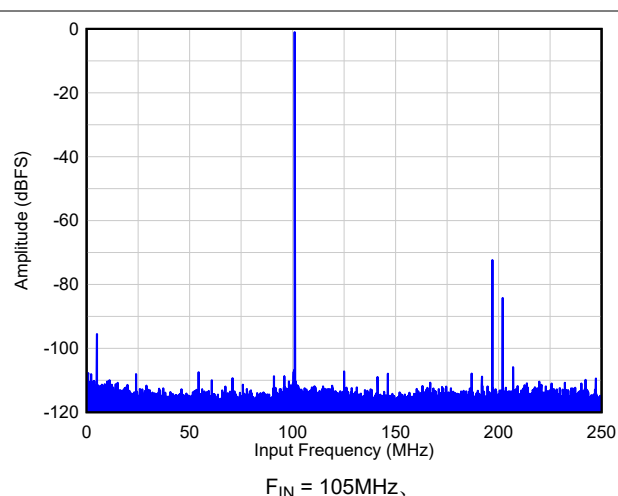


図 8-70. FFT : 低レイテンシ モード

8.4.2 デジタル チャネル平均化

ADC366x は、デジタル チャネル平均化機能を備えているため、ADC のダイナミック レンジを改善できます (図 8-71 を参照)。2 つの ADC 入力に外部から同じ入力信号が印加され、2 つの ADC の出力は内部で平均化されます。平均化により、無相関ノイズ (すなわち、ADC の熱ノイズ) は 3dB 改善されますが、相関ノイズ (すなわち、クロック パスのジッタ、リファレンス ノイズ) は影響を受けません。したがって、平均化によって、低い入力周波数では、3dB 近い改善がありますが、クロックのジッタが SNR を支配する高い入力周波数では改善が少なくなります。DDC MUX 選択レジスタを使用すると、デジタル平均化ブロックからの出力を、チャンネル A または B のデジタル出力に直接出力するか、あるいはデジタル デシメーション フィルタに接続するかを選択できます。

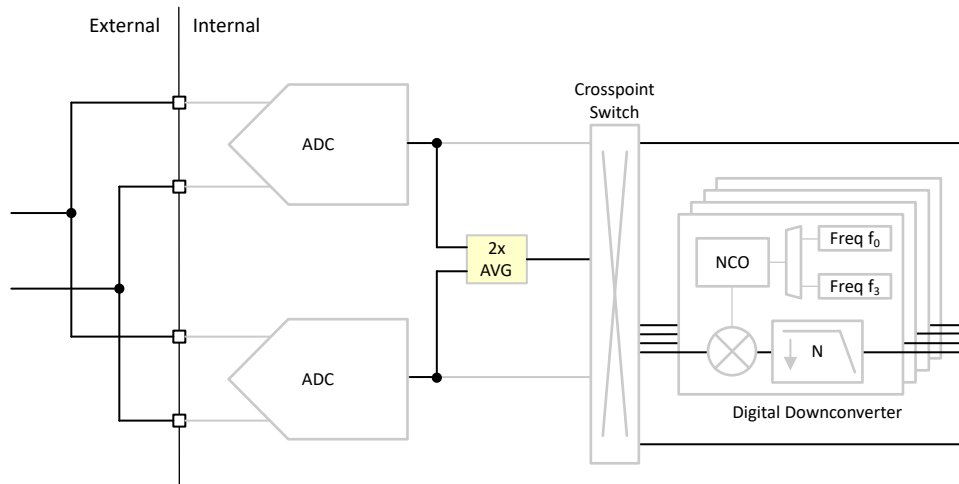


図 8-71. デジタル チャネル平均化の図

デジタル平均化は、次のレジスタ書き込みでイネーブルになります。

表 8-15. ChA の 2x AVG 出力のレジスタ書き込みの例

ADDR	データ	説明
0x162	0x04	複素デシメーションを有効にします
0x163	0x02	「2x 平均出力 ((ChA + ChB)/2)」から入力するように <DDC0 MUX> を構成します
0x169	0x20	<NUM of DDCS> を 1 (シングル DDC モード) に、<COMMON DECIMATION> を 0 (DDC バイパス) に設定します。

デジタル平均化を行うと、非相関ノイズの寄与が $2\times$ AVG によって 3dB 改善されますが、相関ノイズは平均化により改善されません。支配的なノイズ源のいくつかは、クロックのジッタ (外部または最初のクロック入力バッファ) や電源ノイズのように相関があります。しかし、他の要因 (ADC の熱ノイズやクロック分配バッファなど) は、非相関です。図 8-72～図 8-75 に、平均化なしと $2\times$ 内部平均化との FFT の比較を示します。

信号対雑音比: ADC のフルスケールに近い値で動作している場合、SNR の制限の一部はジッタによるものであり、SNR の改善は 3dB ($2\times$ AVG) に達しません。入力フルスケールを小さくすると、SNR に対するクロックジッタの影響は小さくなり、SNR の改善は $2\times$ AVG によって 3dB に近づいてきます。デジタル デシメーションを使用しても同じ現象が観察できます。デシメーション係数が増加すると、入力信号の振幅を小さくしない限り、近接ノイズ (相関ノイズ) がより支配的なノイズになります。

SFDR: 低次高調波 (HD2-HD5) および IMD3 の振幅は、通常、ADC 全体で類似しているため、平均化による改善は小さくなります。

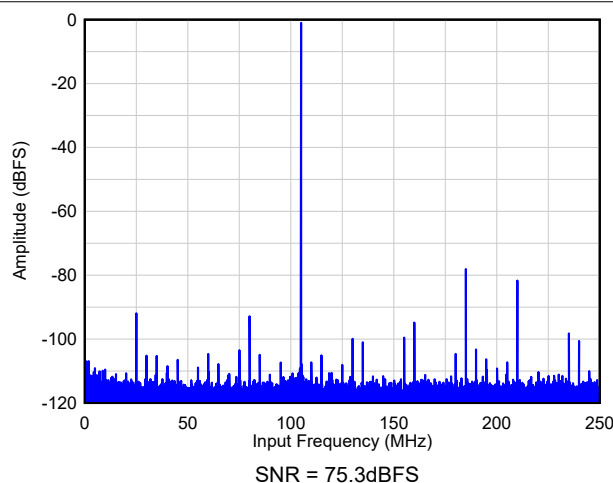


図 8-72. FFT - AVG なし
($F_{IN} = 105\text{MHz}$, $A_{IN} = -1\text{dBFS}$)

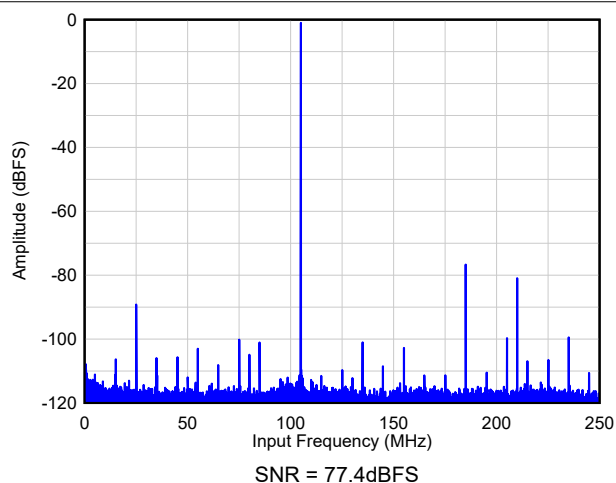


図 8-73. FFT - $2\times$ AVG
($F_{IN} = 105\text{MHz}$, $A_{IN} = -1\text{dBFS}$)

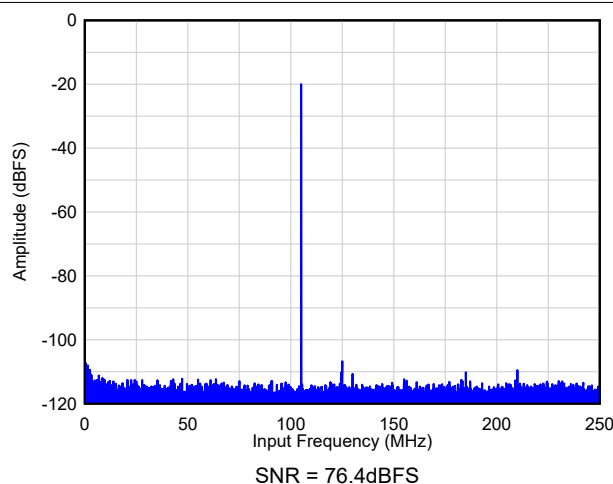


図 8-74. FFT - AVG なし
($F_{IN} = 105\text{MHz}$, $A_{IN} = -20\text{dBFS}$)

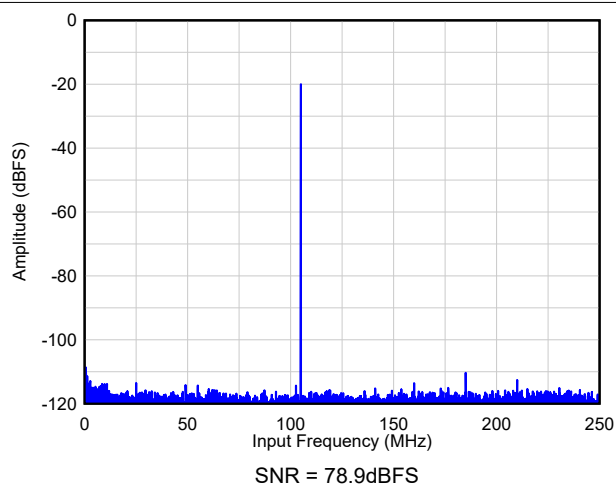


図 8-75. FFT - $2\times$ AVG
($F_{IN} = 105\text{MHz}$, $A_{IN} = -20\text{dBFS}$)

8.4.3 パワーダウン モード

グローバル パワーダウン モードは、SPI 書き込みまたは GPIO ピンを使用して実行できます。

表 8-16. パワーダウン モード

パワーダウン モード	Pd (標準値、mW)	ウェークアップ時間 (標準値)
グローバル パワー ダウン	30	3ms

レジスタ 0x146 への SPI 書き込みを使って、グローバル パワー ダウンを GPIO0 または GPIO1 のいずれかに割り当てることができます。

表 8-17. レジスタ 0x146 でパワー ダウンのための GPIO ピンの構成

GPIO CONFIG	GPIO1	GPIO0
00011	GLOBAL POWER DOWN	
01010		GLOBAL POWER DOWN
01011		GLOBAL POWER DOWN

8.5 プログラミング

このデバイスは、主にシリアル プログラミング インターフェイス (SPI) を使用して構成および制御されます。しかし、SPI がなくてもデフォルト構成で動作できます。さらに、ピン制御 (GPIO0/1 ピン) によって、パワー ダウン機能および内部 / 外部リファレンス構成も可能です。

注

パワー ダウン コマンド (ピンまたは SPI 経由) は、ADC サンプルング クロックが存在する場合にのみ有効です。

8.5.1 GPIO のプログラミング

このデバイスには 2 本の GPIO ピンがあり、各種の機能モードを実現するように個別に構成できます。デフォルト状態では、GPIO0 は SYSREF ピンとして動作するように構成され、GPIO1 は使用されません。表 8-38 に、GPIO 機能の完全なマッピングを示します。GPIO 機能は、レジスタ 0x146 の <GPIO CONFIG> をセットすることにより切り替え可能です。

GPIO ピンでは、以下のモードを使用できます。

- SYSREF 入力
- タイム スタンプ入力
- 外部基準電圧
- NCO スイッチ
- グローバル パワー ダウン
- オーバーレンジ

8.5.2 レジスタ書き込み

以下の手順に従って、内部レジスタをプログラムできます。

1. SEN ピンを Low に駆動します
2. R/W ビットを 0 (16 ビット アドレスのビット A15) に設定し、アドレス フィールドのビット A[14:12] を 0 に設定します。
3. 内容を書き込むレジスタのアドレス (A[11:0]) を指定して、シリアル インタフェース サイクルを開始します
4. SCLK の立ち上がりエッジで、ラッチされている 8 ビットのデータを書き込みます

図 8-76 に、シリアル レジスタの書き込み動作のタイミング要件を示します。

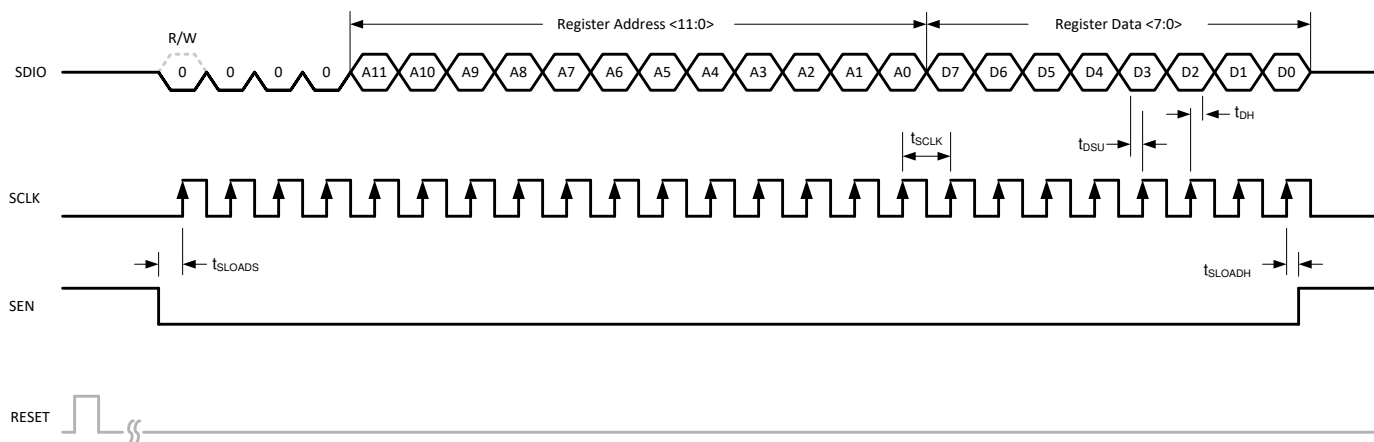


図 8-76. シリアル レジスタ書き込みタイミング図

8.5.3 レジスタ読み出し

このデバイスには、SDIO ピンを使用して内部レジスタの内容を読み戻すことができるモードが搭載されています。この読み戻しモードは、外部コントローラと ADC の間のシリアル インターフェイス通信を検証する診断チェックとして役立ちます。シリアル レジスタの内容を読み取る手順は、以下のとおりです。

1. SEN ピンを Low に駆動します
2. R/W ビット (A15) を 1 に設定します。この設定により、レジスタへの以後の書き込みは無効化されます。アドレスフィールドの A[14:12] を 0 に設定します。
3. 内容を読み取るべきレジスタのアドレス (A[11:0]) を指定して、シリアル インターフェイス サイクルを開始します
4. デバイスは、SCLK 立ち下がりエッジで、選択したレジスタの内容 (D[7:0]) を SDIO ピンに送出します
5. 外部コントローラは、SCLK の立ち上がりエッジで内容をキャプチャできます

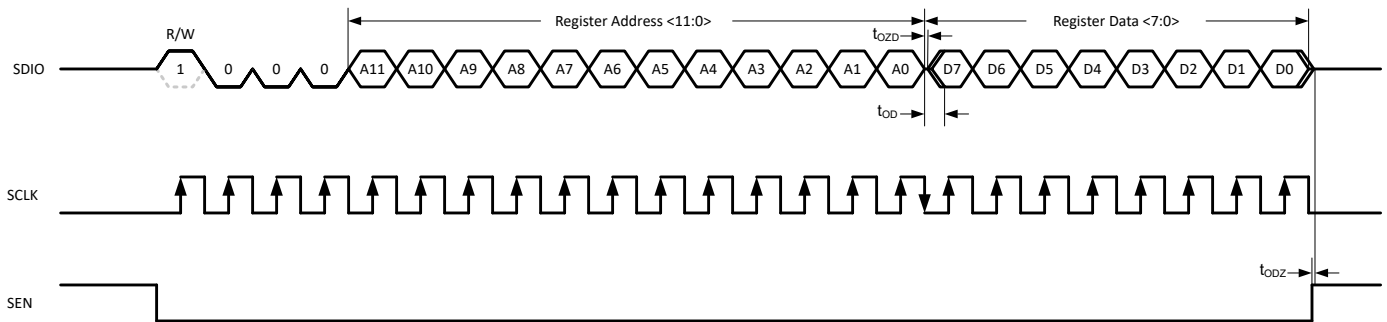


図 8-77. シリアル レジスタ読み出しタイミング図

8.5.4 デバイスのプログラミング

デバイスのすべてのレジスタは、API (関数ライブラリ、Python で記述) を使用してプログラミングできます。API には、レジスタ マップのすべてのフィールドに対する関数と、いくつかのマクロ関数があります。マクロ関数は、複数の低レベル API 関数を使用して、より複雑な操作、たとえば、デシメーション モードの設定 (係数、実数 / 複素数、バンド数など) や、入力周波数から NCO 周波数ワードの設定などを実行します。

API ユーザー ガイドは、TI.com から API をダウンロードするときに含まれています。

8.5.5 レジスタ マップ

表 8-18. レジスタ マップの概要

レジスタ アドレス	レジスタ データ							
A[11:0]	D7	D6	D5	D4	D3	D2	D1	D0
0x25	0	0	0	CFG RDY	0	0	0	0
0x100	0	0	0	0	0	0	0	リセット
0x101	0	0	0	GBL PDN	0	0	0	0
0x102	0	SYSREF DET CLR	0	0	0	0	0	0
0x104	0	0	0	0	0	0	CHB TERM	CHA TERM
0x10A	0	0	0	0	0	OVR CLR		OVR STICKY
0x10B	OVR LENGTH							
0x110	LVDS TERM	0	LVDS HALF SWING	0	0	0	SWAP CH	0
0x111	LVDS DATA INV [7:0]							
0x112	LVDS DATA INV [15:8]							
0x113	LVDS PDN [14:8]							0
0x114	0	0	0	0	0	0	0	LVDS PDN [15]
0x115	0	0	0	0	FCLK DC	FCLK DIS	0	0
0x116	LVDS MUX EN	LVDS SWAP EDGE	0	0	0	LVDS SCR		
0x117	DOUT1 MUX				DOUT0 MUX			
0x118	DOUT3 MUX				DOUT2 MUX			
0x119	DOUT5 MUX				DOUT4 MUX			
0x11A	DOUT7 MUX				DOUT6 MUX			
0x11B	DOUT9 MUX				DOUT8 MUX			
0x11C	DOUT11 MUX				DOUT10 MUX			
0x11D	DOUT13 MUX				DOUT12 MUX			
0x11E	DOUT15 MUX				DOUT14 MUX			
0x132	HIGH FIN	0	0	0	0	0	0	0
0x140	0	SYSREF DET	SYSREF OR	SYSREF X5	SYSREF X4	SYSREF X3	SYSREF X2	SYSREF X1
0x146	0	0	0	GPIO CONFIG				
0x14A	0	0	0	PATTERN CLK	0	TEST PATTERN		
0x14B	CUSTOM PATTERN [7:0]							
0x14C	CUSTOM PATTERN [15:8]							
0x14D	0	0	0	0	CUSTOM PATTERN [19:16]			
0x15B	DIGITAL GAIN CHA							
0x15C	DIGITAL GAIN CHB							
0x160	0	0	0	0	0	0	SYSREF MODE	
0x161	LVDS SYSREF MASK		DDC SYSREF MASK		NCO SYSREF MASK		TIMER SYSREF MASK	
0x162	SYSREF TIME STAMP		0	6dB GAIN OVERRIDE		COMPLEX DDC EN	OUTPUT RES	OUTPUT FORMAT
0x163	DDC3 MUX		DDC2 MUX		DDC1 MUX		DDC0 MUX	
0x164	NCO3 UPDATE	NCO2 UPDATE	NCO1 UPDATE	NCO0 UPDATE	SEL NEG IM	0	0	NCO MODE

表 8-18. レジスタ マップの概要 (続き)

レジスタ アドレス	レジスタ データ							
A[11:0]	D7	D6	D5	D4	D3	D2	D1	D0
0x165	0	0	0	LOW LATENCY EN	0	DIS NCO AUTO UPDATE	NCO SEL EN	NCO COMMON UPDATE
0x166	DDC3 NCO SEL		DDC2 NCO SEL		DDC1 NCO SEL		DDC0 NCO SEL	
0x167	DDC1 DECIMATION				DDC0 DECIMATION			
0x168	DDC3 DECIMATION				DDC2 DECIMATION			
0x169	UNEQUAL DECIMATION	0	NUM OF DDCS		COMMON DECIMATION			
0x16B	0	0	UPDATE NYQUIST ZONE	0	0	NYQUIST_ZONE		
0x205..0x200	DDC0 NCO FREQUENCY0 [47:0]							
0x20B..0x206	DDC0 NCO FREQUENCY1 [47:0]							
0x211..0x20C	DDC0 NCO FREQUENCY2 [47:0]							
0x217..0x212	DDC0 NCO FREQUENCY3 [47:0]							
0x219/0x218	DDC0 NCO PHASE0 [15:0]							
0x21B/0x21A	DDC0 NCO PHASE1 [15:0]							
0x21D/0x21C	DDC0 NCO PHASE2 [15:0]							
0x21F/0x21E	DDC0 NCO PHASE3 [15:0]							
0x245..0x240	DDC1 NCO FREQUENCY0 [47:0]							
0x24B..0x246	DDC1 NCO FREQUENCY1 [47:0]							
0x251..0x24C	DDC1 NCO FREQUENCY2 [47:0]							
0x257..0x252	DDC1 NCO FREQUENCY3 [47:0]							
0x259/0x258	DDC1 NCO PHASE0 [15:0]							
0x25B/0x25A	DDC1 NCO PHASE1 [15:0]							
0x25D/0x25C	DDC1 NCO PHASE2 [15:0]							
0x25F/0x25E	DDC1 NCO PHASE3 [15:0]							
0x285..0x280	DDC2 NCO FREQUENCY0 [47:0]							
0x28B..0x286	DDC2 NCO FREQUENCY1 [47:0]							
0x291..0x28C	DDC2 NCO FREQUENCY2 [47:0]							
0x297..0x292	DDC2 NCO FREQUENCY3 [47:0]							
0x299/0x298	DDC2 NCO PHASE0 [15:0]							
0x29B/0x29A	DDC2 NCO PHASE1 [15:0]							
0x29D/0x29C	DDC2 NCO PHASE2 [15:0]							
0x29F/0x29E	DDC2 NCO PHASE3 [15:0]							
0x2C5...0x2C0	DDC3 NCO FREQUENCY0 [47:0]							
0x2CB..0x2C6	DDC3 NCO FREQUENCY1 [47:0]							
0x2D1..0x2CC	DDC3 NCO FREQUENCY2 [47:0]							
0x2D7..0x2D2	DDC3 NCO FREQUENCY3 [47:0]							
0x2D9/0x2D8	DDC3 NCO PHASE0 [15:0]							
0x2DB/0x2DA	DDC3 NCO PHASE1 [15:0]							
0x2DD/0x2DC	DDC3 NCO PHASE1 [15:0]							
0x2DF/0x2DE	DDC3 NCO PHASE3 [15:0]							

表 8-18. レジスタ マップの概要 (続き)

レジスタ アドレス	レジスタ データ							
A[11:0]	D7	D6	D5	D4	D3	D2	D1	D0
0x590	0	0	0	0	0	0	ENABLE DCLK DIVIDER	0
0x691	LVDS PDN [5:7]			DCLK PD	0	0	0	0
0x692	0	0	0	LVDS PDN [0:4]				

8.5.6 レジスタの詳細説明

図 8-78. レジスタ 0x25

7	6	5	4	3	2	1	0
0	0	0	CFG RDY	0	0	0	0

表 8-19. レジスタ 0x25 のフィールドの説明

ビット	フィールド	タイプ	リセット	概要
7-5	0	R/W	0	0 を書き込む必要があります
0	CFG RDY	R/W	0	このビットは、HW リセット後の内部ヒューズのロード状態を示します。 0:ヒューズのロードが未完了 1:ヒューズがロードされ、適用され、デバイスはプログラミングの準備ができています。
3-0	0	R/W	0	0 を書き込む必要があります

図 8-79. レジスタ 0x100

7	6	5	4	3	2	1	0
0	0	0	0	0	0	0	リセット

表 8-20. レジスタ 0x100 のフィールドの説明

ビット	フィールド	タイプ	リセット	概要
7-1	0	R/W	0	0 を書き込む必要があります
0	リセット	R/W	0	このビットは、すべての内部レジスタをデフォルト値にリセットして、0 にセルフ クリアします。

図 8-80. レジスタ 0x101

7	6	5	4	3	2	1	0
0	0	0	GBL PDN	0	0	0	0

表 8-21. レジスタ 0x101 のフィールドの説明

ビット	フィールド	タイプ	リセット	概要
7-5	0	R/W	0	0 を書き込む必要があります
4	GBL PDN	R/W	0	グローバル パワー ダウン。このビットは、デバイス全体の電源をオフにします。この機能は、GPIO ピン (0x146、D4～D0) でも利用できます。 0:通常動作 1:デバイスはグローバル パワー ダウン モード
3-0	0	R/W	0	0 を書き込む必要があります

図 8-81. レジスタ 0x102

7	6	5	4	3	2	1	0
0	SYSREF DET CLR	0	0	0	0	0	0

表 8-22. レジスタ 0x102 のフィールドの説明

ビット	フィールド	タイプ	リセット	概要
7	0	R/W	0	0 を書き込む必要があります
6	SYSREF DET CLR	R/W	0	このビットは、SYSREF DET フラグ (0x140、D6) をリセットします。 0: 通常動作 1: SYSREF DET フラグがリセットされます。
5-0	0	R/W	0	0 を書き込む必要があります

図 8-82. レジスタ 0x104

7	6	5	4	3	2	1	0
0	0	0	0	0	0	CHB TERM	CHA TERM

表 8-23. レジスタ 0x104 のフィールドの説明

ビット	フィールド	タイプ	リセット	概要
7-2	0	R/W	0	0 を書き込む必要があります
1	CHB TERM	R/W	0	CHB の内部終端。このビットは、チャンネル B の内部終端を設定します。 0: 100Ω 差動終端 1: 200Ω 差動終端
0	CHA TERM	R/W	0	CHA 内部終端。このビットは、チャンネル A の内部終端を設定します。 0: 100Ω 差動終端 1: 200Ω 差動終端

表 8-24. レジスタ 0x10A

7	6	5	4	3	2	1	0
0	0	0	0	0	OVR CLR		OVR STICKY

表 8-25. レジスタ 0x10A のフィールドの説明

ビット	フィールド	タイプ	リセット	概要
7-3	0	R/W	0	0 を書き込む必要があります
2-1	OVR CLR	R/W	0	これは、スティッキー ビットをクリアするのに便利です。値 0x2 を設定すると、スティッキー OVR がクリアされます。
0	OVR STICKY	R/W	0	このビットは OVR をスティッキーにします。 0: OVR はスティッキーでない (<OVR LENGTH> に基づいて更新) 1: OVR はスティッキーである (<OVR CLR> を使用してリセット)

表 8-26. レジスタ 0x10B

7	6	5	4	3	2	1	0
OVR LENGTH							

表 8-27. レジスタ 0x10B のフィールドの説明

ビット	フィールド	タイプ	リセット	概要
7-0	OVR LENGTH	R/W	0	これは、OVR パルスの拡張を制御します。このフィールドは、クロック サイクル数に基づいて拡張幅を指定します。 たとえば 0x0F は、OVR の長さを 16 クロック サイクルに設定します。

図 8-83. レジスタ 0x110

7	6	5	4	3	2	1	0
LVDS TERM	0	LVDS HALF SWING	0	0	0	SWAP CH	0

表 8-28. レジスタ 0x110 のフィールドの説明

ビット	フィールド	タイプ	リセット	概要
7	LVDS TERM	R/W	0	このビットは、LVDS 終端抵抗を設定します。このビットをセットすると、100Ω 終端が有効になります。デフォルトの終端抵抗は 50Ω です
6	0	R/W	0	0 を書き込む必要があります
5	LVDS HALF SWING	R/W	0	このビットは、LVDS 出力スイングを 50% 減少させて、消費電力を低減します。 0: 通常出力スイング 1: 出力スイング低減
4-2	0	R/W	0	0 を書き込む必要があります
1	SWAP CH	R/W	1	このビットは、内部でチャンネル A とチャンネル B を交換します。 0: チャンネル A とチャンネル B を交換 1: 通常動作
0	0	R/W	0	0 を書き込む必要があります

図 8-84. レジスタ 0x111/0x112

7	6	5	4	3	2	1	0
LVDS DATA INV [7:0]							
LVDS DATA INV [15:8]							

表 8-29. レジスタ 0x111/0x112 のフィールドの説明

ビット	フィールド	タイプ	リセット	概要
7-0	LVDS DATA INV [15:0]	R/W	0	表 8-30 に示すように、これらのビットを使うと、個別の LVDS 出力レーンの極性を反転できます。 0: ピン配置図に示す極性。 1: 極性を反転

表 8-30. LVDS データ反転レジスタのレーン割り当て

REG ADDR	0x112								0x111							
REG BIT	D7	D6	D5	D4	D3	D2	D1	D0	D7	D6	D5	D4	D3	D2	D1	D0
LVDS OUTPUT LANE	8	9	10	11	12	13	14	15	7	6	5	4	3	2	1	0

図 8-85. レジスタ 0x113/0x114

7	6	5	4	3	2	1	0
LVDS PDN [14:8]							0
0	0	0	0	0	0	0	LVDS PDN [15]

表 8-31. レジスタ 0x113/0x114 のフィールドの説明

ビット	フィールド	タイプ	リセット	概要
7-0	LVDS PDN [15:8]	R/W	0	これらのレジスタビットは、個別の LVDS 出力レーンの電源をオフにして、LVDS ピンを高インピーダンス状態にします (たとえば 0x113、D7 は、出力レーン 14 の電源をオフにします)。残りの LVDS レーン (0~7) のパワー ダウン レジスタは、レジスタ 0x691/0x692 にあります。 0: 通常動作 1: LVDS 出力レーンは電源オフ
7-0	0	R/W	0	0 を書き込む必要があります

図 8-86. レジスタ 0x115

7	6	5	4	3	2	1	0
0	0	0	0	FCLK DC	FCLK DIS	0	0

表 8-32. レジスタ 0x115 のフィールドの説明

ビット	フィールド	タイプ	リセット	概要
7-4	0	R/W	0	0 を書き込む必要があります
3	FCLK DC	R/W	0	このビットを使用して、FCLK デューティサイクルを調整できます。 0: 出力サンプルの開始時に、FCLK は 1 DCLK サイクルの間 High を維持します。 1: FCLK は、出力サンプルの 50% の間 High を維持します
2	FCLK DIS	R/W	0	このビットは、出力 FCLK をディセーブルします。FCLK はレーン DOUT0 で送信されます。16 レーンすべてを使用するデシメーションモードでは、LSB が FCLK に置き換わります。 0: FCLK は LSB データを置き換えて、DOUT0 で送信されます 1: FCLK はディセーブルで、LSB データが DOUT0 で送信されます。
1	0	R/W	0	0 を書き込む必要があります
0	0	R/W	0	0 を書き込む必要があります

図 8-87. レジスタ 0x116

7	6	5	4	3	2	1	0
LVDS MUX EN	LVDS SWAP EDGE	0	0	0	LVDS SCR		

表 8-33. レジスタ 0x116 のフィールドの説明

ビット	フィールド	タイプ	リセット	概要
7	LVDS MUX EN	R/W	0	このビットは、レジスタ 0x117~0x11E の LVDS 出力マルチプレクサの使用をイネーブルします。 0: LVDS 出力マルチプレクサがディセーブル 1: LVDS 出力マルチプレクサがイネーブル
6	LVDS SWAP EDGE	R/W	0	このビットは、DCLK の立ち上がりエッジおよび立ち下がりエッジで送信される出力データビットを入れ替えます。 0: 通常動作 1: 立ち上がりエッジと立ち下がりエッジの出力ビットが入れ替わります。
5-3	0	R/W	0	0 を書き込む必要があります
2-0	LVDS SCR	R/W	0	このフィールドは、出力データのスクランブルおよび LSB 挿入の設定を制御します。 。000: デフォルト動作 001: データは PRBS ビットと XOR されます。この PRBS は LSB 位置に挿入されます。PRBS は、大きい LFSR を使って生成され、すべての実用的なシナリオでランダムとして扱うことができます 010: OVR は LSB 位置に挿入されます 011: OVR は LSB+1 位置に挿入されます 100: データは PRBS ビットと XOR されて、PRBS は LSB+1 位置に挿入されます 101: OVR は LSB+1 位置に挿入され、PRBS は LSB 位置に挿入されます。データは PRBS と XOR されます 110: OVR は LSB+2 位置に挿入され、PRBS は LSB+1 位置に挿入されます。データは PRBS と XOR されます 111: 未使用。

図 8-88. レジスタ 0x117...0x11E

7	6	5	4	3	2	1	0
DOUT1/3/5/7/9/11/13/15 MUX				DOUT0/2/4/6/8/10/12/14 MUX			

表 8-34. レジスタ 0x117...0x11E のフィールドの説明

ビット	フィールド	タイプ	リセット	概要
7-4	DOUT1/3/5/7/9/11/13/15 MUX	R/W	0000	これらのビットは、各出力レーンに対するデータバスの割り当てを構成します。0x116 の <LVDS MUX EN> で D7 をイネーブルにする必要があります。 0000: LVDS レーン DOUTx は、内部デジタルバスレーン DIG0 のデータを伝送します 0001: LVDS レーン DOUTx は、内部デジタルバスレーン DIG1 のデータを伝送します ... 1111: LVDS レーン DOUTx は、内部デジタルバスレーン DIG15 のデータを伝送します
3-0	DOUT0/2/4/6/8/10/12/14 MUX	R/W	0000	

図 8-89. レジスタ 0x132

7	6	5	4	3	2	1	0
HIGH FIN	0	0	0	0	0	0	0

表 8-35. レジスタ 0x132 のフィールドの説明

ビット	フィールド	タイプ	リセット	概要
7	HIGH FIN	R/W	0	500MHz を超える入力周波数に対して最高の AC 性能を得るには、このビットをセットする必要があります 0: 入力周波数 < 500MHz 1: 入力周波数 > 500MHz
6-0	0	R/W	0	0 を書き込む必要があります

図 8-90. レジスタ 0x140

7	6	5	4	3	2	1	0
0	SYSREF DET	SYSREF OR	SYSREF X5	SYSREF X4	SYSREF X3	SYSREF X2	SYSREF X1

表 8-36. レジスタ 0x140 のフィールドの説明

ビット	フィールド	タイプ	リセット	概要
7	0	R/W	0	0 を書き込む必要があります
6	SYSREF DET	R/W	0	このレジスタは、SYSREF 信号が検出されたかどうかを示します。検出されると、ビットがリセット (0x102、D6) されるか、またはデバイスリセットが発行されるまで、このビットは High のままです 0: SYSREF 信号が検出されません 1: SYSREF 信号が検出されました
5	SYSREF OR	R/W	0	このビットは、5 つの SYSREF XOR フラグの論理和 (OR) をとった出力です。 0: SYSREF フラグが立っていません 1: 5 つの SYSREF XOR フラグのいずれかが立っています。

表 8-36. レジスタ 0x140 のフィールドの説明 (続き)

ビット	フィールド	タイプ	リセット	概要
4-0	SYSREF X5..X1	R/W	0	これらのビットは、SYSREF ウィンドウ監視回路からの XOR フラグです。サンプリングクロックの立ち下がりエッジを使って、SYSREF 信号をキャプチャします。SYSREF 信号の遷移が SYSREF キャプチャの -60/+140ps 以内に発生した場合、適切な XOR フラグが生成されます。これらのビットは、SYSREF の立ち上がりエッジごとに更新されます。 X1:SYSREF がサンプルクロックより 20~60ps 先行 X2:SYSREF がサンプルクロックより 20ps~0ps 先行、または SYSREF がサンプルクロックより 0~20ps 遅延 X3:SYSREF がサンプルクロックより最大 20~60ps 遅延 X4:SYSREF がサンプルクロックより 60~100ps 遅延 X5:SYSREF がサンプルクロックより 100~140ps 遅延 0:SYSREF 遷移が検出されない 1:指定されたウィンドウ内に SYSREF 遷移を検出

図 8-91. レジスタ 0x146

7	6	5	4	3	2	1	0
0	0	0	GPIO CONFIG				

表 8-37. レジスタ 0x146 のフィールドの説明

ビット	フィールド	タイプ	リセット	概要
7-5	0	R/W	0	0 を書き込む必要があります
4-0	GPIO CONFIG	R/W	0	表 8-38 に示すように、これらのレジスタビットは、2 つの GPIO ピンの機能を構成します。

表 8-38. GPIO ピンの構成

GPIO CONFIG	GPIO1	GPIO0
00000	未使用	SYSREF
00011	GLOBAL POWER DOWN	SYSREF
00100	EXTERNAL REFERENCE	SYSREF
00101	NCO SWITCH1	NCO SWITCH0
01000	未使用	SYSREF
01001	OVR CHB/CHA	SYSREF
01010	未使用	GLOBAL POWER DOWN
01011	OVR CHB/CHA	GLOBAL POWER DOWN
10010	OVR CHB	OVR CHA
その他すべて	未使用	

図 8-92. レジスタ 0x14A

7	6	5	4	3	2	1	0
0	0	0	PATTERN CLK	0	TEST PATTERN		

表 8-39. レジスタ 0x14A のフィールドの説明

ビット	フィールド	タイプ	リセット	概要
7-5	0	R/W		0 を書き込む必要があります
4	PATTERN CLK	R/W	0	これは、パターン信号ジェネレータのクロックを制御します。このビットをセットすると、パターン ジェネレータ クロックがデシメーション クロックに切り替わります。 0: パターン クロックは ADC サンプリング クロックを使用します 1: パターン クロックは DDC クロックを使用します。
3	0	R/W	0	0 を書き込む必要があります
2-0	TEST PATTERN	R/W	0	このフィールドは、注入されるパターンのタイプを制御します。デフォルト値は 0 で、パターン ジェネレータがオフであることを示します。生成されるパターンは 20 ビット幅です。16 ビット分解能モードでは、パターン モードの MSB 16 ビットが送出されます。32 ビット分解能モードでは、生成されたパターンに 12 個の 0 ビットがパディングされて送出されます。 000: テスト パターンを無効化 001: ステップ値 1 のランプ パターン (20 ビットレベル、これは 16 ビットレベルの 1/16 と等価) 010: CUSTOM PATTERN で設定されたステップ値によるランプ パターン。たとえば、16 ビット モードでステップ値 1 のランプ パターンを構成するには、CUSTOM PATTERN を 0x010 に設定する必要があります 011: 未使用 100: CUSTOM PATTERN によって設定される静的パターン 101: CUSTOM PATTERN と CUSTOM PATTERN の反転を交互にトグルするパターン 110: CUSTOM PATTERN と 0 を交互にトグルするパターン 111: 未使用。

図 8-93. レジスタ 0x14B/0x14C/0x14D

7	6	5	4	3	2	1	0
CUSTOM PATTERN [7:0]							
CUSTOM PATTERN [15:8]							
0	0	0	0	CUSTOM PATTERN [19:16]			

表 8-40. レジスタ 0x14B/0x14C/0x14D のフィールドの説明

ビット	フィールド	タイプ	リセット	概要
7-0	CUSTOM PATTERN [19:0]	R/W	0	このフィールドは、パターン ジェネレータを制御します。これにより、TEST PATTERN の設定に応じて各種の機能を制御します

図 8-94. レジスタ 0x15B

7	6	5	4	3	2	1	0
DIGITAL GAIN CHA [7:0]							

表 8-41. レジスタ 0x15B のフィールドの説明

ビット	フィールド	タイプ	リセット	概要
7-0	DIGITAL GAIN CHA [7:0]	R/W	0	このレジスタは、チャンネル A のデジタル ゲインを制御します。これは、2 の補数として解釈されます。最大ゲインは、6dB (20 x log (1+ (DIGITAL GAIN CHA / 128))) です。

図 8-95. レジスタ 0x15C

7	6	5	4	3	2	1	0
DIGITAL GAIN CHB [7:0]							

表 8-42. レジスタ 0x15C のフィールドの説明

ビット	フィールド	タイプ	リセット	概要
7-0	DIGITAL GAIN CHB [7:0]	R/W	0	このレジスタは、チャンネル B のデジタル ゲインを制御します。これは、2 の補数として解釈されます。最大ゲインは、6dB (20 x log (1+ (DIGITAL GAIN CHB / 128))) です。

図 8-96. レジスタ 0x160

7	6	5	4	3	2	1	0
0	0	0	0	0	0	SYSREF MODE	

表 8-43. レジスタ 0x160 のフィールドの説明

ビット	フィールド	タイプ	リセット	概要
7-2	0	R/W	0	0 を書き込む必要があります
1-0	SYSREF MODE	R/W	0	これは、テスト パターンを含むグローバル SYSREF マスクを制御します。 00: すべての SYSREF パルスを通過させます 01: 最初の SYSREF パルスを通過させて、後続のパルスを遮断します 10: すべての SYSREF パルスを遮断します 11: 新しい SYSREF パルスを発行します。状態が 11 に遷移するときにパルスが発行されます

図 8-97. レジスタ 0x161

7	6	5	4	3	2	1	0
LVDS SYSREF MASK		DDC SYSREF MASK		NCO SYSREF MASK		TIMER SYSREF MASK	

表 8-44. レジスタ 0x161 のフィールドの説明

ビット	フィールド	タイプ	リセット	概要
7-6	LVDS SYSREF MASK	R/W	0	これは、SLVDS ブロックに送られる SYSREF パルスを制御します (デシメーションのみ)。デフォルト設定は 0 で、すべての SYSREF パルスを通過させます。 00: すべての SYSREF パルスを通過させます 01: 最初の SYSREF パルスを通過させて、後続のパルスを遮断します 10: すべての SYSREF パルスを遮断します 11: 新しい SYSREF パルスを発行します。状態が 11 に遷移するときにパルスが発行されます
5-4	DDC SYSREF MASK	R/W	0	これにより、DDC ブロックの SYSREF パルスを制御します。値と機能の対応は、LVDS SYSREF MASK と同じです
3-2	NCO SYSREF MASK	R/W	0	これにより、NCO ブロックの SYSREF パルスを制御します。値と機能の対応は、LVDS SYSREF MASK と同じです
1-0	TIMER SYSREF MASK	R/W	0	これは、NCO のタイマ ブロックの SYSREF パルスを制御します。値と機能の対応は、LVDS SYSREF MASK と同じです

図 8-98. レジスタ 0x162

7	6	5	4	3	2	1	0
SYSREF TIME STAMP		0	6dB GAIN OVERRIDE		COMPLEX DDC EN	OUTPUT RES	OUTPUT FORMAT

表 8-45. レジスタ 0x162 のフィールドの説明

ビット	フィールド	タイプ	リセット	概要
7-6	SYSREF TIME STAMP	R/W	0	このフィールドを 0x3 に設定すると、SYSREF 入力の LSB を置き換えることができます。OVR_ON_LSB の設定が優先されます。
5	0	R/W	0	0 を書き込む必要があります
4-3	6dB GAIN OVERRIDE	R/W	0	このフィールドは、DDC の 6dB ゲイン設定を制御します。6dB ゲインは、COMPLEX DDC モードでデフォルトで適用されます。これを 0x3 に設定すると、DDC モードに関係なく、DDC 出力に 6dB ゲインが強制されます。これを 0x2 に設定すると、DDC モードに関係なく、ユニティ ゲインが強制されます。
2	COMPLEX DDC EN	R/W	0	このビットは、すべての DDC に対して複素デシメーションを有効にします。デシメーション係数は、0x167～0x169 で設定されます 0:実数デシメーション 1:複素デシメーション
1	OUTPUT RES	R/W	0	このビットは、出力分解能を 16 ビットから 32 ビットに拡大します 0:16 ビット出力分解能 1:32 ビット出力分解能
0	OUTPUT FORMAT	R/W	0	このビットは出力形式を選択します 0:出力形式は 2 の補数 1:出力形式はオフセット バイナリ

図 8-99. レジスタ 0x163

7	6	5	4	3	2	1	0
DDC3 MUX		DDC2 MUX		DDC1 MUX		DDC0 MUX	

表 8-46. レジスタ 0x163 のフィールドの説明

ビット	フィールド	タイプ	リセット	概要
7-6	DDC3 MUX	R/W	0	これらのレジスタビットは、入力データソースを個別のデシメーションフィルタに設定します。 00:チャンネル B 01:チャンネル A 10:2x 平均出力 ((ChA + ChB) / 2) 11:2x 平均出力 ((ChA - ChB) / 2)
5-4	DDC2 MUX	R/W	0	これらのレジスタビットは、入力データソースを個別のデシメーションフィルタに設定します。 00:チャンネル A 01:チャンネル B 10:2x 平均出力 ((ChA + ChB) / 2) 11:2x 平均出力 ((ChA - ChB) / 2)
3-2	DDC1 MUX	R/W	0	これらのレジスタビットは、入力データソースを個別のデシメーションフィルタに設定します。 00:チャンネル B 01:チャンネル A 10:2x 平均出力 ((ChA + ChB) / 2) 11:2x 平均出力 ((ChA - ChB) / 2)

表 8-46. レジスタ 0x163 のフィールドの説明 (続き)

ビット	フィールド	タイプ	リセット	概要
1-0	DDC0 MUX	R/W	0	これらのレジスタビットは、入力データソースを個別のデシメーション フィルタに設定します。 00: チャンネル A 01: チャンネル B 10: 2x 平均出力 $((ChA + ChB) / 2)$ 11: 2x 平均出力 $((ChA - ChB) / 2)$

図 8-100. レジスタ 0x164

7	6	5	4	3	2	1	0
NCO3 UPDATE	NCO2 UPDATE	NCO1 UPDATE	NCO0 UPDATE	SEL NEG IM	0	0	NCO MODE

表 8-47. レジスタ 0x164 のフィールドの説明

ビット	フィールド	タイプ	リセット	概要
7	NCO3 UPDATE	R/W	0	これらのレジスタビットが「0」から「1」へ遷移すると、それぞれの NCO の 4 つの NCO 周波数を更新します。
6	NCO2 UPDATE	R/W	0	
5	NCO1 UPDATE	R/W	0	
4	NCO0 UPDATE	R/W	0	
3	SEL NEG IM	R/W	0	このフィールドは、負の周波数イメージの選択を制御します。これは、複素 DDC モデルにのみ適用できます。
2-1	0	R/W	0	0 を書き込む必要があります
0	NCO MODE	R/W	0	このレジスタは、NCO の動作モードを設定します。 0: 位相連続 1: 無限位相コヒーレント

図 8-101. レジスタ 0x165

7	6	5	4	3	2	1	0
0	0	0	LOW LATENCY EN	0	DIS NCO AUTO UPDATE	NCO SEL EN	NCO COMMON UPDATE

表 8-48. レジスタ 0x165 のフィールドの説明

ビット	フィールド	タイプ	リセット	概要
7-5	0	R/W	0	0 を書き込む必要があります
4	LOW LATENCY EN	R/W	0	このビットは、すべてのデジタル機能をバイパスすることにより、低レイテンシ モードをイネーブルします。 0: 通常動作 1: 低レイテンシ モード イネーブル
3	0	R/W	0	0 を書き込む必要があります
2	DIS NCO AUTO UPDATE	R/W	0	このレジスタビットは、GPIO ピンを使用して NCO を切り替える際の自動更新をディセーブルします 0: 通常動作 1: 自動切り替えディセーブル
1	NCO SEL EN	R/W	0	このビットにより、GPIO ピンの代わりに SPI レジスタ 0x166 を使用して NCO 周波数を選択できるようになります。 0: GPIO ピンによる NCO 周波数選択 1: レジスタ 0x166 による NCO 周波数選択。
0	NCO COMMON UPDATE	R/W	0	このレジスタビットが「0」から「1」へ遷移すると、すべての NCO の 4 つの NCO 周波数を更新します。

図 8-102. レジスタ 0x166

7	6	5	4	3	2	1	0
DDC3 NCO SEL		DDC2 NCO SEL		DDC1 NCO SEL		DDC0 NCO SEL	

表 8-49. レジスタ 0x166 のフィールドの説明

ビット	フィールド	タイプ	リセット	概要
7-6	DDC3 NCO SEL	R/W	0	これらのビットは、各 DDC/NCO で 4 つの周波数のうちどれがアクティブになるかを選択します。レジスタ 0x165 (D1) の <NCO SEL EN> ビットもセットする必要があります。
5-4	DDC2 NCO SEL	R/W	0	
3-2	DDC1 NCO SEL	R/W	0	
1-0	DDC0 NCO SEL	R/W	0	

図 8-103. レジスタ 0x167/168

7	6	5	4	3	2	1	0
DDC1/3 DECIMATION				DDC0/2 DECIMATION			

表 8-50. レジスタ 0x167/0x168 のフィールドの説明

ビット	フィールド	タイプ	リセット	概要
7-4	DDC1/3 DECIMATION	R/W	0	これらのビットは、異なるデシメーション係数を使用する場合、それぞれの DDC のデシメーション フィルタ係数を設定します。レジスタ 0x169 (D7) のレジスタ <UNEQUAL DECIMATION> も設定する必要があります。 0000: DDC バイパス 0001: 1/2 のデシメーション 0010: 1/4 のデシメーション ... 1110: 1/16384 のデシメーション 1111: 1/32768 のデシメーション
3-0	DDC0/2 DECIMATION	R/W	0	

図 8-104. レジスタ 0x169

7	6	5	4	3	2	1	0
UNEQUAL DECIMATION	0	NUM OF DDCS		COMMON DECIMATION			

表 8-51. レジスタ 0x169 のフィールドの説明

ビット	フィールド	タイプ	リセット	概要
7	UNEQUAL DECIMATION	R/W	0	このビットは、DDC0..3 の構成で異なるデシメーション係数を使用できるようにします。 0: すべての DDC に対する共通デシメーション係数 1: 異なるデシメーション係数
6	0	R/W	0	0 を書き込む必要があります
5-4	NUM OF DDCS	R/W	00	このレジスタは、アクティブな DDC の数を設定します 00: デュアル DDC モード 01: クワッド DDC モード 10: シングル DDC のみ (内部で 2 倍の平均化を使用する場合のみ有用) 11: 未使用
3-0	COMMON DECIMATION	R/W	0000	このレジスタ ビットは、すべてのアクティブな DDC に対するデシメーション フィルタ係数を設定します。 0000: DDC バイパス 0001: 1/2 のデシメーション 0010: 1/4 のデシメーション ... 1110: 1/16384 のデシメーション 1111: 1/32768 のデシメーション

図 8-105. レジスタ 0x16B

7	6	5	4	3	2	1	0
0	0	0	UPDATE NYQUIST ZONE	0	NYQUIST ZONE		

表 8-52. レジスタ 0x16B のフィールドの説明

ビット	フィールド	タイプ	リセット	概要
7-5	0	R/W	0	0 を書き込む必要があります
4	UPDATE NYQUIST ZONE	R/W	0	プログラムされている場合は、NYQUIST ZONE の後にこのフィールドをパルスする必要があります。このビットが 0 から 1 に遷移すると、NYQUIST ZONE フィールドが内部レジスタにコピーされます。
3	0	R/W	0	0 を書き込む必要があります
2-0	NYQUIST ZONE	R/W	000	このフィールドは、動作のナイキスト領域を制御します。デバイスの内部キャリブレーションは、サンプリングされる信号の NYQUIST ZONE によって異なります。このフィールドは、動作しているナイキスト領域に基づいてプログラムする必要があります 000: 1 次ナイキスト領域 (0~Fs/2) 001: 2 次ナイキスト領域 (Fs/2~Fs) 010: 3 次ナイキスト領域 (Fs~3Fs/2) 011: 4 次ナイキスト領域 (3Fs/2~2Fs) 100: 5 次ナイキスト領域 (2Fs~5Fs/2) 101: 6 次ナイキスト領域 (5Fs/2~3Fs) 110、111: 未使用

図 8-106. レジスタ 0x200..0x2DF

7	6	5	4	3	2	1	0
DDCx NCO FREQUENCYy [48:0]							
DDCx NCO PHASEy [15:0]							

表 8-53. レジスタ 0x200..0x2DF のフィールドの説明

ビット	フィールド	タイプ	リセット	概要
7-0	DDCx NCO FREQUENCYy [48:0]	R/W	0	これらのレジスタビットは、4 つの DDC/NCO に対して 48 ビット周波数ワードを構成します。形式は、リトル エンディアンです。NCO 周波数の計算を セクション 8.3.8.4 に示します。
7-0	DDCx NCO PHASEy [15:0]	R/W	0	これらのレジスタビットは、4 つの DDC/NCO に対して 4 つの周波数ワードの開始位相を構成します。形式は、リトル エンディアンです。位相の値は次のとおりです。90° / <16 ビットレジスタ>

図 8-107. レジスタ 0x590

7	6	5	4	3	2	1	0
0	0	0	0	0	0	ENABLE DCLK DIVIDER	0

表 8-54. レジスタ 0x590 のフィールドの説明

ビット	フィールド	タイプ	リセット	概要
7-2	0	R/W	0	0 を書き込む必要があります
1	ENABLE DCLK DIVIDER	R/W	0	このビットをセットすると、DCLK 分周器が有効になります。これは、LVDS インターフェイスのデータ ビット クロック (DCLK) が ADC サンプリング クロックよりも遅い場合に、高いデシメーション係数を実現するために必要です。

図 8-108. レジスタ 0x691/0x692

7	6	5	4	3	2	1	0
LVDS PDN [5:7]			DCLK PDN	0	0	0	0
0	0	0	LVDS PDN [0:4]				

表 8-55. レジスタ 0x691/0x692 のフィールドの説明

ビット	フィールド	タイプ	リセット	概要
7-0	LVDS PDN [0:7]	R/W	0	表 8-56 に示すように、これらのレジスタ ビットは、個別の LVDS 出力レーンの電源をオフにして、LVDS ピンを高インピーダンス状態にします。残りの LVDS バスのパワー ダウン レジスタは、レジスタ 0x113/0x114 にあります。 0: 通常動作 1: LVDS 出力レーンは電源オフ
4	DCLK PDN	R/W	0	このビットは、LVDS 出力クロックの電源をオフにします。 0: 通常動作 1: DCLK 電源オフ

表 8-56. LVDS パワー ダウン レジスタのレーン割り当て

REG ADDR	0x113							0x114	0x691			0x692				
REG BIT	D7	D6	D5	D4	D3	D2	D1	D0	D7	D6	D5	D4	D3	D2	D1	D0
LVDS OUTPUT LANE	14	13	12	11	10	9	8	15	5	6	7	0	1	2	3	4

9 アプリケーションと実装

注

以下のアプリケーション情報は、テキサス・インスツルメンツの製品仕様に含まれるものではなく、テキサス・インスツルメンツはその正確性も完全性も保証いたしません。個々の目的に対する製品の適合性については、お客様の責任で判断していただくことになります。また、お客様は自身の設計実装を検証しテストすることで、システムの機能を確認する必要があります。

9.1 アプリケーション情報

ADC366x は、レーダー、周波数ドメイン デジタイザ、スペクトラム アナライザ、試験および通信機器、ソフトウェア無線 (SDR) など、多様なアプリケーションで使用できます。「代表的なアプリケーション」セクションでは、これらの各種アプリケーションの要求を満たす 1 つの構成について説明します。

9.2 代表的なアプリケーション

9.2.1 広帯域スペクトラム アナライザ

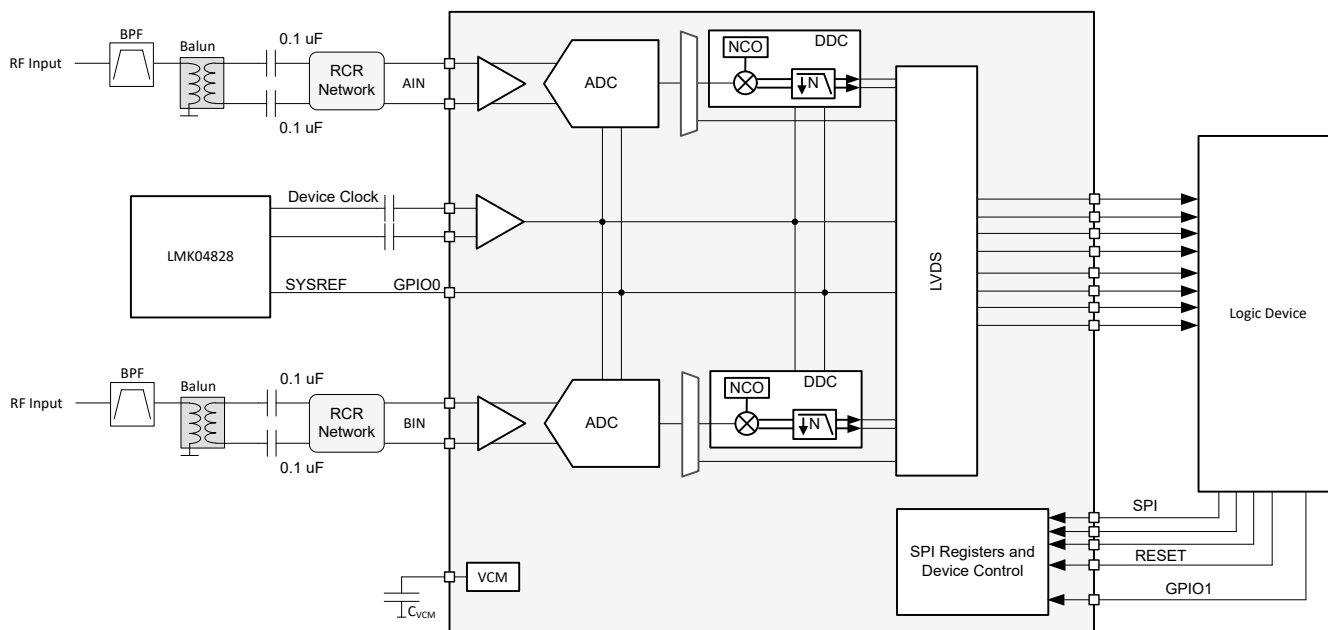


図 9-1. 広帯域スペクトラム アナライザの標準的な構成

9.2.2 設計要件

9.2.2.1 入力信号パス

受信信号パスで不要な周波数を除去するには、適切な帯域制限フィルタを使用する必要があります。

ADC への入力として、シングルエンド RF 入力を差動形式に変換するには、1:2 (実効終端インピーダンス 100Ω の場合) または 1:1 (実効終端インピーダンス 50Ω の場合) のバラントランスが必要です。バラン出力は、100pF のコンデンサで AC 結合する必要があります。多くの場合、バック ツー バック バラン構成を使用すると、SFDR 性能が向上します。さまざまなインピーダンス比および周波数範囲に対する推奨バランの数を [表 9-1](#) に示します。

ADC 入力の S パラメータは、フロント エンド マッチング回路の設計に利用できます。

表 9-1. 推奨バラン

部品番号	メーカー ⁽¹⁾	インピーダンス比	振幅バランス (dB)	位相バランス (°)	周波数範囲
BAL-0009SMG	Marki Microwave	1:2	0.6	5	0.5MHz~9GHz
TCM2-43X+	Minicircuits	1:2	0.5	7	10MHz~4GHz
TCM2-33WX+	Minicircuits	1:2	0.7	4	10MHz~3GHz
TC1-1-13M+	Minicircuits	1:1	0.5	2-3	10MHz~3GHz

(1) 「[セクション 10.1.1](#)」を参照してください。

9.2.2.2 クロック供給

定格性能を実現するには、デバイスのクロック入力をこのデバイスに AC 結合する必要があります。特に、高い入力周波数で動作している場合、ADC が規定の SNR 性能を満たすためには、クロック ソースは低ジッタ (積分位相ノイズ) である必要があります。クロック信号をバンドパス フィルタでフィルタ処理して、広帯域のクロック ノイズの一部を除去できます。マルチチャネル システムでは、LMK04828 または LMK04832 デバイスを使用して SYSREF 信号を生成できます。LMK デバイスは、システム クロック シンセサイザとしても使用できます。

9.2.3 詳細な設計手順

9.2.3.1 サンプルング クロック

ADC の SNR 性能を最大化するには、低ジッタ (75fs 未満) のサンプルング クロックが必要です。図 9-2 に、SNR 性能の推定値と入力周波数および外部クロック ジッタとの関係を示します。図 9-3 に示すように、内部 ADC アパーチャ ジッタは、クロック振幅にある程度依存します (入力周波数が高いほど感度が高くなります)。

平均化やデシメーションを使用する場合、内部での平均化やデシメーションによって SNR の改善を追加する前に、シングル ADC コアの SNR を最初に評価する必要があります。

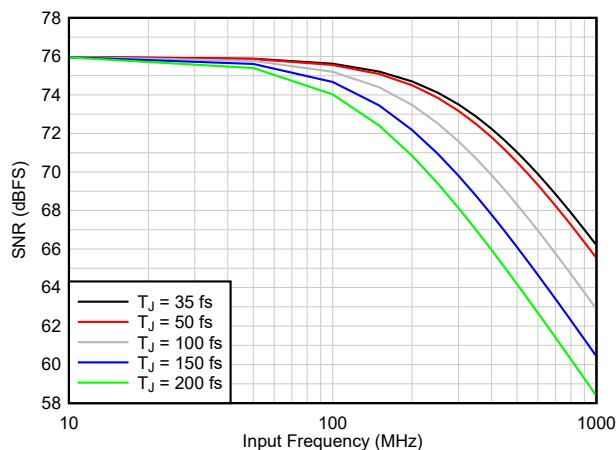


図 9-2. SNR と T_{jitter} と F_{IN} との関係

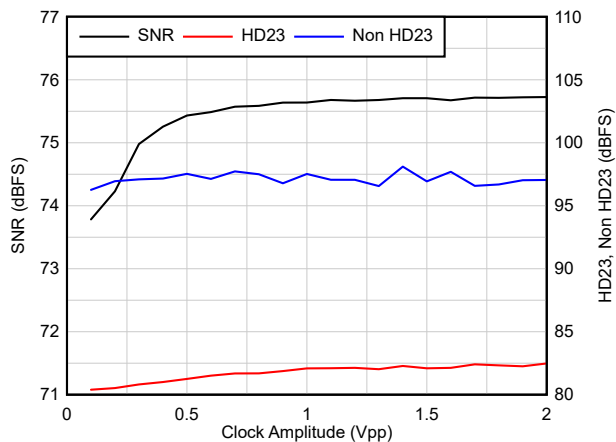


図 9-3. SNR とクロック振幅との関係 ($F_s = 500\text{MSPS}$ 、 $F_{\text{IN}} = 100\text{MHz}$ 、 $A_{\text{IN}} = -1\text{dBFS}$)

9.2.4 アプリケーション特性の波形

以下のアプリケーション曲線は、バラン フロント エンドを使用した ADC のみの性能と結果を示しています。入力周波数は 370MHz ($F_S = 500\text{Mpsps}$) で、入力振幅は -1dBFS および -20dBFS です。動作モードは、DDC バイパスおよび 1/8 の複素デシメーション (NCO = 360MHz) です。

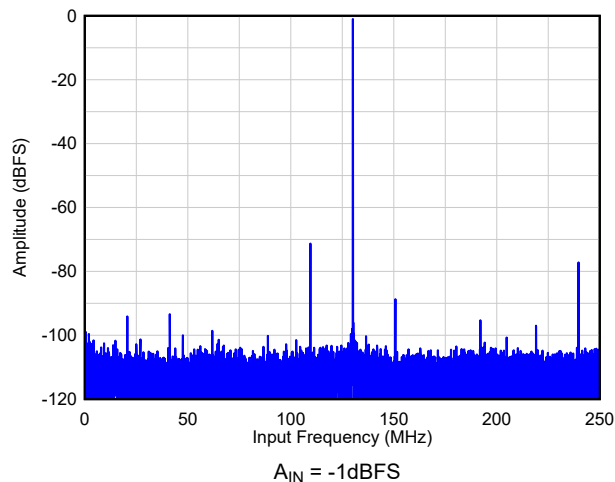


図 9-4. FFT1 : DDC バイパス

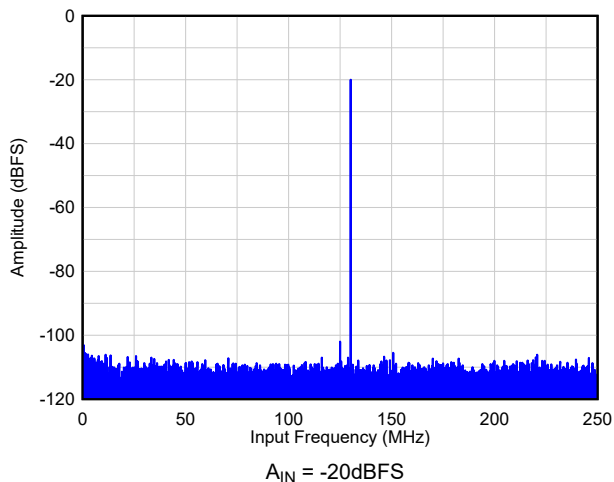


図 9-5. FFT2 : DDC バイパス

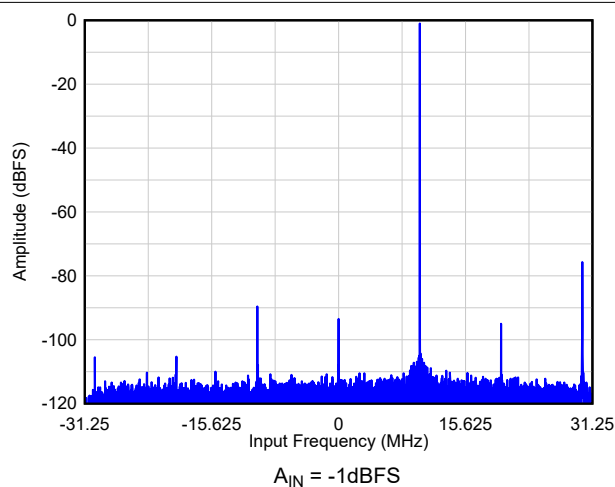


図 9-6. FFT3 : 1/8 のデシメーション

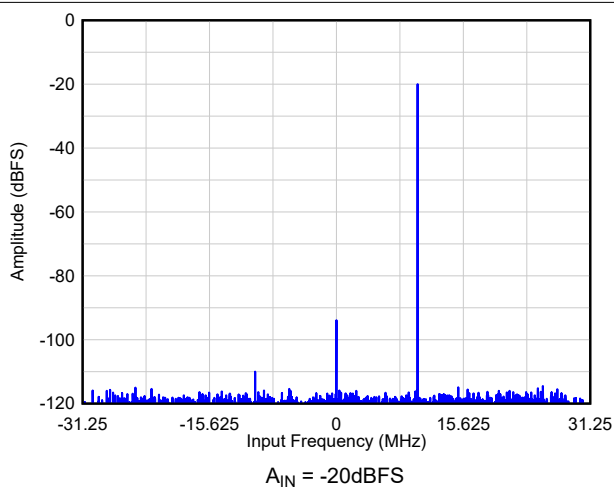


図 9-7. FFT4 : 1/8 のデシメーション

9.2.5 初期化セットアップ

電源投入後、図 9-8 に示すように、RESET ピンに High パルスを印加することにより、ハードウェア リセットして内部レジスタをデフォルト値に初期化する必要があります。

1. 1.2V DVDD12 デジタル電源を供給します
2. 1.2V AVDD12 アナログ電源を供給します
3. 1.8V 電源 (AVDD18、DVDD18) を供給します (順不同)
4. 外部電圧リファレンスおよび / または GPIO ピン構成を供給します (オプション)
5. 外部サンプリング クロックを供給します
6. ハードウェア リセットを適用します。ハードウェア リセットが解除された後、デフォルトのレジスタが内部ヒューズからロードされます。
7. 「CFG RDY レジスタ」(0x25、D4) を読み戻して、内部ロードが完了したかどうかを確認します (10k クロック サイクル未満)。
8. 必要に応じて、SPI を使用して内部レジスタのプログラミングを開始します。
9. ADC の完全な性能は、約 5M クロック サイクル後に利用可能になります。

パワーダウンの場合、このシーケンスの逆順に従うことができます。

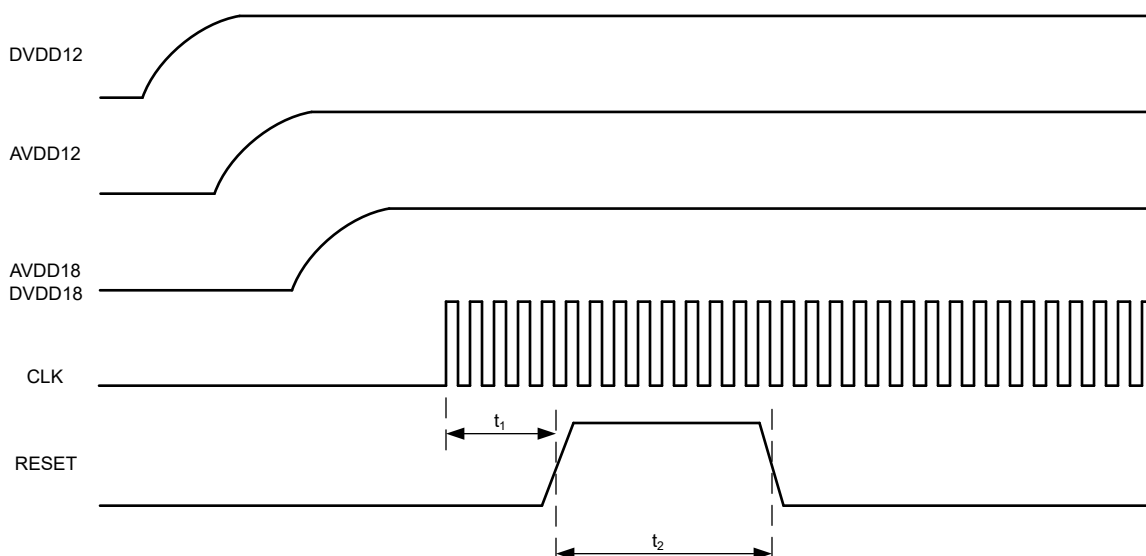


図 9-8. 電源投入後のシリアル レジスタの初期化

表 9-2. パワーアップのタイミング

		最小値	標準値	最大値	単位
t_1	パワーオン遅延: 電源オンからアクティブ High の RESET パルスまでの遅延	1			us
t_2	リセット パルス幅: アクティブ High の RESET パルス幅	100			ns

9.3 電源に関する推奨事項

この ADC は、4 種類の電源を必要とします。AVDD18 および AVDD12 レールは、ADC の内部アナログ回路およびクロック回路に電力を供給します。DVDD18 および DVDD12 レールは、デジタル ロジック (平均化およびデシメーション フィルタを含む) および LVDS デジタル インターフェイスに電力を供給します。

セクション 9.2.5 に示すように電源シーケンスが必要です。データシートの性能を得るには、AVDD18 および AVDD12 の電源は低ノイズである必要があります。DC 付近で動作するアプリケーションでは、電源の $1/f$ ノイズの影響も考慮する必要があります。

最上層でピンにできるだけ近い場所に、電源デカップリング コンデンサ ($0.1\mu\text{F}$) を設けることを推奨します。

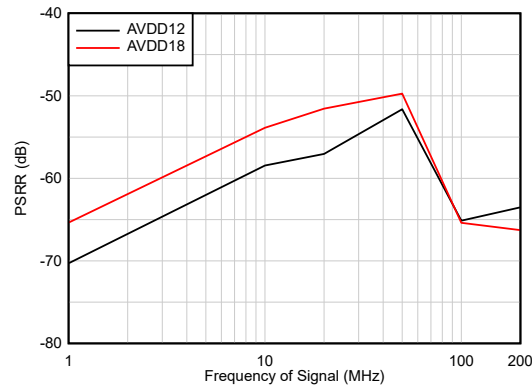


図 9-9. 電源除去比 (PSRR) と周波数との関係

低ノイズ設計に推奨される電源アーキテクチャは、図 9-10 に示すように、最初に高効率の降圧スイッチングレギュレータを使用し、その後に 2 段目のレギュレーションとして、各電源レールに低ノイズ LDO を使用します。これにより、スイッチングノイズがさらに低減され、電圧精度が向上します。

テキサス・インスツルメンツの WEBENCH® Power Designer を使用して、個別の電源素子を選択および設計できます。1 段目の推奨スイッチングレギュレータとしては、LMS3635 および類似のデバイスがあります。推奨する低ドロップアウト (LDO) リニアレギュレータとしては、TPS7A8400 および類似のデバイスがあります。

アナログドメインにデジタルスイッチングノイズが結合することを防止するため、AVDD18 または AVDD12 を DVDD18/12 と共有しないでください。

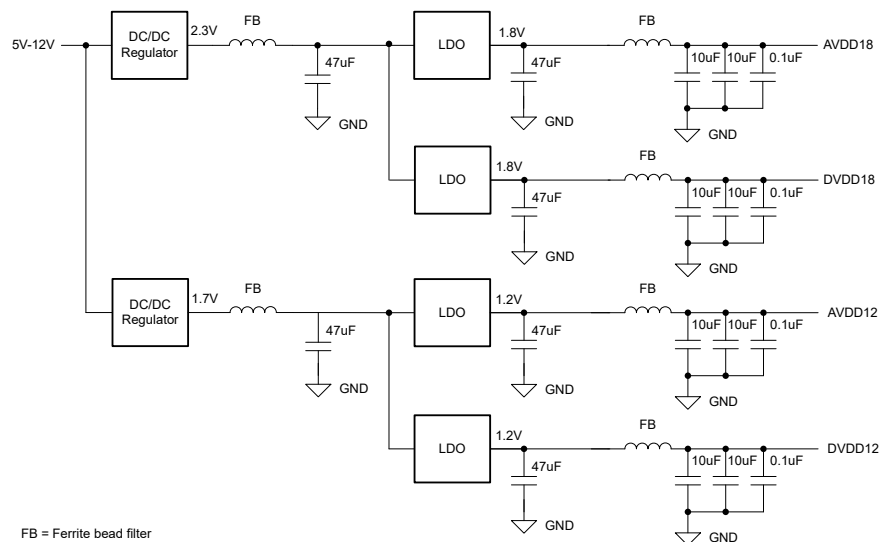


図 9-10. 電源設計の例

9.4 レイアウト

9.4.1 レイアウトのガイドライン

基板設計時に特定の注意を必要とする重要な信号がいくつかあります。

1. アナログ入力信号およびクロック信号
 - トレースはできるだけ短くし、インピーダンスの不連続性を最小限に抑えるためビアはできるだけ避けます。
 - トレースは、疎結合した 100Ω 差動配線を使って配線できます。
 - 位相の不均衡と HD2 の低下を最小限に抑えるために、差動トレースの長さをできるだけ近い値にします。
2. デジタル LVDS 出力インターフェイス
 - 密結合された 100Ω 差動トレースを使用してトレースを配線します。
3. 電源およびグランド接続
 - 電源ピンおよびグランドピンのすべてに対して、低抵抗の接続パスとします。
 - トレースではなく、電源プレーンやグランドプレーンを使用します。
 - 接続抵抗が増加するような、狭くて孤立したパスは避けます。
 - グランドと電源プレーン間の結合を最大化するために、プリント基板を、信号、グランド、電源回路の順に層構成します。

9.4.2 レイアウト例

次のスクリーンショットは、ADC366x 評価基板の最上層を示しています。

- 入力信号のトレースは、ビアを避けて、疎結合した差動信号として最上層に配線します。最上層のレイアウト例を [図 9-11](#) に示します。
- LVDS 出力インターフェイスのレーンは差動配線され、密結合され、長さがマッチングされています。
- バイパスコンデンサは、ビアを避けて、最上層の電源ピンの近くに配置します。

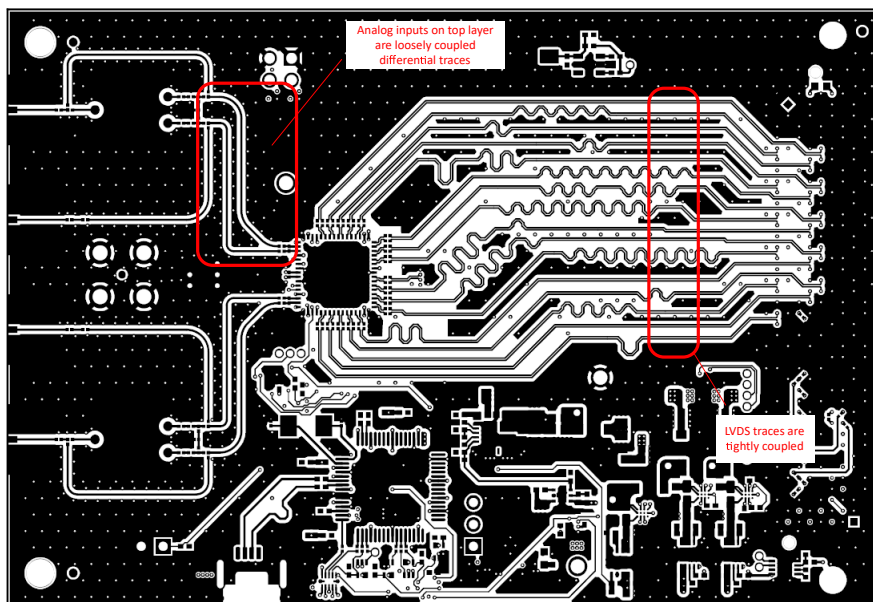


図 9-11. レイアウト例：ADC366x 評価基板の最上層

10 デバイスおよびドキュメントのサポート

テキサス・インスツルメンツでは、幅広い開発ツールを提供しています。デバイスの性能の評価、コードの生成、ソリューションの開発を行うためのツールとソフトウェアを以下で紹介します。

10.1 ドキュメントのサポート

10.1.1 サード・パーティ製品に関する免責事項

サード・パーティ製品またはサービスに関するテキサス・インスツルメンツの出版物は、単独またはテキサス・インスツルメンツの製品、サービスと一緒に提供される場合に関係なく、サード・パーティ製品またはサービスの適合性に関する是認、サード・パーティ製品またはサービスの是認の表明を意味するものではありません。

10.2 ドキュメントの更新通知を受け取る方法

ドキュメントの更新についての通知を受け取るには、www.tij.co.jp のデバイス製品フォルダを開いてください。[通知] をクリックして登録すると、変更されたすべての製品情報に関するダイジェストを毎週受け取ることができます。変更の詳細については、改訂されたドキュメントに含まれている改訂履歴をご覧ください。

10.3 サポート・リソース

テキサス・インスツルメンツ E2E™ サポート・フォーラムは、エンジニアが検証済みの回答と設計に関するヒントをエキスパートから迅速かつ直接得ることができる場所です。既存の回答を検索したり、独自の質問をしたりすることで、設計に必要な支援を迅速に得ることができます。

リンクされているコンテンツは、各寄稿者により「現状のまま」提供されるものです。これらはテキサス・インスツルメンツの仕様を構成するものではなく、必ずしもテキサス・インスツルメンツの見解を反映したものではありません。テキサス・インスツルメンツの[使用条件](#)を参照してください。

10.4 商標

テキサス・インスツルメンツ E2E™ is a trademark of Texas Instruments.

WEBENCH® is a registered trademark of Texas Instruments.

すべての商標は、それぞれの所有者に帰属します。

10.5 静電気放電に関する注意事項



この IC は、ESD によって破損する可能性があります。テキサス・インスツルメンツは、IC を取り扱う際には常に適切な注意を払うことを推奨します。正しい取り扱いおよび設置手順に従わない場合、デバイスを破損するおそれがあります。

ESD による破損は、わずかな性能低下からデバイスの完全な故障まで多岐にわたります。精密な IC の場合、パラメータがわずかに変化するだけで公表されている仕様から外れる可能性があるため、破損が発生しやすくなっています。

10.6 用語集

[テキサス・インスツルメンツ用語集](#) この用語集には、用語や略語の一覧および定義が記載されています。

11 改訂履歴

資料番号末尾の英字は改訂を表しています。その改訂履歴は英語版に準じています。

Changes from Revision A (January 2025) to Revision B (June 2025)	Page
・ 「ピンの機能」で、SCLK ピンと SDIO ピンを DGND ヘブルアップから DVDD18 ヘブルアップに更新.....	3
・ 「クロック入力 (CLKP/M)」セクションの最小サンプリング レートを 125MSPS から 100MSPS に変更.....	6
・  8-2 の等価入力回路を更新し、より詳細なモデルを追加.....	27
・ パワーアップ シーケンスの手順 4 に GPIO ピン構成を追加、パワーダウン シーケンスを追加.....	78

Changes from Revision * (September 2024) to Revision A (January 2025)**Page**

• ADC3668 を「製品プレビュー」から「量産」に変更	1
• 「ピンの機能」で、SCLK ピンと SDIO ピンをプルダウンからプルアップに変更	3
• ADC3668/69 の最大電流制限値を更新	6
• 「DC 仕様」の最小 V_{ID} に 0.5Vpp を追加	6
• AC 仕様に最小 HD2 値を追加 (ADC36698 - 250MSPS)	9
• AC 仕様に最小 HD3 値を追加 (ADC3668 - 250MSPS)	9
• 「AC 仕様」の ENOB 値を変更 (ADC3669 - 500MSPS)	11
• 「AC 仕様」に最小 HD2 値を追加 (ADC3669 - 500MSPS)	11
• 「AC 仕様」に最小 HD3 値を追加 (ADC3669 - 500MSPS)	11
• アナログ入力に入力電圧範囲の説明を追加	27
• 「パラレル LVDS (DDR)」セクションを変更	43
• 「SLVDS -ステータス ビットの挿入」のトピックを追加	48
• 「出力スクランブラ」のトピックを追加	49
• 表 8-30 の LVDS 反転レーン マッピングを変更	60

12 メカニカル、パッケージ、および注文情報

以降のページには、メカニカル、パッケージ、および注文に関する情報が記載されています。この情報は、指定のデバイスに使用できる最新のデータです。このデータは、予告なく、このドキュメントを改訂せずに変更される場合があります。本データシートのブラウザ版を使用されている場合は、画面左側の説明をご覧ください。

重要なお知らせと免責事項

テキサス・インスツルメンツは、技術データと信頼性データ (データシートを含みます)、設計リソース (リファレンス デザインを含みます)、アプリケーションや設計に関する各種アドバイス、Web ツール、安全性情報、その他のリソースを、欠陥が存在する可能性のある「現状のまま」提供しており、商品性および特定目的に対する適合性の黙示保証、第三者の知的財産権の非侵害保証を含むいかなる保証も、明示的または黙示的にかかわらず拒否します。

これらのリソースは、テキサス・インスツルメンツ製品を使用する設計の経験を積んだ開発者への提供を意図したものです。(1) お客様のアプリケーションに適した テキサス・インスツルメンツ製品の選定、(2) お客様のアプリケーションの設計、検証、試験、(3) お客様のアプリケーションに該当する各種規格や、その他のあらゆる安全性、セキュリティ、規制、または他の要件への確実な適合に関する責任を、お客様のみが単独で負うものとします。

上記の各種リソースは、予告なく変更される可能性があります。これらのリソースは、リソースで説明されている テキサス・インスツルメンツ製品を使用するアプリケーションの開発の目的でのみ、テキサス・インスツルメンツはその使用をお客様に許諾します。これらのリソースに関して、他の目的で複製することや掲載することは禁止されています。テキサス・インスツルメンツや第三者の知的財産権のライセンスが付与されている訳ではありません。お客様は、これらのリソースを自身で使用した結果発生するあらゆる申し立て、損害、費用、損失、責任について、テキサス・インスツルメンツおよびその代理人を完全に補償するものとし、テキサス・インスツルメンツは一切の責任を拒否します。

テキサス・インスツルメンツの製品は、[テキサス・インスツルメンツの販売条件](#)、または [ti.com](https://www.ti.com) やかかる テキサス・インスツルメンツ製品の関連資料などのいずれかを通じて提供する適用可能な条項の下で提供されています。テキサス・インスツルメンツがこれらのリソースを提供することは、適用されるテキサス・インスツルメンツの保証または他の保証の放棄の拡大や変更を意味するものではありません。

お客様がいかなる追加条項または代替条項を提案した場合でも、テキサス・インスツルメンツはそれらに異議を唱え、拒否します。

郵送先住所: Texas Instruments, Post Office Box 655303, Dallas, Texas 75265
Copyright © 2025, Texas Instruments Incorporated

PACKAGING INFORMATION

Orderable part number	Status (1)	Material type (2)	Package Pins	Package qty Carrier	RoHS (3)	Lead finish/ Ball material (4)	MSL rating/ Peak reflow (5)	Op temp (°C)	Part marking (6)
ADC3668IRTD	Active	Production	VQFN (RTD) 64	260 JEDEC TRAY (5+1)	Yes	NIPDAUAG	Level-3-260C-168 HR	-40 to 85	AZ3668
ADC3668IRTD.A	Active	Production	VQFN (RTD) 64	260 JEDEC TRAY (5+1)	Yes	NIPDAUAG	Level-3-260C-168 HR	-40 to 85	AZ3668
ADC3668IRTDT	Active	Production	VQFN (RTD) 64	250 SMALL T&R	Yes	NIPDAUAG	Level-3-260C-168 HR	-40 to 85	AZ3668
ADC3668IRTD.T.A	Active	Production	VQFN (RTD) 64	250 SMALL T&R	Yes	NIPDAUAG	Level-3-260C-168 HR	-40 to 85	AZ3668
ADC3669IRTD	Active	Production	VQFN (RTD) 64	260 JEDEC TRAY (5+1)	Yes	NIPDAUAG	Level-3-260C-168 HR	-40 to 85	AZ3669
ADC3669IRTD.A	Active	Production	VQFN (RTD) 64	260 JEDEC TRAY (5+1)	Yes	NIPDAUAG	Level-3-260C-168 HR	-40 to 85	AZ3669
ADC3669IRTD.T	Active	Production	VQFN (RTD) 64	250 SMALL T&R	Yes	NIPDAUAG	Level-3-260C-168 HR	-40 to 85	AZ3669
ADC3669IRTD.T.A	Active	Production	VQFN (RTD) 64	250 SMALL T&R	Yes	NIPDAUAG	Level-3-260C-168 HR	-40 to 85	AZ3669

⁽¹⁾ **Status:** For more details on status, see our [product life cycle](#).

⁽²⁾ **Material type:** When designated, preproduction parts are prototypes/experimental devices, and are not yet approved or released for full production. Testing and final process, including without limitation quality assurance, reliability performance testing, and/or process qualification, may not yet be complete, and this item is subject to further changes or possible discontinuation. If available for ordering, purchases will be subject to an additional waiver at checkout, and are intended for early internal evaluation purposes only. These items are sold without warranties of any kind.

⁽³⁾ **RoHS values:** Yes, No, RoHS Exempt. See the [TI RoHS Statement](#) for additional information and value definition.

⁽⁴⁾ **Lead finish/Ball material:** Parts may have multiple material finish options. Finish options are separated by a vertical ruled line. Lead finish/Ball material values may wrap to two lines if the finish value exceeds the maximum column width.

⁽⁵⁾ **MSL rating/Peak reflow:** The moisture sensitivity level ratings and peak solder (reflow) temperatures. In the event that a part has multiple moisture sensitivity ratings, only the lowest level per JEDEC standards is shown. Refer to the shipping label for the actual reflow temperature that will be used to mount the part to the printed circuit board.

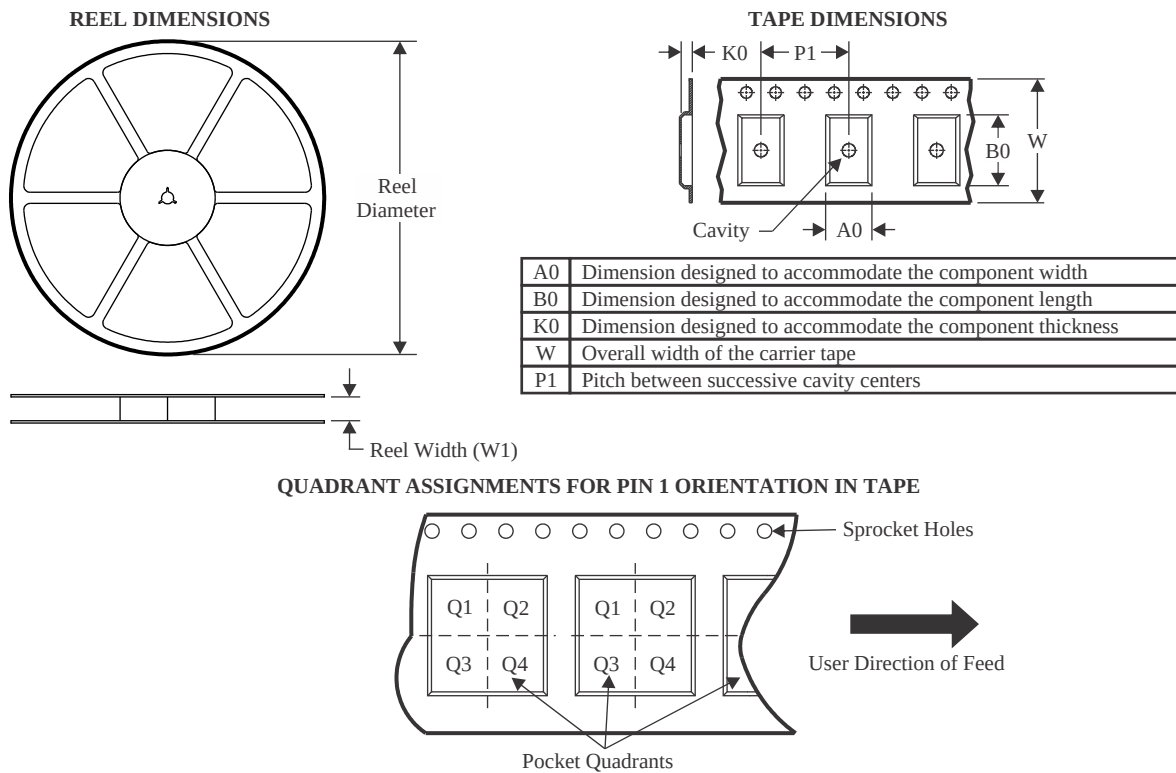
⁽⁶⁾ **Part marking:** There may be an additional marking, which relates to the logo, the lot trace code information, or the environmental category of the part.

Multiple part markings will be inside parentheses. Only one part marking contained in parentheses and separated by a "~" will appear on a part. If a line is indented then it is a continuation of the previous line and the two combined represent the entire part marking for that device.

Important Information and Disclaimer: The information provided on this page represents TI's knowledge and belief as of the date that it is provided. TI bases its knowledge and belief on information provided by third parties, and makes no representation or warranty as to the accuracy of such information. Efforts are underway to better integrate information from third parties. TI has taken and continues to take reasonable steps to provide representative and accurate information but may not have conducted destructive testing or chemical analysis on incoming materials and chemicals. TI and TI suppliers consider certain information to be proprietary, and thus CAS numbers and other limited information may not be available for release.

In no event shall TI's liability arising out of such information exceed the total purchase price of the TI part(s) at issue in this document sold by TI to Customer on an annual basis.

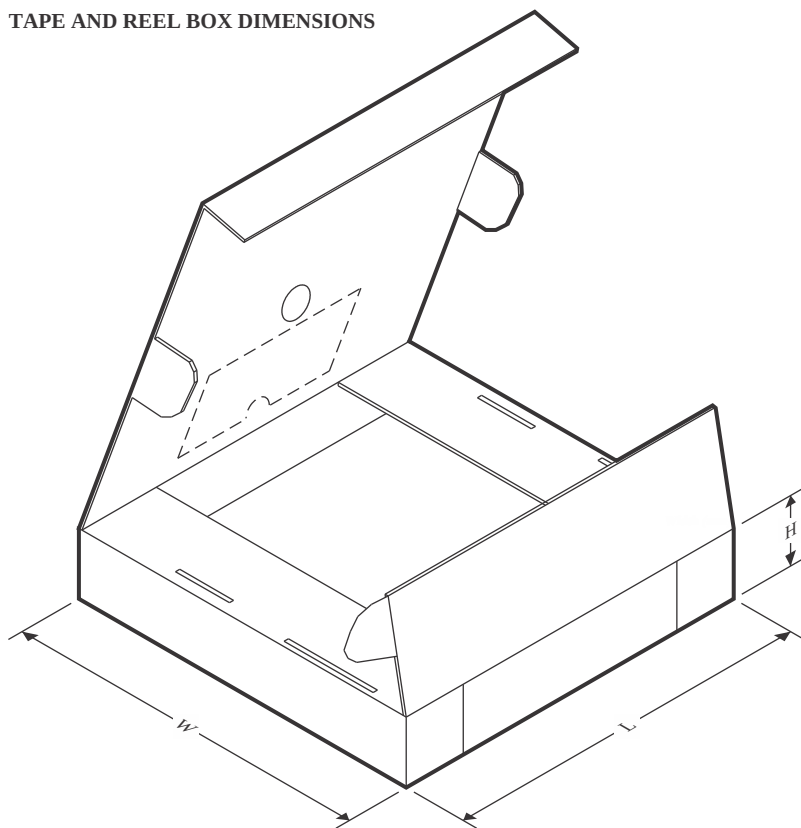
TAPE AND REEL INFORMATION



*All dimensions are nominal

Device	Package Type	Package Drawing	Pins	SPQ	Reel Diameter (mm)	Reel Width W1 (mm)	A0 (mm)	B0 (mm)	K0 (mm)	P1 (mm)	W (mm)	Pin1 Quadrant
ADC3668IRTD	VQFN	RTD	64	250	180.0	16.4	9.3	9.3	1.5	12.0	16.0	Q2
ADC3669IRTD	VQFN	RTD	64	250	180.0	16.4	9.3	9.3	1.5	12.0	16.0	Q2

TAPE AND REEL BOX DIMENSIONS



*All dimensions are nominal

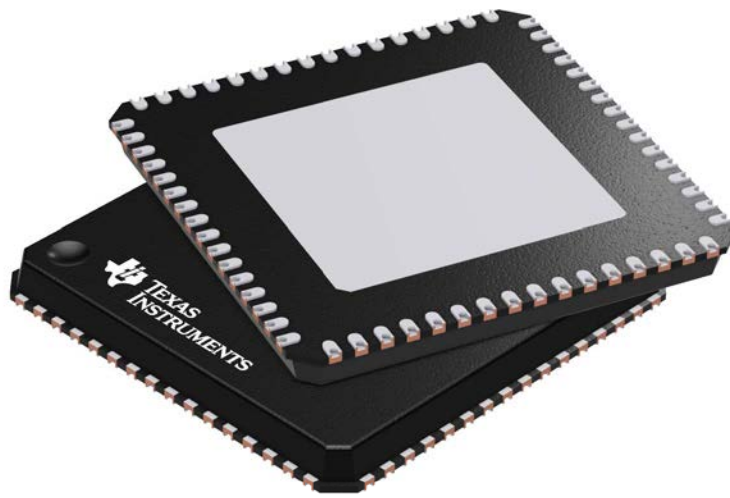
Device	Package Type	Package Drawing	Pins	SPQ	Length (mm)	Width (mm)	Height (mm)
ADC3668IRTD	VQFN	RTD	64	250	213.0	191.0	55.0
ADC3669IRTD	VQFN	RTD	64	250	213.0	191.0	55.0

GENERIC PACKAGE VIEW

RTD 64

VQFNP - 0.9 mm max height

PLASTIC QUAD FLATPACK - NO LEAD



Images above are just a representation of the package family, actual package may vary.
Refer to the product data sheet for package details.

4205146/D

VQFN - 0.9 mm max height

Diagram illustrating the dimensions and layout of a square component, likely a microcontroller or sensor module, showing the placement of pins and the location of the PIN 1 ID.

The component is square, with overall dimensions of 9.1 mm (width) and 9.1 mm (height). The internal dimensions, excluding the pin area, are 8.9 mm (width) and 8.9 mm (height).

The diagram shows the component with pins on all four sides. The PIN 1 ID is located near the top-left corner.

Dimensions and labels:

- Overall width: 9.1 mm
- Overall height: 9.1 mm
- Internal width: 8.9 mm
- Internal height: 8.9 mm
- Pin 1 ID location: Indicated by a circle and label.
- Pin 1 ID label: PIN 1 ID
- Pin 1 ID location: () 8.71

Technical drawing of a square microstrip antenna patch. The drawing includes the following dimensions and features:

- Top View:**
 - Overall width: 5.566 ± 0.1
 - Overall height: 6.866 ± 0.1
 - Inner square patch side length: 4.9
 - Distance from inner patch to outer edge: 0.3
 - Distance from outer edge to center: 0.2
 - Distance from center to outer edge: 0.1
 - Distance from center to outer edge: 0.05
 - Distance from center to outer edge: 0.03
 - Distance from center to outer edge: 0.02
 - Distance from center to outer edge: 0.01
 - Distance from center to outer edge: 0.005
 - Distance from center to outer edge: 0.002
 - Distance from center to outer edge: 0.001
 - Distance from center to outer edge: 0.0005
 - Distance from center to outer edge: 0.0002
 - Distance from center to outer edge: 0.0001
 - Distance from center to outer edge: 0.00005
 - Distance from center to outer edge: 0.00002
 - Distance from center to outer edge: 0.00001
- Side View:**
 - Overall height: 0.975
 - Distance from base to top: 0.875
 - Distance from base to top: 0.2
 - Distance from base to top: 0.1
 - Distance from base to top: 0.05
 - Distance from base to top: 0.02
 - Distance from base to top: 0.01
 - Distance from base to top: 0.005
 - Distance from base to top: 0.002
 - Distance from base to top: 0.001
 - Distance from base to top: 0.0005
 - Distance from base to top: 0.0002
 - Distance from base to top: 0.0001
 - Distance from base to top: 0.00005
 - Distance from base to top: 0.00002
 - Distance from base to top: 0.00001
- Annotations:**
 - SEATING PLANE:** Indicated by a horizontal line and a triangle.
 - SYMM:** Symmetry lines are shown with dashed lines and the label "SYMM".
 - PIN 1 ID:** A label pointing to a specific feature on the patch.
 - Dimensions:** Various dimensions are labeled with numbers and tolerances, such as $4X (45^\circ X0.42)$, $4X 7.5$, $64X 0.5$, $64X 0.3$, $64X 0.2$, $64X 0.1$, $64X 0.05$, $64X 0.03$, $64X 0.02$, $64X 0.01$, $64X 0.005$, $64X 0.002$, $64X 0.001$, $64X 0.0005$, $64X 0.0002$, $64X 0.0001$, $64X 0.00005$, $64X 0.00002$, $64X 0.00001$.

NOTES:

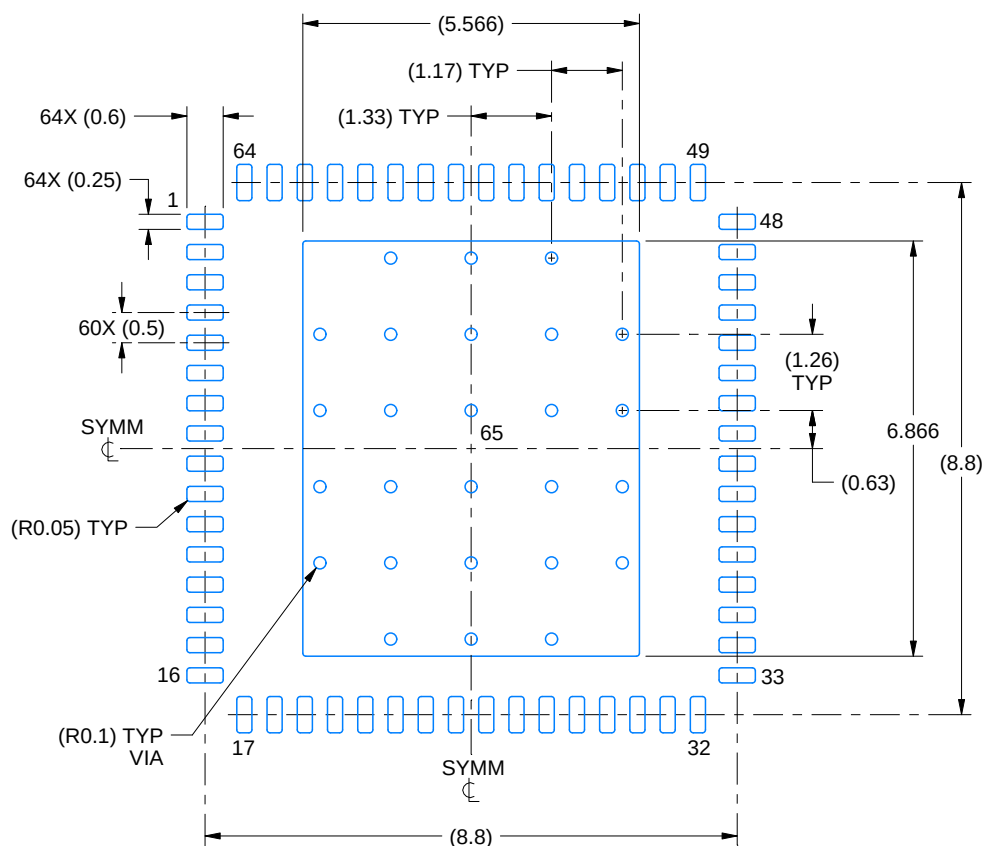
1. All linear dimensions are in millimeters. Any dimensions in parenthesis are for reference only. Dimensioning and tolerancing per ASME Y14.5M.
2. This drawing is subject to change without notice.
3. The package thermal pad must be soldered to the printed circuit board for thermal and mechanical performance.

EXAMPLE BOARD LAYOUT

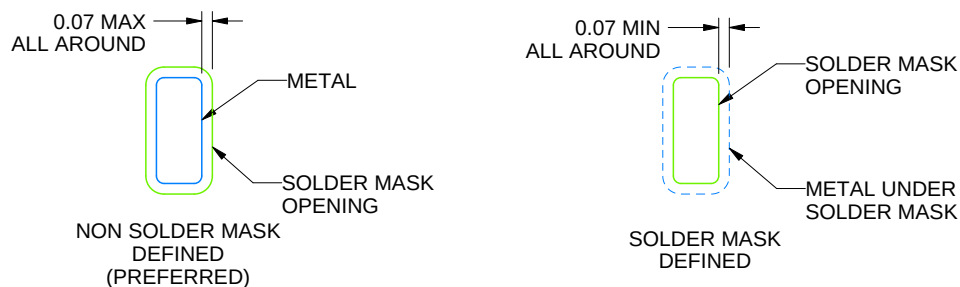
RTD0064N

VQFN - 0.9 mm max height

PLASTIC QUAD FLATPACK - NO LEAD



LAND PATTERN EXAMPLE
SCALE:8X



SOLDER MASK DETAILS

4226371/A 11/2020

NOTES: (continued)

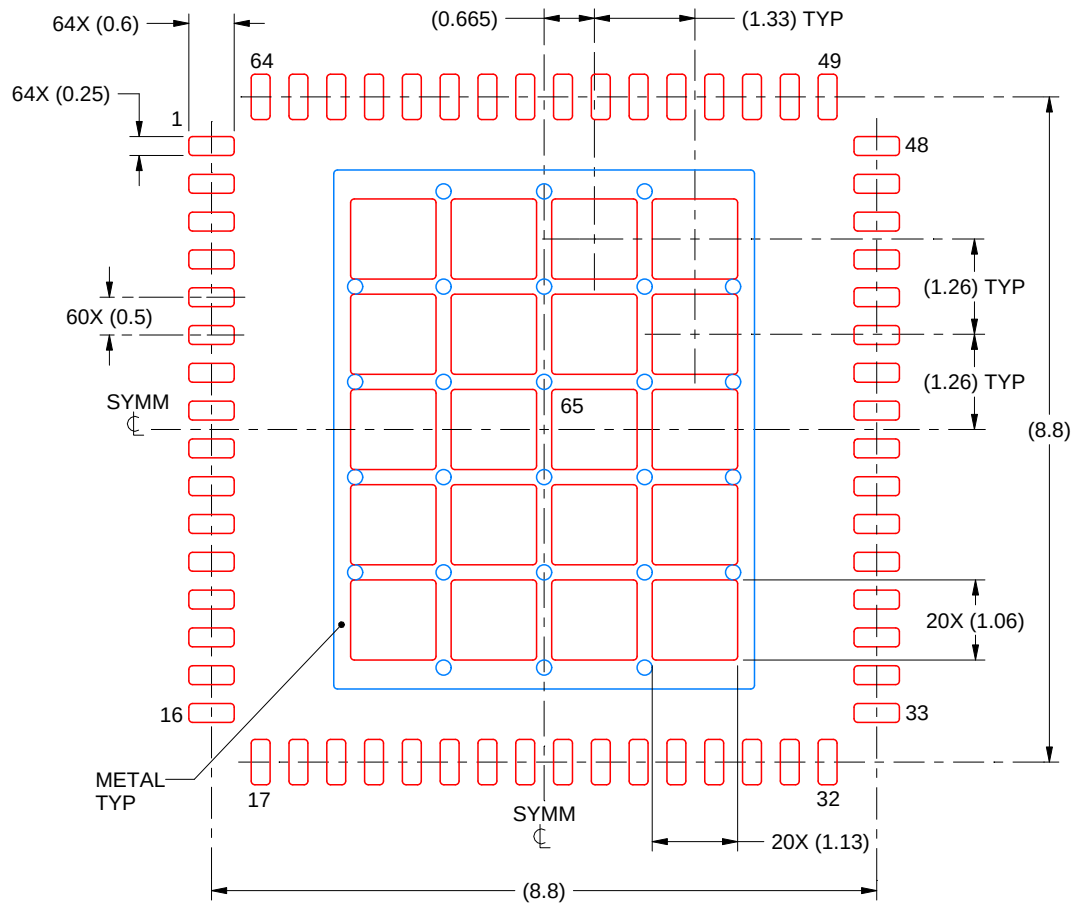
4. This package is designed to be soldered to a thermal pad on the board. For more information, see Texas Instruments literature number SLUA271 (www.ti.com/lit/sluea271).
5. Vias are optional depending on application, refer to device data sheet. If any vias are implemented, refer to their locations shown on this view. It is recommended that vias under paste be filled, plugged or tented.

EXAMPLE STENCIL DESIGN

RTD0064N

VQFN - 0.9 mm max height

PLASTIC QUAD FLATPACK - NO LEAD



4226371/A 11/2020

NOTES: (continued)

6. Laser cutting apertures with trapezoidal walls and rounded corners may offer better paste release. IPC-7525 may have alternate design recommendations.

重要なお知らせと免責事項

TI は、技術データと信頼性データ (データシートを含みます)、設計リソース (リファレンス デザインを含みます)、アプリケーションや設計に関する各種アドバイス、Web ツール、安全性情報、その他のリソースを、欠陥が存在する可能性のある「現状のまま」提供しており、商品性および特定目的に対する適合性の黙示保証、第三者の知的財産権の非侵害保証を含むいかなる保証も、明示的または黙示的にかかわらず拒否します。

これらのリソースは、TI 製品を使用する設計の経験を積んだ開発者への提供を意図したものです。(1) お客様のアプリケーションに適した TI 製品の選定、(2) お客様のアプリケーションの設計、検証、試験、(3) お客様のアプリケーションに該当する各種規格や、その他のあらゆる安全性、セキュリティ、規制、または他の要件への確実な適合に関する責任を、お客様のみが単独で負うものとし、TI は一切の責任を拒否します。

上記の各種リソースは、予告なく変更される可能性があります。これらのリソースは、リソースで説明されている TI 製品を使用するアプリケーションの開発の目的でのみ、TI はその使用をお客様に許諾します。これらのリソースに関して、他の目的で複製することや掲載することは禁止されています。TI や第三者の知的財産権のライセンスが付与されている訳ではありません。お客様は、これらのリソースを自身で使用した結果発生するあらゆる申し立て、損害、費用、損失、責任について、TI およびその代理人を完全に補償するものとし、TI は一切の責任を拒否します。

TI の製品は、[TI の販売条件](#)、[TI の総合的な品質ガイドライン](#)、[ti.com](#) または TI 製品などに関連して提供される他の適用条件に従い提供されます。TI がこれらのリソースを提供することは、適用される TI の保証または他の保証の放棄の拡大や変更を意味するものではありません。TI がカスタム、またはカスタマー仕様として明示的に指定していない限り、TI の製品は標準的なカタログに掲載される汎用機器です。

お客様がいかなる追加条項または代替条項を提案する場合も、TI はそれらに異議を唱え、拒否します。

Copyright © 2025, Texas Instruments Incorporated

最終更新日：2025 年 10 月