ADC3664-SP 放射線耐性保証、14 ビット、デュアル チャネル、1～125MSPS、低レイテンシ、低ノイズ、超低消費電力の A/D コンバータ (ADC)

1 特長

- スクリーニングと耐放射線特性
  - QMLV スクリーニングと信頼性保証
  - 吸収線量 (TID):300krad (Si)
  - シングル イベント ラッチアップ (SEL):75MeV-cm^2/mg
- 周囲温度範囲:-55℃～105℃
- デュアル チャネル ADC
- 14 ビット 125MSPS
- ノイズ・フロア: -156.9dBFS/Hz
- 低消費電力:100mW/チャネル
- レイテンシ:2 クロック サイクル
- クロック レートと電圧リファレンスとの関係:
  - 外部リファレンス:1MSPS～125MSPS
  - 内部リファレンス:100MSPS～125MSPS
- 14 ビット、ミッシングコードなし
- 入力帯域幅:200MHz (-3dB)
- INL:±2.6LSB、DNL:±0.9LSB
- オプションのデジタル降圧コンバータ (DDC):
  - 実数または複素数のデシメーション
  - デシメーション比:2、4、8、16、32
  - 32 ビット NCO
- シリアル LVDS (SLVDS) インターフェイス (2 線式、1 線式、
  1/2 線式)
- スペクトル性能 (F_{IN} = 5MHz):
  - 信号対雑音比:77.5dBFS
  - SFDR:84dBc HD2、HD3
  - HD23 以外:91dBc

2 アプリケーション

- 光学画像処理ペイロード
- レーダー画像処理ペイロード
- 衛星通信ペイロード

3 説明

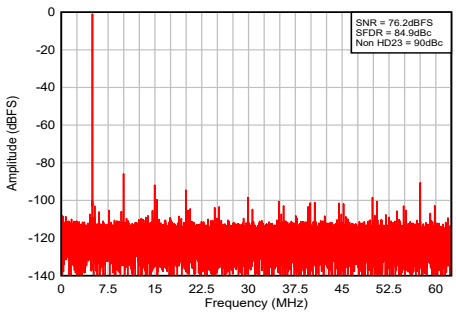
ADC3664-SP は、低レイテンシ、低ノイズ、超低消費電力、14 ビット、125MSPS の高速デュアル チャネル A/D コンバータ (ADC) です。最善のノイズ性能を実現するように設計されており、このデバイスは、ノイズ スペクトル密度 -156.9dBFS/Hz で、優れた直線性とダイナミック レンジを備えています。ADC3664-SP は IF サンプリングをサポートすると共に DC 精度を達成しているため、幅広いアプリケーションの設計が可能になります。低レイテンシ アーキテクチャ (最小 1 クロック サイクル レイテンシ) と高いサンプル レートにより、高速な制御ループも実現できます。この ADC の消費電力は 1 チャネルあたりわずか 100mW (125MSPS 時) であり、サンプリング レートにより、消費電力を良好に増減できます。

このデバイスは、シリアル LVDS (SLVDS) インターフェイスを使用してデータを出力し、デジタル相互接続の数を最小限に抑えます。このデバイスは、デジタル降圧コンバータ (DDC) も内蔵しており、データ レートの低減とシステムの消費電力の低減に役立ちます。このデバイスは、18 ビット、65MSPS ADC3683-SP とピン互換です。本デバイスは 64 ピンの CFP パッケージ (10.9mm x 10.9mm) で供給され、−55℃～+105℃の温度範囲をサポートしています。

製品情報

部品番号	グレード	パッケージ (1)
5962F2320501VXC	放射線耐性保証 QML-V	10.9mm x 10.9mm 64 ピン セラミック フラット パック (HBP)
ADC3664HBP/EM(2)	エンジニアリング モデル、ノン フライト プロトタイプ作業用	

(1) 詳細については、セクション 12 を参照してください。
(2) これらのユニットは、技術的な評価のみを目的としています。規格に準拠したフローを実施していません (そのため、バーンインはなく、25℃テストのみなど)。さらにこれらのユニットは、認定、量産、放射線テスト、航空での使用には適していません。部品は、温度または動作寿命全体にわたる性能を保証されていません。



シングル トーン スペクトル、F_s = 125MSPS、F_{in} = 5MHz

このリソースの元の言語は英語です。翻訳は概要を便宜的に提供するもので、自動化ツール (機械翻訳) を使用していることがあり、TI では翻訳の正確性および妥当性につきましては一切保証いたしません。実際の設計などの前には、ti.com で必ず最新の英語版をご参照くださいますようお願いいたします。

目次

1 特長.... 1
2 アプリケーション.... 1
3 説明.... 1
4 ピン構成および機能.... 3
5 仕様.... 5
5.1 絶対最大定格.... 5
5.2 ESD 定格.... 5
5.3 推奨動作条件.... 5
5.4 熱に関する情報.... 5
5.5 電気的特性 - 消費電力.... 7
5.6 電気的特性 - DC 仕様.... 8
5.7 電気的特性 - AC 仕様.... 10
5.8 タイミング要件.... 11
5.9 代表的特性.... 13
6 パラメータ測定情報.... 18
7 詳細説明.... 21
7.1 概要.... 21
7.2 機能ブロック図.... 21
7.3 機能説明.... 22
7.4 デバイスの機能モード.... 44
7.5 プログラミング.... 45
8 アプリケーション情報に関する免責事項.... 63
8.1 アプリケーション情報.... 63
8.2 代表的なアプリケーション.... 63
8.3 初期化セットアップ.... 64
8.4 電源に関する推奨事項.... 65
8.5 レイアウト.... 66
9 デバイスおよびドキュメントのサポート.... 68
9.1 ドキュメントの更新通知を受け取る方法.... 68
9.2 サポート・リソース.... 68
9.3 商標.... 68
9.4 静電気放電に関する注意事項.... 68
9.5 用語集.... 68
10 改訂履歴.... 68
11 メカニカル、パッケージ、および注文情報.... 68
11.1 メカニカル データ.... 69

Copyright © 2025 Texas Instruments Incorporated

4 ピン構成および機能

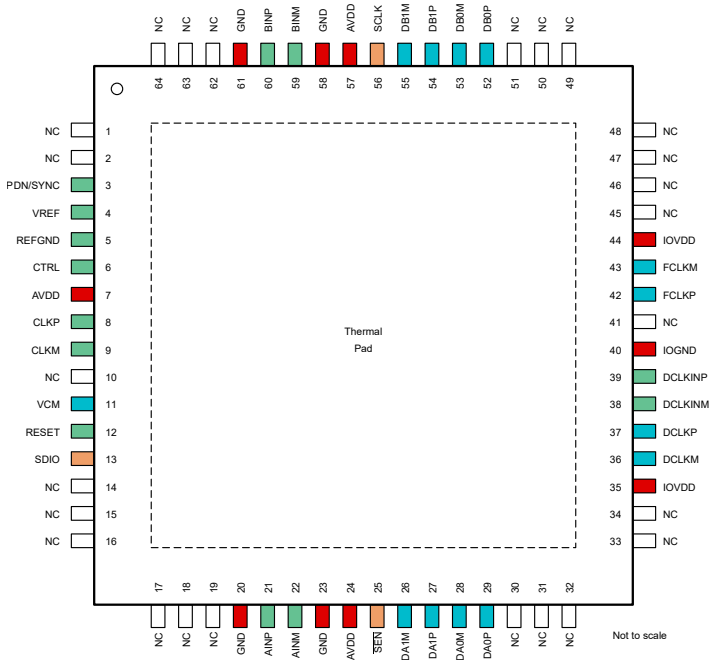


図 4-1. HBP パッケージ、64 ピン CFP (上面図)

表 4-1. ピンの機能

ピン		タイプ	説明
名称	番号		
入力			
AINP	21	I	ADC A の正アナログ入力
AINM	22	I	ADC A の負アナログ入力
BINP	60	I	ADC B の正アナログ入力
BINM	59	I	ADC B の負アナログ入力
CLKP	8	I	ADC A と B の正のサンプリング クロック入力
CLKM	9	I	ADC A および B の負のサンプリング クロック入力
VREF	4	I	外部、1.6V、電圧リファレンス入力
REFGND	5	I	電圧リファレンス グランド。このピンは、内部リファレンス モードでも外部リファレンス モードでも、VREF 入力の近くにデカップリング コンデンサを近接配置できるようにします。
CTRL	6	I	このピンを使用して、電源投入時にデフォルトのサンプリング クロック タイプと電圧リファレンス ソースを構成します (セクション 7.5.1 を参照)。AVDD に対して内部に 100kΩ のプルアップ抵抗があります。
PDN/同期	3	I	デュアル目的、アクティブ High、ピン。このピンは、デバイスのパワーダウン状態または同期入力を制御するように構成できます。このピン機能は SPI により構成できます (デフォルトの機能は PDN)。このピンには、内部に 21kΩ プルダウン抵抗があります。
リセット	12	I	アクティブ High リセット ピン。このピンには、内部に 21kΩ プルダウン抵抗があります。
DCLKINP	39	I	インターフェイス クロックの正入力。このピンは、内部の 100Ω 終端抵抗を経由して DCLKINM に接続します。
DCLKINM	38	I	インターフェイス クロックの負入力。このピンは、100Ω の内部終端抵抗を経由して DCLKINP に接続します。
出力			

表 4-1. ピンの機能 (続き)

ピン		タイプ	説明
名称	番号		
DA0P	29	O	インターフェイス レーン A0 の正の出力。
DA0M	28	O	インターフェイス レーン A0 の負の出力。
DA1P	27	O	インターフェイス レーン A1 の正の出力。
DA1M	26	O	インターフェイス レーン A1 の負の出力。
DB0P	52	O	インターフェイス レーン B0 の正の出力。
DB0M	53	O	インターフェイス レーン B0 の負出力
DB1P	54	O	インターフェイス レーン B1 の正の出力。
DB1M	55	O	インターフェイス レーン B1 の負の出力。
DCLKP	37	O	インターフェイス クロックの正の出力。
DCLKM	36	O	インターフェイス クロックの負の出力。
FCLKP	42	O	インターフェイス フレーム クロックの正の出力。
FCLKM	43	O	インターフェイス フレーム クロックの負の出力。
VCM	11	O	アナログ入力への同相電圧出力 (通常 0.95V)。
SPI			
$\overline{\text{SEN}}$	25	I	アクティブ Low の SPI をイネーブル。このピンには、内部に AVDD への 21kΩ プルアップ抵抗があります。
SCLK	56	I	SPI クロック入力。このピンには、内部に 21kΩ プルダウン抵抗があります。
SDIO	13	I/O	SPI データ入力または出力。このピンには、内部に 21kΩ プルダウン抵抗があります。
電源			
AVDD	7、24、57	I	アナログ電源入力、1.8V。
GND	20、23、58、61	I	グランド電源入力、0V。
IOVDD	35、44	I	インターフェイス電源入力、1.8V。
IOGND	40	I	インターフェイス グランド電源入力、0V。
その他			
DAP	DAP	-	ダイ取り付けパッド (サーマル パッド)、GND に接続。
NC	1、2、10、14、15、16、17、18、19、30、31、32、33、34、41、45、46、47、48、49、50、51、62、63、64	-	接続の無いピン。グランドに接続するか、フローティングのまま。(1)

(1) サーマル パッドと上部金属製リッドをピン 17 に接続します。グランドに接続するか、未接続にすることができます。

Copyright © 2025 Texas Instruments Incorporated

5 仕様

5.1 絶対最大定格

自由気流での動作温度範囲内 (特に記述のない限り) [(1)]

パラメータ	テスト条件	最小値	最大値	単位
電源電圧の範囲、AVDD、IOVDD		-0.3	2.1	V
電源電圧の範囲、GND、IOGND、REFGND		-0.3	0.3	V
入力ピンに印加される電圧	AINP/M、BINP/M、CLKP/M、VREF、CTRL	-0.3	MIN(2.1、AVDD+0.3)	V
	PDN/SYNC、RESET、SCLK、$\overline{\text{SEN}}$、SDIO	-0.3	MIN(2.1、AVDD+0.3)	
	DCLKINP / M	-0.3	MIN(2.1、IOVDD+0.3)	
接合部温度、T_J			125	℃
保管温度、T_{stg}		-65	150	℃

(1) 絶対最大定格を上回るストレスが加わった場合、デバイスに永続的な損傷が発生する可能性があります。これらはあくまでもストレス定格であり、*推奨動作条件*に示されている条件を超える当該の条件またはその他のいかなる条件下での、デバイスの正常な動作を保証するものではありません。絶対最大定格の状態が長時間続くと、デバイスの信頼性に影響を与える可能性があります。

5.2 ESD 定格

			値	単位
$V_{(ESD)}$	静電放電	人体モデル (HBM)、ANSI/ESDA/JEDEC JS-001 に準拠、すべてのピン [(1)]	1000	V
		デバイス帯電モデル (CDM)、JEDEC 仕様 JESD22-C101 に準拠、すべてのピン [(2)]	250	

(1) JEDEC ドキュメント JEP155 には、500V HBM であれば標準的な ESD 管理プロセスにより安全な製造が可能であると記載されています。
(2) JEDEC ドキュメント JEP157 には、250V CDM であれば標準的な ESD 管理プロセスにより安全な製造が可能であると記載されています。

5.3 推奨動作条件

自由気流での動作温度範囲内 (特に記述のない限り)

		最小値	公称値	最大値	単位
電源電圧範囲	AVDD[(1)]	1.75	1.8	1.85	V
	IOVDD[(1)]	1.75	1.8	1.85	V
T_A	自由空気での動作温度	-55		105	℃
T_J	動作時接合部温度			105[(2)]	℃

(1) GND を基準として測定されます。
(2) この接合部温度を超えて長時間使用すると、デバイスの時間あたりの故障回数 (FIT) レートが上昇する可能性があります。

5.4 熱に関する情報

熱評価基準[(1)]		ADC3664-SP HBP (CFP) 64 ピン	単位
$R_{\Theta JA}$	接合部から周囲への熱抵抗	28.4	℃/W
$R_{\Theta JC(top)}$	接合部からケース (上面) への熱抵抗	12.0	℃/W
$R_{\Theta JB}$	接合部から基板への熱抵抗	14.1	℃/W
Ψ_{JT}	接合部から上面への特性パラメータ	7.8	℃/W
Ψ_{JB}	接合部から基板への特性パラメータ	13.8	℃/W

5.4 熱に関する情報 (続き)

熱評価基準[1]		ADC3664-SP HBP (CFP) 64 ピン	単位
$R_{\Theta JC(bot)}$	接合部からケース (底面) への熱抵抗	7.0	°C/W

(1) 従来および新しい熱特性の詳細については、『半導体および IC パッケージの熱測定値』アプリケーション レポート、SPRA953 を参照してください。

Copyright © 2025 Texas Instruments Incorporated

5.5 電気的特性 - 消費電力

標準値は、T_A = 25℃、全温度範囲は T_{MIN} = –55℃～T_{MAX} = 105℃、ADC サンプリング レート= 125MSPS、50% クロック デューティ サイクル、AVDD = IOVDD = 1.8V、1.6V 外部リファレンス、–1dBFS 差動入力 (特に記述のない限り)

パラメータ		テスト条件	最小値	標準値	最大値	単位
ADC3664-SP：125MSPS						
I_{AVDD}	アナログ電源電流	内部基準電圧		72		mA
		外部リファレンス		66	82	
I_{IOVDD}	I/O 電源電流	2 線式		45	72	
P_{DIS}	消費電力	外部リファレンス、2 線式		200	277	mW
I_{IOVDD}	I/O 電源電流	2 線式、1/2 スイング		45		mA
		4 倍の実数デシメーション、1 線式		54		
		4 倍の実数デシメーション、1/2 線式		55		
		16 倍の実数デシメーション、1 線式		49		
		16 倍の実数デシメーション、1/2 線式		49		
		4 倍の複素数デシメーション、1 線式		58		
		16 倍の複素数デシメーション、1 線式		51		
		16 倍の複素数デシメーション、1/2 線式		51		
P_{DIS}	グローバル パワー ダウン モードでの消費電力	デフォルトのマスク設定、内部リファレンス		11		mW
		デフォルトのマスク設定、外部リファレンス		13		

5.6 電気的特性 - DC 仕様

標準値は、T_A = 25℃、全温度範囲は T_{MIN} = –55℃～T_{MAX} = 105℃、ADC サンプリング レート= 125MSPS、50% クロック デューティ サイクル、AVDD = IOVDD = 1.8V、1.6V 外部リファレンス、–1dBFS 差動入力 (特に記述のない限り)

パラメータ		テスト条件	最小値	標準値	最大値	単位
DC 精度						
ミッシング コードなし			14			ビット
PSRR	電源除去比	F_{IN} = 1MHz		35		dB
DNL	微分非直線性	F_{IN} = 5MHz		±0.9	±0.97	LSB
INL	積分非直線性	F_{IN} = 5MHz		±2.6	±9.5	LSB
V_{OS}	入力オフセット			±30	±50	LSB
V_{OS_DRIFT}	オフセットのドリフト			±0.06		LSB/℃
エラー	ゲイン誤差と内部リファレンスの組み合わせ誤差	両方のチャネルに電源が投入されます		±2		%FSR
	ゲイン誤差	両方のチャネルに電源が投入されます		±1.8		%FSR
	ゲイン ドリフト	1.6V 外部リファレンス。		±57		ppm/℃
		内部基準電圧		106		ppm/℃
変換ノイズ				0.7		LSB
ADC アナログ入力 (AINP/M、BINP/M)						
FS	入力フル スケール	差動		3.2		V_{pp}
V_{CM}	入力同相電圧			0.95		V
R_{IN}	入力抵抗	DC で差動		8		kΩ
C_{IN}	入力容量	DC で差動		5.4		pF
V_{OCM}	出力同相電圧			0.95		V
BW	フルパワー アナログ入力帯域幅 (-3dB):			200		MHz
内部基準電圧						
V_{REF}	内部リファレンス電圧			1.6		V
V_{REF} 出力インピーダンス				8		Ω
外部電圧リファレンス						
V_{REF}	外部電圧リファレンス			1.6		V
入力電流				1		mA
入力インピーダンス				5.3		kΩ
クロック入力（CLKP/M）						
入力クロック周波数		外部リファレンス	1		125	MHz
		内部基準電圧	100		125	MHz
V_{ID}	差動入力電圧		0.5	1		V_{pp}
V_{CM}	入力同相電圧			0.9		V
R_{IN}	同相へのシングル エンド入力抵抗			5		kΩ
C_{IN}	シングル エンド入力容量			1.5		pF
クロック デューティ サイクル			45	50	60	%

Copyright © 2025 Texas Instruments Incorporated

5.6 電気的特性 - DC 仕様 (続き)

標準値は、T_A = 25℃、全温度範囲は T_{MIN} = –55℃～T_{MAX} = 105℃、ADC サンプリング レート= 125MSPS、50% クロック デューティ サイクル、AVDD = IOVDD = 1.8V、1.6V 外部リファレンス、–1dBFS 差動入力 (特に記述のない限り)

パラメータ		テスト条件	最小値	標準値	最大値	単位
デジタル入力 (RESET、PDN、SCLK、$\overline{SEN}$、SDIO)						
V_{IH}	High レベル入力電圧		1.5			V
V_{IL}	Low レベル入力電圧				0.3	V
I_{IH}	High レベル入力電流			90	150	µA
I_{IL}	Low レベル入力電流		-150	-90		µA
C_I	入力容量			1.5		pF
デジタル出力 (SDOUT)						
V_{OH}	High レベル出力電圧	I_{LOAD} = -400uA	IOVDD - 0.1	IOVDD		V
V_{OL}	Low レベル出力電圧	I_{LOAD} = 400uA			0.1	V
LVDS レーン速度					1	Gbps
V_{ID}	DCLKIN 差動入力電圧		200	350		mV_{pp}
V_{CM}	DCLKIN 入力同相モード電圧最大値		1.1	1.2	1.3	V
SLVDS インターフェイス						
V_{OD}	差動出力電圧		0.585	700	0.785	mV_{pp}
V_{CM}	出力同相電圧		0.85	1.0	1.15	V

5.7 電気的特性 - AC 仕様

標準値は、T_A = 25℃、全温度範囲は T_{MIN} = –55℃～T_{MAX} = 105℃、ADC サンプリング レート= 125MSPS、50% クロック デューティ サイクル、AVDD = IOVDD = 1.8V、1.6V 外部リファレンス、–1dBFS 差動入力 (特に記述のない限り)

パラメータ		テスト条件	最小値	標準値	最大値	単位
NSD	ノイズ スペクトル密度	F_{IN} = 5MHz、A_{IN} = -20dBFS		-156.9		dBFS/Hz
SNR	信号対雑音比	F_{IN} = 5MHz	70	77.5		dBFS
		F_{IN}= 5MHz、A_{IN} = -20dBFS		78.9		dBFS
		F_{IN} = 10MHz		77.6		
		F_{IN} = 40MHz		76.9		
		F_{IN} = 70MHz		75.5		
		F_{IN} = 100MHz		74.1		
SINAD	信号対雑音歪み比	F_{IN} = 5MHz		75.7		dBFS
		F_{IN} = 10MHz		74.2		
		F_{IN} = 40MHz		72.6		
		F_{IN} = 70MHz		71.3		
		F_{IN} = 100MHz		72.4		
ENOB	有効ビット数	F_{IN} = 5MHz		12.6		ビット
		F_{IN} = 10MHz		12.6		
		F_{IN} = 40MHz		12.5		
		F_{IN} = 70MHz		12.3		
		F_{IN} = 100MHz		12.0		
THD	全高調波歪み (最初の 5 つの高調波)	F_{IN} = 5MHz	68	80		dBc
		F_{IN} = 10MHz		76		
		F_{IN} = 40 =MHz		74		
		F_{IN} = 70MHz		72		
		F_{IN} = 100MHz		76		
HD2	2 次高調波歪	F_{IN} = 5MHz	72.5	84		dBc
		F_{IN} = 10MHz		78		
		F_{IN} = 40MHz		75		
		F_{IN} = 70MHz		77		
		F_{IN} = 100MHz		79		
HD3	3 次高調波歪	F_{IN} = 5MHz	69.5	84		dBc
		F_{IN} = 10MHz		81		
		F_{IN} = 40MHz		88		
		F_{IN} = 70MHz		76		
		F_{IN} = 100MHz		81		
Non HD2,3	スプリアス フリー ダイナミック レンジ (HD2 と HD3 を除く)	F_{IN} = 5MHz	77	92		dBFS
		F_{IN} = 10MHz		93		
		F_{IN} = 40MHz		89		
		F_{IN} = 70MHz		84		
		F_{IN} = 100MHz		86		
IMD3	2 トーンの相互変調歪み	F_1 = 10MHz、F_2 = 12MHz、A_{IN} = -7dBFS/tone		88		dBc

Copyright © 2025 Texas Instruments Incorporated

5.8 タイミング要件

特に記述のない限り、T_A = 25℃ における標準値、最小および最大のタイミング値は、T_{MIN} = –55℃～T_{MAX} = 105℃ の全温度範囲で特性評価されていますが、生産試験は行われていません。その他の条件として、ADC サンプリング レート = 125MSPS、クロック デューティ比 = 50%、AVDD = IOVDD = 1.8 V、外部リファレンス = 1.6 V、入力信号 = –1dBFS の差動入力

パラメータ		テスト条件	最小値	公称値	最大値	単位
ADC タイミング仕様						
t_{AD}	アパーチャ遅延			0.85		ns
t_A	アパーチャ ジッタ	高速エッジ付き方形波クロック		250		fs
t_{ACQ}	サンプリング クロックの立ち下がりエッジを基準とする信号収集期間			$-T_S/4$		サンプリング クロック周期
t_{CONV}	サンプリング クロックの立ち下がりエッジを基準とする信号変換時間			6		ns
ウェークアップ時間	パワー ダウンから出た後の有効なデータに対する時間。	1.6V 外部基準電圧、差動クロック			100	µs
$t_{S,SYNC}$	同期入力信号のセットアップ時間	サンプリング クロックの立ち上がりエッジを基準	500			ps
$t_{H,SYNC}$	同期入力信号のホールド時間	サンプリング クロックの立ち上がりエッジを基準	600			ps
ADC レイテンシ	データ出力への信号入力	1/2 線式 SLVDS		1		クロック サイクル
		1 線式 SLVDS		1		クロック サイクル
		2 線式 SLVDS		2		クロック サイクル
		2 倍 による実数のデシメーション		21		出力クロック サイクル
		2 倍による複素数デシメーション		22		出力クロック サイクル
		4 倍、8 倍、16 倍、32 倍による実数または複素数のデシメーション		23		出力クロック サイクル

5.8 タイミング要件 (続き)

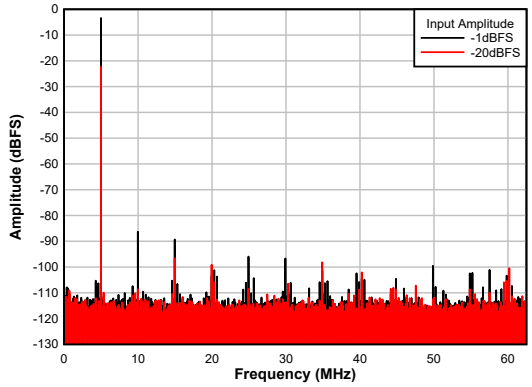
特に記述のない限り、T_A = 25℃ における標準値、最小および最大のタイミング値は、T_{MIN} = –55℃～T_{MAX} = 105℃ の全温度範囲で特性評価されていますが、生産試験は行われていません。その他の条件として、ADC サンプリング レート = 125MSPS、クロック デューティ比 = 50%、AVDD = IOVDD = 1.8 V、外部リファレンス = 1.6 V、入力信号 = –1dBFS の差動入力

パラメータ		テスト条件	最小値	公称値	最大値	単位
インターフェイス タイミング : シリアル LVDS インターフェイス						
t_{PD}	伝搬遅延 : サンプリング クロックの立ち下がりエッジから DCLK 立ち上がりエッジまで	サンプリング クロックの立ち下がりエッジから DCLKIN 立ち下がりエッジまでの遅延 < 2.5ns。 T_{DCLK} = DCLK 期間 t_{CDCLK} = サンプリング クロック立ち下がりエッジから DCLKIN 立ち下がりエッジまで	2 + T_{DCLK} + t_{CDCLK}	3 + T_{DCLK} + t_{CDCLK}	4 + T_{DCLK} + t_{CDCLK}	ns
		サンプリング クロックの立ち下がりエッジから DCLKIN 立ち下がりエッジまでの遅延 >= 2.5ns。 T_{DCLK} = DCLK 期間 t_{CDCLK} = サンプリング クロック立ち下がりエッジから DCLKIN 立ち下がりエッジまで	2 + t_{CDCLK}	3 + t_{CDCLK}	4 + t_{CDCLK}	
t_{CD}	DCLK の立ち上がりエッジから出力データが有効になるまでの遅延時間	F_{out} = 65MSPS、データ レート= 455MBPS、2 線式	0	0.1	0.3	ns
		F_{out} = 125MSPS、データ レート= 875MBPS、2 線式	-0.2	0.1	0.3	
		F_{out} = 65MSPS、データ レート= 910MBPS、1 線式	0	0.1	0.3	
t_{DV}	データの有効性	F_{out} = 65MSPS、データ レート= 455MBPS、2 線式	1.8	1.9	2	ns
		F_{out} = 125MSPS、データ レート= 875MBPS、2 線式	0.6	0.8	0.9	
		F_{out} = 65MSPS、データ レート= 910MBPS、1 線式	0.6	0.8	0.9	
シリアル プログラミング インターフェイス (SCLK、$\overline{SEN}$、SDIO) - 入力						
$f_{CLK(SCLK)}$	シリアル クロック周波数				20	MHz
$t_{SU(\overline{SEN})}$	SCLK の立ち上がりエッジへの $\overline{SEN}$				10	ns
$t_{H(\overline{SEN})}$	SCLK の立ち上がりエッジからの $\overline{SEN}$				17	
$t_{SU(SDIO)}$	SCLK の立ち上がりエッジへの SDIO				17	
$t_{H(SDIO)}$	SCLK の立ち上がりエッジからの SDIO				10	
シリアル プログラミング インターフェイス (SDIO) - 出力						
$t_{(OZD)}$	SDIO HiZ から LoZ				19	ns
$t_{(ODZ)}$	SDIO LoZ から HiZ				17	
$t_{(OD)}$	SCLK の立ち下がりエッジから SDIO データが有効になるまでの遅延時間				19	

Copyright © 2025 Texas Instruments Incorporated

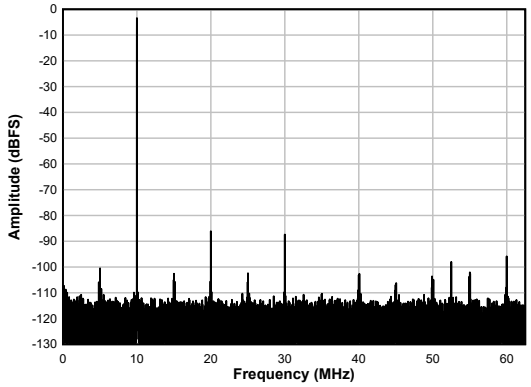
5.9 代表的特性

T_A = 25°C の標準値、ADC サンプリング レート = 125MSPS、F_{IN} = 5MHz、A_{IN} = –1dBFS 差動入力、AVDD = IOVDD = 1.8V、1.6V 外部電圧リファレンス (特に記述のない限り)。



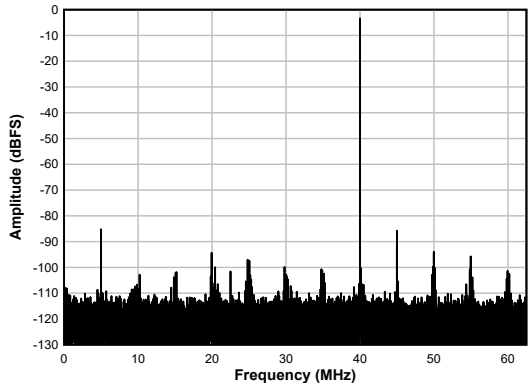
SNR = 77.2dBFS、SFDR = 82.9dBc、Non HD23 = 93.2dBc
-20dBFS: SNR = 78.5dBFS、SFDR = 74.1dBc、Non HD23 = 75.6dBc

図 5-1. F_{IN} = 5MHz、A_{IN} = -1、-20dBFS でのシングル トーン スペクトル



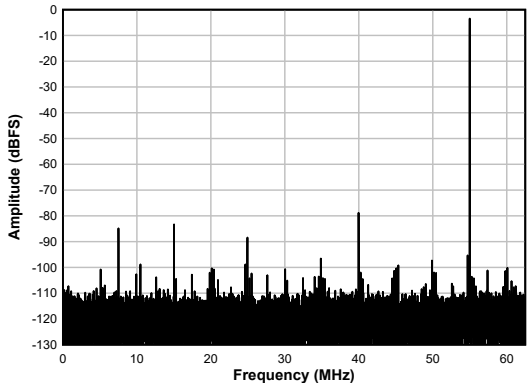
SNR = 77.1dBFS、SFDR = 82.8dBc、Non HD23 = 92.4dBc

図 5-2. F_{IN} = 10MHz でのシングル トーン スペクトラム



SNR = 75.8dBFS、SFDR = 81.7dBc、Non HD23 = 90.8dBc

図 5-3. F_{IN} = 40MHz でのシングル トーン スペクトラム

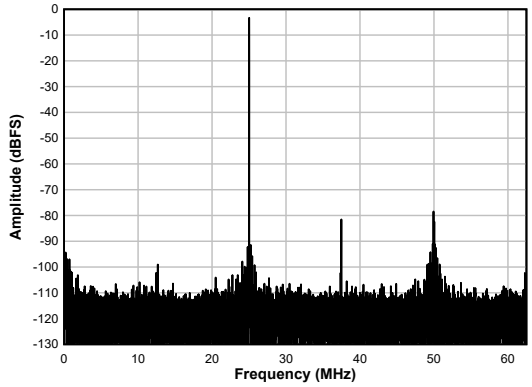


SNR = 74.1dBFS、SFDR = 75.5dBc、Non HD23 = 81.4dBc

図 5-4. F_{IN} = 70MHz でのシングル トーン スペクトラム

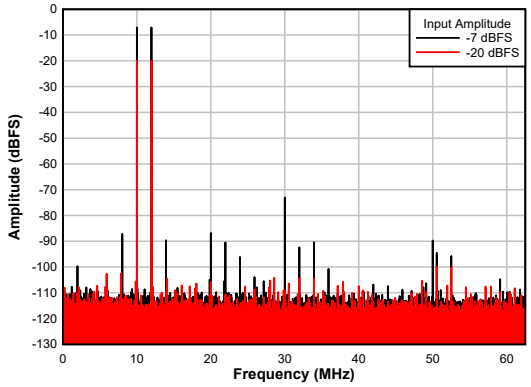
5.9 代表的特性 (続き)

T_A = 25°C の標準値、ADC サンプリング レート = 125MSPS、F_{IN} = 5MHz、A_{IN} = –1dBFS 差動入力、AVDD = IOVDD = 1.8V、1.6V 外部電圧リファレンス (特に記述のない限り)。



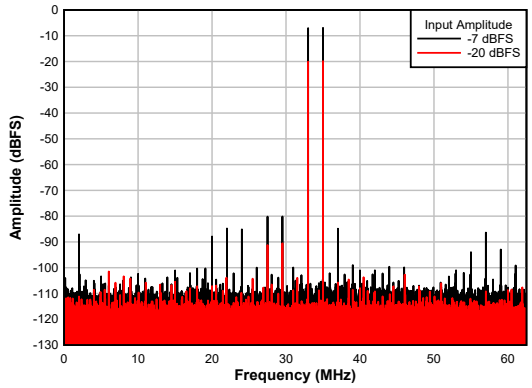
SNR = 72.1dBFS、SFDR = 75dBc、Non HD23 = 78.1dBc

図 5-5. F_{IN} = 100MHz でのシングル トーン スペクトラム



-7dBFS: IMD3 = 80.1dBc
-20dBFS: IMD3 = 89.6dBc

図 5-6. F_{IN} = 10/12MHz、A_{IN} = –7、-20dBFS/トーン での 2 つのトーン スペクトラム



-7dBFS: IMD3 = 77.8dBc
-20dBFS: IMD3 = 85.7dBc

図 5-7. F_{IN} = 90/92MHz、A_{IN} = -7 and -20dBFS/ トーンでの 2 つのトーン スペクトラム

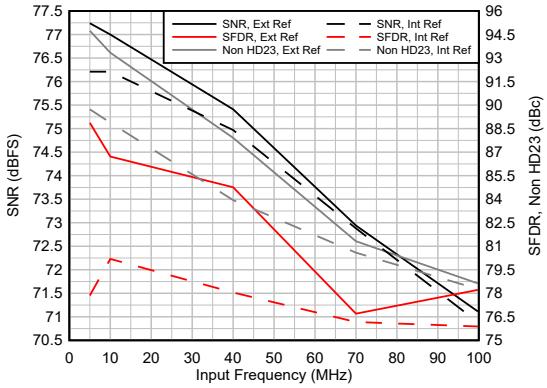


図 5-8. AC 性能と入力周波数との関係

Copyright © 2025 Texas Instruments Incorporated

5.9 代表的特性 (続き)

T_A = 25°C の標準値、ADC サンプリング レート = 125MSPS、F_{IN} = 5MHz、A_{IN} = –1dBFS 差動入力、AVDD = IOVDD = 1.8V、1.6V 外部電圧リファレンス (特に記述のない限り)。

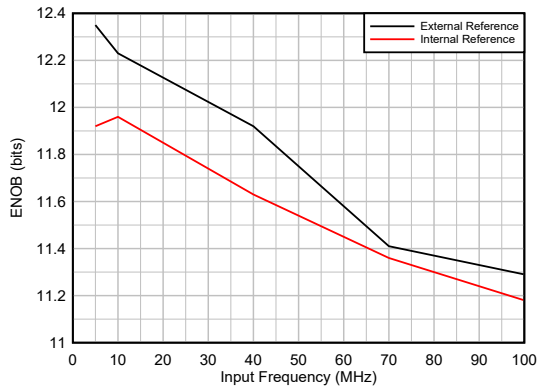
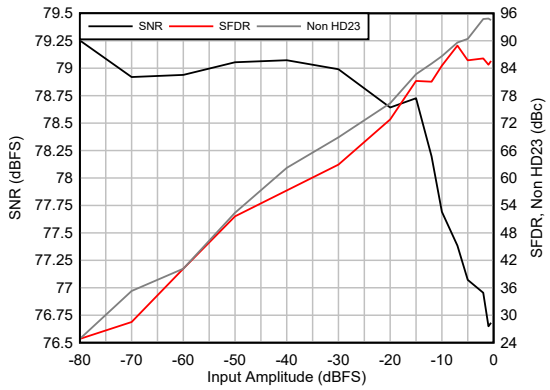
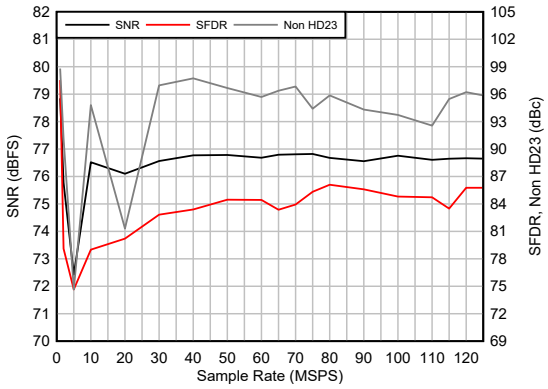


図 5-9. ENOB と入力周波数との関係



F_{IN} = 5MHz

図 5-10. AC 性能と入力振幅との関係



F_{IN} = 5MHz

図 5-11. AC 性能とサンプリング レートとの関係

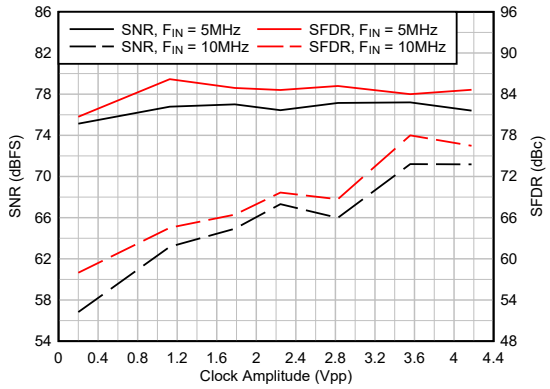
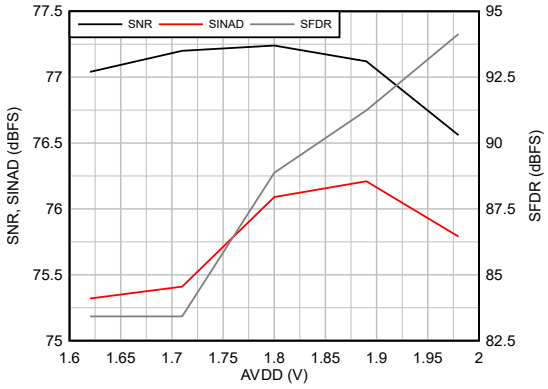


図 5-12. AC 性能とクロック振幅との関係



F_{IN} = 5MHz

図 5-13. AC 性能と AVDD との関係

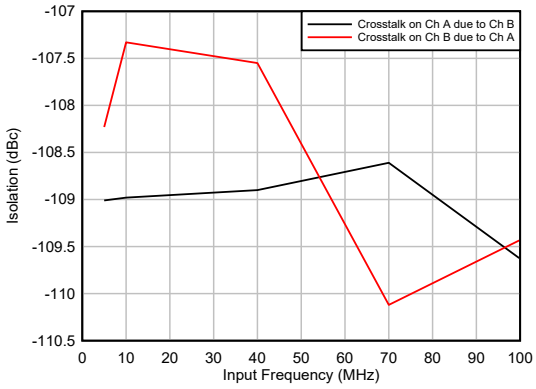


図 5-14. 絶縁と入力周波数との関係

5.9 代表的特性 (続き)

T_A = 25°C の標準値、ADC サンプリング レート = 125MSPS、F_{IN} = 5MHz、A_{IN} = –1dBFS 差動入力、AVDD = IOVDD = 1.8V、1.6V 外部電圧リファレンス (特に記述のない限り)。

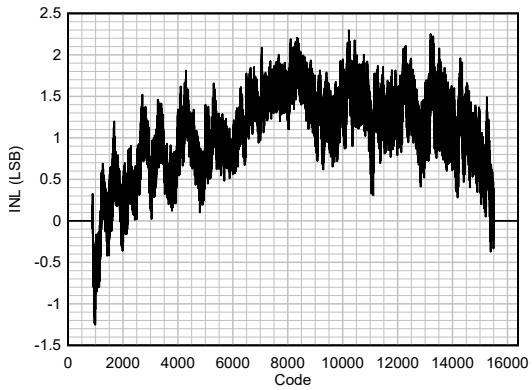


図 5-15. INL とコードとの関係

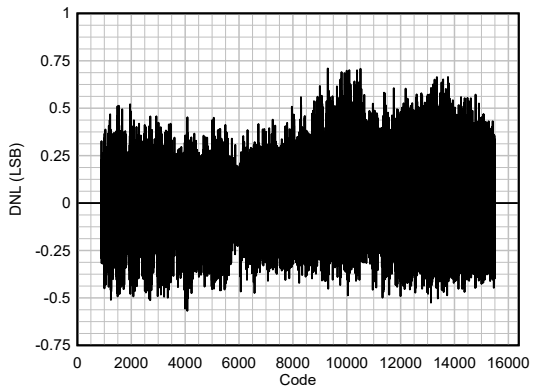
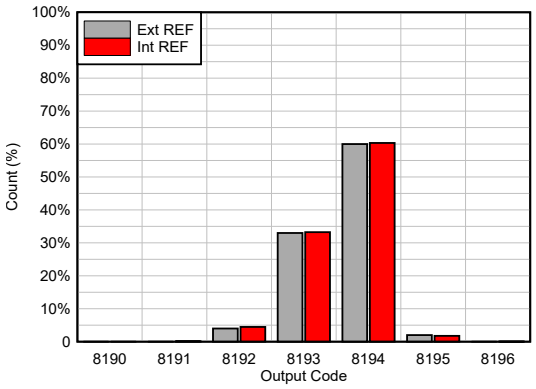
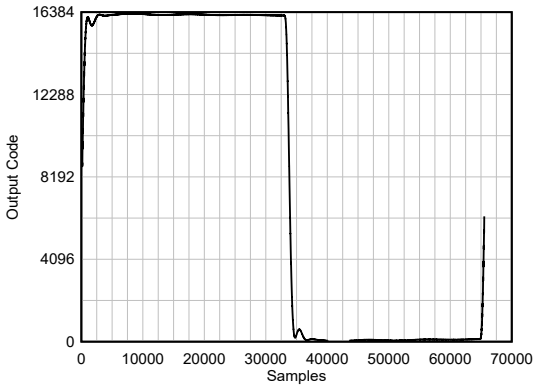


図 5-16. DNL とコードとの関係



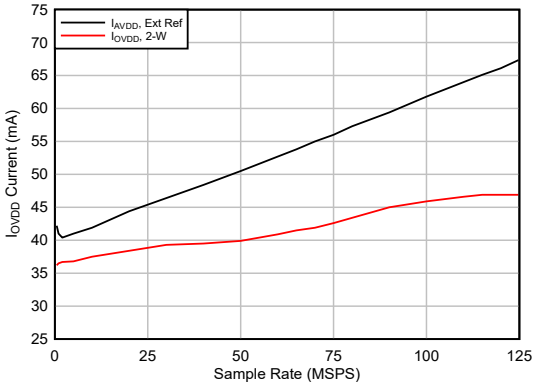
最大入力信号

図 5-17. DC オフセット ヒストグラム



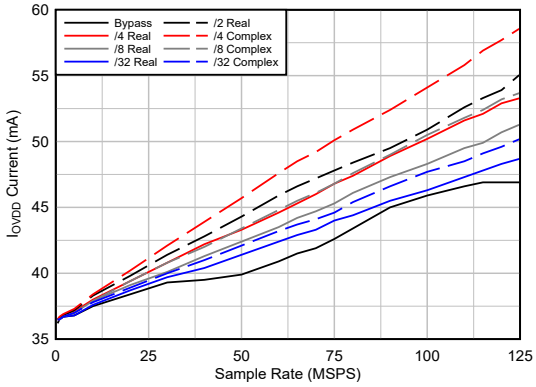
1MHz 方形波のカバーを装着していません

図 5-18. パルス応答



F_{IN} = 5MHz、DDC バイパス

図 5-19. 電流とサンプリング レートとの関係



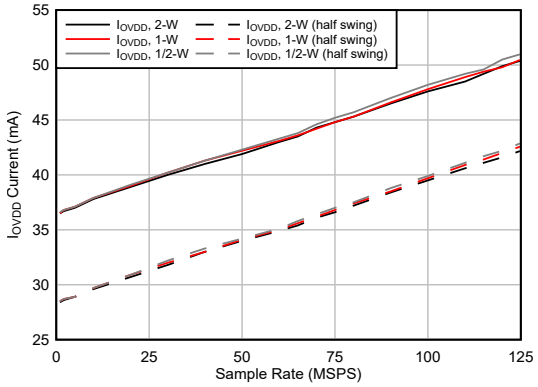
F_{IN} = 5MHz、2 線式

図 5-20. I_{IOVDD} 電流とデシメーションとの関係

Copyright © 2025 Texas Instruments Incorporated

5.9 代表的特性 (続き)

T_A = 25°C の標準値、ADC サンプリング レート = 125MSPS、F_{IN} = 5MHz、A_{IN} = –1dBFS 差動入力、AVDD = IOVDD = 1.8V、1.6V 外部電圧リファレンス (特に記述のない限り)。



F IN = 5MHz、32 による複素数デシメーション

図 5-21. I_{IOVDD} 電流と出力インターフェイスとの関係

6 パラメータ測定情報

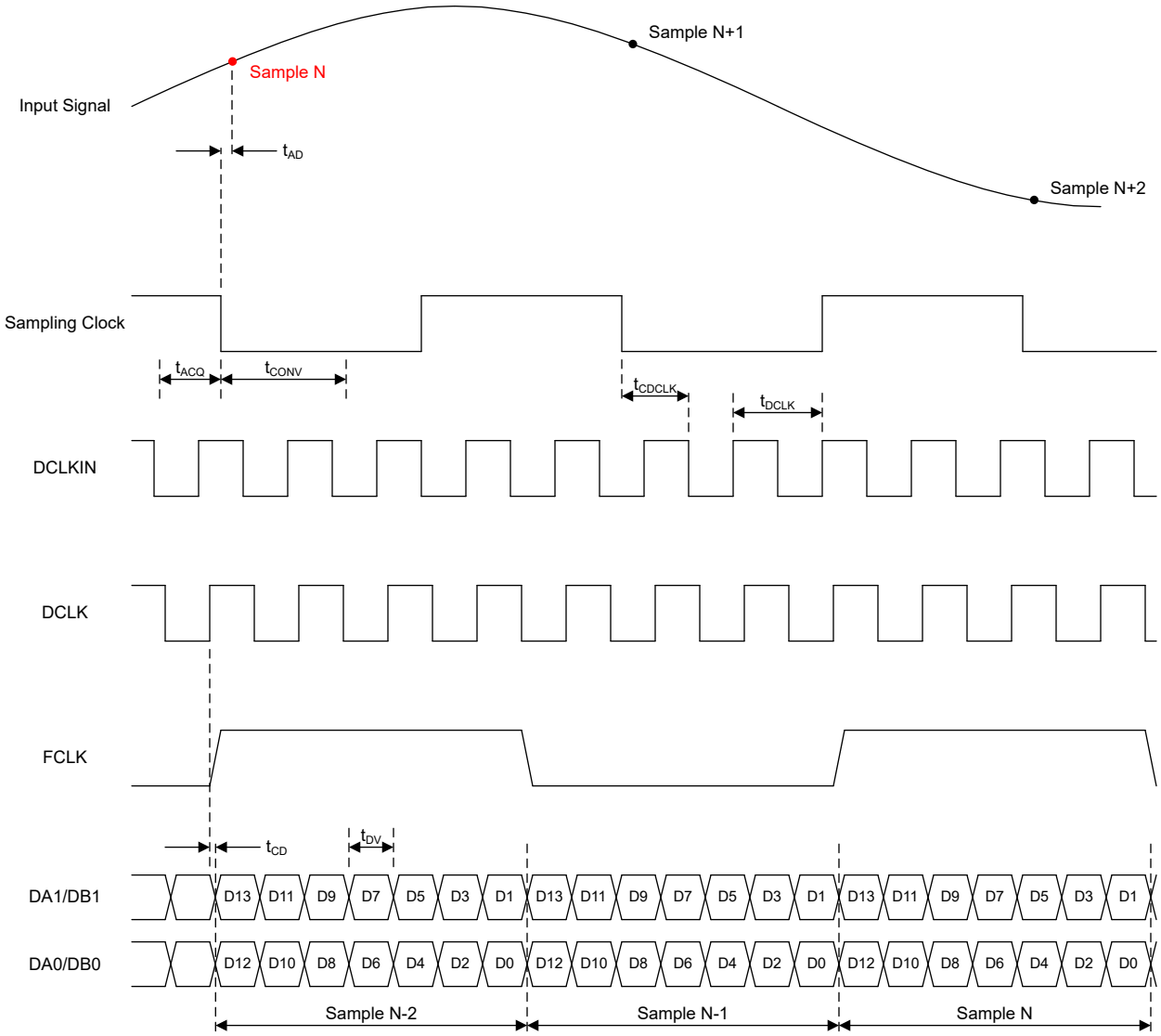


図 6-1. タイミング図：2 線式

Copyright © 2025 Texas Instruments Incorporated

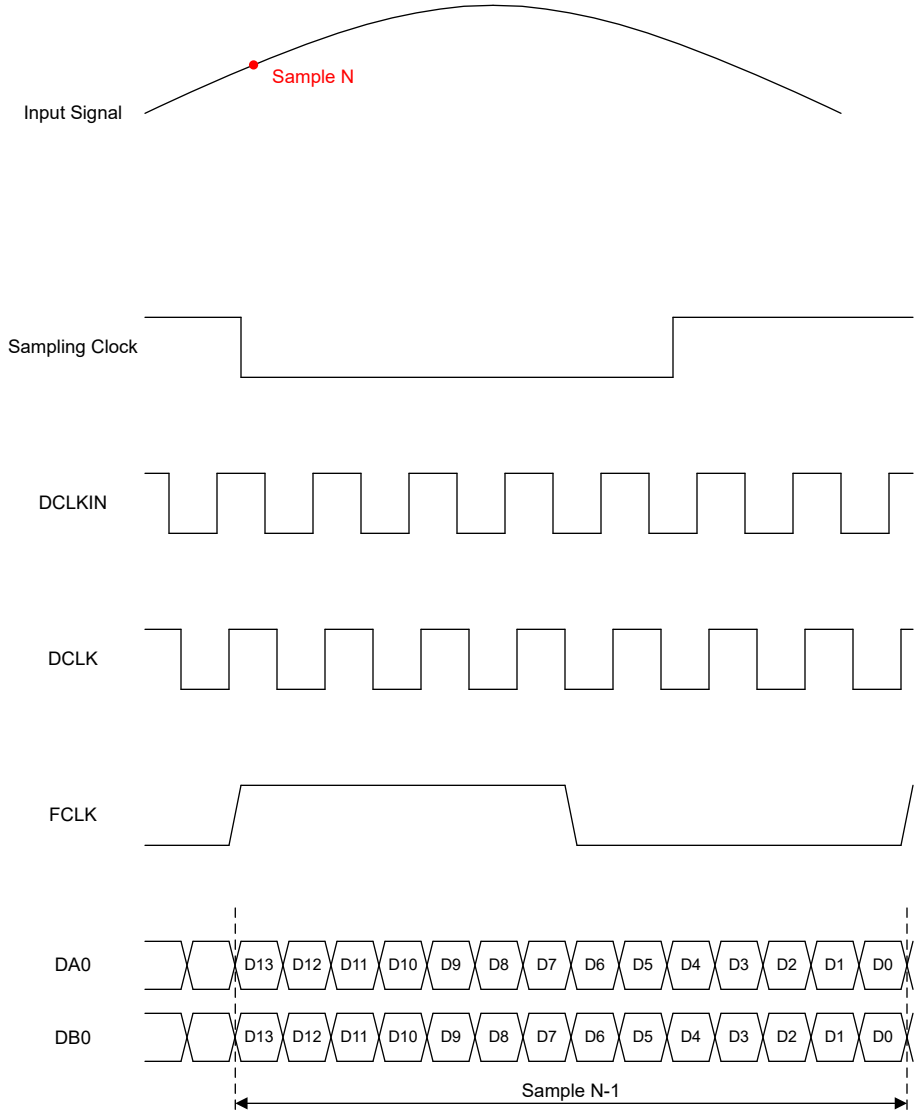


図 6-2. タイミング図：1 線式

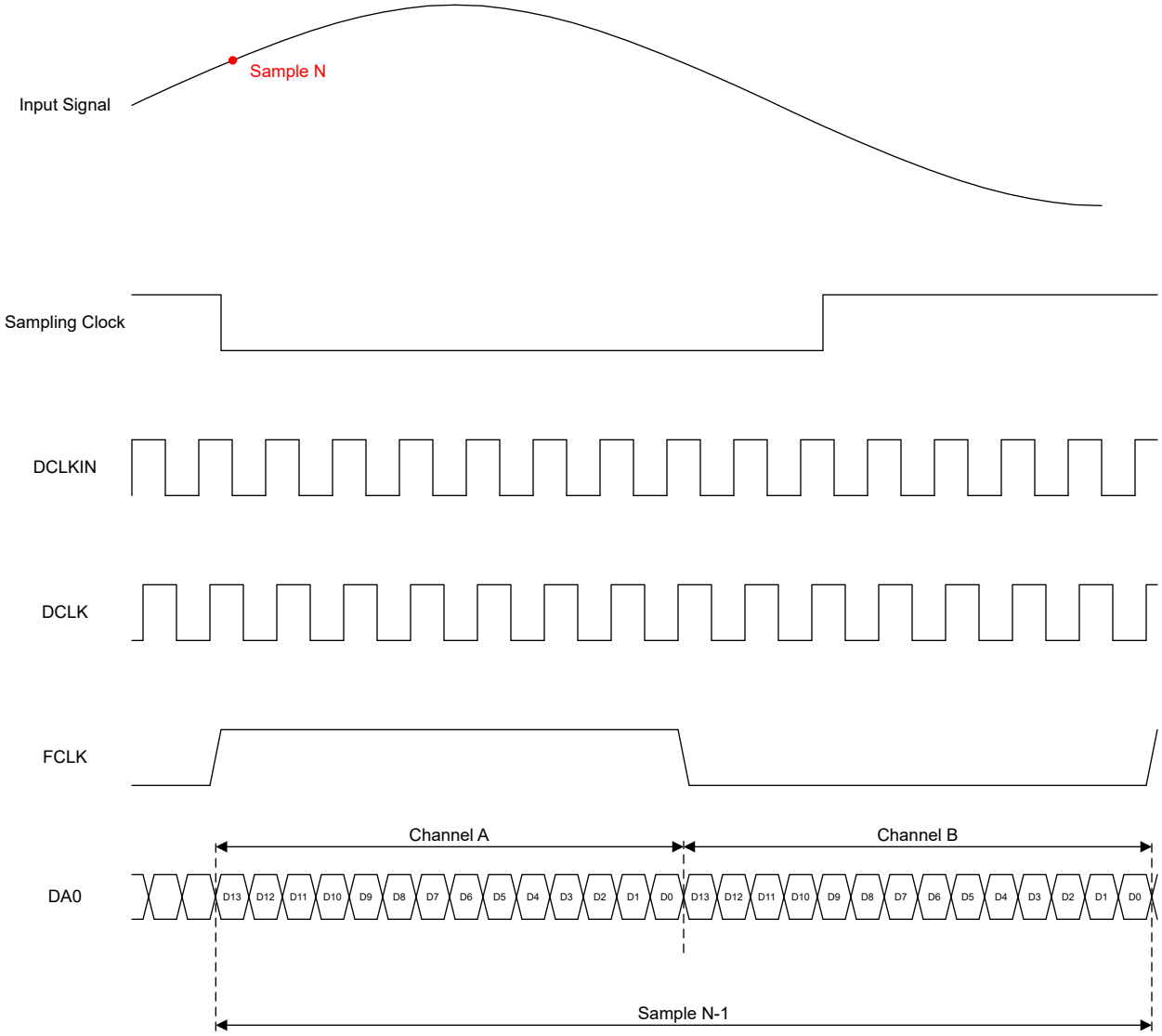


図 6-3. タイミング図：1/2 線式

Copyright © 2025 Texas Instruments Incorporated

7 詳細説明

7.1 概要

ADC3664-SP は、低レイテンシ、低ノイズ、超低消費電力の 14 ビット高速デュアル チャネル ADC であり、最大サンプリング レート 125MSPS は、総電離線量 (TID) が 300krad (Si) 未満で、シングル イベント ラッチアップ (SEL) が 75MeV-cm^2/mg 未満のミッション プロファイルを持つ宇宙用途での使用を想定しています ADC には内部リファレンス オプションがあり、高精度の外部 1.6V リファレンスの使用をサポートします(セクション 7.3.3 を参照)。オプションとして、内蔵のプログラマブル デジタルダウン コンバータ (DDC) により、出力データレートの低減およびチャネル化が可能です (セクション 7.3.5 を参照)。DDC は、複素数デシメーション モードで動作した場合、複素ミキシングのための 32 ビット プログラマブル NCO を提供します。DDC は、ミキシングなしで、実数デシメーション モードもサポートします。

The ADC3664-SP は、シリアル LVDS (SLVDS) インターフェイスを使用してデータを出力し、デジタル相互接続の数を最小限に抑えます。(セクション 7.3.4.2 を参照)。SLVDS インターフェイスは、チャネルごとに 2 つの LVDS レーン (2 線式)、チャネルごとに 1 つの LVDS レーン (1 線式)、または両方のチャネルが同じ LVDS レーンで多重化されるシングル レーン モード (1/2 線式) のいずれかのモードに構成できます。このデバイスは、14 ビット~20 ビットの構成可能な出力分解能をサポートしています。この ADC は本質的に低レイテンシのアーキテクチャを採用しているため、デジタル出力結果は、出力インターフェイス モードに応じてわずか 1 クロック サイクルまたは 2 クロック サイクル後に取得可能です。

ADC3664-SP は、レジスタを構成することでシリアル ペリフェラル インターフェイス (SPI) で制御することを目的としています。(セクション 7.5) 電源投入時に基準電圧源の構成とサンプリングクロック入力タイプの構成に CTRL ピンを使用することもできます。

7.2 機能ブロック図

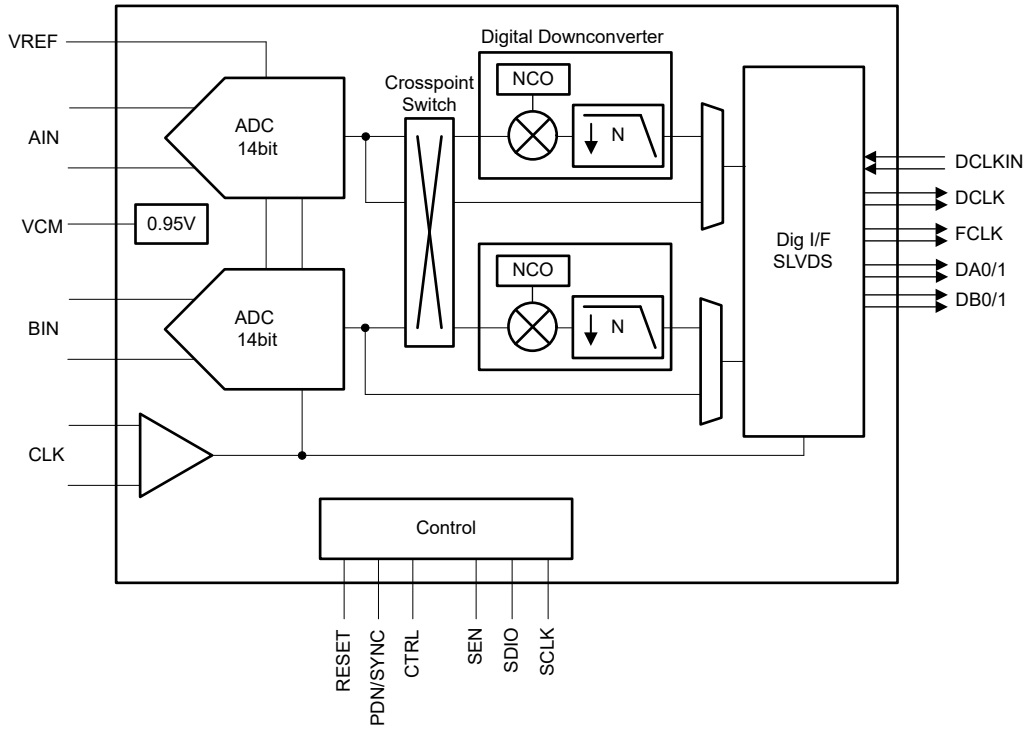


図 7-1. 概略ブロック図

7.3 機能説明

7.3.1 アナログ入力

ADC3664-SP のアナログ入力は、差動駆動することを目的としています。アナログ入力の AC 結合と DC 結合の両方がサポートされています。アナログ入力は、各入力ピンに外部から供給される 0.95V の入力同相電圧になるように設計されています。図 7-2 に、ADC のアナログ入力モデルを示します。まず、アクイジション中に 8 個のスイッチが t_{ACQ} 間閉じます。その場合、t_{CONV} の間すべてのスイッチがオープンになります。最後に、次のアクイジション期間前に、Reset スイッチが t_{RST} の間閉じられます。

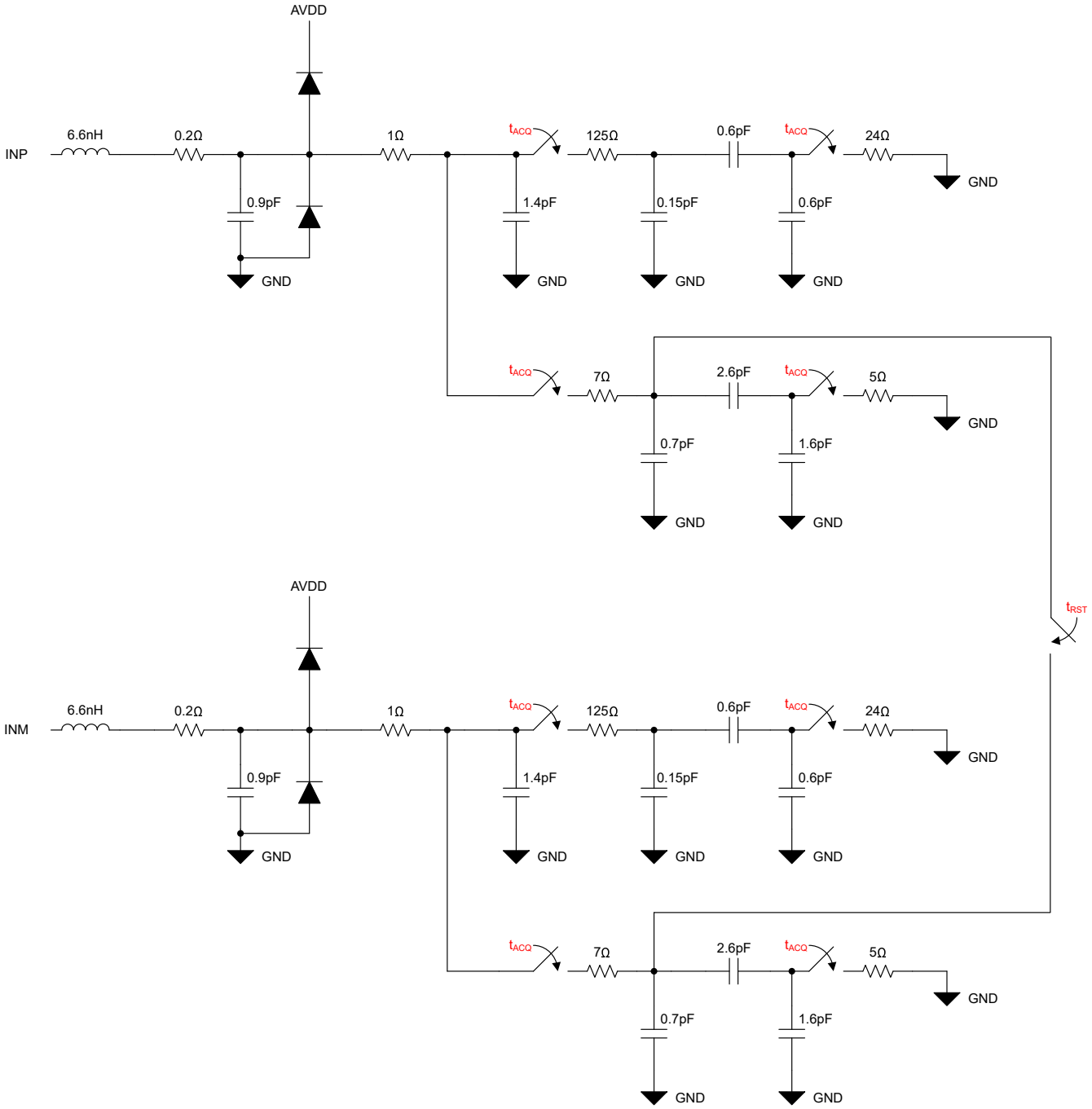


図 7-2. アナログ入力モデル

Copyright © 2025 Texas Instruments Incorporated

7.3.1.1 アナログ入力帯域幅

図 7-3 は、50Ω の差動終端を使用した場合の、ADC3664-SP のアナログ全電力入力帯域幅を示しています。−3dB 帯域幅はおおよそ 200MHz ですが、ADC のアーキテクチャにより全電力帯域幅は 65MHz に制限されます。ADC の性能を大きく劣化させないようにするためには、65MHz を超える入力周波数に対しては、入力電力を周波数の上昇に応じて線形に減少させることが推奨されます。

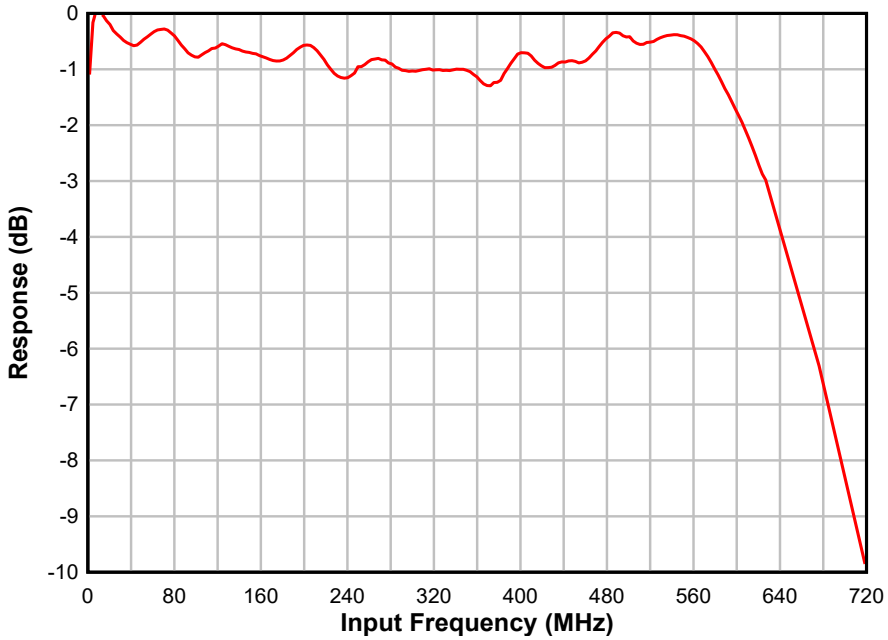


図 7-3. ADC アナログ入力帯域幅の応答

7.3.1.2 アナログ フロント エンド設計

サンプリングによる入力のグリッチを吸収するには、ADC3664-SP をパッシブ フィルタと組み合わせて使用する必要があります。さらに、AC カップリング構成で使用する場合には、終端ネットワークと組み合わせた受動型の DC バイアス回路が必要です。

7.3.1.2.1 サンプリング グリッチ フィルタ

フロント エンドのサンプリング グリッチ フィルタは、ADC の SNR および HD3 性能を最適化するように設計されています。フィルタの性能は入力周波数に依存するため図 7-5 および図 7-4 に示すような異なる入力周波数範囲に対して、以下のフィルタ設計を推奨します (ソース インピーダンスが 50Ω と仮定)。

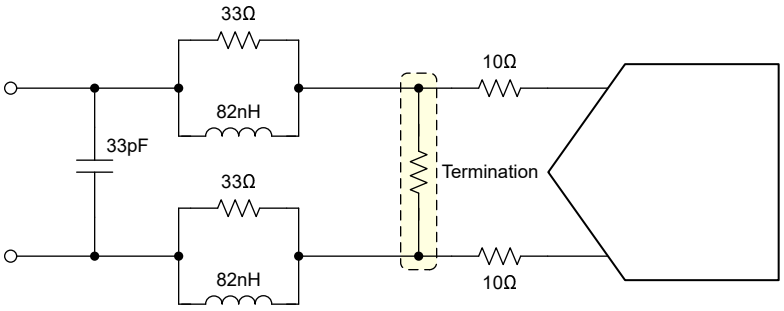


図 7-4. 0Hz から 60MHz までの入力周波数のサンプリング グリッチ フィルタ

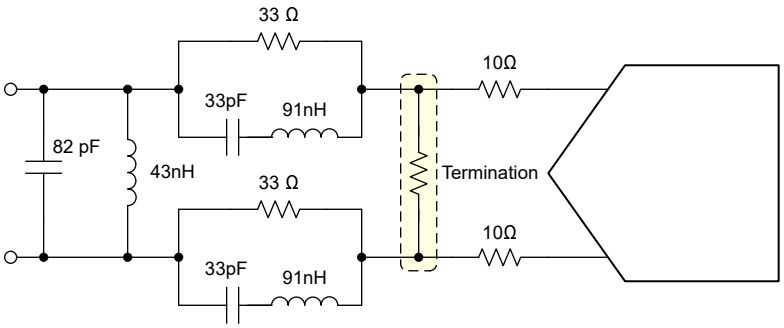


図 7-5. 60MHz から 120MHz までの入力周波数のサンプリング グリッチ フィルタ

Copyright © 2025 Texas Instruments Incorporated

7.3.1.2.2 AC 結合

ADC3664-SP アナログ入力は、入力が AC 結合されている場合、ADC の同相電圧 (VCM) に外部 DC バイアスを印加する必要があります。図 7-6 に、AC 結合入力回路の例を示します。

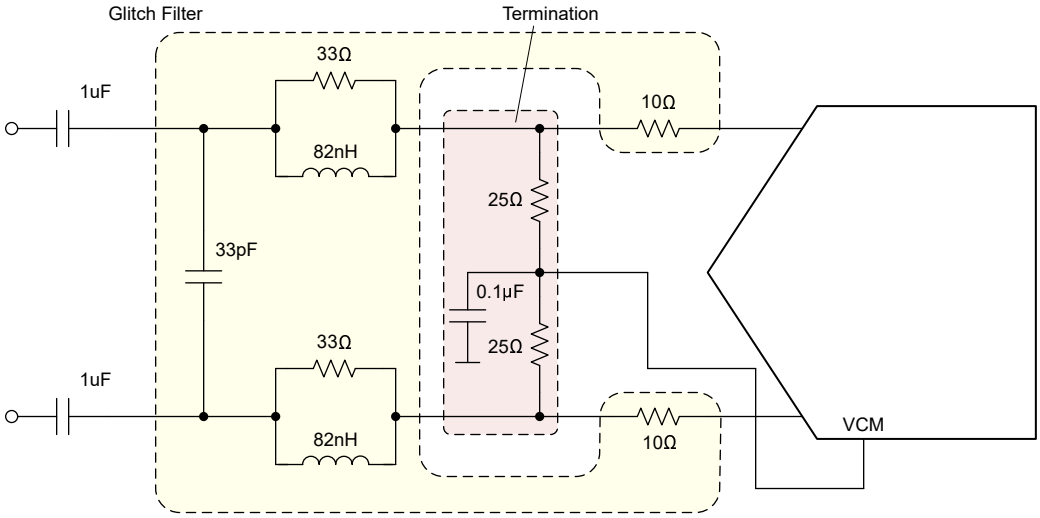


図 7-6. AC 結合入力ネットワーク

7.3.1.2.3 DC 結合

DC 結合アプリケーションでは、図 7-7 に示すように DC バイアスはドライバ (通常は全差動アンプ、FDA) から供給する必要があり、その際、ADC の VCM 出力を使用します。

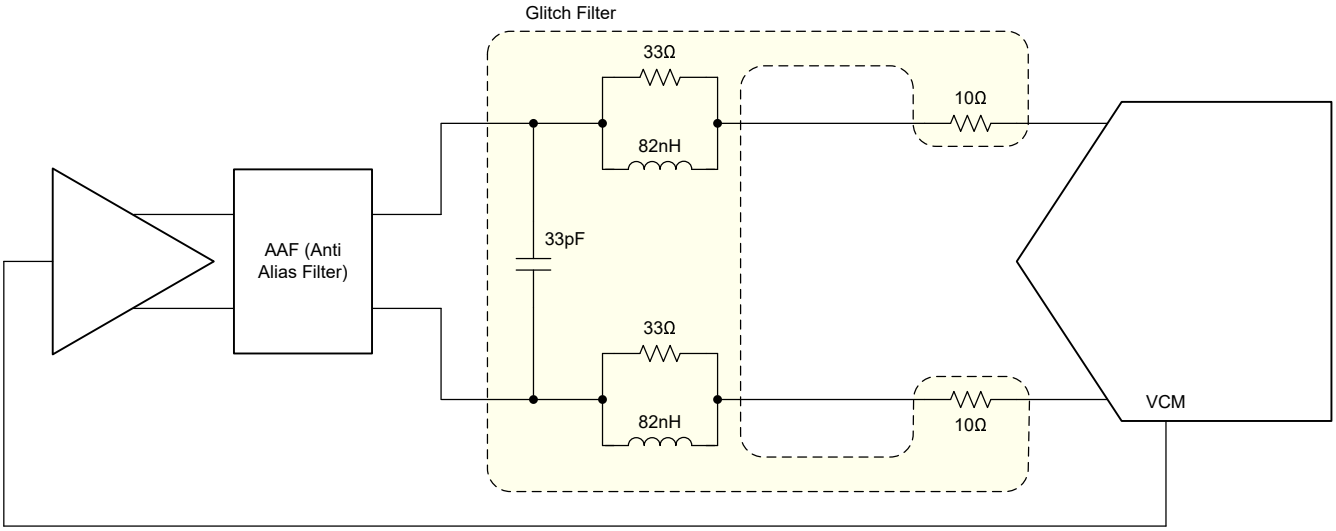


図 7-7. DC 結合入力ネットワーク

7.3.2 クロック入力

ADC3664-SP の SNR 性能を最大化するには、外部サンプリング クロックを低ジッタ差動信号にする必要があります。このデバイスは、消費電力の削減およびシステム設計の簡素化を目的として、性能を若干犠牲にしながらもシングルエンド クロック入力で動作させるオプションを提供しています。

7.3.2.1 差動クロック入力とシングルエンド クロック入力の比較

ADC3664-SP は差動クロック入力またはシングルエンド クロック入力のいずれかで動作させることができますが、シングルエンド入力は消費電力が少ない反面、性能が若干低下します。

- 差動クロック入力モード:クロック入力は外部で AC 結合する必要があります。ADC3664-SP には内部 DC バイアスがあります。
- シングルエンド クロック入力モード:このモードは、SPI (0x0E の D3 および D0) または CTRL ピンを使用して構成します。このモードでは、内部クロックにバイアスはありません。クロック入力は、0.9V の同相電圧で DC 結合する必要があります。未使用のクロック入力は、AC 結合でグランドに接続する必要があります。

7.3.2.2 信号アクイジション時間の調整

ADC3664-SP には、内部 DLL をパワーダウンするためのレジスタ (0x11 の D2) が搭載されており、30MSPS 未満のサンプル レートでの信号収集時間をクロック周期の 25% から 50% に延長できます。DLL をパワーダウンするとき、アクイジション時間はクロックのデューティ サイクルに追従します。

表 7-1. アクイジション時間と DLL_PDN 設定との関係

サンプリング クロック F_S (MSPS)	DLL_PDN (0x11 の D2)	アクイジション時間 (t_{ACQ})
> 30	0	T_S / 4
≤ 30	1	T_S / 2

7.3.3 電圧リファレンス

ADC3664-SP は、ADC に基準電圧を供給するための 2 種類の選択肢を提供します。1 つ目の選択肢は、内部の 1.6V リファレンスです。2 つ目の選択肢は、外部の 1.6V リファレンスで、最良の性能を得るために VREF 入力に直接接続できます。リファレンス ノイズは、リファレンス ソース (内部/外部のいずれにかかわらず) に関係なく、VREF ピンに 10µF と 0.1µF のセラミック バイパス コンデンサを接続することでフィルタリングできます。

注

電圧リファレンス モードは、SPI を使用して、または CTRL ピン (セクション 7.5.1) を使用して選択できます。CTRL ピンを構成に使用しない場合は、CTRL ピンを AVDD に接続し、電圧リファレンスを SPI 経由で選択する必要があります。

Copyright © 2025 Texas Instruments Incorporated

7.3.3.1 内部基準電圧

ADC3664-SP には 1.6V のリファレンス電圧があり、外部リファレンスがない場合に使用できます。10μF のデカップリング コンデンサと 0.1μF のデカップリング コンデンサを、VREF と REFGND の間に接続する必要があります。コンデンサは電源ピンにできるだけ近付けて配置します。

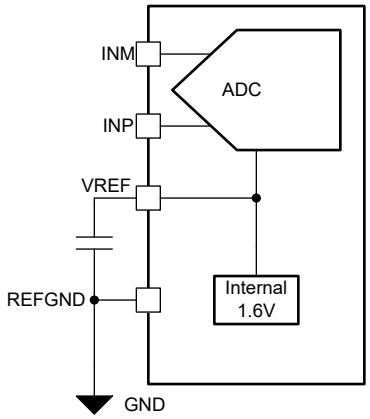


図 7-8. 内部リファレンス モード

7.3.3.2 外部電圧リファレンス

最高の精度と最高のドリフト性能を実現するために、ADC3664-SP 基準電圧は外部からソースできます。外部リファレンスを使用する場合、VREF ピンを外部の 1.6V リファレンスに直接接続できます。10μF のデカップリング コンデンサと 0.1μF のデカップリング コンデンサを、VREF と REFGND の間に接続する必要があります。コンデンサは電源ピンにできるだけ近付けて配置します。

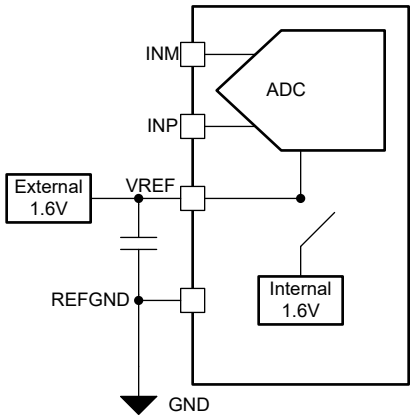


図 7-9. 外部リファレンス モード

7.3.4 デジタル データ パスおよびインターフェイス

ADC3664-SP は、シリアル LVDS (SLVDS) インターフェイスを使用してデータを出力し、デジタル相互接続の数を最小限に抑えます。SLVDS インターフェイスは、チャネルごとに 2 つの LVDS レーン (2 線式)、チャネルごとに 1 つの LVDS レーン (1 線式)、または両方のチャネルが一つの LVDS レーンで多重化されるシングル レーン モード (1/2 線式) のいずれかのモードに構成できます。このデバイスは、14 ビット~20 ビットの構成可能な出力分解能をサポートしています。

ADC3664-SP には、外部インターフェイス クロック(DCLKIN) が必要です。DCLKIN の遅延バージョンは、インターフェイス出力クロック (DCLK) として使用されます。

7.3.4.1 データ パスの概要

ADC3664-SP には柔軟なデジタル信号処理 (DSP) 機能のセットがあります（図 7-10）。これらの機能のすべてまたはサブセットを使用できます。ADC コアは 14 ビットの出力を提供し、その出力はデジタル ダウン コンバータ (DDC) に渡すことも、デジタル インターフェイスに直接出力することもできます。ADC コアのレイテンシは非常に短いため、レイテンシを最小限に抑えるために、DSP 機能 (0x24 の D2) を無効にする必要があります。

データ レーンでデータが送信される前に、まず分解能選択ブロックを通過し、次に出力ビット マッパーを通過します。分解能セレクタでは、出力解像度を次のように選択できます。14 ビット、16 ビット、18 ビット、または 20 ビット。16 ビット、18 ビット、および 20 ビットの出力分解能の場合、DDC を使用しない場合は、LSB として 0 が追加されます。出力ビット マッパーは、各データ ビットを、各アクティブ レーンのデータ ストリーム内の位置にマッピングします。

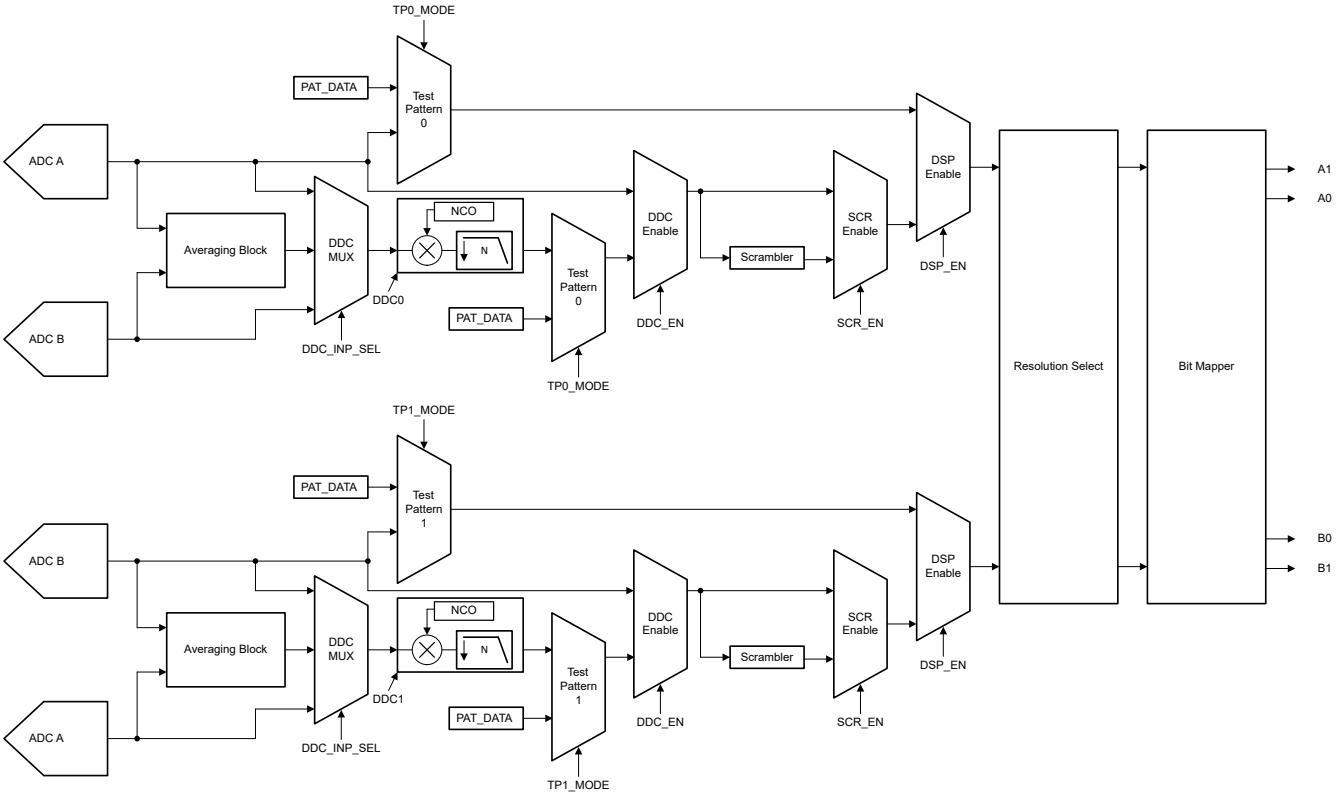


図 7-10. デジタル データ パスの概要

Copyright © 2025 Texas Instruments Incorporated

7.3.4.2 デジタル インターフェイス

表 7-2 は出力解像度とインターフェイス モードに応じて、結果のシリアライゼーション ファクタの概要を示します。出力のシリアル化係数は、インターフェイス モードの設定および分解能に基づいて内部的に調整されます。ただし、インターフェイスの設定にかかわらず、SLVDS インターフェイスの出力データ レートは最大 1Gbps を超えることはできません。注、DCLKIN 周波数もそれに応じて調整する必要があります。たとえば、2 線式モードで出力分解能を 14 ビットから 16 ビットに変更すると、DCLKIN は F_S * 3.5 ではなく F_S * 4 と等しくなります。

出力インターフェイスまたは分解能を変更するプログラミング シーケンスをセクション 7.5.3 に示します。

注

可能であれば、DCLKIN 周波数とサンプル クロック(CLK) 周波数との間で整数比率を設定できるインターフェイス モードをお勧めします。これにより、セクション 7.3.4.3 で説明されている DCLKIN から CLK へのタイミング要件を簡単に満たすことができます。

注

ADC3664-SP の SNR が非常に高いため、LVDS 出力が結合して SNR を劣化させる可能性があります。このため、ハーフ スイング LVDS モードにより LVDS 出力スイングを低減し、カップリングを最小限に抑えることができます。可能な場合は、ADC の SNR 劣化を最小限に抑えるため、ハーフスイング (0x1A の D6) をイネーブルします。

表 7-2. デジタル インターフェイス モード

出力分解能	インターフェイス	シリアル化係数	FCLK	DCLKIN	DCLK	データ レート
14 ビット	2 線式	7x	F_S/2	F_S* 3.5	F_S* 3.5	F_S* 7
	1 線式	14x	F_S	F_S* 7	F_S* 7	F_S* 14
	1/2 線式	28x	F_S	F_S* 14	F_S* 14	F_S* 28
16 ビット	2 線式	8x	F_S/2	F_S* 4	F_S* 4	F_S* 8
	1 線式	16x	F_S	F_S* 8	F_S* 8	F_S* 16
	1/2 線式	32x	F_S	F_S* 16	F_S* 16	F_S* 32
18 ビット	2 線式	9x	F_S/2	F_S* 4.5	F_S* 4.5	F_S* 9
	1 線式	18x	F_S	F_S* 9	F_S* 9	F_S* 18
	1/2 線式	36x	F_S	F_S* 18	F_S* 18	F_S* 36
20 ビット	2 線式	10x	F_S/2	F_S* 5	F_S* 5	F_S* 10
	1 線式	20x	F_S	F_S* 10	F_S* 10	F_S* 20
	1/2 線式	40x	F_S	F_S* 20	F_S* 20	F_S* 40

7.3.4.3 DCLKIN

DCLKIN は ADC3664-SP への外部クロックであり、このクロックの遅延版を出力インターフェイス クロック (DCLK) として使用します。DCLKIN は、SPI (0x244 の D5) を介して、1.2V の同相電圧に外部または内部バイアスを印加するように構成することができます。また、DCLKIN には 100Ω の内部終端抵抗もあります。

注

DCLKIN の最大周波数は 500MHz であり、DCLK の立ち上がりエッジおよび立ち下がりエッジの両方でデータが送信されるため、LVDS レーンごとの最大データレートは 1Gbps に制限されます。

ADC3664-SP のレイテンシが短いアーキテクチャを考慮すると、サンプル クロック (CLK) と DCLKIN の関係を制御する必要があります。DCLKIN と CLK は、同じ基準周波数に位相ロックする必要があります。CLK と DCLKIN の立ち下がりエッジの間隔は 2.5ns 空ける必要があります。これを満たさない場合、タイミング違反が発生します。タイミング違反が観測された場合、内部タイミング違反検出回路によって CLK と DCLKIN の間に 1ns の遅延が追加されます。この検出回路の影響は、t_{PD} 仕様の 1 DCLK サイクルの変化として観測されます。

7.3.4.4 出力スクランブラ

ADC3664-SP は、2 線式モードでのみオプションの出力スクランブラ機能を備えています。スクランブラは、DSP 機能 (レジスタ 0x24 の D2) を有効にし、かつスクランブリング (レジスタ 0x22 の D6) を有効にすることで使用可能になります。有効にすると、各サンプルは 2 つの半分に分割されます。サンプル ストリームの各半分は個別にスクランブルされます。たとえば、サンプル ストリームが 18 ビットの解像度である場合、そのストリームは 2 つの部分に分割されます。1 つはビット D17～D9、もう 1 つは D8～D0 で構成されます。2 つの半分は独立したスクランブル ブロックに供給され、図 7-11 に示すように、各スクランブラの各入力ビット (x[k]) は、前の 2 ビット(y[k-14] と y[k-15]) で XOR 処理されます。これは自己同期スクランブラであるため、スクランブラの起動状態は無視できます。

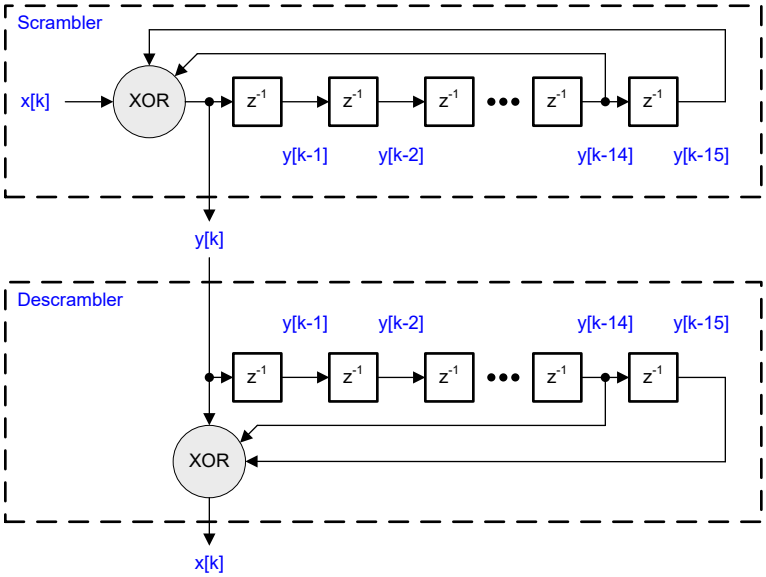


図 7-11. スクランブラとでデスクランブラの動作

注

各スクランブラに供給されるサンプル ストリームは、最初にスクランブラ LSB に供給されます。したがって、前の例では、D8～D0 からなるサンプル ストリームの半分がスクランブラに入力され、まず D0 が x[k] として、次に D1 が x[k+1] として、というように順に処理されます。

正しくデスクランブルするためには、サンプル ストリームの各半分を個別にデスクランブルする必要があります。その後、デスクランブルされたデータを用いて元のサンプルを再構成できます。レシーバ側では、受信したシリアル データ ストリームは、各受信ビット (y[k]) を 2 つ前のビット (y[k-14] および y[k-15]) と XOR 演算することでデスクランブルできます。

Copyright © 2025 Texas Instruments Incorporated

注

スクランブラはサンプル ストリームの 2 つの半分 (ハーフ) をそれぞれ見ているため、出力ビット マッパーは、各レーンにサンプルの片方のハーフのみが含まれるように設定する必要があります。

たとえば、2 線式 18 ビット モードでは、1 つのレーンが奇数ビット (D17、D15、D13 など) を、もう 1 つのレーンが偶数ビット (D16、D14、D12 など) を運びます。スクランブリングが有効な場合、ビット マッパーは、1 つのレーンがビット D9～D17 を、もう 1 つのレーンが D0～D8 を運ぶように設定する必要があります (それぞれのレーンでは、LSB から順に並ぶ必要があります)。18 ビットのサンプル ストリームをスクランブルするデータ フローの図の例を図 7-12 に示します。ここで D17:D0 は D0～D8 と D9～D17 に分割され、それぞれのスクランブラに (LSB ファーストで) 入力されます。S0～S17 はスクランブル後の出力ビットです。

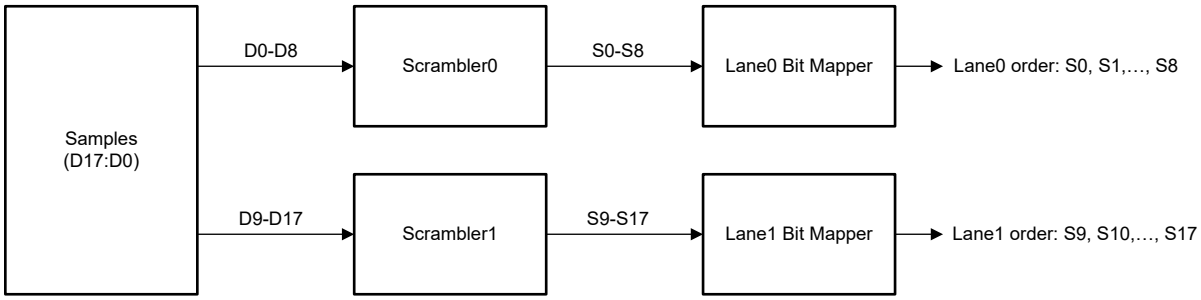


図 7-12. 18 ビット スクランブルの例

7.3.4.5 出力ビット マッパー

出力ビット マッパーは、物理出力インターフェイスの直前に配置され、各アクティブ レーンで送信されるビットの順序を決定します。各サンプル ビットは、表 7-3 に示すように、値によって一意に識別できます。同様に、各レーンの各ビット位置は、独立したレジスタ アドレスを持つ各ビット位置で一意に識別可能です。特定のビットを特定のビット位置 (および特定レーン) にマッピングするには、表 7-3 のビット値を目的のレーンの目的のビット位置に対応するアドレスに書き込む必要があります。

ADC3664-SP は、20 ビットの最大出力分解能をサポートしているため、チャネルごとに一意に識別可能な 20 ビットがあります。2 線式モードでは、2 つのサンプルが同じフレームの一部と見なされるため、20 ビットのセットが 2 セットあり、前のサンプル用と現在のサンプル用に別のセットがあります。セクション 7.3.4.5.1、セクション 7.3.4.5.2 およびセクション 7.3.4.5.3 に、それぞれ 2 線式、1 線式、1/2 線式の各レーンの各ビット位置に対応するレジスタ アドレスを提供します。

表 7-3. 一意のビット識別子

BIT_ID	チャネル A		チャネル B	
	以前のサンプル (2W のみ)	現在のサンプル	以前のサンプル (2W のみ)	現在のサンプル
D19 (MSB)	0x2D	0x6D	0x29	0x69
D18	0x2C	0x6C	0x28	0x68
D17	0x27	0x67	0x23	0x63
D16	0x26	0x66	0x22	0x62
D15	0x25	0x65	0x21	0x61
D14	0x24	0x64	0x20	0x60
D13	0x1F	0x5F	0x1B	0x5B
D12	0x1E	0x5E	0x1A	0x5A
D11	0x1D	0x5D	0x19	0x59
D10	0x1C	0x5C	0x18	0x58
D9	0x17	0x57	0x13	0x53
D8	0x16	0x56	0x12	0x52
D7	0x15	0x55	0x11	0x51
D6	0x14	0x54	0x10	0x50
D5	0x0F	0x4F	0x0B	0x4B
D4	0x0E	0x4E	0x0A	0x4A
D3	0x0D	0x4D	0x09	0x49
D2	0x0C	0x4C	0x08	0x48
D1	0x07	0x47	0x03	0x43
D0 (LSB)	0x06	0x46	0x02	0x42

Copyright © 2025 Texas Instruments Incorporated

7.3.4.5.1 2 線式モード

2 線式モードでは、表 7-3 の現在のサンプルと以前のサンプル列の両方が使用されます。さらに、表 7-3 の現在および以前のサンプルの各 BIT_ID は、それぞれのレーンのビットの位置を示す特定のアドレスにマッピングする必要があります。アドレス空間の順序は、14 ビット/ 18 ビットの分解能と、16 ビット/ 20 ビットの分解能とで異なります。ビット マッパーのアドレス空間もレーンごとに異なります。

注

分解能によっては、サンプル間に未使用のアドレスがある場合があり、スキップできます。たとえば、18 ビットの分解能から 14 ビットに変更する場合、各レーンに対応する下位 2 ビット (LSB) のアドレスは無視することができます。

各分解能設定とレーンのビット位置に対応するレジスタ アドレスを、図 7-13 および図 7-14 に示します。各アドレスに表示されるデフォルト値は、ADC3664-SP を 2 線式インターフェイス モードに構成した後のものです。

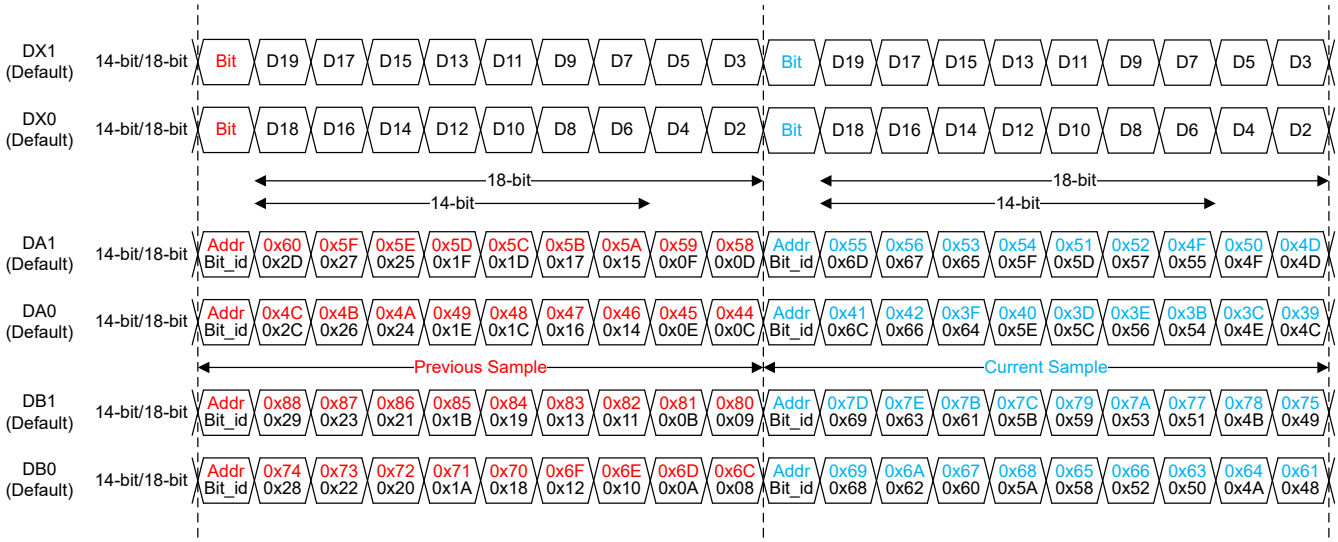


図 7-13. 2 線式、14 ビット/ 18 ビットのデフォルトのビット マッピング

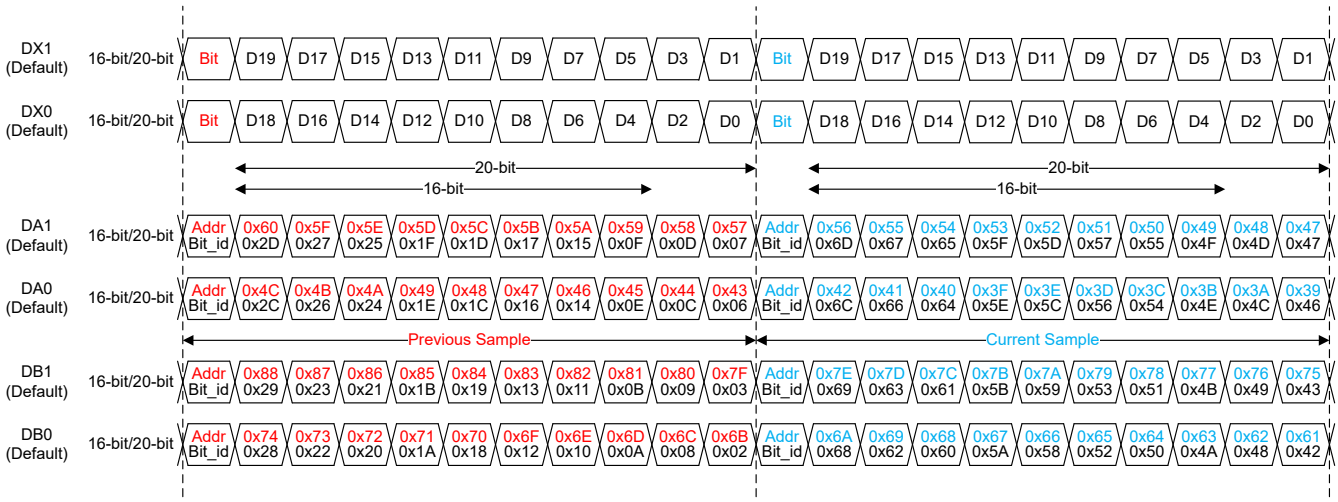


図 7-14. 2 線式、16 ビット/ 20 ビットのデフォルトのビット マッピング

図 7-15 に、16 ビットのスクランブル出力をサポートするようにビット マッパーを構成する方法を示します。ビット マッパーは、サンプルの上側と下側の半分が別々のレーンで送信され、セクション 7.3.4.4 で説明されているように、LSB ファーストでビットが送信されるように構成されます。

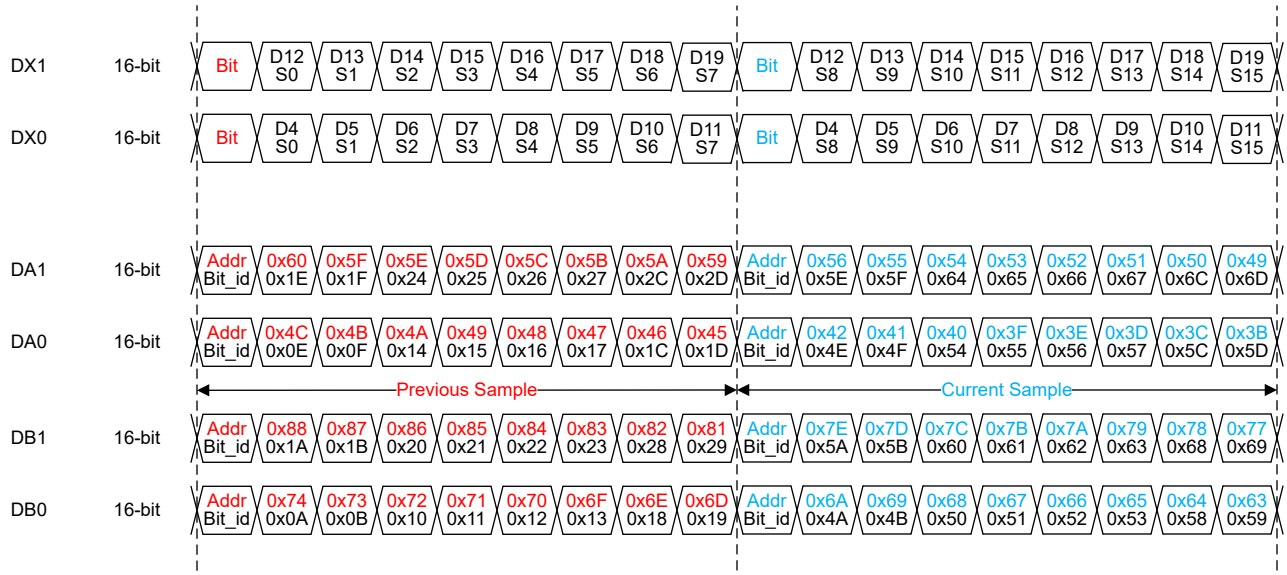


図 7-15. 16 ビット スクランブル出力のビット マッパーの設定例

7.3.4.5.2 1 線式モード

各分解能設定と 1 線式モードで使用されるレーンのビット位置に対応するレジスタ アドレスを、図 7-16 に示します。各アドレスに表示されるデフォルト値は、ADC3664-SP を 1 線式インターフェイス モードに構成した後のものです。

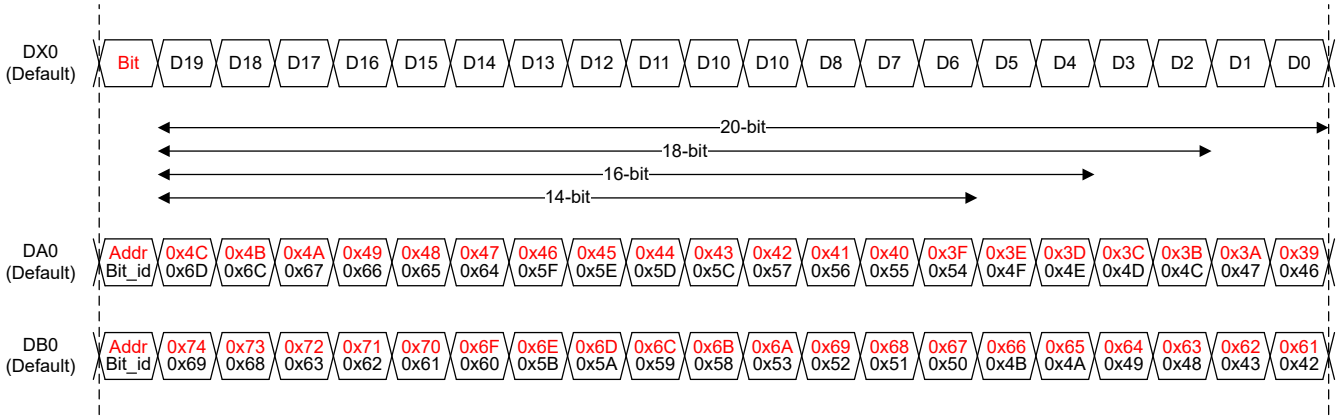


図 7-16. 1 線式のデフォルトのビット マッピング

Copyright © 2025 Texas Instruments Incorporated

7.3.4.5.3 1/2 線式モード

1/2 線式モードでは、両方のチャネルが同じレーンで多重化され、レーン DA0 でのみ供給されます。図 7-17) に、1 線式モードでの各分解能設定について、レーンのビット位置に対応するレジスタ アドレスを示します。各アドレスに表示されるデフォルト値は ADC3664-SP を 1/2 線式インターフェイス モードに構成した後のものです。

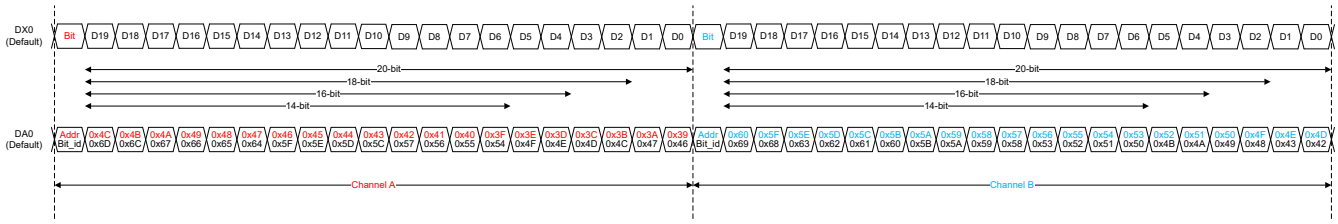


図 7-17. 1/2 線式のデフォルトのビット マッピング

7.3.4.6 出力データ フォーマット

ADC3664-SP のサンプルは、SPI (0x8F と 0x92 の D2) を使用して、2 の補数形式 (デフォルト) またはオフセット バイナリを構成できます。表 7-4 は、分解能に基づく 2 つのフォーマット オプションにおける、最小および最大出力コードの概要を示しています。

表 7-4. ADC コードの最小値と最大値

	2 の補数 (デフォルト)				オフセット バイナリ			
分解能 (ビット)	14	16	18	20	14	16	18	20
$V_{IN,MAX}$	0x1FFF	0x7FFF	0x1FFFF	0x7FFFF	0x3FFF	0xFFFF	0x3FFFF	0xFFFFF
0	0x0000		0x00000		0x2000	0x8000	0x20000	0x80000
$V_{IN,MIN}$	0x2000	0x8000	0x20000	0x80000	0x0000		0x00000	

7.3.4.7 テスト・パターン

デバイス内のテスト パターン ブロックの位置を、図 7-10 に示します。デジタル信号処理 (DSP) 機能が無効化されている場合(レジスタ 0x24 の D2 が無効)、テスト パターン ブロックを有効にして、ADC データの代わりに出力させることができます。同様に、DDC を使用する場合は、DDC データの置換にテスト パターンを使用できます。

注
DSP 機能がイネーブルで DDC を使用しない場合、テスト パターン ブロックは利用できません。

各テスト パターン ブロックには、次のいずれかの出力を生成する機能があります。

- PAT_DATA によって設定されるプログラム可能なステップ サイズを持つランプ パターン。
- PAT_DATA によって設定されるプログラム可能なカスタム パターンを使用した定数パターン。

図 7-10 に示すように、テスト パターン ブロックとして、テスト パターン 0 とテスト パターン 1 の 2 つがあります。各ブロックのテスト パターン モードは、0x16 の D7:D5 および D4:D2 によって構成できます。テスト パターン ブロックには共有データビットのセット (PAT_DATA) が与えられ、このデータはランプ パターンのステップ サイズや定数パターンとして使用されます。PAT_DATA は 18 ビットの値で、3 つの異なるレジスタに配置されています。D17:D16 は 0x16 に、D15:D8 は 0x15 に、D7:D0 は 0x14 に格納されています。PAT_DATA は MSB 揃えです。たとえば、デバイスが 14 ビット分解能と定数パターンに構成されている場合、定数パターンには PAT_DATA の上位 14 ビットのみが使用されます。さらに、ランプ モードではテスト パターン カウンタが 18 ビットの分解能で動作するため、ランプ パターンのステップ サイズは、目的とする分解能およびその分解能におけるステップ サイズに基づいて設定する必要があります。

注
DDC パスでテスト パターンを使用しない場合。PAT_DATA の上位 14 ビットのみが使用されます。そのため、高分解能の場合は、LSB として 0 が付加されます。

- テスト パターン データは、分解能ごとに 1 つのステップ サイズになるように構成する必要があります。
  - 0x00001：18 ビット出力分解能
  - 0x00004：16 ビット出力分解能
  - 0x00010：14 ビット出力分解能

Copyright © 2025 Texas Instruments Incorporated

7.3.5 デジタル ダウン コンバータ

ADC3664-SP には、オプションのデジタル ダウン コンバータ (DDC) が搭載されています。DDC は、2、4、8、16、32 の実数デシメーションおよび複素デシメーションに対応しています。さらに、各 DDC には、複素デシメーション時に使用可能な 32 ビットの数値制御発振器 (NCO) が搭載されています。

内部的には、DDC のデータ パスは 20 ビットの分解能で動作しており、量子化による SNR の劣化を防いでいます。設定された分解能に応じて、DDC の出力はデジタル インターフェイスから出力される前に、選択された分解能に切り詰められます

図 7-18 に、DDC の詳細な構成を示します。DDC MUX は、3 つの異なる入力の 1 つを、各 DDC にマッピングします。デフォルトでは、ADC A および ADC B はそれぞれ DDC0 および DDC1 にマッピングされます。ただし、DDC MUX を使用すると、1 つの ADC を両方の DDC に割り当てることや、2 つの ADC の平均値をそれぞれの DDC に割り当てることが可能です。

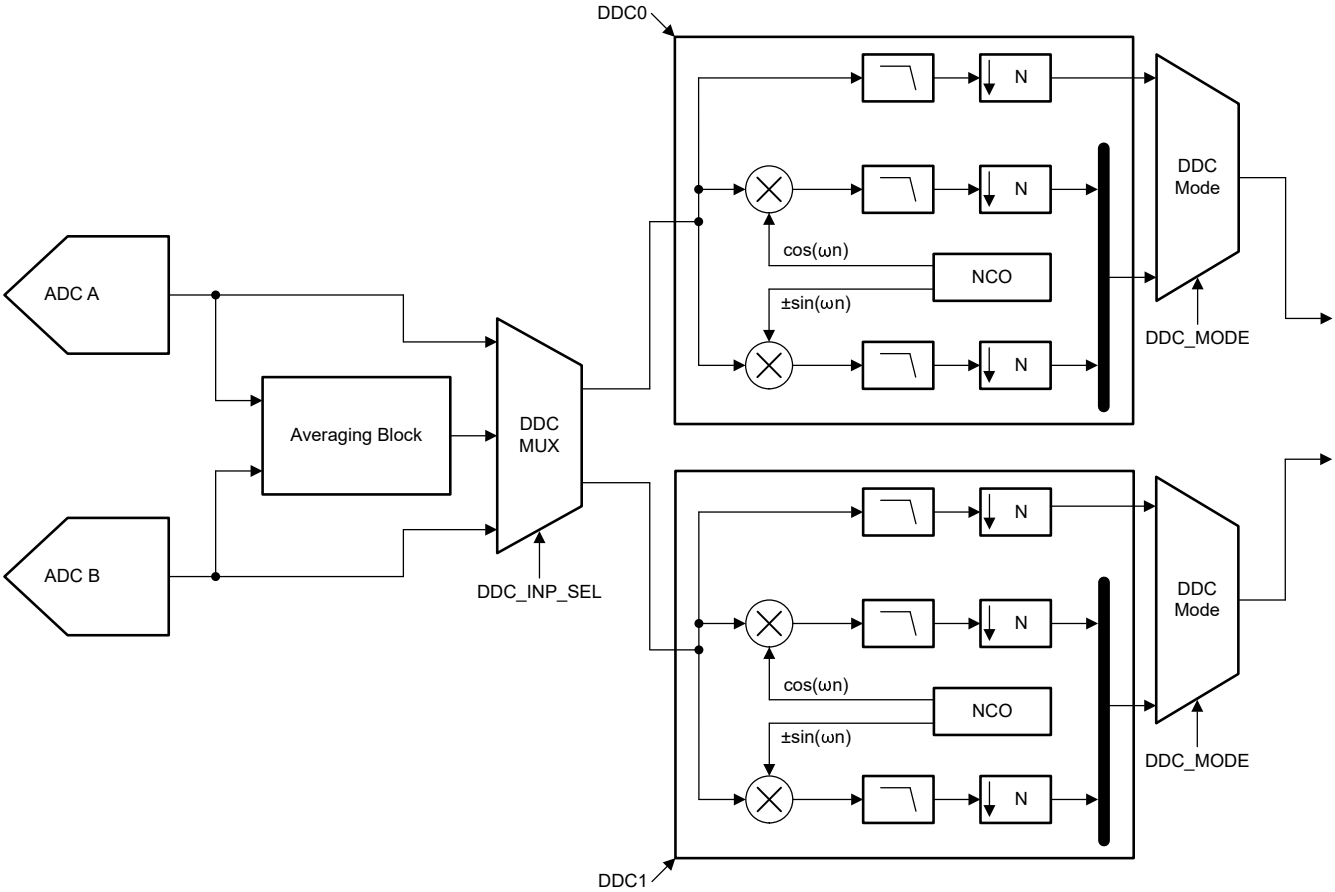


図 7-18. デジタル ダウン コンバータの概要

7.3.5.1 デシメーション動作

複素数デシメーション動作を、図 7-19 に示します。まず、入力信号 (およびその負のイメージ) は、図の左側に示されているように、NCO の周波数によって周波数シフトされます。次に、デジタル フィルタ (0Hz を中心に) を適用し、出力データ レートを 8 複素数にデシメーションします。この例では、出力データ レートは $F_{OUT} = F_S/8$ 複素数になり、$-F_S/16$ から $F_S/16$ までのスペクトルになります。複素数ミキシング処理中に、スペクトル (信号およびノイズ) は実数成分と虚数成分に分離され、振幅は 6dB 低下します。振幅の低下を補償するために、デシメーション フィルタ ブロックには 6dB のデジタル ゲイン オプションが用意されており、SPI 経由で有効化することができます。

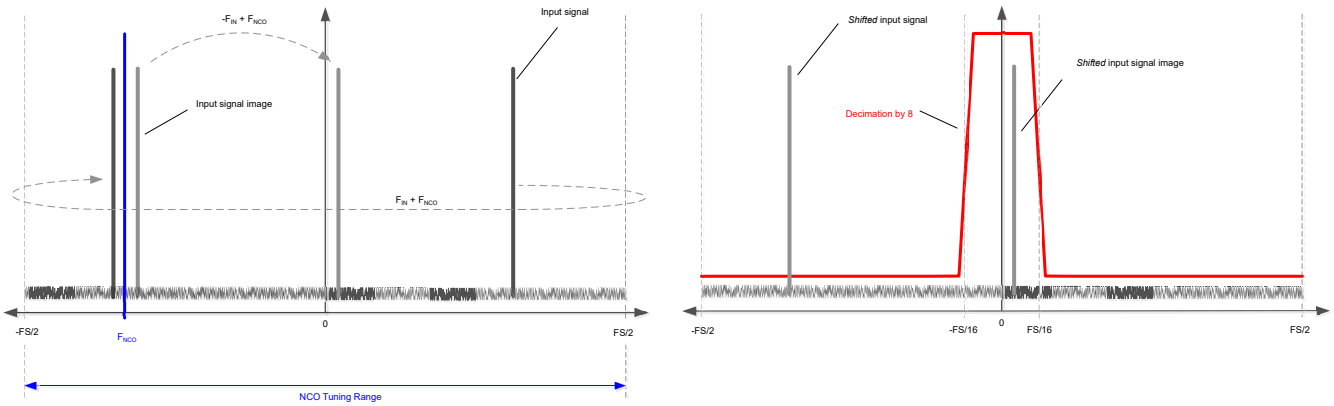


図 7-19. 8 倍による複素数デシメーションの例

図 7-20 に、実数デシメーション処理が示されます。このモードではミキシングは行われず、複素数デジタル フィルタの実数部分のみが実行され、出力データ レートが低下します。8 倍の実数デシメーションを行うと、出力データ レートは $F_{OUT} = F_s/8$ となり、スペクトルは 0 ～ $F_s/16$ の範囲になります。

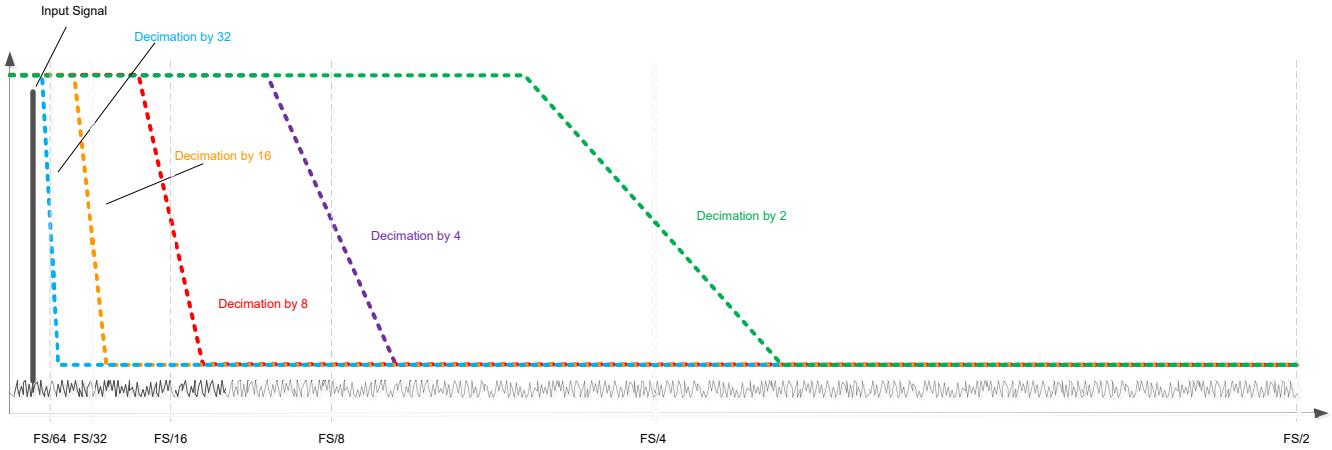


図 7-20. 実際のデシメーションの例

Copyright © 2025 Texas Instruments Incorporated

7.3.5.2 数値制御発振器 (NCO)

DDC ブロックには、複素デシメーション モードにおけるミキシング処理のために、デジタルフィルタ処理の前段に 32 ビットの NCO が搭載されています。NCO は次のような複雑な出力を提供します。

$$e^{j\omega n} \text{ or } e^{-j\omega n} \quad (1)$$

ここで、周波数 ω は、周波数制御ワード (FCW) として知られる 32 ビットの符号付き数値として指定されます。

複素指数関数列に ADC からの実数入力を乗算し、目的のキャリアを $f_{IN} \pm f_{NCO}$ に等しい周波数にミックスします。NCO 周波数は $-F_S/2$ から $F_S/2$ の範囲で調整でき、符号付き 2 の補数として処理されます。新しい NCO 周波数を設定した後、その周波数を有効にするには、NCO_RES (0x26 の D5 および D1) をトグルするか、SYNC ピンをトグルする必要があります。

NCO FCW は次のように計算されます。

$$FCW = f_{NCO} \times 2^{32} / F_S \text{ for an } f_{NCO} \text{ in range of 0 to } + F_S/2 \quad (2)$$

$$FCW = (f_{NCO} + F_S) \times 2^{32} / F_S \text{ for an } f_{NCO} \text{ in range of } -F_S/2 \text{ to 0} \quad (3)$$

7.3.5.3 デシメーション フィルタ

表 7-5 は、各デシメーション設定におけるパスバンド帯域幅および出力データレートの概要を、ADC のサンプリング レート F_s に対する関係として示しています。

表 7-5. デシメーション フィルタの概要と使用可能な最大出力帯域幅

実数または複素数のデシメーション	デシメーション設定 N	出力レート	出力帯域幅	出力レート (F_S = 65 MSPS)	出力帯域幅 (F_S = 65 MSPS)
複雑	2	F_S / 2 複素数	0.8 × F_S / 2	32.5 MSPS 複素数	26MHz
	4	F_S / 4 複素数	0.8 × F_S / 4	16.25 MSPS 複素数	13MHz
	8	F_S / 8 複素数	0.8 × F_S / 8	8.125 MSPS 複素数	6.5MHz
	16	F_S / 16 複素数	0.8 × F_S / 16	4.0625 MSPS 複素数	3.25MHz
	32	F_S / 32 複素数	0.8 × F_S / 32	2.03125 MSPS 複素数	1.625MHz
実数	2	F_S / 2	0.4 × F_S / 2	32.5 MSPS	13MHz
	4	F_S / 4	0.4 × F_S / 4	16.25 MSPS	6.5MHz
	8	F_S / 8	0.4 × F_S / 8	8.125 MSPS	3.25MHz
	16	F_S / 16	0.4 × F_S / 16	4.0625 MSPS	1.625MHz
	32	F_S / 32	0.4 × F_S / 32	2.03125 MSPS	0.8125MHz

デシメーション フィルタの応答を ADC サンプリング クロック周波数 F_S に正規化して、図 7-21～図 7-30 に示します。各図には、フィルタ パス バンド、遷移バンド、およびストップ バンドが含まれています。

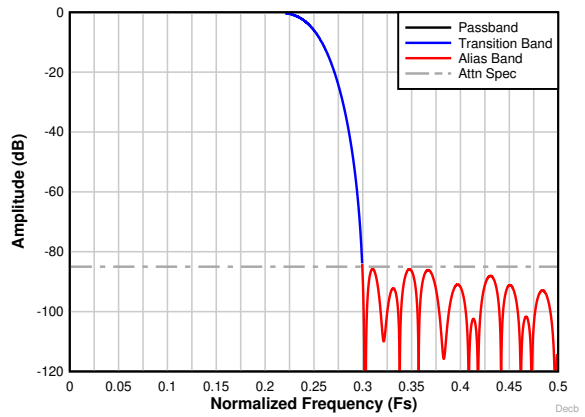


図 7-21. 2 倍デシメーション時のフィルタ周波数応答

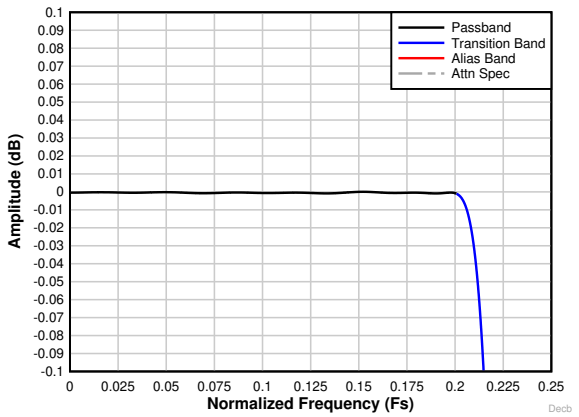


図 7-22. 2 倍デシメーション時のパスバンド リップル応答

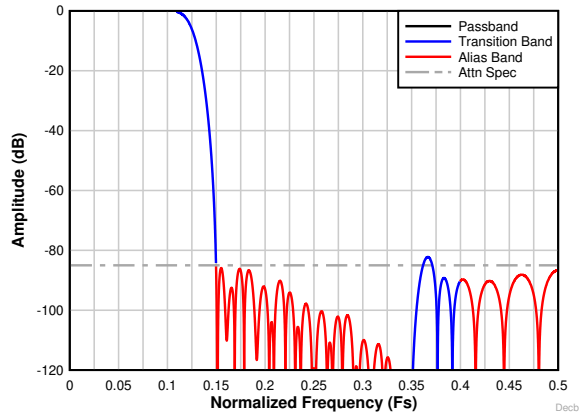


図 7-23. 4 倍デシメーション時のフィルタ周波数応答

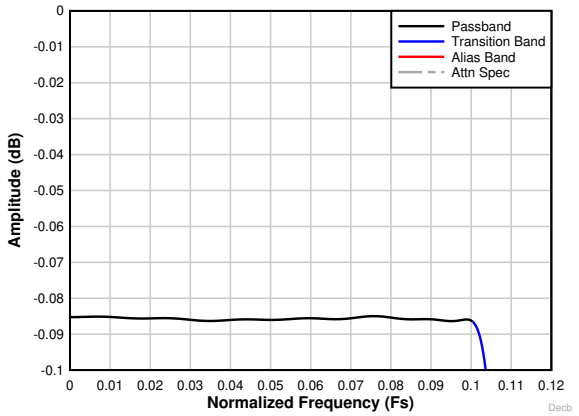


図 7-24. 4 倍デシメーション時のパスバンド リップル応答

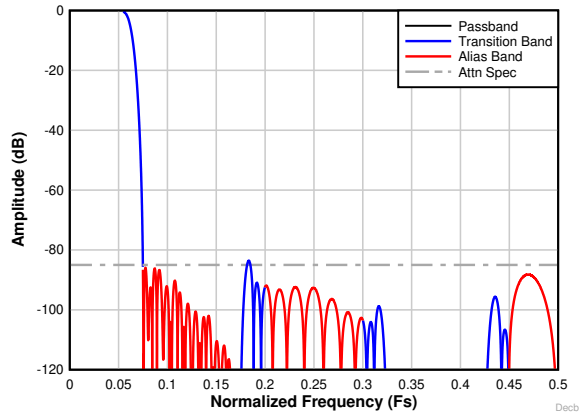


図 7-25. 8 倍デシメーション時のフィルタ周波数応答

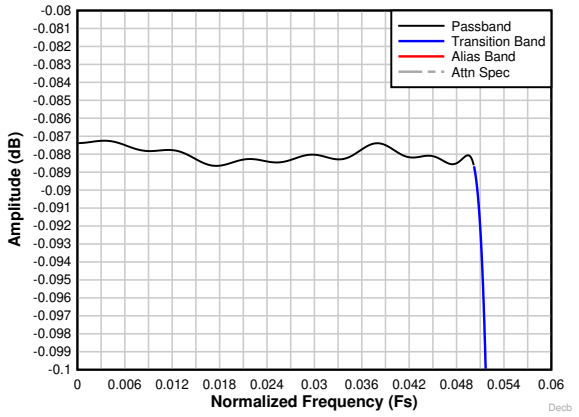


図 7-26. 8 倍デシメーション時のパスバンド リップル応答

Copyright © 2025 Texas Instruments Incorporated

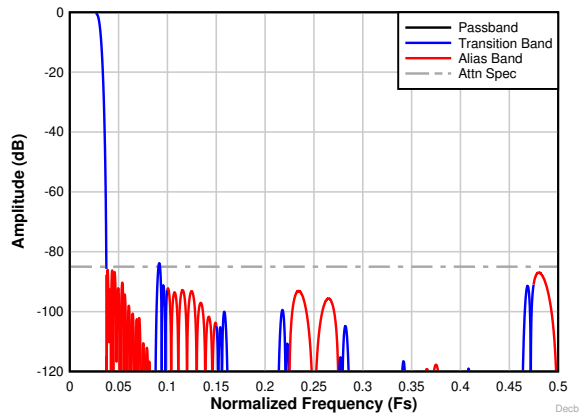


図 7-27. 16 倍デシメーション時のフィルタ周波数応答

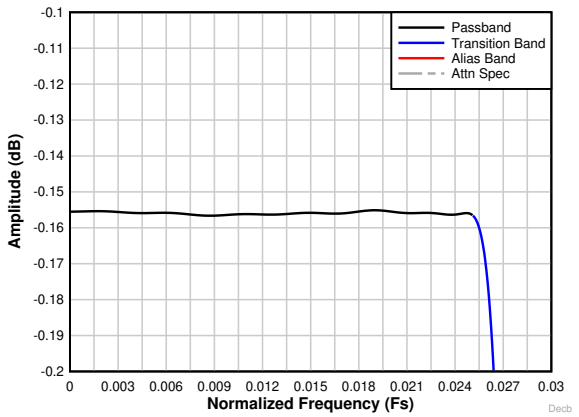


図 7-28. 16 倍デシメーション時のパスバンド リップル応答

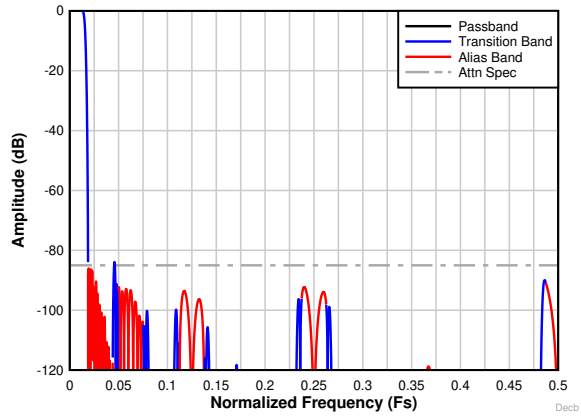


図 7-29. 32 倍デシメーション時のフィルタ周波数応答

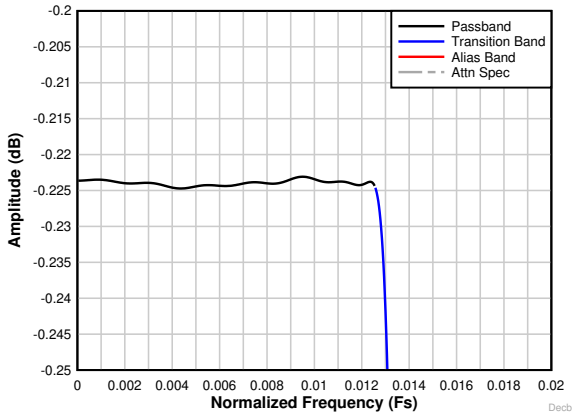


図 7-30. 32 倍デシメーション時のパスバンド リップル応答

7.3.5.4 SYNC

PDN/SYNC ピンは、外部の SYNC 信号を使用して複数のデバイスを同期させるために使用できます。PDN/SYNC ピンは SPI を介して構成し、同期入力として機能させることができます。図 7-31 に示すように、SYNC に設定されると、SYNC 信号はサンプリング クロックの立ち上がりエッジでラッチされます。

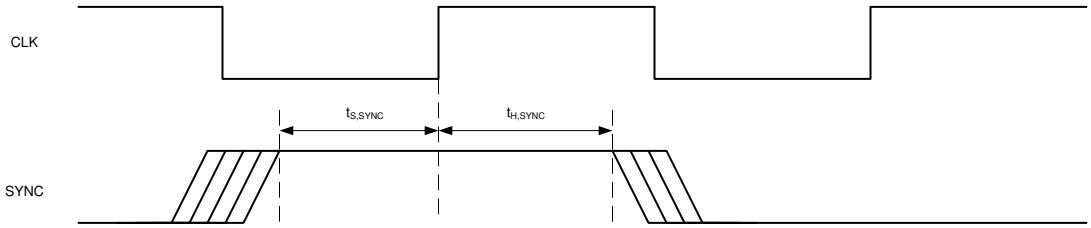


図 7-31. 外部 SYNC タイミング図

この同期信号は、DDC を使用する場合にのみ必要です。SPI による SYNC または PDN/SYNC ピンを使用する場合、内部クロック分周器がリセットされます。SYNC 信号が与えられない場合、内部クロック分周器がデバイス間で同期していない可能性があります。SYNC 信号は、NCO の位相をリセットし、新しい NCO 周波数を読み込む役割も果たします。SYNC 信号は、256 クロック サイクル以上のパルス幅の単一パルスとして供給する必要があります。

7.3.5.5 デシメーションを使用した出力データ フォーマット

デシメーションを使用する場合、デジタル出力データは図 7-32(複素数デシメーション) および図 7-33(実数デシメーション) に示すような形式になります。これらの図は、14 ビットの出力分解能を表しています。

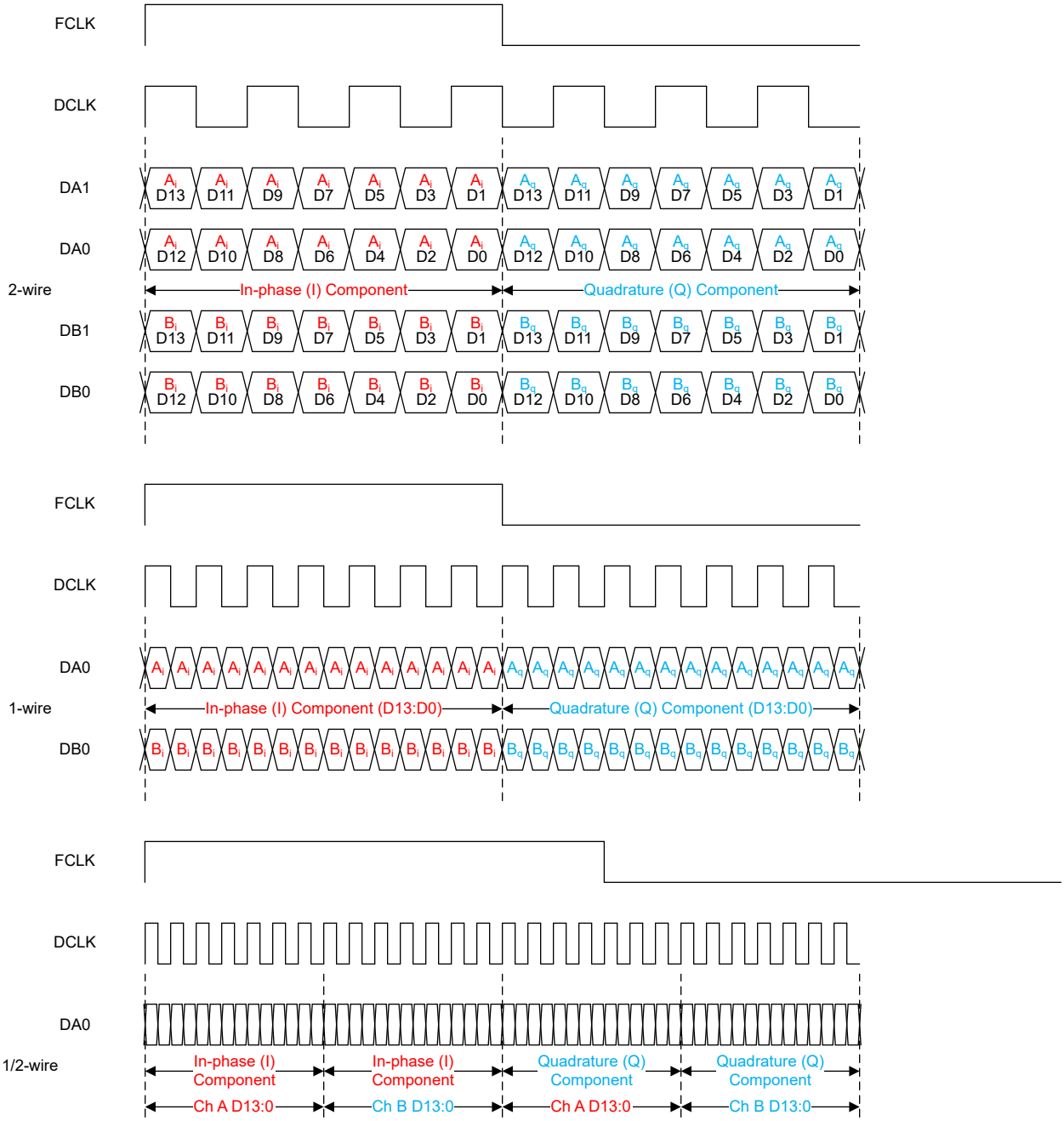


図 7-32. 複素数デシメーションでの出力データ形式 (14 ビットの出力分解能)

Copyright © 2025 Texas Instruments Incorporated

図 7-33. 実数デシメーションでの出力データ形式 (14 ビットの出力分解能)

7.4 デバイスの機能モード

7.4.1 低レイテンシ モード

ADC3664-SP の低レイテンシ モードは、デジタル信号処理 (DSP) 機能をディセーブルにすることで構成できます。SPI (0x24 の D2) によって DSP 機能を無効化し、ADC のレイテンシが 2 線式モードで 2 クロック サイクル、または 1 線式モードで 1 クロック サイクルであることを確認できます。

7.4.2 平均化モード

ADC3664-SP は、デジタル チャネル平均化機能を備えているため、ADC SNR を改善できます (図 7-34 を参照)。2 つの ADC 入力に外部から同じ入力信号が印加され、2 つの ADC の出力は内部で平均化されます。平均化によって、無相関ノイズ (ADC 熱ノイズなど) が干渉的に増加し、SNR が約 3dB 向上します。

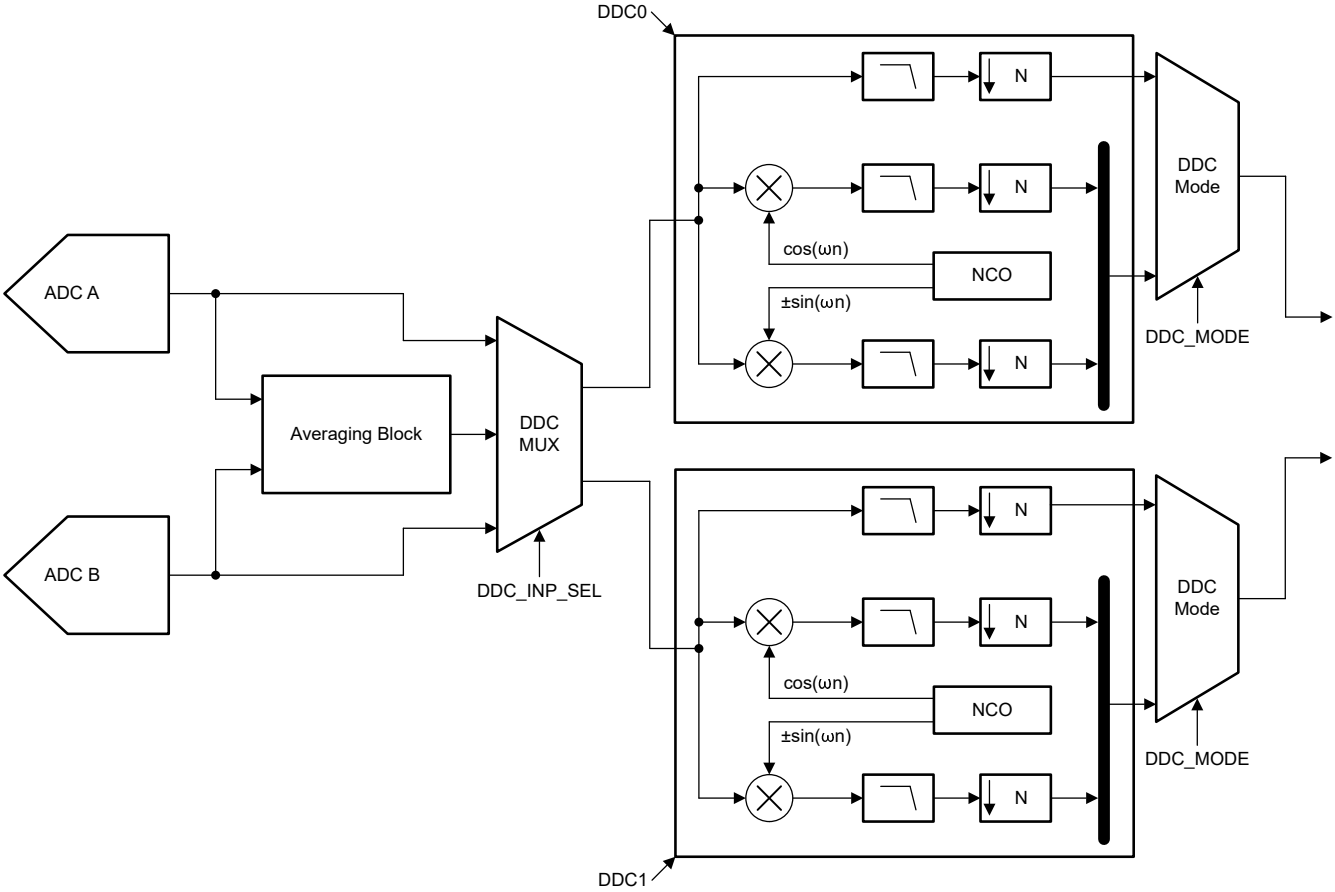


図 7-34. 平均化の図

Copyright © 2025 Texas Instruments Incorporated

7.5 プログラミング

このデバイスは、主にシリアル プログラミング インターフェイス (SPI) を使用して構成および制御されます。しかし、SPI がなくてもデフォルト構成で動作できます。パワーダウン状態、内部または外部リファレンスの選択、サンプリング クロック入力の種類は、PDN/SYNC ピンおよび CTRL ピンを通じて設定可能です。

注
パワーダウン機能を使用するには、ADC サンプリング クロックが存在する必要があります。

7.5.1 ピン制御

ADC の電圧リファレンスとサンプリング クロック入力タイプは、CTRL ピンを使用して選択できます。内部に AVDD への 100kΩ のプルアップ抵抗があるものの、CTRL ピンは外部で電圧を設定し、浮かせたままにしないようにします。CTRL ピンの電圧を設定するために分圧回路を使用する場合、抵抗値が 5kΩ 未満のものを使用します。

表 7-6. CTRL ピンの設定

CTRL ピンの電圧	電圧リファレンス オプション	クロックの種類
1.7V より高い(デフォルト)	外部リファレンス	差動クロック入力
0.5 ～ 0.7 V	内部基準電圧	差動クロック入力
< 0.1V	内部基準電圧	シングルエンド クロック入力

7.5.2 シリアル・ペリフェラル・インターフェイス (SPI)

このデバイスには内部レジスタ群があり、$\overline{\text{SEN}}$ (シリアル インターフェイス有効)、SCLK (シリアル インターフェイス クロック)、SDIO (シリアル データ入出力) ピンを介して SPI 経由でアクセスすることができます。$\overline{\text{SEN}}$ が Low のとき、ビットはシリアルにデバイスにシフトインされます。$\overline{\text{SEN}}$ がアクティブ (Low) の間、シリアル データ入力は SCLK の立ち上がりエッジごとにラッチされます。$\overline{\text{SEN}}$ が Low の場合、24 番目の SCLK の立ち上がりエッジごとに、シリアル データがレジスタにロードされます。ワード長が 24 ビットの倍数を超えると、余分なビットは無視されます。データは、単一のアクティブ $\overline{\text{SEN}}$ パルス内に 24 ビット ワードの倍数でロードされます。インターフェイスは、SCLK 周波数 (20MHz から数 Hz まで) で動作できます。

7.5.2.1 レジスタ書き込み

以下の手順に従って、内部レジスタをプログラムできます。

1. $\overline{\text{SEN}}$ ピンを Low に駆動します。
2. R/W ビットを 0 (16 ビット アドレスのビット A15) に設定し、アドレス フィールドのビット A[14:12] を 0 に設定します。
3. 内容を書き込む予定のレジスタのアドレス (A[11:0]) を指定して、シリアル インターフェイス サイクルを開始します。
4. SCLK の立ち上がりエッジで、ラッチされる予定の 8 ビットのデータを書き込みます。

図 7-35 に、レジスタ書き込み操作に関する必要なタイミング要件を示します。

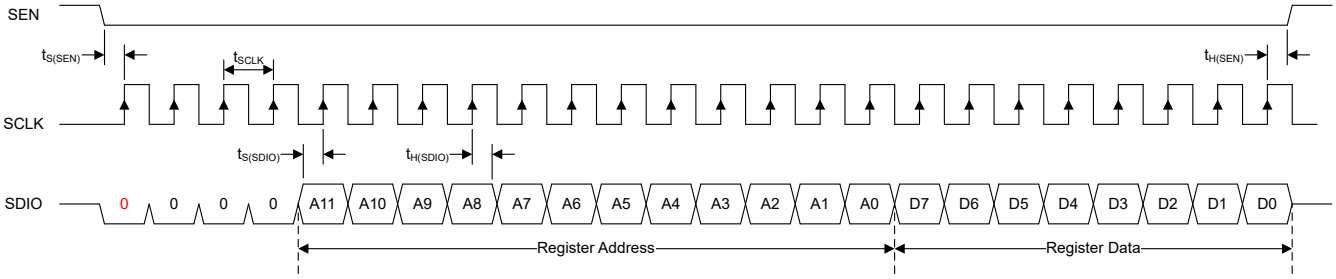


図 7-35. シリアル レジスタ書き込みタイミング図

7.5.2.2 レジスタ読み出し

このデバイスには、SDIO ピンを使用して内部レジスタの内容を読み戻すことができるモードが搭載されています。この読み戻しモードは、外部コントローラと ADC の間のシリアル インターフェイス通信を検証する診断チェックとして役立ちます。シリアル レジスタの内容を読み取る手順は、以下のとおりです。

1. $\overline{\text{SEN}}$ ピンを Low に駆動します。
2. R/W ビット (A15) を 1 に設定します。アドレスフィールドの A[14:12] を 0 に設定します。
3. 内容を読み取るレジスタのアドレス (A[11:0]) を指定して、シリアル インターフェイス サイクルを開始します
4. デバイスは、SCLK 立ち下がりエッジで、選択したレジスタの内容 (D[7:0]) を SDIO ピンに送出します。
5. 外部コントローラは、SCLK の立ち上がりエッジで内容をキャプチャできます。

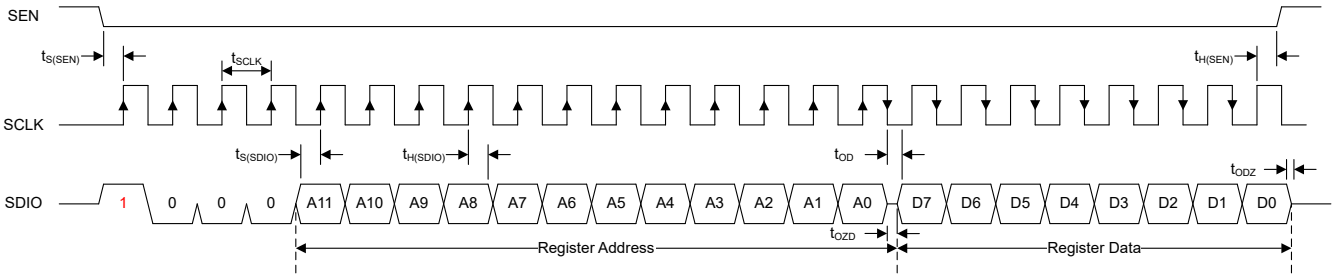


図 7-36. シリアル レジスタ読み出しタイミング図

Copyright © 2025 Texas Instruments Incorporated

7.5.3 デバイス設定手順

以下のシーケンスに、デジタル信号処理 (DSP) 機能や出力インターフェイスを含む、ADC3664-SP モードの変更に関連するすべてのレジスタをまとめます。ステップ 1 とステップ 2 は、E-Fuse の読み込みによって一部のデバイス レジスタがリセットされるため、最初に実行する必要があります。それ以外のステップは、どの順序で実行してもかまいません。

表 7-7. ADC3664-SP の構成手順

<table>
<tr><th>ステップ</th><th>機能</th><th>アドレス</th><th colspan="5">説明</th></tr>
<tr><td rowspan="9">1</td><td rowspan="19">出力インターフェイス</td><td rowspan="9">0x07</td><td colspan="5">出力分解能に基づいて出力インターフェイス モードを選択します。</td></tr>
<tr><td colspan="2">出力分解能</td><td>2 線式</td><td>1 線式</td><td>1/2 線式</td></tr>
<tr><td colspan="2">14 ビット</td><td>0x2B</td><td rowspan="4">0x6C</td><td rowspan="4">0x8D</td></tr>
<tr><td colspan="2">16 ビット</td><td>0x4B</td></tr>
<tr><td colspan="2">18 ビット</td><td>0x2B</td></tr>
<tr><td colspan="2">20 ビット</td><td>0x4B</td></tr>
<tr><td colspan="5"></td></tr>
<tr><td colspan="5"></td></tr>
<tr><td colspan="5"></td></tr>
<tr><td>2</td><td>0x13</td><td colspan="5">E-Fuse ローダー (D0、0x13) を使用して、出力インターフェイスのビット マッピングを読み込んでください。0x13 に 0x01 を書き込み、ビット マッピングが正しく読み込まれるように約 1 ミリ秒待機した後、0x13 に 0x00 を書き込みます。</td></tr>
<tr><td rowspan="8">3</td><td rowspan="8">0x19</td><td colspan="5">必要なデバイス モードとインターフェイス モードに基づいて、FCLK 設定を構成します。</td></tr>
<tr><td>モード</td><td>インターフェイス モード</td><td>FCLK_SRC</td><td>FCLK_DIV</td><td>TOG_FCLK</td></tr>
<tr><td rowspan="3">DSP 機能はディセーブル/実数デシメーション</td><td>2 線式</td><td>0</td><td>1</td><td>0</td></tr>
<tr><td>1 線式</td><td>0</td><td>0</td><td>0</td></tr>
<tr><td>1/2 線式</td><td>0</td><td>0</td><td>0</td></tr>
<tr><td rowspan="3">複素デシメーション</td><td>2 線式</td><td>1</td><td>0</td><td>0</td></tr>
<tr><td>1 線式</td><td>1</td><td>0</td><td>0</td></tr>
<tr><td>1/2 線式</td><td>0</td><td>0</td><td>1</td></tr>
<tr><td>4</td><td>0x1B</td><td colspan="5">出力インターフェイス モードを選択します。</td></tr>
<tr><td rowspan="9">5</td><td rowspan="9">0x20
0x21
0x22</td><td colspan="5">デバイス モードに基づいて FCLK パターンを構成します。</td></tr>
<tr><td>モード</td><td>出力分解能</td><td>2 線式</td><td>1 線式</td><td>1/2 線式</td></tr>
<tr><td rowspan="4">DSP 機能はディセーブル/実数デシメーション</td><td>14 ビット</td><td rowspan="8">0xFFC00</td><td>0xFE000</td><td rowspan="4">0xFFC00</td></tr>
<tr><td>16 ビット</td><td>0xFF000</td></tr>
<tr><td>18 ビット</td><td>0xFF800</td></tr>
<tr><td>20 ビット</td><td>0xFFC00</td></tr>
<tr><td rowspan="4">複素デシメーション</td><td>14 ビット</td><td rowspan="4">0xFFFFF</td><td rowspan="4">0xFFFFF</td></tr>
<tr><td>16 ビット</td></tr>
<tr><td>18 ビット</td></tr>
<tr><td>20 ビット</td></tr>
<tr><td>6</td><td>0x39..0x60
0x61..0x88</td><td colspan="5">必要に応じて、出力ビットのマッピングをデフォルトから変更します (スクランブラをイネーブルにする場合など)。</td></tr>
<tr><td>7</td><td>0x24
0x22</td><td colspan="5">デバイスが 2 線式インターフェイス モードに構成されている場合は、任意でスクランブラをイネーブルにできます。</td></tr>
</table>

表 7-7. ADC3664-SP の構成手順 (続き)

ステップ	機能	アドレス	説明		
8	デジタル ダウンコンバータ	0x24	オプションで DDC をイネーブルにします。		
9		0x25	DDC を使用する場合は、DDC の設定を構成します。		
10		0x2A/B/C/D 0x31/2/3/4	複素数デシメーションを使用する場合は、目的の NCO 周波数をプログラムします。		
11		0x27 0x2E	**複素数デシメーションを使用しない場合は、両方のビットを 0 に設定します。**		
			インターフェイス モード	IQ_ORDER	Q_DEL
			2 線式	1	0
			1 線式	0	1
			1/2 線式	1	1
12		0x26	DDC ゲインを設定し、NCO リセット ビットを切り替えて NCO 周波数を更新します。		

Copyright © 2025 Texas Instruments Incorporated

7.5.4 レジスタ マップ

表 7-8. レジスタ マップの概要

レジスタ アドレス	レジスタ データ							
A[11:0]	**D7**	**D6**	**D5**	**D4**	**D3**	**D2**	**D1**	**D0**
0x00	0	0	0	0	0	0	0	リセット
0x07	IF_MAPPER_SEL			0	IF_SEL_EN	IF_MODE_SEL		
0x08	0	0	0	0	0	PDN_A	PDN_B	PDN_ GLOBAL
0x09	0	0	0	0	PDN_DA1	PDN_DA0	PDN_DB1	PDN_DB0
0x0E	SYNC_ PIN_EN	SPI_SYNC_ VAL	SYNC_SRC_ SEL	0	CTRL_MODE	REF_SEL		SE_CLK_EN
0x11	0	0	0	0	0	DLL_PDN	0	0
0x13	0	0	0	0	0	0	0	FUSE_LD
0x14	PAT_DATA[7:0]							
0x15	PAT_DATA[15:8]							
0x16	TP1_MODE			TP0_MODE			PAT_DATA_[17:16]	
0x19	FCLK_SRC	0	0	FCLK_DIV	0	0	0	TOG_FCLK
0x1A	0	HALF_ SWING_EN	0	0	0	0	0	0
0x1B	RES_ SEL_EN	20B_EN	RES_SEL			0	0	0
0x1E	0	0	0	0	LVDS_DATA_DEL		LVDS_DCLK_DEL	
0x20	FCLK_PAT[7:0]							
0x21	FCLK_PAT[15:8]							
0x22	0	SCR_EN	0	0	FCLK_PAT[19:16]			
0x24	0	0	AVG_EN	DDC_INP_SEL		DSP_EN	DDC_EN	0
0x25	DDC_ MUX_EN	DEC_FACTOR			DDC_MODE	0	0	0
0x26	DDC0_GAIN		NCO0_RES	0	DDC1_GAIN		NCO1_RES	0
0x27	0	0	0	IQ0_ORDER	Q0_DEL	0	0	0
0x2A	FCW0[7:0]							
0x2B	FCW0[15:8]							
0x2C	FCW0[23:16]							
0x2D	FCW0[31:24]							
0x2E	0	0	0	IQ1_ORDER	Q1_DEL	0	0	0
0x31	FCW1[7:0]							
0x32	FCW1[15:8]							
0x33	FCW1[23:16]							
0x34	FCW1[31:24]							
0x39..0x60	BIT_MAPPER_A							
0x61..0x88	BIT_MAPPER_B							
0x8F	0	0	0	0	0	0	FORMAT_A	0
0x92	0	0	0	0	0	0	FORMAT_B	0
0x244	0	0	DCLKIN_ VCM	0	0	0	0	0

7.5.4.1 レジスタの詳細説明

図 7-37. レジスタ 0x00

7	6	5	4	3	2	1	0
0	0	0	0	0	0	0	リセット
R/W-0	R/W-0	R/W-0	R/W-0	R/W-0	R/W-0	R/W-0	R/W-0

表 7-9. レジスタ 0x00 のフィールドの説明

ビット	フィールド	タイプ	リセット	説明
7-1	0	R/W	0	0 を書き込む必要があります。
0	リセット	R/W	0	このビットは、すべての内部レジスタをデフォルト値にリセットして、0 にセルフ クリアします。

図 7-38. レジスタ 0x07

7	6	5	4	3	2	1	0
IF_MAPPER_SEL			0	IF_SEL_EN	IF_MODE_SEL		
R/W-0	R/W-0	R/W-0	R/W-0	R/W-0	R/W-0	R/W-0	R/W-0

表 7-10. レジスタ 0x07 のフィールドの説明

ビット	フィールド	タイプ	リセット	説明
7-5	IF_MAPPER_SEL	R/W	000	必要なインターフェイス モードに基づいて、適切なビット マッピングを選択します。各モードのビット マッピングについては、セクション 7.3.4.5 で説明されています。各インターフェイス モードのデフォルト ビット マッピングは、内部ヒューズからロードされ、ヒューズ ロード シーケンスも必要です (表 7-15 を参照)。このフィールドは、ヒューズ ロード シーケンスの前に設定する必要があります。 001: 2 線式、18 ビット、14 ビットのビット マッピング。 010: 2 線式、16 ビットのビット マッピング。 011: 1 線式のビット マッピング。 100: 1/2 ワイヤのビットマッピング。
4	0	R/W	0	0 を書き込む必要があります。
3	IF_SEL_EN	R/W	0	出力インターフェイス モードの選択をイネーブルにします。 0: インターフェイス モードの選択がディセーブルです。 1: インターフェイス モードの選択がイネーブルになっています。
2-0	IF_MODE_SEL	R/W	000	目的の出力インターフェイス モード (2 線式、1 線式、1/2 線式) を選択します。この設定を有効にするには、IF_SEL_EN を 1 に設定する必要があります。 011: インターフェイス モードが 2 線式に設定されています。 100: インターフェイス モードが 1 線式に設定されています。 101: インターフェイス モードが 1/2 線式に設定されています。

Copyright © 2025 Texas Instruments Incorporated

図 7-39. レジスタ 0x08

7	6	5	4	3	2	1	0
0	0	0	0	0	PDN_A	PDN_B	PDN_ GLOBAL
R/W-0	R/W-0	R/W-0	R/W-0	R/W-0	R/W-0	R/W-0	R/W-0

表 7-11. レジスタ 0x08 のフィールドの説明

ビット	フィールド	タイプ	リセット	説明
7-3	0	R/W	0	0 を書き込む必要があります。
2	PDN_A	R/W	0	ADC チャネル A のパワー ダウン。 0: ADC A が有効になります。 1: ADC A がパワーダウンします。
1	PDN_B	R/W	0	ADC B のパワーダウン。 0: ADC デシメータが有効になります。 1:ADC B がパワーダウンします。
0	PDN_GLOBAL	R/W	0	デバイス グローバル パワーダウン。 0: デバイスはイネーブルです。 1: デバイスがパワーダウンします。

図 7-40. レジスタ 0x09

7	6	5	4	3	2	1	0
0	0	0	0	PDN_DA1	PDN_DA0	PDN_DB1	PDN_DB0
R/W-0	R/W-0	R/W-0	R/W-0	R/W-0	R/W-0	R/W-0	R/W-0

表 7-12. レジスタ 0x09 のフィールドの説明

ビット	フィールド	タイプ	リセット	説明
7-4	0	R/W	0	0 を書き込む必要があります。
3	PDN_DA1	R/W	0	レーン A1 パワーダウン制御。このレーンは、1 線式および 1/2 線式インターフェイス モードでは自動的に電源がオフになることはありません。 0: レーン A1 が有効です。 1: レーン A1 がパワーダウンします。
2	PDN_DA0	R/W	0	レーン A0 パワーダウン制御。 0:レーン A0 が有効化されます。 1:レーン A0 がパワーダウンします。
1	PDN_DB1	R/W	0	レーン B1 パワーダウン制御。このレーンは、1 線式および 1/2 線式インターフェイス モードでは自動的に電源がオフになることはありません。 0: レーン B1 が有効です。 1: レーン B1 がパワーダウンします。
0	PDN_DB0	R/W	0	レーン B0 パワーダウン制御。このレーンは、1/2 線式インターフェイス モードでは自動的にパワーダウンされません。 0:レーン B0 を有効にします。 1:レーン B0 をパワーダン。

図 7-41. レジスタ 0x0E

7	6	5	4	3	2	1	0
SYNC_ PIN_EN	SPI_SYNC_ VAL	SYNC_SRC_ SEL	0	CTRL_MODE	REF_SEL		SE_CLK_EN
R/W-0	R/W-0	R/W-0	R/W-0	R/W-0	R/W-0	R/W-0	R/W-0

表 7-13. レジスタ 0x0E のフィールドの説明

ビット	フィールド	タイプ	リセット	説明
7	SYNC_PIN_EN	R/W	0	PDN/SYNC ピンは、2 つの用途を持つデュアル パーパス ピンです。 0:PDN/SYNC ピンが、グローバル パワーダウン制御ピンとして構成されています。 1:PDN/SYNC ピンが SYNC ピンとして構成されています。
6	SPI_SYNC_VAL	R/W	0	SYNC_SRC_SEL がセットされている場合、内部 SYNC の状態を設定します。SYNC シーケンスを発行するには、SPI_SYNC_VAL をトグルする必要があります。自動的に 0 にリセットされません。 0:内部 SYNC 状態が 0 に設定されます (通常動作)。 1:内部 SYNC 状態が 1 に設定されます (SYNC シーケンスを開始します)。
5	SYNC_SRC_SEL	R/W	0	デバイスの SYNC ソースを選択します。 0:PDN/SYNC ピンからの内部 SYNC 状態。 1:SPI_SYNC_VAL フィールドからの SYNC 内部状態。
4	0	R/W	0	0 を書き込む必要があります。
3	CTRL_MODE	R/W	0	ADC リファレンス モードとサンプル クロック タイプを CTRL ピンで設定するか、REF_SEL および SE_CLK_EN フィールドに基づいて選択します。 0:CTRL ピンは ADC リファレンス モードとサンプル クロック入力タイプを制御します。 1:REF_SEL および SE_CLK_EN フィールドは、それぞれ ADC リファレンス モードおよびサンプリング クロック タイプを制御します。
2-1	REF_SEL	R/W	00	SPI を使用して ADC リファレンス モードを選択します。この設定を有効にするには、CTRL_MODE を 1 に設定する必要があります。 00:ADC リファレンスとして 1.6V 内部リファレンスを使用します。 10:ADC リファレンスを外部から供給されます。
0	SE_CLK_EN	R/W	0	ADC サンプリング クロック入力タイプを選択します。この設定を有効にするには、CTRL_MODE を 1 に設定する必要があります。 0:ADC サンプリング クロック入力を差動入力として構成します。 1:ADC サンプリング クロック入力をシングルエンド入力として構成します。

Copyright © 2025 Texas Instruments Incorporated

図 7-42. レジスタ 0x11

7	6	5	4	3	2	1	0
0	0	0	0	0	DLL_PDN	0	0
R/W-0	R/W-0	R/W-0	R/W-0	R/W-0	R/W-0	R/W-0	R/W-0

表 7-14. レジスタ 0x11 のフィールドの説明

ビット	フィールド	タイプ	リセット	説明
7-3	0	R/W	0	0 を書き込む必要があります。
2	DLL_PDN	R/W	0	内部 DLL のパワーダウン状態を選択します。セクション 7.3.2.2 を参照してください。
1-0	0	R/W	0	0 を書き込む必要があります。

図 7-43. レジスタ 0x13

7	6	5	4	3	2	1	0
0	0	0	0	0	0		FUSE_LD
R/W-0	R/W-0	R/W-0	R/W-0	R/W-0	R/W-0	R/W-0	R/W-0

表 7-15. レジスタ 0x13 のフィールドの説明

ビット	フィールド	タイプ	リセット	説明
7-1	0	R/W	0	0 を書き込む必要があります。
0	FUSE_LD	R/W	0	内部ヒューズ負荷制御。1 に設定し、約 1ms 待機し、0 に設定すると、インターフェイス モード設定に基づいてデバイス構成がロードされます。

図 7-44. レジスタ 0x14/15/16

7	6	5	4	3	2	1	0
PAT_DATA[7:0]							
PAT_DATA[15:8]							
TP1_MODE			TP0_MODE			PAT_DATA[17:16]	
R/W-0	R/W-0	R/W-0	R/W-0	R/W-0	R/W-0	R/W-0	R/W-0

表 7-16. レジスタ 0x14/15/16 のフィールドの説明

ビット	フィールド	タイプ	リセット	説明
7-5	TP1_MODE	R/W	000	0x16 に配置されています。テスト パターン 1 のモードを選択します (ADC B のデフォルト データ パス)。 000:テスト パターンが無効化されます (通常出力モード)。 010:ランプ パターン モードで、PAT_DATA はランプ パターンの増分サイズを設定します。 011:コンスタント パターン モード。ここで、PAT_DATA[17:0] は MSB 整列定数パターンです。
4-2	TP0_MODE	R/W	000	0x16 に配置されています。テスト パターン 0 (ADC A のデフォルト データ パス) のモードを選択します。 000:テスト パターンが無効化されます (通常出力モード)。 010:ランプ パターン モードで、PAT_DATA はランプ パターンの増分サイズを設定します。 011:コンスタント パターン モード。ここで、PAT_DATA[17:0] は MSB 整列定数パターンです。
1-0、7-0、7-0	PAT_DATA[17:0]	R/W	0	PAT_DATA[17:0] は次の 3 つのレジスタに分割されます:0x16 で [17:16]、0x15 で [15:8]、0x14 で [7:0]。PAT_DATA: • テスト パターン モードが定数パターンに設定されている場合に定数パターンとして使用されます。 • ランプ パターンにテスト パターン モードが設定されている場合、ランプ パターンのステップ サイズとして使用されます。

Copyright © 2025 Texas Instruments Incorporated

図 7-45. レジスタ 0x19

7	6	5	4	3	2	1	0
FCLK_SRC	0	0	FCLK_DIV	0	0	0	TOG_FCLK
R/W-0	R/W-0	R/W-0	R/W-0	R/W-0	R/W-0	R/W-0	R/W-0

表 7-17. レジスタ 0x19 のフィールドの説明

ビット	フィールド	タイプ	リセット	説明
7	FCLK_SRC	R/W	0	FCLK 信号ソースを選択します。表 7-18 を参照してください。
6-5	0	R/W	0	0 を書き込む必要があります。
4	FCLK_DIV	R/W	0	FCLK 分周器設定を選択します。表 7-18 を参照してください。
3-1	0	R/W	0	0 を書き込む必要があります。
0	TOG_FCLK	R/W	0	FCLK トグル設定を選択します。表 7-18 を参照してください。

表 7-18. デバイス モードに基づく FCLK 設定

モード	インターフェイス モード	FCLK_SRC	FCLK_DIV	TOG_FCLK
DSP 機能はディセーブル/実数デシメーション	2 線式	0	1	0
	1 線式	0	0	0
	1/2 線式	0	0	0
複素デシメーション	2 線式	1	0	0
	1 線式	1	0	0
	1/2 線式	0	0	1

図 7-46. レジスタ 0x1A

7	6	5	4	3	2	1	0
0	HALF_ SWING_EN	0	0	0	0	0	0
R/W-0	R/W-0	R/W-0	R/W-0	R/W-0	R/W-0	R/W-0	R/W-0

表 7-19. レジスタ 0x1A のフィールドの説明

ビット	フィールド	タイプ	リセット	説明
7	0	R/W	0	0 を書き込む必要があります。
6	HALF_SWING_EN	R/W	0	このビットは、LVDS 出力スイングを削減します。
5-0	0	R/W	0	0 を書き込む必要があります。

図 7-47. レジスタ 0x1B

7	6	5	4	3	2	1	0
RES_SEL_EN	20B_EN	RES_SEL			0	0	0
R/W-0	R/W-0	R/W-0	R/W-0	R/W-0	R/W-0	R/W-0	R/W-0

表 7-20. レジスタ 0x1B のフィールドの説明

ビット	フィールド	タイプ	リセット	説明
7	RES_SEL_EN	R/W	0	解像度選択ブロックが有効になっているかどうかを選択します。出力分解能を 20 ビットに設定するには、分解能選択ブロックは必要ありません。 0: 解像度選択ブロックが無効になっています。 1:分解能選択ブロックが有効になります。
6	20B_EN	R/W	0	20 ビットの出力分解能モードを制御。 0:20 ビットの出力分解能モードはディセーブルになります。 1:20 ビット出力分解能モードが有効になりました。
5-3	RES_SEL	R/W	010	出力解像度を選択します。DSP 機能が無効化されている場合、この設定を有効にするには RES_SEL_EN を 1 に設定する必要があります。 000:出力分解能は 18 ビットに設定されます。 001:出力分解能は 16 ビットに設定されます。 010:出力分解能は 14 ビットに設定されます。
2-0	0	R/W	0	0 を書き込む必要があります。

表 7-21. モードに基づく出力分解能の設定

モード	RES_SEL_EN	RES_SEL
DSP 機能が無効	1	000:出力分解能は 18 ビットに設定されます。 001:出力分解能は 16 ビットに設定されます。 010:出力分解能は 14 ビットに設定されます。
実数デシメーション	0	
複素デシメーション	0	

Copyright © 2025 Texas Instruments Incorporated

図 7-48. レジスタ 0x1E

7	6	5	4	3	2	1	0
0	0	0	0	LVDS_DATA_DEL		LVDS_DCLK_DEL	
R/W-0	R/W-0	R/W-0	R/W-0	R/W-0	R/W-0	R/W-0	R/W-0

表 7-22. レジスタ 0x1E のフィールドの説明

ビット	フィールド	タイプ	リセット	説明
7-4	0	R/W	0	0 を書き込む必要があります
3-2	LVDS_DATA_DEL	R/W	00	データ レーンでの制御遅延。 00:遅延なし (通常モード)。 01: データ レーンが 50ps 先行。 10: データ レーンが 50ps 遅延。 11: データ レーンが 100ps 遅延し。
1-0	LVDS_DCLK_DEL	R/W	00	インターフェイス データ クロックの制御遅延。 00:遅延なし (通常モード)。 01:DCLK が 50ps 先行。 10:DCLK が 50ps 遅延。 11:DCLK が 100ps 遅延。

図 7-49. レジスタ 0x20/21/22

7	6	5	4	3	2	1	0
FCLK_PAT[7:0]							
FCLK_PAT_[15:8]							
0	SCR_EN	0	0	FCLK_PAT_[19:16]			
R/W-0	R/W-0	R/W-0	R/W-0	R/W-0	R/W-0	R/W-0	R/W-0

表 7-23. レジスタ 0x20/21/22 のフィールドの説明

ビット	フィールド	タイプ	リセット	説明
6	SCR_EN	R/W	0	0x22 に配置されています。スクランブラのイネーブル状態を設定します。スクランブラは、2 線式インターフェイス モードでのみ使用します。この設定を有効にするには、DSP_EN を 1 に設定する必要があります。 0:出力スクランブラが無効です。 1:出力スクランブラが有効です。
3-0、7-0、7-0	FCLK_PAT[19:0]	R/W	0xFFC00	FCLK_PAT は 3 つのレジスタに分割されます。0x22 で [19:16]、0x21 で [15:8]、0x20 で [7:0]。表 7-24 を参照してください。

表 7-24. 各種モードでの FCLK パターン

モード	出力分解能	2 線式	1 線式	1/2 線式
DSP 機能はディセーブル/実数デシメーション	14 ビット	0xFFC00	0xFE000	0xFFC00
	16 ビット		0xFF000	
	18 ビット		0xFF800	
	20 ビット		0xFFC00	
複素デシメーション	14 ビット		0xFFFFF	0xFFFFF
	16 ビット			
	18 ビット			
	20 ビット			

図 7-50. レジスタ 0x24

7	6	5	4	3	2	1	0
0	0	AVG_EN	DDC_INP_SEL		DSP_EN	DDC_EN	0
R/W-0	R/W-0	R/W-0	R/W-0	R/W-0	R/W-0	R/W-0	R/W-0

表 7-25. レジスタ 0x24 のフィールドの説明

ビット	フィールド	タイプ	リセット	説明
7-6	0	R/W	0	0 を書き込む必要があります。
5	AVG_EN	R/W	0	ADC A と B の出力を平均化する平均化ブロックを制御します。 0:平均化ブロックが無効になります。 1:平均化ブロックが有効になります。
4-3	DDC_INP_SEL	R/W	0	DDC 入力のソースを選択します。この設定を有効にするには、DDC_MUX_EN を 1 に設定する必要があります。 00:DDC0 入力として ADC A を出力します。DDC1 入力としての ADC B の出力。 01:ADC A を DDC0 および DDC1 入力として出力します。 10:DDC0 および DDC1 入力として、ADC B を出力します。 11:DDC0 および DDC1 入力として ADC 平均化ブロックを出力します。
2	DSP_EN	R/W	0	DSP 機能のデータ パスを有効にします。 0:DSP 機能のデータ パスが無効になります。 1:DSP 機能のデータ パスがイネーブルになります。
1	DDC_EN	R/W	0	DDC をイネーブルにします。 0:DDC はディスエーブルになります。 1:DDC はイネーブルになります。
0	0	R/W	0	0 を書き込む必要があります。

Copyright © 2025 Texas Instruments Incorporated

図 7-51. レジスタ 0x25

7	6	5	4	3	2	1	0
DDC_MUX_EN	DEC_FACTOR			DDC_MODE	0	0	0
R/W-0	R/W-0	R/W-0	R/W-0	R/W-0	R/W-0	R/W-0	R/W-0

表 7-26. レジスタ 0x25 のフィールドの説明

ビット	フィールド	タイプ	リセット	説明
7	DDC_MUX_EN	R/W	0	DDC_MUX イネーブルを制御します。DDC_INP_SEL を有効化するには、DDC_MUX をイネーブルにする必要があります。 0:DDC_MUX がディスエーブルです。 1:DDC_MUX がイネーブルです。
6-4	DEC_FACTOR	R/W	000	デシメーション係数設定。 000:デシメーションはありません 001:2 でのデシメーション。 010:4 でのデシメーション。 011:8 でのデシメーション。 100:16 でのデシメーション。 101: 32 での実数のデシメーション。
3	DDC_MODE	R/W	0	DDC モードを使用し、両方の DDC に適用されます。 0:DDC モードが複素数デシメーションに設定されます。 1:DDC モードが複素数デシメーションに設定されます。
2-1	0	R/W	0	0 を書き込む必要があります。

図 7-52. レジスタ 0x26

7	6	5	4	3	2	1	0
DDC0_GAIN		NCO0_RES	0	DDC1_GAIN		NCO1_RES	0
R/W-0	R/W-0	R/W-0	R/W-0	R/W-0	R/W-0	R/W-0	R/W-0

表 7-27. レジスタ 0x26 のフィールドの説明

ビット	フィールド	タイプ	リセット	説明
7-6	DDC0_GAIN	R/W	00	DDC0 における複素デシメーションによる振幅の低下を補償するために、DDC0 のデジタルゲイン設定を選択します。 00: デジタル ゲインを追加しません。 10:6dB のデジタル ゲインを追加します (複素数デシメーション モードでのみ有効します)。
5	NCO0_RES	R/W	0	このビットをトグルすると、DDC0 内の NCO0 の位相がリセットされ、現在の FCW0 が NCO の周波数として読み込まれます。この設定は自動的にはクリアされません。
4	0	R/W	0	0 を書き込む必要があります。
3-2	DDC0_GAIN	R/W	00	DDC1 における複素デシメーションによる振幅の低下を補償するために、DDC1 のデジタルゲイン設定を選択します。 00: デジタル ゲインを追加しません。 10:6dB のデジタル ゲインを追加します (複素数デシメーション モードでのみ有効します)。
1	NCO1_RES	R/W	0	このビットをトグルすると、DDC1 内の NCO1 の位相がリセットされ、現在の FCW1 が NCO の周波数として読み込まれます。この設定は自動的にはクリアされません。
0	0	R/W	0	0 を書き込む必要があります。

図 7-53. レジスタ 0x27

7	6	5	4	3	2	1	0
0	0	0	IQ0_ORDER	Q0_DEL	0	0	0
R/W-0	R/W-0	R/W-0	R/W-0	R/W-0	R/W-0	R/W-0	R/W-0

表 7-28. レジスタ 0x27 のフィールドの説明

ビット	フィールド	タイプ	リセット	説明
7-5	0	R/W	0	0 を書き込む必要があります。
4	IQ0_ORDER	R/W	0	DDC0 の出力において、I と Q の順序を入れ替えます。複素数デシメーションを使用しない場合は 0 に設定します。それ以外の場合は、表 7-29 を参照します。
3	Q0_DEL	R/W	0	これにより、DDC0 の直交出力を 1 サンプルだけ遅延させます。複素数デシメーションを使用しない場合は 0 に設定します。それ以外の場合は、表 7-29 を参照します。
2-0	0	R/W	0	0 を書き込む必要があります

表 7-29. 複素数デシメーションの IQ_ORDER および Q_DEL レジスタ設定

インターフェイス モード	IQ_ORDER	Q_DEL
2 線式	1	0
1 線式	0	1
1/2 線式	1	1

図 7-54. レジスタ 0x2A/B/C/D

7	6	5	4	3	2	1	0
FCW0[7:0]							
FCW0[15:8]							
FCW0[23:16]							
FCW0[31:24]							
R/W-0	R/W-0	R/W-0	R/W-0	R/W-0	R/W-0	R/W-0	R/W-0

表 7-30. レジスタ 0x2A/2B/2C/2D のフィールドの説明

ビット	フィールド	タイプ	リセット	説明
	FCW0[31:0]	R/W	0	NCO0 の FCW は 4 つのレジスタに分割されます。[31:24] は 0x2D に、[23:16] は 0x2C に、[15:8] は 0x2B に、そして [7:0] は 0x2A に格納。

Copyright © 2025 Texas Instruments Incorporated

図 7-55. レジスタ 0x2E

7	6	5	4	3	2	1	0
0	0	0	IQ1_ORDER	Q1_DEL	0	0	0
R/W-0	R/W-0	R/W-0	R/W-0	R/W-0	R/W-0	R/W-0	R/W-0

表 7-31. レジスタ 0x2E のフィールドの説明

ビット	フィールド	タイプ	リセット	説明
7-5	0	R/W	0	0 を書き込む必要があります
4	IQ1_ORDER	R/W	0	DDC1 の出力において、I と Q の順序を入れ替えます。複素数デシメーションを使用しない場合は 0 に設定します。それ以外の場合は、表 7-29 を参照します。
3	Q1_DEL	R/W	0	これにより、DDC1 の直交出力を 1 サンプルだけ遅延させます。複素数デシメーションを使用しない場合は 0 に設定します。それ以外の場合は、表 7-29 を参照します。
2-0	0	R/W	0	0 を書き込む必要があります。

図 7-56. レジスタ 0x31/32/33/34

7	6	5	4	3	2	1	0
FCW1[7:0]							
FCW1[15:8]							
FCW1[23:16]							
FCW1[31:24]							
R/W-0	R/W-0	R/W-0	R/W-0	R/W-0	R/W-0	R/W-0	R/W-0

表 7-32. レジスタ 0x31/32/33/34 のフィールドの説明

ビット	フィールド	タイプ	リセット	説明
	FCW1[31:0]	R/W	0	NCO1 の FCW は 4 つのレジスタに分割されます。[31:24] は 0x34 に、[23:16] は 0x33 に、[15:8] は 0x32 に、そして [7:0] は 0x31 に格納。

図 7-57. レジスタ 0x39..0x60

7	6	5	4	3	2	1	0
BIT_MAPPER_A							
R/W-0	R/W-0	R/W-0	R/W-0	R/W-0	R/W-0	R/W-0	R/W-0

表 7-33. レジスタ 0x39..0x60 のフィールドの説明

ビット	フィールド	タイプ	リセット	説明
	BIT_MAPPER_A	R/W	0	「セクション 7.3.4.5」を参照してください。

図 7-58. レジスタ 0x61..0x88

7	6	5	4	3	2	1	0
BIT_MAPPER_B							
R/W-0	R/W-0	R/W-0	R/W-0	R/W-0	R/W-0	R/W-0	R/W-0

表 7-34. レジスタ 0x61..0x88 のフィールドの説明

ビット	フィールド	タイプ	リセット	説明
7-0	BIT_MAPPER_B	R/W	0	「セクション 7.3.4.5」を参照してください。

図 7-59. レジスタ 0x8F

7	6	5	4	3	2	1	0
0	0	0	0	0	0	FORMAT_A	0
R/W-0	R/W-0	R/W-0	R/W-0	R/W-0	R/W-0	R/W-0	R/W-0

表 7-35. レジスタ 0x8F のフィールドの説明

ビット	フィールド	タイプ	リセット	説明
7-2	0	R/W	0	0 を書き込む必要があります
1	FORMAT_A	R/W	0	チャネル A データ パスの出力データ フォーマットを設定します。この設定を有効にするには、DSP_EN を 1 に設定する必要があります。 0:出力データ形式は 2 の補数です。 1:出力データ形式はオフセット バイナリです。
0	0	R/W	0	0 を書き込む必要があります

図 7-60. レジスタ 0x92

7	6	5	4	3	2	1	0
0	0	0	0	0	0	FORMAT_B	0
R/W-0	R/W-0	R/W-0	R/W-0	R/W-0	R/W-0	R/W-0	R/W-0

表 7-36. レジスタ 0x92 のフィールドの説明

ビット	フィールド	タイプ	リセット	説明
7-2	0	R/W	0	0 を書き込む必要があります
1	FORMAT_B	R/W	0	チャネル B データパスの出力データ フォーマットを設定します。この設定を有効にするには、DSP_EN を 1 に設定する必要があります。 0:出力データ形式は 2 の補数です。 1:出力データ形式はオフセット バイナリです。
0	0	R/W	0	0 を書き込む必要があります

表 7-37. レジスタ 0x244

7	6	5	4	3	2	1	0
0	0	DCLKIN_VCM	0	0	0	0	0
R/W-0	R/W-0	R/W-0	R/W-0	R/W-0	R/W-0	R/W-0	R/W-0

表 7-38. レジスタ 0x244 のフィールドの説明

ビット	フィールド	タイプ	リセット	説明
7-6	0	R/W	0	0 を書き込む必要があります。
5	DCLKIN_VCM	R/W	0	このビットは、DCLKIN の同相ソースを設定します。 0:DCLKIN の同相モードは外部から供給されます。 1:DCLKIN は内部で 1.2V の同相電圧にバイアスされています。
4-0	0	R/W	0	0 を書き込む必要があります。

Copyright © 2025 Texas Instruments Incorporated

8 アプリケーション情報に関する免責事項

注

以下のアプリケーション情報は、テキサス・インスツルメンツの製品仕様に含まれるものではなく、テキサス・インスツルメンツはその正確性も完全性も保証いたしません。個々の目的に対する製品の適合性については、お客様の責任で判断していただくことになります。また、お客様は自身の設計実装を検証しテストすることで、システムの機能を確認する必要があります。

8.1 アプリケーション情報

ADC3664-SP は、高速で低レイテンシのデジタイザとして、さまざまな宇宙用途に使用できます。ADC3664-SP の一般的な用途のいくつかは、光学的画像処理ペイロードにあります。

8.2 代表的なアプリケーション

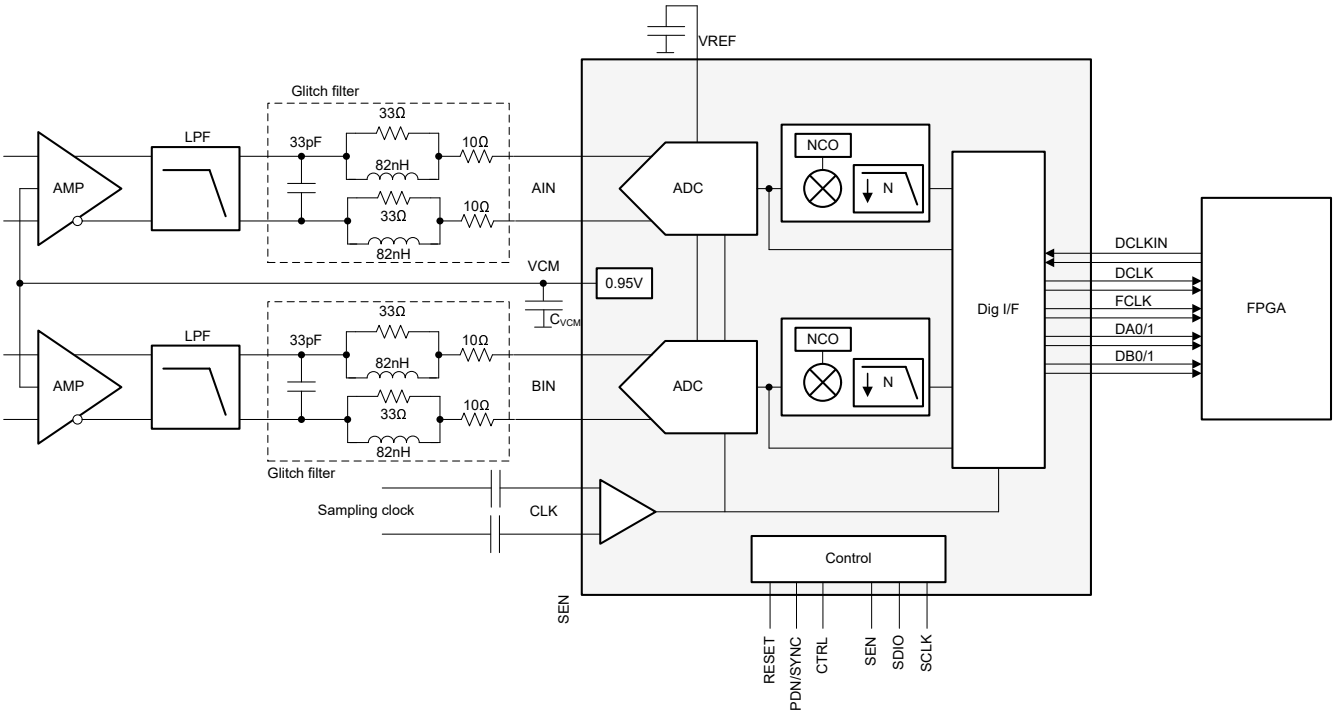


図 8-1. DC 結合デジタイザの一般的な構成

8.2.1 設計要件

表 8-1. 設計要件

要件	説明
信号帯域幅	DC～20 MHz
入力ドライバ	シングルエンド信号から差動信号への変換および DC 結合
クロック ソース	低ジッタの差動クロック

8.2.2 詳細な設計手順

アプリケーション要件を表 8-1 に示します。対応する信号帯域が DC まで低いため、信号を ADC の入力に DC 結合するためにアンプが使用されます。さらに、図 8-1 に示すように、ADC の VCM 出力でアンプの同相モードが得られます。

アンプまたはフィルタの駆動回路を設計する際には、ADC の入力フルスケール電圧を考慮する必要があります。たとえば、ADC3664-SP 入力のフルスケールは 3.2V_{PP} です。テキサス・インスツルメンツ (TI) は、LMH5485-SP や THS4511-SP など、宇宙用途で使用する多様なアンプを提供しています。最高の DC 精度を得るには、外部基準電圧を使用できます。

8.3 初期化セットアップ

デバイスの初期化は、以下の手順に従う必要があります。

1. AVDD と IOVDD を適用します (特定のシーケンスは不要)。AVDD が印加されると、内部のリファレンスが起動し、約 2ms で安定します。
2. CTRL ピンを構成し、サンプリング クロックを適用します。
3. ハードウェア リセットを適用します。ハードウェア リセットが解除されると、内部フューズからデフォルトのレジスタが読み込まれ、内部の電源投入時キャリブレーションが開始されます。キャリブレーションには約 200000 クロック サイクルが必要です。
4. SPI 経由でプログラミングを開始します。

表 8-2. 起動タイミング

		最小時間	単位
t_1	電源投入から CTRL ピンがロジック レベルに達するまでの遅延時間	2	ms
t_2	リセット パルス幅	1	µs
t_3	RESET ディセーブルから $\overline{SEN}$ がアクティブになるまでの遅延	"200000	クロック サイクル

Copyright © 2025 Texas Instruments Incorporated

8.4 電源に関する推奨事項

ADC3664-SP は、2 種類の電源を必要とします。A_{VDD} s 電源は、内部のアナログ回路および ADC に電力を供給し、I_{OVDD} 電源は、デジタル インターフェイスおよび内部のデジタル回路に電力を供給します。電源投入シーケンスは必要ありません。

データ シートの性能を実現するには、低ノイズ電源に AVDD レールを供給する必要があります。

以下の 2 つの推奨される電源アーキテクチャがあります。

1. 高効率のスイッチング レギュレータの後段に、スイッチング ノイズを抑制し電圧精度を向上させるための低ノイズ LDO を配置します。
2. 高効率のスイッチング レギュレータを使用して、最終的な ADC の電源電圧まで直接降圧します。この方法は最高の電力効率を提供しますが、スイッチング レギュレータのノイズによって ADC の性能が劣化しないよう注意が必要です。

第一段の放射線耐性強化スイッチングレギュレータとして、TPS7H4002-SP を推奨します。スイッチング レギュレータの後に、宇宙で強化された LDO である TPS7A4501-SP または TPS7H1111-SP のどちらかを配置できます。

注

デジタルのスイッチング ノイズがアナログ信号経路に結合するのを防ぐため、A_{VDD} と I_{OVDD} の電源電圧は共有しないようにすべきです。

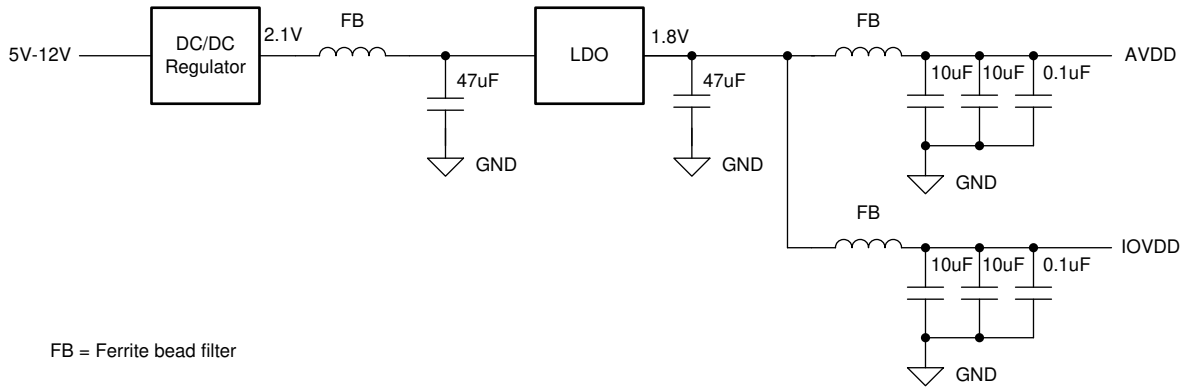


図 8-2. LDO ベースのアプローチの例

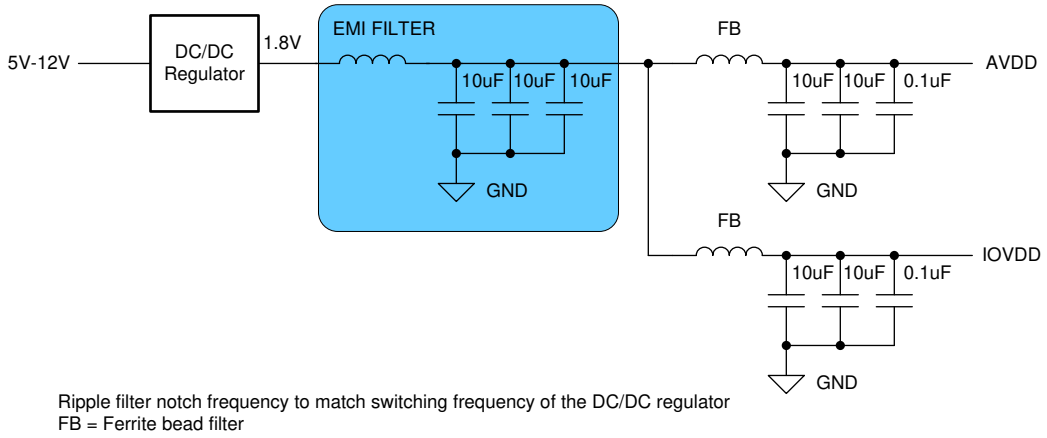


図 8-3. スイッチャのみのアプローチの例

8.5 レイアウト

8.5.1 レイアウトのガイドライン

基板設計時に特定の注意を必要とする重要な信号がいくつかあります。

1. アナログ入力信号およびクロック信号:
   - インピーダンスの不連続を最小限に抑えるために、配線はできるだけ短くし、可能な限りビアの使用を避けます。
   - トレースは、疎結合した 100Ω 差動配線を使って配線するものとします。
   - 位相の不均衡や HD2 (2 次高調波歪み) の劣化を最小限に抑えるために、差動配線の長さはできるだけ正確に一致させる必要があります。
2. デジタル出力インターフェイス:
   - トレースは、密接に結合された 100Ω の差動ペアで行う必要があります。
   - カップリングを最小限に抑えるため、LVDS レーンは、アナログ入力からできるだけ離して配線します。
3. 電圧リファレンス:
   - デカップリング コンデンサは、デバイスのピンにできるだけ近い位置に配置し、VREF と REFGND の間に接続します。また、ビアの使用は避け、コンデンサはデバイスと同じ層に配置することが推奨されます。
4. 電源およびグランド接続:
   - 電源ピンおよびグランド ピンのすべてに対して、低抵抗の接続パスとします。
   - 接続抵抗が増加するような、狭くて孤立したパスは避けます。
   - PCB スタックアップの電源層と信号層の間に GND 層を追加します。

Copyright © 2025 Texas Instruments Incorporated

8.5.2 レイアウト例

以下に、ADC3664-SP EVM 上の ADC3664-SP の上層レイアウトを示す例を示します。

- 信号およびクロック入力は、トップ層に差動信号として配線されています。
- LVDS レーンはビアを経由して最下層に移動し、アナログ入力でのカップリングを最小限に抑えます。

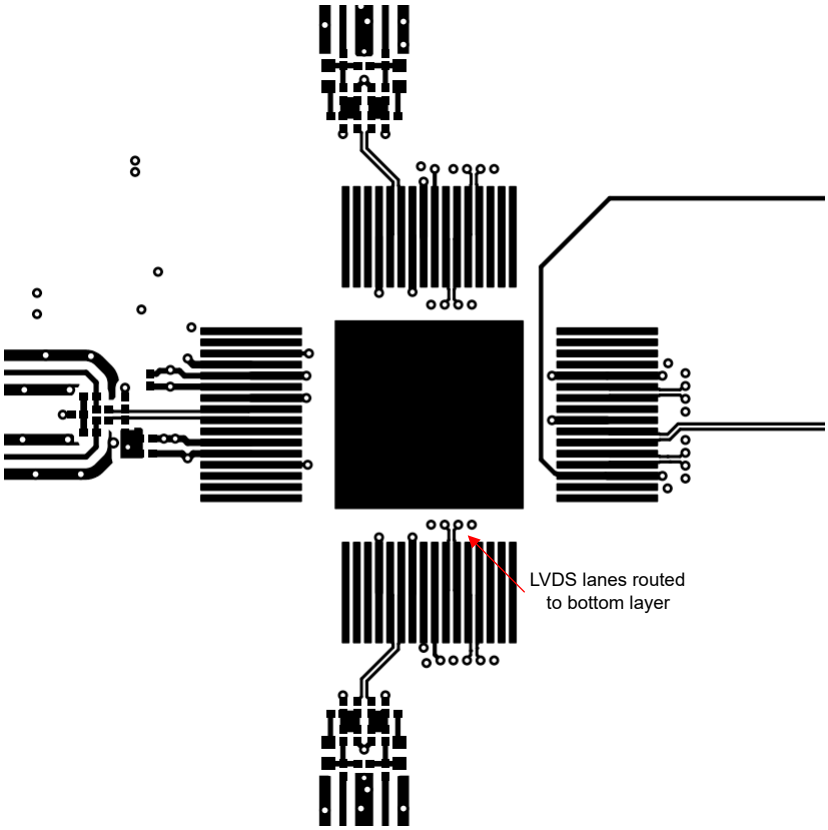


図 8-4. ADC3664-SP EVM のレイアウト例

9 デバイスおよびドキュメントのサポート

9.1 ドキュメントの更新通知を受け取る方法

ドキュメントの更新についての通知を受け取るには、www.tij.co.jp のデバイス製品フォルダを開いてください。[通知] をクリックして登録すると、変更されたすべての製品情報に関するダイジェストを毎週受け取ることができます。 変更の詳細については、改訂されたドキュメントに含まれている改訂履歴をご覧ください。

9.2 サポート・リソース

テキサス・インスツルメンツ E2E™ サポート・フォーラムは、エンジニアが検証済みの回答と設計に関するヒントをエキスパートから迅速かつ直接得ることができる場所です。既存の回答を検索したり、独自の質問をしたりすることで、設計で必要な支援を迅速に得ることができます。

リンクされているコンテンツは、各寄稿者により「現状のまま」提供されるものです。これらはテキサス・インスツルメンツの仕様を構成するものではなく、必ずしもテキサス・インスツルメンツの見解を反映したものではありません。テキサス・インスツルメンツの使用条件を参照してください。

9.3 商標

テキサス・インスツルメンツ E2E™ is a trademark of Texas Instruments.
すべての商標は、それぞれの所有者に帰属します。

9.4 静電気放電に関する注意事項

この IC は、ESD によって破損する可能性があります。テキサス・インスツルメンツは、IC を取り扱う際には常に適切な注意を払うことを推奨します。正しい取り扱いおよび設置手順に従わない場合、デバイスを破損するおそれがあります。

ESD による破損は、わずかな性能低下からデバイスの完全な故障まで多岐にわたります。精密な IC の場合、パラメータがわずかに変化するだけで公表されている仕様から外れる可能性があるため、破損が発生しやすくなっています。

9.5 用語集

テキサス・インスツルメンツ用語集　　この用語集には、用語や略語の一覧および定義が記載されています。

10 改訂履歴

資料番号末尾の英字は改訂を表しています。その改訂履歴は英語版に準じています。

Changes from Revision * (December 2024) to Revision A (April 2025)	Page
• DC 仕様の BW の標準値を 1.4GHz から 200MHz に変更	8
• 「代表的特性」を変更	13
• *アナログ入力帯域幅*を更新	23

11 メカニカル、パッケージ、および注文情報

以降のページには、メカニカル、パッケージ、および注文に関する情報が記載されています。この情報は、指定のデバイスに使用できる最新のデータです。このデータは、予告なく、このドキュメントを改訂せずに変更される場合があります。本データシートのブラウザ版を使用されている場合は、画面左側の説明をご覧ください。

Copyright © 2025 Texas Instruments Incorporated

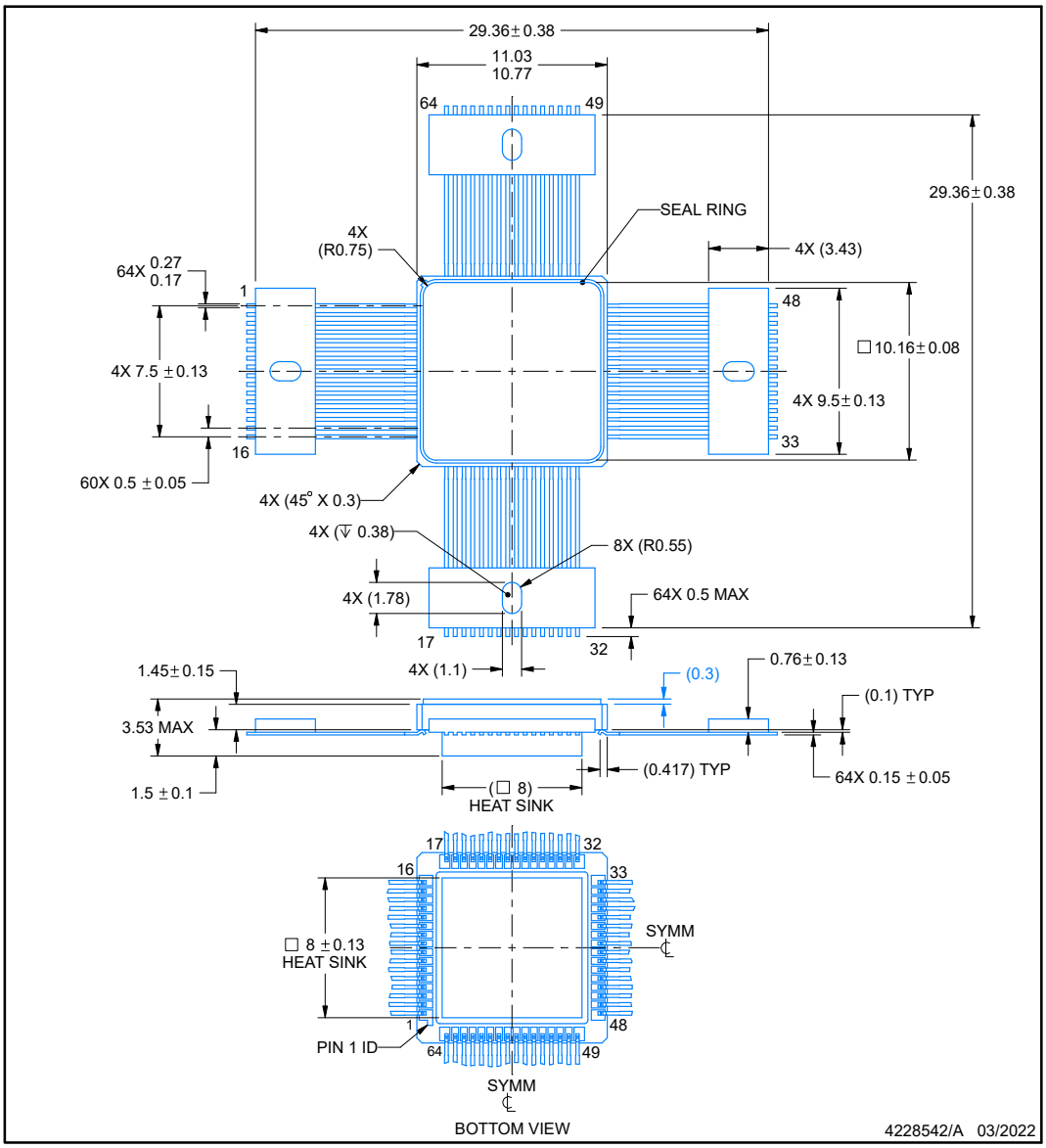
11.1 メカニカル データ

HBP0064A

PACKAGE OUTLINE

CFP - 3.53 mm max height

CERAMIC FLATPACK



NOTES:

1. All linear dimensions are in millimeters. Any dimensions in parenthesis are for reference only. Dimensioning and tolerancing per ASME Y14.5M.
2. This drawing is subject to change without notice.
3. This package is hermetically sealed with a metal lid.
4. Ground pad to be electronic connected to heat sink and seal ring.
5. The leads are gold plated and can be solder dipped.

Copyright © 2025 Texas Instruments Incorporated

重要なお知らせと免責事項

テキサス・インスツルメンツは、技術データと信頼性データ (データシートを含みます)、設計リソース (リファレンス デザインを含みます)、アプリケーションや設計に関する各種アドバイス、Web ツール、安全性情報、その他のリソースを、欠陥が存在する可能性のある「現状のまま」提供しており、商品性および特定目的に対する適合性の黙示保証、第三者の知的財産権の非侵害保証を含むいかなる保証も、明示的または黙示的にかかわらず拒否します。

これらのリソースは、テキサス・インスツルメンツ製品を使用する設計の経験を積んだ開発者への提供を意図したものです。(1) お客様のアプリケーションに適した テキサス・インスツルメンツ製品の選定、(2) お客様のアプリケーションの設計、検証、試験、(3) お客様のアプリケーションに該当する各種規格や、その他のあらゆる安全性、セキュリティ、規制、または他の要件への確実な適合に関する責任を、お客様のみが単独で負うものとします。

上記の各種リソースは、予告なく変更される可能性があります。これらのリソースは、リソースで説明されている テキサス・インスツルメンツ製品を使用するアプリケーションの開発の目的でのみ、テキサス・インスツルメンツはその使用をお客様に許諾します。これらのリソースに関して、他の目的で複製することや掲載することは禁止されています。テキサス・インスツルメンツや第三者の知的財産権のライセンスが付与されている訳ではありません。お客様は、これらのリソースを自身で使用した結果発生するあらゆる申し立て、損害、費用、損失、責任について、テキサス・インスツルメンツおよびその代理人を完全に補償するものとし、テキサス・インスツルメンツは一切の責任を拒否します。

テキサス・インスツルメンツの製品は、テキサス・インスツルメンツの販売条件、または ti.com やかかる テキサス・インスツルメンツ製品の関連資料などのいずれかを通じて提供する適用可能な条項の下で提供されています。テキサス・インスツルメンツがこれらのリソースを提供することは、適用される テキサス・インスツルメンツの保証または他の保証の放棄の拡大や変更を意味するものではありません。

お客様がいかなる追加条項または代替条項を提案した場合でも、テキサス・インスツルメンツはそれらに異議を唱え、拒否します。

郵送先住所：Texas Instruments, Post Office Box 655303, Dallas, Texas 75265
Copyright © 2025, Texas Instruments Incorporated

PACKAGING INFORMATION

Orderable part number	Status (1)	Material type (2)	Package | Pins	Package qty | Carrier	RoHS (3)	Lead finish/ Ball material (4)	MSL rating/ Peak reflow (5)	Op temp (°C)	Part marking (6)
5962F2320501VXC	Active	Production	CFP (HBP) | 64	24 | TUBE	Yes	NIAU	N/A for Pkg Type	-40 to 105	F2320501VXC ADC3664-SP
5962F2320501VXC.A	Active	Production	CFP (HBP) | 64	24 | TUBE	Yes	NIAU	N/A for Pkg Type	-40 to 105	F2320501VXC ADC3664-SP
ADC3664HBP/EM	Active	Production	CFP (HBP) | 64	24 | TUBE	Yes	Call TI	Call TI	25 to 25	ADC3664HBP/EM EVAL ONLY
ADC3664HBP/EM.A	Active	Production	CFP (HBP) | 64	24 | TUBE	Yes	Call TI	Call TI	25 to 25	ADC3664HBP/EM EVAL ONLY

(1) **Status:** For more details on status, see our product life cycle.

(2) **Material type:** When designated, preproduction parts are prototypes/experimental devices, and are not yet approved or released for full production. Testing and final process, including without limitation quality assurance, reliability performance testing, and/or process qualification, may not yet be complete, and this item is subject to further changes or possible discontinuation. If available for ordering, purchases will be subject to an additional waiver at checkout, and are intended for early internal evaluation purposes only. These items are sold without warranties of any kind.

(3) **RoHS values:** Yes, No, RoHS Exempt. See the TI RoHS Statement for additional information and value definition.

(4) **Lead finish/Ball material:** Parts may have multiple material finish options. Finish options are separated by a vertical ruled line. Lead finish/Ball material values may wrap to two lines if the finish value exceeds the maximum column width.

(5) **MSL rating/Peak reflow:** The moisture sensitivity level ratings and peak solder (reflow) temperatures. In the event that a part has multiple moisture sensitivity ratings, only the lowest level per JEDEC standards is shown. Refer to the shipping label for the actual reflow temperature that will be used to mount the part to the printed circuit board.

(6) **Part marking:** There may be an additional marking, which relates to the logo, the lot trace code information, or the environmental category of the part.

Multiple part markings will be inside parentheses. Only one part marking contained in parentheses and separated by a "~" will appear on a part. If a line is indented then it is a continuation of the previous line and the two combined represent the entire part marking for that device.

Important Information and Disclaimer: The information provided on this page represents TI's knowledge and belief as of the date that it is provided. TI bases its knowledge and belief on information provided by third parties, and makes no representation or warranty as to the accuracy of such information. Efforts are underway to better integrate information from third parties. TI has taken and continues to take reasonable steps to provide representative and accurate information but may not have conducted destructive testing or chemical analysis on incoming materials and chemicals. TI and TI suppliers consider certain information to be proprietary, and thus CAS numbers and other limited information may not be available for release.

In no event shall TI's liability arising out of such information exceed the total purchase price of the TI part(s) at issue in this document sold by TI to Customer on an annual basis.

OTHER QUALIFIED VERSIONS OF ADC3664-SP :

- Catalog : ADC3664

NOTE: Qualified Version Definitions:

- Catalog - TI's standard catalog product

重要なお知らせと免責事項

テキサス· インスツルメンツは、技術データと信頼性データ (データシートを含みます)、設計リソース (リファレンス デザインを含みます)、アプリケーションや設計に関する各種アドバイス、Web ツール、安全性情報、その他のリソースを、欠陥が存在する可能性のある「現状のまま」提供しており、商品性および特定目的に対する適合性の黙示保証、第三者の知的財産権の非侵害保証を含むいかなる保証も、明示的または黙示的にかかわらず拒否します。

これらのリソースは、 テキサス· インスツルメンツ製品を使用する設計の経験を積んだ開発者への提供を意図したものです。(1) お客様のアプリケーションに適した テキサス· インスツルメンツ製品の選定、(2) お客様のアプリケーションの設計、検証、試験、(3) お客様のアプリケーションに該当する各種規格や、その他のあらゆる安全性、セキュリティ、規制、または他の要件への確実な適合に関する責任を、お客様のみが単独で負うものとします。

上記の各種リソースは、予告なく変更される可能性があります。これらのリソースは、リソースで説明されている テキサス· インスツルメンツ製品を使用するアプリケーションの開発の目的でのみ、 テキサス· インスツルメンツはその使用をお客様に許諾します。これらのリソースに関して、他の目的で複製することや掲載することは禁止されています。 テキサス· インスツルメンツや第三者の知的財産権のライセンスが付与されている訳ではありません。お客様は、これらのリソースを自身で使用した結果発生するあらゆる申し立て、損害、費用、損失、責任について、 テキサス· インスツルメンツおよびその代理人を完全に補償するものとし、 テキサス· インスツルメンツは一切の責任を拒否します。

テキサス· インスツルメンツの製品は、 テキサス· インスツルメンツの販売条件、または ti.com やかかる テキサス· インスツルメンツ製品の関連資料などのいずれかを通じて提供する適用可能な条項の下で提供されています。 テキサス· インスツルメンツがこれらのリソースを提供することは、適用される テキサス· インスツルメンツの保証または他の保証の放棄の拡大や変更を意味するものではありません。

お客様がいかなる追加条項または代替条項を提案した場合でも、 テキサス· インスツルメンツはそれらに異議を唱え、拒否します。

郵送先住所：Texas Instruments, Post Office Box 655303, Dallas, Texas 75265
Copyright © 2025, Texas Instruments Incorporated