

ADC3664-SEP ADC3664-EP 14 ビット、125MSPS、低ノイズ、低消費電力デュアルチャネル ADC

1 特長

- 耐放射線特性 (-SEP のみ):
 - 単一イベント ラッチアップ (SEL) 耐性 (最大):
LET = 43 MeV-cm²/mg
 - LET = 43MeV-cm²/mg まで、SEFI (Single-Event Functional Interrupt) 特性を評価済み
 - 吸収線量 (TID): 30krad(Si)
- エンハンスド製品 (- EP と -SEP):
 - ASTM E595 アウトガス仕様に適合
 - ベンダー品目の図面 (VID)
 - 温度範囲: -55°C ~ 105°C
 - 単一の製造、アセンブリ、テスト施設
 - 金ボンドワイヤ、NiPdAu リード仕上げ
 - ウェハー ロットをトレース可能
 - 長期にわたる製品ライフ サイクル
- デュアル チャネル、125MSPS ADC
- 14 ビットの分解能 (ミッシング コードなし)
- ノイズ・フロア: -156.9dBFS/Hz
- 低消費電力: 100mW/ チャネル (125MSPS 時)
- レイテンシ: 2 クロック サイクル
- 電圧リファレンス オプション:
 - 外部: 1 ~ 125MSPS
 - 内部: 100 ~ 125MSPS
- 入力帯域幅: 200MHz (3dB)
- INL: ±2.6LSB, DNL: ±0.9LSB (標準値)
- オンチップ DSP (オプション / バイパス可能)
 - デシメーション比: 2、4、8、16、32
 - 32 ビット NCO
- シリアル LVDS デジタル インターフェイス (2 線式、1 線式、1/2 線式)
- 小型サイズ: 40QFN (5 × 5mm) パッケージ
- スペクトル性能 (f_{IN} = 5MHz):
 - 信号対雑音比: 77.5dBFS
 - SFDR: 84dBc HD2、HD3
 - SFDR: 92dBFS の最大スプリアス

2 アプリケーション

- 高速データ アクイジション
- 衛星光通信ペイロード
- 衛星画像処理ペイロード
- 衛星通信ペイロード
- 衛星レーダーおよび LIDAR ペイロード

3 概要

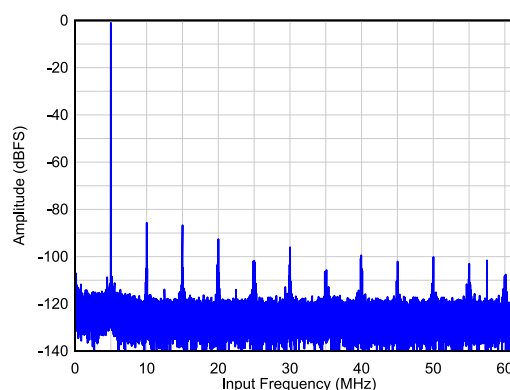
ADC3664-xEP デバイスは、低ノイズ、超低消費電力、14 ビット、125MSPS のデュアル チャネル高速 A/D コンバータ (ADC) です。きわめて低いノイズ性能を実現するように設計されており、デバイスのノイズ スペクトル密度は -156.9dBFS/Hz となり、直線性とダイナミック レンジを備えています。ADC3664-xEP は IF サンプルングをサポートしており、広範なアプリケーション向けに設計されたデバイスです。レイテンシがわずか 1 クロック サイクルと短いため、高速な制御ループを実現できます。この ADC の消費電力は 1 チャネルあたりわずか 100mW (125MSPS 時) であり、サンプルング レートを下げることで、消費電力を良好に低減できます。

ADC3664-xEP は、シリアル LVDS (SLVDS) インターフェイスを使用してデータを出力し、デジタル相互接続の数を最小限に抑えます。このデバイスは、2 レーン、1 レーン、およびハーフ レーンのオプションをサポートしています。このデバイスは、-55 ~ +105°C の拡張温度範囲をサポートしています。

パッケージ情報

部品番号	パッケージ (1)	パッケージ サイズ(2)
ADC3664-SEP	VQFN (40)	5mm × 5mm
ADC3664-EP		

- 詳細については、[セクション 12](#) を参照してください。
- パッケージ サイズ (長さ × 幅) は公称値であり、該当する場合、これにはピンも含まれます。



F_{IN} = 5MHz でのシングル トーン FFT



目次

1 特長	1	7.4 デバイスの機能モード.....	44
2 アプリケーション	1	7.5 プログラミング.....	45
3 概要	1	8 アプリケーション情報に関する免責事項	47
4 ピン構成および機能	3	8.1 アプリケーション情報.....	47
5 仕様	5	8.2 代表的なアプリケーション.....	47
5.1 絶対最大定格.....	5	8.3 初期化セットアップ.....	50
5.2 ESD 定格.....	5	8.4 電源に関する推奨事項.....	52
5.3 推奨動作条件.....	5	8.5 レイアウト.....	53
5.4 熱に関する情報.....	5	9 レジスタ マップ	55
5.5 電気的特性 - 消費電力.....	7	9.1 レジスタの詳細説明.....	56
5.6 電気的特性 - DC 仕様.....	8	10 デバイスおよびドキュメントのサポート	71
5.7 電気的特性 - AC 仕様.....	10	10.1 ドキュメントの更新通知を受け取る方法.....	71
5.8 タイミング要件.....	11	10.2 サポート・リソース.....	71
5.9 代表的特性.....	13	10.3 商標.....	71
6 パラメータ測定情報	18	10.4 静電気放電に関する注意事項.....	71
7 詳細説明	20	10.5 用語集.....	71
7.1 概要.....	20	11 改訂履歴	71
7.2 機能ブロック図.....	20	12 メカニカル、パッケージ、および注文情報	71
7.3 機能説明.....	21	12.1 メカニカル データ.....	72

4 ピン構成および機能

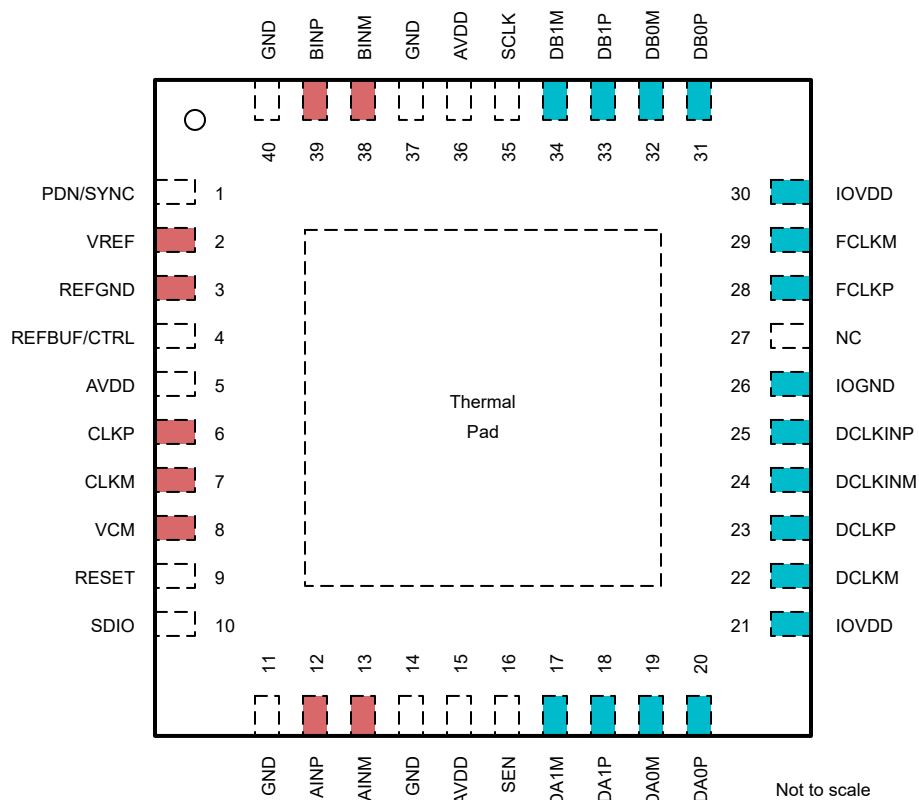


図 4-1. RSB (WQFN) パッケージ、40 ピン
(上面図)

表 4-1. ピンの機能

ピン		タイプ	概要
名称	番号		
入力/換算			
AINM	13	I	負アナログ入力、チャンネル A
AINP	12	I	正アナログ入力、チャンネル A
BINP	39	I	正アナログ入力、チャンネル B
BINM	38	I	負アナログ入力、チャンネル B
REFGND	3	I	基準グランド入力、0V
VCM	8	O	アナログ入力への同相電圧出力、0.95V
VREF	2	I	外部電圧リファレンス入力
クロック			
CLKM	7	I	ADC の負の差動サンプリング クロック入力
CLKP	6	I	ADC の正の差動サンプリング クロック入力
構成			

表 4-1. ピンの機能 (続き)

ピン		タイプ	概要
名称	番号		
PDN/同期	1	I	パワーダウン/同期入力。このピンは、SPI インターフェイスにより構成します。アクティブ HIGH。このピンには、内部に 21kΩ プルダウン抵抗があります。
REFBUF/CTRL	4	I	このピンを使用して、電源投入時にデフォルトのサンプリング クロック タイプと電圧リファレンス ソースを構成します。AVDD に対して内部に 100kΩ のプルアップ抵抗があります。
リセット	9	I	ハードウェアリセットアクティブ HIGH。このピンには、内部に 21kΩ プルダウン抵抗があります。
SCLK	35	I	シリアル インターフェース クロック入力。このピンには、内部に 21kΩ プルダウン抵抗があります。
SDIO	10	I	シリアル インターフェース データ入出力。このピンには、内部に 21kΩ プルダウン抵抗があります。
SEN	16	I	シリアル インターフェースのイネーブル。アクティブ Low。このピンには、内部に AVDD への 21kΩ プルアップ抵抗があります。
NC	27	-	接続しない
デジタル インターフェイス			
DA0P	20	O	レーン 0、チャンネル A の正の差動シリアル LVDS 出力。
DA0M	19	O	レーン 0、チャンネル A の負の差動シリアル LVDS 出力。
DA1P	18	O	レーン 1、チャンネル A の正の差動シリアル LVDS 出力。
DA1M	17	O	レーン 1、チャンネル A の負の差動シリアル LVDS 出力。
DB0P	31	O	レーン 0、チャンネル B の正の差動シリアル LVDS 出力。
DB0M	32	O	レーン 0、チャンネル B の負の差動シリアル LVDS 出力。
DB1P	33	O	レーン 1、チャンネル B の正の差動シリアル LVDS 出力。
DB1M	34	O	レーン 1、チャンネル B の負の差動シリアル LVDS 出力。
DCLKP	23	O	正の差動シリアル LVDS ビットクロック出力。
DCLKM	22	O	負の差動シリアル LVDS ビット クロック出力。
FCLKP	28	O	正の差動データ LVDS フレーム クロック出力。
FCLKM	29	O	負の差動シリアル LVDS フレーム クロック出力。
DCLKINP	25	I	正の差動シリアル LVDS ビット クロック入力。内部に 100Ω の差動終端
DCLKINM	24	I	負の差動シリアル LVDS ビット クロック入力。内部に 100Ω の差動終端
電源			
AVDD	5,15,36	I	アナ 1.8V のアナログ電源
GND	11、14、37、40、PowerPAD™	I	グラウンド、0V
IOGND	26	I	デジタル インターフェイス用のグラウンド、0V
IOVDD	21,30	I	デジタル インターフェイス用 1.8V 電源

5 仕様

5.1 絶対最大定格

自由気流での動作温度範囲内 (特に記述のない限り) ⁽¹⁾

パラメータ	テスト条件	最小値	最大値	単位
電源電圧の範囲、AVDD、IOVDD		-0.3	2.1	V
電源電圧の範囲、GND、IOGND、REFGND		-0.3	0.3	V
入力ピンに印加される電圧	AINP/M、BINP/M、CLKP/M、VREF、REFBUF	-0.3	MIN(2.1、AVDD+0.3)	V
	PDN / SYNC、RESET、SCLK、SEN、SDIO	-0.3	MIN(2.1、AVDD+0.3)	
	DCLKINP / M	-0.3	MIN(2.1、IOVDD+0.3)	
接合部温度、T _J			125	°C
保管温度、T _{stg}		-65	150	°C

- (1) 絶対最大定格を上回るストレスが加わった場合、デバイスに永続的な損傷が発生する可能性があります。これらはあくまでもストレス定格であり、**推奨動作条件**に示されている条件を超える当該の条件またはその他のいかなる条件下での、デバイスの正常な動作を保証するものではありません。絶対最大定格の状態が長時間続くと、デバイスの信頼性に影響を与える可能性があります。

5.2 ESD 定格

			値	単位
V _(ESD)	静電放電	人体モデル (HBM)、ANSI/ESDA/JEDEC JS-001 に準拠、すべてのピン ⁽¹⁾	2500	V
		デバイス帯電モデル (CDM)、JEDEC 仕様 JESD22-C101 に準拠、すべてのピン ⁽²⁾	1000	

- (1) JEDEC ドキュメント JEP155 には、500V HBM であれば標準的な ESD 管理プロセスにより安全な製造が可能であると記載されています。
(2) JEDEC ドキュメント JEP157 には、250V CDM であれば標準的な ESD 管理プロセスにより安全な製造が可能であると記載されています。

5.3 推奨動作条件

自由気流での動作温度範囲内 (特に記述のない限り)

		最小値	公称値	最大値	単位
電源電圧範囲	AVDD ⁽¹⁾	1.75	1.8	1.85	V
	IOVDD ⁽¹⁾	1.75	1.8	1.85	V
T _A	自由空気での動作温度	-55		105	°C
T _J	動作時接合部温度			105 ⁽²⁾	°C

- (1) GND に対して測定。
(2) この接合部温度を超えて長時間使用すると、デバイスの時間あたりの故障回数 (FIT) レートが上昇する可能性があります。

5.4 熱に関する情報

熱評価基準 ⁽¹⁾		ADC3664-SEP	単位
		RSB (QFN)	
		40 ピン	
R _{ΘJA}	接合部から周囲への熱抵抗	30.7	°C/W
R _{ΘJC(top)}	接合部からケース (上面) への熱抵抗	16.4	°C/W
R _{ΘJB}	接合部から基板への熱抵抗	10.5	°C/W
Ψ _{JT}	接合部から上面への特性パラメータ	0.2	°C/W
Ψ _{JB}	接合部から基板への特性パラメータ	10.5	°C/W

5.4 熱に関する情報 (続き)

熱評価基準 ⁽¹⁾		ADC3664-SEP	単位
		RSB (QFN)	
		40 ピン	
$R_{\theta JC(bot)}$	接合部からケース (底面) への熱抵抗	2.0	°C/W

- (1) 従来および新しい熱特性の詳細については、『半導体および IC パッケージの熱測定値』アプリケーション レポート、SPRA953 を参照してください。

5.5 電気的特性 - 消費電力

標準値は、 $T_A = 25^{\circ}\text{C}$ 、全温度範囲は $T_{\text{MIN}} = -55^{\circ}\text{C} \sim T_{\text{MAX}} = 105^{\circ}\text{C}$ 、ADC サンプルング レート= 125MSPS、50% クロック デューティ サイクル、 $\text{AVDD} = \text{IOVDD} = 1.8\text{V}$ 、1.6V 外部リファレンス、-1dBFS 差動入力 (特に記述のない限り)

パラメータ		テスト条件	最小値	標準値	最大値	単位
ADC3664-SEP: 125MSPS						
I_{AVDD}	アナログ電源電流	外部リファレンス		64	80	mA
I_{IOVDD}	I/O 電源電流	SLVDS 2 線式		47	72	
P_{DIS}	消費電力	外部リファレンス、2 線式		200	274	mW
I_{IOVDD}	I/O 電源電流	2 線式、1/2 スイング		35		mA
		4 倍の実数デシメーション、16 ビット、1 線式		50		
		16 倍の実数デシメーション、16 ビット、1 線式		45		
		16 倍の実数デシメーション、16 ビット、1/2 線式		41		
		4 倍の複素数デシメーション、16 ビット、1 線式		57		
		8 倍の複素数デシメーション、16 ビット、1 線式		54		
		8 倍の複素数デシメーション、16 ビット、1/2 線式		50		
		16 倍の複素数デシメーション、16 ビット、1 線式		50		
		16 倍の複素数デシメーション、16 ビット、1/2 線式		47		
		32 倍の複素数デシメーション、16 ビット、1 線式		48		
		32 倍の複素数デシメーション、16 ビット、1/2 線式		43		
I_{AVDD}	内部リファレンス、追加のアナログ電源電流	SPI 経由でイネーブル		4		mA
	1.2V 外部リファレンス (REFBUF)、追加のアナログ電源電流			0.5		
	シングルエンド クロック入力により、アナログ電源電流を低減			1		
P_{DIS}	グローバル パワー ダウン モードでの消費電力	デフォルトのマスク設定		12		mW

5.6 電気的特性 - DC 仕様

標準値は、 $T_A = 25^{\circ}\text{C}$ 、全温度範囲は $T_{\text{MIN}} = -55^{\circ}\text{C} \sim T_{\text{MAX}} = 105^{\circ}\text{C}$ 、ADC サンプルング レート= 125MSPS、50% クロック デューティ サイクル、 $\text{AVDD} = \text{IOVDD} = 1.8\text{V}$ 、1.6V 外部リファレンス、-1dBFS 差動入力 (特に記述のない限り)

パラメータ		テスト条件	最小値	標準値	最大値	単位
DC 精度						
ミッシング コードなし			14			ビット
PSRR		$F_{\text{IN}} = 1\text{MHz}$		35		dB
DNL	微分非直線性	$F_{\text{IN}} = 5\text{MHz}$	-1.8	± 0.9	+1.8	LSB
INL	積分非直線性	$F_{\text{IN}} = 5\text{MHz}$	-7.5	± 2.6	+7.5	LSB
$V_{\text{OS_ERR}}$	オフセット エラー		-55	± 30	55	LSB
$V_{\text{OS_DRIFT}}$	温度範囲でのオフセットドリフト			± 0.06		LSB/ $^{\circ}\text{C}$
GAIN_{ERR}	ゲイン誤差	1.6V 外部リファレンス		± 2		%FSR
$\text{GAIN}_{\text{DRIFT}}$	温度範囲でのゲインドリフト	1.6V 外部リファレンス		± 57		ppm/ $^{\circ}\text{C}$
GAIN_{ERR}	ゲイン誤差	内部リファレンス		± 3		%FSR
$\text{GAIN}_{\text{DRIFT}}$	温度範囲でのゲインドリフト	内部リファレンス		106		ppm/ $^{\circ}\text{C}$
変換ノイズ				0.7		LSB
ADC アナログ入力 (AINP/M、BINP/M)						
FS	入力フル スケール	差動		3.2		Vpp
V_{CM}	入力同相電圧		0.9	0.95	1.0	V
R_{IN}	入力抵抗	DC で差動		8		k Ω
C_{IN}	入力容量	DC で差動		5.4		pF
V_{OCM}	出力同相電圧			0.95		V
BW	アナログ入力帯域幅 (-3dB)			200		MHz
内部基準電圧						
V_{REF}	内部リファレンス電圧			1.6		V
V_{REF} 出力インピーダンス				8		Ω
リファレンス入力バッファ (REFBUF)						
外部基準電圧				1.2		V
外部基準電圧 (VREF)						
V_{REF}	外部基準電圧			1.6		V
入力電流				1		mA
入力インピーダンス				5.3		k Ω
クロック入力 (CLKP / M)						
入力クロック周波数		外部リファレンス	1	125		MHz
		内部リファレンス	100	125		MHz
V_{ID}	差動入力電圧		0.5	1	3.6	Vpp
V_{CM}	入力同相電圧			0.9		V
R_{IN}	同相へのシングル エンド入力抵抗			5		k Ω
C_{IN}	シングル エンド入力容量			1.5		pF
クロック デューティ サイクル			45	50	60	%

5.6 電気的特性 - DC仕様 (続き)

標準値は、 $T_A = 25^\circ\text{C}$ 、全温度範囲は $T_{\text{MIN}} = -55^\circ\text{C} \sim T_{\text{MAX}} = 105^\circ\text{C}$ 、ADC サンプルング レート= 125MSPS、50% クロック デューティ サイクル、 $\text{AVDD} = \text{IOVDD} = 1.8\text{V}$ 、 1.6V 外部リファレンス、 -1dBFS 差動入力 (特に記述のない限り)

パラメータ		テスト条件	最小値	標準値	最大値	単位
デジタル入力 (RESET、PDN、SCLK、SEN、SDIO)						
V _{IH}	High レベル入力電圧		1.4			V
V _{IL}	Low レベル入力電圧				0.4	
I _{IH}	High レベル入力電流			90	150	μA
I _{IL}	Low レベル入力電流		-150	-90		μA
C _I	入力容量			1.5		pF
デジタル出力 (SDOUT)						
V _{OH}	High レベル出力電圧	I _{LOAD} = -400uA	IOVDD - 0.1	IOVDD		V
V _{OL}	Low レベル出力電圧	I _{LOAD} = 400uA			0.1	
SLVDS インターフェイス						
V _{ID}	差動入力電圧	DCLKIN	200	350	650	mVpp
V _{CM}	入力同相電圧		1	1.2	1.3	V
出力データレート		差動 SLVDS 出力ペアごと			1000	Mbps
V _{OD}	差動出力電圧		500	700	850	mVpp
V _{CM}	出力同相電圧			1.0		V

5.7 電気的特性 - AC仕様

標準値は、 $T_A = 25^\circ\text{C}$ 、全温度範囲は $T_{\text{MIN}} = -55^\circ\text{C} \sim T_{\text{MAX}} = 105^\circ\text{C}$ 、ADC サンプルング レート= 125MSPS、50% クロック デューティ サイクル、 $\text{AVDD} = \text{IOVDD} = 1.8\text{V}$ 、1.6V 外部リファレンス、-1dBFS 差動入力 (特に記述のない限り)

パラメータ		テスト条件	最小値	標準値	最大値	単位
NSD	ノイズ スペクトル密度	$f_{\text{IN}} = 5\text{MHz}$ 、 $A_{\text{IN}} = -20\text{dBFS}$		-156.9		dBFS/Hz
SNR	信号対雑音比	$f_{\text{IN}} = 5\text{MHz}$	72	77.5		dBFS
		$f_{\text{IN}} = 5\text{MHz}$ 、 $A_{\text{IN}} = -20\text{dBFS}$		78.9		dBFS
		$f_{\text{IN}} = 10\text{MHz}$		77.6		
		$f_{\text{IN}} = 40\text{MHz}$		76.9		
		$f_{\text{IN}} = 70\text{MHz}$		75.5		
		$f_{\text{IN}} = 100\text{MHz}$		74.1		
SINAD	信号対雑音歪み比	$f_{\text{IN}} = 5\text{MHz}$		75.7		dBFS
		$f_{\text{IN}} = 10\text{MHz}$		74.2		
		$f_{\text{IN}} = 40\text{MHz}$		72.6		
		$f_{\text{IN}} = 70\text{MHz}$		71.3		
		$f_{\text{IN}} = 100\text{MHz}$		72.4		
ENOB	有効ビット数	$f_{\text{IN}} = 5\text{MHz}$		12.6		ビット
		$f_{\text{IN}} = 10\text{MHz}$		12.6		
		$f_{\text{IN}} = 40\text{MHz}$		12.5		
		$f_{\text{IN}} = 70\text{MHz}$		12.3		
		$f_{\text{IN}} = 100\text{MHz}$		12.0		
THD	全高調波歪み (最初の 5 つの高調波)	$f_{\text{IN}} = 5\text{MHz}$	71.5	80		dBc
		$f_{\text{IN}} = 10\text{MHz}$		76		
		$f_{\text{IN}} = 40\text{MHz}$		74		
		$f_{\text{IN}} = 70\text{MHz}$		72		
		$f_{\text{IN}} = 100\text{MHz}$		76		
HD2	2 次高調波歪み	$f_{\text{IN}} = 5\text{MHz}$	77	84		dBc
		$f_{\text{IN}} = 10\text{MHz}$		78		
		$f_{\text{IN}} = 40\text{MHz}$		75		
		$f_{\text{IN}} = 70\text{MHz}$		77		
		$f_{\text{IN}} = 100\text{MHz}$		79		
HD3	3 次高調波歪み	$f_{\text{IN}} = 5\text{MHz}$	73.5	84		dBc
		$f_{\text{IN}} = 10\text{MHz}$		81		
		$f_{\text{IN}} = 40\text{MHz}$		88		
		$f_{\text{IN}} = 70\text{MHz}$		76		
		$f_{\text{IN}} = 100\text{MHz}$		81		
Non HD2,3	スプリアス フリー ダイナミック レンジ (HD2 と HD3 を除く)	$f_{\text{IN}} = 5\text{MHz}$	84	92		dBFS
		$f_{\text{IN}} = 10\text{MHz}$		93		
		$f_{\text{IN}} = 40\text{MHz}$		89		
		$f_{\text{IN}} = 70\text{MHz}$		84		
		$f_{\text{IN}} = 100\text{MHz}$		86		
IMD3	2 トーンの相互変調歪み	$f_1 = 10\text{MHz}$ 、 $f_2 = 12\text{MHz}$ 、 $A_{\text{IN}} = -7\text{dBFS}$ / トーン		88		dBc

5.8 タイミング要件

特に記述のない限り、 $T_A = 25^\circ\text{C}$ における標準値、最小および最大のタイミング値は、 $T_{\text{MIN}} = -55^\circ\text{C} \sim T_{\text{MAX}} = 105^\circ\text{C}$ の全温度範囲で特性評価されていますが、生産試験は行われていません。その他の条件として、ADC サンプルング レート = 125MSPS、クロック デューティ比 = 50%、AVDD = IOVDD = 1.8V、外部リファレンス = 1.6V、入力信号 = -1dBFS の差動入力

パラメータ		テスト条件	最小 値	公称 値	最大 値	単位
ADC タイミング仕様						
t _{AD}	アパーチャ遅延		0.85			ns
t _A	アパーチャ ジッタ	高速エッジ付き方形波クロック	250			fs
t _J	DCLKIN でのジッタ			±50		ps pk-pk
+6dB 過負荷状態からの復帰時間		SNR が予測値から 1dB 以内	1			クロック サイクル
t _{ACQ}	信号アキュイジション期間	サンプリング クロックの立ち下がりエッジを基準	-T _S /4			サンプリング クロック 周期
t _{CONV}	信号変換期間		6			ns
ウェークアップ時間	パワー ダウンから出た後の有効なデータに対する時間。内部リファレンス。	バンドギャップ リファレンスがイネーブル、シングル エンド クロック	13			us
		バンドギャップ リファレンスがイネーブル、差動クロック	15			
		バンドギャップ リファレンスがディセーブル、シングル エンド クロック	2.4			ms
		バンドギャップ リファレンスがディセーブル、差動クロック	2.3			
	パワー ダウンから出た後の有効なデータに対する時間 外部 1.6V リファレンス。	バンドギャップ リファレンスがイネーブル、シングル エンド クロック	13			us
		バンドギャップ リファレンスがイネーブル、差動クロック	14			
		バンドギャップ リファレンスがディセーブル、シングル エンド クロック	2.0			ms
		バンドギャップ リファレンスがディセーブル、差動クロック	2.2			
t _{S,SYNC}	同期入力信号のセットアップ時間	サンプリング クロックの立ち上がりエッジを基準	500			ps
t _{H,SYNC}	同期入力信号のホールド時間		600			
ADC レイテンシ	データ出力への信号入力	1/2 線式 SLVDS	1			クロック サイクル
		1 線式 SLVDS	1			
		2 線式 SLVDS	2			
追加。レイテンシ	2 倍 による実数のデシメーション		21			出力クロック サイクル
	2 倍による複素数デシメーション		22			
	4 倍、8 倍、16 倍、32 倍による実数または複素数のデシメーション		23			
インターフェイス タイミング:シリアル LVDS インターフェイス						
t _{PD}	伝搬遅延:サンプリング クロックの立ち下がりエッジから DCLK 立ち上がりエッジまで	サンプリング クロックの立ち下がりエッジから DCLKIN 立ち下がりエッジまでの遅延 < 2.5ns。 T _{DCLK} = DCLK 期間 t _{CDCLK} = サンプリング クロック立ち下がりエッジから DCLKIN 立ち下がりエッジまで	2 + T _{DCLK} + t _{CDCLK}	3 + T _{DCLK} + t _{CDCLK}	4 + T _{DCLK} + t _{CDCLK}	ns
		サンプリング クロックの立ち下がりエッジから DCLKIN 立ち下がりエッジまでの遅延 >= 2.5ns。 T _{DCLK} = DCLK 期間 t _{CDCLK} = サンプリング クロック立ち下がりエッジから DCLKIN 立ち下がりエッジまで	2 + t _{CDCLK}	3 + t _{CDCLK}	4 + t _{CDCLK}	

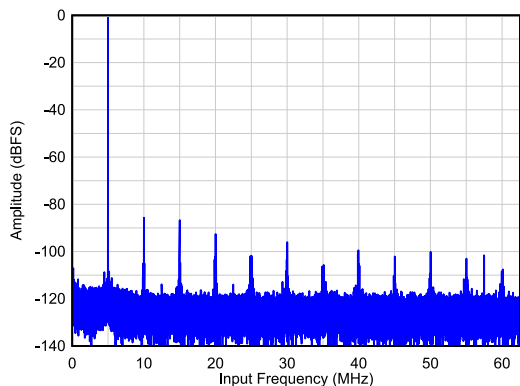
5.8 タイミング要件 (続き)

特に記述のない限り、 $T_A = 25^\circ\text{C}$ における標準値、最小および最大のタイミング値は、 $T_{\text{MIN}} = -55^\circ\text{C} \sim T_{\text{MAX}} = 105^\circ\text{C}$ の全温度範囲で特性評価されていますが、生産試験は行われていません。その他の条件として、ADC サンプルング レート = 125MSPS、クロック デューティ比 = 50%、AVDD = IOVDD = 1.8V、外部リファレンス = 1.6V、入力信号 = -1dBFS の差動入力

パラメータ		テスト条件	最小 値	公称 値	最大 値	単位
t _{CD}	DCLK 立ち上がりエッジから出力データ までの遅延 2 線式 SLVDS、14 ビット	Fout = 65MSPS、DA/B0,1 = 455MBPS	0	0.1	ns	
		Fout = 80MSPS、DA/B0,1 = 560MBPS	0	0.1		
		Fout = 125MSPS、DA/B0,1 = 875MBPS	-0.2	0.1		
	DCLK 立ち上がりエッジから出力データ までの遅延 1 線式 SLVDS、14 ビット	Fout = 65MSPS、DA/B0 = 910MBPS	0	0.1		
	DCLK 立ち上がりエッジから出力データ までの遅延 1 線式 SLVDS、16 ビット	FOUT = 10MSPS、DA / B0 = 160MBPS	0	0.1		
		FOUT = 25MSPS、DA / B0 = 400MBPS	0	0.1		
		FOUT = 62.5MSPS、DA / B0= 1000MBPS	-0.6	0.1		
	DCLK 立ち上がりエッジから出力データ までの遅延 1/2 線式 SLVDS、16 ビット	FOUT = 5MSPS、DA0 = 160MBPS	0	0.1		
		FOUT = 10MSPS、DA0 = 320MBPS	0	0.1		
		FOUT = 25MSPS、DA0 = 800MBPS	0	0.1		
t _{DV}	データ有効、2 線式 SLVDS、14 ビット	Fout = 65MSPS、DA/B0,1 = 455MBPS	1.8	1.9	ns	
		Fout = 80MSPS、DA/B0,1 = 560MBPS	1.4	1.5		
		Fout = 125MSPS、DA/B0,1 = 875MBPS	0.6	0.8		
	データ有効、1 線式 SLVDS、14 ビット	Fout = 65MSPS、DA/B0 = 910MBPS	0.6	0.8		
	データ有効、1 線式 SLVDS、16 ビット	FOUT = 10MSPS、DA / B0 = 160MBPS	5.7	5.8		
		FOUT = 25MSPS、DA / B0 = 400MBPS	2.0	2.1		
		FOUT = 62.5MSPS、DA / B0= 1000MBPS	0.5	0.6		
	データ有効、1/2 線式 SLVDS、16 ビット	FOUT = 5MSPS、DA0 = 160MBPS	5.7	5.8		
		FOUT = 10MSPS、DA0 = 320MBPS	2.7	2.8		
		FOUT = 25MSPS、DA0 = 800MBPS	0.8	0.9		
シリアル プログラミング インターフェイス (SCLK, SEN, SDIO) - 入力						
f _{CLK,SCLK}	シリアル クロック周波数				20	MHz
t _{S,SEN}	SEN 立ち下がりエッジから SCLK 立ち上がりエッジまで		10		ns	
t _{H,SEN}	SCLK 立ち上がりエッジから SEN 立ち上がりエッジまで		9			
t _{S,SDIO}	SCLK の立ち上がりエッジからの SDIO セットアップ時間		17			
t _{H,SDIO}	SCLK のち上がりエッジからの SDIO ホールド時間		9			
シリアル プログラミング インターフェイス (SDIO) - 出力						
t _{OZD}	SDIO がトライ ステートから有効なデータに遷移するための読み出し動作中の、第 16 SCLK サイクルの立ち下がりエッジからの遅延		3.9		10.8	ns
t _{ODZ}	SDIO がトライ ステートから有効なデータに遷移するための SEN 立ち上がりエッジからの遅延		3.4		14	
t _{OD}	読み出し動作中の 16 番目の SCLK サイクルの立ち下がりエッジから有効な SDIO までの遅延		3.9		10.8	

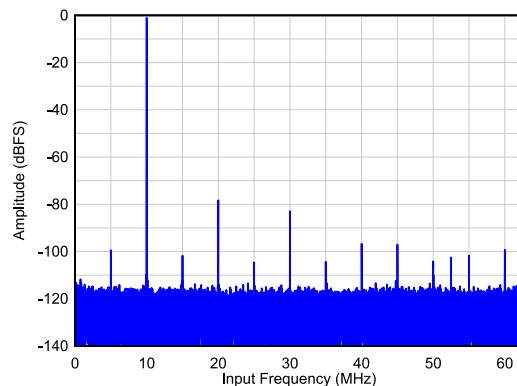
5.9 代表的特性

$T_A = 25^\circ\text{C}$ 、ADC サンプルレート = 125MSPS、 $A_{IN} = -1\text{dBFS}$ 差動入力、 $AVDD = IOVDD = 1.8\text{V}$ 、 1.6V 外部電圧リファレンス (特に記述のない限り)。



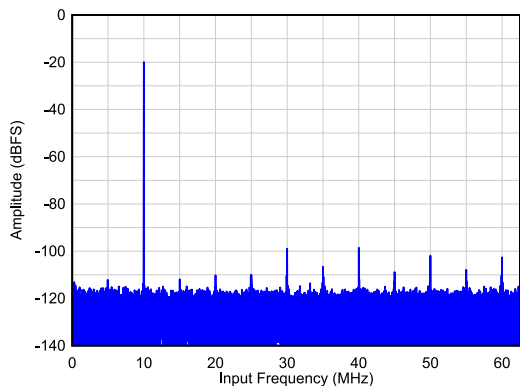
SNR = 77.5dBFS、HD2,3 = 85dBc、Non HD23 = 92dBFS

図 5-1. $F_{IN} = 5\text{MHz}$ でのシングル トーン FFT



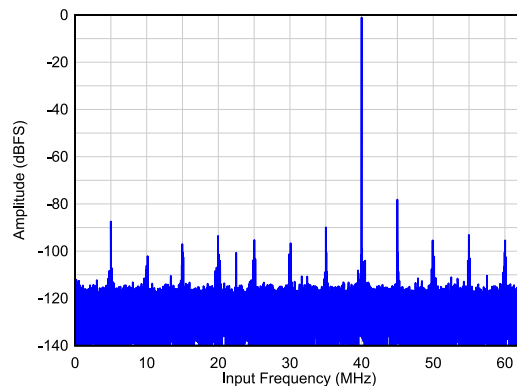
SNR = 77.5dBFS、HD2,3 = 78dBc、Non HD23 = 93dBFS

図 5-2. $F_{IN} = 10\text{MHz}$ でのシングル トーン FFT



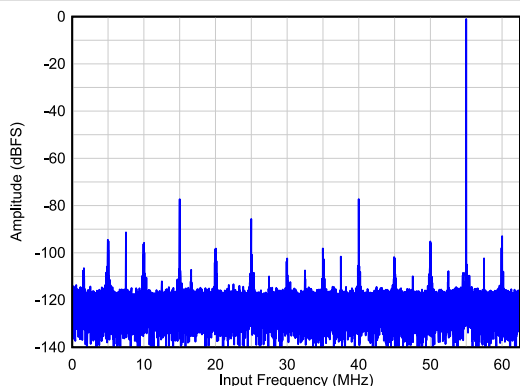
$A_{IN} = -20\text{dBFS}$ 、SNR = 78.9dBFS、HD2,3 = 78dBc、
Non HD23 = 102dBFS

図 5-3. $F_{IN} = 10\text{MHz}$ でのシングル トーン FFT



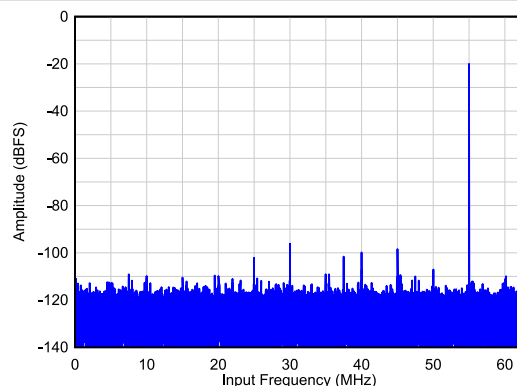
SNR = 76.9dBFS、HD2,3 = 78dBc、Non HD23 = 94dBFS

図 5-4. $F_{IN} = 40\text{MHz}$ でのシングル トーン FFT



SNR = 75.5dBFS、HD2,3 = 77dBc、Non HD23 = 85dBFS

図 5-5. $F_{IN} = 70\text{MHz}$ でのシングル トーン FFT

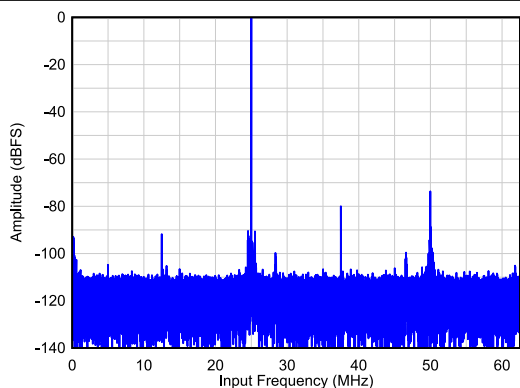


$A_{IN} = -20\text{dBFS}$ 、SNR = 77.5dBFS、HD2,3 = 77dBc、
Non HD23 = 98dBFS

図 5-6. $F_{IN} = 70\text{MHz}$ でのシングル トーン FFT

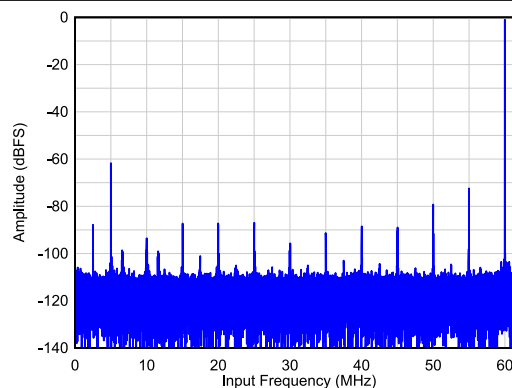
5.9 代表的特性 (続き)

$T_A = 25^\circ\text{C}$ 、ADC サンプルング レート = 125MSPS、 $A_{IN} = -1\text{dBFS}$ 差動入力、 $AVDD = IOVDD = 1.8\text{V}$ 、 1.6V 外部電圧リファレンス (特に記述のない限り)。



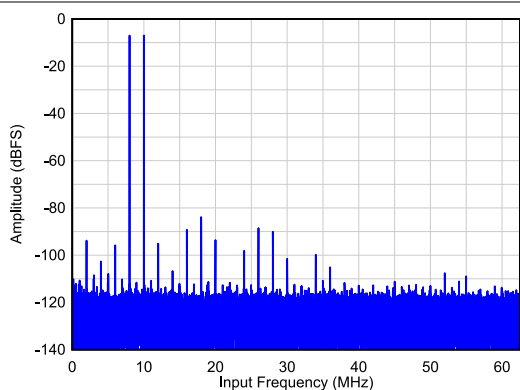
SNR = 71dBFS、HD2,3 = 73dBc、Non HD23 = 90dBFS

図 5-7. $F_{IN} = 150\text{MHz}$ でのシングル トーン FFT



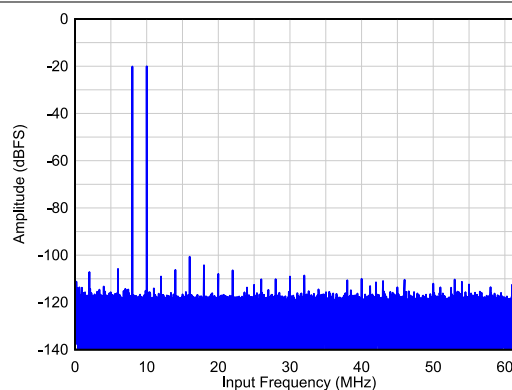
SNR = 69.5dBFS、HD2,3 = 61dBc、Non HD23 = 78dBc

図 5-8. $F_{IN} = 190\text{MHz}$ でのシングル トーン FFT



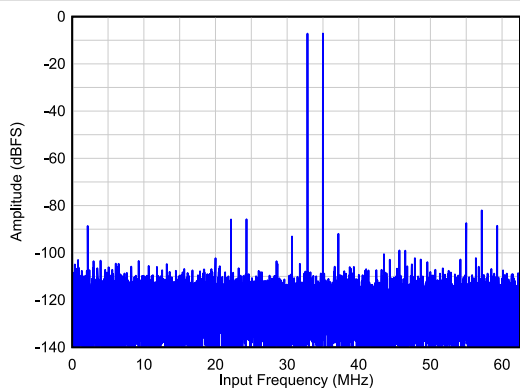
$A_{IN} = -7\text{dBFS/tone}$ 、IMD3 = 88dBc

図 5-9. $F_{IN} = 10/12\text{MHz}$ での 2 トーン FFT



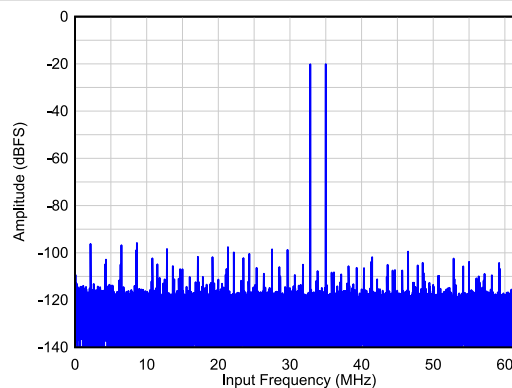
$A_{IN} = -2\text{dBFS/tone}$ 、IMD3 = 85dBc

図 5-10. $F_{IN} = 10/12\text{MHz}$ での 2 トーン FFT



$A_{IN} = -7\text{dBFS/tone}$ 、IMD3 = 85dBc

図 5-11. $F_{IN} = 90/92\text{MHz}$ での 2 トーン FFT



$A_{IN} = -20\text{dBFS/tone}$ 、IMD3 = 80dBc

図 5-12. $F_{IN} = 90/92\text{MHz}$ での 2 トーン FFT

5.9 代表的特性 (続き)

$T_A = 25^\circ\text{C}$ 、ADC サンプルング レート = 125MSPS、 $A_{IN} = -1\text{dBFS}$ 差動入力、 $AVDD = IOVDD = 1.8\text{V}$ 、 1.6V 外部電圧リファレンス (特に記述のない限り)。

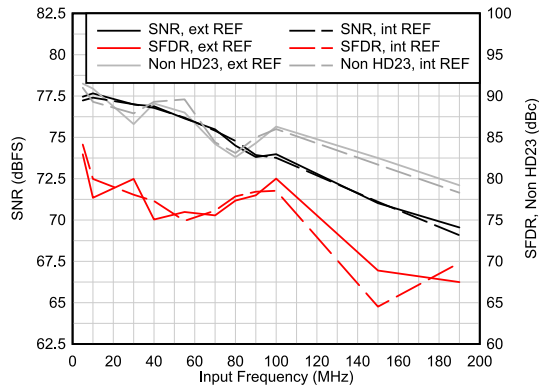


図 5-13. AC 性能と入力周波数との関係

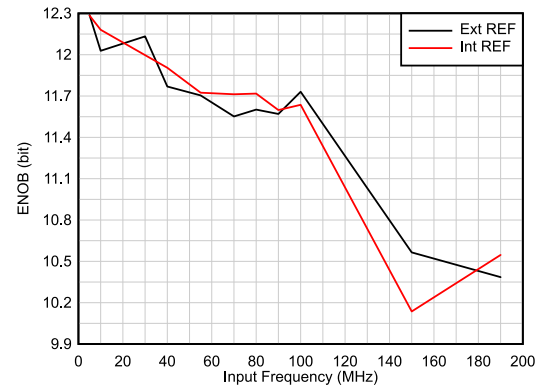


図 5-14. ENOB と入力周波数との関係

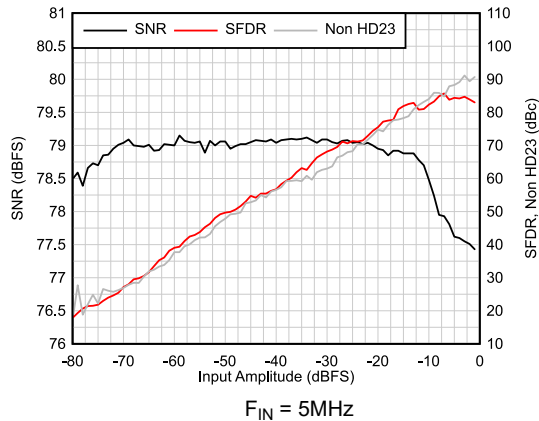


図 5-15. SNR、SFDR と入力振幅との関係

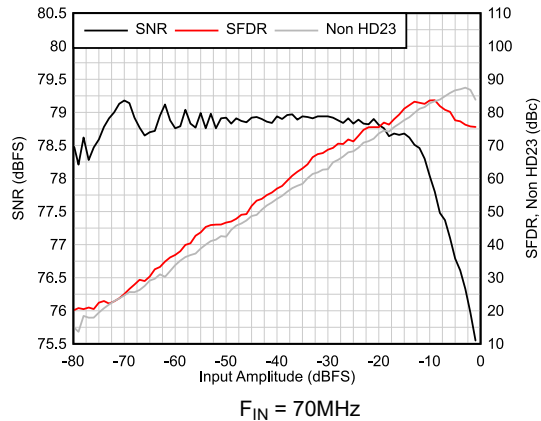


図 5-16. AC 性能と入力振幅との関係

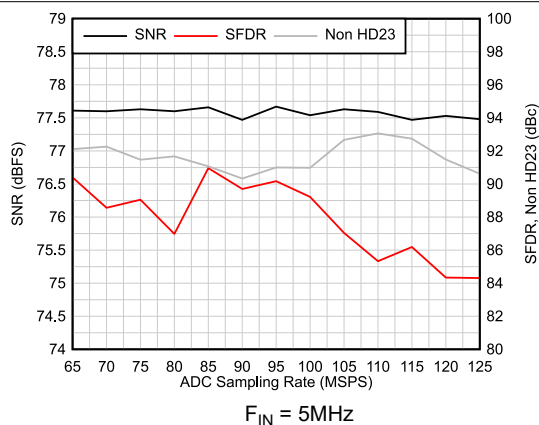


図 5-17. AC 性能とサンプルング レートとの関係

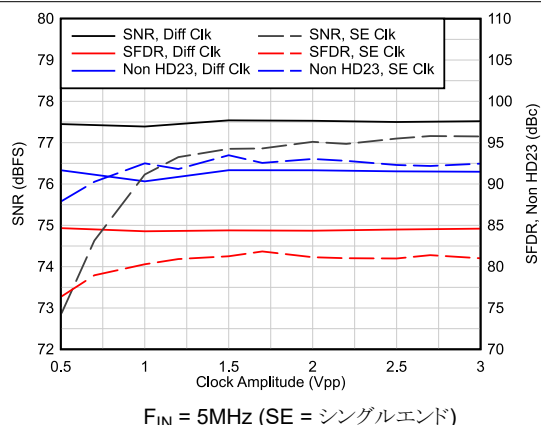


図 5-18. AC 性能とクロック振幅との関係

5.9 代表的特性 (続き)

$T_A = 25^\circ\text{C}$ 、ADC サンプルレート = 125MSPS、 $A_{IN} = -1\text{dBFS}$ 差動入力、 $AVDD = IOVDD = 1.8\text{V}$ 、 1.6V 外部電圧リファレンス (特に記述のない限り)。

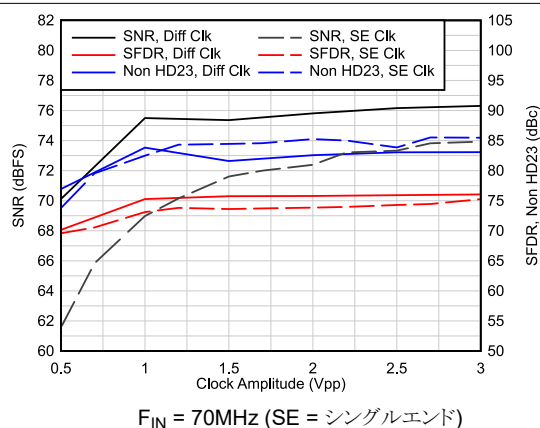


図 5-19. AC 性能とクロック振幅との関係

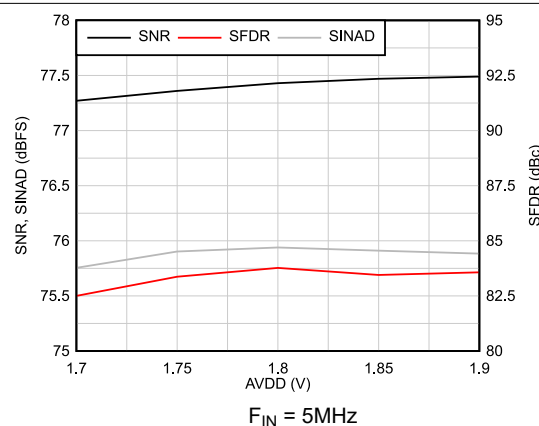


図 5-20. AC 性能と AVDD との関係

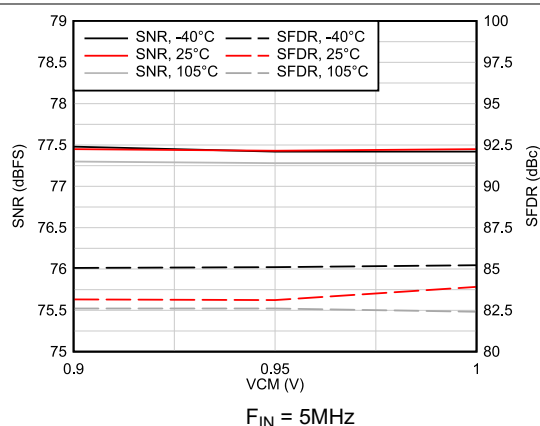


図 5-21. AC 性能と VCM と温度との関係

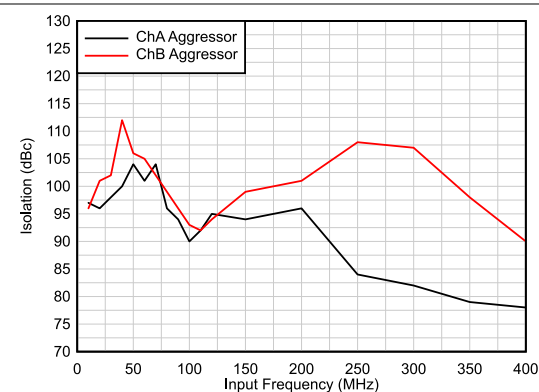


図 5-22. 絶縁と入力周波数との関係

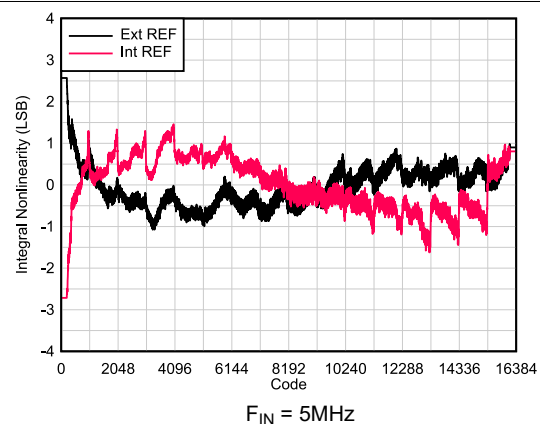


図 5-23. INL とコードとの関係

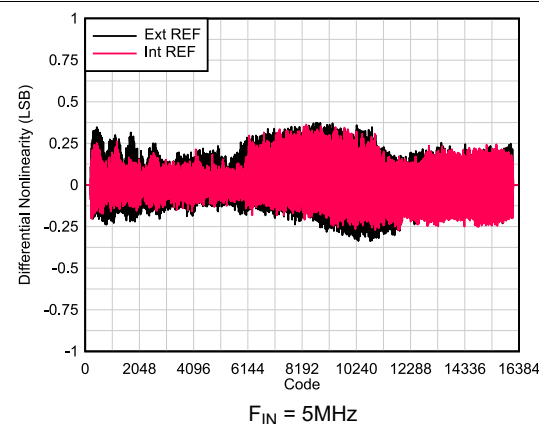


図 5-24. DNL とコードとの関係

5.9 代表的特性 (続き)

$T_A = 25^\circ\text{C}$ 、ADC サンプルング レート = 125MSPS、 $A_{IN} = -1\text{dBFS}$ 差動入力、 $AVDD = IOVDD = 1.8\text{V}$ 、 1.6V 外部電圧リファレンス (特に記述のない限り)。

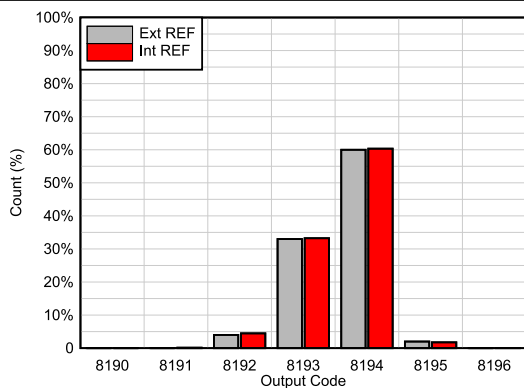
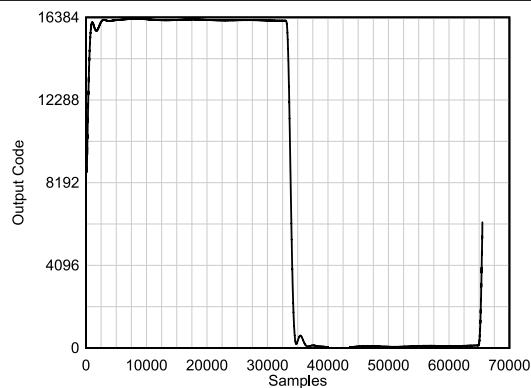
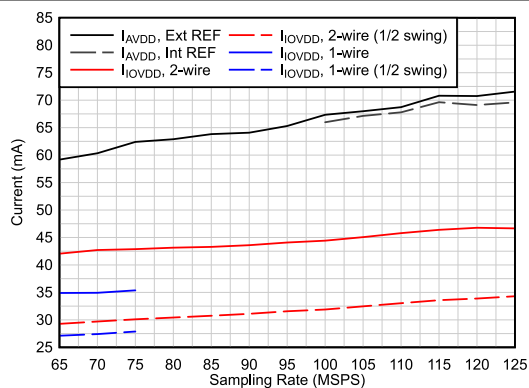


図 5-25. DC オフセット ヒストグラム



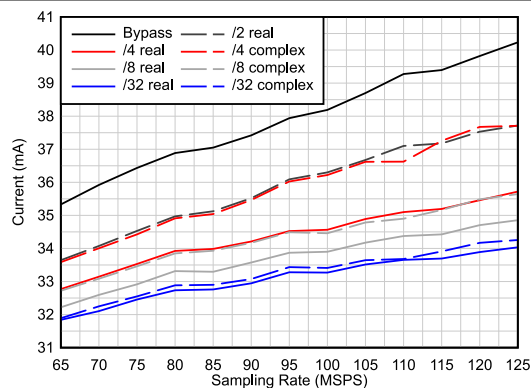
パルス入力 = 1MHz

図 5-26. パルス応答



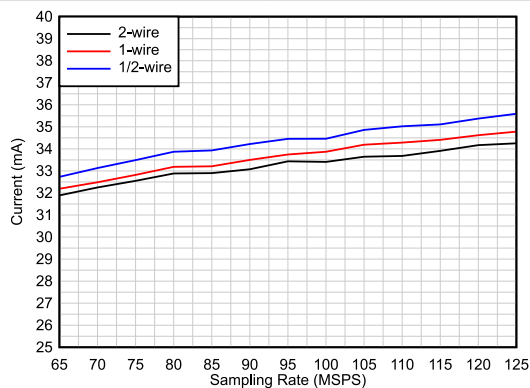
$F_{IN} = 5\text{MHz}$

図 5-27. 消費電力とサンプルング レートとの関係



$F_{IN} = 5\text{MHz}$, 2 線式

図 5-28. 消費電力とデシメーションとの関係



$F_{IN} = 5\text{MHz}$, 32 による複素数デシメーション

図 5-29. 消費電力と出力インターフェイスとの関係

6 パラメータ測定情報

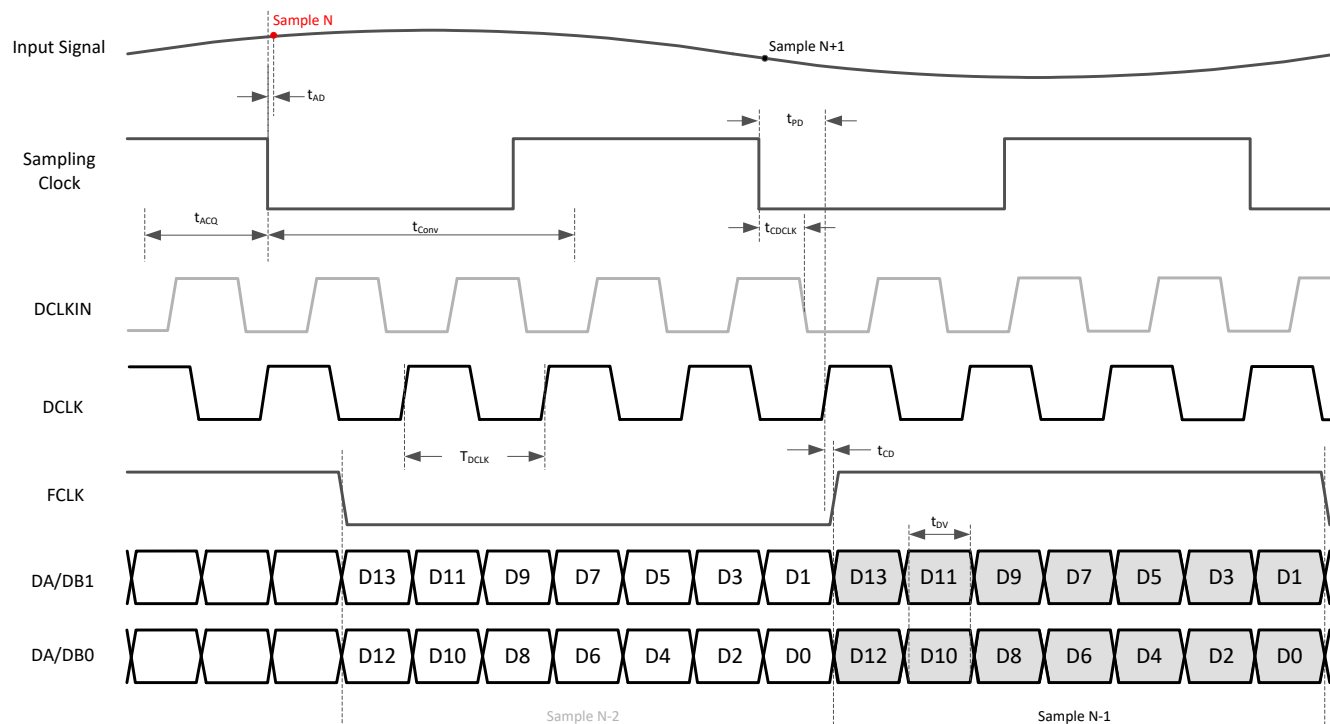


図 6-1. タイミング図：2 線式 SLVDS

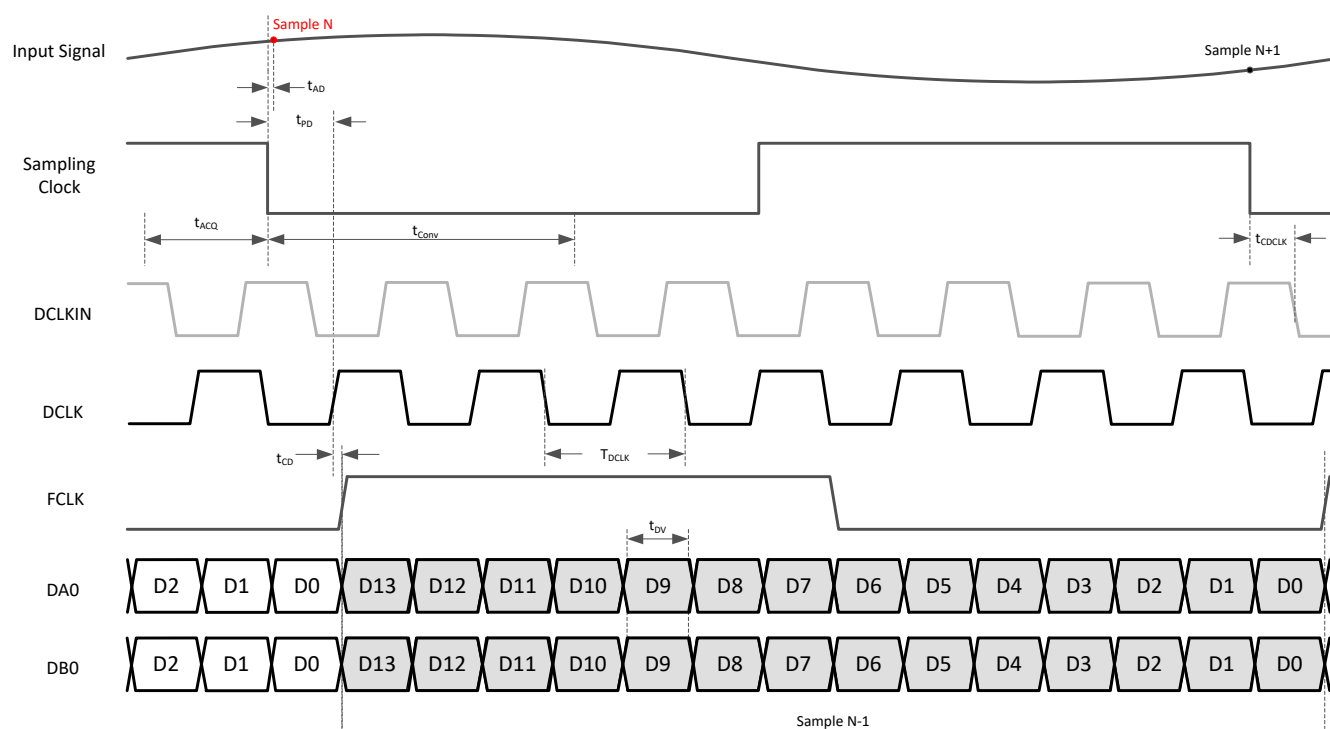


図 6-2. タイミング図：1 線式 SLVDS

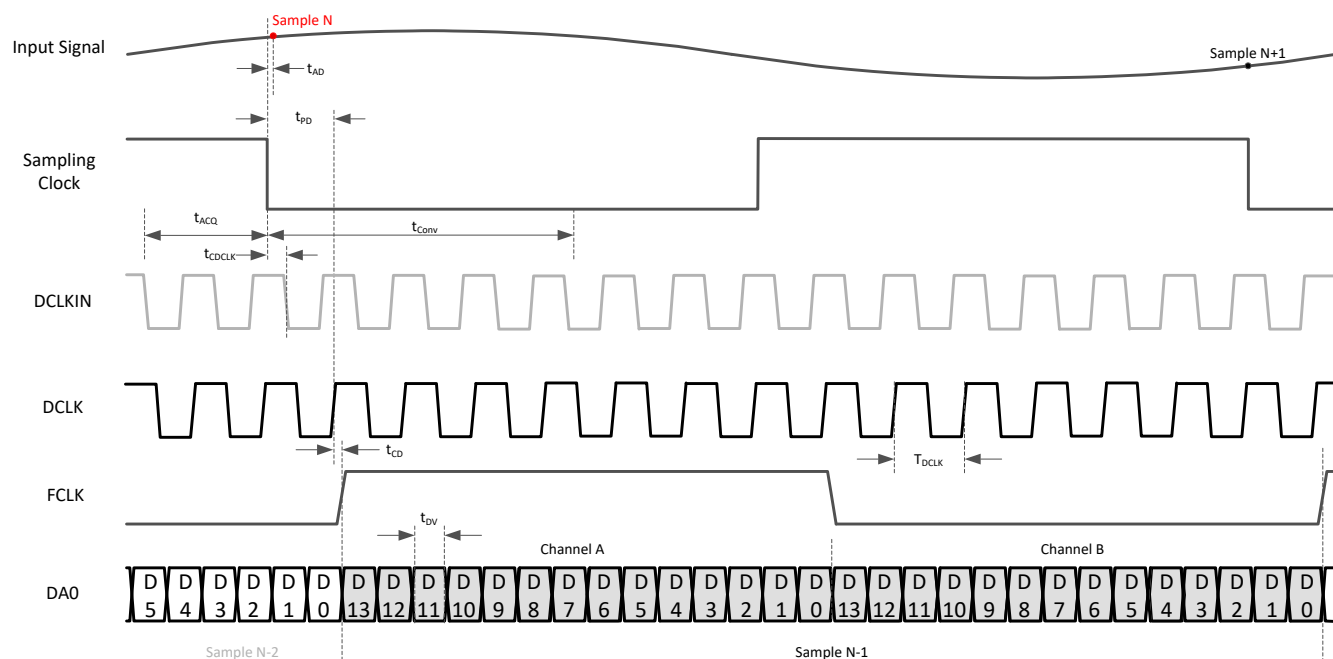


図 6-3. タイミング図 : 1/2 線式 SLVDS

7 詳細説明

7.1 概要

ADC3664-xEP は、最大 125MSPS のサンプリング レートに対応した、低ノイズ・超低消費電力の 14 ビット高速デュアル チャンネル ADC です。このデバイスは、優れた直流精度と IF サンプリングへの対応を兼ね備えています。多様なアプリケーションに合わせて設計されたデバイスを作成できます。ADC3664-xEP にはオンチップの内部リファレンス機能が搭載されていますが、外部の高精度な 1.6V リファレンスや、外部 1.2V リファレンス (内部でバッファされ、ゲインがかけられる) にも対応しています。このデバイスは本質的に低レイテンシなアーキテクチャを採用しているため、デジタル出力インターフェイス上では、最短で 1 クロック サイクル後にデジタル出力結果を取得できます。

注

ADC3664-xEP は、以下のサンプリング レートをサポートしています。

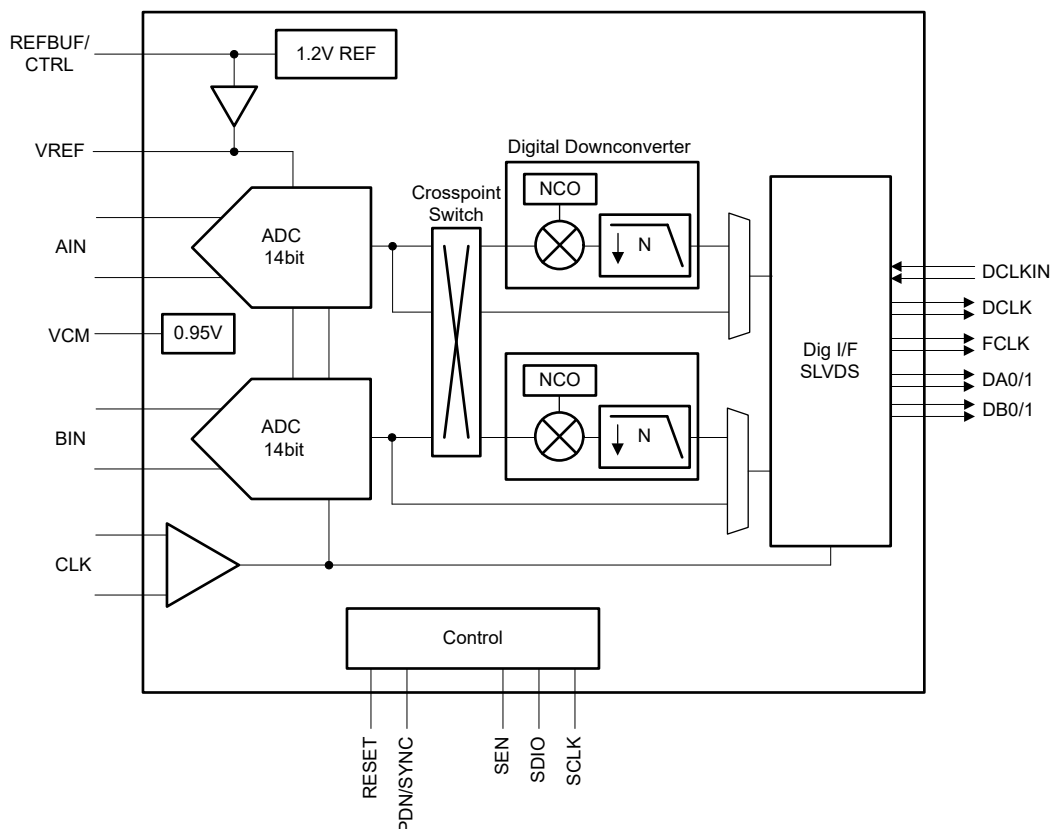
- 外部リファレンス: 1 ~ 125MSPS
- 内部リファレンス: 100 ~ 125MSPS

オプションのプログラマブルなデジタル ダウン コンバータにより、外部アンチエイリアス フィルタの設計を緩和できるほか、出力データ レートの低減も可能になります。デジタル フィルタは 32 ビット プログラマブル NCO を内蔵しており、実数または複素数の両方のデシメーションをサポートしています。

ADC3664-xEP は、シリアル LVDS (SLVDS) インターフェイスを使用してデータを出し、デジタル相互接続の数を最小限に抑えます。このデバイスは、2 レーン (2 線式)、1 レーン (1 線式)、ハーブレーン (1/2 線式) のオプションをサポートしています。ADC3664-xEP は、14 ~ 20 ビットの出力分解能をサポートするデジタル出力フォーマットを搭載しています。

デバイスの機能と制御オプションは、ピン構成または SPI レジスタ書き込みにより設定できます。

7.2 機能ブロック図



7.3 機能説明

7.3.1 アナログ入力

ADC3664-xEP のアナログ入力は、差動駆動することを目的としています。アナログ入力の AC 結合と DC 結合の両方がサポートされています。アナログ入力は、各入力ピンに外部から供給される 0.95V の入力同相電圧になるように設計されています。DC 結合入力信号は、デバイスの入力同相電圧範囲を満たす同相モード電圧を持つ必要があります。

等価入力回路のネットワーク表を 図 7-1 に示します。4 つのサンプリング スイッチすべてで、赤色で示したオン抵抗は同じ位置 (開閉) に同時に存在します。

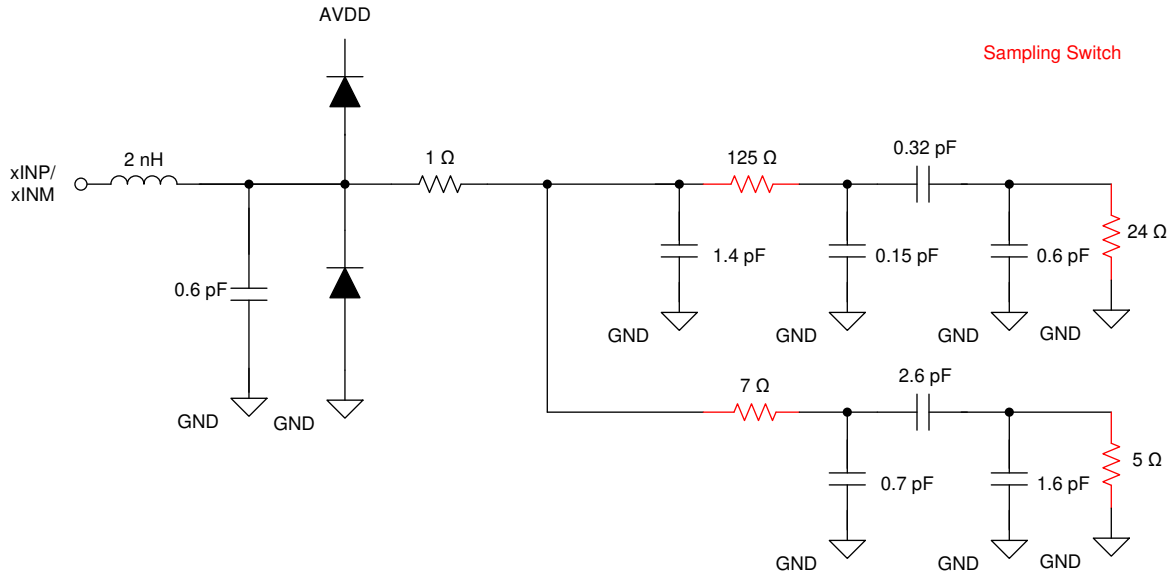
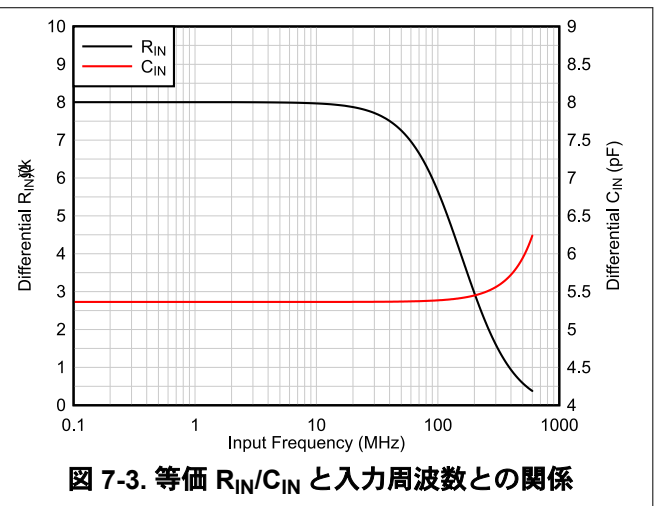
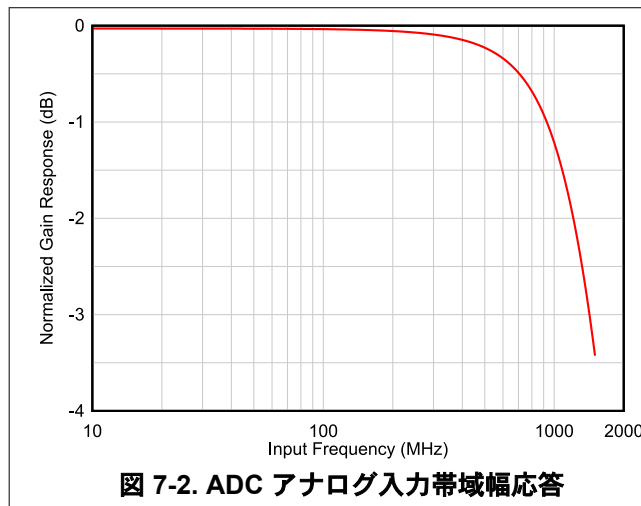


図 7-1. 等価入力ネットワーク

7.3.1.1 アナログ入力帯域幅

図 7-2 に、50Ω の差動終端を使用した ADC3664-xEP のアナログ全電力入力帯域幅を示します。-3dB 帯域幅はおおよそ 1.4GHz であり、良好な交流性能を保った実用的な入力帯域幅はおおよそ 200MHz です。

等価差動入力抵抗 R_{IN} および入力容量 C_{IN} 対周波数を 図 7-3 に示します。



7.3.1.2 アナログ フロント エンド設計

ADC3664-xEP はバッファされていない ADC であるため、サンプリング動作によるグリッチを吸収するため、パッシブ キックバック フィルタを推奨します。入力がバランによって駆動されるか、低出力インピーダンスの差動アンプによって駆動されるかによって、終端ネットワークが必要になります。さらに、AC カップリング構成で使用する場合には、終端ネットワークと組み合わせた受動型の直流バイアス回路が必要です。

7.3.1.2.1 サンプリング グリッチ フィルタ設計

フロント エンドのサンプリング グリッチ フィルタは、ADC の SNR および HD3 性能を最適化するように設計されています。フィルタの性能は入力周波数に依存するため 図 7-5 および 図 7-4 に示すような異なる入力周波数範囲に対して、以下のフィルタ設計を推奨します (ソース インピーダンスが 50Ω と仮定)。

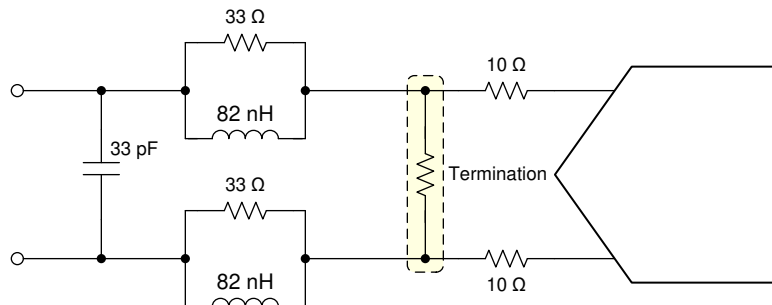


図 7-4. DC から 60MHz までの入力周波数のサンプリング グリッチ フィルタの例

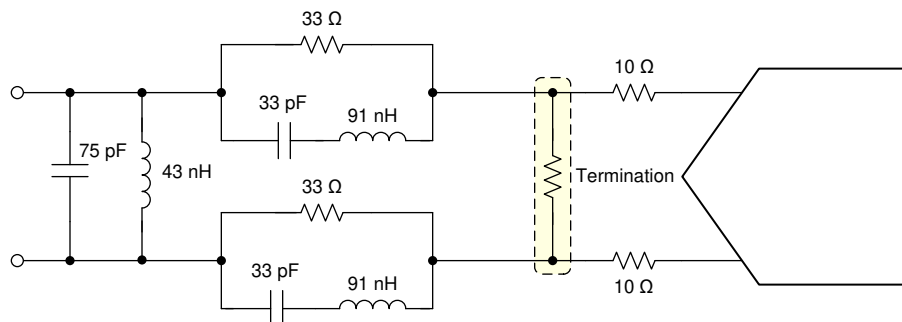


図 7-5. 入力周波数が 60 ~ 120MHz のサンプリング グリッチ フィルタの例

7.3.1.2.2 アナログ入力終端および DC バイアス

入力駆動回路によっては、終端ネットワークや DC バイアスを供給する必要があります。

7.3.1.2.2.1 AC 結合

ADC3664-xEP には、図 7-6 に示すように、ADC の同相出力電圧 (VCM) と終端回路を使用して、外部 DC バイアスが必要です。終端はグリッチ フィルタ ネットワーク内に配置されています。入力でバランを使用する場合は、トランスの巻線比を考慮して終端インピーダンスを調整する必要があります。アンプを使用する場合は、終端インピーダンスが調整され、アンプ性能が最適化されます。

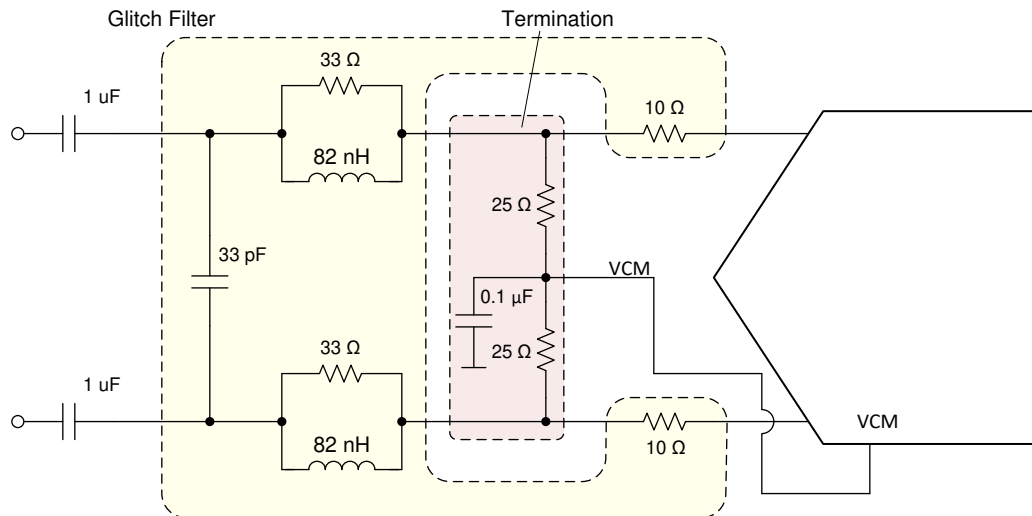


図 7-6. AC 結合: 終端ネットワークは DC バイアスを供給します(60MHz までのグリッチ フィルタの例)

7.3.1.2.2.2 DC 結合

DC 結合アプリケーションでは、図 7-7 に示すように ADC の VCM 出力を使用して、完全差動アンプ (FDA) から DC バイアスを供給する必要があります。この場合、グリッチ フィルタは、アンチエイリアスフィルタと ADC の間に配置します。アンプが ADC の近くに配置されている場合、または終端がアンチエイリアス フィルタの一部である場合、終端は不要です。

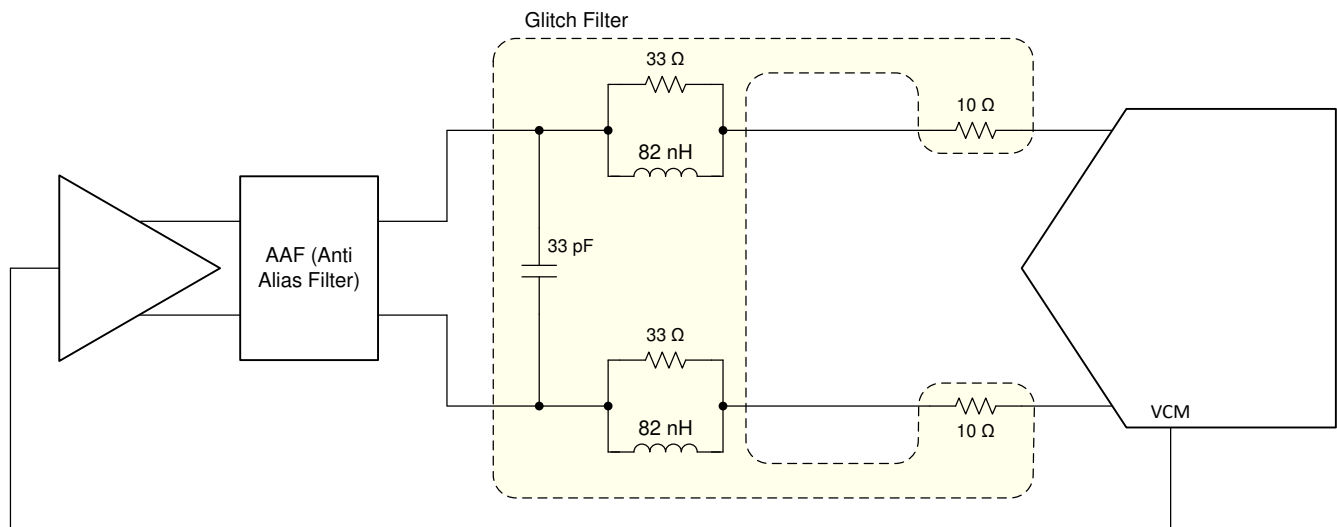


図 7-7. DC 結合 : FDA から供給される直流バイアス (60MHz 向けのグリッチ フィルタ例)

7.3.2 クロック入力

ADC の SNR 性能を最大化するには、外部サンプリング クロックを低ジッタかつ高スループートの差動信号伝送にする必要があります。これは、IF サンプリング アプリケーション (図 7-8 および 図 7-9) で特に重要です。ジッタの影響を受けにくいアプリケーション向けに、ADC3664-xEP ではシングルエンド信号処理で動作させるオプションを備えており、消費電力をさらに削減できます。

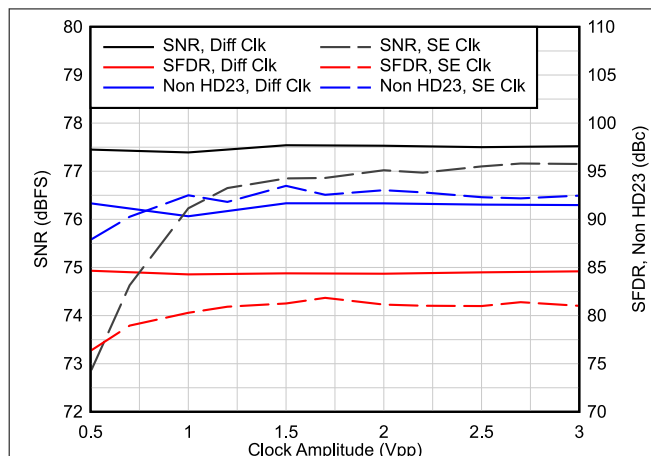


図 7-8. $F_{IN} = 5\text{MHz}$ の AC 性能とクロック振幅との関係

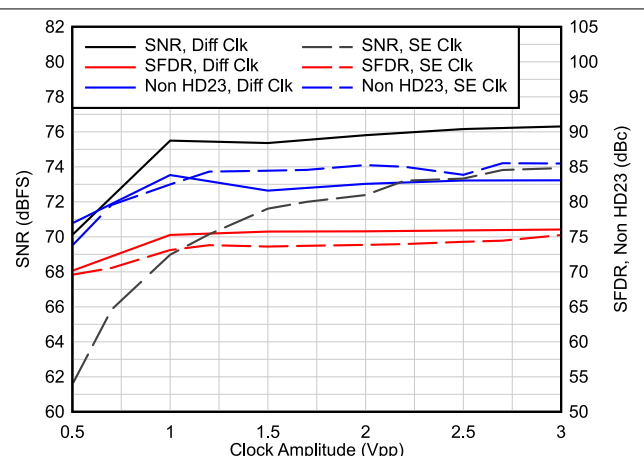


図 7-9. $F_{IN} = 70\text{MHz}$ の AC 性能とクロック振幅との関係

7.3.2.1 シングル エンド入力 対 差動クロック入力

ADC3664-xEP は差動またはシングルエンド クロック入力で動作し、シングルエンド クロックの消費電力が小さくなります。しかしながら、クロック振幅は ADC のアパーチャ ジッタに影響し、結果として SNR にも影響を与えます。最大の SNR 性能を得るには、高速スループートの大規模クロック信号を供給する必要があります。

- 差動クロック入力: クロック入力は、外部で AC 結合されています。このデバイスには、その使用事例用の内部バイアスがあります。
- シングル エンド クロック入力このモードは、SPI レジスタ (0x0E, D2, D0) または REFBUF/CTRL ピンを使用して構成する必要があります。このモードでは、内部クロックのバイアスが存在しないため、クロック入力を 0.9V の中心付近で DC 結合する必要があります。未使用の入力はグランドに AC 結合する必要があります。

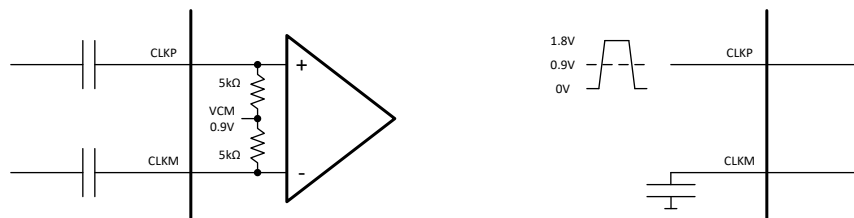


図 7-10. 差動 (左) クロック入力とシングル エンド (右) クロック入力を使用した外部と内部接続

7.3.3 電圧リファレンス

ADC3664-xEP には、ADC に電圧リファレンスを供給するための 3 種類のオプションがあります。外部の 1.6V リファレンスは VREF 入力に直接接続されます。1.2V のリファレンス電圧は、内部ゲイン バッファを使用して REFBUF/CTRL 入力に接続されるか、または内部の 1.2V リファレンスを有効にして 1.6V のリファレンス電圧を生成することもできます。最高の性能を得るために、VREF ピンには 10 μ F と 0.1 μ F のセラミック バイパス コンデンサを接続してリファレンス ノイズをフィルタリングする必要があります。図 7-11 に ADC3664-xEP の内部リファレンス回路を示します。

注

電圧リファレンス モードは、SPI 書き込みを使用して、または REFBUF/CTRL ピン (デフォルト) を制御ピン (セクション 7.5.1) として使用して選択します。REFBUF/CTRL ピンを設定用に使用しない場合でも、このピンは AVDD に接続する必要があります(REFBUF/CTRL ピンには AVDD への弱い内部プルアップがあります)。また、電圧リファレンスの選択は SPI インターフェイスを使用して行う必要があります。

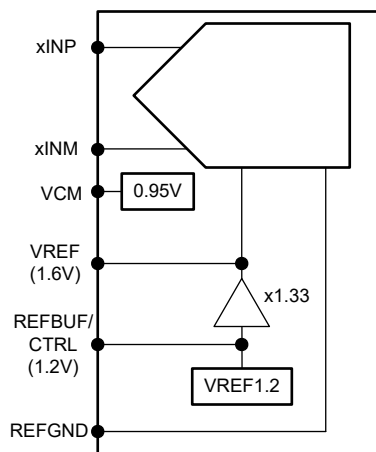


図 7-11. ADC3664-xEP の電圧リファレンスのオプション

7.3.3.1 内部基準電圧

ADC 用の 1.6V リファレンスは、オンチップの 1.2V リファレンスと内部のゲインバッファを用いて内部的に生成されます。10 μ F および 0.1 μ F のセラミック バイパス コンデンサ (C_{VREF}) を、VREF ピンと REFGND ピンの間に、できる限りピンの近くに接続する必要があります。

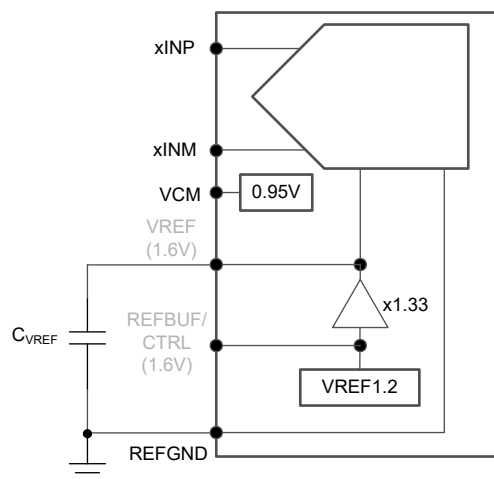


図 7-12. 内部リファレンス

7.3.3.2 外部基準電圧 (VREF)

最高の精度と最小の温度ドリフトを得るために、VREF 入力を外部の 1.6V リファレンスに直接接続します。10 μ F および 0.1 μ F セラミック バイパス コンデンサ (C_{VREF}) を VREF ピンと REFGND ピンの間に接続し、可能な限りこれらのピンの近くに配置することが推奨します。外部リファレンスからの負荷電流は約 1mA です。

注

内部リファレンスはデバイス内の他の機能にも使用されているため、リファレンス アンプは電源オフ状態のときにのみ停止させる必要があり、通常動作中には停止させないようにします。

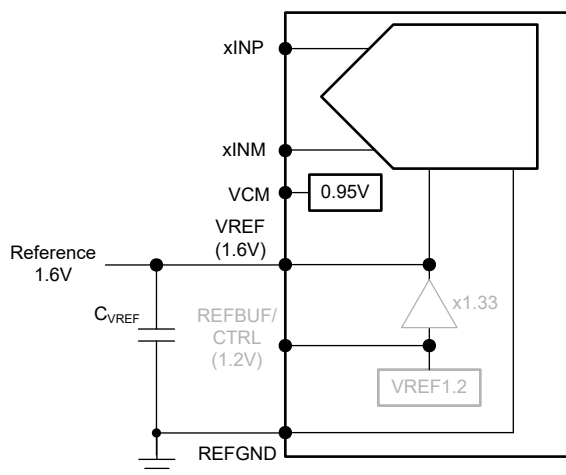


図 7-13. 1.6V 外部リファレンス

7.3.3.3 内部バッファ付き外部基準電圧 (REFBUF/CTRL)

ADC3664-xEP は、外部の 1.2V リファレンスから 1.6V のリファレンス電圧を生成するためのゲインも備えたオンチップのリファレンスバッファが搭載されています。VREF ピンと REFGND ピンの間に 10 μ F および 0.1 μ F のセラミック バイパス コンデンサ (C_{VREF}) を、また REFBUF/CTRL ピンと REFGND ピンの間にも 10 μ F および 0.1 μ F のセラミック バイパス コンデンサを接続することが推奨されています。バイパス コンデンサはピンにできるだけ近付けて配置します。外部リファレンスからの負荷電流は 100 μ A 未満です。

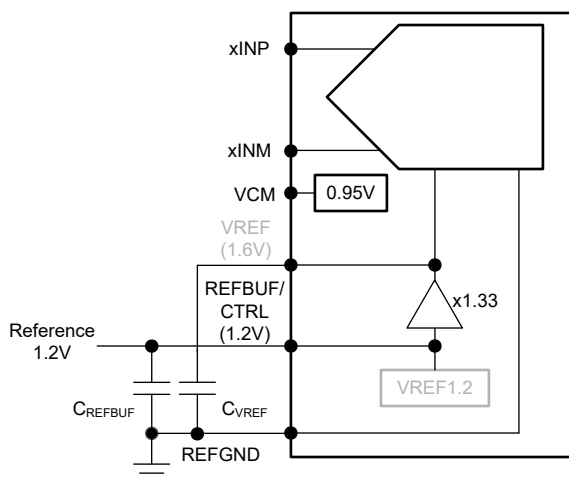


図 7-14. 内部リファレンス バッファを使用した外部 1.2V リファレンス

7.3.4 デジタル ダウン コンバータ

ADC3664-xEP は、オプションのオンチップ デジタル ダウン変換 (DDC) デシメーション フィルタを内蔵しており、SPI レジスタ設定によりこのフィルタを有効化できます。図 7-15 に示すように、デジタル ミキサと 32 ビット数値制御発振器 (NCO) を使用した、2、4、8、16、32 による複素数デシメーションをサポートしています。さらに、デバイスは実数デシメーション モードをサポートしており、このモードではコンプレックス ミキサがバイパスされます (最低消費電力を得るためには NCO を 0 に設定する必要があります)。この場合、デジタル フィルタはロー パス フィルタとして動作します。

内部では、デシメーションフィルタの演算は 20 ビットの解像度で実行されており、量子化ノイズによる SNR の劣化を防いでいます。出力フォーマットは、デジタル インターフェイスにデータを送出する前に、選択した解像度に切り捨てられます。

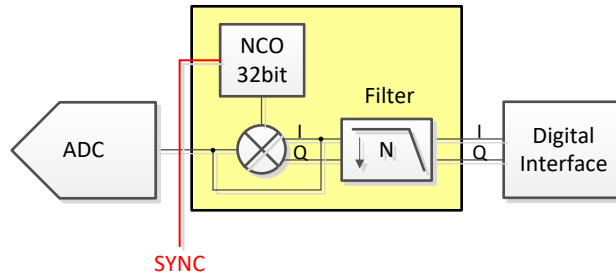


図 7-15. 内部デジタル デシメーション フィルタ

7.3.4.1 DDC MUX

ADC3664-xEP はデジタル デシメーション フィルタの前に MUX を内蔵しており、ADC チャンネル A 入力をチャンネル B の DDC に接続できます

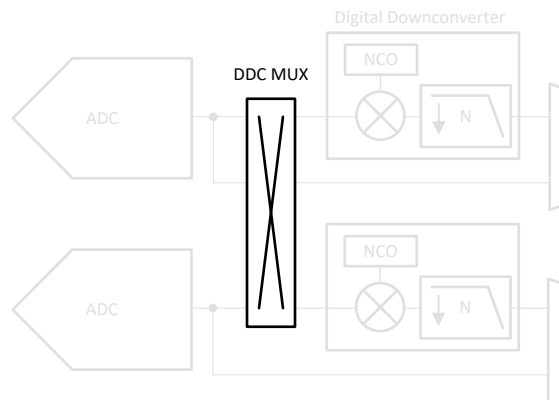


図 7-16. DDC MUX

7.3.4.2 デジタル フィルタ動作

複素数デシメーション動作を、[図 7-17](#) に示します。まず、入力信号 (およびその負のイメージ信号) は、左図に示されているように、NCO 周波数によって周波数がシフトされます。次に、0Hz を中心としたデジタル フィルタが適用され、出力データ レートがデシメートされます。この例では、出力データ レート $F_{S,OUT} = F_S/8$ と、ナイキストゾーン $F_S/16$ を使用しています。複素ミキシングの過程で、スペクトル (信号およびノイズ) は実部と虚部に分割されるため、振幅は 6dB 低下します。この損失を補償するために、デシメーション フィルタ ブロックには 6dB のデジタル ゲイン オプションが用意されており、SPI 書き込みによって有効にできます。

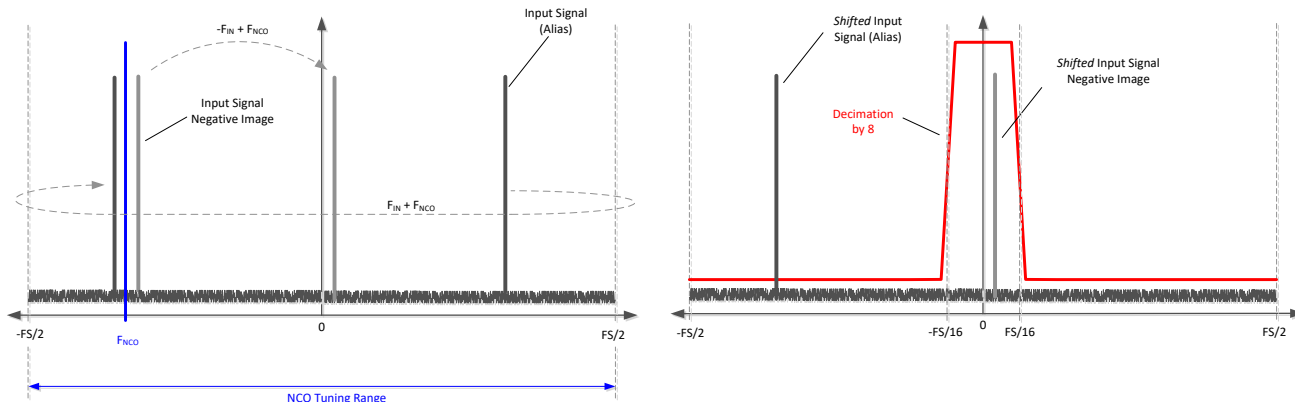


図 7-17. 複雑なデシメーションの説明図

実際のデシメーション動作を、[図 7-18](#) の例に示します。周波数シフトは発生せず、複素デジタル フィルタの実数部分のみが実行されます。出力データ レートはデシメーションされます。デシメーション率を 8 に設定すると、出力データ レート $F_{S,OUT} = F_S/8$ が得られ、ナイキストゾーン $F_S/16$ が得られます。

実数ミキシングの過程では、スペクトル (信号およびノイズ) の振幅が 3dB 低下します。この損失を補償するために、デシメーション フィルタ ブロックには 3dB のデジタル ゲイン オプションが用意されており、SPI 書き込みによって有効にできます。

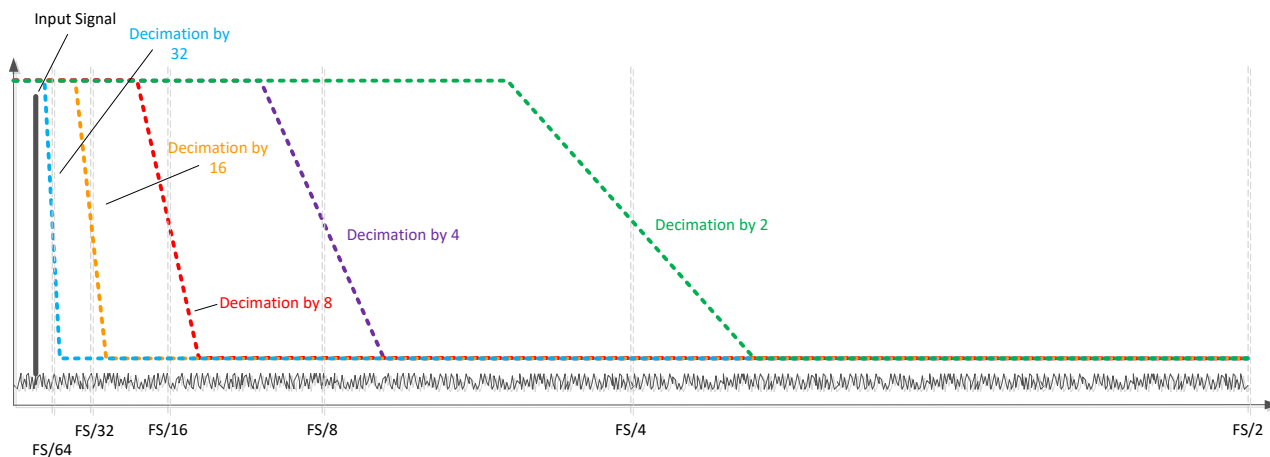


図 7-18. 実数デシメーションのイラスト

7.3.4.3 FS/4 ミキシングと実数出力

このモードでは、複素数デシメーション後の出力が **FS/4** (ここでの **FS** は出力データ レート) とミキシングされます。入力信号が **0Hz** を中心とした複素出力として送信される代わりに、[図 7-19](#) に示すように、このモードでは出力は実数出力として **2 倍のデータ レート** で送信され、信号は **FS/4 (Fout/4)** を中心とした周波数に配置されます

この例では、**8** による複素数デシメーションを使用しています。出力データは、実際の出力として、出力レート **Fout = FS'/4 (FS' = ADC サンプルングレート)** で送信されます。入力信号は **FS/4 (Fout/4)** または **FS'/16** を中心としました。

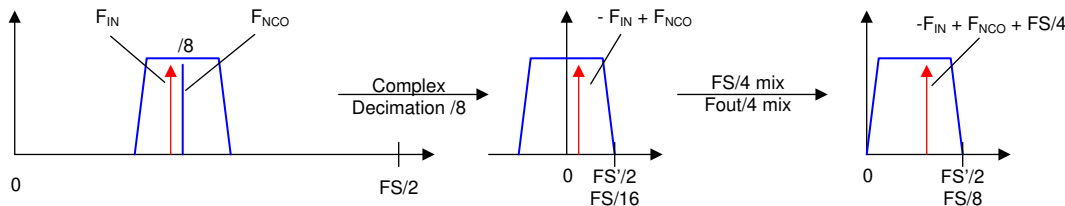


図 7-19. FS/4 ミキシングと実数出力

7.3.4.4 数値制御発振器 (NCO) およびデジタル ミキサ

デシメーション ブロックには **32 ビット** の **NCO** とデジタル ミキサが搭載されており、デジタル フィルタ処理の前に周波数位置を細かく調整できます。発振器は、次のような複素指数関数列を生成します。

$e^{j\omega n}$ (default) or $e^{-j\omega n}$

ここで、周波数 (ω) は **32 ビット** レジスタ設定により符号付き数値として指定されます

複素指数関数列に **ADC** からの実数入力を乗算し、目的のキャリアを $f_{IN} + f_{NCO}$ に等しい周波数にミックスします。**NCO** 周波数は $-F_S/2$ から $+F_S/2$ の範囲で調整でき、符号付き **2** の補数として処理されます。新しい **NCO** 周波数をプログラムした後、その周波数を有効にするには、**MIXER RESTART** レジスタ ビットまたは **SYNC** ピンをトグルさせる必要があります。さらに、**ADC3664-xEP** では、**SPI** を使用してミキサ位相を反転させるオプションを利用できます。

NCO 周波数の設定は、**32 ビット** のレジスタ値によって設定され、次のように計算されます。

$$\text{NCO frequency} = 0 \text{ to } +F_S/2: \text{NCO} = f_{NCO} \times 2^{32} / F_S \quad (1)$$

$$\text{NCO frequency} = -F_S/2 \text{ to } 0: \text{NCO} = (f_{NCO} + F_S) \times 2^{32} / F_S \quad (2)$$

ここで

- **NCO** = **NCO** レジスタ設定 (10 進値)
- f_{NCO} = 目標とする **NCO** 周波数 (MHz)
- F_S = **ADC** サンプルング レート (MSPS)

NCO プログラミングをこの例で説明します。

- **ADC** サンプルング レート $F_S = 125\text{MSPS}$
- 入力信号 $f_{IN} = 10\text{MHz}$
- 目的の出力周波数 $f_{OUT} = 0\text{MHz}$

この例では、**NCO** をプログラムして目的の出力周波数を実現する方法は実際には **4** つあります([表 7-1](#) を参照)。

表 7-1. **NCO** 値の計算例

エイリアスまたはネガティブ イメージ	f_{NCO}	NCO 値	ミキサ段階	f_{OUT} の周波数変換
$f_{IN} = -10\text{MHz}$	$f_{NCO} = 10\text{MHz}$	343597384	そのまま	$f_{OUT} = f_{IN} + f_{NCO} = -10\text{MHz} + 10\text{MHz} = 0\text{MHz}$
$f_{IN} = 10\text{MHz}$	$f_{NCO} = -10\text{MHz}$	4638564680		$f_{OUT} = f_{IN} + f_{NCO} = 10\text{MHz} + (-10\text{MHz}) = 0\text{MHz}$

表 7-1. NCO 値の計算例 (続き)

エイリアスまたはネガティブ イメージ	f_{NCO}	NCO 値	ミキサ段階	f_{OUT} の周波数変換
$f_{\text{IN}} = 10\text{MHz}$	$f_{\text{NCO}} = 10\text{MHz}$	343597384	反転	$f_{\text{OUT}} = f_{\text{IN}} - f_{\text{NCO}} = 10\text{MHz} - 10\text{MHz} = 0\text{MHz}$
$f_{\text{IN}} = -10\text{MHz}$	$f_{\text{NCO}} = -10\text{MHz}$	4638564680		$f_{\text{OUT}} = f_{\text{IN}} - f_{\text{NCO}} = -10\text{MHz} - (-10\text{MHz}) = 0\text{MHz}$

7.3.4.5 デシメーション フィルタ

ADC3664-xEP は、パスバンド帯域幅が約 80%、85dB 以上のストップバンド除去で、2、4、8、16、32 による複素数デシメーションをサポートしています。ADC サンプルング レート F_S に対する各種デシメーション設定でのパスバンド帯域幅の概要を、表 7-2 に示します。実数デシメーション モードでは、出力帯域幅は複素数帯域幅の半分です。

表 7-2. デシメーション フィルタの概要と使用可能な最大出力帯域幅

実数または複素数のデシメーション	デシメーション設定 N	出力レート	出力帯域幅	出力レート ($F_S = 125\text{MSPS}$)	出力帯域幅 ($F_S = 125\text{MSPS}$)
複雑	2	$F_S / 2$ 複素数	$0.8 \times F_S / 2$	62.5MSPS 複素	50MHz
	4	$F_S / 4$ 複雑	$0.8 \times F_S / 4$	31.25MSPS 複素	25MHz
	8	$F_S / 8$ 複雑	$0.8 \times F_S / 8$	15.625MSPS 複素	12.5MHz
	16	$F_S / 16$ 複雑	$0.8 \times F_S / 16$	7.8125MSPS 複素	6.25MHz
	32	$F_S / 32$ 複雑	$0.8 \times F_S / 32$	3.90625MSPS 複素	3.125MHz
実数	2	$F_S / 2$ 実数	$0.4 \times F_S / 2$	62.5MSPS	25MHz
	4	$F_S / 4$ 実数	$0.4 \times F_S / 4$	31.25MSPS	12.5MHz
	8	$F_S / 8$ 実数	$0.4 \times F_S / 8$	15.625MSPS	6.25MHz
	16	$F_S / 16$ 実数	$0.4 \times F_S / 16$	7.8125MSPS	3.125MHz
	32	$F_S / 32$ 実数	$0.4 \times F_S / 32$	3.90625MSPS	1.5625MHz

デシメーション フィルタの応答である ADC サンプルング クロック周波数に正規化されたものが、図 7-21 から 図 7-30 に示されます。次のように解釈されます。

各図には、図 7-20 に示すように、フィルタのパスバンド、遷移バンド、エイリアスまたはストップバンドが含まれています。x 軸は、(NCO 周波数シフト後の) オフセット周波数を ADC サンプルング レート F_S に正規化したものを示します。

たとえば、1/4 の複素セットアップでは、出力データレートは $F_S / 4$ 複素、ナイキストゾーンは $F_S / 8$ すなわち $0.125 \times F_S$ です。遷移バンド (青色) は $0.125 \times F_S$ を中心にしており、エイリアス遷移バンドは $0.375 \times F_S$ を中心にしています。ストップ バンド (赤色) は、パスバンドの上側にエイリアスがあり、 $0.25 \times F_S$ および $0.5 \times F_S$ を中心にして配置されています。ストップバンド減衰は、85dB を超えています。

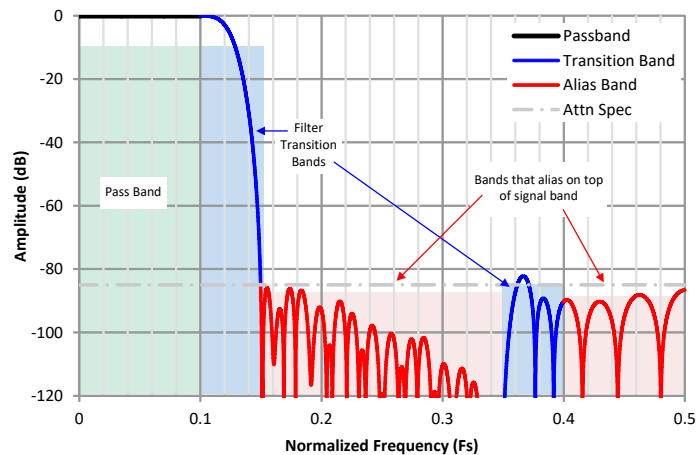


図 7-20. デシメーション フィルタ プロットの解釈

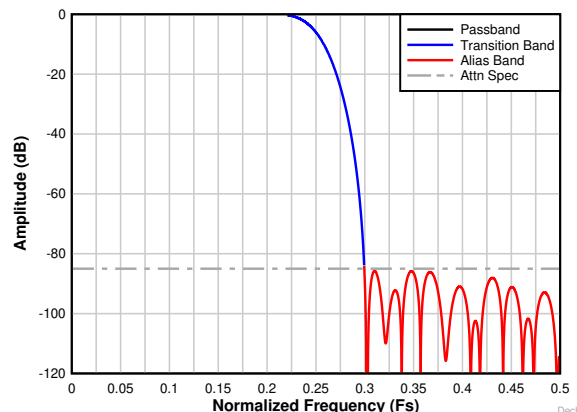


図 7-21. 2 倍デシメーション時の複素数周波数応答

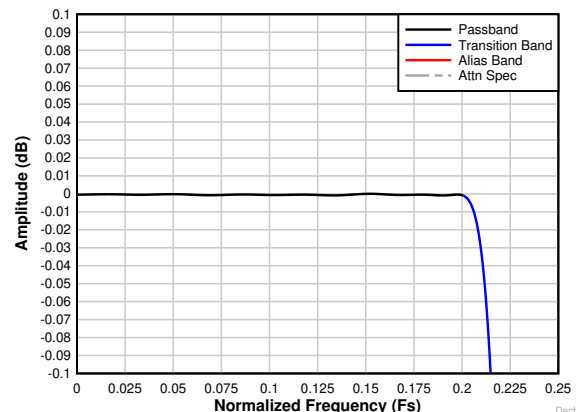


図 7-22. 2 倍デシメーション時の複素数パスバンドリップル応答

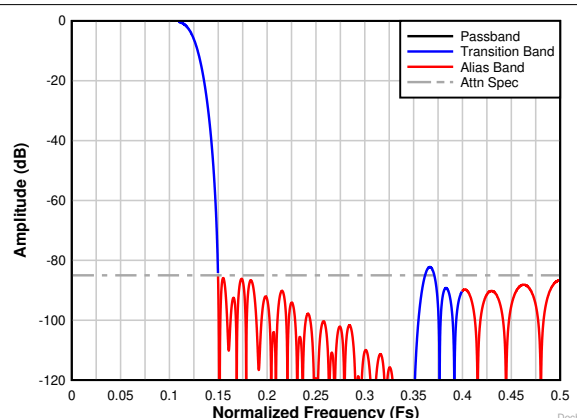


図 7-23. デシメーションにより、4つの複素周波数応答を実現

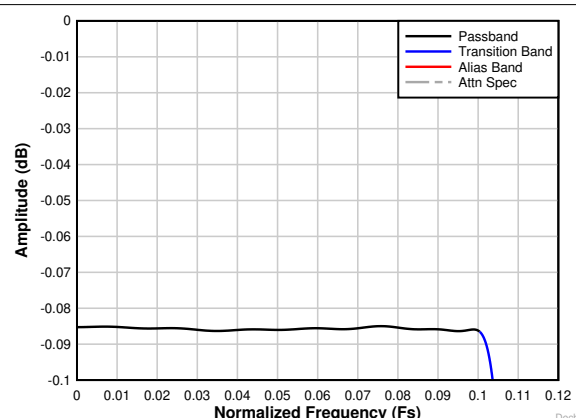


図 7-24. 4 倍デシメーション時の複素数パスバンドリップル応答

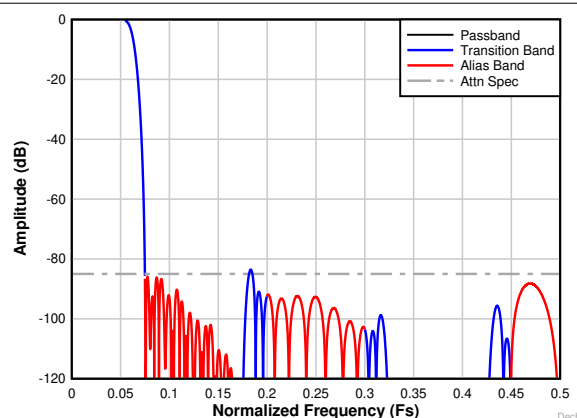


図 7-25. デシメーションにより、8つの複素周波数応答を実現

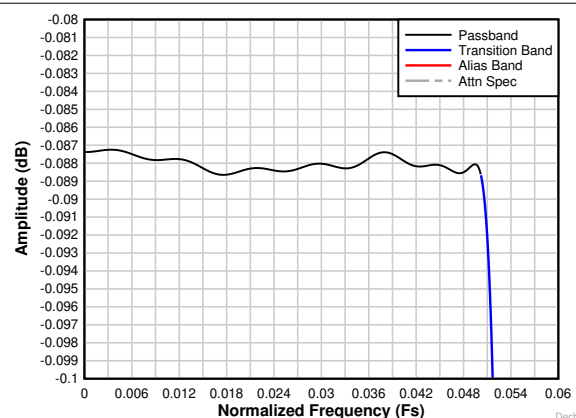


図 7-26. 8 倍デシメーション時の複素数パスバンドリップル応答

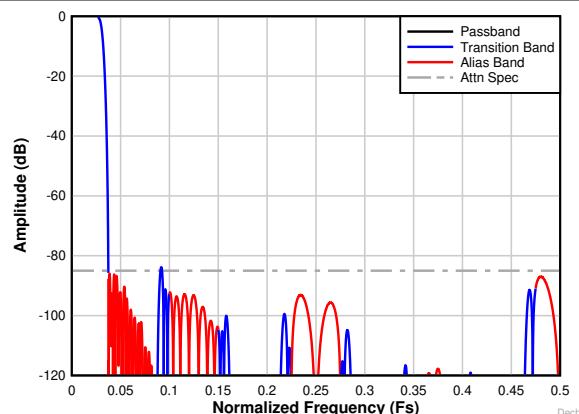


図 7-27. デシメーションにより、16 つの複素周波数応答を実現

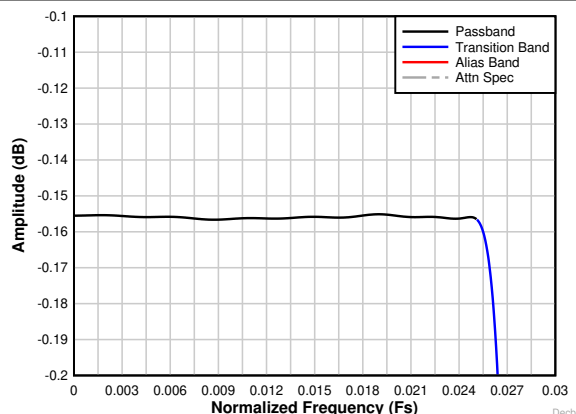


図 7-28. 16 倍デシメーション時の複素数パスバンドリップル応答

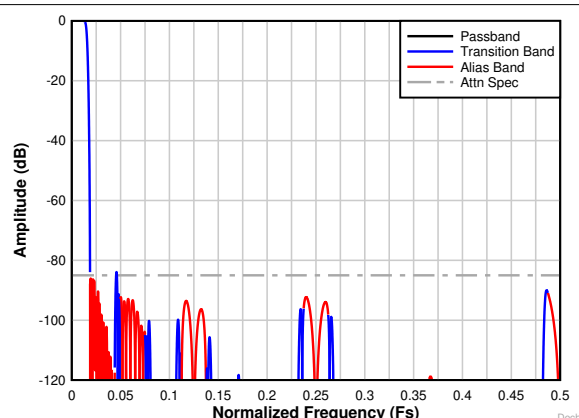


図 7-29. デシメーションにより、32 つの複素周波数応答を実現

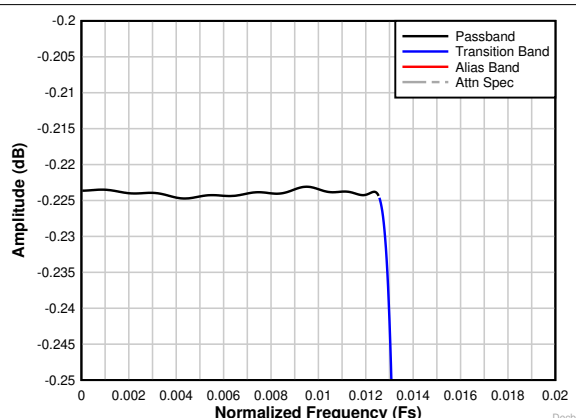


図 7-30. 32 倍デシメーション時の複素数パスバンドリップル応答

7.3.4.6 SYNC

PDN/SYNC ピンは、外部の SYNC 信号を使用して複数のデバイスを同期させるために使用されます。PDN/SYNC ピンは、SPI (SYNC EN ビット) を介して構成され、パワーダウン機能から同期機能へと切り替わります。この設定は、図 7-31 に示すようにサンプリング クロックの立ち上がりエッジでラッチされます。

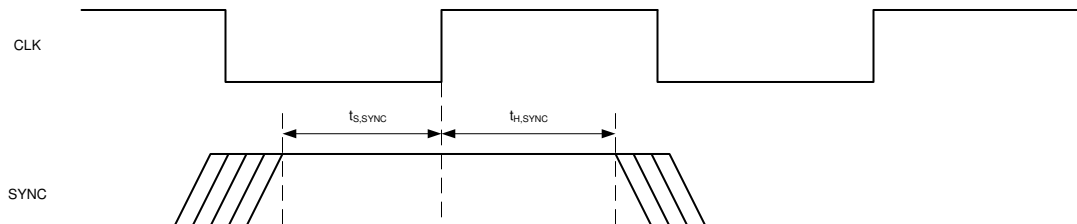


図 7-31. 外部 SYNC タイミング図

同期信号が必要となるのは、デシメーション フィルタを使用する場合のみであり、その際は SPI の SYNC レジスタまたは PDN/SYNC ピンのいずれかを使用します。デシメーション フィルタで使用する内部クロック分周器をリセットし、内部クロックおよび I/Q データを同じサンプル内で整列させます。SYNC 信号が与えられない場合、内部のクロック分周器は同期されず、複数のデバイス間で分数遅延が発生する可能性があります。SYNC 信号は、NCO の位相をリセットし、新しい NCO 周波数を読み込む役割も果たします (これは MIXER RESTART ビットと同じ動作です)。

動作中に再同期を試みる場合、SYNC のトグルは $64 \times K$ クロック サイクルごとに発生します (K は整数)。この場合、クロック分周器の位相連続性が示されます。

7.3.4.7 デシメーションを使用した出力フォーマット

デシメーションを使用する場合、出力データは 図 7-32 および 図 7-33 に示すような形式になります。以下の例では、16 ビット出力における 2 線式 (8 倍直列化)、1 線式 (16 倍直列化)、および 1/2 線式 (32 倍直列化) の構成が示されています。

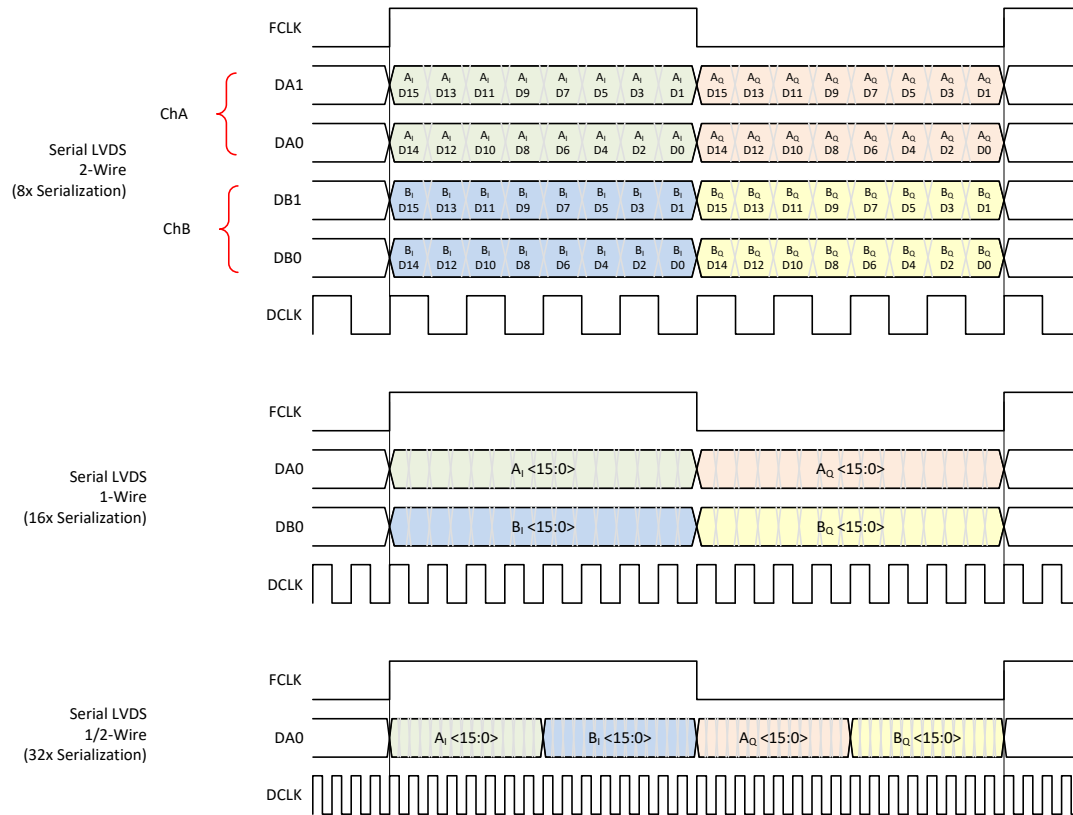


図 7-32. 複素デシメーションにおける出力データ フォーマット

表 7-3 は、出力インターフェイスのデータ レートを示しており、出力解像度 (R)、SLVDS レーン数(L)、および複素デシメーション設定 (N) に基づく DCLK/DCLKIN および FCLK の周波数もあわせて示しています。

この表は、2 線式、1 線式、および 1/2 線式インターフェイスにおいて、16 ビット出力解像度および 4 倍の複素デシメーションを使用した場合の実際のレーン レートの例を示しています。

表 7-3. 複素デシメーションおよび 16 ビット出力解像度におけるシリアル LVDS レーン レートの例

デシメーション設定	ADC のサンプリング レート	出力分解能	配線数	FCLK	DCLKIN, DCLK	DA/B0, 1
N	F_S	R	L	F_S / N	$[DA/B0, 1] / 2$	$F_S \times 2 \times R / L / N$
4	125MSPS	16	2	31.25MHz	250MHz	500MHz
			1		500MHz	1000MHz
	55MSPS		1/2	15.625MHz	50MHz	1000MHz

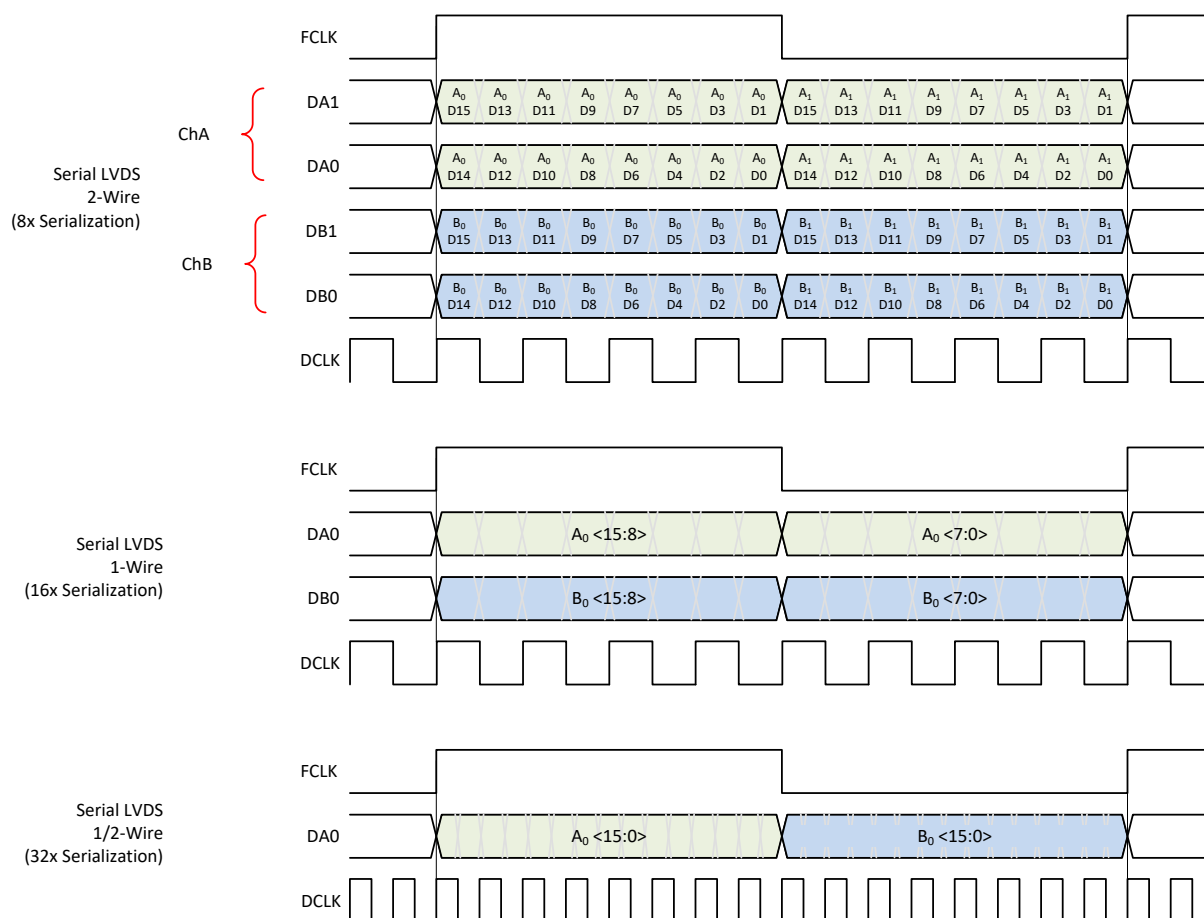


図 7-33. 実数デシメーションを使用した出力データ フォーマット

表 7-4 に、出力解像度 (R)、SLVDS レーン数 (L)、および実数デシメーション設定 (M) に基づいて、出力インターフェイスのデータレートと、それに対応する DCLK/DCLKIN および FCLK の周波数を示します。

この表は、2 線式、1 線式、1/2 線式インターフェイス、16 ビット出力分解能、実数デシメーションを 4 倍にする実際のレーンレートの例を示しています。

表 7-4. 実数デシメーションと 16 ビット出力分解能を使用するシリアル LVDS レーン レートの例

デシメーション設定	ADC のサンプリングレート	出力分解能	配線数	FCLK	DCLKIN、DCLK	DA/B0、1
M	F_S	R	L	$F_S / M / 2$ (L = 2) F_S / M (L = 1, 1/2)	[DA/B0、1] / 2	$F_S \times R / L / M$
4	125MSPS	16	2	15.625MHz	125MHz	250MHz
			1	31.25MHz	250MHz	500MHz
			1/2		500MHz	1000MHz

7.3.5 デジタル インターフェイス

シリアル LVDS インターフェイスは、2 線式、1 線式、1/2 線式の動作を使用するデータ出力をサポートしています。実際のデータ出力レートは、使用する出力分解能とレーン数によって異なります。

ADC3664-xEP には外部シリアル LVDS クロック入力 (DCLKIN) が必要で、ADC からデータをデータ クロック (DCLK) とともに送信するために使用されます。DCLKIN とサンプリング クロックの位相関係は無関係ですが、両方のクロックを周波数ロックする必要があります。SLVDS インターフェイスは、SPI レジスタへの書き込みを使用して構成されます。

7.3.5.1 出力 フォーマット

デジタル出力インターフェイスは、柔軟な出力ビット マッパー (図 7-34) を使用します。ビットマッパーは、ADC から直接 14 ビットの出力を取得するか、デジタル フィルタ ブロックから 14 ビット、16 ビット、18 ビット、20 ビットの分解能に再フォーマットします。出力シリアライゼーション係数は、2 線式、1 線式、および 1/2 線式のインターフェイスモードに応じて調整されます。最大出力データ レートは、出力解像度とシリアライゼーション係数とは無関係に超えることはできません。

非デシメーション モードで 16 ビット以上の出力分解能を使用する場合、2LSB は 0 に設定されます。

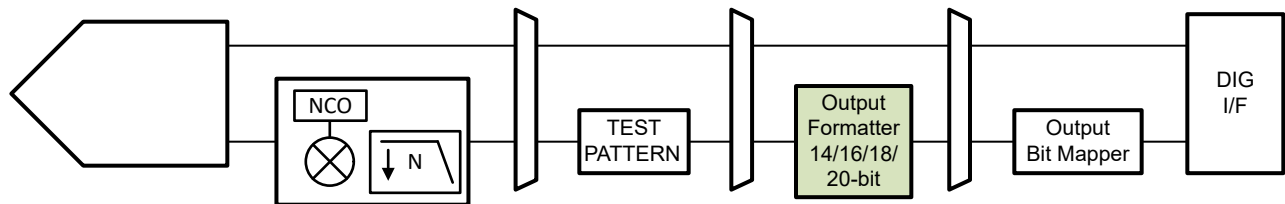


図 7-34. インターフェイス出力ビット マッパー

表 7-5 は出力解像度と出力モードに応じて、結果のシリアライゼーション ファクタの概要を示します。注: DCLKIN 周波数もそれに応じて調整する必要があります。たとえば、出力分解能を 16 ビット、2 線式モードに変更すると、 $F_S \cdot 3.5$ から $DCLKIN = F_S \cdot 4$ となります。

出力ビット マッパーは、バイパス フィルタおよびデシメーション フィルタに使用されます。

表 7-5. さまざまな出力モードでのシリアル化係数と出力分解能の対比

出力分解能	インターフェイス	シリアル化	FCLK	DCLKIN	DCLK	D0/D1
14 ビット (デフォルト)	2 線式	7x	$F_S/2$	$F_S \cdot 3.5$	$F_S \cdot 3.5$	$F_S \cdot 7$
	1 線式	14x	F_S	$F_S \cdot 7$	$F_S \cdot 7$	$F_S \cdot 14$
	1/2 線式	28x	F_S	$F_S \cdot 14$	$F_S \cdot 14$	$F_S \cdot 28$
16 ビット	2 線式	8x	$F_S/2$	$F_S \cdot 4$	$F_S \cdot 4$	$F_S \cdot 8$
	1 線式	16x	F_S	$F_S \cdot 8$	$F_S \cdot 8$	$F_S \cdot 16$
	1/2 線式	32x	F_S	$F_S \cdot 16$	$F_S \cdot 16$	$F_S \cdot 32$
18 ビット	2 線式	9x	$F_S/2$	$F_S \cdot 4.5$	$F_S \cdot 4.5$	$F_S \cdot 9$
	1 線式	18x	F_S	$F_S \cdot 9$	$F_S \cdot 9$	$F_S \cdot 18$
	1/2 線式	36x	F_S	$F_S \cdot 18$	$F_S \cdot 18$	$F_S \cdot 36$
20 ビット	2 線式	10x	$F_S/2$	$F_S \cdot 5$	$F_S \cdot 5$	$F_S \cdot 10$
	1 線式	20x	F_S	$F_S \cdot 10$	$F_S \cdot 10$	$F_S \cdot 20$
	1/2 線式	40x	F_S	$F_S \cdot 20$	$F_S \cdot 20$	$F_S \cdot 40$

出力インターフェイス、または分解能をデフォルト設定から変更するプログラミング シーケンスを、[出力インターフェイス/モード構成](#) に示します。

7.3.5.2 出力ビット マッパー

出力ビット マッパーを使用すると、任意の選択されたインターフェイス モードにおいて出力ビットの順序を変更することができます。

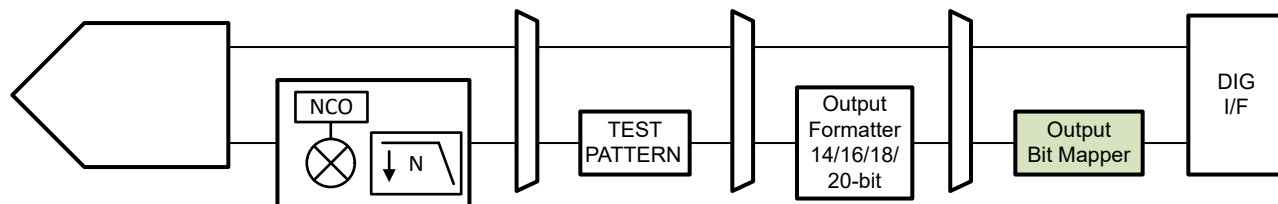


図 7-35. 出力ビット マッパー

出力ビット マッピングを変更し、出力データ バスを構成するには、2 段階のプロセスが使用されます。

- 出力チャンネル A および B の両方は、最大 20 ビットの出力が可能です。表 7-6 に示すように、いずれかのチャンネルの各出力ビットには一意の識別子ビットがあります。MSB はビット D19 から始まり、選択された出力分解能に応じて、LSB は D6 (14 ビット) から D0 (20 ビット) までです。前のサンプルは、2W モードでのみ必要です。
- 次に、ビット マッパーを使用して出力サンプルをアセンブルします。次のセクションでは、シリアル出力フォーマットを再マッピングする方法について詳しく説明します。

表 7-6. 各データビットの固有の識別子

ビット	チャンネル A		チャンネル B	
	以前のサンプル (2W のみ)	現在のサンプル	以前のサンプル (2W のみ)	現在のサンプル
D19 (MSB)	0x2D	0x6D	0x29	0x69
D18	0x2C	0x6C	0x28	0x68
D17	0x27	0x67	0x23	0x63
D16	0x26	0x66	0x22	0x62
D15	0x25	0x65	0x21	0x61
D14	0x24	0x64	0x20	0x60
D13	0x1F	0x5F	0x1B	0x5B
D12	0x1E	0x5E	0x1A	0x5A
D11	0x1D	0x5D	0x19	0x59
D10	0x1C	0x5C	0x18	0x58
D9	0x17	0x57	0x13	0x53
D8	0x16	0x56	0x12	0x52
D7	0x15	0x55	0x11	0x51
D6	0x14	0x54	0x10	0x50
D5	0x0F	0x4F	0x0B	0x4B
D4	0x0E	0x4E	0x0A	0x4A
D3	0x0D	0x4D	0x09	0x49
D2	0x0C	0x4C	0x08	0x48
D1	0x07	0x47	0x03	0x43
D0 (LSB)	0x06	0x46	0x02	0x42

シリアル出力モードでは、シリアル出力ストリーム内の各位置にデータビット (固有の識別子を持つ) を割り当てる必要があります。チャンネルごとに合計 40 個のアドレスが使用できます。チャンネル A はアドレス 0x39 ~ 0x60、チャンネル B はアドレス 0x61 ~ 0x88 に及びます。複素デシメーションを使用する場合、出力ビット マッパーは「I」サンプルと「Q」サンプルの両方に適用されます。

7.3.5.2.1 2 線式モード

このモードでは、[図 7-36](#) に示すように、現在のサンプルと前のサンプルの両方をアドレス空間で使用する必要があります。アドレス順序は、14/18 ビットと 16/20 ビットで異なります。

注

サンプル間には 20 ビット未満 (グレーのバック グランド) の分解能については未使用のアドレスがありますが、未使用の場合はスキップされます。

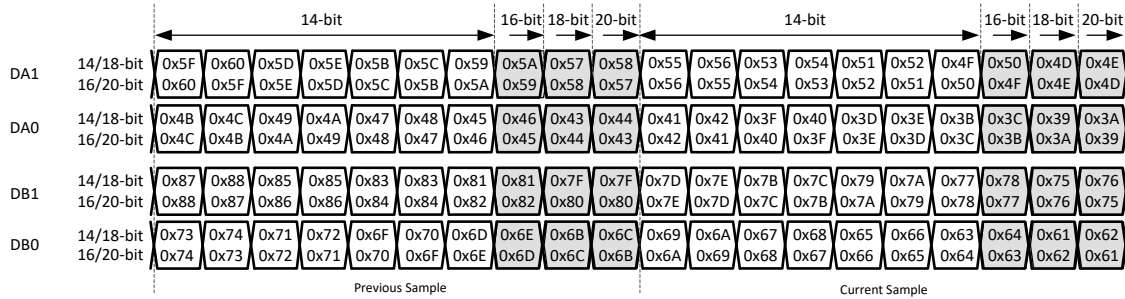


図 7-36. 2 線式出力ビットマッパー

次の例 ([図 7-37](#)) では、16 ビット 2 線式シリアル出力がリオーダーされています。ここで、レーン DA1/DB1 は 8MSB、レーン DA0/DB0 は 8LSB を伝送します。

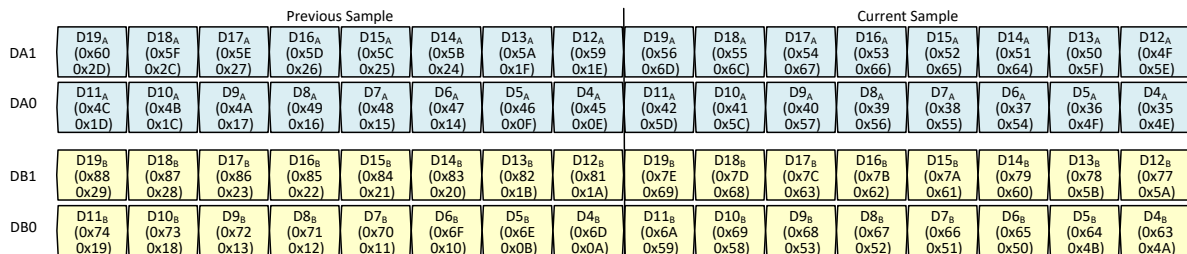


図 7-37. 例 : 2 線式出力ビットのマッピング

7.3.5.2.2 1 線式モード

現在のサンプルのみアドレス空間に書き込む必要があります。必要に応じて、現在のサンプルも DA1/DB1 上で複製され (以下のアドレスを使用)、冗長出力が得られます。レーン DA1/DB1 の電源がオンになっている場合。

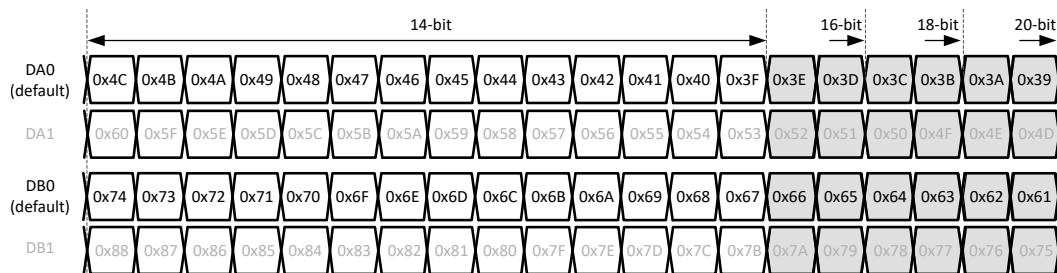


図 7-38. 1 線式出力ビットのマッピング

7.3.5.2.3 1/2 線式モード

出力は DA0 レーンのみに限定されており、サンプルの順序は chA の 40 個のアドレス (0x39 ~ 0x60) にプログラムされています。2 つのサンプル (1 つは chA 用、もう 1 つは chB 用) をカバーしています。冗長出力を行うには、DB0 でも複製します (図 7-39 表示されているアドレスを使用)。この場合、レーン DB0 の電源がオンになります。

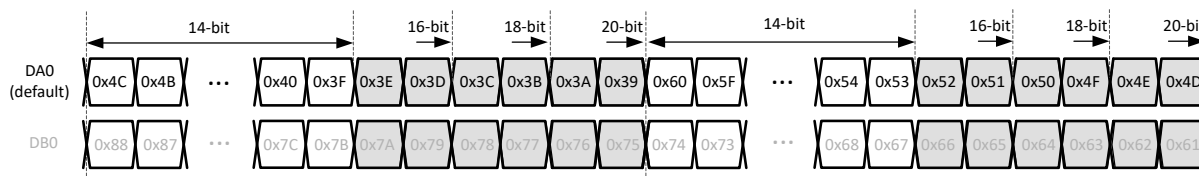


図 7-39. 1/2 線式出力ビットのマッピング

7.3.5.3 出力インターフェイスおよびモード構成

以下の手順は、出力インターフェイスの変更および/またはデシメーション フィルタの有効化に関連するすべてのレジスタをまとめたものです。ステップ 1 とステップ 2 は、E-Fuse のロードが SPI の書き込みをリセットするため、最初に行う必要があります。それ以降のステップは、任意の順序で実行できます。

表 7-7. インターフェイスまたはデシメーションを変更するための設定手順

ステップ	機能	アドレス	概要					
1	出力インターフェイス	0x07	解像度および出力インターフェイスに応じて、出力インターフェイスのビット マッピングを選択します。					
			出力分解能		2 線式	1 線式	1/2 線式	
			14 ビット		0x2B	0x6C	0x8D	
			16 ビット		0x4B			
			18 ビット		0x2B			
			20 ビット		0x4B			
2		0x13	E-Fuse ローダー (0x13, D0) を使用して、出力インターフェイスのビット マッピングを読み込んでください。レジスタ 0x13 に 0x01 を書き込み、ビット マッピングが正しく読み込まれるよう約 1ms 待機した後、0x13 に 0x00 を書き込んでください。					
3		0x19	バイパスデシメーションの設定および使用するレーン数に基づいて、FCLK の周波数を設定してください。					
			バイパス/Dec	SLVDS	FCLK SRC (D7)	FCLK DIV (D4)	TOG FCLK (D0)	
			バイパス/実数デシメーション	2 線式	0	1	0	
				1 線式	0	0	0	
				1/2 線式	0	0	0	
			複素デシメーション	2 線式	1	0	0	
				1 線式	1	0	0	
				1/2 線式	0	0	1	
4			0x1B	ビット マッパー (D5 ～ D3) を使用して、出力インターフェイスの解像度を選択します。				
5		0x20 0x21 0x22	フレーム クロックのデューティ サイクル出力を適切に保つために、デシメーションに応じた FCLK パターンを選択します。					
			出力分解能		2 線式	1 線式	1/2 線式	
			実数デシメーション	14 ビット	デフォルトを使用	0xFE000	デフォルトを使用	
				16 ビット		0xFF000		
				18 ビット		0xFF800		
				20 ビット		0xFFC00		
			複素デシメーション	14 ビット	デフォルトを使用	0xFFFFF	0xFFFFF	
				16 ビット				
				18 ビット				
				20 ビット				
			6		0x39..0x60 0x61..0x88	必要に応じて、チャンネル A およびチャンネル B の出力ビット マッピングを変更します。これは、デフォルトのインターフェイス選択でも機能します。		

表 7-7. インターフェイスまたはデシメーションを変更するための設定手順 (続き)

ステップ	機能	アドレス	概要		
7	デシメーション フィルタ	0x24	デシメーション フィルタをイネーブルします		
8		0x25	構成デジタル デシメーション フィルタ		
9		0x2A/B/C/D 0x31/2/3/4	複素数デシメーションの場合は NCO 周波数を設定します (実数デシメーションの場合はスキップ)		
10		0x27 0x2E	複素数出力カデータ ストリームを設定します (実数デシメーションの場合は両方のビットを 0 に設定)		
			SLVDS	OP-Order (D4)	Q-Delay (D3)
			2 線式	1	0
			1 線式	0	1
			1/2 線式	1	1
11		0x26	ミキサー ゲインを設定し、ミキサー リセット ビットを切り替えて NCO 周波数を更新します。		

7.3.5.3.1 構成例

以下に、1 線式 SLVDS と 16 ビット出力を使用して、8 倍の複素数デシメーションを実行するように ADC3664-xEP を構成するためのステップ バイ ステップのプログラミング例を示します。

1. 0x07 (アドレス) 0x6C (16 ビット出力、1 線式 SLVDS のロード ビット マッパー構成)
2. 0x13 0x01、1ms 待機、0x13 0x00 (e-Fuse をロード)
3. 0x19 0x80 (FCLK を構成)
4. 0x1B 0x88 (16 ビットの出力分解能を選択)
5. 0x20 0xFF、0x21 0xFF、0x22 0x0F (FCLK パターンの構成)
6. 0x24 0x06 (デシメーション フィルタの有効化)
7. 0x25 0x30 (8 倍の複素数デシメーションを構成)
8. 0x2A/B/C/D および 0x31/32/33/34 (NCO 周波数のプログラム)
9. 0x27/0x2E 0x08 (Q-DELAY レジスタ ビットを構成)
10. 0x26 0xAA、0x26 0x88 (デジタル ミキサーのゲインを 6dB に設定し、ミキサーの更新を切り替える)

7.3.5.4 出力データ フォーマット

出力データは、SPI レジスタ書き込み (レジスタ 0x8F および 0x92) によって、2 の補数形式 (デフォルト) またはオフセット バイナリ形式に設定できます。表 7-8 に、2 つのフォーマット オプションに対する、出力コードの最小値と最大値の概要を示します。実際の出力分解能は、出力ビット マッパーによって設定されます。

表 7-8. 最小出力コードと最大出力コードの概要、および各種フォーマットでの出力分解能の比較

分解能 (ビット)	2 の補数 (デフォルト)		オフセット バイナリ	
	14	16	14	16
$V_{IN,MAX}$	0x1FFF	0x7FFF	0x3FFF	0xFFFF
0	0x0000		0x2000	0x8000
$V_{IN,MIN}$	0x2000	0x8000	0x0000	

7.3.6 テスト・パターン

デジタル インターフェイスのイン サークット テストを可能にするために、以下のテスト パターンがサポートされており、SPI レジスタ (0x14/0x15/0x16) への書き込みによって有効化されます。テスト パターン ジェネレータは、図 7-40 に示すようにデシメーションフィルタの後に配置されています。デシメーション モード (実数および複素数) では、テスト パターンが DDC の出力データに置き換わります。ただし、テスト パターンの制御はチャンネル A が両チャンネル分を担当します。

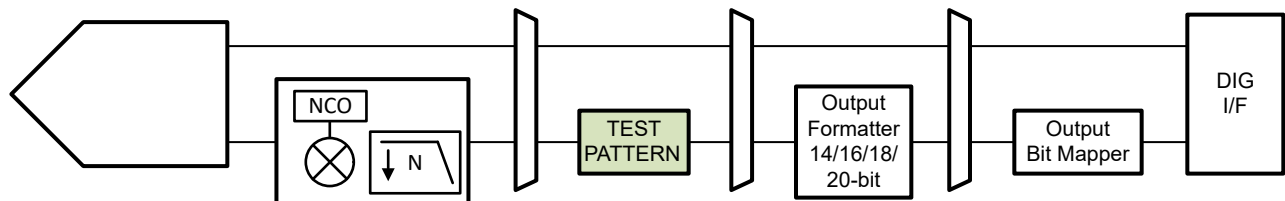


図 7-40. テスト パターン ジェネレータ

- RAMP パターン: ステップ サイズは、ADC のネイティブ解像度に応じて、CUSTOM PAT レジスタで設定する必要があります。より高い出力解像度を選択した場合でも、RAMP パターン モードでは追加された LSB は依然として 0 になります。
 - 00001: 18 ビット出力分解能
 - 00100: 16 ビット出力分解能
 - 10000: 14 ビット出力分解能
- カスタム パターン: CUSTOM PAT レジスタで設定

7.4 デバイスの機能モード

7.4.1 通常動作

通常動作モードでは、ADC の全フルスケール レンジが 14 ビットの分解能でデジタル出力に変換されます。出力は、デジタル出力では最小 1 クロック サイクルで利用可能です。

7.4.2 パワー ダウン オプション

グローバル パワーダウン モードは、SPI に加えて、パワーダウン ピン (PDN/SYNC) を使用して有効にすることができます。PDN/SYNC 入力ピンには内部に 21kΩ のプルダウン抵抗があり、このピンはアクティブ High のため、グローバル パワーダウン モードに入るには外部から High に引き上げる必要があります。

表 7-9 に示すように、SPI レジスタ マップを使用して、個別のブロックを直接または PDN ピン マスクを使用してイネーブルまたはディセーブルする機能を使用でき、消費電力とウェークアップ時間との間のトレードオフを制御できます。

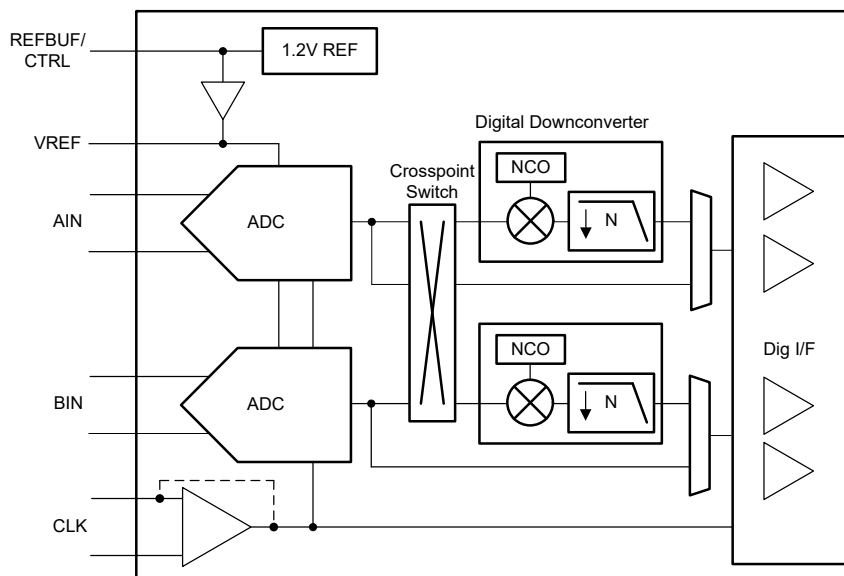


図 7-41. パワーダウン構成

表 7-9. パワーダウン オプションの概要

機能/レジスタ	SPI 経由 の PDN	グローバル PDN のマスク	機能 - デフォルト	パワー インパクト	ウェークア ップ 時間	コメント
ADC	あり	-	イネーブル			両方の ADC チャンネルが自動的にグローバル PDN に含まれます
基準ゲイン アンプ	あり	あり	イネーブル	~ 0.4mA	約 3us	パワーダウン状態でのみパワーダウンする必要があります。
内部 1.2V 基準電圧	あり		外部リファレンス	~ 1 ~ 3.5mA	約 3ms	内部/外部リファレンスは、SPI および REFBUF/CTRL ピンを介して選択できます。
クロック バッファ	あり		差動クロック	~ 1mA	該当なし	シングルエンド クロック入力、差動入力と比較して約 1mA の電流を節約できます。一部の機能は、REFBUF/CTRL ピンを通じてプログラム可能です。
出力インターフェイスドライバ	あり	-	イネーブル	条件によって変化	該当なし	出力インターフェイス モードによっては、未使用の出力ドライバはパワーダウンされるため、消費電力を最大限に削減できます
デシメーション フィルタ	あり	-	ディセーブル	電気的特性表を参照	該当なし	

7.5 プログラミング

このデバイスは主に、シリアル プログラミング インターフェイス (SPI) を使用して構成および制御されます。ただし、デバイスは SPI インターフェイスを必要とせずデフォルト構成で動作できます。パワーダウン機能および内部/外部リファレンスの構成は、ピン制御 (PDN/SYNC ピンおよび REFBUF/CTRL ピン) によって設定可能です。

注

パワー ダウン コマンド (ピンまたは SPI 経由) は、ADC サンプリング クロックが存在する場合にのみ有効です。

最初の電源投入後のデフォルトの動作構成を 表 7-10 に示します。

表 7-10. 起動後のデバイスの初期構成

機能	デフォルト
信号入力	差動
クロック入力	差動
リファレンス	外部
デシメーション	DDC バイパス
インターフェイス	2 線式
出力フォーマット	2 の補数

7.5.1 ピンのみを使用した構成

ADC の電圧リファレンスは、REFBUF/CTRL ピンを使用して選択します。内部に AVDD への 100kΩ のプルアップ抵抗があるものの、REFBUF/CTRL ピンは外部で電圧を設定し、浮かせたままにしないようにします。分圧器を使用して REFBUF/CTRL 電圧 (図 7-42 の R1 および R2) を設定する場合は、< 5kΩ の抵抗値を使用する必要があります。

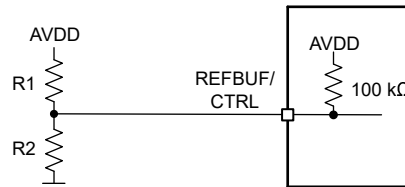


図 7-42. REFBUF/CTRL ピンの外部電圧の構成

表 7-11. REFBUF/CTRL の電圧レベルは、電圧リファレンスの選択を制御し

REFBUF/CTRL 電圧	電圧リファレンス オプション	クロック オプション
1.7V より高い(デフォルト)	外部リファレンス	差動クロック入力
1.2V (1.15-1.25V)	内部ゲイン バッファを使用した REFBUF/CTRL ピン上の外部 1.2V 入力	差動クロック入力
0.5 ~ 0.7 V	内部リファレンス	差動クロック入力
< 0.1V	内部リファレンス	シングルエンド クロック入力

7.5.2 SPI インターフェイスを使用した構成

このデバイスは、内部レジスタ群を備えており、SEN (シリアル インターフェイス有効)、SCLK (シリアル インターフェイス クロック)、SDIO (シリアル インターフェイス データ入出力) ピンで構成されるシリアル インターフェイスを通じてアクセスされます。SEN が Low のとき、ビットをデバイスにシリアルでシフト入力することが可能になります。SEN がアクティブ (Low) の間、シリアル データ入力は SCLK の立ち上がりエッジごとにラッチされます。SEN が Low の場合、24 番目の SCLK の立ち上がりエッジごとに、シリアル データがレジスタにロードされます。ワード長が 24 ビットの倍数を超えると、余分なビットは無視されます。データは、単一のアクティブ SEN パルス内に 24 ビットワードの倍数でロードされます。このインターフェイスは 12MHz から低速 (数 Hz) までの SCLK 周波数と、50% 以外の SCLK デューティ サイクルで機能できます。

7.5.2.1 レジスタ書き込み

以下の手順に従って、内部レジスタをプログラムできます。

1. SEN ピンを Low に駆動します
2. R/W ビットを 0 (16 ビット アドレスのビット A15) に設定し、アドレス フィールドのビット A[14:12] を 0 に設定します。
3. 内容を書き込むレジスタのアドレス (A[11:0]) を指定して、シリアル インターフェイス サイクルを開始します。また、
4. SCLK の立ち上がりエッジで、ラッチされている 8 ビットのデータを書き込みます

図 7-43 に、シリアル レジスタの書き込み動作のタイミング要件を示します。

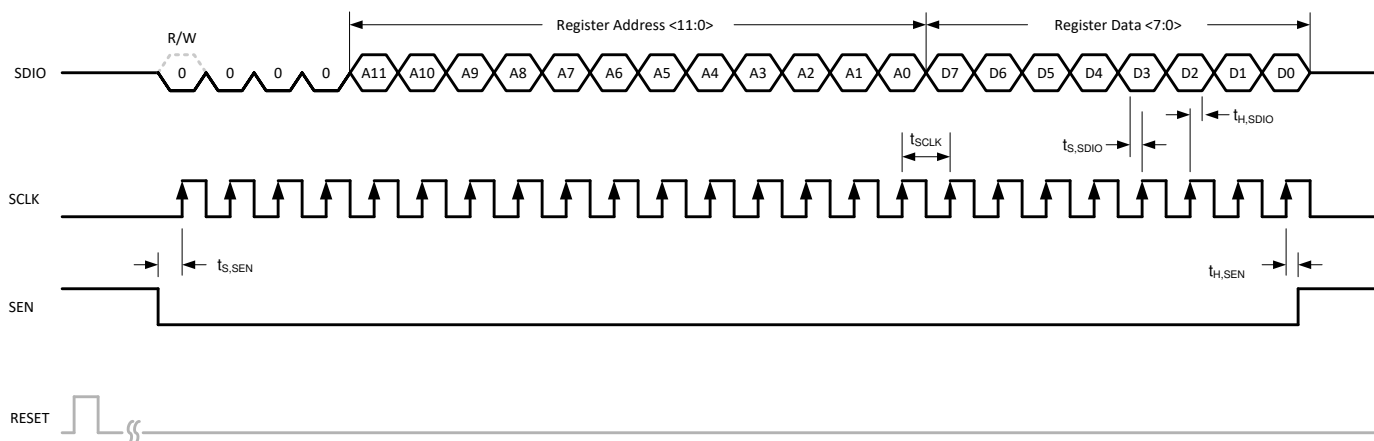


図 7-43. シリアル レジスタ書き込みタイミング図

7.5.2.2 レジスタ読み出し

このデバイスには、SDIO ピンを使用して内部レジスタの内容を読み戻すことができるモードが搭載されています。この読み戻しモードは、外部コントローラと ADC の間のシリアル インターフェイス通信を検証する診断チェックとして役立ちます。シリアル レジスタの内容を読み取る手順は、以下のとおりです。

1. SEN ピンを Low に駆動します
2. R/W ビット (A15) を 1 に設定します。この設定により、レジスタへの以後の書き込みは無効化されます。アドレスフィールドの A[14:12] を 0 に設定します。
3. 内容を読み取るべきレジスタのアドレス (A[11:0]) を指定して、シリアル インターフェイス サイクルを開始します
4. デバイスは、SCLK 立ち下がりエッジで、選択したレジスタの内容 (D[7:0]) を SDIO ピンに送出します
5. 外部コントローラは、SCLK の立ち上がりエッジで内容をキャプチャできます

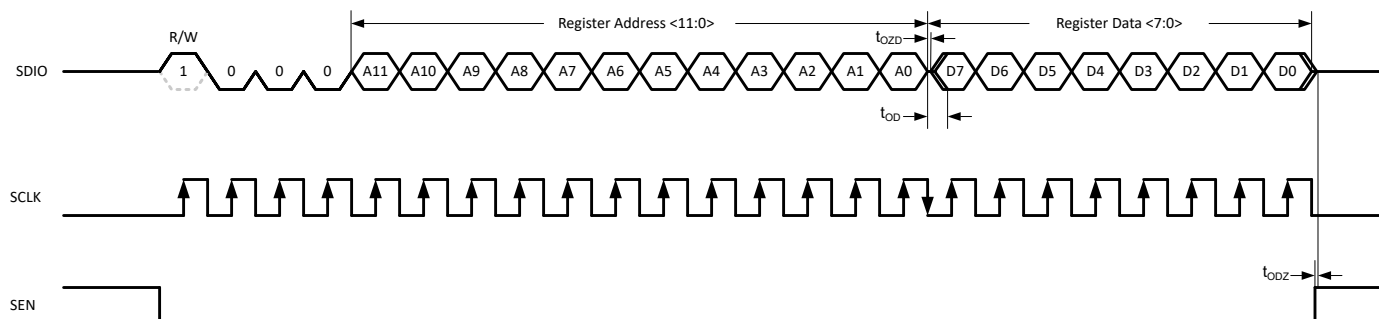


図 7-44. シリアル レジスタ読み出しタイミング図

8 アプリケーション情報に関する免責事項

注

以下のアプリケーション情報は、テキサス・インスツルメンツの製品仕様に含まれるものではなく、テキサス・インスツルメンツはその正確性も完全性も保証いたしません。個々の目的に対する製品の適合性については、お客様の責任で判断していただくことになります。また、お客様は自身の設計実装を検証しテストすることで、システムの機能を確認する必要があります。

8.1 アプリケーション情報

スペクトル アナライザは、ADC3664-xEP における代表的な周波数ドメイン アプリケーションであり、フロント エンド回路は、ソフトウェア無線 (SDR)、ソナー、レーダ、通信などの他の多くのシステムと類似しています。一部のアプリケーションでは、この例に含まれる DC または DC 付近 (ソナーなど) を含む周波数範囲が必要です。

(3)

8.2 代表的なアプリケーション

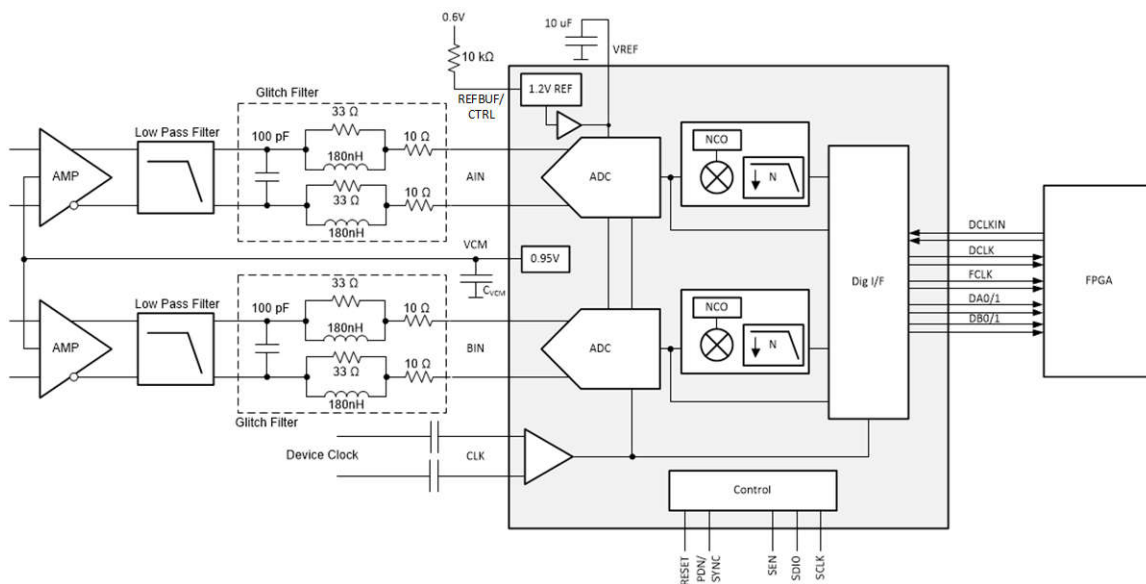


図 8-1. DC 対応スペクトラム アナライザの代表的な構成

8.2.1 設計要件

周波数ドメイン アプリケーションは、1 次ナイキスト ゾーンの直流付近または直流付近の低入力周波数から、より高いナイキスト ゾーンのアンダーサンプリングまで、広い範囲の周波数に対応します。低入力周波数に対応する場合、入力は DC 結合である必要があり、ADC は完全差動アンプ (FDA) によって駆動される必要があります。低周波への対応が不要な場合は、AC 結合とバランの使用の方が適しています。

DC 精度が必要ないため、内部リファレンスが使用されます。ただし、ADC の AC 性能は外部クロック ソースの品質に大きく依存します。帯域内に妨害信号が存在する場合、ADC の SFDR 性能も重要な考慮点となります。外部のエイリアシング防止フィルタの要件を緩和するためには、より高い ADC サンプルング レートが望まれます。その後、デジタル出力レートを下げるために内部のデシメーション フィルタが使用されます。

表 8-1. 設計上の重要な留意点

機能	概要
信号帯域幅	DC ~ 30 MHz

表 8-1. 設計上の重要な留意点 (続き)

機能	概要
入力ドライバ	シングルエンド信号から差動信号への変換および DC 結合
クロック ソース	低ジッタの外部クロック

アンプ/フィルタの駆動回路を設計する際には、ADC の入力フルスケール電圧を考慮する必要があります。たとえば、ADC3664-xEP 入力フルスケールは 3.2Vpp です。フィルタの挿入損失として約 1dB を見込む場合、アンプは約 3.6Vpp の出力を供給する必要があります。出力スイングが大きくなると、アンプの歪み性能は低下します。ADC の同相モード入力電圧を考慮すると、アンプがフルスイングの出力を供給できない可能性があります。ADC3664-xEP は 0.95V の出力同相モード電圧を提供しますが、たとえば THS4541 は負電源から 250mV 以内の範囲でしかスイングできません。ユニポーラ 3.3V の単一電源で動作するアンプでは、最大電圧スイングはおおよそ 2.8Vpp に制限されます。フィルタの挿入損失も考慮したうえで、より大きな出力スイングが必要な場合は、その制限を解消するためにアンプに負電源を供給する必要があります。さらに、過電圧から ADC を保護するために、入力電圧保護ダイオードが必要です。

表 8-2. THS4541 の出力電圧スイングと電源に対する関係

デバイス	最小出力電圧	3.3V/0V 電源での最大スイング	3.3V/-1V 電源での最大スイング
THS4541	VS- + 250mV	2.8Vpp	6.8Vpp

8.2.2 詳細な設計手順

8.2.2.1 入力信号パス

THS4541 は、ADC 入力を駆動するための優れた低消費電力オプションを備えています。表 8-3 に、消費電力と使用可能な周波数に関する THS4541 の概要を示します。

表 8-3. 完全差動アンプのオプション

デバイス	チャンネルあたりの電流 (IQ)	使用可能な周波数範囲
THS4541	10mA	< 70MHz

ローパス フィルタの設計 (トポロジやフィルタ次数) は、アプリケーションの要件によって決まります。ただし、ローパス フィルタを設計するときは、アンプの最適な負荷インピーダンスも考慮する必要があります。ローパス フィルタと ADC 入力の間にも、セクション 7.3.1.2.1 に示すように、サンプリング グリッチ フィルタを追加する必要があります。この例では、DC 30MHz グリッチ フィルタを選択します。

8.2.2.2 サンプリング クロック

低入力周波数 (例えば DC ~ 30MHz) で動作するアプリケーションは、一般的にクロック ジッターによる性能劣化の影響を受けにくい傾向があります。内部 ADC のアパーチャ ジッターは、立ち上がり時間および立ち下がり時間が速いほど (つまり、正弦波よりも方形波の方が) 改善されます。表 8-4 に、外部クロック ソースのジッタ量の変化による ADC3664-xEP の SNR 性能推定値の概要を示します。SNR は、ADC3664-xEP 熱ノイズ 77.5dBFS、入力信号 -1dBFS に基づいて推定しています。

長いクロックトレースの場合、クロック入力の終端を考慮する必要があります。

表 8-4. 外部クロック ジッタの量が異なる場合における、入力周波数に対する ADC の SNR 性能の比較

入力周波数	T _{J,EXT} = 100fs	T _{J,EXT} = 250fs	T _{J,EXT} = 500fs	T _{J,EXT} = 1ps
10MHz	77.4	77.4	77.3	76.8
20MHz	77.3	77.2	76.7	75.1
30MHz	77.1	76.8	75.8	73.2

8.2.2.3 電圧リファレンス

ADC3664-xEP は、REFBUF/CTRL ピンに 0.6V を印加することで、内部リファレンス動作に構成されます。

8.2.3 アプリケーション曲線

以下の FFT プロットは、THS4541 が ADC3664-xEP を駆動し、125MSPS で動作させた際の性能を示しています。入力フルスケールの -1dBFS で、周波数はそれぞれ 5MHz、10MHz、20MHz です。

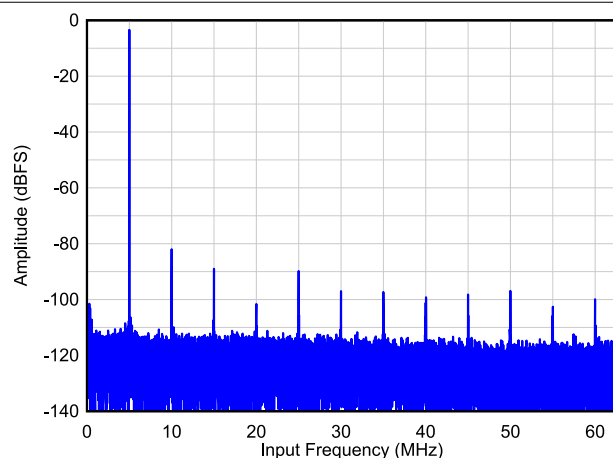


図 8-2. $F_{IN} = 5\text{MHz}$ でのシングル トーン FFT

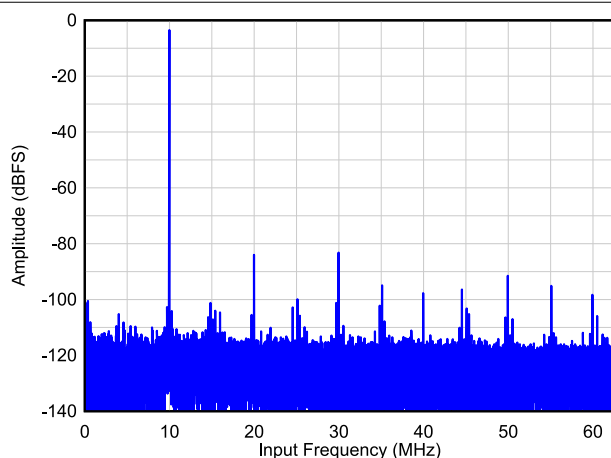


図 8-3. $F_{IN} = 10\text{MHz}$ でのシングル トーン FFT

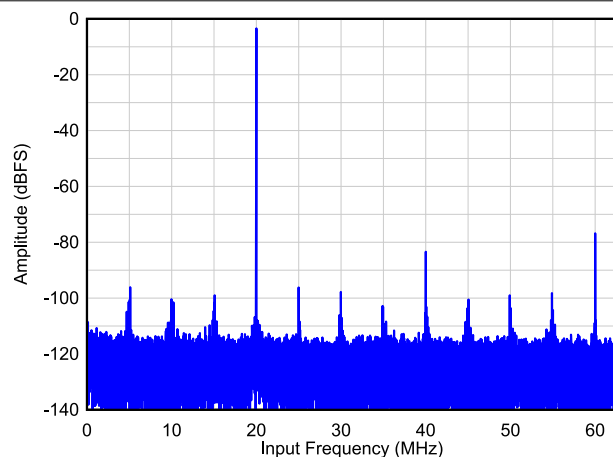


図 8-4. $F_{IN} = 20\text{MHz}$ でのシングル トーン FFT

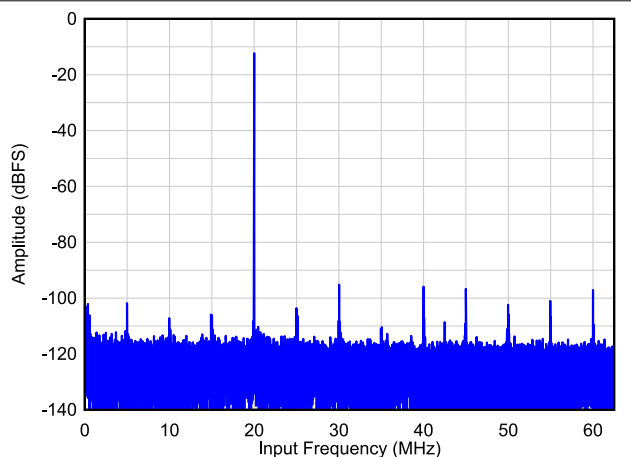


図 8-5. $F_{IN} = 20\text{MHz}$ でのシングル トーン FFT

8.3 初期化セットアップ

電源投入後、図 8-6 に示すように、RESET ピンに High パルスを印加することにより、ハードウェア リセットして内部レジスタをデフォルト値に初期化する必要があります。

1. AVDD と IOVDD を適用します (特定のシーケンスは不要)。AVDD が印加されると、内部のバンドギャップ リファレンスが起動し、約 2ms で安定します。
2. REFBUF/CTRL ピンを (後で SPI で設定する場合でも High または Low) 設定し、その後サンプリング クロックを印加します。
3. ハードウェア リセットを適用します。ハードウェア リセットが解除されると、内部フューズからデフォルトのレジスタが読み込まれ、内部の電源投入時コンデンサ キャリブレーションが開始されます。キャリブレーションには約 200000 クロック サイクルが必要です。
4. SPI インターフェイスを使用してプログラミングを開始します。

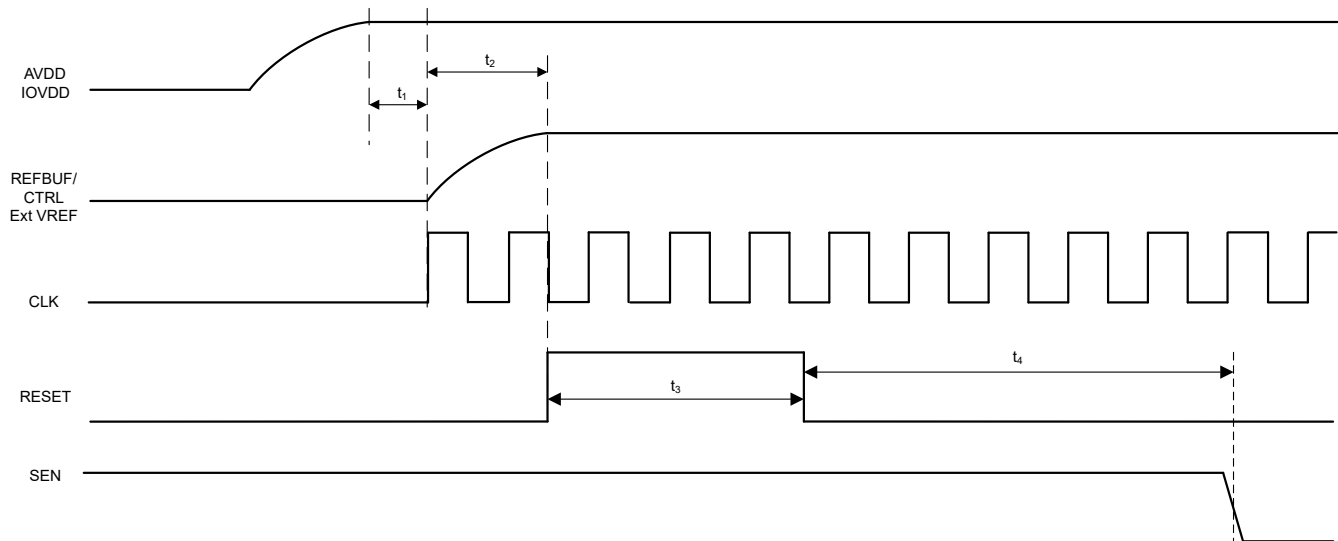


図 8-6. 起動後のシリアル レジスタの初期化

表 8-5. 起動のタイミング

		最小値	標準値	最大値	単位
t_1	起動遅延: 電源投入から REFBUF/CTRL ピンがロジック レベルに達するまでの遅延時間。	2			ms
t_2	REFBUF/CTRL ピンのロジック レベルからリセットの立ち上がりエッジまでの遅延	100			ns
t_3	リセット パルス幅	1			us
t_4	リセットディセーブルから SEN がアクティブになるまでの遅延	~ 200000			クロック サイクル

8.3.1 動作中のレジスタ初期化

必要に応じて、シリアル インターフェースのレジスタは、動作中に以下のいずれかの方法でクリアされ、デフォルト設定にリセットされます。

- ハードウェア リセットまたは
- ソフトウェア リセットを適用します。シリアル インターフェースを使用するときは、RESET ビット (レジスタ アドレス 0x00 の D0) を High にセットします。この設定により、内部レジスタがデフォルト値に初期化されてから、RESET ビットが自動的に Low にリセットされます。この場合、RESET ピンは Low に維持されます。

ハードウェアまたはソフトウェア リセットの後でも、SPI レジスタがプログラムされるまでの待ち時間は約 200000 クロック サイクルになります。

8.4 電源に関する推奨事項

ADC3664-xEP には、2 つの異なる電源が必要です。AVDD レールは内部のアナログ回路および ADC に電力を供給し、IOVDD レールはデジタル インターフェイスやデシメーション フィルタ、出力インターフェイス マッパーなどの内部デジタル回路に電力を供給します。電源投入シーケンスは必要ありません。

データシートどおりの性能を達成するためには、AVDD 電源は低ノイズである必要があります。直流付近で動作するアプリケーションでは、電源による $1/f$ ノイズの影響も考慮する必要があります。この ADC は優れた PSRR を備えており、電源フィルタ設計を容易にします。

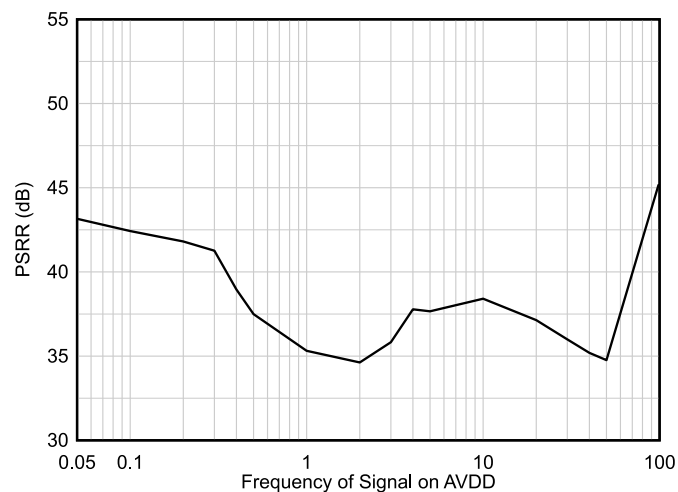


図 8-7. 電源除去比 (PSRR) と周波数との関係

以下の 2 つの推奨される電源アーキテクチャがあります。

1. 高効率のスイッチング コンバータで電圧を降下させた後、低ノイズの LDO による第 2 段階のレギュレーションを行うことで、スイッチング ノイズの低減と電圧精度の向上を図ります。
2. 最終的な ADC の電源電圧を、高効率なスイッチング コンバータで直接降圧します。この方法を使うと効率が最高になりますが、ADC の性能低下を防ぐため、スイッチング ノイズを最小限に抑えるよう注意する必要があります。

TI の WEBENCH® パワーデザイナーを使用して、個別の電源素子を選択および設計できます。「WEBENCH® Power Designer」を参照してください。

1 段目の推奨スイッチング レギュレータとしては、TPS7H4010-SEP および類似のデバイスがあります。

推奨される低ドロップアウト (LDO) リニア レギュレータには、TPS73801-SEP、TPS7H1111-SEP などのデバイスが含まれます。

スイッチング レギュレータのみを使用する場合は、リップル フィルタを DC/DC コンバータのスイッチング リップル周波数に一致するノッチ周波数で設計する必要があります。注意: WEBENCH® によって報告されるスイッチング周波数を参考にして、EMI フィルタおよびコンデンサの組み合わせを設計し、必要に応じてノッチ周波数とその周波数に中心を合わせるようにします。図 8-8 および図 8-9 に、この 2 つのアプローチを示します。

デジタルのスイッチング ノイズがアナログ信号経路に結合するのを防ぐため、AVDD と IOVDD の電源電圧は共有しないようにすべきです。

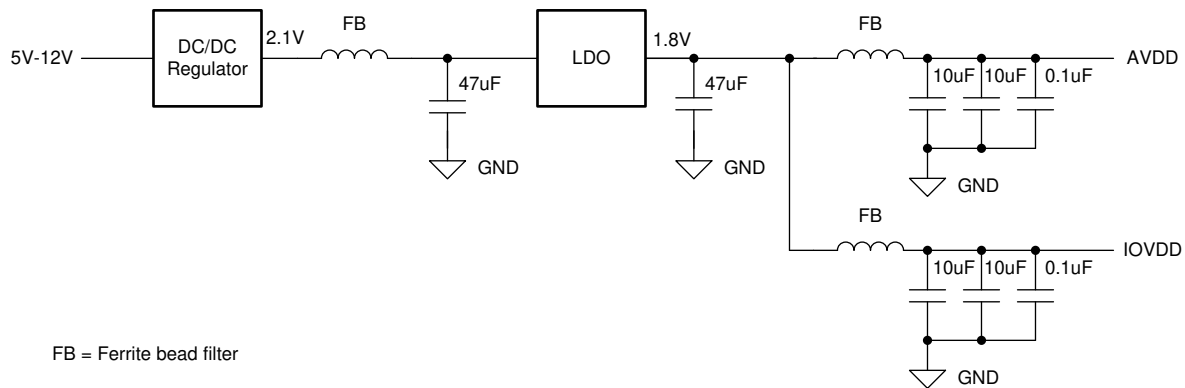


図 8-8. 例 : LDO リニア レギュレータのアプローチ

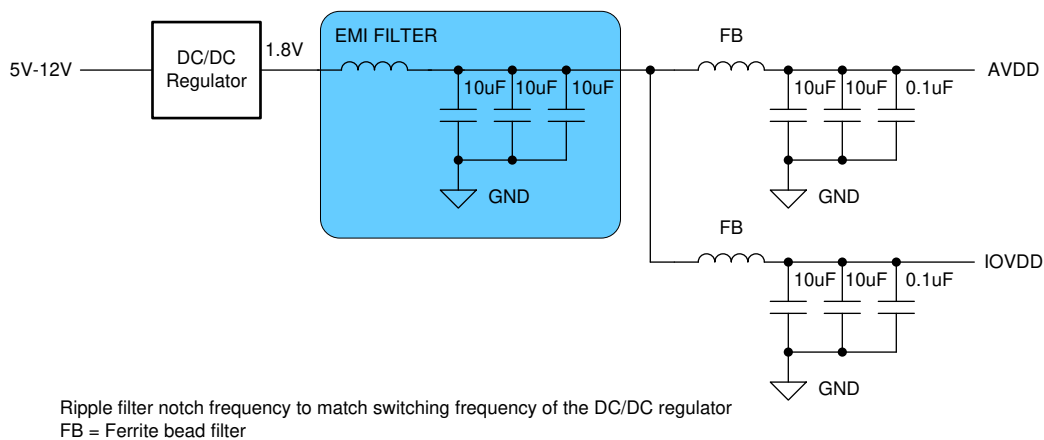


図 8-9. スイッチャのみのアプローチの例

8.5 レイアウト

8.5.1 レイアウトのガイドライン

基板設計時に特定の注意を必要とする重要な信号がいくつかあります。

1. アナログ入力信号およびクロック信号
 - インピーダンスの不連続を最小限に抑えるために、配線はできるだけ短くし、可能な限りビアの使用を避けます。
 - トレースは、疎結合した 100Ω 差動配線を使って配線するものとします。
 - 位相の不均衡や HD2 (2 次高調波歪み) の劣化を最小限に抑えるために、差動配線の長さはできるだけ正確に一致させる必要があります。
2. デジタル出力インターフェイス
 - トレースは、密接に結合された 100Ω の差動ペアで行う必要があります。
3. 電圧リファレンス
 - バイパスコンデンサは、VREF と REFGND の間に接続し、可能な限りデバイスのピンの近く、かつビアを避けて上層に配置する必要があります。
 - 構成によっては、REFBUF/CTRL と REFGND の間にも追加のバイパスコンデンサを設けることが推奨されており、こちらも可能な限りピンの近くに、上層上で配置する必要があります。
4. 電源およびグランド接続
 - 電源ピンおよびグランドピンのすべてに対して、低抵抗の接続パスとします。
 - トレースではなく、電源プレーンやグランドプレーンを使用します。
 - 接続抵抗が増加するような、狭くて孤立したパスは避けます。

- グランドと電源プレーン間の結合を最大化するために、プリント基板を、信号、グランド、電源回路の順に層構成します。

8.5.2 レイアウト例

次のスクリーンショットは、ADC3664EVM の最上層を示しています。

- 信号およびクロック入力は、ビアを避けてトップ層に差動信号として配線されています。
- SLVDS 出力インターフェイスのレーンは、差動配線され、かつ長さがマッチングされています。
- バイパスコンデンサは、ビアを避けて、最上層の VREF ピンの近くに配置します。

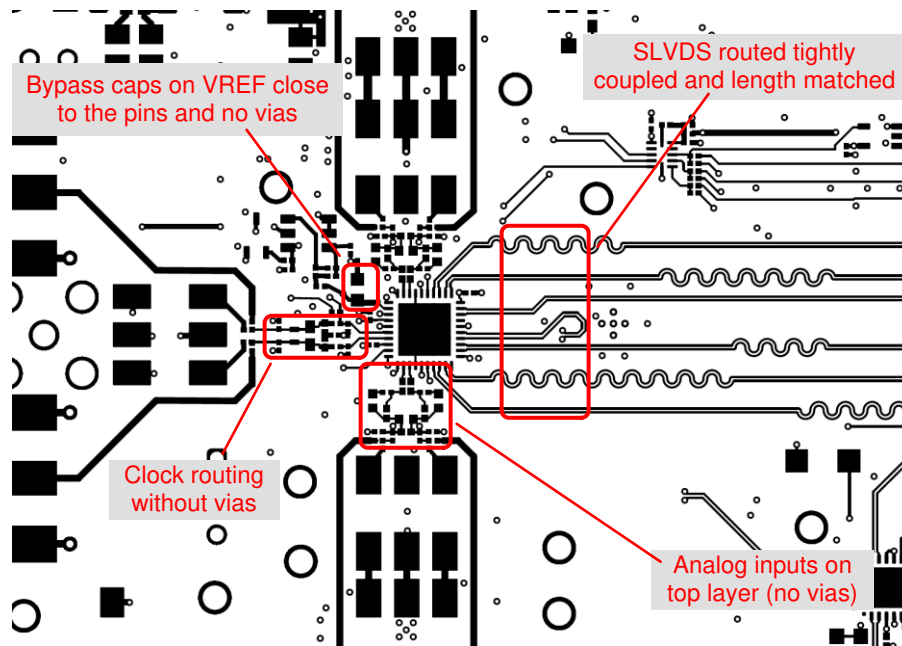


図 8-10. レイアウト例 : ADC3664EVM の最上層

9 レジスタ マップ

表 9-1. レジスタ マップの概要

レジスタ アドレス	レジスタ データ							
A[11:0]	D7	D6	D5	D4	D3	D2	D1	D0
0x00	0	0	0	0	0	0	0	リセット
0x07	OP IF MAPPER			0	OP IF EN	OP IF SEL		
0x08	0	0	PDN CLKBUF	PDN REFAMP	0	PDN A	PDN B	PDN GLOBAL
0x09	0	0	PDN FCLKOUT	PDN DCLKOUT	PDN DA1	PDN DA0	PDN DB1	PDN DB0
0x0D	0	0	0	0	MASK CLKBUF	MASK REFAMP	MASK BG DIS	0
0x0E	SYNC PIN EN	SPI SYNC	SPI SYNC EN	0	REF CTRL	REF SEL		SE CLK EN
0x11	0	0	SE A	SE B	0	0	0	0
0x13	0	0	0	0	0	0	0	E-FUSE LD
0x14	CUSTOM PAT [7:0]							
0x15	CUSTOM PAT [15:8]							
0x16	TEST PAT B			TEST PAT A			CUSTOM PAT [17:16]	
0x19	FCLK SRC	0	0	FCLK DIV	0	0	0	TOG FCLK
0x1A	0	LVDS ½ SWING	0	0	0	0	0	0
0x1B	MAPPER EN	20B EN	BIT MAPPER RES			0	0	0
0x1E	0	0	0	0	LVDS DATA DEL		LVDS DCLK DEL	
0x20	FCLK PAT [7:0]							
0x21	FCLK PAT [15:8]							
0x22	0	0	0	0	FCLK PAT [19:16]			
0x24	0	0	CH AVG EN	DDC MUX		DIG BYP	DDC EN	0
0x25	DDC MUX EN	デシメーション			リアルアウト	0	0	MIX PHASE
0x26	MIX GAIN A		MIX RES A	FS/4 MIX A	MIX GAIN B		MIX RES B	FS/4 MIX B
0x27	0	0	0	OP ORDER A	Q-DEL A	FS/4 MIX PH A	0	0
0x2A	NCO A [7:0]							
0x2B	NCO A [15:8]							
0x2C	NCO A [23:16]							
0x2D	NCO A [31:24]							
0x2E	0	0	0	OP ORDER B	Q-DEL B	FS/4 MIX PH B	0	0
0x31	NCO B [7:0]							
0x32	NCO B [15:8]							
0x33	NCO B [23:16]							
0x34	NCO B [31:24]							
0x39..0x60	OUTPUT BIT MAPPER CHA							
0x61..0x88	OUTPUT BIT MAPPER CHB							
0x8F	0	0	0	0	0	0	FORMAT A	0
0x92	0	0	0	0	0	0	FORMAT B	0

9.1 レジスタの詳細説明

図 9-1. レジスタ 0x00

7	6	5	4	3	2	1	0
0	0	0	0	0	0	0	リセット
R/W-0	R/W-0	R/W-0	R/W-0	R/W-0	R/W-0	R/W-0	R/W-0

表 9-2. レジスタ 0x00 のフィールドの説明

ビット	フィールド	タイプ	リセット	概要
7-1	0	R/W	0	0 を書き込む必要があります
0	リセット	R/W	0	このビットは、すべての内部レジスタをデフォルト値にリセットして、0 にセルフ クリアします。

図 9-2. レジスタ 0x07

7	6	5	4	3	2	1	0
OP IF MAPPER			0	OP IF EN	OP IF SEL		
R/W-0	R/W-0	R/W-0	R/W-0	R/W-0	R/W-0	R/W-0	R/W-0

表 9-3. レジスタ 0x07 のフィールドの説明

ビット	フィールド	タイプ	リセット	概要
7-5	OP IF MAPPER	R/W	000	出力インターフェイス マップ。このレジスタには、各種インターフェイスに対応した適切な出力インターフェイスのビット マッピングが格納されています。インターフェイスのビット マッピングは内部の e-Fuse から読み込まれますが、有効にするためにはヒューズ ロード コマンド (0x13, D0) も必要です。レジスタ 0x07 と E-Fuse ロード (0x13, D0) は、プログラミング手順の最初に読み込む必要があります。これは、E-Fuse のロードが SPI 書き込みをリセットするためです。 最初のリセット後、デフォルトの出力インターフェイス バリエーションは、ヒューズから内部で自動的にロードされます。ただし、このレジスタを読み戻す際、SPI を使用して値が書き込まれるまでは「000」と表示されます。 001: 2 線式、18 および 14 ビット 010: 2 線式、16 ビット 011: 1 線式 100: 0.5 線式 その他使用されません
4	0	R/W	0	0 を書き込む必要があります
3	OP IF EN	R/W	0	デフォルトの出力インターフェイス モード (D2 ~ D0) を変更できるようにします。
2-0	OP IF SEL	R/W	000	出力インターフェイス モードの選択。OP IF EN (D3) も有効にする必要があります。 初期リセットの後、デフォルトの出力インターフェイスは内部でヒューズから自動的にロードされます。ただし、このレジスタを読み戻す際、SPI を使用して値が書き込まれるまでは「000」と表示されます。 011: 2 線式 100: 1 線式 101: 0.5 線式 その他使用されません

図 9-3. レジスタ 0x08

7	6	5	4	3	2	1	0
0	0	PDN CLKBUF	PDN REFAMP	0	PDN A	PDN B	PDN GLOBAL
R/W-0	R/W-0	R/W-0	R/W-0	R/W-0	R/W-0	R/W-0	R/W-0

表 9-4. レジスタ 0x08 のフィールドの説明

ビット	フィールド	タイプ	リセット	概要
7-6	0	R/W	0	0 を書き込む必要があります
5	PDN CLKBUF	R/W	0	サンプリング クロック バッファのパワー ダウン 0: クロック バッファがイネーブル 1: クロック バッファの電源をオフ
4	PDN REFAMP	R/W	0	内部リファレンス ゲイン アンプのパワー ダウン 0: REFAMP イネーブル 1: REFAMP 電源オフ
3	0	R/W	0	0 を書き込む必要があります
2	PDN A	R/W	0	ADC チャンネル A のパワー ダウン 0: ADC チャンネル A がイネーブル 1: ADC チャンネル A がパワーダウン
1	PDN B	R/W	0	ADC チャンネル B のパワーダウン 0: ADC チャンネル B イネーブル 1: ADC チャンネル B パワーダウン
0	PDN GLOBAL	R/W	0	SPI によるグローバル パワーダウン 0 グローバル電源が無効 1: グローバル パワー ダウンが有効。パワー ダウン マスク (レジスタ 0x0D) は、パワーダウンする内部ブロックを決定します。

図 9-4. レジスタ 0x09

7	6	5	4	3	2	1	0
0	0	PDN FCLKOUT	PDN DCLKOUT	PDN DA0	PDN DA1	PDN DB0	PDN DB1
R/W-0	R/W-0	R/W-0	R/W-0	R/W-0	R/W-0	R/W-0	R/W-0

表 9-5. レジスタ 0x09 のフィールドの説明

ビット	フィールド	タイプ	リセット	概要
7-6	0	R/W	0	0 を書き込む必要があります
5	PDN FCLKOUT	R/W	0	フレーム クロック (FCLK) LVDS 出力バッファのパワーダウン 0: FCLK 出力バッファが有効 1: FCLK 出力バッファがパワーダウン
4	PDN DCLKOUT	R/W	0	DCLK LVDS 出力バッファをパワーダウン 0: DCLK 出力バッファが有効 1: DCLK 出力バッファがパワーダウン
3	PDN DA1	R/W	0	チャンネル A、レーン 1 の LVDS 出力バッファをパワーダウン。1 線式および 1/2 線式モードで自動的にパワーダウンしません。 0: DA1 LVDS 出力バッファ イネーブル 1: DA1 LVDS 出力バッファがパワー ダウン
2	PDN DA0	R/W	0	チャンネル A、レーン 0 の LVDS 出力バッファをパワーダウン。 0: DA0 LVDS 出力バッファ イネーブル 1: DA0 LVDS 出力バッファのパワーダウン
1	PDN DB1	R/W	0	チャンネル B、レーン 1 の LVDS 出力バッファをパワーダウン。1 線式および 1/2 線式モードで自動的にパワーダウンしません。 0: DB1 LVDS 出力バッファ イネーブル 1: DB1 LVDS 出力バッファがパワーダウン

表 9-5. レジスタ 0x09 のフィールドの説明 (続き)

ビット	フィールド	タイプ	リセット	概要
0	PDN DB0	R/W	0	チャンネル B、レーン 0 の LVDS 出力バッファをパワーダウン。1/2 線式モードで自動的にパワーダウンしません。 0: DB0 LVDS 出力バッファ イネーブル 1: DB0 LVDS 出力バッファがパワーダウン

図 9-5. レジスタ 0x0D (PDN GLOBAL マスク)

7	6	5	4	3	2	1	0
0	0	0	0	MASK CLKBUF	MASK REFAMP	MASK BG DIS	0
R/W-0	R/W-0	R/W-0	R/W-0	R/W-0	R/W-0	R/W-0	R/W-0

表 9-6. レジスタ 0x0D のフィールドの説明

ビット	フィールド	タイプ	リセット	概要
7-4	0	R/W	0	0 を書き込む必要があります
3	MASK CLKBUF	R/W	0	サンプリング クロック入力バッファ用のグローバル パワーダウン マスク制御。 0: グローバル パワーダウンを実行すると、クロック バッファをパワーダウンします。 1: グローバル パワーダウンを実行しても、クロック バッファはパワーダウンしません。
2	MASK REFAMP	R/W	0	リファレンス アンプ用グローバル パワーダウン マスク制御。 0: グローバル パワーダウンを実行すると、リファレンス アンプはパワーダウンします。 1: グローバル パワーダウンが実行されても、リファレンス アンプはパワーダウンしません。
1	MASK BG DIS	R/W	0	内部の 1.2V バンドギャップ電圧リファレンスに対するグローバル パワーオフ マスク制御。このビットを設定すると、グローバル パワーダウン モードでの消費電力が削減されますが、ウェイクアップ時間が長くなります。パワーダウン オプションの概要を参照してください。 0: グローバル パワーダウンが実行される場合、内部 1.2V バンドギャップ電圧リファレンスはパワーダウンされません。 1: グローバル パワーダウンが実行されると、内部 1.2V バンドギャップ電圧リファレンスをパワーダウンします。
0	0	R/W	0	0 を書き込む必要があります

図 9-6. レジスタ 0x0E

7	6	5	4	3	2	1	0
SYNC PIN EN	SPI SYNC	SPI SYNC EN	0	REF CTL	REF SEL		SE CLK EN
R/W-0	R/W-0	R/W-0	R/W-0	R/W-0	R/W-0	R/W-0	R/W-0

表 9-7. レジスタ 0x0E のフィールドの説明

ビット	フィールド	タイプ	リセット	概要
7	SYNC PIN EN	R/W	0	これらのビットは、SYNC/PDN ピンの機能を制御します。 0:ピンが High になると、SYNC/PDN ピンはグローバル パワーダウン モードを実行します。 1:ピンが High になると、SYNC/PDN ピンは SYNC コマンドを発行します。
6	SPI SYNC	R/W	0	このビットをトグルすると、SPI レジスタ書き込みを通じて SYNC コマンドが発行されます。SPI を使用した SYNC を有効にするには、D5 ビットも有効にする必要があります。このビットは 0 にセルフリセットされません。 0:通常動作 1:SYNC コマンドが発行されました。
5	SPI SYNC EN	R/W	0	このビットを使うと、SYNC/PDN ピンの代わりに SPI を使用した同期が可能になります。 0:SPI レジスタ ビットを使用した同期がディセーブル。 1:SPI レジスタ ビットをイネーブルにした同期。
4	0	R/W	0	0 を書き込む必要があります
3	REF CTL	R/W	0	このビットは、電圧リファレンスの選択を REFBUF/CTRL ピンで制御するか、SPI レジスタ (D2 ~ D1) で制御するかを決定します。 0:REFBUF/CTRL ピンは、電圧リファレンスのオプションを選択します。 1:電圧リファレンスは SPI (D2 ~ D1) を使用して選択され、シングルエンド クロックは D0 を使用して設定されます。
2-1	REF SEL	R/W	00	電圧リファレンスのオプションを選択します。参照 CTRL (D3) は 1 に設定する必要があります。 00:内部リファレンス 01: 内部リファレンス バッファ (REFBUF/CTRL) を使用した外部電圧リファレンス (1.2V) 10:外部電圧リファレンス 11:使用されません
0	SE CLK EN	R/W	0	シングルエンド クロック入力を選択し、差動サンプリング クロック入力 バッファをパワーダウンします。参照 CTRL (D3) は 1 に設定する必要があります。 0:差動クロック入力 1:シングルエンド クロック入力

図 9-7. レジスタ 0x11

7	6	5	4	3	2	1	0
0	0	SE A	SE B	0	0	0	0
R/W-0	R/W-0	R/W-0	R/W-0	R/W-0	R/W-0	R/W-0	R/W-0

表 9-8. レジスタ 0x11 のフィールドの説明

ビット	フィールド	タイプ	リセット	概要
7-6	0	R/W	0	0 を書き込む必要があります
5	SE A	R/W	0	このビットを有効にすると、アナログ入力チャネル A がシングル エンド モードになります。このモードでは、SNR が 3dB 低減します。 0:差動入力 1:シングル エンド入力

表 9-8. レジスタ 0x11 のフィールドの説明 (続き)

ビット	フィールド	タイプ	リセット	概要
4	SE B	R/W	0	このビットを有効にすると、アナログ入力チャネル B がシングル エンド モードになります。このモードでは、SNR が 3dB 低下します。 0: 差動入力 1: シングル エンド入力
3-0	0	R/W	0	0 を書き込む必要があります

図 9-8. レジスタ 0x13

7	6	5	4	3	2	1	0
0	0	0	0	0	0		E-FUSE LD
R/W-0	R/W-0	R/W-0	R/W-0	R/W-0	R/W-0	R/W-0	R/W-0

表 9-9. レジスタ 0x13 のフィールドの説明

ビット	フィールド	タイプ	リセット	概要
7-1	0	R/W	0	0 を書き込む必要があります
0	E-FUSE LD	R/W	0	このレジスタ ビットは、各種インターフェイスに対応した内部のビットマッピングを読み込みます。インターフェイスをレジスタ 0x07 で設定した後、この E-FUSE LD ビットを 1 に設定し、その後 0 に戻すことで、設定を有効にする必要があります。レジスタ 0x07 と E-Fuse ロード (0x13, D0) は、プログラミング手順の最初に読み込む必要があります。これは、E-Fuse のロードが SPI 書き込みをリセットするためです。 0: E-FUSE LOAD セット 1: E-FUSE LOAD リセット

図 9-9. レジスタ 0x14/15/16

7	6	5	4	3	2	1	0
CUSTOM PAT [7:0]							
CUSTOM PAT [15:8]							
TEST PAT B			TEST PAT A			CUSTOM PAT [17:16]	
R/W-0	R/W-0	R/W-0	R/W-0	R/W-0	R/W-0	R/W-0	R/W-0

表 9-10. レジスタ 0x14/15/16 のフィールドの説明

ビット	フィールド	タイプ	リセット	概要
7-0	CUSTOM PAT [17:0]	R/W	00000000	このレジスタは、次の 2 つの目的で使用されます。 <ul style="list-style-type: none"> MSB から始まる一定のカスタム パターンを設定します RAMP パターンの増分ステップ サイズを設定します。 00001: 18 ビット ADC のランプ パターン 00100: 16 ビット ADC のランプ パターン 10000: 14 ビット ADC のランプ パターン
7-5	TEST PAT B	R/W	000	チャネル B のテスト パターン出力モードを有効にします (注: テストパターンはビット マップの前段で設定され、ADC のネイティブ解像度に基づいて MSB から出力されます。これらはどちらの出力形式でも機能します。 000: 通常出力モード (テスト パターン出力を無効化) 010: ランプパターンを使用する場合は、CUSTOM PAT レジスタを使用して適切な増分を設定する必要があります 011: レジスタ 0x14/15/16 の CUSTOM PAT [17:0] を使用して、定常パターンを設定します。 その他: 使用されていません
4-2	TEST PAT A	R/W	000	チャネル A のテスト パターン出力モードを有効にします (注: テストパターンはビット マップの前段で設定され、ADC のネイティブ解像度に基づいて MSB から出力されます。これらはどちらの出力形式でも機能します。 000: 通常出力モード (テスト パターン出力を無効化) 010: ランプパターンを使用する場合は、CUSTOM PAT レジスタを使用して適切な増分を設定する必要があります 011: レジスタ 0x14/15/16 の CUSTOM PAT [17:0] を使用して、定常パターンを設定します。 その他: 使用されていません

図 9-10. レジスタ 0x19

7	6	5	4	3	2	1	0
FCLK SRC	0	0	FCLK DIV	0	0	0	TOG FCLK
R/W-0	R/W-0	R/W-0	R/W-0	R/W-0	R/W-0	R/W-0	R/W-0

表 9-11. レジスタ 0x19 のフィールドの説明

ビット	フィールド	タイプ	リセット	概要
7	FCLK SRC	R/W	0	<p>ユーザーは、FCLK 信号が ADC から供給されるのか、DDC ブロックから供給されるのかを選択する必要があります。ここでは、実際のデシメーションはバイパス モードと同様に扱われます</p> <p>0: ADC から生成された FCLK。FCLK SRC は、DDC バイパス、リアル デシメーション モード、および 1/2 帯域の複素デシメーション モードにおいて 0 に設定されます。</p> <p>1: DDC ブロックから生成された FCLK。複素デシメーションモードでは、2 ワイドおよび 1 ワイドの出力インターフェイス モードに対してはこのビットを設定する必要がありますが、1/2 ワイド モードでは設定する必要はありません。</p>
6-5	0	R/W	0	0 を書き込む必要があります
4	FCLK DIV	R/W	0	<p>このビットは、バイパス モード (非デシメーション) における 2 ワイド出力モードの場合にのみ、1 に設定する必要があります。</p> <p>0: 2 ワイドのバイパス モードを除く、すべての出力インターフェイス モード。</p> <p>1: 2W 出力インターフェイス モード。</p>
3-1	0	R/W	0	0 を書き込む必要があります
0	TOG FCLK	R/W	0	<p>このビットは、FCLK 信号を 1/2 線式モードに適した形に調整します。このモードでは、FCLK がチャンネル A とチャンネル B の両方をカバーするように引き延ばされます。このビットは、複素デシメーション モードを使用した 1/2 線式モードの場合にのみ設定する必要があります。</p> <p>0: その他のすべてのモード。</p> <p>1: 1/2 線式複素デシメーション モード用の FCLK (フレーム クロック)</p>

表 9-12. FCLK SRC および FCLK DIV のレジスタ ビットとシリアル インターフェイスとの構成関係

バイパス/デシメーション	シリアル インターフェイス	FCLK SRC	FCLK DIV	TOG FCLK
デシメーション バイパス/実数デシメーション	2 線式	0	1	0
	1 線式	0	0	0
	1/2 線式	0	0	0
複素デシメーション	2 線式	1	0	0
	1 線式	1	0	0
	1/2 線式	0	0	1

図 9-11. レジスタ 0x1A

7	6	5	4	3	2	1	0
0	LVDS ½ SWING	0	0	0	0	0	0
R/W-0	R/W-0	R/W-0	R/W-0	R/W-0	R/W-0	R/W-0	R/W-0

表 9-13. レジスタ 0x1A のフィールドの説明

ビット	フィールド	タイプ	リセット	概要
7	0	R/W	0	0 を書き込む必要があります
6	LVDS ½ SWING	R/W	0	このビットを設定すると、LVDS 出力電流が 3.5mA から 1.75mA に減少し、消費電力が削減されます。
5-0	0	R/W	0	0 を書き込む必要があります

図 9-12. レジスタ 0x1B

7	6	5	4	3	2	1	0
MAPPER EN	20B EN	BIT MAPPER RES			0	0	0
R/W-0	R/W-0	R/W-0	R/W-0	R/W-0	R/W-0	R/W-0	R/W-0

表 9-14. レジスタ 0x1B のフィールドの説明

ビット	フィールド	タイプ	リセット	概要
7	MAPPER EN	R/W	0	このビットを有効にすると、バイパス モードにおいてのみ、出力の解像度 (出力の直列化係数を含む) を変更できます。このビットは 20 ビット分解能出力には必要ありません。 0: 出力ビット マッパーが無効です。 1: 出力ビット マッパーが有効です。
6	20B EN	R/W	0	このビットを有効にすると、20 ビットの出力解像度が有効になり、非常に高いデシメーション設定時でも量子化ノイズが ADC の性能に影響を与えにくくなります。 0: 20 ビット出力分解能が無効になりました。 1: 20 ビット出力分解能が有効になりました。
5-3	BIT MAPPER RES	R/W	000	ビット マッパーを使用して出力解像度を設定します。バイパス モードで動作する場合は、MAPPER EN ビット(D6) を有効にする必要があります。 000: 18 ビット 001: 16 ビット 010: 14 ビット その他すべて、該当なし
2-0	0	R/W	0	0 を書き込む必要があります

表 9-15. 出力ビット マッパーと動作モードのレジスタ設定

バイパス/デシメーション	出力分解能	MAPPER EN (D7)	BIT MAPPER RES (D5-D3)
デシメーション バイパス	解決策の変更	1	000: 18 ビット 001: 16 ビット 010: 14 ビット
実数デシメーション	解像度の変更 (デフォルトの 18 ビット)	0	
複素デシメーション		0	

図 9-13. レジスタ 0x1E

7	6	5	4	3	2	1	0
0	0	0	0	LVDS DATA DEL		LVDS DCLK DEL	
R/W-0	R/W-0	R/W-0	R/W-0	R/W-0	R/W-0	R/W-0	R/W-0

表 9-16. レジスタ 0x1E のフィールドの説明

ビット	フィールド	タイプ	リセット	概要
7-4	0	R/W	0	0 を書き込む必要があります

表 9-16. レジスタ 0x1E のフィールドの説明 (続き)

ビット	フィールド	タイプ	リセット	概要
3-2	LVDS DATA DEL	R/W	00	これらのビットは、SLVDS 出力データの出力タイミングを調整します。 00: 遅延なし 01: データが 50ps だけ先行 10: 50ps のデータ遅延 11: データが 100ps 遅延
1-0	LVDS DCLK DEL	R/W	00	これらのビットは、SLVDS DCLK 出力の出力タイミングを調整します。 00: 遅延なし 01: DCLK が 50ps 先行 10: DCLK が 50ps 遅延 11: DCLK が 100ps 遅延

図 9-14. レジスタ 0x20/21/22

7	6	5	4	3	2	1	0
FCLK PAT [7:0]							
FCLK PAT [15:8]							
0	0	0	0	FCLK PAT [19:16]			
R/W-0	R/W-0	R/W-0	R/W-0	R/W-0	R/W-0	R/W-0	R/W-0

表 9-17. レジスタ 0x20/21/22 のフィールドの説明

ビット	フィールド	タイプ	リセット	概要
7-0	FCLK PAT [19:0]	R/W	0xFFC00	これらのビットは、FCLK のデューティ サイクルを調整できます。デシメーション バイパス モードでは、出力解像度に応じて FCLK のパターンが自動的に調整されます。表 9-18 は、実数/複素デシメーションにおける 1 線式および 1/2 線式の正しい FCLK パターン値を示します。

表 9-18. インターフェイスに基づく異なる分解能の FCLK パターン

デシメーション	出力分解能	2 線式	1 線式	1/2 線式
実数デシメーション	14 ビット	デフォルトを使用	0xFE000	デフォルトを使用
	16 ビット		0xFF000	
	18 ビット		0xFF800	
	20 ビット		0xFFC00	
複素デシメーション	14 ビット	デフォルトを使用	0xFFFFF	0xFFFFF
	16 ビット			
	18 ビット			
	20 ビット			

図 9-15. レジスタ 0x24

7	6	5	4	3	2	1	0
0	0	CH AVG EN	DDC MUX		DIG BYP	DDC EN	0
R/W-0	R/W-0	R/W-0	R/W-0	R/W-0	R/W-0	R/W-0	R/W-0

表 9-19. レジスタ 0x24 のフィールドの説明

ビット	フィールド	タイプ	リセット	概要
7-6	0	R/W	0	0 を書き込む必要があります
5	CH AVG EN	R/W	0	ADC チャンネル A とチャンネル B の出力を平均化します。DDC MUX を有効にして、「11」に設定する必要があります。デシメーション フィルタを有効化し、バイパス (フルレート出力) またはデシメーションに設定した上で、DIG BYP を 1 に設定する必要があります。 0: チャンネル平均化機能がディセーブル 1: チャンネル A とチャンネル B の出力が平均化されます。 (A+B)/2.
4-3	DDC MUX	R/W	0	デシメーションフィルタの前に DDC MUX を構成します。 00: ADC チャンネル A は DDC A に接続され、ADC チャンネル B は DDC B に接続 01: ADC チャンネル A は、DDC A および DDC B の両方に接続 10: DDC A および DDC B. 11 に接続された ADC チャンネル B: ADC の平均化ブロックの出力 (CH AVG EN を参照) は、DDC A および DDC B に供給されます。
2	DIG BYP	R/W	0	このビットを設定することで、デシメーションを含むデジタル機能ブロックが有効になります。 0: デジタル機能ブロックをバイパス - 最小レイテンシ 1: データパスにはデジタル機能が含まれます
1	DDC EN	R/W	0	両方のチャンネルの内部デシメーション フィルタをイネーブル 0: DDC がディセーブル。 1: DDC をイネーブル。
0	0	R/W	0	0 を書き込む必要があります

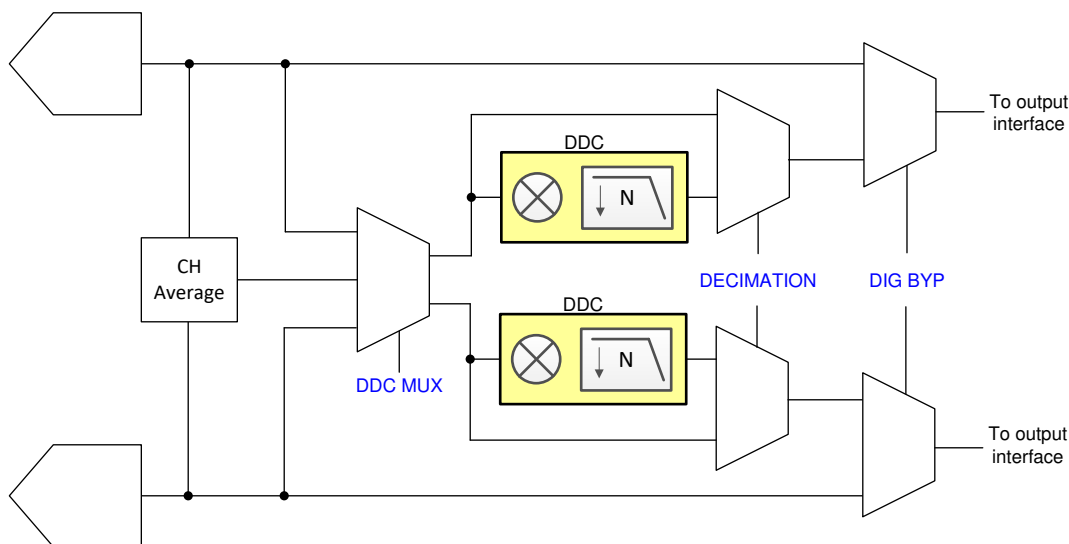


図 9-16. デジタル機能用のレジスタ制御

図 9-17. レジスタ 0x25

7	6	5	4	3	2	1	0
DDC MUX EN	デシメーション			リアルアウト	0	0	MIX PHASE
R/W-0	R/W-0	R/W-0	R/W-0	R/W-0	R/W-0	R/W-0	R/W-0

表 9-20. レジスタ 0x25 のフィールドの説明

ビット	フィールド	タイプ	リセット	概要
7	DDC MUX EN	R/W	0	ADC とデシメーション フィルタ間のデジタル マルチプレクサを有効にします。レジスタ 0x24 (D4、D3) の DDC 多重化設定を有効にするには、このビットが必要です。 0: DDC mux がディセーブル 1: DDC mux がイネーブル
6-4	デシメーション	R/W	000	複雑なデシメーション設定。これは両方のチャンネルに適用されます。 000: バイパス モード (デシメーションなし) 001: 1/2 のデシメーション 010: 1/4 のデシメーション 011: 1/8 のデシメーション 100: 1/16 のデシメーション 101: 1/32 によるデシメーション その他: 未使用
3	リアルアウト	R/W	0	このビットは、実数出力のデシメーションを選択します。このモードは両方のチャンネルに適用されます。このモードでは、デシメーション フィルタはローパス フィルタとして動作し、電力消費を抑えるために複素ミキシングは行われません。最大の省電力を実現するため、この場合の NCO は 0 に設定されています。 0: 複素数デシメーション 1: 実数デシメーション
2-1	0	R/W	0	0 を書き込む必要があります
0	MIX PHASE	R/W	0	このビットは、NCO の位相を反転させるために使用されます 0: NCO 位相はそのままです。 1: NCO 位相反転。

図 9-18. レジスタ 0x26

7	6	5	4	3	2	1	0
MIX GAIN A		MIX RES A	FS/4 MIX A	MIX GAIN B		MIX RES B	FS/4 MIX B
R/W-0	R/W-0	R/W-0	R/W-0	R/W-0	R/W-0	R/W-0	R/W-0

表 9-21. レジスタ 0x26 のフィールドの説明

ビット	フィールド	タイプ	リセット	概要
7-6	MIX GAIN A	R/W	00	このビットは、チャンネル A のミキシングによる損失を補償するために、デジタル ミキサの出力に 0、3、または 6dB のデジタル ゲインを適用します。 00: デジタル ゲインの追加なし 01: 3dB のデジタル ゲインを追加 10: 6dB のデジタル ゲインを追加 11: 未使用
5	MIX RES A	R/W	0	このビットをトグルすると、チャンネル A の NCO 位相がリセットされ、新しい NCO 周波数がロードされます。このビットはセルフ リセットしません。
4	FS/4 MIX A	R/W	0	DDC A に対して FS/4 ミキシングを有効にします (複素デシメーション時のみ) 0: FS /4 ミキシングを無効にします。 1: FS/4 ミキシングを有効化。

表 9-21. レジスタ 0x26 のフィールドの説明 (続き)

ビット	フィールド	タイプ	リセット	概要
3-2	MIX GAIN B	R/W	00	このビットは、チャンネル B のミキシングによる損失を補償するために、デジタル ミキサの出力に 0、3、または 6dB のデジタル ゲインを適用します。 00: デジタル ゲインの追加なし 01: 3dB のデジタル ゲインを追加 10: 6dB のデジタル ゲインを追加 11: 未使用
1	MIX RES B	R/W	0	このビットをトグルすると、チャンネル B の NCO 位相がリセットされ、新しい NCO 周波数がロードされます。このビットはセルフ リセットしません。
0	FS/4 MIX B	R/W	0	DDC B に対して FS/4 ミキシングを有効にします (複素デシメーション時のみ) 0: FS /4 ミキシングを無効にします。 1: FS/4 ミキシングを有効化。

図 9-19. レジスタ 0x27

7	6	5	4	3	2	1	0
0	0	0	OP ORDER A	Q-DEL A	FS/4 MIX PH A	0	0
DDC OFFSET A [9:2]							
0	DDC OFFSET A [16:10]						
R/W-0	R/W-0	R/W-0	R/W-0	R/W-0	R/W-0	R/W-0	R/W-0

表 9-22. レジスタ 0x27 のフィールドの説明

ビット	フィールド	タイプ	リセット	概要
7-5	0	R/W	0	0 を書き込む必要があります
4	OP ORDER A	R/W	0	チャンネル A の I および Q 出力の順序を入れ替え 0: 出力順序は I[n]、Q[n] 1: 出力順序が入れ替わります: Q[n]、I[n]
3	Q-DEL A	R/W	0	これにより、チャンネル A の Q サンプル出力が 1 ずつ遅延されます。 0: 出力順序は I[n]、Q[n] 1: Q サンプルは 1 サンプル分遅延されます。I[n]、Q[n+1]、I[n+1]、Q[n+2]
2	FS/4 MIX PH A	R/W	0	FS/4 ミキサを使用する場合、チャンネル A のミキサ位相を反転します 0: ミキサ位相は非反転 1: ミキサ位相が反転します
1-0	0	R/W	0	0 を書き込む必要があります

図 9-20. レジスタ 0x2A/B/C/D

7	6	5	4	3	2	1	0
NCO A [7:0]							
NCO A [15:8]							
NCO A [23:16]							
NCO A [31:24]							
R/W-0	R/W-0	R/W-0	R/W-0	R/W-0	R/W-0	R/W-0	R/W-0

表 9-23. レジスタ 0x2A/2B/2C/2D のフィールドの説明

ビット	フィールド	タイプ	リセット	概要
7-0	NCO A [31:0]	R/W	0	デシメーション フィルタ チャンネル A 用の 32 ビット NCO 値を設定します。NCO 値は $f_{\text{NCO}} \times 2^{32} / \text{FS}$ です。実数デシメーション モードでは、これらのレジスタは自動的に 0 に設定されます。

図 9-21. レジスタ 0x2E

7	6	5	4	3	2	1	0
0	0	0	OP ORDER B	Q-DEL B	FS/4 MIX PH B	0	0
R/W-0	R/W-0	R/W-0	R/W-0	R/W-0	R/W-0	R/W-0	R/W-0

表 9-24. レジスタ 0x2E のフィールドの説明

ビット	フィールド	タイプ	リセット	概要
7-5	0	R/W	0	0 を書き込む必要があります
4	OP ORDER B	R/W	0	チャンネル B の I および Q 出力の順序を入れ替え 0: 出力順序は I[n], Q[n] 1: 出力順序が入れ替わります: Q[n], I[n]
3	Q-DEL B	R/W	0	これにより、チャンネル B の Q サンプル出力が 1 ずつ遅延されます。 0: 出力順序は I[n], Q[n] 1: Q サンプルは 1 サンプル分遅延されます。I[n], Q[n+1], I[n+1], Q[n+2]
2	FS/4 MIX PH B	R/W	0	FS/4 ミキサを使用する場合、チャンネル B のミキサ位相を反転します 0: ミキサ位相は非反転 1: ミキサ位相が反転します
1-0	0	R/W	0	0 を書き込む必要があります

図 9-22. レジスタ 0x31/32/33/34

7	6	5	4	3	2	1	0
NCO B [7:0]							
NCO B [15:8]							
NCO B [23:16]							
NCO B [31:24]							
R/W-0	R/W-0	R/W-0	R/W-0	R/W-0	R/W-0	R/W-0	R/W-0

表 9-25. レジスタ 0x31/32/33/34 のフィールドの説明

ビット	フィールド	タイプ	リセット	概要
7-0	NCO B [31:0]	R/W	0	デシメーションフィルタ チャンネル B 用の 32 ビット NCO 値を設定します。NCO 値は $f_{NCO} \times 2^{32} / FS$ です。実数デシメーション モードでは、これらのレジスタは自動的に 0 に設定されます。

図 9-23. レジスタ 0x39..0x60

7	6	5	4	3	2	1	0
OUTPUT BIT MAPPER CHA							
R/W-0	R/W-0	R/W-0	R/W-0	R/W-0	R/W-0	R/W-0	R/W-0

表 9-26. レジスタ 0x39..0x60 のフィールドの説明

ビット	フィールド	タイプ	リセット	概要
7-0	OUTPUT BIT MAPPER CHA	R/W	0	これらのレジスタは、出力データ バスの順序を変更するために使用されます。プログラム方法については、 セクション 7.3.5.2 を参照します。

図 9-24. レジスタ 0x61..0x88

7	6	5	4	3	2	1	0
OUTPUT BIT MAPPER CHB							
R/W-0	R/W-0	R/W-0	R/W-0	R/W-0	R/W-0	R/W-0	R/W-0

表 9-27. レジスタ 0x61..0x88 のフィールドの説明

ビット	フィールド	タイプ	リセット	概要
7-0	OUTPUT BIT MAPPER CHB	R/W	0	これらのレジスタは、チャンネル B の出力データバスの順序を再構成するために使用されます。プログラム方法については、 セクション 7.3.5.2 を参照します。

図 9-25. レジスタ 0x8F

7	6	5	4	3	2	1	0
0	0	0	0	0	0	FORMAT A	0
R/W-0	R/W-0	R/W-0	R/W-0	R/W-0	R/W-0	R/W-0	R/W-0

表 9-28. レジスタ 0x8F のフィールドの説明

ビット	フィールド	タイプ	リセット	概要
7-2	0	R/W	0	0 を書き込む必要があります
1	FORMAT A	R/W	0	このビットは、チャンネル A の出力データフォーマットを設定します。デジタル バイパス レジスタ ビット (0x24、D2) もイネーブルにする必要があります。 0: 2S の補数 1: オフセット バイナリ
0	0	R/W	0	0 を書き込む必要があります

図 9-26. レジスタ 0x92

7	6	5	4	3	2	1	0
0	0	0	0	0	0	FORMAT B	0
R/W-0	R/W-0	R/W-0	R/W-0	R/W-0	R/W-0	R/W-0	R/W-0

表 9-29. レジスタ 0x92 のフィールドの説明

ビット	フィールド	タイプ	リセット	概要
7-2	0	R/W	0	0 を書き込む必要があります
1	FORMAT B	R/W	0	このビットは、チャンネル B の出力データフォーマットを設定します。デジタル バイパス レジスタ ビット (0x24、D2) もイネーブルにする必要があります。 0: 2S の補数 1: オフセット バイナリ
0	0	R/W	0	0 を書き込む必要があります

10 デバイスおよびドキュメントのサポート

10.1 ドキュメントの更新通知を受け取る方法

ドキュメントの更新についての通知を受け取るには、www.tij.co.jp のデバイス製品フォルダを開いてください。[通知] をクリックして登録すると、変更されたすべての製品情報に関するダイジェストを毎週受け取ることができます。変更の詳細については、改訂されたドキュメントに含まれている改訂履歴をご覧ください。

10.2 サポート・リソース

テキサス・インスツルメンツ E2E™ サポート・フォーラムは、エンジニアが検証済みの回答と設計に関するヒントをエキスパートから迅速かつ直接得ることができる場所です。既存の回答を検索したり、独自の質問をしたりすることで、設計に必要な支援を迅速に得ることができます。

リンクされているコンテンツは、各寄稿者により「現状のまま」提供されるものです。これらはテキサス・インスツルメンツの仕様を構成するものではなく、必ずしもテキサス・インスツルメンツの見解を反映したものではありません。テキサス・インスツルメンツの[使用条件](#)を参照してください。

10.3 商標

PowerPAD™ is a trademark of TI.

テキサス・インスツルメンツ E2E™ is a trademark of Texas Instruments.

WEBENCH® is a registered trademark of Texas Instruments.

すべての商標は、それぞれの所有者に帰属します。

10.4 静電気放電に関する注意事項



この IC は、ESD によって破損する可能性があります。テキサス・インスツルメンツは、IC を取り扱う際には常に適切な注意を払うことを推奨します。正しい取り扱いおよび設置手順に従わない場合、デバイスを破損するおそれがあります。

ESD による破損は、わずかな性能低下からデバイスの完全な故障まで多岐にわたります。精密な IC の場合、パラメータがわずかに変化するだけで公表されている仕様から外れる可能性があるため、破損が発生しやすくなっています。

10.5 用語集

[テキサス・インスツルメンツ用語集](#) この用語集には、用語や略語の一覧および定義が記載されています。

11 改訂履歴

資料番号末尾の英字は改訂を表しています。その改訂履歴は英語版に準じています。

日付	改訂	注
April 2025	*	初版リリース

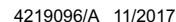
12 メカニカル、パッケージ、および注文情報

以降のページには、メカニカル、パッケージ、および注文に関する情報が記載されています。この情報は、指定のデバイスに使用できる最新のデータです。このデータは、予告なく、このドキュメントを改訂せずに変更される場合があります。本データシートのブラウザ版を使用されている場合は、画面左側の説明をご覧ください。

RSB0040E

WQFN - 0.8 mm max height

PLASTIC QUAD FLATPACK - NO LEAD



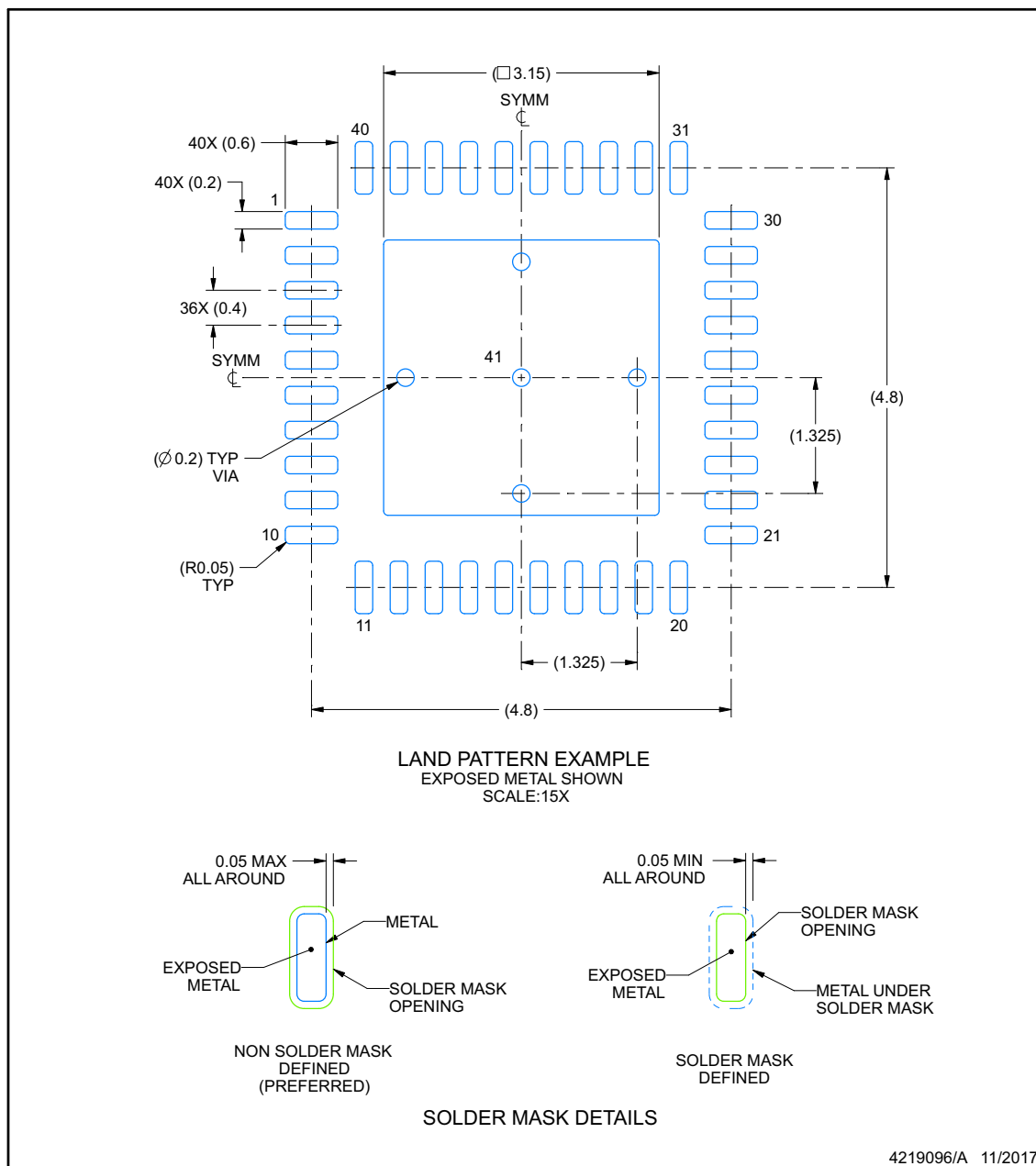
1. All linear dimensions are in millimeters. Any dimensions in parenthesis are for reference only. Dimensioning and tolerancing per ASME Y14.5M.
2. This drawing is subject to change without notice.
3. The package thermal pad must be soldered to the printed circuit board for thermal and mechanical performance.

EXAMPLE BOARD LAYOUT

RSB0040E

WQFN - 0.8 mm max height

PLASTIC QUAD FLATPACK - NO LEAD



NOTES: (continued)

- This package is designed to be soldered to a thermal pad on the board. For more information, see Texas Instruments literature number SLUA271 (www.ti.com/lit/sluea271).
- Vias are optional depending on application, refer to device data sheet. If any vias are implemented, refer to their locations shown on this view. It is recommended that vias under paste be filled, plugged or tented.

www.ti.com

RSB0040E

WQFN - 0.8 mm max height

PLASTIC QUAD FLATPACK - NO LEAD



www.ti.com

重要なお知らせと免責事項

テキサス・インスツルメンツは、技術データと信頼性データ (データシートを含みます)、設計リソース (リファレンス デザインを含みます)、アプリケーションや設計に関する各種アドバイス、Web ツール、安全性情報、その他のリソースを、欠陥が存在する可能性のある「現状のまま」提供しており、商品性および特定目的に対する適合性の黙示保証、第三者の知的財産権の非侵害保証を含むいかなる保証も、明示的または黙示的にかかわらず拒否します。

これらのリソースは、テキサス・インスツルメンツ製品を使用する設計の経験を積んだ開発者への提供を意図したものです。(1) お客様のアプリケーションに適した テキサス・インスツルメンツ製品の選定、(2) お客様のアプリケーションの設計、検証、試験、(3) お客様のアプリケーションに該当する各種規格や、その他のあらゆる安全性、セキュリティ、規制、または他の要件への確実な適合に関する責任を、お客様のみが単独で負うものとします。

上記の各種リソースは、予告なく変更される可能性があります。これらのリソースは、リソースで説明されている テキサス・インスツルメンツ製品を使用するアプリケーションの開発の目的でのみ、テキサス・インスツルメンツはその使用をお客様に許諾します。これらのリソースに関して、他の目的で複製することや掲載することは禁止されています。テキサス・インスツルメンツや第三者の知的財産権のライセンスが付与されている訳ではありません。お客様は、これらのリソースを自身で使用した結果発生するあらゆる申し立て、損害、費用、損失、責任について、テキサス・インスツルメンツおよびその代理人を完全に補償するものとし、テキサス・インスツルメンツは一切の責任を拒否します。

テキサス・インスツルメンツの製品は、[テキサス・インスツルメンツの販売条件](#)、または [ti.com](https://www.ti.com) やかかる テキサス・インスツルメンツ製品の関連資料などのいずれかを通じて提供する適用可能な条項の下で提供されています。テキサス・インスツルメンツがこれらのリソースを提供することは、適用されるテキサス・インスツルメンツの保証または他の保証の放棄の拡大や変更を意味するものではありません。

お客様がいかなる追加条項または代替条項を提案した場合でも、テキサス・インスツルメンツはそれらに異議を唱え、拒否します。

郵送先住所: Texas Instruments, Post Office Box 655303, Dallas, Texas 75265
Copyright © 2025, Texas Instruments Incorporated

PACKAGING INFORMATION

Orderable part number	Status (1)	Material type (2)	Package Pins	Package qty Carrier	RoHS (3)	Lead finish/ Ball material (4)	MSL rating/ Peak reflow (5)	Op temp (°C)	Part marking (6)
ADC3664RSBTEP	Active	Production	WQFN (RSB) 40	250 SMALL T&R	Yes	NIPDAU	Level-3-260C-168 HR	-40 to 105	ADC3664 EP
ADC3664RSBTSEP	Active	Production	WQFN (RSB) 40	250 SMALL T&R	Yes	NIPDAU	Level-3-260C-168 HR	-40 to 105	ADC3664 SEP
ADC3664RSBTSEP.A	Active	Production	WQFN (RSB) 40	250 SMALL T&R	Yes	NIPDAU	Level-3-260C-168 HR	-40 to 105	ADC3664 SEP
V62/24601-01XE	Active	Production	WQFN (RSB) 40	250 SMALL T&R	Yes	NIPDAU	Level-3-260C-168 HR	-55 to 105	ADC3664 EP
V62/24601-02XE	Active	Production	WQFN (RSB) 40	250 SMALL T&R	Yes	NIPDAU	Level-3-260C-168 HR	-55 to 105	ADC3664 SEP

⁽¹⁾ **Status:** For more details on status, see our [product life cycle](#).

⁽²⁾ **Material type:** When designated, preproduction parts are prototypes/experimental devices, and are not yet approved or released for full production. Testing and final process, including without limitation quality assurance, reliability performance testing, and/or process qualification, may not yet be complete, and this item is subject to further changes or possible discontinuation. If available for ordering, purchases will be subject to an additional waiver at checkout, and are intended for early internal evaluation purposes only. These items are sold without warranties of any kind.

⁽³⁾ **RoHS values:** Yes, No, RoHS Exempt. See the [TI RoHS Statement](#) for additional information and value definition.

⁽⁴⁾ **Lead finish/Ball material:** Parts may have multiple material finish options. Finish options are separated by a vertical ruled line. Lead finish/Ball material values may wrap to two lines if the finish value exceeds the maximum column width.

⁽⁵⁾ **MSL rating/Peak reflow:** The moisture sensitivity level ratings and peak solder (reflow) temperatures. In the event that a part has multiple moisture sensitivity ratings, only the lowest level per JEDEC standards is shown. Refer to the shipping label for the actual reflow temperature that will be used to mount the part to the printed circuit board.

⁽⁶⁾ **Part marking:** There may be an additional marking, which relates to the logo, the lot trace code information, or the environmental category of the part.

Multiple part markings will be inside parentheses. Only one part marking contained in parentheses and separated by a "~" will appear on a part. If a line is indented then it is a continuation of the previous line and the two combined represent the entire part marking for that device.

Important Information and Disclaimer: The information provided on this page represents TI's knowledge and belief as of the date that it is provided. TI bases its knowledge and belief on information provided by third parties, and makes no representation or warranty as to the accuracy of such information. Efforts are underway to better integrate information from third parties. TI has taken and continues to take reasonable steps to provide representative and accurate information but may not have conducted destructive testing or chemical analysis on incoming materials and chemicals. TI and TI suppliers consider certain information to be proprietary, and thus CAS numbers and other limited information may not be available for release.

In no event shall TI's liability arising out of such information exceed the total purchase price of the TI part(s) at issue in this document sold by TI to Customer on an annual basis.

OTHER QUALIFIED VERSIONS OF ADC3664-EP, ADC3664-SEP :

- Catalog : [ADC3664](#)
- Enhanced Product : [ADC3664-EP](#)
- Space : [ADC3664-SP](#), [ADC3664-SP](#)

NOTE: Qualified Version Definitions:

- Catalog - TI's standard catalog product
- Enhanced Product - Supports Defense, Aerospace and Medical Applications
- Space - Radiation tolerant, ceramic packaging and qualified for use in Space-based application

TAPE AND REEL INFORMATION



*All dimensions are nominal

Device	Package Type	Package Drawing	Pins	SPQ	Reel Diameter (mm)	Reel Width W1 (mm)	A0 (mm)	B0 (mm)	K0 (mm)	P1 (mm)	W (mm)	Pin1 Quadrant
ADC3664RSBTEP	WQFN	RSB	40	250	180.0	12.4	5.3	5.3	1.5	8.0	12.0	Q2
ADC3664RSBTSEP	WQFN	RSB	40	250	180.0	12.4	5.3	5.3	1.5	8.0	12.0	Q2

TAPE AND REEL BOX DIMENSIONS



*All dimensions are nominal

Device	Package Type	Package Drawing	Pins	SPQ	Length (mm)	Width (mm)	Height (mm)
ADC3664RSBTEP	WQFN	RSB	40	250	210.0	185.0	35.0
ADC3664RSBTSEP	WQFN	RSB	40	250	210.0	185.0	35.0

重要なお知らせと免責事項

TI は、技術データと信頼性データ (データシートを含みます)、設計リソース (リファレンス デザインを含みます)、アプリケーションや設計に関する各種アドバイス、Web ツール、安全性情報、その他のリソースを、欠陥が存在する可能性のある「現状のまま」提供しており、商品性および特定目的に対する適合性の黙示保証、第三者の知的財産権の非侵害保証を含むいかなる保証も、明示的または黙示的にかかわらず拒否します。

これらのリソースは、TI 製品を使用する設計の経験を積んだ開発者への提供を意図したものです。(1) お客様のアプリケーションに適した TI 製品の選定、(2) お客様のアプリケーションの設計、検証、試験、(3) お客様のアプリケーションに該当する各種規格や、その他のあらゆる安全性、セキュリティ、規制、または他の要件への確実な適合に関する責任を、お客様のみが単独で負うものとし、TI は一切の責任を拒否します。

上記の各種リソースは、予告なく変更される可能性があります。これらのリソースは、リソースで説明されている TI 製品を使用するアプリケーションの開発の目的でのみ、TI はその使用をお客様に許諾します。これらのリソースに関して、他の目的で複製することや掲載することは禁止されています。TI や第三者の知的財産権のライセンスが付与されている訳ではありません。お客様は、これらのリソースを自身で使用した結果発生するあらゆる申し立て、損害、費用、損失、責任について、TI およびその代理人を完全に補償するものとし、TI は一切の責任を拒否します。

TI の製品は、[TI の販売条件](#)、[TI の総合的な品質ガイドライン](#)、[ti.com](#) または TI 製品などに関連して提供される他の適用条件に従い提供されます。TI がこれらのリソースを提供することは、適用される TI の保証または他の保証の放棄の拡大や変更を意味するものではありません。TI がカスタム、またはカスタマー仕様として明示的に指定していない限り、TI の製品は標準的なカタログに掲載される汎用機器です。

お客様がいかなる追加条項または代替条項を提案する場合も、TI はそれらに異議を唱え、拒否します。

Copyright © 2025, Texas Instruments Incorporated

最終更新日：2025 年 10 月