

ADC12130,ADC12132,ADC12138

ADC12130/ADC12132/ADC12138 Self-Calibrating 12-Bit Plus Sign Serial I/O

A/D Converters with MUX and Sample/Hold



Literature Number: JAJ822



2008年9月

ADC12130/ADC12132/ADC12138

セルフキャリブレーション、マルチプレクサおよびサンプル / ホールド内蔵、12ビット + サイン・シリアル I/O A/D コンバータ

概要

NOTE: 一部のデバイス / パッケージの組み合わせはすでに製造中止になっています。ここでは、参考のためだけに示してあります。製品の供給状況についてはナショナル セミコンダクターのウェブサイトをご参照してください。

ADC12130、ADC12132、ADC12138 は、シリアル I/O および構成可能な入力マルチプレクサ付きの 12 ビット + サイン逐次比較型 A/D コンバータです。ADC12132 および ADC12138 は、それぞれ 2 チャンネルおよび 8 チャンネルのマルチプレクサを内蔵しており、差動型マルチプレクサ出力の MUXOUT1 および MUXOUT2 ピンと A/D 入力の A/DIN1 および A/DIN2 ピンを使用できます。ADC12130 は、マルチプレクサ出力と A/D 入力が内部接続された 2 チャンネルのマルチプレクサを内蔵しています。ADC12130 ファミリーは、5MHz のクロックでテストされ、規定されています。これらの A/D コンバータは、必要に応じてセルフキャリブレーション・サイクルに入り、直線性誤差、ゼロ誤差、フルスケール誤差をそれぞれ ± 1 LSB (typ) 以内に調整できます。

アナログ入力は、シングルエンド、差動、疑似差動の各種動作モードの構成が可能です。完全差動型ユニポーラのアナログ入力範囲 (0V ~ +5V) は、+5V 単一電源に対応しています。差動モードの場合は 12 ビット + サインの出力データ形式であるため、負入力電圧が正入力電圧を超えても有効な出力が得られます。

シリアル I/O の構成は、ナショナル セミコンダクターの MICROWIRE™ に適合しています。基準電圧源については、LM4040、LM4050、または LM4041 のデータシートを参照してください。

特長

- シリアル I/O (MICROWIRE、SPI、QSPI 互換)
- パワーダウン・モード
- アキュイジション時間がプログラム可能
- デジタル出力ワード長および形式が選択可能
- ゼロ調整およびフルスケール調整不要
- 0V ~ 5V アナログ入力範囲 (+5V 単一電源動作時)

主な仕様

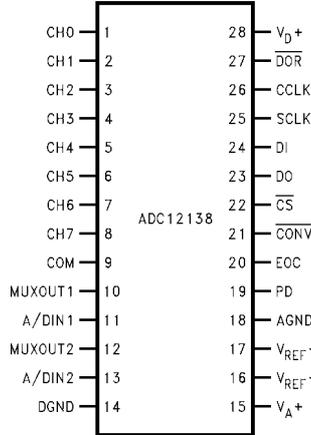
分解能	12 ビット + サイン
12 ビット + サイン変換時間	8.8 μ s (max)
12 ビット + サイン・スループット時間	14 μ s (max)
積分直線性誤差	± 2 LSB (max)
単一電源	3.3V または 5V $\pm 10\%$
消費電力	
+ 3.3V	15mW (max)
+ 3.3V パワーダウン・モード時	40 μ W (typ)
+ 5V	33mW (max)
+ 5V パワーダウン・モード時	100 μ W (typ)

アプリケーション

- ペン入力のコンピュータ
- デジタイザ
- ナビゲーション・システム

ピン配置図 (つづき)

28-Pin Dual-In-Line, SSOP and Wide Body SO Packages



Top View

製品情報

Industrial Temperature Range -40°C ≤ T _A ≤ +85°C	NS Package Number
ADC12130CIN	N16E, Dual-In-Line
ADC12130CIWM	M16B, Wide Body SO
ADC12130CIWMX	M16B, Wide Body SO - Tape & Reel
ADC12132CIMSAX	MSA20, SSOP
ADC12132CIMSAX	MSA20, SSOP - Tape & Reel
ADC12138CIN	N28B, Dual-In-Line
ADC12138CIWM	M28B
ADC12138CIWMX	M28B - Tape & Reel
ADC12138CIMSAX	MSA28, SSOP
ADC12138CIMSAX	MSA28, SSOP - Tape & Reel

一部の製品 / パッケージの組み合わせはすでに製造中止になっています。ここでは、参考のためだけに示してあります。供給状況についてはナショナル セミコンダクターのウェブサイトを参照してください。

ピン説明

ピン名	ピン説明
CH0 - CH7	マルチプレクサ (MUX) へのアナログ入力。入力チャネルは、SCLK の立ち上がりエッジでアドレス・レジスタにロードされる DI ピンのアドレス情報により選択されます (Table 2、3 参照)。これらの入力ピンへの印加電圧は、V _A + 以上、V _A - 以下、または GND 以下であってはなりません。非選択チャネルでこの電圧範囲を超えると、選択チャネルの読み出しに悪影響が出ます。
COM	アナログ・マルチプレクサがシングルエンド・モードの場合に " 疑似グラウンド " として使用できるアナログ入力ピン。
MUXOUT1 MUXOUT2	マルチプレクサ出力ピン。マルチプレクサを使用する場合、これらのピンを A/DIN ピンに直接接続するか、アンプまたはフィルタ経由で接続します。
A/DIN1 A/DIN2	コンバータ入力ピン。通常、MUXOUT1 は A/DIN1、MUXOUT2 は A/DIN2 に接続します。MUXOUT1 と A/DIN1 の間、または MUXOUT2 と A/DIN2 の間に外付け回路を配置する場合、電圧の過負荷に対してこれらのピンを保護する必要があります。これらのピンの電圧は、V _A + 以上または AGND 以下であってはなりません (Figure 6 参照)。

ピン説明 (つぎ)

ピン名	ピン説明
DO	データ出力ピン。このピンは \overline{CS} が Low の時にアクティブ・プッシュ / プル出力に、 \overline{CS} が High の時に TRI-STATE になります。変換結果 (DB0-DB12) とコンバータのステータス・データは、SCLK の立ち下がりエッジでこのピンに送出されます。変換結果は各種のワード長と形式で得られます (Table 1 参照)。ワード長と形式は、マルチプレクサ・アドレスおよびモード・セレクト・レジスタにロードされたデータによって制御されます (Table 4 参照)。
DI	シリアル・データ入力ピン。このピンに取り込まれたデータは、SCLK ピンの立ち上がりエッジでマルチプレクサ・アドレスおよびモード・セレクト・レジスタにロードされます。Table 2 ~ 4 は、マルチプレクサ・アドレスとモード・セレクト・データの割当を示しています。
EOC	アクティブ・プッシュ / プルの出力ピン。ADC12130/2/8 のステータスを示します。このピンが Low の場合は A/D コンバータが変換、オートキャリブレーション、オートゼロまたはパワーダウンのいずれかのサイクルの動作中でビジー状態にあることを示します。立ち上がりエッジでこれらのサイクルの 1 つが終了したことを示します。
\overline{CONV}	コンバータの構成を変更したり、Table 4 の「Mode Programming」表に示す任意のモードにプログラムする場合は、このピンを論理 Low に設定する必要があります。このピンを High にすると、A/D コンバータは Read Data Only モードになります。Read Data Only モードでは、SCLK パルスを入力して \overline{CS} を Low に設定しても、A/D コンバータの出力シフトレジスタにロードされたデータが出力されるだけで、DI 上にあるデータは無視されます。新たな変換は開始されず、A/D コンバータのモードおよび構成は前に設定された状態に保持されます。変換、Auto Cal または Auto Zero の実行中は、Read Data Only モードに設定することはできません。
\overline{CS}	チップセレクト入力ピン。このピンが論理 Low の時に、SCLK の立ち上がりエッジで DI の入力データをアドレス・レジスタにロードし、DO を TRI-STATE から復帰させます。前の A/D 変換の結果得られたデータは、データの最初のビットを除き、 \overline{CS} が Low の時に SCLK の立ち下がりエッジで DO に送出されます。 \overline{CS} を連続して Low で保持する場合、データの最初のビットは EOC (エンド・オブ・コンバージョン) の立ち上がりエッジでクロックアウトされます。 \overline{CS} を切り換え制御する場合、データの最初のビットは常に \overline{CS} の立ち下がりエッジでクロックアウトされます。SCLK が Low の時に \overline{CS} を Low にする必要があります。 \overline{CS} の立ち下がりエッジにより、実行中の変換が中断され、新しい変換が開始されます。変換中に \overline{CS} が Low になると、その変換は途中で終了し、出力ラッチにあるデータが破壊されます。したがって、この時の出力データは無視する必要があります。 \overline{CS} を連続して Low にも保持できますが、A/D コンバータに正確なパルス数の SCLK を送信して同期を取ることが必要です。パワーアップ後、A/D コンバータは各 I/O シーケンスごとに 13 個のクロック・パルスを必要とします。このクロック・パルス数は、デジタル出力のワード長と同じです。この DO ピンのワード長は、モード・セレクト・レジスタにロードされたデータによって変更できます。Table 4 に必要なデータの詳細を示します。
DOR	データ出力レディ・ピン。アクティブ・プッシュ / プルの出力ピン。変換結果が送出されている間に Low になり、すべてのデータが送出されると High になります。
SCLK	シリアル・データ・クロック入力ピン。シリアル・データの伝送レートを制御します。立ち上がりエッジで、DI ピンのアドレス情報がマルチプレクサ・アドレスおよびモード・セレクト・シフトレジスタにロードされます。このアドレスにより、アナログ入力マルチプレクサ (MUX) のチャネル選択と A/D コンバータの動作モードを制御します。前の A/D 変換の結果得られたデータは、データの最初のビットを除き、 \overline{CS} が Low の時に SCLK の立ち下がりエッジで DO に送出されます。 \overline{CS} を連続して Low で保持する場合、データの最初のビットは EOC (エンド・オブ・コンバージョン) の立ち上がりエッジでクロックアウトされます。 \overline{CS} を切り換え制御する場合、データの最初のビットは常に \overline{CS} の立ち下がりエッジでクロックアウトされます。SCLK が Low の時に \overline{CS} を Low にする必要があります。クロック・エッジの立ち上がり時間および立ち下がり時間は $1\mu\text{s}$ を超えてはなりません。
CCLK	変換クロック入力ピン。逐次比較変換時間とアキュジション時間を制御します。クロック・エッジの立ち上がり時間および立ち下がり時間は $1\mu\text{s}$ を超えてはなりません。
V_{REF+}	正のアナログ基準電圧入力ピン。精度を維持するために、 V_{REF} の電圧範囲 ($V_{REF} = V_{REF+} - V_{REF-}$) は $1.0V_{DC}$ ~ $5.0V_{DC}$ で、 V_{REF+} の電圧が V_A+ を超えないように設定します。推奨する電源のバイパス方法については Figure 5 を参照してください。
V_{REF-}	負のアナログ基準電圧入力ピン。精度を維持するために、 GND ~ V_{REF+} の電圧範囲内に設定します (Figure 5 参照)。
PD	パワーダウン・ピン。このピンを High にすると A/D コンバータがパワーダウンし、Low にするとパワーアップします (アクティブ状態)。A/D コンバータは、「パワーアップ」コマンドを受信してからパワーアップするまで最大 $700\mu\text{s}$ 要します。
V_A+ V_D+	アナログおよびデジタル電源ピン。これらのピンはチップ上で相互接続されていません。同一電源に接続して別個にバイパスします (Figure 5 参照)。 V_A+ および V_D+ ピンの動作電圧範囲は $3.0V_{DC}$ ~ $5.5V_{DC}$ です。
DGND	デジタル・グラウンド・ピン (Figure 5 参照)。
AGND	アナログ・グラウンド・ピン (Figure 5 参照)。

絶対最大定格 (Note 1、2)

本データシートには軍用・航空宇宙用の規格は記載されていません。関連する電気的信頼性試験方法の規格を参照ください。

正電源電圧 ($V^+ = V_A + = V_D +$)	6.5V
入力および出力電圧 (CH0-CH7、COMを除く)	- 0.3V ~ $V^+ + 0.3V$
アナログ入力電圧 (CH0-CH7 および COM)	GND - 5V ~ $V^+ + 5V$
$ V_A + - V_D + $	300mV
各ピンにおける入力電流 (Note 3)	± 30mA
パッケージ入力電流 (Note 3)	± 120mA
パッケージ消費電力 $T_A = 25$ (Note 4)	500mW
ESD 耐圧 (Note 5)	
人体モデル	1500V
ハンダ付け条件	
N パッケージ (10 秒)	260
SO パッケージ (Note 6)	
ペーパー・フェーズ (60 秒)	215
赤外線 (15 秒)	220
保存温度	- 65 ~ + 150

動作定格 (Note 1、2)

動作温度範囲	T_{MIN} T_A T_{MAX} - 40 T_A + 85
電源電圧 ($V^+ = V_A + = V_D +$)	+ 3.0V ~ + 5.5V
$ V_A + - V_D + $	100mV
$V_{REF +}$	0V ~ $V_A +$
$V_{REF -}$	0V ~ ($V_{REF +} - 1V$)
V_{REF} ($V_{REF +} - V_{REF -}$)	1V ~ $V_A +$
V_{REF} 同相電圧範囲 [($V_{REF +}$) - ($V_{REF -}$)] / 2	0.1 $V_A +$ ~ 0.6 $V_A +$
A/DIN1、A/DIN2、MUXOUT1、 MUXOUT2 電圧範囲	0V ~ $V_A +$
ADC IN 同相入力電圧範囲 [($V_{IN +}$) - ($V_{IN -}$)] / 2	0V ~ $V_A +$

パッケージ熱抵抗

Part Number	Thermal Resistance (θ_{JA})
ADC12130CIN	53°C/W
ADC12130CIWM	70°C/W
ADC12132CIMSA	134°C/W
ADC12132CIWM	64°C/W
ADC121038CIN	40°C/W
ADC121038CIMSA	97°C/W
ADC12138CIWM	50°C/W

一部の製品/パッケージの組み合わせはすでに製造中止になっています。ここでは、参考のためだけに示しております。供給状況についてはナショナル セミコンダクターのウェブサイトを参照してください。

コンバータの電気的特性

特記のない限り、以下の仕様は ($V^+ = V_A + = V_D + = +5V$ 、 $V_{REF +} = +4.096V$ 、固定同相電圧 2.048V の完全差動入力) または ($V^+ = V_A + = V_D + = +3.3V$ 、 $V_{REF +} = +2.5V$ 、固定同相電圧 1.250V の完全差動入力)、 $V_{REF -} = 0V$ 、12 ビット + サイン変換モード、アナログ入力 $V_{REF -}$ と $V_{REF +}$ の信号源インピーダンス 25 Ω 、 $f_{CK} = f_{SK} = 5MHz$ 、10 (t_{CK}) アクイジション時間に対して適用されます。太文字表記のリミット値は $T_A = T_J = T_{MIN} \sim T_{MAX}$ に対して適用され、他のリミット値はすべて $T_A = T_J = 25$ に対して適用されます。(Note 7、8、9)

Symbol	Parameter	Conditions	Typical (Note 10)	Limits (Note 11)	Units (Limits)
STATIC CONVERTER CHARACTERISTICS					
	Resolution with No Missing Codes			12 + sign	Bits (min)
ILE	Integral Linearity Error	After Auto Cal (Notes 12, 18)	±1/2	±2	LSB (max)
DNL	Differential Non-Linearity	After Auto Cal		±1.5	LSB (max)
	Positive Full-Scale Error	After Auto Cal (Notes 12, 18)	±1/2	±3.0	LSB (max)
	Negative Full-Scale Error	After Auto Cal (Notes 12, 18)	±1/2	±3.0	LSB (max)
	Offset Error	After Auto Cal (Notes 5, 18) $V_{IN(+)} = V_{IN(-)} = 2.048V$	±1/2	±2	LSB (max)
	DC Common Mode Error	After Auto Cal (Note 15)	±2		LSB (max)
TUE	Total Unadjusted Error	After Auto Cal (Notes 12, 13, 14)	±1		LSB
	Multiplexer Chan-to-Chan Matching	$V^+ = +5V \pm 10%$, $V_{REF} = +4.096V$	±0.05		LSB
	Power Supply Sensitivity				
	Offset Error		±0.5		LSB
	+ Full-Scale Error		±0.5		LSB
	- Full-Scale Error		±0.5		LSB
	Integral Linearity Error		±0.5		LSB

コンバータの電気的特性 (つぎ)

特記のない限り、以下の仕様は ($V^+ = V_A = V_D = +5V$, $V_{REF} = +4.096V$ 、固定同相電圧 2.048V の完全差動入力) または ($V^+ = V_A = V_D = +3.3V$, $V_{REF} = +2.5V$ 、固定同相電圧 1.250V の完全差動入力)、 $V_{REF-} = 0V$ 、12 ビット+サイン変換モード、アナログ入力 V_{REF-} と V_{REF+} の信号源インピーダンス 25 Ω 、 $f_{CK} = f_{SK} = 5MHz$ 、10 (t_{CK}) アクイジション時間に対して適用されます。太文字表記のリミット値は $T_A = T_J = T_{MIN} \sim T_{MAX}$ に対して適用され、他のリミット値はすべて $T_A = T_J = 25$ に対して適用されます。(Note 7、8、9)

Symbol	Parameter	Conditions	Typical (Note 10)	Limits (Note 11)	Units (Limits)
UNIPOLAR DYNAMIC CONVERTER CHARACTERISTICS					
S/(N+D)	Signal-to-Noise Plus Distortion Ratio	$f_{IN} = 1 \text{ kHz}$, $V_{IN} = 5 V_{PP}$, $V_{REF+} = 5.0V$	69.4		dB
		$f_{IN} = 20 \text{ kHz}$, $V_{IN} = 5 V_{PP}$, $V_{REF+} = 5.0V$	68.3		dB
		$f_{IN} = 40 \text{ kHz}$, $V_{IN} = 5 V_{PP}$, $V_{REF+} = 5.0V$	65.7		dB
	-3 dB Full Power Bandwidth	$V_{IN} = 5 V_{PP}$, where S/(N+D) drops 3 dB	31		kHz
DIFFERENTIAL DYNAMIC CONVERTER CHARACTERISTICS					
S/(N+D)	Signal-to-Noise Plus Distortion Ratio	$f_{IN} = 1 \text{ kHz}$, $V_{IN} = \pm 5V$, $V_{REF+} = 5.0V$	77.0		dB
		$f_{IN} = 20 \text{ kHz}$, $V_{IN} = \pm 5V$, $V_{REF+} = 5.0V$	73.9		dB
		$f_{IN} = 40 \text{ kHz}$, $V_{IN} = \pm 5V$, $V_{REF+} = 5.0V$	67.0		dB
	-3 dB Full Power Bandwidth	$V_{IN} = \pm 5V$, where S/(N+D) drops 3 dB	40		kHz
REFERENCE INPUT, ANALOG INPUTS AND MULTIPLEXER CHARACTERISTICS					
C_{REF}	Reference Input Capacitance		85		pF
$C_{A/D}$	A/DIN1 and A/DIN2 Analog Input Capacitance		75		pF
	A/DIN1 and A/DIN2 Analog Input Leakage Current	$V_{IN} = +5.0V$ or $V_{IN} = 0V$	± 0.1		μA
	CH0-CH7 and COM Input Voltage		GND - 0.05 (V_A+) + 0.05		V (min) V (max)
C_{CH}	CH0-CH7 and COM Input Capacitance		10		pF
C_{MUXOUT}	MUX Output Capacitance		20		pF
	Off Channel Leakage (Note 16) CH0-CH7 and COM Pins	On Channel = 5V and Off Channel = 0V	-0.01		μA
		On Channel = 0V and Off Channel = 5V	0.01		μA
	On Channel Leakage (Note 16) CH0-CH7 and COM Pins	On Channel = 5V and Off Channel = 0V	0.01		μA
		On Channel = 0V and Off Channel = 5V	-0.01		μA
	MUXOUT1 and MUXOUT2 Leakage Current	$V_{MUXOUT} = 5.0V$ or $V_{MUXOUT} = 0V$	0.01		μA
R_{ON}	MUX On Resistance	$V_{IN} = 2.5V$ and $V_{MUXOUT} = 2.4V$	850	1900	Ω (max)
	R_{ON} Matching Channel to Channel	$V_{IN} = 2.5V$ and $V_{MUXOUT} = 2.4V$	5		%
	Channel-to-Channel Crosstalk	$V_{IN} = 5 V_{PP}$, $f_{IN} = 40 \text{ kHz}$	-72		dB
	MUX Bandwidth		90		kHz

DC およびロジック電氣的特性

特記のない限り、以下の仕様は ($V^+ = V_{A^+} = V_{D^+} = +5V$ 、 $V_{REF^+} = +4.096V$ 、固定同相電圧 2.048V の完全差動入力) または ($V^+ = V_{A^+} = V_{D^+} = +3.3V$ 、 $V_{REF^+} = +2.5V$ 、固定同相電圧 1.250V の完全差動入力)、 $V_{REF^-} = 0V$ 、12 ビット+サイン変換モード、アナログ入力 V_{REF^-} と V_{REF^+} の信号源インピーダンス 25 Ω 、 $f_{CK} = f_{SK} = 5MHz$ 、10 (t_{CK}) アクイジション時間に対して適用されます。太文字表記のリミット値は $T_A = T_J = T_{MIN} \sim T_{MAX}$ に対して適用され、他のリミット値はすべて $T_A = T_J = 25^\circ C$ に対して適用されます。(Note 7、8、9)

Symbol	Parameter	Conditions	Typical (Note 10)	$V^+ = V_{A^+} = V_{D^+} = 3.3V$ Limits (Note 11)	$V^+ = V_{A^+} = V_{D^+} = 5V$ Limits (Note 11)	Units (Limits)
CCLK, CS, CONV, DI, PD AND SCLK INPUT CHARACTERISTICS						
$V_{IN(1)}$	Logical "1" Input Voltage	$V_{A^+} = V_{D^+} = V^+ + 10\%$		2.0	2.0	V (min)
$V_{IN(0)}$	Logical "0" Input Voltage	$V_{A^+} = V_{D^+} = V^+ - 10\%$		0.8	0.8	V (max)
$I_{IN(1)}$	Logical "1" Input Current	$V_{IN} = V^+$	0.005	1.0	1.0	μA (max)
$I_{IN(0)}$	Logical "0" Input Current	$V_{IN} = 0V$	-0.005	-1.0	-1.0	μA (min)
DO, EOC AND DOR DIGITAL OUTPUT CHARACTERISTICS						
$V_{OUT(1)}$	Logical "1" Output Voltage	$V_{A^+} = V_{D^+} = V^+ - 10\%$, $I_{OUT} = -360 \mu A$		2.4	2.4	V (min)
		$V_{A^+} = V_{D^+} = V^+ - 10\%$, $I_{OUT} = -10 \mu A$		2.9	4.25	V (min)
$V_{OUT(0)}$	Logical "0" Output Voltage	$V_{A^+} = V_{D^+} = V^+ - 10\%$ $I_{OUT} = 1.6 mA$		0.4	0.4	V (max)
I_{OUT}	TRI-STATE Output Current	$V_{OUT} = 0V$	-0.1	-3.0	-3.0	μA (max)
		$V_{OUT} = V^+$	-0.1	3.0	3.0	μA (max)
$+I_{SC}$	Output Short Circuit Source Current	$V_{OUT} = 0V$	-14			mA
$-I_{SC}$	Output Short Circuit Sink Current	$V_{OUT} = V_{D^+}$	16			mA
POWER SUPPLY CHARACTERISTICS						
I_{D^+}	Digital Supply Current	Awake (Active)		1.5	2.5	mA (max)
		$\overline{CS} = HIGH$, Powered Down, CCLK on	600			μA
		$\overline{CS} = HIGH$, Powered Down, CCLK off	20			μA
I_{A^+}	Positive Analog Supply Current	Awake (Active)		3.0	4.0	mA (max)
		$\overline{CS} = HIGH$, Powered Down, CCLK on	10			μA
		$\overline{CS} = HIGH$, Powered Down, CCLK off	0.1			μA
I_{REF}	Reference Input Current	$\overline{CS} = HIGH$, Powered Down, CCLK on	70			μA
		$\overline{CS} = HIGH$, Powered Down, CCLK off	0.1			μA

AC 電気的特性

特記のない限り、以下の仕様は ($V^+ = V_A = V_D = +5V$ 、 $V_{REF} = +4.096V$ 、固定同相電圧 2.048V の完全差動入力) または ($V^+ = V_A = V_D = +3.3V$ 、 $V_{REF} = +2.5V$ 、固定同相電圧 1.250V の完全差動入力)、 $V_{REF-} = 0V$ 、12 ビット+サイン変換モード、アナログ入力 V_{REF-} と V_{REF+} の信号源インピーダンス 25 Ω 、 $f_{CK} = f_{SK} = 5MHz$ 、10 (t_{CK}) アクイジション時間に対して適用されます。太文字表記のリミット値は $T_A = T_J = T_{MIN} \sim T_{MAX}$ に対して適用され、他のリミット値はすべて $T_A = T_J = 25$ に対して適用されます。(Note 17)

Symbol	Parameter	Conditions	Typical (Note 10)	Limits (Note 11)	Units (Limits)		
f_{CK}	Conversion Clock (CCLK) Frequency		10 1	5	MHz (max) MHz (min)		
f_{SK}	Serial Data Clock SCLK Frequency		10 0	5	MHz (max) Hz (min)		
	Conversion Clock Duty Cycle			40 60	% (min) % (max)		
	Serial Data Clock Duty Cycle			40 60	% (min) % (max)		
t_C	Conversion Time	12-Bit + Sign or 12-Bit	44(t_{CK})	44(t_{CK}) 8.8	(max) μs (max)		
t_A	Acquisition Time (Note 19)	6 Cycles Programmed	6(t_{CK})	6(t_{CK}) 7(t_{CK})	(min) (max)		
			1.2 1.4	μs (min) μs (max)			
			10 Cycles Programmed	10(t_{CK})	10(t_{CK}) 11(t_{CK})	(min) (max)	
				2.0 2.2	μs (min) μs (max)		
		18 Cycles Programmed	18(t_{CK})	18(t_{CK}) 19(t_{CK})	(min) (max)		
			3.6 3.8	μs (min) μs (max)			
		34 Cycles Programmed	34(t_{CK})	34(t_{CK}) 35(t_{CK})	(min) (max)		
			6.8 7.0	μs (min) μs (max)			
		t_{CAL}	Self-Calibration Time		4944(t_{CK}) 988.8	(max) μs (max)	
		t_{AZ}	Auto Zero Time		76(t_{CK})	76(t_{CK}) 15.2	(max) μs (max)
					2(t_{CK})	2(t_{CK}) 3(t_{CK})	(min) (max)
		t_{SYNC}	Self-Calibration or Auto Zero Synchronization Time from DOR			0.40 0.60	μs (min) μs (max)
	9(t_{SK})			9(t_{SK}) 1.8	(max) μs (max)		
t_{DOR}	DOR High Time when \overline{CS} is Low Continuously for Read Data and Software Power Up/Down			1.8	μs (max)		
t_{CONV}	\overline{CONV} Valid Data Time		8(t_{SK})	8(t_{SK}) 1.6	(max) μs (max)		

AC 電気的特性 (つづき)

特記のない限り、以下の仕様は ($V^+ = V_A + = V_D + = + 5V$ 、 $V_{REF} + = + 4.096V$ 、固定同相電圧 2.048V の完全差動入力) または ($V^+ = V_A + = V_D + = + 3.3V$ 、 $V_{REF} + = + 2.5V$ 、固定同相電圧 1.250V の完全差動入力)、 $V_{REF} - = 0V$ 、12 ビット+サイン変換モード、アナログ入力 $V_{REF} -$ と $V_{REF} +$ の信号源インピーダンス 25 Ω 、 $f_{CK} = f_{SK} = 5MHz$ 、10 (t_{CK}) アクイジション時間に対して適用されます。太文字表記のリミット値は $T_A = T_J = T_{MIN} \sim T_{MAX}$ に対して適用され、他のリミット値はすべて $T_A = T_J = 25$ に対して適用されます。(Note 17)

Symbol	Parameter	Conditions	Typical (Note 10)	Limits (Note 11)	Units (Limits)
t_{HPU}	Hardware Power-Up Time, Time from PD Falling Edge to EOC Rising Edge		500	700	μs (max)
t_{SPU}	Software Power-Up Time, Time from Serial Data Clock Falling Edge to EOC Rising Edge		500	700	μs (max)
t_{ACC}	Access Time Delay from \overline{CS} Falling Edge to DO Data Valid		25	60	ns (max)
t_{SET-UP}	Set-Up Time of \overline{CS} Falling Edge to Serial Data Clock Rising Edge			50	ns (min)
t_{DELAY}	Delay from SCLK Falling Edge to \overline{CS} Falling Edge		0	5	ns (min)
t_{1H}, t_{0H}	Delay from \overline{CS} Rising Edge to DO TRI-STATE	$R_L = 3k, C_L = 100 pF$	70	100	ns (max)
t_{HDI}	DI Hold Time from Serial Data Clock Rising Edge		5	15	ns (max)
t_{SDI}	DI Set-Up Time from Serial Data Clock Rising Edge		5	10	ns (min)
t_{HDO}	DO Hold Time from Serial Data Clock Falling Edge	$R_L = 3k, C_L = 100 pF$	35	65 5	ns (max) ns (min)
t_{DDO}	Delay from Serial Data Clock Falling Edge to DO Data Valid		50	90	ns (max)
t_{RDO}	DO Rise Time, TRI-STATE to High DO Rise Time, Low to High	$R_L = 3k, C_L = 100 pF$	10 10	40 40	ns (max) ns (max)
t_{FDO}	DO Fall Time, TRI-STATE to Low DO Fall Time, High to Low	$R_L = 3k, C_L = 100 pF$	15 15	40 40	ns (max) ns (max)
t_{CD}	Delay from \overline{CS} Falling Edge to \overline{DOR} Falling Edge		45	80	ns (max)
t_{SD}	Delay from Serial Data Clock Falling Edge to \overline{DOR} Rising Edge		45	80	ns (max)
C_{IN}	Capacitance of Logic Inputs		20		pF
C_{OUT}	Capacitance of Logic Outputs		20		pF

Note 1: 「絶対最大定格」とは、IC が破壊する可能性のあるリミット値をいいます。「動作定格」とは、デバイスが機能する条件を示しますが、特定の性能リミット値を保証するものではありません。保証された仕様、試験条件については「電気的特性」を参照ください。保証された仕様は「電気的特性」に記載されている試験条件にのみ適用されます。デバイスが記載の試験条件下で動作していない場合、いくつかの性能特性が低下することがあります。

Note 2: 特記のない限り、すべての電圧は GND を基準にして測定されています。

Note 3: いずれかのピンで入力電圧 (V_{IN}) が電源電圧を超えた場合 ($V_{IN} < GND$ 、あるいは $V_{IN} > V_A +$ または $V_D +$)、そのピンの電流を 30mA 以下に制限しなければなりません。最大パッケージ入力定格電流 (120mA) により、電源電圧を超えて 30mA の電流を流せるピン数は 4 本に制限されます。

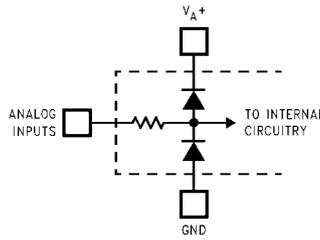
Note 4: 温度上昇時の動作では、最大消費電力の定格を T_{Jmax} 、 J_A および T_A (周囲温度) に従って下げなければなりません。任意温度における最大許容消費電力は、 $P_D = (T_{Jmax} - T_A) / J_A$ または絶対最大定格で示される値のうち、いずれか低い方の値です。このデバイスの場合、 T_{Jmax} は 150 です。

Note 5: 使用した試験回路は人体モデルに基づき、100pF のコンデンサから直列抵抗 1.5k Ω を通して、各ピンに放電させます。

Note 6: その他の表面実装法は、アプリケーション・ノート AN-450 「スモール・アウトライン (SO) パッケージ表面実装と製品信頼性上における効果」、または当社の最新版データブックの「表面実装法」の項を参照ください。

Note 7: 以下に示すように、2 個の内蔵ダイオードが 1 個の直列抵抗を介して各アナログ入力に接続されています。入力電圧値が $V_A +$ から +5V 以内、GND から -5V 以内であれば、デバイスの損傷は生じません。ただし、これらのダイオードが 50mV 以上の電圧で順方向にバイアスされている場合、選択または未選択のアナログ入力ピンへの入力電圧値が $V_A + + 50mV$ 以上または GND - 50mV 以下になると変換に誤差が生じます。例えば、正確な変換結果を得るには、 $V_A +$ が 4.5V_{DC} であれば、フルスケールの入力電圧を 4.55V_{DC} 以下にする必要があります。

AC 電気的特性 (つづき)



- Note 8:** 精度を保証するために、 V_A+ および V_D+ は、各 $V+$ ピンに別個のバイパス・コンデンサを設けて同一電源に接続する必要があります。
- Note 9:** V_{REF} ($V_{REF+} - V_{REF-}$) が $4.096V$ の試験条件では、12 ビットの LSB は $1.0mV$ になります。 $V_{REF} = 2.5V$ では、12 ビットの LSB は $610\mu V$ になります。
- Note 10:** 代表値 (Typical) は、 $T_j = T_A = 25$ で得られる最も標準的な数値です。
- Note 11:** テスト・リミット値は当社の平均出荷品質レベル (AOQL) に基づき保証されます。
- Note 12:** 正の積分直線性誤差 (+ ILE) は、正のフルスケールとゼロ間を結ぶ直線からのアナログ値の偏差として定義され、LSB で表されます。負の積分直線性誤差 (- ILE) では、直線は負のフルスケールとゼロを通ります (Figure 2、3 参照)。
- Note 13:** ゼロ誤差は、ミッドスケール電圧 (ゼロ・コード) からの偏差として測定され、LSB で表されます。この数値は、-1 から 0、0 から +1 間のコード遷移における平均値です (Figure 4 参照)。
- Note 14:** 無調整総合誤差 (TUE) にはオフセット、フルスケール、直線性およびマルチプレクサの各誤差が含まれます。
- Note 15:** DC 同相誤差は、正と負の両入力チャネルを短絡させて、差動マルチプレクサ・モードで測定したものです。
- Note 16:** チャネル漏れ電流は、チャネル選択後に測定したものです。
- Note 17:** タイミング仕様は、 $V_{OL} = 0.4V$ (立ち下がりがエッジ)、 $V_{OH} = 2.4V$ (立ち上がりがエッジ) の TTL ロジック・レベルでテストされています。TRI-STATE の出力電圧は $1.4V$ にセットしています。
- Note 18:** ADC12130 ファミリのセルフキャリブレーション技術により、規定の直線性およびオフセット誤差を保証しています。セルフキャリブレーション・プロセス固有のノイズにより、最大 $0.2LSB$ の再現性を伴う誤差が生じます。
- Note 19:** SCLK と CCLK のクロック・信号源が同じである場合、アキュイジション時間 t_A は 6、10、18、または 34 の各クロック周期 (最小~最大) になります。
- Note 20:** 「12 ビット・オフセット変換」モードおよび「12 ビット・フルスケール変換」モードでは、デバイスの機能性をテストします。したがって、これらのモードにおける出力データは、変換結果の精度を示すものではありません。

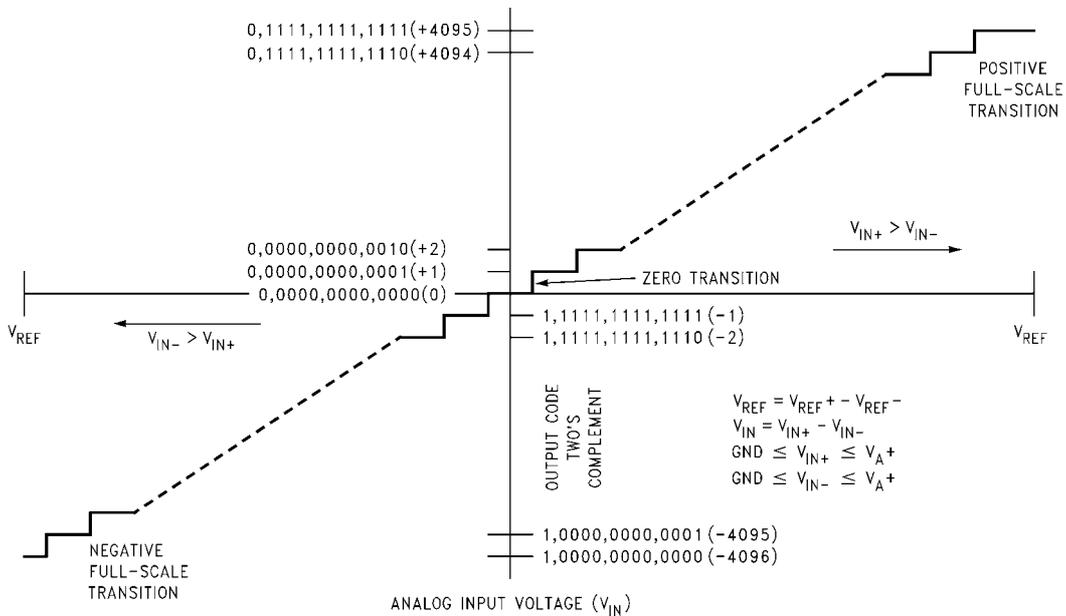


FIGURE 1. Transfer Characteristic

AC 電気的特性(つづき)

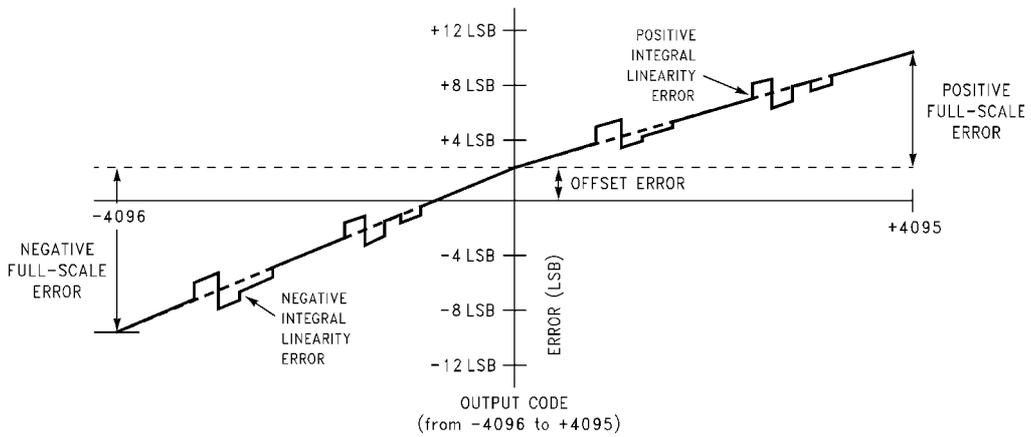


FIGURE 2. Simplified Error Curve vs. Output Code without Auto Calibration or Auto Zero Cycles

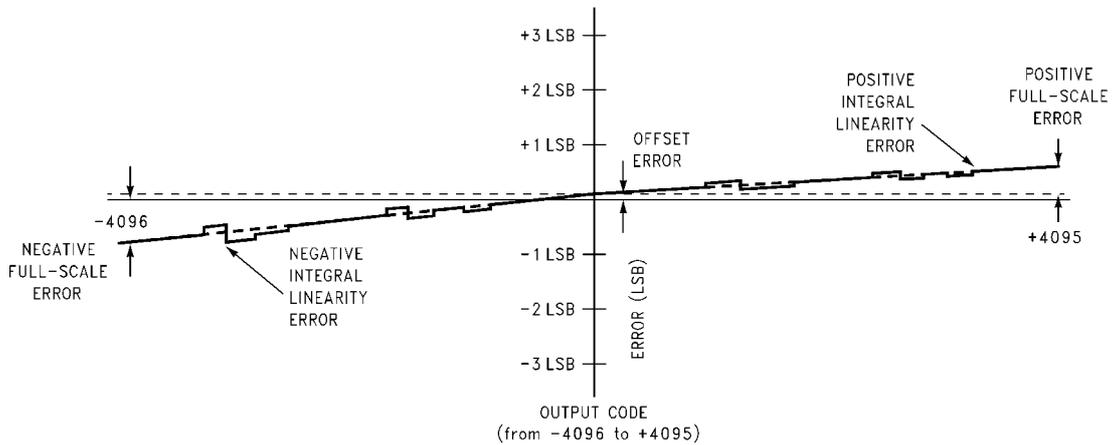


FIGURE 3. Simplified Error Curve vs. Output Code after Auto Calibration Cycle

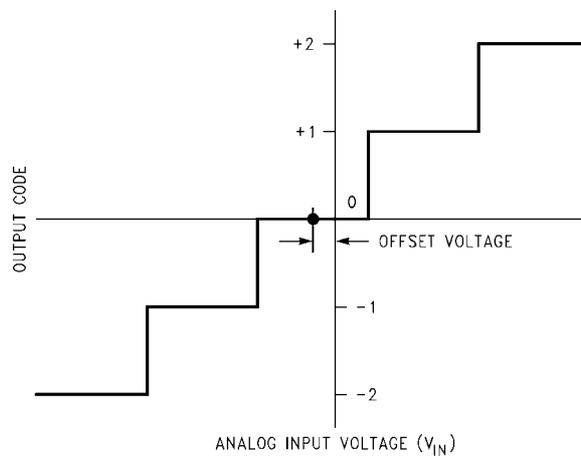
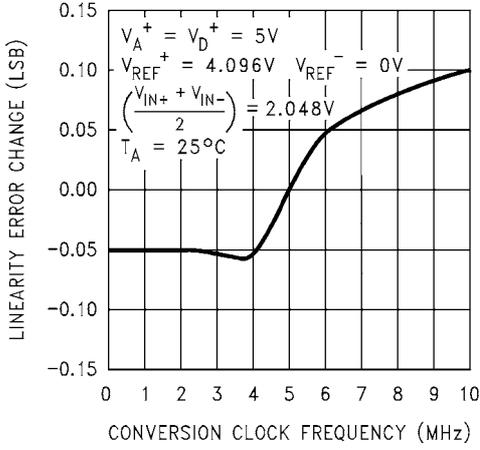


FIGURE 4. Offset or Zero Error Voltage

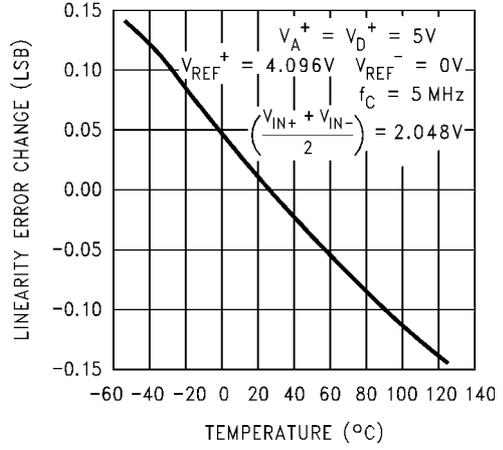
代表的な性能特性

特記のない限り、下記の特性曲線はオートキャリブレーション後の 12 ビット+サイン・モードで適用されます。

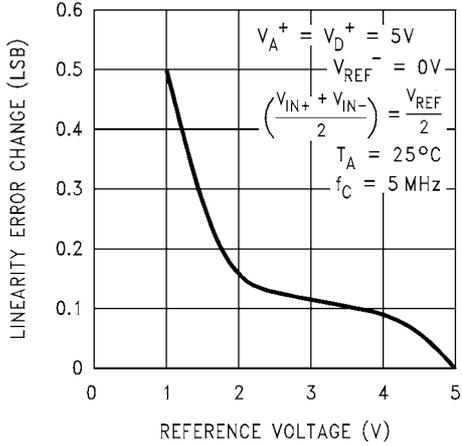
Linearity Error Change vs. Clock Frequency



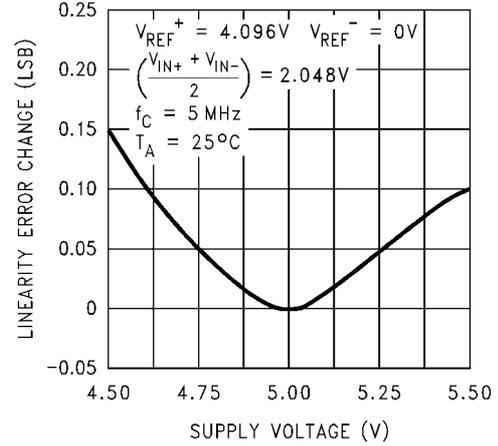
Linearity Error Change vs. Temperature



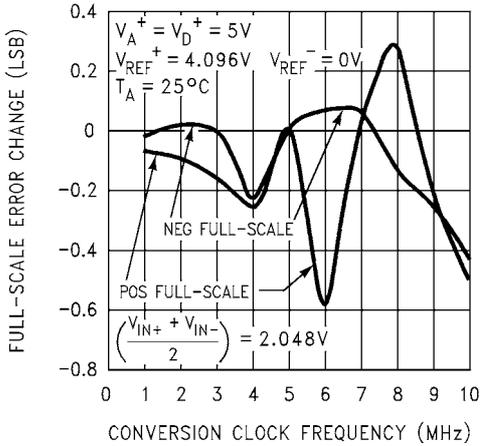
Linearity Error Change vs. Reference Voltage



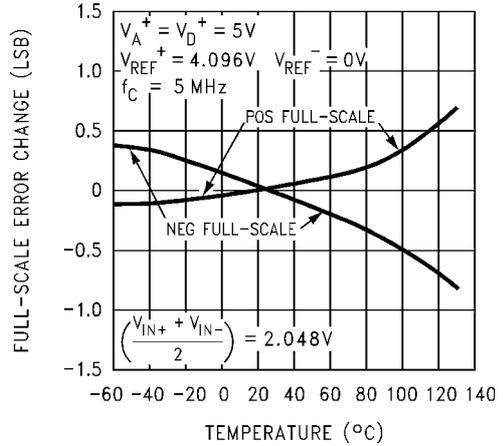
Linearity Error Change vs. Supply Voltage



Full-Scale Error Change vs. Clock Frequency

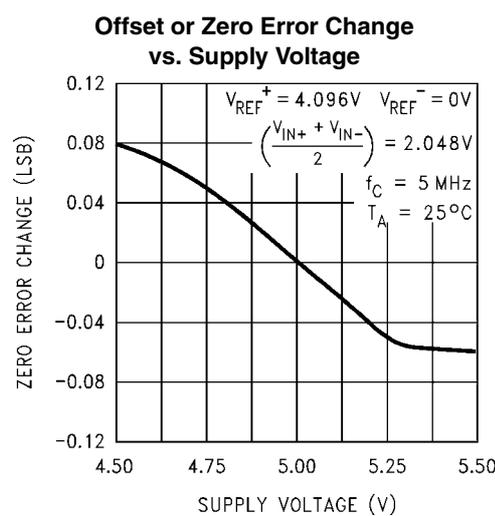
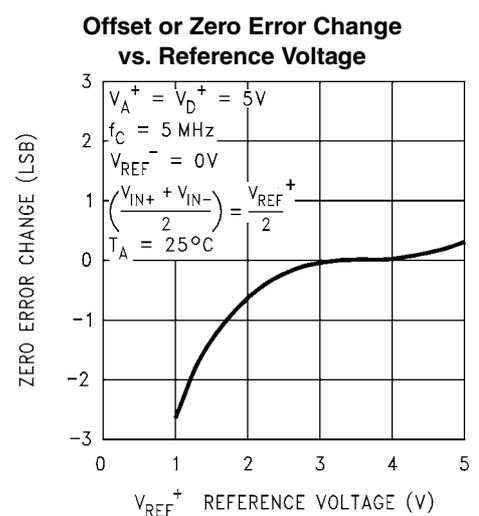
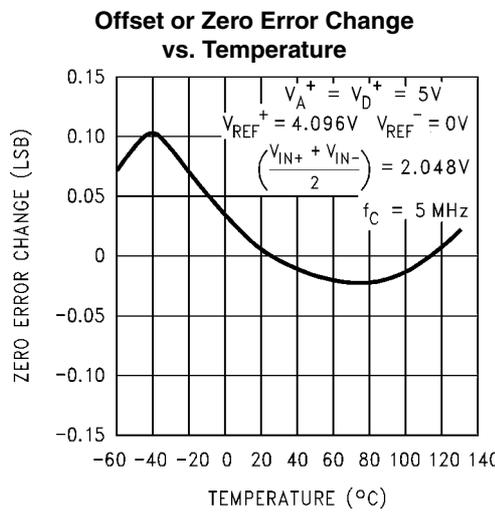
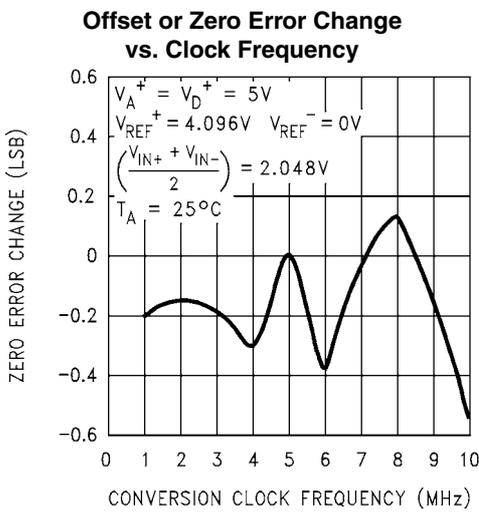
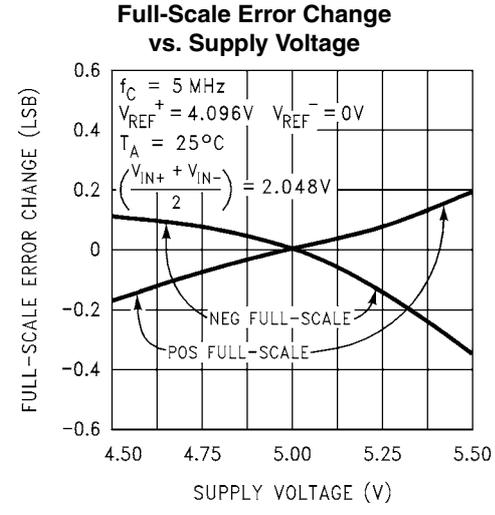
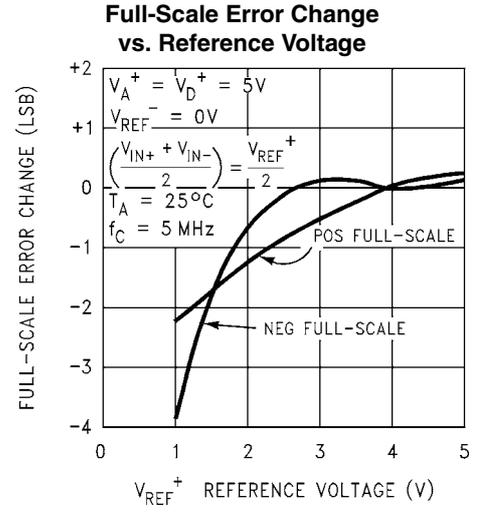


Full-Scale Error Change vs. Temperature



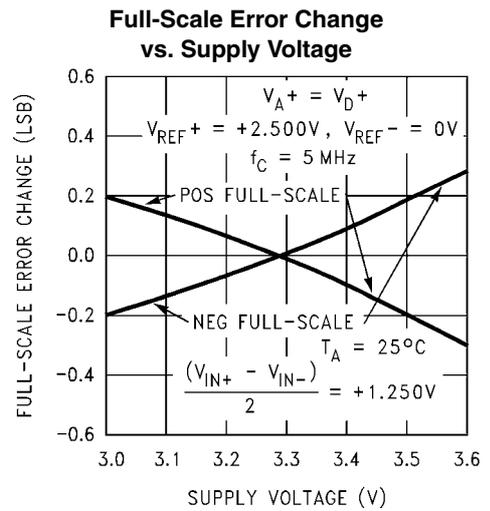
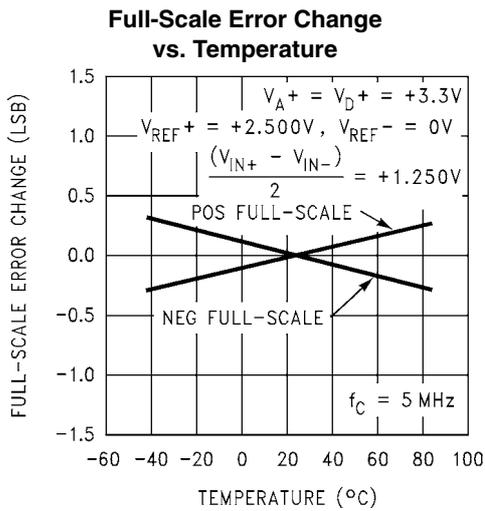
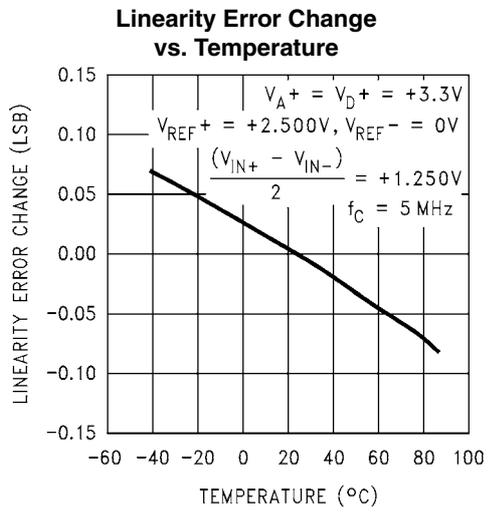
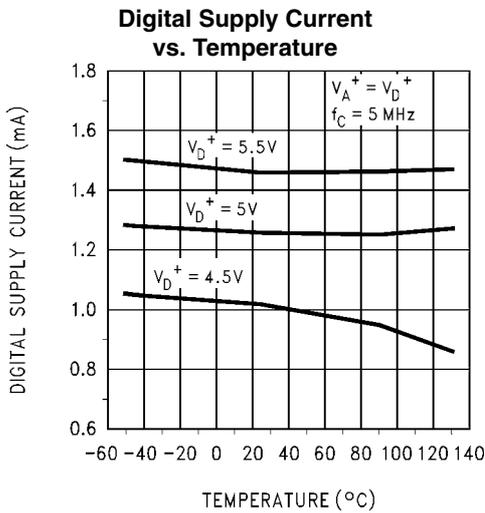
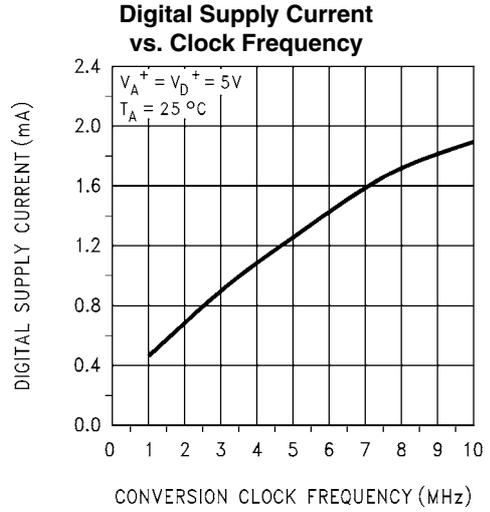
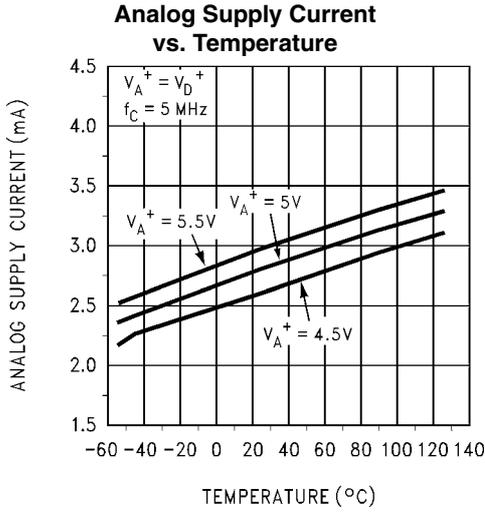
代表的な性能特性 (つづき)

特記のない限り、下記の特性曲線はオートキャリブレーション後の 12 ビット + サイン・モードで適用されます。



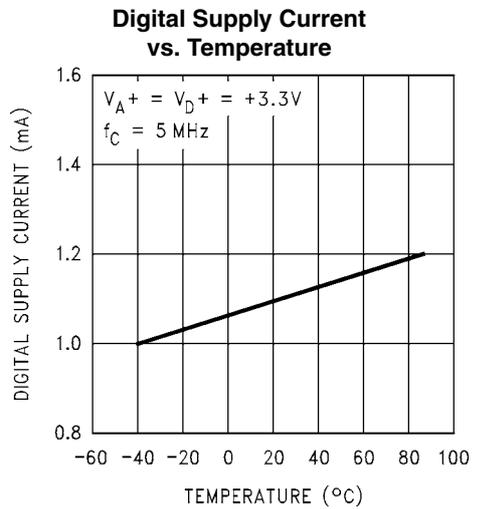
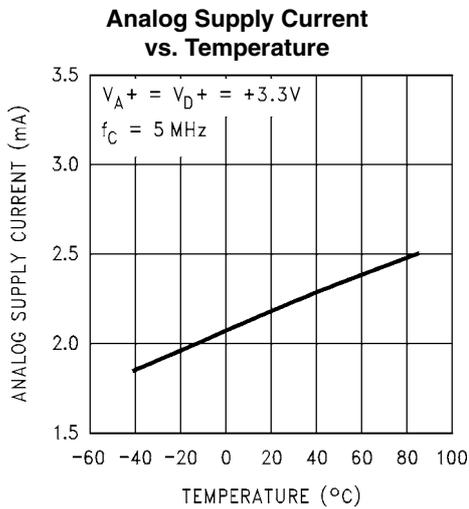
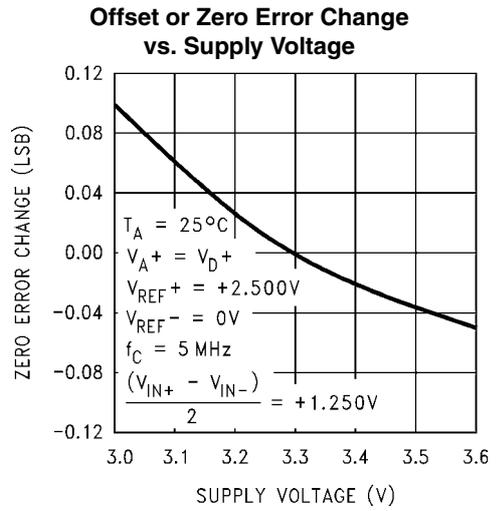
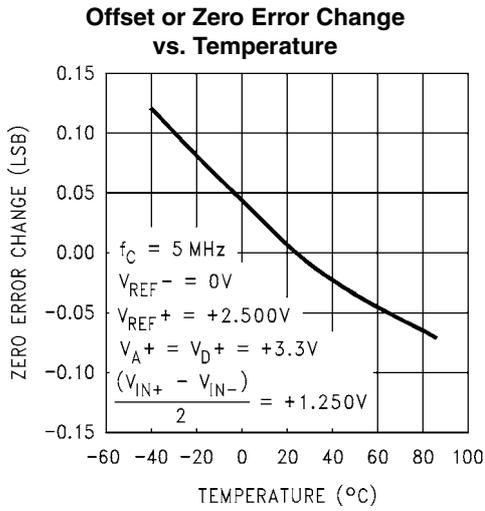
代表的な性能特性 (つづき)

特記のない限り、下記の特性曲線はオートキャリブレーション後の 12 ビット+サイン・モードで適用されます。



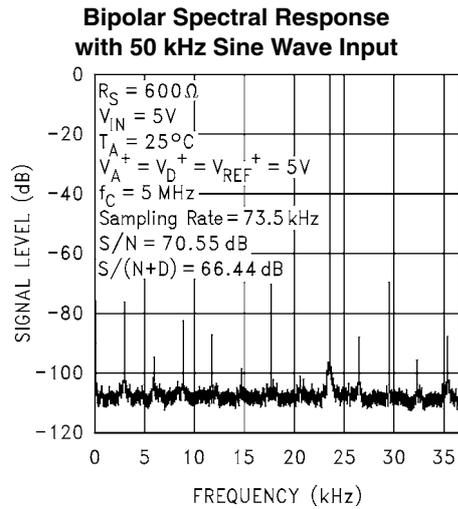
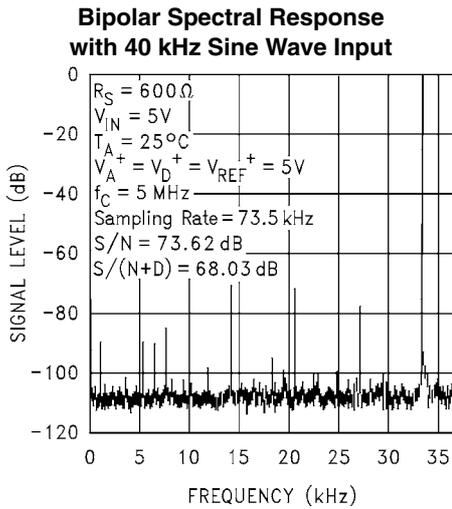
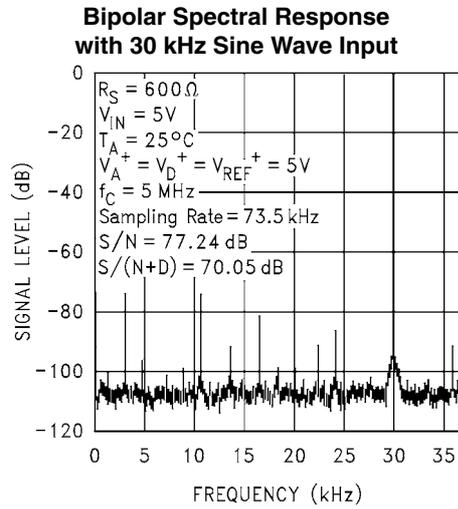
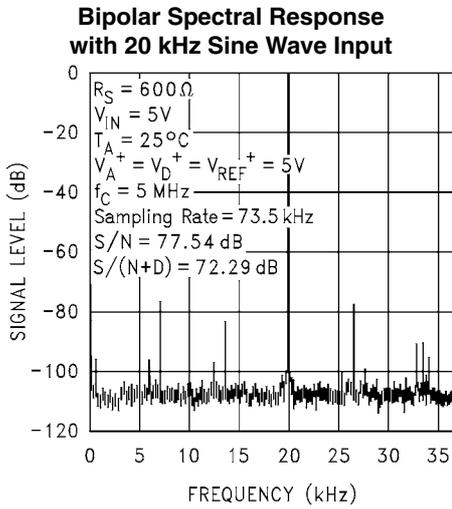
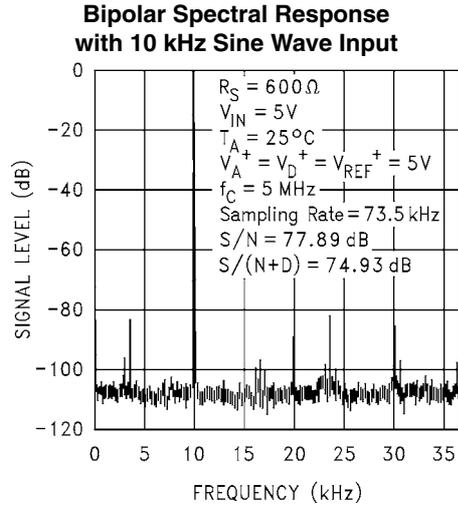
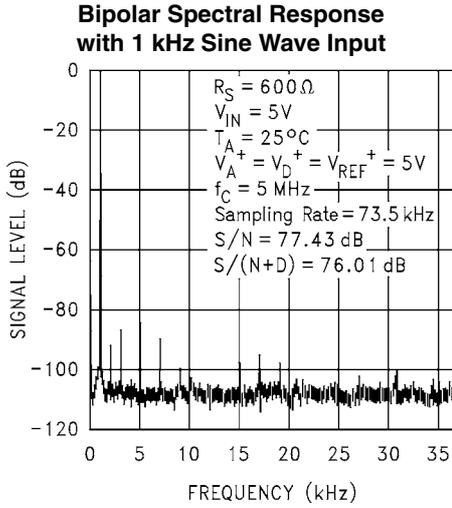
代表的な性能特性 (つづき)

特記のない限り、下記の特性曲線はオートキャリブレーション後の 12 ビット+サイン・モードで適用されます。



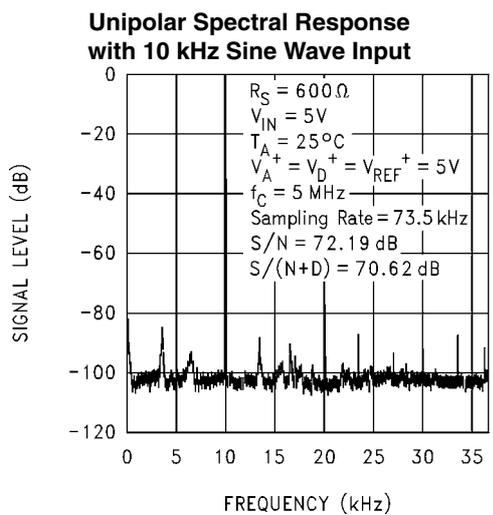
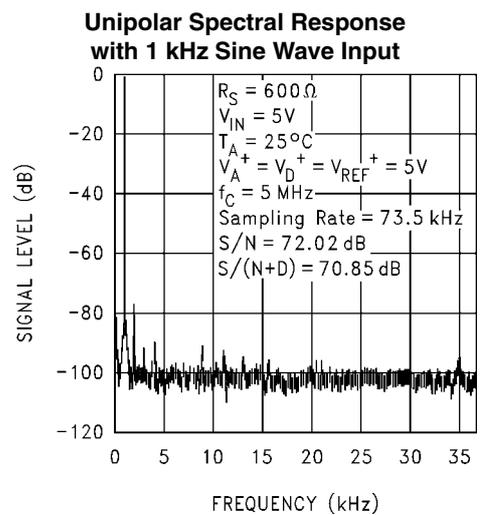
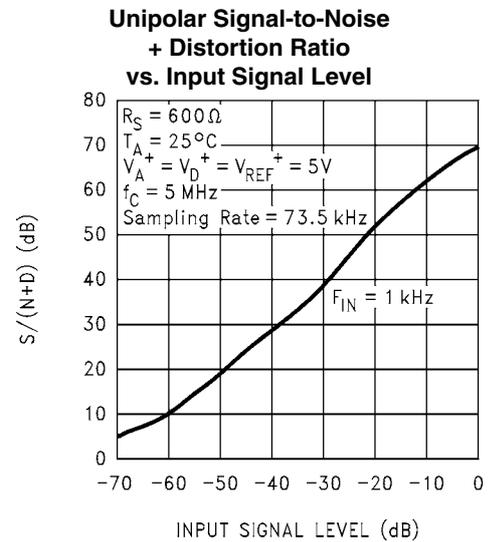
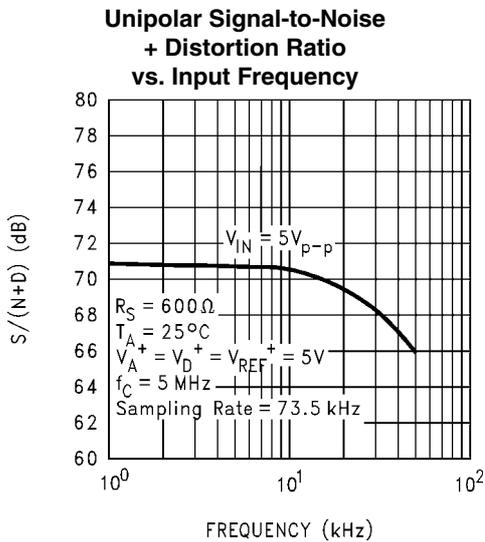
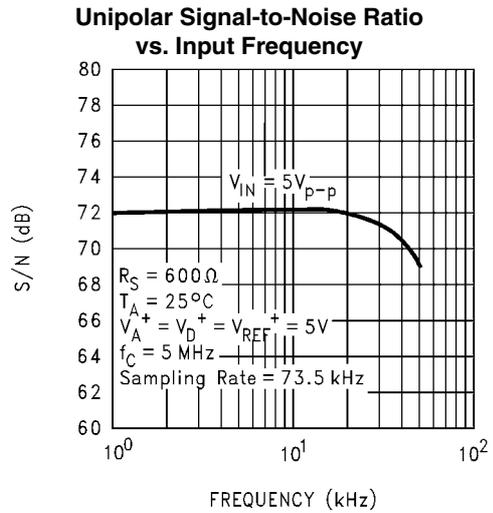
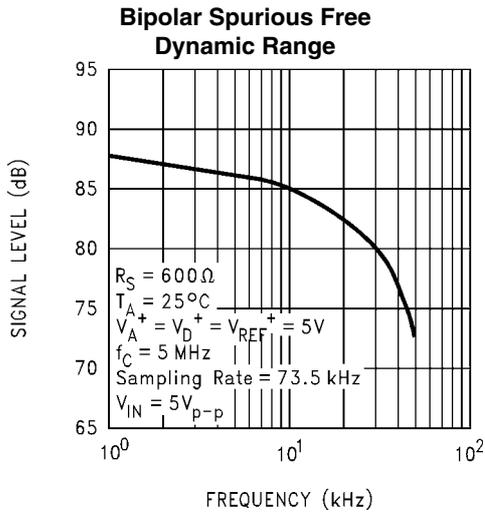
代表的なダイナミック特性

特記のない限り、下記の特性曲線はオートキャリブレーション後の 12 ビット + サイン・モードで適用されます。



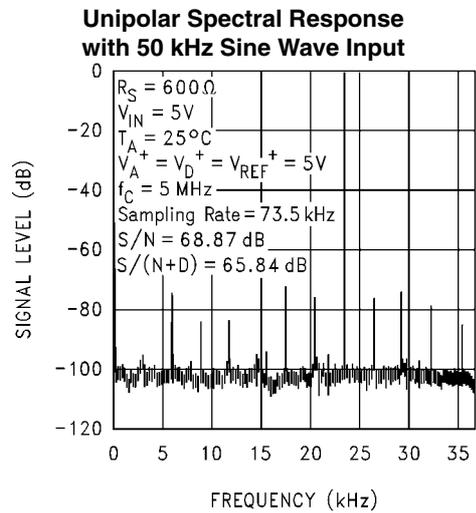
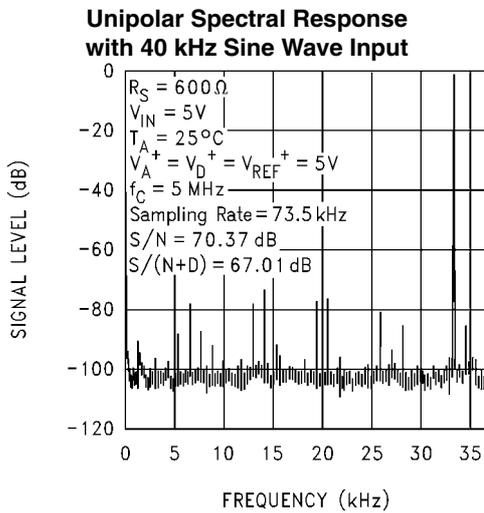
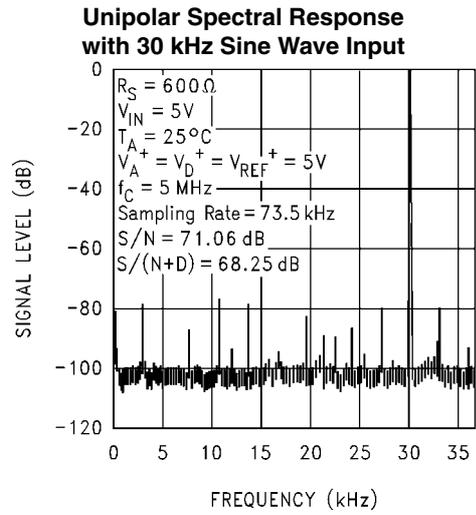
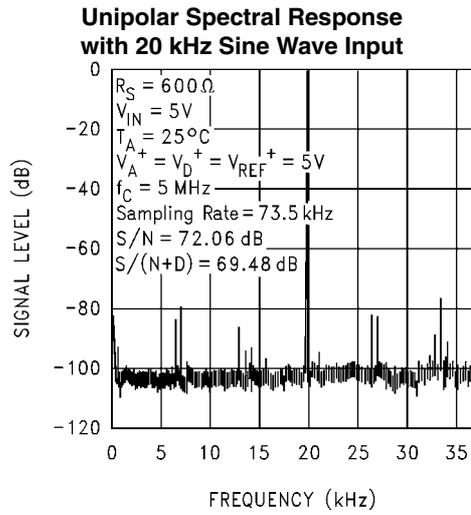
代表的なダイナミック特性 (つづき)

特記のない限り、下記の特性曲線はオートキャリブレーション後の 12 ビット+サイン・モードで適用されます。



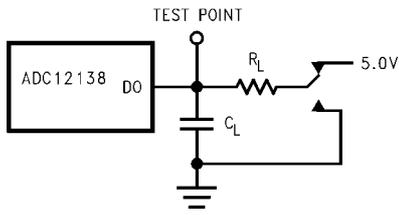
代表的なダイナミック特性 (つづき)

特記のない限り、下記の特性曲線はオートキャリブレーション後の 12 ビット+サイン・モードで適用されます。

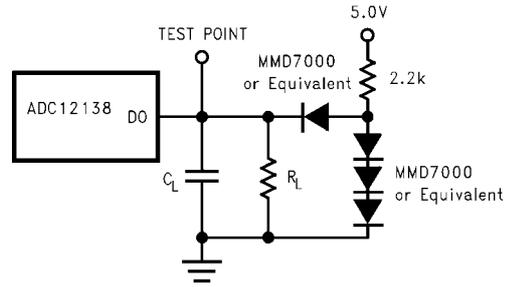


テスト回路

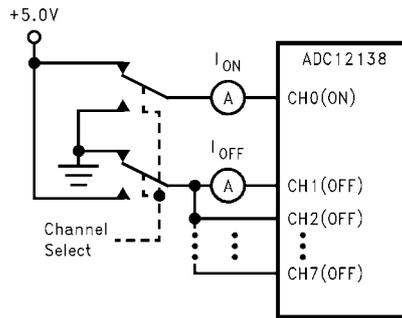
DO "TRI-STATE" (t_{1H} , t_{0H})



DO except "TRI-STATE"

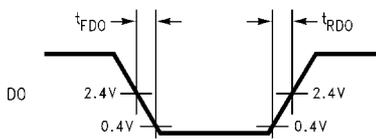


Leakage Current

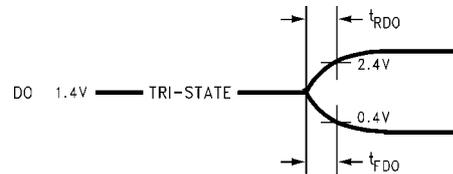


タイミング図

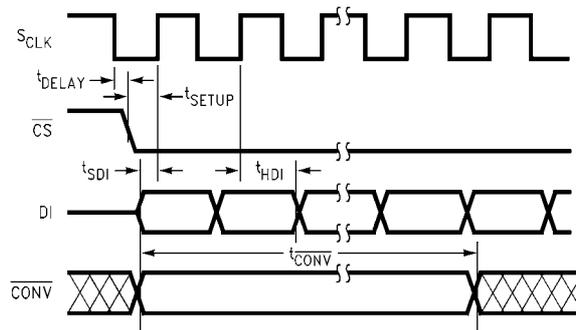
DO Falling and Rising Edge



DO "TRI-STATE" Falling and Rising Edge

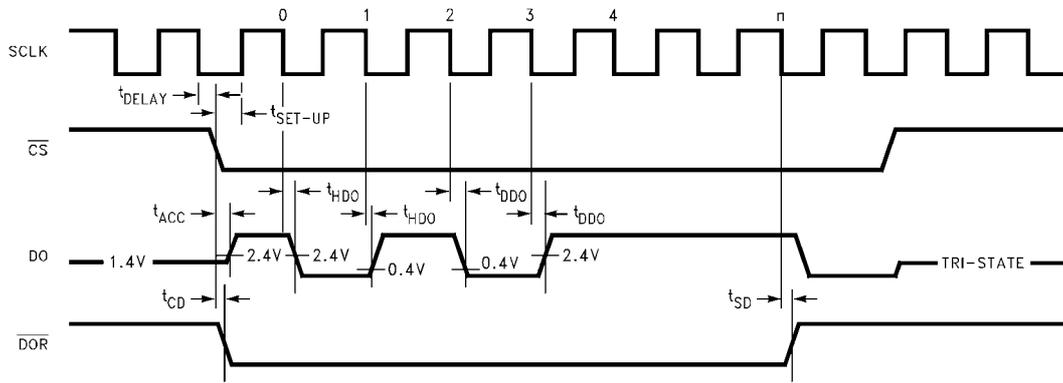


DI Data Input Timing

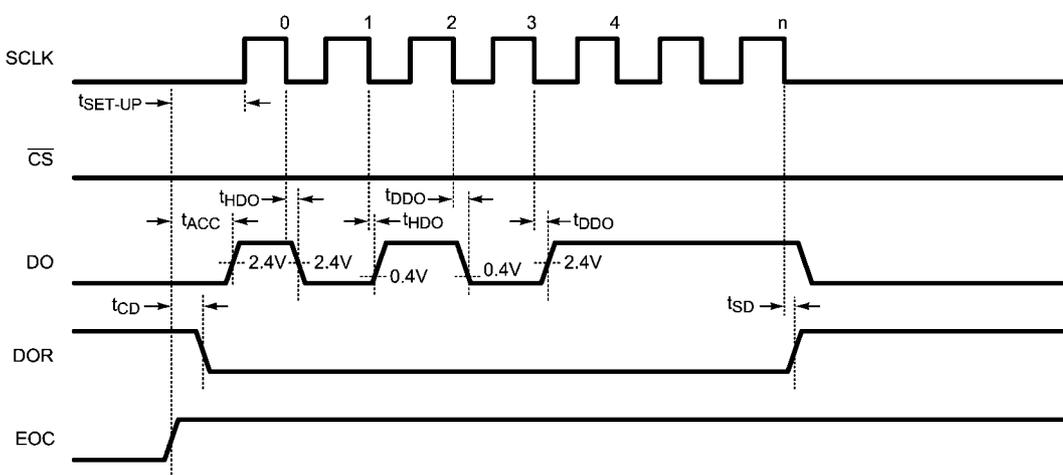


タイミング図(つぎ)

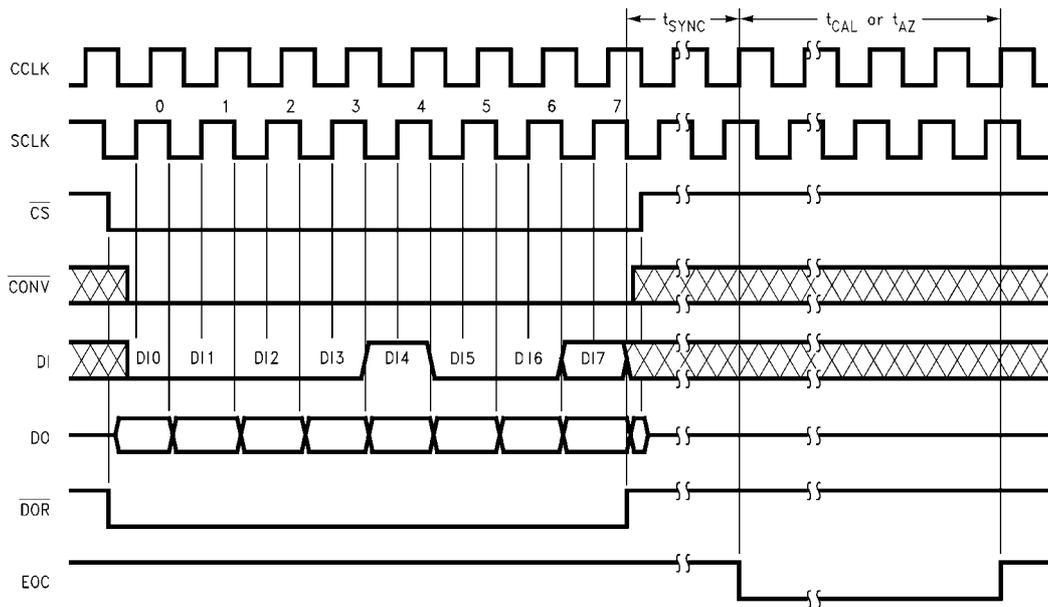
DO Data Output Timing Using \overline{CS}



DO Data Output Timing with \overline{CS} Continuously Low



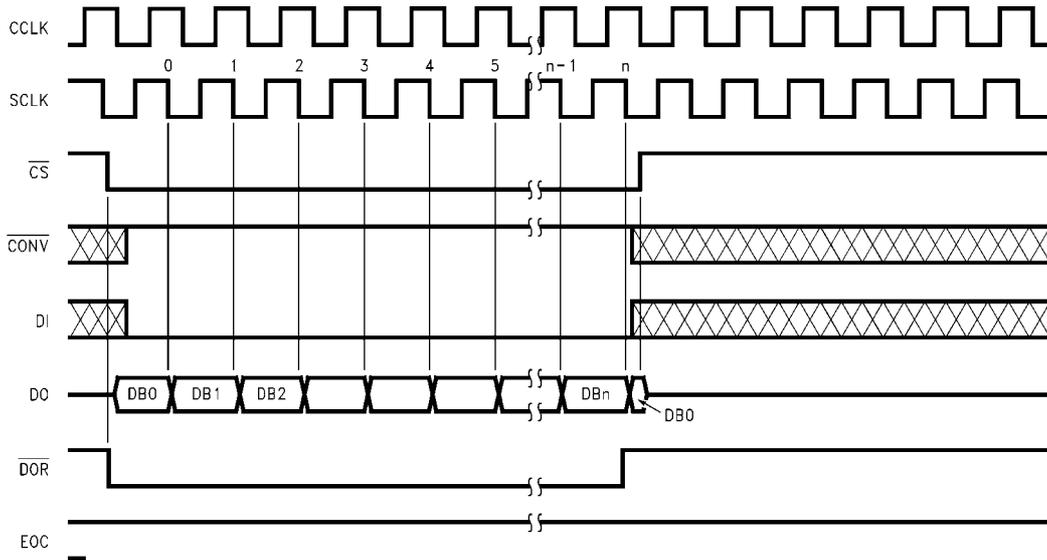
ADC12138 Auto Cal or Auto Zero



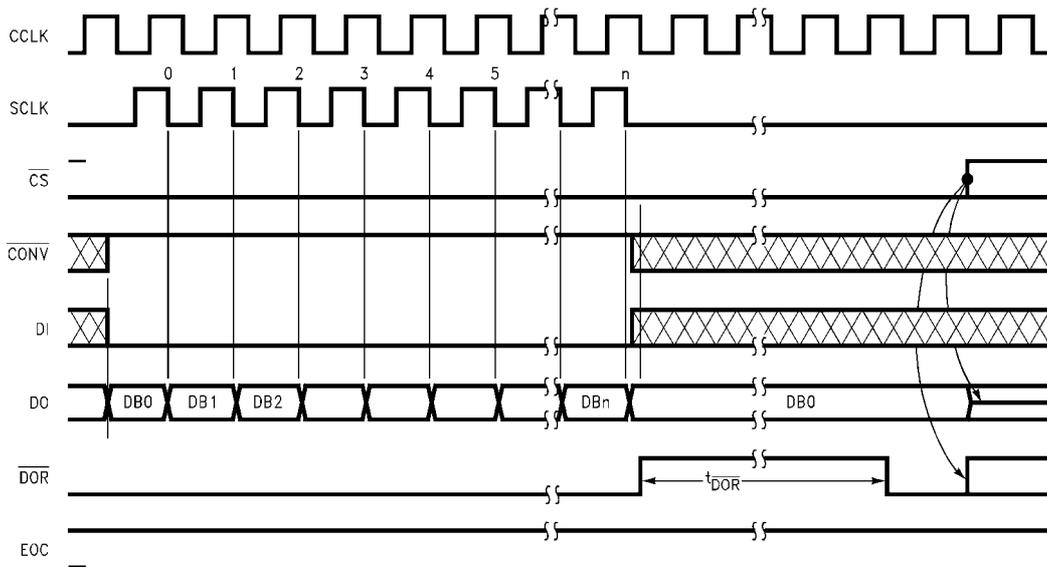
Note: このサイクルの間、DO ピンの出力データは無効になります。

タイミング図(つぎ)

ADC12138 Read Data without Starting a Conversion Using \overline{CS}

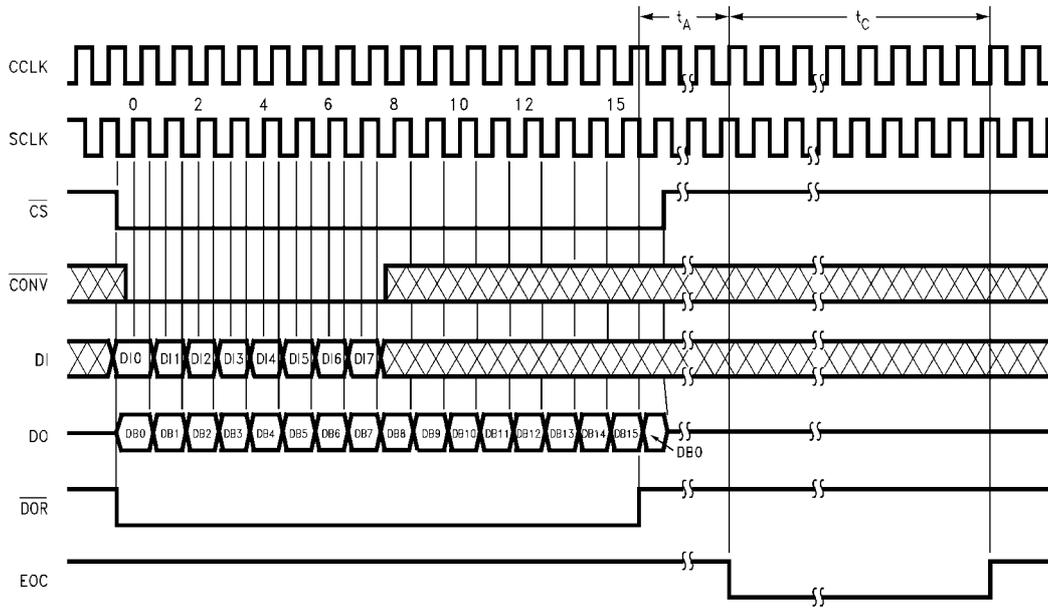


ADC12138 Read Data without Starting a Conversion with \overline{CS} Continuously Low

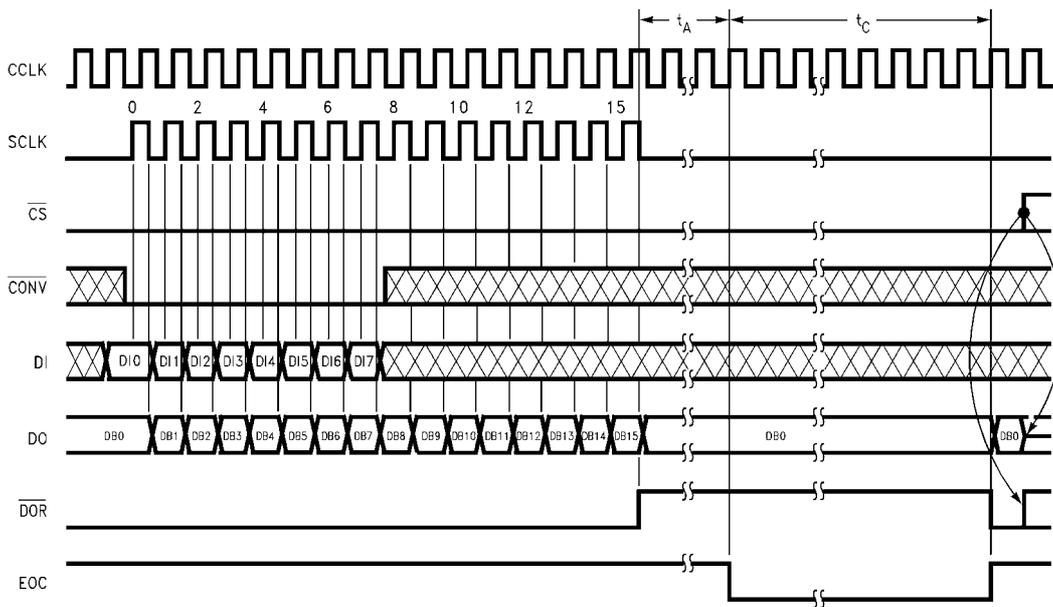


タイミング図(つぎ)

ADC12138 Conversion Using \overline{CS} with 16-Bit Digital Output Format

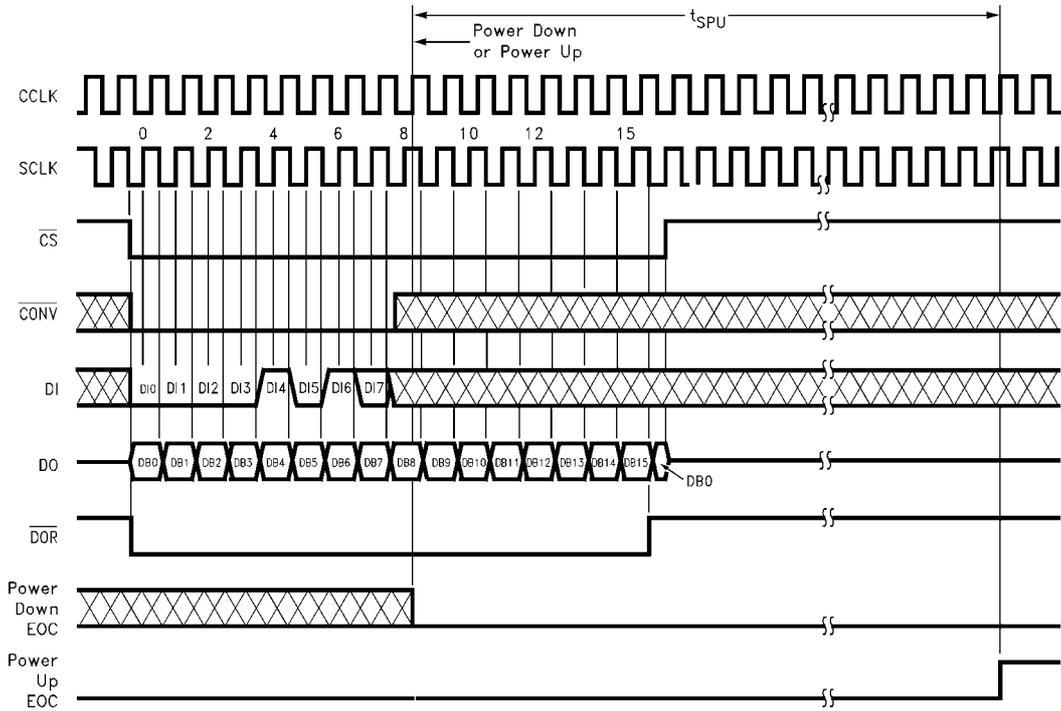


ADC12138 Conversion with \overline{CS} Continuously Low and 16-Bit Digital Output Format

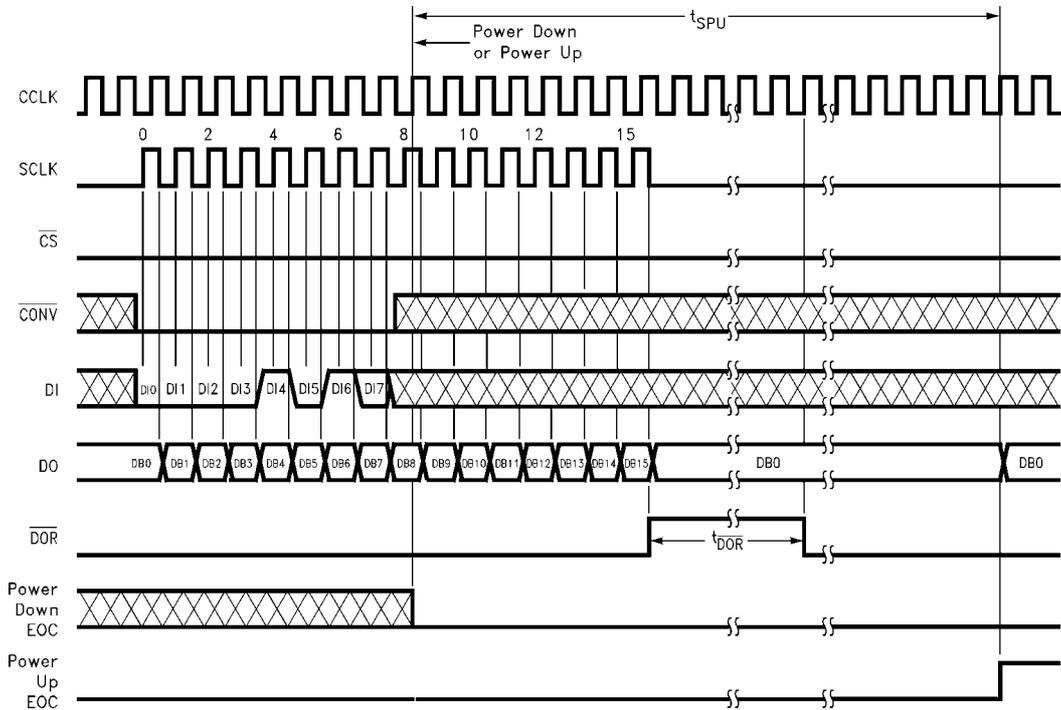


タイミング図(つぎ)

ADC12138 Software Power Up/Down Using \overline{CS} with 16-Bit Digital Output Format

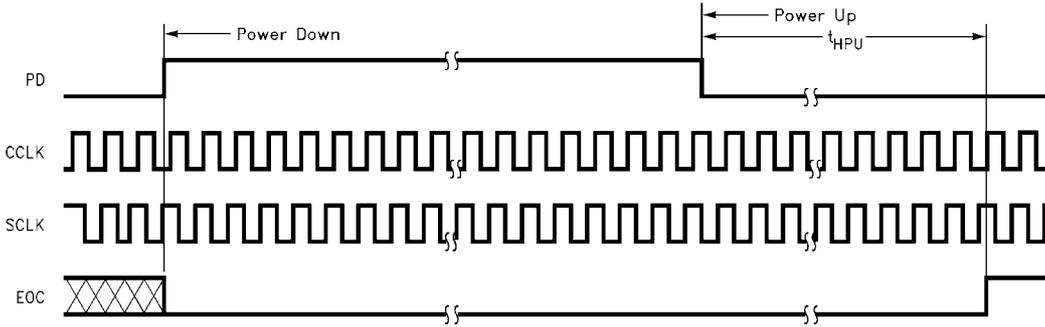


ADC12138 Software Power Up/Down with \overline{CS} Continuously Low and 16-Bit Digital Output Format



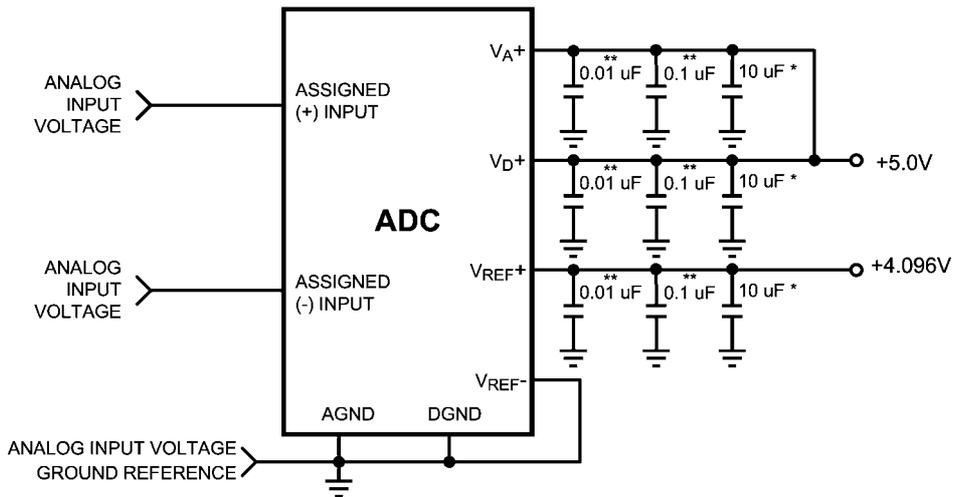
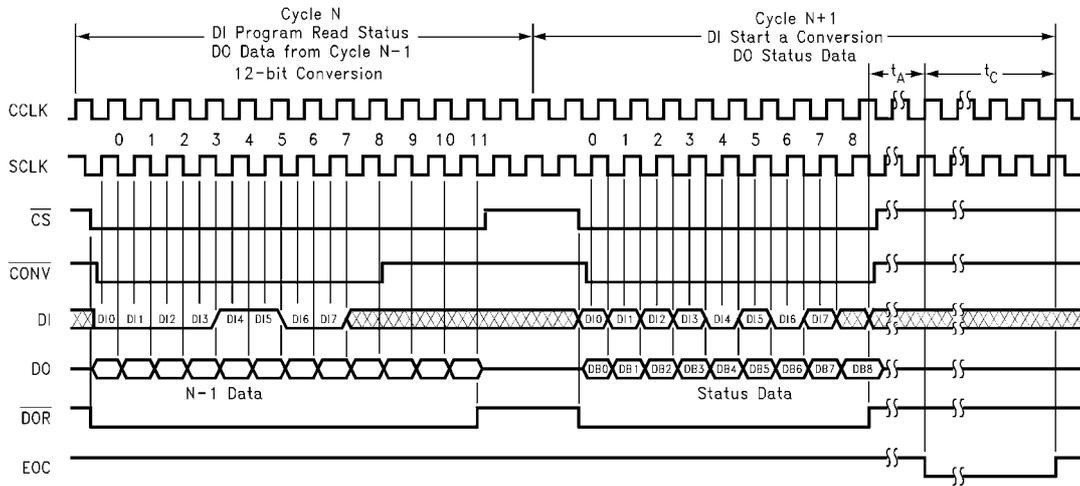
タイミング図(つき)

ADC12138 Hardware Power Up/Down



Note: ハードウェアのパワーアップ / パワーダウンはいつでも発生させられます。変換中に PD が High になれば、正常な変換が行われず、不正なデータが出力シフトレジスタに格納されます。

ADC12138 Configuration Modification—Example of a Status Read



* タンタル・コンデンサ

** モリシック・セラミック・コンデンサまたはそれ以上

FIGURE 5. Recommended Power Supply Bypassing and Grounding

タイミング図(つぎ)

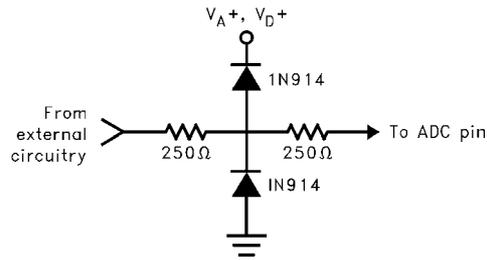


FIGURE 6. Protecting the MUXOUT1, MUXOUT2, A/DIN1 and A/DIN2 Analog Pins

フォーマットとセットアップ

TABLE 1. Data Out Formats

DO Formats		DB0	DB1	DB2	DB3	DB4	DB5	DB6	DB7	DB8	DB9	DB 10	DB 11	DB 12	DB 13	DB 14	DB 15	DB 16	
with Sign	MSB First	17 Bits	X	X	X	X	Sign	MSB	10	9	8	7	6	5	4	3	2	1	LSB
	LSB First	13 Bits	Sing	MSB	10	9	8	7	6	5	4	3	2	1	LSB				
		17 Bits	LSB	1	2	3	4	5	6	7	8	9	10	MSB	Sign	X	X	X	X
	13 Bits	LSB	1	2	3	4	5	6	7	8	9	10	MSB	Sign					
with-out Sign	MSB First	16 Bits	0	0	0	0	MSB	10	9	8	7	6	5	4	3	2	1	LSB	
	LSB First	12 Bits	MSB	10	9	8	7	6	5	4	3	2	1	LSB					
		16 Bits	LSB	1	2	3	4	5	6	7	8	9	10	MSB	0	0	0	0	
	12 Bits	LSB	1	2	3	4	5	6	7	8	9	10	MSB						

X = Highまたは Low 状態

フォーマットとセットアップ (つづき)

TABLE 2. ADC12138 Multiplexer Addressing

MUX Address				Analog Channel Addressed and Assignment with A/DIN1 tied to MUXOUT1 and A/DIN2 tied to MUXOUT2								ADC Input Polarity Assignment		Multiplexer Output Channel Assignment		Mode		
D10	D11	D12	D13	CH 0	CH 1	CH 2	CH 3	CH 4	CH 5	CH 6	CH 7	COM	A/DIN1	A/DIN2	MUXOUT1		MUXOUT2	
L	L	L	L	+	-									+	-	CH0	CH1	Differential
L	L	L	H			+	-						+	-	CH2	CH3		
L	L	H	L					+	-				+	-	CH4	CH5		
L	L	H	H							+	-		+	-	CH6	CH7		
L	H	L	L	-	+								-	+	CH0	CH1		
L	H	L	H			-	+						-	+	CH2	CH3		
L	H	H	L					-	+				-	+	CH4	CH5		
L	H	H	H							-	+		-	+	CH6	CH7		
H	L	L	L	+								-	+	-	CH0	COM	Single-Ended	
H	L	L	H			+						-	+	-	CH2	COM		
H	L	H	L					+				-	+	-	CH4	COM		
H	L	H	H							+		-	+	-	CH6	COM		
H	H	L	L		+							-	+	-	CH1	COM		
H	H	L	H				+					-	+	-	CH3	COM		
H	H	H	L						+			-	+	-	CH5	COM		
H	H	H	H								+	-	+	-	CH7	COM		

TABLE 3. ADC12130 and ADC12132 Multiplexer Addressing

MUX Address		Analog Channel Addressed and Assignment with A/DIN1 tied to MUXOUT1 and A/DIN2 tied to MUXOUT2			ADC Input Polarity Assignment		Multiplexer Output Channel Assignment		Mode
D10	D11	CH0	CH1	COM	A/DIN1	A/DIN2	MUXOUT1	MUXOUT2	
L	L	+	-		+	-	CH0	CH1	Differential
L	H	-	+		-	+	CH0	CH1	
H	L	+		-	+	-	CH0	COM	Single-Ended
H	H		+	-	+	-	CH1	COM	

Note: ADC12130 には、A/DIN1、A/DIN2、MUXOUT1、MUXOUT2 のピンがありません。

フォーマットとセットアップ (つづき)

TABLE 4. Mode Programming

ADC12138	DI0	DI1	DI2	DI3	DI4	DI5	DI6	DI7	Mode Selected (Current)	DO Format (next Conversion Cycle)
ADC12130 and ADC12132	DI0	DI1			DI2	DI3	DI4	DI5		
	See Table 2 or Table 3				L	L	L	L	12 Bit Conversion	12 or 13 Bit MSB First
	See Table 2 or Table 3				L	L	L	H	12 Bit Conversion	16 or 17 Bit MSB First
	See Table 2 or Table 3				L	H	L	L	12 Bit Conversion	12 or 13 Bit LSB First
	See Table 2 or Table 3				L	H	L	H	12 Bit Conversion	16 or 17 Bit LSB First
	L	L	L	L	H	L	L	L	Auto Cal	No Change
	L	L	L	L	H	L	L	H	Auto Zero	No Change
	L	L	L	L	H	L	H	L	Power Up	No Change
	L	L	L	L	H	L	H	H	Power Down	No Change
	L	L	L	L	H	H	L	L	Read Status Register	No Change
	L	L	L	L	H	H	L	H	Data Out without Sign	No Change
	H	L	L	L	H	H	L	H	Data Out with Sign	No Change
	L	L	L	L	H	H	H	L	Acquisition Time—6 CCLK Cycles	No Change
	L	H	L	L	H	H	H	L	Acquisition Time—10 CCLK Cycles	No Change
	H	L	L	L	H	H	H	L	Acquisition Time—18 CCLK Cycles	No Change
	H	H	L	L	H	H	H	L	Acquisition Time—34 CCLK Cycles	No Change
	L	L	L	L	H	H	H	H	User Mode	No Change
	H	X	X	X	H	H	H	H	Test Mode (CH1–CH7 become Active Outputs)	No Change

Note: A/D コンバータは、No Auto Cal、No Auto Zero、10CCLK のアキュイジション時間、12 ビット+サイン変換、パワーアップ・モード、12 ビットまたは 13 ビット MSB First、ユーザー・モードでパワーアップします。

X = 未定義

TABLE 5. Conversion/Read Data Only Mode Programming

CS	CONV	PD	Mode
L	L	L	See Table 4 for Mode
L	H	L	Read Only (Previous DO Format). No Conversion.
H	X	L	Idle
X	X	H	Power Down

X = 未定義

TABLE 6. Status Register

Status Bit Location	DB0	DB1	DB2	DB3	DB4	DB5	DB6	DB7	DB8
Status Bit	PU	PD	Cal		12 or 13	16 or 17	Sign	Justification	Test Mode
Function	Device Status				DO Output Format Status				
		“High” indicates a Power Up Sequence is in progress	“High” indicates a Power Down Sequence is in progress	“High” indicates an Auto Cal Sequence is in progress	Not used	“High” indicates a 12 or 13 bit format	“High” indicates a 16 or 17 bit format	“High” indicates that the sign bit is included. When “Low” the sign bit is not included.	When “High” the conversion result will be output MSB first. When “Low” the result will be output LSB first.

アプリケーション情報

NOTE: 一部のデバイス / パッケージの組み合わせはすでに製造中止になっています。ここでは、参考のためだけに示してあります。供給状況についてはナショナル セミコンダクターのウェブサイトを参照してください。

1.0 デジタル・インタフェース

1.1 インタフェースの概念

Figure 7 は、ADC12130/2/8 のパワーアップ時の代表的なイベント・シーケンス例を示しています。

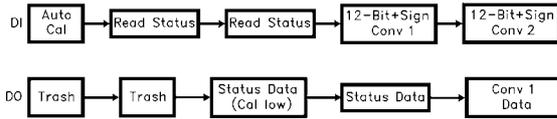


FIGURE 7. Typical Power Supply Power Up Sequence

A/DコンバータにDIピンを介して最初の命令が入力されると、オートキャリブレーション (Auto Cal) サイクルを開始します。この時のDOピンのデータ出力は、意味がなく完全にランダムです。次いで、Auto Cal サイクルの終了を確認するために、リード・ステータス命令をA/Dコンバータに送ります。この時も同じくデータ出力は何の意味も持ちません。これは、Auto Calのサイクルで出力シフトレジスタのデータが更新されるためです。ステータス情報を得るために再度別のリード・ステータス命令をA/Dコンバータに送ると、DOピンにステータス・データが出力されます。Auto Calサイクルが終了すると、ステータス・ワードのCal信号がLowになり、次の命令で変換が開始されます。この時のデータ出力は再びステータス情報になります。

ノイズによる変換精度の低下を防ぐために、変換中のステータスの読み出しは行わないでください。変換中にCSをLowにすると、その変換は中止され、未完了になります。変換の終了をEOCピンで確認するか、または、A/DコントローラでA/Dコンバータへの適切な通信 (アクセス) のタイミングをソフトウェア上でとってください。変換終了を確認すると、別の命令がA/Dコンバータに送られます。この変換データは、次の命令がA/Dコンバータへ送られると読み出し可能になります。

CSを連続してLowにする場合、正確なサイクル数のSCLKを送信することが重要になります (「タイミング図」参照)。正確な数のSCLKパルスを送信しないと、A/Dコンバータとのシリアル通信の同期が取れなくなります (1.3「CSの連続Low状態時における考慮事項」参照)。

1.2 構成の変更

パワーアップ時のADC12130/2/8の構成は、12ビット+サイン分解能、12ビットまたは13ビットMSB First、10 CCLKのアクイジション時間、ユーザー・モード、No Auto Cal、No Auto Zero、パワーアップ・モードにデフォルト設定されています。アクイジション時間の変更やサイン・ビットのオン/オフ切換えを行うには8ビット命令をA/Dコンバータに送ることが必要です。この命令では変換は開始されません。変換は、マルチプレクサ・アドレスの選択や出力データ形式を指定する命令によって開始されます。Figure 8は、ADC12130/2/8の構成変更例を示しています。

I/Oシーケンス1の期間中、DI上の命令によって、A/Dコンバータの構成を設定し、12ビット+サイン分解能の変換を行います。I/Oシーケンス2と3に、A/Dコンバータが6 CCLK周期のアクイジション命令とサインなしデータアウト命令を受信している時、新しい変換は開始されません。これらの命令受信時のデータ出力は、I/Oシーケンス1で開始した変換Nからのデータです。構成変更の「タイミング図」は、サインなしデータアウト、

サイン付きデータアウト、または6/10/18/34 CCLKアクイジション時間のモード選択に必要なイベント・シーケンスを詳細に示しています。Table 4は、この構成変更を行うためにA/Dコンバータに入力する実データを示しています。A/Dコンバータに次の命令が送られると、12ビット分解能でMSB First、16ビット形式の変換N+1を開始します (Figure 8参照)。このI/Oサイクル中のデータ出力は、変換Nからのデータです。

すべての変換I/Oシーケンスでの、A/DコンバータのSCLKサイクル数は、1つ前の変換I/Oシーケンスで選択されたデータ出力ワード形式により異なります。使用可能な各種形式と分解能は、Table 1を参照してください。Figure 8で、I/Oシーケンス4はサインなし16ビットのMSB First形式であるため、I/Oシーケンス5で必要なSCLK数は16サイクルになります。次のI/Oシーケンスでは、サインなし12ビットのMSB Firstに変更しているため、I/Oシーケンス6で必要なSCLK数は12サイクルになります。

1.3 CSの連続Low状態時における考慮事項

CSを連続してLowに保持する場合、A/Dコンバータが必要とする正確な数のSCLKパルスを送信することが重要になります。正確な数のSCLKパルスを送信しないと、A/Dコンバータとのシリアル通信の同期が取れなくなります。A/Dコンバータに最初に電源を投入した時に、各I/Oシーケンスごとに13個のSCLKパルスを送ります。A/Dコンバータに必要なSCLKパルス数は、デジタル出力ワード長と同じです。デジタル出力ワード長はデータ出力 (DO) フォーマットで設定します。DOフォーマットは変換開始時またはサイン・ビットのオン/オフ時にも変更可能です。下記の表に、各種DOフォーマットに必要なクロック・サイクル数を示します。

DO Format		Number of SCLKs Expected
12-Bit MSB or LSB First	SIGN OFF	12
	SIGN ON	13
16-Bit MSB or LSB first	SIGN OFF	16
	SIGN ON	17

SCLKのパルス誤差によって同期がとれなくなった場合、デバイスの電源を投入しなおして再同期をとるのが最も簡単な方法です。このように、CSを連続してLowに保持した場合、デバイスを容易に再同期化できないことに注意してください。

CSを連続的にLowに保持する場合とCSを切り換え制御する場合では、I/Oの通信に必要なクロック・パルス数が異なります。Figure 7 (Typical Power Supply Sequence) のI/Oシーケンスを例に挙げて説明します。下記の表に各命令で必要なSCLKパルス数を示します。

Instruction	CS Low Continuously	CS Strobed
Auto Cal	13 SCLKs	8 SCLKs
Read Status	13 SCLKs	8 SCLKs
Read Status	13 SCLKs	8 SCLKs
12-Bit + Sign Conv 1	13 SCLKs	8 SCLKs
12-Bit + Sign Conv 2	13 SCLKs	13 SCLKs

アプリケーション情報 (つぎ)

1.4 アナログ入力チャネル選択

チャネル構成も DI ピンへの入力データにより選択します (Table 2 ~ 4 参照)。Figure 8 の場合、チャネルは、I/O シーケンス 1、4、5、6 の期間に限り変更可能です。入力チャネルは、新たな変換の各開始前に再選択されます。Figure 8 の I/O シーケンス 4 で正の入力として CH1、負の入力として CH0 に設定するために必要な DI ピンのデータ・ビット列を A/D コンバータの各バージョンごとに下表に示します。

Part Number	DI Data							
	DI0	DI1	DI2	DI3	DI4	DI5	DI6	DI7
ADC12130 and ADC12132	L	H	L	L	H	L	X	X
ADC12138	L	H	L	L	L	L	H	L

X は論理 High または Low のいずれかになります。

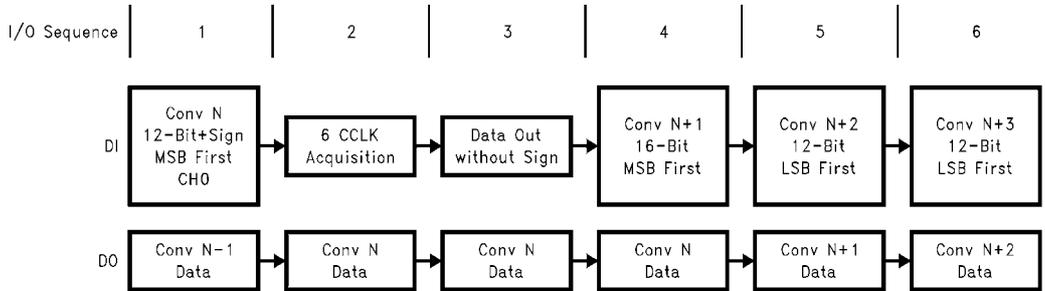


FIGURE 8. Changing the ADC's Conversion Configuration

1.6 ユーザー・モードおよびテスト・モード

A/D コンバータにテスト・モード命令を入力すると、デバイスの機能チェック用にメーカーが使用するテスト・モードになります。テスト・モード中、CH0-CH7 はアクティブ出力になります。CS を連続して Low に保持したまま A/D コンバータを不用意にテスト・モードにすると、A/D コンバータとのシリアル通信の同期が取れなくなります。この場合、A/D コンバータの電源オン / オフ動作で再同期化できます。同時に、この電源オン / オフ動作で A/D コンバータがユーザー・モードになります。シリアル・インタフェースで CS を使用していれば、A/D コンバータに「リード・ステータス・レジスタ」命令を送り、A/D コンバータがどのモードにあるかを確認できます。ステータス・レジスタのビット 9 が High であれば、A/D コンバータはテスト・モードになっており、Low であればユーザー・モードになっています。電源のオン / オフ動作の代わりに命令シーケンスを用い、A/D コンバータをユーザー・モードにも戻せます。この命令シーケンスは CS を使用して A/D コンバータに送ります。下の表に、A/D コンバータをユーザー・モードにリセットする際に必要な命令シーケンスを示します。テスト・モードから復帰するには、テスト・モードとユーザー・モードの両方の値を含むこのシーケンス全体を送る必要があります。

1.5 パワーアップ / パワーダウン

A/D コンバータをパワーダウン状態にするには、PD ピンを High にするか、または DI ピンに「パワーダウン」命令を入力します (Table 4 ~ 5 およびパワーアップ / パワーダウン・タイミング図参照)。これらの方法で A/D コンバータをパワーダウンすると、A/D 変換に必要な内部回路はパワーダウンされ、デジタル I/O 回路はアクティブ状態に保たれます。

ハードウェアによるパワーアップ / パワーダウンは PD ピンの論理状態の設定で制御され、ソフトウェアによるパワーアップ / パワーダウンは A/D コンバータに「パワーアップ / パワーダウン」命令を送って制御されます。ハードウェア的にパワーダウン状態に設定 (PD ピンを High) されている時に、ソフトウェアでパワーアップ命令を送っても、A/D コンバータはパワーダウン状態を保持します。しかし、ハードウェアによってパワーアップ・モードに設定 (PD ピンを Low) している時に、ソフトウェアによってパワーダウン命令を送ると、A/D コンバータはパワーダウン状態に切り換わります。ソフトウェアによってパワーダウンさせている A/D コンバータをパワーアップさせるためには、ソフトウェアのパワーアップ命令を送信するか、あるいは PD ピンを High にしてから Low にします。変換中にパワーダウン命令が入力されると、その変換は中断されパワーアップ後のデータ出力は無意味なデータとなります。

Instruction	DI Data							
	DI0	DI1	DI2	DI3	DI4	DI5	DI6	DI7
TEST MODE	H	X	X	X	H	H	H	H
Reset	L	L	L	L	H	H	H	L
Test Mode Instructions	L	L	L	L	H	L	H	L
USER MODE	L	L	L	L	H	H	H	H
Power Up	L	L	L	L	H	L	H	L
Set DO with or without Sign	H or L	L	L	L	H	H	L	H
Set Acquisition Time	H or L	H or L	L	L	H	H	H	L
Start a Conversion	H or L	H or L	H or L	H or L	L	H or L	H or L	H or L

X = 未定義

ユーザー・モードに戻った後、パワーアップ、サイン付きまたはサインなしデータ、アキュイジション時間の命令を再送する必要があります。これは変換を始める前に A/D コンバータを必要なモードにするために行います。

アプリケーション情報 (つづき)

1.7 変換を開始しない場合のデータ読み出し

I/O シーケンス期間に $\overline{\text{CONV}}$ ラインを High に保持すると、新たな変換を開始せずに特定の $\overline{\text{CONV}}$ 変換データを読み出せます (「タイミング図」のリード・データ参照)。 $\overline{\text{CONV}}$ ピンの設定については Table 5 を参照ください。 $\overline{\text{DOR}}$ が Low になってただちにデータを読み出す必要はありません。 $\overline{\text{DOR}}$ が High になった直後に $\overline{\text{CS}}$ が High になる場合、データは出力レジスタに残ります。 $\overline{\text{CS}}$ が Low になるまでは 1 つの変換を必要な回数だけ読み出すことができます。

1.8 ブラウンアウト条件

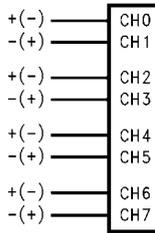
電源電圧が約 2.7V 以下に下がると、較正係数を含むすべての内部レジスタの値が失われる可能性があります。この事象が発生すると、A/D コンバータはパワーが完全に戻った後も予期されたと

おりに動作しないか、まったく動作しなくなります。必要な情報をすべてのレジスタに書き込んで較正を実行するには、すべての動作の復元が必要となる可能性があります。確実な唯一の復元方法は、電源電圧を 0.5V 未満に下げ、A/D コンバータを再度プログラムして、パワーが完全に戻った後に較正を実行することです。

2.0 アナログ・マルチプレクサ

ADC12138 の場合、アナログ入力マルチプレクサは 4 チャネルの差動型構成、8 チャネルのシングルエンド型 (ゼロ基準電位の COM 共通入力ライン付き) 構成、またはこれらの組み合わせによる構成が可能です (Figure 9 参照)。入力電圧幅 (V_{REF}) は、 $V_{\text{REF}+}$ ピンと $V_{\text{REF}-}$ ピン間の電圧差によって決まります。アナログ入力電圧範囲は $0 \sim V_A +$ です。 $V_{\text{IN}-} > V_{\text{IN}+}$ であれば、負のデジタル出力コードが生成されます。 $V_{\text{IN}-}$ または $V_{\text{IN}+}$ の実際の電圧を AGND 以下にしないでください。

4 Differential Channels



8 Single-Ended Channels with COM as Zero Reference

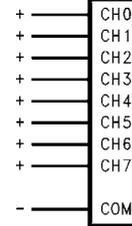
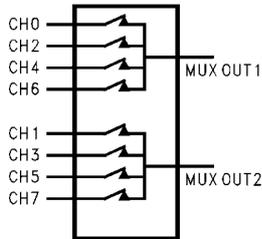


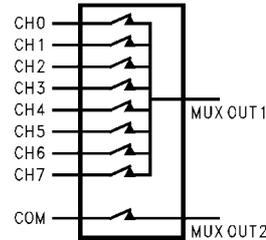
FIGURE 9. Input Multiplexer Options

Differential Configuration



A/DIN1 および A/DIN2 は、+入力または-入力のいずれかに割当て可能

Single-Ended Configuration



A/DIN1 は+入力
A/DIN2 は-入力

FIGURE 10. MUXOUT connections for multiplexer option

差動型のマルチプレクサ構成では、CH0、CH2、CH4、CH6 が MUXOUT1 ピンに、CH1、CH3、CH5、CH7 が MUXOUT2 ピンに割り当てられます。この構成では、アナログ入力チャネルは CH0 と CH1、CH2 と CH3、CH4 と CH5、CH6 と CH7 のペアでグループ化されます。A/DIN1 と A/DIN2 のピンには、正または負の極性割当てが可能です。

シングルエンド型のマルチプレクサ構成では、CH0 ~ CH7 が MUXOUT1 ピンに割り当てられ、COM ピンは常に MUXOUT2 ピンに割り当てられます。A/DIN1 は正の入力、A/DIN2 は負の入力に割り当てられます (Figure 10 参照)。

ADC12130/2/8 のマルチプレクサ割当て表 (Table 2、3) には、A/D コンバータの各バージョンの動作をまとめています。

2.1 各種マルチプレクサ構成におけるバイアス方法

Figure 11 に、シングルエンド動作モードにおけるデバイス接続方法の一例を示します。サイン・ビットは常に Low になります。デジタル出力範囲は "0 0000 0000 0000" から "0 1111 1111 1111" の間になります。1LSB は 1mV (4.1V/4096LSB) に相当します。

アプリケーション情報 (つづき)

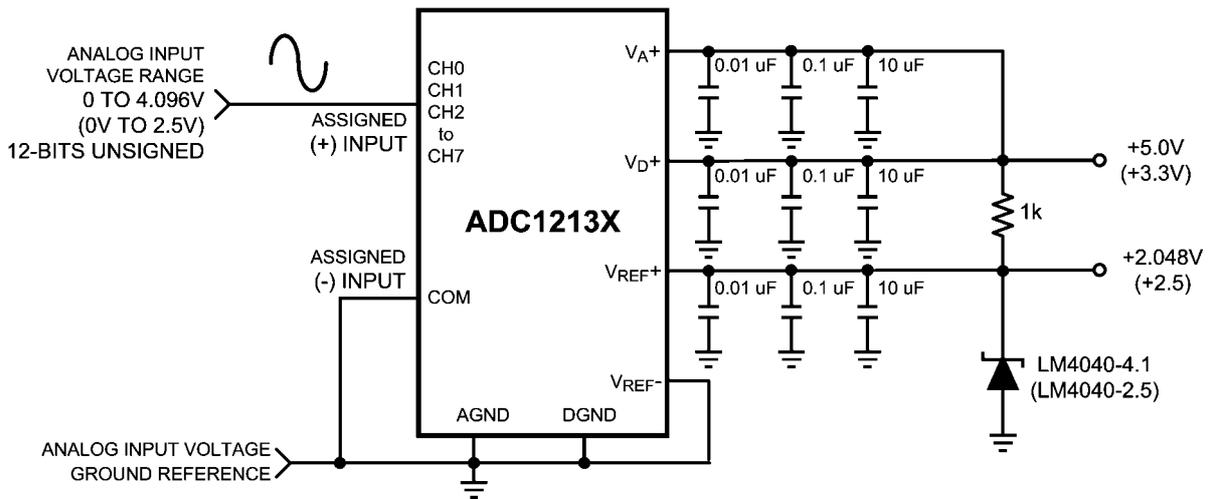


FIGURE 11. Single-Ended Biasing

Figure 12 に疑似差動モード (サイン付き) のバイアス回路を示します。ここでは信号源が A/D コンバータに直接 AC 結合されています。このデジタル出力範囲は - 4096 ~ + 4095 の間になります。2.5V の基準電圧の場合、1LSB は 610 μ V に等しくなります。製造時のテストは 2.5V の基準電圧で実施されていませんが、 V_{A+} と V_{D+} が + 5.0V の時、直線性誤差の変化は 0.1LSB (typ) 以内となっています (「代表的な性能特性」の曲線グラフ参照)。A/D コンバータのアクイジション時間を 10 クロック周期に設定する

と、必要な入力バイアス抵抗は 600 Ω 以下になります。ただし、容量が十分大きな入力カップリング・コンデンサを用い、ハイパス遮断周波数を得る必要があります。アクイジション時間を 34 クロック周期に設定すると (CCLK 周波数が 5MHz)、入力バイアス抵抗を 600 Ω から 6k Ω に増やせ、26Hz のハイパス遮断周波数が設定できます。 R_1 を 6k Ω に増やすと、1 μ F のカップリング・コンデンサを使用して R_2 を 2k Ω にできます。

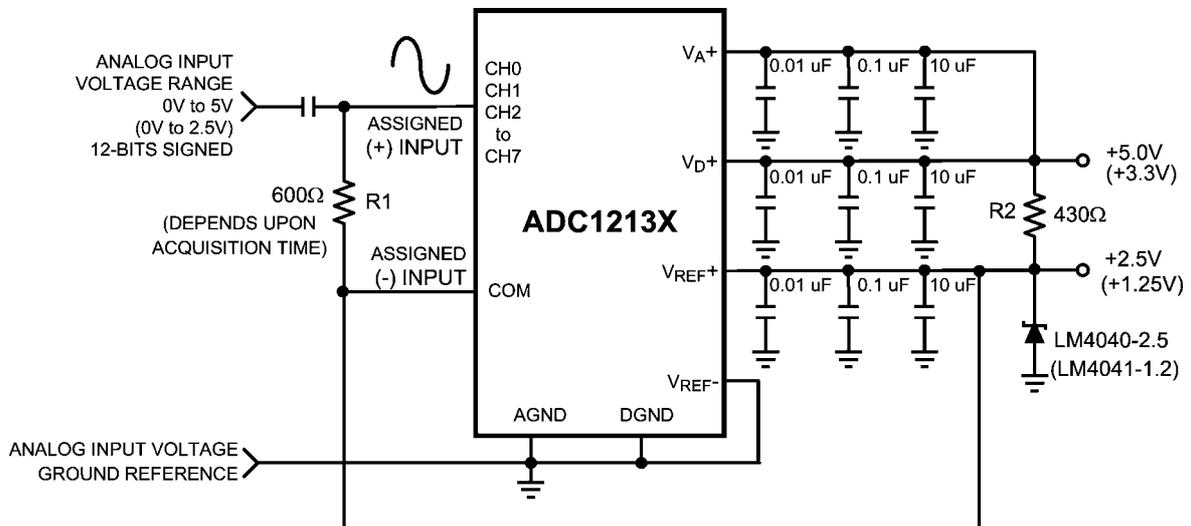


FIGURE 12. Pseudo-Differential Biasing with the Signal Source AC Coupled Directly into the ADC

疑似差動モードのもう一つのバイアス例として、LM4040 の + 2.5V 基準電圧を用い、A/D コンバータ駆動用のアンプ回路にバイアスをかける方法があります (Figure 13 参照)。LM4040-2.5 バイアス用のプルアップ抵抗値は、オペアンプのバイアス回路の電流で決まります。

Figure 13 の回路では、アンプが + 5V 単一電源で + 5V と GND 間でスイングできないために電圧範囲の一部が失われます。

Figure 14 に示すように、可変バージョンの LM4041 を使用してフルスケール電圧をちょうど 2.048V にセットし、低グレードの LM4040D-2.5 で全体を 2.5V にバイアスすれば、アンプに十分な余裕を残しながら A/D コンバータのデジタル出力範囲を - 4096 から + 4095 まですべて使用可能になります。

Figure 15 に完全差動モードにおける回路例を示します。この構成の場合、1LSB は 1mV (4.1V/4096LSB) に等しくなります。

アプリケーション情報 (つぎ)

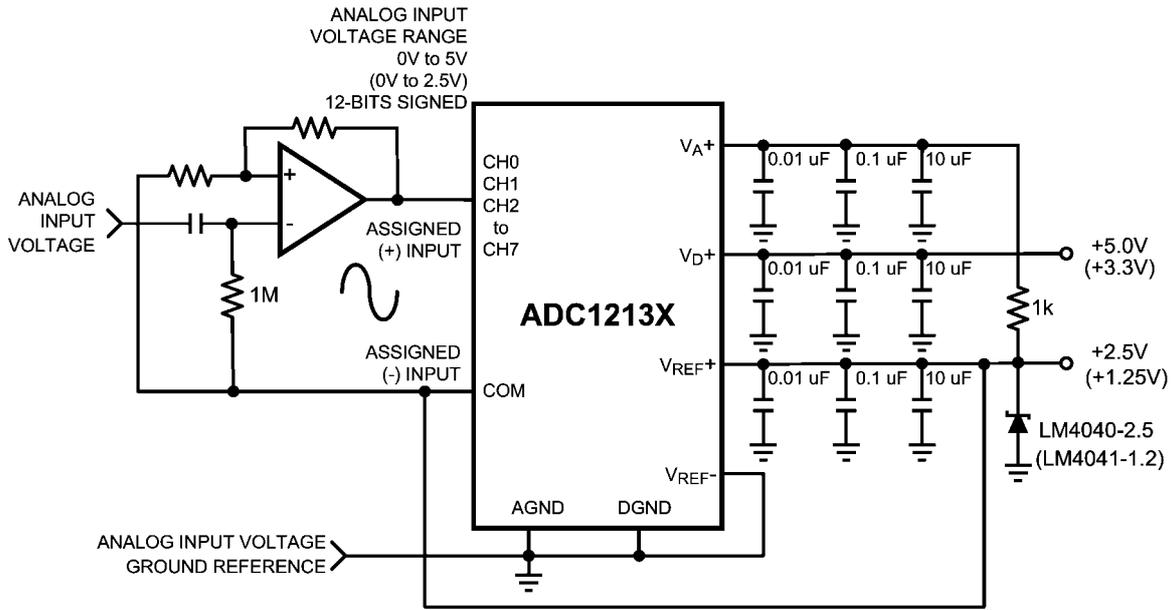


FIGURE 13. Alternative Pseudo-Differential Biasing

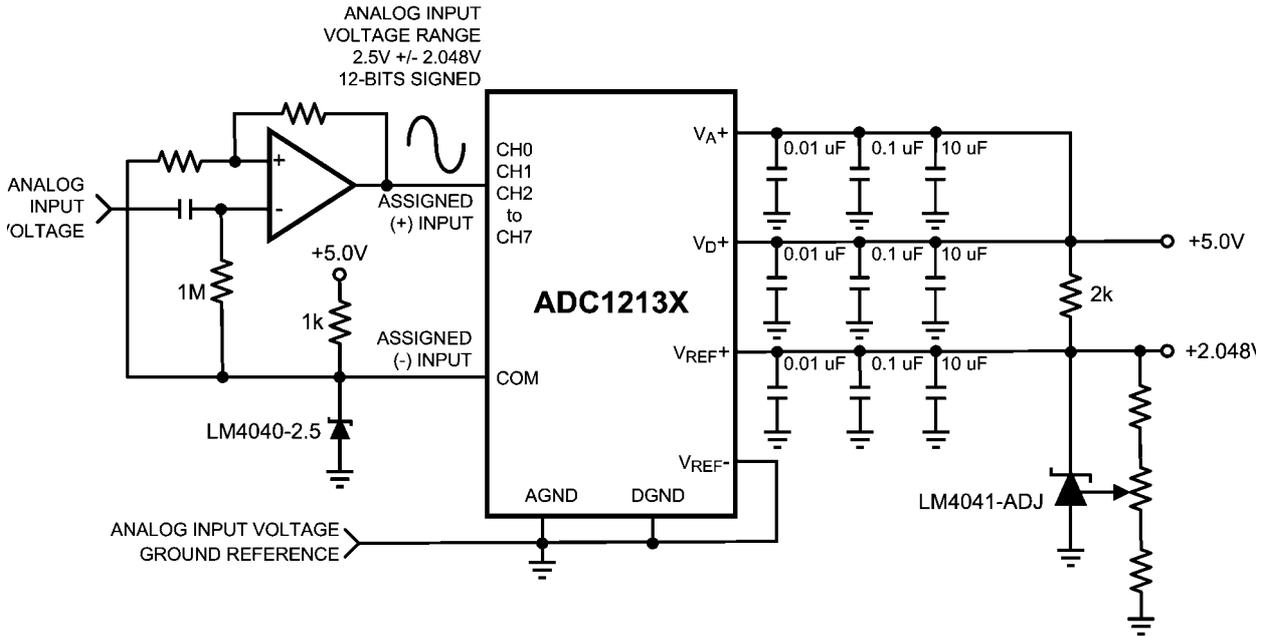


FIGURE 14. Pseudo-Differential Biasing without the Loss of Digital Output Range

アプリケーション情報 (つぎ)

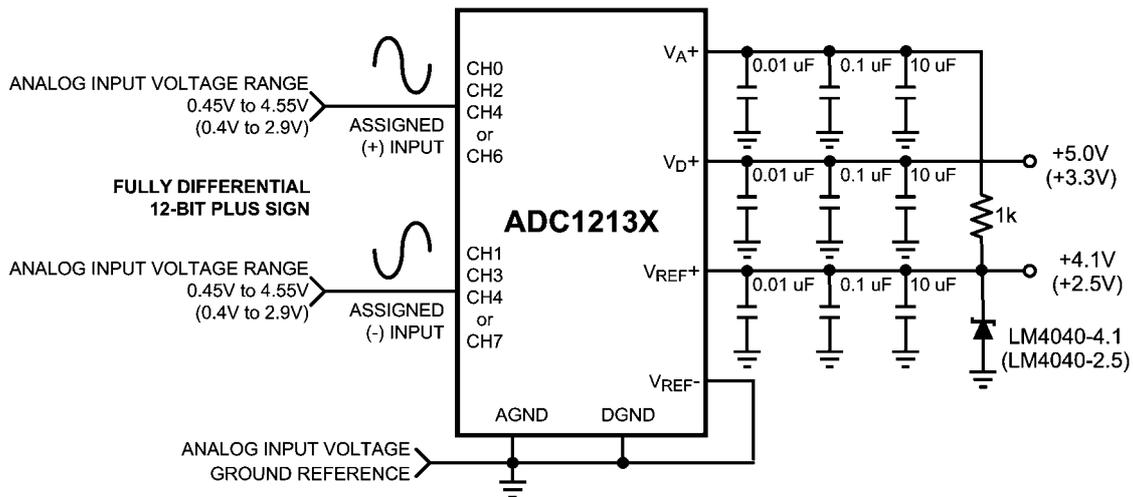
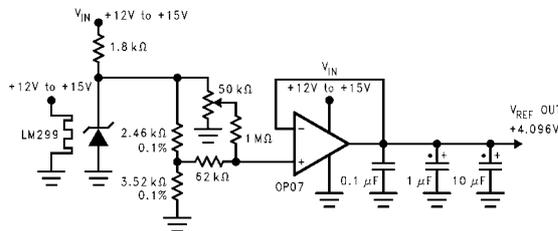


FIGURE 15. Fully Differential Biasing

3.0 基準電圧

V_{REF+} と V_{REF-} の電圧差により、アナログ入力電圧幅が決まります。アナログ入力電圧幅とは、2つのマルチプレクサ入力間の電圧差、またはマルチプレクサ入力の1つとアナログ・グラウンド間の電圧差をいいます。この電圧幅範囲で4095種の正コード、4096種の負コードが使用されます。 V_{REF+} と V_{REF-} の駆動には、超低出力インピーダンスを備えノイズ特性に優れた電圧源を使用します。Figure 16の回路は、A/Dコンバータに適した安定性の高い基準電圧回路例です。



* タンタル

FIGURE 16. Low Drift Extremely Stable Reference Circuit

ADC12130/2/8は、相対精度または絶対精度のアプリケーションのいずれかで使用できます。相対精度のシステムでは、アナログ入力電圧はA/Dコンバータの基準電圧として使用する電圧に比例します。この電圧をシステム電源とする場合、 V_{REF+} ピンを V_A+ に接続し、 V_{REF-} ピンをグラウンドに接続します。この手法を用いると、アナログ入力電圧とA/Dコンバータの基準電圧が同時に変動するため、システム基準電圧の安定条件が緩和し、一定の入力条件に対して同一の出力コードが維持できます。アナログ入力電圧が特定の電圧リミット値間で変動する絶対精度のシステムでは、経年変化に対して安定した電圧源を基準電圧入力ピンに接続します。一般に、基準電圧の大きさに応じて初期調整を行い、フルスケール誤差を起こす基準電圧を無効にする必要があります。

下記の表に、推奨される基準電圧回路とその主な仕様を示します。

Part Number	Output Voltage Tolerance	Temperature Coefficient
LM4041CI-Adj	±0.5%	±100ppm/°C
LM4040AI-4.1	±0.1%	±100ppm/°C
LM4120AI-4.1	±0.2%	±50ppm/°C
LM4121AI-4.1	±0.2%	±50ppm/°C
LM4050AI-4.1	±0.1%	±50ppm/°C
LM4030AI-4.1	±0.05%	±10ppm/°C
LM4040AI-4.1	±0.1%	±3.0ppm/°C
Circuit of Figure 16	Adjustable	±2ppm/°C

基準電圧入力は、完全な差動型ではありません。ADC12130/2/8は、 V_{REF+} が V_{REF-} 以下の場合、変換や比較を正確に行いません。正確な変換を行うためには、 V_{REF+} と V_{REF-} 間の電圧差が1V以上で、常にグラウンドと V_A+ 間の電圧範囲内に設定する必要があります。 V_{REF} の同相電圧範囲($V_{REF+} + V_{REF-}$)/2は、 $(0.1 \times V_A+)$ ~ $(0.6 \times V_A+)$ の間です。したがって $V_A+ = 5V$ の場合、リファレンス・ラダーの中心電圧は0.5V ~ 3.0Vの範囲内になります。Figure 17のグラフは、 V_{REF+} と V_{REF-} の動作電圧範囲を示しています。

アプリケーション情報 (つづき)

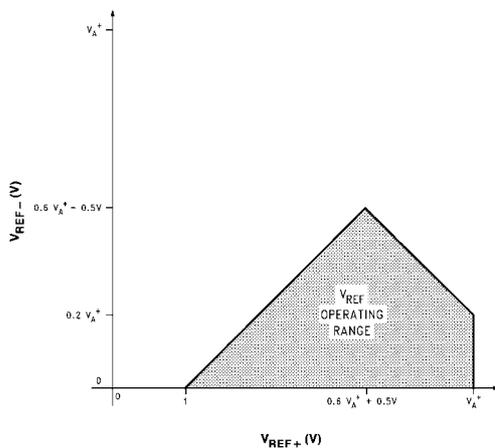


FIGURE 17. V_{REF} Operating Range

4.0 アナログ入力電圧範囲

ADC12130/2/8 の完全差動型 A/D コンバータは、下記の式から求められる 2 の補数形式の出力を生成します。

(12 ビット) 分解能の場合、出力コード=

$$\frac{(V_{IN}^+ - V_{IN}^-) (4096)}{(V_{REF}^+ - V_{REF}^-)}$$

上記の式の計算結果が整数にならない場合は、- 4096 ~ 4095 の間の最も近い整数値になります (下記の表参照)。

V_{REF}^+	V_{REF}^-	V_{IN}^+	V_{IN}^-	Code Output Digital
+2.5V	+1V	+1.5V	0V	0,1111,1111,1111
+4.096V	0V	+3V	0V	0,1011,1011,1000
+4.096V	0V	+2.499V	+2.500V	1,1111,1111,1111
+4.096V	0V	0V	+4.096V	1,0000,0000,0000

5.0 入力電流

アキュイジション・ウィンドウ (t_A) の開始時、入力電圧の極性に応じて、充電電流がアナログ入力ピン (A/DIN1 および A/DIN2) に流れ込むか、またはこれらの入力ピンから流れ出します。A/DIN1 が MUXOUT1 に、A/DIN2 が MUXOUT2 に接続されていれば、CH0-CH7 と COM がアナログ入力ピンになります。この入力電流のピーク値は、実際に印加する入力電圧、信号源インピーダンスおよび内部マルチプレクサのオン抵抗によって決まります。MUXOUT1 と A/DIN1、MUXOUT2 と A/DIN2 を接続している場合、内部マルチプレクサのオン抵抗は 1.6k (typ)、A/DIN1 と A/DIN2 のマルチプレクサ・オン抵抗は 750 (typ) です。

6.0 入力信号源抵抗

低インピーダンスの電圧信号源 (< 600) の場合、 $2\mu s$ ($f_{CK} = 5MHz$ で 10 CCLK 周期) のサンプル/ホールド (S/H) のアキュイジション時間終了前に、入力充電電流は変換誤差を生じない値まで低下します。高インピーダンスの電圧信号源の場合、S/H のアキュイジション時間は 18 または 34 CCLK 周期まで増加できます。A/D コンバータの精度が低い場合または CCLK 周波数が低い場合は、S/H のアキュイジション時間を 6 CCLK 周期まで低下できま

す。各分解能の特定信号源インピーダンスに対応したアキュイジション時間に必要なクロック周波数 (N_C) は、次の式を用いて求めることができます。

$$12 \text{ ビット+サイン } N_C = [R_S + 2.3] \times f_{CK} \times 0.824$$

f_{CK} は変換クロック (CCLK) 周波数 (単位 MHz)、 R_S は外付け信号源抵抗 (単位 k) です。例えば、A/D コンバータを 12 ビット+サイン、5MHz のクロック周波数、34CCLK クロック周期の最大アキュイジション時間で動作させると、アナログ入力は 6k までの信号源インピーダンスに対応可能になります。また、MUXOUT ピンと A/DIN ピン間に接続した外付け回路のセッティング時間や応答時間の補正のためにアキュイジション時間を増やすことも可能です。

アキュイジション時間は SCLK の立ち下がりエッジで開始し、CCLK の立ち上がりエッジで終了します (「タイミング図」参照)。SCLK と CCLK が非同期の場合、同期を取るために、さらに 1CCLK クロックをプログラム済みのアキュイジション時間に挿入します。したがって、SCLK と CCLK が非同期であれば、変換ごとにアキュイジション時間が変動します。

7.0 入力バイパス・コンデンサ

外付けコンデンサ (0.01 μF - 0.1 μF) をアナログ入力ピン (CH0 - CH7) とアナログ・グラウンド間に接続し、長い入力リード線が原因で生じる誘導性ピックアップ・ノイズをフィルタ除去できます。これらのコンデンサの接続により変換精度が低下することはありません。

8.0 ノイズ

アナログ・マルチプレクサの各入力ピンへのリードはできるだけ短くしてください。これにより変換誤差を起こす入力ノイズとクロック周波数のカップリングを最小限に抑えられます。入力フィルタを使用すると信号源ノイズの影響を軽減できます。

9.0 電源

V_A + および V_D + の電源ライン上のノイズ・スパイクにより、変換誤差が生じる場合があります。これは、コンバータがノイズに反応するためです。A/D コンバータは、Auto Zero や直線性誤差の補正処理期間に発生する電源スパイクに特に敏感に反応します。最小限の電源用バイパス・コンデンサとして、低インダクタンスのタンタル・コンデンサ (10 μF 以上) を 0.1 μF のモノリシック・セラミック・コンデンサに並列接続して使用することを推奨します。システム全体の必要条件によっては、さらにバイパスが必要になったり、別のバイパス方法が必要になります。 V_A + および V_D + の電源用には別々のバイパス・コンデンサを使用し、これらの電源ピンのできるだけ近くに配置してください。

10.0 接地

最適な接地手法を用いれば、ADC12130/2/8 の性能を最大限に高められます。この方法では、ボード上でアナログとデジタルの領域を別個に設け、構成部品と配線をアナログとデジタルに分けてそれぞれの領域に配置します。最適な性能を得るために電源ピンごとに、バイパス・コンデンサとして 0.01 μF および 0.1 μF の表面実装コンデンサ、10 μF のコンデンサを推奨します。これらのコンデンサは、実際にバイパスするピンのできるだけ近くに配置します。特に、値の小さいほうのコンデンサを近くに置きます。

11.0 クロック信号ラインからの隔離

ADC12130/2/8 の性能を最適化するためには、アナログ入出力信号ラインや基準電圧源は CCLK ピンや SCLK ピンに入力するクロック信号源からできるだけ離して経路設定を行います。リファレンス・プレーン上でクロック配線の高さの 7 ~ 10 倍以上、相互に引き離すことを推奨します。

アプリケーション情報 (つづき)

12.0 キャリブレーション・サイクル

キャリブレーション・サイクルは、電源投入直後に電源、基準電圧、クロックが安定するまで十分な時間が経過してから開始することが必要です。キャリブレーション・サイクルでは、サンプリングされたデータ・コンバータのオフセット電圧および直線性誤差とゲイン誤差に対する補正値を求めます。これらの値は内部 RAM に格納され、総合的なフルスケール誤差、オフセット誤差、直線性誤差を規定リミット値に戻すために A/D 変換時に使用します。フルスケール誤差の変動は全温度範囲で ± 0.4LSB (typ) になり、直線性誤差の変動は ± 0.4LSB 以下になります。このため、電源電圧と周囲温度が大きく変わらなければ、パワーアップ後に一度だけキャリブレーション・サイクルに入れば十分です (「代表的な性能特性」の特性曲線を参照)。

13.0 Auto Zero サイクル

A/D コンバータのゼロ (オフセット) 誤差の変動は、Auto Zero サイクルで補正します。周囲温度または電源電圧が大きく変化する時には、必ず Auto Zero サイクルを開始する必要があります (「代表的な性能特性」の “Offset or Zero Error Change vs. Ambient Temperature” および “Offset or Zero Error Change vs. Supply Voltage” の曲線グラフを参照)。

14.0 ダイナミック特性

多くのアプリケーションでは、AC 信号をデジタル変換するための A/D コンバータが必要です。しかし、標準的な DC 特性の積分や微分の非直線性だけでは、AC 入力信号に対する A/D コンバータの性能を正確に予測できません。AC アプリケーションで重要となる仕様は、大きなスペクトル誤差がなく、デジタル信号にノイズが加わらずに、AC 信号をデジタル変換する A/D コンバータの機能です。信号対ノイズ比 (S/N)、信号対ノイズ+歪み比 (S/(N + D))、有効ビット、全出力帯域幅、アパーチャ・タイム、

アパーチャ・ジッタなどのダイナミック特性は、A/D コンバータの機能を測定する上で数量的な目安となります。

A/D コンバータの AC 性能は、高速フーリエ変換 (FFT) 方式を用いて測定できます。この場合、A/D コンバータに正弦波を入力すると、デジタル波形への変換が行われます。その結果得られる FFT データから、S/(N + D) 比と SN 比が算出でき、スペクトルプロットも得られます。SN 比の typ を「電気的特性」の表に示します。S/(N + D) 比のスペクトルプロットの曲線を「代表的な性能特性」に示します。

A/D コンバータのノイズおよび歪みレベルは、入力信号の周波数によって変動し、信号周波数が高くなるとノイズや歪みが多くなります。これは、「S/(N + D) 比対周波数」の曲線グラフから明らかです。また、これらのグラフから、全出力帯域幅 (S/(N + D) 比や SN 比が 3dB 低下する周波数) の指標もわかります。

また、有効ビット数は A/D コンバータのノイズ特性を調べる上で役立ちます。理想的な A/D コンバータは分解能によって決まる一定量の量子化ノイズを持ち、次式から最適な S/(N + D) 比が得られます。

$$S/(N + D) = (6.02 \times n + 1.76) \text{ dB}$$

n はビット数で A/D コンバータの分解能です。

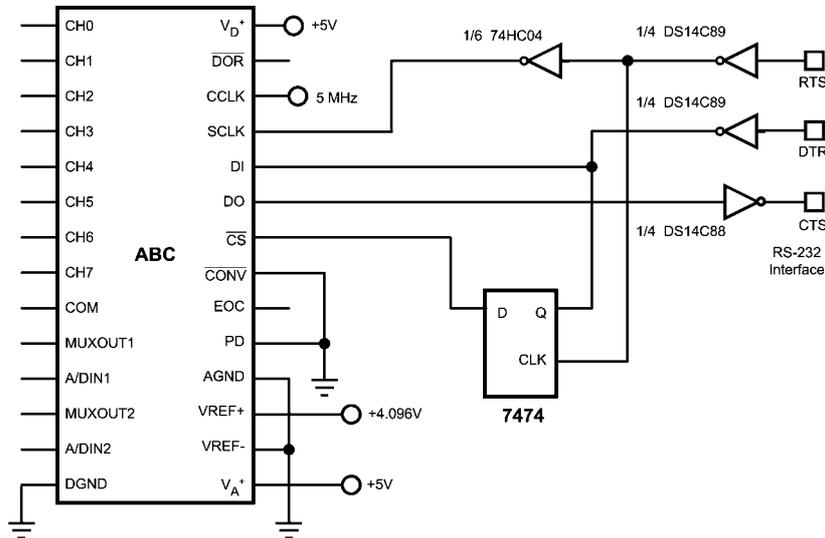
実際の A/D コンバータの有効ビットは次式から算出できます。

$$n (\text{有効ビット}) = \text{ENOB} = (S/(N + D) - 1.76) / 6.02$$

例えば、このデバイスでは差動型サイン付き 5V、1kHz の正弦波信号を入力した場合の S/(N + D) 比は 77dB (typ) になります。これは、有効ビット数 12.5 に相当します。

15.0 RS232 シリアル・インタフェース

下記の回路図は、IBM-PC とその互換機に対する RS232 インタフェースの接続を示しています。DTR、RTS、CTS の各 RS232 信号ラインは、レベル・トランスレータを介してバッファされ、それぞれ ADC12138 の DI、SCLK、DO の各ピンに接続されています。D フリップフロップは、CS 信号の生成に使用されます。



Note: ADC12138 の V_A +、V_D +、V_{REF} + の各ピンは、それぞれ 0.01 μF、0.1 μF のチップ・コンデンサおよび 10 μF のタンタル・コンデンサを並列接続してバイパスされます。すべてのロジック・デバイスは、0.1 μF のコンデンサを並列接続してバイパスされます。

下記の表に RS232 ポートの割当てを示します。

			B7	B6	B5	B4	B3	B2	B1	B0
COM1	Input Address	3FE	X	X	X	CTS	X	X	X	X
	Output Address	3FC	X	X	X	0	X	X	RTS	DTR

アプリケーション情報 (つづき)

Microsoft の QuickBasic で記述したサンプル・プログラムを以下に示します。プログラムでは、まず A/D コンバータに送るモード選択命令データの入力を求めるプロンプトが表示されます。このデータは、前記の “ Mode Programming ” 表を参照して、DI0 から “ 1 ” と “ 0 ” で入力します。次に、指定したモード選択命令に必要な SCLK サイクル数の入力を求めるプロンプトが表示されます。例えば、オール “ 0 ” を A/D コンバータに送ると、CH0 (+入力)、CH1 (-入力)、12 ビット変換、13 ビット MSB First データ出力形式 (サイン・ビットが前の命令でオフになっていなかった場合) が選択されます。この場合、出力データ形式が 13 ビットなので、13 SCLK 周期が必要です。

A/D コンバータは、No Auto Cal、No Auto Zero、10CCLK のアキュジション時間、12 ビット変換、サイン付きデータ・アウト、パワーアップ・モード、12 ビットまたは 13 ビット MSB First、ユーザー・モードでパワーアップします。これらのデフォルト設定は、Auto Cal、Auto Zero、Power Up、Power Down 命令によって変更されません。以下のパワーアップ手順に従ってください。

1. プログラムを実行します。
2. プロンプトに対して入力を行う前に、ADC12138 の電源を投入します。
3. プログラムのプロンプトに対して入力します。

ADC12138 には最初に Auto Cal 命令を送ります (1.1 「インタフェースの概念」参照)。

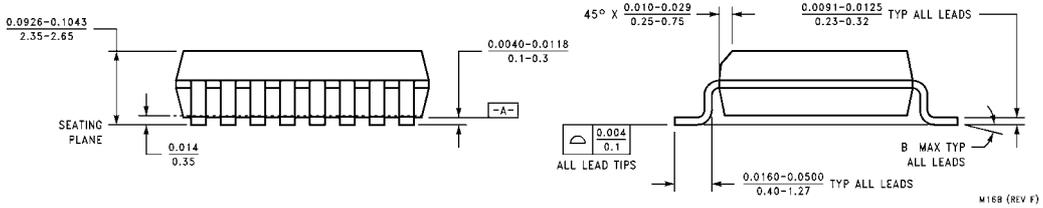
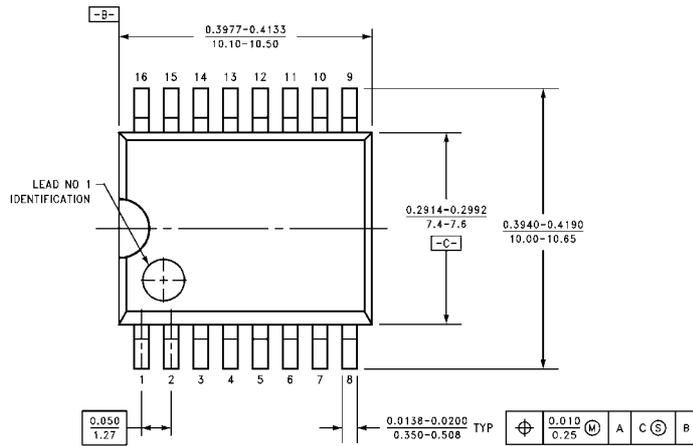
コードリスト

```

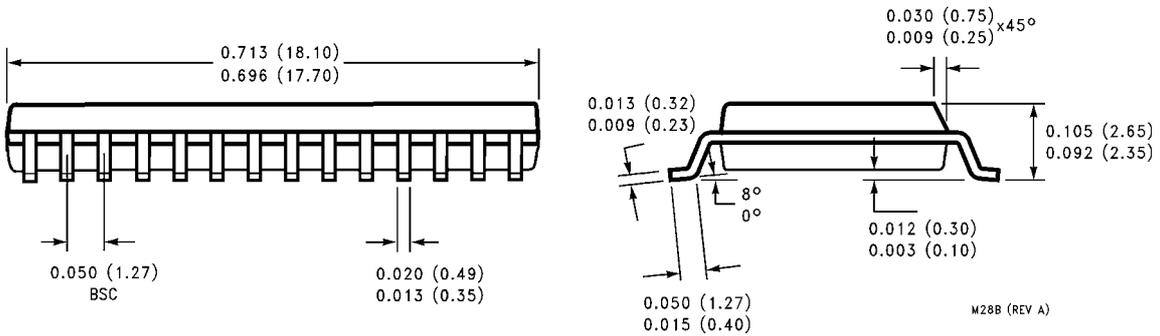
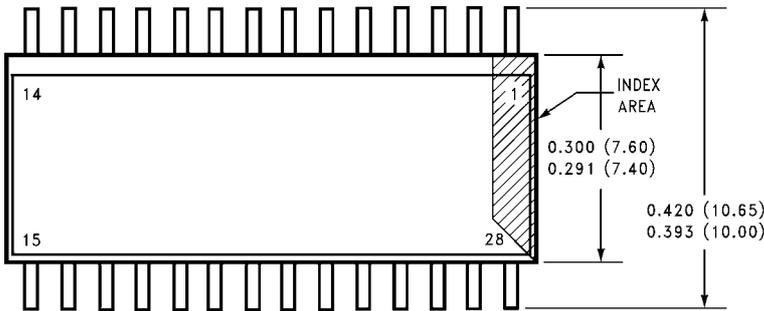
'variables DOL=Data Out word length, DI=Data string for the DI input,
'          DO=ADC result string
'SET CS# HIGH
OUT &H3FC, (&H2 OR INP (&H3FC))          'set RTS HIGH
OUT &H3FC, (&HFE AND INP(&H3FC))        'SET DTR LOW
OUT &H3FC, (&HFD AND INP (&H3FC))      'SET RTS LOW
OUT &H3FC, (&HEF AND INP(&H3FC))        'set B4 low
10
LINE INPUT "DI data for ADC12138 (see Mode Table on data sheet)"; DI$
INPUT "ADC12138 output word length (12,13,16 or 17)"; DOL
20
'SET CS# HIGH
OUT &H3FC, (&H2 OR INP (&H3FC))          'set RTS HIGH
OUT &H3FC, (&HFE AND INP(&H3FC))        'SET DTR LOW
OUT &H3FC, (&HFD AND INP (&H3FC))      'SET RTS LOW
'SET CS# LOW
OUT &H3FC, (&H2 OR INP (&H3FC))          'set RTS HIGH
OUT &H3FC, (&H1 OR INP(&H3FC))          'SET DTR HIGH
OUT &H3FC, (&HFD AND INP (&H3FC))      'SET RTS LOW
DO$=" "                                   'reset DO variable
      OUT &H3FC, (&H1 OR INP(&H3FC))          'SET DTR HIGH
      OUT &H3FC, (&HFD AND INP(&H3FC))      'SCLK low
FOR N = 1 TO 8
  Temp$ = MID$(DI$, N, 1)
  IF Temp$="0" THEN
    OUT &H3FC, (&H1 OR INP(&H3FC))
  ELSE OUT &H3FC, (&HFE AND INP(&H3FC))
  END IF
  OUT &H3FC, (&H2 OR INP(&H3FC))          'out DI
  IF (INP(&H3FE) AND 16) = 16 THEN        'SCLK high
    DO$ = DO$ + "0"
  ELSE
    DO$ = DO$ + "1"
  END IF
  OUT &H3FC, (&H1 OR INP(&H3FC))          'Input DO
  OUT &H3FC, (&HFD AND INP(&H3FC))      'SET DTR HIGH
  OUT &H3FC, (&HFD AND INP(&H3FC))      'SCLK low
NEXT N
IF DOL > 8 THEN
  FOR N=9 TO DOL
    OUT &H3FC, (&H1 OR INP(&H3FC))          'SET DTR HIGH
    OUT &H3FC, (&HFD AND INP(&H3FC))      'SCLK low
    OUT &H3FC, (&H2 OR INP(&H3FC))      'SCLK high
    IF (INP(&H3FE) AND &H10) = &H10 THEN
      DO$ = DO$ + "0"
    ELSE
      DO$ = DO$ + "1"
    END IF
  NEXT N
END IF
OUT &H3FC, (&HFA AND INP(&H3FC))          'SCLK low and DI high
FOR N = 1 TO 500
NEXT N
PRINT DO$
INPUT "Enter "C" to convert else "RETURN" to alter DI data"; s$
IF s$ = "C" OR s$ = "c" THEN
GOTO 20
ELSE
GOTO 10
END IF
END

```

外形寸法図 特記のない限り inches (millimeters)

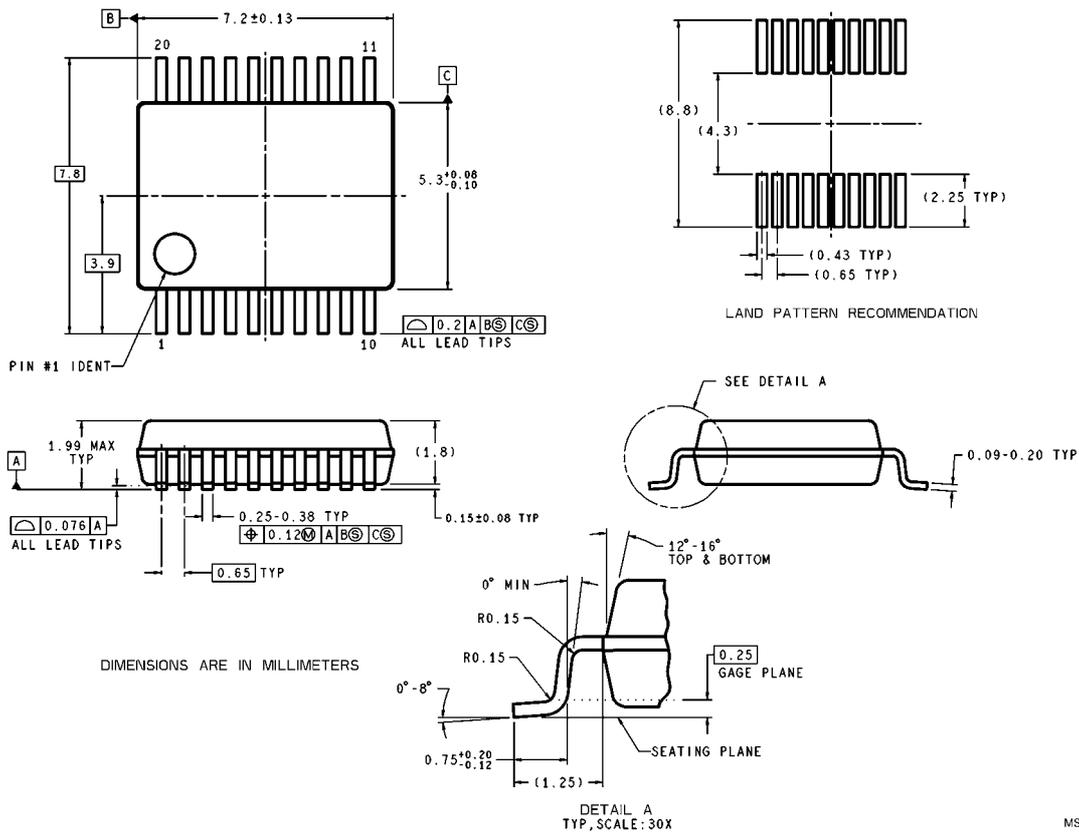


Order Number ADC12130CIWM
NS Package Number M16B

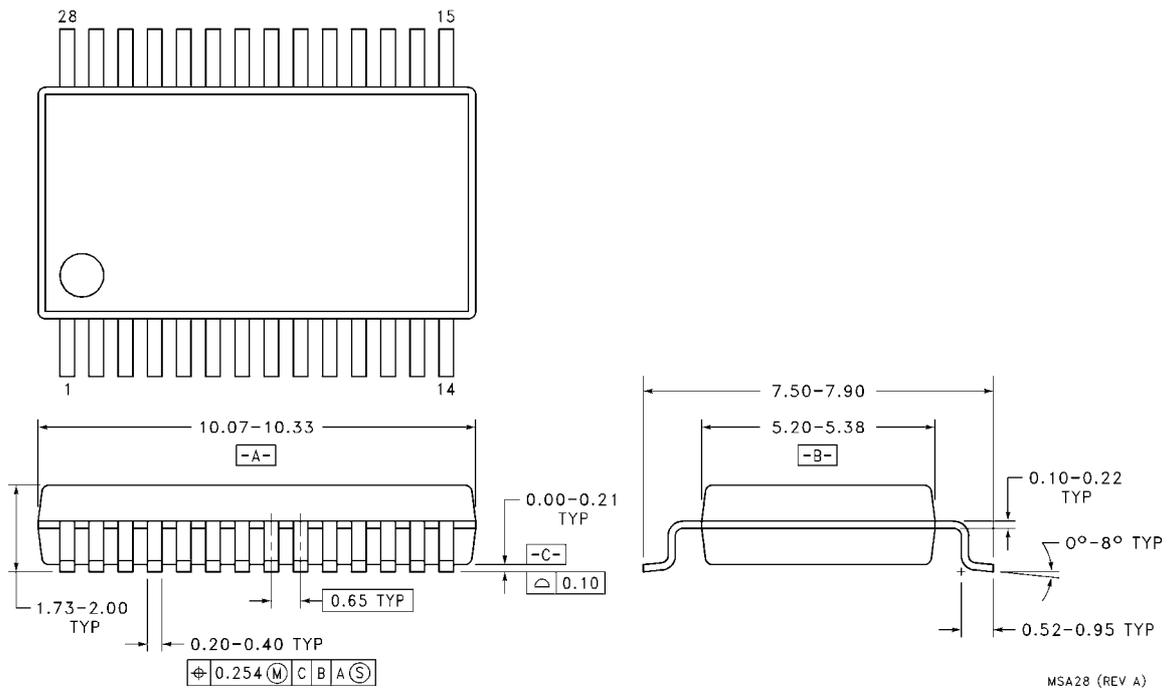


Order Number ADC12138CIWM
NS Package Number M28B

外形寸法図 特記のない限り inches (millimeters) (つぎ)

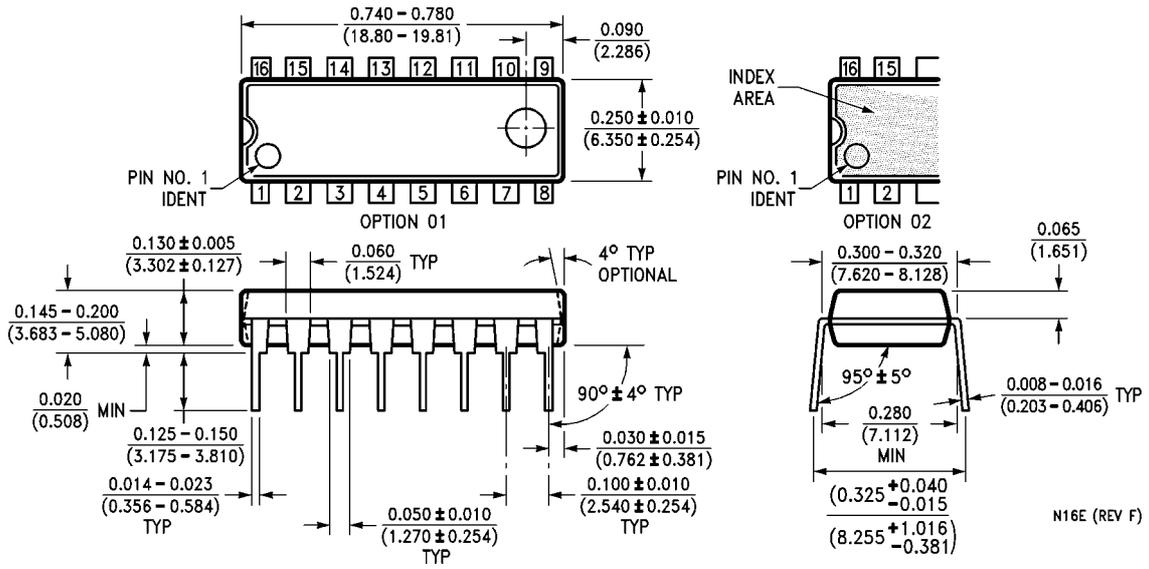


Order Number ADC12132CIMS A
NS Package Number MSA20
単位は millimeters

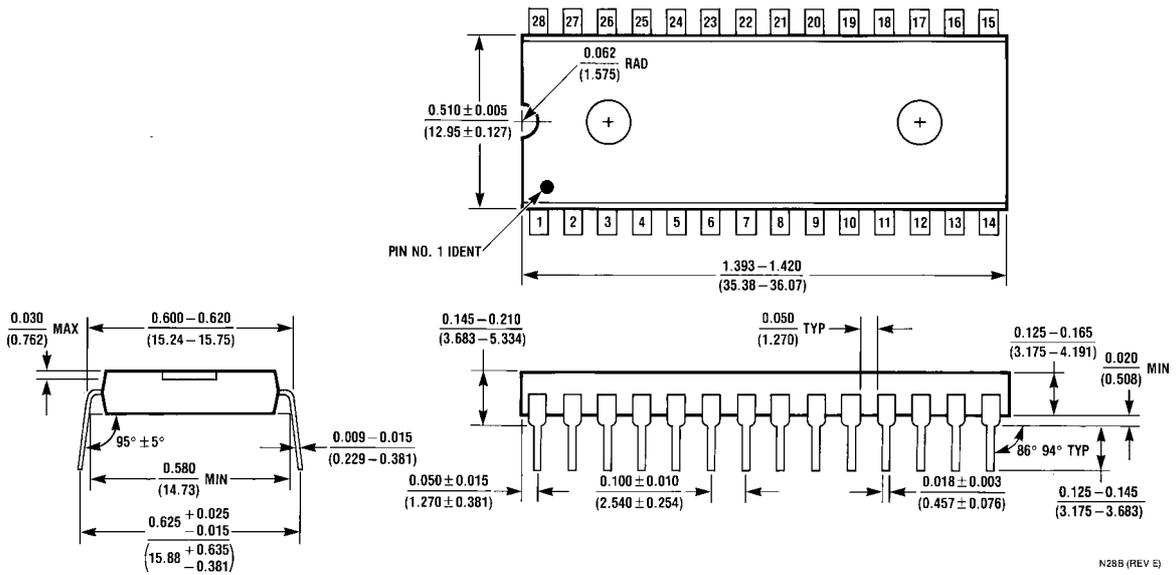


Order Number ADC12138CIMS A
NS Package Number MSA28

外形寸法図 特記のない限り inches (millimeters) (つづき)



Order Number ADC12130CIN
NS Package Number N16E



Order Number ADC12138CIN
NS Package Number N28B

このドキュメントの内容はナショナル セミコンダクター社製品の関連情報として提供されます。ナショナル セミコンダクター社は、この発行物の内容の正確性または完全性について、いかなる表明または保証もいたしません。また、仕様と製品説明を予告なく変更する権利を有します。このドキュメントはいかなる知的財産権に対するライセンスも、明示的、黙示的、禁反言による惹起、またはその他を問わず、付与するものではありません。

試験や品質管理は、ナショナル セミコンダクター社が自社の製品保証を維持するために必要と考える範囲に用いられます。政府が課す要件によって指定される場合を除き、各製品のすべてのパラメータの試験を必ずしも実施するわけではありません。ナショナル セミコンダクター社は製品適用の援助や購入者の製品設計に対する義務は負いかねます。ナショナル セミコンダクター社の部品を使用した製品および製品適用の責任は購入者にあります。ナショナル セミコンダクター社の製品を用いたいかなる製品の使用または供給に先立ち、購入者は、適切な設計、試験、および動作上の安全手段を講じなければなりません。

それら製品の販売に関するナショナル セミコンダクター社との取引条件で規定される場合を除き、ナショナル セミコンダクター社は一切の義務を負わないものとし、また、ナショナル セミコンダクター社の製品の販売が使用、またはその両方に関連する特定目的への適合性、商品の機能性、ないしは特許、著作権、または他の知的財産権の侵害に関連した義務または保証を含むいかなる表明または黙示的保証も行いません。

生命維持装置への使用について

ナショナル セミコンダクター社の製品は、ナショナル セミコンダクター社の最高経営責任者 (CEO) および法務部門 (GENERAL COUNSEL) の事前の書面による承諾がない限り、生命維持装置または生命維持システム内のきわめて重要な部品に使用することは認められていません。

ここで、生命維持装置またはシステムとは (a) 体内に外科的に使用されることを意図されたもの、または (b) 生命を維持あるいは支持するものをいい、ラベルにより表示される使用方法に従って適切に使用された場合に、これの不具合が使用者に身体的障害を与えると予想されるものをいいます。重要な部品とは、生命維持にかかわる装置またはシステム内のすべての部品をいい、これの不具合が生命維持用の装置またはシステムの不具合の原因となりそれらの安全性や機能に影響を及ぼすことが予想されるものをいいます。

National Semiconductor とナショナル セミコンダクターのロゴはナショナル セミコンダクター コーポレーションの登録商標です。その他のブランドや製品名は各権利所有者の商標または登録商標です。

Copyright © 2009 National Semiconductor Corporation
製品の最新情報については www.national.com をご覧ください。

ナショナル セミコンダクター ジャパン株式会社

本社 / 〒 135-0042 東京都江東区木場 2-17-16 TEL.(03)5639-7300

技術資料 (日本語 / 英語) はホームページより入手可能です。

www.national.com/jpn/

ご注意

日本テキサス・インスツルメンツ株式会社（以下TIJといいます）及びTexas Instruments Incorporated（TIJの親会社、以下TIJないしTexas Instruments Incorporatedを総称してTIといいます）は、その製品及びサービスを任意に修正し、改善、改良、その他の変更をし、もしくは製品の製造中止またはサービスの提供を中止する権利を留保します。従いまして、お客様は、発注される前に、関連する最新の情報を取得して頂き、その情報が現在有効かつ完全なものであるかどうかをご確認下さい。全ての製品は、お客様とTIJとの間取引契約が締結されている場合は、当該契約条件に基づき、また当該取引契約が締結されていない場合は、ご注文の受諾の際に提示されるTIJの標準販売契約約款に従って販売されます。

TIは、そのハードウェア製品が、TIの標準保証条件に従い販売時の仕様に対応した性能を有していること、またはお客様とTIJとの間で合意された保証条件に従い合意された仕様に対応した性能を有していることを保証します。検査およびその他の品質管理技法は、TIが当該保証を支援するのに必要とみなす範囲で行なわれております。各デバイスの全てのパラメーターに関する固有の検査は、政府がそれ等の実行を義務づけている場合を除き、必ずしも行なわれておりません。

TIは、製品のアプリケーションに関する支援もしくはお客様の製品の設計について責任を負うことはありません。TI製部品を使用しているお客様の製品及びそのアプリケーションについての責任はお客様にあります。TI製部品を使用したお客様の製品及びアプリケーションについて想定される危険を最小のものとするため、適切な設計上および操作上の安全対策は、必ずお客様にてお取り下さい。

TIは、TIの製品もしくはサービスが使用されている組み合わせ、機械装置、もしくは方法に関連しているTIの特許権、著作権、回路配置利用権、その他のTIの知的財産権に基づいて何らかのライセンスを許諾するということは明示的にも黙示的にも保証も表明もしていません。TIが第三者の製品もしくはサービスについて情報を提供することは、TIが当該製品もしくはサービスを使用することについてライセンスを与えたり、保証もしくは承認するということを意味しません。そのような情報を使用するには第三者の特許その他の知的財産権に基づき当該第三者からライセンスを得なければならない場合もあり、またTIの特許その他の知的財産権に基づきTIからライセンスを得て頂かなければならない場合もあります。

TIのデータブックもしくはデータシートの中にある情報を複製することは、その情報に一切の変更を加えること無く、かつその情報と結び付けられた全ての保証、条件、制限及び通知と共に複製がなされる限りにおいて許されるものとします。当該情報に変更を加えて複製することは不正で誤認を生じさせる行為です。TIは、そのような変更された情報や複製については何の義務も責任も負いません。

TIの製品もしくはサービスについてTIにより示された数値、特性、条件その他のパラメーターと異なる、あるいは、それを超えてなされた説明で当該TI製品もしくはサービスを再販売することは、当該TI製品もしくはサービスに対する全ての明示的保証、及び何らかの黙示的保証を無効にし、かつ不正で誤認を生じさせる行為です。TIは、そのような説明については何の義務も責任もありません。

TIは、TIの製品が、安全でないことが致命的となる用途ないしアプリケーション（例えば、生命維持装置のように、TI製品に不良があった場合に、その不良により相当な確率で死傷等の重篤な事故が発生するようなもの）に使用されることを認めておりません。但し、お客様とTIの双方の権限有る役員が書面でそのような使用について明確に合意した場合は除きます。たとえTIがアプリケーションに関連した情報やサポートを提供したとしても、お客様は、そのようなアプリケーションの安全面及び規制面から見た諸問題を解決するために必要とされる専門的知識及び技術を持ち、かつ、お客様の製品について、またTI製品をそのような安全でないことが致命的となる用途に使用することについて、お客様が全ての法的責任、規制を遵守する責任、及び安全に関する要求事項を満足させる責任を負っていることを認め、かつそのことに同意します。さらに、もし万一、TIの製品がそのような安全でないことが致命的となる用途に使用されたことによって損害が発生し、TIないしその代表者がその損害を賠償した場合は、お客様がTIないしその代表者にその全額の補償をするものとします。

TI製品は、軍事的用途もしくは宇宙航空アプリケーションないし軍事的環境、航空宇宙環境にて使用されるようには設計もされていませんし、使用されることを意図されていません。但し、当該TI製品が、軍需対応グレード品、若しくは「強化プラスチック」製品としてTIが特別に指定した製品である場合は除きます。TIが軍需対応グレード品として指定した製品のみが軍需品の仕様書に合致いたします。お客様は、TIが軍需対応グレード品として指定していない製品を、軍事的用途もしくは軍事的環境下で使用することは、もっぱらお客様の危険負担においてなされるということ、及び、お客様がもっぱら責任をもって、そのような使用に関して必要とされる全ての法的要求事項及び規制上の要求事項を満足させなければならないことを認め、かつ同意します。

TI製品は、自動車用アプリケーションないし自動車の環境において使用されるようには設計されていませんし、また使用されることを意図されていません。但し、TIがISO/TS 16949の要求事項を満たしていると特別に指定したTI製品は除きます。お客様は、お客様が当該TI指定品以外のTI製品を自動車用アプリケーションに使用しても、TIは当該要求事項を満たしていなかったことについて、いかなる責任も負わないことを認め、かつ同意します。

Copyright © 2011, Texas Instruments Incorporated
日本語版 日本テキサス・インスツルメンツ株式会社

弊社半導体製品の取り扱い・保管について

半導体製品は、取り扱い、保管・輸送環境、基板実装条件によっては、お客様での実装前後に破壊/劣化、または故障を起こすことがあります。

弊社半導体製品のお取り扱い、ご使用にあたっては下記の点を遵守して下さい。

1. 静電気

- 素手で半導体製品単体を触らないこと。どうしても触る必要がある場合は、リストストラップ等で人体からアースをとり、導電性手袋等をして取り扱うこと。
- 弊社出荷梱包単位（外装から取り出された内装及び個装）又は製品単品で取り扱いを行う場合は、接地された導電性のテーブル上で（導電性マットにアースをとったもの等）、アースをした作業者が行うこと。また、コンテナ等も、導電性のものを使うこと。
- マウンタやはんだ付け設備等、半導体の実装に関わる全ての装置類は、静電気の帯電を防止する措置を施すこと。
- 前記のリストストラップ・導電性手袋・テーブル表面及び実装装置類の接地等の静電気帯電防止措置は、常に管理されその機能が確認されていること。

2. 温・湿度環境

- 温度：0～40℃、相対湿度：40～85%で保管・輸送及び取り扱いを行うこと。（但し、結露しないこと。）

- 直射日光が当たる状態で保管・輸送しないこと。
3. 防湿梱包
 - 防湿梱包品は、開封後は個別推奨保管環境及び期間に従い基板実装すること。
 4. 機械的衝撃
 - 梱包品（外装、内装、個装）及び製品単品を落下させたり、衝撃を与えないこと。
 5. 熱衝撃
 - はんだ付け時は、最低限260℃以上の高温状態に、10秒以上さらさないこと。（個別推奨条件がある時はそれに従うこと。）
 6. 汚染
 - はんだ付け性を損なう、又はアルミ配線腐食の原因となるような汚染物質（硫黄、塩素等ハロゲン）のある環境で保管・輸送しないこと。
 - はんだ付け後は十分にフラックスの洗浄を行うこと。（不純物含有率が一定以下に保証された無洗浄タイプのフラックスは除く。）

以上