

## AM62Lx Sitara™ プロセッサ

### 1 特長

#### プロセッサ コア:

- デュアル 64 ビット Arm® Cortex®-A53 マイクロプロセッサ サブシステム、最大 1.25GHz
  - 256KB L2 キャッシュ搭載のデュアルコア Cortex-A53
  - 各 A53 コアに、32KB L1 D キャッシュと 32KB L1 I キャッシュ

#### メモリ サブシステム:

- 160KB のオンチップ SRAM (OCSRAM)
- DDR サブシステム (DDRSS)
  - LPDDR4、DDR4 メモリ タイプをサポート
  - 16 ビット データ バス
  - 最大 1600MT/s の速度をサポート
  - DDR4 の最大アドレス範囲: 4GB
  - LPDDR の最大アドレッシング範囲は 2GB

#### マルチメディア:

- ディスプレイ サブシステム
  - シングルディスプレイをサポート
  - 最大 1920x1080 @ 60fps
  - 独立した PLL によるサポート
  - MIPI DSI (4 レーン DPHY) または DPI (24 ビット RGB LVCMOS)

#### セキュリティ:

- セキュア ブート対応
  - ハードウェアで強化された RoT (Root-of-Trust: 信頼の基点)
  - バックアップ キーによる RoT の切り替えをサポート
  - テイクオーバー保護、IP 保護、ロールバック禁止保護のサポート
- 信頼できる実行環境 (TEE) に対応
  - Arm TrustZone® をベースとする TEE
  - 分離用の広範なファイアウォール サポート
  - セキュアなウォッチドッグ / タイマ / IPC
  - セキュアなストレージのサポート
  - リプレイ保護メモリ ブロック (RPMB) のサポート
- と専用セキュリティ DMA および IPC サブシステムの搭載により絶縁処理を実現した専用セキュリティコントローラ
- 暗号化アクセラレーションに対応
  - 受信データ ストリームに基づいてキーマテリアルを自動的に切り替えできるセッション認識暗号化エンジン
  - 暗号化コアをサポート

- AES - 128/192/256 ビットのキー サイズ
- SHA2 - 224/256/384/512 ビットのキー サイズ
- DRBG と真性乱数発生器
- SM3 および SM4
- セキュア ブート対応のため PKE (公開鍵エンジン) により RSA/ECC 処理を支援
- デバッグのセキュリティ
  - ソフトウェア制御によるセキュアなデバッグ アクセス
  - セキュリティ対応のデバッグ

#### 高速インターフェイス:

- 次の機能をサポートするイーサネット スイッチを内蔵 (合計 2 つの外部ポート)
  - RMII (10/100) または RGMII (10/100/1000)
  - IEEE1588 (Annex D、Annex E、Annex F と 802.1AS PTP)
  - Clause 45 MDIO PHY 管理
  - プライオリティ ベースのフロー制御
  - ALE エンジン (64 の分類子) に基づくパケット分類器
  - 時間に制約のあるネットワーク機能 (TSN) のサポート
  - H/W 割り込みペーシング
  - ハードウェアの IP/UDP/TCP チェックサム オフロード
- 2 つの USB2.0 ポート
  - USB ホスト、USB ペリフェラル、USB デュアルロール デバイス (DRD モード) として設定可能な各ポート
  - USB VBUS 検出機能を内蔵

#### 一般的な接続機能:

- 8 個のユニバーサル非同期レシーバトランスミッタ (UART)
  - すべてのインスタンスが RTS および CTS フロー制御をサポート
  - RS-485 外部トランシーバ自動フロー制御をサポート
- 4 個のシリアル ペリフェラル インターフェイス (SPI) コントローラ
- 5 個の I2C (Inter-Integrated Circuit) ポート
- 3 個のマルチチャネル オーディオ シリアル ポート (McASP)
  - 最高 50MHz の送受信クロック
  - 独立した TX および RX クロックを備えた 3 個の McASP を通じた最大 4/6/16 本のシリアル データピン
  - 時分割多重化 (TDM)、IC 間サウンド (I2S)、および類似のフォーマットをサポート



- デジタル オーディオ インターフェイス送信 (SPDIF、IEC60958-1、AES-3 フォーマット) をサポート
- 送受信用 FIFO バッファ (256 バイト)
- オーディオ リファレンス出力クロックのサポート
- 3 個の拡張 PWM モジュール (ePWM)
- 3 個の拡張直交エンコーダ パルス モジュール (eQEP)
- 3 個の拡張キャプチャ モジュール (eCAP)
- の汎用 I/O (GPIO)に、ほとんどの LVCMOS I/O を GPIO として設定-可能
  - 4 個のバンクが、デュアル電圧 (1.8V/3.3V) と他のシングル電圧 (1.8V) LVCMOS I/O バンクをサポート
- 3 個のコントローラ エリア ネットワーク (CAN) モジュールを、オプションの CAN-FD でサポート
  - CAN プロトコル 2.0A、B、ISO 11898-1 に準拠
  - 完全な CAN FD のサポート (最大 64 データ バイト)
  - 最大速度: 8Mbps
- 1 個の 12 ビット A/D コンバータ (ADC)
  - 10 ビットの 有効分解能 (ENOB $\geq$ 10)
  - 最大 4MSPS
  - 4 個のアナログ入力 (マルチプレクシング)

#### メディアおよびデータ ストレージ:

- 2 つのマルチメディア カード / セキュア デジタル® (MMC/SD®) インターフェイス
  - 1 個の 8 ビット eMMC インターフェイス、最大速度 HS200
  - 2 個の 4 ビット SD/SDIO インターフェイス、最大 UHS-I
  - eMMC 5.1、SD 3.0、SDIO バージョン 3.0 に準拠
- 最大 133MHz の 1 つの汎用メモリ コントローラ (GPMC)
  - フレキシブルな 8 ビットおよび 16 ビットの同期または非同期メモリインターフェイスと、最大 4 つのチップセレクト
  - 16 ビットの多重化アドレス/データ方式 (AD、AAD) をサポート
  - BCH コードを使用して 4、8、または 16 ビット ECC をサポート
  - ハミング コードを使用して 1 ビット ECC をサポート
  - エラー特定モジュール (ELM)
- DDR/SDR をサポートする OSPI/QSPI
  - シリアル NAND およびシリアル NOR フラッシュ デバイスをサポート
  - 4GBytes のメモリ アドレスをサポート

#### パワー マネージメント:

- 自動クロックゲーティング、電力ゲーティング、動的周波数スケーリングなどのアクティブパワーマネージメント機能
- 複数の低消費電力機能
- 低消費電力モード
  - RTC のみ
  - RTC のみ+ DDR セルフリフレッシュ
  - ディープスリープ
  - スタンバイ

#### ブート オプション:

- UART
- OSPI/QSPI フラッシュ
- GPMC NAND フラッシュ
- SD カード
- eMMC
- USB (ホスト) マス ストレージ
- 外部ホストからの USB (デバイス) ブート (DFU モード)

#### テクノロジー/パッケージ:

- 16-nm テクノロジー
- 11.9mm × 11.9mm、0.5mm VCA、373 ピン FCCSP BGA パッケージ (ANB)

## 2 アプリケーション

- ヒューマン マシン インターフェイス (HMI)
- 医療用 - 患者モニタリング
- ビル オートメーション
- EV 充電ステーション
- 太陽光エネルギー
- スマートで安全なゲートウェイと計測
- モバイル/産業用プリンタ

## 3 概要

低コストでパフォーマンスを最適化した AM62L ファミリのアプリケーション プロセッサ は、Linux® アプリケーション開発向けに構築されています。スケーラブルな Arm® Cortex®-A53 コア性能と、以下のような組込み機能を搭載: マルチメディア DSI/DPI サポート、内蔵 ADC オンチップ、高度な低消費電力管理モード、および IP 保護とセキュア ブート用の広範なセキュリティ オプション。

AM62Lx には、広範な産業用アプリケーションに適した広範なペリフェラル セットが含まれており、インテリジェントな機能や最適化された電源アーキテクチャも提供します。さらに、AM62Lx に搭載されている広範なペリフェラル セットにより、以下のようなシステム レベルのコネクティビティを実現できます。USB、MMC/SD、OSPI、CAN-FD、ADC。

### パッケージ情報

部品番号	パッケージ (1)	パッケージ サイズ(2)
AM62Lx	ANB (FCCSP BGA, 373)	11.9mm × 11.9mm

- (1) 詳細については、未定、「メカニカル、パッケージ、および注文情報」を参照してください。
- (2) パッケージ サイズ (長さ×幅) は公称値であり、該当する場合はピンも含まれます。

### 3.1 機能ブロック図

図 3-1 は、スーパーセットデバイスの機能ブロック図です。

注

TI のソフトウェア開発キット (SDK) が現在サポートしているデバイス機能の詳細については、AM62Lx ソフトウェアビルドシートを参照してください。

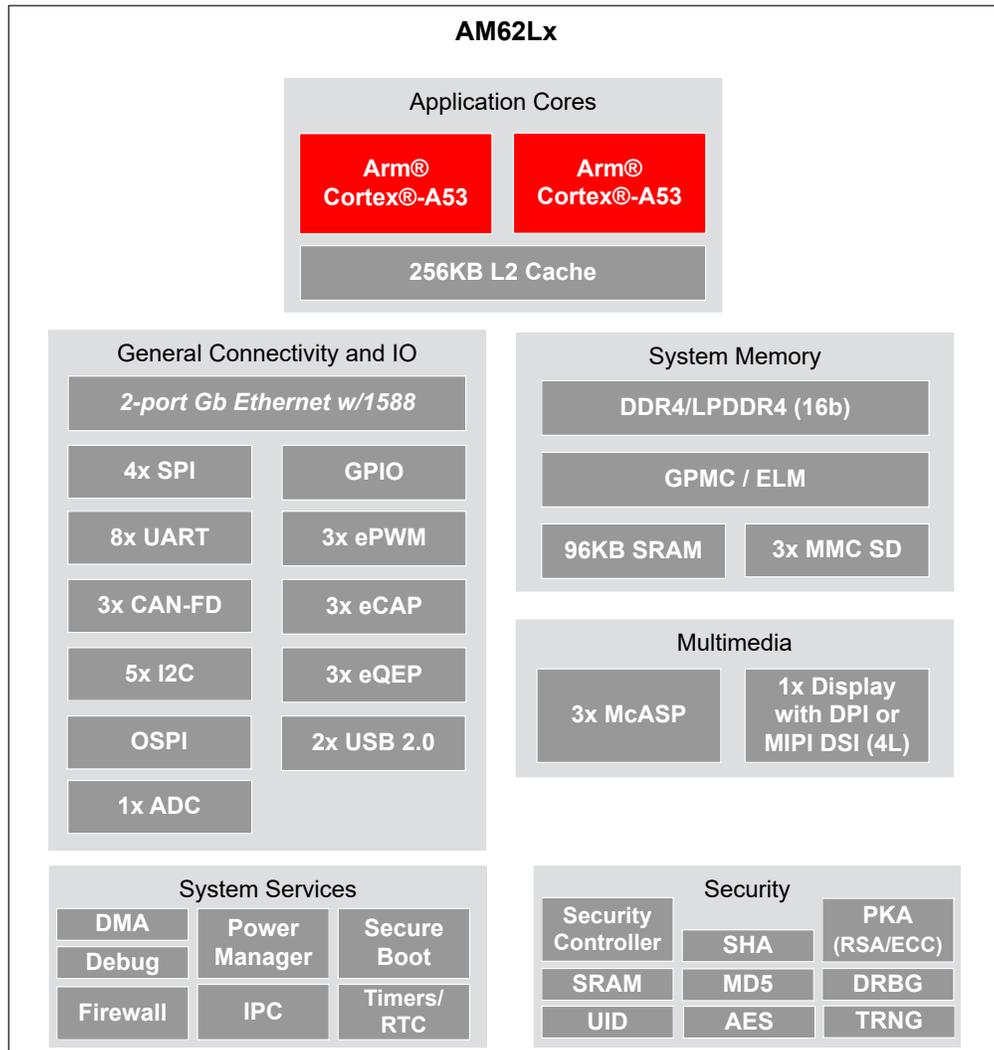


図 3-1. 機能ブロック図

## 目次

<b>1 特長</b> .....	<b>1</b>	<b>7 詳細説明</b> .....	<b>208</b>
<b>2 アプリケーション</b> .....	<b>3</b>	7.1 概要.....	208
<b>3 概要</b> .....	<b>3</b>	7.2 プロセッサ サブシステム.....	208
3.1 機能ブロック図.....	4	7.3 その他のサブシステム.....	209
<b>4 デバイスの比較</b> .....	<b>6</b>	7.4 ペリフェラル.....	210
4.1 関連製品.....	7	<b>8 アプリケーション、実装、およびレイアウト</b> .....	<b>215</b>
<b>5 端子構成および機能</b> .....	<b>9</b>	8.1 デバイスの接続およびレイアウトの基礎.....	215
5.1 ピン配置図.....	9	8.2 ペリフェラルおよびインターフェイス固有の設計情報.....	216
5.2 ピン属性.....	10	8.3 クロック配線のガイドライン.....	221
5.3 信号の説明.....	44	<b>9 デバイスおよびドキュメントのサポート</b> .....	<b>222</b>
5.4 ピン接続要件.....	69	9.1 サード・パーティ製品に関する免責事項.....	222
<b>6 仕様</b> .....	<b>72</b>	9.2 デバイスの命名規則.....	222
6.1 絶対最大定格.....	72	9.3 ツールとソフトウェア.....	225
6.2 ESD 定格.....	73	9.4 ドキュメントのサポート.....	225
6.3 電源投入時間 (POH).....	74	9.5 サポート・リソース.....	225
6.4 推奨動作条件.....	75	9.6 商標.....	225
6.5 動作性能ポイント.....	76	9.7 静電気放電に関する注意事項.....	226
6.6 消費電力の概略.....	76	9.8 用語集.....	226
6.7 電気的特性.....	77	<b>改訂履歴</b> .....	<b>226</b>
6.8 ワンタイム プログラマブル (OTP) eFuse の VPP 仕様.....	85	<b>10 メカニカル、パッケージ、および注文情報</b> .....	<b>227</b>
6.9 熱抵抗特性.....	86	10.1 パッケージ情報.....	227
6.10 温度センサの特性.....	86	10.2 付録: パッケージ オプション.....	228
6.11 タイミングおよびスイッチング特性.....	87	10.3 ANB のトレイ情報、11.9mm × 11.9mm.....	230

## 4 デバイスの比較

表 4-1 に、スーパーセットデバイスの機能を示します。

### 注

多くの機能に関連付けられている IO 信号は限られた数のピンに多重化されるため、この表に記載されている機能が利用できるかどうかは、共有 IO ピンの使用状況によります。信号機能をピンに割り当てるには、SysConfig ツールを使用する必要があります。これにより、ピン多重化に関連する制限をよりよく理解できます。

### 注

TI のソフトウェア開発キット (SDK) が現在サポートしているデバイス機能の詳細については、AM62Lx ソフトウェアビルドシートを参照してください。

表 4-1. デバイスの比較

特長	参照名	AM62L32	AM62L31
<b>WKUP_CTRL_MMR_CFG0_JTAG_USER_ID[31:13] <sup>(1)</sup></b>			
デバイスの「特長」コードごとのレジスタビット値 (デバイスの特長の詳細については、 <a href="#">項目名の説明表</a> を参照)			
	G:	0x233895	0x233863
<b>プロセッサおよびアクセラレータ</b>			
速度グレード		デバイス速度グレード表を参照	
Arm Cortex-A53 マイクロプロセッサ サブシステム	A53SS	デュアル コア	シングル コア
セキュリティコントローラ	セキュリティコントローラ	あり	
暗号化アクセラレータ	セキュリティ	あり	
<b>プログラムおよびデータストレージ</b>			
オンチップ共有メモリ (RAM)	MAIN ドメインの OCSRAM	96KB	
	WKUP ドメインの OCSRAM	64KB	
DDR サブシステム	DDR4 搭載の DDRSS	16 ビットデータ、最大 4GB	
	LPDDR4 搭載の DDRSS	16 ビットデータ、最大 2GB	
汎用メモリコントローラ	GPMC	16 ビット (GPMC、Ra NAND、Muxed-NOR)	
<b>ペリフェラル</b>			
ディスプレイサブシステム	DSS	1 個の DPI	
		1x DSI	
CAN-FD フル サポートするモジュール式コントローラ エリア ネットワーク	MCAN	3	
汎用 I/O	GPIO	133	
集積回路間インターフェイス	I2C	5	
A/D コンバータ	ADC	あり	
マルチチャネル オーディオ シリアル ポート	MCASP	3 (4/6/16 ビット)	
マルチチャネル シリアル ペリフェラル インターフェイス	MCSPi	4	
マルチメディア カード / セキュア デジタル インターフェイス	MMC/SD	1x eMMC (8 ビット)	
		2 SD/SDIO (4 ビット)	
フラッシュ サブシステム (FSS) <sup>(2)</sup>	OSPI/QSPI	あり	
ギガビットイーサネット インターフェイス	CPSW3G	あり	
汎用タイマー	TIMER	4	
拡張パルス幅変調器モジュール	EPWM	3	

表 4-1. デバイスの比較 (続き)

特長	参照名	AM62L32	AM62L31
拡張キャプチャ モジュール	ECAP		3
拡張直交エンコーダ パルス モジュール	EQEP		3
汎用非同期レシーバ / トランスミッタ	UART		8
USB2.0 コントローラ (PHY 付き)	USB 2.0		2

- (1) WKUP\_CTRL\_MMR\_CFG0\_JTAG\_USER\_ID レジスタおよび DEVICE\_ID ビット フィールドの詳細については、デバイスのテクニカル リファレンス マニュアルを参照してください。
- (2) 1 つのフラッシュ インターフェイスを OSPI0 または QSPI0 として構成。

## 4.1 関連製品

**Sitara™ プロセッサ**は、Arm® Cortex®-A コアをベースとするスケーラブルなプロセッサの広範なファミリで、柔軟なアクセラレータ、ペリフェラル、接続性を搭載しており、ソフトウェアのサポートが統一されているため、センサからサーバーまでのあらゆる用途に理想的です。Sitara プロセッサには、産業用や車載用でのアプリケーションに必要な信頼性と機能安全のサポートがあります。

**Sitara™ マイコン**は、クラス最高の Arm® ベース 32 ビット マイコン (MCU) で、高性能で電力効率の高いデバイスで構成されたスケーラブルな製品ラインアップを提供し、システムのニーズを満たすのに役立ちます。開発中の設計で、機能安全、電力効率、リアルタイム制御、高度なネットワーク、アナリティクス、セキュリティなどの機能を実現できます。

**AM64x Sitara™** プロセッサは、ファクトリオートメーション / 制御 (FAC) やモーター制御などの産業用アプリケーションをターゲットとし、Linux アプリケーション プロセッシング コア (Cortex®-A53)、リアルタイム プロセッシング コア (Cortex®-R5F)、産業用通信サブシステム (PRU\_ICSSG) を使用して、EtherCAT、Profinet、EtherNet/IP などのプロトコルをサポートします。AM64x は、1 つの CPSW3G と 2 つの PRU\_ICSSG を実装しており、最大 5 つのギガビット イーサネットポートをサポートします。また、シングル レーンの PCIe Gen2 または USB SuperSpeed Gen1、機能安全オプション、セキュアブート、ランタイム セキュリティなど包括的なペリフェラル セットもサポートしています。

**AM623 Sitara™** プロセッサは、Arm® Cortex®-A53 ベースの物体認識機能とジェスチャ認識機能を搭載した、IoT (モノのインターネット) とゲートウェイ向け SoC です。低コストの AM623 Sitara™ MPU アプリケーション プロセッサ ファミリは、Linux® アプリケーション開発向けに構築されています。スケーラブルな Arm® Cortex®-A53 の性能と、デュアル ディスプレイ サポートなどの組み込み機能に加えて、広範なペリフェラル セットを搭載する AM623 デバイスは広範な産業用および車載用アプリケーションに最適です。

**AM625 Sitara™** プロセッサは、Arm® Cortex®-A53 とフル HD デュアル ディスプレイを搭載した、人間と機械の対話型操作向け SoC です。低コストの AM625 Sitara™ MPU アプリケーション プロセッサ ファミリは、Linux® アプリケーション開発向けに構築されています。スケーラブルな Arm® Cortex®-A53 の性能と、デュアル ディスプレイ サポートや 3D グラフィックス アクセラレーションなどの組み込み機能に加えて、広範なペリフェラル セットを搭載する AM625 デバイスは広範な産業用および車載用アプリケーションに最適です。

**AM62A3 Sitara™** および **AM62A7 Sitara™** プロセッサは、1~4 個の Cortex A-53 Arm コアと、1 または 2 TOPS のアナリティクス ハードウェア アクセラレータを活用する組み込みビジョン SoC です。このスケーラブルで高性能な AM62Ax Sitara MPU アプリケーション プロセッサ ファミリは、Linux アプリケーション開発向けに構築されています。AM62Ax は h.264/h.265 エンコード / デコード、セキュアブート、画像信号処理、ディープ ラーニング アクセラレータなどの組み込み機能を搭載し、産業用と車載用の幅広いアプリケーションに最適です。

設計を完成させるための製品:

- [イーサネット PHY](#)
- [パワー マネージメント / PMIC](#)
- [クロック / タイミング](#)
- [パワー スイッチ](#)
- [CAN トランシーバ](#)
- [ESD 保護](#)

これらのデバイスをシステム設計で実装する方法の詳細と、推奨される特定の部品番号の部品表 (BOM) については、AM62Lx EVM の回路図を参照してください。

ADVANCE INFORMATION

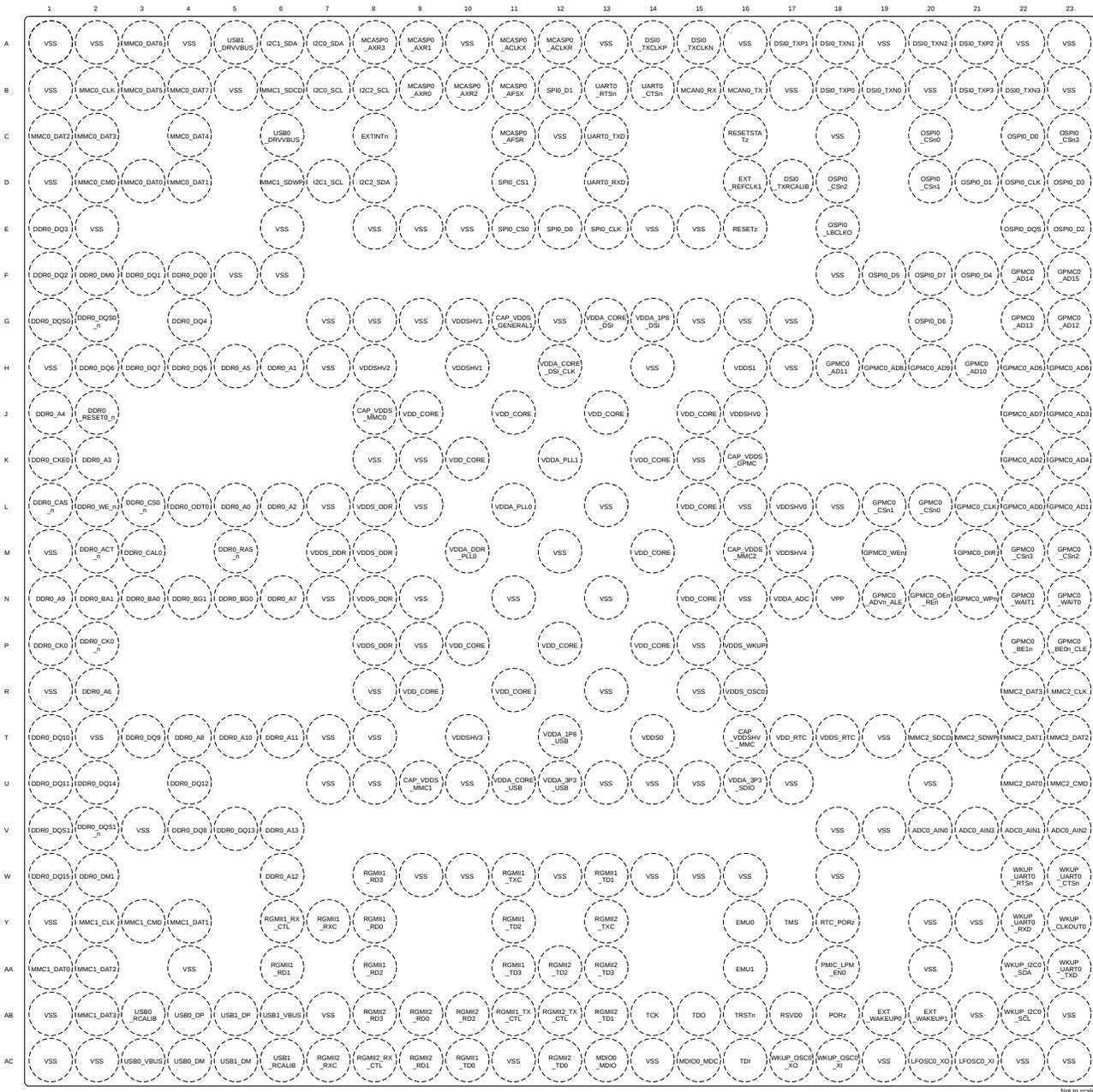
## 5 端子構成および機能

### 5.1 ピン配置図

#### 注

「ボール」、「ピン」、「端子」という用語は、ドキュメント全体で同じ意味で使用されています。物理的なパッケージに言及する場合にのみ「ボール」が使用されています。

図 5-1 に、373 ボール フリップ チップ ボール グリッド アレイ (FCCSP BGA) パッケージのボールの位置を示します。HTML バージョンの場合、ボールの上にカーソルを置くと追加情報が表示されます。この図は、表 5-1～表 5-66 (「ピン属性」表、「信号説明」表、「ピン接続要件」表) とともに使用します。



ADVANCE INFORMATION

図 5-1. ANB FCCSP BGA パッケージ (上面図)

## 5.2 ピン属性

次のリストは、表 5-1、ピン属性 (AMB、ANF パッケージ)の各欄の内容について記載しています。

1. **ボール番号:**ボール グリッド アレイ パッケージの各端子に割り当てられたボール番号。
2. **ボール名:**ボール グリッド アレイ パッケージの各端子に割り当てられたボール名 (通常はプライマリ MUXMODE 0 信号機能からつけた名前)。
3. **信号名:**ボールに関連付けられているすべての専用およびピン多重化信号機能の信号名。

### 注

多くのデバイスピンは複数の信号機能をサポートしています。一部の信号機能は、ピンに関連付けられた単一層のマルチプレクサで選択されます。他の信号機能は 2 層以上のマルチプレクサで選択され、ある層はピンに関連付けられ、他の層はペリフェラル ロジック機能に関連付けられます。

表 5-1、ピン属性 (AMB、ANF パッケージ)では、各ピンの信号多重化だけを定義します。ピンでの信号多重化の詳細については、デバイスのテクニカルリファレンス マニュアルで「デバイス構成」の章にある「パッド構成 レジスタ」セクションを参照してください。ペリフェラル信号の多重化に関する情報については、デバイスのテクニカルリファレンス マニュアルで該当するペリフェラルの章を参照してください。

4. **多重化モード:**各ピンの多重化信号機能に関連付けられた MUXMODE 値:
  - a. MUXMODE 0 は、プライマリピンの多重化信号機能です。ただし、プライマリピンの多重化信号機能は、必ずしもデフォルトのピン多重化信号機能とは限りません。

### 注

「リセット後の MUX モード」列の値は、PORz がデアサートされたときに選択されるデフォルトのピン多重化信号機能を定義します。

- a. ピン多重化信号機能には、MUXMODE の値 1~15 を使用できます。ただし、すべての MUXMODE 値が実装されているわけではありません。有効な MUXMODE 値は、「ピン属性」表でピン多重化信号機能として定義された値のみです。MUXMODE の有効な値のみを使用する必要があります。
- b. ブートストラップは SOC 構成ピンを定義します。各ピンに適用されるロジック状態は、PORz の立ち上がりエッジでラッチされます。これらの入力信号機能はそれぞれのピンに固定で、MUXMODE を使用してプログラムすることはできません。
- c. 空欄は該当しないことを意味します。

### 注

デバイスを適切に動作させるには、以下の MUXMODE の構成を避ける必要があります。

- 複数のピンを同じピン多重化信号機能への入力として動作するように構成すると、予期しない結果が生じる可能性があるため、この構成はサポートされていません。
- ピンを未定義のピン多重化モードに設定すると、ピンの動作が未定義になります。

5. **タイプ:**信号の種類と方向:
- I = 入力
  - O = 出力
  - OD = 出力、オープンドレイン出力機能付き
  - IO = 入力、出力、または同時に入力と出力
  - IOD = 入力、出力、または同時に入力と出力、オープンドレイン出力機能付き
  - IOZ = 入力、出力、または同時に入力と出力、3 ステート出力機能付き
  - OZ = 出力、3 ステート出力機能付き
  - A = アナログ
  - PWR = 電源
  - GND = グランド
  - CAP = LDO コンデンサ。
6. **DSIS:** 選択解除入力状態 (DSIS) は、MUXMODE によってピン多重化信号機能が選択されていないとき、サブシステム入力 (ロジック「0」、ロジック「1」、または「パッド」レベル) に駆動される状態を示します。
- 0: ロジック 0 がサブシステム入力に駆動されます。
  - 1: ロジック 1 がサブシステム入力に駆動されます。
  - パッド: パッドのロジック状態がサブシステム入力に駆動されます。
  - 空欄は該当しないことを意味します。
7. **リセット時のボールの状態 (RX/TX/PULL):** PORz がアサートされているときの端子の状態。ここで、RX は入力バッファの状態、TX は出力バッファの状態、PULL は内部プル抵抗の状態を定義します。
- RX (入力バッファ)
    - オフ: 入力バッファは無効です。
    - オン: 入力バッファは有効です。
  - TX (出力バッファ)
    - オフ: 出力バッファは無効です。
    - Low: 出力バッファは有効であり、 $V_{OL}$  を駆動します。
  - PULL (内部プル抵抗)
    - オフ: 内部プル抵抗はターンオフされています。
    - アップ: 内部プルアップ抵抗はターンオンされています。
    - ダウン: 内部プルダウン抵抗はターンオンされています。
    - NA: 該当なし。
  - 空欄は該当しないことを意味します。
8. **リセット後のボールの状態 (RX/TX/PULL):** PORz がデアサートされた後の端子の状態。ここで、RX は入力バッファの状態、TX は出力バッファの状態、PULL は内部プル抵抗の状態を定義します。
- RX (入力バッファ)
    - オフ: 入力バッファは無効です。
    - オン: 入力バッファは有効です。
  - TX (出力バッファ)
    - オフ: 出力バッファは無効です。
    - SS: MUXMODE で選択されたサブシステムによって、出力バッファの状態が決まります。
  - PULL (内部プル抵抗)
    - オフ: 内部プル抵抗はターンオフされています。
    - アップ: 内部プルアップ抵抗はターンオンされています。
    - ダウン: 内部プルダウン抵抗はターンオンされています。
    - NA: 該当なし。
  - 空欄は該当しないことを意味します。

9. リセット後の多重化モード:この欄の値は、PORz がデアサートされた後のデフォルトのピン多重化信号機能を定義します。
- 空欄は該当しないことを意味します。

10. **I/O 動作電圧**:この列は、それぞれの電源の I/O 動作電圧オプションについて説明します (該当する場合)。  
空欄は該当しないことを意味します。  
詳細については、[セクション 6.4](#)「推奨動作条件」で各電源に定義されている有効な動作電圧範囲を参照してください。
11. **電源**:関連付けられている I/O の電源 (該当する場合)。  
空欄は該当しないことを意味します。
12. **HYS**:この I/O に関連付けられている入力バッファにヒステリシスがあるかどうかを示します。
  - あり:ヒステリシス付き
  - なし:ヒステリシスなし
  - 空欄は該当しないことを意味します。詳細については、[セクション 6.7](#)「電気的特性」のヒステリシスの値を参照してください。
13. **バッファのタイプ**:この列は、端末に関連付けられたバッファのタイプを定義します。この情報を使用して、適用可能な電気的特性の表を決定できます。  
空欄は該当しないことを意味します。  
電気的特性については、[セクション 6.7](#)「電気的特性」の適切なバッファタイプの表を参照してください。
14. **プルアップ / ダウン タイプ**:内部プルアップまたはプルダウン抵抗が存在することを示します。プルアップおよびプルダウン抵抗は、ソフトウェアによって有効化または無効化できます。
  - PU: 内部プルアップ
  - PD: 内部プルダウン
  - PU/PD: 内部プルアップおよびプルダウン
  - 空欄は内部プル抵抗がないことを意味します。
15. **PADCONFIG レジスタ**:ボールに関連付けられた IO パッド構成レジスタの名前。
16. **PADCONFIG アドレス**:ボールに関連付けられた IO パッド構成レジスタの物理アドレス。

表 5-1. ピン属性 (ANB、ANQ パッケージ)

ANB ボール 番号[1]	ANQ ボール 番号[1]	ボール名 [2] PADCONFIG レジスタ [15] PADCONFIG アドレス [16]	信号名 [3]	多重化 モード [4]	タイプ [5]	DSIS [6]	リセット 時の ボール の状態 (RX/TX/PULL) [7]	リセット 後の ボール の状態 (RX/TX/PULL) [8]	リセット 後の 多重化 モード [9]	I/O 動作 電圧 [10]	ANB 電源/ANQ 電 源 [11]	HYS [12]	バッファ タイプ [13]	プル アップ/ダウ ン タイプ [14]
V20		ADC0_AIN0	ADC0_AIN0		A					1.8V	VDDA_ADC / NA		ADC	
V22		ADC0_AIN1	ADC0_AIN1		A					1.8V	VDDA_ADC / NA		ADC	
V23		ADC0_AIN2	ADC0_AIN2		A					1.8V	VDDA_ADC / NA		ADC	
V21		ADC0_AIN3	ADC0_AIN3		A					1.8V	VDDA_ADC / NA		ADC	
T16		CAP_VDDSHV_MMC	CAP_VDDSHV_MMC		CAP									
G11	該当なし	CAP_VDDS_GENERAL1	CAP_VDDS_GENERAL1		CAP									
K16		CAP_VDDS_GPMC	CAP_VDDS_GPMC		CAP									
J8	該当なし	CAP_VDDS_MMC0	CAP_VDDS_MMC0		CAP									
U9	該当なし	CAP_VDDS_MMC1	CAP_VDDS_MMC1		CAP									
M16		CAP_VDDS_MMC2	CAP_VDDS_MMC2		CAP									
M2		DDR0_ACT_n	DDR0_ACT_n		O					1.1V/1.2V	VDDS_DDR / NA		DDR	
L1		DDR0_CAS_n	DDR0_CAS_n		O					1.1V/1.2V	VDDS_DDR / NA		DDR	
M5		DDR0_RAS_n	DDR0_RAS_n		O					1.1V/1.2V	VDDS_DDR / NA		DDR	
L2		DDR0_WE_n	DDR0_WE_n		O					1.1V/1.2V	VDDS_DDR / NA		DDR	
L5	該当なし	DDR0_A0	DDR0_A0		O					1.1V/1.2V	VDDS_DDR / NA		DDR	
H6	該当なし	DDR0_A1	DDR0_A1		O					1.1V/1.2V	VDDS_DDR / NA		DDR	
L6	該当なし	DDR0_A2	DDR0_A2		O					1.1V/1.2V	VDDS_DDR / NA		DDR	
K2	該当なし	DDR0_A3	DDR0_A3		O					1.1V/1.2V	VDDS_DDR / NA		DDR	
J1	該当なし	DDR0_A4	DDR0_A4		O					1.1V/1.2V	VDDS_DDR / NA		DDR	
H5	該当なし	DDR0_A5	DDR0_A5		O					1.1V/1.2V	VDDS_DDR / NA		DDR	
R2		DDR0_A6	DDR0_A6		O					1.1V/1.2V	VDDS_DDR / NA		DDR	
N6		DDR0_A7	DDR0_A7		O					1.1V/1.2V	VDDS_DDR / NA		DDR	
T4		DDR0_A8	DDR0_A8		O					1.1V/1.2V	VDDS_DDR / NA		DDR	
N1		DDR0_A9	DDR0_A9		O					1.1V/1.2V	VDDS_DDR / NA		DDR	
T5		DDR0_A10	DDR0_A10		O					1.1V/1.2V	VDDS_DDR / NA		DDR	
T6		DDR0_A11	DDR0_A11		O					1.1V/1.2V	VDDS_DDR / NA		DDR	
W6		DDR0_A12	DDR0_A12		O					1.1V/1.2V	VDDS_DDR / NA		DDR	
V6		DDR0_A13	DDR0_A13		O					1.1V/1.2V	VDDS_DDR / NA		DDR	
N3		DDR0_BA0	DDR0_BA0		O					1.1V/1.2V	VDDS_DDR / NA		DDR	
N2		DDR0_BA1	DDR0_BA1		O					1.1V/1.2V	VDDS_DDR / NA		DDR	
N5		DDR0_BG0	DDR0_BG0		O					1.1V/1.2V	VDDS_DDR / NA		DDR	
N4		DDR0_BG1	DDR0_BG1		O					1.1V/1.2V	VDDS_DDR / NA		DDR	
M3	該当なし	DDR0_CAL0	DDR0_CAL0		A					1.1V/1.2V	VDDS_DDR / NA		DDR	
P1	該当なし	DDR0_CK0	DDR0_CK0		O					1.1V/1.2V	VDDS_DDR / NA		DDR	
P2	該当なし	DDR0_CK0_n	DDR0_CK0_n		O					1.1V/1.2V	VDDS_DDR / NA		DDR	
K1	該当なし	DDR0_CKE0	DDR0_CKE0		O					1.1V/1.2V	VDDS_DDR / NA		DDR	

表 5-1. ピン属性 (ANB、ANQ パッケージ) (続き)

ANB ボール 番号[1]	ANQ ボール 番号[1]	ボール名 [2] PADCONFIG レジスタ [15] PADCONFIG アドレス [16]	信号名 [3]	多重化 モード [4]	タイプ [5]	DSIS [6]	リセット 時の ボール の状態 (RX/TX/PULL) [7]	リセット 後の ボール の状態 (RX/TX/PULL) [8]	リセット 後の 多重化 モード [9]	I/O 動作 電圧 [10]	ANB 電源/ANQ 電 源 [11]	HYS [12]	バッファ タイプ [13]	プル アップ/ダウ ン タイプ [14]
L3	該当なし	DDR0_CS0_n	DDR0_CS0_n		O					1.1V/1.2V	VDDS_DDR / NA		DDR	
F2	該当なし	DDR0_DM0	DDR0_DM0		IO					1.1V/1.2V	VDDS_DDR / NA		DDR	
W2	該当なし	DDR0_DM1	DDR0_DM1		IO					1.1V/1.2V	VDDS_DDR / NA		DDR	
F4	該当なし	DDR0_DQ0	DDR0_DQ0		IO					1.1V/1.2V	VDDS_DDR / NA		DDR	
F3	該当なし	DDR0_DQ1	DDR0_DQ1		IO					1.1V/1.2V	VDDS_DDR / NA		DDR	
F1	該当なし	DDR0_DQ2	DDR0_DQ2		IO					1.1V/1.2V	VDDS_DDR / NA		DDR	
E1	該当なし	DDR0_DQ3	DDR0_DQ3		IO					1.1V/1.2V	VDDS_DDR / NA		DDR	
G4	該当なし	DDR0_DQ4	DDR0_DQ4		IO					1.1V/1.2V	VDDS_DDR / NA		DDR	
H4	該当なし	DDR0_DQ5	DDR0_DQ5		IO					1.1V/1.2V	VDDS_DDR / NA		DDR	
H2	該当なし	DDR0_DQ6	DDR0_DQ6		IO					1.1V/1.2V	VDDS_DDR / NA		DDR	
H3	該当なし	DDR0_DQ7	DDR0_DQ7		IO					1.1V/1.2V	VDDS_DDR / NA		DDR	
V4	該当なし	DDR0_DQ8	DDR0_DQ8		IO					1.1V/1.2V	VDDS_DDR / NA		DDR	
T3	該当なし	DDR0_DQ9	DDR0_DQ9		IO					1.1V/1.2V	VDDS_DDR / NA		DDR	
T1	該当なし	DDR0_DQ10	DDR0_DQ10		IO					1.1V/1.2V	VDDS_DDR / NA		DDR	
U1	該当なし	DDR0_DQ11	DDR0_DQ11		IO					1.1V/1.2V	VDDS_DDR / NA		DDR	
U4	該当なし	DDR0_DQ12	DDR0_DQ12		IO					1.1V/1.2V	VDDS_DDR / NA		DDR	
V5	該当なし	DDR0_DQ13	DDR0_DQ13		IO					1.1V/1.2V	VDDS_DDR / NA		DDR	
U2	該当なし	DDR0_DQ14	DDR0_DQ14		IO					1.1V/1.2V	VDDS_DDR / NA		DDR	
W1	該当なし	DDR0_DQ15	DDR0_DQ15		IO					1.1V/1.2V	VDDS_DDR / NA		DDR	
G1	該当なし	DDR0_DQS0	DDR0_DQS0		IO					1.1V/1.2V	VDDS_DDR / NA		DDR	
G2	該当なし	DDR0_DQS0_n	DDR0_DQS0_n		IO					1.1V/1.2V	VDDS_DDR / NA		DDR	
V1	該当なし	DDR0_DQS1	DDR0_DQS1		IO					1.1V/1.2V	VDDS_DDR / NA		DDR	
V2	該当なし	DDR0_DQS1_n	DDR0_DQS1_n		IO					1.1V/1.2V	VDDS_DDR / NA		DDR	
L4		DDR0_ODT0	DDR0_ODT0		O					1.1V/1.2V	VDDS_DDR / NA		DDR	
J2	該当なし	DDR0_RESET0_n	DDR0_RESET0_n		O					1.1V/1.2V	VDDS_DDR / NA		DDR	
A15		DSI0_TXCLKN	DSI0_TXCLKN		IO					1.8V	VDDA_1P8_DSI (NA)		D-PHY	
A14		DSI0_TXCLKP	DSI0_TXCLKP		IO					1.8V	VDDA_1P8_DSI (NA)		D-PHY	
D17		DSI0_TXRCALIB	DSI0_TXRCALIB		A					1.8V	VDDA_1P8_DSI (NA)		D-PHY	
B19		DSI0_TXN0	DSI0_TXN0		IO					1.8V	VDDA_1P8_DSI (NA)		D-PHY	
A18		DSI0_TXN1	DSI0_TXN1		IO					1.8V	VDDA_1P8_DSI (NA)		D-PHY	
A20		DSI0_TXN2	DSI0_TXN2		IO					1.8V	VDDA_1P8_DSI (NA)		D-PHY	

ADVANCE INFORMATION

表 5-1. ピン属性 (ANB、ANQ パッケージ) (続き)

ANB ボール 番号[1]	ANQ ボール 番号[1]	ボール名 [2] PADCONFIG レジスタ [15] PADCONFIG アドレス [16]	信号名 [3]	多重化 モード [4]	タイプ [5]	DSIS [6]	リセット 時の ボール の状態 (RX/TX/PULL) [7]	リセット 後の ボール の状態 (RX/TX/PULL) [8]	リセット 後の 多重化 モード [9]	I/O 動作 電圧 [10]	ANB 電源/ANQ 電 源 [11]	HYS [12]	バッファ タイプ [13]	プル アップ/ダウ ン タイプ [14]
B22		DSI0_TXN3	DSI0_TXN3		IO					1.8V	VDDA_1P8_DSI (NA)		D-PHY	
B18		DSI0_TXP0	DSI0_TXP0		IO					1.8V	VDDA_1P8_DSI (NA)		D-PHY	
A17		DSI0_TXP1	DSI0_TXP1		IO					1.8V	VDDA_1P8_DSI (NA)		D-PHY	
A21		DSI0_TXP2	DSI0_TXP2		IO					1.8V	VDDA_1P8_DSI (NA)		D-PHY	
B21		DSI0_TXP3	DSI0_TXP3		IO					1.8V	VDDA_1P8_DSI (NA)		D-PHY	
Y16	該当なし	EMU0 PADCONFIG: PADCONFIG13 0x04084034	EMU0	0	IO	0	オン/オフ/アッ プ	オン/オフ/アッ プ	0	1.8V	VDDS0 (NA)	あり	1P8-LVCMOS	PU/PD
AA16	該当なし	EMU1 PADCONFIG: PADCONFIG14 0x04084038	EMU1	0	IO	0	オン/オフ/アッ プ	オン/オフ/アッ プ	0	1.8V	VDDS0 (NA)	あり	1P8-LVCMOS	PU/PD
C8	該当なし	EXTINTn PADCONFIG: PADCONFIG122 0x040841E8	EXTINTn	0	I	1	オフ/オフ/NA	オフ/オフ/NA	7	1.8V/3.3V	VDDSHV1 (NA)	あり	I2C OD FS	
			GPIO0_105	7	IO	パッド								
D16	該当なし	EXT_REFCLK1 PADCONFIG: PADCONFIG121 0x040841E4	EXT_REFCLK1	0	I	0	オフ/オフ/オフ	オフ/オフ/オフ	7	1.8V/3.3V	VDDSHV1 (NA)	あり	LVCMOS	PU/PD
			SYNC1_OUT	1	O									
			SPI2_CS3	2	IO	1								
			TIMER_IO0	4	IO	0								
			CLKOUT0	5	O									
			CP_GEMAC_CPTS0_RFT_CLK	6	I	0								
			GPIO0_104	7	IO	パッド								
			ECAP0_IN_APWM_OUT	8	IO	0								
ADC_EXT_TRIGGER0	9	I	0											
AB19		EXT_WAKEUP0	EXT_WAKEUP0		I					1.8V	VDDS_RTC / NA	あり	RTC - LVCMOS	
AB20		EXT_WAKEUP1	EXT_WAKEUP1		I					1.8V	VDDS_RTC / NA	あり	RTC - LVCMOS	
N19	該当なし	GPMC0_ADVn_ALE PADCONFIG: PADCONFIG48 0x040840C0	GPMC0_ADVn_ALE	0	O		オフ/オフ/オフ	オフ/オフ/オフ	7	1.8V/3.3V	VDDSHV0 (NA)	あり	LVCMOS	PU/PD
			VOUT0_DATA17	1	O									
			MCASP1_AXR2	2	IO	0								
			EHRPWM_TZn_IN1	4	I	0								
			SPI3_CS3	5	IO	1								
			TRC_DATA7	6	O									
			GPIO0_32	7	IO	パッド								

表 5-1. ピン属性 (ANB、ANQ パッケージ) (続き)

ANB ボール 番号[1]	ANQ ボール 番号[1]	ボール名 [2] PADCONFIG レジスタ [15] PADCONFIG アドレス [16]	信号名 [3]	多重化 モード [4]	タイプ [5]	DSIS [6]	リセット 時の ボール の状態 (RX/TX/PULL) [7]	リセット 後の ボール の状態 (RX/TX/PULL) [8]	リセット 後の 多重化 モード [9]	I/O 動作 電圧 [10]	ANB 電源/ANQ 電 源 [11]	HYS [12]	バッファ タイプ [13]	プル アップ/ダウ ン タイプ [14]
L21	該当なし	GPMC0_CLK PADCONFIG: PADCONFIG46 0x040840B8	GPMC0_CLK	0	O		オフ/オフ/オフ	オフ/オフ/オフ	7	1.8V/3.3V	VDDSHV0 (NA)	あり	LVCMOS	PU/PD
			VOUT0_DATA16	1	O									
			MCASP1_AXR3	2	IO	0								
			GPMC0_FCLK_MUX	3	O									
			EHRPWM1_B	4	IO	0								
			TRC_DATA6	6	O									
GPIO0_31	7	IO	パッド											
M21	該当なし	GPMC0_DIR PADCONFIG: PADCONFIG56 0x040840E0	GPMC0_DIR	0	O		オフ/オフ/オフ	オフ/オフ/オフ	7	1.8V/3.3V	VDDSHV0 (NA)	あり	LVCMOS	PU/PD
			VOUT0_DE	1	O									
			SPI2_D0	2	IO	0								
			MCASP2_AXR13	3	IO	0								
			EQEP1_B	4	I	0								
			TRC_DATA14	6	O									
			GPIO0_40	7	IO	パッド								
			EQEP2_S	8	IO	0								
MCAN1_TX	9	O												
N20	該当なし	GPMC0_OEn_REn PADCONFIG: PADCONFIG49 0x040840C4	GPMC0_OEn_REn	0	O		オフ/オフ/オフ	オフ/オフ/オフ	7	1.8V/3.3V	VDDSHV0 (NA)	あり	LVCMOS	PU/PD
			VOUT0_DATA18	1	O									
			MCASP1_AXR1	2	IO	0								
			EHRPWM2_A	4	IO	0								
			SPI3_CS2	5	IO	1								
			TRC_DATA8	6	O									
GPIO0_33	7	IO	パッド											
M19	該当なし	GPMC0_WEn PADCONFIG: PADCONFIG50 0x040840C8	GPMC0_WEn	0	O		オフ/オフ/オフ	オフ/オフ/オフ	7	1.8V/3.3V	VDDSHV0 (NA)	あり	LVCMOS	PU/PD
			VOUT0_DATA19	1	O									
			MCASP1_AXR0	2	IO	0								
			EHRPWM2_B	4	IO	0								
			SPI3_CS1	5	IO	1								
			TRC_DATA9	6	O									
GPIO0_34	7	IO	パッド											

ADVANCE INFORMATION

表 5-1. ピン属性 (ANB、ANQ パッケージ) (続き)

ANB ボール番号 [1]	ANQ ボール番号 [1]	ボール名 [2] PADCONFIG レジスタ [15] PADCONFIG アドレス [16]	信号名 [3]	多重化モード [4]	タイプ [5]	DSIS [6]	リセット時のボールの状態 (RX/TX/PULL) [7]	リセット後のボールの状態 (RX/TX/PULL) [8]	リセット後の多重化モード [9]	I/O 動作電圧 [10]	ANB 電源/ANQ 電源 [11]	HYS [12]	バッファタイプ [13]	プルアップ/ダウンタイプ [14]
N21		GPMC0_WPn PADCONFIG: PADCONFIG55 0x040840DC	GPMC0_WPn	0	O		オフ/オフ/オフ	オフ/オフ/オフ	7	1.8V/3.3V	VDDSHV0 (NA)	あり	LVCMOS	PU/PD
			VOUT0_HSYNC	1	O									
			SPI2_CLK	2	IO	0								
			UART6_TXD	3	O									
			EQEP1_A	4	I	0								
			AUDIO_EXT_REFCLK1	5	IO	0								
			TRC_DATA13	6	O									
			GPIO0_39	7	IO	バンド								
L22	該当なし	GPMC0_AD0 PADCONFIG: PADCONFIG30 0x04084078	GPMC0_AD0	0	IO	0	オフ/オフ/オフ	オフ/オフ/オフ	7	1.8V/3.3V	VDDSHV0 (NA)	あり	LVCMOS	PU/PD
			VOUT0_DATA0	1	O									
			UART6_RXD	2	I	1								
			MCASP2_AXR4	3	IO	0								
			I2C3_SCL	4	IOD	1								
			ECAP0_IN_APWM_OUT	5	IO	0								
			TRC_CLK	6	O									
			GPIO0_15	7	IO	バンド								
			BOOTMODE00		ブートストラップ	I								
L23	該当なし	GPMC0_AD1 PADCONFIG: PADCONFIG31 0x0408407C	GPMC0_AD1	0	IO	0	オフ/オフ/オフ	オフ/オフ/オフ	7	1.8V/3.3V	VDDSHV0 (NA)	あり	LVCMOS	PU/PD
			VOUT0_DATA1	1	O									
			UART6_TXD	2	O									
			MCASP2_AXR5	3	IO	0								
			I2C3_SDA	4	IOD	1								
			ECAP1_IN_APWM_OUT	5	IO	0								
			TRC_CTL	6	O									
			GPIO0_16	7	IO	バンド								
			BOOTMODE01		ブートストラップ	I								
K22	該当なし	GPMC0_AD2 PADCONFIG: PADCONFIG32 0x04084080	GPMC0_AD2	0	IO	0	オフ/オフ/オフ	オフ/オフ/オフ	7	1.8V/3.3V	VDDSHV0 (NA)	あり	LVCMOS	PU/PD
			VOUT0_DATA2	1	O									
			UART6_RTSn	2	O									
			MCASP2_AXR6	3	IO	0								
			SPI1_D0	4	IO	0								
			TRC_DATA0	6	O									
			GPIO0_17	7	IO	バンド								
			BOOTMODE02		ブートストラップ	I								

ADVANCE INFORMATION

表 5-1. ピン属性 (ANB、ANQ パッケージ) (続き)

ANB ボール 番号[1]	ANQ ボール 番号[1]	ボール名 [2] PADCONFIG レジスタ [15] PADCONFIG アドレス [16]	信号名 [3]	多重化 モード [4]	タイプ [5]	DSIS [6]	リセット 時の ボール の状態 (RX/TX/PULL) [7]	リセット 後の ボール の状態 (RX/TX/PULL) [8]	リセット 後の 多重化 モード [9]	I/O 動作 電圧 [10]	ANB 電源/ANQ 電 源 [11]	HYS [12]	バッファ タイプ [13]	プル アップ/ダウ ン タイプ [14]
J23	該当なし	GPMC0_AD3 PADCONFIG: PADCONFIG33 0x04084084	GPMC0_AD3	0	IO	0	オフ/オフ/オフ	オフ/オフ/オフ	7	1.8V/3.3V	VDDSHV0 (NA)	あり	LVCMOS	PU/PD
			VOUT0_DATA3	1	O									
			UART6_CTSn	2	I	1								
			MCASP2_AXR7	3	IO	0								
			SPI1_D1	4	IO	0								
			TRC_DATA1	6	O									
			GPIO0_18	7	IO	パッド								
			BOOTMODE03	ブートストラ ップ	I									
K23	該当なし	GPMC0_AD4 PADCONFIG: PADCONFIG34 0x04084088	GPMC0_AD4	0	IO	0	オフ/オフ/オフ	オフ/オフ/オフ	7	1.8V/3.3V	VDDSHV0 (NA)	あり	LVCMOS	PU/PD
			VOUT0_DATA4	1	O									
			UART5_RTSn	2	O									
			MCASP2_AXR8	3	IO	0								
			SPI1_CS0	4	IO	1								
			TRC_DATA2	6	O									
			GPIO0_19	7	IO	パッド								
			BOOTMODE04	ブートストラ ップ	I									
H22	該当なし	GPMC0_AD5 PADCONFIG: PADCONFIG35 0x0408408C	GPMC0_AD5	0	IO	0	オフ/オフ/オフ	オフ/オフ/オフ	7	1.8V/3.3V	VDDSHV0 (NA)	あり	LVCMOS	PU/PD
			VOUT0_DATA5	1	O									
			UART5_CTSn	2	I	1								
			MCASP2_AXR9	3	IO	0								
			SPI1_CLK	4	IO	0								
			TRC_DATA3	6	O									
			GPIO0_20	7	IO	パッド								
			BOOTMODE05	ブートストラ ップ	I									
H23	該当なし	GPMC0_AD6 PADCONFIG: PADCONFIG36 0x04084090	GPMC0_AD6	0	IO	0	オフ/オフ/オフ	オフ/オフ/オフ	7	1.8V/3.3V	VDDSHV0 (NA)	あり	LVCMOS	PU/PD
			VOUT0_DATA6	1	O									
			UART4_RTSn	2	O									
			MCASP2_AXR10	3	IO	0								
			SPI1_CS3	4	IO	1								
			TRC_DATA4	6	O									
			GPIO0_21	7	IO	パッド								
			BOOTMODE06	ブートストラ ップ	I									

表 5-1. ピン属性 (ANB、ANQ パッケージ) (続き)

ANB ボール番号 [1]	ANQ ボール番号 [1]	ボール名 [2] PADCONFIG レジスタ [15] PADCONFIG アドレス [16]	信号名 [3]	多重化モード [4]	タイプ [5]	DSIS [6]	リセット時のボールの状態 (RX/TX/PULL) [7]	リセット後のボールの状態 (RX/TX/PULL) [8]	リセット後の多重化モード [9]	I/O 動作電圧 [10]	ANB 電源/ANQ 電源 [11]	HYS [12]	バッファタイプ [13]	プルアップ/ダウンタイプ [14]
J22	該当なし	GPMC0_AD7 PADCONFIG: PADCONFIG37 0x04084094	GPMC0_AD7	0	IO	0	オフ/オフ/オフ	オフ/オフ/オフ	7	1.8V/3.3V	VDDSHV0 (NA)	あり	LVCMOS	PU/PD
			VOUT0_DATA7	1	O									
			UART4_CTSn	2	I	1								
			MCASP2_AXR11	3	IO	0								
			SPI1_CS1	4	IO	1								
			MCASP1_AXR5	5	IO	0								
			TRC_DATA5	6	O									
			GPIO0_22	7	IO	パッド								
BOOTMODE07	ブートストラップ	I												
H19	該当なし	GPMC0_AD8 PADCONFIG: PADCONFIG38 0x04084098	GPMC0_AD8	0	IO	0	オフ/オフ/オフ	オフ/オフ/オフ	7	1.8V/3.3V	VDDSHV0 (NA)	あり	LVCMOS	PU/PD
			VOUT0_DATA8	1	O									
			UART2_RXD	2	I	1								
			MCASP2_AXR0	3	IO	0								
			SPI1_CS2	4	IO	1								
			MCASP1_AXR4	5	IO	0								
			GPIO0_23	7	IO	パッド								
			BOOTMODE08	ブートストラップ	I									
H20	該当なし	GPMC0_AD9 PADCONFIG: PADCONFIG39 0x0408409C	GPMC0_AD9	0	IO	0	オフ/オフ/オフ	オフ/オフ/オフ	7	1.8V/3.3V	VDDSHV0 (NA)	あり	LVCMOS	PU/PD
			VOUT0_DATA9	1	O									
			UART2_TXD	2	O									
			MCASP2_AXR1	3	IO	0								
			TIMER_IO2	4	IO	0								
			ECAP2_IN_APWM_OUT	5	IO	0								
			GPIO0_24	7	IO	パッド								
			BOOTMODE09	ブートストラップ	I									
H21	該当なし	GPMC0_AD10 PADCONFIG: PADCONFIG40 0x040840A0	GPMC0_AD10	0	IO	0	オフ/オフ/オフ	オフ/オフ/オフ	7	1.8V/3.3V	VDDSHV0 (NA)	あり	LVCMOS	PU/PD
			VOUT0_DATA10	1	O									
			UART3_RXD	2	I	1								
			MCASP2_AXR2	3	IO	0								
			EHRPWM0_SYNCI	4	I	0								
			GPIO0_25	7	IO	パッド								
			OBSCLK0	8	O									
			BOOTMODE10	ブートストラップ	I									

表 5-1. ピン属性 (ANB、ANQ パッケージ) (続き)

ANB ボール番号 [1]	ANQ ボール番号 [1]	ボール名 [2] PADCONFIG レジスタ [15] PADCONFIG アドレス [16]	信号名 [3]	多重化モード [4]	タイプ [5]	DSIS [6]	リセット時のボールの状態 (RX/TX/PULL) [7]	リセット後のボールの状態 (RX/TX/PULL) [8]	リセット後の多重化モード [9]	I/O 動作電圧 [10]	ANB 電源/ANQ 電源 [11]	HYS [12]	バッファタイプ [13]	プルアップ/ダウンタイプ [14]
H18	該当なし	GPMC0_AD11 PADCONFIG: PADCONFIG41 0x040840A4	GPMC0_AD11	0	IO	0	オフ/オフ/オフ	オフ/オフ/オフ	7	1.8V/3.3V	VDDSHV0 (NA)	あり	LVCMOS	PU/PD
			VOUT0_DATA11	1	O									
			UART3_TXD	2	O									
			MCASP2_AXR3	3	IO	0								
			EHRPWM0_SYNC0	4	O									
			TRC_DATA23	6	O									
			GPIO0_26	7	IO	パッド								
BOOTMODE11	ブートストラップ	I												
G23	該当なし	GPMC0_AD12 PADCONFIG: PADCONFIG42 0x040840A8	GPMC0_AD12	0	IO	0	オン/オフ/オフ	オン/オフ/オフ	7	1.8V/3.3V	VDDSHV0 (NA)	あり	LVCMOS	PU/PD
			VOUT0_DATA12	1	O									
			UART4_RXD	2	I	1								
			MCASP2_AFSX	3	IO	0								
			EHRPWM_TZn_IN2	4	I	0								
			TRC_DATA22	6	O									
			GPIO0_27	7	IO	パッド								
BOOTMODE12	ブートストラップ	I												
G22	該当なし	GPMC0_AD13 PADCONFIG: PADCONFIG43 0x040840AC	GPMC0_AD13	0	IO	0	オン/オフ/オフ	オン/オフ/オフ	7	1.8V/3.3V	VDDSHV0 (NA)	あり	LVCMOS	PU/PD
			VOUT0_DATA13	1	O									
			UART4_TXD	2	O									
			MCASP2_ACLKX	3	IO	0								
			EHRPWM0_A	4	IO	0								
			TRC_DATA21	6	O									
			GPIO0_28	7	IO	パッド								
BOOTMODE13	ブートストラップ	I												
F22	該当なし	GPMC0_AD14 PADCONFIG: PADCONFIG44 0x040840B0	GPMC0_AD14	0	IO	0	オン/オフ/オフ	オン/オフ/オフ	7	1.8V/3.3V	VDDSHV0 (NA)	あり	LVCMOS	PU/PD
			VOUT0_DATA14	1	O									
			UART5_RXD	2	I	1								
			MCASP2_AFSR	3	IO	0								
			EHRPWM0_B	4	IO	0								
			TRC_DATA20	6	O									
			GPIO0_29	7	IO	パッド								
UART2_CTSn	8	I	1											
BOOTMODE14	ブートストラップ	I												

ADVANCE INFORMATION

表 5-1. ピン属性 (ANB、ANQ パッケージ) (続き)

ANB ボール 番号[1]	ANQ ボール 番号[1]	ボール名 [2] PADCONFIG レジスタ [15] PADCONFIG アドレス [16]	信号名 [3]	多重化 モード [4]	タイプ [5]	DSIS [6]	リセット 時の ボール の状態 (RX/TX/PULL) [7]	リセット 後の ボール の状態 (RX/TX/PULL) [8]	リセット 後の 多重化 モード [9]	I/O 動作 電圧 [10]	ANB 電源/ANQ 電 源 [11]	HYS [12]	バッファ タイプ [13]	プル アップ/ダウ ン タイプ [14]
F23	該当なし	GPMC0_AD15 PADCONFIG: PADCONFIG45 0x040840B4	GPMC0_AD15	0	IO	0	オン / オフ / オフ	オン / オフ / オフ	7	1.8V/3.3V	VDDSHV0 (NA)	あり	LVCMOS	PU/PD
			VOUT0_DATA15	1	O									
			UART5_TXD	2	O									
			MCASP2_ACLKR	3	IO	0								
			EHRPWM1_A	4	IO	0								
			TRC_DATA19	6	O									
			GPIO0_30	7	IO	バンド								
			UART2_RTSn	8	O									
BOOTMODE15	ブートストラ ップ	I												
P23	該当なし	GPMC0_BE0n_CLE PADCONFIG: PADCONFIG51 0x040840CC	GPMC0_BE0n_CLE	0	O		オフ / オフ / オフ	オフ / オフ / オフ	7	1.8V/3.3V	VDDSHV0 (NA)	あり	LVCMOS	PU/PD
			VOUT0_DATA20	1	O									
			MCASP1_ACLKX	2	IO	0								
			EQEP0_A	4	I	0								
			SPI3_CS0	5	IO	1								
			TRC_DATA10	6	O									
			GPIO0_35	7	IO	バンド								
P22	該当なし	GPMC0_BE1n PADCONFIG: PADCONFIG52 0x040840D0	GPMC0_BE1n	0	O		オフ / オフ / オフ	オフ / オフ / オフ	7	1.8V/3.3V	VDDSHV0 (NA)	あり	LVCMOS	PU/PD
			VOUT0_DATA21	1	O									
			MCASP2_AXR12	3	IO	0								
			EQEP0_B	4	I	0								
			SPI3_CLK	5	IO	0								
			TRC_DATA11	6	O									
			GPIO0_36	7	IO	バンド								
L20	該当なし	GPMC0_CSn0 PADCONFIG: PADCONFIG57 0x040840E4	GPMC0_CSn0	0	O		オフ / オフ / オフ	オフ / オフ / オフ	7	1.8V/3.3V	VDDSHV0 (NA)	あり	LVCMOS	PU/PD
			VOUT0_VSYNC	1	O									
			SPI2_D1	2	IO	0								
			MCASP2_AXR14	3	IO	0								
			EQEP1_S	4	IO	0								
			TRC_DATA15	6	O									
			GPIO0_41	7	IO	バンド								

ADVANCE INFORMATION

表 5-1. ピン属性 (ANB、ANQ パッケージ) (続き)

ANB ボール 番号[1]	ANQ ボール 番号[1]	ボール名 [2] PADCONFIG レジスタ [15] PADCONFIG アドレス [16]	信号名 [3]	多重化 モード [4]	タイプ [5]	DSIS [6]	リセット 時の ボール の状態 (RX/TX/PULL) [7]	リセット 後の ボール の状態 (RX/TX/PULL) [8]	リセット 後の 多重化 モード [9]	I/O 動作 電圧 [10]	ANB 電源/ANQ 電 源 [11]	HYS [12]	バッファ タイプ [13]	プル アップ/ダウ ン タイプ [14]
L19		GPMC0_CSn1 PADCONFIG: PADCONFIG58 0x040840E8	GPMC0_CSn1	0	O		オフ/オフ/オフ	オフ/オフ/オフ	7	1.8V/3.3V	VDDSHV0 (NA)	あり	LVCMOS	PU/PD
			VOUT0_PCLK	1	O									
			SPI2_CS0	2	IO	1								
			MCASP2_AXR15	3	IO	0								
			EQEP1_I	4	IO	0								
			TRC_DATA16	6	O									
			GPIO0_42	7	IO	バンド								
M23	該当なし	GPMC0_CSn2 PADCONFIG: PADCONFIG59 0x040840EC	GPMC0_CSn2	0	O		オフ/オフ/オフ	オフ/オフ/オフ	7	1.8V/3.3V	VDDSHV0 (NA)	あり	LVCMOS	PU/PD
			I2C2_SCL	1	IOD	1								
			MCASP1_AXR4	2	IO	0								
			UART4_RXD	3	I	1								
			ADC_EXT_TRIGGER0	4	I	0								
			VOUT0_EXTCLKIN	5	I	0								
			TRC_DATA17	6	O									
			GPIO0_43	7	IO	バンド								
			MCASP1_AFSR	8	IO	0								
M22	該当なし	GPMC0_CSn3 PADCONFIG: PADCONFIG60 0x040840F0	GPMC0_CSn3	0	O		オフ/オフ/オフ	オフ/オフ/オフ	7	1.8V/3.3V	VDDSHV0 (NA)	あり	LVCMOS	PU/PD
			I2C2_SDA	1	IOD	1								
			WKUP_CLKOUT0	2	O									
			UART4_TXD	3	O									
			MCASP1_AXR5	4	IO	0								
			ADC_EXT_TRIGGER1	5	I	0								
			TRC_DATA18	6	O									
			GPIO0_44	7	IO	バンド								
MCASP1_ACLKR	8	IO	0											
N23	該当なし	GPMC0_WAIT0 PADCONFIG: PADCONFIG53 0x040840D4	GPMC0_WAIT0	0	I	1	オフ/オフ/オフ	オフ/オフ/オフ	7	1.8V/3.3V	VDDSHV0 (NA)	あり	LVCMOS	PU/PD
			VOUT0_DATA22	1	O									
			MCASP1_AFSX	2	IO	0								
			EQEP0_S	4	IO	0								
			SPI3_D0	5	IO	0								
			TRC_DATA12	6	O									
			GPIO0_37	7	IO	バンド								

表 5-1. ピン属性 (ANB、ANQ パッケージ) (続き)

ANB ボール 番号[1]	ANQ ボール 番号[1]	ボール名 [2] PADCONFIG レジスタ [15] PADCONFIG アドレス [16]	信号名 [3]	多重化 モード [4]	タイプ [5]	DSIS [6]	リセット 時の ボール の状態 (RX/TX/PULL) [7]	リセット 後の ボール の状態 (RX/TX/PULL) [8]	リセット 後の 多重化 モード [9]	I/O 動作 電圧 [10]	ANB 電源/ANQ 電 源 [11]	HYS [12]	バッファ タイプ [13]	プル アップ/ダウ ン タイプ [14]
N22		GPMC0_WAIT1 PADCONFIG: PADCONFIG54 0x040840D8	GPMC0_WAIT1	0	I	1	オフ/オフ/オフ	オフ/オフ/オフ	7	1.8V/3.3V	VDDSHV0 (NA)	あり	LVCMOS	PU/PD
			VOUT0_DATA23	1	O									
			SPI2_CS1	2	IO	1								
			UART6_RXD	3	I	1								
			EQEP0_I	4	IO	0								
			SPI3_D1	5	IO	0								
			GPIO0_38	7	IO	パッド								
			EQEP2_I	8	IO	0								
B7	該当なし	I2C0_SCL PADCONFIG: PADCONFIG115 0x040841CC	I2C0_SCL	0	IOD	1	オフ/オフ/オフ	オフ/オフ/オフ	7	1.8V/3.3V	VDDSHV1 (NA)	あり	LVCMOS	PU/PD
			SYNCO_OUT	2	O									
			OBSClk1	3	O									
			UART1_DCDn	4	I	1								
			EQEP2_A	5	I	0								
			EHRPWM_SOCa	6	O									
			GPIO0_98	7	IO	パッド								
			ECAP1_IN_APWM_OUT	8	IO	0								
A7	該当なし	I2C0_SDA PADCONFIG: PADCONFIG116 0x040841D0	I2C0_SDA	0	IOD	1	オフ/オフ/オフ	オフ/オフ/オフ	7	1.8V/3.3V	VDDSHV1 (NA)	あり	LVCMOS	PU/PD
			SPI2_CS2	2	IO	1								
			TIMER_IO1	3	IO	0								
			UART1_DSRn	4	I	1								
			EQEP2_B	5	I	0								
			EHRPWM_SOCb	6	O									
			GPIO0_99	7	IO	パッド								
			ECAP2_IN_APWM_OUT	8	IO	0								
D7	該当なし	I2C1_SCL PADCONFIG: PADCONFIG117 0x040841D4	I2C1_SCL	0	IOD	1	オフ/オフ/オフ	オフ/オフ/オフ	7	1.8V/3.3V	VDDSHV1 (NA)	あり	LVCMOS	PU/PD
			UART1_RXD	1	I	1								
			TIMER_IO0	2	IO	0								
			SPI2_CS1	3	IO	1								
			EHRPWM0_SYNCI	4	I	0								
			GPIO0_100	7	IO	パッド								
			EHRPWM2_A	8	IO	0								
			MMC2_SDCD	9	I	0								

ADVANCE INFORMATION

表 5-1. ピン属性 (ANB、ANQ パッケージ) (続き)

ANB ボール番号 [1]	ANQ ボール番号 [1]	ボール名 [2] PADCONFIG レジスタ [15] PADCONFIG アドレス [16]	信号名 [3]	多重化モード [4]	タイプ [5]	DSIS [6]	リセット時のボールの状態 (RX/TX/PULL) [7]	リセット後のボールの状態 (RX/TX/PULL) [8]	リセット後の多重化モード [9]	I/O 動作電圧 [10]	ANB 電源/ANQ 電源 [11]	HYS [12]	バッファタイプ [13]	プルアップ/ダウンタイプ [14]
A6	該当なし	I2C1_SDA PADCONFIG: PADCONFIG118 0x040841D8	I2C1_SDA	0	IOD	1	オフ/オフ/オフ	オフ/オフ/オフ	7	1.8V/3.3V	VDDSHV1 (NA)	あり	LVCMOS	PU/PD
			UART1_TXD	1	O	0								
			TIMER_IO1	2	IO	0								
			SPI2_CLK	3	IO	0								
			EHRPWM0_SYNCO	4	O	0								
			GPIO0_101	7	IO	パッド								
			EHRPWM2_B	8	IO	0								
			MMC2_SDWP	9	I	0								
B8	該当なし	I2C2_SCL PADCONFIG: PADCONFIG119 0x040841DC	I2C2_SCL	0	IOD	1	オフ/オフ/NA	オフ/オフ/NA	7	1.8V/3.3V	VDDSHV1 (NA)	あり	I2C OD FS	
			GPIO0_102	7	IO	パッド								
D8	該当なし	I2C2_SDA PADCONFIG: PADCONFIG120 0x040841E0	I2C2_SDA	0	IOD	1	オフ/オフ/NA	オフ/オフ/NA	7	1.8V/3.3V	VDDSHV1 (NA)	あり	I2C OD FS	
			GPIO0_103	7	IO	パッド								
AC21	該当なし	LFOSC0_XI	LFOSC0_XI		I					1.8V	VDDS_RTC / NA		LFXOSC	
AC20	該当なし	LFOSC0_XO	LFOSC0_XO		O					1.8V	VDDS_RTC / NA		LFXOSC	
B15	該当なし	MCAN0_RX PADCONFIG: PADCONFIG114 0x040841C8	MCAN0_RX	0	I	1	オフ/オフ/オフ	オフ/オフ/オフ	7	1.8V/3.3V	VDDSHV1 (NA)	あり	LVCMOS	PU/PD
			UART5_TXD	1	O									
			TIMER_IO3	2	IO	0								
			SYNC3_OUT	3	O									
			UART1_RIn	4	I	1								
			EQEP2_S	5	IO	0								
			GPIO0_97	7	IO	パッド								
			MCASP2_AXR1	8	IO	0								
			EHRPWM_TZn_IN4	9	I	0								
B16	該当なし	MCAN0_TX PADCONFIG: PADCONFIG113 0x040841C4	MCAN0_TX	0	O		オフ/オフ/オフ	オフ/オフ/オフ	7	1.8V/3.3V	VDDSHV1 (NA)	あり	LVCMOS	PU/PD
			UART5_RXD	1	I	1								
			TIMER_IO2	2	IO	0								
			SYNC2_OUT	3	O									
			UART1_DTRn	4	O									
			EQEP2_I	5	IO	0								
			GPIO0_96	7	IO	パッド								
			MCASP2_AXR0	8	IO	0								
			EHRPWM_TZn_IN3	9	I	0								

表 5-1. ピン属性 (ANB、ANQ パッケージ) (続き)

ANB ボール番号 [1]	ANQ ボール番号 [1]	ボール名 [2] PADCONFIG レジスタ [15] PADCONFIG アドレス [16]	信号名 [3]	多重化モード [4]	タイプ [5]	DSIS [6]	リセット時のボールの状態 (RX/TX/PULL) [7]	リセット後のボールの状態 (RX/TX/PULL) [8]	リセット後の多重化モード [9]	I/O 動作電圧 [10]	ANB 電源/ANQ 電源 [11]	HYS [12]	バッファタイプ [13]	プルアップ/ダウンタイプ [14]
A12	該当なし	MCASP0_ACLKR PADCONFIG: PADCONFIG103 0x0408419C	MCASP0_ACLKR	0	IO	0	オフ/オフ/オフ	オフ/オフ/オフ	7	1.8V/3.3V	VDDSHV1 (NA)	あり	LVCMOS	PU/PD
			SPI2_CLK	1	IO	0								
			UART1_TXD	2	O									
			ADC_EXT_TRIGGER1	3	I	0								
			EHRPWM0_B	5	IO	0								
			GPIO0_86	7	IO	パッド								
EQEP1_I	8	IO	0											
A11	該当なし	MCASP0_ACLKX PADCONFIG: PADCONFIG100 0x04084190	MCASP0_ACLKX	0	IO	0	オフ/オフ/オフ	オフ/オフ/オフ	7	1.8V/3.3V	VDDSHV1 (NA)	あり	LVCMOS	PU/PD
			SPI2_CS1	1	IO	1								
			ECAP2_IN_APWM_OUT	2	IO	0								
			GPIO0_83	7	IO	パッド								
EQEP1_A	8	I	0											
C11	該当なし	MCASP0_AFSR PADCONFIG: PADCONFIG102 0x04084198	MCASP0_AFSR	0	IO	0	オフ/オフ/オフ	オフ/オフ/オフ	7	1.8V/3.3V	VDDSHV1 (NA)	あり	LVCMOS	PU/PD
			SPI2_CS0	1	IO	1								
			UART1_RXD	2	I	1								
			ADC_EXT_TRIGGER0	3	I	0								
			EHRPWM0_A	5	IO	0								
			GPIO0_85	7	IO	パッド								
EQEP1_S	8	IO	0											
B11	該当なし	MCASP0_AFSX PADCONFIG: PADCONFIG101 0x04084194	MCASP0_AFSX	0	IO	0	オフ/オフ/オフ	オフ/オフ/オフ	7	1.8V/3.3V	VDDSHV1 (NA)	あり	LVCMOS	PU/PD
			SPI2_CS3	1	IO	1								
			AUDIO_EXT_REFCLK1	2	IO	0								
			GPIO0_84	7	IO	パッド								
EQEP1_B	8	I	0											
B9	該当なし	MCASP0_AXR0 PADCONFIG: PADCONFIG99 0x0408418C	MCASP0_AXR0	0	IO	0	オフ/オフ/オフ	オフ/オフ/オフ	7	1.8V/3.3V	VDDSHV1 (NA)	あり	LVCMOS	PU/PD
			AUDIO_EXT_REFCLK0	2	IO	0								
			EHRPWM1_B	5	IO	0								
			GPIO0_82	7	IO	パッド								
EQEP0_I	8	IO	0											
A9	該当なし	MCASP0_AXR1 PADCONFIG: PADCONFIG98 0x04084188	MCASP0_AXR1	0	IO	0	オフ/オフ/オフ	オフ/オフ/オフ	7	1.8V/3.3V	VDDSHV1 (NA)	あり	LVCMOS	PU/PD
			SPI2_CS2	1	IO	1								
			ECAP1_IN_APWM_OUT	2	IO	0								
			EHRPWM1_A	5	IO	0								
			GPIO0_81	7	IO	パッド								
			EQEP0_S	8	IO	0								

表 5-1. ピン属性 (ANB、ANQ パッケージ) (続き)

ANB ボール 番号[1]	ANQ ボール 番号[1]	ボール名 [2] PADCONFIG レジスタ [15] PADCONFIG アドレス [16]	信号名 [3]	多重化 モード [4]	タイプ [5]	DSIS [6]	リセット 時の ボール の状態 (RX/TX/PULL) [7]	リセット 後の ボール の状態 (RX/TX/PULL) [8]	リセット 後の 多重化 モード [9]	I/O 動作 電圧 [10]	ANB 電源/ANQ 電 源 [11]	HYS [12]	バッファ タイプ [13]	プル アップ/ダウ ン タイプ [14]
B10	該当なし	MCASP0_AXR2 PADCONFIG: PADCONFIG97 0x04084184	MCASP0_AXR2	0	IO	0	オフ/オフ/オフ	オフ/オフ/オフ	7	1.8V/3.3V	VDDSHV1 (NA)	あり	LVCMOS	PU/PD
			SPI2_D1	1	IO	0								
			UART1_RTSn	2	O									
			UART6_TXD	3	O									
			ECAP2_IN_APWM_OUT	4	IO	0								
			MCAN1_TX	5	O									
			GPIO0_80	7	IO	バンド								
EQEP0_B	8	I	0											
A8	該当なし	MCASP0_AXR3 PADCONFIG: PADCONFIG96 0x04084180	MCASP0_AXR3	0	IO	0	オフ/オフ/オフ	オフ/オフ/オフ	7	1.8V/3.3V	VDDSHV1 (NA)	あり	LVCMOS	PU/PD
			SPI2_D0	1	IO	0								
			UART1_CTSn	2	I	1								
			UART6_RXD	3	I	1								
			ECAP1_IN_APWM_OUT	4	IO	0								
			MCAN1_RX	5	I	1								
			GPIO0_79	7	IO	バンド								
EQEP0_A	8	I	0											
AC15		MDIO0_MDC PADCONFIG: PADCONFIG83 0x0408414C	MDIO0_MDC	0	O		オフ/オフ/オフ	オフ/オフ/オフ	7	1.8V	VDDS0 (NA)	あり	1P8-LVCMOS	PU/PD
			GPIO0_66	7	IO	バンド								
AC13		MDIO0_MDIO PADCONFIG: PADCONFIG82 0x04084148	MDIO0_MDIO	0	IO	0	オフ/オフ/オフ	オフ/オフ/オフ	7	1.8V	VDDS0 (NA)	あり	1P8-LVCMOS	PU/PD
			GPIO0_65	7	IO	バンド								
B2	該当なし	MMC0_CLK PADCONFIG: PADCONFIG131 0x0408420C	MMC0_CLK	0	IO	0	オフ/オフ/オフ	オフ/オフ/オフ	7	1.8V/3.3V	VDDSHV2 (NA)	あり	SDIO	PU/PD
			I2C3_SCL	1	IOD	1								
			EHRPWM2_A	2	IO	0								
			SPI1_CS1	5	IO	1								
			TIMER_IO0	6	IO	0								
			GPIO0_114	7	IO	バンド								
D2	該当なし	MMC0_CMD PADCONFIG: PADCONFIG133 0x04084214	MMC0_CMD	0	IO	1	オフ/オフ/オフ	オフ/オフ/オフ	7	1.8V/3.3V	VDDSHV2 (NA)	あり	SDIO	PU/PD
			I2C3_SDA	1	IOD	1								
			EHRPWM2_B	2	IO	0								
			SPI1_CS2	5	IO	1								
			TIMER_IO1	6	IO	0								
			GPIO0_115	7	IO	バンド								

表 5-1. ピン属性 (ANB、ANQ パッケージ) (続き)

ANB ボール 番号[1]	ANQ ボール 番号[1]	ボール名 [2] PADCONFIG レジスタ [15] PADCONFIG アドレス [16]	信号名 [3]	多重化 モード [4]	タイプ [5]	DSIS [6]	リセット 時の ボール の状態 (RX/TX/PULL) [7]	リセット 後の ボール の状態 (RX/TX/PULL) [8]	リセット 後の 多重化 モード [9]	I/O 動作 電圧 [10]	ANB 電源/ANQ 電 源 [11]	HYS [12]	バッファ タイプ [13]	プル アップ/ダウ ン タイプ [14]
Y2	該当なし	MMC1_CLK PADCONFIG: PADCONFIG138 0x04084228	MMC1_CLK	0	IO	0	オフ/オフ/オフ	オフ/オフ/オフ	7	1.8V/3.3V	VDDSHV3 (NA)	あり	SDIO	PU/PD
			TIMER_IO0	2	IO	0								
			UART3_RXD	3	I	1								
			SPI3_CS0	5	IO	1								
			SPI2_CS2	6	IO	1								
			GPIO0_120	7	IO	パッド								
Y3	該当なし	MMC1_CMD PADCONFIG: PADCONFIG140 0x04084230	MMC1_CMD	0	IO	1	オフ/オフ/オフ	オフ/オフ/オフ	7	1.8V/3.3V	VDDSHV3 (NA)	あり	SDIO	PU/PD
			TIMER_IO1	2	IO	0								
			UART3_TXD	3	O									
			SPI3_CLK	5	IO	0								
			SPI2_CS0	6	IO	1								
			GPIO0_121	7	IO	パッド								
B6	該当なし	MMC1_SDCCD PADCONFIG: PADCONFIG141 0x04084234	MMC1_SDCCD	0	I	0	オフ/オフ/オフ	オフ/オフ/オフ	7	1.8V/3.3V	VDDSHV1 (NA)	あり	LVCMOS	PU/PD
			UART6_RXD	1	I	1								
			TIMER_IO2	2	IO	0								
			UART3_RTSn	3	O									
			MCAN2_RX	4	I	1								
			SPI3_CS3	5	IO	1								
			SPI2_CLK	6	IO	0								
			GPIO0_122	7	IO	パッド								
D6	該当なし	MMC1_SDWP PADCONFIG: PADCONFIG142 0x04084238	MMC1_SDWP	0	I	0	オフ/オフ/オフ	オフ/オフ/オフ	7	1.8V/3.3V	VDDSHV1 (NA)	あり	LVCMOS	PU/PD
			UART6_TXD	1	O									
			TIMER_IO3	2	IO	0								
			UART3_CTSn	3	I	1								
			MCAN2_TX	4	O									
			SPI3_CS1	5	IO	1								
			GPIO0_123	7	IO	パッド								
R23	該当なし	MMC2_CLK PADCONFIG: PADCONFIG65 0x04084104	MMC2_CLK	0	IO	0	オフ/オフ/オフ	オフ/オフ/オフ	7	1.8V/3.3V	VDDSHV4 (NA)	あり	SDIO	PU/PD
			MCASP1_ACLKR	1	IO	0								
			MCASP1_AXR5	2	IO	0								
			UART6_RXD	3	I	1								
			GPIO0_49	7	IO	パッド								

表 5-1. ピン属性 (ANB、ANQ パッケージ) (続き)

ANB ボール番号 [1]	ANQ ボール番号 [1]	ボール名 [2] PADCONFIG レジスタ [15] PADCONFIG アドレス [16]	信号名 [3]	多重化モード [4]	タイプ [5]	DSIS [6]	リセット時のボールの状態 (RX/TX/PULL) [7]	リセット後のボールの状態 (RX/TX/PULL) [8]	リセット後の多重化モード [9]	I/O 動作電圧 [10]	ANB 電源/ANQ 電源 [11]	HYS [12]	バッファタイプ [13]	プルアップ/ダウンタイプ [14]
U23		MMC2_CMD PADCONFIG: PADCONFIG67 0x0408410C	MMC2_CMD	0	IO	1	オフ/オフ/オフ	オフ/オフ/オフ	7	1.8V/3.3V	VDDSHV4 (NA)	あり	SDIO	PU/PD
			MCASP1_AFSR	1	IO	0								
			MCASP1_AXR4	2	IO	0								
			UART6_TXD	3	O									
			GPIO0_50	7	IO	パッド								
T20		MMC2_SDCD PADCONFIG: PADCONFIG68 0x04084110	MMC2_SDCD	0	I	0	オフ/オフ/オフ	オフ/オフ/オフ	7	1.8V/3.3V	VDDSHV4 (NA)	あり	LVCMOS	PU/PD
			MCASP1_ACLKX	1	IO	0								
			UART4_RXD	3	I	1								
			GPIO0_51	7	IO	パッド								
T21		MMC2_SDWP PADCONFIG: PADCONFIG69 0x04084114	MMC2_SDWP	0	I	0	オフ/オフ/オフ	オフ/オフ/オフ	7	1.8V/3.3V	VDDSHV4 (NA)	あり	LVCMOS	PU/PD
			MCASP1_AFSX	1	IO	0								
			UART4_TXD	3	O									
			GPIO0_52	7	IO	パッド								
D3	該当なし	MMC0_DAT0 PADCONFIG: PADCONFIG130 0x04084208	MMC0_DAT0	0	IO	1	オフ/オフ/オフ	オフ/オフ/オフ	7	1.8V/3.3V	VDDSHV2 (NA)	あり	SDIO	PU/PD
			UART3_CTSn	1	I	1								
			EHRPWM_TZn_IN1	2	I	0								
			SPI2_CLK	6	IO	0								
			GPIO0_113	7	IO	パッド								
D4	該当なし	MMC0_DAT1 PADCONFIG: PADCONFIG129 0x04084204	MMC0_DAT1	0	IO	1	オフ/オフ/オフ	オフ/オフ/オフ	7	1.8V/3.3V	VDDSHV2 (NA)	あり	SDIO	PU/PD
			UART3_RTSn	1	O									
			EHRPWM1_B	2	IO	0								
			SPI1_CS3	5	IO	1								
			SPI2_CS0	6	IO	1								
			GPIO0_112	7	IO	パッド								
C1	該当なし	MMC0_DAT2 PADCONFIG: PADCONFIG128 0x04084200	MMC0_DAT2	0	IO	1	オフ/オフ/オフ	オフ/オフ/オフ	7	1.8V/3.3V	VDDSHV2 (NA)	あり	SDIO	PU/PD
			UART3_TXD	1	O									
			EHRPWM1_A	2	IO	0								
			MCAN2_TX	3	O									
			SPI1_CLK	5	IO	0								
			TIMER_IO0	6	IO	0								
			GPIO0_111	7	IO	パッド								

表 5-1. ピン属性 (ANB、ANQ パッケージ) (続き)

ANB ボール番号 [1]	ANQ ボール番号 [1]	ボール名 [2] PADCONFIG レジスタ [15] PADCONFIG アドレス [16]	信号名 [3]	多重化モード [4]	タイプ [5]	DSIS [6]	リセット時のボールの状態 (RX/TX/PULL) [7]	リセット後のボールの状態 (RX/TX/PULL) [8]	リセット後の多重化モード [9]	I/O 動作電圧 [10]	ANB 電源/ANQ 電源 [11]	HYS [12]	バッファタイプ [13]	プルアップ/ダウンタイプ [14]
C2	該当なし	MMC0_DAT3 PADCONFIG: PADCONFIG127 0x040841FC	MMC0_DAT3	0	IO	1	オフ/オフ/オフ	オフ/オフ/オフ	7	1.8V/3.3V	VDDSHV2 (NA)	あり	SDIO	PU/PD
			UART3_RXD	1	I	1								
			EHRPWM0_B	2	IO	0								
			MCAN2_RX	3	I	1								
			SPI1_CS0	5	IO	1								
			SPI2_CS2	6	IO	1								
			GPIO0_110	7	IO	バンド								
C4	該当なし	MMC0_DAT4 PADCONFIG: PADCONFIG126 0x040841F8	MMC0_DAT4	0	IO	1	オフ/オフ/オフ	オフ/オフ/オフ	7	1.8V/3.3V	VDDSHV2 (NA)	あり	SDIO	PU/PD
			UART2_CTSn	1	I	1								
			EHRPWM0_A	2	IO	0								
			SPI1_CLK	5	IO	0								
			SPI2_D1	6	IO	0								
			GPIO0_109	7	IO	バンド								
			B3	該当なし	MMC0_DAT5 PADCONFIG: PADCONFIG125 0x040841F4	MMC0_DAT5								
UART2_RTSn	1	O												
EHRPWM_TZn_IN2	2	I				0								
SPI1_CS0	5	IO				1								
SPI2_D0	6	IO				0								
GPIO0_108	7	IO				バンド								
A3	該当なし	MMC0_DAT6 PADCONFIG: PADCONFIG124 0x040841F0				MMC0_DAT6	0	IO	1	オフ/オフ/オフ	オフ/オフ/オフ	7	1.8V/3.3V	VDDSHV2 (NA)
			UART2_TXD	1	O									
			EHRPWM0_SYNCO	2	O									
			MCAN1_TX	3	O									
			SPI2_CLK	4	IO	0								
			SPI1_D1	5	IO	0								
			SPI2_CS3	6	IO	1								
GPIO0_107	7	IO	バンド											
B4	該当なし	MMC0_DAT7 PADCONFIG: PADCONFIG123 0x040841EC	MMC0_DAT7	0	IO	1	オフ/オフ/オフ	オフ/オフ/オフ	7	1.8V/3.3V	VDDSHV2 (NA)	あり	SDIO	PU/PD
			UART2_RXD	1	I	1								
			EHRPWM0_SYNCI	2	I	0								
			MCAN1_RX	3	I	1								
			SPI1_D0	5	IO	0								
			SPI2_CS1	6	IO	1								
			GPIO0_106	7	IO	バンド								

表 5-1. ピン属性 (ANB、ANQ パッケージ) (続き)

ANB ボール番号 [1]	ANQ ボール番号 [1]	ボール名 [2] PADCONFIG レジスタ [15] PADCONFIG アドレス [16]	信号名 [3]	多重化モード [4]	タイプ [5]	DSIS [6]	リセット時のボールの状態 (RX/TX/PULL) [7]	リセット後のボールの状態 (RX/TX/PULL) [8]	リセット後の多重化モード [9]	I/O 動作電圧 [10]	ANB 電源/ANQ 電源 [11]	HYS [12]	バッファタイプ [13]	プルアップ/ダウンタイプ [14]
AA1	該当なし	MMC1_DAT0 PADCONFIG: PADCONFIG137 0x04084224	MMC1_DAT0	0	IO	1	オフ/オフ/オフ	オフ/オフ/オフ	7	1.8V/3.3V	VDDSHV3 (NA)	あり	SDIO	PU/PD
			CP_GEMAC_CPTS0_HW2TSPUSH	1	I	0								
			TIMER_IO3	2	IO	0								
			UART2_CTSn	3	I	1								
			ECAP2_IN_APWM_OUT	4	IO	0								
			SPI2_D1	6	IO	0								
			GPIO0_119	7	IO	バンド								
Y4	該当なし	MMC1_DAT1 PADCONFIG: PADCONFIG136 0x04084220	MMC1_DAT1	0	IO	1	オフ/オフ/オフ	オフ/オフ/オフ	7	1.8V/3.3V	VDDSHV3 (NA)	あり	SDIO	PU/PD
			CP_GEMAC_CPTS0_HW1TSPUSH	1	I	0								
			TIMER_IO2	2	IO	0								
			UART2_RTSn	3	O									
			ECAP1_IN_APWM_OUT	4	IO	0								
			SPI3_CS2	5	IO	1								
			SPI2_D0	6	IO	0								
GPIO0_118	7	IO	バンド											
AA2	該当なし	MMC1_DAT2 PADCONFIG: PADCONFIG135 0x0408421C	MMC1_DAT2	0	IO	1	オフ/オフ/オフ	オフ/オフ/オフ	7	1.8V/3.3V	VDDSHV3 (NA)	あり	SDIO	PU/PD
			CP_GEMAC_CPTS0_TS_SYNC	1	O									
			TIMER_IO1	2	IO	0								
			UART2_TXD	3	O									
			MCAN1_TX	4	O									
			SPI3_D1	5	IO	0								
			SPI2_CS3	6	IO	1								
GPIO0_117	7	IO	バンド											
AB2	該当なし	MMC1_DAT3 PADCONFIG: PADCONFIG134 0x04084218	MMC1_DAT3	0	IO	1	オフ/オフ/オフ	オフ/オフ/オフ	7	1.8V/3.3V	VDDSHV3 (NA)	あり	SDIO	PU/PD
			CP_GEMAC_CPTS0_TS_COMP	1	O									
			TIMER_IO0	2	IO	0								
			UART2_RXD	3	I	1								
			MCAN1_RX	4	I	1								
			SPI3_D0	5	IO	0								
			SPI2_CS1	6	IO	1								
GPIO0_116	7	IO	バンド											
U22		MMC2_DAT0 PADCONFIG: PADCONFIG64 0x04084100	MMC2_DAT0	0	IO	1	オフ/オフ/オフ	オフ/オフ/オフ	7	1.8V/3.3V	VDDSHV4 (NA)	あり	SDIO	PU/PD
			MCASP1_AXR0	1	IO	0								
			GPIO0_48	7	IO	バンド								

表 5-1. ピン属性 (ANB、ANQ パッケージ) (続き)

ANB ボール番号 [1]	ANQ ボール番号 [1]	ボール名 [2] PADCONFIG レジスタ [15] PADCONFIG アドレス [16]	信号名 [3]	多重化モード [4]	タイプ [5]	DSIS [6]	リセット時のボールの状態 (RX/TX/PULL) [7]	リセット後のボールの状態 (RX/TX/PULL) [8]	リセット後の多重化モード [9]	I/O 動作電圧 [10]	ANB 電源/ANQ 電源 [11]	HYS [12]	バッファタイプ [13]	プルアップ/ダウンタイプ [14]
T22		MMC2_DAT1 PADCONFIG: PADCONFIG63 0x040840FC	MMC2_DAT1	0	IO	1	オフ/オフ/オフ	オフ/オフ/オフ	7	1.8V/3.3V	VDDSHV4 (NA)	あり	SDIO	PU/PD
			MCASP1_AXR1	1	IO	0								
			GPIO0_47	7	IO	パッド								
T23		MMC2_DAT2 PADCONFIG: PADCONFIG62 0x040840F8	MMC2_DAT2	0	IO	1	オフ/オフ/オフ	オフ/オフ/オフ	7	1.8V/3.3V	VDDSHV4 (NA)	あり	SDIO	PU/PD
			MCASP1_AXR2	1	IO	0								
			UART5_TXD	3	O									
			GPIO0_46	7	IO	パッド								
R22		MMC2_DAT3 PADCONFIG: PADCONFIG61 0x040840F4	MMC2_DAT3	0	IO	1	オフ/オフ/オフ	オフ/オフ/オフ	7	1.8V/3.3V	VDDSHV4 (NA)	あり	SDIO	PU/PD
			MCASP1_AXR3	1	IO	0								
			UART5_RXD	3	I	1								
			GPIO0_45	7	IO	パッド								
D22	該当なし	OSPI0_CLK PADCONFIG: PADCONFIG15 0x0408403C	OSPI0_CLK	0	O		オフ/オフ/オフ	オフ/オフ/オフ	7	1.8V	VDDS1 (NA)	あり	1P8-LVCMOS	PU/PD
			GPIO0_0	7	IO	パッド								
E22	該当なし	OSPI0_DQS PADCONFIG: PADCONFIG17 0x04084044	OSPI0_DQS	0	I	0	オフ/オフ/オフ	オフ/オフ/オフ	7	1.8V	VDDS1 (NA)	あり	1P8-LVCMOS	PU/PD
			UART5_CTSn	5	I	1								
			GPIO0_2	7	IO	パッド								
E18	該当なし	OSPI0_LBCLKO PADCONFIG: PADCONFIG16 0x04084040	OSPI0_LBCLKO	0	IO	0	オフ/オフ/オフ	オフ/オフ/オフ	7	1.8V	VDDS1 (NA)	あり	1P8-LVCMOS	PU/PD
			UART5_RTSn	5	O									
			GPIO0_1	7	IO	パッド								
C20	該当なし	OSPI0_CS0 PADCONFIG: PADCONFIG26 0x04084068	OSPI0_CS0	0	O		オフ/オフ/オフ	オフ/オフ/オフ	7	1.8V	VDDS1 (NA)	あり	1P8-LVCMOS	PU/PD
			GPIO0_11	7	IO	パッド								
D20	該当なし	OSPI0_CS1 PADCONFIG: PADCONFIG27 0x0408406C	OSPI0_CS1	0	O		オフ/オフ/オフ	オフ/オフ/オフ	7	1.8V	VDDS1 (NA)	あり	1P8-LVCMOS	PU/PD
			GPIO0_12	7	IO	パッド								
D18	該当なし	OSPI0_CS2 PADCONFIG: PADCONFIG28 0x04084070	OSPI0_CS2	0	O		オフ/オフ/オフ	オフ/オフ/オフ	7	1.8V	VDDS1 (NA)	あり	1P8-LVCMOS	PU/PD
			SPI1_CS1	1	IO	1								
			OSPI0_RESET_OUT1	2	O									
			MCASP1_AFSR	3	IO	0								
			MCASP1_AXR2	4	IO	0								
			UART5_RXD	5	I	1								
			ADC_EXT_TRIGGER0	6	I	0								
GPIO0_13	7	IO	パッド											

ADVANCE INFORMATION

表 5-1. ピン属性 (ANB、ANQ パッケージ) (続き)

ANB ボール番号 [1]	ANQ ボール番号 [1]	ボール名 [2] PADCONFIG レジスタ [15] PADCONFIG アドレス [16]	信号名 [3]	多重化モード [4]	タイプ [5]	DSIS [6]	リセット時のボールの状態 (RX/TX/PULL) [7]	リセット後のボールの状態 (RX/TX/PULL) [8]	リセット後の多重化モード [9]	I/O 動作電圧 [10]	ANB 電源/ANQ 電源 [11]	HYS [12]	バッファタイプ [13]	プルアップ/ダウンタイプ [14]
C23	該当なし	OSPI0_CSn3 PADCONFIG: PADCONFIG29 0x04084074	OSPI0_CSn3	0	O		オフ/オフ/オフ	オフ/オフ/オフ	7	1.8V	VDDSD1 (NA)	あり	1P8-LVCMOS	PU/PD
			OSPI0_RESET_OUT0	1	O									
			OSPI0_ECC_FAIL	2	I	1								
			MCASP1_ACLKR	3	IO	0								
			MCASP1_AXR3	4	IO	0								
			UART5_TXD	5	O									
			ADC_EXT_TRIGGER1	6	I	0								
GPIO0_14	7	IO	パッド											
C22	該当なし	OSPI0_D0 PADCONFIG: PADCONFIG18 0x04084048	OSPI0_D0	0	IO	0	オフ/オフ/オフ	オフ/オフ/オフ	7	1.8V	VDDSD1 (NA)	あり	1P8-LVCMOS	PU/PD
			GPIO0_3	7	IO	パッド								
D21	該当なし	OSPI0_D1 PADCONFIG: PADCONFIG19 0x0408404C	OSPI0_D1	0	IO	0	オフ/オフ/オフ	オフ/オフ/オフ	7	1.8V	VDDSD1 (NA)	あり	1P8-LVCMOS	PU/PD
			GPIO0_4	7	IO	パッド								
E23	該当なし	OSPI0_D2 PADCONFIG: PADCONFIG20 0x04084050	OSPI0_D2	0	IO	0	オフ/オフ/オフ	オフ/オフ/オフ	7	1.8V	VDDSD1 (NA)	あり	1P8-LVCMOS	PU/PD
			GPIO0_5	7	IO	パッド								
D23	該当なし	OSPI0_D3 PADCONFIG: PADCONFIG21 0x04084054	OSPI0_D3	0	IO	0	オフ/オフ/オフ	オフ/オフ/オフ	7	1.8V	VDDSD1 (NA)	あり	1P8-LVCMOS	PU/PD
			GPIO0_6	7	IO	パッド								
F21	該当なし	OSPI0_D4 PADCONFIG: PADCONFIG22 0x04084058	OSPI0_D4	0	IO	0	オフ/オフ/オフ	オフ/オフ/オフ	7	1.8V	VDDSD1 (NA)	あり	1P8-LVCMOS	PU/PD
			SPI1_CS0	1	IO	1								
			MCASP1_AXR1	2	IO	0								
			UART6_RXD	3	I	1								
			GPIO0_7	7	IO	パッド								
F19	該当なし	OSPI0_D5 PADCONFIG: PADCONFIG23 0x0408405C	OSPI0_D5	0	IO	0	オフ/オフ/オフ	オフ/オフ/オフ	7	1.8V	VDDSD1 (NA)	あり	1P8-LVCMOS	PU/PD
			SPI1_CLK	1	IO	0								
			MCASP1_AXR0	2	IO	0								
			UART6_TXD	3	O									
			GPIO0_8	7	IO	パッド								

表 5-1. ピン属性 (ANB、ANQ パッケージ) (続き)

ANB ボール番号 [1]	ANQ ボール番号 [1]	ボール名 [2] PADCONFIG レジスタ [15] PADCONFIG アドレス [16]	信号名 [3]	多重化モード [4]	タイプ [5]	DSIS [6]	リセット時のボールの状態 (RX/TX/PULL) [7]	リセット後のボールの状態 (RX/TX/PULL) [8]	リセット後の多重化モード [9]	I/O 動作電圧 [10]	ANB 電源/ANQ 電源 [11]	HYS [12]	バッファタイプ [13]	プルアップ/ダウンタイプ [14]
G20	該当なし	OSPI0_D6 PADCONFIG: PADCONFIG24 0x04084060	OSPI0_D6	0	IO	0	オフ/オフ/オフ	オフ/オフ/オフ	7	1.8V	VDDS1 (NA)	あり	1P8-LVCMOS	PU/PD
			SPI1_D0	1	IO	0								
			MCASP1_ACLKX	2	IO	0								
			UART6_RTSn	3	O									
			I2C3_SCL	4	IOD	1								
			UART4_RXD	5	I	1								
			GPIO0_9	7	IO	パッド								
F20	該当なし	OSPI0_D7 PADCONFIG: PADCONFIG25 0x04084064	OSPI0_D7	0	IO	0	オフ/オフ/オフ	オフ/オフ/オフ	7	1.8V	VDDS1 (NA)	あり	1P8-LVCMOS	PU/PD
			SPI1_D1	1	IO	0								
			MCASP1_AFSX	2	IO	0								
			UART6_CTSn	3	I	1								
			I2C3_SDA	4	IOD	1								
			UART4_TXD	5	O									
			GPIO0_10	7	IO	パッド								
AA18	該当なし	PMIC_LPM_EN0	PMIC_LPM_EN0			O	オフ/オフ/アップ			1.8V	VDDS_RTC / NA		RTC - LVCMOS	PU
AB18	該当なし	PORz PADCONFIG: PADCONFIG7 0x0408401C	PORz	0	I				0	1.8V	VDDS_OSC0 (NA)	あり	FS RESET	
C16	該当なし	RESETSTATz PADCONFIG: PADCONFIG144 0x04084240	RESETSTATz	0	O		オフ/Low/オフ	オフ/SS/オフ	0	1.8V/3.3V	VDDSHV1 (NA)	あり	LVCMOS	PU/PD
E16	該当なし	RESETz PADCONFIG: PADCONFIG143 0x0408423C	RESETz	0	I		オン/オフ/アップ	オン/オフ/アップ	0	1.8V/3.3V	VDDSHV1 (NA)	あり	LVCMOS	PU/PD
Y7		RGMII1_RXC PADCONFIG: PADCONFIG77 0x04084134	RGMII1_RXC	0	I	0	オフ/オフ/オフ	オフ/オフ/オフ	7	1.8V	VDDS0 (NA)	あり	1P8-LVCMOS	PU/PD
			RMII1_REF_CLK	1	I	0								
			GPIO0_60	7	IO	パッド								
Y6		RGMII1_RX_CTL PADCONFIG: PADCONFIG76 0x04084130	RGMII1_RX_CTL	0	I	0	オフ/オフ/オフ	オフ/オフ/オフ	7	1.8V	VDDS0 (NA)	あり	1P8-LVCMOS	PU/PD
			RMII1_RX_ER	1	I	0								
			GPIO0_59	7	IO	パッド								
W11		RGMII1_TXC PADCONFIG: PADCONFIG71 0x0408411C	RGMII1_TXC	0	O		オフ/オフ/オフ	オフ/オフ/オフ	7	1.8V	VDDS0 (NA)	あり	1P8-LVCMOS	PU/PD
			RMII1_CRS_DV	1	I	0								
			GPIO0_54	7	IO	パッド								

表 5-1. ピン属性 (ANB、ANQ パッケージ) (続き)

ANB ボール番号 [1]	ANQ ボール番号 [1]	ボール名 [2] PADCONFIG レジスタ [15] PADCONFIG アドレス [16]	信号名 [3]	多重化モード [4]	タイプ [5]	DSIS [6]	リセット時のボールの状態 (RX/TX/PULL) [7]	リセット後のボールの状態 (RX/TX/PULL) [8]	リセット後の多重化モード [9]	I/O 動作電圧 [10]	ANB 電源/ANQ 電源 [11]	HYS [12]	バッファタイプ [13]	プルアップ/ダウンタイプ [14]
AB11		RGMII1_TX_CTL PADCONFIG: PADCONFIG70 0x04084118	RGMI1_TX_CTL	0	O		オフ/オフ/オフ	オフ/オフ/オフ	7	1.8V	VDDSD0 (NA)	あり	1P8-LVCMOS	PU/PD
			RMII1_TX_EN	1	O									
			GPIO0_53	7	IO	バンド								
AC7		RGMII2_RXC PADCONFIG: PADCONFIG91 0x0408416C	RGMI2_RXC	0	I	0	オフ/オフ/オフ	オフ/オフ/オフ	7	1.8V	VDDSD0 (NA)	あり	1P8-LVCMOS	PU/PD
			RMII2_REF_CLK	1	I	0								
			MCASP2_AXR1	2	IO	0								
			GPIO0_74	7	IO	バンド								
AC8		RGMII2_RX_CTL PADCONFIG: PADCONFIG90 0x04084168	RGMI2_RX_CTL	0	I	0	オフ/オフ/オフ	オフ/オフ/オフ	7	1.8V	VDDSD0 (NA)	あり	1P8-LVCMOS	PU/PD
			RMII2_RX_ER	1	I	0								
			MCASP2_AXR3	2	IO	0								
			GPIO0_73	7	IO	バンド								
Y13		RGMII2_TXC PADCONFIG: PADCONFIG85 0x04084154	RGMI2_TXC	0	O		オフ/オフ/オフ	オフ/オフ/オフ	7	1.8V	VDDSD0 (NA)	あり	1P8-LVCMOS	PU/PD
			RMII2_CRSDV	1	I	0								
			MCASP2_AXR5	2	IO	0								
			GPIO0_68	7	IO	バンド								
AB12		RGMII2_TX_CTL PADCONFIG: PADCONFIG84 0x04084150	RGMI2_TX_CTL	0	O		オフ/オフ/オフ	オフ/オフ/オフ	7	1.8V	VDDSD0 (NA)	あり	1P8-LVCMOS	PU/PD
			RMII2_TX_EN	1	O									
			MCASP2_AXR4	2	IO	0								
			GPIO0_67	7	IO	バンド								
Y8		RGMII1_RD0 PADCONFIG: PADCONFIG78 0x04084138	RGMI1_RD0	0	I	0	オフ/オフ/オフ	オフ/オフ/オフ	7	1.8V	VDDSD0 (NA)	あり	1P8-LVCMOS	PU/PD
			RMII1_RXD0	1	I	0								
			GPIO0_61	7	IO	バンド								
AA6		RGMII1_RD1 PADCONFIG: PADCONFIG79 0x0408413C	RGMI1_RD1	0	I	0	オフ/オフ/オフ	オフ/オフ/オフ	7	1.8V	VDDSD0 (NA)	あり	1P8-LVCMOS	PU/PD
			RMII1_RXD1	1	I	0								
			GPIO0_62	7	IO	バンド								
AA8		RGMII1_RD2 PADCONFIG: PADCONFIG80 0x04084140	RGMI1_RD2	0	I	0	オフ/オフ/オフ	オフ/オフ/オフ	7	1.8V	VDDSD0 (NA)	あり	1P8-LVCMOS	PU/PD
			I2C2_SCL	1	IOD	1								
			GPMC0_A5	2	O									
			GPIO0_63	7	IO	バンド								
W8		RGMII1_RD3 PADCONFIG: PADCONFIG81 0x04084144	RGMI1_RD3	0	I	0	オフ/オフ/オフ	オフ/オフ/オフ	7	1.8V	VDDSD0 (NA)	あり	1P8-LVCMOS	PU/PD
			I2C2_SDA	1	IOD	1								
			GPMC0_A6	2	O									
			GPIO0_64	7	IO	バンド								

表 5-1. ピン属性 (ANB、ANQ パッケージ) (続き)

ANB ボール番号 [1]	ANQ ボール番号 [1]	ボール名 [2] PADCONFIG レジスタ [15] PADCONFIG アドレス [16]	信号名 [3]	多重化モード [4]	タイプ [5]	DSIS [6]	リセット時のボールの状態 (RX/TX/PULL) [7]	リセット後のボールの状態 (RX/TX/PULL) [8]	リセット後の多重化モード [9]	I/O 動作電圧 [10]	ANB 電源/ANQ 電源 [11]	HYS [12]	バッファタイプ [13]	プルアップ/ダウンタイプ [14]
AC10		RGMII1_TD0 PADCONFIG: PADCONFIG72 0x04084120	RGMI1_TD0	0	O		オフ/オフ/オフ	オフ/オフ/オフ	7	1.8V	VDDSD0 (NA)	あり	1P8-LVCMOS	PU/PD
			RMII1_TXD0	1	O									
			GPIO0_55	7	IO	パッド								
W13		RGMII1_TD1 PADCONFIG: PADCONFIG73 0x04084124	RGMI1_TD1	0	O		オフ/オフ/オフ	オフ/オフ/オフ	7	1.8V	VDDSD0 (NA)	あり	1P8-LVCMOS	PU/PD
			RMII1_TXD1	1	O									
			GPIO0_56	7	IO	パッド								
Y11		RGMII1_TD2 PADCONFIG: PADCONFIG74 0x04084128	RGMI1_TD2	0	O		オフ/オフ/オフ	オフ/オフ/オフ	7	1.8V	VDDSD0 (NA)	あり	1P8-LVCMOS	PU/PD
			GPMC0_A0	1	O									
			GPIO0_57	7	IO	パッド								
AA11		RGMII1_TD3 PADCONFIG: PADCONFIG75 0x0408412C	RGMI1_TD3	0	O		オフ/オフ/オフ	オフ/オフ/オフ	7	1.8V	VDDSD0 (NA)	あり	1P8-LVCMOS	PU/PD
			CLKOUT0	1	O									
			GPIO0_58	7	IO	パッド								
AB9		RGMII2_RD0 PADCONFIG: PADCONFIG92 0x04084170	RGMI2_RD0	0	I	0	オフ/オフ/オフ	オフ/オフ/オフ	7	1.8V	VDDSD0 (NA)	あり	1P8-LVCMOS	PU/PD
			RMII2_RXD0	1	I	0								
			MCASP2_AXR2	2	IO	0								
			GPIO0_75	7	IO	パッド								
AC9		RGMII2_RD1 PADCONFIG: PADCONFIG93 0x04084174	RGMI2_RD1	0	I	0	オフ/オフ/オフ	オフ/オフ/オフ	7	1.8V	VDDSD0 (NA)	あり	1P8-LVCMOS	PU/PD
			RMII2_RXD1	1	I	0								
			MCASP2_AFSR	2	IO	0								
			MCASP2_AXR7	5	IO	0								
			GPIO0_76	7	IO	パッド								
AB10		RGMII2_RD2 PADCONFIG: PADCONFIG94 0x04084178	RGMI2_RD2	0	I	0	オフ/オフ/オフ	オフ/オフ/オフ	7	1.8V	VDDSD0 (NA)	あり	1P8-LVCMOS	PU/PD
			GPMC0_A3	1	O									
			MCASP2_AXR0	2	IO	0								
			SPI3_CLK	3	IO	0								
			GPIO0_77	7	IO	パッド								
			EQEP2_A	8	I	0								
AB8		RGMII2_RD3 PADCONFIG: PADCONFIG95 0x0408417C	RGMI2_RD3	0	I	0	オフ/オフ/オフ	オフ/オフ/オフ	7	1.8V	VDDSD0 (NA)	あり	1P8-LVCMOS	PU/PD
			GPMC0_A4	1	O									
			AUDIO_EXT_REFCLK0	2	IO	0								
			SPI3_CS0	3	IO	1								
			GPIO0_78	7	IO	パッド								
			EQEP2_B	8	I	0								

表 5-1. ピン属性 (ANB、ANQ パッケージ) (続き)

ANB ボール番号 [1]	ANQ ボール番号 [1]	ボール名 [2] PADCONFIG レジスタ [15] PADCONFIG アドレス [16]	信号名 [3]	多重化モード [4]	タイプ [5]	DSIS [6]	リセット時のボールの状態 (RX/TX/PULL) [7]	リセット後のボールの状態 (RX/TX/PULL) [8]	リセット後の多重化モード [9]	I/O 動作電圧 [10]	ANB 電源/ANQ 電源 [11]	HYS [12]	バッファタイプ [13]	プルアップ/ダウンタイプ [14]
AC12		RGMII2_TD0 PADCONFIG: PADCONFIG86 0x04084158	RGMII2_TD0	0	O		オフ/オフ/オフ	オフ/オフ/オフ	7	1.8V	VDDSD0 (NA)	あり	1P8-LVCMOS	PU/PD
			RMII2_TXD0	1	O									
			MCASP2_AXR6	2	IO	0								
			GPIO0_69	7	IO	パッド								
AB13		RGMII2_TD1 PADCONFIG: PADCONFIG87 0x0408415C	RGMII2_TD1	0	O		オフ/オフ/オフ	オフ/オフ/オフ	7	1.8V	VDDSD0 (NA)	あり	1P8-LVCMOS	PU/PD
			RMII2_TXD1	1	O									
			MCASP2_ACLKR	2	IO	0								
			MCASP2_AXR8	5	IO	0								
AA12		RGMII2_TD2 PADCONFIG: PADCONFIG88 0x04084160	RGMII2_TD2	0	O		オフ/オフ/オフ	オフ/オフ/オフ	7	1.8V	VDDSD0 (NA)	あり	1P8-LVCMOS	PU/PD
			GPMC0_A1	1	O									
			MCASP2_AFSX	2	IO	0								
			SPI3_D0	3	IO	0								
			GPIO0_71	7	IO	パッド								
AA13		RGMII2_TD3 PADCONFIG: PADCONFIG89 0x04084164	RGMII2_TD3	0	O		オフ/オフ/オフ	オフ/オフ/オフ	7	1.8V	VDDSD0 (NA)	あり	1P8-LVCMOS	PU/PD
			GPMC0_A2	1	O									
			MCASP2_ACLKX	2	IO	0								
			SPI3_D1	3	IO	0								
			GPIO0_72	7	IO	パッド								
AA13		RGMII2_TD3 PADCONFIG: PADCONFIG89 0x04084164	EQEP2_I	8	IO	0								
			EQEP2_S	8	IO	0								
			GPIO0_72	7	IO	パッド								
			SPI3_D1	3	IO	0								
			MCASP2_ACLKX	2	IO	0								
AB17	該当なし	RSVD0	RSVD0		該当なし									
Y18		RTC_PORz	RTC_PORz		I				1.8V	VDDSD_RTC / NA	あり	RTC - LVCMOS		
E13	該当なし	SPI0_CLK PADCONFIG: PADCONFIG106 0x040841A8	SPI0_CLK	0	IO	0	オフ/オフ/オフ	オフ/オフ/オフ	7	1.8V/3.3V	VDDSHV1 (NA)	あり	LVCMOS	PU/PD
			CP_GEMAC_CPTS0_TS_SYNC	1	O									
			EHRPWM1_A	2	IO	0								
			GPIO0_89	7	IO	パッド								
E11	該当なし	SPI0_CS0 PADCONFIG: PADCONFIG104 0x040841A0	SPI0_CS0	0	IO	1	オフ/オフ/オフ	オフ/オフ/オフ	7	1.8V/3.3V	VDDSHV1 (NA)	あり	LVCMOS	PU/PD
			EHRPWM0_A	2	IO	0								
			GPIO0_87	7	IO	パッド								

ADVANCE INFORMATION

表 5-1. ピン属性 (ANB、ANQ パッケージ) (続き)

ANB ボール 番号[1]	ANQ ボール 番号[1]	ボール名 [2] PADCONFIG レジスタ [15] PADCONFIG アドレス [16]	信号名 [3]	多重化 モード [4]	タイプ [5]	DSIS [6]	リセット 時の ボール の状態 (RX/TX/PULL) [7]	リセット 後の ボール の状態 (RX/TX/PULL) [8]	リセット 後の 多重化 モード [9]	I/O 動作 電圧 [10]	ANB 電源/ANQ 電 源 [11]	HYS [12]	バッファ タイプ [13]	プル アップ/ダウ ン タイプ [14]
D11	該当なし	SPI0_CS1 PADCONFIG: PADCONFIG105 0x040841A4	SPI0_CS1	0	IO	1	オフ/オフ/オフ	オフ/オフ/オフ	7	1.8V/3.3V	VDDSHV1 (NA)	あり	LVCMOS	PU/PD
			CP_GEMAC_CPTS0_TS_COMP	1	O									
			EHRPWM0_B	2	IO	0								
			ECAP0_IN_APWM_OUT	3	IO	0								
			AUDIO_EXT_REFCLK1	4	IO	0								
			GPIO0_88	7	IO	パッド								
EHRPWM_TZn_IN5	9	I	0											
E12	該当なし	SPI0_D0 PADCONFIG: PADCONFIG107 0x040841AC	SPI0_D0	0	IO	0	オフ/オフ/オフ	オフ/オフ/オフ	7	1.8V/3.3V	VDDSHV1 (NA)	あり	LVCMOS	PU/PD
			CP_GEMAC_CPTS0_HW1TSPUSH	1	I	0								
			EHRPWM1_B	2	IO	0								
			GPIO0_90	7	IO	パッド								
B12	該当なし	SPI0_D1 PADCONFIG: PADCONFIG108 0x040841B0	SPI0_D1	0	IO	0	オフ/オフ/オフ	オフ/オフ/オフ	7	1.8V/3.3V	VDDSHV1 (NA)	あり	LVCMOS	PU/PD
			CP_GEMAC_CPTS0_HW2TSPUSH	1	I	0								
			EHRPWM_TZn_IN0	2	I	0								
			GPIO0_91	7	IO	パッド								
AB14	該当なし	TCK PADCONFIG: PADCONFIG8 0x04084020	TCK	0	I		オン/オフ/アッ プ	オン/オフ/アッ プ	0	1.8V	VDDSD (NA)	あり	1P8-LVCMOS	PU/PD
AC16	該当なし	TDI PADCONFIG: PADCONFIG10 0x04084028	TDI	0	I		オン/オフ/アッ プ	オン/オフ/アッ プ	0	1.8V	VDDSD (NA)	あり	1P8-LVCMOS	PU/PD
AB15	該当なし	TDO PADCONFIG: PADCONFIG11 0x0408402C	TDO	0	OZ		オフ/オフ/アッ プ	オフ/SS/アッ プ	0	1.8V	VDDSD (NA)	あり	1P8-LVCMOS	PU/PD
Y17	該当なし	TMS PADCONFIG: PADCONFIG12 0x04084030	TMS	0	I		オン/オフ/アッ プ	オン/オフ/アッ プ	0	1.8V	VDDSD (NA)	あり	1P8-LVCMOS	PU/PD
AB16	該当なし	TRSTn PADCONFIG: PADCONFIG9 0x04084024	TRSTn	0	I		オン/オフ/ダウ ン	オン/オフ/ダウ ン	0	1.8V	VDDSD (NA)	あり	1P8-LVCMOS	PU/PD

表 5-1. ピン属性 (ANB、ANQ パッケージ) (続き)

ANB ボール番号 [1]	ANQ ボール番号 [1]	ボール名 [2] PADCONFIG レジスタ [15] PADCONFIG アドレス [16]	信号名 [3]	多重化モード [4]	タイプ [5]	DSIS [6]	リセット時のボールの状態 (RX/TX/PULL) [7]	リセット後のボールの状態 (RX/TX/PULL) [8]	リセット後の多重化モード [9]	I/O 動作電圧 [10]	ANB 電源/ANQ 電源 [11]	HYS [12]	バッファタイプ [13]	プルアップ/ダウンタイプ [14]
B14	該当なし	UART0_CTSn PADCONFIG: PADCONFIG111 0x040841BC	UART0_CTSn	0	I	1	オフ/オフ/オフ	オフ/オフ/オフ	7	1.8V/3.3V	VDDSHV1 (NA)	あり	LVCMOS	PU/PD
			SPI0_CS2	1	IO	1								
			I2C3_SCL	2	IOD	1								
			UART2_RXD	3	I	1								
			TIMER_IO2	4	IO	0								
			AUDIO_EXT_REFCLK0	5	IO	0								
			MCAN2_RX	6	I	1								
			GPIO0_94	7	IO	パッド								
			MCASP2_AFSX	8	IO	0								
			MMC2_SDCCD	9	I	0								
B13	該当なし	UART0_RTSn PADCONFIG: PADCONFIG112 0x040841C0	UART0_RTSn	0	O		オフ/オフ/オフ	オフ/オフ/オフ	7	1.8V/3.3V	VDDSHV1 (NA)	あり	LVCMOS	PU/PD
			SPI0_CS3	1	IO	1								
			I2C3_SDA	2	IOD	1								
			UART2_TXD	3	O									
			TIMER_IO3	4	IO	0								
			AUDIO_EXT_REFCLK1	5	IO	0								
			MCAN2_TX	6	O									
			GPIO0_95	7	IO	パッド								
			MCASP2_ACLKX	8	IO	0								
			MMC2_SDWP	9	I	0								
D13	該当なし	UART0_RXD PADCONFIG: PADCONFIG109 0x040841B4	UART0_RXD	0	I	1	オフ/オフ/オフ	オフ/オフ/オフ	7	1.8V/3.3V	VDDSHV1 (NA)	あり	LVCMOS	PU/PD
			ECAP1_IN_APWM_OUT	1	IO	0								
			SPI2_D0	2	IO	0								
			EHRPWM2_A	3	IO	0								
			GPIO0_92	7	IO	パッド								
C13	該当なし	UART0_TXD PADCONFIG: PADCONFIG110 0x040841B8	UART0_TXD	0	O		オフ/オフ/オフ	オフ/オフ/オフ	7	1.8V/3.3V	VDDSHV1 (NA)	あり	LVCMOS	PU/PD
			ECAP2_IN_APWM_OUT	1	IO	0								
			SPI2_D1	2	IO	0								
			EHRPWM2_B	3	IO	0								
			GPIO0_93	7	IO	パッド								
AC4	該当なし	USB0_DM	USB0_DM		IO				1.8V/3.3V	VDDA_1P8_USB, VDDA_3P3_USB / NA		USB2PHY		
AB4	該当なし	USB0_DP	USB0_DP		IO				1.8V/3.3V	VDDA_1P8_USB, VDDA_3P3_USB / NA		USB2PHY		

表 5-1. ピン属性 (ANB、ANQ パッケージ) (続き)

ANB ボール番号 [1]	ANQ ボール番号 [1]	ボール名 [2] PADCONFIG レジスタ [15] PADCONFIG アドレス [16]	信号名 [3]	多重化モード [4]	タイプ [5]	DSIS [6]	リセット時のボールの状態 (RX/TX/PULL) [7]	リセット後のボールの状態 (RX/TX/PULL) [8]	リセット後の多重化モード [9]	I/O 動作電圧 [10]	ANB 電源/ANQ 電源 [11]	HYS [12]	バッファタイプ [13]	プルアップ/ダウン タイプ [14]
C6	該当なし	USB0_DRVVBUS	USB0_DRVVBUS	0	O									
		PADCONFIG: PADCONFIG145 0x04084244	GPIO0_124	7	IO	パッド	オフ/オフ/ダウン	オフ/オフ/ダウン	7	1.8V/3.3V	VDDSHV1 (NA)	あり	LVCMOS	PU/PD
AB3	該当なし	USB0_RCALIB	USB0_RCALIB		IO					1.8V/3.3V	VDDA_1P8_USB、 VDDA_3P3_USB / NA		USB2PHY	
AC3	該当なし	USB0_VBUS	USB0_VBUS		A					1.8V/3.3V	VDDA_1P8_USB、 VDDA_3P3_USB / NA		USB2PHY	
AC5		USB1_DM	USB1_DM		IO					1.8V/3.3V	VDDA_1P8_USB、 VDDA_3P3_USB / NA		USB2PHY	
AB5		USB1_DP	USB1_DP		IO					1.8V/3.3V	VDDA_1P8_USB、 VDDA_3P3_USB / NA		USB2PHY	
A5		USB1_DRVVBUS	USB1_DRVVBUS	0	O									
		PADCONFIG: PADCONFIG146 0x04084248	GPIO0_125	7	IO	パッド	オフ/オフ/ダウン	オフ/オフ/ダウン	7	1.8V/3.3V	VDDSHV1 (NA)	あり	LVCMOS	PU/PD
AC6		USB1_RCALIB	USB1_RCALIB		IO					1.8V/3.3V	VDDA_1P8_USB、 VDDA_3P3_USB / NA		USB2PHY	
AB6		USB1_VBUS	USB1_VBUS		A					1.8V/3.3V	VDDA_1P8_USB、 VDDA_3P3_USB / NA		USB2PHY	
G14		VDDA_1P8_DSI	VDDA_1P8_DSI		PWR									
T12	該当なし	VDDA_1P8_USB	VDDA_1P8_USB		PWR									
U16		VDDA_3P3_SDIO	VDDA_3P3_SDIO		PWR									
U12	該当なし	VDDA_3P3_USB	VDDA_3P3_USB		PWR									
N17		VDDA_ADC	VDDA_ADC		PWR									
G13		VDDA_CORE_DSI	VDDA_CORE_DSI		PWR									
H12		VDDA_CORE_DSI_CLK	VDDA_CORE_DSI_CLK		PWR									
U11	該当なし	VDDA_CORE_USB	VDDA_CORE_USB		PWR									
M10	該当なし	VDDA_DDR_PLL0	VDDA_DDR_PLL0		PWR									
L11	該当なし	VDDA_PLL0	VDDA_PLL0		PWR									
K12	該当なし	VDDA_PLL1	VDDA_PLL1		PWR									
T14	該当なし	VDDS0	VDDS0		PWR									
H16	該当なし	VDDS1	VDDS1		PWR									
J16、L17		VDDSHV0	VDDSHV0		PWR									
G10、H10	該当なし	VDDSHV1	VDDSHV1		PWR									

ADVANCE INFORMATION

表 5-1. ピン属性 (ANB、ANQ パッケージ) (続き)

ANB ボール 番号[1]	ANQ ボール 番号[1]	ボール名 [2] PADCONFIG レジスタ [15] PADCONFIG アドレス [16]	信号名 [3]	多重化 モード [4]	タイプ [5]	DSIS [6]	リセット 時の ボール の状態 (RX/TX/PULL) [7]	リセット 後の ボール の状態 (RX/TX/PULL) [8]	リセット 後の 多重化 モード [9]	I/O 動作 電圧 [10]	ANB 電源/ANQ 電 源 [11]	HYS [12]	バッファ タイプ [13]	プル アップ/ダウ ン タイプ [14]
H8	該当なし	VDDSHV2	VDDSHV2		PWR									
T10	該当なし	VDDSHV3	VDDSHV3		PWR									
M17		VDDSHV4	VDDSHV4		PWR									
L8、M7、 M8、N8、 P8	該当なし	VDDS_DDR	VDDS_DDR		PWR									
R16	該当なし	VDDS_OSC0	VDDS_OSC0		PWR									
T18		VDDS_RTC	VDDS_RTC		PWR									
P16		VDDS_WKUP	VDDS_WKUP		PWR									
J11, J13, J15, J9, K10, K14, L15, M14, N15, P10, P12, P14, R11, R9	該当なし	VDD_CORE	VDD_CORE		PWR									
T17		VDD_RTC	VDD_RTC		PWR									
N18	該当なし	VPP	VPP		PWR									

表 5-1. ピン属性 (ANB、ANQ パッケージ) (続き)

ANB ボール番号 [1]	ANQ ボール番号 [1]	ボール名 [2] PADCONFIG レジスタ [15] PADCONFIG アドレス [16]	信号名 [3]	多重化モード [4]	タイプ [5]	DSIS [6]	リセット時のボールの状態 (RX/TX/PULL) [7]	リセット後のボールの状態 (RX/TX/PULL) [8]	リセット後の多重化モード [9]	I/O 動作電圧 [10]	ANB 電源/ANQ 電源 [11]	HYS [12]	バッファタイプ [13]	プルアップ/ダウンタイプ [14]
A1, A10, A13, A16, A19, A2, A22, A23, A4, AA20, AA4, AB1, AB21, AB23, AB7, AC1, AC11, AC14, AC19, AC2, AC22, AC23, B1, B17, B20, B23, B5, C12, C18, D1, E10, E14, E15, E2, E6, E8, E9, F18, F5, F6, G12, G15, G16, G17, G7, G8, G9, H1, H14, H17, H7, K15, K8, K9, L13, L16, L18, L7, L9, M1, M12, N11, N13, N16, N7, N9, P15, P9, R1, R13, R15, R8, T19, T2, T7, T8, U10, U13, U14, U15, U17, U20, U7, U8, V18, V19, V3, W10, W12, W14, W15, W16, W18, W9, Y1, Y20, Y21	該当なし	VSS	VSS		PWR									
Y23	該当なし	WKUP_CLKOUT0 PADCONFIG: PADCONFIG6 0x04084018	WKUP_CLKOUT0 WKUP_GPIO0_6	0 7	O IO		オフ/オフ/オフ	オフ/SS/オフ	0	1.8V	VDDS_WKUP / NA	あり	1P8-LVCMOS	PU/PD

表 5-1. ピン属性 (ANB、ANQ パッケージ) (続き)

ANB ボール番号 [1]	ANQ ボール番号 [1]	ボール名 [2] PADCONFIG レジスタ [15] PADCONFIG アドレス [16]	信号名 [3]	多重化モード [4]	タイプ [5]	DSIS [6]	リセット時のボールの状態 (RX/TX/PULL) [7]	リセット後のボールの状態 (RX/TX/PULL) [8]	リセット後の多重化モード [9]	I/O 動作電圧 [10]	ANB 電源/ANQ 電源 [11]	HYS [12]	バッファタイプ [13]	プルアップ/ダウンタイプ [14]
AB22	該当なし	WKUP_I2C0_SCL PADCONFIG: PADCONFIG4 0x04084010	WKUP_I2C0_SCL	0	IOD	1	オフ/オフ/オフ	オフ/オフ/オフ	7	1.8V	VDDS_WKUP / NA	あり	1P8-LVCMOS	PU/PD
			WKUP_GPIO0_4	7	IO	パッド								
AA22	該当なし	WKUP_I2C0_SDA PADCONFIG: PADCONFIG5 0x04084014	WKUP_I2C0_SDA	0	IOD	1	オフ/オフ/オフ	オフ/オフ/オフ	7	1.8V	VDDS_WKUP / NA	あり	1P8-LVCMOS	PU/PD
			WKUP_GPIO0_5	7	IO	パッド								
AC18	該当なし	WKUP_OSC0_XI	WKUP_OSC0_XI		I					1.8V	VDDS_OSC0 (NA)		HFOSC	
AC17	該当なし	WKUP_OSC0_XO	WKUP_OSC0_XO		O					1.8V	VDDS_OSC0 (NA)		HFOSC	
W23		WKUP_UART0_CTSn PADCONFIG: PADCONFIG2 0x04084008	WKUP_UART0_CTSn	0	I	1	オフ/オフ/オフ	オフ/オフ/オフ	7	1.8V	VDDS_WKUP / NA	あり	1P8-LVCMOS	PU/PD
			WKUP_TIMER_IO0	1	IO	0								
			WKUP_OBSCLK0	2	O									
			WKUP_SYSCLKOUT0	3	O									
W22		WKUP_UART0_RTSn PADCONFIG: PADCONFIG3 0x0408400C	WKUP_UART0_RTSn	0	O		オフ/オフ/オフ	オフ/オフ/オフ	7	1.8V	VDDS_WKUP / NA	あり	1P8-LVCMOS	PU/PD
			WKUP_TIMER_IO1	1	IO	0								
			WKUP_EXT_REFCLK0	2	I	0								
			WKUP_GPIO0_3	7	IO	パッド								
Y22		WKUP_UART0_RXD PADCONFIG: PADCONFIG0 0x04084000	WKUP_UART0_RXD	0	I	1	オフ/オフ/オフ	オフ/オフ/オフ	7	1.8V	VDDS_WKUP / NA	あり	1P8-LVCMOS	PU/PD
			WKUP_GPIO0_0	7	IO	パッド								
AA23		WKUP_UART0_TXD PADCONFIG: PADCONFIG1 0x04084004	WKUP_UART0_TXD	0	O		オフ/オフ/オフ	オフ/オフ/オフ	7	1.8V	VDDS_WKUP / NA	あり	1P8-LVCMOS	PU/PD
			WKUP_GPIO0_1	7	IO	パッド								

## 5.3 信号の説明

ピン多重化オプションのソフトウェア構成に応じて、複数のピンで多くの信号が利用可能です。

次に列ヘッダーについて説明します。

1. **信号名:**ピンを通過する信号の名前。

### 注

各「信号の説明」表に記載されている信号名と説明は、ピンに実装され、PADCONFIG レジスタで選択されるピン多重化信号機能を表しています。デバイス サブシステムで信号機能の 2 次多重化が可能な場合がありますが、それらについてはこの表には記載されていません。2 次多重化信号機能の詳細については、デバイスのテクニカルリファレンス マニュアルで該当するペリフェラルの章を参照してください。

2. **ピンの種類:**信号の方向と種類:

- I = 入力
- O = 出力
- OD = 出力、オープンドレイン出力機能付き
- IO = 入力、出力、または同時に入力と出力
- IOD = 入力、出力、または同時に入力と出力、オープンドレイン出力機能付き
- IOZ = 入力、出力、または同時に入力と出力、3 ステート出力機能付き
- OZ = 出力、3 ステート出力機能付き
- A = アナログ
- PWR = 電源
- GND = グランド
- CAP = LDO コンデンサ

3. **説明:**信号の説明

4. **ボール:**信号に関連付けられているボール番号

IO セル構成の詳細については、デバイスのテクニカル リファレンス マニュアルで「デバイス構成」の章にある「パッド構成レジスタ」セクションを参照してください。

### 5.3.1 ADC

#### 5.3.1.1 メイン ドメイン

表 5-2. ADC0 信号の説明

信号名 [1]	ピンの種類 [2]	説明 [3]	ANB ピン[4]	ANQ ピン[4]
ADC0_AIN0	A	ADC アナログ入力 0	V20	
ADC0_AIN1	A	ADC アナログ入力 1	V22	
ADC0_AIN2	A	ADC アナログ入力 2	V23	
ADC0_AIN3	A	ADC アナログ入力 3	V21	
ADC_EXT_TRIGGER0 (1)	I	ADC トリガ入力	C11、D16、 D18、M23	該当なし
ADC_EXT_TRIGGER1 (1)	I	ADC トリガ入力	A12、C23、 M22	該当なし

(1) この ADC 入力信号にはデバウンス機能があります。I/O デバウンスの設定の詳細についてはテクニカル リファレンス マニュアルの「デバイス構成」の章を参照してください。

### 5.3.2 CPSW3G

#### 5.3.2.1 メインドメイン

**表 5-3. CPSW3G0 RGMII1 信号の説明**

信号名 [1]	ピンの種類 [2]	説明 [3]	ANB ピン[4]	ANQ ピン[4]
RGMII1_RXC	I	RGMII 受信クロック	Y7	
RGMII1_RX_CTL	I	RGMII 受信制御	Y6	
RGMII1_TXC	O	RGMII 送信クロック	W11	
RGMII1_TX_CTL	O	RGMII 送信制御	AB11	
RGMII1_RD0	I	RGMII 受信データ 0	Y8	
RGMII1_RD1	I	RGMII 受信データ 1	AA6	
RGMII1_RD2	I	RGMII 受信データ 2	AA8	
RGMII1_RD3	I	RGMII 受信データ 3	W8	
RGMII1_TD0	O	RGMII 送信データ 0	AC10	
RGMII1_TD1	O	RGMII 送信データ 1	W13	
RGMII1_TD2	O	RGMII 送信データ 2	Y11	
RGMII1_TD3	O	RGMII 送信データ 3	AA11	

**表 5-4. CPSW3G0 RGMII2 信号の説明**

信号名 [1]	ピンの種類 [2]	説明 [3]	ANB ピン[4]	ANQ ピン[4]
RGMII2_RXC	I	RGMII 受信クロック	AC7	
RGMII2_RX_CTL	I	RGMII 受信制御	AC8	
RGMII2_TXC	O	RGMII 送信クロック	Y13	
RGMII2_TX_CTL	O	RGMII 送信制御	AB12	
RGMII2_RD0	I	RGMII 受信データ 0	AB9	
RGMII2_RD1	I	RGMII 受信データ 1	AC9	
RGMII2_RD2	I	RGMII 受信データ 2	AB10	
RGMII2_RD3	I	RGMII 受信データ 3	AB8	
RGMII2_TD0	O	RGMII 送信データ 0	AC12	
RGMII2_TD1	O	RGMII 送信データ 1	AB13	
RGMII2_TD2	O	RGMII 送信データ 2	AA12	
RGMII2_TD3	O	RGMII 送信データ 3	AA13	

**表 5-5. CPSW3G0 RMII1 信号の説明**

信号名 [1]	ピンの種類 [2]	説明 [3]	ANB ピン[4]	ANQ ピン[4]
RMII1_CRSDV	I	RMII キャリア センズ / データ有効	W11	
RMII1_REF_CLK	I	RMII 基準クロック	Y7	
RMII1_RX_ER	I	RMII 受信データ エラー	Y6	
RMII1_TX_EN	O	RMII 送信イネーブル	AB11	
RMII1_RXD0	I	RMII 受信データ 0	Y8	
RMII1_RXD1	I	RMII 受信データ 1	AA6	
RMII1_TXD0	O	RMII 送信データ 0	AC10	
RMII1_TXD1	O	RMII 送信データ 1	W13	

表 5-6. CPSW3G0 RMI2 信号の説明

信号名 [1]	ピンの種類 [2]	説明 [3]	ANB ピン[4]	ANQ ピン[4]
RMII2_CRSDV	I	RMII キャリア センス / データ有効	Y13	
RMII2_REF_CLK	I	RMII 基準クロック	AC7	
RMII2_RX_ER	I	RMII 受信データ エラー	AC8	
RMII2_TX_EN	O	RMII 送信イネーブル	AB12	
RMII2_RXD0	I	RMII 受信データ 0	AB9	
RMII2_RXD1	I	RMII 受信データ 1	AC9	
RMII2_TXD0	O	RMII 送信データ 0	AC12	
RMII2_TXD1	O	RMII 送信データ 1	AB13	

### 5.3.3 CPTS

#### 5.3.3.1 メイン ドメイン

表 5-7. CPTS 信号の説明

信号名 [1]	ピンの種類 [2]	説明 [3]	ANB ピン[4]	ANQ ピン[4]
CP_GEMAC_CPTS0_RFT_CLK	I	CPTS 基準クロック入力	D16	該当なし
CP_GEMAC_CPTS0_TS_COMP	O	CPSW3G0 CPTS からの CPTS タイムスタンプカウンタ比較出力	AB2、D11	該当なし
CP_GEMAC_CPTS0_TS_SYNC	O	CPSW3G0 CPTS からの CPTS タイムスタンプカウンタビット出力	AA2、E13	該当なし
CP_GEMAC_CPTS0_HW1TSPUSH	I	時間同期ルータへの CPTS ハードウェア タイムスタンププッシュ入力	E12、Y4	該当なし
CP_GEMAC_CPTS0_HW2TSPUSH	I	時間同期ルータへの CPTS ハードウェア タイムスタンププッシュ入力	AA1、B12	該当なし
SYNC0_OUT	O	時間同期ルータからの CPTS タイムスタンプジェネレータビット 0 出力	B7	該当なし
SYNC1_OUT	O	時間同期ルータからの CPTS タイムスタンプジェネレータビット 1 出力	D16	該当なし
SYNC2_OUT	O	時間同期ルータからの CPTS タイムスタンプジェネレータビット 2 出力	B16	該当なし
SYNC3_OUT	O	時間同期ルータからの CPTS タイムスタンプジェネレータビット 3 出力	B15	該当なし

### 5.3.4 DDRSS

#### 5.3.4.1 メイン ドメイン

表 5-8. DDRSS0 信号の説明

信号名 [1]	ピンの種類 [2]	説明 [3]	ANB ピン[4]	ANQ ピン[4]
DDR0_ACT_n	O	DDRSS アクティブ化コマンド	M2	
DDR0_CAS_n	O	DDRSS 列アドレス ストロープ	L1	
DDR0_RAS_n	O	DDRSS 行アドレス ストロープ	M5	
DDR0_WE_n	O	DDRSS 書き込みイネーブル	L2	
DDR0_A0	O	DDRSS アドレス バス	L5	該当なし
DDR0_A1	O	DDRSS アドレス バス	H6	該当なし
DDR0_A2	O	DDRSS アドレス バス	L6	該当なし
DDR0_A3	O	DDRSS アドレス バス	K2	該当なし
DDR0_A4	O	DDRSS アドレス バス	J1	該当なし
DDR0_A5	O	DDRSS アドレス バス	H5	該当なし

表 5-8. DDRSS0 信号の説明 (続き)

信号名 [1]	ピンの種類 [2]	説明 [3]	ANB ピン[4]	ANQ ピン[4]
DDR0_A6	O	DDRSS アドレス バス	R2	
DDR0_A7	O	DDRSS アドレス バス	N6	
DDR0_A8	O	DDRSS アドレス バス	T4	
DDR0_A9	O	DDRSS アドレス バス	N1	
DDR0_A10	O	DDRSS アドレス バス	T5	
DDR0_A11	O	DDRSS アドレス バス	T6	
DDR0_A12	O	DDRSS アドレス バス	W6	
DDR0_A13	O	DDRSS アドレス バス	V6	
DDR0_BA0	O	DDRSS バンク アドレス	N3	
DDR0_BA1	O	DDRSS バンク アドレス	N2	
DDR0_BG0	O	DDRSS バンク グループ	N5	
DDR0_BG1	O	DDRSS バンク グループ	N4	
DDR0_CAL0 (1)	A	IO パッド較正抵抗	M3	該当なし
DDR0_CK0	O	DDRSS クロック	P1	該当なし
DDR0_CK0_n	O	DDRSS 負のクロック	P2	該当なし
DDR0_CKE0	O	DDRSS クロック イネーブル	K1	該当なし
DDR0_CS0_n	O	DDRSS チップ セレクト 0	L3	該当なし
DDR0_DM0	IO	DDRSS データ マスク	F2	該当なし
DDR0_DM1	IO	DDRSS データ マスク	W2	該当なし
DDR0_DQ0	IO	DDRSS データ	F4	該当なし
DDR0_DQ1	IO	DDRSS データ	F3	該当なし
DDR0_DQ2	IO	DDRSS データ	F1	該当なし
DDR0_DQ3	IO	DDRSS データ	E1	該当なし
DDR0_DQ4	IO	DDRSS データ	G4	該当なし
DDR0_DQ5	IO	DDRSS データ	H4	該当なし
DDR0_DQ6	IO	DDRSS データ	H2	該当なし
DDR0_DQ7	IO	DDRSS データ	H3	該当なし
DDR0_DQ8	IO	DDRSS データ	V4	該当なし
DDR0_DQ9	IO	DDRSS データ	T3	該当なし
DDR0_DQ10	IO	DDRSS データ	T1	該当なし
DDR0_DQ11	IO	DDRSS データ	U1	該当なし
DDR0_DQ12	IO	DDRSS データ	U4	該当なし
DDR0_DQ13	IO	DDRSS データ	V5	該当なし
DDR0_DQ14	IO	DDRSS データ	U2	該当なし
DDR0_DQ15	IO	DDRSS データ	W1	該当なし
DDR0_DQS0	IO	DDRSS データ ストロープ	G1	該当なし
DDR0_DQS0_n	IO	DDRSS 相補データ ストロープ	G2	該当なし
DDR0_DQS1	IO	DDRSS データ ストロープ	V1	該当なし
DDR0_DQS1_n	IO	DDRSS 相補データ ストロープ	V2	該当なし
DDR0_ODT0	O	DDRSS チップ セレクト 0 のオン ダイ終端	L4	
DDR0_RESET0_n	O	DDRSS のリセット	J2	該当なし

(1) このピンと VSS の間に 240Ω ±1% の外付け抵抗を接続する必要があります。このピンに外部電圧を印加しないでください。

### 5.3.5 DSI

#### 5.3.5.1 メインドメイン

表 5-9. DSITX0 信号の説明

信号名 [1]	ピンの種類 [2]	説明 [3]	ANB ピン[4]	ANQ ピン[4]
DSI0_TXCLKN	IO	DSI 差動送信クロック出力 (負)	A15	
DSI0_TXCLKP	IO	DSI 差動送信クロック出力 (正)	A14	
DSI0_TXRCALIB (1)	A	オンチップ抵抗較正用に外部抵抗に接続する DSI ピン	D17	
DSI0_TXN0	IO	DSI 差動送信出力 (負)	B19	
DSI0_TXN1	IO	DSI 差動送信出力 (負)	A18	
DSI0_TXN2	IO	DSI 差動送信出力 (負)	A20	
DSI0_TXN3	IO	DSI 差動送信出力 (負)	B22	
DSI0_TXP0	IO	DSI 差動送信出力 (正)	B18	
DSI0_TXP1	IO	DSI 差動送信出力 (正)	A17	
DSI0_TXP2	IO	DSI 差動送信出力 (正)	A21	
DSI0_TXP3	IO	DSI 差動送信出力 (正)	B21	

(1) このピンと VSS の間に  $499\Omega \pm 1\%$  の外付け抵抗を接続する必要があり、抵抗の最大消費電力は 7.2mW です。このピンに外部電圧を印加しないでください。

### 5.3.6 DSS

#### 5.3.6.1 メインドメイン

表 5-10. DSS0 信号の説明

信号名 [1]	ピンの種類 [2]	説明 [3]	ANB ピン[4]	ANQ ピン[4]
VOUT0_DE	O	ビデオ出力データ イネーブル	M21	
VOUT0_EXTPCLKIN	I	ビデオ出力の外部ピクセル クロック入力	M23	該当なし
VOUT0_HSYNC	O	ビデオ出力の水平同期	N21	
VOUT0_PCLK	O	ビデオ出力のピクセル クロック出力	L19	
VOUT0_VSYNC	O	ビデオ出力の垂直同期	L20	該当なし
VOUT0_DATA0	O	ビデオ出力データ 0	L22	該当なし
VOUT0_DATA1	O	ビデオ出力データ 1	L23	該当なし
VOUT0_DATA2	O	ビデオ出力データ 2	K22	該当なし
VOUT0_DATA3	O	ビデオ出力データ 3	J23	該当なし
VOUT0_DATA4	O	ビデオ出力データ 4	K23	該当なし
VOUT0_DATA5	O	ビデオ出力データ 5	H22	該当なし
VOUT0_DATA6	O	ビデオ出力データ 6	H23	該当なし
VOUT0_DATA7	O	ビデオ出力データ 7	J22	該当なし
VOUT0_DATA8	O	ビデオ出力データ 8	H19	該当なし
VOUT0_DATA9	O	ビデオ出力データ 9	H20	該当なし
VOUT0_DATA10	O	ビデオ出力データ 10	H21	該当なし
VOUT0_DATA11	O	ビデオ出力データ 11	H18	該当なし
VOUT0_DATA12	O	ビデオ出力データ 12	G23	該当なし
VOUT0_DATA13	O	ビデオ出力データ 13	G22	該当なし
VOUT0_DATA14	O	ビデオ出力データ 14	F22	該当なし
VOUT0_DATA15	O	ビデオ出力データ 15	F23	該当なし
VOUT0_DATA16	O	ビデオ出力データ 16	L21	該当なし

表 5-10. DSS0 信号の説明 (続き)

信号名 [1]	ピンの種類 [2]	説明 [3]	ANB ピン[4]	ANQ ピン[4]
VOUT0_DATA17	O	ビデオ出力データ 17	N19	該当なし
VOUT0_DATA18	O	ビデオ出力データ 18	N20	該当なし
VOUT0_DATA19	O	ビデオ出力データ 19	M19	該当なし
VOUT0_DATA20	O	ビデオ出力データ 20	P23	該当なし
VOUT0_DATA21	O	ビデオ出力データ 21	P22	
VOUT0_DATA22	O	ビデオ出力データ 22	N23	該当なし
VOUT0_DATA23	O	ビデオ出力データ 23	N22	

### 5.3.7 ECAP

#### 5.3.7.1 メインドメイン

表 5-11. ECAP0 信号の説明

信号名 [1]	ピンの種類 [2]	説明 [3]	ANB ピン[4]	ANQ ピン[4]
ECAP0_IN_APWM_OUT	IO	拡張キャプチャ (ECAP) 入力または補助 PWM (APWM) 出力	D11、D16、L22	該当なし

表 5-12. ECAP1 信号の説明

信号名 [1]	ピンの種類 [2]	説明 [3]	ANB ピン[4]	ANQ ピン[4]
ECAP1_IN_APWM_OUT	IO	拡張キャプチャ (ECAP) 入力または補助 PWM (APWM) 出力	A8、A9、B7、D13、L23、Y4	該当なし

表 5-13. ECAP2 信号の説明

信号名 [1]	ピンの種類 [2]	説明 [3]	ANB ピン[4]	ANQ ピン[4]
ECAP2_IN_APWM_OUT	IO	拡張キャプチャ (ECAP) 入力または補助 PWM (APWM) 出力	A11、A7、AA1、B10、C13、H20	該当なし

### 5.3.8 エミュレーションおよびデバッグ

#### 5.3.8.1 メインドメイン

表 5-14. トレース信号の説明

信号名 [1]	ピンの種類 [2]	説明 [3]	ANB ピン[4]	ANQ ピン[4]
TRC_CLK	O	トレース クロック	L22	該当なし
TRC_CTL	O	トレース制御	L23	該当なし
TRC_DATA0	O	トレース データ 0	K22	該当なし
TRC_DATA1	O	トレース データ 1	J23	該当なし
TRC_DATA2	O	トレース データ 2	K23	該当なし
TRC_DATA3	O	トレース データ 3	H22	該当なし
TRC_DATA4	O	トレース データ 4	H23	該当なし
TRC_DATA5	O	トレース データ 5	J22	該当なし
TRC_DATA6	O	トレース データ 6	L21	該当なし
TRC_DATA7	O	トレース データ 7	N19	該当なし
TRC_DATA8	O	トレース データ 8	N20	該当なし
TRC_DATA9	O	トレース データ 9	M19	該当なし
TRC_DATA10	O	トレース データ 10	P23	該当なし
TRC_DATA11	O	トレース データ 11	P22	

表 5-14. トレース信号の説明 (続き)

信号名 [1]	ピンの種類 [2]	説明 [3]	ANB ピン[4]	ANQ ピン[4]
TRC_DATA12	O	トレース データ 12	N23	該当なし
TRC_DATA13	O	トレース データ 13	N21	
TRC_DATA14	O	トレース データ 14	M21	
TRC_DATA15	O	トレース データ 15	L20	該当なし
TRC_DATA16	O	トレース データ 16	L19	
TRC_DATA17	O	トレース データ 17	M23	該当なし
TRC_DATA18	O	トレース データ 18	M22	該当なし
TRC_DATA19	O	トレース データ 19	F23	該当なし
TRC_DATA20	O	トレース データ 20	F22	該当なし
TRC_DATA21	O	トレース データ 21	G22	該当なし
TRC_DATA22	O	トレース データ 22	G23	該当なし
TRC_DATA23	O	トレース データ 23	H18	該当なし

### 5.3.8.2 WKUP ドメイン

表 5-15. JTAG 信号の説明

信号名 [1]	ピンの種類 [2]	説明 [3]	ANB ピン[4]	ANQ ピン[4]
EMU0	IO	エミュレーション制御 0	Y16	該当なし
EMU1	IO	エミュレーション制御 1	AA16	該当なし
TCK	I	JTAG テスト クロック入力	AB14	該当なし
TDI	I	JTAG テスト データ入力	AC16	該当なし
TDO	OZ	JTAG テスト データ出力	AB15	該当なし
TMS	I	JTAG テスト モード選択入力	Y17	該当なし
TRSTn	I	JTAG のリセット	AB16	該当なし

### 5.3.9 EPWM

#### 5.3.9.1 メイン ドメイン

表 5-16. EPWM 信号の説明

信号名 [1]	ピンの種類 [2]	説明 [3]	ANB ピン[4]	ANQ ピン[4]
EHRPWM_SOCA	O	EHRPWM 変換開始 A	B7	該当なし
EHRPWM_SOCB	O	EHRPWM 変換開始 B	A7	該当なし
EHRPWM_TZn_IN0	I	EHRPWM トリップ ゾーン入力 0 (アクティブ Low)	B12	該当なし
EHRPWM_TZn_IN1	I	EHRPWM トリップ ゾーン入力 1 (アクティブ Low)	D3、N19	該当なし
EHRPWM_TZn_IN2	I	EHRPWM トリップ ゾーン入力 2 (アクティブ Low)	B3、G23	該当なし
EHRPWM_TZn_IN3	I	EHRPWM トリップ ゾーン入力 3 (アクティブ Low)	B16	該当なし
EHRPWM_TZn_IN4	I	EHRPWM トリップ ゾーン入力 4 (アクティブ Low)	B15	該当なし
EHRPWM_TZn_IN5	I	EHRPWM トリップ ゾーン入力 5 (アクティブ Low)	D11	該当なし

表 5-17. EPWM0 信号の説明

信号名 [1]	ピンの種類 [2]	説明 [3]	ANB ピン[4]	ANQ ピン[4]
EHRPWM0_A	IO	EHRPWM 出力 A	C11、C4、E11、G22	該当なし
EHRPWM0_B	IO	EHRPWM 出力 B	A12、C2、D11、F22	該当なし

表 5-17. EPWM0 信号の説明 (続き)

信号名 [1]	ピンの種類 [2]	説明 [3]	ANB ピン[4]	ANQ ピン[4]
EHRPWM0_SYNCI	I	外部ピンから EHRPWM モジュールへの同期入力	B4、D7、H21	該当なし
EHRPWM0_SYNCO	O	EHRPWM モジュールから外部ピンへの同期出力	A3、A6、H18	該当なし

表 5-18. EPWM1 信号の説明

信号名 [1]	ピンの種類 [2]	説明 [3]	ANB ピン[4]	ANQ ピン[4]
EHRPWM1_A	IO	EHRPWM 出力 A	A9、C1、E13、F23	該当なし
EHRPWM1_B	IO	EHRPWM 出力 B	B9、D4、E12、L21	該当なし

表 5-19. EPWM2 信号の説明

信号名 [1]	ピンの種類 [2]	説明 [3]	ANB ピン[4]	ANQ ピン[4]
EHRPWM2_A	IO	EHRPWM 出力 A	B2、D13、D7、N20	該当なし
EHRPWM2_B	IO	EHRPWM 出力 B	A6、C13、D2、M19	該当なし

### 5.3.10 EQEP

#### 5.3.10.1 メイン ドメイン

表 5-20. EQEP0 信号の説明

信号名 [1]	ピンの種類 [2]	説明 [3]	ANB ピン[4]	ANQ ピン[4]
EQEP0_A <sup>(1)</sup>	I	EQEP 直交入力 A	A8、P23	該当なし
EQEP0_B <sup>(1)</sup>	I	EQEP 直交入力 B	B10、P22	該当なし
EQEP0_I <sup>(1)</sup>	IO	EQEP インデックス	B9、N22	該当なし
EQEP0_S <sup>(1)</sup>	IO	EQEP ストロープ	A9、N23	該当なし

(1) この EQEP 入力信号にはデバウンス機能があります。I/O デバウンスの設定の詳細についてはテクニカル リファレンス マニュアルの「デバイス構成」の章を参照してください。

表 5-21. EQEP1 信号の説明

信号名 [1]	ピンの種類 [2]	説明 [3]	ANB ピン[4]	ANQ ピン[4]
EQEP1_A <sup>(1)</sup>	I	EQEP 直交入力 A	A11、N21	該当なし
EQEP1_B <sup>(1)</sup>	I	EQEP 直交入力 B	B11、M21	該当なし
EQEP1_I <sup>(1)</sup>	IO	EQEP インデックス	A12、L19	該当なし
EQEP1_S <sup>(1)</sup>	IO	EQEP ストロープ	C11、L20	該当なし

(1) この EQEP 入力信号にはデバウンス機能があります。I/O デバウンスの設定の詳細についてはテクニカル リファレンス マニュアルの「デバイス構成」の章を参照してください。

表 5-22. EQEP2 信号の説明

信号名 [1]	ピンの種類 [2]	説明 [3]	ANB ピン[4]	ANQ ピン[4]
EQEP2_A <sup>(1)</sup>	I	EQEP 直交入力 A	AB10、B7	該当なし
EQEP2_B <sup>(1)</sup>	I	EQEP 直交入力 B	A7、AB8	該当なし
EQEP2_I <sup>(1)</sup>	IO	EQEP インデックス	AA12、B16、N22	該当なし

表 5-22. EQEP2 信号の説明 (続き)

信号名 [1]	ピンの種類 [2]	説明 [3]	ANB ピン[4]	ANQ ピン[4]
EQEP2_S <sup>(1)</sup>	IO	EQEP ストロープ	AA13、B15、M21	該当なし

(1) この EQEP 入力信号にはデバウンス機能があります。I/O デバウンスの設定の詳細についてはテクニカルリファレンスマニュアルの「デバイス構成」の章を参照してください。

### 5.3.11 GPIO

#### 5.3.11.1 メインドメイン

表 5-23. GPIO0 信号の説明

信号名 [1]	ピンの種類 [2]	説明 [3]	ANB ピン[4]	ANQ ピン[4]
GPIO0_0	IO	汎用入出力	D22	該当なし
GPIO0_1	IO	汎用入出力	E18	該当なし
GPIO0_2	IO	汎用入出力	E22	該当なし
GPIO0_3	IO	汎用入出力	C22	該当なし
GPIO0_4	IO	汎用入出力	D21	該当なし
GPIO0_5	IO	汎用入出力	E23	該当なし
GPIO0_6	IO	汎用入出力	D23	該当なし
GPIO0_7	IO	汎用入出力	F21	該当なし
GPIO0_8	IO	汎用入出力	F19	該当なし
GPIO0_9	IO	汎用入出力	G20	該当なし
GPIO0_10	IO	汎用入出力	F20	該当なし
GPIO0_11	IO	汎用入出力	C20	該当なし
GPIO0_12	IO	汎用入出力	D20	該当なし
GPIO0_13 <sup>(1)</sup>	IO	汎用入出力	D18	該当なし
GPIO0_14 <sup>(1)</sup>	IO	汎用入出力	C23	該当なし
GPIO0_15	IO	汎用入出力	L22	該当なし
GPIO0_16	IO	汎用入出力	L23	該当なし
GPIO0_17	IO	汎用入出力	K22	該当なし
GPIO0_18	IO	汎用入出力	J23	該当なし
GPIO0_19	IO	汎用入出力	K23	該当なし
GPIO0_100	IO	汎用入出力	D7	該当なし
GPIO0_101	IO	汎用入出力	A6	該当なし
GPIO0_102	IO	汎用入出力	B8	
GPIO0_103	IO	汎用入出力	D8	
GPIO0_104	IO	汎用入出力	D16	該当なし
GPIO0_105 <sup>(1)</sup>	IO	汎用入出力	C8	該当なし
GPIO0_106 <sup>(1)</sup>	IO	汎用入出力	B4	該当なし
GPIO0_107 <sup>(1)</sup>	IO	汎用入出力	A3	該当なし
GPIO0_108 <sup>(1)</sup>	IO	汎用入出力	B3	該当なし
GPIO0_109 <sup>(1)</sup>	IO	汎用入出力	C4	該当なし
GPIO0_110 <sup>(1)</sup>	IO	汎用入出力	C2	該当なし
GPIO0_111 <sup>(1)</sup>	IO	汎用入出力	C1	該当なし
GPIO0_112 <sup>(1)</sup>	IO	汎用入出力	D4	該当なし
GPIO0_113 <sup>(1)</sup>	IO	汎用入出力	D3	該当なし
GPIO0_114 <sup>(1)</sup>	IO	汎用入出力	B2	該当なし
GPIO0_115 <sup>(1)</sup>	IO	汎用入出力	D2	該当なし

**表 5-23. GPIO0 信号の説明 (続き)**

信号名 [1]	ピンの種類 [2]	説明 [3]	ANB ピン[4]	ANQ ピン[4]
GPIO0_116 <sup>(1)</sup>	IO	汎用入出力	AB2	該当なし
GPIO0_117 <sup>(1)</sup>	IO	汎用入出力	AA2	該当なし
GPIO0_118 <sup>(1)</sup>	IO	汎用入出力	Y4	該当なし
GPIO0_119 <sup>(1)</sup>	IO	汎用入出力	AA1	該当なし
GPIO0_120 <sup>(1)</sup>	IO	汎用入出力	Y2	該当なし
GPIO0_121 <sup>(1)</sup>	IO	汎用入出力	Y3	該当なし
GPIO0_122 <sup>(1)</sup>	IO	汎用入出力	B6	該当なし
GPIO0_123 <sup>(1)</sup>	IO	汎用入出力	D6	該当なし
GPIO0_124	IO	汎用入出力	C6	該当なし
GPIO0_125	IO	汎用入出力	A5	
GPIO0_20	IO	汎用入出力	H22	該当なし
GPIO0_21	IO	汎用入出力	H23	該当なし
GPIO0_22	IO	汎用入出力	J22	該当なし
GPIO0_23	IO	汎用入出力	H19	該当なし
GPIO0_24	IO	汎用入出力	H20	該当なし
GPIO0_25	IO	汎用入出力	H21	該当なし
GPIO0_26	IO	汎用入出力	H18	該当なし
GPIO0_27	IO	汎用入出力	G23	該当なし
GPIO0_28	IO	汎用入出力	G22	該当なし
GPIO0_29	IO	汎用入出力	F22	該当なし
GPIO0_30	IO	汎用入出力	F23	該当なし
GPIO0_31	IO	汎用入出力	L21	該当なし
GPIO0_32	IO	汎用入出力	N19	該当なし
GPIO0_33	IO	汎用入出力	N20	該当なし
GPIO0_34	IO	汎用入出力	M19	該当なし
GPIO0_35	IO	汎用入出力	P23	該当なし
GPIO0_36	IO	汎用入出力	P22	
GPIO0_37	IO	汎用入出力	N23	該当なし
GPIO0_38	IO	汎用入出力	N22	
GPIO0_39	IO	汎用入出力	N21	
GPIO0_40	IO	汎用入出力	M21	
GPIO0_41	IO	汎用入出力	L20	該当なし
GPIO0_42	IO	汎用入出力	L19	
GPIO0_43 <sup>(1)</sup>	IO	汎用入出力	M23	該当なし
GPIO0_44 <sup>(1)</sup>	IO	汎用入出力	M22	該当なし
GPIO0_45 <sup>(1)</sup>	IO	汎用入出力	R22	
GPIO0_46 <sup>(1)</sup>	IO	汎用入出力	T23	
GPIO0_47 <sup>(1)</sup>	IO	汎用入出力	T22	
GPIO0_48 <sup>(1)</sup>	IO	汎用入出力	U22	
GPIO0_49 <sup>(1)</sup>	IO	汎用入出力	R23	
GPIO0_50 <sup>(1)</sup>	IO	汎用入出力	U23	
GPIO0_51 <sup>(1)</sup>	IO	汎用入出力	T20	
GPIO0_52 <sup>(1)</sup>	IO	汎用入出力	T21	
GPIO0_53	IO	汎用入出力	AB11	
GPIO0_54	IO	汎用入出力	W11	

表 5-23. GPIO0 信号の説明 (続き)

信号名 [1]	ピンの種類 [2]	説明 [3]	ANB ピン[4]	ANQ ピン[4]
GPIO0_55	IO	汎用入出力	AC10	
GPIO0_56	IO	汎用入出力	W13	
GPIO0_57	IO	汎用入出力	Y11	
GPIO0_58	IO	汎用入出力	AA11	
GPIO0_59	IO	汎用入出力	Y6	
GPIO0_60	IO	汎用入出力	Y7	
GPIO0_61	IO	汎用入出力	Y8	
GPIO0_62	IO	汎用入出力	AA6	
GPIO0_63	IO	汎用入出力	AA8	
GPIO0_64	IO	汎用入出力	W8	
GPIO0_65	IO	汎用入出力	AC13	
GPIO0_66	IO	汎用入出力	AC15	
GPIO0_67	IO	汎用入出力	AB12	
GPIO0_68	IO	汎用入出力	Y13	
GPIO0_69	IO	汎用入出力	AC12	
GPIO0_70	IO	汎用入出力	AB13	
GPIO0_71	IO	汎用入出力	AA12	
GPIO0_72	IO	汎用入出力	AA13	
GPIO0_73	IO	汎用入出力	AC8	
GPIO0_74	IO	汎用入出力	AC7	
GPIO0_75	IO	汎用入出力	AB9	
GPIO0_76	IO	汎用入出力	AC9	
GPIO0_77	IO	汎用入出力	AB10	
GPIO0_78	IO	汎用入出力	AB8	
GPIO0_79	IO	汎用入出力	A8	該当なし
GPIO0_80	IO	汎用入出力	B10	該当なし
GPIO0_81	IO	汎用入出力	A9	該当なし
GPIO0_82	IO	汎用入出力	B9	該当なし
GPIO0_83	IO	汎用入出力	A11	該当なし
GPIO0_84	IO	汎用入出力	B11	該当なし
GPIO0_85	IO	汎用入出力	C11	該当なし
GPIO0_86	IO	汎用入出力	A12	該当なし
GPIO0_87	IO	汎用入出力	E11	該当なし
GPIO0_88 <sup>(1)</sup>	IO	汎用入出力	D11	該当なし
GPIO0_89	IO	汎用入出力	E13	該当なし
GPIO0_90	IO	汎用入出力	E12	該当なし
GPIO0_91	IO	汎用入出力	B12	該当なし
GPIO0_92	IO	汎用入出力	D13	該当なし
GPIO0_93	IO	汎用入出力	C13	該当なし
GPIO0_94	IO	汎用入出力	B14	該当なし
GPIO0_95	IO	汎用入出力	B13	該当なし
GPIO0_96	IO	汎用入出力	B16	該当なし
GPIO0_97	IO	汎用入出力	B15	該当なし
GPIO0_98	IO	汎用入出力	B7	該当なし

表 5-23. GPIO0 信号の説明 (続き)

信号名 [1]	ピンの種類 [2]	説明 [3]	ANB ピン[4]	ANQ ピン[4]
GPIO0_99	IO	汎用入出力	A7	該当なし

(1) この GPIO 入力信号にはデバウンス機能があります。I/O デバウンスの設定の詳細についてはテクニカル リファレンス マニュアルの「デバイス構成」の章を参照してください。

### 5.3.11.2 WKUP ドメイン

表 5-24. WKUP\_GPIO0 信号の説明

信号名 [1]	ピンの種類 [2]	説明 [3]	ANB ピン[4]	ANQ ピン[4]
WKUP_GPIO0_0	IO	汎用入出力	Y22	
WKUP_GPIO0_1	IO	汎用入出力	AA23	
WKUP_GPIO0_2 (1)	IO	汎用入出力	W23	
WKUP_GPIO0_3 (1)	IO	汎用入出力	W22	
WKUP_GPIO0_4	IO	汎用入出力	AB22	該当なし
WKUP_GPIO0_5	IO	汎用入出力	AA22	該当なし
WKUP_GPIO0_6	IO	汎用入出力	Y23	該当なし

(1) この GPIO 入力信号にはデバウンス機能があります。I/O デバウンスの設定の詳細についてはテクニカル リファレンス マニュアルの「デバイス構成」の章を参照してください。

### 5.3.12 GPMC

#### 5.3.12.1 メイン ドメイン

表 5-25. GPMC0 信号の説明

信号名 [1]	ピンの種類 [2]	説明 [3]	ANB ピン[4]	ANQ ピン[4]
GPMC0_ADVn_ALE	O	GPMC アドレス有効 (アクティブ Low) またはアドレスラッチ イネーブル	N19	該当なし
GPMC0_CLK	O	GPMC クロック	L21	該当なし
GPMC0_DIR	O	GPMC データ バス信号方向制御	M21	
GPMC0_FCLK_MUX	O	GPMC 機能クロック出力	L21	該当なし
GPMC0_OEn_REn	O	GPMC 出力イネーブル (アクティブ Low) または読み出しイネーブル (アクティブ Low)	N20	該当なし
GPMC0_WEn	O	GPMC 書き込みイネーブル (アクティブ Low)	M19	該当なし
GPMC0_WPn	O	GPMC フラッシュ書き込み保護 (アクティブ Low)	N21	
GPMC0_A0	O	GPMC アドレス 0 出力。8 ビット データ非多重化メモリを効果的にアドレス指定するためにのみ使用されます。	Y11	
GPMC0_A1	O	GPMC アドレス 1 (A/D 非多重化モード) およびアドレス 17 (A/D 多重化モード) 出力	AA12	
GPMC0_A2	O	GPMC アドレス 2 (A/D 非多重化モード) およびアドレス 18 (A/D 多重化モード) 出力	AA13	
GPMC0_A3	O	GPMC アドレス 3 (A/D 非多重化モード) およびアドレス 19 (A/D 多重化モード) 出力	AB10	
GPMC0_A4	O	GPMC アドレス 4 (A/D 非多重化モード) およびアドレス 20 (A/D 多重化モード) 出力	AB8	
GPMC0_A5	O	GPMC アドレス 5 (A/D 非多重化モード) およびアドレス 21 (A/D 多重化モード) 出力	AA8	
GPMC0_A6	O	GPMC アドレス 6 (A/D 非多重化モード) およびアドレス 22 (A/D 多重化モード) 出力	W8	
GPMC0_AD0	IO	GPMC データ 0 入出力 (A/D 非多重化モード) および追加アドレス 1 出力 (A/D 多重化モード)	L22	該当なし

表 5-25. GPMC0 信号の説明 (続き)

信号名 [1]	ピンの種類 [2]	説明 [3]	ANB ピン[4]	ANQ ピン[4]
GPMC0_AD1	IO	GPMC データ 1 入出力 (A/D 非多重化モード) および追加アドレス 2 出力 (A/D 多重化モード)	L23	該当なし
GPMC0_AD2	IO	GPMC データ 2 入出力 (A/D 非多重化モード) および追加アドレス 3 出力 (A/D 多重化モード)	K22	該当なし
GPMC0_AD3	IO	GPMC データ 3 入出力 (A/D 非多重化モード) および追加アドレス 3 出力 (A/D 多重化モード)	J23	該当なし
GPMC0_AD4	IO	GPMC データ 4 入出力 (A/D 非多重化モード) および追加アドレス 3 出力 (A/D 多重化モード)	K23	該当なし
GPMC0_AD5	IO	GPMC データ 5 入出力 (A/D 非多重化モード) および追加アドレス 3 出力 (A/D 多重化モード)	H22	該当なし
GPMC0_AD6	IO	GPMC データ 6 入出力 (A/D 非多重化モード) および追加アドレス 3 出力 (A/D 多重化モード)	H23	該当なし
GPMC0_AD7	IO	GPMC データ 7 入出力 (A/D 非多重化モード) および追加アドレス 3 出力 (A/D 多重化モード)	J22	該当なし
GPMC0_AD8	IO	GPMC データ 8 入出力 (A/D 非多重化モード) および追加アドレス 3 出力 (A/D 多重化モード)	H19	該当なし
GPMC0_AD9	IO	GPMC データ 9 入出力 (A/D 非多重化モード) および追加アドレス 3 出力 (A/D 多重化モード)	H20	該当なし
GPMC0_AD10	IO	GPMC データ 10 入出力 (A/D 非多重化モード) および追加アドレス 11 出力 (A/D 多重化モード)	H21	該当なし
GPMC0_AD11	IO	GPMC データ 11 入出力 (A/D 非多重化モード) および追加アドレス 12 出力 (A/D 多重化モード)	H18	該当なし
GPMC0_AD12	IO	GPMC データ 12 入出力 (A/D 非多重化モード) および追加アドレス 13 出力 (A/D 多重化モード)	G23	該当なし
GPMC0_AD13	IO	GPMC データ 13 入出力 (A/D 非多重化モード) および追加アドレス 14 出力 (A/D 多重化モード)	G22	該当なし
GPMC0_AD14	IO	GPMC データ 14 入出力 (A/D 非多重化モード) および追加アドレス 15 出力 (A/D 多重化モード)	F22	該当なし
GPMC0_AD15	IO	GPMC データ 15 入出力 (A/D 非多重化モード) および追加アドレス 16 出力 (A/D 多重化モード)	F23	該当なし
GPMC0_BE0n_CLE	O	GPMC 下位バイト イネーブル (アクティブ Low) またはコマンド ラッチ イネーブル	P23	該当なし
GPMC0_BE1n	O	GPMC 上位バイト イネーブル (アクティブ Low)	P22	
GPMC0_CSn0	O	GPMC チップ セレクト 0 (アクティブ Low)	L20	該当なし
GPMC0_CSn1	O	GPMC チップ セレクト 1 (アクティブ Low)	L19	
GPMC0_CSn2	O	GPMC チップ セレクト 2 (アクティブ Low)	M23	該当なし
GPMC0_CSn3	O	GPMC チップ セレクト 3 (アクティブ Low)	M22	該当なし
GPMC0_WAIT0	I	GPMC ウェイト外部表示	N23	該当なし
GPMC0_WAIT1	I	GPMC ウェイト外部表示	N22	

5.3.13 I2C

5.3.13.1 メイン ドメイン

表 5-26. I2C0 信号の説明

信号名 [1]	ピンの種類 [2]	説明 [3]	ANB ピン[4]	ANQ ピン[4]
I2C0_SCL	IOD	I2C クロック	B7	該当なし
I2C0_SDA	IOD	I2C データ	A7	該当なし

表 5-27. I2C1 信号の説明

信号名 [1]	ピンの種類 [2]	説明 [3]	ANB ピン[4]	ANQ ピン[4]
I2C1_SCL	IOD	I2C クロック	D7	該当なし
I2C1_SDA	IOD	I2C データ	A6	該当なし

表 5-28. I2C2 信号の説明

信号名 [1]	ピンの種類 [2]	説明 [3]	ANB ピン[4]	ANQ ピン[4]
I2C2_SCL	IOD	I2C クロック	AA8、B8、M23	該当なし
I2C2_SDA	IOD	I2C データ	D8、M22、W8	該当なし

表 5-29. I2C3 信号の説明

信号名 [1]	ピンの種類 [2]	説明 [3]	ANB ピン[4]	ANQ ピン[4]
I2C3_SCL	IOD	I2C クロック	B14、B2、G20、L22	該当なし
I2C3_SDA	IOD	I2C データ	B13、D2、F20、L23	該当なし

### 5.3.13.2 WKUP ドメイン

表 5-30. WKUP\_I2C0 信号の説明

信号名 [1]	ピンの種類 [2]	説明 [3]	ANB ピン[4]	ANQ ピン[4]
WKUP_I2C0_SCL	IOD	I2C クロック	AB22	該当なし
WKUP_I2C0_SDA	IOD	I2C データ	AA22	該当なし

### 5.3.14 MCAN

#### 5.3.14.1 メイン ドメイン

表 5-31. MCAN0 信号の説明

信号名 [1]	ピンの種類 [2]	説明 [3]	ANB ピン[4]	ANQ ピン[4]
MCAN0_RX	I	MCAN 受信データ	B15	該当なし
MCAN0_TX	O	MCAN 送信データ	B16	該当なし

表 5-32. MCAN1 信号の説明

信号名 [1]	ピンの種類 [2]	説明 [3]	ANB ピン[4]	ANQ ピン[4]
MCAN1_RX	I	MCAN 受信データ	A8、AB2、B4、N22	該当なし
MCAN1_TX	O	MCAN 送信データ	A3、AA2、B10、M21	該当なし

表 5-33. MCAN2 信号の説明

信号名 [1]	ピンの種類 [2]	説明 [3]	ANB ピン[4]	ANQ ピン[4]
MCAN2_RX	I	MCAN 受信データ	B14、B6、C2	該当なし
MCAN2_TX	O	MCAN 送信データ	B13、C1、D6	該当なし

### 5.3.15 MCASP

#### 5.3.15.1 メイン ドメイン

表 5-34. MCASP0 信号の説明

信号名 [1]	ピンの種類 [2]	説明 [3]	ANB ピン[4]	ANQ ピン[4]
MCASP0_ACLKR	IO	MCASP 受信ビットクロック	A12	該当なし
MCASP0_ACLKX	IO	MCASP 送信ビットクロック	A11	該当なし
MCASP0_AFSR	IO	MCASP 受信フレーム同期	C11	該当なし
MCASP0_AFSX	IO	MCASP 送信フレーム同期	B11	該当なし
MCASP0_AXR0	IO	MCASP シリアル データ (入力 / 出力)	B9	該当なし
MCASP0_AXR1	IO	MCASP シリアル データ (入力 / 出力)	A9	該当なし
MCASP0_AXR2	IO	MCASP シリアル データ (入力 / 出力)	B10	該当なし
MCASP0_AXR3	IO	MCASP シリアル データ (入力 / 出力)	A8	該当なし

表 5-35. MCASP1 信号の説明

信号名 [1]	ピンの種類 [2]	説明 [3]	ANB ピン[4]	ANQ ピン[4]
MCASP1_ACLKR	IO	MCASP 受信ビットクロック	C23、M22、R23	該当なし
MCASP1_ACLKX	IO	MCASP 送信ビットクロック	G20、P23、T20	該当なし
MCASP1_AFSR	IO	MCASP 受信フレーム同期	D18、M23、U23	該当なし
MCASP1_AFSX	IO	MCASP 送信フレーム同期	F20、N23、T21	該当なし
MCASP1_AXR0	IO	MCASP シリアル データ (入力 / 出力)	F19、M19、U22	該当なし
MCASP1_AXR1	IO	MCASP シリアル データ (入力 / 出力)	F21、N20、T22	該当なし
MCASP1_AXR2	IO	MCASP シリアル データ (入力 / 出力)	D18、N19、T23	該当なし
MCASP1_AXR3	IO	MCASP シリアル データ (入力 / 出力)	C23、L21、R22	該当なし
MCASP1_AXR4	IO	MCASP シリアル データ (入力 / 出力)	H19、M23、U23	該当なし
MCASP1_AXR5	IO	MCASP シリアル データ (入力 / 出力)	J22、M22、R23	該当なし

表 5-36. MCASP2 信号の説明

信号名 [1]	ピンの種類 [2]	説明 [3]	ANB ピン[4]	ANQ ピン[4]
MCASP2_ACLKR	IO	MCASP 受信ビットクロック	AB13、F23	該当なし
MCASP2_ACLKX	IO	MCASP 送信ビットクロック	AA13、B13、G22	該当なし
MCASP2_AFSR	IO	MCASP 受信フレーム同期	AC9、F22	該当なし
MCASP2_AFSX	IO	MCASP 送信フレーム同期	AA12、B14、G23	該当なし
MCASP2_AXR0	IO	MCASP シリアル データ (入力 / 出力)	AB10、B16、H19	該当なし
MCASP2_AXR1	IO	MCASP シリアル データ (入力 / 出力)	AC7、B15、H20	該当なし
MCASP2_AXR2	IO	MCASP シリアル データ (入力 / 出力)	AB9、H21	該当なし
MCASP2_AXR3	IO	MCASP シリアル データ (入力 / 出力)	AC8、H18	該当なし
MCASP2_AXR4	IO	MCASP シリアル データ (入力 / 出力)	AB12、L22	該当なし
MCASP2_AXR5	IO	MCASP シリアル データ (入力 / 出力)	L23、Y13	該当なし
MCASP2_AXR6	IO	MCASP シリアル データ (入力 / 出力)	AC12、K22	該当なし

**表 5-36. MCASP2 信号の説明 (続き)**

信号名 [1]	ピンの種類 [2]	説明 [3]	ANB ピン[4]	ANQ ピン[4]
MCASP2_AXR7	IO	MCASP シリアル データ (入力 / 出力)	AC9、J23	該当なし
MCASP2_AXR8	IO	MCASP シリアル データ (入力 / 出力)	AB13、K23	該当なし
MCASP2_AXR9	IO	MCASP シリアル データ (入力 / 出力)	H22	該当なし
MCASP2_AXR10	IO	MCASP シリアル データ (入力 / 出力)	H23	該当なし
MCASP2_AXR11	IO	MCASP シリアル データ (入力 / 出力)	J22	該当なし
MCASP2_AXR12	IO	MCASP シリアル データ (入力 / 出力)	P22	
MCASP2_AXR13	IO	MCASP シリアル データ (入力 / 出力)	M21	
MCASP2_AXR14	IO	MCASP シリアル データ (入力 / 出力)	L20	該当なし
MCASP2_AXR15	IO	MCASP シリアル データ (入力 / 出力)	L19	

### 5.3.16 MCSPI

#### 5.3.16.1 メイン ドメイン

**表 5-37. MCSPI0 信号の説明**

信号名 [1]	ピンの種類 [2]	説明 [3]	ANB ピン[4]	ANQ ピン[4]
SPI0_CLK	IO	SPI クロック	E13	該当なし
SPI0_CS0	IO	SPI チップ セレクト 0	E11	該当なし
SPI0_CS1	IO	SPI チップ セレクト 1	D11	該当なし
SPI0_CS2	IO	SPI チップ セレクト 2	B14	該当なし
SPI0_CS3	IO	SPI チップ セレクト 3	B13	該当なし
SPI0_D0	IO	SPI データ 0	E12	該当なし
SPI0_D1	IO	SPI データ 1	B12	該当なし

**表 5-38. MCSPI1 信号の説明**

信号名 [1]	ピンの種類 [2]	説明 [3]	ANB ピン[4]	ANQ ピン[4]
SPI1_CLK	IO	SPI クロック	C1、C4、F19、 H22	該当なし
SPI1_CS0	IO	SPI チップ セレクト 0	B3、C2、F21、 K23	該当なし
SPI1_CS1	IO	SPI チップ セレクト 1	B2、D18、J22	該当なし
SPI1_CS2	IO	SPI チップ セレクト 2	D2、H19	該当なし
SPI1_CS3	IO	SPI チップ セレクト 3	D4、H23	該当なし
SPI1_D0	IO	SPI データ 0	B4、G20、K22	該当なし
SPI1_D1	IO	SPI データ 1	A3、F20、J23	該当なし

**表 5-39. MCSPI2 信号の説明**

信号名 [1]	ピンの種類 [2]	説明 [3]	ANB ピン[4]	ANQ ピン[4]
SPI2_CLK	IO	SPI クロック	A12、A3、A6、 B6、D3、N21	該当なし
SPI2_CS0	IO	SPI チップ セレクト 0	B7、C11、D4、 L19、Y3	該当なし
SPI2_CS1	IO	SPI チップ セレクト 1	A11、AB2、 B4、D7、N22	該当なし
SPI2_CS2	IO	SPI チップ セレクト 2	A7、A9、C2、 Y2	該当なし

表 5-39. MCSPI2 信号の説明 (続き)

信号名 [1]	ピンの種類 [2]	説明 [3]	ANB ピン[4]	ANQ ピン[4]
SPI2_CS3	IO	SPI チップ セレクト 3	A3、AA2、 B11、D16	該当なし
SPI2_D0	IO	SPI データ 0	A8、B3、D13、 M21、Y4	該当なし
SPI2_D1	IO	SPI データ 1	AA1、B10、 C13、C4、L20	該当なし

表 5-40. MCSPI3 信号の説明

信号名 [1]	ピンの種類 [2]	説明 [3]	ANB ピン[4]	ANQ ピン[4]
SPI3_CLK	IO	SPI クロック	AB10、P22、Y3	該当なし
SPI3_CS0	IO	SPI チップ セレクト 0	AB8、P23、Y2	該当なし
SPI3_CS1	IO	SPI チップ セレクト 1	D6、M19	該当なし
SPI3_CS2	IO	SPI チップ セレクト 2	N20、Y4	該当なし
SPI3_CS3	IO	SPI チップ セレクト 3	B6、N19	該当なし
SPI3_D0	IO	SPI データ 0	AA12、AB2、 N23	該当なし
SPI3_D1	IO	SPI データ 1	AA13、AA2、 N22	該当なし

### 5.3.17 MDIO

#### 5.3.17.1 メイン ドメイン

表 5-41. MDIO0 信号の説明

信号名 [1]	ピンの種類 [2]	説明 [3]	ANB ピン[4]	ANQ ピン[4]
MDIO0_MDC	O	MDIO クロック	AC15	
MDIO0_MDIO	IO	MDIO データ	AC13	

### 5.3.18 MMC

#### 5.3.18.1 メイン ドメイン

表 5-42. MMC0 信号の説明

信号名 [1]	ピンの種類 [2]	説明 [3]	ANB ピン[4]	ANQ ピン[4]
MMC0_CLK	IO	MMC/SD/SDIO クロック	B2	該当なし
MMC0_CMD	IO	MMC/SD/SDIO コマンド	D2	該当なし
MMC0_DAT0	IO	MMC/SD/SDIO データ	D3	該当なし
MMC0_DAT1	IO	MMC/SD/SDIO データ	D4	該当なし
MMC0_DAT2	IO	MMC/SD/SDIO データ	C1	該当なし
MMC0_DAT3	IO	MMC/SD/SDIO データ	C2	該当なし
MMC0_DAT4	IO	MMC/SD/SDIO データ	C4	該当なし
MMC0_DAT5	IO	MMC/SD/SDIO データ	B3	該当なし
MMC0_DAT6	IO	MMC/SD/SDIO データ	A3	該当なし
MMC0_DAT7	IO	MMC/SD/SDIO データ	B4	該当なし

表 5-43. MMC1 信号の説明

信号名 [1]	ピンの種類 [2]	説明 [3]	ANB ピン[4]	ANQ ピン[4]
MMC1_CLK	IO	MMC/SD/SDIO クロック	Y2	該当なし

表 5-43. MMC1 信号の説明 (続き)

信号名 [1]	ピンの種類 [2]	説明 [3]	ANB ピン[4]	ANQ ピン[4]
MMC1_CMD	IO	MMC/SD/SDIO コマンド	Y3	該当なし
MMC1_SDCD	I	SD カード検出	B6	該当なし
MMC1_SDWP	I	SD 書き込み保護	D6	該当なし
MMC1_DAT0	IO	MMC/SD/SDIO データ	AA1	該当なし
MMC1_DAT1	IO	MMC/SD/SDIO データ	Y4	該当なし
MMC1_DAT2	IO	MMC/SD/SDIO データ	AA2	該当なし
MMC1_DAT3	IO	MMC/SD/SDIO データ	AB2	該当なし

表 5-44. MMC2 信号の説明

信号名 [1]	ピンの種類 [2]	説明 [3]	ANB ピン[4]	ANQ ピン[4]
MMC2_CLK <sup>(1)</sup>	IO	MMC/SD/SDIO クロック	R23	
MMC2_CMD	IO	MMC/SD/SDIO コマンド	U23	
MMC2_SDCD	I	SD カード検出	B14、D7、T20	該当なし
MMC2_SDWP	I	SD 書き込み保護	A6、B13、T21	該当なし
MMC2_DAT0	IO	MMC/SD/SDIO データ	U22	
MMC2_DAT1	IO	MMC/SD/SDIO データ	T22	
MMC2_DAT2	IO	MMC/SD/SDIO データ	T23	
MMC2_DAT3	IO	MMC/SD/SDIO データ	R22	

(1) MMC2 が適切に動作するには、CTRLMMR\_PADCONFIG66 レジスタが RXACTIVE ビットをセット (1) し、TX\_DIS ビットをリセット (0) するように構成されている必要があります。

### 5.3.19 OSPI

#### 5.3.19.1 メイン ドメイン

表 5-45. OSPI0 信号の説明

信号名 [1]	ピンの種類 [2]	説明 [3]	ANB ピン[4]	ANQ ピン[4]
OSPI0_CLK	O	OSPI クロック	D22	該当なし
OSPI0_DQS	I	OSPI データ ストローブ (DQS) またはループバック クロック入力	E22	該当なし
OSPI0_ECC_FAIL	I	OSPI ECC ステータス	C23	該当なし
OSPI0_LBCLKO	IO	OSPI ループバック クロック出力	E18	該当なし
OSPI0_CS <sub>n</sub> 0	O	OSPI チップ セレクト 0 (アクティブ Low)	C20	該当なし
OSPI0_CS <sub>n</sub> 1	O	OSPI チップ セレクト 1 (アクティブ Low)	D20	該当なし
OSPI0_CS <sub>n</sub> 2	O	OSPI チップ セレクト 2 (アクティブ Low)	D18	該当なし
OSPI0_CS <sub>n</sub> 3	O	OSPI チップ セレクト 3 (アクティブ Low)	C23	該当なし
OSPI0_D0	IO	OSPI データ 0	C22	該当なし
OSPI0_D1	IO	OSPI データ 1	D21	該当なし
OSPI0_D2	IO	OSPI データ 2	E23	該当なし
OSPI0_D3	IO	OSPI データ 3	D23	該当なし
OSPI0_D4	IO	OSPI データ 4	F21	該当なし
OSPI0_D5	IO	OSPI データ 5	F19	該当なし
OSPI0_D6	IO	OSPI データ 6	G20	該当なし
OSPI0_D7	IO	OSPI データ 7	F20	該当なし
OSPI0_RESET_OUT0	O	OSPI のリセット	C23	該当なし

表 5-45. OSPI0 信号の説明 (続き)

信号名 [1]	ピンの種類 [2]	説明 [3]	ANB ピン[4]	ANQ ピン[4]
OSPI0_RESET_OUT1	O	OSPI のリセット	D18	該当なし

5.3.20 電源

表 5-46. 電源信号の説明

信号名 [1]	ピンの種類 [2]	説明 [3]	ANB ピン[4]	ANQ ピン[4]
CAP_VDDSHV_MMC <sup>(1)</sup>	CAP	SDIO_LDO の外部コンデンサ接続	T16	
CAP_VDDS_GENERAL1 <sup>(2)</sup>	CAP	GENERAL1 IO グループの外部コンデンサ接続	G11	該当なし
CAP_VDDS_GPMC <sup>(2)</sup>	CAP	GPMC IO グループの外部コンデンサ接続	K16	
CAP_VDDS_MMC0 <sup>(2)</sup>	CAP	MMC0 IO グループの外部コンデンサ接続	J8	該当なし
CAP_VDDS_MMC1 <sup>(2)</sup>	CAP	MMC1 IO グループの外部コンデンサ接続	U9	該当なし
CAP_VDDS_MMC2 <sup>(2)</sup>	CAP	MMC2 IO グループの外部コンデンサ接続	M16	
VDDA_1P8_DSI	PWR	DSITX0 1.8 V アナログ電源	G14	
VDDA_1P8_USB	PWR	USB0 および USB1 1.8 V アナログ電源	T12	該当なし
VDDA_3P3_SDIO	PWR	SDIO_LDO 3.3V アナログ電源	U16	
VDDA_3P3_USB	PWR	USB0 および USB1 3.3 V アナログ電源	U12	該当なし
VDDA_ADC	PWR	ADC0 アナログ電源	N17	
VDDA_CORE_DSI	PWR	DSITX0 コア電源	G13	
VDDA_CORE_DSI_CLK	PWR	DSITX0 クロック コア電源	H12	
VDDA_CORE_USB	PWR	USB0 および USB1 コア電源	U11	該当なし
VDDA_DDR_PLL0	PWR	DDR デスキュー PLL 電源	M10	該当なし
VDDA_PLL0	PWR	WKUP_PLL0、MAIN_PLL0、TEMP0 アナログ電源	L11	該当なし
VDDA_PLL1	PWR	MAIN_PLL8 および MAIN_PLL17 アナログ電源	K12	該当なし
VDDS0	PWR	GENERAL0 IO グループの固定電圧電源	T14	該当なし
VDDS1	PWR	GENERAL0_1 IO グループの固定電圧電源	H16	該当なし
VDDSHV0	PWR	GPMC IO グループのデュアル電圧 IO 電源	J16、L17	
VDDSHV1	PWR	General1 IO グループ のデュアル電圧 IO 電源	G10、H10	該当なし
VDDSHV2	PWR	MMC0 IO グループ のデュアル電圧 IO 電源	H8	該当なし
VDDSHV3	PWR	MMC1 IO グループ のデュアル電圧 IO 電源	T10	該当なし
VDDSHV4	PWR	MMC2 IO グループ のデュアル電圧 IO 電源	M17	
VDDS_DDR	PWR	DDR PHY IO 電源	L8、M7、M8、 N8、P8	該当なし
VDDS_OSC0	PWR	RCOSC、POR、WKUP_OSC0 電源	R16	該当なし
VDDS_RTC	PWR	LFOSC0 および RTC IO グループの固定電圧電源	T18	
VDDS_WKUP	PWR	WKUP IO グループの固定電圧電源	P16	
VDD_CORE	PWR	コア電源	J11、J13、 J15、J9、 K10、K14、 L15、M14、 N15、P10、 P12、P14、 R11、R9	該当なし
VDD_RTC	PWR	RTC コア電源	T17	
VPP	PWR	eFuse ROM プログラミング電源	N18	該当なし

表 5-46. 電源信号の説明 (続き)

信号名 [1]	ピンの種類 [2]	説明 [3]	ANB ピン[4]	ANQ ピン[4]
VSS	PWR	グランド	A1、A10、A13、A16、A19、A2、A22、A23、A4、AA20、AA4、AB1、AB21、AB23、AB7、AC1、AC11、AC14、AC19、AC2、AC22、AC23、B1、B17、B20、B23、B5、C12、C18、D1、E10、E14、E15、E2、E6、E8、E9、F18、F5、F6、G12、G15、G16、G17、G7、G8、G9、H1、H14、H17、H7、K15、K8、K9、L13、L16、L18、L7、L9、M1、M12、N11、N13、N16、N7、N9、P15、P9、R1、R13、R15、R8、T19、T2、T7、T8、U10、U13、U14、U15、U17、U20、U7、U8、V18、V19、V3、W10、W12、W14、W15、W16、W18、W9、Y1、Y20、Y21	該当なし

- (1) SDIO\_LDO が VDDSHV3 または VDDSHV4 のソースとして使用される場合、このピンは常に 6.3V 以上、3.3 $\mu$ F  $\pm$ 20% のコンデンサを介して VSS に接続されなければなりません。選択したコンデンサは、DC バイアス、動作温度、経年変化の影響に対応するようにディレーティングされた後、定義された範囲内の容量を提供する必要があります。それ以外の場合、VDDA\_3P3\_SDIO ピンが VSS に直接接続されている場合、このピンを VSS に直接接続することができます。
- (2) 各 VDDSHVx ピンが 3.3V で動作している場合、このピンは必ず 6.3V 以上、0.8 $\mu$ F ~ 1.5 $\mu$ F のコンデンサを介して VSS に接続する必要があります。選択したコンデンサは、DC バイアス、動作温度、経年変化の影響に対応するようにディレーティングされた後、定義された範囲内の容量を提供する必要があります。各 VDDSHVx ピンが 1.8V でのみ動作している場合は、3 つの接続オプションがあります。このピンは、3.3V での動作に必要なものと同じデカップリング コンデンサに接続できます。未接続のままにしておくことも、各 VDDSHVx ピンと同じ 1.8V 電源に接続することもできます。

### 5.3.21 予約済み

表 5-47. 予約済み信号の説明

信号名 [1]	ピンの種類 [2]	説明 [3]	ANB ピン[4]	ANQ ピン[4]
RSVD0	該当なし	予約済み、未接続のままにする必要あり	AB17	該当なし

### 5.3.22 システム、その他

#### 5.3.22.1 ブートモードの構成

##### 5.3.22.1.1 メインドメイン

表 5-48. Sysboot 信号の説明

信号名 [1]	ピンの種類 [2]	説明 [3]	ANB ピン[4]	ANQ ピン[4]
BOOTMODE00	I	ブートモードピン 0	L22	該当なし
BOOTMODE01	I	ブートモードピン 1	L23	該当なし
BOOTMODE02	I	ブートモードピン 2	K22	該当なし
BOOTMODE03	I	ブートモードピン 3	J23	該当なし
BOOTMODE04	I	ブートモードピン 4	K23	該当なし
BOOTMODE05	I	ブートモードピン 5	H22	該当なし
BOOTMODE06	I	ブートモードピン 6	H23	該当なし
BOOTMODE07	I	ブートモードピン 7	J22	該当なし
BOOTMODE08	I	ブートモードピン 8	H19	該当なし
BOOTMODE09	I	ブートモードピン 9	H20	該当なし
BOOTMODE10	I	ブートモードピン 10	H21	該当なし
BOOTMODE11	I	ブートモードピン 11	H18	該当なし
BOOTMODE12	I	ブートモードピン 12	G23	該当なし
BOOTMODE13	I	ブートモードピン 13	G22	該当なし
BOOTMODE14	I	ブートモードピン 14	F22	該当なし
BOOTMODE15	I	ブートモードピン 15	F23	該当なし

#### 5.3.22.2 クロック

##### 5.3.22.2.1 RTC ドメイン

表 5-49. RTC クロック信号の説明

信号名 [1]	ピンの種類 [2]	説明 [3]	ANB ピン[4]	ANQ ピン[4]
LFOSC0_XI	I	低周波数 (32.768kHz) 発振器入力	AC21	該当なし
LFOSC0_XO	O	低周波数 (32.768kHz) 発振器出力	AC20	該当なし

##### 5.3.22.2.2 WKUP ドメイン

表 5-50. WKUP クロック信号の説明

信号名 [1]	ピンの種類 [2]	説明 [3]	ANB ピン[4]	ANQ ピン[4]
WKUP_OSC0_XI	I	高周波数発振器入力	AC18	該当なし
WKUP_OSC0_XO	O	高周波数発振器出力	AC17	該当なし

#### 5.3.22.3 システム

##### 5.3.22.3.1 メインドメイン

表 5-51. システム信号の説明

信号名 [1]	ピンの種類 [2]	説明 [3]	ANB ピン[4]	ANQ ピン[4]
AUDIO_EXT_REFCLK0	IO	McASP への外部クロック入力または McASP からの出力	AB8、B14、B9	該当なし
AUDIO_EXT_REFCLK1	IO	McASP への外部クロック入力または McASP からの出力	B11、B13、D11、N21	該当なし

表 5-51. システム信号の説明 (続き)

信号名 [1]	ピンの種類 [2]	説明 [3]	ANB ピン[4]	ANQ ピン[4]
CLKOUT0	O	RMII クロック出力 (50MHz)。このピンは外部 RMII PHY へのクロック ソース源に使用され、本デバイスを適切に動作させるためには、対応する RMII[x]_REF_CLK ピンにも配線する必要があります。	AA11、D16	該当なし
EXTINTn	I	外部割り込み	C8	該当なし
EXT_REFCLK1	I	メインドメインへの外部クロック入力	D16	該当なし
OBSCLK0	O	テストおよびデバッグ専用メインドメイン観測クロック出力	H21	該当なし
OBSCLK1	O	テストおよびデバッグ専用メインドメイン観測クロック出力	B7	該当なし
RESETSTATz	O	メインドメインのウォームリセットステータス出力	C16	該当なし
RESETz	I	メインドメインのウォームリセット	E16	該当なし

### 5.3.22.3.2 RTC ドメイン

表 5-52. RTC システム信号の説明

信号名 [1]	ピンの種類 [2]	説明 [3]	ANB ピン[4]	ANQ ピン[4]
EXT_WAKEUP0	I	外部ウェークアップ入力	AB19	
EXT_WAKEUP1	I	外部ウェークアップ入力	AB20	
PMIC_LPM_EN0	O	デュアル機能 PMIC 制御出力、低消費電力モード (アクティブ Low) または PMIC イネーブル (アクティブ High)	AA18	該当なし
RTC_PORz	I	RTC パワーオンリセット	Y18	

### 5.3.22.3.3 WKUP ドメイン

表 5-53. WKUP システム信号の説明

信号名 [1]	ピンの種類 [2]	説明 [3]	ANB ピン[4]	ANQ ピン[4]
PORz	I	WKUP ドメイン コールドリセット	AB18	該当なし
WKUP_CLKOUT0	O	WKUP ドメインの CLKOUT0 出力	M22、Y23	該当なし
WKUP_EXT_REFCLK0	I	WKUP ドメインへの外部入力	W22	
WKUP_OBSCLK0	O	テストおよびデバッグ専用 WKUP ドメイン監視クロック出力	W23	
WKUP_SYSCLKOUT0	O	WKUP ドメインの CLKOUT0 出力	W23	

### 5.3.23 TIMER

#### 5.3.23.1 メインドメイン

表 5-54. TIMER 信号の説明

信号名 [1]	ピンの種類 [2]	説明 [3]	ANB ピン[4]	ANQ ピン[4]
TIMER_IO0	IO	タイマ入力および出力 (1 つのタイマ インスタンスに固定されていない)	AB2、B2、C1、D16、D7、Y2	該当なし
TIMER_IO1	IO	タイマ入力および出力 (1 つのタイマ インスタンスに固定されていない)	A6、A7、AA2、D2、Y3	該当なし
TIMER_IO2	IO	タイマ入力および出力 (1 つのタイマ インスタンスに固定されていない)	B14、B16、B6、H20、Y4	該当なし
TIMER_IO3	IO	タイマ入力および出力 (1 つのタイマ インスタンスに固定されていない)	AA1、B13、B15、D6	該当なし

### 5.3.23.2 WKUP ドメイン

表 5-55. WKUP\_TIMER 信号の説明

信号名 [1]	ピンの種類 [2]	説明 [3]	ANB ピン[4]	ANQ ピン[4]
WKUP_TIMER_IO0	IO	タイマ入力および出力 (1 つのタイマ インスタンスに固定されていない)	W23	
WKUP_TIMER_IO1	IO	タイマ入力および出力 (1 つのタイマ インスタンスに固定されていない)	W22	

### 5.3.24 UART

#### 5.3.24.1 メイン ドメイン

表 5-56. UART0 信号の説明

信号名 [1]	ピンの種類 [2]	説明 [3]	ANB ピン[4]	ANQ ピン[4]
UART0_CTSn	I	UART CTS (Clear to Send) (アクティブ Low)	B14	該当なし
UART0_RTSn	O	UART RTS (Request to Send) (アクティブ Low)	B13	該当なし
UART0_RXD	I	UART 受信データ	D13	該当なし
UART0_TXD	O	UART 送信データ	C13	該当なし

表 5-57. UART1 信号の説明

信号名 [1]	ピンの種類 [2]	説明 [3]	ANB ピン[4]	ANQ ピン[4]
UART1_CTSn	I	UART CTS (Clear to Send) (アクティブ Low)	A8	該当なし
UART1_DCDn	I	UART CTS (Clear to Send) (アクティブ Low)	B7	該当なし
UART1_DSRn	I	UART DSR (Data Set Ready) (アクティブ Low)	A7	該当なし
UART1_DTRn	O	UART DTR (Data Terminal Ready) (アクティブ Low)	B16	該当なし
UART1_RIn	I	UART リング インジケータ	B15	該当なし
UART1_RTSn	O	UART RTS (Request to Send) (アクティブ Low)	B10	該当なし
UART1_RXD	I	UART 受信データ	C11、D7	該当なし
UART1_TXD	O	UART 送信データ	A12、A6	該当なし

表 5-58. UART2 信号の説明

信号名 [1]	ピンの種類 [2]	説明 [3]	ANB ピン[4]	ANQ ピン[4]
UART2_CTSn	I	UART CTS (Clear to Send) (アクティブ Low)	AA1、C4、F22	該当なし
UART2_RTSn	O	UART RTS (Request to Send) (アクティブ Low)	B3、F23、Y4	該当なし
UART2_RXD	I	UART 受信データ	AB2、B14、B4、H19	該当なし
UART2_TXD	O	UART 送信データ	A3、AA2、B13、H20	該当なし

表 5-59. UART3 信号の説明

信号名 [1]	ピンの種類 [2]	説明 [3]	ANB ピン[4]	ANQ ピン[4]
UART3_CTSn	I	UART CTS (Clear to Send) (アクティブ Low)	D3、D6	該当なし
UART3_RTSn	O	UART RTS (Request to Send) (アクティブ Low)	B6、D4	該当なし
UART3_RXD	I	UART 受信データ	C2、H21、Y2	該当なし
UART3_TXD	O	UART 送信データ	C1、H18、Y3	該当なし

表 5-60. UART4 信号の説明

信号名 [1]	ピンの種類 [2]	説明 [3]	ANB ピン[4]	ANQ ピン[4]
UART4_CTSn	I	UART CTS (Clear to Send) (アクティブ Low)	J22	該当なし
UART4_RTSn	O	UART RTS (Request to Send) (アクティブ Low)	H23	該当なし
UART4_RXD	I	UART 受信データ	G20、G23、 M23、T20	該当なし
UART4_TXD	O	UART 送信データ	F20、G22、 M22、T21	該当なし

表 5-61. UART5 信号の説明

信号名 [1]	ピンの種類 [2]	説明 [3]	ANB ピン[4]	ANQ ピン[4]
UART5_CTSn	I	UART CTS (Clear to Send) (アクティブ Low)	E22、H22	該当なし
UART5_RTSn	O	UART RTS (Request to Send) (アクティブ Low)	E18、K23	該当なし
UART5_RXD	I	UART 受信データ	B16、D18、 F22、R22	該当なし
UART5_TXD	O	UART 送信データ	B15、C23、 F23、T23	該当なし

表 5-62. UART6 信号の説明

信号名 [1]	ピンの種類 [2]	説明 [3]	ANB ピン[4]	ANQ ピン[4]
UART6_CTSn	I	UART CTS (Clear to Send) (アクティブ Low)	F20、J23	該当なし
UART6_RTSn	O	UART RTS (Request to Send) (アクティブ Low)	G20、K22	該当なし
UART6_RXD	I	UART 受信データ	A8、B6、F21、 L22、N22、R23	該当なし
UART6_TXD	O	UART 送信データ	B10、D6、F19、 L23、N21、U23	該当なし

### 5.3.24.2 WKUP ドメイン

表 5-63. WKUP\_UART0 信号の説明

信号名 [1]	ピンの種類 [2]	説明 [3]	ANB ピン[4]	ANQ ピン[4]
WKUP_UART0_CTSn	I	UART CTS (Clear to Send) (アクティブ Low)	W23	
WKUP_UART0_RTSn	O	UART RTS (Request to Send) (アクティブ Low)	W22	
WKUP_UART0_RXD	I	UART 受信データ	Y22	
WKUP_UART0_TXD	O	UART 送信データ	AA23	

### 5.3.25 USB

#### 5.3.25.1 メイン ドメイン

表 5-64. USB0 信号の説明

信号名 [1]	ピンの種類 [2]	説明 [3]	ANB ピン[4]	ANQ ピン[4]
USB0_DM	IO	USB 2.0 差動データ (負)	AC4	該当なし
USB0_DP	IO	USB 2.0 差動データ (正)	AB4	該当なし
USB0_DRVVBUS	O	USB VBUS 制御出力 (アクティブ High)	C6	該当なし
USB0_RCALIB (1)	IO	キャリブレーション抵抗に接続するピン	AB3	該当なし
USB0_VBUS (2)	A	USB レベル シフト VBUS 入力	AC3	該当なし

(1) このピンと VSS の間に  $499\Omega \pm 1\%$  の外付け抵抗を接続する必要があります。抵抗の最大消費電力は 7.2mW です。このピンに外部電圧を印加しないでください。

- (2) このデバイス ピンに印加される電圧を制限するには、外付けの分圧抵抗が必要です。詳細については、[セクション 8.2.3](#)「USB VBUS の設計ガイドライン」を参照してください。

表 5-65. USB1 信号の説明

信号名 [1]	ピンの種類 [2]	説明 [3]	ANB ピン[4]	ANQ ピン[4]
USB1_DM	IO	USB 2.0 差動データ (負)	AC5	
USB1_DP	IO	USB 2.0 差動データ (正)	AB5	
USB1_DRVVBUS	O	USB VBUS 制御出力 (アクティブ High)	A5	
USB1_RCALIB <sup>(1)</sup>	IO	キャリブレーション抵抗に接続するピン	AC6	
USB1_VBUS <sup>(2)</sup>	A	USB レベル シフト VBUS 入力	AB6	

- (1) このピンと VSS の間に  $499\Omega \pm 1\%$  の外付け抵抗を接続する必要があり、抵抗の最大消費電力は 7.2mW です。このピンに外部電圧を印加しないでください。
- (2) このデバイス ピンに印加される電圧を制限するには、外付けの分圧抵抗が必要です。詳細については、[セクション 8.2.3](#)「USB VBUS の設計ガイドライン」を参照してください。

## 5.4 ピン接続要件

このセクションでは、特定の接続要件を持つパッケージ ボールと、未使用のパッケージ ボールの接続要件について説明します。

### 注

特に記述のない限り、すべての電源ピンにはセクション 6.4 の「推奨動作条件」で規定されている電圧を供給する必要があります。

### 注

「未接続のまま」または「接続なし」(NC) は、これらのデバイスのボール番号にいかなる信号トレースも接続できないことを意味します。

表 5-66. 接続要件

ANB ボール 番号	ボール名	接続要件
AB16	TRSTn	PCB 信号トレースが接続されており、かつ接続されたデバイスによってアクティブに駆動されていない場合、これらのボールが有効なロジック Low レベルに保持されるように、これらの各ボールを個別の外付けプル抵抗を介して VSS に接続する必要があります。ボールに PCB 信号トレースが接続されていない場合、内部プルダウンを使用して有効なロジック Low レベルを保持できます。
Y16 AA16 E16 AB14 AC16 Y17	EMU0 EMU1 RESETz TCK TDI TMS	PCB 信号トレースが接続されており、かつ接続されたデバイスによってアクティブに駆動されていない場合、これらのボールに関連付けられた入力がある有効なロジック High レベルに保持されるように、これらの各ボールを個別の外付けプル抵抗を介して対応する電源 <sup>(1)</sup> に接続する必要があります。ボールに PCB 信号トレースが接続されていない場合、内部プルアップを使用して有効なロジック High レベルを保持できます。
AB19 AB20	EXT_WAKEUP0 EXT_WAKEUP1	これらの各ボールは、個別の外部プル抵抗を介して <sup>(1)</sup> 対応する電源に接続し、ウェイクアップソースに接続されていない場合には、これらのボールに関連する入力が有効なロジック High レベルに保持されるようにしてください。
L22 L23 K22 J23 K23 H22 H23 J22 H19 H20 H21 H18	GPMC0_AD0 GPMC0_AD1 GPMC0_AD2 GPMC0_AD3 GPMC0_AD4 GPMC0_AD5 GPMC0_AD6 GPMC0_AD7 GPMC0_AD8 GPMC0_AD9 GPMC0_AD10 GPMC0_AD11	GPMC0_AD15 と GPMC0_AD14 を VSS にプルダウンしてフルピンカウントブートモード オプションを選択した場合、これらのボールに関連する入力が、目的のデバイスブートモードを選択できるように適切な有効なロジック High または Low レベルに保持されるように、これらのボールのそれぞれを個別の外部プルレジスタを通じて対応する電源 <sup>(1)</sup> または VSS に接続する必要があります。
G23 G22 F22 F23	GPMC0_AD12 GPMC0_AD13 GPMC0_AD14 GPMC0_AD15	目的のデバイスのブートモードを選択するため、これらのボールに関連付けられた入力が適切に有効なロジック High または Low レベルに保持されるように、これらの各ボールを個別の外付けプル抵抗を介して対応する電源 <sup>(1)</sup> または VSS に接続する必要があります。
N17 V20 V22 V23 V21	VDDA_ADC ADC0_AIN0 ADC0_AIN1 ADC0_AIN2 ADC0_AIN3	ADC0 全体を使用しない場合、これらの各ボールを VSS に直接接続する必要があります。
V20 V22 V23 V21	ADC0_AIN0 ADC0_AIN1 ADC0_AIN2 ADC0_AIN3	VDDA_ADC が電源に接続されている場合、未使用のすべての ADC0_AIN[3:0] ボールは、抵抗を介して VSS にプルするか、VSS に直接接続する必要があります。

表 5-66. 接続要件 (続き)

ANB ボール 番号	ボール名	接続要件
L8 M7 M8 N8 P8	VDDS_DDR VDDS_DDR VDDS_DDR VDDS_DDR VDDS_DDR	DDRSS を使用しない場合は、各ボールを VSS に直接接続する必要があります。
M2 L1 M5 L2 L5 H6 L6 K2 J1 H5 R2 N6 T4 N1 T5 T6 W6 V6 N3 N2 N5 N4 M3 P1 P2 K1 L3 F2 W2 F4 F3 F1 E1 G4 H4 H2 H3 V4 T3 T1 U1 U4 V5 U2 W1 G1 G2 V1 V2 L4 J2	DDR0_ACT_n DDR0_CAS_n DDR0_RAS_n DDR0_WE_n DDR0_A0 DDR0_A1 DDR0_A2 DDR0_A3 DDR0_A4 DDR0_A5 DDR0_A6 DDR0_A7 DDR0_A8 DDR0_A9 DDR0_A10 DDR0_A11 DDR0_A12 DDR0_A13 DDR0_BA0 DDR0_BA1 DDR0_BG0 DDR0_BG1 DDR0_CAL0 DDR0_CK0 DDR0_CK0_n DDR0_CKE0 DDR0_CS0_n DDR0_DM0 DDR0_DM1 DDR0_DQ0 DDR0_DQ1 DDR0_DQ2 DDR0_DQ3 DDR0_DQ4 DDR0_DQ5 DDR0_DQ6 DDR0_DQ7 DDR0_DQ8 DDR0_DQ9 DDR0_DQ10 DDR0_DQ11 DDR0_DQ12 DDR0_DQ13 DDR0_DQ14 DDR0_DQ15 DDR0_DQS0 DDR0_DQS0_n DDR0_DQS1 DDR0_DQS1_n DDR0_ODT0 DDR0_RESET0_n	<p>DDRSS を使用しない場合は、未接続のままにします。</p> <p>注:このリストの DDR0 ピンは、VDDS_DDR および VDDS_DDR_C が VSS に接続されている場合のみ未接続のままにできます。VDDS_DDR および VDDS_DDR_C を電源に接続する場合、『DDR 基板の設計およびレイアウトのガイドライン』の定義に従って DDR0 ピンを接続する必要があります。</p>
U16 T16	VDDA_3P3_SDIO CAP_VDDSHV_MMC	SDIO_LDO を VDDSHV3 または VDDSHV4 への電力供給に使用しない場合、これらのボールはそれぞれ VSS に直接接続する必要があります。

表 5-66. 接続要件 (続き)

ANB ボール 番号	ボール名	接続要件
U11 T12 U12	VDDA_CORE_USB VDDA_1P8_USB VDDA_3P3_USB	USB0 と USB1 はこれらの電源レールを共有するため、USB0 または USB1 を使用するときは、これらの各ボールを有効な電源に接続する必要があります。  USB0 と USB1 を使用しない場合、これらのボールをそれぞれ VSS に直接接続する必要があります。
AC4 AB4 AB3 AC3 AC5 AB5 AC6 AB6	USB0_DM USB0_DP USB0_RCALIB USB0_VBUS USB1_DM USB1_DP USB1_RCALIB USB1_VBUS	USB0 または USB1 を使用しない場合は、それぞれの DM、DP、VBUS ボールを未接続のままにします。  注: USB0_RCALIB および USB1_RCALIB ピンは、VDDA_CORE_USB、VDDA_1P8_USB、VDDA_3P3_USB が VSS に接続されている場合のみ未接続のままにできます。VDDA_CORE_USB、VDDA_1P8_USB、VDDA_3P3_USB を電源に接続する場合、USB0_RCALIB ピンと USB1_RCALIB ピンは、個別の適切な外付け抵抗を介して VSS に接続する必要があります。
G13 H12 G14	VDDA_CORE_DSI VDDA_CORE_DSI_CLK VDDA_1P8_DSI	DSITX0 を使用せず、デバイスのバウンダリ スキャン機能が必要な場合は、これらの各ボールを有効な電源に接続する必要があります。  DSITX0 を使用せず、デバイスのバウンダリ スキャン機能が不要な場合は、これらのボールをそれぞれ VSS に直接接続することもできます。
A15 A14 B19 B18 A18 A17 A20 A21 B22 B21 D17	DSIO_TXCLKN DSIO_TXCLKP DSIO_TXN0 DSIO_TXP0 DSIO_TXN1 DSIO_TXP1 DSIO_TXN2 DSIO_TXP2 DSIO_TXN3 DSIO_TXP3 DSIO_TXRCALIB	DSITX0 を使用しない場合は、未接続のままにします。

(1) IO にどの電源が関連付けられているかを確認するには、「ピン属性」表を参照してください。

注

内部プル抵抗は駆動力が弱い場合、動作条件によっては有効なロジックレベルを維持するのに十分な電流を供給できない場合があります。この状況は、逆のロジックレベルへのリークがある部品に接続されている場合や、内部抵抗によって有効なロジックレベルにプルされているだけのボールに接続された信号トレースに外部ノイズ源が結合した場合に発生することがあります。そのため、外付けプル抵抗を使って、ボールの有効なロジックレベルを保持することを推奨します。

デバイス IO の多くはデフォルトでオフになっているため、ソフトウェアで各 IO が初期化されるまで、接続されているすべてのデバイスの入力を有効なロジック状態に保持するために、外部プル抵抗が必要になる場合があります。構成可能なデバイス IO の状態は、「ピン属性」表の「リセット時のボールの状態 (RX/TX/PULL)」と「リセット後のボールの状態 (RX/TX/PULL)」列に定義されています。入力バッファ (RX) がオフになっている IO は、フローティング状態にしても、本デバイスに損傷を与えません。ただし、入力バッファ (RX) がオンになっている IO は、 $V_{ILSS}$  と  $V_{IHSS}$  の間の電位にフローティングさせることはできません。入力をこれらのレベルの間の電位にフローティングさせた場合、入力バッファが大電流状態に入ることがあり、IO セルが損傷する可能性があります。

## 6 仕様

### 注

記載されている仕様はすべて暫定的なものであり、デバイスの特性評価中に変更される可能性があります。

### 6.1 絶対最大定格

接合部動作温度範囲内 (特に記述のない限り)<sup>(1)</sup> <sup>(2)</sup>

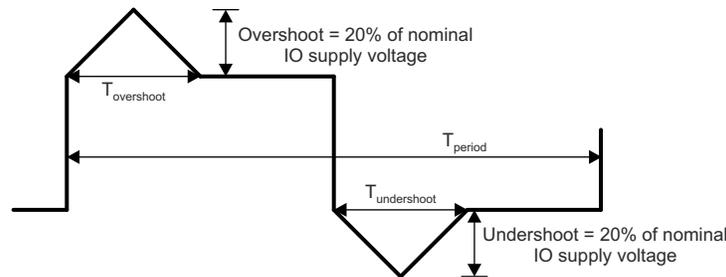
パラメータ		最小値	最大値	単位
VDD_CORE	コア電源	-0.3	1.05	V
VDDA_CORE_DSI	DSITX0 コア電源	-0.3	1.05	V
VDDA_CORE_DSI_CLK	DSITX0 クロック コア電源	-0.3	1.05	V
VDDA_CORE_USB	USB0 および USB1 コア電源	-0.3	1.05	V
VDDA_DDR_PLL0	DDR デスキュー PLL 電源	-0.3	1.05	V
VDD_RTC	RTC コア電源	-0.3	1.05	V
VDDS_DDR	DDR PHY IO 電源	-0.3	1.57	V
VDDS_OSC0	RCOSC、POR、WKUP_OSC0 電源	-0.3	1.98	V
VDDS_RTC	LFOSC0 および RTC IO グループの IO 電源	-0.3	1.98	V
VDDA_PLL0	WKUP_PLL0、MAIN_PLL0、TEMPO アナログ電源	-0.3	1.98	V
VDDA_PLL1	MAIN_PLL8 および MAIN_PLL17 アナログ電源	-0.3	1.98	V
VDDS_WKUP	WKUP IO グループの IO 電源	-0.3	1.98	V
VDDS0	GENERAL0 IO グループの IO 電源	-0.3	1.98	V
VDDS1	GENERAL0_1 IO グループの IO 電源	-0.3	1.98	V
VDDA_ADC	ADC アナログ電源	-0.3	1.98	V
VDDA_1P8_DSI	DSITX0 1.8 V アナログ電源	-0.3	1.98	V
VDDA_1P8_USB	USB0 および USB1 1.8 V アナログ電源	-0.3	1.98	V
VPP	eFuse ROM プログラミング電源	-0.3	1.98	V
VDDSHV0	GPMC IO グループの IO 電源	-0.3	3.63	V
VDDSHV1	General1 IO グループの IO 電源	-0.3	3.63	V
VDDSHV2	MMC0 IO グループの IO 電源	-0.3	3.63	V
VDDSHV3	MMC1 IO グループの IO 電源	-0.3	3.63	V
VDDSHV4	MMC2 IO グループの IO 電源	-0.3	3.63	V
VDDA_3P3_SDIO	SDIO_LDO アナログ電源	-0.3	3.63	V
VDDA_3P3_USB	USB0 および USB1 3.3 V アナログ電源	-0.3	3.63	V
すべてのフェイルセーフ IO ピンの定常状態の最大電圧	PORz	-0.3	3.63	V
	1.8V で動作する場合、 I2C2_SCL、I2C2_SDA、EXTINTn	-0.3	1.98 <sup>(3)</sup>	V
	3.3V で動作する場合、 I2C2_SCL、I2C2_SDA、EXTINTn	-0.3	3.63 <sup>(3)</sup>	V
他のすべての IO ピンの定常状態の最大電圧 <sup>(4)</sup>	USB0_VBUS、USB1_VBUS <sup>(5)</sup>	-0.3	3.6	V
	その他のすべての IO ピン	-0.3	IO 電源電圧 + 0.3	V
IO ピンの過渡オーバーシュートおよびアンダーシュート	信号周期の最大 20% にわたって IO 電源電圧の 20% (図 6-1、「IO 過渡電圧範囲」を参照)		0.2 × VDD <sup>(6)</sup>	V

接合部動作温度範囲内 (特に記述のない限り)<sup>(1) (2)</sup>

パラメータ		最小値	最大値	単位
ラッチアップ性能 <sup>(7)</sup>	I 試験	-100	100	mA
	過電圧 (OV) 試験		1.5 x VDD <sup>(6)</sup>	V
T <sub>STG</sub>	保存温度	-55	+150	°C

- (1) 「絶対最大定格」の範囲外の動作は、デバイスの永続的な損傷の原因となる可能性があります。「絶対最大定格」は、これらの条件において、または「推奨動作条件」に示された値を超える他のいかなる条件でも、本製品が正しく動作することを意味するものではありません。「絶対最大定格」の範囲内であっても **セクション 6.4**「推奨動作条件」の範囲外で使用すると、デバイスが完全に機能しない可能性があり、デバイスの信頼性、機能、性能に影響を及ぼし、デバイスの寿命を縮める可能性があります。
  - (2) すべての電圧値は、特に記述のない限り、VSS 端子を基準とします。
  - (3) これらのフェイルセーフピンの絶対最大定格は、それらの IO 電源動作電圧に左右されます。したがって、この値は、「I2C オープンドレインおよびフェイルセーフ (I2C OD FS) の電気的特性」セクションに記載されている最大 V<sub>IH</sub> 値によっても規定され、この電気的特性表では 1.8V モードと 3.3V モードに別々のパラメータ値があります。
  - (4) このパラメータはフェイルセーフでないすべての IO ピンに適用され、IO 電源電圧のすべての値に要件が適用されます。たとえば、特定の IO 電源に印加される電圧が 0V の場合、その電源から供給される IO の有効な入力電圧範囲は -0.3V ~ +0.3V になります。ペリフェラル デバイスに電力を供給する電源がそれぞれの IO 電源に電力を供給する電源と同じでない場合は、特別な注意が必要です。接続されているペリフェラルにおいて、電源のランプアップやランプダウンのシーケンスなど、有効な入力電圧範囲外の電圧を供給しないことが重要になります。
  - (5) このデバイスピンに印加される電圧を制限するには、外付けの分圧抵抗が必要です。詳細については、『USB 設計ガイドライン』**セクション 8.2.3**を参照してください。
  - (6) VDD は、IO の対応する電源ピンの電圧です。
  - (7) 電流パルス注入 (I-Test) の場合:
    - JEDEC JESD78 (Class II) に従ってピンにストレスを加え、規定の I/O ピン注入電流と最大推奨 I/O 電圧の +1.5 倍および -0.5 倍のクランプ電圧に合格しました。
- 過電圧性能 (過電圧 (OV) 試験) の場合:
- JEDEC JESD78 (Class II) に従って電源にストレスを加え、規定の電圧注入に合格しました。

フェイルセーフ IO 端子は、それぞれの IO 電源電圧に依存しないように設計されています。これにより、該当する IO 電源がオフのときに、これらの IO 端子に外部電圧源を接続できます。I2C0\_SCL、I2C2\_SCL、I2C2\_SDA、EXTINTn および PORz だけがフェイルセーフ IO 端子です。それ以外の IO 端子はいずれもフェイルセーフではなく、それらに印加される電圧は、**セクション 6.1** の「すべての IO ピンの定常状態の最大電圧」パラメータで定義されている値に制限する必要があります。



A.  $T_{\text{overshoot}} + T_{\text{undershoot}} < T_{\text{period}}$  の 20%

図 6-1. IO 過渡電圧範囲

## 6.2 ESD 定格

		値	単位
V <sub>(ESD)</sub>	静電気放電 (ESD)	人体モデル (HBM)、ANSI/ESDA/JEDEC JS-001 準拠 <sup>(1)</sup>	±1000
		デバイス帯電モデル (CDM)、ANSI/ESDA/JEDEC JS-002 準拠 <sup>(2)</sup>	±250

- (1) JEDEC のドキュメント JEP155 に、500V HBM では標準の ESD 管理プロセスで安全な製造が可能であると規定されています。
- (2) JEDEC のドキュメント JEP157 に、250V CDM では標準の ESD 管理プロセスで安全な製造が可能であると規定されています。

### 6.3 電源投入時間 (POH)

パワー オン時間 (POH) <sup>(1) (2) (3)</sup>		
接合部温度範囲 (T <sub>J</sub> )		寿命 (POH)
産業用拡張	-40°C ~ 105°C	100000
125°C 産業用 <sup>(4)</sup>	-40°C ~ 105°C	100000
	-40°C ~ 125°C	20000 <sup>(5)</sup>

- (1) この情報は、お客様の利便性のみを目的として提供されるものであり、テキサス・インスツルメンツの半導体製品に関する標準的な契約条件に基づいて提供される保証を拡張または変更するものではありません。
- (2) 上記の表に記述されていない限り、すべての電圧ドメインと動作条件は、記載された温度において本デバイスでサポートされています。
- (3) POH は、電圧、温度、時間の関数です。より高い電圧および温度で使用すると POH が低減します。
- (4) -40~105°Cまたは -40~125°Cプロファイルを選択し、アプリケーションの寿命期間全体にわたって適用する必要があります。温度や POH を拡張する目的でこれらのプロファイルを混合させると、信頼性故障リスクが高まる可能性があります。そのため、これを行うことは推奨されません。
- (5) -40~125°Cプロファイルは、以下のように接合部温度に応じて 20000 時間の電源オン時間として定義されます。5%@-40°C、65%@70°C、20%@110°C、10%@125°C。

## 6.4 推奨動作条件

接合部動作温度範囲内 (特に記述のない限り)

電源名	説明	最小値 <sup>(1)</sup>	公称値	最大値 <sup>(1)</sup>	単位	
VDD_CORE <sup>(2)</sup> VDDA_CORE_DSI <sup>(2)</sup> VDDA_CORE_DSI_CLK <sup>(2)</sup> VDDA_CORE_USB <sup>(2)</sup> VDDA_DDR_PLL0 <sup>(2)</sup>	コア電源 DSITX0 コア電源 DSITX0 クロック コア電源 USB0 および USB1 コア電源 DDR デスキュー PLL 電源	0.715	0.75	0.79	V	
VDD_RTC	RTC コア電源	0.715	0.75	0.79	V	
VDDS_DDR	DDR PHY IO 電源	1.1V 動作	1.06	1.1	1.17	V
		1.2V 動作	1.14	1.2	1.26	V
VDDS_OSC0	RCOSC、POR、WKUP_OSC0 電源	1.71	1.8	1.89	V	
VDDS_RTC	LFOSC0 および RTC IO グループの固定電圧電源	1.71	1.8	1.89	V	
VDDA_PLL0	WKUP_PLL0、MAIN_PLL0、TEMP0 アナログ電源	1.71	1.8	1.89	V	
VDDA_PLL1	MAIN_PLL8 および MAIN_PLL17 アナログ電源	1.71	1.8	1.89	V	
VDDS_WKUP	WKUP IO グループの固定電圧電源	1.71	1.8	1.89	V	
VDDS0	GENERAL0 IO グループの固定電圧電源	1.71	1.8	1.89	V	
VDDS1	GENERAL0_1 IO グループの固定電圧電源	1.71	1.8	1.89	V	
VDDA_ADC	ADC アナログ電源	1.71	1.8	1.89	V	
VDDA_1P8_DSI	DSITX0 1.8 V アナログ電源	1.71	1.8	1.89	V	
VDDA_1P8_USB	USB0 および USB1 1.8 V アナログ電源	1.71	1.8	1.89	V	
VPP	eFuse ROM プログラミング電源	(3)を参照	(3)を参照	(3)を参照	V	
VDDSHV0	の GPMC IO グループ用デュアル電圧 IO 電源	1.8V 動作	1.71	1.8	1.89	V
		3.3V 動作	3.135	3.3	3.465	V
VDDSHV1	General1 IO グループ のデュアル電圧 IO 電源	1.8V 動作	1.71	1.8	1.89	V
		3.3V 動作	3.135	3.3	3.465	V
VDDSHV2	MMC0 IO グループ のデュアル電圧 IO 電源	1.8V 動作	1.71	1.8	1.89	V
		3.3V 動作	3.135	3.3	3.465	V
VDDSHV3	MMC1 IO グループ のデュアル電圧 IO 電源	1.8V 動作	1.71	1.8	1.89	V
		3.3V 動作	3.135	3.3	3.465	V
VDDSHV4	MMC2 IO グループ のデュアル電圧 IO 電源	1.8V 動作	1.71	1.8	1.89	V
		3.3V 動作	3.135	3.3	3.465	V
VDDA_3P3_SDIO	SDIO_LDO アナログ電源	3.135	3.3	3.465	V	
VDDA_3P3_USB	USB0 および USB1 3.3 V アナログ電源	3.135	3.3	3.465	V	
USB0_VBUS	USB0 レベルシフト VBUS 入力	0 (4)を参照		3.465	V	
USB1_VBUS	USB1 レベルシフト VBUS 入力	0 (4)を参照		3.465	V	
T <sub>J</sub>	動作ジャンクション温度範囲	125°C 産業用	-40	125	°C	
		産業用拡張	-40	105	°C	

- (1) デバイス ボールの電圧は、通常のデバイス動作中、常に最小電圧を下回ったり、最大電圧を上回ったりしないようにしてください。
- (2) VDD\_CORE、VDDA\_CORE\_DSI、VDDA\_CORE\_DSI\_CLK、VDDA\_CORE\_USB、VDDA\_DDR\_PLL0 は、同じ電源を使用するものとします。VDD\_CORE と VDDA\_CORE\_USB の間の電圧差が ±1% 以内になるよう注意する必要があります。
- (3) eFuse の使用に基づく VPP 電源電圧については、「OTP eFuse プログラミングの推奨動作条件」表を参照してください。
- (4) このデバイスピンに印加される電圧を制限するには、外付けの分圧抵抗が必要です。詳細については、『USB 設計ガイドライン』セクション 8.2.3 を参照してください。

## 6.5 動作性能ポイント

表 6-1 は各デバイスの速度グレードに対するクロックの最大動作周波数を定義し、表 6-2 はデバイス サブシステムとコアクロックに対して有効な唯一の動作性能ポイント (OPP) を定義します。

表 6-1. デバイス速度グレード

速度 グレード	最大動作周波数 (MHz)				最大 遷移 レート (MT/s) <sup>(1)</sup>	
	A53SS (Cortex-A53x)	MAIN_SYSCLK0	PER_SYSCLK0	WKUP_SYSCLK0	DDR4	LPDDR4
E	833	500	400	400	1600	1600
O	1250	500	400	400	1600	1600

(1) 最大 DDR 周波数は、システムで使用されている特定のメモリタイプ (ベンダ) と PCB 実装に基づいて制限されます。最大 DDR 周波数を実現するための適切な PCB 実装については、『[DDR 基板の設計およびレイアウトのガイドライン](#)』を参照してください。

表 6-2. デバイスの動作性能ポイント

OPP	A53SS <sup>(1)</sup>	固定動作周波数オプション (MHz)			MT/s <sup>(4)</sup>	
		MAIN_SYSCLK0 <sup>(2)</sup>	PER_SYSCLK0 <sup>(3)</sup>	WKUP_SYSCLK0 <sup>(2)</sup>	DDR4	LPDDR4
高	ARM0 PLL バイパス から 速度 グレード 最大値まで	500	400	400	速度 グレード 最大値	DDR PLL バイパス <sup>(7)</sup> から 速度 グレード 最大値まで
低		PLL バイパス <sup>(5)</sup>		PLL バイパス <sup>(6)</sup>	250 (DRAM DLL バイパス <sup>(7)</sup> )	

- 初期動作周波数。ブート時にソフトウェアにより設定されます。ブート後の動的周波数スケールリングをサポート。
- 初期動作周波数。ブート時にソフトウェアにより設定されます。初期動作周波数と PLL バイパスとの間で周波数を変更するランタイムをサポート
- 固定動作周波数。ブート時にソフトウェアで設定されます。
- 最大 DDR 周波数は、システムで使用されている特定のメモリタイプ (ベンダ) と PCB 実装に基づいて制限されます。最大 DDR 周波数を実現するための適切な PCB 実装については、『[DDR 基板の設計およびレイアウトのガイドライン](#)』を参照してください。
- オペレーティングシステム制御の PLL バイパス機能。
- PLL 自動バイパス機能のハードウェアサポート。この機能の詳細については、TBD をご覧ください。
- DDR0\_CK0 と DDR0\_CK0\_n のソースとなる DDR PLL 出力は、通常は周波数単位で定義されます。したがって、バイパス モードで動作している場合、『DDR PLL バイパス』トランザクションレートは DDR PLL 出力周波数の 2 倍になります。

## 6.6 消費電力の概略

デバイスの消費電力の情報については、テキサス・インスツルメンツの販売代理店にお問い合わせください。

## 6.7 電気的特性

### 注

セクション 6.7 で説明されているインターフェイスまたは信号は、多重化モード 0 (プライマリ信号機能) で使用可能なインターフェイスまたは信号に対応しています。

これらの表に記載されているボール上で多重化されたすべてのインターフェイスまたは信号は、多重化に PHY と GPIO の組み合わせが含まれている場合を除き、DC 電気的特性はすべて同じです。PHY と GPIO の組み合わせが含まれている場合、異なる多重化モード (機能) に異なる DC 電気的特性が規定されます。

### 6.7.1 I2C オープン ドレインおよびフェイルセーフ (I2C OD FS) の電気的特性

推奨動作条件範囲内 (特に記述のない限り)

パラメータ		テスト条件	最小値	標準値	最大値	単位
<b>1.8V モード</b>						
V <sub>IL</sub>	入力 Low 電圧				0.3 × VDD <sup>(1)</sup>	V
V <sub>ILSS</sub>	入力 Low 電圧 (定常状態)				0.3 × VDD <sup>(1)</sup>	V
V <sub>IH</sub>	入力 High 電圧		0.7 × VDD <sup>(1)</sup>		1.98 <sup>(2)</sup>	V
V <sub>IHSS</sub>	入力 High 電圧 (定常状態)		0.7 × VDD <sup>(1)</sup>			V
V <sub>HYS</sub>	入力ヒステリシス電圧		0.1 × VDD <sup>(1)</sup>			mV
I <sub>IN</sub> <sup>(3)</sup>	入力リーク電流。	V <sub>I</sub> = 1.8 V			10	μA
		V <sub>I</sub> = 0 V			-10	μA
V <sub>OL</sub>	出力 LOW 電圧				0.2 × VDD <sup>(1)</sup>	V
I <sub>OL</sub> <sup>(4)</sup>	LOW レベル出力電流	V <sub>OL(MAX)</sub>	10			mA
SR <sub>I</sub> <sup>(6)</sup>	入力スルーレート		18f <sup>(5)</sup> または 1.8E+6			V/s
<b>3.3V モード<sup>(7)</sup></b>						
V <sub>IL</sub>	入力 Low 電圧				0.3 × VDD <sup>(1)</sup>	V
V <sub>ILSS</sub>	入力 Low 電圧 (定常状態)				0.25 × VDD <sup>(1)</sup>	V
V <sub>IH</sub>	入力 High 電圧		0.7 × VDD <sup>(1)</sup>		3.63 <sup>(2)</sup>	V
V <sub>IHSS</sub>	入力 High 電圧 (定常状態)		0.7 × VDD <sup>(1)</sup>			V
V <sub>HYS</sub>	入力ヒステリシス電圧		0.05 × VDD <sup>(1)</sup>			mV
I <sub>IN</sub> <sup>(3)</sup>	入力リーク電流。	V <sub>I</sub> = 3.3 V			10	μA
		V <sub>I</sub> = 0 V			-10	μA
V <sub>OL</sub>	出力 LOW 電圧				0.4	V
I <sub>OL</sub> <sup>(4)</sup>	LOW レベル出力電流	V <sub>OL(MAX)</sub>	10			mA
SR <sub>I</sub> <sup>(6)</sup>	入力スルーレート		33f <sup>(5)</sup> または 3.3E+6		8E+7	V/s

(1) VDD は、対応する電源を表します。電源名および対応するボールの詳細については、ピン属性表の「電源」の欄を参照してください。

(2) この値は、その IO の絶対最大定格値も定義します。

(3) このパラメータは、入力、非駆動出力、または入力と非駆動出力の両方として端子が動作している際のリーク電流を規定します。

(4) I<sub>OL</sub> パラメータは、指定された V<sub>OL</sub> 値をデバイスが維持できる最小 Low レベル出力電流を規定します。このパラメータで規定される値は、接続された部品の V<sub>OL</sub> 仕様値を維持する必要があるシステム実装が利用可能な最大電流と見なす必要があります。

(5) f = 入力信号のトグル周波数 (Hz)。

(6) この最小値パラメータは、それぞれの「タイミングおよびスイッチング特性」セクションで規定されていない入力信号機能にのみ適用されます。最大値になる MIN パラメータを選択します。

(7) IO を 3.3V モードで動作させる場合、I2C ハイスピード モードはサポートされません。

### 6.7.2 フェイルセーフ リセット (FS RESET) の電気的特性

推奨動作条件範囲内 (特に記述のない限り)

パラメータ		テスト条件	最小値	標準値	最大値	単位
V <sub>IL</sub>	入力 Low 電圧				0.3 × VDD5_OSC0	V
V <sub>ILSS</sub>	入力 Low 電圧 (定常状態)				0.3 × VDD5_OSC0	V
V <sub>IH</sub>	入力 High 電圧		0.7 × VDD5_OSC0			V
V <sub>IHSS</sub>	入力 High 電圧 (定常状態)		0.7 × VDD5_OSC0			V
V <sub>HYS</sub>	入力ヒステリシス電圧		200			mV
I <sub>IN</sub> <sup>(1)</sup>	入力リーク電流。	V <sub>I</sub> = 1.8 V			10	μA
		V <sub>I</sub> = 0 V			-10	μA
SR <sub>I</sub> <sup>(3)</sup>	入力スルーレート		18f <sup>(2)</sup> または 1.8E+6			V/s

- (1) このパラメータは、端子が入力として動作しているときのリーク電流を定義します。  
 (2) f = 入力信号のトグル周波数 (Hz)。  
 (3) この最小値パラメータは、それぞれの「タイミングおよびスイッチング特性」セクションで規定されていない入力信号機能にのみ適用されます。最大値になる MIN パラメータを選択します。

### 6.7.3 高周波発振器 (HFOSC) の電気的特性

推奨動作条件範囲内 (特に記述のない限り)

パラメータ		テスト条件	最小値	標準値	最大値	単位
V <sub>IL</sub>	入力 Low 電圧				0.35 × VDD5_OSC0	V
V <sub>IH</sub>	入力 High 電圧		0.65 × VDD5_OSC0			V
V <sub>HYS</sub>	入力ヒステリシス電圧			49		mV
I <sub>IN</sub> <sup>(1)</sup>	入力リーク電流。	V <sub>I</sub> = 1.8 V			10	μA
		V <sub>I</sub> = 0 V			-10	μA

- (1) このパラメータは、端子が入力として動作しているときのリーク電流を定義します。

### 6.7.4 低周波数発振器 (LFXOSC) の電気的特性

推奨動作条件範囲内 (特に記述のない限り)

パラメータ		テスト条件	最小値	標準値	最大値	単位
V <sub>IL</sub>	入力 Low 電圧				0.30 × VDD5_OSC0	V
V <sub>IH</sub>	入力 High 電圧		0.70 × VDD5_OSC0			V
V <sub>HYS</sub>	入力ヒステリシス電圧	アクティブ モード		85		mV
		バイパス モード		324		mV
I <sub>IN</sub> <sup>(1)</sup>	入力リーク電流。	V <sub>I</sub> = 1.8 V			10	μA
		V <sub>I</sub> = 0 V			-10	μA

- (1) このパラメータは、端子が入力として動作しているときのリーク電流を定義します。

### 6.7.5 SDIO の電気的特性

推奨動作条件範囲内 (特に記述のない限り)

パラメータ	テスト条件	最小値	標準値	最大値	単位
<b>1.8V モード</b>					
V <sub>IL</sub>	入力 Low 電圧			0.58	V
V <sub>ILSS</sub>	入力 Low 電圧 (定常状態)			0.58	V
V <sub>IH</sub>	入力 High 電圧	1.27			V
V <sub>IHSS</sub>	入力 High 電圧 (定常状態)	1.7			V
V <sub>HYS</sub>	入力ヒステリシス電圧	150			mV
I <sub>IN</sub> <sup>(1)</sup>	入力リーク電流。	V <sub>I</sub> = 1.8 V		10	μA
		V <sub>I</sub> = 0 V		-10	μA
R <sub>PU</sub>	プルアップ抵抗	40	50	60	kΩ
R <sub>PD</sub>	プルダウン抵抗	40	50	60	kΩ
V <sub>OL</sub>	出力 LOW 電圧			0.45	V
V <sub>OH</sub>	出力 HIGH 電圧	VDD <sup>(2)</sup> - 0.45			V
I <sub>OL</sub> <sup>(3)</sup>	LOW レベル出力電流	V <sub>OL</sub> (MAX)	4		mA
I <sub>OH</sub> <sup>(3)</sup>	High レベル出力電流	V <sub>OH</sub> (MIN)	4		mA
SR <sub>I</sub> <sup>(5)</sup>	入力スルーレート		18f <sup>(4)</sup> または 1.8E+6		V/s
<b>3.3V モード</b>					
V <sub>IL</sub>	入力 Low 電圧			0.25 × VDD <sup>(2)</sup>	V
V <sub>ILSS</sub>	入力 Low 電圧 (定常状態)			0.15 × VDD <sup>(2)</sup>	V
V <sub>IH</sub>	入力 High 電圧	0.625 × VDD <sup>(2)</sup>			V
V <sub>IHSS</sub>	入力 High 電圧 (定常状態)	0.625 × VDD <sup>(2)</sup>			V
V <sub>HYS</sub>	入力ヒステリシス電圧	150			mV
I <sub>IN</sub> <sup>(1)</sup>	入力リーク電流。	V <sub>I</sub> = 3.3 V		10	μA
		V <sub>I</sub> = 0 V		-10	μA
R <sub>PU</sub>	プルアップ抵抗	40	50	60	kΩ
R <sub>PD</sub>	プルダウン抵抗	40	50	60	kΩ
V <sub>OL</sub>	出力 LOW 電圧			0.125 × VDD <sup>(2)</sup>	V
V <sub>OH</sub>	出力 HIGH 電圧	0.75 × VDD <sup>(2)</sup>			V
I <sub>OL</sub> <sup>(3)</sup>	LOW レベル出力電流	V <sub>OL</sub> (MAX)	6		mA
I <sub>OH</sub> <sup>(3)</sup>	High レベル出力電流	V <sub>OH</sub> (MIN)	10		mA
SR <sub>I</sub> <sup>(5)</sup>	入力スルーレート		33f <sup>(4)</sup> または 3.3E+6		V/s

- (1) このパラメータは、端子が入力、非駆動出力、または入力と非駆動出力の両方として動作していて内部プルがイネーブルされていないときの、リーク電流を定義します。
- (2) VDD は、対応する電源を表します。電源名および対応するボールの詳細については、「ピン属性」表の「電源」列を参照してください。
- (3) I<sub>OL</sub> および I<sub>OH</sub> パラメータは、デバイスが指定された V<sub>OL</sub> および V<sub>OH</sub> の値を維持できる最小 Low レベル出力電流と High レベル出力電流を規定します。これらのパラメータで規定される値は、接続部品について指定された V<sub>OL</sub> および V<sub>OH</sub> の値を維持する必要があるシステム実装で利用可能な最大電流を考慮する必要があります。
- (4) f = 入力信号のトグル周波数 (Hz)。
- (5) この最小値パラメータは、それぞれの「タイミングおよびスイッチング特性」セクションで規定されていない入力信号機能にのみ適用されます。最大値になる MIN パラメータを選択します。

### 6.7.6 LVCMOS の電気的特性

推奨動作条件範囲内 (特に記述のない限り)

パラメータ		テスト条件	最小値	標準値	最大値	単位
<b>1.8V モード</b>						
V <sub>IL</sub>	入力 Low 電圧			0.35 × VDD <sup>(1)</sup>		V
V <sub>ILSS</sub>	入力 Low 電圧 (定常状態)			0.3 × VDD <sup>(1)</sup>		V
V <sub>IH</sub>	入力 High 電圧		0.65 × VDD <sup>(1)</sup>			V
V <sub>IHSS</sub>	入力 High 電圧 (定常状態)		0.85 × VDD <sup>(1)</sup>			V
V <sub>HYS</sub>	入力ヒステリシス電圧		150			mV
I <sub>IN</sub> <sup>(2)</sup>	入力リーク電流。	V <sub>I</sub> = 1.8 V			10	μA
		V <sub>I</sub> = 0 V			-10	μA
R <sub>PU</sub>	プルアップ抵抗		15	22	30	kΩ
R <sub>PD</sub>	プルダウン抵抗		15	22	30	kΩ
V <sub>OL</sub>	出力 LOW 電圧				0.45	V
V <sub>OH</sub>	出力 HIGH 電圧		VDD <sup>(1)</sup> - 0.45			V
I <sub>OL</sub> <sup>(3)</sup>	LOW レベル出力電流	V <sub>OL(MAX)</sub>	3			mA
I <sub>OH</sub> <sup>(3)</sup>	High レベル出力電流	V <sub>OH(MIN)</sub>	3			mA
SR <sub>I</sub> <sup>(5)</sup>	入力スルーレート		18f <sup>(4)</sup> または 1.8E+6			V/s
<b>3.3V モード</b>						
V <sub>IL</sub>	入力 Low 電圧				0.8	V
V <sub>ILSS</sub>	入力 Low 電圧 (定常状態)				0.6	V
V <sub>IH</sub>	入力 High 電圧		2.0			V
V <sub>IHSS</sub>	入力 High 電圧 (定常状態)		2.0			V
V <sub>HYS</sub>	入力ヒステリシス電圧		150			mV
I <sub>IN</sub> <sup>(2)</sup>	入力リーク電流。	V <sub>I</sub> = 3.3 V			10	μA
		V <sub>I</sub> = 0 V			-10	μA
R <sub>PU</sub>	プルアップ抵抗		15	22	30	kΩ
R <sub>PD</sub>	プルダウン抵抗		15	22	30	kΩ
V <sub>OL</sub>	出力 LOW 電圧				0.4	V
V <sub>OH</sub>	出力 HIGH 電圧		2.4			V
I <sub>OL</sub> <sup>(3)</sup>	LOW レベル出力電流	V <sub>OL(MAX)</sub>	5			mA
I <sub>OH</sub> <sup>(3)</sup>	High レベル出力電流	V <sub>OH(MIN)</sub>	9			mA
SR <sub>I</sub> <sup>(5)</sup>	入力スルーレート		33f <sup>(4)</sup> または 3.3E+6			V/s

- (1) VDD は、対応する電源を表します。電源名および対応するボールの詳細については、「ピン属性」表の「電源」列を参照してください。
- (2) このパラメータは、端子が入力、非駆動出力、または入力と非駆動出力の両方として動作していて、内部プルがイネーブルされていないときのリーク電流を定義します。
- (3) I<sub>OL</sub> および I<sub>OH</sub> パラメータは、デバイスが指定された V<sub>OL</sub> および V<sub>OH</sub> の値を維持できる最小 Low レベル出力電流と High レベル出力電流を規定します。これらのパラメータで規定される値は、接続部品について指定された V<sub>OL</sub> および V<sub>OH</sub> の値を維持する必要があるシステム実装で利用可能な最大電流を考慮する必要があります。
- (4) f = 入力信号のトグル周波数 (Hz)。
- (5) この最小値パラメータは、それぞれの「タイミングおよびスイッチング特性」セクションで規定されていない入力信号機能にのみ適用されます。最大値になる MIN パラメータを選択します。

### 6.7.7 1P8-LVCMOS の電気的特性

推奨動作条件範囲内 (特に記述のない限り)

パラメータ		テスト条件	最小値	標準値	最大値	単位
V <sub>IL</sub>	入力 Low 電圧				0.35 × VDD <sup>(1)</sup>	V
V <sub>ILSS</sub>	入力 Low 電圧 (定常状態)				0.35 × VDD <sup>(1)</sup>	V
V <sub>IH</sub>	入力 High 電圧		0.65 × VDD <sup>(1)</sup>			V
V <sub>IHSS</sub>	入力 High 電圧 (定常状態)		0.65 × VDD <sup>(1)</sup>			V
V <sub>HYS</sub>	入力ヒステリシス電圧		150			mV
I <sub>IN</sub>	入力リーク電流。	V <sub>I</sub> = 1.8V または V <sub>I</sub> = 0.0V			±10	μA
R <sub>PU</sub>	プルアップ抵抗		10	20	30	kΩ
R <sub>PD</sub>	プルダウン抵抗		10	20	30	kΩ
V <sub>OL</sub>	出力 LOW 電圧				0.45	V
V <sub>OH</sub>	出力 HIGH 電圧		VDD <sup>(1)</sup> - 0.45			V
I <sub>OL</sub> <sup>(2)</sup>	LOW レベル出力電流	V <sub>OL(MAX)</sub>	8			mA
I <sub>OH</sub> <sup>(2)</sup>	High レベル出力電流	V <sub>OH(MIN)</sub>	8			mA
SR <sub>I</sub> <sup>(4)</sup>	入力スルーレート			9f <sup>(3)</sup> または 1.08E+5		V/s

- (1) VDD は、対応する電源を表します。電源名および対応するボールの詳細については、「ピン属性」表の「電源」列を参照してください。
- (2) I<sub>OL</sub> および I<sub>OH</sub> パラメータは、デバイスが指定された V<sub>OL</sub> および V<sub>OH</sub> の値を維持できる最小 Low レベル出力電流と High レベル出力電流を規定します。これらのパラメータで規定される値は、接続部品について指定された V<sub>OL</sub> および V<sub>OH</sub> の値を維持する必要があるシステム実装で利用可能な最大電流を考慮する必要があります。
- (3) f = 入力信号のトグル周波数 (Hz)。
- (4) この最小値パラメータは、それぞれの「タイミングおよびスイッチング特性」セクションで規定されていない入力信号機能にのみ適用されます。最大値になる MIN パラメータを選択します。

### 6.7.8 RTC-LVCMOS の電気的特性

推奨動作条件範囲内 (特に記述のない限り)

パラメータ		テスト条件	最小値	標準値	最大値	単位
$V_{IL}$	入力 Low 電圧				$0.35 \times VDD^{(1)}$	V
$V_{ILSS}$	入力 Low 電圧 (定常状態)				$0.35 \times VDD^{(1)}$	V
$V_{IH}$	入力 High 電圧		$0.65 \times VDD^{(1)}$			V
$V_{IHSS}$	入力 High 電圧 (定常状態)		$0.65 \times VDD^{(1)}$			V
$V_{HYS}$	入力ヒステリシス電圧		200			mV
$I_{IN}$	入力リーク電流。	$V_I = 1.8V$ または $V_I = 0.0V$			$\pm 50$	nA
$V_{OL}$	出力 LOW 電圧				0.45	V
$V_{OH}$	出力 HIGH 電圧		$VDD^{(1)} - 0.45$			V
$I_{OL}^{(2)}$	LOW レベル出力電流	$V_{OL(MAX)}$	2			mA
$I_{OH}^{(2)}$	High レベル出力電流	$V_{OH(MIN)}$	2			mA
$SR_I^{(3)}$	入力スルーレート		1.8E6			V/s

- (1) VDD は、対応する電源を表します。電源名および対応するボールの詳細については、「ピン属性」表の「電源」列を参照してください。
- (2)  $I_{OL}$  および  $I_{OH}$  パラメータは、デバイスが指定された  $V_{OL}$  および  $V_{OH}$  の値を維持できる最小 Low レベル出力電流と High レベル出力電流を規定します。これらのパラメータで規定される値は、接続部品について指定された  $V_{OL}$  および  $V_{OH}$  の値を維持する必要があるシステム実装で利用可能な最大電流を考慮する必要があります。
- (3) この最小値パラメータは、それぞれの「タイミングおよびスイッチング特性」セクションで規定されていない入力信号機能にのみ適用されます。

### 6.7.9 ADC の電氣的特性

推奨動作条件範囲内 (特に記述のない限り)

パラメータ		テスト条件	最小値	標準値	最大値	単位
分解能	実際のビット数			12		ビット
ENOB	有効ビット数			≅ 10		ビット
V <sub>ADC0_VREFP</sub> <sup>(1)</sup>	正のリファレンス電圧			VDDA_ADC0 <sup>(2)</sup>		V
V <sub>ADC0_VREFN</sub> <sup>(1)</sup>	負のリファレンス電圧			VSS		V
V <sub>ADC_AIN[3:0]</sub>	アナログ入力電圧、 ADC_AIN[3:0]、フルスケール		VSS	VDDA_ADC0 <sup>(2)</sup>		V
DNL	微分非直線性		> -1		+4	LSB
INL	積分非直線性		-4		+4	LSB
LSB <sub>GAIN-ERROR</sub>	ゲイン誤差			±10		LSB
LSB <sub>OFFSET-ERROR</sub>	オフセット誤差			±5		LSB
SINAD	信号 - 雑音と歪み比	入力信号: -0.5dB フルスケールで 200kHz の正弦波		60		dB
Z <sub>ADC_AIN[0:7]</sub>	アナログ入力インピーダンス、 ADC0_AIN[7:0]			(3)		Ω
I <sub>IN</sub>	入力リーク電流			±10		μA
C <sub>SMPL</sub>	サンプリング容量			5.5		pF
<b>サンプリング動特性</b>						
F <sub>SMPL_CLK</sub>	ADC0 SMPL_CLK 周波数			60		MHz
t <sub>c</sub>	変換時間			13		ADC0 SMPL_CLK サイクル
t <sub>ACQ</sub>	アキュイジション時間		2		257	ADC0 SMPL_CLK サイクル
T <sub>R</sub>	サンプリングレート	ADC0 SMPL_CLK = 60MHz			4	MSPS

- (1) ADC0\_REFP と ADC0\_REFN は、SoC 内の VDDA\_ADC0 と VSS に直接接続されています。この表の ADC0\_REFP と ADC0\_REFN への参照は、VDDA\_ADC0 または VSS と見なす必要があります。
- (2) VDDA\_ADC0 の有効電圧範囲は、セクション 6.4 で定義されます
- (3) アキュイジション時間とアキュイジション周波数をユーザーが設定できるように、ADC0\_AIN ピンは内部サンプリング コンデンサに接続されています。ADC0\_AIN ピンの入力インピーダンスはサンプリング容量の関数で、アキュイジション時間とアキュイジション周波数はユーザーが構成可能です。設計者は、各 ADC0\_AIN ピンのソース インピーダンスが内部サンプリング コンデンサを充電するのに必要とする時間を理解する必要があります。アキュイジション時間は、内部サンプリング コンデンサが 14 ビットを超える精度でセッティングするのに十分な長さに設定する必要があります。

### 6.7.10 DSI (D-PHY) の電氣的特性

#### 注

DSITX0 は、該当する ECN とエラッタを含め、2014 年 8 月 1 日付けの MIPI DPHY v1.2 に準拠しています。

### 6.7.11 USB2PHY の電气的特性

---

#### 注

USB0 および USB1 のインターフェイスは、2000 年 4 月 27 日付けの Universal Serial Bus Revision 2.0 仕様 (該当する ECN およびエラッタを含む) に準拠しています。

---

### 6.7.12 DDR の電气的特性

---

#### 注

DDR インターフェイスは、**JESD79-4B** 規格準拠の DDR4 デバイスや、**JESD209-4B** 規格準拠の LPDDR4 デバイスと互換性があります

---

## 6.8 ワンタイム プログラマブル (OTP) eFuse の VPP 仕様

このセクションは、OTP eFuse のプログラミングに必要な動作条件を規定します。

### 6.8.1 OTP eFuse プログラミングの推奨動作条件

接合部動作温度範囲内 (特に記述のない限り)

パラメータ	説明	最小値	公称値	最大値	単位
VDD_CORE	OTP 動作中のコア ドメインの電源電圧範囲、OPP NOM (BOOT)	セクション 6.4 を参照			V
VPP	通常動作時の eFuse ROM ドメインの電源電圧範囲 (eFuse ROM をプログラミングするためのハードウェア サポートなし)	NC <sup>(1)</sup>			V
	通常動作時の eFuse ROM ドメインの電源電圧範囲 (eFuse ROM をプログラミングするためのハードウェア サポートあり)	0			V
	OTP プログラミング時の eFuse ROM ドメインの電源電圧範囲 <sup>(2)</sup>	1.71	1.8	1.89	V
I <sub>(VPP)</sub>	VPP 電流				400 mA
SR <sub>(VPP)</sub>	VPP パワーアップ スルーレート				6E + 4 V/s
T <sub>J</sub>	eFuse ROM プログラミング時の動作時接合部温度範囲	0	25	85	°C

(1) NC は接続なしを示します。

(2) 電源電圧範囲には、DC 誤差およびピークツーピーク ノイズが含まれます。

### 6.8.2 ハードウェア要件

OTP eFuse にキーをプログラムする場合、以下のハードウェア要件を満たす必要があります。

- OTP レジスタをプログラムしないときは、VPP 電源をディセーブルにする必要があります。
- VPP 電源は、適切なデバイス電源オン シーケンスの後にランプアップする必要があります (詳細については、[セクション 6.11.2.2「電源シーケンス」](#)を参照してください)。

### 6.8.3 プログラミング シーケンス

OTP eFuse のプログラミング シーケンス:

- パワーアップ シーケンシングに従ってボードに電源を投入します。パワーアップ時および通常動作中は、VPP 端子に電圧を印加しないでください。
- eFuse のプログラミングに必要な OTP 書き込みソフトウェアをロードします (OTP ソフトウェア パッケージについては、お近くの TI 代理店にお問い合わせください)。
- [セクション 6.8.1](#) に示す仕様に従って、VPP 端子に電圧を印加します。
- OTP レジスタをプログラムするソフトウェアを実行します。
- OTP レジスタの内容を検証した後、VPP 端子から電圧を取り除きます。

### 6.8.4 ハードウェア保証への影響

お客様は、セキュリティ キーによりテキサス・インスツルメンツのデバイスに e-Fuse を使用することは、デバイスを永続的に変更する、ということに同意するものとします。お客様は、プログラム シーケンスが正しくないか中止された場合や、シーケンス ステップを省略した場合などに、e-Fuse が失敗する可能性があることを認めます。さらに、プロダクション キーのエラー コード訂正チェックが失敗した場合、またはイメージが署名されておらず、オプションとして現在アクティブなプロダクション キーで暗号化されていない場合、テキサス・インスツルメンツのデバイスはセキュア ブートに失敗する可能性があります。このような障害が発生すると、テキサス・インスツルメンツのデバイスが動作不能になることがあり、テキサス・インスツルメンツは eFuse を試行する前に、テキサス・インスツルメンツのデバイスがそのデバイス仕様に準拠していることを確認できなくなります。そのため、セキュリティ キーで eFuse が実行されたテキサス・インスツルメンツのデバイスについて、テキサス・インスツルメンツは一切の責任 (保証またはその他の責任) を負いません。

## 6.9 熱抵抗特性

このセクションでは、このデバイスで使用される熱抵抗特性について説明します。

信頼性と動作性の懸念から、デバイスの最大接合部温度は、セクション 6.4「推奨動作条件」に示されている  $T_J$  値以下にする必要があります。

### 6.9.1 ANB パッケージの熱抵抗特性

システムレベルの熱シミュレーションは、ワーストケースのデバイス消費電力を考慮して実行することを推奨します。

番号	パラメータ	説明	AMC パッケージ °C/W <sup>(1) (2)</sup>	空気 流 (m/s) <sup>(3)</sup>	
T1	$R\theta_{JC}$	接合部とケースとの間	5.2	該当なし	
T2	$R\theta_{JB}$	接合部と基板との間	9.4	該当なし	
T3	$R\theta_{JA}$	接合部と自由空気との間	22.2	0	
T4			接合部と空気流との間	17.4	1
T5				16.3	2
T6				15.6	3
T7	$\Psi_{JT}$	接合部とパッケージ上面との間		0.09	0
T8			0.18	1	
T9			0.24	2	
T10			0.28	3	
T11	$\Psi_{JB}$	接合部と基板との間	9.3	0	
T12			8.8	1	
T13			8.6	2	
T14			8.5	3	

(1) °C/W = 摂氏温度 / ワット。

(2) これらの値は、JEDEC により定義された 2S2P システム (JEDEC 定義の 1S0P システムによる  $\theta_{JC}$  [ $R\theta_{JC}$ ] 値を除く) に基づいており、周囲環境とアプリケーションによって変化します。詳細については、以下の EIA/JEDEC 規格を参照してください。

- JESD51-2、『IC の熱テスト手法の環境条件 - 自然対流 (静止空気)』
- JESD51-3、『リード付き表面実装パッケージ用の有効熱伝導率の低いテスト基板』
- JESD51-6、『IC の熱テスト手法の環境条件 - 自然対流 (空気流)』
- JESD51-7、『リード付き表面実装パッケージ用の有効熱伝導率の高いテスト基板』
- JESD51-9、『エリア アレイ表面実装パッケージの熱測定用テスト基板』

(3) m/s = メートル/秒。

## 6.10 温度センサの特性

このセクションでは、ダイ温度センサの特性に関する電圧および温度モジュール (VTM) について概要を説明します。

動作および信頼性上の懸念から、本デバイスの最大接合部温度は、「推奨動作条件」に示された  $T_J$  値以下にする必要があります。

表 6-3. VTM ダイ温度センサの特性

パラメータ		テスト 条件	最小値	標準値	最大値	単位
$T_{acc}$	VTM 温度センサ精度	-40°C~125°C	-5		5	°C

## 6.11 タイミングおよびスイッチング特性

### 注

シリコンの特性評価結果に応じて、タイミング要件およびスイッチング特性の値は変化する場合があります。

### 注

特に指示がない限り、タイミングを確保するため、各パッド構成レジスタのデフォルトのスルーレート設定を使用する必要があります。

### 6.11.1 タイミングパラメータおよび情報

セクション 6.11 「タイミングおよびスイッチング特性」で使用されるタイミングパラメータの記号は、JEDEC 規格 100 に従って作成されています。記号を短縮するために、ピン名およびその他の関連用語の一部を表 6-4 に示すように短縮しました。

表 6-4. タイミングパラメータの添え字

記号	パラメータ
c	サイクル時間 (周期)
d	遅延時間
dis	ディセーブル時間
en	イネーブル時間
h	ホールド時間
su	セットアップ時間
START	スタートビット
t	遷移時間
v	有効時間
w	パルス幅
X	未知の、変化している、ドント ケアのレベル
F	立ち下がり時間
H	高
L	低
R	立ち上がり時間
V	有効
IV	無効
AE	アクティブ エッジ
FE	最初のエッジ
LE	最後のエッジ
Z	高インピーダンス

## 6.11.2 電源要件

このセクションでは、デバイスが適切に動作するために必要な電源要件について説明します。

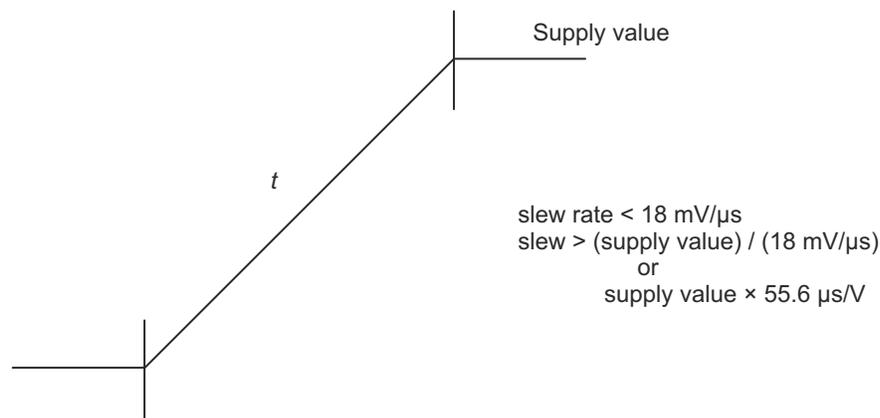
### 注

「信号説明」と「ピン接続要件」に特に記述のない限り、すべての電源ボールは、「推奨動作条件」に規定された電圧で供給する必要があります。

### 6.11.2.1 電源スルーレートの要件

内部 ESD 保護デバイスの安全な動作範囲を維持するため、電源の最大スルーレートを  $18 \text{ mV}/\mu\text{s}$  未満に制限することを推奨します。たとえば、[図 6-2](#) に示すように、 $1.8\text{V}$  電源については、ランプ スルーが  $100\mu\text{s}$  を超えるものを使用することを推奨します。

[図 6-2](#) に、デバイスの電源スルーレートの要件を示します。



SPRT740\_ELCH\_06

図 6-2. 電源のスルーおよびスルーレート

### 6.11.2.2 電源シーケンス

このセクションでは、電源シーケンスの図と関連する注を使用して、電源シーケンス要件について説明します。各電源シーケンスの図は、デバイスの各電源レールに必要な順序を表しており、それをデバイスの各電源レールを 1 つまたは複数の波形に割り当てることによって示しています。デュアル電圧電源レールは複数の波形に関連付けられている場合があり、どの波形が該当するかは関連する注に記載されています。各波形は、関連する電源レールの遷移領域を定義し、他の電源レールの遷移領域との順序関係を示しています。電源シーケンスの図に関連する注に、これらの要件の詳細が記載されています。パワーアップ要件の詳細については「パワーアップ シーケンス」セクション、パワーダウン要件の詳細については「パワーダウン シーケンス」セクションを参照してください。

電源シーケンスの図を簡素化するため、2 種類の電源遷移領域が使用されています。図 6-3 および図 6-4 の凡例と説明に、各遷移領域が何を表しているかが明記されています。

図 6-3 は、複数の電源または 1 つの電源から給電される複数の電源レールの遷移領域を定義しています。遷移領域内に示されている遷移は、この波形に関連する電源レールに給電するために複数の電源が使用されている使用事例を表しています。これらの電源には相対的なシーケンス要件はないため、領域内で異なる時間に立ち上げることが可能です。

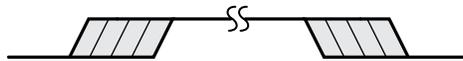


図 6-3. 複数の電源遷移の凡例

図 6-4 は、1 つの共通電源から給電する必要がある 1 つ以上の電源レールの遷移領域を定義しています。遷移領域内で 1 つの立ち上がりを表すため、領域内に遷移は示されていません。

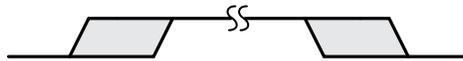


図 6-4. 1 つの共通電源遷移の凡例

### 6.11.2.2.1 低消費電力モードのシーケンスなし

表 6-5、図 6-5、図 6-6 では、RTC のみ低消費電力モードまたは RTC+IO + DDR 低消費電力モードを使用する計画がない場合のデバイスの電源シーケンス要件を定義しています。

**表 6-5. 低消費電力モードのシーケンス - 電源 / 信号の割り当て**

次をご覧ください。図 6-5 および 図 6-6

波形	電源 / 信号名
A	システム電力
B	VDDSHV0 <sup>(1)</sup> 、VDDSHV1 <sup>(1)</sup> 、VDDA_3P3_SDIO、VDDA_3P3_USB
C	VDDSHV0 <sup>(2)</sup> 、VDDSHV1、 <sup>(2)</sup> 、VDDS_OSC0、VDDS_RTC、VDDA_PLL0、VDDA_PLL1、VDDS_WKUP、VDDS0、VDDS1、VDDA_ADC、VDDA_1P8_DSI、VDDA_1P8_USB
D	VDDSHV2 <sup>(3)</sup> 、VDDSHV3 <sup>(3)</sup> 、VDDSHV4 <sup>(3)</sup>
E	VDDS_DDR <sup>(4)</sup>
F	VDD_CORE、VDDA_CORE_DSI <sup>(5)</sup> 、VDDA_CORE_DSI_CLK <sup>(5)</sup> 、VDDA_CORE_USB <sup>(5)</sup> 、VDDA_DDR_PLL0 <sup>(5)</sup> 、VDD_RTC
G	WKUP_OSC0_XI、WKUP_OSC0_XO
H	PORz

- (1) VDDSHV0 と VDDSHV1 は、アプリケーションの要件に応じて 1.8V または 3.3V で動作させることができるデュアル電圧 IO 電源です。VDDSHVx [x = 0~1] IO 電源のいずれかが 3.3V で動作している場合、この波形で定義された 3.3V ランプ期間中、その他の 3.3V 電源を使って電圧を上昇させます。
- (2) VDDSHV0 と VDDSHV1 は、アプリケーションの要件に応じて 1.8V または 3.3V で動作させることができるデュアル電圧 IO 電源です。VDDSHVx [x = 0~1] IO 電源のいずれかが 1.8V で動作している場合、この波形で定義された 1.8V ランプ期間中、その他の 1.8V 電源を使って電圧を上昇させます。
- (3) VDDSHV2、VDDSHV3、VDDSHV4 は、その他の電源レールに依存せずに、パワーアップ、パワーダウン、または動的電圧変化をサポートするように設計されています。この機能は、UHS-I SD カードをサポートするために必要です。
- (4) VDDS\_DDR には特定の電源シーケンス要件はありませんが、DDR デバイスの JEDEC 規により、パワーアップおよびパワーダウンのシーケンス中は、V<sub>DD1</sub> 電源レールの電位が常に V<sub>DD2</sub> 電源レールの電位よりも大きいことが必要です。
- (5) VDDA\_CORE\_DSI、VDDA\_CORE\_DSI\_CLK、VDDA\_CORE\_USB、VDDA\_DDR\_PLL0、VDD\_RTC は、VDD\_CORE と同じ電源を使用するものとします。VDD\_CORE と VDDA\_CORE\_USB の間の電圧差が ± 1% 以内になるよう注意する必要があります。

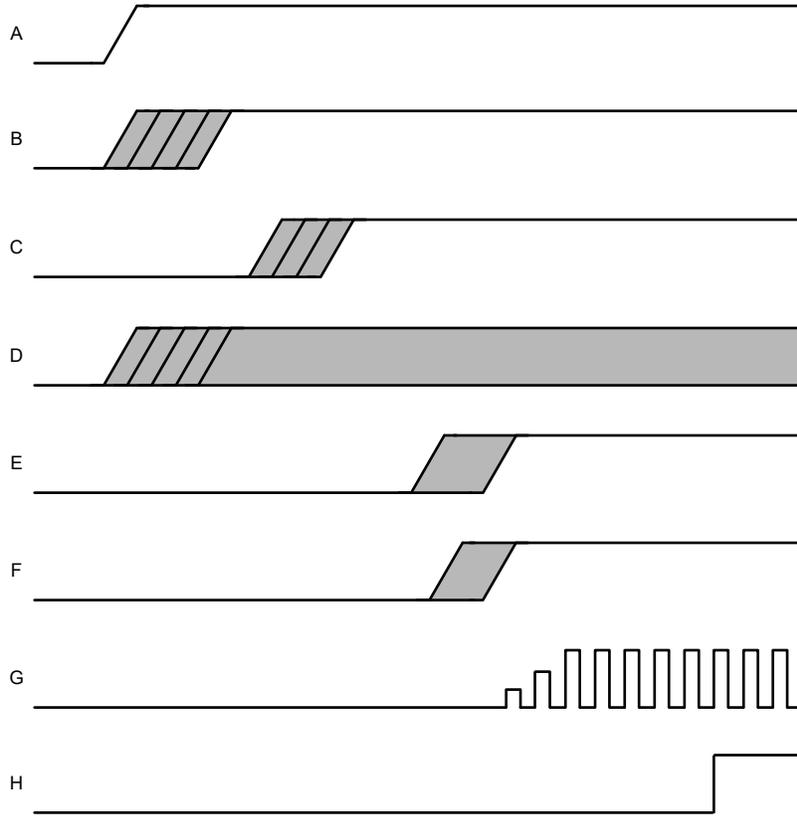


図 6-5. 低消費電力モードのパワーアップシーケンスなし

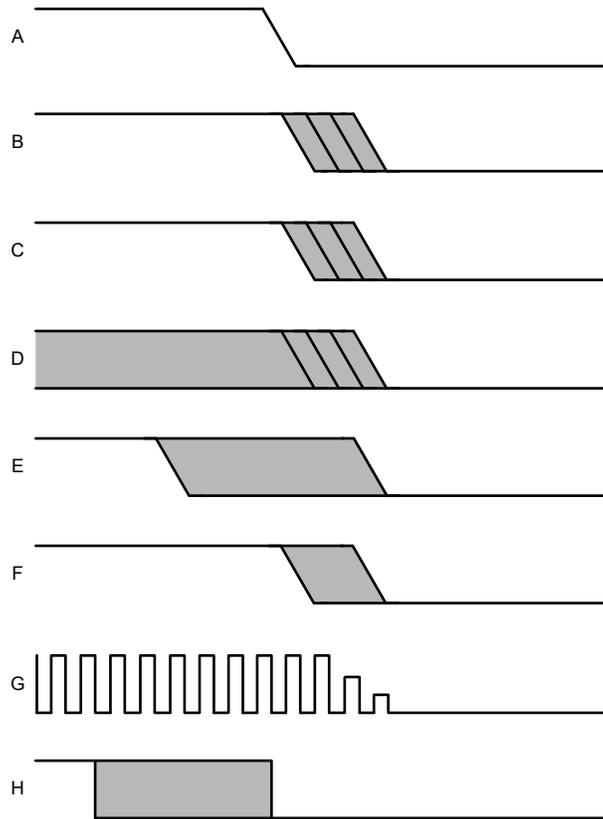


図 6-6. 低消費電力モードのパワーダウンシーケンスなし

### 6.11.2.2.2 RTC のみの低消費電力モードシーケンス

表 6-6, 図 6-7, 図 6-8, 図 6-9 により、RTC のみの低消費電力モードを使用する場合のデバイス電力要件を定義します。

表 6-6. RTC のみの低消費電力モードシーケンス-電源/信号の割り当て

次をご覧ください。図 6-7、図 6-8、図 6-9

波形	電源 / 信号名
A	システム電力
B	VDDSD_RTC <sup>(1)</sup>
C	VDD_RTC <sup>(2)</sup>
D	PMIC_LPM_EN0 <sup>(3)</sup>
E	RTC_PORz <sup>(4)</sup>
F	VDDSHV0 <sup>(5)</sup> , VDDSHV1 <sup>(5)</sup> , VDDA_3P3_SDIO, VDDA_3P3_USB
G	VDDSHV0 <sup>(6)</sup> , VDDSHV1 <sup>(6)</sup> , VDDSD_OSC0, VDDA_PLL0, VDDA_PLL1, VDDSD_WKUP, VDDSD0, VDDSD1, VDDA_ADC, VDDA_1P8_DSI, VDDA_1P8_USB
H	VDDSHV2 <sup>(7)</sup> , VDDSHV3 <sup>(7)</sup> , VDDSHV4 <sup>(7)</sup>
I	VDDSD_DDR <sup>(8)</sup>
J	VDD_CORE <sup>(9)</sup> , VDDA_CORE_DSI <sup>(10)</sup> , VDDA_CORE_DSI_CLK <sup>(10)</sup> , VDDA_CORE_USB <sup>(10)</sup> , VDDA_DDR_PLL0 <sup>(10)</sup>
K	WKUP_OSC0_XI, WKUP_OSC0_XO
L	PORz

- (1) RTC のみの低消費電力モードを使用する場合、VDDSD\_RTC は常時オンの電源に接続しなければなりません。
- (2) RTC のみの低消費電力モードを使用する場合、VDD\_RTC は常時オンの電源に接続しなければなりません。
- (3) RTC\_PORz がアサートされている間、PMIC\_LPM\_EN0 は、弱い内部プルアップによって High にプルアップされます。弱い内部プルアップはオフになり、RTC\_PORz の立ち上がり時に PMIC\_LPM\_EN0 が High に駆動されます。RTC モジュールは、PMIC\_LPM\_EN0 を Low に駆動して RTC のみ低消費電力モードに移行させ、PMIC\_LPM\_EN0 を High に駆動して RTC のみの低消費電力モードを終了するように設定でき、その結果、PMIC\_LPM\_EN0 を使用して、RTC 以外のすべての電源レールに対して電源のオン/オフを繰り返すことができます。
- (4) VDDSD\_RTC および VDD\_RTC 電源レールが有効になると、RTC\_PORz を解放することができます。
- (5) VDDSHV0 と VDDSHV1 は、アプリケーションの要件に応じて 1.8V または 3.3V で動作させることができるデュアル電圧 IO 電源です。VDDSHVx [x = 0 ~ 1] IO 電源のいずれかが 3.3V で動作している場合、この波形で定義された 3.3V ランプ期間中、その他の 3.3V 電源によって電圧を低下させます。
- (6) VDDSHV0 と VDDSHV1 は、アプリケーションの要件に応じて 1.8V または 3.3V で動作させることができるデュアル電圧 IO 電源です。VDDSHVx [x = 0 ~ 1] IO 電源のいずれかが 1.8V で動作している場合、この波形で定義された 1.8V ランプ期間中、その他の 1.8V 電源によって電圧を低下させます。
- (7) VDDSHV2, VDDSHV3, VDDSHV4 は、その他の電源レールに依存せずに、パワーアップ、パワーダウン、または動的電圧変化をサポートするように設計されています。この機能は、UHS-I SD カードをサポートするために必要です。
- (8) VDDSD\_DDR には特定の電源シーケンス要件はありませんが、DDR デバイスの JEDEC 規により、パワーアップおよびパワーダウンのシーケンス中は、V<sub>DD1</sub> 電源レールの電位が常に V<sub>DD2</sub> 電源レールの電位よりも大きいことが必要です。
- (9) パワーアップ時またはパワーダウン時に、VDD\_CORE に印加される電位が VDD\_RTC に印加される電位に 0.18V を加えた電位を超えないようにしなければなりません。これにより、VDD\_RTC の電圧を VDD\_CORE より先に上昇させ、VDD\_CORE よりも後に下降させる必要があります。
- (10) VDDA\_CORE\_DSI, VDDA\_CORE\_DSI\_CLK, VDDA\_CORE\_USB, VDDA\_DDR\_PLL0 は、VDD\_CORE と同じ電源を使用するものとします。VDD\_CORE と VDDA\_CORE\_USB の間の電圧差が ±1% 以内になるよう注意する必要があります。

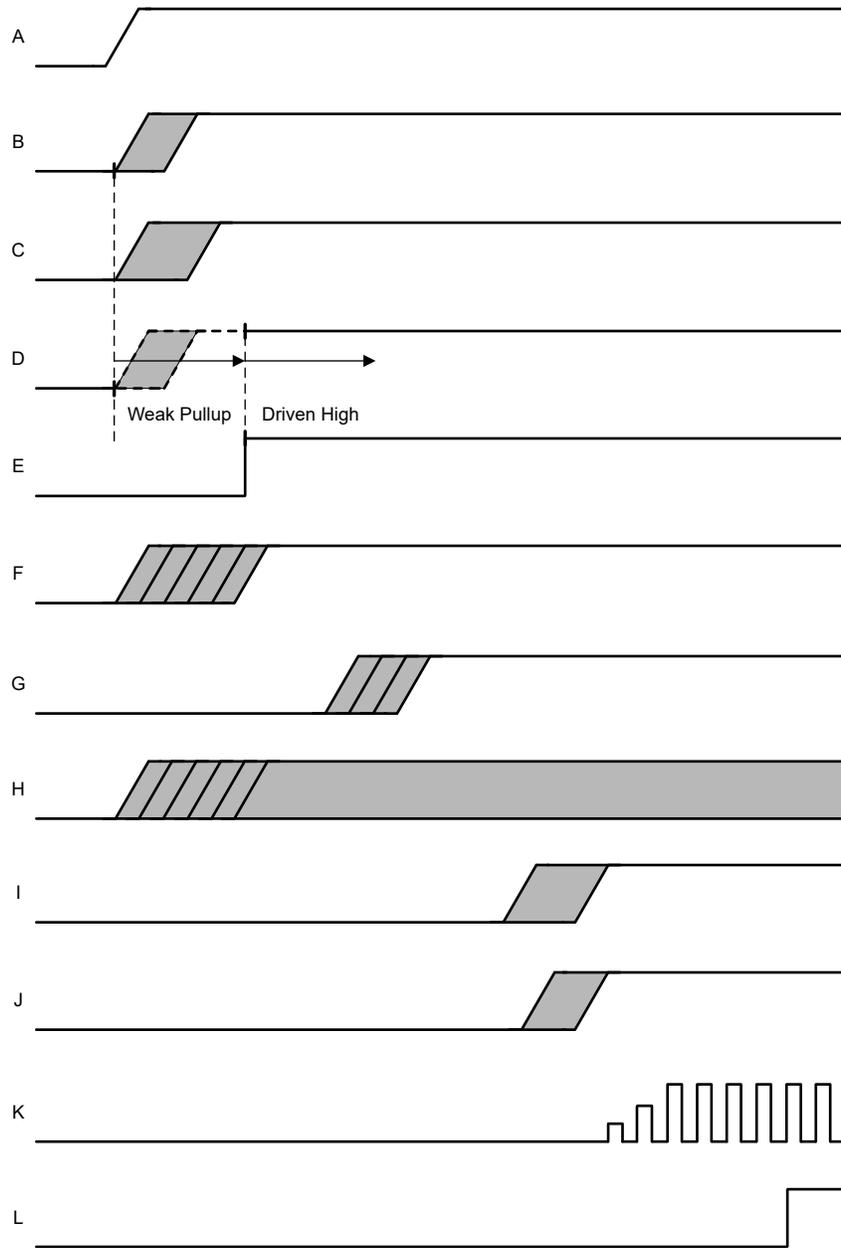


図 6-7. RTC のみの低消費電力モードのパワーアップシーケンス

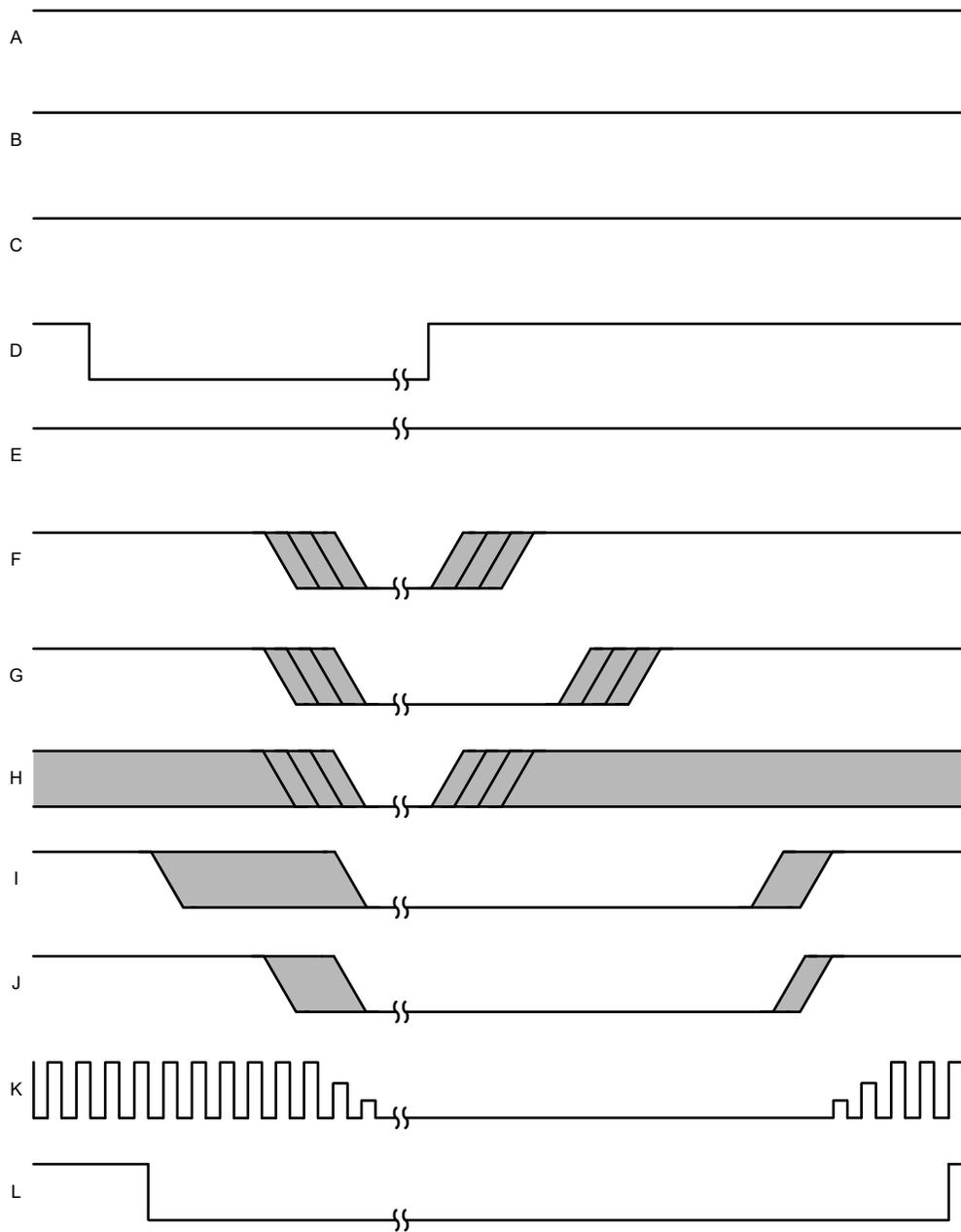


図 6-8. RTC のみの低消費電力モード開始/終了シーケンス

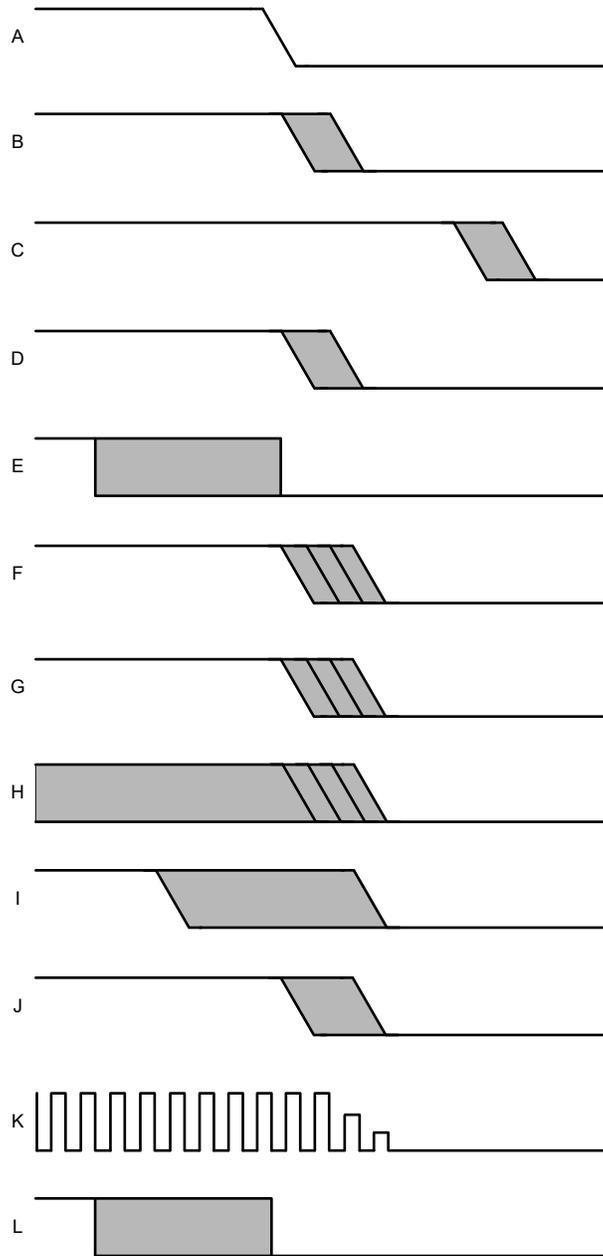


図 6-9. RTC のみの低消費電力モードのパワーダウンシーケンス

### 6.11.2.2.3 RTC + IO + DDR 低消費電力モードのシーケンス

RTC+IO + DDR 低消費電力モードを使用する場合のデバイスの電力要件を表 6-7、図 6-10、図 6-11、図 6-12 で定義します。

表 6-7. RTC+IO + DDR 低消費電力モードのシーケンス-電源/信号の割り当て

次をご覧ください。図 6-10、図 6-11、図 6-12

波形	電源 / 信号名
A	システム電力
B	VDDSHV0 <sup>(1)</sup> 、VDDSHV1 <sup>(1)</sup> 、VDDA_3P3_SDIO、VDDA_3P3_USB
C	VDDSHV0 <sup>(2)</sup> 、VDDSHV1 <sup>(2)</sup> 、VDDS_OSC0 <sup>(3)</sup> 、VDDA_PLL0、 <sup>(3)</sup> VDDA_PLL1 <sup>(3)</sup> 、VDDS_WKUP、VDDS0、VDDS1、VDDA_ADC <sup>(3)</sup> 、VDDA_1P8_DSI <sup>(3)</sup> 、VDDA_1P8_USB <sup>(4)</sup> 、VDDS_RTC <sup>(3)</sup>
D	VDDSHV2 <sup>(5)</sup> 、VDDSHV3 <sup>(5)</sup> 、VDDSHV4 <sup>(5)</sup>
E	VDD_RTC <sup>(6)</sup>
F	RTC_PORz <sup>(7)</sup>
G	VDDS_DDR <sup>(8)</sup>
H	VDD_CORE <sup>(9)</sup> 、VDDA_CORE_CSI_DSI <sup>(10)</sup> 、VDDA_CORE_DSI_CLK <sup>(10)</sup> 、VDDA_CORE_USB <sup>(10)</sup> 、VDDA_DDR_PLL0 <sup>(10)</sup>
I	WKUP_OSC0_XI、WKUP_OSC0_XO
J	PORz
K	PMIC_LPM_EN0 <sup>(11)</sup>

- (1) VDDSHV0 と VDDSHV1 は、アプリケーションの要件に応じて 1.8V または 3.3V で動作させることができるデュアル電圧 IO 電源です。VDDSHVx [x = 0 ~ 1] IO 電源のいずれかが 3.3V で動作している場合、この波形で定義された 3.3V ランプ期間中、その他の 3.3V 電源によって電圧を低下させます。
- (2) VDDSHV0 と VDDSHV1 は、アプリケーションの要件に応じて 1.8V または 3.3V で動作させることができるデュアル電圧 IO 電源です。VDDSHVx [x = 0 ~ 1] IO 電源のいずれかが 1.8V で動作している場合、この波形で定義された 1.8V ランプ期間中、その他の 1.8V 電源によって電圧を低下させます。
- (3) VDDS\_OSC0、VDDA\_PLL0、VDDA\_PLL1、VDDA\_ADC、VDDA\_1P8\_DSI、および VDDA\_1P8\_USB は、RTC+ IO + DDR 低消費電力モードに移行すると、電力を節約するために電源がオフになることがあります。
- (4) RTC + IO + DDR 低消費電力モードを使用する場合、VDDS\_RTC は常時オンの電源に接続しなければなりません。
- (5) VDDSHV2、VDDSHV3、VDDSHV4 は、その他の電源レールに依存せずに、パワーアップ、パワーダウン、または動的電圧変化をサポートするように設計されています。この機能は、UHS-I SD カードをサポートするために必要です。
- (6) RTC + IO + DDR 低消費電力モードを使用する場合、VDD\_RTC は常時オンの電源に接続しなければなりません。
- (7) VDDS\_RTC および VDD\_RTC 電源レールが有効になると、RTC\_PORz を解放することができます。
- (8) VDDS\_DDR には特定の電源シーケンス要件はありませんが、DDR デバイスの JEDEC 規格では、パワーアップおよびパワーダウンシーケンス中は、V<sub>DD1</sub> 電源レールの電位が常に V<sub>DD2</sub> 電源レールの電位より大きいことが必要です。
- (9) パワーアップ時またはパワーダウン時に、VDDR\_CORE に印加される電位が VDD\_RTC に印加される電位に 0.18V を加えた電位を超えないようにしなければなりません。これにより、VDD\_RTC の電圧を VDD\_CORE より先に上昇させ、VDD\_CORE よりも後に下降させる必要があります。
- (10) VDDA\_CORE\_DSI、VDDA\_CORE\_DSI\_CLK、VDDA\_CORE\_USB、VDDA\_DDR\_PLL0 は、同じ電源を使用するものとします。VDD\_CORE と VDDA\_CORE\_USB の間の電圧差が ±1% 以内になるよう注意する必要があります。
- (11) RTC\_PORz がアサートされている間、PMIC\_LPM\_EN0 は、弱い内部プルアップによって High にプルアップされます。弱い内部プルアップはオフになり、RTC\_PORz の立ち上がり時に PMIC\_LPM\_EN0 が High に駆動されます。RTC モジュールは、PMIC\_LPM\_EN0 を Low に駆動して RTC+ IO + DDR 低消費電力モードに移行し、PMIC\_LPM\_en0 を High に駆動して RTC+ IO + DDR 低消費電力モードを終了するように S 設定できますその結果、PMIC\_LPM\_EN0 を使用して、VDD\_CORE とすべての 1.8V アナログ電源レールへの電源オン/オフを繰り返すことができます。

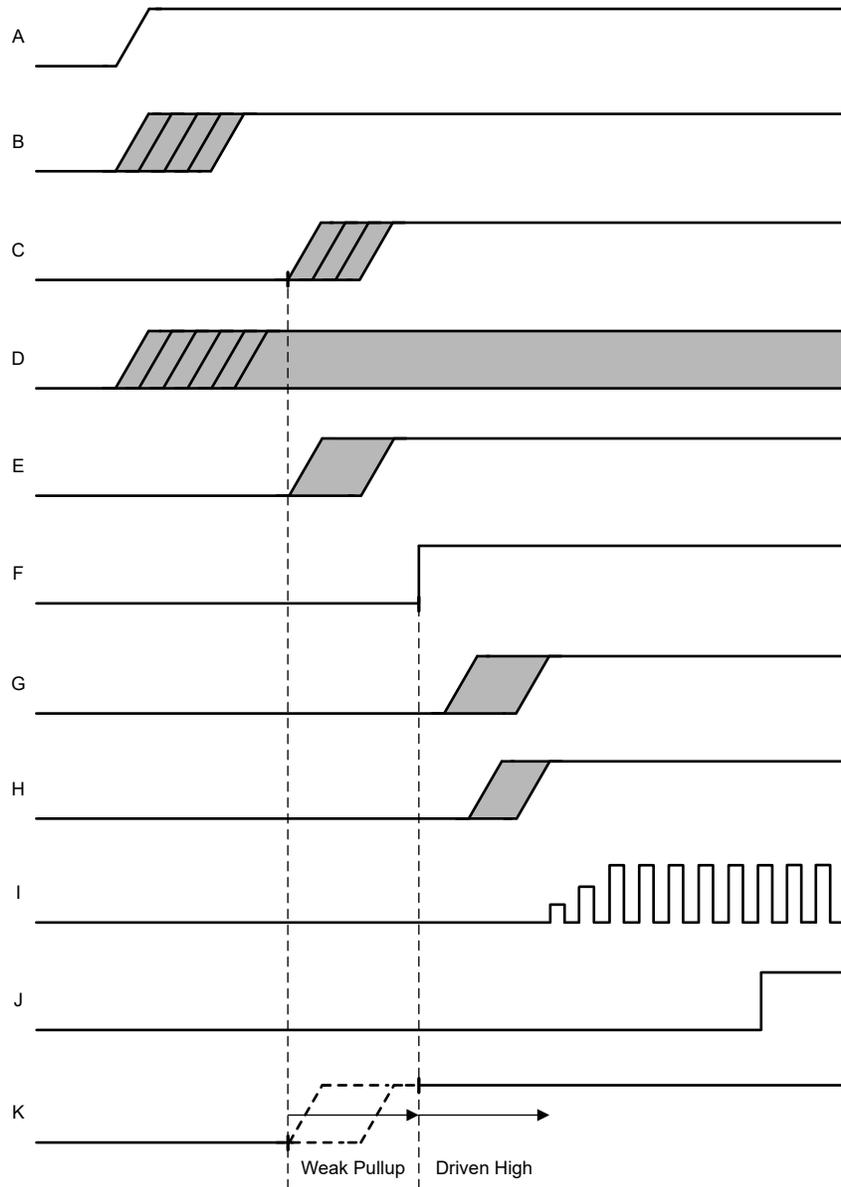


図 6-10. RTC + IO + DDR 低消費電力モードのパワーアップシーケンス

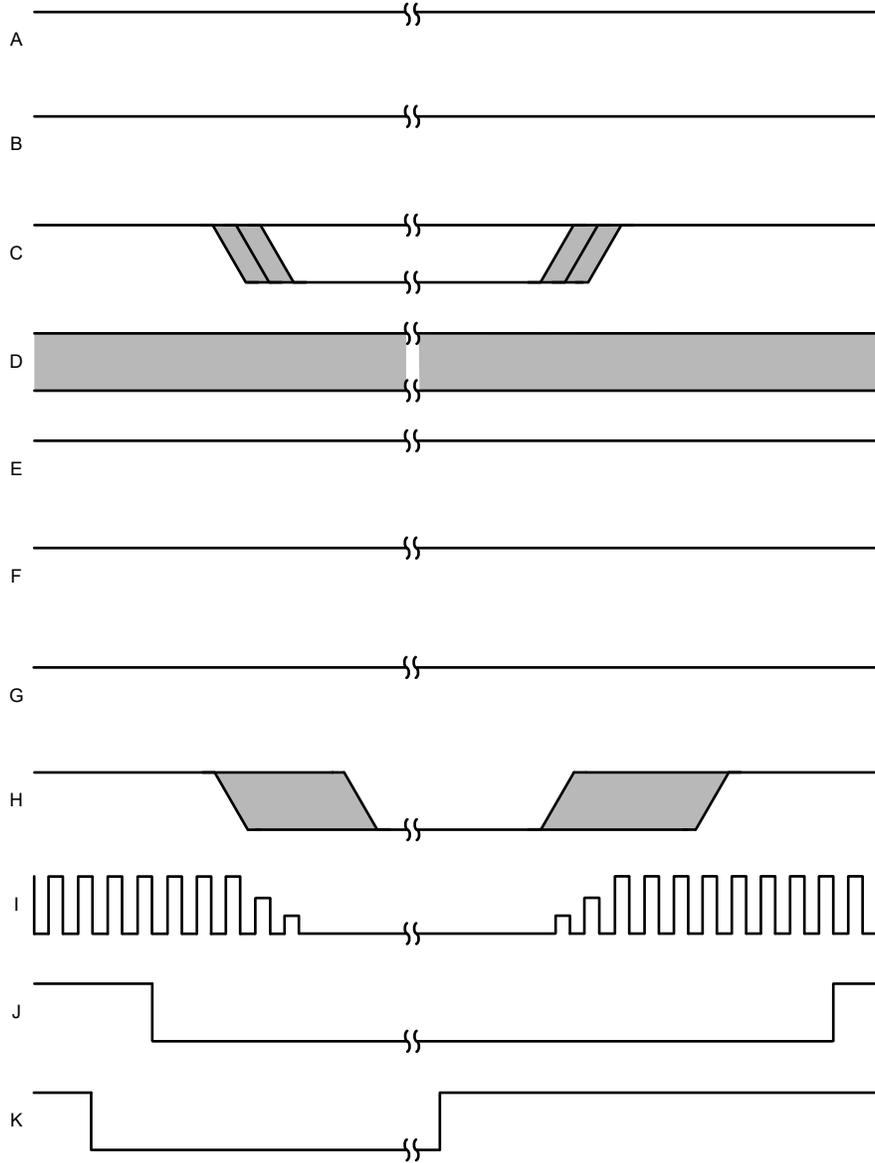


図 6-11. RTC + IO + DDR 低消費電力モードの開始/終了シーケンス

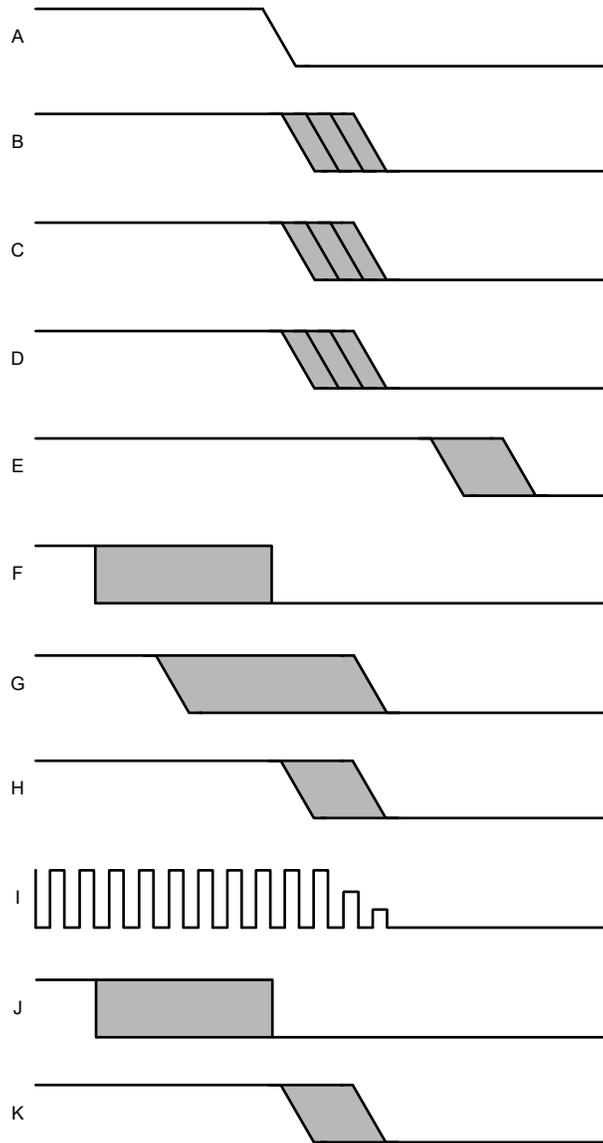


図 6-12. RTC + IO + DDR 低消費電力モードのパワーダウンシーケンス

### 6.11.3 システムのタイミング

サブシステム多重化信号の機能および追加の説明情報については、「信号の説明」、「詳細説明」の対応するセクションを参照してください。

#### 6.11.3.1 リセット タイミング

このセクションの表と図では、リセット関連信号のタイミング条件、タイミング要件、スイッチング特性を定義します。

表 6-8. リセットのタイミング条件

パラメータ		最小値	最大値	単位
入力条件				
SR <sub>i</sub>	入力スルーレート	VDD <sup>(1)</sup> = 1.8V	0.0018	V/ns
		VDD <sup>(1)</sup> = 3.3V	0.0033	V/ns
出力条件				
C <sub>L</sub>	出力負荷容量		30	pF

(1) VDD は、対応する電源を表します。電源名および対応するボールの詳細については、「ピン属性」表の「電源」列を参照してください。

表 6-9. PORz のタイミング要件

図 6-13 参照

番号	パラメータ	最小値	最大値	単位
RST1	ホールド時間、電源投入後の PORz アクティブ (低) (外部水晶振動子回路を使用)	9500000		ns
RST2	t <sub>h</sub> (SUPPLIES_VALID - PORz) ホールド時間、電源を投入し外部クロックが安定した後 に電源投入時に PORz がアクティブ (低) になります (外部 LVCMOS クロックソースを使用)	1200		ns
RST3	t <sub>w</sub> (PORzL) パルス幅、電源投入後に PORz が Low の時間 (電源 またはシステム基準クロック WKUP_OSC0_XI/XO 除 去していない場合)	1200		ns

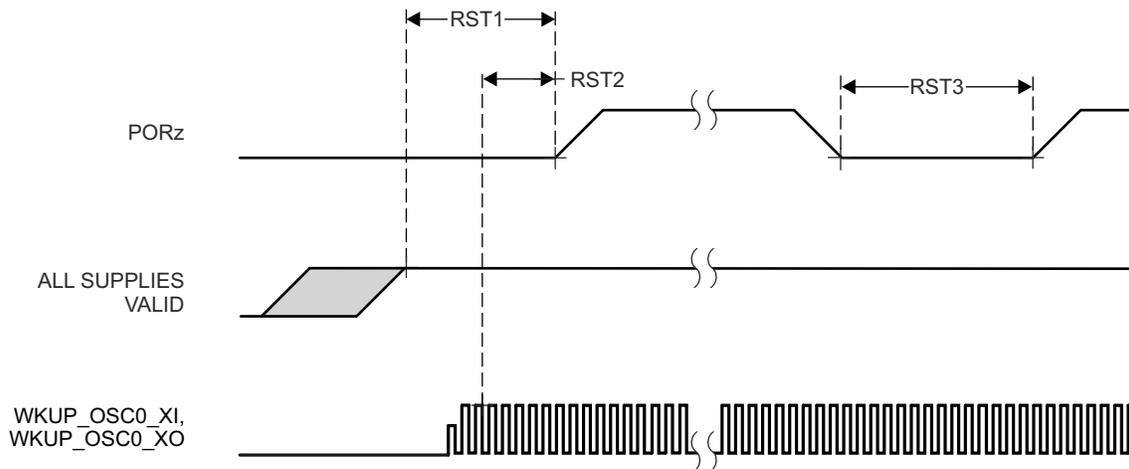


図 6-13. PORz のタイミング要件

表 6-10. RESETSTATz のスイッチング特性

図 6-14 参照

番号	パラメータ	最小値	最大値	単位
RST6	$t_d(\text{PORzL-RESETSTATzL})$	0		ns
RST7	$t_d(\text{PORzH-RESETSTATzH})$	$9195 \cdot S^{(1)}$		ns
RST9	$t_w(\text{RESETSTATzL})$	$4040 \cdot S^{(1)}$		ns

(1)  $S = \text{WKUP\_OSC0\_XI/XO}$  クロック周期 (ns)。

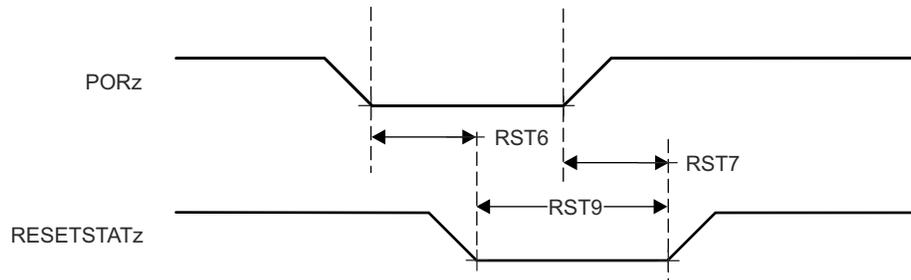


図 6-14. RESETSTATz のスイッチング特性

表 6-11. EMUx のタイミング要件

図 6-15 参照

番号	パラメータ	最小値	最大値	単位
RST18	$t_{su}(\text{EMUx-PORz})$	$3 \cdot S^{(1)}$		ns
RST19	$t_h(\text{PORz - EMUx})$	10		ns

(1)  $S = \text{WKUP\_OSC0\_XI/XO}$  クロック周期 (ns)。

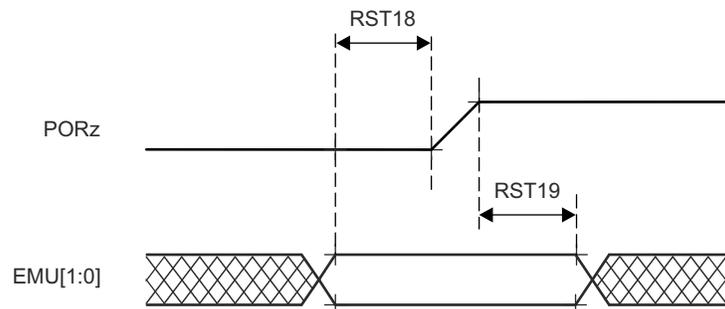


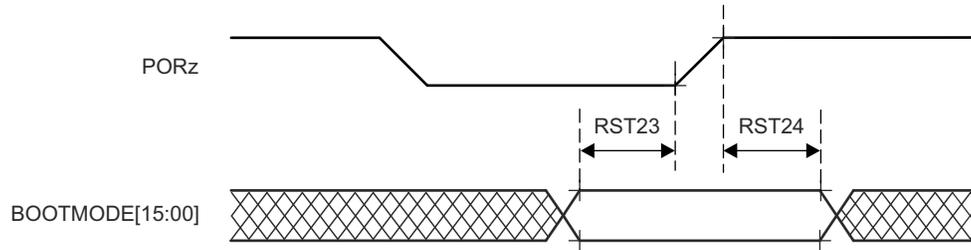
図 6-15. EMUx のタイミング要件

**表 6-12. BOOTMODE のタイミング要件**

図 6-16 参照

番号	パラメータ	最小値	最大値	単位
RST23	$t_{su}(\text{BOOTMODE-PORz})$	$3 \cdot S^{(1)}$		ns
RST24	$t_h(\text{PORz\_BOOTMODE})$	0		ns

(1) S = WKUP\_OSC0\_XI/XO クロック周期 (ns)。



**図 6-16. BOOTMODE のタイミング要件**

### 6.11.3.2 クロックのタイミング

このセクションの表と図では、クロック信号のタイミング条件、タイミング要件、スイッチング特性を定義します。

表 6-13. クロックのタイミング条件

パラメータ		最小値	最大値	単位
入力条件				
SR <sub>I</sub>	入力スルーレート	0.5		V/ns
出力条件				
C <sub>L</sub>	出力負荷容量	5ns ≤ t <sub>c</sub> < 8ns		5 pF
		8ns ≤ t <sub>c</sub> < 20ns		10 pF
		20ns ≤ t <sub>c</sub>		30 pF

表 6-14. クロックのタイミング要件

図 6-17 参照

番号			最小値	最大値	単位
CLK1	t <sub>c</sub> (EXT_REFCLK1)	最小サイクル時間、EXT_REFCLK1	10		ns
CLK2	t <sub>w</sub> (EXT_REFCLK1H)	パルス幅、EXT_REFCLK1 High	E*0.45 <sup>(1)</sup>	E*0.55 <sup>(1)</sup>	ns
CLK3	t <sub>w</sub> (EXT_REFCLK1L)	パルス幅、EXT_REFCLK1 Low	E*0.45 <sup>(1)</sup>	E*0.55 <sup>(1)</sup>	ns
CLK1	t <sub>c</sub> (WKUP_EXT_REFCLK0)	最小サイクル時間、WKUP_EXT_REFCLK0	10		ns
CLK2	t <sub>w</sub> (WKUP_EXT_REFCLK0H)	パルス幅、WKUP_EXT_REFCLK0 High	F*0.45 <sup>(2)</sup>	F*0.55 <sup>(2)</sup>	ns
CLK3	t <sub>w</sub> (WKUP_EXT_REFCLK0L)	パルス幅、WKUP_EXT_REFCLK0 Low	F*0.45 <sup>(2)</sup>	F*0.55 <sup>(2)</sup>	ns
CLK1	t <sub>c</sub> (AUDIO_EXT_REFCLK0)	最小サイクル時間、AUDIO_EXT_REFCLK0	20		ns
CLK2	t <sub>w</sub> (AUDIO_EXT_REFCLK0H)	パルス幅、AUDIO_EXT_REFCLK0 High	G*0.45 <sup>(3)</sup>	G*0.55 <sup>(3)</sup>	ns
CLK3	t <sub>w</sub> (AUDIO_EXT_REFCLK0L)	パルス幅、AUDIO_EXT_REFCLK0 Low	G*0.45 <sup>(3)</sup>	G*0.55 <sup>(3)</sup>	ns
CLK1	t <sub>c</sub> (AUDIO_EXT_REFCLK1)	最小サイクル時間、AUDIO_EXT_REFCLK1	20		ns
CLK2	t <sub>w</sub> (AUDIO_EXT_REFCLK1H)	パルス幅、AUDIO_EXT_REFCLK1 High	H*0.45 <sup>(4)</sup>	H*0.55 <sup>(4)</sup>	ns
CLK3	t <sub>w</sub> (AUDIO_EXT_REFCLK1L)	パルス幅、AUDIO_EXT_REFCLK1 Low	H*0.45 <sup>(4)</sup>	H*0.55 <sup>(4)</sup>	ns

- (1) E = EXT\_REFCLK1 サイクル時間 (ns)。
- (2) F = WKUP\_EXT\_REFCLK0 サイクル時間 (ns)。
- (3) G = AUDIO\_EXT\_REFCLK0 サイクル時間 (ns)。
- (4) H = AUDIO\_EXT\_REFCLK1 サイクル時間 (ns)。

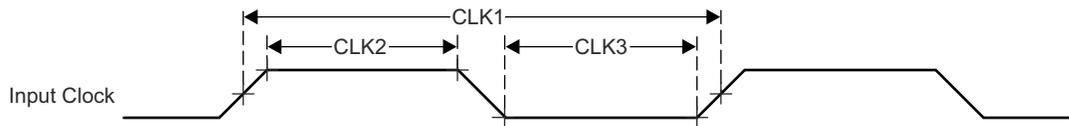


図 6-17. クロックのタイミング要件

表 6-15. クロックのスイッチング特性

図 6-18 参照

番号	パラメータ	最小値	最大値	単位
CLK4	$t_{c(OBSCLK0)}$	最小サイクル時間、OBSCLK0		ns
CLK5	$t_{w(OBSCLK0H)}$	B*0.45 <sup>(1)</sup>	B*0.55 <sup>(1)</sup>	ns
CLK6	$t_{w(OBSCLK0L)}$	B*0.45 <sup>(1)</sup>	B*0.55 <sup>(1)</sup>	ns
CLK4	$t_{c(OBSCLK1)}$	最小サイクル時間、OBSCLK1		ns
CLK5	$t_{w(OBSCLK1H)}$	F*0.45 <sup>(2)</sup>	F*0.55 <sup>(2)</sup>	ns
CLK6	$t_{w(OBSCLK1L)}$	F*0.45 <sup>(2)</sup>	F*0.55 <sup>(2)</sup>	ns
CLK4	$t_{c(CLKOUT0)}$	最小サイクル時間、CLKOUT0		ns
CLK5	$t_{w(CLKOUT0H)}$	C*0.4 <sup>(3)</sup>	C*0.6 <sup>(3)</sup>	ns
CLK6	$t_{w(CLKOUT0L)}$	C*0.4 <sup>(3)</sup>	C*0.6 <sup>(3)</sup>	ns
CLK4	$t_{c(WKUP\_SYSCLKOUT0)}$	最小サイクル時間、WKUP_SYSCLKOUT0		ns
CLK5	$t_{w(WKUP\_SYSCLKOUT0H)}$	E*0.4 <sup>(4)</sup>	E*0.6 <sup>(4)</sup>	ns
CLK6	$t_{w(WKUP\_SYSCLKOUT0L)}$	E*0.4 <sup>(4)</sup>	E*0.6 <sup>(4)</sup>	ns
CLK4	$t_{c(WKUP\_OBSCLK0)}$	最小サイクル時間、WKUP_OBSCLK0		ns
CLK5	$t_{w(WKUP\_OBSCLK0H)}$	D*0.45 <sup>(5)</sup>	D*0.55 <sup>(5)</sup>	ns
CLK6	$t_{w(WKUP\_OBSCLK0L)}$	D*0.45 <sup>(5)</sup>	D*0.55 <sup>(5)</sup>	ns
CLK4	$t_{c(WKUP\_CLKOUT0)}$	最小サイクル時間、WKUP_CLKOUT0		ns
CLK5	$t_{w(WKUP\_CLKOUT0H)}$	W*0.4 <sup>(6)</sup>	W*0.6 <sup>(6)</sup>	ns
CLK6	$t_{w(WKUP\_CLKOUT0L)}$	W*0.4 <sup>(6)</sup>	W*0.6 <sup>(6)</sup>	ns
CLK4	$t_{c(AUDIO\_EXT\_REFCLK0)}$	最小サイクル時間、AUDIO_EXT_REFCLK0 (McASP クロック ソース)		ns
		最小サイクル時間、AUDIO_EXT_REFCLK0 (PLL クロック ソース)		ns
CLK5	$t_{w(AUDIO\_EXT\_REFCLK0 H)}$	G*0.4 <sup>(7)</sup>	G*0.6 <sup>(7)</sup>	ns
CLK6	$t_{w(AUDIO\_EXT\_REFCLK0 L)}$	G*0.4 <sup>(7)</sup>	G*0.6 <sup>(7)</sup>	ns
CLK4	$t_{c(AUDIO\_EXT\_REFCLK1)}$	最小サイクル時間、AUDIO_EXT_REFCLK1 (McASP クロック ソース)		ns
		最小サイクル時間、AUDIO_EXT_REFCLK1 (PLL クロック ソース)		ns
CLK5	$t_{w(AUDIO\_EXT\_REFCLK1 H)}$	J*0.4 <sup>(8)</sup>	J*0.6 <sup>(8)</sup>	ns
CLK6	$t_{w(AUDIO\_EXT\_REFCLK1 L)}$	J*0.4 <sup>(8)</sup>	J*0.6 <sup>(8)</sup>	ns

- (1) B = OBSCLK0 サイクル時間 (ns)。  
 (2) F = OBSCLK1 サイクル時間 (ns)。  
 (3) C = CLKOUT0 サイクル時間 (ns)。  
 (4) E = WKUP\_SYSCLKOUT0 サイクル時間 (ns)。  
 (5) D = WKUP\_OBSCLK0 サイクル時間 (ns)。  
 (6) W = WKUP\_CLKOUT0 サイクル時間 (ns)。  
 (7) G = AUDIO\_EXT\_REFCLK0 サイクル時間 (ns)。  
 (8) J = AUDIO\_EXT\_REFCLK1 サイクル時間 (ns)。

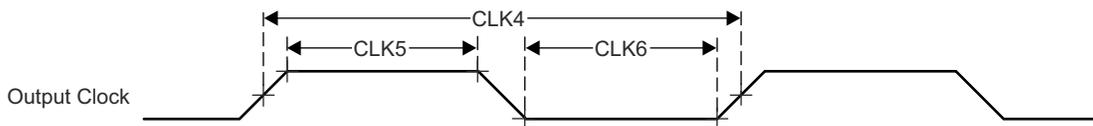


図 6-18. クロックのスイッチング特性

## 6.11.4 クロック仕様

### 6.11.4.1 入力クロック / 発振器

本デバイスを駆動するには、各種の外部クロック入力 / 出力が必要です。これらの入力クロック信号の概要は、以下のとおりです。

- WKUP\_OSC0\_XO/WKUP\_OSC0\_XI — 内部基準クロック HFOSC0\_CLKOUT のデフォルト クロック ソースである内部高周波発振器 (WKUP\_HFOSC0) に接続された外部メイン水晶振動子インターフェイス ピン。
- LFOSC0\_XO/LFOSC0\_XI — オプションの 32768Hz 基準クロックを供給する内部低周波数発振器 (LFOSC0) に接続された外部水晶振動子インターフェイス ピン。
- 汎用クロック入力
  - WKUP\_EXT\_REFCLK0 — オプションの外部システム クロック。
  - EXT\_REFCLK1 — オプションの外部システム クロック。
- 外部 CPTS 基準クロック入力
  - CP\_GEMAC\_CPTS0\_RFT\_CLK — CPTS\_RFT\_CLK のオプションの基準クロック入力。
- 外部オーディオ基準クロック入出力
  - AUDIO\_EXT\_REFCLK[1:0] — 入力として動作するように構成されている場合、オプションの McASP 高周波入力クロック。

入力クロック インターフェイスの詳細については、デバイス テクニカル リファレンス マニュアルの「デバイス構成」の章にある「クロック処理」のセクションを参照してください。

### 6.11.4.1.1 WKUP\_OSC0 内部発振器クロック ソース

図 6-19 に、水晶発振器の推奨回路を示します。振動子の回路の実装に使用されるすべてのディスクリート部品は、WKUP\_OSC0\_XI および WKUP\_OSC0\_XO ピンのできるだけ近くに配置する必要があります。

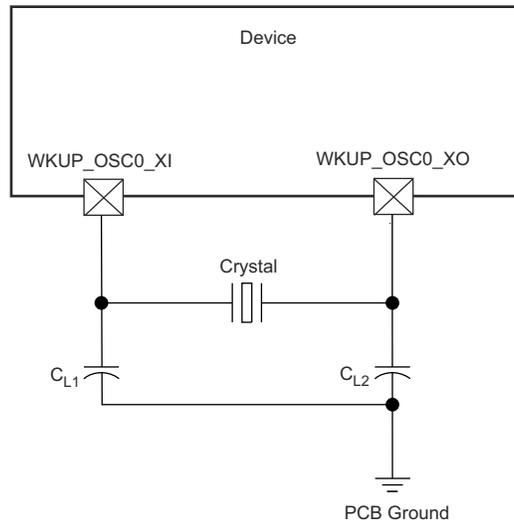


図 6-19. WKUP\_OSC0 水晶振動子の実装

水晶振動子は、基本動作モード、並列共振である必要があります。表 6-16 に、必要な電氣的制約事項を示します。

表 6-16. WKUP\_OSC0 水晶振動子回路の要件

パラメータ		最小値	標準値	最大値	単位	
$F_{xtal}$	水晶振動子の並列共振周波数	25			MHz	
$F_{xtal}$	水晶振動子の周波数安定性および許容誤差	イーサネット RGMII および RMII は未使用			±100	ppm
		派生クロックを使用するイーサネット RGMII と RMII				
$C_{L1+PCBXI}$	$C_{L1} + C_{PCBXI}$ の容量	12		24	pF	
$C_{L2+PCBXO}$	$C_{L2} + C_{PCBXO}$ の容量	12		24	pF	
$C_L$	水晶振動子の負荷容量	6		12	pF	
$C_{shunt}$	水晶発振回路のシャント容量	$ESR_{xtal} = 30\Omega$	25MHz	7	pF	
		$ESR_{xtal} = 40\Omega$	25MHz	5	pF	
		$ESR_{xtal} = 50\Omega$	25MHz	5	pF	
$ESR_{xtal}$	水晶振動子の等価直列抵抗			(1)	$\Omega$	

(1) 水晶振動子の最大 ESR は、水晶振動子の周波数とシャント容量の関数です。  $C_{shunt}$  パラメータを参照してください。

システムの設計で水晶振動子を選択するときは、ワーストケースの環境やシステムの予測寿命に基づいて、水晶振動子の温度特性および経年変化特性を考慮する必要があります。

表 6-17 に、発振器のスイッチング特性の詳細を示します。

表 6-17. WKUP\_OSC0 のスイッチング特性 – 水晶振動子モード

パラメータ		パッケージ	最小値	標準値	最大値	単位
$C_{XI}$	XI 容量	ANB			0.812	pF
		未定			未定	pF
$C_{XO}$	XO 容量	ANB			0.848	pF
		未定			未定	pF

表 6-17. WKUP\_OSC0 のスイッチング特性 – 水晶振動子モード (続き)

パラメータ	パッケージ	最小値	標準値	最大値	単位
C <sub>XIXO</sub>	XI から XO への相互容量	ANB		0.01	pF
	未定			未定	pF
t <sub>s</sub>	起動時間		4		ms

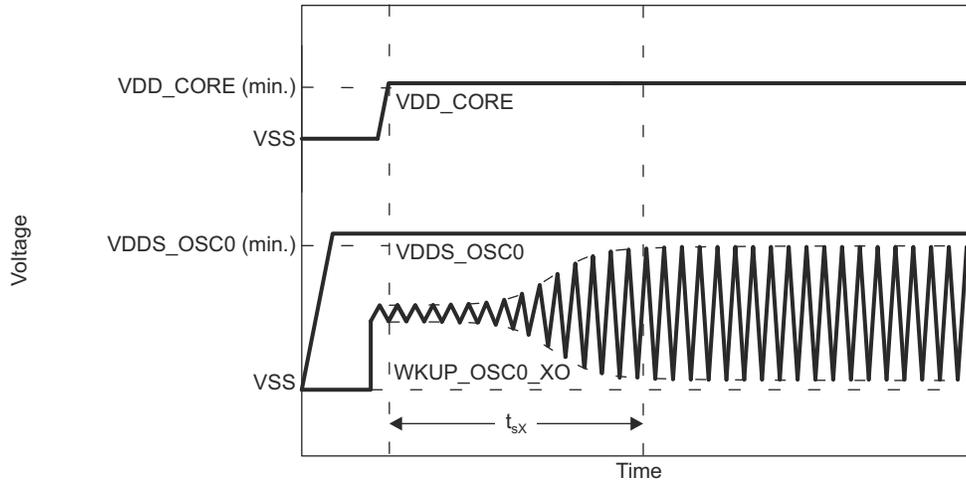


図 6-20. WKUP\_OSC0 スタートアップ時間

#### 6.11.4.1.1.1 負荷容量

水晶振動子回路は、水晶振動子メーカーの定義に従って、水晶振動子に適切な容量性負荷がかかるように設計する必要があります。この回路の容量性負荷  $C_L$  は、ディスクリートコンデンサ  $C_{L1}$ 、 $C_{L2}$ 、およびいくつかの寄生成分から構成されています。水晶振動子回路の部品を WKUP\_OSC0\_XI および WKUP\_OSC0\_XO に接続する PCB 信号パターンには、グラウンドへの寄生容量  $C_{PCBXI}$  および  $C_{PCBXO}$  があり、PCB 設計者は各信号パターンの寄生容量を把握する必要があります。WKUP\_OSC0 回路およびデバイスパッケージには、グラウンドへの寄生容量  $C_{PCBXI}$  および  $C_{PCBXO}$  があります。ここで、これらの寄生容量の値は、表 6-17 で定義されています。

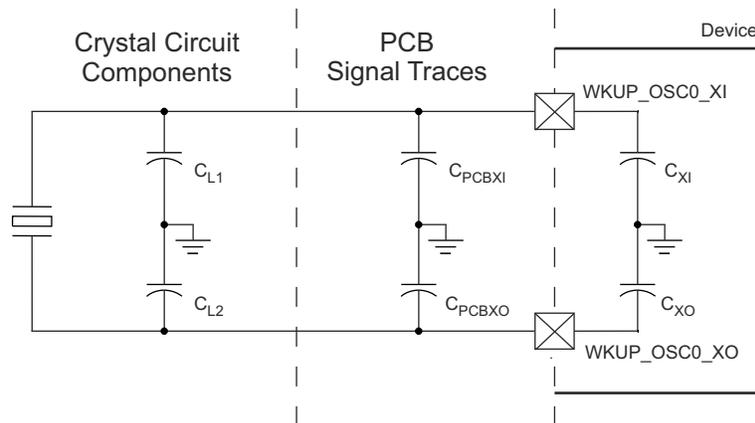


図 6-21. 負荷容量

図 6-19 の負荷コンデンサ  $C_{L1}$  および  $C_{L2}$  は、次の式が満足されるように選択する必要があります。この式の  $C_L$  は、水晶振動子のメーカーによって指定された負荷です。

$$C_L = [(C_{L1} + C_{PCBXI} + C_{XI}) \times (C_{L2} + C_{PCBXO} + C_{XO})] / [(C_{L1} + C_{PCBXI} + C_{XI}) + (C_{L2} + C_{PCBXO} + C_{XO})]$$

$C_{L1}$  と  $C_{L2}$  の値を決定するには、まず、容量性負荷の値  $C_L$  に 2 を乗算します。この結果に対して、 $C_{PCBXI} + C_{XI}$  の合成値を減算すれば  $C_{L1}$  の値が得られます。また、 $C_{PCBXO} + C_{XO}$  の合成値を減算すれば、 $C_{L2}$  の値が得られます。たとえば、 $C_L = 10\text{pF}$ 、 $C_{PCBXI} = 2.9\text{pF}$ 、 $C_{XI} = 0.5\text{pF}$ 、 $C_{PCBXO} = 3.7\text{pF}$ 、 $C_{XO} = 0.5\text{pF}$  の場合、 $C_{L1} = [(2C_L) - (C_{PCBXI} + C_{XI})] = [(2 \times 10\text{pF}) - 2.9\text{pF} - 0.5\text{pF}] = 16.6\text{pF}$  および  $C_{L2} = [(2C_L) - (C_{PCBXO} + C_{XO})] = [(2 \times 10\text{pF}) - 3.7\text{pF} - 0.5\text{pF}] = 15.8\text{pF}$  となります。

#### 6.11.4.1.1.2 シャント容量

また、水晶振動子回路は、表 6-16 に定義された WKUP\_OSC0 動作条件の最大シャント容量を超えないように設計する必要があります。水晶振動子回路のシャント容量  $C_{shunt}$  は、水晶振動子のシャント容量と寄生成分の組み合わせです。水晶振動子回路の部品を WKUP\_OSC0 に接続する PCB 信号パターンには、相互寄生容量 WKUP\_OSC0 があります。PCB 設計者は、これらの信号パターン間の相互寄生容量を導出できる必要があります。デバイス パッケージには、相互寄生容量  $C_{XIXO}$  もあります。ここで、この相互寄生容量の値は表 6-17 で定義されています。

PCB 配線は、XI 信号パターンと XO 信号パターンとの間の相互容量を最小限に抑えるよう設計する必要があります。これは通常、信号パターンを短くし、近接した場所に配線しないことで行われます。レイアウトで信号を互いに近接して配線する必要がある場合は、これらの信号の間にグランドパターンを配置することで、相互容量を最小化することもできます。水晶振動子を選択する際に、可能な限り大きなマージンを確保するために、PCB 上の相互容量を最小化することが重要です。

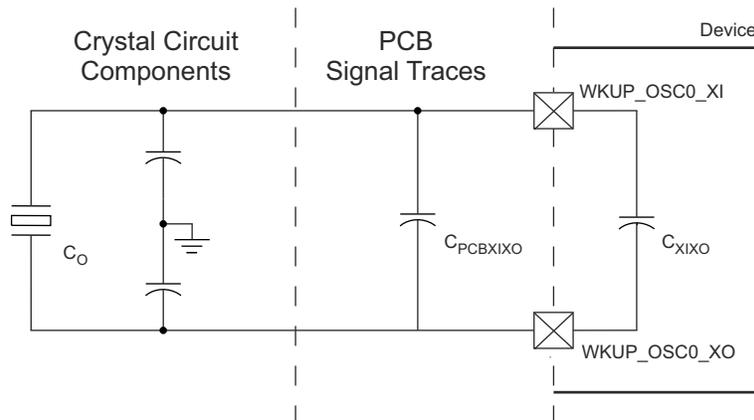


図 6-22. シャント容量

水晶振動子は、次の式が満たされるように選択する必要があります。この式の  $C_O$  は、水晶振動子のメーカーによって指定された最大シャント容量です。

$$C_{shunt} \geq C_O + C_{PCBXIXO} + C_{XIXO}$$

たとえば、使用する水晶振動子が  $ESR = 30\Omega$ 、 $C_{PCBXIXO} = 0.04\text{pF}$ 、 $C_{XIXO} = 0.01\text{pF}$  の 25MHz であり、水晶振動子のシャント容量が 6.95pF 以下の場合、この式が満たされます。

#### 6.11.4.1.2 WKUP\_OSC0 LVCMOS デジタル クロック ソース

図 6-23 に、WKUP\_OSC0\_XI を 1.8V LVCMOS 方形波デジタル クロック ソースに接続する場合に推奨される発振器接続を示します。

#### 注

1. 発振器が電源オンのとき、WKUP\_OSC0\_XI を DC 定常状態にすることは許容されません。WKUP\_OSC0\_XI は内部でコンパレータに AC 結合されており、入力に DC が印加されると未知の状態になる可能性があるため、これは許容されません。したがって、WKUP\_OSC0\_XI がロジック状態間をトグルしていない場合は、アプリケーション ソフトウェアで WKUP\_OSC0 の電源をオフにする必要があります。
2. WKUP\_OSC0\_XI 入力に供給される LVCMOS クロック信号は、単調に遷移する必要があります。このクロック源は、近くに配置された直列終端抵抗を介して、ポイントツーポイント接続で WKUP\_OSC0\_XI に接続する必要があります。直列終端抵抗の値は、伝送ラインのインピーダンスからクロック源の出力インピーダンスを引いた値と一致している必要があります。たとえば、クロック源の出力インピーダンスが  $30\Omega$ 、PCB 信号パターンの特性インピーダンスが  $50\Omega$  の場合、直列終端抵抗の値を  $20\Omega$  とする必要があります。こうすることで、終端されていない伝送線路の遠端から戻ってくる反射を完全に吸収し、信号に非単調イベントがまったく発生しないようにできます。
3. LVCMOS クロック源を WKUP\_OSC0\_XI に接続する PCB パターンの長さはできるだけ短くする必要があります。これにより、容量性負荷を小さくし、外部ノイズ源がクロック信号に結合する可能性を低めることができます。容量性負荷が小さいと、クロック信号の立ち上がり / 立ち下がり時間が短くなり、システムにジッタが発生する可能性が低下します。

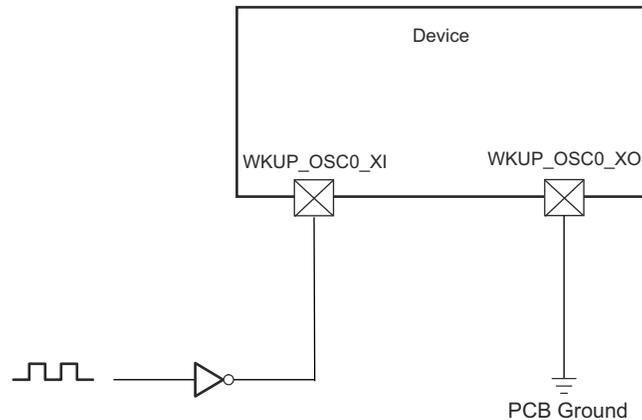


図 6-23. 1.8V LVCMOS 互換クロック入力

表 6-18. WKUP\_OSC0 LVCMOS デジタル クロック ソース要件

パラメータ		最小値	標準値	最大値	単位
F <sub>xtal</sub>	周波数		25		MHz
	周波数安定性および許容誤差	イーサネット RGMII および RMII は未使用		±100	ppm
		派生クロックを使用するイーサネット RGMII と RMII		±50	
DC	デューティ サイクル	45		55	%
t <sub>R/F</sub>	立ち上がり / 立ち下がり時間 (10% - 90% 立ち上がり, 90% - 10% 立ち下がり)			4 <sup>(1)</sup>	ns
J <sub>Period(RMS)</sub>	周期ジッタ、RMS (100k サンプル)			20	ps
J <sub>Period(PK-PK)</sub>	周期ジッタ、ピーク ツー ピーク (100k サンプル)			300	ps
J <sub>Phase(RMS)</sub>	位相ジッタ、RMS (BW 100Hz~1MHz)			10 <sup>(2)</sup>	ps

- (1) ほとんどの LVCMOS 発振器のデータシートには、PCB パターン容量と WKUP\_OSC0\_XI 入力容量の和に相当する実際の負荷よりもはるかに大きい容量性負荷を接続した場合の、出力の立ち上がり / 立ち下がり時間の最大値が規定されています。この要件を満たす LVCMOS 発振器を見つけるのは難しくありません。ただし、システム設計者は、選択した LVCMOS 発振器が適切な立ち上がり / 立ち下がり時間で WKUP\_OSC0\_XI 入力を駆動できることを確認する必要があります。
- (2) ほとんどの LVCMOS 発振器のデータシートには、このデバイスで必要とされる帯域幅積分範囲よりも大きい帯域幅積分範囲を使用した RMS 位相ジッタの最大値が規定されています。より適切な値を得るには、LVCMOS 発振器のメーカーに連絡し、このパラメータのために規定された帯域幅積分範囲と同じ帯域幅積分範囲を使った RMS 位相ジッタの最大値を提供するように依頼することも場合によっては必要です。

### 6.11.4.1.3 LFOSC0 内部発振器クロック ソース

図 6-24 に、水晶発振器の推奨回路を示します。量産開始前のプリント基板 (PCB) 設計には、2 つのオプション抵抗  $R_{bias}$  および  $R_d$  を含めることを推奨します。これは、量産用の水晶振動子回路部品と組み合わせたとき、発振器が正常に動作するために抵抗が必要とされる場合に備えるものです。ほとんどの場合、 $R_{bias}$  は 不要であり、 $R_d$  は  $0\Omega$  抵抗です。量産前の PCB に量産用の水晶振動子回路部品を実装して、発振器の性能を評価した後、これらの抵抗を量産 PCB の設計から取り除くこともできます。

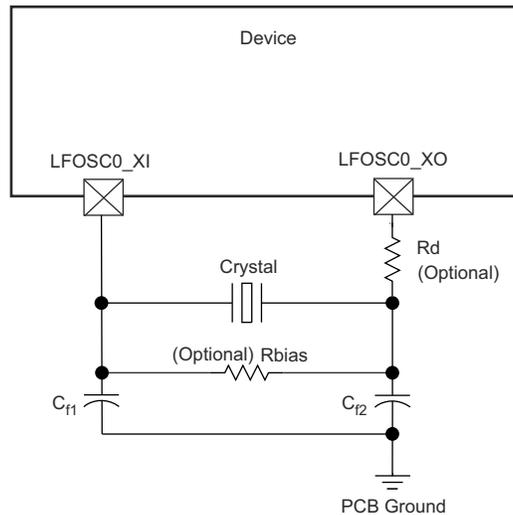


図 6-24. LFOSC0 水晶振動子の実装

表 6-19 に、LFXOSC の動作モードを示します。

表 6-19. LFXOSC 動作モード

モード	BP_C	PD_C	XI	XO	CLK_OUT	説明
アクティブ	0	0	XTAL	XTAL	CLK_OUT	アクティブ発振器モードで 32kHz を供給
パワーダウン	0	1	X	PD	Low	出力は Low にプルダウンされます。PAD はトライステート。アクティブ モードはディセーブル。
バイパス	1	0	CLK	PD	CLK	XI は外部クロック ソースによって駆動されます。XO は Low にプルダウンされません。電源に対して ESD ダイオードがあるため、発振器電源が存在しない場合は、XI を駆動しないでください。

#### 注

ユーザーは、 $6\text{pF} \sim 9.5\text{pF}$  の範囲の  $CL$  に対して、 $\text{RTC\_RTC\_LFXOSC\_TRIM}[18:16] \text{ i\_mult} = 3\text{b}'001$  を設定する必要があります。 $8.5\text{pF} \sim 12\text{pF}$  の範囲の  $CL$  は、 $\text{RTC\_RTC\_LFXOSC\_TRIM}[18:16] \text{ i\_mult} = 3\text{b}'010$  とします。デフォルト設定は  $3\text{b}'010$  です。

#### 注

図 6-25 の負荷コンデンサ  $C_{f1}$  および  $C_{f2}$  は、次の式が満足されるように選択する必要があります。この式の  $C_L$  は、水晶振動子のメーカーによって指定された負荷です。発振器回路の実装に使用されるすべてのディスクリット部品は、関連する発振器 LFOSC0\_XI、LFOSC0\_XO、VSS ピンのできるだけ近くに配置する必要があります。

$$C_L = \frac{C_{f1} C_{f2}}{(C_{f1} + C_{f2})}$$

図 6-25. 負荷容量の式

水晶振動子は、基本動作モード、並列共振である必要があります。表 6-20 に、必要な電気的制約事項を示します。

表 6-20. LFOSC0 水晶振動子の電気的特性

名称	説明	最小値	標準値	最大値	単位
f <sub>p</sub>	並列共振水晶振動子周波数	32768			Hz
	水晶振動子の周波数安定性および許容誤差	±100			PPM
C <sub>f1</sub>	C <sub>f1</sub> = C <sub>f2</sub> の場合の水晶振動子並列共振の C <sub>f1</sub> 負荷容量	12		24	pF
C <sub>f2</sub>	C <sub>f1</sub> = C <sub>f2</sub> の場合の水晶振動子並列共振の C <sub>f2</sub> 負荷容量	12		24	pF
C <sub>shunt</sub>	シャント容量	ESR <sub>x</sub> tal – 40kΩ		4	pF
		ESR <sub>x</sub> tal – 60kΩ		3	pF
		ESR <sub>x</sub> tal – 80kΩ		2	pF
		ESR <sub>x</sub> tal – 100kΩ		1	pF
ESR	水晶振動子の等価直列抵抗			(1)	Ω

(1) 水晶振動子の最大 ESR は、水晶振動子の周波数とシャント容量の関数です。C<sub>shunt</sub> パラメータを参照してください。

水晶振動子を選択するとき、システム設計では、ワーストケースの環境とシステムの予測寿命に基づいて、温度と経年変化特性を考慮する必要があります。

表 6-21 に、発振器のスイッチング特性と入力クロックの要件を示します。

表 6-21. LFOSC0 のスイッチング特性 – 水晶振動子モード

名称	説明	最小値	標準値	最大値	単位
f <sub>xtal</sub>	発振周波数		32768		Hz
t <sub>sx</sub>	スタートアップ時間			96.5	ms

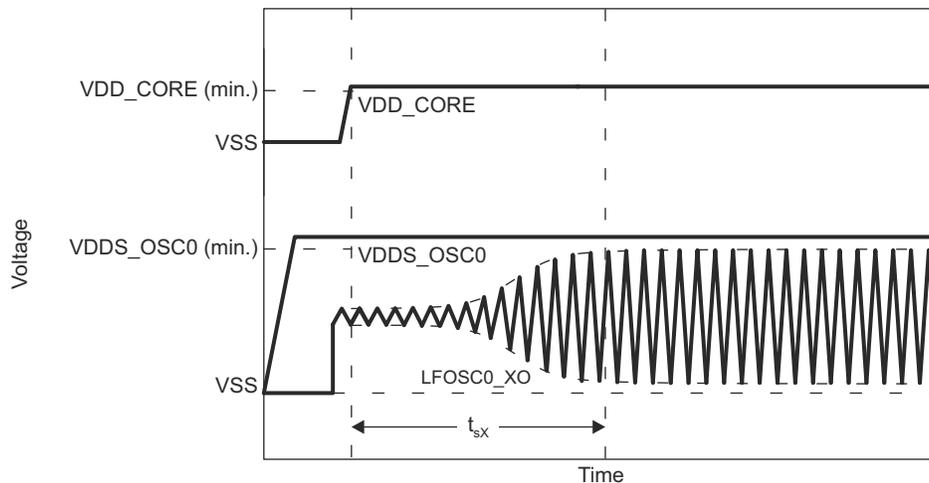


図 6-26. LFOSC0 スタートアップ時間

#### 6.11.4.1.4 LFOSC0 LVC MOS デジタル クロック ソース

図 6-27 に、LFOSC0\_XI を 1.8V LVC MOS 方形波デジタル クロック ソースに接続する場合に推奨される発振器接続を示します。

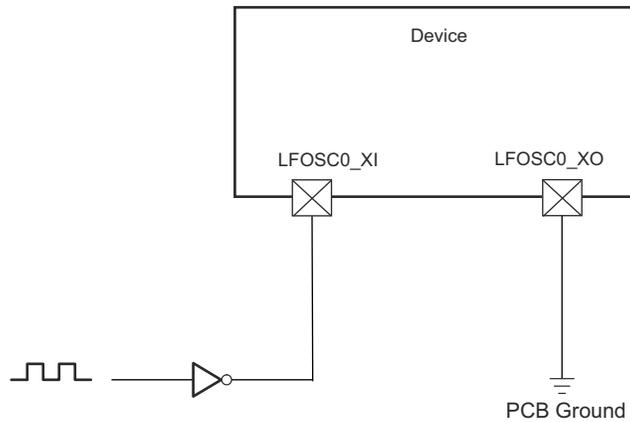


図 6-27. 1.8V LVC MOS 互換クロック入力

#### 6.11.4.1.5 LFOSC0 を使用しない場合

図 6-28 に、LFOSC0 を使用しない場合に推奨される発振器接続を示します。

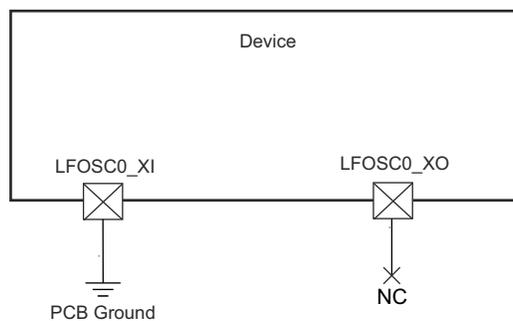


図 6-28. LFOSC0 を使用しない場合

#### 6.11.4.2 出力クロック

このデバイスには、複数のシステム クロック出力があります。これらの出力クロックの概要は、以下のとおりです。

- **WKUP\_SYSCLKOUT0**
  - WKUP\_PLL0\_HSDIV0\_CLKOUT (PER\_SYSCLK0)が 4 分周され、WKUP\_SYSCLKOUT0 としてデバイスから出力されます。このクロック出力は、テストとデバッグのみを目的としています。
- **WKUP\_OBSCLK0**
  - この出力は、WKUP\_OBSCCLK\_OUTMUX を使用して WKUP\_HFOSC0 からの直接出力を選択すれば、機能クロックソースとしてのみ使用できます。
  - この出力は、他のクロックソースを選択すれば、テストおよびデバッグの目的でのみ使用できます。
- **WKUP\_CLKOUT0**
  - この出力は、WKUP\_CLKOUTMUX を使用して LFOSC0\_CLKOUT、DEVICE\_CLKOUT\_32K、または WKUP\_HFOSC0 からの直接出力を選択すれば、機能クロックソースとしてのみ使用できます。
  - この出力は、他のクロックソースを選択すれば、テストおよびデバッグの目的でのみ使用できます。
- **SYSCLKOUT0**
  - MAIN\_PLL0\_HSDIV0\_CLKOUT (MAIN\_SYSCLK0)は 4 分周され、SYSCLKOUT0 としてデバイスから出力されます。このクロック出力は、テストとデバッグのみを目的としています。
- **CLKOUT0**
  - CLKOUT0 は、5 分周または 10 分周されたイーサネット サブシステム クロック (MAIN\_PLL0\_HSDIV6\_CLKOUT) です。このクロック出力は、外部 PHY へのオプションのソースとして供給されます。RMII クロック ソース (50MHz) として動作するよう構成する場合、デバイスが適切に動作するように信号をそれぞれの RMII[x]\_REF\_CLK ピンに配線する必要があります。
- **OBSCLK[1:0]**
  - これらの出力は、OBSCLK0\_CTRL を使用して WKUP\_HFOSC0 からの直接出力を選択すれば、機能クロックソースとしてのみ使用できます。
  - これらの出力は、他のクロックソースを選択すれば、テストおよびデバッグの目的でのみ使用できます。
- **AUDIO\_EXT\_REFCLK[1:0]**
  - 出力として動作するよう構成されている場合、6 つの McASP 高周波オーディオ基準クロック、MAIN\_PLL0\_HSDIV8\_CLKOUT、または WKUP\_PLL0\_HSDIV1\_CLKOUT のいずれかに供給可能です。

#### 6.11.4.3 PLL

フェーズ ロック ループ回路 (PLL) の電力は、オフチップ電源から電力を得る内部レギュレータによって供給されます。

WKUP ドメインには 1 つの PLL があります。

- WKUP\_PLL0 (WKUP PLL)

MAIN ドメインには 3 つの PLL があります。

- MAIN\_PLL0 (MAIN PLL)
- MAIN\_PLL8 (ARM0 PLL)
- MAIN\_PLL17 (DSS PLL0)

いずれかの PLL 出力をクロック ソースとして構成および使用するには、基準クロック ソースのスタートアップ時間と PLL ロック要件を考慮する必要があります。デバイスの基準クロック入力要件は、[セクション 6.11.4.1](#)「入力クロック / 発振器」で定義されています。PLL 構成の詳細については、デバイスのテクニカル リファレンス マニュアルを参照してください。

PLL の詳細については、デバイスのテクニカル リファレンス マニュアルで「デバイス構成」セクションの「クロッキング」サブセクションにある「PLL」サブセクションを参照してください。

#### 6.11.4.4 クロックおよび制御信号の遷移に関する推奨システム上の注意事項

すべてのクロック信号とストロブ信号は、 $V_{IH}$  と  $V_{IL}$  (または  $V_{IL}$  と  $V_{IH}$ ) の間で単調に遷移する必要があります。

高速な信号遷移では、単調な遷移が発生する可能性が高くなります。遷移が低速な信号に対しては、ノイズにより容易に非単調なイベントが発生します。そのため、すべてのクロック信号と制御信号で低速な信号遷移は避けてください。これは、デバイス内でグリッチが発生する可能性が高いためです。

## 6.11.5 ペリフェラル

### 6.11.5.1 CPSW3G

本デバイスのギガビット イーサネット MAC の機能の詳細と追加の説明情報については、「信号の説明」および「詳細説明」セクションの対応するサブセクションを参照してください。

#### 6.11.5.1.1 CPSW3G MDIO のタイミング

表 6-22、表 6-23、表 6-24、図 6-29 に、CPSW3G MDIO のタイミング条件、タイミング要件、スイッチング特性を示します。

表 6-22. CPSW3G MDIO のタイミング条件

パラメータ		最小値	最大値	単位
入力条件				
SR <sub>I</sub>	入力スループレート	0.9	3.6	V/ns
出力条件				
C <sub>L</sub>	出力負荷容量	10	470	pF
PCB 接続要件				
t <sub>d</sub> (Trace Delay)	各パターンの伝搬遅延	0	5	ns
t <sub>d</sub> (Trace Mismatch Delay)	すべてのパターンにわたる伝搬遅延の不整合		1	ns

表 6-23. CPSW3G MDIO のタイミング要件

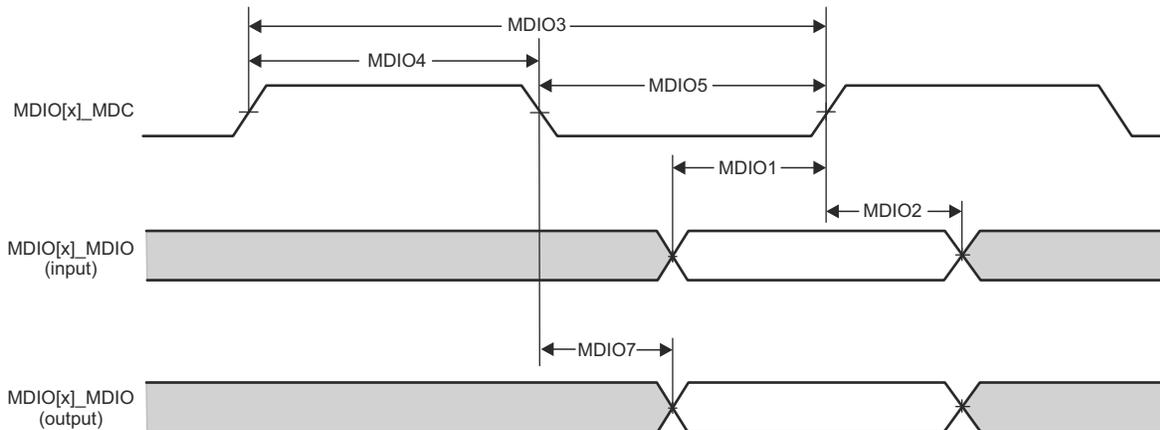
図 6-29 参照

番号	パラメータ	最小値	最大値	単位
MDIO1	t <sub>su</sub> (MDIO_MDC)	45		ns
MDIO2	t <sub>h</sub> (MDC_MDIO)	0		ns

表 6-24. CPSW3G MDIO のスイッチング特性

図 6-29 参照

番号	パラメータ	最小値	最大値	単位
MDIO3	t <sub>c</sub> (MDC)	400		ns
MDIO4	t <sub>w</sub> (MDCH)	160		ns
MDIO5	t <sub>w</sub> (MDCL)	160		ns
MDIO7	t <sub>d</sub> (MDC_MDIO)	-10	10	ns



CPSW2G\_MDIO\_TIMING\_01

図 6-29. CPSW3G MDIO のタイミング要件およびスイッチング特性

6.11.5.1.2 CPSW3G RMII のタイミング

表 6-25、表 6-26、図 6-30、表 6-27、図 6-31、表 6-28、図 6-32 に、CPSW3G RMII のタイミング条件、タイミング要件、スイッチング特性を示します。

表 6-25. CPSW3G RMII のタイミング条件

パラメータ		最小値	最大値	単位
入力条件				
SR <sub>i</sub>	入力スループレート	VDD <sup>(1)</sup> = 1.8V	0.18	5 V/ns
		VDD <sup>(1)</sup> = 3.3V	0.4	5 V/ns
出力条件				
C <sub>L</sub>	出力負荷容量	3	25	pF

(1) VDD は、対応する電源を表します。電源名および対応するボールの詳細については、「ピン属性」表の「電源」列を参照してください。

表 6-26. RMII[x]\_REF\_CLK のタイミング要件 - RMII モード

図 6-30 参照

番号	パラメータ	説明	最小値	最大値	単位
RMII1	t <sub>c</sub> (REF_CLK)	サイクル時間、RMII[x]_REF_CLK	19.999	20.001	ns
RMII2	t <sub>w</sub> (REF_CLKH)	パルス幅、RMII[x]_REF_CLK High	7	13	ns
RMII3	t <sub>w</sub> (REF_CLKL)	パルス幅、RMII[x]_REF_CLK Low	7	13	ns

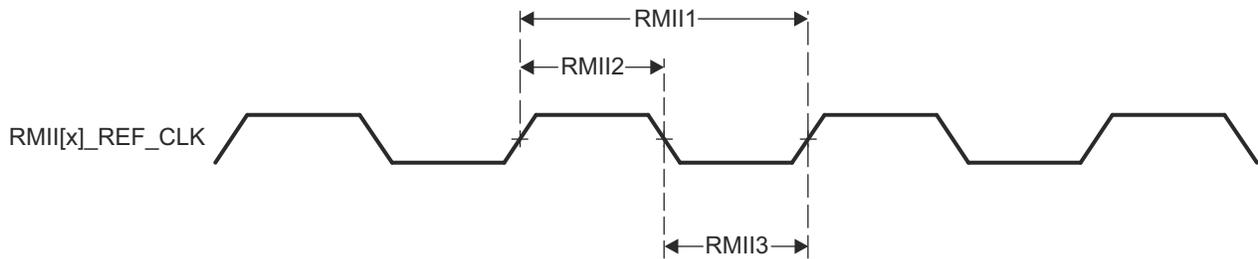


図 6-30. CPSW3G RMII[x]\_REF\_CLK のタイミング要件 - RMII モード

表 6-27. RMII[x]\_RXD[1:0]、RMII[x]\_CRS\_DV、RMII[x]\_RX\_ER のタイミング要件 - RMII モード

図 6-31 参照

番号	パラメータ	説明	最小値	最大値	単位
RMII4	t <sub>su</sub> (RXD-REF_CLK)	セットアップ時間、RMII[x]_RXD[1:0] 有効から RMII[x]_REF_CLK まで	4		ns
	t <sub>su</sub> (CRS_DV-REF_CLK)	セットアップ時間、RMII[x]_CRS_DV 有効から RMII[x]_REF_CLK まで	4		ns
	t <sub>su</sub> (RX_ER-REF_CLK)	セットアップ時間、RMII[x]_RX_ER 有効から RMII[x]_REF_CLK まで	4		ns
RMII5	t <sub>h</sub> (REF_CLK-RXD)	ホールド時間、RMII[x]_REF_CLK から RMII[x]_RXD[1:0] 有効の間	2		ns
	t <sub>h</sub> (REF_CLK-CRS_DV)	ホールド時間、RMII[x]_REF_CLK から RMII[x]_CRS_DV 有効の間	2		ns
	t <sub>h</sub> (REF_CLK-RX_ER)	ホールド時間、RMII[x]_REF_CLK から RMII[x]_RX_ER 有効の間	2		ns

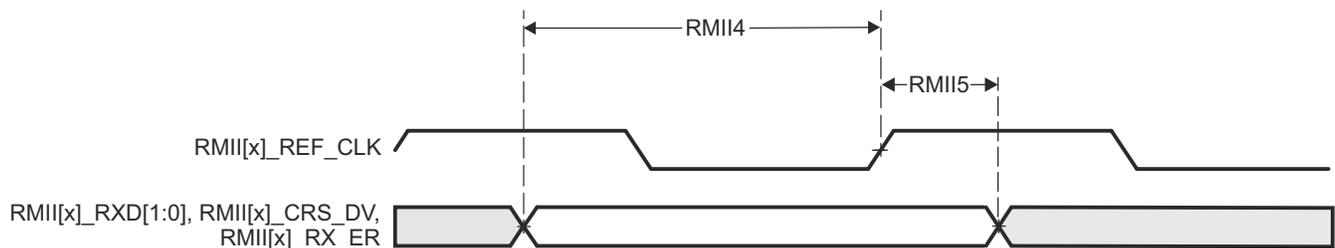


図 6-31. CPSW3G RMII[x]\_RXD[1:0]、RMII[x]\_CRS\_DV、RMII[x]\_RX\_ER のタイミング要件 - RMII モード

表 6-28. RMII[x]\_TXD[1:0]、RMII[x]\_TX\_EN のスイッチング特性 – RMII モード

図 6-32 参照

番号	パラメータ	説明	最小値	最大値	単位
RMII6	$t_{d(\text{REF\_CLK-TXD})}$	遅延時間、RMII[x]_REF_CLK High から RMII[x]_TXD[1:0] 有効まで	2	10	ns
	$t_{d(\text{REF\_CLK-TX\_EN})}$	遅延時間、RMII[x]_REF_CLK から RMII[x]_TX_EN 有効まで	2	10	ns

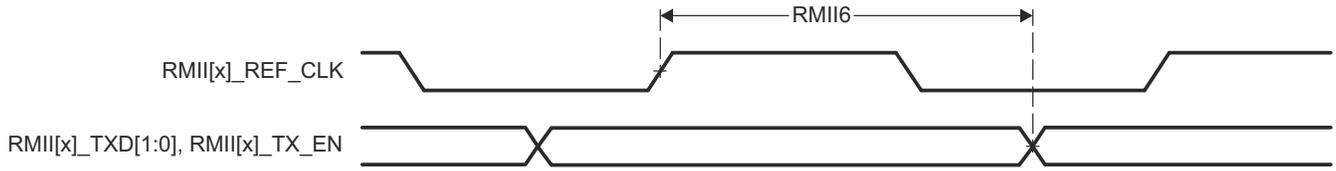


図 6-32. RMII[x]\_TXD[1:0]、RMII[x]\_TX\_EN のスイッチング特性 – RMII モード

6.11.5.1.3 CPSW3G RGMII のタイミング

表 6-29、表 6-30、表 6-31、図 6-33、表 6-32、表 6-33、図 6-34 に、CPSW3G RGMII のタイミング条件、タイミング要件、スイッチング特性を示します。

表 6-29. CPSW3G RGMII のタイミング条件

パラメータ		最小値	最大値	単位
<b>入力条件</b>				
SR <sub>i</sub>	入力スルーレート	VDD <sup>(1)</sup> = 1.8V	1.44	5
		VDD <sup>(1)</sup> = 3.3V	2.64	5
<b>出力条件</b>				
C <sub>L</sub>	出力負荷容量	2	20	pF
<b>PCB 接続要件</b>				
t <sub>d</sub> (Trace Mismatch Delay)	すべてのパターンにわたる伝搬遅延の不整合	RGMII[x]_RXC、 RGMII[x]_RD[3:0] 、 RGMII[x]_RX_CTL	50	ps
		RGMII[x]_TXC、 RGMII[x]_TD[3:0] 、 RGMII[x]_TX_CTL	50	ps

(1) VDD は、対応する電源を表します。電源名および対応するボールの詳細については、「ピン属性」表の「電源」列を参照してください。

ADVANCE INFORMATION

表 6-30. RGMII[x]\_RXC のタイミング要件 – RGMII モード

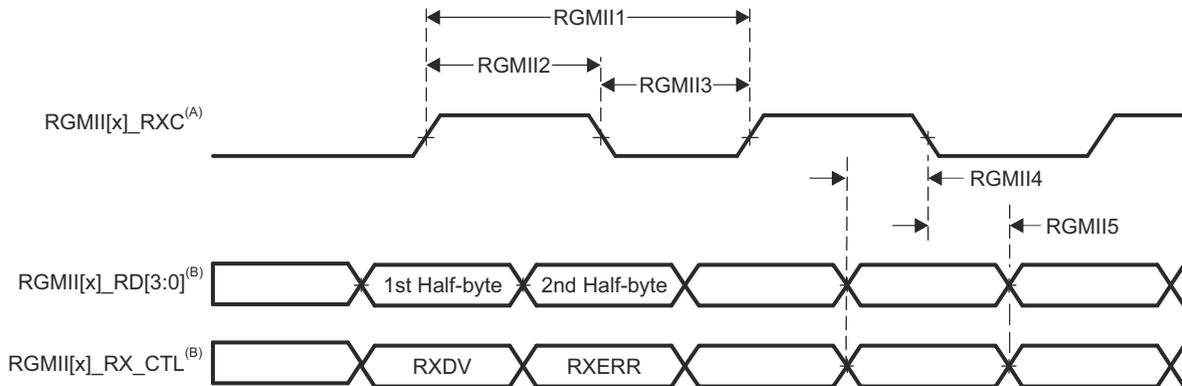
図 6-33 参照

番号	パラメータ	説明	モード	最小値	最大値	単位
RGMII1	$t_{c(RXC)}$	サイクル時間、RGMII[x]_RXC	10Mbps	360	440	ns
			100Mbps	36	44	ns
			1000Mbps	7.2	8.8	ns
RGMII2	$t_{w(RXCH)}$	パルス幅、RGMII[x]_RXC high	10Mbps	160	240	ns
			100Mbps	16	24	ns
			1000Mbps	3.6	4.4	ns
RGMII3	$t_{w(RXCL)}$	パルス幅、RGMII[x]_RXC low	10Mbps	160	240	ns
			100Mbps	16	24	ns
			1000Mbps	3.6	4.4	ns

表 6-31. RGMII[x]\_RD[3:0] と RGMII[x]\_RX\_CTL のタイミング要件 – RGMII モード

図 6-33 参照

番号	パラメータ	説明	モード	最小値	最大値	単位
RGMII4	$t_{su(RD-RXC)}$	セットアップ時間、RGMII[x]_RD[3:0] 有効から RGMII[x]_RXC High/Low まで	10Mbps	1		ns
			100Mbps	1		ns
			1000Mbps	1		ns
	$t_{su(RX\_CTL-RXC)}$	セットアップ時間、RGMII[x]_RX_CTL 有効から RGMII[x]_RXC High/Low まで	10Mbps	1		ns
			100Mbps	1		ns
			1000Mbps	1		ns
RGMII5	$t_h(RXC-RD)$	ホールド時間、RGMII[x]_RXC High/Low から RGMII[x]_RD[3:0] 有効の間	10Mbps	1		ns
			100Mbps	1		ns
			1000Mbps	1		ns
	$t_h(RXC-RX\_CTL)$	ホールド時間、RGMII[x]_RXC High/Low から RGMII[x]_RX_CTL 有効の間	10Mbps	1		ns
			100Mbps	1		ns
			1000Mbps	1		ns



- A. RGMII[x]\_RXC は、データピンと制御ピンに対して、外部的に遅延させる必要があります。
- B. データおよび制御情報は、クロックの両方のエッジを使用して受信されます。RGMII[x]\_RD[3:0] は、RGMII[x]\_RXC の立ち上がりエッジでデータビット 3～0 を、RGMII[x]\_RXC の立ち下がりエッジでデータビット 7～4 を伝送します。同様に、RGMII[x]\_RX\_CTL は、RGMII[x]\_RXC の立ち上がりエッジで RXDV を、RGMII[x]\_RXC の立ち下がりエッジで RXERR を伝送します。

図 6-33. CPSW3G RGMII[x]\_RXC、RGMII[x]\_RD[3:0]、RGMII[x]\_RX\_CTL のタイミング要件 - RGMII モード

表 6-32. RGMII[x]\_TXC のスイッチング特性 – RGMII モード

図 6-34 参照

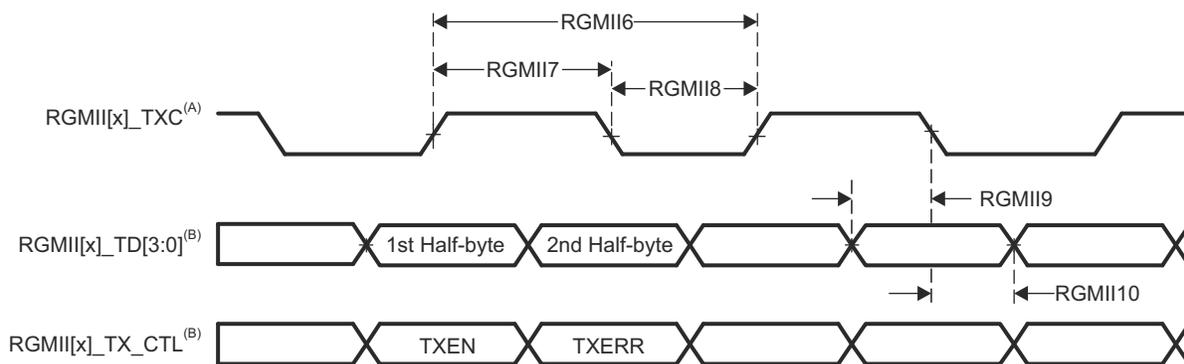
番号	パラメータ	説明	モード	最小値	最大値	単位
RGMII6	$t_c(\text{TXC})$	サイクル時間、RGMII[x]_TXC	10Mbps	360	440	ns
			100Mbps	36	44	ns
			1000Mbps	7.2	8.8	ns
RGMII7	$t_w(\text{TXCH})$	パルス幅、RGMII[x]_TXC high	10Mbps	160	240	ns
			100Mbps	16	24	ns
			1000Mbps	3.6	4.4	ns
RGMII8	$t_w(\text{TXCL})$	パルス幅、RGMII[x]_TXC low	10Mbps	160	240	ns
			100Mbps	16	24	ns
			1000Mbps	3.6	4.4	ns

表 6-33. RGMII[x]\_TD[3:0]、RGMII[x]\_TX\_CTL のスイッチング特性 – RGMII モード

図 6-34 参照

番号	パラメータ	説明	モード	最小値	最大値	単位
RGMII9	$t_{\text{osu}}(\text{TD-TXC})$	出力セットアップ時間 <sup>(1)</sup> 、RGMII[x]_TD[3:0] 有効から RGMII[x]_TXC High/Low まで	10Mbps	1.2		ns
			100Mbps	1.2		ns
			1000Mbps	1.2		ns
	$t_{\text{osu}}(\text{TX_CTL-TXC})$	出力セットアップ時間 <sup>(1)</sup> 、RGMII[x]_TX_CTL 有効から RGMII[x]_TXC High/Low まで	10Mbps	1.2		ns
			100Mbps	1.2		ns
			1000Mbps	1.2		ns
RGMII10	$t_{\text{oh}}(\text{TXC-TD})$	出力ホールド時間 <sup>(1)</sup> 、RGMII[x]_TXC High/Low から RGMII[x]_TD[3:0] 有効の間	10Mbps	1.2		ns
			100Mbps	1.2		ns
			1000Mbps	1.2		ns
	$t_{\text{oh}}(\text{TXC-TX_CTL})$	出力ホールド時間 <sup>(1)</sup> 、RGMII[x]_TXC High/Low から RGMII[x]_TX_CTL 有効の間	10Mbps	1.2		ns
			100Mbps	1.2		ns
			1000Mbps	1.2		ns

- (1) 出力のセットアップ / ホールド時間は、送信クロック出力に対する送信データと制御出力の遅延関係を定義しますが、この出力の関係は、接続されたレシーバに供給される最小セットアップ / ホールド時間として示されています。このアプローチは、RGMII 仕様での出力タイミング関係の定義方法と一致しています。



- A. TXC は内部で遅延されてから、RGMII[x]\_TXC ピンを駆動します。この内部遅延は常にインネーブルになっています。  
 B. データおよび制御情報は、クロックの両方のエッジを使用して受信されます。RGMII[x]\_TD[3:0] は、RGMII[x]\_TXC の立ち上がりエッジでデータビット 3~0 を、RGMII[x]\_TXC の立ち下がりエッジでデータビット 7~4 を伝送します。同様に、RGMII[x]\_TX\_CTL は RGMII[x]\_TXC の立ち上がりエッジで TXEN を、RGMII[x]\_TXC の立ち下がりエッジで TXERR を伝送します。

図 6-34. CPSW3G RGMII[x]\_TXC、RGMII[x]\_TD[3:0]、RGMII[x]\_TX\_CTL のスイッチング特性 – RGMII モード

### 6.11.5.2 CPTS

表 6-34、表 6-35、図 6-35、表 6-36、図 6-36 に、CPTS のタイミング条件、タイミング要件、スイッチング特性を示します。

表 6-34. CPTS のタイミング条件

パラメータ		最小値	最大値	単位
入力条件				
SR <sub>i</sub>	入力スルーレート	0.5	5	V/ns
出力条件				
C <sub>L</sub>	出力負荷容量	2	10	pF

表 6-35. CPTS のタイミング要件

図 6-35 参照

番号	パラメータ	説明	最小値	最大値	単位
T1	t <sub>w</sub> (HWTSPUSHH)	パルス幅、HWnTSPUSH High	12P <sup>(1)</sup> + 2		ns
T2	t <sub>w</sub> (HWTSPUSHL)	パルス幅、HWnTSPUSH Low	12P <sup>(1)</sup> + 2		ns
T3	t <sub>c</sub> (RFT_CLK)	サイクル時間、RFT_CLK	5	8	ns
T4	t <sub>w</sub> (RFT_CLKH)	パルス幅、RFT_CLK high	0.45T <sup>(2)</sup>		ns
T5	t <sub>w</sub> (RFT_CLKL)	パルス幅、RFT_CLK low	0.45T <sup>(2)</sup>		ns

(1) P = 機能クロック周期 (ns 単位)。

(2) T = RFT\_CLK サイクル時間 (ns 単位)。

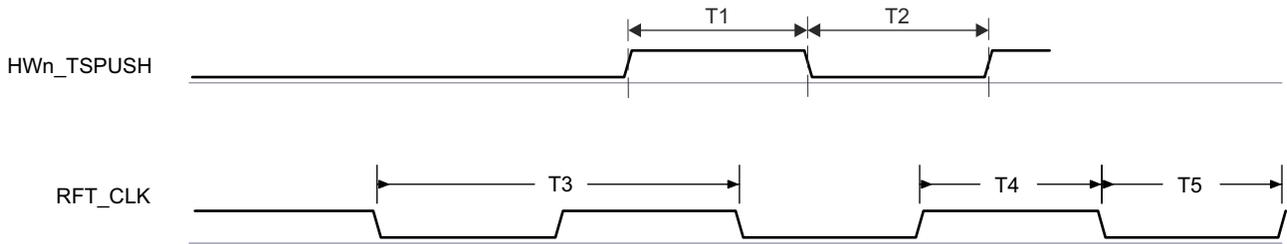


図 6-35. CPTS のタイミング要件

表 6-36. CPTS スイッチング特性

図 6-36 参照

番号	パラメータ	説明	ソース	最小値	最大値	単位
T6	$t_w(\text{TS\_COMP})$	パルス幅、TS_COMP high		$36P^{(1)} - 2$		ns
T7	$t_w(\text{TS\_COMPL})$	パルス幅、TS_COMP low		$36P^{(1)} - 2$		ns
T8	$t_w(\text{TS\_SYNCH})$	パルス幅、TS_SYNC high		$36P^{(1)} - 2$		ns
T9	$t_w(\text{TS\_SYNCL})$	パルス幅、TS_SYNC low		$36P^{(1)} - 2$		ns
T10	$t_w(\text{SYNCn\_OUTH})$	パルス幅、SYNCn_OUT High	TS_SYNC	$36P^{(1)} - 2$		ns
			GENF	$5P^{(1)} - 2$		ns
T11	$t_w(\text{SYNCn\_OUTL})$	パルス幅、SYNCn_OUT Low	TS_SYNC	$36P^{(1)} - 2$		ns
			GENF	$5P^{(1)} - 2$		ns

(1) P = 機能クロック周期 (ns 単位)。

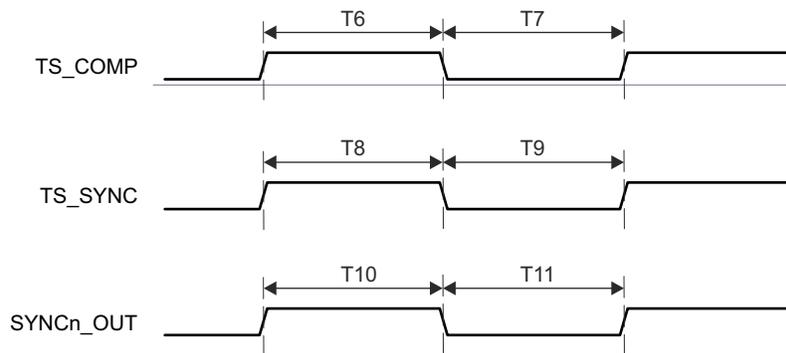


図 6-36. CPTS スイッチング特性

詳細については、デバイスのテクニカル リファレンス マニュアルの「データ移動アーキテクチャ (DMA)」の章を参照してください。

### 6.11.5.3 DDRSS

本デバイスの (LP)DDR4 メモリ インターフェイスの機能の詳細と追加の説明情報については、「信号の説明」および「詳細説明」セクションの対応するサブセクションを参照してください。

表 6-37 および 図 6-37 に、DDRSS のスイッチング特性を示します。

表 6-37. DDRSS スイッチング特性

図 6-37 参照

番号	パラメータ	DDR タイプ	最小値	最大値	単位
1	$t_{c(DDR\_CKP/DDR\_CKN)}$ サイクル時間、DDR_CKP および DDR_CKN	LPDDR4	1.25 <sup>(1)</sup>	20	ns
		DDR4	1.25 <sup>(1)</sup>	1.6	ns

(1) 最小 DDR クロック サイクル時間は、システムで使用されている特定のメモリ タイプ (ベンダ) と PCB 実装に基づいて制限されます。最大 DDR 周波数を実現するための適切な PCB 実装については、『DDR 基板の設計およびレイアウトのガイドライン』を参照してください。

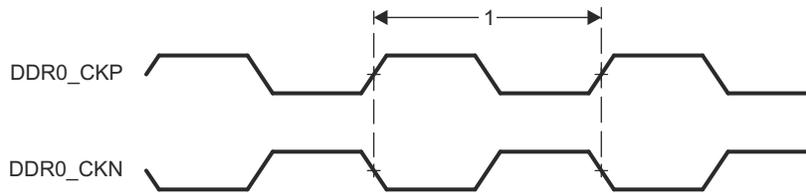


図 6-37. DDRSS スイッチング特性

詳細については、デバイスのテクニカル リファレンス マニュアルで「メモリ コントローラ」の章にある「DDR サブシステム (DDRSS)」セクションを参照してください。

### 6.11.5.4 DSI

#### 注

詳細については、デバイスのテクニカル リファレンス マニュアルの「MIPI ディスプレイ シリアル インターフェイス (DSI) コントローラ」セクションを参照してください。DSI トランスミッタ コントローラは、DSITXn というデバイス ポート インスタンスに接続します (「n」はインスタンス番号)。

DSI トランスミッタ コントローラと関連する D-PHY は、MIPI D-PHY 仕様 v1.2 および MIPI DSI 仕様 v1.3 に準拠した DSI ポート (DSITX0) を実装しており、同期ダブル データ レート モードで動作する 4 つの差動データ レーンと 1 つの差動クロック レーンを備えています。DSI タイミングの詳細については、上記の各 MIPI 仕様を参照してください。

- 最大 1.8Gbps の 1、2、3、4 レーン データ転送モードをサポート

6.11.5.5 DSS

表 6-38、表 6-39、図 6-38、表 6-40 および 図 6-39 に、DSS のタイミング条件、タイミング要件、スイッチング特性を示します。

表 6-38. DSS のタイミング条件

パラメータ		最小値	最大値	単位
入力条件				
SR <sub>i</sub>	入力スルーレート	1.44	26.4	V/ns
出力条件				
C <sub>L</sub>	出力負荷容量	1.5	5	pF
PCB 接続要件				
t <sub>d</sub> (Trace Mismatch Delay)	すべてのパターンにわたる伝搬遅延の不整合		100	ps

表 6-39. DSS 外部ピクセル クロックのタイミング要件

図 6-38 参照

番号			最小値	最大値	単位
D6	t <sub>c</sub> (extpclkIn)	サイクル時間、VOUT(x)_EXTPCLKIN <sup>(2)</sup>	6.06		ns
D7	t <sub>w</sub> (extpclkInL)	パルス幅、VOUT(x)_EXTPCLKIN <sup>(2)</sup> low	0.475P <sup>(1)</sup>		ns
D8	t <sub>w</sub> (extpclkInH)	パルス幅、VOUT(x)_EXTPCLKIN <sup>(2)</sup> high	0.475P <sup>(1)</sup>		ns

- (1) P = VOUT(x)\_EXTPCLKIN サイクル時間 (ns)
- (2) VOUT(x) = 0 の x

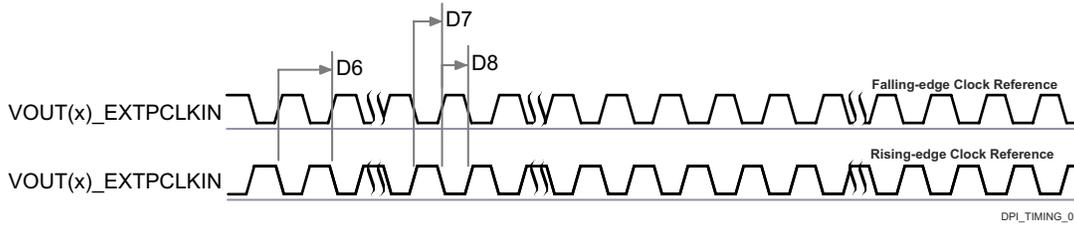


図 6-38. DSS 外部ピクセル クロックのタイミング要件

表 6-40. DSS スイッチング特性

図 6-39 参照

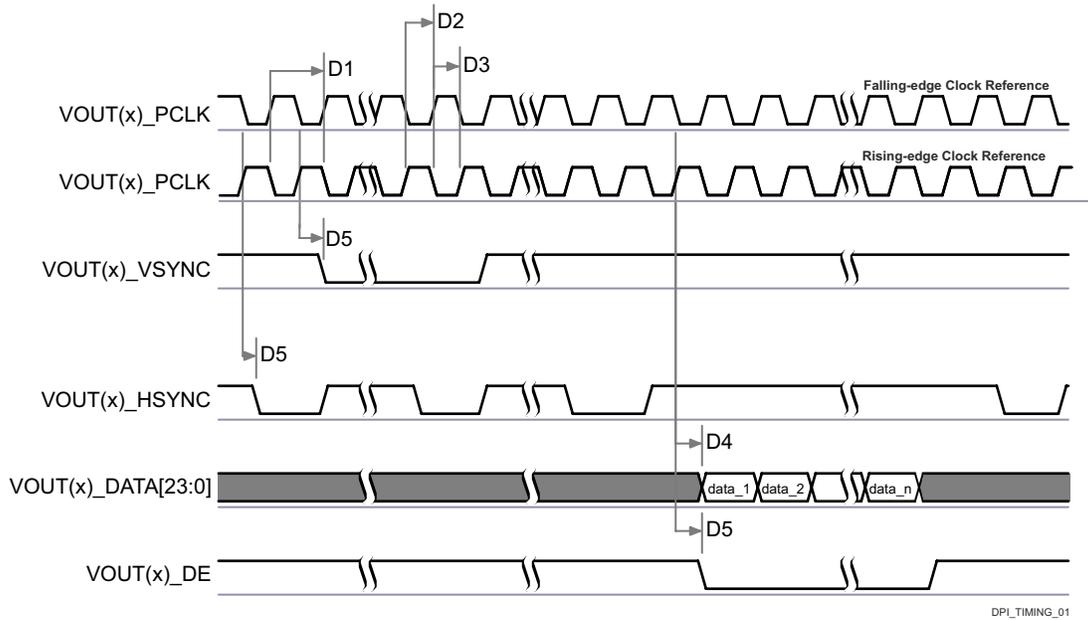
番号	パラメータ		モード	最小値	最大値	単位
D1	$t_{c(pclk)}$	サイクル時間、VOUT(x)_PCLK <sup>(2)</sup>		6.06		ns
D2	$t_{w(pclkL)}$	パルス幅、VOUT(x)_PCLK <sup>(2)</sup> low	内蔵 PLL	0.475P <sup>(1)</sup> - 0.3		ns
			EXTPCLKIN	Y <sup>(3)</sup> - 0.45		ns
D3	$t_{w(pclkH)}$	パルス幅、VOUT(x)_PCLK <sup>(2)</sup> high	内蔵 PLL	0.475P <sup>(1)</sup> - 0.3		ns
			EXTPCLKIN	Z <sup>(4)</sup> - 0.45		ns
D4	$t_{d(pclkV-dataV)}$	遅延時間、VOUT(x)_PCLK <sup>(2)</sup> 遷移から VOUT(x)_DATA[23:0] (2) 遷移まで	内蔵 PLL	-0.68	1.78	ns
			EXTPCLKIN	-0.68	1.78	ns
D5	$t_{d(pclkV-ctrl)}$	遅延時間、VOUT(x)_PCLK <sup>(2)</sup> 遷移から制御信号 VOUT(x)_VSYNC <sup>(2)</sup> 、VOUT(x)_HSYNC <sup>(2)</sup> 、VOUT(x)_DE <sup>(2)</sup> 立ち下がりエッジまで	内蔵 PLL	-0.68	1.78	ns
			EXTPCLKIN	-0.68	1.78	ns

(1) P = VOUT(x)\_PCLK サイクル時間 (ns)

(2) VOUT(x) = 0 の x

(3) Y =  $t_{w(extpclkInL)}$ 、表 6-39 のパラメータ D7、DSS 外部ピクセル クロックのタイミング要件

(4) Z =  $t_{w(extpclkInH)}$ 、表 6-39 のパラメータ D8、DSS 外部ピクセル クロックのタイミング要件



- データのアサートは、ピクセル クロックの立ち下がりエッジまたは立ち上がりエッジで発生するようにプログラムできます。デバイスのテクニカル リファレンス マニュアルで「ペリフェラル」の章にある「ディスプレイ サブシステム (DSS)」セクションを参照してください。
- VOUT(x)\_HSYNC および VOUT(x)\_VSYNC の極性とパルス幅はプログラム可能です。デバイスのテクニカル リファレンス マニュアルで「ペリフェラル」の章にある「ディスプレイ サブシステム (DSS)」セクションを参照してください。
- VOUT(x)\_PCLK 周波数は設定できます。デバイスのテクニカル リファレンス マニュアルで「ペリフェラル」の章にある「ディスプレイ サブシステム」セクションを参照してください。

図 6-39. DSS スイッチング特性

デバイスのテクニカル リファレンス マニュアルで「ペリフェラル」の章にある「ディスプレイ サブシステム (DSS) およびペリフェラル」セクションを参照してください。

### 6.11.5.6 ECAP

表 6-41、表 6-42、図 6-40、表 6-43、図 6-41 に、ECAP のタイミング条件、タイミング要件、スイッチング特性を示します。

表 6-41. ECAP のタイミング条件

パラメータ		最小値	最大値	単位
入力条件				
SR <sub>i</sub>	入力スルーレート	1	4	V/ns
出力条件				
C <sub>L</sub>	出力負荷容量	2	7	pF

表 6-42. ECAP のタイミング要件

図 6-40 参照

番号	パラメータ	説明	最小値	最大値	単位
CAP1	t <sub>w</sub> (CAP)	パルス幅、CAP (非同期)	2P <sup>(1)</sup> + 2		ns

(1) P = sysclk 周期 (ns)。

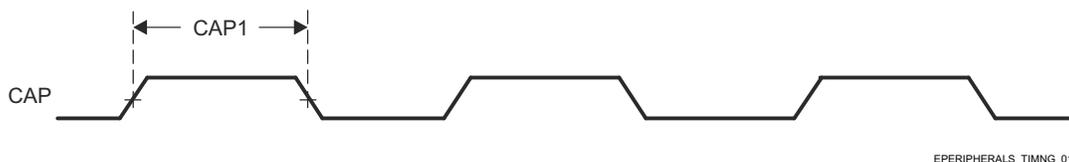


図 6-40. ECAP のタイミング要件

表 6-43. ECAP スwitching特性

図 6-41 参照

番号	パラメータ	説明	最小値	最大値	単位
CAP2	t <sub>w</sub> (APWM)	パルス幅、APWMx High/Low	2P <sup>(1)</sup> - 2		ns

(1) P = sysclk 周期 (ns)。

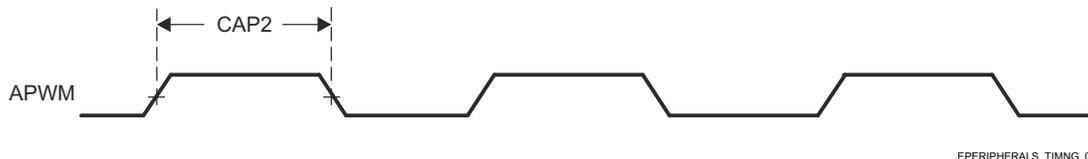


図 6-41. ECAP スwitching特性

詳細については、デバイスのテクニカル リファレンス マニュアルで「ペリフェラル」の章にある「拡張キャプチャ (ECAP) モジュール」セクションを参照してください。

### 6.11.5.7 エミュレーションおよびデバッグ

本デバイスのトレースおよび JTAG インターフェイスの機能および追加の説明情報については、「信号の説明」および「詳細説明」セクションの対応するサブセクションを参照してください。

#### 6.11.5.7.1 トレース

表 6-44. トレースのタイミング条件

パラメータ		最小値	最大値	単位
出力条件				
$C_L$	出力負荷容量	2	5	pF
PCB 接続要件				
$t_d$ (Trace Mismatch)	すべてのパターンにわたる伝搬遅延の不整合		200	ps

表 6-45. トレースのスイッチング特性

番号	パラメータ	最小値	最大値	単位
1.8V モード				
DBTR1	$t_c$ (TRC_CLK) サイクル時間、TRC_CLK	6.83		ns
DBTR2	$t_w$ (TRC_CLKH) パルス幅、TRC_CLK high	2.66		ns
DBTR3	$t_w$ (TRC_CLKL) パルス幅、TRC_CLK low	2.66		ns
DBTR4	$t_{osu}$ (TRC_DATAV-TRC_CLK) 出力セットアップ時間、TRC_DATA 有効から TRC_CLK エッジまで	0.85		ns
DBTR5	$t_{oh}$ (TRC_CLK-TRC_DATAI) 出力ホールド時間、TRC_CLK エッジから TRC_DATA 無効まで	0.85		ns
DBTR6	$t_{osu}$ (TRC_CTLV-TRC_CLK) 出力セットアップ時間、TRC_CTL 有効から TRC_CLK エッジまで	0.85		ns
DBTR7	$t_{oh}$ (TRC_CLK-TRC_CTLI) 出力ホールド時間、TRC_CLK エッジから TRC_CTL 無効まで	0.85		ns
3.3V モード				
DBTR1	$t_c$ (TRC_CLK) サイクル時間、TRC_CLK	8.78		ns
DBTR2	$t_w$ (TRC_CLKH) パルス幅、TRC_CLK high	3.64		ns
DBTR3	$t_w$ (TRC_CLKL) パルス幅、TRC_CLK low	3.64		ns
DBTR4	$t_{osu}$ (TRC_DATAV-TRC_CLK) 出力セットアップ時間、TRC_DATA 有効から TRC_CLK エッジまで	1.10		ns
DBTR5	$t_{oh}$ (TRC_CLK-TRC_DATAI) 出力ホールド時間、TRC_CLK エッジから TRC_DATA 無効まで	1.10		ns
DBTR6	$t_{osu}$ (TRC_CTLV-TRC_CLK) 出力セットアップ時間、TRC_CTL 有効から TRC_CLK エッジまで	1.10		ns
DBTR7	$t_{oh}$ (TRC_CLK-TRC_CTLI) 出力ホールド時間、TRC_CLK エッジから TRC_CTL 無効まで	1.10		ns

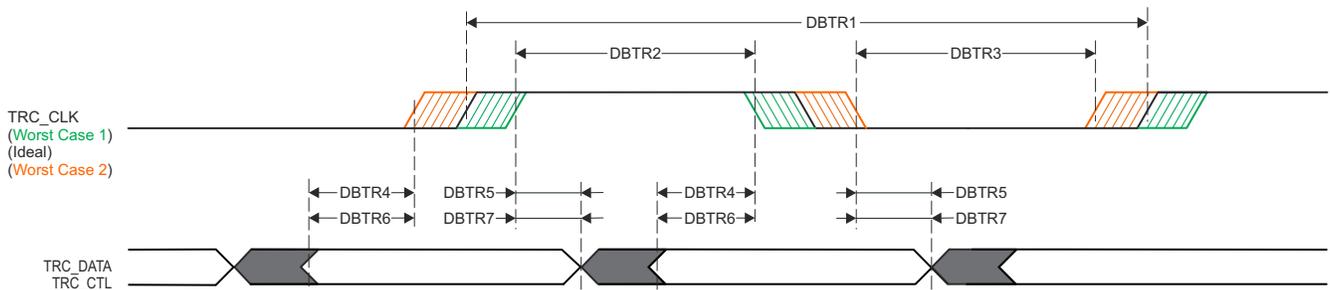


図 6-42. トレースのスイッチング特性

6.11.5.7.2 JTAG

表 6-46. JTAG のタイミング条件

パラメータ		最小値	最大値	単位
<b>入力条件</b>				
SR <sub>I</sub>	入力スルーレート	0.5	2.0	V/ns
<b>出力条件</b>				
C <sub>L</sub>	出力負荷容量	5	15	pF
<b>PCB 接続要件</b>				
t <sub>d</sub> (Trace Delay)	各パターンの伝搬遅延	83.5	1000 <sup>(1)</sup>	ps
t <sub>d</sub> (Trace Mismatch Delay)	すべてのパターンにわたる伝搬遅延の不整合		100	ps

(1) JTAG 信号トレースに関連する最大伝搬遅延は、最大 TCK 動作周波数に大きな影響を及ぼします。トレース遅延をこの値より大きくすることも可能ですが、追加のトレース遅延を考慮して TCK の動作周波数を下げる必要があります。

表 6-47. JTAG のタイミング要件

図 6-43 参照

番号	パラメータ	説明	最小値	最大値	単位
J1	t <sub>c</sub> (TCK)	最小サイクル時間、TCK	40 <sup>(1)</sup>		ns
J2	t <sub>w</sub> (TCKH)	最小パルス幅、TCK High	0.4P <sup>(2)</sup>		ns
J3	t <sub>w</sub> (TCKL)	最小パルス幅、TCK Low	0.4P <sup>(2)</sup>		ns
J4	t <sub>su</sub> (TDI-TCK)	最小入力セットアップ時間、TDI 有効から TCK High まで	2		ns
	t <sub>su</sub> (TMS-TCK)	最小入力セットアップ時間、TMS 有効から TCK High まで	2		ns
J5	t <sub>h</sub> (TCK-TDI)	最小入力ホールド時間、TCK High から TDI 有効の間	3		ns
	t <sub>h</sub> (TCK-TMS)	最小入力ホールド時間、TCK High から TMS 有効の間	3		ns

(1) 最大 TCK 動作周波数は、接続されているデバッガについて、以下のタイミング要件とスイッチング特性を想定しています。デバッガがこれらの前提のいずれかを上回る場合、適切なタイミング マージンを確保するために、TCK の動作周波数を下げる必要があります。

- 最小 TDO セットアップ時間は、TCK の立ち上がりエッジに対して 2ns
- TCK の立ち下がりエッジに対して -12.9ns~13.9ns の範囲の TDI および TMS 出力遅延

(2) P = TCK サイクル時間 (ns 単位)

表 6-48. JTAG スwitching特性

図 6-43 参照

番号	パラメータ	説明	最小値	最大値	単位
J6	t <sub>d</sub> (TCKL-TDOl)	最小遅延時間、TCK Low から TDO 無効まで	0		ns
J7	t <sub>d</sub> (TCKL-TDOV)	最大遅延時間、TCK Low から TDO 有効まで		12	ns

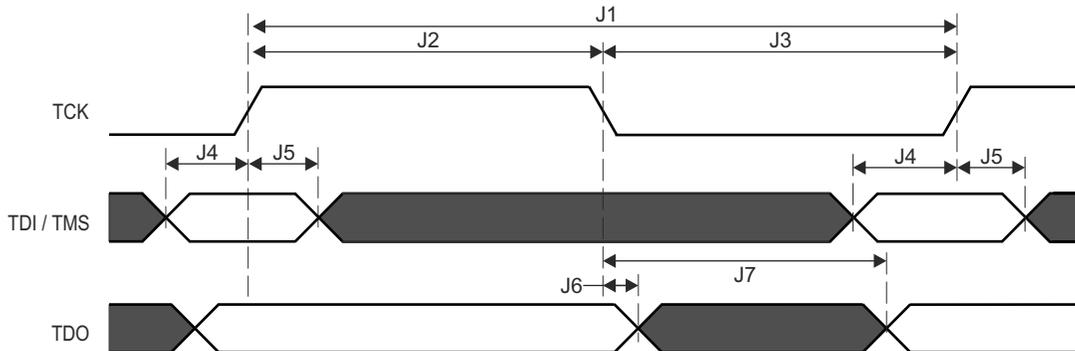


図 6-43. JTAG のタイミング要件およびスイッチング特性

### 6.11.5.8 EPWM

表 6-49、表 6-50、図 6-44、表 6-51、図 6-45、図 6-46、図 6-47 に、EPWM のタイミング条件、タイミング要件、スイッチング特性を示します。

表 6-49. EPWM のタイミング条件

パラメータ		最小値	最大値	単位
入力条件				
SR <sub>i</sub>	入力スルーレート	1	4	V/ns
出力条件				
C <sub>L</sub>	出力負荷容量	2	7	pF

表 6-50. EPWM のタイミング要件

図 6-44 参照

番号	パラメータ	説明	最小値	最大値	単位
PWM6	t <sub>w</sub> (SYNClN)	パルス幅、EHRPWM_SYNCI	2P <sup>(1)</sup> + 2		ns
PWM7	t <sub>w</sub> (TZ)	パルス幅、EHRPWM_TZn_IN low	3P <sup>(1)</sup> + 2		ns

(1) P = sysclk 周期 (ns)。

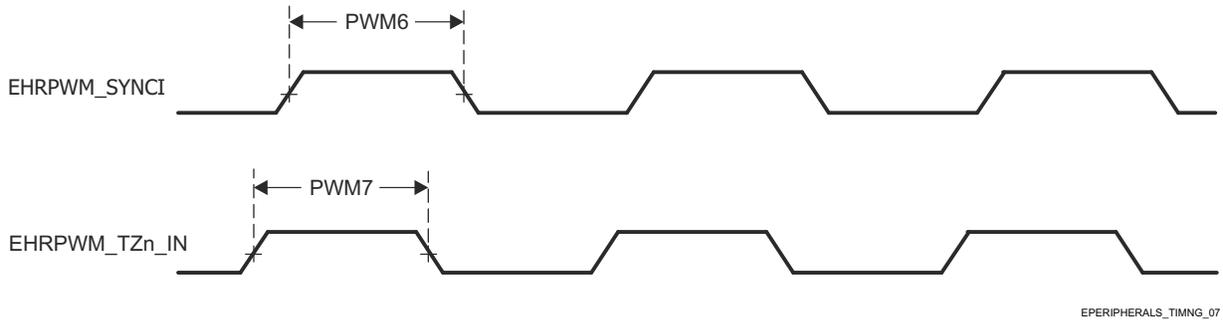


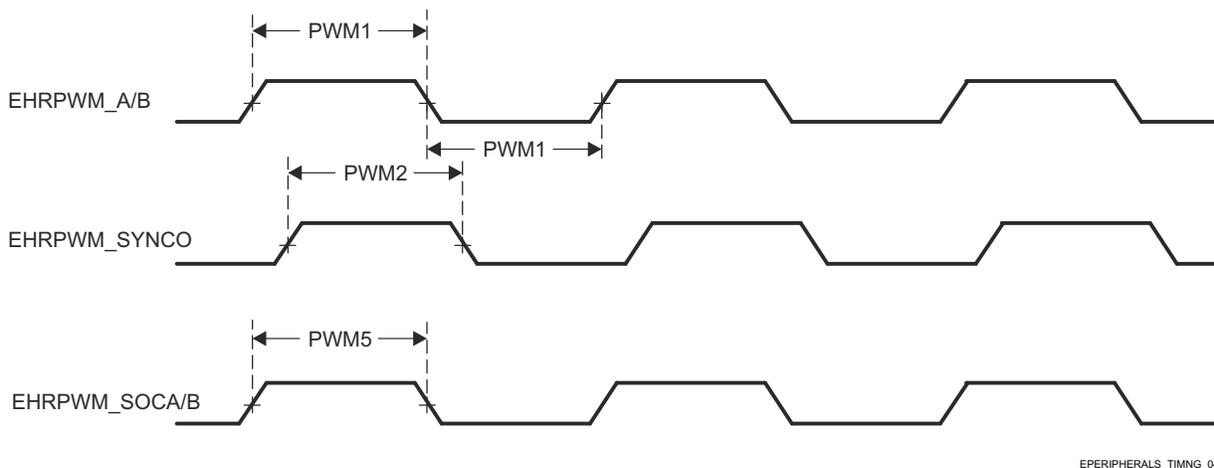
図 6-44. EPWM のタイミング要件

表 6-51. EPWM スイッチング特性

図 6-45、図 6-46、図 6-47 を参照

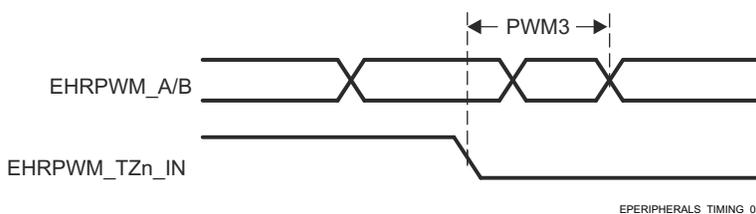
番号	パラメータ	説明	最小値	最大値	単位
PWM1	$t_w(\text{PWM})$	パルス幅、EHRPWM_A/B High または Low	$P^{(1)} - 3$		ns
PWM2	$t_w(\text{SYNCO})$	パルス幅、EHRPWM_SYNCO	$P^{(1)} - 3$		ns
PWM3	$t_d(\text{TZ-PWM})$	遅延時間、EHRPWM_TZn_IN アクティブから EHRPWM_A/B が強制的に High/Low になるまで		11	ns
PWM4	$t_d(\text{TZ-PWMZ})$	遅延時間、EHRPWM_TZn_IN アクティブから EHRPWM_A/B Hi-Z まで		11	ns
PWM5	$t_w(\text{SOC})$	パルス幅、EHRPWM_SOCA/B 出力	$P^{(1)} - 3$		ns

(1)  $P = \text{sysclk}$  周期 (ns)。



EPERIPHERALS\_TIMING\_04

図 6-45. EHRPWM スイッチング特性



EPERIPHERALS\_TIMING\_05

図 6-46. EHRPWM\_TZn\_IN から EHRPWM\_A/B 強制へのスイッチング特性

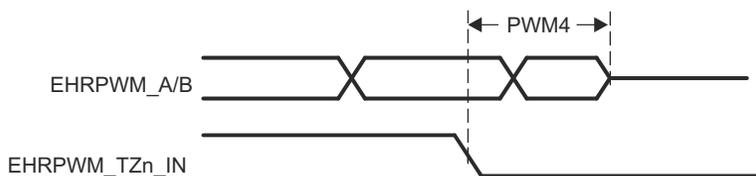


図 6-47. EHRPWM\_TZn\_IN から EHRPWM\_A/B Hi-Z へのスイッチング特性

詳細については、デバイスのテクニカル リファレンス マニュアルで「ペリフェラル」の章にある「拡張パルス幅変調 (EPWM) モジュール」セクションを参照してください。

### 6.11.5.9 EQEP

表 6-52、表 6-53、図 6-48、表 6-54 に、EQEP のタイミング条件、タイミング要件、スイッチング特性を示します。

表 6-52. EQEP のタイミング条件

パラメータ		最小値	最大値	単位
入力条件				
SR <sub>i</sub>	入力スルーレート	1	4	V/ns
出力条件				
C <sub>L</sub>	出力負荷容量	2	7	pF

表 6-53. EQEP のタイミング要件

図 6-48 参照

番号	パラメータ	説明	最小値	最大値	単位
QEP1	t <sub>w</sub> (QEP)	パルス幅、QEP_A/B	2P <sup>(1)</sup> + 2		ns
QEP2	t <sub>w</sub> (QEPIH)	パルス幅、QEP_I high	2P <sup>(1)</sup> + 2		ns
QEP3	t <sub>w</sub> (QEPIL)	パルス幅、QEP_I low	2P <sup>(1)</sup> + 2		ns
QEP4	t <sub>w</sub> (QEP SH)	パルス幅、QEP_S high	2P <sup>(1)</sup> + 2		ns
QEP5	t <sub>w</sub> (QEP SL)	パルス幅、QEP_S low	2P <sup>(1)</sup> + 2		ns

(1) P = sysclk 周期 (ns 単位)

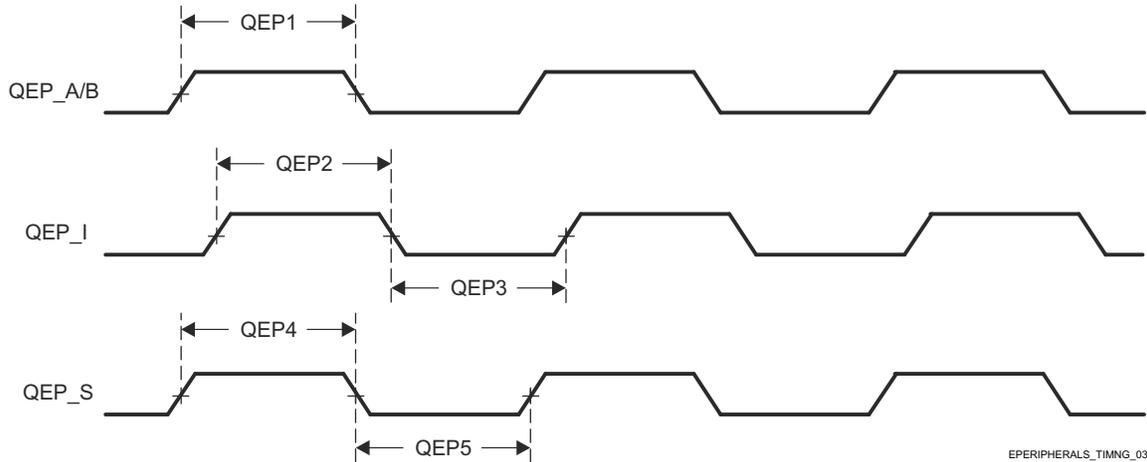


図 6-48. EQEP のタイミング要件

表 6-54. EQEP スwitching 特性

番号	パラメータ	説明	最小値	最大値	単位
QEP6	t <sub>d</sub> (QEP-CNTR)	遅延時間、外部クロックからカウンタ インクリメントまで		24	ns

詳細については、デバイスのテクニカル リファレンス マニュアルで「ペリフェラル」の章にある「拡張直交エンコーダ パルス (eQEP) モジュール」セクションを参照してください。

### 6.11.5.10 GPIO

表 6-55、表 6-56、表 6-57 に、GPIO のタイミング条件、タイミング要件、スイッチング特性を示します。

このデバイスには、2 つの GPIO モジュール インスタンスがあります。

- GPIO0
- WKUP\_GPIO0

#### 注

GPIO<sub>n\_x</sub> は、GPIO 信号を記述するために使用される一般的な名前です。ここで、n は特定の GPIO モジュールを表し、x はモジュールに関連付けられた入出力信号の 1 つを表します。

本デバイスの GPIO の追加の説明情報については、「信号の説明」および「詳細説明」セクションの対応するサブセクションを参照してください。

**表 6-55. GPIO のタイミング条件**

パラメータ		バッファのタイプ	最小値	最大値	単位
入力条件					
SR <sub>i</sub>	入力スルーレート	LVC MOS (VDD <sup>(1)</sup> = 1.8V)	0.0018	6.6	V/ns
		LVC MOS (VDD <sup>(1)</sup> = 3.3V)	0.0033	6.6	V/ns
		I2C OD FS (VDD <sup>(1)</sup> = 1.8V)	0.0018	6.6	V/ns
		I2C OD FS (VDD <sup>(1)</sup> = 3.3V)	0.0033	0.08	V/ns
出力条件					
C <sub>L</sub>	出力負荷容量	LVC MOS	3	10	pF
		I2C OD FS	3	100	pF

(1) VDD は、対応する電源を表します。電源名および対応するボールの詳細については、「ピン属性」表の「電源」列を参照してください。

**表 6-56. GPIO のタイミング要件**

番号	パラメータ	説明	最小値	最大値	単位
GPIO1	t <sub>w</sub> (GPIO_IN)	パルス幅、GPIO <sub>n_x</sub>	2P <sup>(1)</sup> + 30		ns

(1) P = 機能クロック周期 (ns 単位)。

**表 6-57. GPIO スイッチング特性**

番号	パラメータ	説明	バッファのタイプ	最小値	最大値	単位
GPIO2	t <sub>w</sub> (GPIO_OUT)	パルス幅、GPIO <sub>n_x</sub>	LVC MOS	0.975P <sup>(1)</sup> - 3.6		ns
			I2C OD FS	160		ns

(1) P = 機能クロック周期 (ns 単位)。

詳細については、デバイスのテクニカル リファレンス マニュアルで「ペリフェラル」の章にある「汎用インターフェイス (GPIO)」セクションを参照してください。

### 6.11.5.11 GPMC

本デバイスの汎用メモリコントローラの機能の詳細と追加の説明情報については、「信号の説明」および「詳細説明」セクションの対応するサブセクションを参照してください。

表 6-58 に、GPMC のタイミング条件を示します。

表 6-58. GPMC のタイミング条件

パラメータ		最小値	最大値	単位	
<b>入力条件</b>					
SR <sub>i</sub>	入力スルーレート	1.65	4	V/ns	
<b>出力条件</b>					
C <sub>L</sub>	出力負荷容量	2	20	pF	
<b>PCB 接続要件</b>					
t <sub>d</sub> (Trace Delay)	各パターンの伝搬遅延	133MHz 同期モード	140	360	ps
		その他のすべてのモード	140	720	ps
t <sub>d</sub> (Trace Mismatch Delay)	すべてのパターンにわたる伝搬遅延の不整合		200	ps	

詳細については、デバイスのテクニカル リファレンス マニュアルで「ペリフェラル」の章にある「汎用メモリ コントローラ (GPMC)」セクションを参照してください。

#### 6.11.5.11.1 GPMC および NOR フラッシュ — 同期モード

表 6-59 および 表 6-60 に、GPMC および NOR フラッシュ (同期モード) のタイミング要件とスイッチング特性を示します。

表 6-59. GPMC および NOR フラッシュのタイミング要件 — 同期モード

図 6-49、図 6-50、図 6-53 を参照

番号	パラメータ	説明	モード <sup>(4)</sup>	最小値	最大値	最小値	最大値	単位
				GPMC_FCLK = 100 MHz <sup>(1)</sup>	GPMC_FCLK = 133 MHz <sup>(1)</sup>	GPMC_FCLK = 100 MHz <sup>(1)</sup>	GPMC_FCLK = 133 MHz <sup>(1)</sup>	
F12	t <sub>su</sub> (dV-clkH)	セットアップ時間、入力データ GPMC_AD[15:0] 有効から出力クロック GPMC_CLK high まで	div_by_1_mode、 GPMC_FCLK_MUX、 TIMEPARAGRANULARITY_X1	1.61	0.92			ns
			not_div_by_1_mode、 GPMC_FCLK_MUX、 TIMEPARAGRANULARITY_X1	0.86	3.41			ns
F13	t <sub>h</sub> (clkH-dV)	ホールド時間、出力クロック GPMC_CLK high から入力データ GPMC_AD[15:0] 有効の間	div_by_1_mode、 GPMC_FCLK_MUX、 TIMEPARAGRANULARITY_X1	2.09	2.09			ns
			not_div_by_1_mode、 GPMC_FCLK_MUX、 TIMEPARAGRANULARITY_X1	2.09	2.09			ns
F21	t <sub>su</sub> (waitV-clkH)	セットアップ時間、入力待機 GPMC_WAIT <sub>ij</sub> <sup>(2) (3)</sup> 有効から出力クロック GPMC_CLK High まで	div_by_1_mode、 GPMC_FCLK_MUX、 TIMEPARAGRANULARITY_X1	1.61	0.92			ns
			not_div_by_1_mode、 GPMC_FCLK_MUX、 TIMEPARAGRANULARITY_X1	0.86	3.41			ns

**表 6-59. GPMC および NOR フラッシュのタイミング要件 — 同期モード (続き)**

図 6-49、図 6-50、図 6-53 を参照

番号	パラメータ	説明	モード <sup>(4)</sup>	最小値	最大値	最小値	最大値	単位
				GPMC_FCLK = 100 MHz <sup>(1)</sup>	GPMC_FCLK = 133 MHz <sup>(1)</sup>	GPMC_FCLK = 100 MHz <sup>(1)</sup>	GPMC_FCLK = 133 MHz <sup>(1)</sup>	
F22	t <sub>h</sub> (clkH-waitV)	ホールド時間、出力クロック GPMC_CLK high から入力待機 GPMC_WAIT[j] <sup>(2) (3)</sup> 有効の間	div_by_1_mode、 GPMC_FCLK_MUX、 TIMEPARAGRANULARITY_X1	2.09		2.09		ns
			not_div_by_1_mode、 GPMC_FCLK_MUX、 TIMEPARAGRANULARITY_X1	2.09		2.09		ns

(1) GPMC\_FCLK 選択

- gpmc\_fclk\_sel[1:0] = 2b01 で 100MHz GPMC\_FCLK を選択
- gpmc\_fclk\_sel[1:0] = 2b00 で 133MHz GPMC\_FCLK を選択

(2) GPMC\_WAIT[j] で、j は 0 または 1 です。

(3) 待機モニタリングのサポートは、WaitMonitoringTime の値 > 0 に制限されます。待機監視機能の詳細な説明については、デバイスのテクニカルリファレンス マニュアルで「汎用メモリコントローラ (GPMC)」セクションを参照してください。

(4) div\_by\_1\_mode の場合:

- GPMC\_CONFIG1\_i レジスタ: GPMCFCLKDIVIDER = 0h:
  - GPMC\_CLK 周波数 = GPMC\_FCLK 周波数

not\_div\_by\_1\_mode の場合:

- GPMC\_CONFIG1\_i レジスタ: GPMCFCLKDIVIDER = 1h~3h:
  - GPMC\_CLK 周波数 = GPMC\_FCLK 周波数 / (2~4)

GPMC\_FCLK\_MUX の場合:

- CTRLMMR\_GPMC\_CLKSEL[1-0] CLK\_SEL = 01 = PER1\_PLL\_CLKOUT / 3 = 300 / 3 = 100MHz

TIMEPARAGRANULARITY\_X1 に対し:

- GPMC\_CONFIG1\_i レジスタ: TIMEPARAGRANULARITY = 0h = x1 レイテンシ (RD/WRCYCLETIME、RD/WRACCESSTIME、PAGEBURSTACCESSTIME、CSONTIME、CSR/WROFFTIME、ADVONTIME、ADVWD/WROFFTIME、OEONTIME、OEOWFFTIME、WEONTIME、WEOWFFTIME、CYCLE2CYCLEDELAY、BUSTURNAROUND、TIMEOUTSTARTVALUE、WRDATAONADMUXBUS に影響)

**表 6-60. GPMC および NOR フラッシュのスイッチング特性 - 同期モード**

図 6-49、図 6-50、図 6-51、図 6-52、図 6-53 を参照

番号 <sup>(2)</sup>	パラメータ	説明	モード <sup>(16)</sup>	最小値	最大値	最小値	最大値	単位
				100 MHz		133 MHz		
F0	1 / tc(clk)	周期、出力クロック GPMC_CLK <sup>(15)</sup>	div_by_1_mode、 GPMC_FCLK_MUX、 TIMEPARAGRANULARITY_X1	10.00		7.52		ns
F1	t <sub>w</sub> (clkH)	標準パルス幅、出力クロック GPMC_CLK High	div_by_1_mode、 GPMC_FCLK_MUX、 TIMEPARAGRANULARITY_X1	0.475P - 0.3 <sup>(14)</sup>		0.475P - 0.3 <sup>(14)</sup>		ns
F1	t <sub>w</sub> (clkL)	標準パルス幅、出力クロック GPMC_CLK Low	div_by_1_mode、 GPMC_FCLK_MUX、 TIMEPARAGRANULARITY_X1	0.475P - 0.3 <sup>(14)</sup>		0.475P - 0.3 <sup>(14)</sup>		ns
F2	t <sub>d</sub> (clkH-csnV)	遅延時間、出力クロック GPMC_CLK 立ち上がりエッジから出力チップ セレクト GPMC_CS[n] 遷移まで <sup>(13)</sup>	div_by_1_mode; GPMC_FCLK_MUX; TIMEPARAGRANULARITY_X1; extra_delay なし	F - 2.2 (5)	F + 3.75	F - 2.2 (5)	F + 3.75	ns
F3	t <sub>d</sub> (clkH-CSn[j]V)	遅延時間、出力クロック GPMC_CLK 立ち上がりエッジから出力チップ セレクト GPMC_CS[n] 無効まで <sup>(13)</sup>	div_by_1_mode; GPMC_FCLK_MUX; TIMEPARAGRANULARITY_X1; extra_delay なし	E - 2.2 (4)	E + 3.18	E - 2.2 (4)	E + 4.5	ns

表 6-60. GPMC および NOR フラッシュのスイッチング特性 - 同期モード (続き)

図 6-49、図 6-50、図 6-51、図 6-52、図 6-53 を参照

番号 (2)	パラメータ	説明	モード <sup>(16)</sup>	最小値	最大値	最小値	最大値	単位
				100 MHz		133 MHz		
F4	t <sub>d(av-clk)</sub>	遅延時間、出力アドレス GPMC_A[27:1] 有効から出力クロック GPMC_CLK の最初のエッジまで	div_by_1_mode、 GPMC_FCLK_MUX、 TIMEPARAGRANULARITY_X1	B - 2.3 (2)	B + 4.5	B - 2.3 (2)	B + 4.5	ns
F5	t <sub>d(clkH-aIV)</sub>	遅延時間、出力クロック GPMC_CLK 立ち上がりエッジから出力アドレス GPMC_A[27:1] 無効まで	div_by_1_mode、 GPMC_FCLK_MUX、 TIMEPARAGRANULARITY_X1	-2.3	4.5	-2.3	4.5	ns
F6	t <sub>d(be[x]nV-clk)</sub>	遅延時間、出力下位バイト イネーブルおよびコマンド ラッチ イネーブル GPMC_BE0n_CLE、出力上位バイト イネーブル GPMC_BE1n 有効から出力クロック GPMC_CLK の最初のエッジまで	div_by_1_mode、 GPMC_FCLK_MUX、 TIMEPARAGRANULARITY_X1	B - 2.3 (2)	B + 1.9	B - 2.3 (2)	B + 1.9	ns
F7	t <sub>d(clkH-be[x]nIV)</sub>	遅延時間、出力クロック GPMC_CLK 立ち上がりエッジから出力下位バイトのイネーブルおよびコマンド ラッチのイネーブル GPMC_BE0n_CLE、出力上位バイトのイネーブル GPMC_BE1n 無効まで <sup>(10)</sup>	div_by_1_mode、 GPMC_FCLK_MUX、 TIMEPARAGRANULARITY_X1	D - 2.3 (3)	D + 1.9	D - 2.3 (3)	D + 1.9	ns
F7	t <sub>d(clkL-be[x]nIV)</sub>	遅延時間、GPMC_CLK 立下りエッジから GPMC_BE0n_CLE、GPMC_BE1n 無効まで <sup>(11)</sup>	div_by_1_mode、 GPMC_FCLK_MUX、 TIMEPARAGRANULARITY_X1	D - 2.3 (3)	D + 1.9	D - 2.3 (3)	D + 1.9	ns
F7	t <sub>d(clkL-be[x]nIV)</sub>	遅延時間、GPMC_CLK 立下りエッジから GPMC_BE0n_CLE、GPMC_BE1n 無効まで <sup>(12)</sup>	div_by_1_mode、 GPMC_FCLK_MUX、 TIMEPARAGRANULARITY_X1	D - 2.3 (3)	D + 1.9	D - 2.3 (3)	D + 1.9	ns
F8	t <sub>d(clkH-advn)</sub>	遅延時間、出力クロック GPMC_CLK 立ち上がりエッジから出力アドレス有効およびアドレス ラッチ イネーブル GPMC_ADVn_ALE 遷移まで	div_by_1_mode、 GPMC_FCLK_MUX、 TIMEPARAGRANULARITY_X1、 extra_delay なし	G - 2.3 (6)	G + 4.5	G - 2.3 (6)	G + 4.5	ns
F9	t <sub>d(clkH-advnIV)</sub>	遅延時間、出力クロック GPMC_CLK 立ち上がりエッジから出力アドレス有効およびアドレス ラッチ イネーブル GPMC_ADVn_ALE 無効まで	div_by_1_mode、 GPMC_FCLK_MUX、 TIMEPARAGRANULARITY_X1、 extra_delay なし	D - 2.3 (3)	D + 4.5	D - 2.3 (3)	D + 4.5	ns
F10	t <sub>d(clkH-oen)</sub>	遅延時間、出力クロック GPMC_CLK 立ち上がりエッジから出力イネーブル GPMC_OEn_REn 遷移まで	div_by_1_mode、 GPMC_FCLK_MUX、 TIMEPARAGRANULARITY_X1、 extra_delay なし	H - 2.3 (7)	H + 3.5	H - 2.3 (7)	H + 3.5	ns
F11	t <sub>d(clkH-oenIV)</sub>	遅延時間、出力クロック GPMC_CLK 立ち上がりエッジから出力イネーブル GPMC_OEn_REn 無効まで	div_by_1_mode、 GPMC_FCLK_MUX、 TIMEPARAGRANULARITY_X1、 extra_delay なし	H - 2.3 (7)	H + 3.5	H - 2.3 (7)	H + 3.5	ns
F14	t <sub>d(clkH-wen)</sub>	遅延時間、出力クロック GPMC_CLK 立ち上がりエッジから出力書き込みイネーブル GPMC_WEn 遷移まで	div_by_1_mode、 GPMC_FCLK_MUX、 TIMEPARAGRANULARITY_X1、 extra_delay なし	I - 2.3 (8)	I + 4.5	I - 2.3 (8)	I + 4.5	ns
F15	t <sub>d(clkH-do)</sub>	遅延時間、出力クロック GPMC_CLK 立ち上がりエッジから出力データ GPMC_AD[15:0] 遷移まで <sup>(10)</sup>	div_by_1_mode、 GPMC_FCLK_MUX、 TIMEPARAGRANULARITY_X1	J - 2.3 (9)	J + 2.7	J - 2.3 (9)	J + 2.7	ns
F15	t <sub>d(clkL-do)</sub>	遅延時間、GPMC_CLK 立ち下がりエッジから GPMC_AD[15:0] データバス遷移まで <sup>(11)</sup>	div_by_1_mode、 GPMC_FCLK_MUX、 TIMEPARAGRANULARITY_X1	J - 2.3 (9)	J + 2.7	J - 2.3 (9)	J + 2.7	ns
F15	t <sub>d(clkL-do)</sub>	遅延時間、GPMC_CLK 立ち下がりエッジから GPMC_AD[15:0] データバス遷移まで <sup>(12)</sup>	div_by_1_mode、 GPMC_FCLK_MUX、 TIMEPARAGRANULARITY_X1	J - 2.3 (9)	J + 2.7	J - 2.3 (9)	J + 2.7	ns

表 6-60. GPMC および NOR フラッシュのスイッチング特性 - 同期モード (続き)

図 6-49、図 6-50、図 6-51、図 6-52、図 6-53 を参照

番号 (2)	パラメータ	説明	モード <sup>(16)</sup>	最小値	最大値	最小値	最大値	単位
				100 MHz		133 MHz		
F17	$t_{d(\text{clkH-be}[x]n)}$	遅延時間、出力クロック GPMC_CLK 立ち上がりエッジから出力下位バイト イネーブルおよびコマンド ラッチ イネーブル GPMC_BE0n_CLE 遷移まで <sup>(10)</sup>	div_by_1_mode、 GPMC_FCLK_MUX、 TIMEPARAGRANULARITY_X1	J - 2.3 (9)	J + 1.9	J - 2.3 (9)	J + 1.9	ns
F17	$t_{d(\text{clkL-be}[x]n)}$	遅延時間、GPMC_CLK 立ち下がりエッジから GPMC_BE0n_CLE、GPMC_BE1n 遷移まで <sup>(11)</sup>	div_by_1_mode、 GPMC_FCLK_MUX、 TIMEPARAGRANULARITY_X1	J - 2.3 (9)	J + 1.9	J - 2.3 (9)	J + 1.9	ns
F17	$t_{d(\text{clk-be}[x]n)}$	遅延時間、GPMC_CLK 立ち下がりエッジから GPMC_BE0n_CLE、GPMC_BE1n 遷移まで <sup>(12)</sup>	div_by_1_mode、 GPMC_FCLK_MUX、 TIMEPARAGRANULARITY_X1	J - 2.3 (9)	J + 1.9	J - 2.3 (9)	J + 1.9	ns
F18	$t_{w(\text{csnV})}$	パルス幅、出力チップ セレクト GPMC_CSn[i] <sup>(13)</sup> low	読み出し	A		A		ns
			書き込み	A		A		ns
F19	$t_{w(\text{be}[x]nV)}$	パルス幅、出力下位バイト イネーブルおよびコマンド ラッチ イネーブル GPMC_BE0n_CLE、出力上位バイト イネーブル GPMC_BE1n Low	読み出し	C		C		ns
			書き込み	C		C		ns
F20	$t_{w(\text{advnV})}$	パルス幅、出力アドレス有効およびアドレス ラッチ イネーブル GPMC_ADVn_ALE Low	読み出し	K		K		ns
			書き込み	K		K		ns

- (1) 単一読み取りの場合:  $A = (\text{CSRdOffTime} - \text{CSOnTime}) \times (\text{TimeParaGranularity} + 1) \times \text{GPMC\_FCLK}^{(14)}$   
 バースト読み取りの場合:  $A = (\text{CSRdOffTime} - \text{CSOnTime} + (n - 1) \times \text{PageBurstAccessTime}) \times (\text{TimeParaGranularity} + 1) \times \text{GPMC\_FCLK}^{(14)}$   
 バースト書き込みの場合:  $A = (\text{CSWrOffTime} - \text{CSOnTime} + (n - 1) \times \text{PageBurstAccessTime}) \times (\text{TimeParaGranularity} + 1) \times \text{GPMC\_FCLK}^{(14)}$   
 n はページ バースト アクセス数。
- (2)  $B = \text{ClkActivationTime} \times \text{GPMC\_FCLK}^{(14)}$
- (3) 単一読み取りの場合:  $D = (\text{RdCycleTime} - \text{AccessTime}) \times (\text{TimeParaGranularity} + 1) \times \text{GPMC\_FCLK}^{(14)}$   
 バースト読み取りの場合:  $D = (\text{RdCycleTime} - \text{AccessTime}) \times (\text{TimeParaGranularity} + 1) \times \text{GPMC\_FCLK}^{(14)}$   
 バースト書き込みの場合:  $D = (\text{WrCycleTime} - \text{AccessTime}) \times (\text{TimeParaGranularity} + 1) \times \text{GPMC\_FCLK}^{(14)}$
- (4) 単一読み取りの場合:  $E = (\text{CSRdOffTime} - \text{AccessTime}) \times (\text{TimeParaGranularity} + 1) \times \text{GPMC\_FCLK}^{(14)}$   
 バースト読み取りの場合:  $E = (\text{CSRdOffTime} - \text{AccessTime}) \times (\text{TimeParaGranularity} + 1) \times \text{GPMC\_FCLK}^{(14)}$   
 バースト書き込みの場合:  $E = (\text{CSWrOffTime} - \text{AccessTime}) \times (\text{TimeParaGranularity} + 1) \times \text{GPMC\_FCLK}^{(14)}$
- (5) csn 立ち下がりエッジ (CS がアクティブ) の場合:
- Case GPMCFCLKDIVIDER = 0:
    - $F = 0.5 \times \text{CSExtraDelay} \times \text{GPMC\_FCLK}^{(14)}$
  - Case GPMCFCLKDIVIDER = 1:
    - $F = 0.5 \times \text{CSExtraDelay} \times \text{GPMC\_FCLK}^{(14)}$  if (ClkActivationTime および CSOnTime が奇数) or (ClkActivationTime および CSOnTime が偶数)
    - $F = (1 + 0.5 \times \text{CSExtraDelay}) \times \text{GPMC\_FCLK}^{(14)}$  otherwise
  - Case GPMCFCLKDIVIDER = 2:
    - $f = 0.5 \times \text{CSExtraDelay} \times \text{GPMC\_FCLK}^{(14)}$  if ((CSOnTime - ClkActivationTime) が 3 の倍数)
    - $F = (1 + 0.5 \times \text{CSExtraDelay}) \times \text{GPMC\_FCLK}^{(14)}$  if ((CSOnTime - ClkActivationTime - 1) が 3 の倍数)
    - $F = (2 + 0.5 \times \text{CSExtraDelay}) \times \text{GPMC\_FCLK}^{(14)}$  if ((CSOnTime - ClkActivationTime - 2) が 3 の倍数)
- (6) ADV 立ち下がりエッジ (ADV がアクティブ) の場合:
- Case GPMCFCLKDIVIDER = 0:
    - $G = 0.5 \times \text{ADVExtraDelay} \times \text{GPMC\_FCLK}^{(14)}$
  - Case GPMCFCLKDIVIDER = 1:
    - $G = 0.5 \times \text{ADVExtraDelay} \times \text{GPMC\_FCLK}^{(14)}$  if (ClkActivationTime および ADVOnTime が奇数) or (ClkActivationTime および ADVOnTime が偶数)
    - $G = (1 + 0.5 \times \text{ADVExtraDelay}) \times \text{GPMC\_FCLK}^{(14)}$  otherwise

- Case GPMCFCLKDIVIDER = 2:
  - $G = 0.5 \times \text{ADVExtraDelay} \times \text{GPMC\_FCLK}^{(14)}$  if  $((\text{ADVOnTime} - \text{ClkActivationTime})$  が 3 の倍数)
  - $G = (1 + 0.5 \times \text{ADVExtraDelay}) \times \text{GPMC\_FCLK}^{(14)}$  if  $((\text{ADVOnTime} - \text{ClkActivationTime} - 1)$  が 3 の倍数)
  - $G = (2 + 0.5 \times \text{ADVExtraDelay}) \times \text{GPMC\_FCLK}^{(14)}$  if  $((\text{ADVOnTime} - \text{ClkActivationTime} - 2)$  が 3 の倍数)

読み取りモードでの ADV 立ち上がりエッジ (ADV が非アクティブ) の場合:

- Case GPMCFCLKDIVIDER = 0:
  - $G = 0.5 \times \text{ADVExtraDelay} \times \text{GPMC\_FCLK}^{(14)}$
- Case GPMCFCLKDIVIDER = 1:
  - $G = 0.5 \times \text{ADVExtraDelay} \times \text{GPMC\_FCLK}^{(14)}$  if  $(\text{ClkActivationTime}$  および  $\text{ADVRdOffTime}$  が奇数) or  $(\text{ClkActivationTime}$  および  $\text{ADVRdOffTime}$  が偶数)
  - $G = (1 + 0.5 \times \text{ADVExtraDelay}) \times \text{GPMC\_FCLK}^{(14)}$  otherwise
- Case GPMCFCLKDIVIDER = 2:
  - $G = 0.5 \times \text{ADVExtraDelay} \times \text{GPMC\_FCLK}^{(14)}$  if  $((\text{ADVRdOffTime} - \text{ClkActivationTime})$  が 3 の倍数)
  - $G = (1 + 0.5 \times \text{ADVExtraDelay}) \times \text{GPMC\_FCLK}^{(14)}$  if  $((\text{ADVRdOffTime} - \text{ClkActivationTime} - 1)$  が 3 の倍数)
  - $G = (2 + 0.5 \times \text{ADVExtraDelay}) \times \text{GPMC\_FCLK}^{(14)}$  if  $((\text{ADVRdOffTime} - \text{ClkActivationTime} - 2)$  が 3 の倍数)

書き込みモードでの ADV 立ち上がりエッジ (ADV が非アクティブ) の場合:

- Case GPMCFCLKDIVIDER = 0:
  - $G = 0.5 \times \text{ADVExtraDelay} \times \text{GPMC\_FCLK}^{(14)}$
- Case GPMCFCLKDIVIDER = 1:
  - $G = 0.5 \times \text{ADVExtraDelay} \times \text{GPMC\_FCLK}^{(14)}$  if  $(\text{ClkActivationTime}$  および  $\text{ADVWrOffTime}$  が奇数) または  $(\text{ClkActivationTime}$  および  $\text{ADVWrOffTime}$  が偶数)
  - $G = (1 + 0.5 \times \text{ADVExtraDelay}) \times \text{GPMC\_FCLK}^{(14)}$  otherwise
- Case GPMCFCLKDIVIDER = 2:
  - $G = 0.5 \times \text{ADVExtraDelay} \times \text{GPMC\_FCLK}^{(14)}$  if  $((\text{ADVWrOffTime} - \text{ClkActivationTime})$  が 3 の倍数)
  - $G = (1 + 0.5 \times \text{ADVExtraDelay}) \times \text{GPMC\_FCLK}^{(14)}$  if  $((\text{ADVWrOffTime} - \text{ClkActivationTime} - 1)$  が 3 の倍数)
  - $G = (2 + 0.5 \times \text{ADVExtraDelay}) \times \text{GPMC\_FCLK}^{(14)}$  if  $((\text{ADVWrOffTime} - \text{ClkActivationTime} - 2)$  が 3 の倍数)

(7) OE の立ち下がりエッジ (OE がアクティブ) および IO DIR の立ち上がりエッジ (データバスが入力方向) の場合:

- Case GPMCFCLKDIVIDER = 0:
  - $H = 0.5 \times \text{OEExtraDelay} \times \text{GPMC\_FCLK}^{(14)}$
- Case GPMCFCLKDIVIDER = 1:
  - $H = 0.5 \times \text{OEExtraDelay} \times \text{GPMC\_FCLK}^{(14)}$  if  $(\text{ClkActivationTime}$  および  $\text{OEOnTime}$  が奇数) または  $(\text{ClkActivationTime}$  および  $\text{OEOnTime}$  が偶数)
  - $H = (1 + 0.5 \times \text{OEExtraDelay}) \times \text{GPMC\_FCLK}^{(14)}$  otherwise
- Case GPMCFCLKDIVIDER = 2:
  - $H = 0.5 \times \text{OEExtraDelay} \times \text{GPMC\_FCLK}^{(14)}$  if  $((\text{OEOnTime} - \text{ClkActivationTime})$  が 3 の倍数)
  - $H = (1 + 0.5 \times \text{OEExtraDelay}) \times \text{GPMC\_FCLK}^{(14)}$  if  $((\text{OEOnTime} - \text{ClkActivationTime} - 1)$  が 3 の倍数)
  - $H = (2 + 0.5 \times \text{OEExtraDelay}) \times \text{GPMC\_FCLK}^{(14)}$  if  $((\text{OEOnTime} - \text{ClkActivationTime} - 2)$  が 3 の倍数)

OE 立ち上がりエッジ (OE が非アクティブ) の場合:

- Case GPMCFCLKDIVIDER = 0:
  - $H = 0.5 \times \text{OEExtraDelay} \times \text{GPMC\_FCLK}^{(14)}$
- Case GPMCFCLKDIVIDER = 1:
  - $H = 0.5 \times \text{OEExtraDelay} \times \text{GPMC\_FCLK}^{(14)}$  if  $(\text{ClkActivationTime}$  および  $\text{OEOffTime}$  が奇数) または  $(\text{ClkActivationTime}$  および  $\text{OEOffTime}$  が偶数)
  - $H = (1 + 0.5 \times \text{OEExtraDelay}) \times \text{GPMC\_FCLK}^{(14)}$  otherwise
- Case GPMCFCLKDIVIDER = 2:
  - $H = 0.5 \times \text{OEExtraDelay} \times \text{GPMC\_FCLK}^{(14)}$  if  $((\text{OEOffTime} - \text{ClkActivationTime})$  が 3 の倍数)
  - $H = (1 + 0.5 \times \text{OEExtraDelay}) \times \text{GPMC\_FCLK}^{(14)}$  if  $((\text{OEOffTime} - \text{ClkActivationTime} - 1)$  が 3 の倍数)
  - $H = (2 + 0.5 \times \text{OEExtraDelay}) \times \text{GPMC\_FCLK}^{(14)}$  if  $((\text{OEOffTime} - \text{ClkActivationTime} - 2)$  が 3 の倍数)

(8) WE 立ち下がりエッジ (WE がアクティブ) の場合:

- Case GPMCFCLKDIVIDER = 0:

- $I = 0.5 \times WEEExtraDelay \times GPMC\_FCLK^{(14)}$
- Case GPMCFCLKDIVIDER = 1:
  - $I = 0.5 \times WEEExtraDelay \times GPMC\_FCLK^{(14)}$  if (ClkActivationTime および WEOnTime が奇数) or (ClkActivationTime および WEOnTime が偶数)
  - $I = (1 + 0.5 \times WEEExtraDelay) \times GPMC\_FCLK^{(14)}$  otherwise
- Case GPMCFCLKDIVIDER = 2:
  - $I = 0.5 \times WEEExtraDelay \times GPMC\_FCLK^{(14)}$  if ((WEOnTime - ClkActivationTime) が 3 の倍数)
  - $I = (1 + 0.5 \times WEEExtraDelay) \times GPMC\_FCLK^{(14)}$  if ((WEOnTime - ClkActivationTime - 1) が 3 の倍数)
  - $I = (2 + 0.5 \times WEEExtraDelay) \times GPMC\_FCLK^{(14)}$  if ((WEOnTime - ClkActivationTime - 2) が 3 の倍数)

WE 立ち上がりエッジ (WE が非アクティブ) の場合:

- Case GPMCFCLKDIVIDER = 0:
    - $I = 0.5 \times WEEExtraDelay \times GPMC\_FCLK^{(14)}$
  - Case GPMCFCLKDIVIDER = 1:
    - $I = 0.5 \times WEEExtraDelay \times GPMC\_FCLK^{(14)}$  if (ClkActivationTime および WEOffTime が奇数) or (ClkActivationTime および WEOffTime が偶数)
    - $I = (1 + 0.5 \times WEEExtraDelay) \times GPMC\_FCLK^{(14)}$  otherwise
  - Case GPMCFCLKDIVIDER = 2:
    - $I = 0.5 \times WEEExtraDelay \times GPMC\_FCLK^{(14)}$  if ((WEOffTime - ClkActivationTime) が 3 の倍数)
    - $I = (1 + 0.5 \times WEEExtraDelay) \times GPMC\_FCLK^{(14)}$  if ((WEOffTime - ClkActivationTime - 1) が 3 の倍数)
    - $I = (2 + 0.5 \times WEEExtraDelay) \times GPMC\_FCLK^{(14)}$  if ((WEOffTime - ClkActivationTime - 2) が 3 の倍数)
- (9)  $J = GPMC\_FCLK^{(14)}$
- (10) 最初の転送は、CLK DIV 1 モードのみです。
- (11) CLK DIV 1 モードでの初期転送の後、すべてのデータは半サイクルです。
- (12) CLK DIV 1 モード以外のモードでは、すべてのデータは GPMC\_CLKOUT の半サイクルです。GPMC\_FCLK から GPMC\_CLKOUT を分周します。
- (13) GPMC\_CS*n*[*j*] で、*i* は 0、1、2、または 3 です。GPMC\_WAIT[*j*] で、*j* は 0 または 1 です。
- (14)  $P = GPMC\_CLK$  周期 (ns 単位)
- (15) GPMC モジュールで、GPMC\_CONFIG1\_*i* 構成レジスタのビット フィールド GPMCFCLKDIVIDER の設定によりプログラム可能な、GPMC\_CLK 出力クロックの最高および最低周波数に関連します。
- (16) div\_by\_1\_mode の場合:
- GPMC\_CONFIG1\_*i* レジスタ: GPMCFCLKDIVIDER = 0h:
    - GPMC\_CLK 周波数 = GPMC\_FCLK 周波数

GPMC\_FCLK\_MUX の場合:

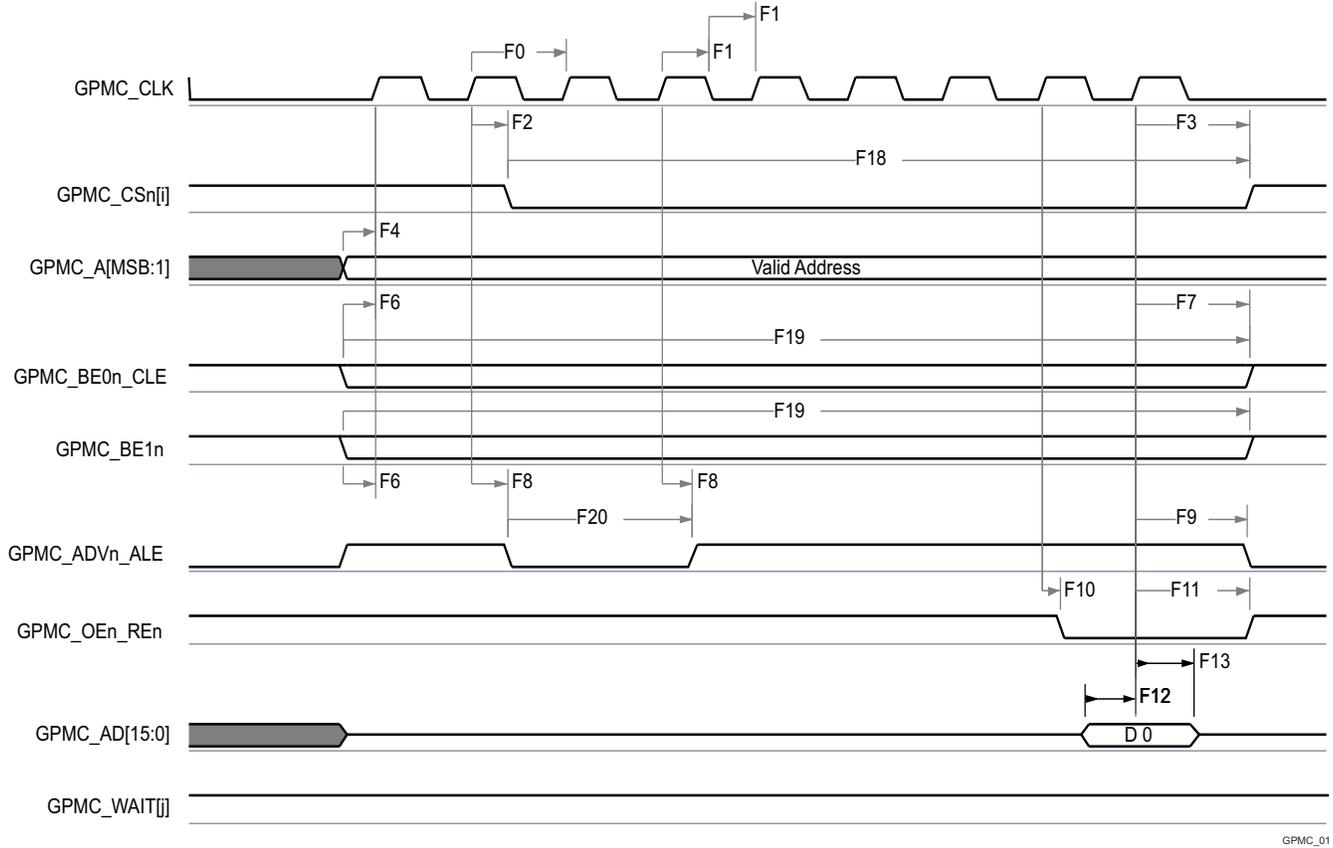
- CTRLMMR\_GPMC\_CLKSEL[1-0] CLK\_SEL = 01 = PER1\_PLL\_CLKOUT / 3 = 300 / 3 = 100MHz

TIMEPARAGRANULARITY\_X1 に対し:

- GPMC\_CONFIG1\_*i* レジスタ: TIMEPARAGRANULARITY = 0h = x1 レイテンシ (RD/WRCYCLETIME、RD/WRACCESSTIME、PAGEBURSTACCESSTIME、CSONTIME、CSR/DWROFFTIME、ADVONTIME、ADV/DWROFFTIME、OEONTIME、OE/OFFTIME、WEONTIME、WEOFFTIME、CYCLE2CYCLEDELAY、BUSTURNAROUND、TIMEOUTSTARTVALUE、WRDATAONADMUXBUS に影響)

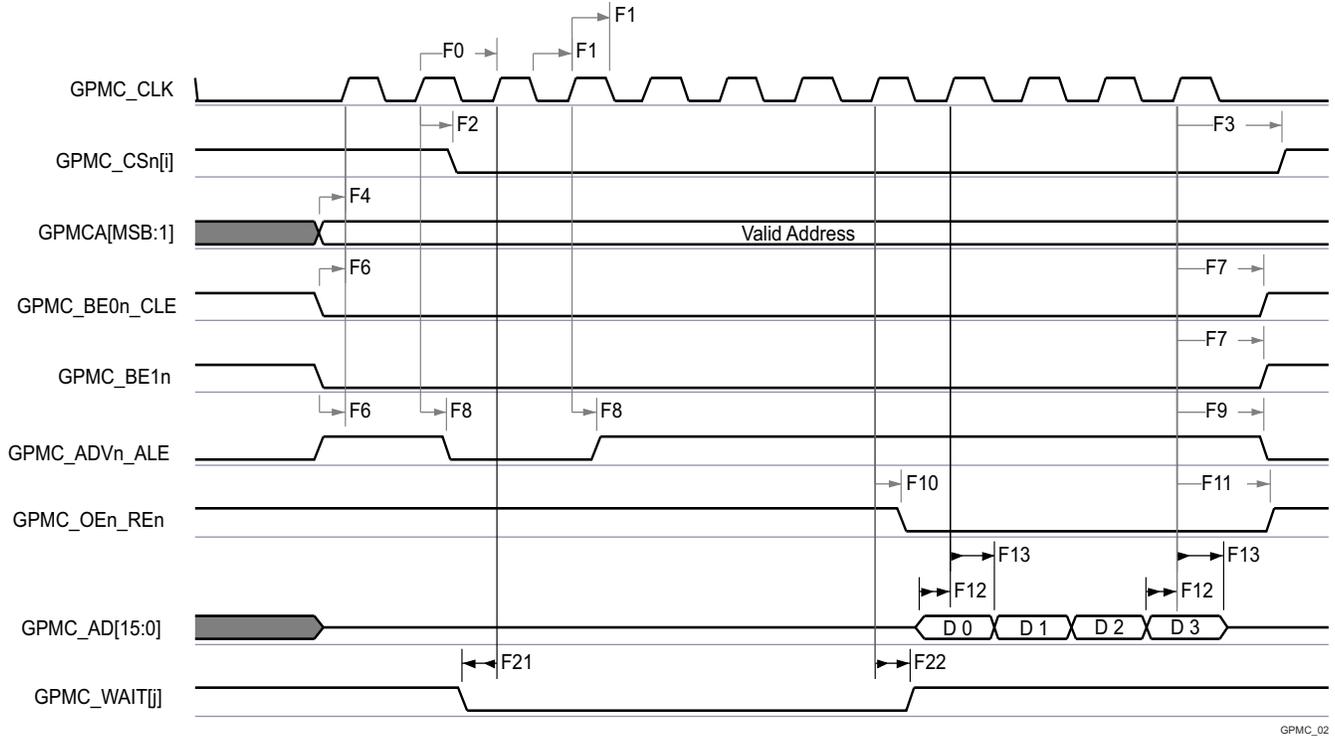
extra\_delay なしの場合:

- GPMC\_CONFIG2\_*j* レジスタ: CSEXTRADELAY = 0h = CS*n* タイミング制御信号は遅延しない
- GPMC\_CONFIG4\_*j* レジスタ: WEEXTRADELAY = 0h = WE タイミング制御信号は遅延しない
- GPMC\_CONFIG4\_*j* レジスタ: OEEXTRADELAY = 0h = OE タイミング制御信号は遅延しない
- GPMC\_CONFIG3\_*j* レジスタ: ADVEXTRADELAY = 0h = ADV タイミング制御信号は遅延しない



- A. GPMC\_CSn[i] で、i は 0、1、2、または 3 です。
- B. GPMC\_WAIT[j] で、j は 0 または 1 です。

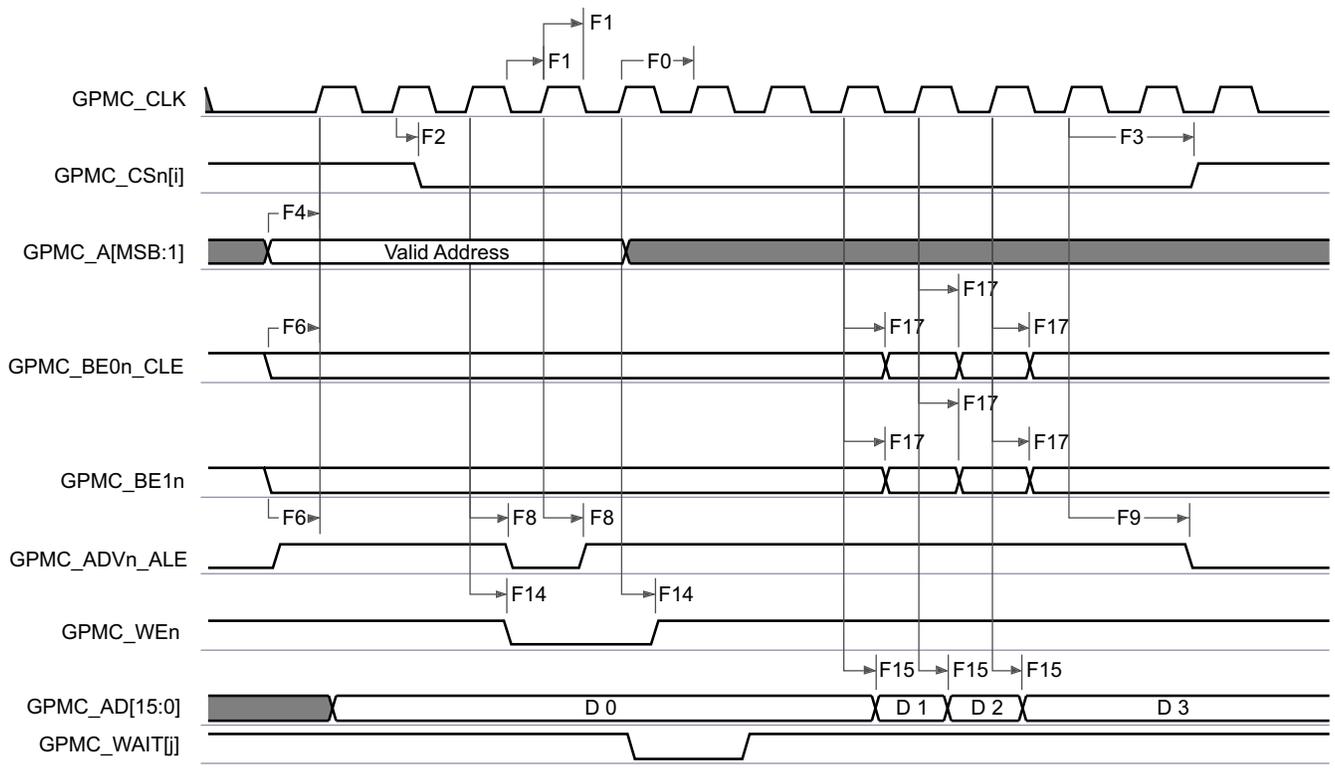
図 6-49. GPMC および NOR フラッシュ — 同期単一読み出し (GPMCFCLKDIVIDER = 0)



GPMC\_02

- A. GPMC\_CS[n] で、i は 0、1、2、または 3 です。
- B. GPMC\_WAIT[j] で、j は 0 または 1 です。

図 6-50. GPMC および NOR フラッシュ — 同期バースト読み出し — 4x16 ビット (GPMCFCLKDIVIDER = 0)

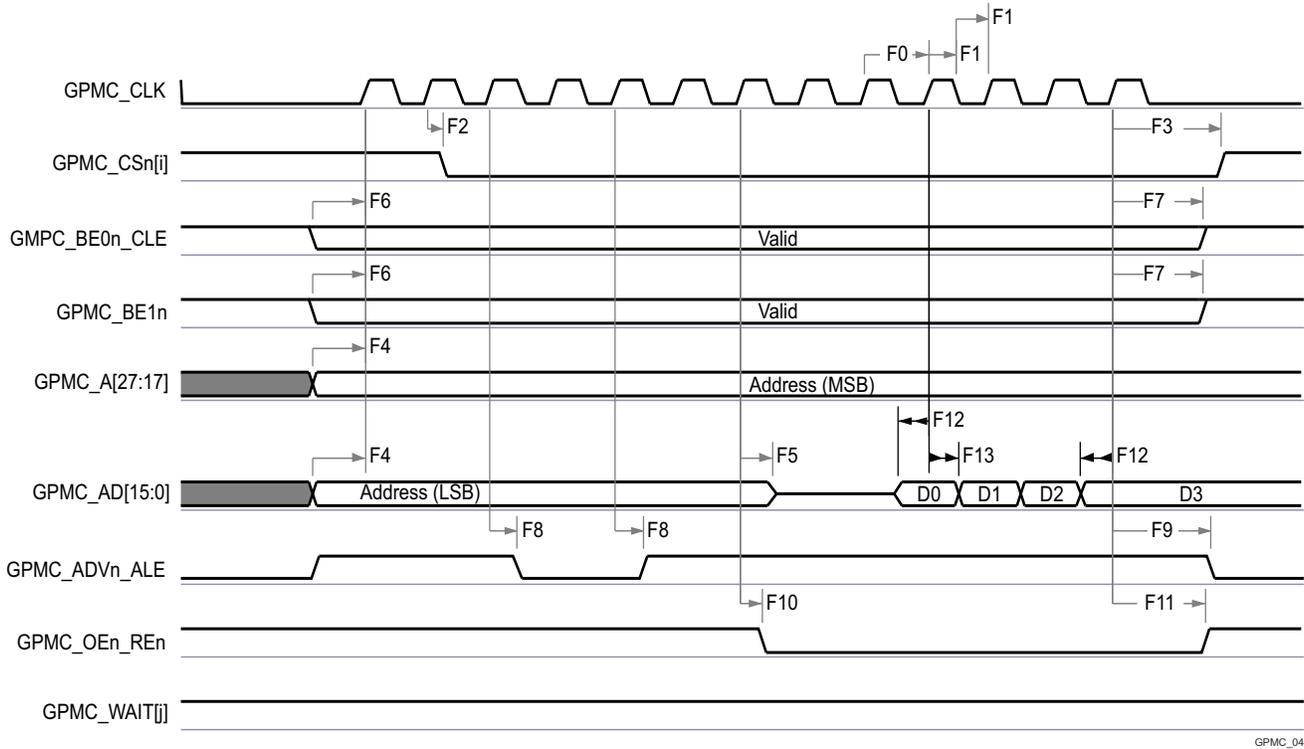


GPMC\_03

- A. GPMC\_CS[n] で、i は 0、1、2、または 3 です。

B. GPMC\_WAIT[j] で、j は 0 または 1 です。

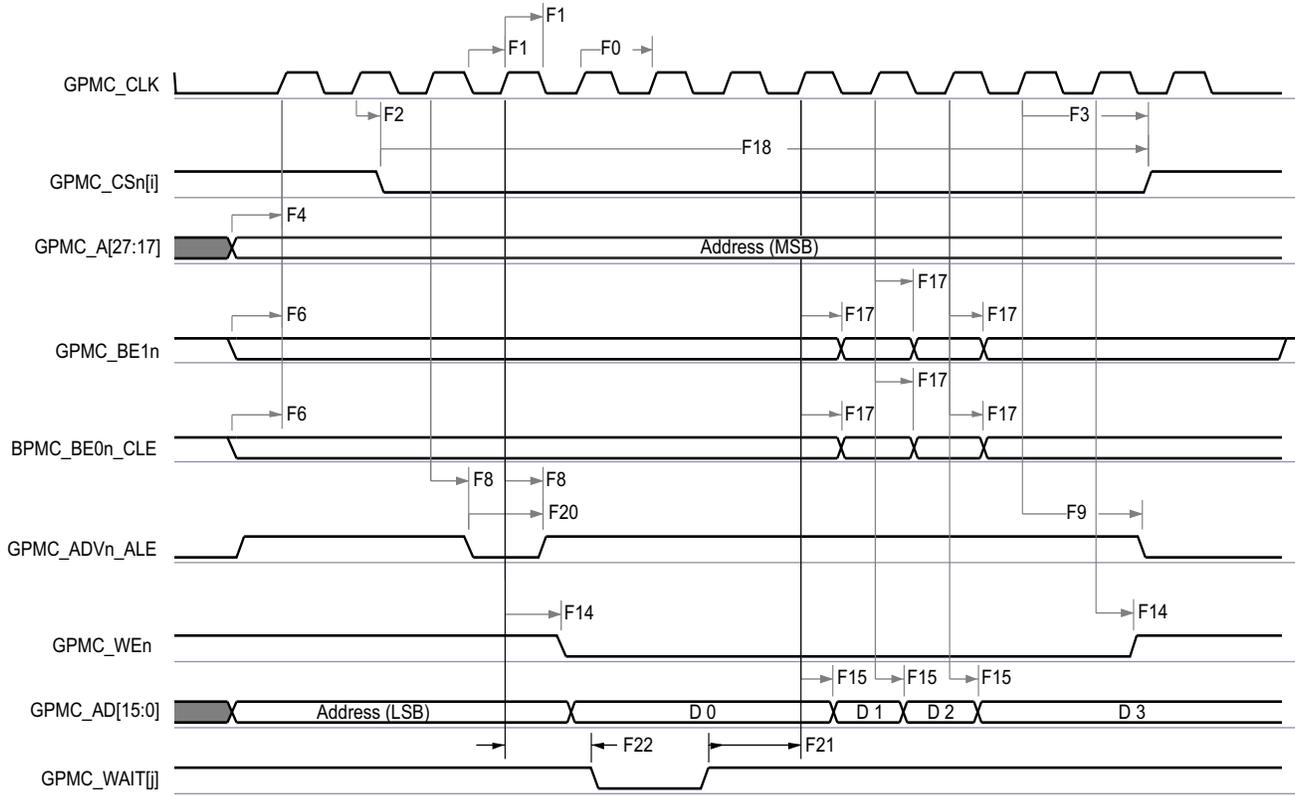
図 6-51. GPMC および NOR フラッシュ — 同期バースト書き込み (GPMCFCLKDIVIDER = 0)



GPMC\_04

- A. GPMC\_CS[n][i] で、i は 0、1、2、または 3 です。  
B. GPMC\_WAIT[j] で、j は 0 または 1 です。

図 6-52. GPMC および多重化 NOR フラッシュ — 同期バースト読み出し



GPMC\_05

- A. GPMC\_CS[n][i] で、i は 0、1、2、または 3 です。
- B. GPMC\_WAIT[j] で、j は 0 または 1 です。

図 6-53. GPMC および多重化 NOR フラッシュ — 同期バースト書き込み

6.11.5.11.2 GPMC および NOR フラッシュ – 非同期モード

表 6-61 および 表 6-62 に、GPMC および NOR フラッシュ - 非同期モードのタイミング要件とスイッチング特性を示します。

表 6-61. GPMC および NOR フラッシュのタイミング要件 – 非同期モード

図 6-54、図 6-55、図 6-56、図 6-58 を参照

番号	パラメータ	説明	モード	最小値	最大値	単位
FA5 <sup>(1)</sup>	t <sub>acc(d)</sub>	データ アクセス時間	div_by_1_mode、 GPMC_FCLK_MUX、 TIMEPARAGRANULARITY_X1		H <sup>(4)</sup>	ns
FA20 <sup>(2)</sup>	t <sub>acc1-pgmode(d)</sub>	ページ モードの連続データ アクセス時間	div_by_1_mode、 GPMC_FCLK_MUX、 TIMEPARAGRANULARITY_X1		P <sup>(3)</sup>	ns
FA21 <sup>(1)</sup>	t <sub>acc2-pgmode(d)</sub>	ページ モードの最初のデータ アクセス時間	div_by_1_mode、 GPMC_FCLK_MUX、 TIMEPARAGRANULARITY_X1		H <sup>(4)</sup>	ns

- (1) FA5 パラメータは、入力データを内部的にサンプリングするために必要な時間を示します。これは、GPMC 機能クロック サイクル数で表されます。読み取りサイクルの開始から FA5 機能クロック サイクル経過後、入力データはアクティブな機能クロック エッジによって内部的にサンプリングされます。FA5 の値は、AccessTime レジスタ ビット フィールドに保存する必要があります。
- (2) FA20 パラメータは、連続する入力ページ データを内部でサンプリングするために必要な時間を示します。これは、GPMC 機能クロック サイクル数で表されます。入力ページ データへの各アクセスの後、FA20 機能クロック サイクル経過後、次の入力ページ データはアクティブな機能クロック エッジによって内部的にサンプリングされます。FA20 の値は、PageBurstAccessTime レジスタのビット フィールドに保存する必要があります。
- (3) P = PageBurstAccessTime × (TimeParaGranularity + 1) × GPMC\_FCLK<sup>(5)</sup>
- (4) H = AccessTime × (TimeParaGranularity + 1) × GPMC\_FCLK<sup>(5)</sup>
- (5) GPMC\_FCLK は、汎用メモリ コントローラの内部機能クロック周期で、ns 単位です。

表 6-62. GPMC および NOR フラッシュのスイッチング特性 – 非同期モード

図 6-54、図 6-55、図 6-56、図 6-57、図 6-58、図 6-59 参照

番号	パラメータ	説明	MODE <sup>(15)</sup>	最小値	最大値	単位
				133 MHz		
FA0	t <sub>w(be x)nV)</sub>	パルス幅、出力下位バイト イネーブルおよびコマンドラッチ イネーブル GPMC_BE0n_CLE、出力上位バイト イネーブル GPMC_BE1n 有効時間	読み出し		N <sup>(12)</sup>	ns
			書き込み		N <sup>(12)</sup>	
FA1	t <sub>w(csnV)</sub>	パルス幅、出力チップ セレクト GPMC_CS <i>n</i> [ <i>j</i> ] <sup>(13)</sup> low	読み出し		A <sup>(1)</sup>	ns
			書き込み		A <sup>(1)</sup>	
FA3	t <sub>d(csnV-advnV)</sub>	遅延時間、出力チップ セレクト GPMC_CS <i>n</i> [ <i>j</i> ] <sup>(13)</sup> 有効から出力アドレス有効およびアドレスラッチ イネーブル GPMC_ADV <i>n</i> _ALE 無効まで	読み出し	B - 2 <sup>(2)</sup>	B + 2 <sup>(2)</sup>	ns
			書き込み	B - 2 <sup>(2)</sup>	B + 2 <sup>(2)</sup>	
FA4	t <sub>d(csnV-oenV)</sub>	遅延時間、出力チップセレクト GPMC_CS <i>n</i> [ <i>j</i> ] <sup>(13)</sup> 有効から 出力イネーブル GPMC_OEn_REn 無効まで (単一読み取り)	div_by_1_mode、 GPMC_FCLK_MUX、 TIMEPARAGRANULARITY_X1	C - 2 <sup>(3)</sup>	C + 2 <sup>(3)</sup>	ns
FA9	t <sub>d(aV-csnV)</sub>	遅延時間、出力アドレス GPMC_A[27:1] 有効から出力チップ セレクト GPMC_CS <i>n</i> [ <i>j</i> ] <sup>(13)</sup> 有効まで	div_by_1_mode、 GPMC_FCLK_MUX、 TIMEPARAGRANULARITY_X1	J - 2 <sup>(9)</sup>	J + 2 <sup>(9)</sup>	ns
FA10	t <sub>d(be x)nV-csnV)</sub>	遅延時間、出力下位バイト イネーブルおよびコマンドラッチ イネーブル GPMC_BE0n_CLE、出力上位バイト イネーブル GPMC_BE1n 有効から出力チップ セレクト GPMC_CS <i>n</i> [ <i>j</i> ] <sup>(13)</sup> まで	div_by_1_mode、 GPMC_FCLK_MUX、 TIMEPARAGRANULARITY_X1	J - 2 <sup>(9)</sup>	J + 2 <sup>(9)</sup>	ns
FA12	t <sub>d(csnV-advnV)</sub>	遅延時間、出力チップ セレクト GPMC_CS <i>n</i> [ <i>j</i> ] <sup>(13)</sup> 有効から出力アドレス有効、アドレスラッチ イネーブル GPMC_ADV <i>n</i> _ALE 有効まで	div_by_1_mode、 GPMC_FCLK_MUX、 TIMEPARAGRANULARITY_X1	K - 2 <sup>(10)</sup>	K + 2 <sup>(10)</sup>	ns
FA13	t <sub>d(csnV-oenV)</sub>	遅延時間、出力チップ セレクト GPMC_CS <i>n</i> [ <i>j</i> ] <sup>(13)</sup> 有効から出力イネーブル GPMC_OEn_REn 有効まで	div_by_1_mode、 GPMC_FCLK_MUX、 TIMEPARAGRANULARITY_X1	L - 2 <sup>(11)</sup>	L + 2 <sup>(11)</sup>	ns

表 6-62. GPMC および NOR フラッシュのスイッチング特性 – 非同期モード (続き)

図 6-54、図 6-55、図 6-56、図 6-57、図 6-58、図 6-59 参照

番号	パラメータ	説明	MODE <sup>(15)</sup>	最小値	最大値	単位
				133 MHz		
FA16	t <sub>w(a)V</sub>	2 つの連続する読み取りおよび書き込みアクセスの間で、出力アドレス GPMC_A[26:1] が無効になるパルス幅	div_by_1_mode、 GPMC_FCLK_MUX、 TIMEPARAGRANULARITY_X1	G <sup>(7)</sup>		ns
FA18	t <sub>d(csnV-oenV)</sub>	遅延時間、出力チップ セレクト GPMC_CS <i>n</i> [ <i>i</i> ] <sup>(13)</sup> 有効から出力イネーブル GPMC_OEn_RE <i>n</i> 無効まで (バースト読み取り)	div_by_1_mode、 GPMC_FCLK_MUX、 TIMEPARAGRANULARITY_X1	I - 2 <sup>(8)</sup>	I + 2 <sup>(8)</sup>	ns
FA20	t <sub>w(a)V</sub>	パルス幅、出力アドレス GPMC_A[27:1] 有効 - 2 回目、3 回目、4 回目のアクセス	div_by_1_mode、 GPMC_FCLK_MUX、 TIMEPARAGRANULARITY_X1	D <sup>(4)</sup>		ns
FA25	t <sub>d(csnV-wenV)</sub>	遅延時間、出力チップ セレクト GPMC_CS <i>n</i> [ <i>i</i> ] <sup>(13)</sup> 有効から出力書き込みイネーブル GPMC_WEn 有効まで	div_by_1_mode、 GPMC_FCLK_MUX、 TIMEPARAGRANULARITY_X1	E - 2 <sup>(5)</sup>	E + 2 <sup>(5)</sup>	ns
FA27	t <sub>d(csnV-wenV)</sub>	遅延時間、出力チップ セレクト GPMC_CS <i>n</i> [ <i>i</i> ] <sup>(13)</sup> 有効から出力書き込みイネーブル GPMC_WEn 無効まで	div_by_1_mode、 GPMC_FCLK_MUX、 TIMEPARAGRANULARITY_X1	F - 2 <sup>(6)</sup>	F + 2 <sup>(6)</sup>	ns
FA28	t <sub>d(wenV-dV)</sub>	遅延時間、出力書き込みイネーブル GPMC_WEn 有効から出力データ GPMC_AD[15:0] 有効まで	div_by_1_mode、 GPMC_FCLK_MUX、 TIMEPARAGRANULARITY_X1			2 ns
FA29	t <sub>d(dV-csnV)</sub>	遅延時間、出力データ GPMC_AD[15:0] 有効から出力チップ セレクト GPMC_CS <i>n</i> [ <i>i</i> ] <sup>(13)</sup> 有効まで	div_by_1_mode、 GPMC_FCLK_MUX、 TIMEPARAGRANULARITY_X1	J - 2 <sup>(9)</sup>	J + 2 <sup>(9)</sup>	ns
FA37	t <sub>d(oenV-alV)</sub>	遅延時間、出力イネーブル GPMC_OEn_RE <i>n</i> 有効から出力アドレス GPMC_AD[15:0] フェーズ終了まで	div_by_1_mode、 GPMC_FCLK_MUX、 TIMEPARAGRANULARITY_X1			2 ns

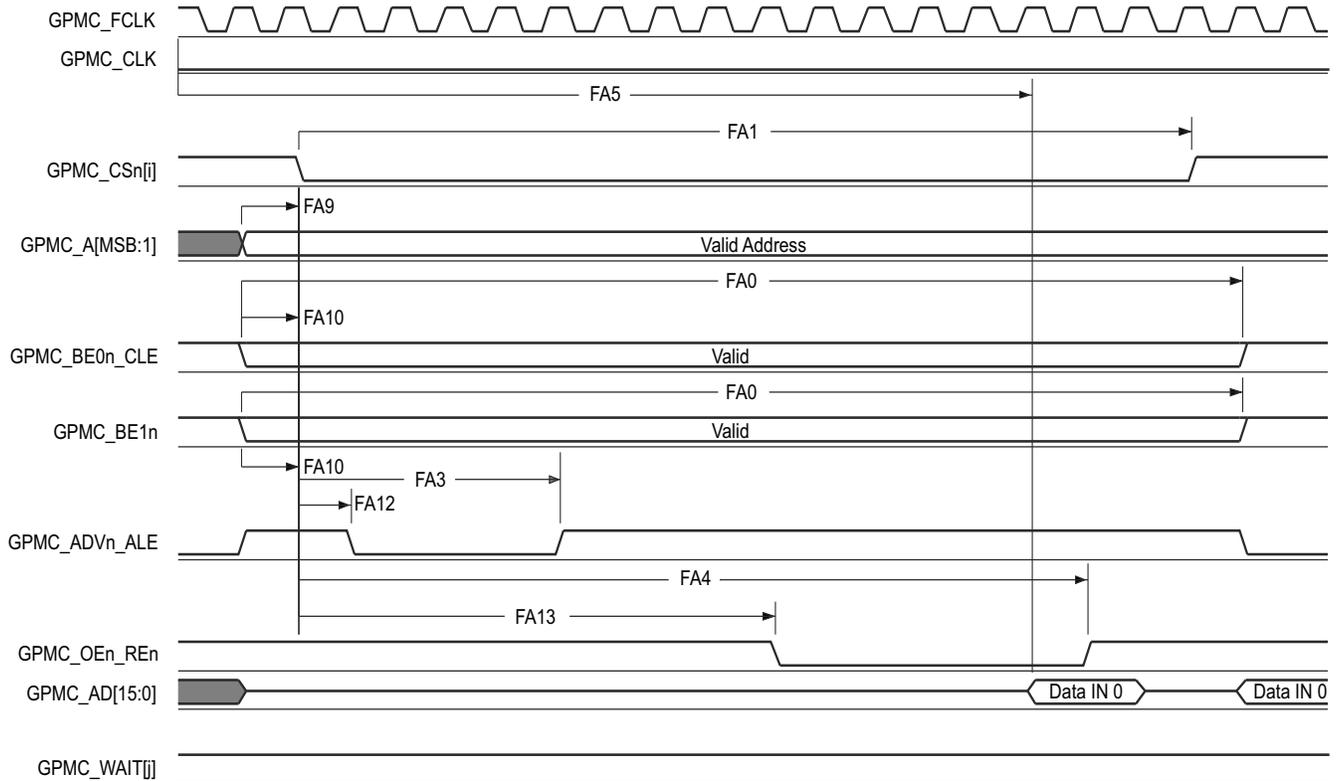
- (1) 単一読み取りの場合:  $A = (CSRdOffTime - CSOnTime) \times (TimeParaGranularity + 1) \times GPMC\_FCLK^{(14)}$   
 単一書き込みの場合:  $A = (CSWrOffTime - CSOnTime) \times (TimeParaGranularity + 1) \times GPMC\_FCLK^{(14)}$   
 バースト読み取りの場合:  $A = (CSRdOffTime - CSOnTime + (n - 1) \times PageBurstAccessTime) \times (TimeParaGranularity + 1) \times GPMC\_FCLK^{(14)}$   
 バースト書き込みの場合:  $A = (CSWrOffTime - CSOnTime + (n - 1) \times PageBurstAccessTime) \times (TimeParaGranularity + 1) \times GPMC\_FCLK^{(14)}$   
 n はページバーストアクセス数
- (2) 読み取りの場合:  $B = ((ADVRdOffTime - CSOnTime) \times (TimeParaGranularity + 1) + 0.5 \times (ADVExtraDelay - CSEExtraDelay)) \times GPMC\_FCLK^{(14)}$   
 書き込みの場合:  $B = ((ADVWrOffTime - CSOnTime) \times (TimeParaGranularity + 1) + 0.5 \times (ADVExtraDelay - CSEExtraDelay)) \times GPMC\_FCLK^{(14)}$
- (3)  $C = ((OEOffTime - CSOnTime) \times (TimeParaGranularity + 1) + 0.5 \times (OEExtraDelay - CSEExtraDelay)) \times GPMC\_FCLK^{(14)}$   
 (4)  $D = PageBurstAccessTime \times (TimeParaGranularity + 1) \times GPMC\_FCLK^{(14)}$   
 (5)  $E = ((WEOnTime - CSOnTime) \times (TimeParaGranularity + 1) + 0.5 \times (WEEExtraDelay - CSEExtraDelay)) \times GPMC\_FCLK^{(14)}$   
 (6)  $F = ((WEOffTime - CSOnTime) \times (TimeParaGranularity + 1) + 0.5 \times (WEEExtraDelay - CSEExtraDelay)) \times GPMC\_FCLK^{(14)}$   
 (7)  $G = Cycle2CycleDelay \times GPMC\_FCLK^{(14)}$   
 (8)  $I = ((OEOffTime + (n - 1) \times PageBurstAccessTime - CSOnTime) \times (TimeParaGranularity + 1) + 0.5 \times (OEExtraDelay - CSEExtraDelay)) \times GPMC\_FCLK^{(14)}$   
 (9)  $J = (CSOnTime \times (TimeParaGranularity + 1) + 0.5 \times CSEExtraDelay) \times GPMC\_FCLK^{(14)}$   
 (10)  $K = ((ADVOnTime - CSOnTime) \times (TimeParaGranularity + 1) + 0.5 \times (ADVExtraDelay - CSEExtraDelay)) \times GPMC\_FCLK^{(14)}$   
 (11)  $L = ((OEOnTime - CSOnTime) \times (TimeParaGranularity + 1) + 0.5 \times (OEExtraDelay - CSEExtraDelay)) \times GPMC\_FCLK^{(14)}$   
 (12) 単一読み取りの場合:  $N = RdCycleTime \times (TimeParaGranularity + 1) \times GPMC\_FCLK^{(14)}$   
 単一書き込みの場合:  $N = WrCycleTime \times (TimeParaGranularity + 1) \times GPMC\_FCLK^{(14)}$   
 バースト読み取りの場合:  $N = (RdCycleTime + (n - 1) \times PageBurstAccessTime) \times (TimeParaGranularity + 1) \times GPMC\_FCLK^{(14)}$   
 バースト書き込みの場合:  $N = (WrCycleTime + (n - 1) \times PageBurstAccessTime) \times (TimeParaGranularity + 1) \times GPMC\_FCLK^{(14)}$
- (13) GPMC\_CS*n*[*i*] で、i は 0、1、2、または 3 です。  
 (14) GPMC\_FCLK は、汎用メモリコントローラの内部機能クロック周期で、ns 単位です。  
 (15) div\_by\_1\_mode の場合:  
 • GPMC\_CONFIG1\_i レジスタ: GPMCFCLKDIVIDER = 0h:  
 – GPMC\_CLK 周波数 = GPMC\_FCLK 周波数

GPMC\_FCLK\_MUX の場合:

- CTRLMMR\_GPMC\_CLKSEL[1-0] CLK\_SEL = 00 = CPSWHS DIV\_CLKOUT3 = 2000/15 = 133.33MHz

TIMEPARAGRANULARITY\_X1 に対し:

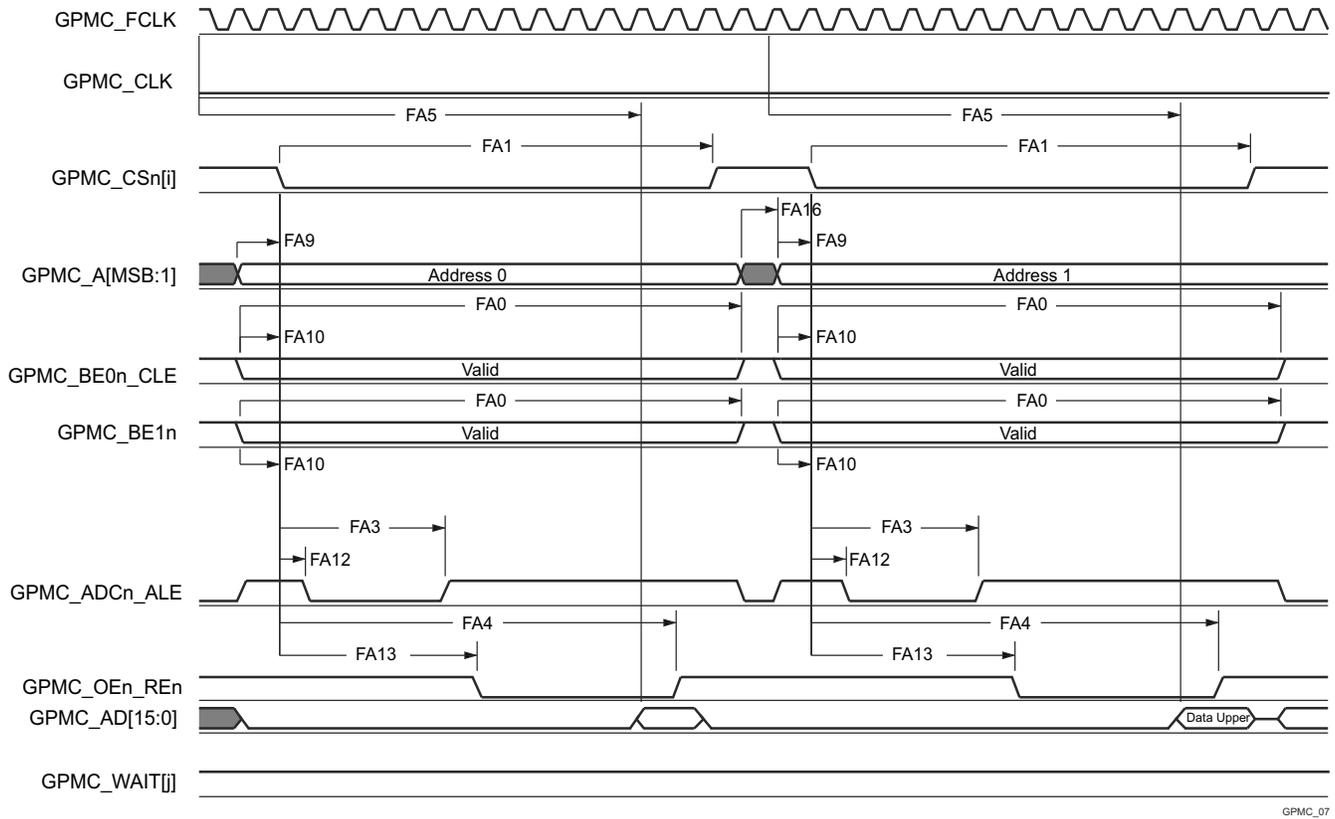
- GPMC\_CONFIG1\_i レジスタ: TIMEPARAGRANULARITY = 0h = x1 レイテンシ (RD/WRCYCLETIME、RD/WRACCESSTIME、PAGEBURSTACCESSTIME、CSONTIME、CSRWD/WROFFTIME、ADVONTIME、ADV RD/WROFFTIME、OEONTIME、OEOFFTIME、WEONTIME、WEOFFTIME、CYCLE2CYCLEDELAY、BUSTURNAROUND、TIMEOUTSTARTVALUE、WRDATAONADMUXBUS に影響)



GPMC\_06

- GPMC\_CS[n] で、i は 0、1、2、または 3 です。GPMC\_WAIT[j] で、jis は 0 または 1 です。
- FA5 パラメータは、入力データを内部でサンプリングするために必要な時間を示しています。これは、GPMC 機能クロック サイクル数で表されます。読み取りサイクルの開始から FA5 機能クロック サイクル経過後、入力データはアクティブな機能クロック エッジによって内部的にサンプリングされます。FA5 の値は、AccessTime レジスタ ビットフィールド内に格納する必要があります。
- GPMC\_FCLK は、外部に供給されない内部クロック (GPMC 機能クロック) です。

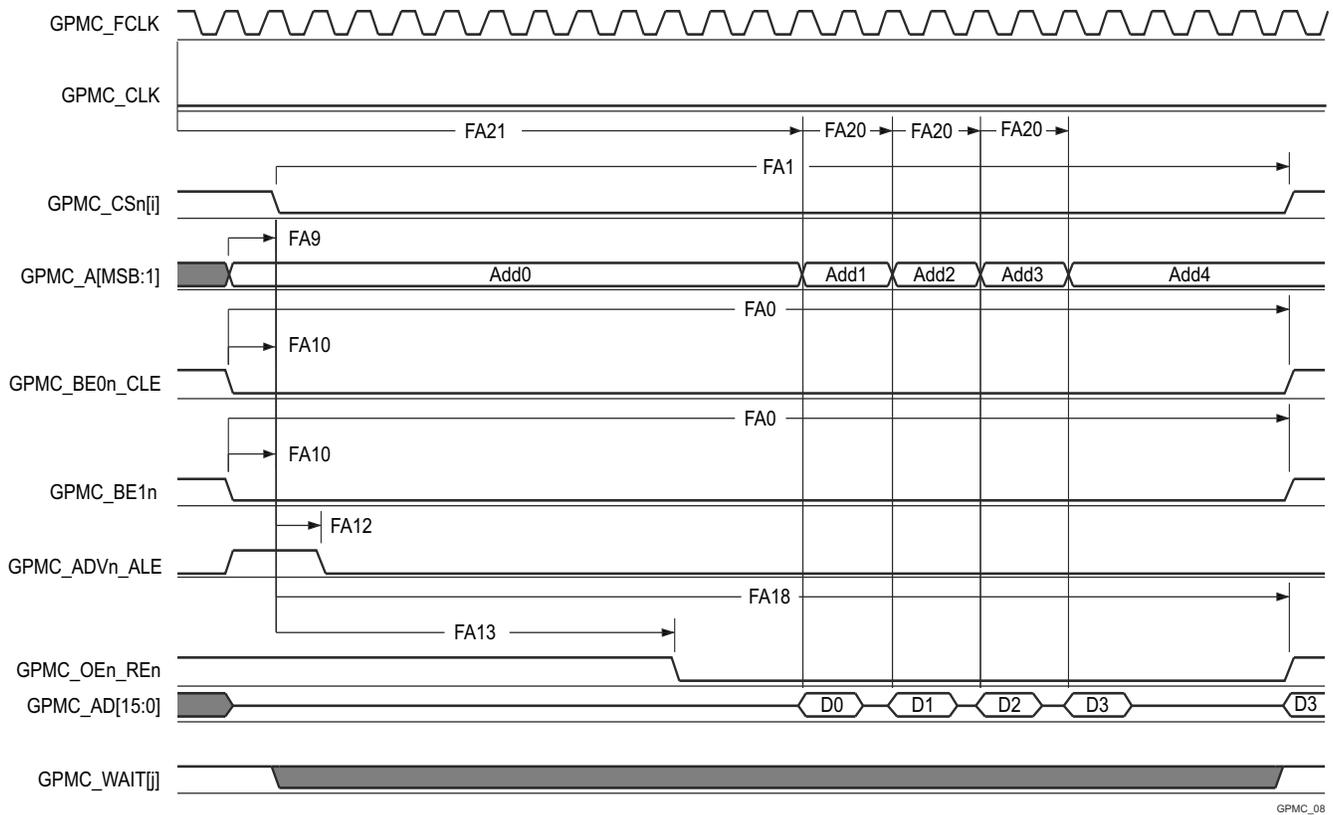
図 6-54. GPMC および NOR フラッシュ — 非同期読み取り — シングルワード



GPMC\_07

- A. GPMC\_CS*n*[*i*] で、*i* は 0、1、2、または 3 です。GPMC\_WAIT[j] で、*j* は 0 または 1 です。
- B. FA5 パラメータは、入力データを内部でサンプリングするために必要な時間を示しています。これは、GPMC 機能クロック サイクル数で表されます。読み取りサイクルの開始から FA5 機能クロック サイクル経過後、入力データはアクティブな機能クロック エッジによって内部的にサンプリングされます。FA5 の値は、AccessTime レジスタ ビット フィールド内に格納する必要があります。
- C. GPMC\_FCLK は、外部に供給されない内部クロック (GPMC 機能クロック) です。

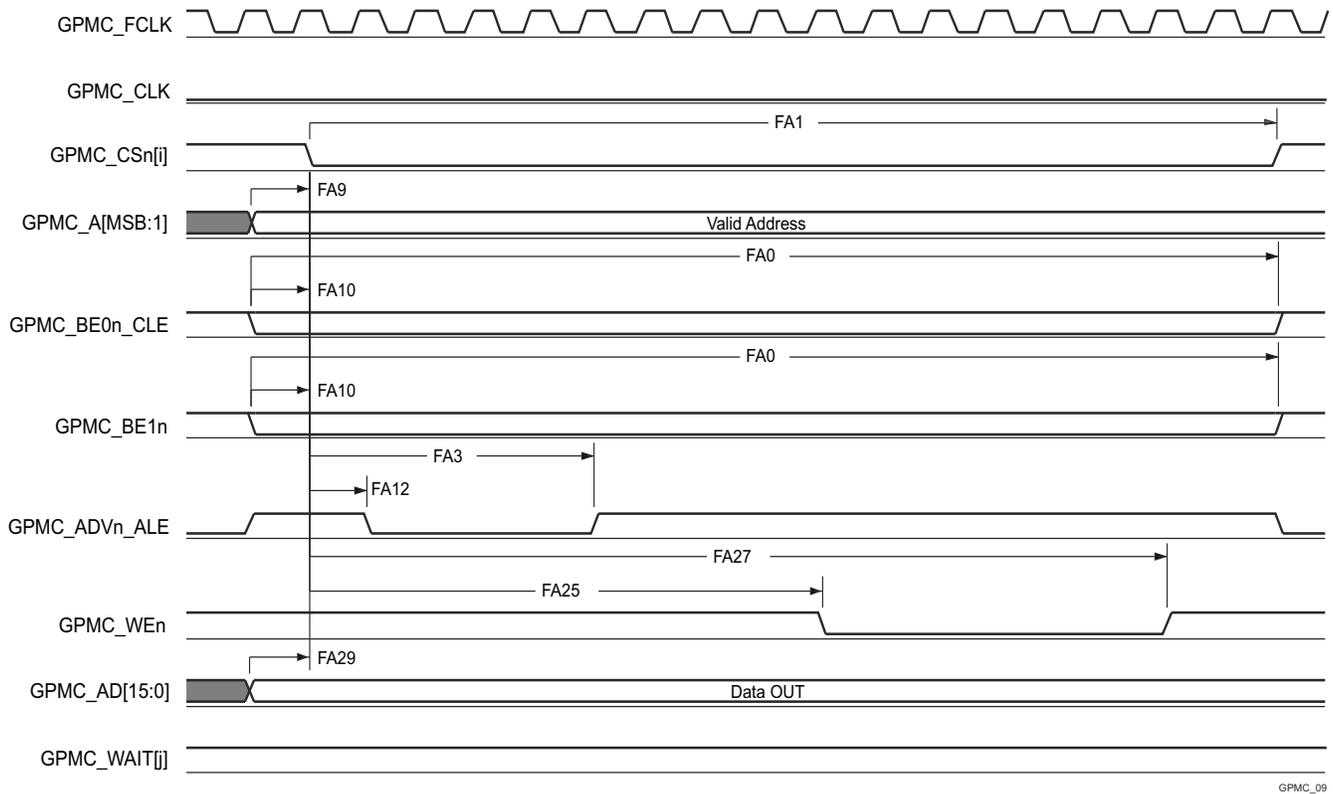
図 6-55. GPMC および NOR フラッシュ — 非同期読み取り — 32 ビット



GPMC\_08

- A. GPMC\_CS[n][i] で、i は 0、1、2、または 3 です。GPMC\_WAIT[j] で、j は 0 または 1 です。
- B. FA21 パラメータは、最初の入力ページ データを内部でサンプリングするために必要な時間を示します。これは、GPMC 機能クロック サイクル数で表されます。読み取りサイクルの開始から FA21 機能クロック サイクル経過後、最初の入力ページのデータが、アクティブな機能クロック エッジによって内部的にサンプリングされます。FA21 の計算値は、accessTime レジスタ ビット フィールド内に保存する必要があります。
- C. FA20 パラメータは、連続する入力ページ データを内部でサンプリングするために必要な時間を示します。これは、GPMC 機能クロック サイクル数で表されます。入力ページ データへの各アクセスの後、FA20 機能クロック サイクル経過後、次の入力ページ データはアクティブな機能クロック エッジによって内部的にサンプリングされます。FA20 は、連続する入力ページ データ (最初の入力ページ データを除く) のアドレス フェーズ期間でもあります。FA20 の値は、PageBurstAccessTime レジスタ ビット フィールドに保存する必要があります。
- D. GPMC\_FCLK は、外部に供給されない内部クロック (GPMC 機能クロック) です。

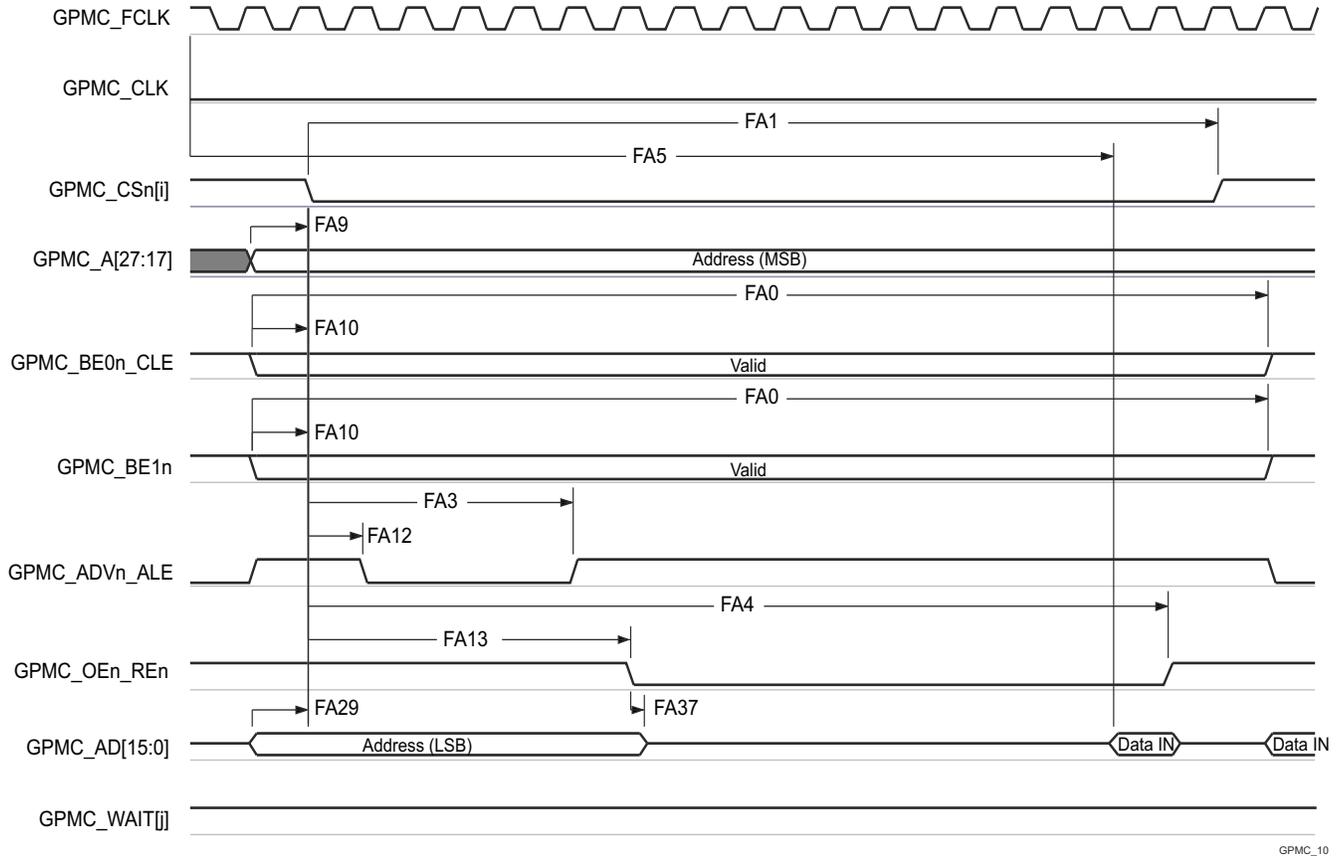
図 6-56. GPMC および NOR フラッシュ — 非同期読み取り — ページモード 4x16 ビット



GPMC\_09

A. GPMC\_CSn[i] で、i は 0、1、2、または 3 です。GPMC\_WAIT[j] で、j は 0 または 1 です。

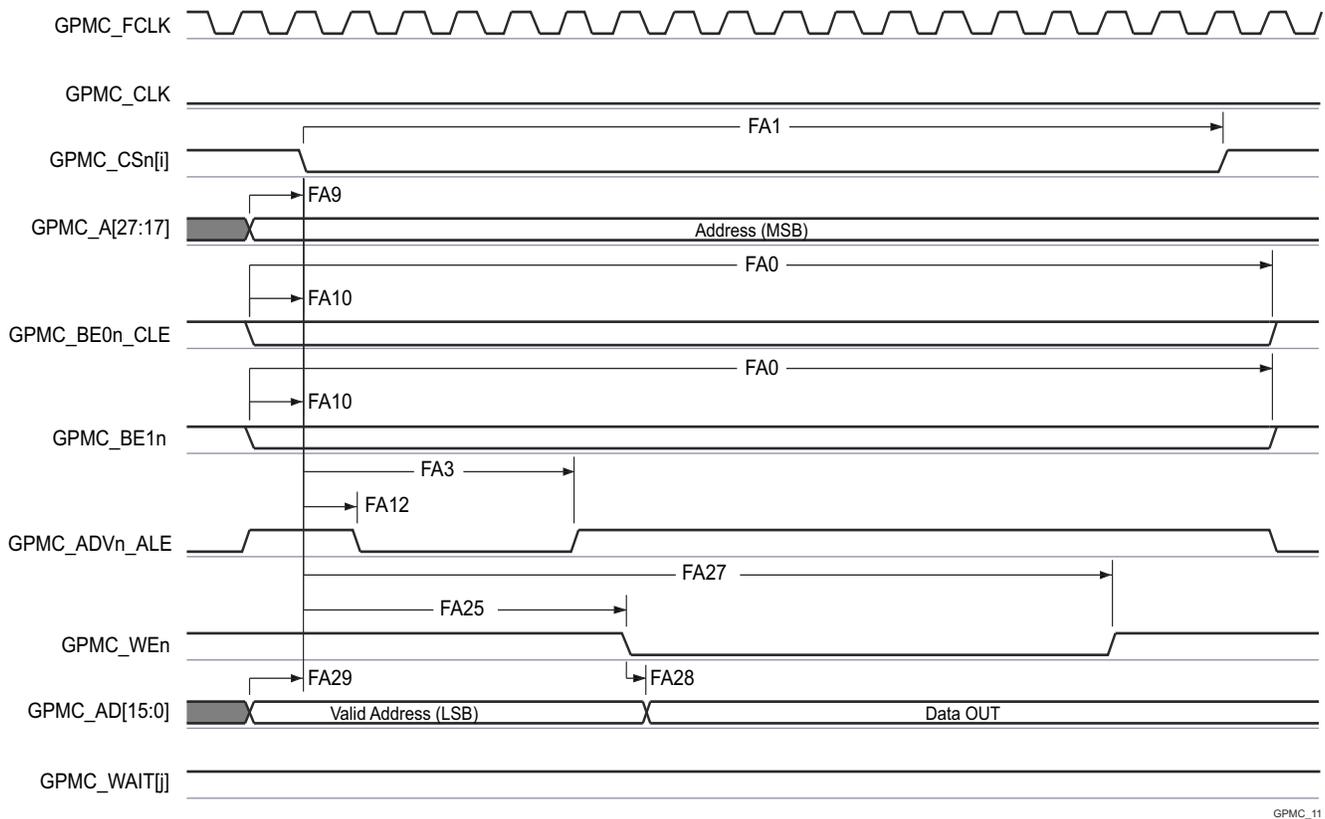
図 6-57. GPMC および NOR フラッシュ — 非同期書き込み — シングルワード



GPMC\_10

- GPMC\_CS[n] で、i は 0、1、2、または 3 です。GPMC\_WAIT[j] で、j は 0 または 1 です。
- FA5 パラメータは、入力データを内部でサンプリングするために必要な時間を示しています。これは、GPMC 機能クロック サイクル数で表されます。読み取りサイクルの開始から FA5 機能クロック サイクル経過後、入力データはアクティブな機能クロック エッジによって内部的にサンプリングされます。FA5 の値は、AccessTime レジスタ ビットフィールド内に格納する必要があります。
- GPMC\_FCLK は、外部に供給されない内部クロック (GPMC 機能クロック) です。

図 6-58. GPMC および多重化 NOR フラッシュ — 非同期読み取り — シングルワード



A. GPMC\_CSn[i] で、i は 0、1、2、または 3 です。GPMC\_WAIT[j] で、j は 0 または 1 です。

図 6-59. GPMC および多重化 NOR フラッシュ — 非同期書き込み — シングルワード

### 6.11.5.11.3 GPMC および NAND フラッシュ – 非同期モード

表 6-63 および 表 6-64 に、GPMC および NAND フラッシュ - 非同期モードのタイミング要件とスイッチング特性を示します。

表 6-63. GPMC および NAND フラッシュのタイミング要件 – 非同期モード

図 6-62 参照

番号	パラメータ	説明	MODE <sup>(4)</sup>	最小値	最大値	単位
				133 MHz		
GNF12 <sup>(1)</sup>	t <sub>acc(d)</sub>	アクセス時間、入力データ GPMC_AD[15:0] <sup>(3)</sup>	div_by_1_mode、 GPMC_FCLK_MUX、 TIMEPARAGRANULARITY_X1	J <sup>(2)</sup>		ns

(1) GNF12 パラメータは、入力データを内部的にサンプリングするために必要な時間を示します。これは、GPMC 機能クロック サイクル数で表されず、読み取りサイクルの開始から GNF12 機能クロック サイクル経過後、入力データはアクティブな機能クロック エッジによって内部的にサンプリングされます。GNF12 の値は、AccessTime レジスタ ビットフィールドに保存する必要があります。

(2)  $J = \text{AccessTime} \times (\text{TimeParaGranularity} + 1) \times \text{GPMC\_FCLK}^{(3)}$

(3) GPMC\_FCLK は、汎用メモリ コントローラの内部機能クロック周期で、ns 単位です。

(4) div\_by\_1\_mode の場合:

- GPMC\_CONFIG1\_i レジスタ: GPMCCLKDIVIDER = 0h:
  - GPMC\_CLK 周波数 = GPMC\_FCLK 周波数

GPMC\_FCLK\_MUX の場合:

- CTRLMMR\_GPMC\_CLKSEL[1-0] CLK\_SEL = 00 = CPSWHS DIV\_CLKOUT3 = 2000/15 = 133.33MHz

TIMEPARAGRANULARITY\_X1 に対し:

- GPMC\_CONFIG1\_i レジスタ: TIMEPARAGRANULARITY = 0h = x1 レイテンシ (RD/WRCYCLETIME、RD/WRACCESSTIME、PAGEBURSTACCESSTIME、CSONTIME、CSR/DWROFFTIME、ADVONTIME、ADV RD/WROFFTIME、OEONTIME、OE OFFTIME、WEONTIME、WE OFFTIME、CYCLE2CYCLEDELAY、BUSTURNAROUND、TIMEOUTSTARTVALUE、WRDATAONADMUXBUS に影響)

表 6-64. GPMC および NAND フラッシュのスイッチング特性 – 非同期モード

図 6-60、図 6-61、図 6-62、図 6-63 を参照

番号	パラメータ	MODE <sup>(4)</sup>	最小値	最大値	単位
GNF0	t <sub>w(wenV)</sub>	div_by_1_mode、 GPMC_FCLK_MUX、 TIMEPARAGRANULARITY_X1	A		ns
GNF1	t <sub>d(csnV-wenV)</sub>	div_by_1_mode、 GPMC_FCLK_MUX、 TIMEPARAGRANULARITY_X1	B - 2	B + 2	ns
GNF2	t <sub>w(cleH-wenV)</sub>	div_by_1_mode、 GPMC_FCLK_MUX、 TIMEPARAGRANULARITY_X1	C - 2	C + 2	ns
GNF3	t <sub>w(wenV-dV)</sub>	div_by_1_mode、 GPMC_FCLK_MUX、 TIMEPARAGRANULARITY_X1	D - 2	D + 2	ns
GNF4	t <sub>w(wenIV-dIV)</sub>	div_by_1_mode、 GPMC_FCLK_MUX、 TIMEPARAGRANULARITY_X1	E - 2	E + 2	ns
GNF5	t <sub>w(wenIV-cleIV)</sub>	div_by_1_mode、 GPMC_FCLK_MUX、 TIMEPARAGRANULARITY_X1	F - 2	F + 2	ns
GNF6	t <sub>w(wenIV-csn[j]V)</sub>	div_by_1_mode、 GPMC_FCLK_MUX、 TIMEPARAGRANULARITY_X1	G - 2	G + 2	ns

表 6-64. GPMC および NAND フラッシュのスイッチング特性 – 非同期モード (続き)

図 6-60、図 6-61、図 6-62、図 6-63 を参照

番号	パラメータ	MODE <sup>(4)</sup>	最小値	最大値	単位
GNF7	$t_{w(aleH-wenV)}$	遅延時間、出力アドレス有効およびアドレスラッチ イネーブル GPMC_ADVn_ALE high から出力書き込み イネーブル GPMC_WEn 有効まで	C - 2	C + 2	ns
GNF8	$t_{w(wenV-aleIV)}$	遅延時間、出力書き込みイネーブル GPMC_WEn 無効から出力アドレス有効およびアドレスラッチ イネーブル GPMC_ADVn_ALE 無効まで	F - 2	F + 2	ns
GNF9	$t_{c(wen)}$	サイクル時間、書き込み		H	ns
GNF10	$t_{d(csnV-oenV)}$	遅延時間、出力チップ セレクト GPMC_CS <i>n</i> [ <i>i</i> ] <sup>(2)</sup> 有効から出力イネーブル GPMC_OEn_REn 有効まで	I - 2	I + 2	ns
GNF13	$t_{w(oenV)}$	パルス幅、出力イネーブル GPMC_OEn_REn 有効		K	ns
GNF14	$t_{c(oen)}$	サイクル時間、読み取り	L		ns
GNF15	$t_{w(oenV-CSn[i]V)}$	遅延時間、出力イネーブル GPMC_OEn_REn 無効から出力チップ セレクト GPMC_CS <i>n</i> [ <i>i</i> ] <sup>(2)</sup> 無効まで	M - 2	M + 2	ns

(1)  $A = (WEOffTime - WEOntime) \times (TimeParaGranularity + 1) \times GPMC\_FCLK^{(3)}$ (2) GPMC\_CS*n*[*i*] で、*i* は 0、1、2、または 3 です。

(3) GPMC\_FCLK は、汎用メモリコントローラの内部機能クロック周期で、ns 単位です。

(4) div\_by\_1\_mode の場合:

- GPMC\_CONFIG1\_*i* レジスタ: GPMCFCLKDIVIDER = 0h:
  - GPMC\_CLK 周波数 = GPMC\_FCLK 周波数

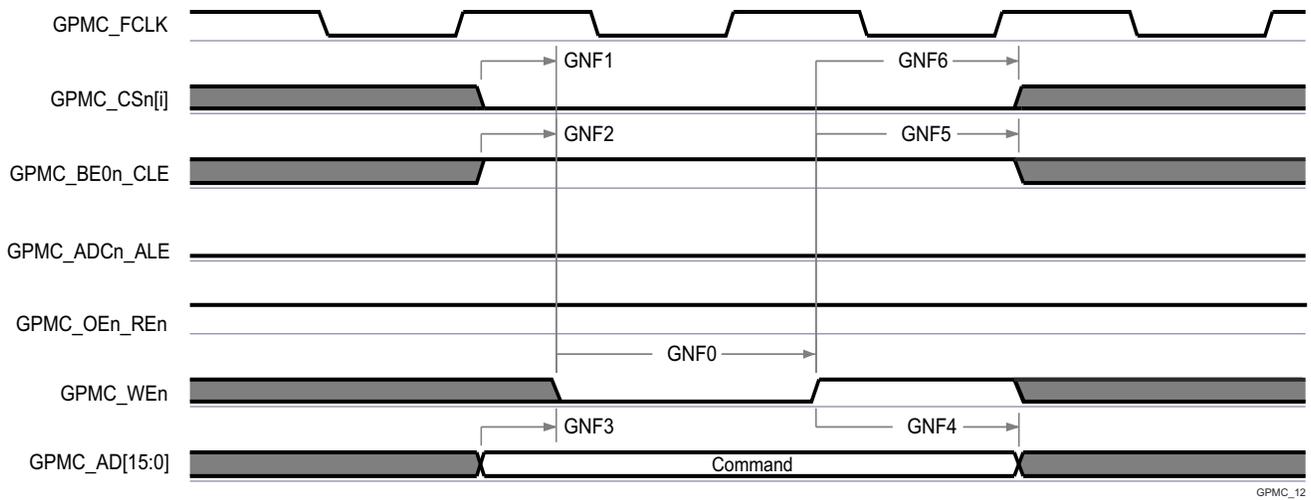
GPMC\_FCLK\_MUX の場合:

- CTRLMMR\_GPMC\_CLKSEL[1-0] CLK\_SEL = 00 = CPSWHS

CLKOUT3 = 2000/15 = 133.33MHz

TIMEPARAGRANULARITY\_X1 に対し:

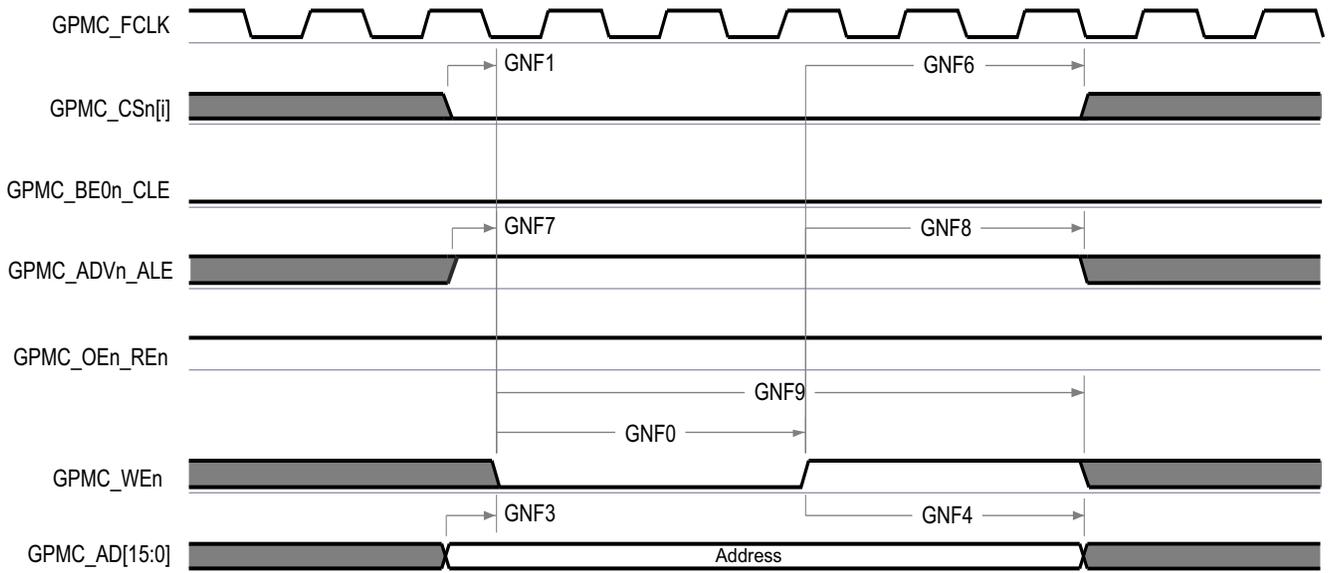
- GPMC\_CONFIG1\_*i* レジスタ: TIMEPARAGRANULARITY = 0h = x1 レイテンシ (RD/WRCYCLETIME、RD/WRACCESSTIME、PAGEBURSTACCESSTIME、CSONTIME、CSRD/WROFFTIME、ADVONTIME、ADVRD/WROFFTIME、OEONTIME、OEOFFTIME、WEONTIME、WEOFFTIME、CYCLE2CYCLEDELAY、BUSTURNAROUND、TIMEOUTSTARTVALUE、WRDATAONADMUXBUS に影響)



GPMC\_12

A. GPMC\_CS*n*[*i*] で、*i* は 0、1、2、または 3 です。

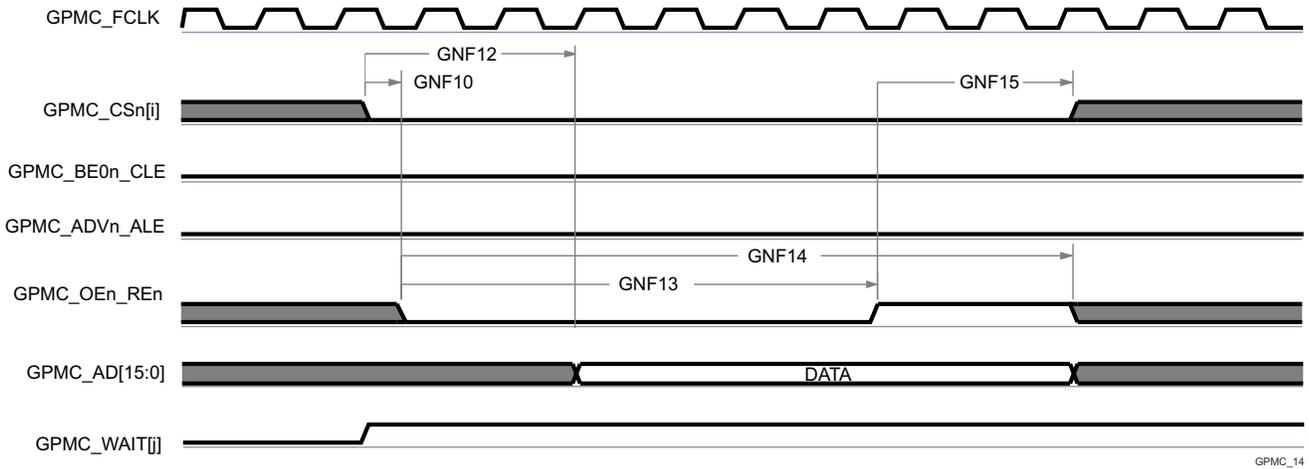
図 6-60. GPMC および NAND フラッシュ — コマンド ラッチ サイクル



GPMC\_13

A. GPMC\_CS*n*[*i*] で、*i* は 0、1、2、または 3 です。

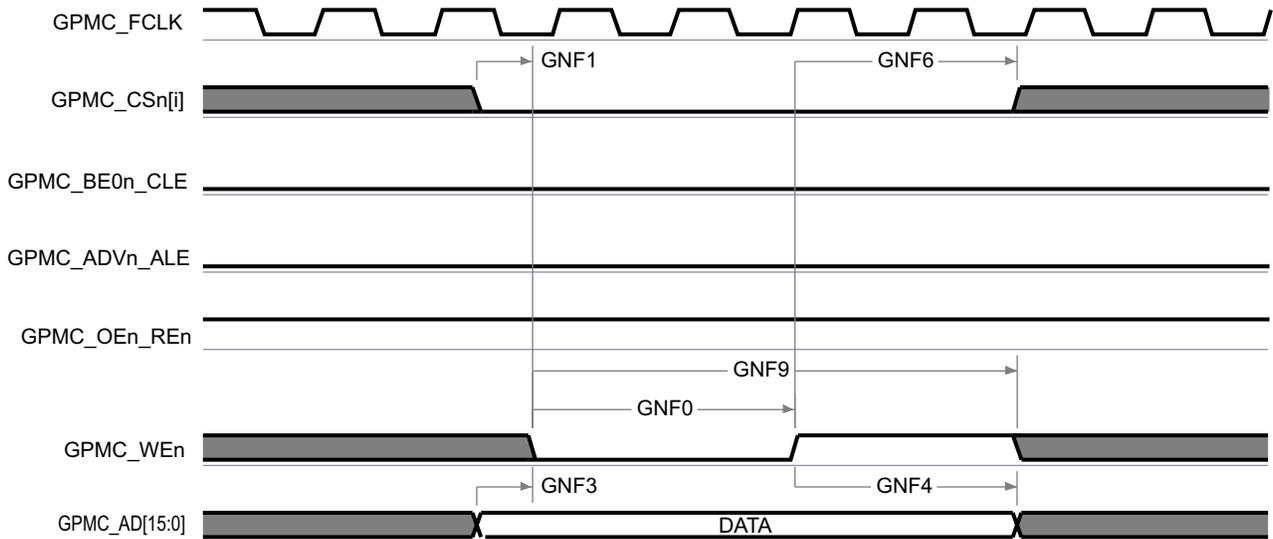
図 6-61. GPMC および NAND フラッシュ — アドレス ラッチ サイクル



GPMC\_14

- A. GNF12 パラメータは、入力データを内部でサンプリングするために必要な時間を示しています。これは、GPMC 機能クロック サイクル数で表されます。読み取りサイクルの開始から GNF12 機能クロック サイクル経過後、入力データはアクティブな機能クロック エッジによって内部的にサンプリングされます。GNF12 の値は、AccessTime レジスタビット フィールド内に格納する必要があります。
- B. GPMC\_FCLK は、外部に供給されない内部クロック (GPMC 機能クロック) です。
- C. GPMC\_CS*n*[*i*] で、*i* は 0、1、2、または 3 です。GPMC\_WAIT[*j*] で、*j* は 0 または 1 です。

図 6-62. GPMC および NAND フラッシュ — データ読み取りサイクル



GPMC\_15

- A. In GPMC\_CS*n*[*i*] で、*i* は 0、1、2、または 3 です。

図 6-63. GPMC および NAND フラッシュ — データ書き込みサイクル

### 6.11.5.12 I2C

このデバイスには、5 つの マルチコントローラ I2C (Inter-Integrated Circuit) コントローラが搭載されています。各 I2C コントローラは、Philips I<sup>2</sup>C-bus™ 仕様バージョン 2.1 に準拠するように設計されています。ただし、本デバイスの IO は、I2C の電氣的仕様に完全には準拠していません。サポートされる速度と例外について、以下にポートごとに説明します。

- I2C0、I2C1、I2C3、WKUP\_I2C0、および I2C2 (「I2C OD FS」バッファタイプで ANB パッケージピンを使用する場合を除く)、
  - 速度:
    - スタンダード モード (最大 100kbit/s)
      - 1.8V
      - 3.3V
    - ファースト モード (最大 400kbit/s)
      - 1.8V
      - 3.3V
  - 例外:
    - これらのポートに関連付けられている IO は、I2C 仕様で定義されている立ち下がり時間要件に準拠していません。これらの I/O には、I2C 互換の IO では実装できなかった他の信号機能をサポートするように設計された、より高性能の LVCMOS プッシュプル IO が実装されているからです。これらのポートで使用されている LVCMOS IO は、オープンドレイン出力をエミュレートするように接続されます。このエミュレーションは、強制的に常に Low を出力し、出力バッファを無効にして、Hi-Z 状態にすることにより実行されます。
    - I2C 仕様では、最大入力電圧  $V_{IH}$  が  $(V_{DD_{max}} + 0.5V)$  と定義されています。これは、デバイスの IO の絶対最大定格を超えています。I2C 信号が、このデータシートの「絶対最大定格」セクションに定義された制限を超えないようにシステムを設計する必要があります。
- I2C2 (ANB パッケージで「I2C OD FS」バッファタイプで ANB パッケージピンを使用する場合のみ)
  - 速度:
    - スタンダード モード (最大 100kbit/s)
      - 1.8V
      - 3.3V
    - ファースト モード (最大 400kbit/s)
      - 1.8V
      - 3.3V
    - Hs モード (最大 3.4Mbits/s)
      - 1.8V
  - 例外:
    - これらのポートに関連付けられている IO は、3.3V で動作しているときに Hs モードをサポートするには設計されていません。したがって、Hs モードは 1.8V 動作に限定されます。
    - これらのポートに接続された I2C 信号の立ち上がりおよび立ち下がり時間は、スルーレート 0.08V/ns (すなわち 8E+7 V/s) を超えないようにする必要があります。この制限は、I2C 仕様で定義されている最小立ち下がり時間の制限よりも厳しいものです。したがって、立ち上がりおよび立ち下がり時間が 0.08V/ns のスルーレートを上回らないように、I2C 信号に容量を追加する必要がある場合があります。
    - I2C 仕様では、最大入力電圧  $V_{IH}$  が  $(V_{DD_{max}} + 0.5V)$  と定義されています。これは、デバイスの IO の絶対最大定格を超えています。I2C 信号が、このデータシートの「絶対最大定格」セクションに定義された制限を超えないようにシステムを設計する必要があります。

#### 注

I2C3 には、複数のピンに多重化可能な信号が 1 つ以上あります。タイミングは、IOSET と呼ばれる特定のピンの組み合わせに対してのみ有効です。このインターフェイスに有効なピンの組み合わせ (IOSET) は、[SysConfig-PinMux ツール](#) で定義されます。

タイミングの詳細については、Philips I2C-bus 仕様バージョン 2.1 を参照してください。

本デバイスの I2C (Inter-Integrated Circuit) の機能の詳細と追加の説明情報については、「信号の説明」および「詳細説明」セクションの対応するサブセクションを参照してください。

ADVANCE INFORMATION

### 6.11.5.13 MCAN

表 6-65 および表 6-66 に、MCAN のタイミング条件、要件、スイッチング特性を示します。

本デバイスのコントローラ エリア ネットワーク インターフェイスの機能の詳細と追加の説明情報については、「信号の説明」および「詳細説明」セクションの対応するサブセクションを参照してください。

#### 注

このデバイスは、複数の MCAN モジュールを備えています。MCANn は、MCAN 信号名に適用される一般的な接頭辞です。ここで、n は特定の MCAN モジュールを表します。

**表 6-65. MCAN のタイミング条件**

パラメータ		最小値	最大値	単位
入力条件				
SR <sub>i</sub>	入力スルーレート	2	15	V/ns
出力条件				
C <sub>L</sub>	出力負荷容量	5	20	pF

**表 6-66. MCAN のスイッチング特性**

番号	パラメータ	説明	最小値	最大値	単位
MCAN1	t <sub>d</sub> (MCAN_TX)	遅延時間、送信シフトレジスタから MCANn_TX まで		10	ns
MCAN2	t <sub>d</sub> (MCAN_RX)	遅延時間、MCANn_RX から受信シフトレジスタまで		10	ns

詳細については、デバイスのテクニカル リファレンス マニュアルで「ペリフェラル」の章にある「コントローラ エリア ネットワーク (MCAN)」セクションを参照してください。

6.11.5.14 MCASP

注

McASP には 1 つ以上の信号があり、複数のピンに多重化できます。このセクションで定義されているタイミング要件とスイッチング特性は、IOSET と呼ばれる特定のピンの組み合わせにのみ有効です。このインターフェイスに有効なピンの組み合わせ (IOSET) は、**SysConfig-PinMux ツール**で定義されます。

表 6-67、表 6-68、図 6-64、表 6-69、図 6-65 に、MCASP のタイミング条件、タイミング要件、スイッチング特性を示します。

表 6-67. MCASP のタイミング条件

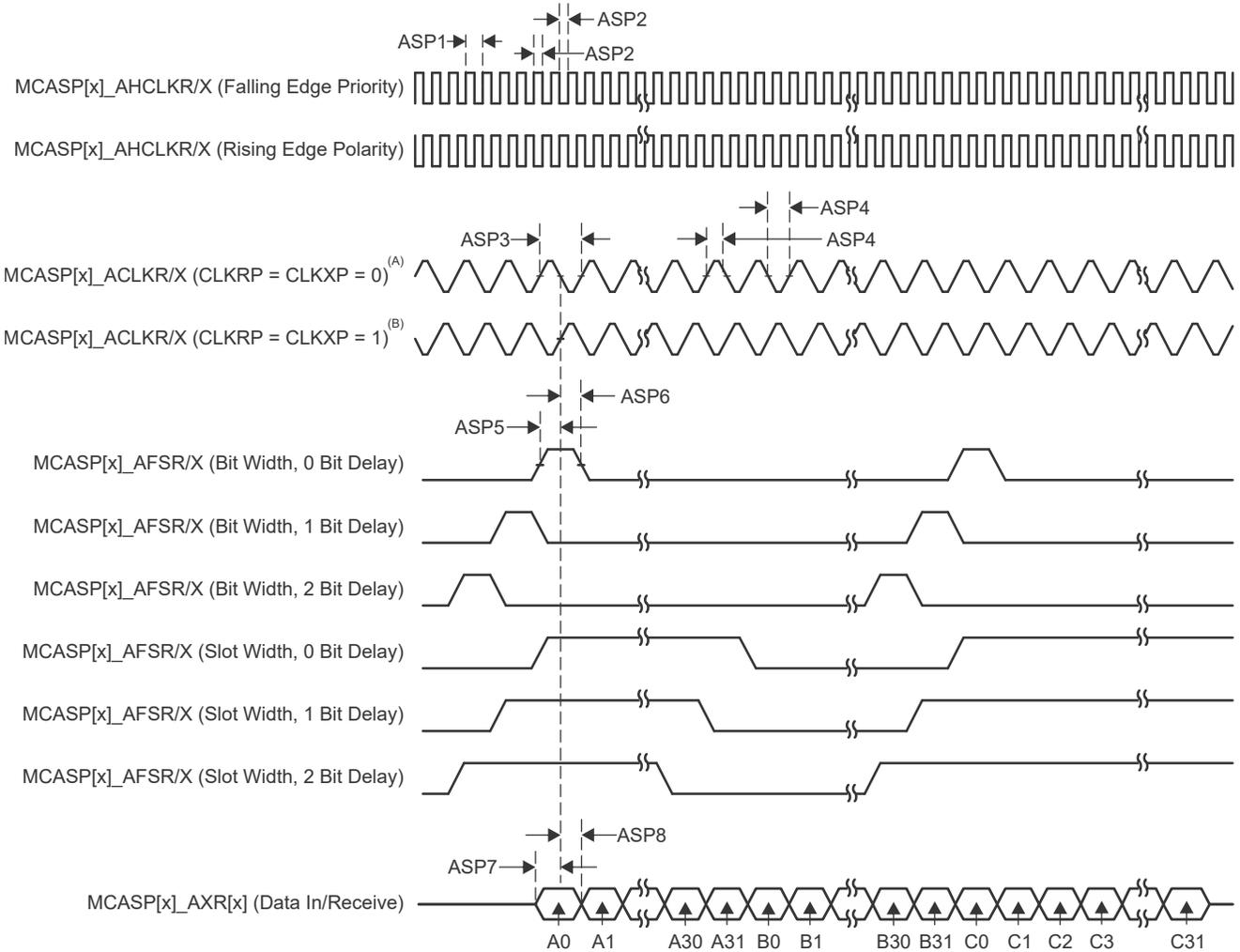
パラメータ		最小値	最大値	単位
<b>入力条件</b>				
SR <sub>i</sub>	入力スルーレート	0.7	5	V/ns
<b>出力条件</b>				
C <sub>L</sub>	出力負荷容量	1	10	pF
<b>PCB 接続要件</b>				
t <sub>d</sub> (Trace Delay)	各パターンの伝搬遅延	100	1100	ps
t <sub>d</sub> (Trace Mismatch Delay)	すべてのパターンにわたる伝搬遅延の不整合		100	ps

表 6-68. MCASP のタイミング要件

図 6-64 参照

番号	パラメータ	説明	モード <sup>(1)</sup>	最小値	最大値	単位
ASP1	t <sub>c</sub> (AHCLKRX)	サイクル時間、MCASP[x]_AHCLKR/X <sup>(4)</sup>		20		ns
ASP2	t <sub>w</sub> (AHCLKRX)	パルス幅、MCASP[x]_AHCLKR/X <sup>(4)</sup> high または low		0.5P <sup>(2)</sup> - 1.53		ns
ASP3	t <sub>c</sub> (ACLKRX)	サイクル時間、MCASP[x]_ACLKR/X <sup>(4)</sup>		20		ns
ASP4	t <sub>w</sub> (ACLKRX)	パルス幅、MCASP[x]_ACLKR/X <sup>(4)</sup> high または low		0.5R <sup>(3)</sup> - 1.53		ns
ASP5	t <sub>su</sub> (AFSRX-ACLKRX)	セットアップ時間、MCASP[x]_AFSR/X <sup>(4)</sup> 入力有効から MCASP[x]_ACLKR/X <sup>(4)</sup> まで	ACLKR/X 内部	9.29		ns
			ACLKR/X 外部入力 / 出力	4		
ASP6	t <sub>h</sub> (ACLKRX-AFSRX)	ホールド時間、MCASP[x]_ACLKR/X <sup>(4)</sup> から MCASP[x]_AFSR/X <sup>(4)</sup> 入力有効まで	ACLKR/X 内部	-1		ns
			ACLKR/X 外部入力 / 出力	1.6		
ASP7	t <sub>su</sub> (AXR-ACLKRX)	セットアップ時間、MCASP[x]_AXR <sup>(4)</sup> 入力有効から MCASP[x]_ACLKR/X <sup>(4)</sup> まで	ACLKR/X 内部	9.29		ns
			ACLKR/X 外部入力 / 出力	4		
ASP8	t <sub>h</sub> (ACLKRX-AXR)	ホールド時間、MCASP[x]_ACLKR/X <sup>(4)</sup> から MCASP[x]_AXR <sup>(4)</sup> 入力有効まで	ACLKR/X 内部	-1		ns
			ACLKR/X 外部入力 / 出力	1.6		

- (1) ACLKR 内部: ACLKRCTL.CLKRM = 1, PDIR.ACLKR = 1  
 ACLKR 外部入力: ACLKRCTL.CLKRM = 0, PDIR.ACLKR = 0  
 ACLKR 外部出力: ACLKRCTL.CLKRM = 0, PDIR.ACLKR = 1  
 ACLKX 内部: ACLKXCTL.CLKXM = 1, PDIR.ACLKX = 1  
 ACLKX 外部入力: ACLKXCTL.CLKXM = 0, PDIR.ACLKX = 0  
 ACLKX 外部出力: ACLKXCTL.CLKXM = 0, PDIR.ACLKX = 1
- (2) P = AHCLKR/X 周期 (ns 単位)。AHCLKR/X クロックソース オプションの詳細については、テクニカルリファレンス マニュアルにある「モジュール統合」の章の「マルチチャネル オーディオ シリアル ポート (MCASP)」セクションの「McASP クロック」表を参照してください。
- (3) R = ACLKR/X 周期 (ns 単位)。
- (4) MCASP[x]\* の x は 0、1、または 2



- A.  $CLKRP = CLKXP = 0$  の場合、MCASP トランスミッタは立ち上がりエッジ (シフト データ アウト) に構成され、MCASP レシーバは立ち下がりエッジ (シフト データ イン) に構成されます。
- B.  $CLKRP = CLKXP = 1$  の場合、MCASP トランスミッタは立ち下がりエッジ (シフト データ アウト) に構成され、MCASP レシーバは立ち上がりエッジ (シフト データ イン) に構成されます。

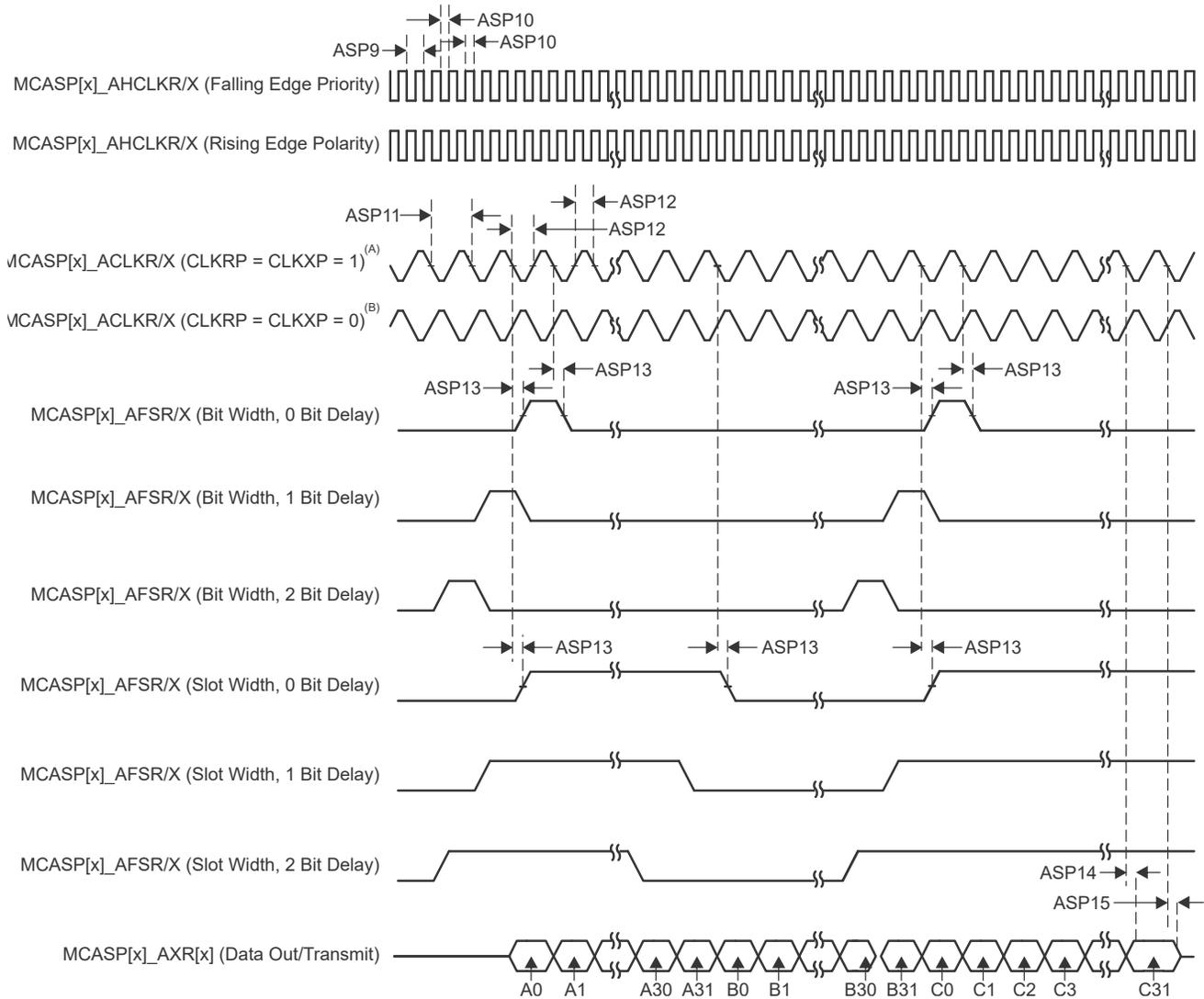
図 6-64. MCASP のタイミング要件

表 6-69. MCASP スイッチング特性

図 6-65 参照

番号	パラメータ	説明	モード <sup>(1)</sup>	最小値	最大値	単位
ASP9	$t_{c(AHCLKRX)}$	サイクル時間、MCASP[x]_AHCLKR/X <sup>(4)</sup>		20		ns
ASP10	$t_{w(AHCLKRX)}$	パルス幅、MCASP[x]_AHCLKR/X <sup>(4)</sup> high または low		0.5P <sup>(2)</sup> - 2		ns
ASP11	$t_{c(ACLKRX)}$	サイクル時間、MCASP[x]_ACLKR/X <sup>(4)</sup>		20		ns
ASP12	$t_{w(ACLKRX)}$	パルス幅、MCASP[x]_ACLKR/X <sup>(4)</sup> high または low		0.5R <sup>(3)</sup> - 2		ns
ASP13	$t_{d(ACLKRX-AFSRX)}$	遅延時間、MCASP[x]_ACLKR/X <sup>(4)</sup> 送信エッジから MCASP[x]_AFSR/X <sup>(4)</sup> 出力有効まで	ACLKR/X 内部	-1	7.25	ns
			ACLKR/X 外部入力 / 出力	-15.29	12.84	
ASP14	$t_{d(ACLKX-AXR)}$	遅延時間、MCASP[x]_ACLKX <sup>(4)</sup> 送信エッジから MCASP[x]_AXR <sup>(4)</sup> 出力有効まで	ACLKR/X 内部	-1	7.25	ns
			ACLKR/X 外部入力 / 出力	-15.29	12.84	
ASP15	$t_{dis(ACLKX-AXR)}$	ディセーブル時間、MCASP[x]_ACLKX <sup>(4)</sup> 送信エッジから MCASP[x]_AXR <sup>(4)</sup> 出力ハイインピーダンスまで	ACLKR/X 内部	-1	7.25	ns
			ACLKR/X 外部入力 / 出力	-14.9	14	

- (1) ACLKR 内部: ACLKRCTL.CLKRM = 1、PDIR.ACLKR = 1  
 ACLKR 外部入力: ACLKRCTL.CLKRM = 0、PDIR.ACLKR = 0  
 ACLKR 外部出力: ACLKRCTL.CLKRM = 0、PDIR.ACLKR = 1  
 ACLKX 内部: ACLKXCTL.CLKXM = 1、PDIR.ACLKX = 1  
 ACLKX 外部入力: ACLKXCTL.CLKXM = 0、PDIR.ACLKX = 0  
 ACLKX 外部出力: ACLKXCTL.CLKXM = 0、PDIR.ACLKX = 1
- (2) P = AHCLKR/X 周期 (ns 単位)。AHCLKR/X クロックソース オプションの詳細については、テクニカルリファレンスマニュアルにある「モジュール統合」の章の「マルチチャネル オーディオ シリアル ポート (MCASP)」セクションの「McASP クロック」表を参照してください。
- (3) R = ACLKR/X 周期 (ns 単位)。
- (4) MCASP[x]\_\* の x は 0、1、または 2



- A.  $CLKRP = CLKXP = 1$  の場合、MCASP トランスミッタは立ち下がりエッジ (シフト データ アウト) に構成され、MCASP レシーバは立ち上がりエッジ (シフト データ イン) に構成されます。
- B.  $CLKRP = CLKXP = 0$  の場合、MCASP トランスミッタは立ち上がりエッジ (シフト データ アウト) に構成され、MCASP レシーバは立ち下がりエッジ (シフト データ イン) に構成されます。

図 6-65. MCASP スイッチング特性

詳細については、デバイスのテクニカル リファレンス マニュアルで「ペリフェラル」の章にある「マルチチャネル オーディオ シリアル ポート (MCASP)」セクションを参照してください。

6.11.5.15 MCSPI

注

McSPI には、複数のピンに多重化可能な信号が 1 つ以上あります。このセクションで定義されているタイミング要件とスイッチング特性は、IOSET と呼ばれる特定のピンの組み合わせにのみ有効です。このインターフェイスに有効なピンの組み合わせ (IOSET) は、[SysConfig-PinMux ツール](#) で定義されます。

本デバイスのシリアル ポート インターフェイスの機能の詳細と追加の説明情報については、「信号の説明」および「詳細説明」の対応するサブセクションを参照してください。

表 6-70 に、MCSPI のタイミング条件を示します。

表 6-70. MCSPI のタイミング条件

パラメータ		最小値	最大値	単位
入力条件				
SR <sub>i</sub>	入力スルーレート	2	8.5	V/ns
出力条件				
C <sub>L</sub>	出力負荷容量	6	12	pF

詳細については、デバイスのテクニカル リファレンス マニュアルで「ペリフェラル」の章にある「マルチチャネル シリアル ペリフェラル インターフェイス (MCSPI)」セクションを参照してください。

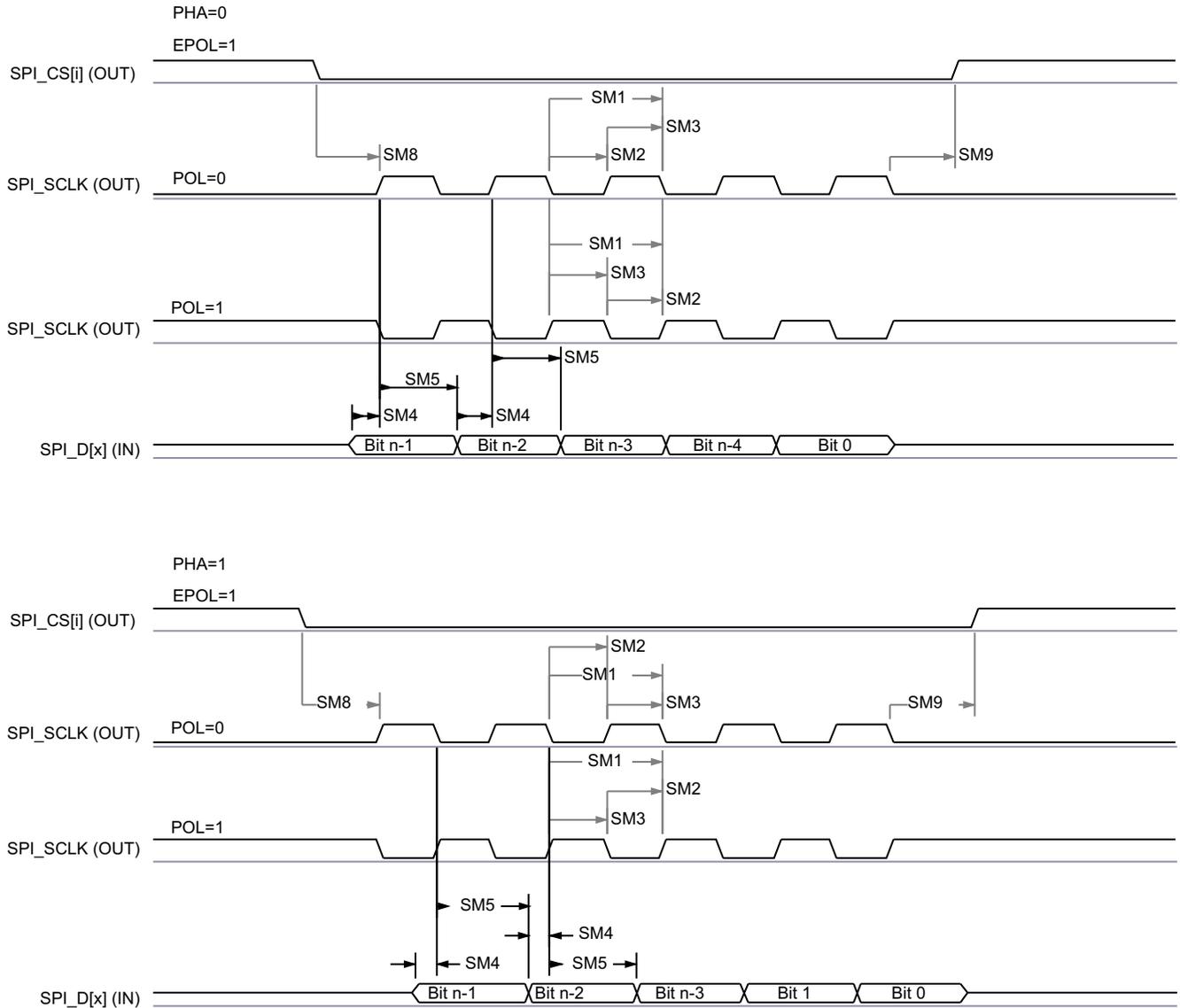
### 6.11.5.15.1 MCSPI – コントローラ モード

表 6-71、図 6-66、表 6-72、図 6-67 に、SPI –コントローラ モードのタイミング要件とスイッチング特性を示します。

表 6-71. MCSPI のタイミング要件 - コントローラ モード

図 6-66 参照

番号	パラメータ	説明	最小値	最大値	単位
SM4	$t_{su}(POCI-SPICLK)$	セットアップ時間、SPIn_D[x] 有効から SPIn_CLK アクティブ エッジまで	2.8		ns
SM5	$t_h(SPICLK-POCI)$	ホールド時間、SPIn_CLK のアクティブ エッジ後に SPIn_D[x] を有効に保持すべき時間	3		ns



SPRSP08\_TIMING\_McSPI\_02

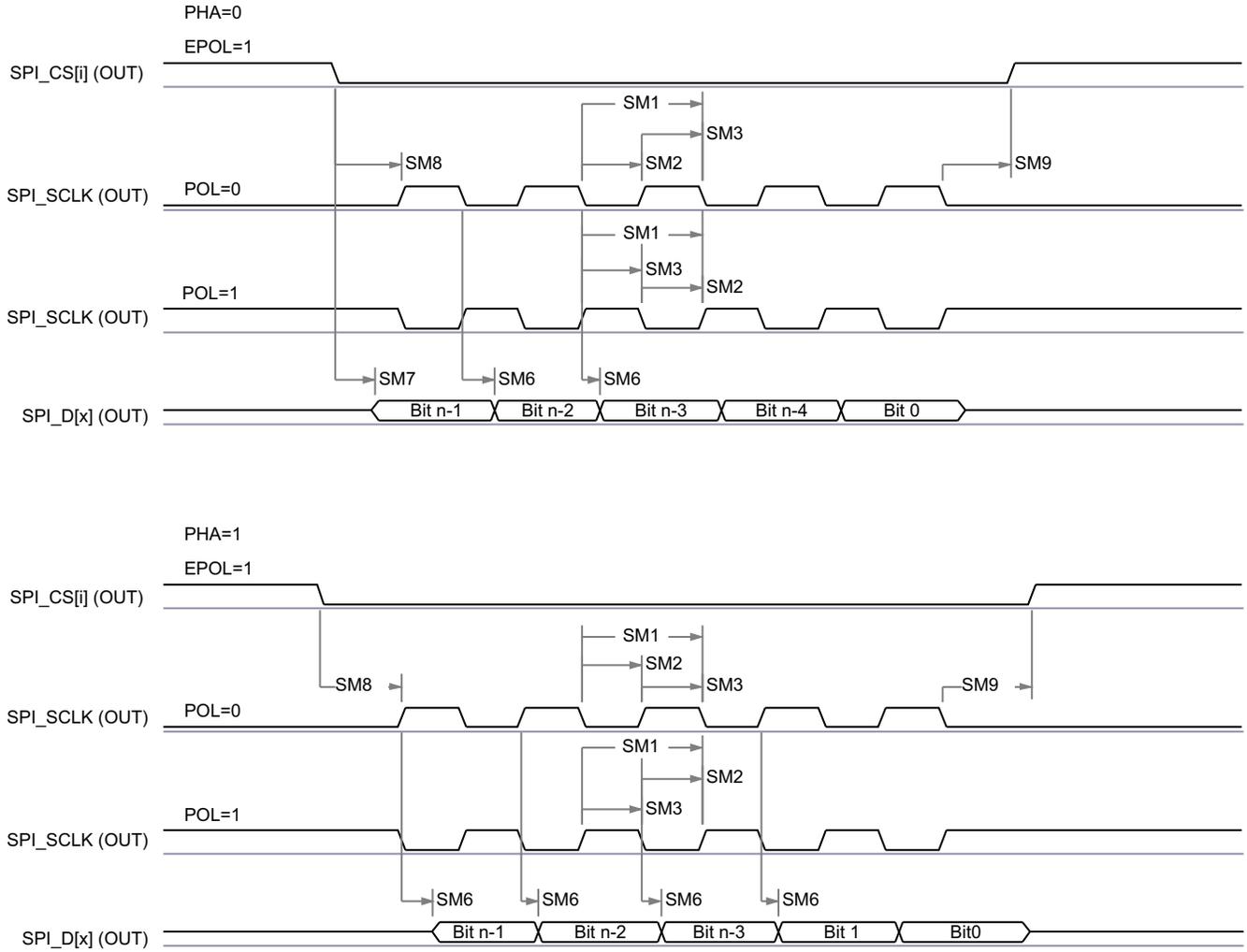
図 6-66. SPI コントローラ モードの受信タイミング

表 6-72. MCSPI のスイッチング特性 - コントローラ モード

図 6-67 参照

番号	パラメータ		最小値	最大値	単位
SM1	$t_c(\text{SPICLK})$	サイクル時間、SPIn_CLK	20		ns
SM2	$t_w(\text{SPICLK})$	パルス幅、SPIn_CLK Low	$0.5P - 1^{(1)}$		ns
SM3	$t_w(\text{SPICLK})$	パルス幅、SPIn_CLK High	$0.5P - 1^{(1)}$		ns
SM6	$t_d(\text{SPICLK-PICO})$	遅延時間、SPIn_CLK アクティブ エッジから SPIn_D[x] まで	-3	2.5	ns
SM7	$t_d(\text{CS-PICO})$	遅延時間、SPIn_CSi アクティブ エッジから SPIn_D[x] まで	5		ns
SM8	$t_d(\text{CS-SPICLK})$	遅延時間、SPIn_CSi アクティブから SPIn_CLK の最初のエッジまで	PHA = 0	B - 4 <sup>(2)</sup>	ns
			PHA = 1	A - 4 <sup>(3)</sup>	ns
SM9	$t_d(\text{SPICLK-CS})$	遅延時間、SPIn_CLK の最後のエッジから SPIn_CSi 非アクティブまで	PHA = 0	A - 4 <sup>(4)</sup>	ns
			PHA = 1	B - 4 <sup>(5)</sup>	ns

- (1)  $P = \text{SPIn\_CLK}$  周期 (ns 単位)。
- (2)  $T_{\text{ref}}$  は、McSPI 機能クロックの周期です (ns 単位)。Fratio は、McSPI 機能クロックの周波数と SPIn\_CLK クロックの周波数との分周比で、MSPI\_CH(i)CONF レジスタの CLKD および CLKG ビットフィールド、および MSPI\_CH(i)CTRL レジスタの EXTCLK ビットフィールドによって制御されます。TCS(i) は、MSPI\_CH(i)CONF レジスタのチップ セレクト時間制御ビットフィールドにプログラムされる値です。
- Fratio = 1 のとき、 $B = (\text{TCS}(i) + 0.5) * T_{\text{ref}}$ 。
  - Fratio  $\geq 2$  かつ偶数のとき、 $B = (\text{TCS}(i) + 0.5) * \text{Fratio} * T_{\text{ref}}$ 。
  - Fratio  $\geq 3$  かつ奇数のとき、 $B = ((\text{TCS}(i) * \text{Fratio}) + ((\text{Fratio} + 1) / 2)) * T_{\text{ref}}$ 。
- (3)  $T_{\text{ref}}$  は、McSPI 機能クロックの周期です。Fratio は、McSPI 機能クロックの周波数と SPIn\_CLK クロックの周波数との分周比で、MSPI\_CH(i)CONF レジスタの CLKD および CLKG ビットフィールド、および MSPI\_CH(i)CTRL レジスタの EXTCLK ビットフィールドによって制御されます。TCS(i) は、MSPI\_CH(i)CONF レジスタのチップ セレクト時間制御ビットフィールドにプログラムされる値です。
- Fratio = 1 のとき、 $A = (\text{TCS}(i) + 1) * T_{\text{ref}}$ 。
  - Fratio  $\geq 2$  かつ偶数のとき、 $A = (\text{TCS}(i) + 0.5) * \text{Fratio} * T_{\text{ref}}$ 。
  - Fratio  $\geq 3$  かつ奇数のとき、 $A = ((\text{TCS}(i) * \text{Fratio}) + ((\text{Fratio} - 1) / 2)) * T_{\text{ref}}$ 。
- (4)  $T_{\text{ref}}$  は、McSPI 機能クロックの周期です。Fratio は、McSPI 機能クロックの周波数と SPIn\_CLK クロックの周波数との分周比で、MSPI\_CH(i)CONF レジスタの CLKD および CLKG ビットフィールド、および MSPI\_CH(i)CTRL レジスタの EXTCLK ビットフィールドによって制御されます。TCS(i) は、MSPI\_CH(i)CONF レジスタのチップ セレクト時間制御ビットフィールドにプログラムされる値です。
- Fratio = 1 のとき、 $A = (\text{TCS}(i) + 1) * T_{\text{ref}}$ 。
  - Fratio  $\geq 2$  かつ偶数のとき、 $A = (\text{TCS}(i) + 0.5) * \text{Fratio} * T_{\text{ref}}$ 。
  - Fratio  $\geq 3$  かつ奇数のとき、 $A = ((\text{TCS}(i) * \text{Fratio}) + ((\text{Fratio} + 1) / 2)) * T_{\text{ref}}$ 。
- (5)  $T_{\text{ref}}$  は、McSPI 機能クロックの周期です。Fratio は、McSPI 機能クロックの周波数と SPIn\_CLK クロックの周波数との分周比で、MSPI\_CH(i)CONF レジスタの CLKD および CLKG ビットフィールド、および MSPI\_CH(i)CTRL レジスタの EXTCLK ビットフィールドによって制御されます。TCS(i) は、MSPI\_CH(i)CONF レジスタのチップ セレクト時間制御ビットフィールドにプログラムされる値です。
- Fratio = 1 のとき、 $B = (\text{TCS}(i) + 0.5) * T_{\text{ref}}$ 。
  - Fratio  $\geq 2$  かつ偶数のとき、 $B = (\text{TCS}(i) + 0.5) * \text{Fratio} * T_{\text{ref}}$ 。
  - Fratio  $\geq 3$  かつ奇数のとき、 $B = ((\text{TCS}(i) * \text{Fratio}) + ((\text{Fratio} - 1) / 2)) * T_{\text{ref}}$ 。



SPRSP08\_TIMING\_McSPI\_01

図 6-67. SPI コントローラ モードの送信タイミング

ADVANCE INFORMATION

### 6.11.5.15.2 MCSPI – パリフェラル モード

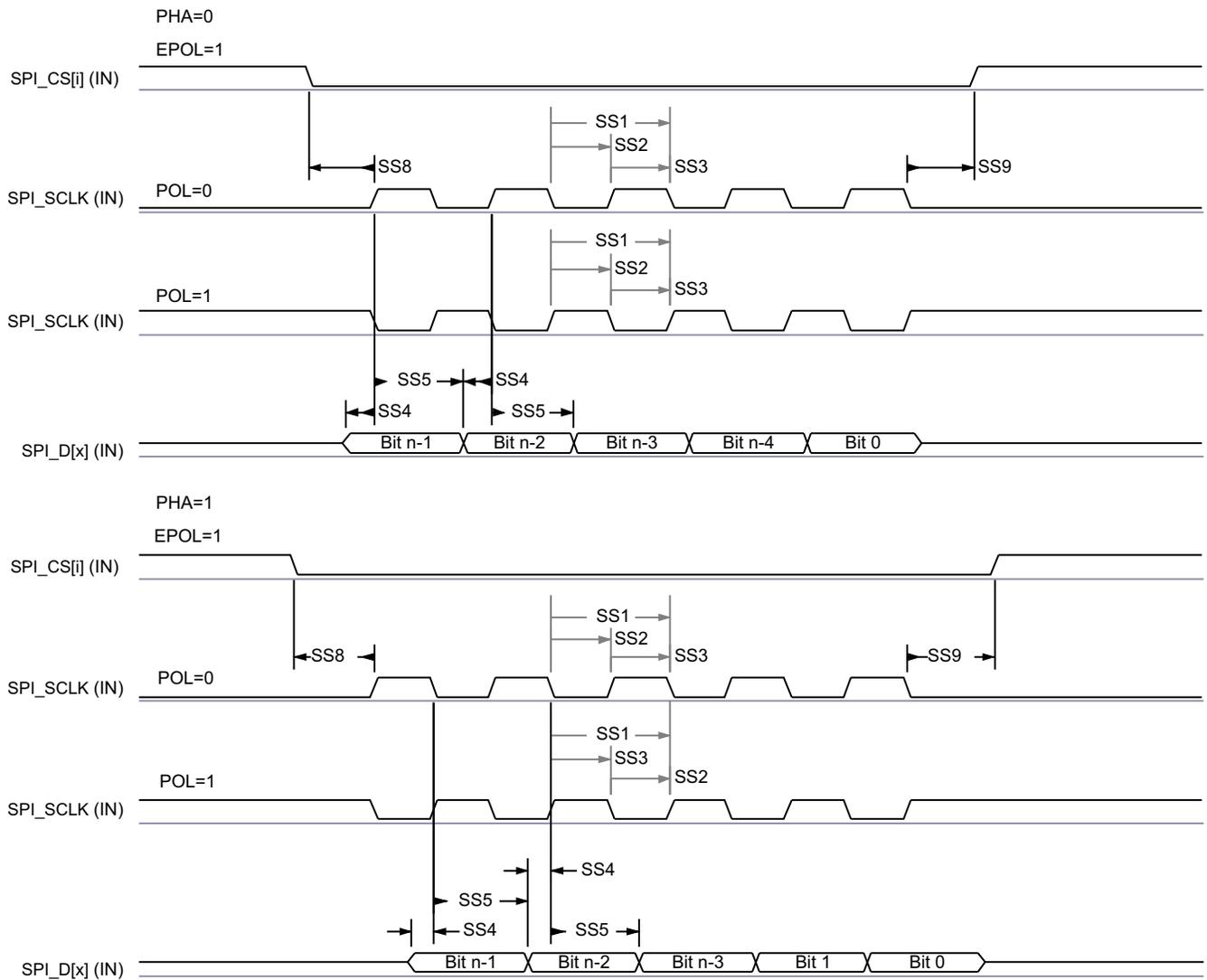
表 6-73、図 6-68、表 6-74、図 6-69 に、SPI – パリフェラル モードのタイミング要件とスイッチング特性を示します。

**表 6-73. MCSPI のタイミング要件 - パリフェラル モード**

図 6-68 参照

番号	パラメータ	説明	最小値	最大値	単位
SS1	$t_c(\text{SPICLK})$	サイクル時間、SPIn_CLK	20		ns
SS2	$t_w(\text{SPICLK L})$	パルス幅、SPIn_CLK Low	0.45P <sup>(1)</sup>		ns
SS3	$t_w(\text{SPICLK H})$	パルス幅、SPIn_CLK High	0.45P <sup>(1)</sup>		ns
SS4	$t_{su}(\text{PICO-SPICLK})$	セットアップ時間、SPIn_D[x] 有効から SPIn_CLK アクティブ エッジまで	5		ns
SS5	$t_h(\text{SPICLK-PICO})$	ホールド時間、SPIn_CLK のアクティブ エッジ後に SPIn_D[x] を有効に保持すべき時間	5		ns
SS8	$t_{su}(\text{CS-SPICLK})$	セットアップ時間、SPIn_CSi 有効から SPIn_CLK の最初のエッジまで	5		ns
SS9	$t_h(\text{SPICLK-CS})$	ホールド時間、SPIn_CLK の最後のエッジ後に SPIn_CSi 有効の時間	5		ns

(1) P = SPIn\_CLK 周期 (ns 単位)。



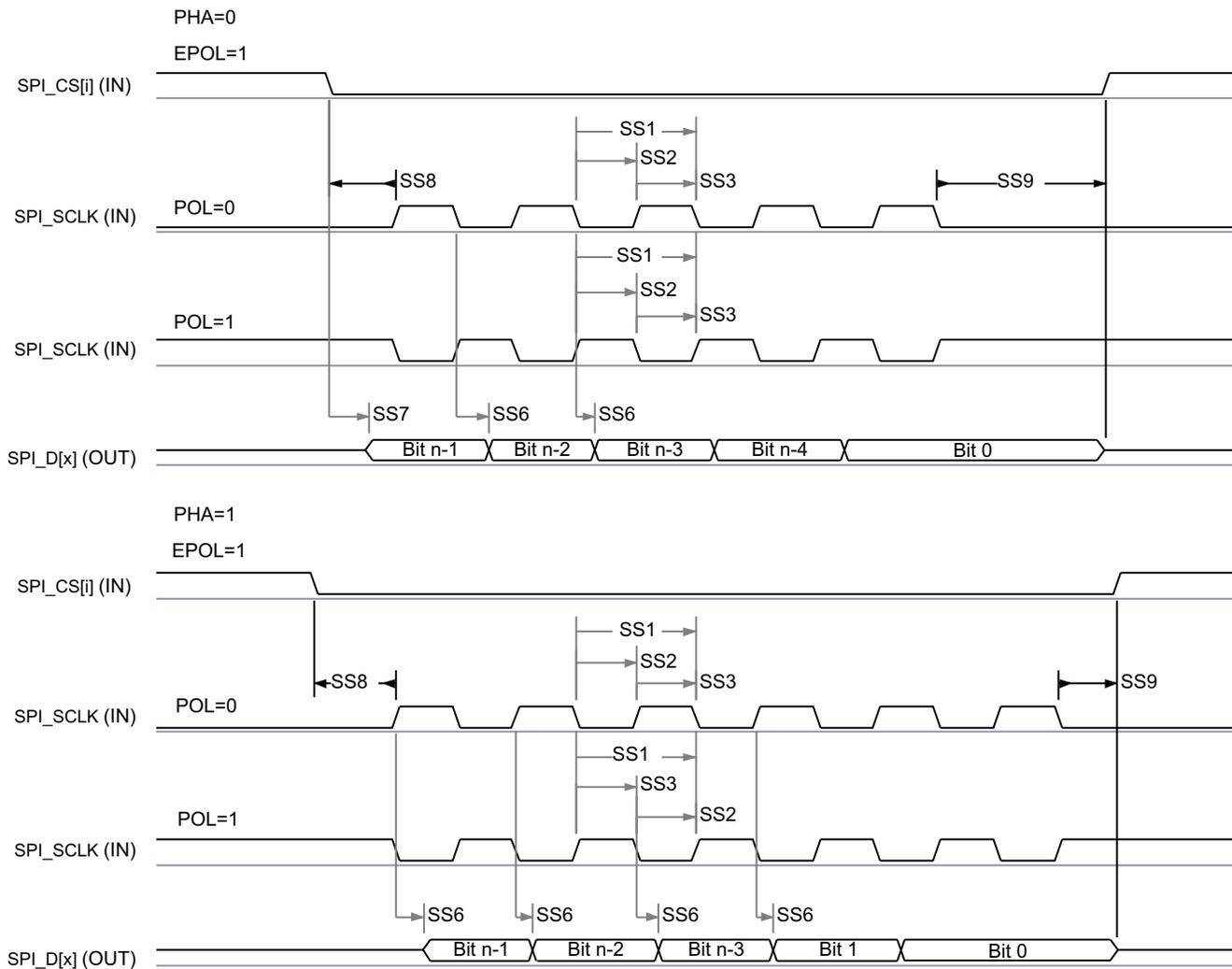
SPRSP08\_TIMING\_McSPI\_04

図 6-68. SPI ペリフェラル モードの受信タイミング

表 6-74. MCSPI のスイッチング特性 - ペリフェラル モード

図 6-69 参照

番号	パラメータ	説明	最小値	最大値	単位
SS6	$t_d(\text{SPICLK-POCI})$	遅延時間、SPIn_CLK アクティブ エッジから SPIn_D[x] まで	2	17.12	ns
SS7	$t_{sk}(\text{CS-POCI})$	遅延時間、SPIn_CSi アクティブ エッジから SPIn_D[x] まで	20.95		ns



SPRSP08\_TIMING\_McSPI\_03

図 6-69. SPI ペリフェラル モードの送信タイミング

ADVANCE INFORMATION

#### 6.11.5.16 MMCSDB

MMCSDB ホスト コントローラは、組込みマルチメディア カード (MMC)、セキュア デジタル (SD)、セキュア デジタル IO (SDIO) デバイスへのインターフェイスとして機能します。MMCSDB ホスト コントローラは、送信レベルでの MMC/SD/SDIO プロトコル、データ パッキング、巡回冗長検査 (CRC) の追加、開始 / 終了ビットの挿入、構文の正確性チェックを処理します。

MMCSDB インターフェイスの詳細については、「信号説明」および「詳細説明」セクションの対応する MMC0、MMC1、MMC2 サブセクションを参照してください。

---

#### 注

一部の動作モードでは、表 6-75 および 表 6-93 に示すように、MMC DLL 遅延設定のソフトウェア設定が必要です。

表 6-75 および 表 6-93 の ITAPDLYSEL 列に「Tuning」の値が表示されるモードでは、入力タイミングを最適化するためにチューニング アルゴリズムを使用する必要があります。入力タイミングを最適化するために必要な入力遅延のチューニング アルゴリズムと構成の詳細については、デバイス テクニカル リファレンス マニュアルの『MMCSDB プログラミング ガイド』を参照してください。

---

詳細については、デバイスのテクニカル リファレンス マニュアルで「ペリフェラル」の章にある「マルチメディアカード / セキュア デジタル (MMCSDB) インターフェイス」セクションを参照してください。

### 6.11.5.16.1 MMC0 - eMMC/SD/ SDIO インターフェイス

MMC0 インターフェイスは、JEDEC eMMC 電気規格 v5.1 (JESD84-B51) に準拠しており、以下に示す eMMC アプリケーションをサポートしています。

- レガシー SDR
- ハイスピード SDR
- HS200

MMC0 インターフェイスは、SD ホスト コントローラ標準仕様 4.10、SD 物理層仕様 v3.01、SDIO 仕様 v3.00 にも準拠しており、以下の SD カード アプリケーションをサポートしています。

- デフォルト速度
- 高速
- UHS-I SDR12
- UHS-I SDR25
- UHS-I SDR50
- UHS-I DDR50
- UHS-I SDR104

表 6-75 に、MMC0 タイミング モードに必要な DLL ソフトウェア構成設定を示します。

**表 6-75. すべてのタイミング モードに対する MMC0 DLL 遅延マッピング**

レジスタ名		MMCSD0_SS_PHY_CTRL_4_REG				MMCSD0_SS_PHY_CTRL_5_REG
ビットフィールド		[20]	[15:12]	[8]	[4:0]	[2:0]
ビットフィールド名		OTAPDLYENA	OTAPDLYSEL	ITAPDLYENA	ITAPDLYSEL	CLKBUFSEL
モード	説明	遅延 イネーブル	遅延 値	入力 遅延 イネーブル	入力 遅延 値	遅延 バッファ 時間
レガシー SDR	8 ビット PHY 動作 1.8V、25MHz	0x1	0x0	0x0	NA <sup>(1)</sup>	0x7
	8 ビット PHY 動作 3.3V、25MHz	0x1	0x0	0x0	NA <sup>(1)</sup>	0x7
高速 SDR	8 ビット PHY 動作 1.8V、50MHz	0x1	0x0	0x0	NA <sup>(1)</sup>	0x7
	8 ビット PHY 動作 3.3V、50MHz	0x1	0x0	0x0	NA <sup>(1)</sup>	0x7
HS200	8 ビット PHY 動作 1.8V、200MHz	0x1	0x6	0x1	チューニング <sup>(2)</sup>	0x7
デフォルト 速度	4 ビット PHY 動作 3.3V、25MHz	0x1	0x0	0x1	0x0	0x7
高速	4 ビット PHY 動作 3.3V、50MHz	0x1	0x0	0x1	0x0	0x7
UHS-I SDR12	4 ビット PHY 動作 1.8V、25MHz	0x1	0xF	0x1	0x0	0x7
UHS-I SDR25	4 ビット PHY 動作 1.8V、50MHz	0x1	0xF	0x1	0x0	0x7
UHS-I SDR50	4 ビット PHY 動作 1.8V、100MHz	0x1	0xC	0x1	チューニング <sup>(2)</sup>	0x7
UHS-I DDR50	4 ビット PHY 動作 1.8V、50MHz	0x1	0x9	0x1	チューニング <sup>(2)</sup>	0x7
UHS-I SDR104	4 ビット PHY 動作 1.8V、200MHz	0x1	0x6	0x1	チューニング <sup>(2)</sup>	0x7

(1) NA は該当なしを意味します。

(2) チューニングとは、このモードで最適な入力タイミングを実現するためにチューニング アルゴリズムを使用する必要があることを意味します。

表 6-76 に、MMC0 のタイミング条件を示します。

表 6-76. MMC0 のタイミング条件

パラメータ			最小値	最大値	単位
<b>入力条件</b>					
SR <sub>i</sub>	入力スルーレート	レガシー SDR 3.3V 時 高速 SDR 3.3V 時 デフォルト速度 高速	0.69	2.06	V/ns
		レガシー SDR 1.8 V 時 UHS-I SDR12	0.14	1.44	V/ns
		高速 SDR 1.8V 時 UHS-I SDR25	0.3	1.34	V/ns
		UHS-I DDR50	1	2	V/ns
<b>出力条件</b>					
C <sub>L</sub>	出力負荷容量	HS200 UHS-I SDR104	1	10	pF
		その他のすべてのモード	1	12	pF
<b>PCB 接続要件</b>					
t <sub>d</sub> (Trace Delay)	各パターンの伝搬遅延	レガシー SDR 高速 SDR HS200	126	756	ps
		デフォルト速度 高速 UHS-I SDR12 UHS-I SDR25 UHS-I SDR50 UHS-I SDR104	126	1386	ps
		UHS-I DDR50	239	1134	ps
t <sub>d</sub> (Trace Mismatch Delay)	すべてのパターンにわたる伝搬遅延の不整合	高速 SDR HS200 高速 UHS-I SDR104		8	ps
		UHS-I DDR50		20	ps
		その他のすべてのモード		100	ps

6.11.5.16.1.1 レガシー SDR モード

表 6-77、図 6-70、表 6-78、図 6-71 に、レガシー SDR モードでの MMC0 のタイミング要件とスイッチング特性を示します。

表 6-77. MMC0 のタイミング要件 – レガシー SDR モード

図 6-70 参照

番号			IO 動作 電圧	最小値	最大値	単位
LSDR1	$t_{su(cmdV-clkH)}$	セットアップ時間、MMC0_CMD 有効から MMC0_CLK 立ち上がりエッジまで	1.8 V	4.2		ns
			3.3 V	2.15		ns
LSDR2	$t_h(clkH-cmdV)$	ホールド時間、MMC0_CLK 立ち上がりエッジから MMC0_CMD 有効の間	1.8 V	0.87		ns
			3.3 V	1.67		ns
LSDR3	$t_{su(dV-clkH)}$	セットアップ時間、MMC0_DAT[7:0] 有効から MMC0_CLK 立ち上がりエッジまで	1.8 V	4.2		ns
			3.3 V	2.15		ns
LSDR4	$t_h(clkH-dV)$	ホールド時間、MMC0_CLK 立ち上がりエッジから MMC0_DAT[7:0] 有効の間	1.8 V	0.87		ns
			3.3 V	1.67		ns

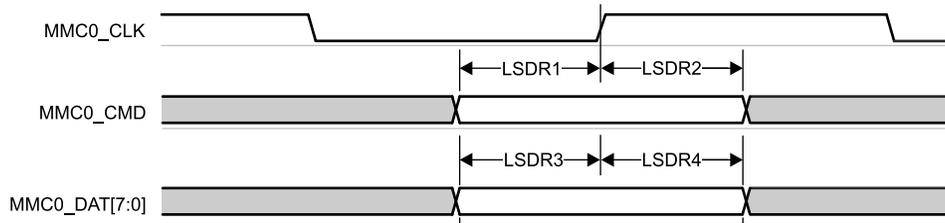


図 6-70. MMC0 – レガシー SDR – 受信モード

表 6-78. MMC0 のスイッチング特性 – レガシー SDR モード

図 6-71 参照

番号	パラメータ	IO 動作 電圧	最小値	最大値	単位	
	$f_{op(clk)}$	動作周波数、MMC0_CLK		25	MHz	
LSDR5	$t_c(clk)$	サイクル時間、MMC0_CLK	40		ns	
LSDR6	$t_w(clkH)$	パルス幅、MMC0_CLK high	18.7		ns	
LSDR7	$t_w(clkL)$	パルス幅、MMC0_CLK low	18.7		ns	
LSDR8	$t_d(clkL-cmdV)$	遅延時間、MMC0_CLK 立ち下がりエッジから MMC0_CMD 遷移まで	1.8 V	-2.1	2.1	ns
			3.3 V	-1.8	2.2	ns
LSDR9	$t_d(clkL-dV)$	遅延時間、MMC0_CLK 立ち下がりエッジから MMC0_DAT[7:0] 遷移まで	1.8 V	-2.1	2.1	ns
			3.3 V	-1.8	2.2	ns

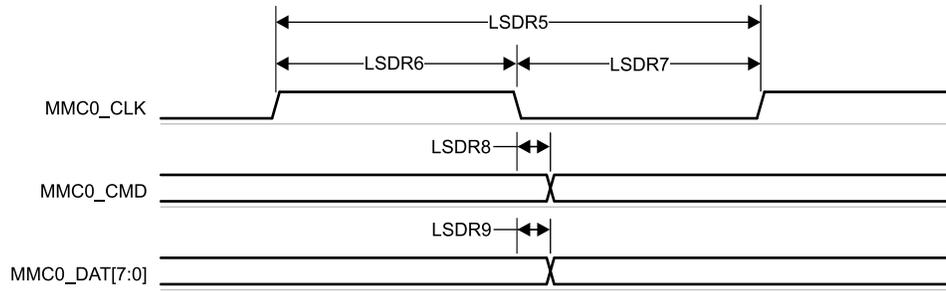


図 6-71. MMC0 – レガシー SDR – 送信モード

6.11.5.16.1.2 高速 SDR モード

表 6-79、図 6-72、表 6-80、および 図 6-73 に、高速 SDR モードでの MMC0 のタイミング要件とスイッチング特性を示します。

表 6-79. MMC0 のタイミング要件 – 高速 SDR モード

図 6-72 参照

番号	パラメータ	説明	IO 動作電圧	最小値	最大値	単位
HSSDR1	$t_{su(cmdV-clkH)}$	セットアップ時間、MMC0_CMD 有効から MMC0_CLK 立ち上がりエッジまで	1.8 V	2.15		ns
			3.3 V	2.24		ns
HSSDR2	$t_h(clkH-cmdV)$	ホールド時間、MMC0_CLK 立ち上がりエッジから MMC0_CMD 有効の間	1.8 V	1.27		ns
			3.3 V	1.66		ns
HSSDR3	$t_{su(dV-clkH)}$	セットアップ時間、MMC0_DAT[7:0] 有効から MMC0_CLK 立ち上がりエッジまで	1.8 V	2.15		ns
			3.3 V	2.24		ns
HSSDR4	$t_h(clkH-dV)$	ホールド時間、MMC0_CLK 立ち上がりエッジから MMC0_DAT[7:0] 有効の間	1.8 V	1.27		ns
			3.3 V	1.66		ns

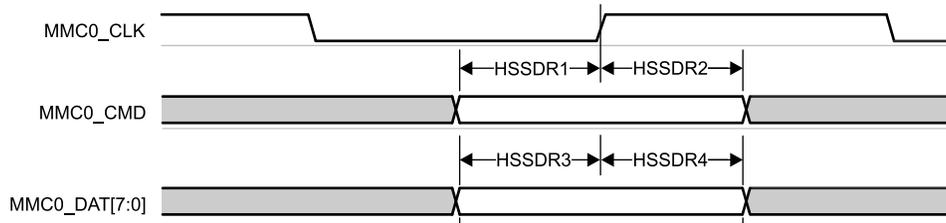


図 6-72. MMC0 – 高速 SDR モード – 受信モード

表 6-80. MMC0 のスイッチング特性 – 高速 SDR モード

図 6-73 参照

番号	パラメータ	説明	IO 動作電圧	最小値	最大値	単位
	$f_{op(clk)}$	動作周波数、MMC0_CLK			50	MHz
HSSDR5	$t_c(clk)$	サイクル時間、MMC0_CLK		20		ns
HSSDR6	$t_w(clkH)$	パルス幅、MMC0_CLK high		9.2		ns
HSSDR7	$t_w(clkL)$	パルス幅、MMC0_CLK low		9.2		ns
HSSDR8	$t_d(clkL-cmdV)$	遅延時間、MMC0_CLK 立ち下がりエッジから MMC0_CMD 遷移まで	1.8 V	-1.55	3.05	ns
			3.3 V	-1.8	2.2	ns
HSSDR9	$t_d(clkL-dV)$	遅延時間、MMC0_CLK 立ち下がりエッジから MMC0_DAT[7:0] 遷移まで	1.8 V	-1.55	3.05	ns
			3.3 V	-1.8	2.2	ns

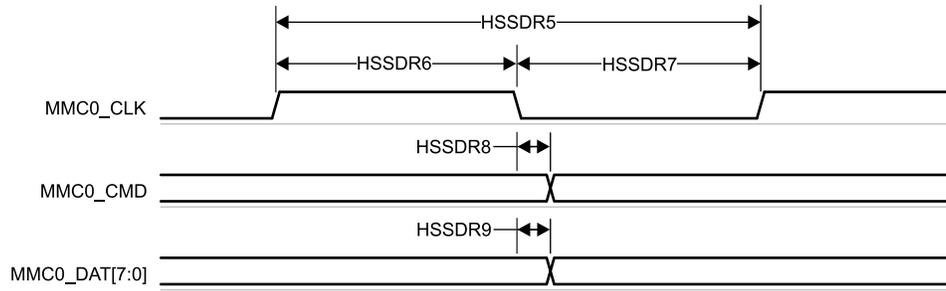


図 6-73. MMC0 – 高速 SDR モード – 送信モード

6.11.5.16.1.3 HS200 モード

表 6-81 および図 6-74 に、HS200 モードでの MMC0 のスイッチング特性を示します。

表 6-81. MMC0 のスイッチング特性 – HS200 モード

図 6-74 参照

番号	パラメータ	最小値	最大値	単位
	$f_{op}(clk)$ 動作周波数、MMC0_CLK		200	MHz
HS2005	$t_c(clk)$ サイクル時間、MMC0_CLK	5		ns
HS2006	$t_w(clkH)$ パルス幅、MMC0_CLK high	2.12		ns
HS2007	$t_w(clkL)$ パルス幅、MMC0_CLK low	2.12		ns
HS2008	$t_d(clkL-cmdV)$ 遅延時間、MMC0_CLK 立ち上がりエッジから MMC0_CMD 遷移まで	1.07	3.21	ns
HS2009	$t_d(clkL-dV)$ 遅延時間、MMC0_CLK 立ち上がりエッジから MMC0_DAT[7:0] 遷移まで	1.07	3.21	ns

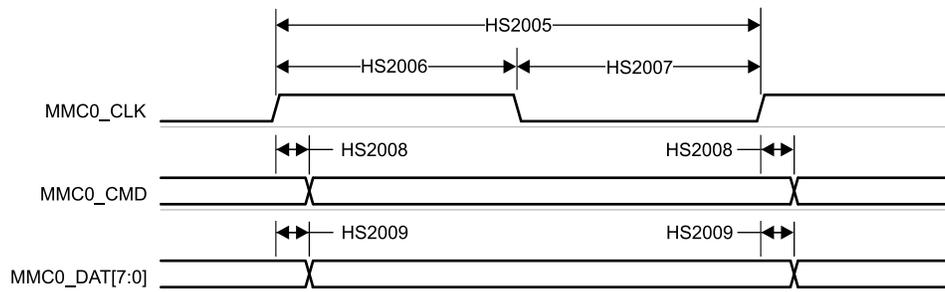


図 6-74. MMC0 – HS200 モード – 送信モード

### 6.11.5.16.1.4 デフォルト速度モード

表 6-82、図 6-75、表 6-83、図 6-76 に、デフォルト速度モードでの MMC0 のタイミング要件とスイッチング特性を示します。

表 6-82. MMC0 のタイミング要件 – デフォルト速度モード

図 6-75 参照

番号			最小値	最大値	単位
DS1	$t_{su}(cmdV-clkH)$	セットアップ時間、MMC0_CMD 有効から MMC0_CLK 立ち上がりエッジまで	2.15		ns
DS2	$t_h(clkH-cmdV)$	ホールド時間、MMC0_CLK 立ち上がりエッジから MMC0_CMD 有効の間	1.67		ns
DS3	$t_{su}(dV-clkH)$	セットアップ時間、MMC0_DAT[3:0] 有効から MMC0_CLK 立ち上がりエッジまで	2.15		ns
DS4	$t_h(clkH-dV)$	ホールド時間、MMC0_CLK 立ち上がりエッジから MMC0_DAT[3:0] 有効の間	1.67		ns

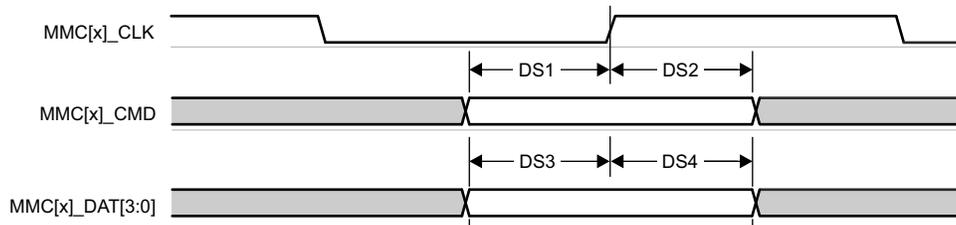


図 6-75. MMC0 – デフォルト速度 – 受信モード

表 6-83. MMC0 のスイッチング特性 – デフォルト速度モード

図 6-76 参照

番号	パラメータ	最小値	最大値	単位
	$f_{op}(clk)$		25	MHz
DS5	$t_c(clk)$	40		ns
DS6	$t_w(clkH)$	18.7		ns
DS7	$t_w(clkL)$	18.7		ns
DS8	$t_d(clkL-cmdV)$	- 1.8	2.2	ns
DS9	$t_d(clkL-dV)$	- 1.8	2.2	ns

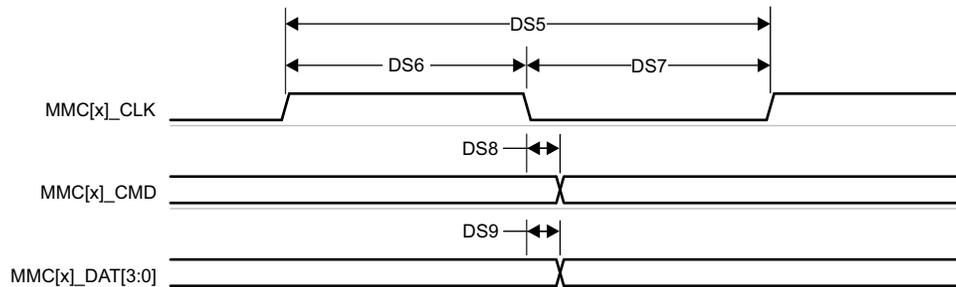


図 6-76. MMC0 – デフォルト速度 – 送信モード

6.11.5.16.1.5 高速モード

表 6-84、図 6-77、表 6-85、図 6-78 に、高速モードでの MMC0 のタイミング要件とスイッチング特性を示します。

表 6-84. MMC0 のタイミング要件 – 高速モード

図 6-77 参照

番号			最小値	最大値	単位
HS1	$t_{su}(cmdV-clkH)$	セットアップ時間、MMC0_CMD 有効から MMC0_CLK 立ち上がりエッジまで	2.24		ns
HS2	$t_h(clkH-cmdV)$	ホールド時間、MMC0_CLK 立ち上がりエッジから MMC0_CMD 有効の間	1.66		ns
HS3	$t_{su}(dV-clkH)$	セットアップ時間、MMC0_DAT[3:0] 有効から MMC0_CLK 立ち上がりエッジまで	2.24		ns
HS4	$t_h(clkH-dV)$	ホールド時間、MMC0_CLK 立ち上がりエッジから MMC0_DAT[3:0] 有効の間	1.66		ns

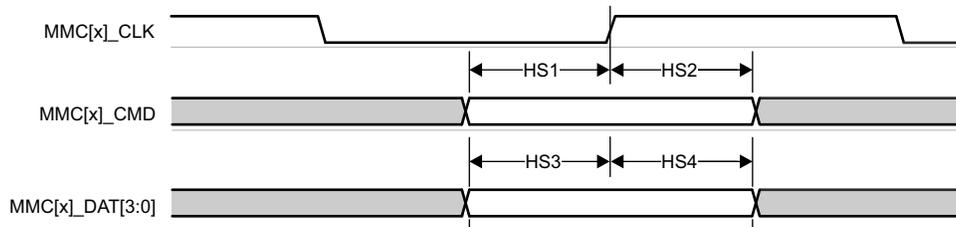


図 6-77. MMC0 – 高速 – 受信モード

表 6-85. MMC0 のスイッチング特性 – 高速モード

図 6-78 参照

番号	パラメータ		最小値	最大値	単位
	$f_{op}(clk)$	動作周波数、MMC0_CLK		50	MHz
HS5	$t_c(clk)$	サイクル時間、MMC0_CLK	20		ns
HS6	$t_w(clkH)$	パルス幅、MMC0_CLK high	9.2		ns
HS7	$t_w(clkL)$	パルス幅、MMC0_CLK low	9.2		ns
HS8	$t_d(clkL-cmdV)$	遅延時間、MMC0_CLK 立ち下がりエッジから MMC0_CMD 遷移まで	-1.8	2.2	ns
HS9	$t_d(clkL-dV)$	遅延時間、MMC0_CLK 立ち下がりエッジから MMC0_DAT[3:0] 遷移まで	-1.8	2.2	ns

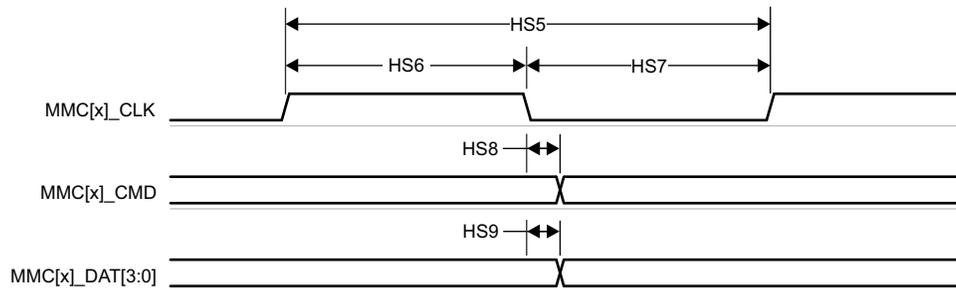


図 6-78. MMC0 – 高速 – 送信モード

### 6.11.5.16.1.6 UHS-I SDR12 モード

表 6-86、図 6-79、表 6-87、図 6-80 に、「MMC0 のタイミング要件とスイッチング特性 – UHS-I SDR12 モード」を示します。

表 6-86. MMC0 – UHS-I SDR12 モードのタイミング要件

図 6-79 参照

番号			最小値	最大値	単位
SDR121	$t_{su(cmdV-clkH)}$	セットアップ時間、MMC0_CMD 有効から MMC0_CLK 立ち上がりエッジまで	4.2		ns
SDR122	$t_{h(clkH-cmdV)}$	ホールド時間、MMC0_CLK 立ち上がりエッジから MMC0_CMD 有効の間	0.87		ns
SDR123	$t_{su(dV-clkH)}$	セットアップ時間、MMC0_DAT[3:0] 有効から MMC0_CLK 立ち上がりエッジまで	4.2		ns
SDR124	$t_{h(clkH-dV)}$	ホールド時間、MMC0_CLK 立ち上がりエッジから MMC0_DAT[3:0] 有効の間	0.87		ns

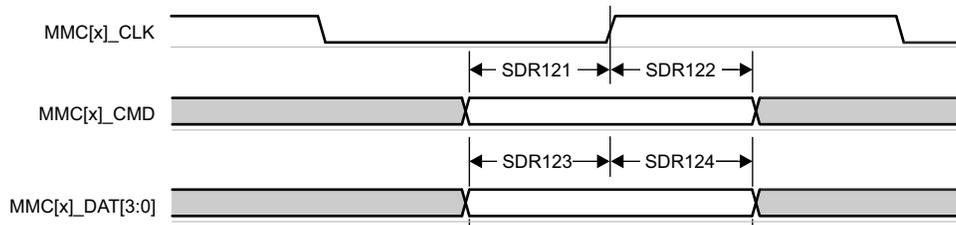


図 6-79. MMC0 – UHS-I SDR12 – 受信モード

表 6-87. MMC0 のスイッチング特性 – UHS-I SDR12 モード

図 6-80 参照

番号	パラメータ	最小値	最大値	単位
	$f_{op(clk)}$		25	MHz
SDR125	$t_c(clk)$		40	ns
SDR126	$t_w(clkH)$		18.7	ns
SDR127	$t_w(clkL)$		18.7	ns
SDR128	$t_d(clkL-cmdV)$	1.5	8.6	ns
SDR129	$t_d(clkL-dV)$	1.5	8.6	ns

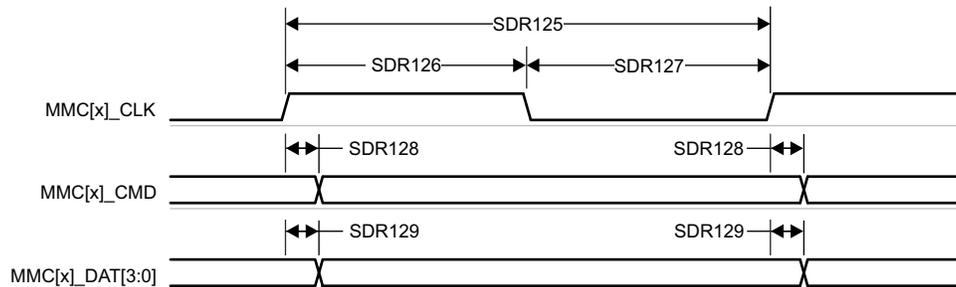


図 6-80. MMC0 – UHS-I SDR12 – 送信モード

6.11.5.16.1.7 UHS-I SDR25 モード

表 6-88、図 6-81、表 6-89、図 6-82 に、UHS-I SDR25 モードでの MMC0 のタイミング要件とスイッチング特性を示します。

表 6-88. MMC0 のタイミング要件 – UHS-I SDR25 モード

図 6-81 参照

番号			最小値	最大値	単位
SDR251	$t_{su}(cmdV-clkH)$	セットアップ時間、MMC0_CMD 有効から MMC0_CLK 立ち上がりエッジまで	2.15		ns
SDR252	$t_h(clkH-cmdV)$	ホールド時間、MMC0_CLK 立ち上がりエッジから MMC0_CMD 有効の間	1.27		ns
SDR253	$t_{su}(dV-clkH)$	セットアップ時間、MMC0_DAT[3:0] 有効から MMC0_CLK 立ち上がりエッジまで	2.15		ns
SDR254	$t_h(clkH-dV)$	ホールド時間、MMC0_CLK 立ち上がりエッジから MMC0_DAT[3:0] 有効の間	1.27		ns

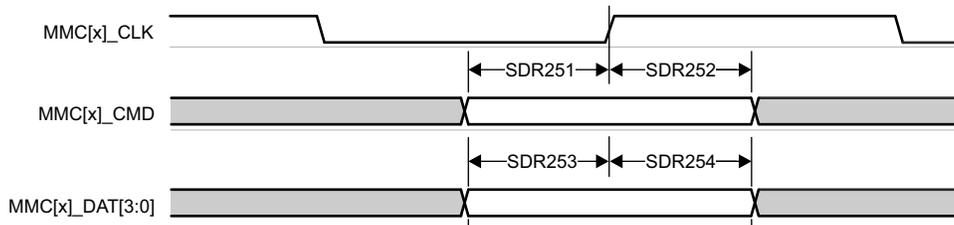


図 6-81. MMC0 – UHS-I SDR25 – 受信モード

表 6-89. MMC0 のスイッチング特性 – UHS-I SDR25 モード

図 6-82 参照

番号	パラメータ	最小値	最大値	単位
	$f_{op}(clk)$		50	MHz
SDR255	$t_c(clk)$	20		ns
SDR256	$t_w(clkH)$	9.2		ns
SDR257	$t_w(clkL)$	9.2		ns
SDR258	$t_d(clkL-cmdV)$	2.4	8.1	ns
SDR259	$t_d(clkL-dV)$	2.4	8.1	ns

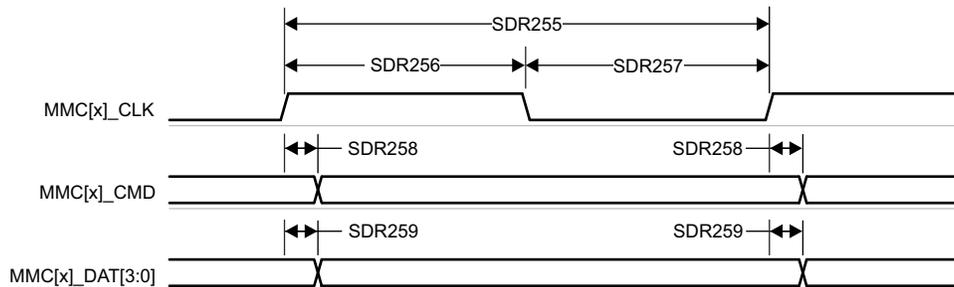


図 6-82. MMC0 – UHS-I SDR25 – 送信モード

6.11.5.16.1.8 UHS-I SDR50 モード

表 6-90 および 図 6-83 に、MMC0 – UHS-I SDR50 モードのスイッチング特性を示します。

表 6-90. MMC0 のスイッチング特性 – UHS-I SDR50 モード

図 6-83 参照

番号	パラメータ	最小値	最大値	単位
	$f_{op}(clk)$	動作周波数、MMC0_CLK		100 MHz
SDR505	$t_c(clk)$	サイクル時間、MMC0_CLK		10 ns
SDR506	$t_w(clkH)$	パルス幅、MMC0_CLK high		4.45 ns
SDR507	$t_w(clkL)$	パルス幅、MMC0_CLK low		4.45 ns
SDR508	$t_d(clkL-cmdV)$	遅延時間、MMC0_CLK 立ち上がりエッジから MMC0_CMD 遷移まで		1.2 ns 6.35 ns
SDR509	$t_d(clkL-dV)$	遅延時間、MMC0_CLK 立ち上がりエッジから MMC0_DAT[3:0] 遷移まで		1.2 ns 6.35 ns

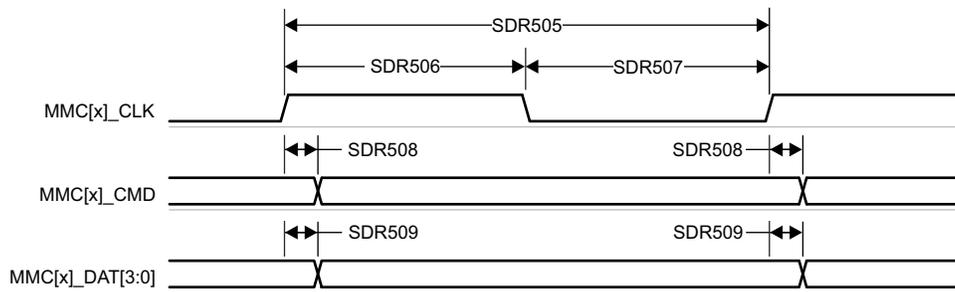


図 6-83. MMC0 – UHS-I SDR50 – 送信モード

6.11.5.16.1.9 UHS-I DDR50 モード

表 6-91 および 図 6-84 に、MMC0 – UHS-I DDR50 モードのスイッチング特性を示します。

表 6-91. MMC0 のスイッチング特性 – UHS-I DDR50 モード

図 6-84 参照

番号	パラメータ	最小値	最大値	単位
	$f_{op}(clk)$	動作周波数、MMC0_CLK		50 MHz
DDR505	$t_c(clk)$	20		ns
DDR506	$t_w(clkH)$	9.2		ns
DDR507	$t_w(clkL)$	9.2		ns
DDR508	$t_d(clk-cmdV)$	1.12	6.43	ns
DDR509	$t_d(clk-dV)$	1.12	6.43	ns

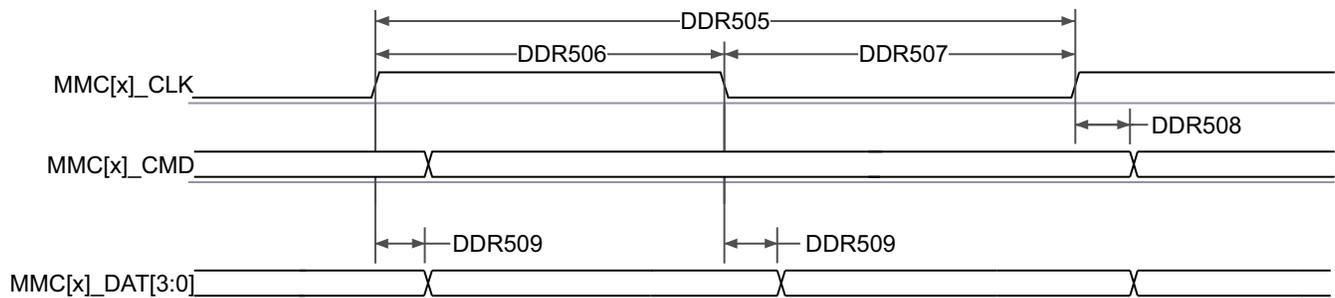


図 6-84. MMC0 – UHS-I DDR50 – 送信モード

6.11.5.16.1.10 UHS-I SDR104 モード

表 6-92 および 図 6-85 に、MMC0 – UHS-I SDR104 モードのスイッチング特性を示します。

表 6-92. MMC0 のスイッチング特性 – UHS-I SDR104 モード

図 6-85 参照

番号	パラメータ	最小値	最大値	単位
	$f_{op}(clk)$	動作周波数、MMC0_CLK		200 MHz
SDR1045	$t_c(clk)$	サイクル時間、MMC0_CLK		5 ns
SDR1046	$t_w(clkH)$	パルス幅、MMC0_CLK high		2.12 ns
SDR1047	$t_w(clkL)$	パルス幅、MMC0_CLK low		2.12 ns
SDR1048	$t_d(clkL-cmdV)$	遅延時間、MMC0_CLK 立ち上がりエッジから MMC0_CMD 遷移まで		1.07 ns
SDR1049	$t_d(clkL-dV)$	遅延時間、MMC0_CLK 立ち上がりエッジから MMC0_DAT[3:0] 遷移まで		1.07 ns

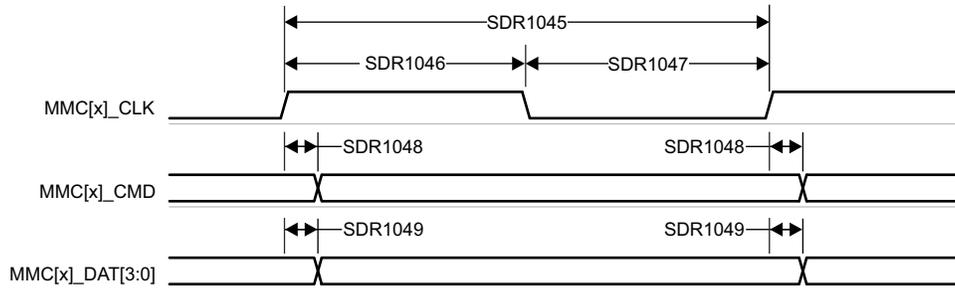


図 6-85. MMC0 – UHS-I SDR104 – 送信モード

### 6.11.5.16.2 MMC1/MMC2 - SD/SDIO インターフェイス

MMC1/MMC2 インターフェイスは、SD ホスト コントローラ標準仕様 4.10、SD 物理層仕様 v3.01、SDIO 仕様 v3.00 に準拠しており、以下の SD カード アプリケーションをサポートしています。

- デフォルト速度
- 高速
- UHS-I SDR12
- UHS-I SDR25
- UHS-I SDR50
- UHS-I DDR50
- UHS-I SDR104

表 6-93 に、MMC1/2 タイミング モードに必要な DLL ソフトウェア構成設定を示します。

表 6-93. すべてのタイミング モードに対する MMC1/MMC2 DLL 遅延マッピング

レジスタ名		MMCSD1_SS_PHY_CTRL_4_REG/ MMCSD2_SS_PHY_CTRL_4_REG				MMCSD1_SS_PHY_CTRL_5_REG/ MMCSD2_SS_PHY_CTRL_5_REG
ビットフィールド		[20]	[15:12]	[8]	[4:0]	[2:0]
ビットフィールド名		OTAPDLYENA	OTAPDLYSEL	ITAPDLYENA	ITAPDLYSEL	CLKBUFSEL
モード	説明	遅延 イネーブル	遅延 値	入力 遅延 イネーブル	入力 遅延 値	遅延 バツプア 時間
デフォルト 速度	4 ビット PHY 動作 3.3V、25MHz	0x1	0x0	0x1	0x0	0x7
高 速	4 ビット PHY 動作 3.3V、50MHz	0x1	0x0	0x1	0x0	0x7
UHS-I SDR12	4 ビット PHY 動作 1.8V、25MHz	0x1	0xF	0x1	0x0	0x7
UHS-I SDR25	4 ビット PHY 動作 1.8V、50MHz	0x1	0xF	0x1	0x0	0x7
UHS-I SDR50	4 ビット PHY 動作 1.8V、100MHz	0x1	0xC	0x1	チューニング (1)	0x7
UHS-I DDR50	4 ビット PHY 動作 1.8V、50MHz	0x1	0x9	0x1	チューニング (1)	0x7
UHS-I SDR104	4 ビット PHY 動作 1.8V、200MHz	0x1	0x6	0x1	チューニング (1)	0x7

(1) 「チューニング」とは、最適な入力タイミングで使用するために、このモードではチューニング アルゴリズムを使用する必要があることを意味します。

表 6-94 に、MMC1 のタイミング条件を示します。

**表 6-94. MMC1/MMC2 のタイミング条件**

パラメータ			最小値	最大値	単位
<b>入力条件</b>					
SR <sub>i</sub>	入力スルーレート	デフォルト速度 高速	0.69	2.06	V/ns
		UHS-I SDR12 UHS-I SDR25	0.34	1.34	V/ns
		UHS-I DDR50	1	2	V/ns
<b>出力条件</b>					
C <sub>L</sub>	出力負荷容量	すべてのモード	1	10	pF
<b>PCB 接続要件</b>					
t <sub>d</sub> (Trace Delay)	各パターンの伝搬遅延	UHS-I DDR50	239	1134	ps
		その他のすべてのモード	126	1386	ps
t <sub>d</sub> (Trace Mismatch Delay)	すべてのパターンにわたる伝搬遅延の不整合	高速 UHS-I SDR104		8	ps
		UHS-I DDR50		20	ps
		その他のすべてのモード		100	ps

6.11.5.16.2.1 デフォルト速度モード

表 6-95、図 6-86、表 6-96、図 6-87 に、MMC1/MMC2 – デフォルト速度モードのタイミング要件とスイッチング特性を示します。

表 6-95. MMC1/MMC2 のタイミング要件 – デフォルト速度モード

図 6-86 参照

番号			最小値	最大値	単位
DS1	$t_{su}(cmdV-clkH)$	セットアップ時間、MMCx_CMD 有効から MMCx_CLK 立ち上がりエッジまで	2.15		ns
DS2	$t_h(clkH-cmdV)$	ホールド時間、MMCx_CLK 立ち上がりエッジの後 MMCx_CMD 有効の間	1.67		ns
DS3	$t_{su}(dV-clkH)$	セットアップ時間、MMCx_DAT[3:0] 有効から MMCx_CLK 立ち上がりエッジまで	2.15		ns
DS4	$t_h(clkH-dV)$	ホールド時間、MMCx_CLK 立ち上がりエッジの後 MMCx_DAT[3:0] 有効の間	1.67		ns

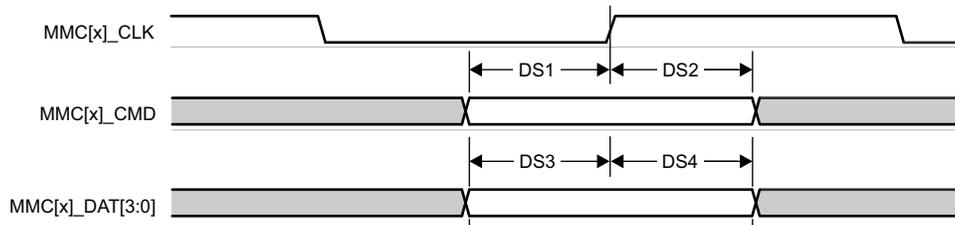


図 6-86. MMC1/MMC2 – デフォルト速度 – 受信モード

表 6-96. MMC1/MMC2 のスイッチング特性 - デフォルト速度モード

図 6-87 参照

番号	パラメータ		最小値	最大値	単位
	$f_{op}(clk)$	動作周波数、MMCx_CLK		25	MHz
DS5	$t_c(clk)$	サイクル時間、MMCx_CLK	40		ns
DS6	$t_w(clkH)$	パルス幅、MMCx_CLK high	18.7		ns
DS7	$t_w(clkL)$	パルス幅、MMCx_CLK low	18.7		ns
DS8	$t_d(clkL-cmdV)$	遅延時間、MMCx_CLK 立ち下がりエッジから MMCx_CMD 遷移まで	- 1.8	2.2	ns
DS9	$t_d(clkL-dV)$	遅延時間、MMCx_CLK 立ち下がりエッジから MMCx_DAT[3:0] 遷移まで	- 1.8	2.2	ns



図 6-87. MMC1/MMC2 – デフォルト速度 – 送信モード

### 6.11.5.16.2.2 高速モード

表 6-97、図 6-88、表 6-98、図 6-89 に、高速モードでの MMC1/MMC2 のタイミング要件とスイッチング特性を示します。

表 6-97. MMC1/MMC2 のタイミング要件 – 高速モード

図 6-88 参照

番号			最小値	最大値	単位
HS1	$t_{su}(cmdV-clkH)$	セットアップ時間、MMCx_CMD 有効から MMCx_CLK 立ち上がりエッジまで	2.24		ns
HS2	$t_h(clkH-cmdV)$	ホールド時間、MMCx_CLK 立ち上がりエッジから MMCx_CMD 有効の間	1.66		ns
HS3	$t_{su}(dV-clkH)$	セットアップ時間、MMCx_DAT[3:0] 有効から MMCx_CLK 立ち下がりエッジまで	2.24		ns
HS4	$t_h(clkH-dV)$	ホールド時間、MMCx_CLK 立ち上がりエッジから MMCx_DAT[3:0] 有効の間	1.66		ns

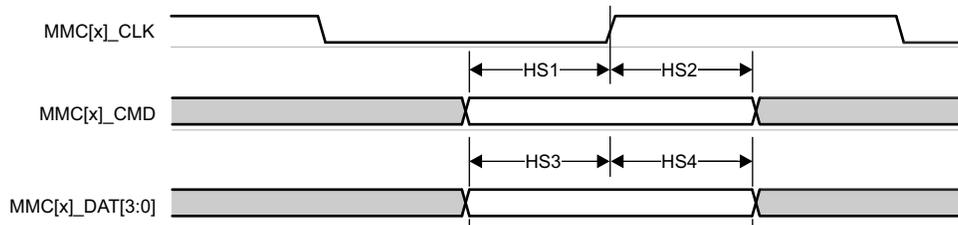


図 6-88. MMC1/MMC2 – 高速 – 受信モード

表 6-98. MMC1/MMC2 のスイッチング特性 – 高速モード

図 6-89 参照

番号	パラメータ		最小値	最大値	単位
	$f_{op}(clk)$	動作周波数、MMCx_CLK		50	MHz
HS5	$t_c(clk)$	サイクル時間、MMCx_CLK	20		ns
HS6	$t_w(clkH)$	パルス幅、MMCx_CLK High	9.2		ns
HS7	$t_w(clkL)$	パルス幅、MMCx_CLK Low	9.2		ns
HS8	$t_d(clkL-cmdV)$	遅延時間、MMCx_CLK 立ち下がりエッジから MMCx_CMD 遷移まで	- 1.8	2.2	ns
HS9	$t_d(clkL-dV)$	遅延時間、MMCx_CLK 立ち下がりエッジから MMCx_DAT[3:0] 遷移まで	- 1.8	2.2	ns

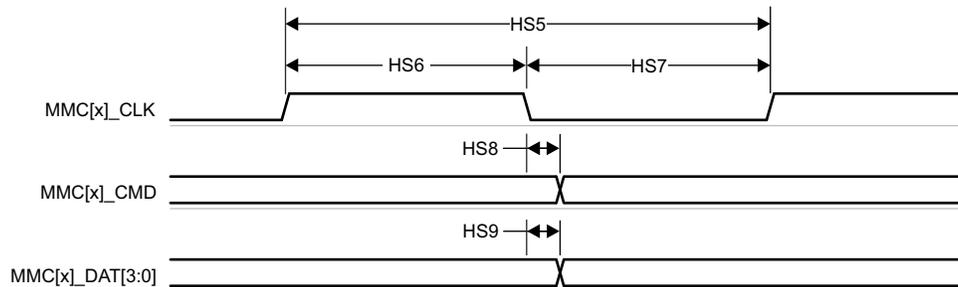


図 6-89. MMC1/MMC2 – 高速 – 送信モード

6.11.5.16.2.3 UHS-I SDR12 モード

表 6-99、図 6-90、表 6-100、および 図 6-91 に、MMC1/MMC2 – UHS-I SDR12 モードのタイミング要件とスイッチング特性を示します。

表 6-99. MMC1/MMC2 – UHS-I SDR12 モードのタイミング要件

図 6-90 参照

番号			最小値	最大値	単位
SDR121	$t_{su(cmdV-clkH)}$	セットアップ時間、MMCx_CMD 有効から MMCx_CLK 立ち上がりエッジまで	4.2		ns
SDR122	$t_{h(clkH-cmdV)}$	ホールド時間、MMCx_CLK 立ち上がりエッジの後 MMCx_CMD 有効の間	0.87		ns
SDR123	$t_{su(dV-clkH)}$	セットアップ時間、MMCx_DAT[3:0] 有効から MMCx_CLK 立ち上がりエッジまで	4.2		ns
SDR124	$t_{h(clkH-dV)}$	ホールド時間、MMCx_CLK 立ち上がりエッジの後 MMCx_DAT[3:0] 有効の間	0.87		ns

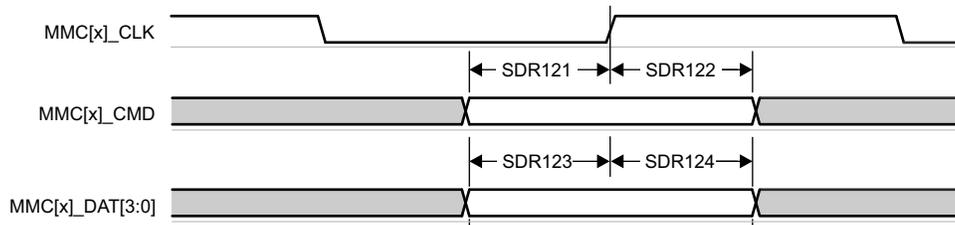


図 6-90. MMC1/MMC2 – UHS-I SDR12 – 受信モード

表 6-100. MMC1/MMC2 のスイッチング特性 – UHS-I SDR12 モード

図 6-91 参照

番号	パラメータ	最小値	最大値	単位
	$f_{op(clk)}$		25	MHz
SDR125	$t_c(clk)$	40		ns
SDR126	$t_w(clkH)$	18.7		ns
SDR127	$t_w(clkL)$	18.7		ns
SDR128	$t_d(clkL-cmdV)$	1.5	8.6	ns
SDR129	$t_d(clkL-dV)$	1.5	8.6	ns

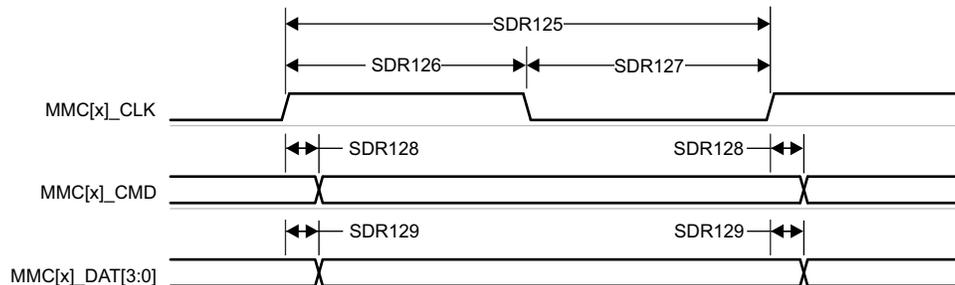


図 6-91. MMC1/MMC2 – UHS-I SDR12 – 送信モード

### 6.11.5.16.2.4 UHS-I SDR25 モード

表 6-101、図 6-92、表 6-102、図 6-93 に、UHS-I SDR25 モードでの MMC1/MMC2 のタイミング要件とスイッチング特性を示します。

表 6-101. MMC1/MMC2 のタイミング要件 – UHS-I SDR25 モード

図 6-92 参照

番号			最小値	最大値	単位
SDR251	$t_{su(cmdV-clkH)}$	セットアップ時間、MMCx_CMD 有効から MMCx_CLK 立ち上がりエッジまで	2.15		ns
SDR252	$t_{h(clkH-cmdV)}$	ホールド時間、MMCx_CLK 立ち上がりエッジから MMCx_CMD 有効の間	1.27		ns
SDR253	$t_{su(dV-clkH)}$	セットアップ時間、MMCx_DAT[3:0] 有効から MMCx_CLK 立ち上がりエッジまで	2.15		ns
SDR254	$t_{h(clkH-dV)}$	ホールド時間、MMCx_CLK 立ち上がりエッジから MMC0_DAT[3:0] 有効の間	1.27		ns

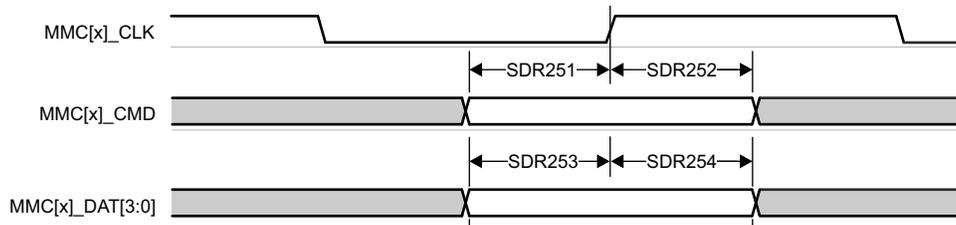


図 6-92. MMC1/MMC2 – UHS-I SDR25 – 受信モード

表 6-102. MMC1/MMC2 のスイッチング特性 – UHS-I SDR25 モード

図 6-93 参照

番号	パラメータ	最小値	最大値	単位
	$f_{op(clk)}$		50	MHz
SDR255	$t_{c(clk)}$	20		ns
SDR256	$t_{w(clkH)}$	9.2		ns
SDR257	$t_{w(clkL)}$	9.2		ns
SDR258	$t_{d(clkL-cmdV)}$	2.4	8.1	ns
SDR259	$t_{d(clkL-dV)}$	2.4	8.1	ns

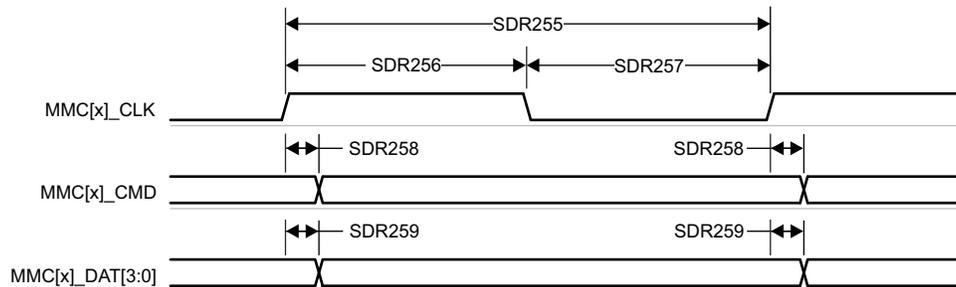


図 6-93. MMC1/MMC2 – UHS-I SDR25 – 送信モード

6.11.5.16.2.5 UHS-I SDR50 モード

表 6-103 および 図 6-94 に、UHS-I SDR50 モードでの MMC1/MMC2 のスイッチング特性を示します。

表 6-103. MMC1/MMC2 のスイッチング特性 – UHS-I SDR50 モード

図 6-94 参照

番号	パラメータ	最小値	最大値	単位
	$f_{op}(clk)$	動作周波数、MMCx_CLK		100 MHz
SDR505	$t_c(clk)$	サイクル時間、MMCx_CLK		10 ns
SDR506	$t_w(clkH)$	パルス幅、MMCx_CLK High		4.45 ns
SDR507	$t_w(clkL)$	パルス幅、MMCx_CLK Low		4.45 ns
SDR508	$t_d(clkL-cmdV)$	遅延時間、MMCx_CLK 立ち上がりエッジから MMCx_CMD 遷移まで		1.2 6.35 ns
SDR509	$t_d(clkL-dV)$	遅延時間、MMCx_CLK 立ち上がりエッジから MMCx_DAT[3:0] 遷移まで		1.2 6.35 ns

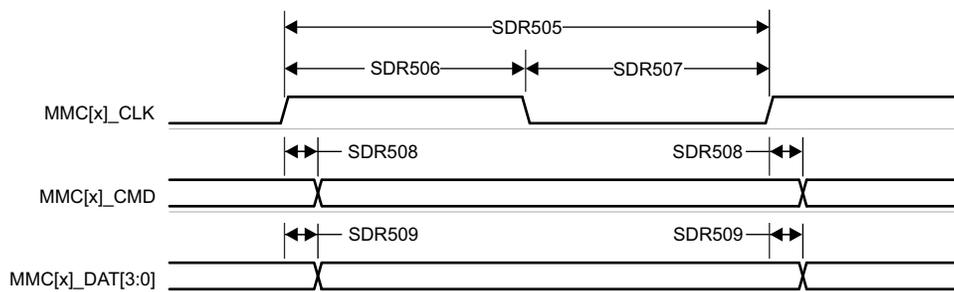


図 6-94. MMC1/MMC2 – UHS-I SDR50 – 送信モード

6.11.5.16.2.6 UHS-I DDR50 モード

表 6-104 および 図 6-95 に、MMC1/MMC2 – UHS-I DDR50 モードのスイッチング特性を示します。

表 6-104. MMC1/MMC2 – UHS-I DDR50 モードのスイッチング特性

図 6-95 参照

番号	パラメータ	最小値	最大値	単位
	$f_{op}(clk)$	動作周波数、MMCx_CLK		50 MHz
DDR505	$t_c(clk)$	20		ns
DDR506	$t_w(clkH)$	9.2		ns
DDR507	$t_w(clkL)$	9.2		ns
DDR508	$t_d(clk-cmdV)$	1.12	6.43	ns
DDR509	$t_d(clk-dV)$	1.12	6.43	ns

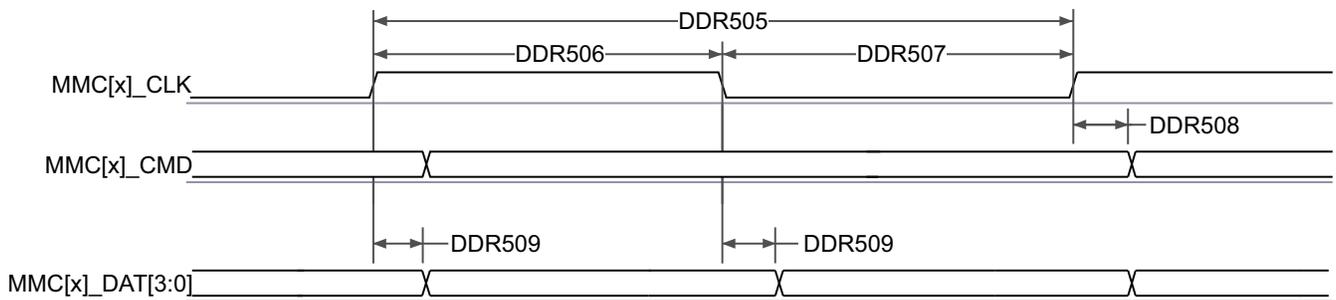


図 6-95. MMC1/MMC2 – UHS-I DDR50 – 送信モード

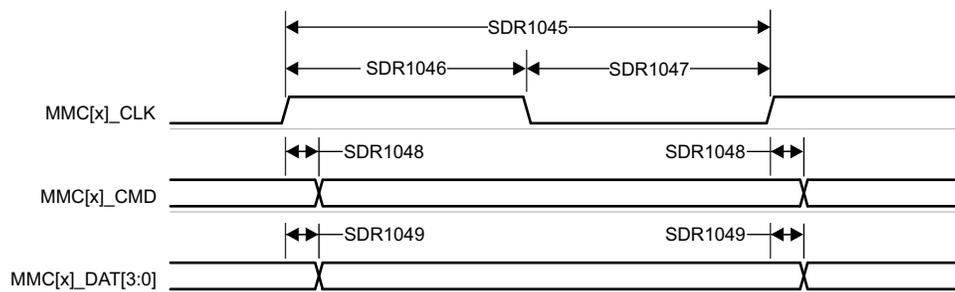
### 6.11.5.16.2.7 UHS-I SDR104 モード

表 6-105 および 図 6-96 に、MMC1/MMC2 – UHS-I SDR104 モードのスイッチング特性を示します。

**表 6-105. MMC1/MMC2 – UHS-I SDR104 モードのスイッチング特性**

図 6-96 参照

番号	パラメータ	最小値	最大値	単位		
	$f_{op}(clk)$	動作周波数、MMCx_CLK		200	MHz	
SDR1045	$t_c(clk)$	サイクル時間、MMCx_CLK		5	ns	
SDR1046	$t_w(clkH)$	パルス幅、MMCx_CLK High		2.12	ns	
SDR1047	$t_w(clkL)$	パルス幅、MMCx_CLK Low		2.12	ns	
SDR1048	$t_d(clkL-cmdV)$	遅延時間、MMCx_CLK 立ち上がりエッジから MMCx_CMD 遷移まで		1.07	3.21	ns
SDR1049	$t_d(clkL-dV)$	遅延時間、MMCx_CLK 立ち上がりエッジから MMCx_DAT[3:0] 遷移まで		1.07	3.21	ns



**図 6-96. MMC1/MMC2 – UHS-I SDR104 – 送信モード**

### 6.11.5.17 OSPI

OSPI0 には、PHY モードと Tap モードの 2 つのデータ キャプチャ モードがあります。

PHY モードでは、内部基準クロックを使用して DLL ベースの PHY 経由でデータを送受信します。各基準クロック サイクルはシングル データレート (SDR) 転送の場合は OSPI0\_CLK の 1 サイクル、ダブル データレート (DDR) 転送の場合は OSPI0\_CLK の半サイクルを生成します。PHY モードは、受信データ キャプチャ クロックについて 4 つのクロック トポロジをサポートしています。内部 PHY ループバック - 内部基準クロックを PHY 受信データ キャプチャ クロックとして使用します。内部パッド ループバック - OSPI0\_LBCLKO ピンから PHY にループバックされた OSPI0\_LBCLKO を PHY 受信データ キャプチャ クロックとして使用します。外部ボード ループバック - OSPI0\_DQS ピンから PHY にループバックされた OSPI0\_LBCLKO を PHY 受信データ キャプチャ クロックとして使用します。DQS - 接続されたデバイスからの DQS 出力を PHY 受信データ キャプチャ クロックとして使用します。内部パッド ループバックおよび DQS クロッキング トポロジを使用する場合、SDR 転送はサポートされません。内部 PHY ループバックまたは内部パッド ループバック クロッキング トポロジを使用する場合、DDR 転送はサポートされません。

タップ モードは、選択可能なタップと共に内部基準クロックを使用して、OSPI0\_CLK に対してデータの送受信キャプチャ 遅延を調整します。OSPI0\_CLK は、SDR 転送では内部基準クロックの 4 分周、DDR 転送では内部基準クロックの 8 分周です。タップ モードは、受信データ キャプチャ クロックに対して 1 つのクロック トポロジのみをサポートします。ループバックなし - 内部基準クロックをタップ受信データ キャプチャ クロックとして使用します。このクロック トポロジは、最大 200MHz の内部リファレンス クロック レートをサポートし、SDR モードでは 50MHz、DDR モードでは 25MHz までの OSPI0\_CLK レートを生成します。

詳細については、デバイスのテクニカル リファレンス マニュアルで「ペリフェラル」の章にある「オクタ ル シリアル ペリフェラル インターフェイス (OSPI)」セクションを参照してください。

オクタ ル シリアル ペリフェラル インターフェイスの機能の詳細および追加の説明情報については、「信号の説明」および「詳細説明」セクションの対応するサブセクションを参照してください。

セクション 6.11.5.17.1 は PHY モードに関連する、セクション 6.11.5.17.2 はタップ モードに関連するタイミング要件とスイッチング特性を定義します。

表 6-106 に、OSPI0 のタイミング条件を示します。

表 6-106. OSPI0 のタイミング条件

パラメータ	モード	最小値	最大値	単位	
<b>入力条件</b>					
SR <sub>i</sub>	入力スルーレート	1	6	V/ns	
<b>出力条件</b>					
C <sub>L</sub>	出力負荷容量	3	10	pF	
<b>PCB 接続要件</b>					
t <sub>d</sub> (Trace Delay)	OSPI0_CLK パターンの伝搬遅延	ループバックなし 内部 PHY ループバック 内部パッド ループバック	450	ps	
	OSPI0_LBCLKO パターンの伝搬遅延	外部ボードのループバック	2L <sup>(1)</sup> - 30	2L <sup>(1)</sup> + 30	ps
	OSPI0_DQS パターンの伝搬遅延	DQS	L <sup>(1)</sup> - 30	L <sup>(1)</sup> + 30	ps
t <sub>d</sub> (Trace Mismatch Delay)	OSPI0_CLK に対する OSPI0_D[7:0] と OSPI0_CS <sub>n</sub> [3:0] の伝搬遅延ミスマッチ	すべてのモード	60	ps	

(1) L = OSPI0\_CLK パターンの伝搬遅延

6.11.5.17.1 OSPI0 PHY モード

6.11.5.17.1.1 データ トレーニングを伴う OSPI

表 6-107 に、データトレーニング付き OSPI のスイッチング特性を示します。

表 6-107. OSPI のスイッチング特性 – データ トレーニング

パラメータ		モード	最小値	最大値	単位
t <sub>c</sub> (CLK)	サイクル時間、CLK	1.8V、SDR	6.02		ns
		3.3V、SDR	7.52		ns
		1.8V、DDR	6.02		ns
		3.3V、DDR	7.52		ns

6.11.5.17.1.2 データ トレーニングなし OSPI

注

このセクションに示す I/O タイミングは、データトレーニングが実装されていない場合にのみ適用されます。さらに、この I/O タイミングは、対応する DLL 遅延が表 6-108 で説明するとおり設定されていれば、一部の OSPI 使用モードでのみ有効です。

表 6-108. タイミングモードの OSPI DLL 遅延マッピング

モード	OSPI_PHY_CONFIGURATION_REG ビット フィールド	遅延値
1.8V、OSPI0 DDR TX	PHY_CONFIG_TX_DLL_DELAY_FLD	0x45
3.3V、OSPI0 DDR TX	PHY_CONFIG_TX_DLL_DELAY_FLD	0x46
1.8V、OSPI0 DQS	PHY_CONFIG_RX_DLL_DELAY_FLD	0x14
3.3V、OSPI0 DQS	PHY_CONFIG_RX_DLL_DELAY_FLD	0x3A
その他のすべてのモード	PHY_CONFIG_TX_DLL_DELAY_FLD、 PHY_CONFIG_RX_DLL_DELAY_FLD	0x0

6.11.5.17.1.2.1 OSPI0 PHY SDR のタイミング

表 6-109 に、OSPI0 PHY SDR モードに必要な DLL 遅延を定義します。表 6-110、図 6-97、図 6-98、表 6-111、図 6-99 に、OSPI0 PHY SDR モードのタイミング要件とスイッチング特性を示します。

表 6-109. OSPI0 の DLL 遅延マッピング – PHY SDR タイミング モード

モード	OSPI_PHY_CONFIGURATION_REG ビット フィールド	遅延値
送信		
すべてのモード	PHY_CONFIG_TX_DLL_DELAY_FLD	0x0
受信		
すべてのモード	PHY_CONFIG_RX_DLL_DELAY_FLD	0x0

表 6-110. OSPI0 のタイミング要件 – PHY SDR モード

図 6-97 および 図 6-98 を参照

番号			モード	最小値	最大値	単位
O19	t <sub>su</sub> (D-CLK)	セットアップ時間、OSPI0_D[7:0] 有効から OSPI0_CLK のエッジまで	1.8V、PHY ループバック内蔵 SDR	4.8		ns
			3.3V、PHY ループバック内蔵 SDR	5.19		ns
O20	t <sub>h</sub> (CLK-D)	ホールド時間、OSPI0_CLK のアクティブ エッジ後に OSPI0_D[7:0] を有効に保持すべき時間	1.8V、PHY ループバック内蔵 SDR	-0.5		ns
			3.3V、PHY ループバック内蔵 SDR	-0.5		ns
O21	t <sub>su</sub> (D-LBCLK)	セットアップ時間、OSPI0_D[7:0] 有効から OSPI0_DQS のエッジまで	1.8V、外部ボード ループバック付き SDR	0.6		ns
			3.3V、外部ボード ループバック付き SDR	0.9		ns

表 6-110. OSPI0 のタイミング要件 – PHY SDR モード (続き)

図 6-97 および 図 6-98 を参照

番号		モード	最小値	最大値	単位
O22	$t_{h(LBCLK-D)}$	1.8V、外部ボード ループバック付き SDR	1.7		ns
		3.3V、外部ボード ループバック付き SDR	2.0		ns

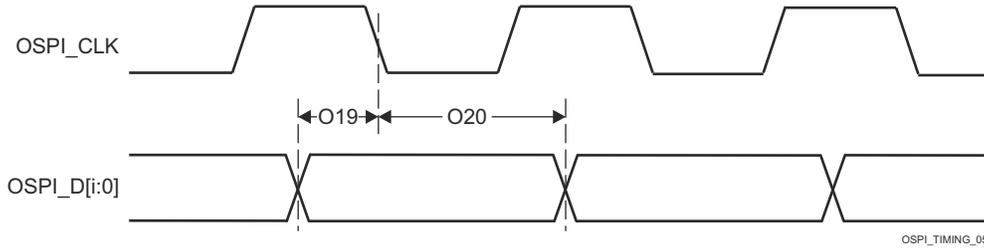


図 6-97. OSPI0 のタイミング要件 – PHY ループバック内蔵 PHY SDR

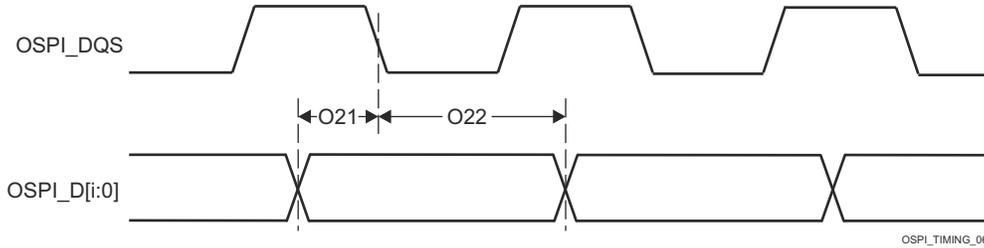


図 6-98. OSPI0 のタイミング要件 – 外部ボード ループバック付き PHY SDR

表 6-111. OSPI0 のスイッチング特性 – PHY SDR モード

図 6-99 参照

番号	パラメータ	モード	最小値	最大値	単位
O7	$t_{c}(\text{CLK})$	1.8 V	7		ns
		3.3 V	6.03		ns
O8	$t_{w}(\text{CLKL})$		$((0.475P^{(1)}) - 0.3)$		ns
O9	$t_{w}(\text{CLKH})$		$((0.475P^{(1)}) - 0.3)$		ns
O10	$t_{d}(\text{CSn-CLK})$		$((0.475P^{(1)}) + (0.975M^{(2)}R^{(4)}) + (0.04TD^{(5)}) - 1)$	$((0.525P^{(1)}) + (1.025M^{(2)}R^{(4)}) + (0.11TD^{(5)}) + 1)$	ns
O11	$t_{d}(\text{CLK-CSn})$		$((0.475P^{(1)}) + (0.975N^{(3)}R^{(4)}) - (0.11TD^{(5)}) - 1)$	$((0.525P^{(1)}) + (1.025N^{(3)}R^{(4)}) - (0.04TD^{(5)}) + 1)$	ns
O12	$t_{d}(\text{CLK-D})$	1.8 V	-1.16	1.25	ns
		3.3 V	-1.33	1.51	ns

- (1) P = SCLK サイクル時間 (ns 単位) = OSPI0\_CLK サイクル時間 (ns 単位)
- (2) M = OSPI\_DEV\_DELAY\_REG[D\_INIT\_FLD]
- (3) N = OSPI\_DEV\_DELAY\_REG[D\_AFTER\_FLD]
- (4) R = リファレンス クロック サイクル時間 (ns 単位)
- (5) TD = PHY\_CONFIG\_TX\_DLL\_DELAY\_FLD

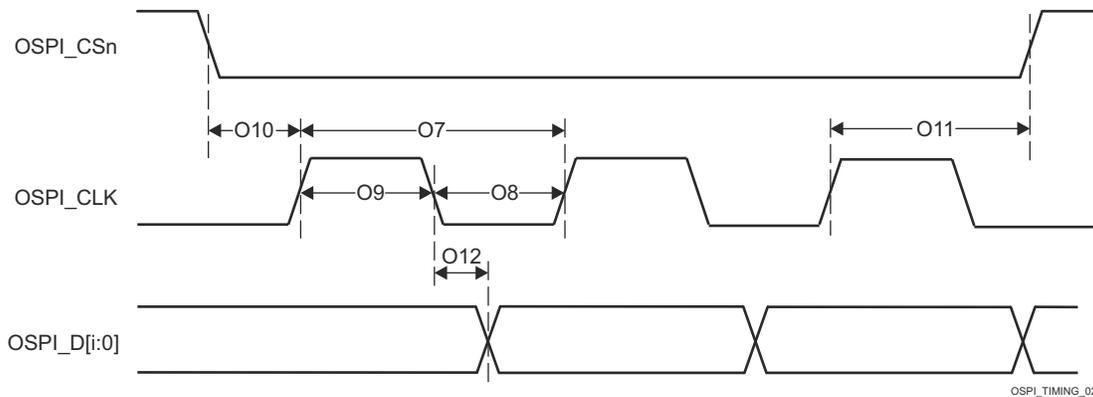


図 6-99. OSPI0 のスイッチング特性 – PHY SDR モード

### 6.11.5.17.1.2.2 OSPI0 PHY DDR のタイミング

表 6-112 に、OSPI0 PHY DDR モードに必要な DLL 遅延を定義します。表 6-113、図 6-100、表 6-114、図 6-101 に、OSPI0 PHY DDR モードのタイミング要件とスイッチング特性を示します。

表 6-112. OSPI0 の DLL 遅延マッピング – PHY DDR タイミングモード

モード	OSPI_PHY_CONFIGURATION_REG ビット フィールド	遅延値
送信		
1.8 V	PHY_CONFIG_TX_DLL_DELAY_FLD	0x46
3.3 V	PHY_CONFIG_TX_DLL_DELAY_FLD	0x43
受信		
1.8V、DQS	PHY_CONFIG_RX_DLL_DELAY_FLD	0x15
3.3V、DQS	PHY_CONFIG_RX_DLL_DELAY_FLD	0x3A
その他のすべてのモード	PHY_CONFIG_RX_DLL_DELAY_FLD	0x0

表 6-113. OSPI0 のタイミング要件 – PHY DDR モード

図 6-100 参照

番号		モード	最小値	最大値	単位
O15	$t_{su}(D-LBCLK)$	セットアップ時間、OSPI0_D[7:0] 有効から OSPI0_DQS のエッジまで	1.8V、外部ボード ループバック付き DDR	0.53	ns
			1.8V、DQS 付き DDR	-0.46	ns
			3.3V、外部ボード ループバック付き DDR	1.23	ns
			3.3V、DQS 付き DDR	-0.66	ns
O16	$t_h(LBCLK-D)$	ホールド時間、OSPI0_DQS のアクティブ エッジ後に OSPI0_D[7:0] を有効に保持すべき時間	1.8V、外部ボード ループバック付き DDR	1.24 <sup>(1)</sup>	ns
			1.8V、DQS 付き DDR	3.59	ns
			3.3V、外部ボード ループバック付き DDR	1.44 <sup>(1)</sup>	ns
			3.3V、DQS 付き DDR	7.92	ns

- (1) このホールド時間の要件は、一般的な OSPI/QSPI/SPI デバイスのホールド時間よりも長いですが、SoC と、接続された OSPI/QSPI/SPI デバイスとの間のパターン長は、SoC でのホールド時間を確実に満たすのに十分な長さにする必要があります。補償のため、SoC の外部ループバッククロック (OSPI0\_LBCLKO から OSPI0\_DQS まで) の長さを短くする必要がある場合があります。

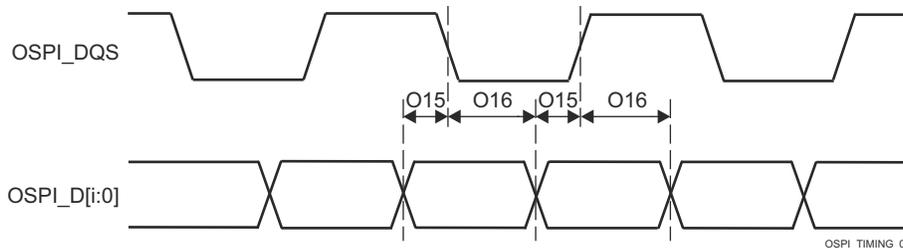


図 6-100. OSPI0 のタイミング要件 – 外部ボード ループバックまたは DQS 付き PHY DDR

表 6-114. OSPI0 のスイッチング特性 – PHY DDR モード

図 6-101 参照

番号	パラメータ	モード	最小値	最大値	単位
O1	$t_{c}(\text{CLK})$ サイクル時間、OSPI0_CLK		19		ns
O2	$t_{w}(\text{CLKL})$ パルス幅、OSPI0_CLK low		$((0.475P^{(1)}) - 0.3)$		ns
O3	$t_{w}(\text{CLKH})$ パルス幅、OSPI0_CLK high		$((0.475P^{(1)}) - 0.3)$		ns
O4	$t_{d}(\text{CSn-CLK})$ 遅延時間、OSPI0_CS <sub>n</sub> [3:0] アクティブ エッジから OSPI0_CLK 立ち上がりエッジまで		$((0.475P^{(1)}) + (0.975M^{(2)}R^{(4)}) + (0.04TD^{(5)}) - 1)$	$((0.525P^{(1)}) + (1.025M^{(2)}R^{(4)}) + (0.11TD^{(5)}) + 1)$	ns
O5	$t_{d}(\text{CLK-CSn})$ 遅延時間、OSPI0_CLK 立ち上がりエッジから OSPI0_CS <sub>n</sub> [3:0] 非アクティブ エッジまで		$((0.475P^{(1)}) + (0.975N^{(3)}R^{(4)}) - (0.11TD^{(5)}) - 1)$	$((0.525P^{(1)}) + (1.025N^{(3)}R^{(4)}) - (0.04TD^{(5)}) + 1)$	ns
O6	$t_{d}(\text{CLK-D})$ 遅延時間、OSPI0_CLK アクティブ エッジから OSPI0_D[7:0] 遷移まで	1.8 V	-7.71	-1.56	ns
		3.3 V	-7.71	-1.56	ns

- (1) P = SCLK サイクル時間 (ns 単位) = OSPI0\_CLK サイクル時間 (ns 単位)
- (2) M = OSPI\_DEV\_DELAY\_REG[D\_INIT\_FLD]
- (3) N = OSPI\_DEV\_DELAY\_REG[D\_AFTER\_FLD]
- (4) R = リファレンス クロック サイクル時間 (ns 単位)
- (5) TD = PHY\_CONFIG\_TX\_DLL\_DELAY\_FLD

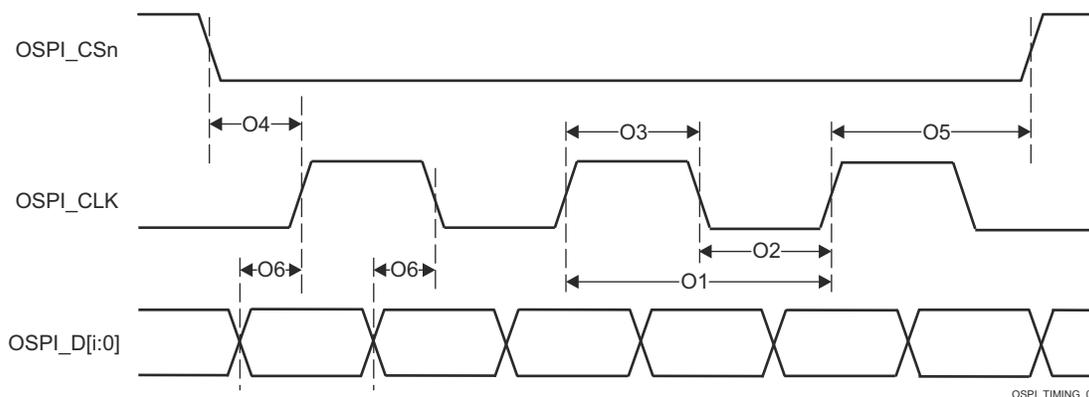


図 6-101. OSPI0 のスイッチング特性 – PHY DDR モード

ADVANCE INFORMATION

### 6.11.5.17.2 OSPI0 タップモード

#### 6.11.5.17.2.1 OSPI0 タップSDR のタイミング

表 6-115、図 6-102、表 6-116、図 6-103 に、OSPI0 タップ SDR モードのタイミング要件とスイッチング特性を示します。

表 6-115. OSPI0 のタイミング要件 – タップ SDR モード

図 6-102 参照

番号		モード	最小値	最大値	単位
O19	$t_{su}(D-CLK)$	セットアップ時間、OSPI0_D[7:0] 有効から OSPI0_CLK のエッジまで	(15.4 - $(0.975T^{(1)}R^{(2)})$ )		ns
O20	$t_h(CLK-D)$	ホールド時間、OSPI0_CLK のアクティブ エッジ後に OSPI0_D[7:0] を有効に保持すべき時間	(- 4.3 + $(0.975T^{(1)}R^{(2)})$ )		ns

(1) T = OSPI\_RD\_DATA\_CAPTURE\_REG[DELAY\_FLD]

(2) R = 基準クロック サイクル時間 (ns)

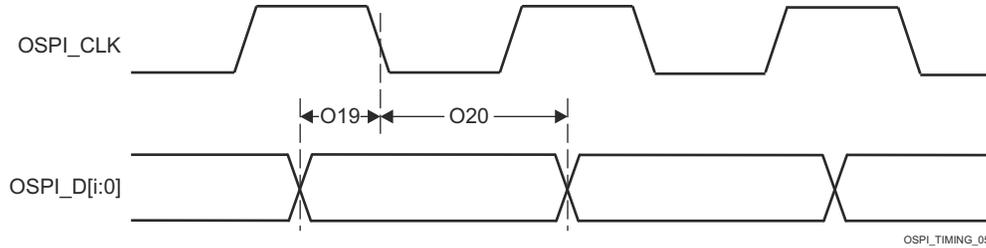


図 6-102. OSPI0 のタイミング要件 – タップ SDR、ループバックなし

表 6-116. OSPI0 のスイッチング特性 – タップ SDR モード

図 6-103 参照

番号	パラメータ	モード	最小値	最大値	単位
O7	$t_{c}(\text{CLK})$	サイクル時間、OSPI0_CLK	20		ns
O8	$t_{w}(\text{CLKL})$	パルス幅、OSPI0_CLK low	$((0.475P^{(1)}) - 0.3)$		ns
O9	$t_{w}(\text{CLKH})$	パルス幅、OSPI0_CLK high	$((0.475P^{(1)}) - 0.3)$		ns
O10	$t_{d}(\text{CSn-CLK})$	遅延時間、OSPI0_CS <sub>n</sub> [3:0] アクティブ エッジから OSPI0_CLK 立ち上がりエッジまで	$((0.475P^{(1)}) + (0.975M^{(2)}R^{(4)}) - 1)$	$((0.525P^{(1)}) + (1.025M^{(2)}R^{(4)}) + 1)$	ns
O11	$t_{d}(\text{CLK-CSn})$	遅延時間、OSPI0_CLK 立ち上がりエッジから OSPI0_CS <sub>n</sub> [3:0] 非アクティブ エッジまで	$((0.475P^{(1)}) + (0.975N^{(3)}R^{(4)}) - 1)$	$((0.525P^{(1)}) + (1.025N^{(3)}R^{(4)}) + 1)$	ns
O12	$t_{d}(\text{CLK-D})$	遅延時間、OSPI0_CLK アクティブ エッジから OSPI0_D[7:0] 遷移まで	- 4.25	7.25	ns

- (1) P = SCLK サイクル時間 (ns) = OSPI0\_CLK 周期 (ns)
- (2) M = OSPI\_DEV\_DELAY\_REG[D\_INIT\_FLD]
- (3) N = OSPI\_DEV\_DELAY\_REG[D\_AFTER\_FLD]
- (4) R = 基準クロック サイクル時間 (ns)

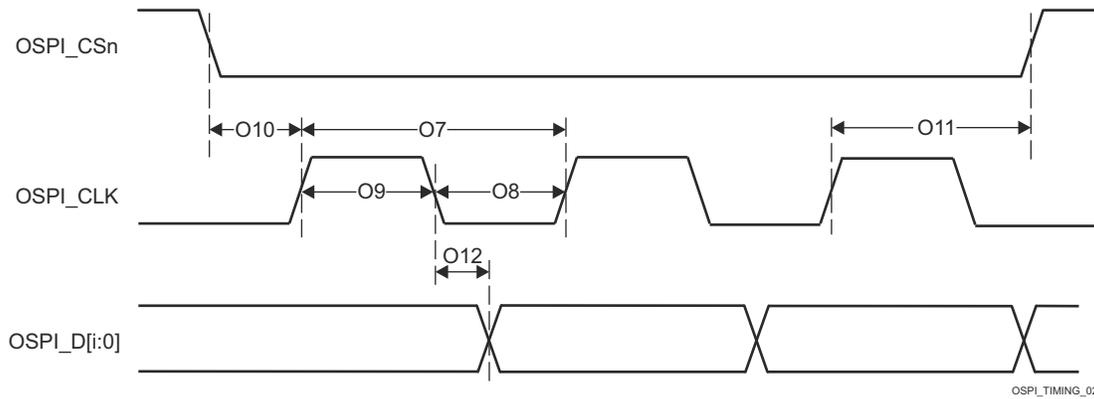


図 6-103. OSPI0 のスイッチング特性 – タップ SDR、ループバックなし

ADVANCE INFORMATION

### 6.11.5.17.2.2 OSPI0 タップDDR のタイミング

表 6-117、図 6-104、表 6-118、図 6-105 に、OSPI0 タップ DDR モードのタイミング要件とスイッチング特性を示します。

表 6-117. OSPI0 のタイミング要件 – タップ DDR モード

図 6-104 参照

番号		モード	最小値	最大値	単位
O13	$t_{su(D-CLK)}$	セットアップ時間、OSPI0_D[7:0] 有効から OSPI0_CLK のエッジまで	(17.04 - (0.975T <sup>(1)</sup> R <sup>(2)</sup> ))		ns
O14	$t_{h(CLK-D)}$	ホールド時間、OSPI0_CLK のアクティブ エッジ後に OSPI0_D[7:0] を有効に保持すべき時間	(- 3.16 + (0.975T <sup>(1)</sup> R <sup>(2)</sup> ))		ns

- (1) T = OSPI\_RD\_DATA\_CAPTURE\_REG[DELAY\_FLD]  
 (2) R = 基準クロック サイクル時間 (ns)

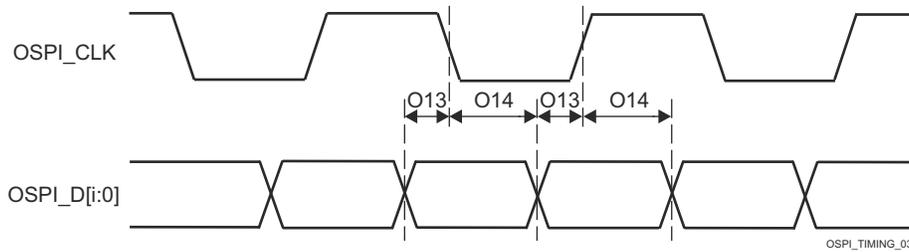


図 6-104. OSPI0 のタイミング要件 – タップ DDR、ループバックなし

表 6-118. OSPI0 のスイッチング特性 – タップ DDR モード

図 6-105 参照

番号	パラメータ	モード	最小値	最大値	単位
O1	$t_{c(CLK)}$	サイクル時間、OSPI0_CLK	40		ns
O2	$t_{w(CLKL)}$	パルス幅、OSPI0_CLK low	$((0.475P^{(1)}) - 0.3)$		ns
O3	$t_{w(CLKH)}$	パルス幅、OSPI0_CLK high	$((0.475P^{(1)}) - 0.3)$		ns
O4	$t_{d(CSn-CLK)}$	遅延時間、OSPI0_CSn[3:0] アクティブ エッジから OSPI0_CLK 立ち上がりエッジまで	$((0.475P^{(1)}) + ((0.975M^{(2)}R^{(5)}) - 1)$	$((0.525P^{(1)}) + (1.025M^{(2)}R^{(5)}) + 1)$	ns
O5	$t_{d(CLK-CSn)}$	遅延時間、OSPI0_CLK 立ち上がりエッジから OSPI0_CSn[3:0] 非アクティブ エッジまで	$((0.475P^{(1)}) + (0.975N^{(3)}R^{(5)}) - 1)$	$((0.525P^{(1)}) + (1.025N^{(3)}R^{(5)}) + 1)$	ns
O6	$t_{d(CLK-D)}$	遅延時間、OSPI0_CLK アクティブ エッジから OSPI0_D[7:0] 遷移まで	$(- 5.04 + (0.975(T^{(4)} + 1)R^{(5)}) - (0.525P^{(1)}))$	$(3.64 + (1.025(T^{(4)} + 1)R^{(5)}) - (0.475P^{(1)}))$	ns

- (1) P = SCLK サイクル時間 (ns 単位) = OSPI0\_CLK サイクル時間 (ns 単位)
- (2) M = OSPI\_DEV\_DELAY\_REG[D\_INIT\_FLD]
- (3) N = OSPI\_DEV\_DELAY\_REG[D\_AFTER\_FLD]
- (4) T = OSPI\_RD\_DATA\_CAPTURE\_REG[DDR\_READ\_DELAY\_FLD]
- (5) R = 基準クロック サイクル時間 (ns)

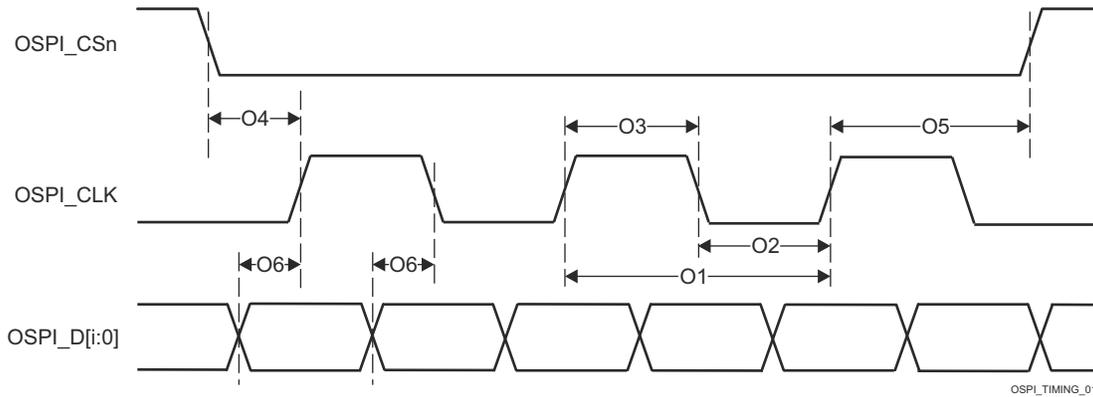


図 6-105. OSPI0 のスイッチング特性 – タップ DDR、ループバックなし

### 6.11.5.18 タイマ

タイマ デバイスの機能および追加の説明情報については、「信号の説明」、「詳細説明」セクションの対応するサブセクションを参照してください。

表 6-119. タイマのタイミング条件

パラメータ		最小値	最大値	単位
入力条件				
SR <sub>i</sub>	入力スルーレート	0.5	5	V/ns
出力条件				
C <sub>L</sub>	出力負荷容量	2	10	pF

表 6-120. タイマ入力のタイミング要件

図 6-106 参照

番号	パラメータ	説明	モード	最小値	最大値	単位
T1	t <sub>w(TINPH)</sub>	パルス幅、High	キャプチャ	4P <sup>(1)</sup> + 2.5		ns
T2	t <sub>w(TINPL)</sub>	パルス幅、Low	キャプチャ	4P <sup>(1)</sup> + 2.5		ns

(1) P = 機能クロック周期 (ns 単位)。

表 6-121. タイマ出力のスイッチング特性

図 6-106 参照

番号	パラメータ	説明	モード	最小値	最大値	単位
T3	t <sub>w(TOOUTH)</sub>	パルス幅、High	PWM	4P <sup>(1)</sup> - 2.5		ns
T4	t <sub>w(TOOUTL)</sub>	パルス幅、Low	PWM	4P <sup>(1)</sup> - 2.5		ns

(1) P = 機能クロック周期 (ns 単位)。

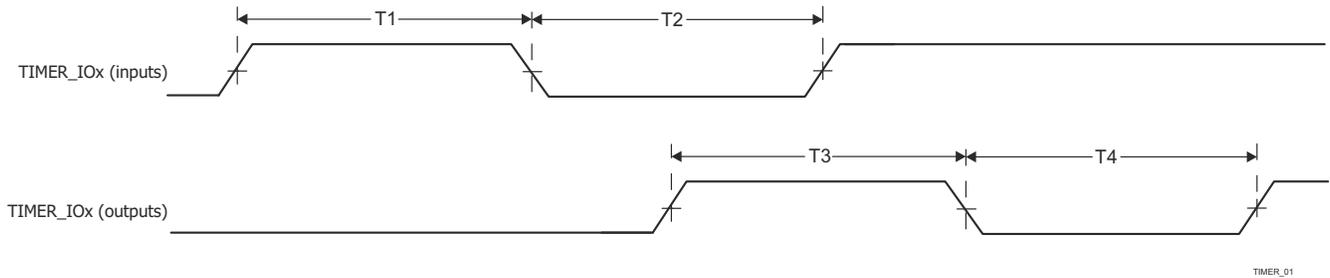


図 6-106. タイマのタイミング要件およびスイッチング特性

詳細については、デバイスのテクニカル リファレンス マニュアルで「ペリフェラル」の章にある「タイマ」セクションを参照してください。

### 6.11.5.19 UART

ユニバーサル非同期レシーバ / トランスミッタ デバイスの機能の詳細および追加説明情報については、「信号の説明」および「詳細説明」の対応するサブセクションを参照してください。

表 6-122. UART のタイミング条件

パラメータ		最小値	最大値	単位
入力条件				
SR <sub>I</sub>	入力スルーレート	0.5	5	V/ns
出力条件				
C <sub>L</sub>	出力負荷容量	1	30 <sup>(1)</sup>	pF

- (1) この値は、絶対最大負荷容量を表します。UART のボーレートが上昇するにつれて、接続されているデバイスに十分なタイミング マージンを確保するために、負荷容量をこの最大制限より小さい値に減らす必要がある場合があります。容量性負荷の増加に伴い、出力の立ち上がり / 立ち下がり時間が長くなり、接続されているデバイスのレシーバに対してデータが有効である時間が短くなります。したがって、接続されたデバイスが動作ボーレートで必要とする最小データ有効時間を理解することが重要です。次に、デバイス IBIS モデルを使用して、UART 信号上の実際の負荷容量によって、接続されているデバイスの最小データ有効時間を超えて立ち上がり / 立ち下がり時間が増加しないことを確認します。

表 6-123. UART のタイミング要件

図 6-107 参照

番号	パラメータ	説明	最小値	最大値	単位
1	t <sub>W(RXD)</sub>	パルス幅、受信データビット High または Low	0.95U <sup>(1)</sup> (2)	1.05U <sup>(1)</sup> (2)	ns
2	t <sub>W(RXDS)</sub>	パルス幅、受信スタートビット Low	0.95U <sup>(1)</sup> (2)		ns

- (1) U = UART のボー時間 (ns) = 1 / プログラムされたボーレート。  
 (2) この値はデータ有効時間を規定します。ここで、入力電圧は V<sub>IH</sub> を上回る、または V<sub>IL</sub> を下回る必要があります。

表 6-124. UART スイッチング特性

図 6-107 参照

番号	パラメータ	説明	最小値	最大値	単位
	f <sub>(baud)</sub>	メインドメイン UART のプログラム可能なボーレート		12	Mbps
		MCU および WKUP ドメイン UART 用のプログラム可能なボーレート		3.7	Mbps
3	t <sub>W(TXD)</sub>	パルス幅、送信データビット High または Low	U <sup>(1)</sup> - 2	U <sup>(1)</sup> + 2	ns
4	t <sub>W(TXDS)</sub>	パルス幅、送信スタートビット Low	U <sup>(1)</sup> - 2		ns

- (1) U = UART ボー時間 (ns) = 1 / 実際のボーレート。ここで、実際のボーレートはデバイス TRM の UART ボーレート設定表で規定されています。

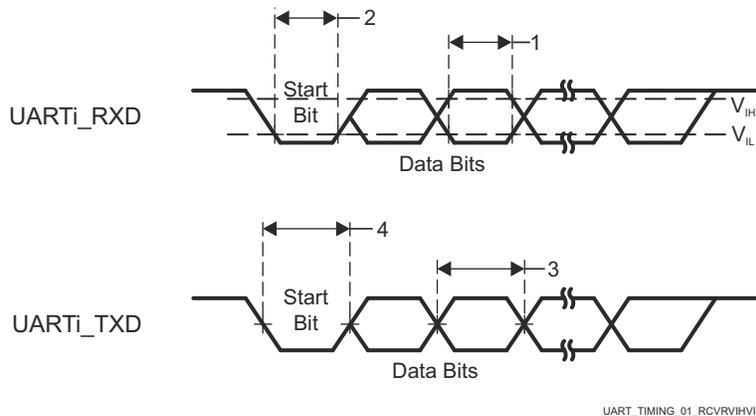


図 6-107. UART のタイミング要件およびスイッチング特性

詳細については、デバイスのテクニカル リファレンス マニュアルで「ペリフェラル」の章にある「ユニバーサル非同期レシーバ/トランスミッタ (UART)」セクションを参照してください。

#### **6.11.5.20 USB**

USB 2.0 サブシステムは、ユニバーサル シリアル バス (USB) 仕様、リビジョン 2.0 に準拠しています。タイミングの詳細については、仕様を参照してください。

デバイス、ユニバーサル シリアル バス サブシステム (USB) の機能および追加の説明情報については、「信号の説明」および「詳細説明」の対応するサブ セクションを参照してください。

## 7 詳細説明

### 7.1 概要

低コストでパフォーマンスを最適化した AM62L ファミリのアプリケーション プロセッサ は、Linux® アプリケーション開発向けに構築されています。スケーラブルな Arm® Cortex®-A53 コア性能と、以下のような組込み機能を搭載: マルチメディア DSI/DPI サポート、内蔵 ADC オンチップ、高度な低消費電力管理モード、および IP 保護とセキュア ブート用の広範なセキュリティ オプション。

AM62Lx には、広範な産業用アプリケーションに適した広範なペリフェラル セットが含まれており、インテリジェントな機能や最適化された電源アーキテクチャも提供します。さらに、AM62Lx に搭載されている広範なペリフェラル セットにより、以下のようなシステム レベルのコネクティビティを実現できます。USB、MMC/SD、OSPI、CAN-FD、ADC。

### 7.2 プロセッサ サブシステム

#### 7.2.1 Arm Cortex-A53 サブシステム

SoC は、クワッド コア Arm® Cortex®-A53 MPCore™ の 1 つのクラスタを実装しており、コアごとに 32KB L1 命令、32KB L1 データ、および 512KB L2 共有キャッシュを備えています。

Cortex®-A53 コアは、お客様のアプリケーションを実行するために使用できる汎用プロセッサです。

A53SS は、Arm が提供しテキサス・インスツルメンツが構成した Cortex®-A53 MPCore™ (Arm®-A53 クラスタ) を中心に構築されています。対称型マルチプロセッサ (SMP) アーキテクチャをベースとしているため、高性能と最適な電力管理、デバッグおよびエミュレーション機能を実現します。

A53 プロセッサはマルチイシュー アウトオブオーダー スーパースカラ実行エンジンであり、L1 命令キャッシュとデータ キャッシュを内蔵し、Arm®v8-A アーキテクチャと互換性があります。従来製品に比べ、電力効率が高く、性能が大幅に向上しています。

Arm®v8-A アーキテクチャは、多くの新機能を備えています。たとえば、64 ビット データ処理、拡張仮想アドレッシング、64 ビット 汎用レジスタがあります。A53 プロセッサは、電力効率の優れた 64 ビット処理の実現を目的とした、Arm 初の Arm®v8-A プロセッサです。8 段デュアル発行のインオーダー パイプラインと改良された整数型 Arm® Neon™、浮動小数点ユニット (FPU) とメモリの性能を特徴としています。

A53 CPU は、次の 2 つの実行状態をサポートしています。それは AArch32 と AArch64 です。AArch64 ステートにより、A53 CPU は 64 ビット アプリケーションを実行でき、AArch32 ステートによりプロセッサは既存の Arm®v7-A アプリケーションを実行できます。

詳細については、デバイスのテクニカル リファレンス マニュアルの「プロセッサとアクセラレータ」の章にある「Arm Cortex-A53 サブシステム」セクションを参照してください。

## 7.3 その他のサブシステム

### 7.3.1 データ移動サブシステム (DMSS : Data Movement Subsystem)

DMSS モジュールは、デバイス上の CBA スイッチド インターコネクとパケット ストリーミング ファブリック (ネットワーク オン チップ) 間のデータ移動 (DMA) およびブリッジを提供します。

データ移動サブシステム (DMSS) は、DMA / キュー管理コンポーネントとペリフェラルで構成されています。

- パケット DMA
- ブロック コピー DMA
- リング アクセラレータ
- パケット ストリーミング インターフェイス (PSILSS)
- CBASS、セキュア プロキシ、割り込みアグリゲータなどのインフラストラクチャコンポーネント

### 7.3.2 ペリフェラル DMA コントローラ (PDMA)

ペリフェラル DMA は、特にペリフェラルのデータ転送ニーズを満たすように設計されたシンプルな DMA です。ペリフェラル DMA は、コヒーレントではない標準のバス ファブリック経由でアクセスされる、メモリ マップされたレジスタ (MMR) を使用してデータ転送を実行します。PDMA モジュールは、データ移動用に外部 DMA を必要とする 1 つまたは複数のペリフェラルの近くに配置されており、VBUSP インターフェイスを使用してコストを削減し、静的に構成された転送要求 (TR) 動作のみをサポートするように設計されています。

PDMA は、ペリフェラル自体とデータをやり取りするデータ移動トランザクションの実行のみを担当します。指定されたペリフェラルから読み取られたデータは、PDMA ソース チャネルによって PSI-L データ ストリームにパックされます。その後、リモート ピア DMSS デスティネーション チャネルに送信され、メモリへのデータ移動が実行されます。同様に、リモート DMSS ソース チャネルはメモリからデータをフェッチし、PSI-L 経由でピア PDMA デスティネーション チャネルに転送し、次にペリフェラルへの書き込みを実行します。

PDMA アーキテクチャは意図的に異種混合 (DMSS + PDMA) を採用しており、システム内の各ポイントでデータ転送の複雑度を適切なサイズに設定して、送受信するデータのさまざまな要件に適合できます。ペリフェラルは通常 FIFO ベースであり、FIFO の次元の要件を超える多次元転送を必要としないため、PDMA 転送エンジンは、わずかな大きさ (通常はサンプル サイズと FIFO の深さによる)、ハードコードされたアドレス マップ、シンプルなトリガ機能だけという簡潔さが保たれています。

PDMA には複数のソースおよびデスティネーション チャネルが用意されており、複数の同時転送動作を実行できます。DMA コントローラは、基盤となる DMA ハードウェアを共有するために、各チャネルの状態情報を維持し、チャネル間のラウンド ロビン スケジューリングを採用しています。

## 7.4 ペリフェラル

### 7.4.1 ADC

A/D コンバータ (ADC) モジュールは、4 入力アナログ マルチプレクサを内蔵したシングル チャネルの汎用アナログ - デジタル コンバータであり、アナログ フロント エンド (AFE) からの 10 ビットの有効解像度で 12 ビットの変換サンプルをサポートしています。

詳細については、デバイスのテクニカル リファレンス マニュアルで「ペリフェラル」の章にある「A/D コンバータ (ADC)」セクションを参照してください。

### 7.4.2 ギガビット イーサネット スイッチ (CPSW3G)

3 ポートのギガビット イーサネット スイッチ (CPSW0) サブシステムは、デバイスへのイーサネット パケット通信をデバイスに提供し、イーサネット スイッチとして構成できます。

詳細については、デバイスのテクニカル リファレンス マニュアルで「ペリフェラル」の章にある「ギガビット イーサネット スイッチ」セクションを参照してください。

### 7.4.3 DDR サブシステム (DDRSS)

このデバイスの DDR サブシステムは、DDR コントローラ、DDR PHY、およびこれらのブロックをデバイスに統合するラッパー ロジックで構成されています。DDR サブシステムは DDRSS0 と呼ばれ、プログラムやデータの保存に利用できる外部 SDRAM デバイスとのインターフェイスを提供するために使用されます。DDRSS0 は CBASS0 インターコネクト経由でアクセスします。

詳細については、デバイスのテクニカル リファレンス マニュアルで「ペリフェラル」の章にある「DDR サブシステム」セクションを参照してください。

### 7.4.4 ディスプレイ サブシステム (DSS)

ディスプレイ サブシステム (DSS) は、高解像度ディスプレイ出力をサポートする柔軟なマルチパイプライン サブシステムです。DSS では、入力パイプラインにより多層ブレンディングと透過性が提供され、オンザフライ合成を可能にします。色空間の変換やスケールアップなど、さまざまなピクセル処理機能がサポートされています。DSS には DMA エンジンが搭載されており、フレーム バッファ (デバイスのシステム メモリ) への直接アクセスが可能です。ディスプレイ パラレル インターフェイス (DPI) へのディスプレイ出力を行います。

詳細については、デバイスのテクニカル リファレンス マニュアルで「ペリフェラル」の章にある「ディスプレイ サブシステム」セクションを参照してください。

### 7.4.5 拡張キャプチャ (ECAP)

ECAP モジュールは、イベントの正確なタイミングを提供します。イベント キャプチャに使用しない場合、そのリソースを使用して非対称 PWM 波形のシングル チャネルを生成できます。

拡張キャプチャ (ECAP) モジュールは、以下の用途に使用できます。

- オーディオ入力のサンプルレート測定
- 回転機械の速度測定 (たとえば、歯付きスプロケットをホール センサで検知)
- 位置センサ パルス間の経過時間測定
- パルス列信号の周期およびデューティ サイクル測定
- デューティ サイクル符号化電流 / 電圧センサから得られた電流または電圧振幅の復号

詳細については、デバイスのテクニカル リファレンス マニュアルで「ペリフェラル」の章にある「拡張キャプチャ」セクションを参照してください。

### 7.4.6 エラー特定モジュール (ELM)

ELM は、生成されたシンドローム多項式からエラー アドレスを抽出します。

ELM は GPMC とともに使用されます。NAND フラッシュ ページを読み出すときにオンザフライで生成され、GPMC レジスタに保存されたシンドローム多項式が ELM に渡されます。ホスト プロセッサは、ELM エラー特定出力が示すビットを反転することで、データ ブロックを修正できます。

NAND フラッシュ メモリから読み出す場合、ある程度の誤り訂正が必要です。訂正機能を搭載していない NAND モジュール (ベア NAND と呼ばれる) の場合、訂正処理はメモリ コントローラによって行われます。ELM は、パラレル NOR フラッシュまたは NAND フラッシュをサポートするためにも使用できます。

詳細については、デバイスのテクニカル リファレンス マニュアルで「ペリフェラル」の章にある「エラー特定モジュール」セクションを参照してください。

#### 7.4.7 拡張パルス幅変調 (EPWM)

効果的な PWM ペリフェラルは、最小限の CPU オーバーヘッドまたは介入で、複雑なパルス幅波形を生成できる必要があります。高度にプログラマブルで、フレキシビリティが高く、しかも理解しやすく、使いやすいたことが求められます。ここで説明する EPWM ユニットの、必要なすべてのタイミングおよび制御リソースを PWM チャンネルごとに割り当てることで、これらの要件に対応しています。リソースの交換も共有も行われていません。その代わりに本 EPWM は、必要に応じて連携して動作できる、独立したリソースを備えた複数の小さなシングル チャンネル モジュールで構成されています。このモジュール式手法により直交アーキテクチャが可能となり、ペリフェラルの構造をより透過的に観察できるようになるため、ユーザーはその動作をすぐに理解できます。

詳細については、デバイスのテクニカル リファレンス マニュアルで「ペリフェラル」の章にある「拡張パルス幅変調モジュール」セクションを参照してください。

#### 7.4.8 拡張直交エンコーダパルス (eQEP)

拡張直交エンコーダパルス (eQEP) ペリフェラルを、リニアまたはロータリー インクリメンタル エンコーダとの直接インターフェイスとして使用することにより、高性能な動作および位置制御システムで利用される位置、方向、速度の情報を、回転する機械から取得できます。インクリメンタル エンコーダのディスクは、シングルトラックのトラックパターンでパターン化されています。これらのトラックは、暗いラインと明るいラインの交互パターンを生成します。ディスクでの計数は、1 回転あたりに発生する暗いラインと明るいラインのペアの数 (1 回転あたりのライン数) で決まります。一般的に、2 番目のトラックを追加して、1 回転に 1 回発生する信号を生成します (インデックス信号:QEPI)。これは、絶対位置を示すために使用できます。エンコーダのメーカーは、このインデックスパルスに対して、インデックス、マーカー、ホーム位置、ゼロ基準などのさまざまな用語を使用しています。

詳細については、デバイスのテクニカル リファレンス マニュアルで「ペリフェラル」の章にある「拡張直交エンコーダパルス」セクションを参照してください。

#### 7.4.9 汎用インターフェイス (GPIO)

汎用入出力 (GPIO) ペリフェラルは、入力または出力として構成可能な専用の汎用ピンを備えています。出力として構成すると、内部レジスタに書き込むことにより、出力ピンの状態を制御できます。入力として構成すると、内部レジスタの状態を読み取ることにより、入力の状態を取得できます。

さらに、GPIO ペリフェラルは、さまざまな割り込み/イベント生成モードで、ホスト CPU 割り込みおよび DMA 同期イベントを生成できます。

詳細については、デバイスのテクニカル リファレンス マニュアルで「ペリフェラル」の章にある「汎用インターフェイス」セクションを参照してください。

#### 7.4.10 汎用メモリ コントローラ (GPMC)

汎用メモリ コントローラは、以下に示すような外部メモリ デバイスとのインターフェイス専用の統合メモリ コントローラです。

- 非同期 SRAM などのメモリおよび ASIC (特定用途向け集積回路) デバイス
- 非同期、同期、ページ モード (非多重化モードでのみ使用可能) バースト NOR フラッシュ デバイス
- NAND フラッシュ
- 疑似 SRAM デバイス

詳細については、デバイスのテクニカル リファレンス マニュアルの「ペリフェラル」の章にある「汎用メモリ コントローラ」セクションを参照してください。

#### 7.4.11 グローバル時間ベース カウンタ (GTC)

GTC モジュールは、時間同期およびデバッグ トレースのタイムスタンプ処理に使用できる連続実行カウンタを備えています。

詳細については、デバイスのテクニカル リファレンス マニュアルで「ペリフェラル」の章にある「グローバル時間ベース カウンタ」セクションを参照してください。

#### 7.4.12 I<sup>2</sup>C (Inter-Integrated Circuit)

このデバイスにはマルチ コントローラの Inter-Integrated Circuit (I<sup>2</sup>C) コントローラが内蔵されており、それぞれが Arm などのローカル ホスト (LH) と、I<sup>2</sup>C シリアル バスで接続される任意の I<sup>2</sup>C バス互換デバイスとの間のインターフェイスを提供します。I<sup>2</sup>C バスに接続された外部コンポーネントは、2 線式の I<sup>2</sup>C インターフェイスを介して、LH デバイスとの間で最大 8 ビットのデータをシリアル送受信できます。

各マルチコントローラ I<sup>2</sup>C モジュールは、ターゲットまたはコントローラの I<sup>2</sup>C 互換デバイスとして動作するように構成できます。

I<sup>2</sup>C インスタンスは、専用の I<sup>2</sup>C 準拠オープンドレイン I/O バッファ、または標準 LVCMOS I/O バッファを使用して実装できます。オープンドレイン I/O バッファに関連付けられた I<sup>2</sup>C インスタンスは、Hs モードをサポートできます (I/O バッファが 1.8V で動作している場合は最大 3.4Mbps。しかし I/O バッファが 3.3V で動作している場合は 400kbps に制限)。

標準 LVCMOS I/O バッファに関連付けられた I<sup>2</sup>C インスタンスは、ファースト モード (最大 400kbps) をサポートできます。これらのポートで使用されている LVCMOS I/O バッファは、オープンドレイン出力をエミュレートするように接続されます。このエミュレーションは、強制的に常に Low を出力し、出力バッファを無効にして、Hi-Z 状態にすることにより実行されます。

詳細については、デバイスのテクニカル リファレンス マニュアルで「ペリフェラル」の章にある「Inter-Integrated Circuit」セクションを参照してください。

#### 7.4.13 モジュラー・コントローラ・エリア・ネットワーク (MCAN)

コントローラ エリア ネットワーク (CAN) は、高い安全性で分散リアルタイム制御を効率的にサポートするシリアル通信プロトコルです。CAN は電氣的干渉に対する高い耐性を持ち、自己診断およびデータ エラー修正機能を備えています。CAN ネットワークでは、多くの短いメッセージがネットワーク全体にブロードキャストされるため、システムのすべてのノードでデータの整合性が確保されます。

MCAN モジュールは、従来型 CAN および CAN FD (フレキシブル なデータ レートの CAN) の両方のプロトコルをサポートしています。CAN FD 機能により、データ フレームあたりのスループットが向上し、ペイロードが増加します。従来型 CAN デバイスと CAN FD デバイスは、競合することなく、同じネットワーク上に共存できます。

詳細については、デバイスのテクニカル リファレンス マニュアルで「ペリフェラル」の章にある「モジュラー コントローラ エリア ネットワーク」セクションを参照してください。

#### 7.4.14 マルチチャネル オーディオ シリアル ポート (MCASP)

このセクションでは、マルチチャネル オーディオ シリアル ポート (MCASP) モジュールについて紹介し、主な機能と本デバイスでの接続について説明します。

MCASP は汎用オーディオ シリアル ポートとして機能し、各種オーディオ アプリケーションの要件に合わせて最適化されています。MCASP モジュールは、送信モードおよび受信モードで動作できます。MCASP は、時分割多重型 (TDM) ストリーム、I<sup>2</sup>S (Inter-IC Sound, IC 間サウンド) プロトコル、および DIT (コンポーネント間デジタル オーディオ インターフェイス送信) で役立ちます。MCASP には、Sony/Philips デジタルインターフェイス (S/PDIF) の送信物理層コンポーネントに直接接続できるという柔軟性があります。

コンポーネント間デジタル オーディオ インターフェイス受信 (DIR) モード (S/PDIF ストリーム受信) は、MCASP モジュールでネイティブにはサポートされていませんが、MCASP レシーバ用に特定の TDM モードを実装することで、外部 DIR コンポーネントに対して簡単に接続できます (たとえば、S/PDIF から I2S フォーマット コンバータ)。

詳細については、デバイスのテクニカル リファレンス マニュアルで「ペリフェラル」の章にある「マルチチャネル オーディオ シリアル ポート」セクションを参照してください。

#### 7.4.15 マルチチャネル シリアル ペリフェラル インターフェイス (MCSPi)

MCSPi モジュールは、マルチチャネル送信 / 受信、コントローラ / ペリフェラル同期シリアル バスです。

詳細については、デバイスのテクニカル リファレンス マニュアルで「ペリフェラル」の章にある「マルチチャネル シリアル ペリフェラル インターフェイス」セクションを参照してください。

#### 7.4.16 マルチメディア カード セキュア デジタル (MMCSD)

MMCSD ホスト コントローラは、eMMC 5.1 (組み込みマルチメディア カード)、SD 4.10 (セキュア デジタル)、および SDIO 4.0 (セキュア デジタル IO) デバイスへのインターフェイスとして機能します。MMCSD ホスト コントローラは、送信レベルでの MMC/SD/SDIO プロトコル、データ パッキング、巡回冗長検査 (CRC) の追加、開始 / 終了ビットの挿入、構文の正確性チェックを処理します。

詳細については、デバイスのテクニカル リファレンス マニュアルで「ペリフェラル」の章にある「マルチメディアカード / セキュア デジタル」セクションを参照してください。

#### 7.4.17 オクタル シリアル ペリフェラル インターフェイス (OSPI)

オクタル シリアル ペリフェラル インターフェイス (OSPI) モジュールは、シリアル ペリフェラル インターフェイス (SPI) モジュールで、外部フラッシュ デバイスへのシングル、デュアル、クワッド、またはオクタルの読み取りおよび書き込みアクセスを可能にします。このモジュールは、メモリ マップ レジスタ インターフェイスを備えており、外部フラッシュ デバイスからデータにアクセスするためのダイレクト メモリ インターフェイスとして機能するので、ソフトウェア要件が簡素化されます。

OSPI モジュールは、メモリ マップ直接モード (たとえば、プロセッサが外部フラッシュ メモリからコードを直接実行しようとする場合) または間接モード (要求された動作をサイレントに実行し、割り込みやステータス レジスタによって動作が完了したことを通知するようにモジュールが設定されている状態) でデータを転送するために使用します。間接動作の場合、データは内部 SRAM を経由してシステム メモリと外部フラッシュ メモリの間で転送されます。この SRAM は書き込みのためにロードされ、読み出しのためにアンロードされます。読み出しはデバイス コントローラによって低レイテンシのシステム速度で行われます。この SRAM にアクセスする具体的な時期は、割り込みまたはステータス レジスタを使用して識別します。この設定は、ユーザー プログラマブルな構成レジスタによって行います。

詳細については、デバイスのテクニカル リファレンス マニュアルで「ペリフェラル」の章にある「オクタル シリアル ペリフェラル インターフェイス (OSPI)」セクションを参照してください。

#### 7.4.18 タイマ

すべてのタイマには、オペレーティング システムへの正確なティック割り込みを生成するための特定の機能が含まれています。

詳細については、デバイスのテクニカル リファレンス マニュアルで「ペリフェラル」の章にある「タイマ」セクションを参照してください。

#### 7.4.19 UART (ユニバーサル非同期レシーバ / トランスミッタ)

UART は、ホスト CPU を介したデータ転送または割り込みポーリングに DMA を利用するペリフェラルです。すべての UART モジュールは、48MHz 機能クロックを使用する場合、IrDA および CIR モードをサポートします。各 UART は、多数の外部ペリフェラル デバイスの構成およびデータ交換、またはデバイス相互のプロセッサ間通信に使用できます。

詳細については、デバイスのテクニカル リファレンス マニュアルで「ペリフェラル」の章にある「ユニバーサル同期 / 非同期レシーバ / トランスミッタ」セクションを参照してください。

#### 7.4.20 ユニバーサル シリアル バス サブシステム (USBSS)

USB (ユニバーサル シリアル バス) は、USB デバイス間のデータ転送メカニズムを実装することで、多くの消費者向けポータブル機器に低コストのコネクティビティソリューションを提供します。

このデバイスは、最高で USB2.0 の速度 (480Mb/s) で動作するサード パーティ USB サブシステム (USB2SS) の 2 つの独立したインスタンスを生成します。これらのインスタンスはどちらも、USB ホストまたは USB デバイスとして動作するように個別に構成できます。

詳細については、「ペリフェラル」の章にある「ユニバーサル シリアル バス サブシステム」を参照してください。

## 8 アプリケーション、実装、およびレイアウト

### 注

以下のアプリケーション情報は、TI の製品仕様に含まれるものではなく、TI ではその正確性または完全性を保証いたしません。個々の目的に対する製品の適合性については、お客様の責任で判断していただくこととなります。お客様は自身の設計実装を検証しテストすることで、システムの機能を確認する必要があります。

### 8.1 デバイスの接続およびレイアウトの基礎

#### 8.1.1 電源

##### 8.1.1.1 電源供給回路の実装ガイド

『[Sitara プロセッサ電源供給回路: 実装と分析](#)』は、電源供給回路を正しく実装するためのガイダンスを提供します。これには、PCB スタックアップ ガイダンスと、デカップリング コンデンサの選択および配置を最適化するためのガイダンスが含まれます。テキサス・インスツルメンツは、このアプリケーション レポートに記載されているボード設計ガイドラインに従った設計のみをサポートしています。

#### 8.1.2 外部発振器

外部発振器の詳細については、「[クロック仕様](#)」セクションを参照してください。

#### 8.1.3 JTAG、EMU、およびトレース

テキサス・インスツルメンツは、JTAG のサポートだけでなく、さまざまなデバッグ機能を備えた各種の拡張開発システム (XDS) JTAG コントローラをサポートしています。この情報の概要については、『[XDS ターゲット接続ガイド](#)』を参照してください。

JTAG、EMU、およびトレース配線の推奨事項については、『[エミュレーションおよびトレース ヘッダー テクニカル リファレンス マニュアル](#)』を参照してください。

#### 8.1.4 未使用のピン

未使用ピンの詳細については、[セクション 5.4](#)、[ピン接続要件](#)をご覧ください。

## 8.2 ペリフェラルおよびインターフェイス固有の設計情報

### 8.2.1 DDR 基板の設計およびレイアウトのガイドライン

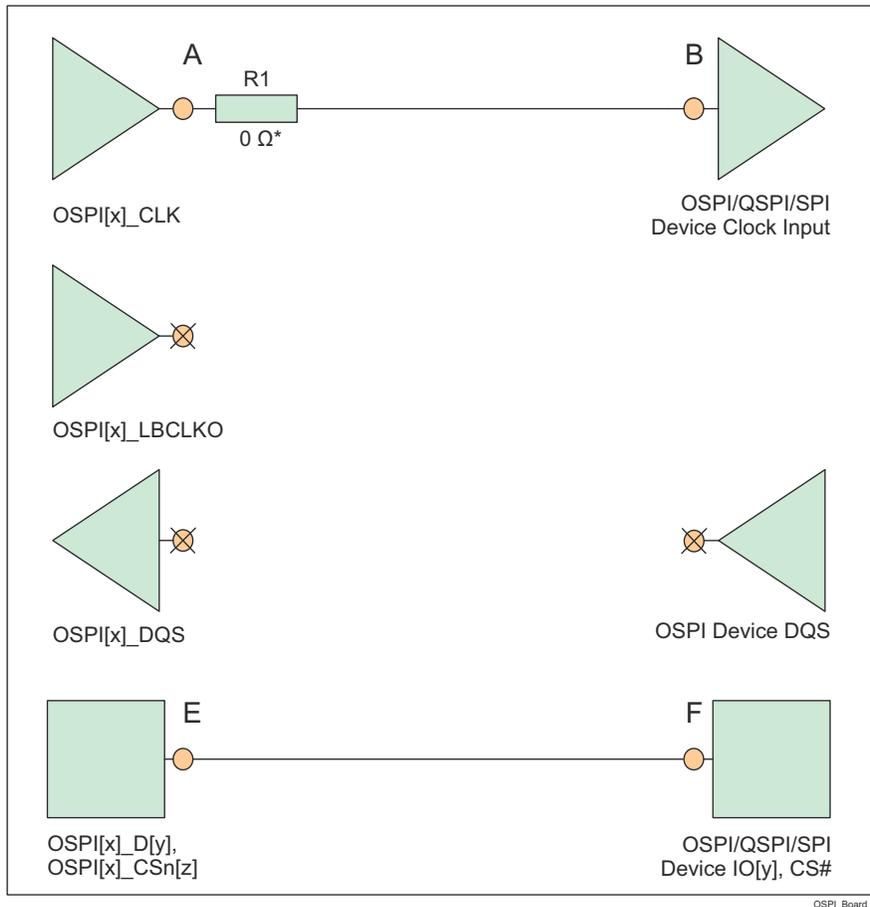
AM62x、AM62Lx DDR 基板の設計およびレイアウトのガイドラインの目標は、すべての設計者に対して DDR システムの実装を明快にすることです。要件を一連のレイアウトおよび配線ルールに絞り込んで、設計者が、テキサス・インスツルメンツのサポートするトポロジに対応した堅牢な設計を正しく実装できるようにしています。テキサス・インスツルメンツは、DDR4 または LPDDR4 メモリを使用したボード設計において、このドキュメントのガイドラインに従ったものだけをサポートしています。

## 8.2.2 OSPI/QSPI/SPI 基板の設計およびレイアウトのガイドライン

以下のセクションでは、OSPI、QSPI および SPI デバイスの接続にあたって従うべき PCB の配線ガイドラインについて詳しく説明します。

### 8.2.2.1 ループバックなし、内部 PHY ループバックおよび内部パッド ループバック

- OSPI[x]\_CLK 出力ピンは、接続されている OSPI/QSPI/SPI デバイスの CLK 入力ピンに接続する必要があります。
- OSPI[x]\_CLK ピンから接続されている OSPI/QSPI/SPI デバイスの CLK ピン (A から B) までの信号伝搬遅延は 450ps 未満 (ストリップラインの場合は約 7cm、マイクロストリップの場合は約 8cm) とする必要があります。
- 各 OSPI[x]\_D[y] および OSPI[x]\_CSn[z] ピンから、対応する接続された OSPI/QSPI/SPI デバイス データおよび制御ピン (E から F、または F から E) までの信号伝搬遅延は、OSPI[x]\_CLK ピンから接続された OSPI/QSPI/SPI デバイス CLK ピン (A から B) までの信号伝搬遅延にほぼ等しくする必要があります
- 図 8-1 に示すように、50Ω の PCB 配線および直列終端を推奨します
- 伝搬遅延とマッチング:
  - (A から B)  $\leq$  450ps
  - (E から F、または F から E) = ((A から B)  $\pm$  60ps)



\* 0Ω 抵抗 (R1) は、OSPI[x]\_CLK ピンのできるだけ近くに配置して、必要に応じて微調整するためのプレースホルダです。

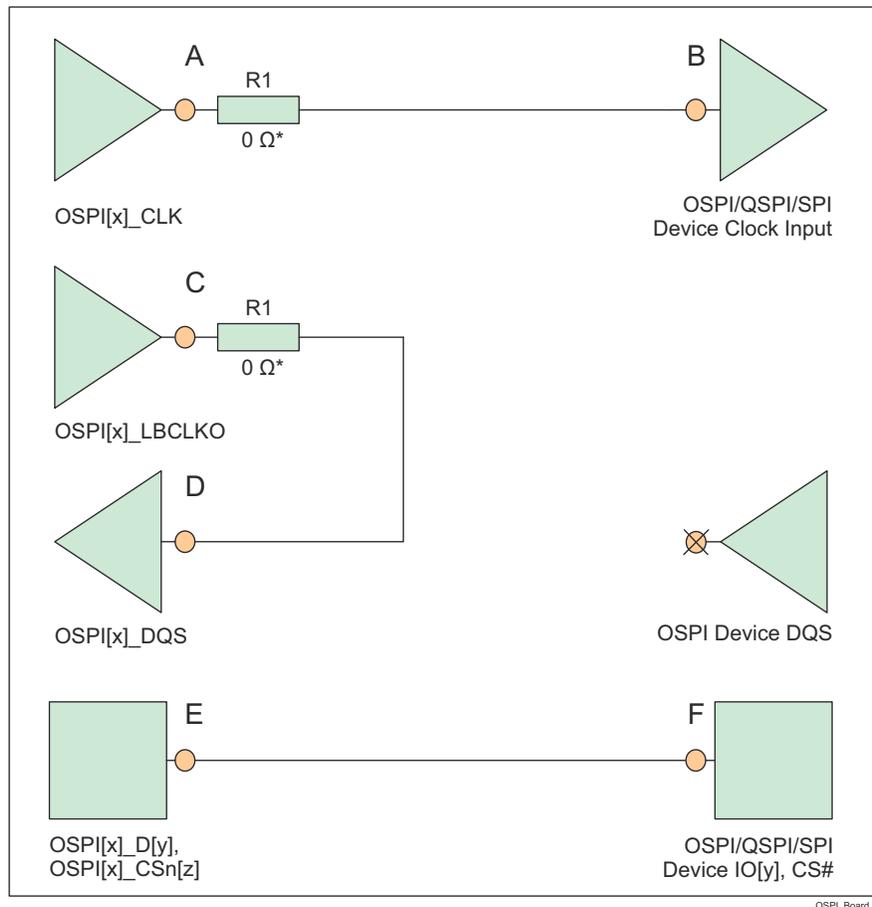
図 8-1. ループバックなし、内部 PHY ループバック、内部パッド ループバックの OSPI 接続回路図

### 8.2.2.2 外部ボードのループバック

- OSPI[x]\_CLK 出力ピンは、接続されている OSPI/QSPI/SPI デバイスの CLK 入力ピンに接続する必要があります。
- OSPI[x]\_LBCLKO 出力ピンは、OSPI[x]\_DQS 入力ピンにループバックする必要があります。
- OSPI[x]\_LBCLKO ピンから OSPI[x]\_DQS ピン (C から D) までの信号伝搬遅延は、OSPI[x]\_CLK ピンから、接続された OSPI/QSPI/SPI デバイスの CLK ピン (A から B) までの伝搬遅延の約 2 倍である必要があります。
- 各 OSPI[x]\_D[y] および OSPI[x]\_CSn[z] ピンから、対応する接続された OSPI/QSPI/SPI デバイス データおよび制御ピン (E から F、または F から E) までの信号伝搬遅延は、OSPI[x]\_CLK ピンから接続された OSPI/QSPI/SPI デバイス CLK ピン (A から B) までの信号伝搬遅延にほぼ等しくする必要があります
-  **図 8-2** に示すように、50Ω の PCB 配線および直列終端を推奨します
- 伝搬遅延とマッチング：
  - (C から D) =  $2 \times ((A から B) \pm 30ps)$ 、下の例外の注を参照してください。
  - (E から F、または F から E) =  $((A から B) \pm 60ps)$

#### 注

外部ボード ループバック ホールド時間要件 (「OSPIO のタイミング要件 - PHY DDR モード」セクションのパラメータ番号 O16 で規定) は、標準的な OSPI/QSPI/SPI デバイスで提供されるホールド時間よりも長い場合があります。この場合、ホールド時間を増やすため、OSPI[x]\_LBCLKO ピンから OSPI[x]\_DQS ピン (C から D) までの伝搬遅延を短くすることができます。

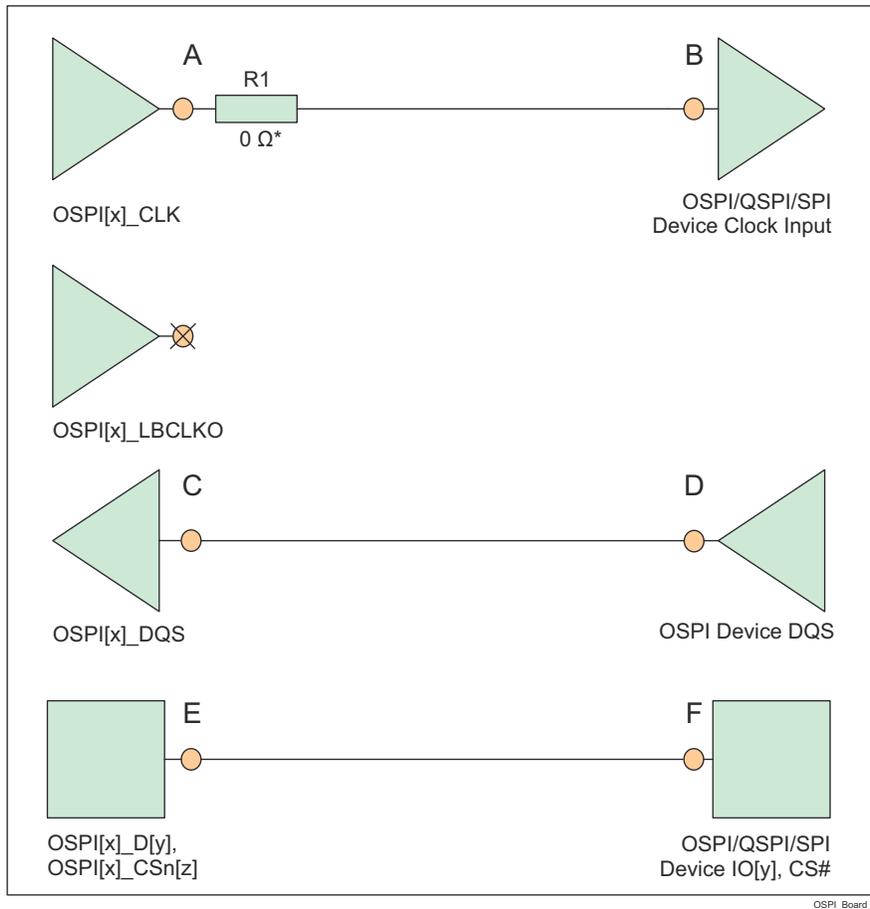


\* OSPI[x]\_CLK ピンおよび OSPI[x]\_LBCLKO ピンのできるだけ近くに配置された 0Ω 抵抗 (R1) は、必要に応じて微調整するためのプレースホルダです。

**図 8-2. 外部ボード ループバックの OSPI 接続回路図**

### 8.2.2.3 DQS (オクタール SPI デバイスでのみ使用可能)

- OSPI[x]\_CLK 出力ピンは、接続されている OSPI/QSPI/SPI デバイスの CLK 入力ピンに接続する必要があります。
- 接続されている OSPI/QSPI/SPI デバイスの DQS ピンは、OSPI[x]\_DQS ピンに接続する必要があります
- 接続された OSPI/QSPI/SPI デバイスの DQS ピンから OSPI[x]\_DQS ピン (D から C) までの信号伝搬遅延は、OSPI[x]\_CLK ピンから接続された OSPI/QSPI/SPI デバイスの CLK ピン (A から B) までの信号伝搬遅延にほぼ等しくする必要があります
- 各 OSPI[x]\_D[y] および OSPI[x]\_CSn[z] ピンから、対応する接続された OSPI/QSPI/SPI デバイス データおよび制御ピン (E から F、または F から E) までの信号伝搬遅延は、OSPI[x]\_CLK ピンから接続された OSPI/QSPI/SPI デバイス CLK ピン (A から B) までの信号伝搬遅延にほぼ等しくする必要があります
- 図 8-3 に示すように、50Ω の PCB 配線および直列終端を推奨します
- 伝搬遅延とマッチング:
  - (D から C) = ((A から B) ± 30ps)
  - (E から F、または F から E) = ((A から B) ± 60ps)



\* 0Ω 抵抗 (R1) は、OSPI[x]\_CLK ピンのできるだけ近くに配置して、必要に応じて微調整するためのプレースホルダです。

図 8-3. DQS の OSPI 接続回路図

### 8.2.3 USB VBUS 設計ガイドライン

USB 3.1 仕様では、VBUS 電圧は通常動作で最大 5.5V であり、「パワー デリバリー」追補がサポートされている場合は最大 20V になることが許容されています。一部の車載アプリケーションは、最大電圧を 30V にする必要があります。

このデバイスでは、外付けの分圧抵抗を使用して VBUS 信号電圧を下げる必要があります (図 8-4 を参照)。これにより、実際のデバイスピン (USB0\_VBUS) に印加される電圧が制限されます。これらの外部抵抗の許容誤差は 1% 以下、ツェナー ダイオードの 5V でのリーク電流は 100nA 未満の必要があります。

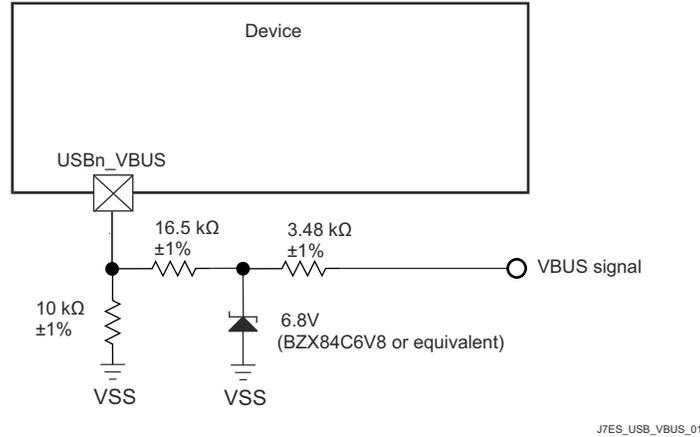


図 8-4. USB VBUS 検出分圧器 / クランプ回路

デバイスの電源がオフのときに VBUS が印加された場合、図 8-4 に示す外部回路によって実際のデバイスピンへの入力電流が制限されるため、USB0\_VBUS ピンはフェイルセーフであると考えられます。

### 8.2.4 高速差動信号のルーティングガイド

『高速インターフェイスのレイアウトガイドライン』には、高速差動信号を正しく配線するためのガイダンスが示されています。これには、PCB スタックアップと材料のガイダンス、配線スキュー、長さ、間隔の制限が含まれます。テキサス・インスツルメンツは、このアプリケーションノートに記載されているボード設計ガイドラインに従った設計のみをサポートしています。

### 8.2.5 熱ソリューションガイダンス

『DSP および ARM アプリケーション プロセッサ用の熱設計ガイド』は、このデバイスを搭載したシステム設計の熱ソリューションを正しく実装するための指針を提供しています。この資料は、熱ソリューションに関連する一般的な用語と方法に関する背景情報を記載しています。テキサス・インスツルメンツは、このアプリケーションノートに記載されているシステム設計ガイドラインに従った設計のみをサポートしています。

## 8.3 クロック配線のガイドライン

### 8.3.1 発振器の配線

プリント基板を設計する際、以下のことに留意してください。

- 水晶振動子回路の部品はすべて、各デバイスピンのできるだけ近くに配置します。
- 水晶振動子回路のパターンは PCB の外層に配線します。そして、寄生容量を減らし、その他の信号からのクロストークを最小化するため、パターン長を最小限に抑えます。
- すべての水晶振動子回路部品と水晶振動子回路パターンの下になるように、隣接する PCB 層に連続的なグラウンドプレーンを配置します。
- 水晶振動子回路部品の周囲にグラウンドガードを配置し、水晶振動子回路パターンと同じ層に配線された隣接信号から、これらの部品をシールドします。グラウンドガードが未終端のスタブを持たないように、複数のビアを挿入して、グラウンドガードをグラウンドに接続します。
- WKUP\_OSC0\_XI 信号と WKUP\_OSC0\_XO 信号の間にグラウンドガードを配置し、WKUP\_OSC0\_XI 信号を WKUP\_OSC0\_XO 信号からシールドします。グラウンドガードが未終端のスタブを持たないように、複数のビアを挿入して、グラウンドガードをグラウンドに接続します。
- 水晶振動子回路のすべてのグラウンド接続とグラウンドガード接続は、隣接する層のグラウンドプレーンに直接接続します (PCB の異なる層に個別に実装されている場合、デバイス VSS グラウンドプレーンに接続します)。

#### 注

WKUP\_OSC0\_XI 信号と WKUP\_OSC0\_XO 信号の間にグラウンドガードを実装することは、2 つの信号間のシヤント容量を最小化するために重要です。これらの 2 つの信号の間にグラウンドガードを配置しないで、これらの 2 つの信号を隣接して配線すると、発振器アンプのゲインが実質的に低下し、発振開始能力が低下します。

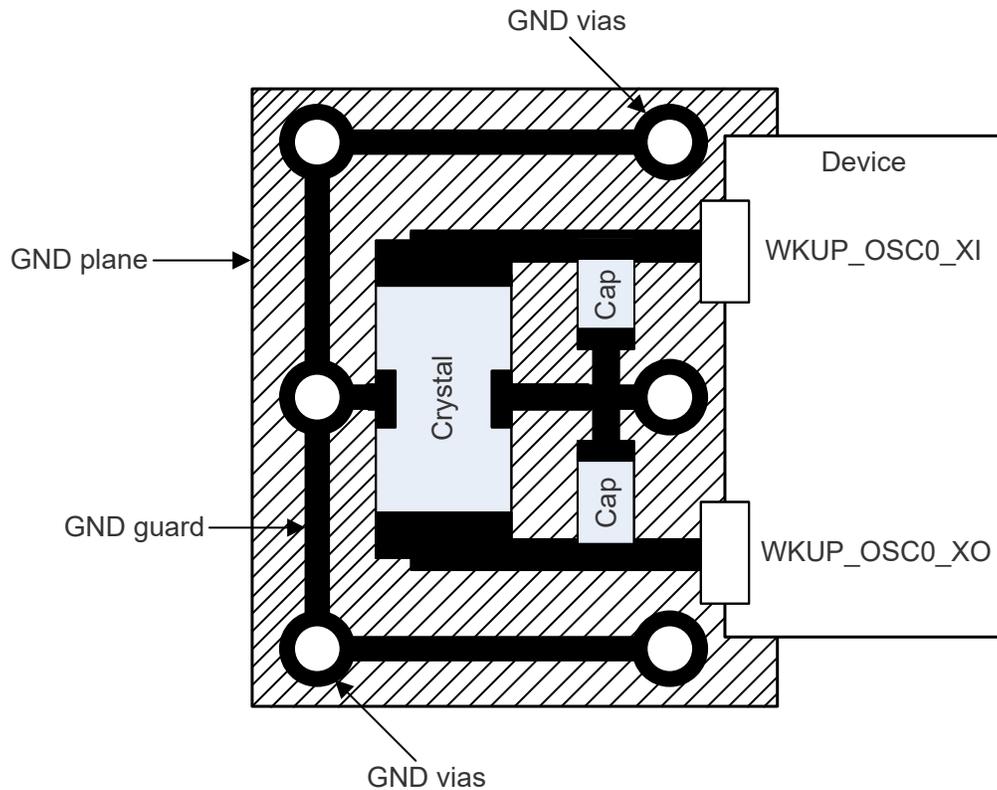


図 8-5. WKUP\_OSC0 の PCB の要件

## 9 デバイスおよびドキュメントのサポート

### 9.1 サード・パーティ製品に関する免責事項

サード・パーティ製品またはサービスに関するテキサス・インスツルメンツの出版物は、単独またはテキサス・インスツルメンツの製品、サービスと一緒に提供される場合に関係なく、サード・パーティ製品またはサービスの適合性に関する是認、サード・パーティ製品またはサービスの是認の表明を意味するものではありません。

### 9.2 デバイスの命名規則

製品開発サイクルの段階を示すために、TI ではマイクロプロセッサ (MPU) とサポート ツールのすべての型番に接頭辞が割り当てられています。各デバイスには次の 3 つのいずれかの接頭辞があります: X、P、空白 (接頭辞なし) (例: XAM62L32AOGHAANB)。テキサス・インスツルメンツでは、サポート ツールについては、使用可能な 3 つの接頭辞のうち TMDX および TMDS の 2 つを推奨しています。これらの接頭辞は、製品開発の進展段階を表します。段階には、エンジニアリング プロトタイプ(TMDX)から、完全認定済みの量産デバイスツール(TMDS)まであります。

デバイスの開発進展フロー:

- X** 実験的デバイス。最終デバイスの電気的特性を必ずしも表さず、量産アセンブリ フローを使用しない可能性があります。
- P** プロトタイプ デバイス。最終的なシリコン ダイとは限らず、最終的な電気的特性を満たさない可能性があります。
- 空白** 認定済みのシリコン ダイの量産バージョン。

サポート ツールの開発進展フロー:

- TMDX** 開発サポート製品。テキサス・インスツルメンツの社内認定試験はまだ完了していません。
- TMDS** 完全に認定済みの開発サポート製品です。

X および P デバイスと TMDX 開発サポート ツールは、以下の免責事項の下で出荷されます。

「開発中の製品は、社内での評価用です。」

量産デバイスおよび TMDS 開発サポート ツールの特性は完全に明確化されており、デバイスの品質と信頼性が十分に示されています。テキサス・インスツルメンツの標準保証が適用されます。

プロトタイプ デバイス(X または P)の方が標準的な量産デバイスに比べて故障率が大きいと予測されます。これらのデバイスは予測される最終使用時の故障率が未定義であるため、テキサス・インスツルメンツではそれらのデバイスを量産システムで使用しないよう推奨しています。認定済みの量産デバイスのみを使用する必要があります。

ANB パッケージ タイプの AM62Lx デバイスの注文可能な型番については、このドキュメントにある「パッケージ オプションの付録」やテキサス・インスツルメンツの Web サイト ([ti.com](http://ti.com)) を参照するか、テキサス・インスツルメンツの販売代理店にお問い合わせください。

### 9.2.1 標準パッケージの記号化

#### 注

一部のデバイスには、パッケージの上面に装飾的な円形のマーキングがあります。これは、量産テストプロセスの結果として添付されます。さらに、一部のデバイスでは、パッケージのサブストレートの製造元によって、パッケージのサブストレートに色のばらつきが見られる場合があります。このばらつきは外見上だけのものであって、信頼性には影響しません。

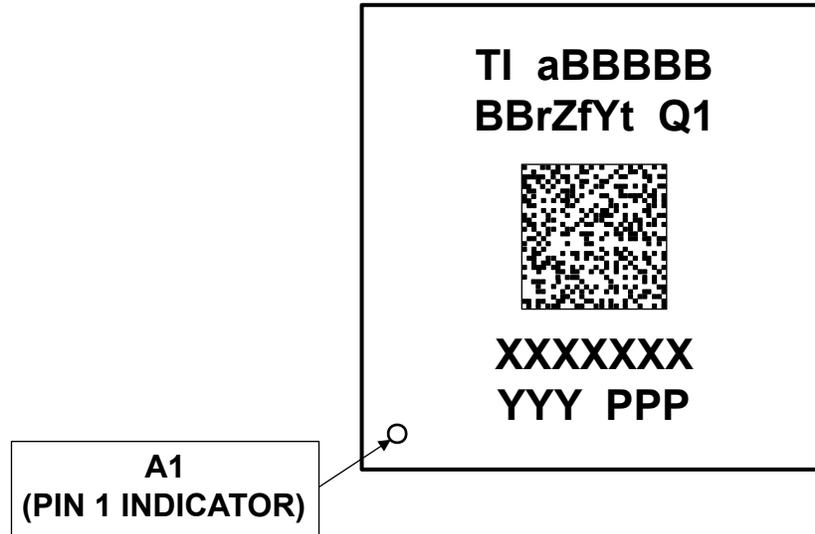


図 9-1. 印刷されたデバイス参照

9.2.2 デバイスの命名規則

表 9-1. 項目名の説明

フィールド パラメータ	フィールドの説明	値	説明
TI	デバイス製造者	TI	テキサス・インスツルメンツ
a	デバイスの開発段階 <sup>(1)</sup>	X	プロトタイプ
		P	量産前(量産テストフロー、信頼性データなし)
		空白 (null)	量産出荷中
BBBBBBB	基本量産型番	AM62L32	デバイスの比較 参照
		AM62L31	
r	デバイスリビジョン	A	SR1.0
Z	デバイス速度グレード	E	デバイス速度グレード表を参照
		O	
f	機能 (デバイスの比較を参照)	G	基数
Y	セキュリティ/機能安全	1~9	ダミー キーによるセキュリティ/機能安全なし
		H から R へ	プロダクション キーによるセキュリティ/機能安全なし
		S から Z へ	プロダクション キーによるセキュリティ/機能安全なし
t	温度 <sup>(2)</sup>	A	-40°C~105°C へ-拡張産業用 (推奨動作条件を参照)
		I	-40°C~125°C - 125°C 産業用 (推奨動作条件を参照)
Q1	車載識別記号	Q1	車載認定済み (AEC - Q100)
		空白	標準
	2D バーコード	条件によって変化	オプションの 2D バーコードは、追加のデバイス情報を提供します
		空白	
XXXXXXX			ロットのトレースコード(LTC)
YYY			量産コード、TI でのみ使用
PPP	パッケージ記号	ANB	FCCSP BGA (373)
•			ピン 1 の指定子

- (1) 製品開発サイクルの段階を示すために、TI では型番に接頭辞を割り当てます。これらの接頭辞は、製品開発の進展段階を表します。段階には、エンジニアリング プロトタイプから、完全認定済みの量産デバイスまであります。プロトタイプ デバイスは、次の免責事項付きで出荷されます。  
 「この製品はまだ開発中であり、社内での評価を目的としています」。  
 テキサス・インスツルメンツはこれらのデバイスについて、これに反するような条項が存在していても、明示的、暗黙的、法定にかかわらず、商用性や特定目的への適合性への暗黙的な保証も含め、一切の責任を負いません。
- (2) デバイスの接合部の最大温度に適用されます。

注

記号または型番の空白は省略されるため、前後の文字は連続して表記されます。

## 9.3 ツールとソフトウェア

以下の開発ツールは、テキサス・インスツルメンツの組み込みプロセッシング プラットフォームの開発をサポートしています。

### 開発ツール

**Code Composer Studio™ 統合開発環境** Code Composer Studio (CCS) 統合開発環境 (IDE) は、テキサス・インスツルメンツのマイクロコントローラと組み込みプロセッサのポートフォリオをサポートする開発環境です。Code Composer Studio は、組み込みアプリケーションの開発およびデバッグに必要な一連のツールで構成されています。最適化 C/C++ コンパイラ、ソースコードエディタ、プロジェクトビルド環境、デバッグ、プロファイラなど、多数の機能が含まれています。IDE は直感的で、アプリケーションの開発フローの各段階を、すべて同一のユーザー インターフェイスで実行できます。使い慣れたツールとインターフェイスにより、ユーザーは従来より迅速に作業を開始できます。Code Composer Studio は、Eclipse ソフトウェア フレームワークの利点と、テキサス・インスツルメンツの先進的な組み込みデバッグ機能の利点を組み合わせて、組み込み製品の開発者向けの魅力的で機能豊富な開発環境を実現します。

**SysConfig-PinMux ツール** SysConfig-PinMux ツールは、テキサス・インスツルメンツの組み込みプロセッサ デバイスのピン多重化設定を構成し、競合を解決し、I/O セルの特性を指定するためのグラフィカル ユーザー インターフェイスを提供するソフトウェア ツールです。このツールを使用すると、入力したシステム要件を満たすために最適なピン マルチプレクサ構成を自動的に計算できます。このツールは C ヘッダ / コード ファイルを出力し、これらのファイルをソフトウェア開発キット (SDK) にインポートしたり、カスタム ハードウェア要件を満たすためにカスタム ソフトウェアを構成したりするために使用できます。**クラウド ベースの SysConfig-PinMux ツール**も利用できます。

プロセッサ プラットフォーム用の開発サポート ツールすべての一覧については、テキサス・インスツルメンツの Web サイト (ti.com) を参照してください。価格と在庫状況については、お近くのフィールド セールス オフィスまたは認可代理店にお問い合わせください。

## 9.4 ドキュメントのサポート

ドキュメントの更新についての通知を受け取るには、[www.tij.co.jp](http://www.tij.co.jp) のデバイス製品フォルダを開いてください。[通知] をクリックして登録すると、変更されたすべての製品情報に関するダイジェストを毎週受け取ることができます。変更の詳細については、修正されたドキュメントに含まれている改訂履歴をご覧ください。

以下のドキュメントは、AM62Lx デバイスについて記載しています。

### テクニカル リファレンス マニュアル

『**AM62Lx Sitara™ プロセッサ テクニカル リファレンス マニュアル**』: AM62Lx デバイス ファミリーに含まれる各ペリフェラルおよびサブシステムについて、統合、環境、機能説明、プログラミング モデルの詳細が記載されています。

### エラーッタ

**AM62Lx Sitara™ プロセッサ シリコン エラッタ、シリコン リビジョン 1.0**: このデバイスの機能仕様に関する既知の例外が記載されています。

## 9.5 サポート・リソース

**テキサス・インスツルメンツ E2E™ サポート・フォーラム**は、エンジニアが検証済みの回答と設計に関するヒントをエキスパートから迅速かつ直接得ることができる場所です。既存の回答を検索したり、独自の質問をしたりすることで、設計に必要な支援を迅速に得ることができます。

リンクされているコンテンツは、各寄稿者により「現状のまま」提供されるものです。これらはテキサス・インスツルメンツの仕様を構成するものではなく、必ずしもテキサス・インスツルメンツの見解を反映したものではありません。テキサス・インスツルメンツの**使用条件**を参照してください。

## 9.6 商標

MPCore™ and Neon™ are trademarks of Arm Limited (or its subsidiaries) in the US and/or elsewhere.

Code Composer Studio™ and テキサス・インスツルメンツ E2E™ are trademarks of Texas Instruments.

Arm®, Cortex®, and TrustZone® are registered trademarks of Arm Limited (or its subsidiaries) in the US and/or elsewhere.

セキュア デジタル® and SD® are registered trademarks of SD Card Association.  
Linux® is a registered trademark of Linus Torvalds.  
すべての商標は、それぞれの所有者に帰属します。

### 9.7 静電気放電に関する注意事項



この IC は、ESD によって破損する可能性があります。テキサス・インスツルメンツは、IC を取り扱う際には常に適切な注意を払うことを推奨します。正しい取り扱いおよび設置手順に従わない場合、デバイスを破損するおそれがあります。

ESD による破損は、わずかな性能低下からデバイスの完全な故障まで多岐にわたります。精密な IC の場合、パラメータがわずかに変化するだけで公表されている仕様から外れる可能性があるため、破損が発生しやすくなっています。

### 9.8 用語集

[テキサス・インスツルメンツ用語集](#) この用語集には、用語や略語の一覧および定義が記載されています。

### 改訂履歴

日付	改訂	注
March 2025	*	初版

## 10 メカニカル、パッケージ、および注文情報

### 10.1 パッケージ情報

以降のページには、メカニカル、パッケージ、および注文に関する情報が記載されています。この情報は指定のデバイスに使用できる最新のデータです。このデータは、予告なく、このドキュメントを改訂せずに変更される場合があります。本データシートのブラウザ版を使用されている場合は、画面左側の説明をご覧ください。

## 10.2 付録 : パッケージ オプション

表 10-1. パッケージ情報

発注可能なデバイス	供給状況 <sup>(1)</sup>	パッケージタイプ	パッケージ図	ピン数	パッケージの数量	エコプラン <sup>(2)</sup>	リード / ボール仕上げ <sup>(6)</sup>	MSL ピーク温度 <sup>(3)</sup>	動作温度 (°C)	デバイスマーキング <sup>(4) (5)</sup>
XAM62L32AOGHAANB	プレビュー	FCCSP	ANB	373	168	RoHS & グリーン	SNAGCU	Level-3-260C-168 HR	-40~105	TI XAM62L 32AOGHA 412 ANB

(1) マーケティング ステータスの値は次のように定義されています。

**アクティブ:** 新しい設計への使用が推奨される量産デバイス。

**最終受注中:** テキサス・インスツルメンツはデバイスの生産終了を発表しており、現在最終受注期間中です。

**非推奨品:** 新規設計には推奨しません。デバイスは既存の顧客をサポートするために生産されていますが、テキサス・インスツルメンツでは新規設計にこの部品を使用することを推奨していません。

**生産前:** 未発表のデバイスで、生産されておらず、市販されておらず、ウェブにも掲載されておらず、サンプルも提供されていません。

**開発中製品:** デバイスは発表済みですが、まだ生産は開始されていません。サンプルが提供される場合と提供されない場合があります。

**生産中止品:** テキサス・インスツルメンツは、このデバイスの生産を終了しました。

(2) エコプラン - 環境に配慮した計画的な分類: 鉛フリー (RoHS)、鉛フリー (RoHS 免除)、またはグリーン (RoHS 準拠、Sb/Br 非含有) があります。最新の供給情報、および製品内容の詳細については、<http://www.ti.com/productcontent> でご確認ください。

**未定:** 鉛フリー / グリーン転換プランが策定されていません。

**鉛フリー (RoHS):** テキサス・インスツルメンツにおける「Lead-Free」または「Pb-Free」(鉛フリー) は、6 つの物質すべてに対して現在の RoHS 要件を満たしている半導体製品を意味します。これには、同種の材質内で鉛の重量が 0.1% を超えないという要件も含まれます。高温で半田付けするように設計されている場合、TI の鉛フリー製品は規定された鉛フリー プロセスでの使用に適しています。

**鉛フリー (RoHS 免除):** この部品は、1) ダイとパッケージとの間に鉛ベース フリップ チップのはんだバンプ使用、または 2) ダイとリードフレームとの間に鉛ベースの接着剤を使用、のいずれかについて、RoHS が免除されています。この部品はそれ以外の点では、上記の定義の鉛フリー (RoHS 準拠) の条件を満たしています。

**グリーン (RoHS 準拠、Sb/Br 非含有):** テキサス・インスツルメンツにおける「グリーン」は、鉛フリー (RoHS 準拠) に加えて、臭素 (Br) およびアンチモン (Sb) をベースとした難燃材を含まない (均質な材質中の Br または Sb 重量が 0.1% を超えない) ことを意味しています。

(3) MSL、ピーク温度-- JEDEC 業界標準分類に従った耐湿性レベル、およびピークはんだ温度です。

(4) ロゴ、ロットトレースコード情報、または環境カテゴリに関する追加マークがデバイスに表示されることがあります。

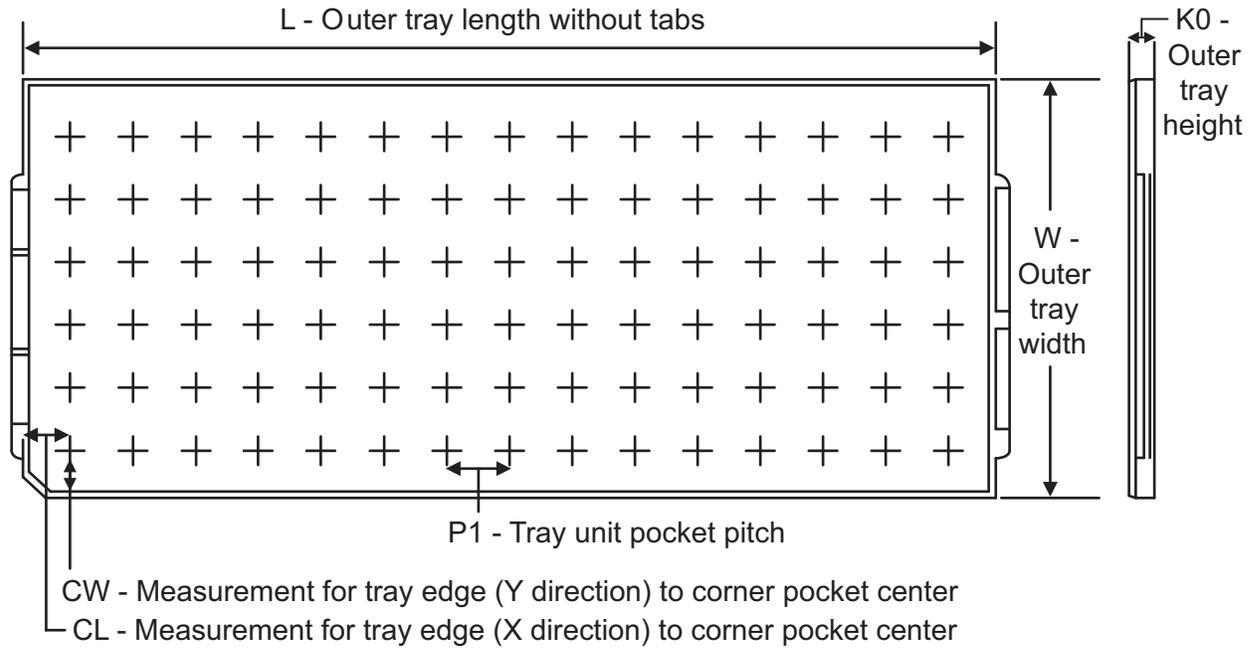
(5) 複数のデバイス マーキングが、括弧書きされています。カッコ内に複数のデバイス マーキングがあり、「~」で区切られている場合、その中の 1 つだけがデバイスに表示されます。行がインデントされている場合は、前行の続きということです。2 行合わせたものが、そのデバイスのデバイス マーキング全体となります。

(6) リード / ボール仕上げ - 発注可能なデバイスには、複数の材料仕上げオプションが用意されていることがあります。複数の仕上げオプションは、縦罫線で区切られています。リード / ボール仕上げの値が最大列幅に収まらない場合は、2 行にまたがります。

**重要なお知らせと免責事項:**このページに掲載されている情報は、発行日現在のテキサス・インスツルメンツの知識および見解を示すものです。テキサス・インスツルメンツの知識および見解は、第三者によって提供された情報に基づいており、そのような情報の正確性について何らの表明および保証も行うものではありません。第三者からの情報をより良く統合するための努力は続けております。テキサス・インスツルメンツでは、事実を適切に表す正確な情報を提供すべく妥当な手順を踏み、引き続きそれを継続してゆきますが、受け入れる部材および化学物質に対して破壊試験や化学分析は実行していない場合があります。テキサス・インスツルメンツおよびテキサス・インスツルメンツのサプライヤは、特定の情報を機密情報として扱っているため、CAS 番号やその他の制限された情報が公開されない場合があります。

いかなる場合においても、そのような情報から生じたテキサス・インスツルメンツの責任は、このドキュメント発行時点でのテキサス・インスツルメンツ製品の価格に基づくテキサス・インスツルメンツからお客様への合計購入価格 (年次ベース) を超えることはありません。

### 10.3 ANB のトレイ情報、11.9mm × 11.9mm



Chamfer on Tray corner indicates Pin 1 orientation of packed units.

デバイス	パッケージ名	パッケージの種類	ピン数	SPQ	製品のレイアウトマトリクス	最大温度 (°C)	奥行き L (mm)	幅 W (mm)	K0 (μm)	P1 (mm)	切り欠きの奥行き CL (mm)	切り欠きの幅 CW (mm)
XAM62L32AOGHAANB	ANB	FCCSP	373	168	8 x 21	150	315	135.9	7620	14.65	11	11.95

ADVANCE INFORMATION

## 重要なお知らせと免責事項

テキサス・インスツルメンツは、技術データと信頼性データ (データシートを含みます)、設計リソース (リファレンス デザインを含みます)、アプリケーションや設計に関する各種アドバイス、Web ツール、安全性情報、その他のリソースを、欠陥が存在する可能性のある「現状のまま」提供しており、商品性および特定目的に対する適合性の黙示保証、第三者の知的財産権の非侵害保証を含むいかなる保証も、明示的または黙示的にかかわらず拒否します。

これらのリソースは、テキサス・インスツルメンツ製品を使用する設計の経験を積んだ開発者への提供を意図したものです。(1) お客様のアプリケーションに適した テキサス・インスツルメンツ製品の選定、(2) お客様のアプリケーションの設計、検証、試験、(3) お客様のアプリケーションに該当する各種規格や、その他のあらゆる安全性、セキュリティ、規制、または他の要件への確実な適合に関する責任を、お客様のみが単独で負うものとします。

上記の各種リソースは、予告なく変更される可能性があります。これらのリソースは、リソースで説明されている テキサス・インスツルメンツ製品を使用するアプリケーションの開発の目的でのみ、テキサス・インスツルメンツはその使用をお客様に許諾します。これらのリソースに関して、他の目的で複製することや掲載することは禁止されています。テキサス・インスツルメンツや第三者の知的財産権のライセンスが付与されている訳ではありません。お客様は、これらのリソースを自身で使用した結果発生するあらゆる申し立て、損害、費用、損失、責任について、テキサス・インスツルメンツおよびその代理人を完全に補償するものとし、テキサス・インスツルメンツは一切の責任を拒否します。

テキサス・インスツルメンツの製品は、[テキサス・インスツルメンツの販売条件](#)、または [ti.com](https://www.ti.com) やかかる テキサス・インスツルメンツ製品の関連資料などのいずれかを通じて提供する適用可能な条項の下で提供されています。テキサス・インスツルメンツがこれらのリソースを提供することは、適用されるテキサス・インスツルメンツの保証または他の保証の放棄の拡大や変更を意味するものではありません。

お客様がいかなる追加条項または代替条項を提案した場合でも、テキサス・インスツルメンツはそれらに異議を唱え、拒否します。

郵送先住所: Texas Instruments, Post Office Box 655303, Dallas, Texas 75265

Copyright © 2025, Texas Instruments Incorporated

**PACKAGING INFORMATION**

Orderable part number	Status (1)	Material type (2)	Package   Pins	Package qty   Carrier	RoHS (3)	Lead finish/ Ball material (4)	MSL rating/ Peak reflow (5)	Op temp (°C)	Part marking (6)
<a href="#">XAM62L32AOGHAANB</a>	Active	Preproduction	FCCSP (ANB)   373	168   JEDEC TRAY (5+1)	-	Call TI	Call TI	-40 to 105	
XAM62L32AOGHAANB.B	Active	Preproduction	FCCSP (ANB)   373	168   JEDEC TRAY (5+1)	-	Call TI	Call TI	-40 to 105	

<sup>(1)</sup> **Status:** For more details on status, see our [product life cycle](#).

<sup>(2)</sup> **Material type:** When designated, preproduction parts are prototypes/experimental devices, and are not yet approved or released for full production. Testing and final process, including without limitation quality assurance, reliability performance testing, and/or process qualification, may not yet be complete, and this item is subject to further changes or possible discontinuation. If available for ordering, purchases will be subject to an additional waiver at checkout, and are intended for early internal evaluation purposes only. These items are sold without warranties of any kind.

<sup>(3)</sup> **RoHS values:** Yes, No, RoHS Exempt. See the [TI RoHS Statement](#) for additional information and value definition.

<sup>(4)</sup> **Lead finish/Ball material:** Parts may have multiple material finish options. Finish options are separated by a vertical ruled line. Lead finish/Ball material values may wrap to two lines if the finish value exceeds the maximum column width.

<sup>(5)</sup> **MSL rating/Peak reflow:** The moisture sensitivity level ratings and peak solder (reflow) temperatures. In the event that a part has multiple moisture sensitivity ratings, only the lowest level per JEDEC standards is shown. Refer to the shipping label for the actual reflow temperature that will be used to mount the part to the printed circuit board.

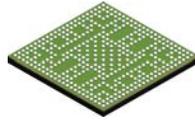
<sup>(6)</sup> **Part marking:** There may be an additional marking, which relates to the logo, the lot trace code information, or the environmental category of the part.

Multiple part markings will be inside parentheses. Only one part marking contained in parentheses and separated by a "~" will appear on a part. If a line is indented then it is a continuation of the previous line and the two combined represent the entire part marking for that device.

**Important Information and Disclaimer:** The information provided on this page represents TI's knowledge and belief as of the date that it is provided. TI bases its knowledge and belief on information provided by third parties, and makes no representation or warranty as to the accuracy of such information. Efforts are underway to better integrate information from third parties. TI has taken and continues to take reasonable steps to provide representative and accurate information but may not have conducted destructive testing or chemical analysis on incoming materials and chemicals. TI and TI suppliers consider certain information to be proprietary, and thus CAS numbers and other limited information may not be available for release.

In no event shall TI's liability arising out of such information exceed the total purchase price of the TI part(s) at issue in this document sold by TI to Customer on an annual basis.

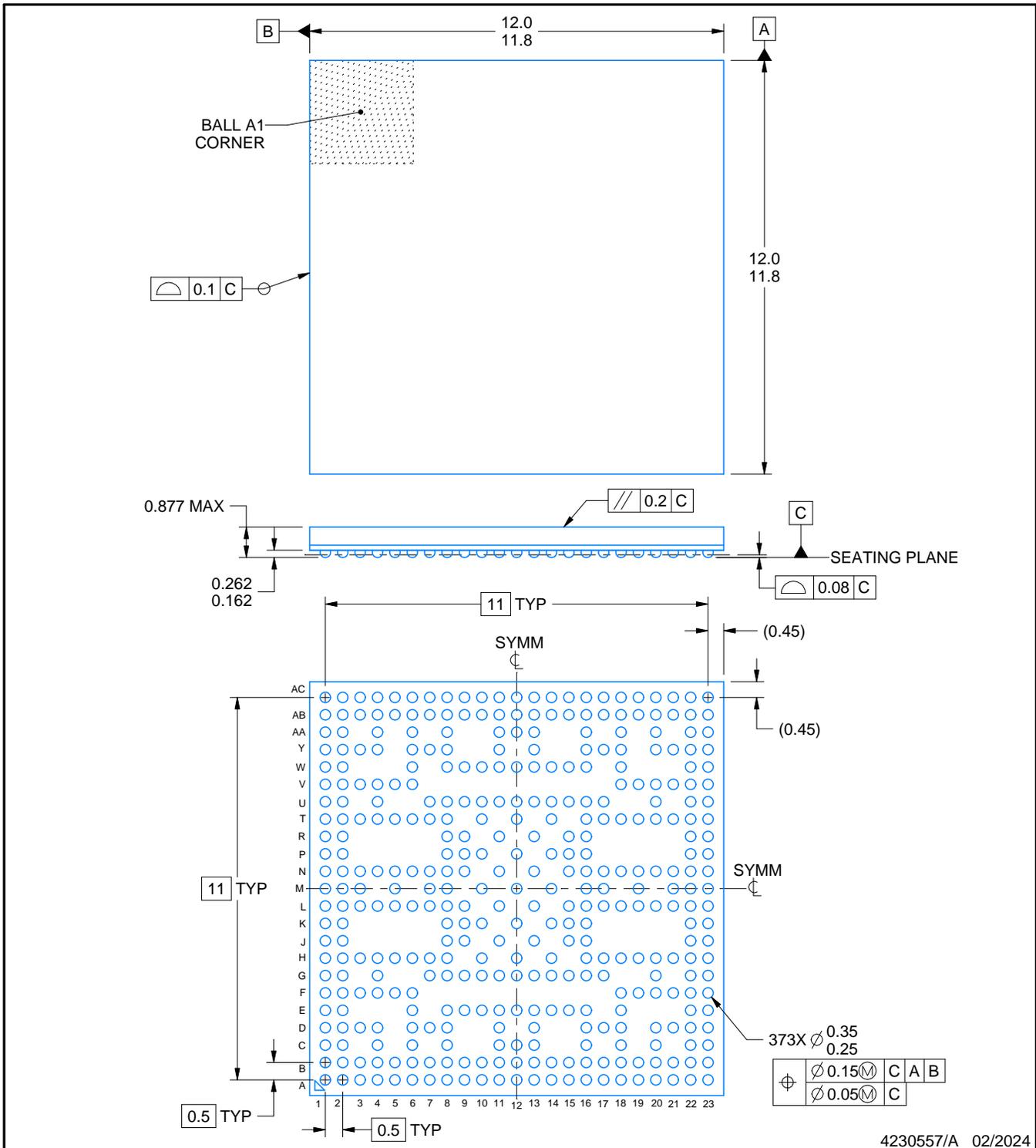
# ANB0373A



# PACKAGE OUTLINE

FCCSP - 0.877 mm max height

PLASTIC BALL GRID ARRAY



**NOTES:**

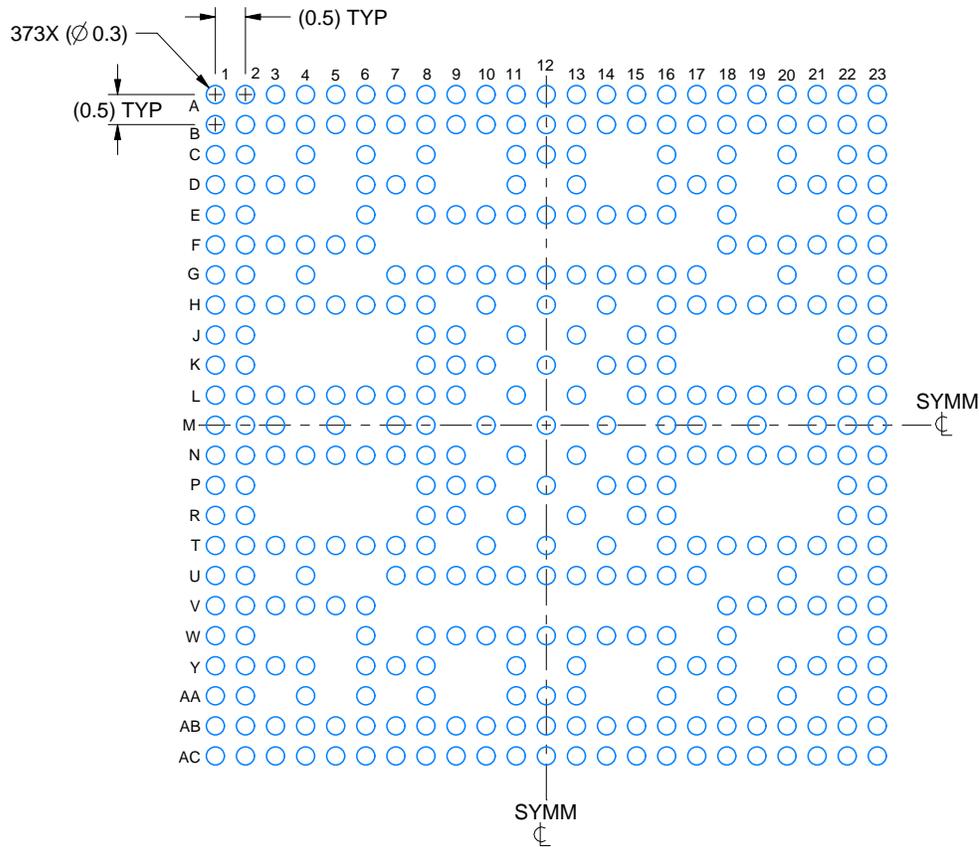
1. All linear dimensions are in millimeters. Any dimensions in parenthesis are for reference only. Dimensioning and tolerancing per ASME Y14.5M.
2. This drawing is subject to change without notice.

# EXAMPLE BOARD LAYOUT

ANB0373A

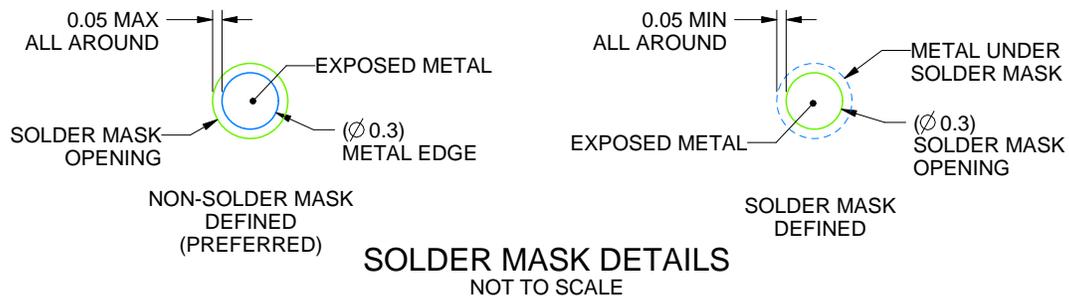
FCCSP - 0.877 mm max height

PLASTIC BALL GRID ARRAY



## LAND PATTERN EXAMPLE

EXPOSED METAL SHOWN  
SCALE: 8X



4230557/A 02/2024

NOTES: (continued)

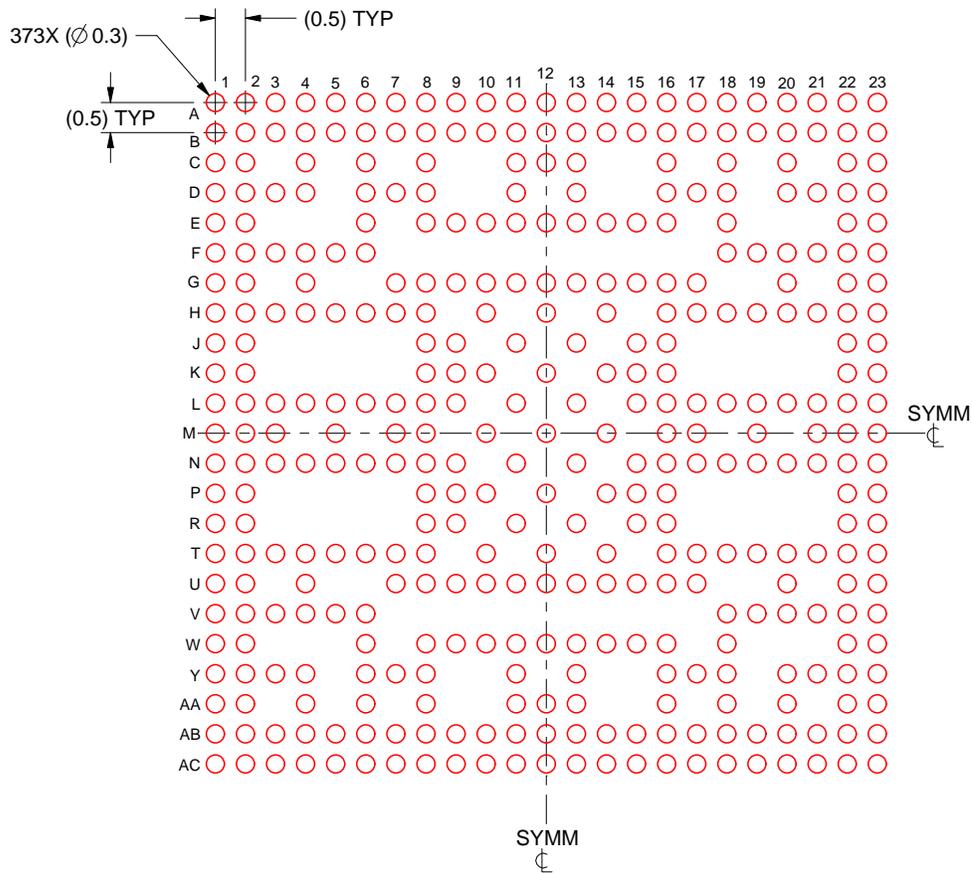
- Final dimensions may vary due to manufacturing tolerance considerations and also routing constraints. For information, see Texas Instruments literature number SPRAA99 ([www.ti.com/lit/spraa99](http://www.ti.com/lit/spraa99)).

# EXAMPLE STENCIL DESIGN

ANB0373A

FCCSP - 0.877 mm max height

PLASTIC BALL GRID ARRAY



**SOLDER PASTE EXAMPLE**  
BASED ON 0.100 mm THICK STENCIL  
SCALE: 8X

4230557/A 02/2024

NOTES: (continued)

4. Laser cutting apertures with trapezoidal walls and rounded corners may offer better paste release.

## 重要なお知らせと免責事項

テキサス・インスツルメンツは、技術データと信頼性データ(データシートを含みます)、設計リソース(リファレンス デザインを含みます)、アプリケーションや設計に関する各種アドバイス、Web ツール、安全性情報、その他のリソースを、欠陥が存在する可能性のある「現状のまま」提供しており、商品性および特定目的に対する適合性の黙示保証、第三者の知的財産権の非侵害保証を含むいかなる保証も、明示的または黙示的にかかわらず拒否します。

これらのリソースは、テキサス・インスツルメンツ製品を使用する設計の経験を積んだ開発者への提供を意図したものです。(1) お客様のアプリケーションに適したテキサス・インスツルメンツ製品の選定、(2) お客様のアプリケーションの設計、検証、試験、(3) お客様のアプリケーションに該当する各種規格や、その他のあらゆる安全性、セキュリティ、規制、または他の要件への確実な適合に関する責任を、お客様のみが単独で負うものとします。

上記の各種リソースは、予告なく変更される可能性があります。これらのリソースは、リソースで説明されているテキサス・インスツルメンツ製品を使用するアプリケーションの開発の目的でのみ、テキサス・インスツルメンツはその使用をお客様に許諾します。これらのリソースに関して、他の目的で複製することや掲載することは禁止されています。テキサス・インスツルメンツや第三者の知的財産権のライセンスが付与されている訳ではありません。お客様は、これらのリソースを自身で使用した結果発生するあらゆる申し立て、損害、費用、損失、責任について、テキサス・インスツルメンツおよびその代理人を完全に補償するものとし、テキサス・インスツルメンツは一切の責任を拒否します。

テキサス・インスツルメンツの製品は、[テキサス・インスツルメンツの販売条件](#)、または [ti.com](https://www.ti.com) やかかるテキサス・インスツルメンツ製品の関連資料などのいずれかを通じて提供する適用可能な条項の下で提供されています。テキサス・インスツルメンツがこれらのリソースを提供することは、適用されるテキサス・インスツルメンツの保証または他の保証の放棄の拡大や変更を意味するものではありません。

お客様がいかなる追加条項または代替条項を提案した場合でも、テキサス・インスツルメンツはそれらに異議を唱え、拒否します。

郵送先住所：Texas Instruments, Post Office Box 655303, Dallas, Texas 75265  
Copyright © 2025, Texas Instruments Incorporated