

Errata

AM275x 处理器器件勘误表，器件版本 1.0**摘要**

本文档介绍了功能规格的已知例外情况 (公告)。本文档也包含了使用说明。在使用说明中介绍了器件行为可能与假定或记录的行为不匹配的情况。这可能包括影响器件性能或功能正确性的行为。

内容

1 使用说明和公告模型	2
1.1 支持的器件.....	2
2 器件修订版本使用说明和公告	4
2.1 器件使用说明.....	4
2.2 器件公告.....	5
3 商标	15
4 修订历史记录	15

1 使用说明和公告模型

使用说明汇总表列出了所有使用说明和适用的器件修订版本。公告汇总表列出了所有公告、受影响的模块以及适用的器件修订版本。

表 1-1. 使用说明汇总表

ID	标题	受影响的器件修订版本
		AM275x 1.0
R5F	i2284 - Cortex-R5F 不支持所广播的 NMI	是
OSPI	i2351 - OSPI 控制器不支持带 NAND 闪存的连续读取模式	是
C71x	i2424 - PLL 编程序列可导致 PLL 不稳定	是

表 1-2. 公告汇总表

模块	说明	受影响的器件修订版本
		AM275x 1.0
ECC_AGGR	i2049 - 由于出现挂起的 ECC 聚合器中断，IP 时钟停止/复位序列可能挂起	是
RAT	i2062 - RAT：即使设置了“错误记录禁用”，仍会触发错误中断	是
C71x	i2120 - C71x: 在转置流中对 LEZR 进行非奇偶校验错误检测时 SE 挂起	是
PSIL	i2137 - PSIL：时钟停止操作可能会导致异常行为	是
OSPI	i2189 - OSPI：控制器 PHY 调优算法	是
IA	i2196 - IA：IA 中可能出现的死锁情况	是
C71x	i2199 - C71x: 在非对齐的转置流跨越 AM1 循环缓冲区边界时 SE 返回错误数据	是
OSPI	i2249 - OSPI：具有 DDR 时序的内部 PHY 环回和内部焊盘环回时钟模式无法运行	是
PRG	i2253 - PRG：CTRL_MMR_STAT 寄存器是 POK 阈值失效的不可靠指示器	是
MCAN	i2278 - MCAN：当从配置有相同报文 ID 的专用 Tx 缓冲区发送时，报文发送顺序无法被确认	是
MCAN	i2279 - MCAN：配置有相同报文 ID 的专用 Tx 缓冲区和 Tx 队列的规范更新	是
USART	i2310 - USART：错误地清除/触发超时中断	是
USART	i2311 - USART 虚假 DMA 中断	是
MMCSD	i2312 - MMCSD：HS200 和 SDR104 命令超时窗口太小	是
C71x	i2377 - RAT 输入信号 rbytecnt 和 wbytecnt 计算错误	是
OSPI	i2383 - OSPI：PHY DDR 模式不支持 2 字节地址	是
CPSW	i2401 - CPSW：主机时间戳导致 CPSW 端口锁定	是
C71x	i2427 - 安全：RAM SEC 可能会导致虚假的 RAM 写入，从而导致 L2 和 MBOX 存储器损坏	是
C71x	i2431 - BCDMA：Rx 通道在某些情况下可能锁定	是
eMMC	i2435 - 引导：eMMC 引导的 ROM 超时过长	是
C71x	i2436 - RX CHAN CFG 寄存器中的 BCDMA_RX_IGNORE_LONG 设置不起作用	是
CPSW	i2438 - CPSW：使用 VLAN 添加/移除生成主机以太网校验和	是
Pulsar	i2449 - Pulsar 没有 RAT MMR 奇偶校验 - 不匹配诊断 RAT5	是
PWM	i2455 - PWM：来自全部三个 PWM 的外部中断不会路由到主 Pulsar	是

1.1 支持的器件

本文档支持以下器件：

- AM275x

有关所支持器件的参考文档如下：

- AM275x 处理器技术参考手册 (SPRUJC6)

- AM275x 处理器数据表 (SPRSPB0)

2 器件修订版本使用说明和公告

本节列出了此器件修订版本的使用说明和公告。

2.1 器件使用说明

i2284

中断：Cortex-R5F 不支持所广播的 NMI

详细信息

NMI 的目的是防止对关键中断的不确定延迟响应，该中断可能是由软件禁用一段时间的中断而引起。因为这样的 NMI 定义会导致软件无法在该级别（即 Cortex R5F 上的 FIQ）启动屏蔽中断。

R5F 具有可以在 SEC MMR 中配置的 NMFI 选项，但**所有**中断都可在 VIM 中屏蔽。因此，关键中断仍可以在 VIM 中被阻止，并且未验证是否具有任何类型的有限中断响应时间。

这基本上妨碍了目的。

其他 Cortex R5 实现方案支持 NMI，因为无法作为中断控制器定义的一部分禁用一个或多个关键通道上的中断。

权变措施

无

i2351

OSPI：直接访问控制器 (DAC) 不支持带 NAND 闪存连续读取模式

详细信息：

OSPI 直接访问控制器 (DAC) 不支持带 NAND 闪存连续读取模式，因为 OSPI 控制器可以在发送到 OSPI 控制器的内部 DMA 总线请求之间，将向闪存存储器发送的 CSn 信号置为无效（根据设计意图）。

发生此问题的原因是，一些 OSPI/QSPI NAND 闪存存储器提供的“连续读取”模式要求片选输入在整个突发事务中持续置为有效状态。

SoC 内部 DMA 控制器和其他启动器限制用于 1023 B 或更小的事务，并且仲裁/排队可以在各种 DMA 控制器内部进行，也可以在任何 DMA 控制器与 OSPI 外设之间的互连中进行。这会导致到 OSPI 控制器的总线请求延迟，进而导致外部 CSn 信号被置为无效。

NOR 闪存存储器不受 CSn 置为无效的影响，连续读取模式正常运行。

权变措施：

软件可以使用页面/缓冲读取模式来访问 NAND 闪存。

i2424

PLL：PLL 编程序列可导致 PLL 不稳定

详细信息：

PLL 编程序列已经更改，这样一来如果使用它，在启用 PLL 校准前，所有校准字段都已配置。除了更改对校准逻辑的控制之外，还实现了其他更改，以便在启用 PLL 时 PLL 参数保持不变。

在整数模式下时，软件会在支持校准的 PLL 上启用 PLL 校准功能。之前的软件在 CAL_LOCK 置为有效后调整校准模式。已经看到，这些写入操作会导致某些器件上的 PLL 锁定丢失。此外，即使在易受影响的器件上，锁定丢失也是间歇性的，但是当丢失发生时，相关电路以不正确的频率运行；这种错误频率可能表现为算法执行缓慢或通信故障。

限制影响：当 PLL 处于小数模式时，不能使用校准逻辑。因此，被编程为使用分数模式的 PLL 不太可能出现与校准编程相关的故障。然而，由于对完整 PLL 序列的更改，建议所有用户使用新软件。

i2424 (续)

PLL : PLL 编程序列可导致 PLL 不稳定

权变措施 :

请勿将 `clk_pll_16fft_cal_option4()` 用于 SYSFW。执行任何 PLL 配置更改时, 应使用 SDK v10.0 或更高版本中更新后的 PLL 编程序列。

2.2 器件公告

i2049

ECC_AGGR : 由于出现挂起的安全错误, IP 时钟停止/复位序列可能挂起

详细信息 :

ECC 聚合器模块用于聚合发生的安全错误 (这种情况很少见) 并产生中断以通知软件。ECC 聚合器通过软件控制安全错误中断的启用/禁用和清除。

当软件对 IP 执行时钟停止/复位序列时, 该序列可能无法完成, 因为该 IP 关联的 ECC 聚合器实例不是空闲的。ECC 聚合器空闲状态取决于挂起的任何安全错误中断, 这些中断要么启用, 要么禁用, 并且未被软件清除。因此, 如果有任何挂起的安全错误中断未被清除, IP 的时钟停止/复位序列可能永远不会完成 (挂起)。

受影响的 ECC_AGGR 可通过技术参考手册 (TRM) 中为其 REV 寄存器 (寄存器偏移 0h) 列出的值来确定。REV 寄存器在其字段中对 ECC_AGGR 版本进行编码, 如下所示:

`v[REVM AJ].[REVM IN].[REVRTL]`

v2.1.1 之前的 ECC_AGGR 版本会受到影响。ECC_AGGR 版本 V2.1.1 和更高版本不受影响。

受影响的示例 :

`REVM AJ = 2`

`REVM IN = 1`

`REVRTL = 0`

上述值会解码为受到影响的 ECC_AGGR 版本 v2.1.0。

不受影响示例 :

`REVM AJ = 2`

`REVM IN = 1`

`REVRTL = 1`

上述值会解码为不受影响的 ECC_AGGR 版本 V2.1.1。

权变措施 :

一般说明 :

功能安全用例中不支持对 ECC 聚合器执行时钟停止。

对于非功能安全用例, 软件应使用以下权变措施 :

1. 为 IP 启用所有 ECC 聚合器中断
2. 处理并清除所有挂起的中断
3. 第 3 步 :
 - a. 禁用 ECC 聚合器的所有中断源, 然后执行时钟停止/复位序列。
 - b. 执行时钟停止/复位序列, 同时继续处理/清除挂起的中断。

由于中断属于外部刺激, 软件为第 3 步提供了两种选项 :

i2049 (续)**ECC_AGGR : 由于出现挂起的 ECC 聚合器中断, IP 时钟停止/复位序列可能挂起**

1. 在执行时钟停止/复位序列之前, 禁用所有可以产生挂起 ECC_AGGR 中断的中断源 (EDC CTRL 校验器)
2. 继续处理/清除发生的挂起中断, 同时执行时钟停止/复位序列。当清除完所有中断除时, 该序列将继续进行。

通常, 软件可能需要检测在整个这一序列期间持续触发的挂起中断 (例如, 在卡滞故障情况下), 并禁用其关联的 EDC CTRL 安全校验器, 使得时钟停止/复位序列可以继续直到完成。

i2062**RAT : 即使设置了“错误记录禁用”, 仍会触发错误中断**

详细信息 :

如果对 RAT 错误记录进行编程以禁用记录并启用中断, 则错误将错误地触发中断, 但错误日志寄存器不会正确更新。错误中断不应产生。

权变措施 :

如果禁用 RAT 错误记录, 则错误中断也应由软件禁用。

i2120**C71x : 在转置流中对 LEZR 进行非奇偶校验错误检测时 SE 挂起**

详细信息 :

C71x 流引擎 (SE) 用于返回格式化数据和返回报告内部错误信息的管道始终监控其正在处理的数据的标签。当检测到用于格式化返回 CPU 的数据的数据行出错时, 所有用于将命令排队进入 UMC、uTLB 以及返回 CPU 的格式化管道的提取端执行都将停止。

在一般操作中, 仅进行错误监控的标签是用于当前命令的标签。对于转置模式, 是指受到当前数组影响的所有标签。抑制内部标签监控时出现的间隙会导致格式化管道监控其当前未处理的标签, 同时为 LEZR 特性创建零矢量。如果 SE 的提取端遇到并记录了未来的错误, 格式化端可能会注意到它, 并在该列的命令提交进行格式化之前停止提取端。

仅仅对于在内部提交进行格式化的命令, 才将错误报告给 CPU, 因此在提交该列之前停止内部执行导致不向 CPU 报告任何错误。因为 SE 已经停止提取操作而没有报告错误, 所以 CPU 继续挂起, 等待 SE 返回数据或发出错误, 直到发生一个不相关的外部事件或中断。

权变措施 :

唯一的 100% 权变措施是在同时启用了 LEZR 和转置模式的情况下不使用流模板。

i2137**PSIL : 时钟停止操作可能会导致异常行为**

详细信息 :

时钟停止接口是一个请求/确认接口, 用于协调正确停止的主时钟和模块之间的握手。如果不首先执行通道清理或清除全局启用位, 而尝试对在模块执行时钟停止, 将导致模块特定的异常行为。

受影响的模块包括 PDMA、SA2UL、以太网交换机、CSI、UDMAP、ICSS 和 CAL。

权变措施 :

在尝试进行时钟停止操作之前, 需要使用软件清理所有活动通道 (通过 UDMAP 中的 UDMAP “实时” 寄存器或 PSIL 模块中的 PSIL 寄存器 0x408), 并且在完成此操作后, 还要清除所有通道的全局启用位 (通过 UDMAP 和 PSIL 模块中的 PSIL 寄存器 0x2)。

i2189

OSPI : 控制器 PHY 调优算法

详细信息 :

启用 PHY 模块后, OSPI 控制器使用 DQS 信号对数据进行采样。但是, 该模块中存在一个问题, 要求这种采样必须在内部时钟定义的窗口内进行。读取操作会受到外部延迟的影响, 该外部延迟会随温度变化而变化。要确认在任何温度下都能有效读取, 必须实施一种特殊调优算法来选择最稳健的 TX、RX 和读取延迟值。

权变措施 :

此错误的权变措施在 [SPRACT2](#) 中进行了详细介绍。要在某些 PVT 条件下对数据进行采样, 可调高读取延迟字段, 以改变内部时钟采样窗口。这样就可以在数据眼图内的任何位置对数据进行采样。但是, 这会带来以下副作用:

1. 必须为所有读取操作启用 PHY 流水线模式。由于必须要对写入操作禁用 PHY 流水线模式, 因此读取和写入操作必须分开进行。
2. 当权变措施实施后, BUSY 位的硬件轮询中断, 因此必须改用软件轮询。写入必须在页边界内通过 DMA 访问进行, 以防主机或闪存器件发起的中断。软件必须在页写入操作间隙轮询 BUSY 位。或者, 在启用硬件轮询时, 写入可以在非 PHY 模式下执行。
3. STIG 读取必须填充额外的字节, 并且接收到的数据必须右移。

i2196

IA : IA 中可能出现的死锁情况

详细信息 :

中断聚合器 (IA) 的一个主要功能是转换到达事件传输通道 (ETL) 总线的事件, 它可以将事件转换为用于产生电平中断的中断状态位。在 IA 1.0 版中执行此功能的块称为状态事件块。

除了状态事件块外, 还有另外两个主处理块: 多播事件块和计数事件块。多播块实际上用作事件分离器。对于它接收的每个事件, 多播块都可以生成两个输出事件。计数事件块用于将高频事件转换为可读计数。它对输入事件进行计数, 并在计数从 0 转换到非零计数值/从非零读数值转换到 0 时生成输出事件。与状态事件块不同, 多播和计数事件块生成输出 ETL 事件, 然后将这些事件映射到其他处理块。

在设计后, 发现了一个可能导致 IA 死锁的问题。当事件“循环”在这三个处理块之间发生时, 就会出现该问题。有可能出现一种情况: 由于路径阻塞, 处理块无法输出事件, 并且由于它无法输出事件, 因此不能接收任何新的输入事件。无法接受输入事件这种情况会阻止输出路径展开, 因此两条路径都被阻塞阻止。

权变措施 :

[图 2-1](#) 展示了 IA 1.0 的概念方框图。通过采用不允许计数事件块向多播块发送事件的策略, 可以避免可能出现的循环。选择此方法是因为更常见的做法是先拆分一个事件, 然后对其中一个事件进行计数, 同时将另一个事件发送到其他位置。由于该路径由于约定被阻塞, 单个事件无法多次访问任何块, 因此只要输出保持未阻塞状态, 路径就无法被阻塞。

i2196 (续)

IA : IA 中可能出现的死锁情况

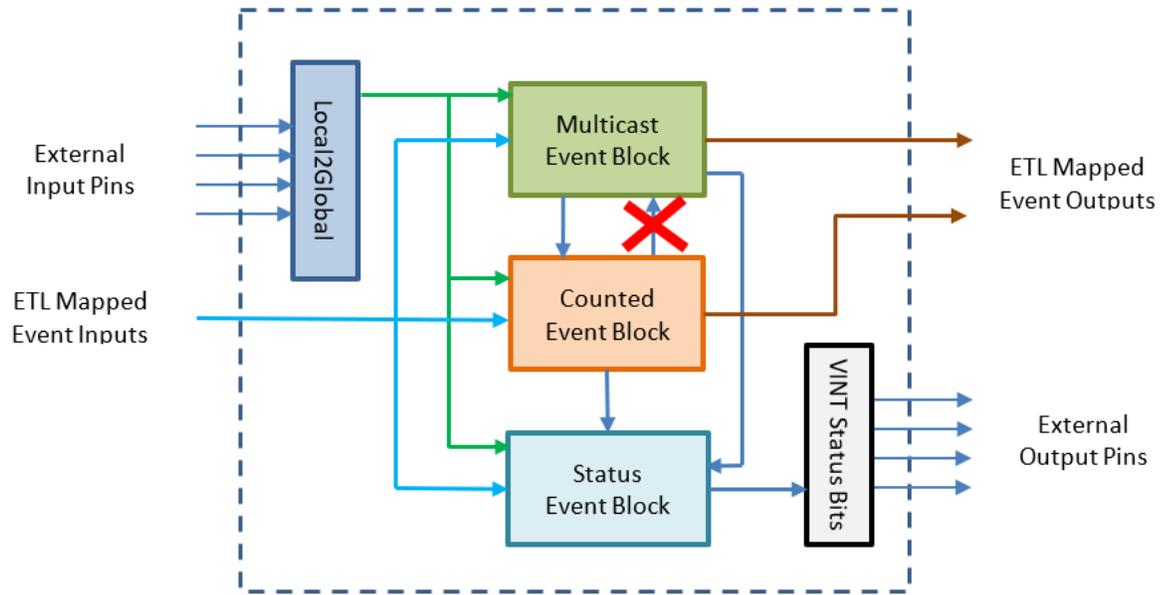


图 2-1. 中断聚合器 1.0 版

通过遵循此处概述的约定，系统不会出现可能产生死锁情况的危险循环。

i2199

C71x : 在非对齐的转置流跨越 AM1 循环缓冲区边界时 SE 返回错误数据

详细信息：

当 AM1 指比 AM0 大的循环缓冲区大小时，SE 可能会在非对齐转置流期间重复使用错误的 64B 数据行。当转置行中的其中一行跨越 AM1 循环缓冲区边界而不是 AM0 边界时，便会出现这种情况。

权变措施：

将转置流完全对齐（这意味着起始地址和所有调整后的 DIM 值是 64B 的倍数），或者不要将 AM1 配置为比 AM0 大的循环寻址缓冲区大小。

i2249

OSPI : 具有 DDR 时序的内部 PHY 环回和内部焊盘环回时钟模式无法运行

详细信息

OSPI 内部 PHY 环回模式和内部焊盘环回模式采用“启动沿作为捕获沿”（相同的边沿捕获或 0 周期时序）。

可编程接收延迟线 (Rx PDL) 用于补偿往返延迟 (Tx 时钟至闪存器件、闪存时钟至输出以及闪存数据至控制器)。

在内部环回模式和 IO 环回模式的情况下，Rx PDL 的总延迟不足以补偿往返延迟，因此不能使用这些模式。

下表介绍了 OSPI 控制器中推荐的时钟拓扑。在 DDR 模式下，此处未描述的所有其他模式都受本公告的影响，不推荐作为时钟拓扑。

i2249 (续)

OSPI : 具有 DDR 时序的内部 PHY 环回和内部焊盘环回时钟模式无法运行

表 2-1. OSPI 时钟拓扑

时钟模式术语	CONFIG_REG.PHY_MODE_ENABLE	READ_DATA_CAPTURE.BYPASS	READ_DATA_CAPTURE.DQS_EN	电路板实现
无环回、无 PHY	0 (PHY 禁用)	1 (禁用调整后的环回时钟)	X	无。依靠内部时钟。最大频率 50MHz。
具有 PHY 的外部电路板环回	1 (PHY 启用)	0 (启用调整后的环回时钟)	0 (DQS 禁用)	外部电路板环回 (OSPI_LOOPBACK_CLK_SEL = 0)
具有 PHY 的 DQS	1 (PHY 启用)	x (DQS 启用具有优先级)	1 (DQS 启用)	连接到 SOC DQS 引脚的存储器选通

权变措施

无。请根据介绍的表格，使用未受影响的时钟模式之一。

i2253

PRG : CTRL_MMR_STAT 寄存器是 POK 阈值失效的不可靠指示器

详细信息

CTRL_MMR PRG STAT 寄存器中的 POK 过压和欠压标志是用于指示 POK 是否失效的不可靠指示器。因此，在器件技术参考手册 (TRM) 中将它们标记为“保留”。

权变措施

滤波后的 POK 输出会更新 ESM 标志。

在 POK 初始化 (即启用) 时，应该清除 ESM 标志 (根据带隙和/或 POK 趋稳时间内进行的比较)。在该初始清除之后，ESM 标志可用作 POK 失效 (或未失效) 的可靠指示器。

i2278

MCAN : 当从配置有相同报文 ID 的专用 Tx 缓冲区发送时，报文发送顺序无法被确认

详细信息

此勘误表仅限于多个 Tx 缓冲区配置有相同报文 ID (TXBC.NDTB > 1) 的情况。

在以下情况下，消息可能会不按顺序发送：

- 多个 Tx 缓冲区配置有相同的报文 ID
- 这些 Tx 缓冲区的 Tx 请求按顺序提交，且每个请求之间存在延迟

权变措施

权变措施 1：

将具有相同报文 ID 的 Tx 报文写入消息 RAM 后，通过对 TXBAR 进行一次写访问，同时请求发送所有这些报文。在同时发出请求之前，确保所有这些报文中都没有挂起的 Tx 请求。

权变措施 2：

使用 Tx FIFO 而不是专用 Tx 缓冲区 (设置位 MCAN_TXBC[30] TFQM = 0 以使用 Tx FIFO) 按特定顺序发送多条具有相同报文 ID 的报文。

i2279

MCAN : 配置有相同报文 ID 的专用 Tx 缓冲区和 Tx 队列的规范更新

详细信息

此勘误表更新了 M_CAN 用户手册中第 3.5.2 节专用 Tx 缓冲区和第 3.5.4 节 Tx 队列中的说明，该说明与配置有相同报文 ID 的多个专用 Tx 缓冲区的报文发送有关。

权变措施

权变措施 1：

i2279 (续)
MCAN : 配置有相同报文 ID 的专用 Tx 缓冲区和 Tx 队列的规范更新

将具有相同报文 ID 的 Tx 报文写入消息 RAM 后，通过对 TXBAR 进行一次写访问，同时请求发送所有这些报文。在同时发出请求之前，确保所有这些报文中都没有挂起的 Tx 请求。

权变措施 2：

使用 Tx FIFO 而不是专用 Tx 缓冲区 (设置位 MCAN_TXBC[30] TFQM = 0 以使用 Tx FIFO) 按特定顺序发送多条具有相同报文 ID 的报文。

i2310
USART: 错误地清除/触发超时中断

详细信息：

在 RHR/MSR/LSR 寄存器读取期间，USART 可能会错误地清除或触发超时中断。

权变措施：

CPU 用例

- 如果超时中断被错误地清除：
 - 清除是有效的，因为 FIFO 中的挂起数据会重触发超时中断
- 如果错误地设置了超时中断，并且 FIFO 为空，请使用以下软件权变措施来清除中断：
 - 在 TIMEOUTH 和 TIMEOUTL 寄存器中设置超时计数器的高值
 - 将 EFR2 第 6 位设置为 1 以将超时模式更改为周期性模式
 - 读取 IIR 寄存器以清除此中断
 - 将 EFR2 第 6 位设置回 0 以将超时模式改回原始模式

DMA 用例

- 如果超时中断被错误地清除：
 - 清除是有效的，因为下一个周期性事件会重触发超时中断
 - 用户必须通过将 EFR2 第 6 位设置为 1 来让 RX 超时行为处于周期性模式
- 如果超时中断被错误地设置：
 - 这会导致 DMA 被软件驱动程序关闭
 - 有效，因为下一个传入数据将导致软件再次设置 DMA

i2311
USART 虚假 DMA 中断

详细信息：

当在 TLR 寄存器中出现非 2 的乘幂触发级别的情况下，使用 DMA 访问 TX/RX FIFO 时，可能会发生虚假 DMA 中断。

权变措施：

为 TX/RX FIFO 触发级别使用 2 的乘幂值 (1、2、4、8、16 和 32)。

i2312
MMCSDB : HS200 和 SDR104 命令超时窗口太小

详细信息：

在高速 HS200 和 SDR104 模式下，MMC 模块的功能时钟将达到 192 MHz。在此频率下，通过 MMC 主机控制器使用 MMCSDB_SYSCTL[19:16] DTO = 0xE 可获得的最大超时

i2312 (续)

MMCSD : HS200 和 SDR104 命令超时窗口太小

为 $(1/192\text{MHz}) \times 2^{27} = 700\text{ms}$ 。超过 700ms 的命令可能会受到这一较小窗口时间范围帧的影响。

权变措施：

如果命令需要超过 700ms 的超时，则可以禁用 MMC 主机控制器命令超时 (MMCSD_CON[6] MIT=0x1) 并可以使用软件实现代替它。详细步骤如下所示 (在 Linux 中)：

1. 在 MMC 主机控制器探测函数 (omap_hsmmc.c:omap_hsmmc_probe()) 执行期间，通知处理器主机控制器无法支持所有必需的超时。
2. 修改 MMC 核心软件层功能，以便在底层 MMC 主机控制器无法支持所需超时的情况下，内核自行超时。

i2377

RAT 输入信号 rbytecnt 和 wbytecnt 计算错误

详细信息：

R5SS 内的 RAT 逻辑使用 rbytecnt 和 wbytecnt 来确定读或写访问是否跨越软件配置的区域边界。发送到 RAT 的 rbytecnt 和 wbytecnt 值在 R5SS 中计算，但使用的方程不正确。这会致使 RAT 无法检测或错误地检测区域边界交叉。

权变措施：

由于 Cortex-R5 AXI 主接口事务不会跨越 32 字节边界，因此区域边界等于或大于 32 字节不会出现问题。仅当区域边界小于 32 字节时才会发生该问题。因此，软件无法设置小于 32 字节的区域边界。

i2383**OSPI : PHY DDR 模式不支持 2 字节地址**

详细信息 :

当 OSPI 控制器配置为在 PHY DDR 模式中进行 2 字节寻址时，内部状态机将发送的地址字节数失配为值 1 (而不是 2)。这会导致状态机在地址阶段锁定，使 PHY DDR 模式不可运行。

使用任何 Tap 模式或 PHY SDR 模式时，不会发生此问题。在 PHY DDR 模式下使用 4 字节寻址时，也不会出现此问题。

权变措施 :

对于具有可编程地址字节设置的兼容 OSPI 存储器，请将闪存上所需的地址字节数从 2 设置为 4。这可能涉及发送一条特定命令以更改地址字节和/或在闪存上写入配置寄存器。完成后，将在控制器设置中发送的地址字节数从 2 更新为 4。

对于仅支持 2 字节寻址且无法重新编程的兼容 OSPI 存储器，PHY DDR 模式将与该存储器不兼容。替代模式包括：

- PHY SDR 模式
- TAP (无 PHY) DDR 模式
- TAP (无 PHY) SDR 模式

i2401**CPSW : 主机时间戳导致 CPSW 端口锁定**

详细信息 :

CPSW 提供两种机制，将数据包进站时间戳信息传递给主机。

第一种机制是通过 CPTS 事件 FIFO 实现的，该机制在由特定事件触发时记录时间戳。这类事件包括接收到包含指定 EtherType 字段的以太网数据包。这种机制最常用于捕获 PTP 数据包的进站时间戳。通过这种机制，主机必须将时间戳 (来自 CPTS FIFO) 和 DMA 提供的数据包有效载荷分开读取。这种模式受支持并且不受此勘误表影响。

第二种机制是为所有数据包启用接收时间戳，而不仅仅是 PTP 数据包。采用这种机制时，时间戳会通过 DMA 与数据包有效载荷一起传送。第二种机制是本勘误表的主题。

当启用 CPTS 主机时间戳时，每个传送到内部 CPSW 端口 FIFO 的数据包都需要来自 CPTS 的时间戳。当数据包前导码由于 EMI 或任何其他损坏机制而损坏时，可能不会向 CPTS 发送时间戳请求。在这种情况下，CPTS 将不会生成时间戳，这会导致 CPSW 端口 FIFO 中出现锁定状况。当通过清除 CPTS_CONTROL 寄存器中的 `tstamp_en` 位来禁用 CPTS 主机时间戳时，将阻止发生锁定状况。

权变措施 :

必须禁用以太网到主机的时间戳。

可以使用 CPTS 事件 FIFO 时间戳来代替 CPTS 主机时间戳。

i2427**RAM SEC 可能会导致虚假的 RAM 写入，从而导致 L2 和 MBOX 存储器损坏**

详细信息 :

如果存储器在 RAM 读取数据期间由于读取或部分写入事务遇到一个 single-bit 错误，则 RAM 将进入一种状态，如果下一个“存储器读取”是由后续的部分写入事务导致的，则可能会导致稍后向 RAM 进行虚假写入。相反，如果“存储器读取”是由实际的存储器读取事务导致的，则将清除挂起的不良内部状态，并且以后不可能发生虚假写入。虚假写入是指在触发虚假写入的部分写入事务之前写入的最后一个存储器地址。此问题仅适用于 MBOX & L2。

i2427 (续)

RAM SEC 可能会导致虚假的 RAM 写入，从而导致 L2 和 MBOX 存储器损坏

为更加清晰起见，图 2-2 列出了问题适用 (例如 1、2 和 3) 和不适用于 (例如 4、5 和 6) 的可能情形。Transaction# 仅用于说明，并不一定表示每次操作发生的确切周期。[SEC - 单位错误校正、DED - 双位错误检测]

Ex #	Transaction 1	Transaction 2+N N=0,1,2,3..	Transaction 2+N+1	Transaction 2+N+2
1	Read or Partial Write Addr A (SEC) ← read with SEC	Full Write Addr X ← last write prior to partial write Note: N=0	Partial Write ← Triggers spurious write	Spurious write to Addr X with Transaction 1 corrected read data of Addr A
2	Read or Partial Write Addr A (SEC) ← read with SEC	Full Write Addr B Full Write Addr C Full Write Addr D ← last write prior to partial write Note: N=2	Partial Write ← Triggers spurious write	Spurious write to Addr D with Transaction 1 corrected read data of Addr A
3	Read or Partial Write Addr A (SEC)	Partial Write Addr B Note: N=0	Spurious write to Addr A with Transaction 1 corrected read data of Addr A (Addr A is overwritten with the RAM content prior to the Transaction 1 Partial write)	
4	Read Addr A (SEC)	Partial Write Addr B Note: N=0	No Spurious write to Addr A with Transaction 1 corrected read data of address A (no data corruption)	
5	Read or Partial Write Addr A (SEC)	Read ← Clears bad internal state Note: N=0	No spurious writes with all command combinations in subsequent cycles	
6	Read or Partial Write Addr A (SEC)	Full Write Addr B Note: N=0	Read ← Clears bad internal state	No spurious writes will all command combinations in subsequent cycles

图 2-2.

权变措施：

以下选项之一可用作权变措施。

选项 1：

禁用 ECC，仅适用于非安全应用。

选项 2：

不允许对存储器进行部分写入 (仅执行全行写入)

对于 L2，如果 L2 空间可缓存，则内核将仅执行完整行写入，因此此问题不适用。

选项 3：

应用程序可以像 DED 一样处理所有 SEC 错误 (即使在 single-bit 错误的情况下也仅检测纠正错误)，因为如果应用无法在读取或部分写入事务发生 single-bit 错误后立即控制事务，则可能会损坏 RAM 数据。

备注

之前关于使用 ECC CTRL - SEC 计数器作为正常 SEC 问题与虚假写入的指示器的陈述无效。虚假写入后，ECC CTRL SEC 计数器仍可为 1。

i2431

BCDMA : RX 通道在某些情况下可能锁定

详细信息：

如果没有任何 TR 在配置特定的标志字段中设置 EOP 标志，BCDMA RX chan Teardown 可以锁定通道并且无法在随后的传送中使用。随后，当通道重新启用时，传送将不会完成并将终止，并且 TR 响应中会出现各种错误。

权变措施：

a) 从 PSIL/PDMA 外设接收数据时，需要在每个 TR 的配置的特定标志字段中设置 EOP 标志，并可将 PDMA 的 1 X-Y FIFO 模式静态 TR “Z” 参数设置为非零值，以便通道清理正常进行并清理内部状态存储器。否则，在随后后续运行时通道可能锁定。PDMA Z 计数也

i2431 (续)**BCDMA : RX 通道在某些情况下可能锁定**

可与 TR 大小匹配，以便 PDMA 将每次传送描述为单个数据包。这在一些情况下尤其会造成问题，例如，TRPD 设置了无限重新加载计数，以便在流模式下使用单组 TR 执行循环传送，在这种情况下，每个 TR 都可能是最后一个。

b) 如果用例不允许提前设置 PDMA Z 计数或者无法设置数据包 EOP，则替代方法是在单缓冲模式下使用 PKTDMA 而不是 BCDMA。

i2435**引导 : eMMC 引导的 ROM 超时过长**

详细信息 :

由于 ROM 中存在错误，如果尝试从空的或已擦除（即，恢复出厂设置）的 eMMC 器件以 eMMC 引导模式（即从 eMMC 引导分区进行引导，有时称为 eMMC 替代模式）进行引导，切换至备份引导模式的正常引导超时时间可长达 10 秒。

权变措施 :

如果系统认为此超时时间过长，则需要从另一种引导模式引导。

i2436**BCDMA : RX CHAN CFG 寄存器中的 BCDMA RX_IGNORE_LONG 设置不起作用**

详细信息 :

当远程端点未发送 EOP 以匹配 TR 边界时，BCDMA 的 RXCHAN CFG 寄存器中的 RX_IGNORE_LONG 标志被忽略，并且 BCDMA 报告 TR 响应中存在错误。

权变措施 :

RX_IGNORE_LONG 不可用，因此 PDMA 之类的远程端点应通过发送 EOP 来关闭数据包，以匹配 TR 边界（PDMA X*Y*Z 应匹配 TR ICNT0*ICNT1*ICNT2*ICNT3）

如果需要无限流（PDMA Z=0），则切换到 PKTDMA 并使用单缓冲模式

i2438**CPSW : 使用 VLAN 添加/移除生成主机到以太网校验和**

详细信息 :

当在硬件上启用 CPSW 主机到以太网校验和生成并且在以太网出口处添加或删除 VLAN 标记时，从主机到以太网的数据包损坏，并作为具有良好 CRC 的垃圾发送，这是不可接受的。

权变措施 :

对于生成校验和的数据包，在以太网出口处不得添加或删除 VLAN 标记。

i2449**Pulsar 没有 RAT MMR 奇偶校验 - 不匹配诊断 RAT5**

详细信息 :

存储在 Pulsar RAT MMR 中的值在存储时不会受奇偶校验保护。这意味着即使未检测到受奇偶校验保护的情况下，MMR 中也会发生位翻转，因此没有针对永久或瞬态错误的保护。当根据只读时 MMR 中存储的值动态计算奇偶校验时，在启动器奇偶校验时进行的检查涵盖互连。

i2449 (续)

Pulsar 没有 RAT MMR 奇偶校验 - 不匹配诊断 RAT5

权变措施：

在运行时，用户需要对 MMR 值执行软件回读。

i2455

PWM：来自全部三个 PWM 的外部中断不会路由到主 Pulsar

详细信息：

EPWM 的外部中断仅路由到两个 C7x 和设备管理器 (DM) R5。但是，这些中断不会路由到主 Pulsar R5FSS0 和 R5FSS1。

权变措施：

在任何接收外部中断的处理器中，请使用以下方法之一：

- DM R5 用于管理 EPWM0-EPWM2 外部中断
- 用于将 PWM 外部中断传递到主 Pulsar 的 DM R5 中断服务例程。以下是有关如何传递外部中断的两个示例：
 1. 使用专用 GPIO 引脚将 PWM 外部中断转换为 GPIO 中断，并对主 GPIO 多路复用器进行编程以将中断路由到主 Pulsar
 2. 通过邮箱到主 Pulsar 将 PWM 外部中断转换为 IPC 消息

3 商标

所有商标均为其各自所有者的财产。

4 修订历史记录

注：以前版本的页码可能与当前版本的页码不同

Changes from DECEMBER 2, 2024 to JULY 1, 2025 (from Revision * (December 2024) to Revision A (July 2025))

Page

- 增加了注释 i2449：Pulsar 没有 RAT MMR 奇偶校验 - 不匹配诊断 RAT5.....2
 - 增加了注释 i2377：RAT 输入信号 rbytecnt 和 wbytecnt 计算错误.....2
-

重要通知和免责声明

TI“按原样”提供技术和可靠性数据（包括数据表）、设计资源（包括参考设计）、应用或其他设计建议、网络工具、安全信息和其他资源，不保证没有瑕疵且不做任何明示或暗示的担保，包括但不限于对适销性、某特定用途方面的适用性或不侵犯任何第三方知识产权的暗示担保。

这些资源可供使用 TI 产品进行设计的熟练开发人员使用。您将自行承担以下全部责任：(1) 针对您的应用选择合适的 TI 产品，(2) 设计、验证并测试您的应用，(3) 确保您的应用满足相应标准以及任何其他功能安全、信息安全、监管或其他要求。

这些资源如有变更，恕不另行通知。TI 授权您仅可将这些资源用于研发本资源所述的 TI 产品的相关应用。严禁以其他方式对这些资源进行复制或展示。您无权使用任何其他 TI 知识产权或任何第三方知识产权。您应全额赔偿因在这些资源的使用中对 TI 及其代表造成的任何索赔、损害、成本、损失和债务，TI 对此概不负责。

TI 提供的产品受 [TI 的销售条款](#) 或 [ti.com](#) 上其他适用条款/TI 产品随附的其他适用条款的约束。TI 提供这些资源并不会扩展或以其他方式更改 TI 针对 TI 产品发布的适用的担保或担保免责声明。

TI 反对并拒绝您可能提出的任何其他或不同的条款。

邮寄地址：Texas Instruments, Post Office Box 655303, Dallas, Texas 75265
版权所有 © 2025，德州仪器 (TI) 公司