Errata

MSPM0H3215、MSPMH03216、MSPR5F100FESNNA、MSPR7F102GBESVFC 微控制器

摘要

本文档介绍了功能规格的已知例外情况（公告）。

内容

1 功能公告.....1
2 预编程软件公告.....2
3 仅调试公告.....2
4 编译器修复公告.....2
5 器件命名规则.....2
5.1 器件编号法和修订版本标识.....2
6 公告说明.....4
7 商标.....13
8 修订历史记录.....14

1 功能公告

影响器件运行、功能或参数的公告。

✓ 复选标记表示指定版本中存在该问题。

勘误编号	修订版 A
ADC_ERR_05	✓
CPU_ERR_02	✓
CPU_ERR_03	✓
FLASH_ERR_02	✓
FLASH_ERR_03	✓
I2C_ERR_04	✓
I2C_ERR_05	✓
I2C_ERR_06	✓
I2C_ERR_07	✓
I2C_ERR_08	✓
I2C_ERR_09	✓
I2C_ERR_10	✓
LFXT_ERR_03	✓
LFXT_ERR_04	✓
PMCU_ERR_13	✓
RST_ERR_01	✓
SPI_ERR_04	✓
SPI_ERR_05	✓
SPI_ERR_06	✓
SPI_ERR_07	✓

Copyright © 2025 Texas Instruments Incorporated

勘误编号	修订版 A
SWD_ERR_01	✓
SYSOSC_ERR_02	✓
TIMER_ERR_04	✓
TIMER_ERR_06	✓
UART_ERR_01	✓
UART_ERR_02	✓
UART_ERR_04	✓
UART_ERR_05	✓
UART_ERR_06	✓
UART_ERR_07	✓
UART_ERR_08	✓

2 预编程软件公告

影响出厂编程软件的公告。

✓ 复选标记表示指定版本中存在该问题。

3 仅调试公告

仅影响调试操作的公告。

✓ 复选标记表示指定版本中存在该问题。

4 编译器修复公告

由编译器权变措施解决的公告。请参阅每个公告，以了解 IDE 和编译器版本及权变措施。

✓ 复选标记表示指定版本中存在该问题。

5 器件命名规则

为了标示产品开发周期所处的阶段，TI 为所有 MSP MCU 器件的器件型号分配了前缀。每个 MSP MCU 商用系列产品都具有以下两个前缀之一：MSP 或 XMS。这些前缀代表了产品开发的发展阶段，即从工程原型 (XMS) 直到完全合格的生产器件 (MSP)。

XMS - 实验器件，不一定代表最终器件的电气规格

MSP – 完全合格的生产器件

支持工具命名前缀：

X：还未经德州仪器 (TI) 完整内部质量测试的开发支持产品。

null：完全合格的开发支持产品。

XMS 器件和 X 开发支持工具在供货时附带如下免责条款：

“开发中的产品用于内部评估用途。”

MSP 器件的特性已经全部明确，并且器件的质量和可靠性已经完全论证。TI 的标准保修证书对该器件适用。

预测显示原型器件 (XMS) 的故障率大于标准生产器件。由于这些器件的预计最终使用故障率尚不确定，德州仪器 (TI) 建议不要将它们用于任何生产系统。请仅使用合格的生产器件。

TI 的器件命名规则还包含具有器件产品系列名称的后缀。此后缀表示温度范围、封装类型和配送形式。

5.1 器件编号法和修订版本标识

下面的封装图展示了封装编号法方案，这是预发布版本。发布后，此处将添加 RTM 版本。表 5-1 中定义了器件修订版本到版本 ID 的映射。

English Document: SLAZ763
Copyright © 2025 Texas Instruments Incorporated

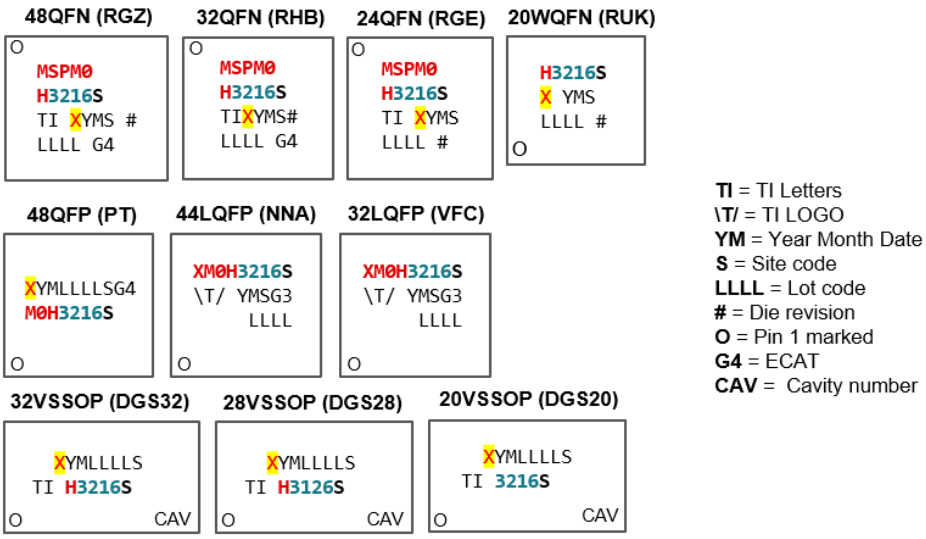

图 5-1. 封装符号

表 5-1. 芯片修订版本

修订版字母	版本（在器件的出厂常量存储器中）
A	1

修订版字母表示产品硬件修订版本。根据修订字母，本文档中的公告标记为“适用于”或“不适用于”给定器件。该字母映射到器件存储器中存储的整数，可用于使用应用软件或已连接的调试探针来查找修订版本。

Copyright © 2025 Texas Instruments Incorporated

6 公告说明

ADC_ERR_05 *ADC 模块*

类别

功能

功能

启用 IP 之前生成的 HW 事件，ADC 触发器将保持在队列中

说明

当 ADC 配置为 HW 事件触发模式并且在启用 ADC 之前生成触发信号时，ADC 触发信号将保持在队列中。启用 ADC 后，会触发采样和转换。

权变措施

将 ADC 配置为 HW 触发模式后，先启用 ADC，然后再进行外部触发。

CPU_ERR_02 *CPU 模块*

类别

功能

功能

禁用 CPUSS 预取功能的限制

说明

如果存在待处理的闪存访问，CPU 预取禁用将不会生效。

权变措施

禁用预取，然后对 SYSCTL 中的关断存储器 (SHUTDNSTORE) 发出存储器访问权限，这可以通过 SYSCTL->SOCLOCK.SHUTDNSTORE0 来完成；存储器访问完成后，将禁用预取器。

CPU_ERR_03 *CPU 模块*

类别

功能

功能

在切换到 SLEEP 模式时，预取器可能会导致数据完整性问题

说明

切换到 SLEEP0 时，预取器可能会错误地获取不正确的数据（全为 0）。退出睡眠模式时，如果预取器和高速缓存未被 ISR 代码覆盖，则从闪存执行的主代码可能会损坏。例如，如果 ISR 位于 SRAM 中，则从闪存预取的不正确的数据不会被覆盖。当 ISR 返回损坏的数据时，CPU 可能会提取预取器中的数据，从而导致指令不正确。

权变措施

进入 SLEEP 之前禁用预取器。

FLASH_ERR_02 *FLASH 模块*

类别

功能

功能

可以使用默认密码重新启用 NONMAIN 中的调试禁用

English Document: SLAZ763
Copyright © 2025 Texas Instruments Incorporated

FLASH_ERR_02
（续）

FLASH 模块

说明

如果在 NONMAIN 配置中禁用了调试 (DEBUGACCESS = 0x5566)，则仍可以使用默认密码访问器件。

权变措施

1. 将 DEBUGACCESS 设置为使用密码启用调试选项 (DEBUGACCESS = 0xCCDD)，并在 PWDDEBUGLOCK 字段中提供唯一的密码。为了提高安全性，建议使用加密随机的器件唯一密码。这将允许使用正确的 128 位密码进行调试访问，但仍可允许某些调试命令以及对 CFG-AP 和 SEC-AP 的访问。
2. 通过禁用 SWDP_MODE 来完全禁用物理 SW 调试端口。这可完全防止对器件进行任何调试访问或发送申请，但可能会影响故障分析和返回流程。

FLASH_ERR_03

FLASH 模块

类别

功能

功能

在 2 个等待状态下访问闪存，然后访问无效引导代码，将导致下一次闪存访问也出现违规

说明

在 2 个等待状态下访问闪存，然后访问 BOOTCODE，将导致下一次闪存访问也出现违规。

权变措施

请勿尝试在启动阶段后访问引导代码区域。否则，在引导代码违规和下一次正确闪存访问之间需要间隔 4 个时钟周期。

I2C_ERR_04

I2C 模块

类别

功能

功能

当 SCL 为低电平且 SDA 为高电平时，目标 i2c 无法释放延展。

说明

1：SCL 线路接地并释放，器件将不限期将 SCL 拉至低电平。

2：时钟后延展、超时和释放；如果线路上存在另一个时钟低电平，器件将不限期地将 SCL 拉至低电平。

权变措施

如果 I2C 目标应用在低功耗模式下不需要使用异步快速时钟请求进行数据接收，则建议默认禁用 SWUEN，包括在复位或功率周期期间也是一样。在这种情况下，不会出现错误描述 1 和 2。

如果 I2C 目标应用需要使用异步快速时钟请求在低功耗模式下接收数据，请在进入低功耗模式之前启用 SWUEN，并在退出低功耗模式后清除 SWUEN。即使在这种情况下，当 I2C 目标处于低功耗模式时，也可能会出现错误描述 1 和 2，如果总线上的另一个器件引发连续时钟延展或超时，它也会不限期延长 SCL 线路。为了从这种情况中恢复，请在 I2C 目标器件上启用低电平超时中断，在低电平超时 ISR 内复位并重新初始化 I2C 模块。

English Document: SLAZ763
Copyright © 2025 Texas Instruments Incorporated

I2C_ERR_05 *I2C 模块*

类别

功能

功能

如果我们在正在进行的事务期间切换 ACTIVE 位，I2C SDA 可能会卡在零电平的位置。

说明

如果在正在进行的传输期间切换 ACTIVE 位，则其状态机将复位。但是，由 I2C 控制器驱动的 SDA 和 SCL 输出将不会复位。存在 SDA 为 0 且 I2C 控制器已进入 IDLE 状态的情况，在这种情况下，I2C 控制器将无法从 IDLE 状态向前移动或更新 SDA 值。设置 I2C 目标的 BUSBUSY（切换 ACTIVE 位会导致在线路上检测到启动），并且 BUSBUSY 不会被清除，因为 I2C 控制器将无法驱动 STOP 来将其清除。

权变措施

在事务正在进行期间不要切换 ACTIVE 位。

I2C_ERR_06 *I2C 模块*

类别

功能

功能

当 I2C 时钟速率低于 24KHz 及更低时，SMBus 高电平超时功能会失败。

说明

当 I2C 时钟速率低于 24kHz 及更低（20kHz、10kHz）时，SMBus 高电平超时功能会失败。根据 SMBUS 规格，活动事务期间 SCL 高电平时间的上限为 50us。从 I2C START 位写入到 SCL 变为低电平所需的总时间为 60us，超过了 50us。它将触发超时事件，并使 I2C 控制器在传输开始时进入 IDLE 状态，而不会完成事务。以下是详细说明。

对于 SCL 配置为 20kHz 的情况，SCL 低电平周期和高电平周期分别为 30us 和 20us。首先，在高电平超时计数器开始递减的同时开始 I2C START 位写入。然后，从 START 位写入到 SDA 变为低电平（启动条件）需要一个 SCL 低电平周期 (30us)。接下来，从 SDA 变为低电平（启动条件）到 SCL 变为低电平（数据传输开始）需要另一个 SCL 低电平周期 (30us)，此时应该停止高电平超时计数器。从计数器开始到结束总共需要 60us 的时间。但是，由于高电平超时计数器的上限 (50us)，尽管 I2C 事务会正常工作，而且不出现问题，但仍将触发超时事件。

权变措施

当 I2C 时钟速率低于 24KHz 及更低时，请勿使用 SMBus 高电平超时功能。

I2C_ERR_07 *I2C 模块*

类别

功能

功能

背对背控制器控制寄存器的写入可导致 I2C 无法启动。

说明

背对背 CTR 寄存器的写入可导致后续的 CTR.START 不会正确地引起启动条件。

权变措施

以单次写入的方式写入所有 CTR 位（包括 CTR.START），或者在 CTR 写入和 CTR.START 写入之间稍作等待。

Copyright © 2025 Texas Instruments Incorporated

I2C_ERR_08 ***I2C 模块***

类别

功能

功能

RXDONE 中断后直接读取 FIFO 会导致读取到错误数据。

说明

当 RXDONE 中断发生时，FIFO 无法更新为最新数据。

权变措施

等待 2 个 I2C CLK 周期，让 FIFO 确保获得最新数据。I2C CLK 基于 I2C 寄存器中的 CLKSEL 寄存器。

I2C_ERR_09 ***I2C 模块***

类别

功能

功能

如果以低速运行 I2C，则 ISR 读取时可能不会及时更新起始地址匹配状态。

说明

如果以非典型的 I2C 速度（小于 100kHz）运行，则可能无法及时设置 ADDRMATCH 位（TSR 寄存器中的地址匹配）通过中断来读取。

权变措施

如果以非典型的 I2C 速度运行，请等待至少 1 个 I2C CLK 周期，然后再读取 ADDRMATCH 位。

I2C_ERR_10 ***I2C 模块***

类别

功能

功能

启用 I2C 忙碌状态，防止进入低功耗模式。

说明

在 I2C 目标模式下，如果没有 STOP 位，I2C 忙碌状态会在事务后保持高电平。

权变措施

对 I2C 控制器进行编程，以发送 STOP 位并且不为最后一个字节发送 NACK。可以通过 STOP 条件终止任何 I2C 传输，以保持正确的忙碌状态和异步时钟请求行为（用于重新进入低功耗模式）。

LFXT_ERR_03 ***LFXT 模块***

类别

功能

功能

选择 PA3/4 作为 LFXT 引脚时，无法通过 IOMUX 控制 PA26/27

English Document: SLAZ763
Copyright © 2025 Texas Instruments Incorporated

LFXT_ERR_03
（续）

LFXT 模块

说明

在 DGS28、DGS32、RGE、RHB、RGZ 和 PT 封装中，PA3/4 上仅支持 LFXIN/LFXOUT，启用 LFXT 时，无法通过 IOMUX 控制 PA26/27 进行 I/O 操作。

权变措施

如果需要使用 LFXT 功能，请避免将 PA26/27 用作 I/O 操作。

LFXT_ERR_04

LFXT 模块

类别

功能

功能

启用 LFXT 时，功耗异常

说明

1. 在 LQFP-44 (NNA) 封装中，如果启用了 LFXT 功能，则 VDD 引脚会额外产生约 6uA 的漏电流。由于额外的漏电流，LFXT 在 105C 以上时无法可靠工作。
2. 在其他在 PA3/4 上支持 LFXT 的 TI 兼容封装中，如果启用了 LFXT 且 PA26 悬空，则 VDD 引脚可能会产生约 5mA 的较高漏电流。

权变措施

1. 在 LQFP-44 (NNA) 封装中，将 LFXT 工作的最高温度限制为 105C。此外，IDD_STDBY 可达到约为 10uA。
2. 在其他在 PA3/4 上支持 LFXT 的 TI 兼容封装中，在电路板上强制 PA26=0 或在外部强制 VDD。

PMCU_ERR_13

PMCU 模块

类别

功能

功能

在某些情况下，MCU 可能会在从 STOP2 和 STANDBY0 唤醒时卡住

说明

在器件转换至 STOP2 和 STANDBY0 之前存在挂起的预取访问时。待处理的预取访问（例如计时器）刚刚运行至完成，DMA 已从 GPIO 接收到事件，在这种情况下，既不发生 DMA 传输，也不会发生计时器 ISR 执行，CPU 也不会卡住。当 WFI 指令为半字对齐，器件的等待状态为 2，并且在器件转换到 LPM 之前存在待处理的预取访问时会出现此问题。

权变措施

在进入 LPM 之前，客户可以禁用预取，并运行一些不访问预取的虚拟指令（例如关断寄存器读取或任何外设读取），以便预取可以被禁用，并且不会导致器件在从 LPM 唤醒时挂起，因为没有预取访问将挂起。

RST_ERR_01

RST 模块

类别

功能

English Document: SLAZ763
Copyright © 2025 Texas Instruments Incorporated

RST_ERR_01
（续）

RST 模块

功能

当 LFCLK_IN 是 LFCLK 源且 LFCLK_IN 被禁用时，不会检测到 NRST 释放。

说明

当 LFCLK = LFCLK_IN 且禁用 LFCLK_IN 时，可能会出现一种边界场景：NRST 脉冲边沿检测失效，且器件不会退出复位。如果 NRST 脉冲宽度低于 608us，则会出现此问题。NRST 脉冲超过 608us 时，复位可正常显示。

权变措施

保持 NRST 脉冲宽度高于 608us 即可以避免此问题。

SPI_ERR_04

SPI 模块

类别

功能

功能

当 SPI 外设处于仅接收模式时，在每个帧接收后进行 IDLE/BUSY 状态切换。

说明

如果 SPI 外设处于仅接收模式，则在 SPI 连续接收数据 (SPI_PHASE=1) 时，每个帧接收后都会切换 IDLE 中断和 BUSY 状态。此处没有数据加载到外设 TXFIFO，TXFIFO 为空。

权变措施

不要使用 SPI 外设的仅接收模式。将 SPI 外设设置为传输和接收模式。您无需在 TX FIFO 中为 SPI 设置任何数据。

SPI_ERR_05

SPI 模块

类别

功能

功能

无论 RXFIFO 数据如何，都将设置 SPI 外设接收超时中断

说明

当使用 SPI 超时中断时，即使在接收到最终 SPI CLK 后，RXTIMEOUT 也可以继续递减，这可能会导致错误的 RXTIMEOUT。

权变措施

接收到最后一个数据包后禁用 RXTIMEOUT（可以在 ISR 中完成）并在 SPI 通信再次开始时重新启用。

SPI_ERR_06

SPI 模块

类别

功能

功能

调试暂停置为有效时，IDLE/BUSY 状态不反映 SPI IP 的正确状态

Copyright © 2025 Texas Instruments Incorporated

SPI_ERR_06（续）*SPI 模块*

说明

IDLE/BUSY 与暂停无关，它仅控制 RXFIFO/TXFIFO 写入/读取选通。因此，如果控制器正在发送数据，尽管未在 FIFO 中为其设置闩锁，但正在设置 BUSY。在暂停期间，POCI 线路会在线路上传输先前传输的数据

权变措施

当 SPI IP 暂停时，请勿使用 IDLE/BUSY 状态。

SPI_ERR_07 *SPI 模块*

类别

功能

功能

如果同时在 SPI 外设对 TXFIFO 进行读取/写入，则无法生成 SPI 下溢事件

说明

当 SPH = 0 且器件配置为 SPI 外设：如果在有读取请求时对 TXFIFO 进行了写入，则由于同时发生读取/写入请求，因此无法生成下溢事件。

权变措施

当控制器对外设进行寻址时，客户必须验证外设上的 TXFIFO 绝不能为空。此外，可使用数据检查策略（如 CRC）来验证数据包是否已正确发送。

SWD_ERR_01 *SWD 模块*

类别

功能

功能

器件在 SWDCLK 引脚上消耗更多电流

说明

对于 IO 结构中不支持内部下拉的器件，SWCLK 引脚保持悬空状态并消耗更多电流。

权变措施

在初始化软件代码中，覆盖 SWCLK IOMUX 配置，以将 PINCM 寄存器中的 PIPU 位设置为 1，从而启用 SWCLK 引脚上的上拉功能；或通过 PINCM 寄存器中的 PF 位将此引脚切换到 GPIO/其他功能。
或者，
如果客户还希望在引导代码执行期间或在应用 NRST 引脚时修复悬空节点电流，可在电路板上的 SWCLK 引脚附近添加外部下拉电阻器。

SYSOSC_ERR_02 *SYSOSC 模块*

类别

功能

功能

在 LPM 下接收到异步时钟请求（在 FCL 模式下禁用了 SYSOSC）时，MFCLK 不工作

English Document: SLAZ763
Copyright © 2025 Texas Instruments Incorporated

SYSOSC_ERR_02（续）

SYSOSC 模块

说明

在以下情况下，MFCLK 不会开始切换：
1.启用 FCL 模式，然后启用 MFCLK
2.进入禁用 SYSOSC 的低功耗模式(SLEEP2/STOP2/STANDBY0/STANDBY1)。
3.从一些使用 MFCLK 作为功能时钟的外设接收到异步请求。
接收到异步请求时，SYSOSC 将被启用，ulpclk 将变为 32MHz。但 MFCLK 会断开，并且它根本不会切换，因为器件的设置仍然为 LPM。

权变措施

如果 SYSOSC 正在使用 FCL 模式 - 当您进入 LPM 模式（通常会关闭 SYSOSC）时，请勿启用外设的 MFCLK。

TIMER_ERR_04

TIMG 模块

类别

功能

功能

如果接近零事件，则可能会错过计时器的重新启用

说明

在单次模式下使用 GP TIMER 且 CLKDIV.RATIO 不为 0 时，如果在接近零事件，则可能会错过计时器的重新启用。

权变措施

计时器可以先禁用，然后再重新启用。

TIMER_ERR_06

TIMA 和 TIMG 模块

类别

功能

功能

向 CLKEN 位写入 0 不会禁用计数器

说明

向计数器时钟控制寄存器 (CCLKCTL) 时钟使能位 (CLKEN) 写入 0 不会停止定时器。

权变措施

通过向计数器控制 (CTRCTL) 使能 (EN) 位写入 0 来停止定时器。

UART_ERR_01

UART 模块

类别

功能

功能

在切换到 STANDBY1 模式时，未检测到 UART 启动条件

说明

器件处于 STANDBY1 模式时，由 UART 传输启动的异步快速时钟请求提供服务后，器件将返回 STANDBY1 模式。如果在转换回 STANDBY1 模式期间开始另一次 UART 传输，则器件无法正确检测到并接收数据。

English Document: SLAZ763
Copyright © 2025 Texas Instruments Incorporated

UART_ERR_01
（续）

UART 模块

权变措施

当预计存在重复的 UART 启动条件时，使用 STANDBY0 模式或更高的低功耗模式。

UART_ERR_02

UART 模块

类别

功能

功能

仅启用 TXE 时，不设置 UART 传输结束中断

说明

当器件设置为仅传输（CTL0.TXE = 1，CTL0.RXE = 0）时，不会触发 UART 传输结束 (EOT) 中断。当器件设置为传输和接收（CTL0.TXE = 1，CTL0.RXE = 1）时，EOT 会成功触发

权变措施

当使用 UART 传输结束中断时，设置 CTL0.TXE 和 CTL0.RXE 位。请注意，您不需要将引脚分配为 UART 接收。

UART_ERR_04

UART 模块

类别

功能

功能

当时钟从 SYSOSC 转换到 LFOSC 时，通过快速时钟请求接收到的错误 UART 数据会被禁用

说明

场景：
1.已选择 LFCLK 作为 UART 的功能时钟。
2.波特率为 9600，配置了 3 倍过采样
3.UART 快速时钟请求已被禁用
。如果在 UART RX 传输过程中 ULPCLK 从 SYSOSC 更改为 LFOSC，则会观察到一个位读取不正确

权变措施

在 LPM 模式下使用 UART 时启用 UART 快速时钟请求。

UART_ERR_05

UART 模块

类别

功能

功能

UART 模块中调试暂停功能的限制

说明

所有 Tx FIFO 元素都在通信进入暂停状态之前发出，预计完成现有帧并暂停。

权变措施

调试暂停置为有效后，请确保数据不会写入 TX FIFO。

English Document: SLAZ763
Copyright © 2025 Texas Instruments Incorporated

UART_ERR_06 ***UART 模块***

类别

功能

功能

UART 9 位模式下的 RTOUT/忙碌/异步异常行为

说明

在多节点场景中，UART 接收超时 (RTOUT) 无法正常工作，其中一个 UART 将用作控制器，其他 UART 节点作为外设，在 9 位 UART 模式下为每个外设配置不同的地址。
第一个 UART 控制器与 UART 外设 1 通信，通过发送外设 1 的地址作为第一个字节，然后发送数据，外设 1 已看到地址匹配并接收到数据。控制器处理好外设 1 后，外设 1 在配置的超时期间后不设置 RTOUT、如果控制器立即开始与另一个 UART 外设（外设 2）的通信，该外设在总线上配置了不同的地址。外设 1 RTOUT 计数器在与外设 2 和外设 1 通信过程中复位，仅在 UART 控制器完成与外设 2 的通信后才设置其 RTOUT。
在 BUSY 和异步请求中观察到类似行为。即使与总线上的其他外设的通信时地址不匹配，控制器也正在设置忙碌和 Async 请求。

权变措施

请勿在单个控制器连接到多个外设的多节点 UART 通信中使用 RTOUT/ BUSY / 异步时钟请求行为。

UART_ERR_07 ***UART 模块***

类别

功能

功能

在 IDLE LINE MODE 下，RTOUT 计数器不会按预期计数

说明

在 UART 中的 IDLE LINE MODE 下，RTOUT 计数器会卡住，即使线路处于 IDLE 状态且 FIFO 有一些元素也是如此。这意味着 RTOUT 中断在 IDLE LINE MODE 下将不起作用。
如果地址不匹配，当在 Rx 线上看到切换时，将重新加载 RTOUT 计数器。
在多响应器场景中，当命令发出位置和其他某个响应器之间正在通信时，这可能会导致产生 RTOUT 事件的无限延迟。

权变措施

在 IDLELINE 模式/多节点 UART 应用中使用 UART 模块时，请勿启用 RTOUT 功能。

UART_ERR_08 ***UART 模块***

类别

功能

功能

STAT BUSY 并不代表 UART 模块的正确状态

说明

即使 UART 模块被禁用并且 TXFIFO 中有可用数据，STAT BUSY 也会保持高电平。

权变措施

轮询 TXFIFO 状态和 CTL0.ENABLE 寄存器位以识别 BUSY 状态。

7 商标

English Document: SLAZ763
Copyright © 2025 Texas Instruments Incorporated

所有商标均为其各自所有者的财产。

8 修订历史记录

注：以前版本的页码可能与当前版本的页码不同

日期	修订版本	注释
2025 年 5 月	2.0	版本 2.0 中包含 LFXT 错误
2025 年 7 月	2.1	版本 2.1 中包含更多项目

English Document: SLAZ763
Copyright © 2025 Texas Instruments Incorporated

重要通知和免责声明

TI“按原样”提供技术和可靠性数据（包括数据表）、设计资源（包括参考设计）、应用或其他设计建议、网络工具、安全信息和其他资源，不保证没有瑕疵且不做出任何明示或暗示的担保，包括但不限于对适销性、某特定用途方面的适用性或不侵犯任何第三方知识产权的暗示担保。

这些资源可供使用 TI 产品进行设计的熟练开发人员使用。您将自行承担以下全部责任：(1) 针对您的应用选择合适的 TI 产品，(2) 设计、验证并测试您的应用，(3) 确保您的应用满足相应标准以及任何其他功能安全、信息安全、监管或其他要求。

这些资源如有变更，恕不另行通知。TI 授权您仅可将这些资源用于研发本资源所述的 TI 产品的相关应用。 严禁以其他方式对这些资源进行复制或展示。您无权使用任何其他 TI 知识产权或任何第三方知识产权。您应全额赔偿因在这些资源的使用中对 TI 及其代表造成的任何索赔、损害、成本、损失和债务，TI 对此概不负责。

TI 提供的产品受 TI 的销售条款或 ti.com 上其他适用条款/TI 产品随附的其他适用条款的约束。TI 提供这些资源并不会扩展或以其他方式更改 TI 针对 TI 产品发布的适用的担保或担保免责声明。

TI 反对并拒绝您可能提出的任何其他或不同的条款。

邮寄地址：Texas Instruments, Post Office Box 655303, Dallas, Texas 75265
版权所有 © 2025，德州仪器 (TI) 公司