参考文献

Errata

MSPM0G3x0x、MSPM0G1x0x 微控制器

摘要

本文档介绍了功能规格的已知例外情况（公告）。

内容

1 功能公告.....1
2 预编程软件公告.....3
3 仅调试公告.....3
4 编译器修复公告.....3
5 器件命名规则.....3
6 公告说明.....4
7 修订历史记录.....28

1 功能公告

影响器件运行、功能或参数的公告。

✓ 复选标记表示指定版本中存在该问题。

勘误编号	修订版 B
ADC_ERR_01	✓
ADC_ERR_02	✓
ADC_ERR_04	✓
ADC_ERR_05	✓
ADC_ERR_06	✓
BSL_ERR_01	✓
CLK_ERR_01	✓
COMP_ERR_01	✓
COMP_ERR_02	✓
COMP_ERR_03	✓
COMP_ERR_05	✓
CPU_ERR_01	✓
CPU_ERR_02	✓
CPU_ERR_03	✓
DMA_ERR_01	✓
FLASH_ERR_02	✓
FLASH_ERR_03	✓
FLASH_ERR_04	✓
FLASH_ERR_05	✓
FLASH_ERR_06	✓
GPIO_ERR_01	✓
GPIO_ERR_03	✓
I2C_ERR_01	✓

Copyright © 2025 Texas Instruments Incorporated

勘误编号	修订版 B
I2C_ERR_02	✓
I2C_ERR_03	✓
I2C_ERR_04	✓
I2C_ERR_05	✓
I2C_ERR_06	✓
I2C_ERR_07	✓
I2C_ERR_08	✓
I2C_ERR_09	✓
I2C_ERR_10	✓
MATHACL_ERR_01	✓
MATHACL_ERR_02	✓
PMCU_ERR_08	✓
PMCU_ERR_13	✓
PWREN_ERR_01	✓
RST_ERR_01	✓
RTC_ERR_01	✓
SPI_ERR_01	✓
SPI_ERR_02	✓
SPI_ERR_03	✓
SPI_ERR_04	✓
SPI_ERR_05	✓
SPI_ERR_06	✓
SPI_ERR_07	✓
SRAM_ERR_02	✓
SYSOSC_ERR_01	✓
SYSOSC_ERR_02	✓
TIMER_ERR_01	✓
TIMER_ERR_04	✓
TIMER_ERR_06	✓
UART_ERR_01	✓
UART_ERR_02	✓
UART_ERR_04	✓
UART_ERR_05	✓
UART_ERR_06	✓
UART_ERR_07	✓
UART_ERR_08	✓
UART_ERR_09	✓
VREF_ERR_01	✓
VREF_ERR_02	✓
VREF_ERR_03	✓
WWDT_ERR_01	✓
WWDT_ERR_02	✓

Copyright © 2025 Texas Instruments Incorporated

2 预编程软件公告

影响出厂编程软件的公告。

✓ 复选标记表示指定版本中存在该问题。

3 仅调试公告

仅影响调试操作的公告。

✓ 复选标记表示指定版本中存在该问题。

4 编译器修复公告

由编译器权变措施解决的公告。请参阅每个公告，以了解 IDE 和编译器版本及权变措施。

✓ 复选标记表示指定版本中存在该问题。

5 器件命名规则

为了标示产品开发周期所处的阶段，TI 为所有 MSP MCU 器件的器件型号分配了前缀。每个 MSP MCU 商用系列产品都具有以下两个前缀之一：MSP 或 XMS。这些前缀代表了产品开发的发展阶段，即从工程原型 (XMS) 直到完全合格的生产器件 (MSP)。

XMS - 实验器件，不一定代表最终器件的电气规格

MSP – 完全合格的生产器件

支持工具命名前缀：

X：还未经德州仪器 (TI) 完整内部质量测试的开发支持产品。

null：完全合格的开发支持产品。

XMS 器件和 X 开发支持工具在供货时附带如下免责条款：

“开发中的产品用于内部评估用途。”

MSP 器件的特性已经全部明确，并且器件的质量和可靠性已经完全论证。TI 的标准保修证书对该器件适用。

预测显示原型器件 (XMS) 的故障率大于标准生产器件。由于这些器件的预计最终使用故障率尚不确定，德州仪器 (TI) 建议不要将它们用于任何生产系统。请仅使用合格的生产器件。

TI 的器件命名规则还包含具有器件产品系列名称的后缀。此后缀表示温度范围、封装类型和配送形式。

Copyright © 2025 Texas Instruments Incorporated

6 公告说明

ADC_ERR_01 *ADC 模块*

类别

功能

功能

ADC 在 STANDBY1 模式下无法触发快速时钟

说明

当器件在 STANDBY1 模式下运行时，ADC 模块通过事件系统触发异步快速时钟请求时（例如，当定时器等事件发布器通过 ADC 的事件订阅器端口向 ADC 生成事件时），可能无法正确发起异步快速时钟请求。

权变措施

通过事件结构触发 ADC 转换时，使用 STANDBY0 或更高的功率模式。

ADC_ERR_02 *ADC 模块*

类别

功能

功能

ADC 在两次周期性触发之间不会释放快速时钟请求

说明

当 ADC 设置为重复模式并通过事件结构进行周期性触发时，其不会在两次触发之间释放快速时钟请求。如果这样，ADC 将保持时钟请求并消耗额外功率。

权变措施

在单一模式下配置 ADC（运行至通道/序列结束时禁用 ADC），然后在 ADC 序列结束时使用软件中断重新启用 ADC，以等待下一次触发。

ADC_ERR_04 *ADC 模块*

类别

功能

功能

当 ADC 处于重复模式时，低功耗模式下的电流增加

说明

当 ADC 在低功耗模式 (LPM) 下配置为带 EVENT 触发器的重复序列或重复单次模式时，ADC 模块将消耗额外电流，直至禁用。

权变措施

将 ADC 配置为单次或序列模式（无重复），并在转换后使用中断为下一次触发重新启用 ADC。

ADC_ERR_05 *ADC 模块*

类别

功能

Copyright © 2025 Texas Instruments Incorporated

ADC_ERR_05
（续）

ADC 模块

功能

启用 IP 前生成的 HW 事件将停留在队列中

说明

当 ADC 配置为 HW 事件触发模式且启用前生成触发时，ADC 将停留在队列中。启用 ADC 后，将触发转换。

权变措施

将 ADC 配置为 HW 触发模式后，先启用 ADC，然后再进行外部触发。

Copyright © 2025 Texas Instruments Incorporated

ADC_ERR_06 *ADC 模块*

类别

功能

功能

ADC 输出代码跳变，从而使 DNL/INL 规格降低

说明

在 12 位模式下，ADC 在 200 万次转换中的误差率可能高达 1。

转换误差时，ADC 的数字输出会出现 +/- 64LSB 的随机跳变，而 ADC 输入电压则不会发生相应变化。

根据具体应用需求，适用的权变措施可能会有所不同，但建议在软件中采用以下权变措施。适用的权变措施的选择应由系统设计人员根据实际情况自行判断。

权变措施

权变措施 1：当 ADC 结果超出应用阈值（通过 ADC 窗口比较器或软件阈值）时，触发或等待另一个 ADC 结果，然后再做出关键的系统决策

权变措施 2：在后处理过程中，剔除与中值或预期值相差太大的 ADC 值。预期值应基于系统中实际采样的平均值，剔除阈值应基于测量的系统噪声大小。

权变措施 3：使用 ADC 样本平均法，以尽可能降低任何单次错误转换结果的影响。

BSL_ERR_01 *BSL 模块*

类别

功能

功能

在某些情况下，通过应用软件调用 BSL 将失败

说明

由于 SRAM 错误代码，BSL 无法通过在应用程序内调用（BSL 软件调用）启动。复位后，由于错误，器件将返回应用程序，而非调用 BSL。

此勘误表不适用于通过硬件调用方法调用 BSL

权变措施

对于需要通过软件调用 BSL 的应用程序，请在复位器件之前用汇编代码清除整个 SRAM。MSPM0 SDK v 1.20.01.xx 或更高版本中的 MSPM0 bsl_software_invoke 示例包含“bsl_software_invoke” 示例中的修正示例。

COMP_ERR_01 *COMP 模块*

类别

功能

功能

比较器输出在 STANDBY0 模式下持续切换

Copyright © 2025 Texas Instruments Incorporated

COMP_ERR_01
（续）

COMP 模块

说明

当比较器反相输入多路复用器 (IMSEL) 设置为 0 (COMP0_IN0-)，
且器件工作模式设置为 STANDBY0 时，
无论向比较器施加的输入电压如何，比较器输出都可能意外切换。

权变措施

如果在 STANDBY0 模式下使用比较器，并向负极施加外部电压，则应使用比较器的通道 1 (IMSEL = 1)。
如果比较器处于 STANDBY0 状态，并施加内部基准电压（DAC8、VREF 等），则将 IMSEL 设置为 0 以外的值 (IMSEL 0)。

COMP_ERR_02

COMP 模块

类别

功能

功能

当 DACCODEx 用于滞后时，COMP 输出会切换

说明

若使用 COMP 模块中的 8 位 DAC 作为 COMP 的输入，
且 DAC 输出在 DACCODEx 中的值之间切换，
则 COMP 输出会切换，如同立即越过新的参考点。

无论 COMPx.CTL2.DACCTL 位的设置如何，都会出现这种情况。

这种情况最常见于利用两个 DACCODEx 代码为 COMP 模块提供自定义或不对称迟滞的应用中。

权变措施

利用 COMPx.CTL1.HYST 寄存器位中提供的既定迟滞值。

COMP_ERR_03

COMP 模块

类别

功能

功能

使用输入交换功能时，COMP 迟滞功能不起作用

说明

使用 COMP 模块的迟滞功能并交换 COMP 的输入时 (COMPx.CTL1.EXCH = 1)，COMP 模块变得不稳定。

权变措施

在输入交换功能中使用 COMP 模块时，请勿使用内部迟滞方法。

English Document: SLAZ742
Copyright © 2025 Texas Instruments Incorporated

COMP_ERR_05 *COMP 模块*

类别

功能

功能

启用比较器时，比较器输出将设置上升和下降中断

说明

启用比较器时，比较器将设置上升和下降。

权变措施

1.使用 ICLR 位清除 CPU 中断。
ICLR 不能用于清除一般事件。按照以下步骤清除 COMP 一般事件（以下是 DriverLib 函数，您可以通过查看我们 MSPM0 SDK 中的函数内容来查看位操作）
a. 在启用 COMP 之前，使用一些虚拟 ID 来配置 COMP 发布者。
DL_COMP_setPublisherChanID(COMP_0_INST, 0); // 删除实际发布者
b. DL_COMP_enableEvent(COMP_0_INST, (DL_COMP_EVENT_OUTPUT_EDGE)); // 在 IMASK 中启用 COMP 事件
c. DL_COMP_enable(COMP_0_INST); // 启用 COMP 模块，该步骤会清除 RIS 中的事件。
d. DL_COMP_disableEvent(COMP_0_INST, (DL_COMP_EVENT_OUTPUT_EDGE));// 通过在 IMASK 中清除来禁用 COMP 事件
e. DL_COMP_setPublisherChanID(COMP_0_INST, COMP_0_INST_PUB_CH); // 配置实际发布者
f. DL_COMP_enableEvent(COMP_0_INST, (DL_COMP_EVENT_OUTPUT_EDGE)); // 在 IMASK 中重新启用 COMP 事件，或在了解首次中断因启用比较器造成的情况下，在启用比较器后读取中断。

CLK_ERR_01 *CLK 模块*

类别

功能

功能

当 HFXT 4MHz 用作 MCLK 并连接调试器时观察到硬故障

说明

当 MCLK 配置为 HFXT 4MHz 时，具有以下配置：HFXTRSEL 设置为 0（4 至 8MHz 范围内晶体的推荐值）时，程序会随机跳转到硬故障或 NMI。

权变措施

使用 HFXT 4MHz 作为 MCLK 调试代码时，将 HFXTRSEL 值设置为 1 或更高（8MHz 至 48MHz 范围）。

CPU_ERR_01 *CPU 模块*

类别

功能

功能

CPU 缓存内容可能损坏

说明

在访问主闪存和其他非易失性内存区域（如 NONMAIN 或校准数据区）之间切换时，可能发生缓存损坏。

Copyright © 2025 Texas Instruments Incorporated

CPU_ERR_01（续）

CPU 模块

权变措施

使用以下步骤安全访问主内存以外的区域：
1.将 CTL.ICACHE 设置为 “0” ，以禁用高速缓存。
2.执行所需的内存访问操作。
3.将 CTL.ICACHE 设置为 “1” ，以重新启用缓存。

CPU_ERR_02

CPU 模块

类别

功能

功能

禁用 CPUSS 预取功能的限制

说明

如果存在待处理的闪存访问，CPU 预取禁用将不会生效。

权变措施

禁用预取，然后对 SYSCTL 中的关断存储器 (SHUTDNSTORE) 发出存储器访问权限，这可以通过 SYSCTL->SOCLOCK.SHUTDNSTORE0 来完成；存储器访问完成后，将禁用预取器。

CPU_ERR_03

CPU 模块

类别

功能

功能

在切换到 SLEEP 模式时，预取器可能会导致数据完整性问题

说明

切换到 SLEEP0 时，预取器可能会错误地获取不正确的数据（全为 0）。退出睡眠模式时，如果预取器和高速缓存未被 ISR 代码覆盖，则从闪存执行的主代码可能会损坏。例如，如果 ISR 位于 SRAM 中，则从闪存预取的不正确的数据不会被覆盖。当 ISR 返回损坏的数据时，CPU 可能会提取预取器中的数据，从而导致指令不正确。

权变措施

进入 SLEEP 之前禁用预取器。

DMA_ERR_01

DMA 模块

类别

功能

功能

在跨时钟源同时访问外设寄存器时，DMA 或 CPU 可能会失去运行

说明

DMA 和 CPU 均源自 MCLK。当 MCLK 运行频率高于 ULPCLK 时，DMA 或 CPU 在同时访问 ULPCLK 源的外设寄存器（包括所有 PD0 外设）时可能会丢失操作。被访问的外设或寄存器不必相同。注意：ADC 属于 PD0 外设，而 DMA 或 CPU 访问 ADC 的 SVT_MEMRES 或 SVT_FIFODATA 无限制。示例：假设 DMA 访问 UART0 寄存器，例如

English Document: SLAZ742
Copyright © 2025 Texas Instruments Incorporated

DMA_ERR_01
（续）

DMA 模块

DMA 向 TXDATA 写入数据，如果 CPU 在 DMA 操作期间也访问 PD0 外设，例如 CPU 从 TIMG0 CTR 读取数据，则 DMA 或 CPU 可能会丢失数据。

权变措施

当 MCLK 运行频率高于 ULPCLK 时，CPU 和 DMA 不应同时访问 PD0 外设。

FLASH_ERR_02

FLASH 模块

类别

功能

功能

可以使用默认密码重新启用 NONMAIN 中的调试禁用

说明

如果在 NONMAIN 配置中禁用了调试 (DEBUGACCESS = 0x5566)，则仍可以使用默认密码访问器件。

权变措施

1. 将 DEBUGACCESS 设置为使用密码启用调试选项 (DEBUGACCESS = 0xCCDD)，并在 PWDDEBUGLOCK 字段中提供唯一的密码。为了提高安全性，建议使用加密随机的器件唯一密码。这将允许使用正确的 128 位密码进行调试访问，但仍可允许某些调试命令以及对 CFG-AP 和 SEC-AP 的访问。
2. 通过禁用 SWDP_MODE 来完全禁用物理 SW 调试端口。这可完全防止对器件进行任何调试访问或发送申请，但可能会影响故障分析和返回流程。

FLASH_ERR_03

FLASH 模块

类别

功能

功能

在 2 个等待状态下访问闪存，然后访问无效引导代码，将导致下一次闪存访问也出现违规

说明

在 2 个等待状态下访问闪存，然后访问 BOOTCODE，将导致下一次闪存访问也出现违规。

权变措施

请勿尝试在启动阶段后访问引导代码区域。否则，在引导代码违规和下一次正确闪存访问之间需要间隔 4 个时钟周期。

Copyright © 2025 Texas Instruments Incorporated

FLASH_ERR_04 *FLASH 模块*

类别

功能

功能

在 SYSCTL->DEDERRADDR 中报告了错误的地址

说明

当出现 FLASHDED 错误时，数据会截断最高有效字节。在器件的存储器限制范围内，最高有效字节对 MAIN 闪存的返回地址没有影响。对于 NONMAIN 闪存或 Factory 区域，MSB 可以列出为 0x41xx.xxxx

权变措施

如果 SYSCTL_DEDERRADDR 的返回地址返回 0x00Cxxxxx，请使用 0x41000000 进行“OR”操作，以获取 NONMAIN 或 Factory 区域返回地址的正确地址。例如，如果 SYSCTL_DEDERRADDR = 0x00C4013C，则实际地址为 0x41C4013C。

对于主闪存 DED，可按原样使用 SYSCTL_DEDERRADDR。

FLASH_ERR_05 *FLASH 模块*

类别

功能

功能

DEDERRADDR 可能有不正确的复位值

说明

SYSCTL->DEDERRADDR 的复位值可能返回 0x00C4013C，而非正确的 0x00000000。错误发生在出厂微调区域，并不表示出现故障，可适当忽略。在器件上对 NONMAIN 进行编程后，复位值通常会发生变化。

权变措施

接受 0x00C4013C 作为另一个复位值，因此引导后的默认值可能为 0x00000000 或 0x00C4013C。返回值超出了器件 MAIN 闪存的范围，因此该返回值不可能来自实际的 FLASH DED 状态。

Copyright © 2025 Texas Instruments Incorporated

FLASH_ERR_06 *闪存模块*

类别

功能

功能

CPU 和 DMA 无法同时访问闪存

详细信息

CPU 和 DMA 无法同时访问闪存；这种同时访问会导致从闪存读取不正确的数据。

权变措施

请勿同时通过 CPU 和 DMA 访问闪存。在进行编程/擦除操作、读验证/空白验证操作以及从闪存读取 DMA 数据等典型闪存操作时，软件需确保 CPU 不会在闪存繁忙时访问闪存。为此，可在闪存操作正在进行时将代码放入 SRAM，或将闪存移入 SRAM 以读取 DMA 需要读取的数据。

GPIO_ERR_01 *GPIO 模块*

类别

功能

功能

在 STANDBY 模式下 GPIO 唤醒边沿可能丢失

说明

通过单个 GPIO 边沿唤醒一次后，在 STANDBY/STOP/SLEEP 模式下可能会错过后续 GPIO 唤醒边沿。

情况 1：
STANDBY0 唤醒——如果 MCU 设置为 STANDBY/STOP/SLEEP 模式，且 IO 处于“唤醒”状态，然后将 IO 设回“非唤醒”状态 < 3 个 LFCLK 周期，然后再次唤醒，则将检测不到下一个唤醒边沿。

情况 2：
STANDBY1 唤醒——如果使用 GPIO 边沿唤醒，且器件返回 STANDBY1 时 GPIO 脉冲仍处于活动状态，则器件将不会检测任何后续唤醒边沿。

权变措施

情况 1：
确保在器件处于激活模式时 GPIO 被置为无效
或
确保 GPIO 唤醒脉冲超过 3 个 LFCLK 周期

情况 2：
将 GPIO 唤醒沿设置为下降沿和上升沿
或
确保 GPIO 唤醒脉冲在进入 STANDBY1 之前未激活

GPIO_ERR_03 *GPIO 和 DEBUGSS 模块*

类别

功能

Copyright © 2025 Texas Instruments Incorporated

GPIO_ERR_03（续）

GPIO 和 DEBUGSS 模块

功能

调试器读取 GPIO EVENT0 IIDX 时，中断被清除。

说明

在调试器读取 GPIO EVENT0 的 IIDX 时，被视为 CPU 读取，中断被清除。

权变措施

在调试期间，可通过软件读取 RIS 来读取 event0 的 IIDX。

I2C_ERR_01

I2C 模块

类别

功能

功能

当发出 SMBUS 快速命令时，I2C 模块可能会在 SBMUS 模式下保持 SDA 线

说明

当 I2C 模块处于目标模式并配置为 SBMUS 时，如果总线控制器向器件发出 SMBUS 快速命令（I2C 启动条件，然后是 7 位地址、 1 位 R/W 信号、1 位 ACK 和 I2C STOP 条件），且 R/W 位设置为读取，则 I2C 模块可能会在总线控制器尝试发出 I2C STOP 条件信号的同时，尝试将 SDA 线路拉低，从而阻止 STOP 条件成功完成。

权变措施

在完成地址 ACK 之前，将数据加载到 I2C 模块的发送 FIFO 中，并将 MSB 设置为 1，以防止 I2C 模块将 SDA 线路驱动为低电平。这将允许总线控制器成功发出 STOP 条件并完成 SMBUS 快速命令。

I2C_ERR_02

I2C 模块

类别

功能

功能

I2C 快速命令读取模式仅在特定条件下有效

说明

I2C 快速命令读取模式仅在 TXFIFO 的数据 MSB 设为 1 且禁用时钟延展时有效。

权变措施

在 TXFIFO 中提供 MSB 设为 1 的虚拟数据，并禁用时钟延展 (CLKSTRETCH = 0)。

I2C_ERR_03

I2C 模块

类别

功能

功能

I2C 外设模式在使用 MFCLK 源时无法唤醒器件

说明

如果 I2C 模块配置为外设模式

Copyright © 2025 Texas Instruments Incorporated

I2C_ERR_03（续）*I2C 模块*

且 I2C 采用 MFCLK（中频时钟）时钟
且器件置于 STOP2 或 STANDBY0/1 功耗模式，
则 I2C 无法在接收数据时唤醒器件。

权变措施

若需在 I2C 外设模式下通过接收数据实现低功耗唤醒，则需将 I2C 的时钟源设置为 BUSCLK，而非 MFCLK。

Copyright © 2025 Texas Instruments Incorporated

I2C_ERR_04 *I2C 模块*

类别

功能

功能

当 SCL 出现低电平并启用目标唤醒时，器件可能会无限期地进行时钟延展。

说明

当器件处于目标模式且 SCL 因时钟延展或外部接地而被拉低时，如果控制器释放总线，I2C 目标将无法释放时钟延展。

权变措施

禁用目标唤醒使能位 (SWUEN)。

I2C_ERR_05 *I2C 模块*

类别

功能

功能

如果我们在正在进行的事务期间切换 ACTIVE 位，I2C SDA 可能会卡在零的位置

说明

如果在正在进行的传输期间切换 ACTIVE 位，则状态机将复位。但是，由控制器驱动的 SDA 和 SCL 输出将不会复位。存在 SDA 为 0 且控制器已进入 IDLE 状态的情况，在这种情况下，控制器将无法从 IDLE 状态向前移动或更新 SDA 值。设置目标的 BUSBUSY（切换 ACTIVE 位会导致在线路上开始检测到开始），并且 BUSBUSY 不会被清除，因为控制器将无法驱动 STOP 来将其清除。

权变措施

在事务正在进行期间不要切换 ACTIVE 位。

I2C_ERR_06 *I2C 模块*

类别

功能

功能

当 I2C 时钟低于 24kHz 及更低时，SMBus 高电平超时功能会失败

说明

当 I2C 时钟速率低于 24kHz 及更低（20kHz、10kHz）时，SMBus 高电平超时功能会失败。根据 SMBUS 规格，活动事务期间 SCL 高电平时间的上限为 50us。从将 START MMR 位写入 SCL 低电平所需的总时间为 60us，即 >50us。它将触发超时事件，并使 I2C 控制器进入 IDLE 状态，而不会在传输本身开始时完成事务。以下是详细说明。对于 SCL 配置为 20kHz 的情况，SCL 低电平周期和高电平周期分别为 30us 和 20us。首先，在高电平超时计数器开始递减的同时开始 MMR 位写入。然后，从开始 MMR 位写入到 SDA 变为低电平（启动条件）需要一个 SCL 低电平 (30us)。接下来，从 SDA 变为低电平（启动条件）到 SCL 变为低电平（数据传输开始）需要另一个 SCL 低电平周期 (30us)，此时应该停止高电平超时计数器。从计数器开始到结束总共需要 60us 的时间。但是，由于高电平超时计数器的上限 (50us)，尽管 I2C 事务会正常工作，而且不出现问题，但仍将触发超时事件。

权变措施

当 I2C 时钟低于 24kHz 及更低时，请勿使用 SMBus 高电平超时功能。

English Document: SLAZ742
Copyright © 2025 Texas Instruments Incorporated

I2C_ERR_07 *I2C 模块*

类别

功能

功能

背对背控制器控制寄存器的写入将导致 I2C 无法启动。

说明

背对背 CTR 寄存器写入将导致后续的 CTR.START 不会正确地引起启动条件。

权变措施

以单次写入的方式写入所有 CTR 位（包括 CTR.START），或者在 CTR 写入和 CTR.START 写入之间稍作等待。

I2C_ERR_08 *I2C 模块*

类别

功能

功能

在 RXDONE 中断后直接读取 FIFO 会导致读取错误数据

说明

当 RXDONE 中断发生时，FIFO 并不总是更新为最新数据。

权变措施

等待 2 个 I2C CLK 周期，以保证 FIFO 拥有最新数据。I2C CLK 基于 I2C 寄存器中的 CLKSEL 寄存器。

I2C_ERR_09 *I2C 模块*

类别

功能

功能

如果以低速运行 I2C，则 ISR 读取时可能不会及时更新起始地址匹配状态。

说明

如果以非典型的 I2C 速度（小于 100kHz）运行，则可能无法及时设置 ADDRMATCH 位（TSR 寄存器中的地址匹配）通过中断来读取。

权变措施

如果以非典型的 I2C 速度运行，请等待至少 1 个 I2C CLK 周期，然后再读取 ADDRMATCH 位。

I2C_ERR_10 *I2C 模块*

类别

功能

功能

启用 I2C 忙碌状态，防止进入低功耗模式

说明

在 I2C 目标模式下，如果没有 STOP 位，I2C 忙碌状态会在事务后保持高电平。

Copyright © 2025 Texas Instruments Incorporated

I2C_ERR_10（续）*I2C 模块*

权变措施

对 I2C 控制器进行编程，以发送 STOP 位并且不为最后一个字节发送 NACK。通过 STOP 条件终止任何 I2C 传输，以保持正确的 BUSY 状态和异步时钟请求行为（用于重新进入低功耗模式）。

MATHACL_ERR_01 *MATHACL 模块*

类别

功能

功能

MATHACL 状态错误位不会被清除

说明

如果 mathacl 生成状态错误（例如，除以 0），则状态寄存器永远不会被清除。

权变措施

复位外设以清除状态位。

MATHACL_ERR_02 *MATHACL 模块*

类别

功能

功能

MATHACL COS (-180) 返回 1，而不是 -1，SIN (-90) 返回 1，而不是 -1

说明

在执行 COS (-180) 或 SIN (-90) 时，MATHACL 将返回 1，而不是 -1

权变措施

没有解决方法，在软件中使结果为负。

PMCU_ERR_06 *PMCU 模块*

类别

功能

功能

CPU 和 DMA 无法同时访问闪存

说明

CPU 和 DMA 无法同时访问闪存；例如，这种同时访问会导致在闪存擦除操作期间从闪存中读取错误数据。由于正在进行 DMA 访问、编程/擦除操作、读取验证/空白验证操作（基本上是 CPU 以外的任何操作），每当 HREADY 被拉低至 CPU 时，就会出现该问题。

权变措施

请勿同时通过 CPU 和 DMA 访问闪存。在进行编程/擦除操作、读取验证/空白验证操作时，软件需要确保 CPU 不访问闪存。这可以通过在闪存操作正在进行时将代码放入 SRAM 来实现。

Copyright © 2025 Texas Instruments Incorporated

PMCU_ERR_08 *PMCU 模块*

类别

功能

功能

若在器件过渡到 LPM 时向其发出触发信号，则唤醒时间会比预期长

说明

若在器件过渡到低功耗模式时向其发出唤醒信号，则会出现大约 3us 的额外唤醒时间。

权变措施

无权变措施。

PMCU_ERR_13 *PMCU 模块*

类别

功能

功能

在某些情况下，MCU 可能会在从 STOP2 和 STANDBY0 唤醒时卡住

说明

在器件转换至 STOP2 和 STANDBY0 之前存在挂起的预取访问时。待处理的预取访问（例如计时器）刚刚运行至完成，DMA 已从 GPIO 接收到事件，在这种情况下，既不发生 DMA 传输，也不会发生计时器 ISR 执行，CPU 也不会卡住。当 WFI 指令为半字对齐，器件的等待状态为 2，并且在器件转换到 LPM 之前存在待处理的预取访问时会出现此问题。

权变措施

在进入 LPM 之前，客户可以禁用预取，并运行一些不访问预取的虚拟指令（例如关断寄存器读取或任何外设读取），以便预取可以被禁用，并且不会导致器件在从 LPM 唤醒时挂起，因为没有预取访问将挂起。

PWREN_ERR_01 *GPIO 模块*

类别

功能

功能

禁用 PWREN 寄存器后仍可访问外设寄存器

说明

将 PWREN 寄存器置 0 禁用外设电源时，读取外设寄存器可能会保留数据值。当 PWREN 寄存器为 0 时，读取或写入寄存器不会产生任何影响，因为外设不会产生任何影响。

以下外设受到影响：比较器 (COMP)、运算放大器 (OPA)、定时器 A、定时器 G、通用输入/输出 (GPIO)、窗口看门狗定时器 (WWDT)、AES 和 TRNG。

权变措施

当外设的 PWREN 寄存器设置为 0 时，相关寄存器的值应忽略或视为无效。

RST_ERR_01 *RST 模块*

类别

功能

Copyright © 2025 Texas Instruments Incorporated

RST_ERR_01（续）

RST 模块

功能

当 LFCLK_IN 是 LFCLK 源且 LFCLK_IN 被禁用时，不会检测到 NRST 释放

说明

当 LFCLK = LFCLK_IN 且禁用 LFCLK_IN 时，会出现一种边界场景：NRST 脉冲边沿检测失效，且器件不会退出复位。如果 NRST 脉冲宽度低于 608us，则会出现此问题。NRST 脉冲超过 608us 时，复位应该会正常显示。

权变措施

保持 NRST 脉冲宽度高于 608us 即可以避免此问题。

RTC_ERR_01

RTC 模块

类别

功能

功能

某些 RTC 中断在 STANDBY1 中不可用

说明

在 STANDBY1 下，RTCRDY 和 RTC_PRESCALER1 中断无法唤醒器件。

权变措施

使用 RTC 从 STANDBY1 唤醒器件时，请使用其他可用中断，例如 RTC_ALARM 和 RTC_PRESCALER0。

SPI_ERR_01

SPI 模块

类别

功能

功能

SPI 奇偶校验位不起作用

说明

SPI 硬件奇偶校验模式不起作用。

权变措施

请勿通过 SPI 模块 CTL1 寄存器中的 PTEN 或 PREN 位启用硬件奇偶校验。奇偶校验的计算与校验可由应用软件实现。

SPI_ERR_02

SPI 模块

类别

功能

功能

从低功耗模式 (LPM) 唤醒后 SPI 时钟和数据字节缺失

Copyright © 2025 Texas Instruments Incorporated

SPI_ERR_02（续）*SPI 模块*

说明

器件从低功耗状态唤醒后，SPI 模块无法正确传播发送出的第一个字节的前几个时钟周期和数据位。

权变措施

为了在唤醒后保持 SPI 数据完整性，请在进入和退出 LPM 时使用以下序列：

1. 禁用 SPI 模块
2. 等待中断 (WFI) - 进入 LPM
3. 从 LPM 唤醒（任何源）。
4. 启用 SPI 模块。

SPI_ERR_03 *SPI 模块*

类别

功能

功能

当配置为多外设应用的外设时，接收到的数据将右移

说明

在多外设情况下，SPI 控制器首先与 peripheral0 通信，然后与 peripheral1 通信。完成与 peripheral1 的通信后，控制器再次与 peripheral0 通信。在与 peripheral0 的第二次通信中，peripheral0 接收到的数据将在第一帧中发生右移。当控制器发送数据 0x76 时，peripheral0 接收到的第一个数据为 0x3B。

权变措施

为了支持多外设情况，需要在外设端启用 CSCLR，以便在与外设无活动通信时（外设的 CS 将被禁用），重置其 RX 和 TX 位计数器。

SPI_ERR_04 *SPI 模块*

类别

功能

功能

当 SPI 外设处于仅接收模式时，在每个帧接收后进行 IDLE/BUSY 状态切换。

说明

如果 SPI 外设处于仅接收模式，则在 SPI 连续接收数据 (SPI_PHASE=1) 时，每个帧接收后都会切换 IDLE 中断和 BUSY 状态。此处没有数据加载到外设 TXFIFO，TXFIFO 为空。

权变措施

不要使用 SPI 外设的仅接收模式。将 SPI 外设设置为传输和接收模式。您无需在 TX FIFO 中为 SPI 设置任何数据。

SPI_ERR_05 *SPI 模块*

类别

功能

功能

无论 RXFIFO 数据如何，都将设置 SPI 外设接收超时中断

Copyright © 2025 Texas Instruments Incorporated

SPI_ERR_05（续）*SPI 模块*

说明

当使用 SPI 超时中断时，即使在接收到最终 SPI CLK 后，RXTIMEOUT 也可以继续递减，这可能会导致错误的 RXTIMEOUT。

权变措施

接收到最后一个数据包后禁用 RXTIMEOUT（可以在 ISR 中完成）并在 SPI 通信再次开始时重新启用。

SPI_ERR_06 *SPI 模块*

类别

功能

功能

调试暂停置为有效时，IDLE/BUSY 状态不反映 SPI IP 的正确状态

说明

IDLE/BUSY 与暂停无关，它仅控制 RXFIFO/TXFIFO 写入/读取选通。因此，如果控制器正在发送数据，尽管未在 FIFO 中为其设置闩锁，但正在设置 BUSY。在暂停期间，POCI 线路会在线路上传输先前传输的数据

权变措施

当 SPI IP 暂停时，请勿使用 IDLE/BUSY 状态。

SPI_ERR_07 *SPI 模块*

类别

功能

功能

如果同时在 SPI 外设对 TXFIFO 进行读取/写入，则无法生成 SPI 下溢事件

说明

当 SPH = 0 且器件配置为 SPI 外设：如果在有读取请求时对 TXFIFO 进行了写入，则由于同时发生读取/写入请求，因此无法生成下溢事件。

权变措施

当控制器对外设进行寻址时，客户必须验证外设上的 TXFIFO 绝不能为空。此外，可使用数据检查策略（如 CRC）来验证数据包是否已正确发送。

SRAM_ERR_02 *SRAM 模块*

类别

功能

功能

SRAM 错误地址返回的值缺少最高有效字节

说明

SRAM DEDERRADDR 将返回错误数值，最高有效字节会被截断。例如，0x20001234 的奇偶校验错误会将奇偶校验错误地址返回为 0x00001234。

English Document: SLAZ742
Copyright © 2025 Texas Instruments Incorporated

SRAM_ERR_02（续）

SRAM 模块

权变措施

当触发 SRAM DED 或 SRAM 奇偶校验故障时，对 SRAM 基地址和 SYSCTRL->DEDERRADDR 返回值执行按位或操作。查看器件数据表以了解 SRAM 存储器的起始位置，链接器文件也将包含 SRAM 地址的起始位置。

SYSOSC_ERR_01 ***SYSOSC 模块***

类别

功能

功能

将 SYSOSC FCL 与 STOP1 模式一起使用时的 MFCLK 漂移

说明

当启用 MFCLK，且 SYSOSC 使用频率校正环路 (FCL) 模式和 STOP1 低功耗工作模式时，若 SYSOSC 从 4MHz 切换回 32MHz（无论是从 STOP1 退出到运行模式，或是因异步快速时钟请求强制 SYSOSC 切换回 32MHz），则 MFCLK 可能会漂移 2 个周期。

权变措施

Workaround1：使用 STOP0 模式而非 STOP1 模式。使用 STOP0 模式时不会出现 MFCLK 漂移。Workaround2：使用 STOP1 时，请勿在 FCL 模式下使用 SYSOSC（使 FCL 保持禁用状态）。

SYSOSC_ERR_02 ***SYSOSC 模块***

类别

功能

功能

在 LPM 下接收到异步时钟请求（在 FCL 模式下禁用了 SYSOSC）时，MFCLK 不工作

说明

在以下情况下，MFCLK 不会开始切换：
1.启用 FCL 模式，然后启用 MFCLK
2.进入禁用 SYSOSC 的低功耗模式(SLEEP2/STOP2/STANDBY0/STANDBY1)。
3.从一些使用 MFCLK 作为功能时钟的外设接收到异步请求。
接收到异步请求时，SYSOSC 将被启用，ulpclk 将变为 32MHz。但 MFCLK 会断开，并且它根本不会切换，因为器件的设置仍然为 LPM。

权变措施

如果 SYSOSC 正在使用 FCL 模式 - 当您进入 LPM 模式（通常会关闭 SYSOSC）时，请勿启用外设的 MFCLK。

TIMER_ERR_01 ***TIMx 模块***

类别

功能

功能

使用硬件事件启动计时器时，捕获模式捕获的值不正确

Copyright © 2025 Texas Instruments Incorporated

TIMER_ERR_01（续）

TIMx 模块

说明

在捕获模式下使用任何定时器实例时，使用零 (ZCOND) 或负载 (LCOND) 条件启动定时器会导致定时器捕获零值或负载值，而非捕获相应 TIMx.CC 寄存器中的值。这会影响周期和脉宽捕获等周期性用例。

权变措施

使用以下软件流程计算周期或脉冲宽度。有关权变措施示例，请参阅 MSPM0-SDK 中的 timx_timer_mode_capture_duty_and_period。

1. 通过设置为 0h 禁用 ZCOND 或 LCOND。
2. 当捕获发生时，捕获值将被正确捕获到 TIMx.CC 中
3. 将 TIMx.CTR 设置为重载值（负载或 0），以重新启动定时器。

TIMER_ERR_04

TIMER 模块

类别

功能

功能

如果接近零事件，则可能会错过计时器的重新启用

说明

在单次模式下使用 GP TIMER 且 CLKDIV.RATIO 不为 0 时，如果在接近零事件，则可能会错过计时器的重新启用。

权变措施

计时器可以先禁用，然后再重新启用。

TIMER_ERR_06

TIMG 模块

类别

功能

功能

向 CLKEN 位写入 0 不会禁用计数器

说明

向计数器时钟控制寄存器 (CCLKCTL) 时钟使能位 (CLKEN) 写入 0 不会停止定时器。

权变措施

通过向计数器控制 (CTRCTL) 使能 (EN) 位写入 0 来停止定时器。

UART_ERR_01

UART 模块

类别

功能

功能

在切换到 STANDBY1 模式时，未检测到 UART 启动条件

Copyright © 2025 Texas Instruments Incorporated

UART_ERR_01（续）

UART 模块

说明

器件处于 STANDBY1 模式时，由 UART 传输启动的异步快速时钟请求提供服务后，器件将返回 STANDBY1 模式。如果在转换回 STANDBY1 模式期间开始另一次 UART 传输，则器件无法正确检测到并接收数据。

权变措施

当预计存在重复的 UART 启动条件时，使用 STANDBY0 模式或更高的低功耗模式。

UART_ERR_02

UART 模块

类别

功能

功能

仅启用 TXE 时，不设置 UART 传输结束中断

说明

当器件设置为仅传输（CTL0.TXE = 1，CTL0.RXE = 0）时，不会触发 UART 传输结束 (EOT) 中断。当器件设置为传输和接收（CTL0.TXE = 1，CTL0.RXE = 1）时，EOT 会成功触发

权变措施

当使用 UART 传输结束中断时，设置 CTL0.TXE 和 CTL0.RXE 位。请注意，您不需要将引脚分配为 UART 接收。

UART_ERR_04

UART 模块

类别

功能

功能

当时钟从 SYSOSC 转换到 LFOSC 时，通过快速时钟请求接收到的错误 UART 数据会被禁用

说明

场景：
1.已选择 LFCLK 作为 UART 的功能时钟。
2.波特率为 9600，配置了 3 倍过采样
3.UART 快速时钟请求已被禁用
。如果在 UART RX 传输过程中 ULPCLK 从 SYSOSC 更改为 LFOSC，则会观察到一个位读取不正确

权变措施

在 LPM 模式下使用 UART 时启用 UART 快速时钟请求。

UART_ERR_05

UART 模块

类别

功能

功能

UART 模块中调试暂停功能的限制

Copyright © 2025 Texas Instruments Incorporated

UART_ERR_05（续）

UART 模块

说明

在预期完成现有帧并暂停通信的情况下，所有 Tx FIFO 元素均会在通信暂停前被全部发出。

权变措施

请确保在调试暂停生效后，数据不会写入 TX FIFO。

UART_ERR_06

UART 模块

类别

功能

功能

UART 9 位模式下的 RTOUT/忙碌/异步异常行为

说明

在多节点场景中，UART 接收超时 (RTOUT) 无法正常工作，其中一个 UART 将用作控制器，其他 UART 节点作为外设，在 9 位 UART 模式下为每个外设配置不同的地址。
第一个 UART 控制器与 UART 外设 1 通信，通过发送外设 1 的地址作为第一个字节，然后发送数据，外设 1 已看到地址匹配并接收到数据。控制器处理好外设 1 后，外设 1 在配置的超时期间后不设置 RTOUT、如果控制器立即开始与另一个 UART 外设（外设 2）的通信，该外设在总线上配置了不同的地址。外设 1 RTOUT 计数器在与外设 2 和外设 1 通信过程中复位，仅在 UART 控制器完成与外设 2 的通信后才设置其 RTOUT。
在 BUSY 和异步请求中观察到类似行为。即使与总线上的其他外设的通信时地址不匹配，控制器也正在设置忙碌和 Async 请求。

权变措施

请勿在单个控制器连接到多个外设的多节点 UART 通信中使用 RTOUT/ BUSY / 异步时钟请求行为。

UART_ERR_07

UART 模块

类别

功能

功能

在 IDLE LINE MODE 下，RTOUT 计数器不会按预期计数

说明

在 UART 中的 IDLE LINE MODE 下，RTOUT 计数器会卡住，即使线路处于 IDLE 状态且 FIFO 有一些元素也是如此。这意味着 RTOUT 中断在 IDLE LINE MODE 下将不起作用。
如果地址不匹配，当在 Rx 线上看到切换时，将重新加载 RTOUT 计数器。
在多响应器场景中，当命令发出位置和其他某个响应器之间正在通信时，这可能会导致产生 RTOUT 事件的无限延迟。

权变措施

在 IDLELINE 模式/多节点 UART 应用中使用 UART 模块时，请勿启用 RTOUT 功能。

UART_ERR_08

UART 模块

类别

功能

English Document: SLAZ742
Copyright © 2025 Texas Instruments Incorporated

UART_ERR_08（续）

UART 模块

功能

STAT BUSY 并不代表 UART 模块的正确状态

说明

即使 UART 模块被禁用并且 TXFIFO 中有可用数据，STAT BUSY 也会保持高电平。

权变措施

轮询 TXFIFO 状态和 CTL0.ENABLE 寄存器位以识别 BUSY 状态。

UART_ERR_09

UART 模块

类别

功能

功能

当以较慢的 UART 速度运行时，UART ADDR_MATCH 可能无法在读取时及时设置。

说明

在地址匹配中断期间，当代码跳转到 ISR 并读取 FIFO 时。由于地址匹配中断在 STOP 位之前产生，UART 无法接收作为地址发送到 RX 线上的数据。

权变措施

在读取数据之前等待 1 个 UART CLK 周期，以便设置 ADDR_MATCH。

VREF_ERR_01

VREF 模块

类别

功能

功能

禁用 VREF 后，VREF READY 位不会被清除

说明

在 SYSRST 之后首次启用 VREF 模块时，VREF READY 位可用于其预期功能。如果在应用中禁用 VREF 模块，VREF READY 位不会被清除。由于此勘误表，VREF 模块的后续启用无法使用 VREF READY 位来指示 VREF 模块是否稳定。

权变措施

在应用中重新启用 VREF 模块时，在使用 VREF 模块之前，利用 TIMER 模块等待最大 VREF 启动时间。有关 VREF 启动时间，请参阅器件数据表。

VREF_ERR_02

VREF 模块

类别

功能

功能

将 VREF 从 2.5V 切换到 1.4V 模式时，具有非常慢的压摆率

说明

VREF 配置从 2.5V 变为 1.4V 模式时，具有非常慢的压摆率。

Copyright © 2025 Texas Instruments Incorporated

VREF_ERR_02（续）

VREF 模块

权变措施

使用以下过程切换 VREF 模式。1. 在将配置更改为 1.4V 模式之前，使用 CTL0 寄存器中的 ENABLE 位禁用 VREF。2. 将引脚 PA23(VREF+) 配置为 GPIO 输出，将该引脚驱动至逻辑低电平并持续 100us。假定 VREF+ 引脚上有一个 1uF 外部电容器。3.通过将 CTL0 寄存器中的 BUGCONFIG 位设置为 1，在 1.4V 模式下重新启用 VREF。在此过程中，从 2.5V 模式切换到 1.4V 模式所需的时间为 200us。

VREF_ERR_03

VREF 模块

类别

功能

功能

来自 VDD 的大浪涌电流，用于为外部 1uF 电容器充电。

说明

加电期间存在来自 VDD 的 ≅ 70mA 的大浪涌电流，用于为 VREF 上的外部 1uF 电容器充电。如果 VREF 频繁进行电力循环，则可能会造成损坏。

权变措施

在启用 VREF 之前，使用 GPIO 对 VREF+ 电容器进行预充电。这样做可以提供充电量大于所需的电容器。然后，启用 VREF 模块并禁用 GPIO 上拉。

WWDT_ERR_01

WWDT 模块

类别

功能

功能

看门狗计时器 1 (WWDT1) 事件始终执行 SYSRST。

说明

无论 SYSTEMCFG.WWDTLP1RSTDIS 位设置如何，WWDT1 事件始终触发 SYSRST。因此，WWDT1 无法触发“仅 NMI”事件。

权变措施

为 NMI 目的使用 WWDT0。

WWDT_ERR_02

WWDT 模块

类别

功能

功能

窗口看门狗计时器 1 (WWDT1) 不创建复位原因

说明

由 WWD1 引起复位后，SYSCTL.RSTCAUSE 寄存器无法准确显示 WWDT1 引起的复位。

权变措施

无。

Copyright © 2025 Texas Instruments Incorporated

7 修订历史记录

注：以前版本的页码可能与当前版本的页码不同

Changes from NOVEMBER 30, 2024 to JULY 7, 2025 (from Revision B (December 2024) to Revision C (July 2025)) **Page**

- 已更新 COMP_ERR_03 说明 7
- 已更新 COMP_ERR_03 权变措施 7
- COMP_ERR_05 类别已更新 8
- COMP_ERR_05 模块已更新 8
- COMP_ERR_05 功能已更新 8
- COMP_ERR_05 描述已更新 8
- COMP_ERR_05 解决方法已更新 8
- 已更新 CPU_ERR_01 权变措施 8
- 已更新 CPU_ERR_01 说明 8
- CPU_ERR_02 类别已更新 9
- CPU_ERR_02 模块已更新 9
- CPU_ERR_02 功能已更新 9
- CPU_ERR_02 描述已更新 9
- CPU_ERR_02 解决方法已更新 9
- CPU_ERR_03 类别已更新 9
- CPU_ERR_03 模块已更新 9
- CPU_ERR_03 功能已更新 9
- CPU_ERR_03 描述已更新 9
- CPU_ERR_03 解决方法已更新 9
- FLASH_ERR_02 类别已更新 10
- FLASH_ERR_02 模块已更新 10
- FLASH_ERR_02 功能已更新 10
- FLASH_ERR_02 描述已更新 10
- FLASH_ERR_02 解决方法已更新 10
- 已更新 FLASH_ERR_03 类别 10
- 已更新 FLASH_ERR_03 模块 10
- 已更新 FLASH_ERR_03 功能 10
- 已更新 FLASH_ERR_03 说明 10
- 已更新 FLASH_ERR_03 权变措施 10
- 已更新 FLASH_ERR_05 类别 11
- 已更新 FLASH_ERR_05 模块 11
- 已更新 FLASH_ERR_05 功能 11
- 已更新 FLASH_ERR_05 说明 11
- 已更新 FLASH_ERR_05 权变措施 11
- 已更新 I2C_ERR_01 说明 13
- 已更新 I2C_ERR_01 权变措施 13
- 已更新 I2C_ERR_01 功能 13
- I2C_ERR_07 类别已更新 16
- I2C_ERR_07 模块已更新 16
- I2C_ERR_07 功能已更新 16
- I2C_ERR_07 描述已更新 16
- I2C_ERR_07 解决方法已更新 16
- 已更新 I2C_ERR_08 类别 16
- 已更新 I2C_ERR_08 模块 16
- 已更新 I2C_ERR_08 功能 16

Copyright © 2025 Texas Instruments Incorporated

- 已更新 I2C_ERR_08 权变措施 16
- I2C_ERR_09 类别已更新 16
- I2C_ERR_09 模块已更新 16
- I2C_ERR_09 功能已更新 16
- I2C_ERR_09 描述已更新 16
- I2C_ERR_09 解决方法已更新 16
- I2C_ERR_10 类别已更新 16
- I2C_ERR_10 模块已更新 16
- I2C_ERR_10 功能已更新 16
- I2C_ERR_10 描述已更新 16
- I2C_ERR_10 解决方法已更新 16
- MATHACL_ERR_01 类别已更新 17
- MATHACL_ERR_01 模块已更新 17
- MATHACL_ERR_01 功能已更新 17
- MATHACL_ERR_01 描述已更新 17
- MATHACL_ERR_01 解决方法已更新 17
- MATHACL_ERR_02 类别已更新 17
- MATHACL_ERR_02 模块已更新 17
- MATHACL_ERR_02 解决方法已更新 17
- MATHACL_ERR_02 功能已更新 17
- MATHACL_ERR_02 描述已更新 17
- PMCU_ERR_13 类别已更新 18
- PMCU_ERR_13 模块已更新 18
- PMCU_ERR_13 功能已更新 18
- PMCU_ERR_13 解决方法已更新 18
- PMCU_ERR_13 描述已更新 18
- RST_ERR_01 类别已更新 18
- RST_ERR_01 模块已更新 18
- RST_ERR_01 解决方法已更新 18
- RST_ERR_01 功能已更新 18
- RST_ERR_01 描述已更新 18
- SPI_ERR_04 描述已更新 20
- SPI_ERR_04 解决方法已更新 20
- SPI_ERR_05 描述已更新 20
- SPI_ERR_05 解决方法已更新 20
- SPI_ERR_06 类别已更新 21
- SPI_ERR_06 模块已更新 21
- SPI_ERR_06 功能已更新 21
- SPI_ERR_06 解决方法已更新 21
- SPI_ERR_06 描述已更新 21
- SPI_ERR_07 类别已更新 21
- SPI_ERR_07 模块已更新 21
- SPI_ERR_07 功能已更新 21
- SPI_ERR_07 描述已更新 21
- SPI_ERR_07 解决方法已更新 21
- 已更新 SRAM_ERR_02 类别 21
- 已更新 SRAM_ERR_02 模块 21
- 已更新 SRAM_ERR_02 说明 21
- 已更新 SRAM_ERR_02 功能 21
- 已更新 SRAM_ERR_02 权变措施 21
- SYSOSC_ERR_02 描述已更新 22

Copyright © 2025 Texas Instruments Incorporated

- SYSOSC_ERR_02 解决方法已更新 22
- 已更新 TIMER_ERR_04 模块 23
- 已更新 TIMER_ERR_04 说明 23
- UART_ERR_04 类别已更新 24
- UART_ERR_04 模块已更新 24
- UART_ERR_04 功能已更新 24
- UART_ERR_04 描述已更新 24
- UART_ERR_04 解决方法已更新 24
- 已更新 UART_ERR_05 类别 24
- 已更新 UART_ERR_05 模块 24
- 已更新 UART_ERR_05 功能 24
- 已更新 UART_ERR_05 说明 24
- 已更新 UART_ERR_05 权变措施 24
- UART_ERR_06 类别已更新 25
- UART_ERR_06 模块已更新 25
- UART_ERR_06 功能已更新 25
- UART_ERR_06 解决方法已更新 25
- UART_ERR_06 描述已更新 25
- UART_ERR_07 类别已更新 25
- UART_ERR_07 模块已更新 25
- UART_ERR_07 功能已更新 25
- UART_ERR_07 解决方法已更新 25
- UART_ERR_07 描述已更新 25
- UART_ERR_08 类别已更新 25
- UART_ERR_08 模块已更新 25
- UART_ERR_08 功能已更新 25
- UART_ERR_08 描述已更新 25
- UART_ERR_08 解决方法已更新 25
- 已更新 UART_ERR_09 类别 26
- 已更新 UART_ERR_09 模块 26
- 已更新 UART_ERR_09 功能 26
- 已更新 UART_ERR_09 说明 26
- 已更新 UART_ERR_09 权变措施 26
- VREF_ERR_03 类别已更新 27
- VREF_ERR_03 模块已更新 27
- VREF_ERR_03 功能已更新 27
- VREF_ERR_03 描述已更新 27
- VREF_ERR_03 解决方法已更新 27

Copyright © 2025 Texas Instruments Incorporated

重要通知和免责声明

TI“按原样”提供技术和可靠性数据（包括数据表）、设计资源（包括参考设计）、应用或其他设计建议、网络工具、安全信息和其他资源，不保证没有瑕疵且不做出任何明示或暗示的担保，包括但不限于对适销性、某特定用途方面的适用性或不侵犯任何第三方知识产权的暗示担保。

这些资源可供使用 TI 产品进行设计的熟练开发人员使用。您将自行承担以下全部责任：(1) 针对您的应用选择合适的 TI 产品，(2) 设计、验证并测试您的应用，(3) 确保您的应用满足相应标准以及任何其他功能安全、信息安全、监管或其他要求。

这些资源如有变更，恕不另行通知。TI 授权您仅可将这些资源用于研发本资源所述的 TI 产品的相关应用。 严禁以其他方式对这些资源进行复制或展示。您无权使用任何其他 TI 知识产权或任何第三方知识产权。您应全额赔偿因在这些资源的使用中对 TI 及其代表造成的任何索赔、损害、成本、损失和债务，TI 对此概不负责。

TI 提供的产品受 TI 的销售条款或 ti.com 上其他适用条款/TI 产品随附的其他适用条款的约束。TI 提供这些资源并不会扩展或以其他方式更改 TI 针对 TI 产品发布的适用的担保或担保免责声明。

TI 反对并拒绝您可能提出的任何其他或不同的条款。

邮寄地址：Texas Instruments, Post Office Box 655303, Dallas, Texas 75265
版权所有 © 2025，德州仪器 (TI) 公司