

实现高质量和可靠的高压信号隔离



Tom Bonifield
模拟技术开发
德州仪器 (TI)

电路隔离也称为电流隔离，可防止直流 (DC) 和干扰交流 (AC) 信号从系统的一个区域传递到需要保护的另一区域。

隔离的其中一个用途是，通过防止高频噪声的传播来保持系统的信号完整性，保护敏感电路不受高压浪涌和尖峰的影响，并为操作人员提供安全保障。为了确保人身安全，工业标准要求使用增强型隔离，即设备正常运行所需的基本隔离水平的两倍。

简介

德州仪器 (TI) 最新开发的制造工艺可在电容电路中提供增强的信号隔离，该电容电路使用二氧化硅 (SiO₂) (一种基本的片上绝缘) 作为电介质。因此隔离电路可以与其他电路一起集成在同一芯片上。该工艺是 TI 用于保护高压、高频信号传递、基于电容器的第二代集成增强型隔离技术。采用这种工艺生产的产品性能可靠，具有防震保护和增强型隔离性，这相当于在单个封装中提供了两个基本型级别的隔离。

本技术简介详细讨论了 TI 基于电容器的增强型信号隔离。该简介运用大量的器件表征和测试数据来展示该工艺和相关器件是如何达到或超出增强型隔离的规范，事实上，它们的隔离能力是十分出色的。

实现高压隔离

高压 (HV) 隔离可通过使用两个 (在隔离栅的每侧各使用一个) 串联的厚 SiO₂ 电容器实现。SiO₂ 是一种优良的电介质，在通常用于高压隔离组件的材料中具有最高的介电强度 (表 1)。而且，与聚酰亚胺和其他聚合物基绝缘体不同，SiO₂ 绝缘电容器的可靠性不会随着所在环境的湿度而降低。

绝缘材料	电介质强度
空气	~1Vrms/ μ m
环氧树脂	~20Vrms/ μ m
二氧化硅填充的模塑化合物	~100Vrms/ μ m
聚酰亚胺	~300Vrms/ μ m
SiO ₂	~500Vrms/ μ m

表 1. 用于高压隔离的常用绝缘体。

高压电容采用高性能模拟工艺制造，并封装在多芯片 SOIC 模块中。晶圆制造工艺是一种在金属之间形成高压电容的多层级金属工艺，如图 1 所示。只需通过使用标准的层间电介质层，该结构即可实现高压隔离所需的 SiO₂ 厚度。这种多层结构减少了高压性能对任何单一介电层的依赖，从而可提高质量和可靠性。

高压电容制造所需的工艺和设备与大容量模拟和 CMOS 生产所需的工艺和设备相同。SiO₂ 膜是均匀的非晶态结构，并通过等离子体增强化学气相沉积方法制备。每个 SiO₂ 层均使用化学机械抛光进行了平面化处理。在制造过程中测量并控制最终的 SiO₂ 膜厚度。使用多层结构可降低介电层厚度的可变性，以实现总电容器介电层厚度的良好控制，这已在组装前通过晶圆级电容测量得到了验证。

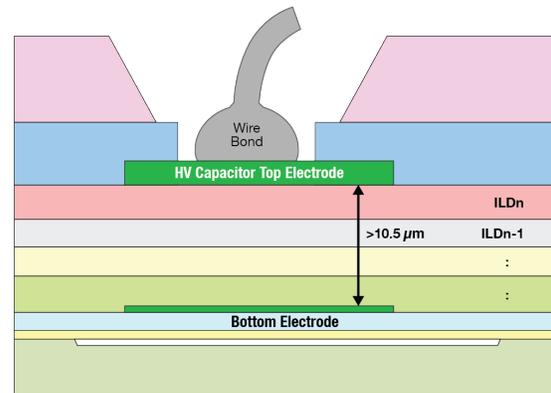


图 1. 高压电容。

使用这种隔离电容技术的多芯片模块如图 2 所示。发送器和接收器均具有隔离电容，与单个电容相比，其高压隔离能力提高了一倍。非常厚的多层钝化层可保护高压隔离裸片，使其免受裸片周围模塑

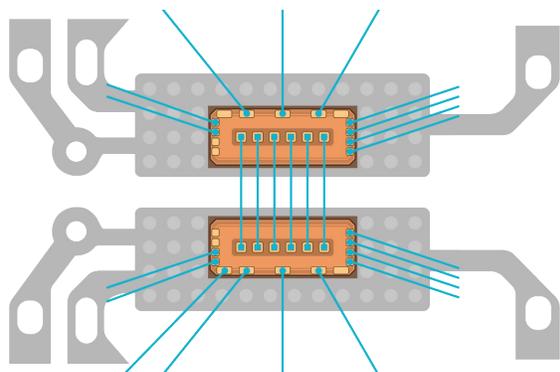


图 2. 高压隔离多芯片模块，在发送器和接收器上带有串联连接的高压电容。

化合物的损坏。

使用此配置的产品可满足增强型隔离的业界通用要求，包括：

$$V_{IOTM} = 5.7\text{kVrms 瞬态过电压}$$

$$V_{IORM} = 2.0\text{kVrms 20 年增强型隔离工作电压}$$

$$V_{IOSM} = 8\text{kV 峰值}$$

高压隔离测试

多个组件级以及系统级和终端设备级标准管理和认证隔离产品。根据实际操作条件，隔离产品必须针对各种电压应力曲线进行测试，以量化其高压隔离性能 [参考文献 1]。这些组件级参数包括工作电压 (V_{IOWM})、最大瞬态隔离电压 (V_{IOTM})、隔离耐受电压 (V_{ISO})、最大重复峰值电压 (V_{IORM}) 和最大浪涌隔离电压 (V_{IOSM})。表 2 列出了这些参数和用于验证这些功能的测试。

参数	高压测试
V_{IOTM}, V_{ISO}	方法 B1 生产筛选、斜坡至击穿、方法 A、TDDB
V_{IORM}, V_{IOWM}	方法 B1 生产筛选、TDDB
V_{IOSM}	浪涌、浪涌断点

表 2. 高压隔离测试。

每个器件上的常规高压生产测试均按照 IEC 60747-5-5 规定的方法 B1 进行。方法 B1 的测试条件如图 3 所示。该测试分为两个部分：隔离测试和局部放电测试。隔离测试持续时间为 1 秒钟 (t_{st1})，是在应力电压 $V_{in,b} \geq V_{IOTM}$ 或 V_{ISO} 的 120% 的条件下进行的高压泄露测试。这一部分测试将筛选出高压电容存在缺陷的单元。

方法 B1 的第二部分测试是在 “ V_m ” $\geq 1.875 \times V_{IORM}$ 条件下针对增强型隔离进行的持续时间为 1 秒钟的局部放电测试。局部放电测试将筛选出模塑化合物中含有电活性空隙的单元。

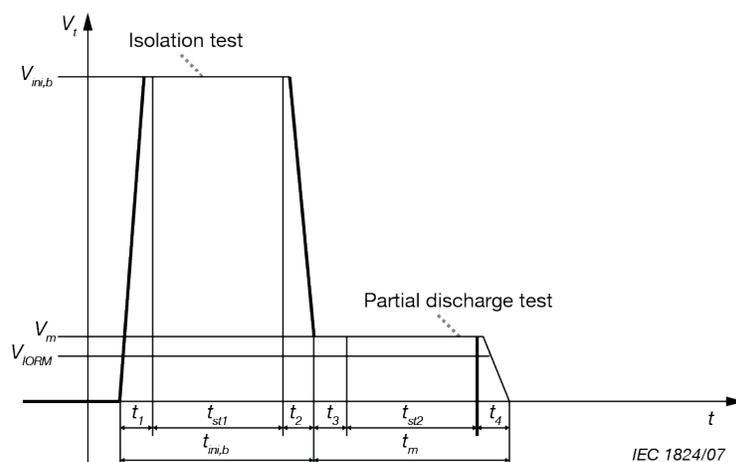


图 3. 对所有器件执行方法 B1 常规生产测试。

RTB（斜坡至击穿）测试是以抽样方式执行的破坏性测试，如图 4 所示。这些 RTB 数据显示，在

>= 6.8kVrms 条件下，方法 B1 泄漏测试在 1 秒钟内具有高裕度的击穿电压紧密分布。

Histogram - RTB_kVrms

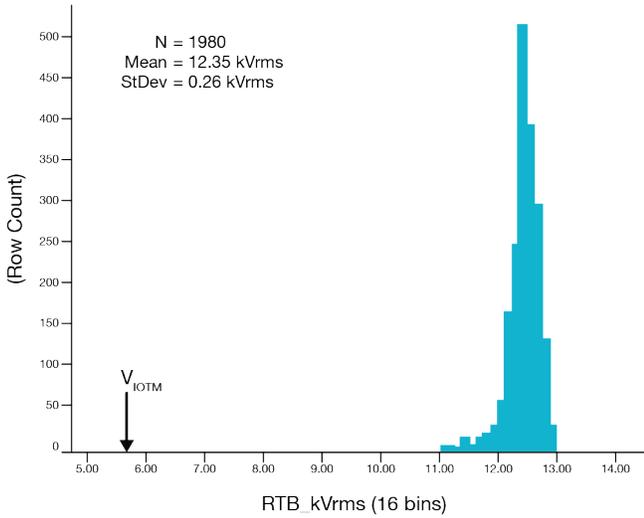


图 4. RTB 电压分布，斜坡速率为 1kVrms/秒。

TDDB（时间依赖性电介质击穿）是检验任何电介质寿命的标准测试方法 [参考文献 2、3、4]。它是高压隔离栅的一项关键测试。TDDB 可以在已封装的最终产品器件上执行，因为通过在两个隔离的电压域之间进行测试，可直接访问隔离绝缘体。TDDB 测试是通过在恒定的高压交流或直流电压下对器件施加长期应力，直到绝缘体磨损并因电气短路而失效来进行的。通过测试多个电压下的 TDDB，工作电压下的产品寿命可通过外推法确定，如图 5 所示。

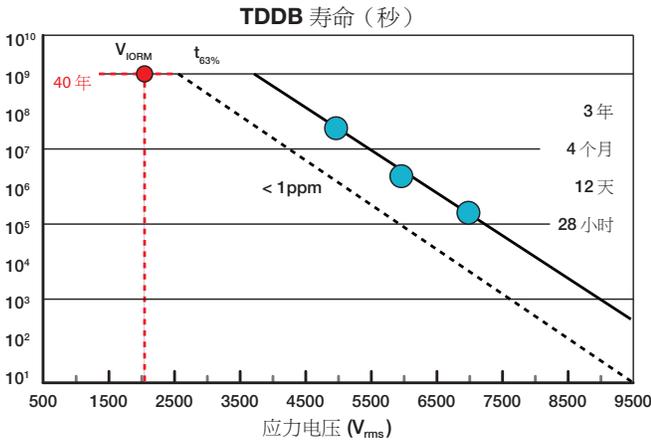


图 5. 时间依赖性电介质击穿 (TDDB)。圆圈表示 63% 的单元发生击穿时的寿命时间。虚线表示从威布尔分析得出的 1ppm 预测。

通过威布尔方法分析每个 TDDB 测试电压下的击穿时间，以确定平均失效时间 $t_{63\%}$ ，并外推 1ppm 故障概率。TDDB 击穿时间遵循以下常用模型：

$$\text{失效时间} = A * \exp(-\gamma * E)$$

其中 γ 是磁场加速度，E 是电场，A 是工艺和材料相关的系数，称为前置系数。

VDE884-11 规范介绍了使用高压电容建立增强型隔离器件的寿命的裕度。其中包括 20% 的工作电压裕度和 87.5% 的寿命裕度；也就是说，2kVrms 工作电压下 20 年使用寿命必须证明在 2.4kVrms 工作电压下 37.5 年使用寿命出现故障的概率小于 1ppm。图 5 展示了该模型的良好拟合性，以及该技术在最大使用条件或 2.0kVrms 的工作电压 (V_{IORM} , V_{lowm}) 下具有极高的隔离栅寿命。TDDB 测试在 4kVrms 下继续进行，到目前为止已经经过 23,000 小时测试，未出现故障。

方法 A 测试由 IEC 规定，用于以抽样方式直接确认 V_{IOTM} 。方法 A 测试包括在 V_{IOTM} 下进行的 60 秒泄漏测试，对于此技术而言，该值为 5.7kVrms。TDDB 是确定相对于 V_{IOTM} 规范的实际分布质量的最佳方法。图 5 显示，在 TDDB 电压为 5.7kVrms (V_{IOTM}) 时，平均击穿时间比方法 A 测试所需的 60 秒高 5 个数量级。

浪涌是一项 IEC 抽样测试，用于检查对极高电压、极短时间事件（例如雷击）的抗扰度。浪涌脉冲波形由 IEC 61000-4-5 规定，如图 6 所示。增强型隔离需要通过由至少 50 个 10kV 峰值电压脉冲组成的浪涌测试。

定期对生产样片进行浪涌测试，以验证其是否满足增强型隔离的要求。

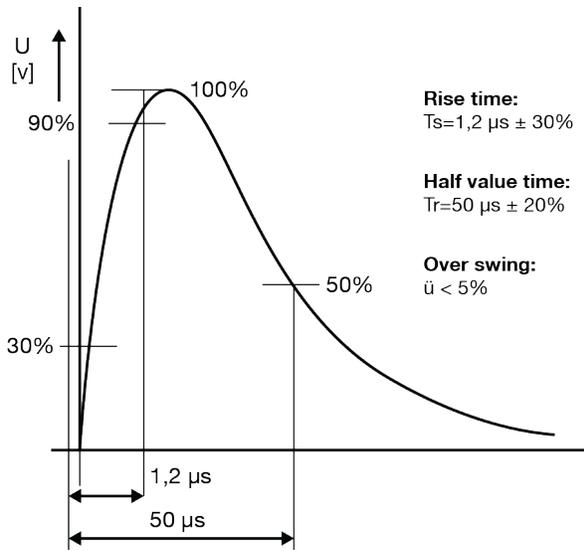


图 6. 浪涌测试波形。

为了评估实际的浪涌能力，根据浪涌峰值电压的函数对浪涌故障率进行了测量。在每个电压下对许多单元进行了测试。评估了两种不同的浪涌测试方法：“单极”，其中所有脉冲的极性相同；“双极”，其中一半的脉冲为一个极性，另一半为相反的极性。实际的浪涌断点分布如图 7 所示。

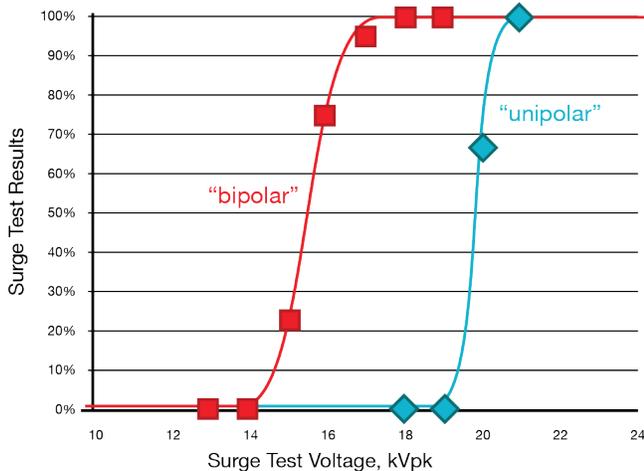


图 7. 通过“单极”和“双极”浪涌测试方法进行的浪涌断点统计评估。

“单极”和“双极”浪涌断点都超过了增强型隔离的 10kV 浪涌要求。“双极”浪涌的较低浪涌断点是一种暂时的迟滞效应。“单极”浪涌分布代表了单个浪涌事件。

结论

TI 的隔离产品系列具有超过增强型隔离要求的高压能力。高压隔离的质量可通过统计测试方法得出的大量裕度得以证明。高压隔离工艺技术的可靠性可通过 TDDDB（一种在使用条件下证明使用寿命的业界通用方法）得出的高隔离裕度得以证明。

如需更多信息

- 请查看 TI 的 [隔离产品](#)
- 阅读相关的白皮书：[完全集成的信号和电源隔离：应用和优势](#)

参考文献

- [1] 高电压增强型隔离：定义和测试方法
<http://www.ti.com/lit/wp/slyy063/slyy063.pdf>.
- [2] J. W. McPherson, “Time dependent dielectric breakdown physics – Models revisited,” in *Microelectronics Reliability* 52, 2012, p. 1753 –1760.
- [3] I. C. Chen, E. Holland, and C. A. Hu, “A quantitative physical model for time-dependent breakdown in SiO₂,” in *Proc. Int. Reliab. Phys. Symp.*, 1985, p. 24.
- [4] J. W. McPherson, V. Reddy, K. Banerjee, and L. Huy, “Comparison of E and 1/E TDDDB models for SiO₂ under long-term/low-field test conditions,” in *IEDM Tech. Dig.*, 1998, p. 171.

重要声明：本文所提及德州仪器 (TI) 及其子公司的产品和服务均依照 TI 标准销售条款和条件进行销售。TI 建议用户在下订单前查阅全面的全新产品与服务信息。TI 对应用帮助、客户应用或产品设计、软件性能或侵犯专利不承担任何责任。有关任何其他公司产品或服务的发布信息均不构成 TI 因此对其的批准、担保或认可。

The platform bar is a trademark of Texas Instruments. All other trademarks are the property of their respective owners.

重要声明和免责声明

TI 均以“原样”提供技术性 & 可靠性数据（包括数据表）、设计资源（包括参考设计）、应用或其他设计建议、网络工具、安全信息和其他资源，不保证其中不含任何瑕疵，且不做任何明示或暗示的担保，包括但不限于对适销性、适合某特定用途或不侵犯任何第三方知识产权的暗示担保。

所述资源可供专业开发人员应用 TI 产品进行设计使用。您将对以下行为独自承担全部责任：(1) 针对您的应用选择合适的 TI 产品；(2) 设计、验证并测试您的应用；(3) 确保您的应用满足相应标准以及任何其他安全、安保或其他要求。所述资源如有变更，恕不另行通知。TI 对您使用所述资源的授权仅限于开发资源所涉及 TI 产品的相关应用。除此之外不得复制或展示所述资源，也不提供其它 TI 或任何第三方的知识产权授权许可。如因使用所述资源而产生任何索赔、赔偿、成本、损失及债务等，TI 对此概不负责，并且您须赔偿由此对 TI 及其代表造成的损害。

TI 所提供产品均受 TI 的销售条款 (<http://www.ti.com.cn/zh-cn/legal/termsofsale.html>) 以及 [ti.com.cn](http://www.ti.com.cn) 上或随附 TI 产品提供的其他可适用条款的约束。TI 提供所述资源并不扩展或以其他方式更改 TI 针对 TI 产品所发布的可适用的担保范围或担保免责声明。

邮寄地址：上海市浦东新区世纪大道 1568 号中建大厦 32 楼，邮政编码：200122

Copyright © 2020 德州仪器半导体技术（上海）有限公司