鉴定 GaN 产品可靠性的综合方法

Sandeep R. Bahl
GaN Reliability
Devices & Modeling Manager

High Voltage Power Solutions

Texas Instruments

TI POWER

TI 正在根据 GaN 基本原理和应用相关测试，设计一套综合质量计划，以提供可靠的 GaN 解决方案。

利用氮化镓 (GaN) 的材料特性，可以研制出性能出色的颠覆性新型功率开关器件 - GaN 高电子迁移率晶体管 (HEMT)。该 HEMT 是一种导通电阻更低的场效应晶体管 (FET)，它的开关速度超过同等大小的硅功率晶体管。这些优势使得电源转换更节能并且更节省空间。GaN 可以基于硅基板而构建，从而可以利用硅制造能力并降低成本。然而，与新技术一样，该器件的可靠性需要得到验证。GaN 器件鉴定是本白皮书的主题。

引言

由于有三十多年的发展经验并不断进行改进，业界理所当然地认为硅功率晶体管具有很高的稳定性。长期积累的经验已经转化为一种成熟的鉴定方法，可通过标准化测试来证明器件的可靠性和质量。这些测试基于对故障模式、活化能和加速因子的详细了解，以及开发出的一种可推测使用寿命、故障率和缺陷率的统计与数学框架。这种鉴定方法的有效性现已得到证明：几代硅器件已在实际使用条件下按其真实寿命正常运行。

然而，最近开发出了 GaN 晶体管。基于较昂贵的碳化硅基板的射频 GaN HEMT 已经广泛应用于无线基站，而且其可靠性已得到了验证 [1]。功率 GaN HEMT 虽然基于类似的基本原理，但增加了一些功能，因而可处理更高的电压。它基于硅基板构建而成，并使用与硅制造工艺兼容的材料来降低成本。此外，出于失效防护的考虑，它必须是增强模式（增强型）或常闭器件。

有三种主要架构：

1) 与增强型 Si FET 级联的耗尽模式（耗尽型）绝缘栅 GaN HEMT；2) 增强型绝缘栅 GaN HEMT；以及 3) P 型掺杂增强型结型栅 GaN HEMT。它们的故障模式彼此不同，与硅 FET 的故障模式也不同，这就带来了一个不容忽视的问题，即如何鉴定其合格性。标准的硅基鉴定方法可以有效地检验质量和可靠性，具有里程碑意义，但在器件寿命、故障率和应用相关性方面对 GaN 晶体管的鉴定有效性目前尚不清楚。

德州仪器 (TI) 作为半导体技术行业的佼佼者，长期向市场推出可靠的半导体产品，其中包括铁电随机存取存储器 (FRAM) 等非硅技术，并拥有丰富的相关经验，因此，我们有能力在市场上推出经过 GaN 相关方法鉴定并通过应用相关测试的可靠 GaN 产品。

标准鉴定方法

有两家标准机构的鉴定方法广泛用于硅功率器件的鉴定：电子器件工程联合委员会 (JEDEC) 和汽车电子委员会 (AEC) [2、3、4、5]。这些标准规定了许多测试，可分为三类：静电放电 (ESD)、封装和器件。

静电放电要求是一项强制的操作标准，所以 ESD 鉴定基本不会发生改变。封装测试类似于对硅器件所做的测试，即找出故障的根本原因，以建立意外故障机制。之所以出现这种相似性，是因为也对 GaN 进行以前针对硅器件的后端加工，因而也会出现封装应力、键合表面相互作用等常见问题。“器件”类别是新出现的，因此格外重要。以下各段介绍了标准的硅器件鉴定方法，以及如何修改从而适用于 GaN。

对于硅器件鉴定，应在至少 125°C 的结温下施加标准应力，持续 1000h。假设活化能为 0.7eV，温度加速因子为 78.6 [2]，那么，在结温 (Tj) 为 125°C 时的 1000h 应力相当于在 Tj=55°C 时使用 9 年所承受的应力。进行质量鉴定时器件应运行在其最大工作电压下。对于分立式功率 FET，选择的电压通常为最低击穿电压规格的 80%。这意味着鉴定测试条件中未设置电压加速，而是仅通过温度实现加速。这对功率器件具有重要意义，因为 Tj 高于 55° C，通常大于 75°C。

该标准还规定对三个批次（每批次 77 个器件）施加应力且不得出现故障。231 个器件零故障的标准意味着批容许不合格率 (LTPD) 值为 1 [2]。这意味着，您可以有 90% 的把握说，在可能的应力条件下，每批器件的缺陷率不到 1%。换句话说，即在最大工作电压偏置、Tj=55°C 的条件下，器件可使用 9 年。在 Tj=55°C 时，初始最大时基故障

(FIT) 率约为 50FIT，这在 231 个器件在 0.7eV 活化能下得到的零故障结果中也得以证实 [6]。

然而，除了静态测试之外，还包括一个动态测试。它的定义非常宽泛，即“器件可在动态工作模式下运行”[3]。一般情况下，由制造商来定义测试内容。之所以没有规定测试内容件，是因为它很难与广泛的、不断发展的应用和技术相匹配。规定的应力测试可能与实际使用环境不相称，并且可能会产生虚假不良或无法有效加速的故障机制 [7]。

对于硅 FET，经过多年的实际使用，已经建立起了鉴定方法的可信度。相比之下，对于 GaN 这样的新技术，器件制造商有责任创建可以预测实际使用情况的动态测试计划。因此，开发应用相关的应力测试非常重要，这样可在实际使用条件下验证可靠性。

最后，有人担心 GaN 的雪崩性能不强，即器件一旦击穿，就会损坏。这个问题需要得到解决，特别在像功率因数校正 (PFC) 电路这样的高压应用中，器件会受可能发生的过压事件（例如电力线遭受雷击）的影响。

标准鉴定方法的适用性

JEDEC 和 AEC 标准均基于完善的基本原理，但技术上比较滞后。虽然通过硅鉴定是一件有价值的里程碑事件，但客户需要的是一款能在预期寿命内持续使用（比如在实际使用条件下以低故障率运行 10 年）的产品。因此，引进新技术（例如 FRAM、扩展 CMOS、GaN 等）的公司需要了解标准的基本原理。

在 JEDEC 鉴定方法中，主要加速因子是温度。加速因子 (AF) 按公式 (1) 计算，其中 EA 为活化能，k 为玻尔兹曼常数。

$$AF = \exp\left\{\left(\frac{E_A}{k}\right)\left[\left(\frac{1}{T_{USE}}\right)-\left(\frac{1}{T_{STRESS}}\right)\right]\right\}$$

如果应力温度为 Tj=125ºC，使用温度为 Tj=55ºC，活化能约为 0.7eV，则采用公式 (1) 得出的加速因子为 78.6。这就是为什么在 Tj=125ºC 时 1000h 内承受的应力约等于在 Tj=55ºC 时使用 10 年所承受的应力。已发表的文献表明 GaN [8] 的活化能在 1.05eV 至 2.5eV 之间。这个数值范围很广，说明世界各地不同实验室和公司的器件、工艺和材料存在差异。该范围会使加速因子出现很大的变化，比如从 EA=1.05eV 时的 687 到 EA=2.5eV 时 500 万以上的值。因此，有必要确定代表最终产品的工艺和器件架构上的活化能。

考虑实际工作条件下的结温也很重要。由于带隙较宽，GaN 与硅相比，可在更高的温度下运行，这对于电力电子产品来说非常重要。对器件进行鉴定时，需要考虑几个因素。表 1 将 125ºC 时的标准 1000h 硅鉴定应力与其他几种情况进行了对比。结果表明，如果希望工作结温 (Tj) 为 105ºC，在假定活化能为 0.7eV 的情况下，非加速时间从约 9 年下降到 0.3 年。如果将应力温度提高到 150ºC（标准封装的实际限值），则时间会增加到 1.1 年。在这种情况下，应力测试不符合现场等效寿命的要求，或未解决约 50 FIT 的最大 FIT 率的问题。尽管如此，在可靠性和质量方面，它仍堪称里程碑式的杰作。

代表 10 年使用期限的 1000h 应力需要 87.6 的加速因子，并且需要 1.37 的活化能方可实现。较低的活化能（例如，参考文献中 1.05eV 的低值 [8]）要么需要 2.84 倍的电压加速，要么需要将期限从 6 周左右延长到 17 周。过度的电压加速会导致非代表性故障模式，并且期限的延长也使得新产品的开发周期延长。根据故障模式和封装中的可用加速度，可能无法进行代表所需现场等效寿命的鉴定测试。将通过晶圆级可靠性测试 [2] 来保证达到寿命要求，并通过对封装元件进行长时间应力测试来验证。

场景	材料	硅	硅	硅	EA=1.05eV	EA=1.05eV	EA=1.37eV
	工作结温 T (C)	55	105	105	105	105	105
	电压加速	否	否	否	是	否	否
	应力时间 (h)	1000	1000	1000	1000	2846	1000
输入	老化温度 (C)	125	125	150	150	150	150
	活化能 (eV)	0.7	0.7	0.7	1.05	1.05	1.37
	故障数/样本大小	0/231	0/231	0/231	0/231	0/231	0/231
	电压加速	1	1	1	2.84	1	1
输出	未加速时间（年）	8.9	0.3	1.1	10.0	10.0	10.0
	最大 FIT 率	50.8	1345.0	402.6	45.2	45.1	45.1
	FIT 率计算的可信度为 60%						

表 1. *不同应力参数对可靠性和质量推测数据的影响。*

根据 GaN 的具体故障模式确定故障标准非常重要。一个特殊的故障是动态 Rds-on 增加，也称为电流崩塌。这是缓冲层和顶层中的负电荷捕获引起的 [9、10]。施加高压时会捕获电荷，器件接通后，电荷不会立即消散。

图 1 捕获的负电荷会排斥来自通道层的电子，并且因为通道层中的电子数量减少，Rds-on 会增加。随后，Rds-on 会随着捕获电荷的消散而恢复。这种影响会降低效率，并会导致器件过度自热和过早失效。

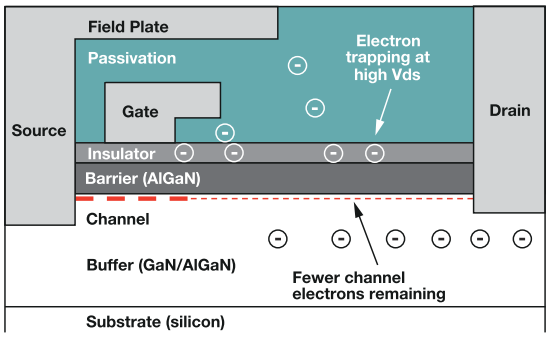

图 1. GaN 器件的剖面原理图显示了捕获的电子如何通过减少通道层中的电子数量来增加 Rds-on。

此外，陷阱密度会随着器件的老化而增加，从而使动态 Rds-on 效应变差。我们提供专用硬件来监控应力测试期间的动态 Rds-on，这样能确保推出的产品不会出现这个问题。

应用相关的测试

虽然对大量器件进行直流测试相对简单，但在实际应用中可能无法预测 GaN 是否会有 10 年的寿命。硬开关应力不同于直流应力。硬开关电源转换器具有电感应开关转换功能，在此期间，器件同时承受高电流和高电压。接通转换的应力最大，因为 FET 通道需要在漏极电压 Vds 下降之前吸收全部电感电流，并释放该节点上其他器件的任何反向恢复电流。它还需要在 Vds 下降时承载器件输出和开关节点电容放电产生的额外电流。当 Vds 较低时，FET 通道会关闭，并且电感电流用于给各自的电容充电，所以关断应力较小。

图 2 使用一个升压转换器来说明器件应力，其拓扑结构如中所示。**图 3** 初级开关 (FET1) 上的硬开关接通转换功能的仿真结果如 中所示。输入电压为 200V，电感电流为 5A（负载电流约为 2.5A）。在这种情况下，当 FET1 关断时，由于钳位 FET (FET2) 被接通，其漏极电压被钳制在 400V 左右。因此，当 FET1 被接通时，它需要在 Vds 开始下降（A 区域）之前吸收全部电感电流。

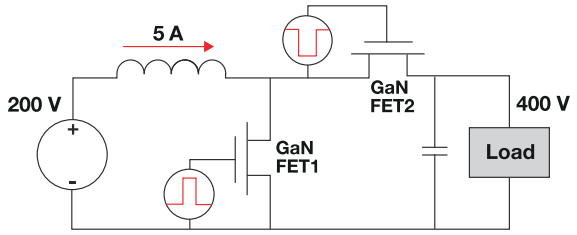

图 2. 一种简单的升压转换器拓扑。

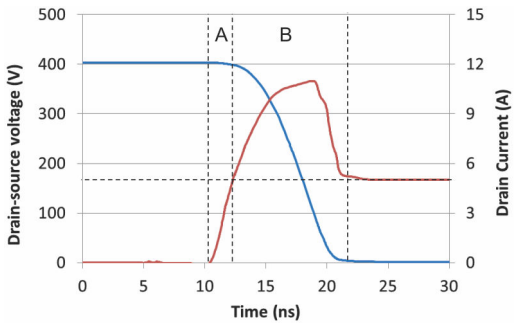

图 3. 针对硬开关转换的接通转换。

当漏极电压下降（B 区域）时，FET 需要对开关节点的电容进行放电。这是由钳位 FET、电路板迹线和其他连接元件引起的。由于使用了 GaN FET，该钳位没有反向恢复电流。**图 4**V-I 轨迹显示出在高 Vds 下具有相当大的漏极电流。在这种情况下，它比电感电流的值高出 6A 左右。FET 的漏极电容通过通道放电，因此实际的 FET 通道电流更大。例如，压摆率为 60V/ns 的 50pF 漏极电容的电流又增加了 3A。

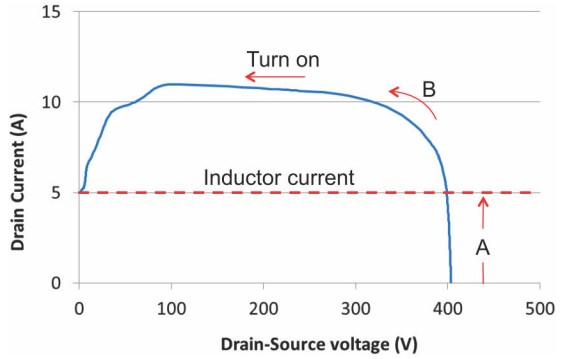

图 4. 电感开关转换的 V-I 轨迹显示出在高漏极偏置下具有相当大的电流。FET 漏极电容的放电会增加额外的通道电流，例如，压摆率为 60V/ns 的 50pF 电容的电流会增加 3A。

在硬开关过程中，高 Vds 下大量的 FET 通道电流会导致大量热载流子的产生，因此器件必须具有可靠性。此外，大型器件阵列会出现不均匀开关现象，这会将器件电流挤到阵列中最先接通的部分，并超过对应的额定值。高 dv/dt 开关也会将电容电流引入到器件的不必要区域，如终端。有必要进行可靠性测试，特别是为了确保器件能可靠用于硬开关应用，并且可靠的开关安全工作区 (SOA) 满足器件使用者的使用条件。

图 5 为了验证硬开关的稳健性，TI 在简单的升压转换器基础上开发了一种电感应开关装置。选择其的依据是 JEDEC 给出的建议 [7]，即“根据故障模式和相关机制，测试车会更可取，因为实际产品的复杂性会掩盖内在的故障机制”。

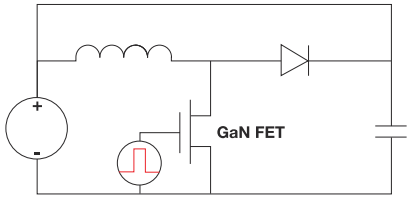

图 5. 适用于电感应开关应用测试的测试车

当 GaN FET 关断时，电感电流通过二极管再循环到输入端，这样就无需使用负载电阻器，从而实现节能。该装置在连续电流模式下与电感器一起运行。目标是开关转换，因此可通过缩短占空比来节省能量。该装置能够改变施加在器件上的电压、电流、频率和温度。**图 4** 额外漏极电流由二极管电容提供，

额外电容可以根据需要增加。该装置还使用硬件在开关转换后的一微秒内测量器件的动态接通电阻 (dRds-on)。dRds-on 会随着应力的增加而增加，导致更高的传导损耗和更低的效率，因此装置需要具备这种现场监控能力。在一款产品中，不断增加的 dRds-on 会导致器件过度自发热，从而导致热失效。在“拉点”期间不可能通过停止施压来获得该数据，因为 Rds-on 降级情况会恢复。有了监控该关键 GaN 故障参数的能力，我们就能确保推出的产品不会出现这一问题。

除了电感应开关测试外，还需要在系统中对 GaN 多芯片模块进行评估，并在产品实际使用条件下运行该模块。这可验证与其他系统组件的相互作用，并可揭示未知的故障机制。这些组件也许单独来看都可靠，但它们会以无法预料的方式相互作用。例如，在级联 GaN 器件中，通过 GaN 器件漏源电容发生的电荷耦合会导致硅级联器件在关断转换期间雪崩 [11]。该器件还可在负载下运行，从而验证在苛刻的热条件下运行的情况。

这里有必要说一说雪崩稳健性问题。目前，GaN HEMT 尚未表现出雪崩能力。因为 GaN 本身具有雪崩能力，随着技术的成熟，这种情况会有所改善。[12]。与此同时，TI 正在设计具有足够裕量的产品，以解决出现过的过压问题。例如，在 PFC 应用中，如果电力线遭受雷击，FET 上的电压会瞬间上升至 700V。我们将制造能承受至少 750V 尖峰电压的 GaN 器件，以满足这种应用的需求。

结论

德州仪器 (TI) 有着丰富的硅产品鉴定经验和专业知识，从而可以有效鉴定 GaN 的可靠性。这需要从根本上了解硅鉴定程序的背景，并根据 GaN 特定的故障、活化能和加速因子来创建测试。此外，还需要通过在特殊的电感应开关测试车中进行应力测试，以及通过在实际产品配置中运行器件来鉴定 GaN 的应用相关用途。

如需详细了解 TI 提供的 GaN 解决方案，请访问 www.ti.com/GaN。

如需更多信息：

1. S. Singhal et. al.，“Qualification and Reliability of a GaN Process Platform,” CS MANTECH Conference, p. 83, 2007
2. JEDEC Standard JESD47I, “Stress-Test-Driven Qualification of Integrated Circuits,” July 2012
3. JEDEC Standard JESD22-A108D, “Temperature, Bias, and Operating Life,” Nov. 2010
4. AEC-Q100, Rev. H, “Failure Mechanism based Stress Test Qualification for Integrated Circuits,” Sept. 2014
5. AEC-Q101, Rev. D1, “Failure Mechanism based Stress Test Qualification for Discrete Semiconductors in Automotive Applications,” Sept. 2013
6. JEDEC Standard JESD85, “Methods for Calculating Failure Rates in Units of FITs,” July 2001
7. JEDEC Standard JESD94A, “Application Specific Qualification Using Knowledge Based Test Methodology,” Sept. 2011
8. E. Zanoni et. al., “AlGaN/GaN-Based HEMTs Failure Physics and Reliability: Mechanisms Affecting Gate Edge and Schottky Junction,” IEEE Transactions on Electron Devices, v. 60, n. 10, p. 3119, 2013
9. J. Joh, N. Tipirneni, S. Pendharkar, S. Krishnan, “Current Collapse in GaN Heterojunction Field Effect Transistors for High-voltage Switching Applications” International Reliability Physics Symposium (IRPS), p. 6C.5.1, 2014.
10. O. Hilt, et. al, “Impact of Buffer Composition on the Dynamic On-State Resistance of High-Voltage AlGaN/GaN HFETs,” International Symposium on Power Semiconductor Devices and ICs, p. 345, 2012
11. S. R. Bahl and M. D. Seeman, “New Electrical Overstress and Energy Loss Mechanisms in GaN Cascodes,” Applied Power Electronics Conference (APEC), session T25, 2015
12. I. Kizilyalli et. al., “High Voltage Vertical GaN p-n Diodes With Avalanche Capability,” IEEE Transactions on Electron Devices, v. 60, n. 10, p. 3067, 2013.

重要声明: 本文所提及德州仪器 (TI) 及其子公司的产品和服务均依照 TI 标准销售条款和条件进行销售。建议客户在订购之前获取有关 TI 产品和服务的最新和完整信息。TI 对应用帮助、客户的应用或产品设计、软件性能或侵犯专利不负任何责任。有关任何其它公司产品或服务的发布信息均不构成 TI 因此对其的认可、保证或授权。

所有商标均为其各自所有者的财产。

© 2015 Texas Instruments Incorporated

重要声明和免责声明

TI“按原样”提供技术和可靠性数据（包括数据表）、设计资源（包括参考设计）、应用或其他设计建议、网络工具、安全信息和其他资源，不保证没有瑕疵且不做出任何明示或暗示的担保，包括但不限于对适销性、某特定用途方面的适用性或不侵犯任何第三方知识产权的暗示担保。

这些资源可供使用 TI 产品进行设计的熟练开发人员使用。您将自行承担以下全部责任：(1) 针对您的应用选择合适的 TI 产品，(2) 设计、验证并测试您的应用，(3) 确保您的应用满足相应标准以及任何其他功能安全、信息安全、监管或其他要求。

这些资源如有变更，恕不另行通知。TI 授权您仅可将这些资源用于研发本资源所述的 TI 产品的应用。严禁对这些资源进行其他复制或展示。您无权使用任何其他 TI 知识产权或任何第三方知识产权。您应全额赔偿因在这些资源的使用中对 TI 及其代表造成的任何索赔、损害、成本、损失和债务，TI 对此概不负责。

TI 提供的产品受 TI 的销售条款或 ti.com 上其他适用条款/TI 产品随附的其他适用条款的约束。TI 提供这些资源并不会扩展或以其他方式更改 TI 针对 TI 产品发布的适用的担保或担保免责声明。

TI 反对并拒绝您可能提出的任何其他或不同的条款。

邮寄地址：Texas Instruments, Post Office Box 655303, Dallas, Texas 75265
Copyright © 2022，德州仪器 (TI) 公司