

EVM User's Guide: DAC39RF20EVM

DAC39RF20 评估模块

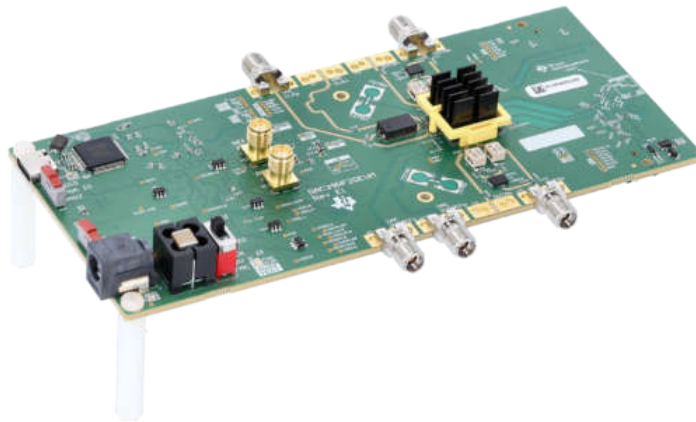


说明

DAC39RF20EVM 是用于评估德州仪器 (TI) DAC39RF20 系列数模转换器 (DAC) 的评估板。该 EVM 可用于对采样率高达 22GSPS 的 DAC 进行性能评估。它适合与基于 FPGA 的模式生成卡 TSW14J59EVM 搭配使用。借助 EVM 上提供的 FMC 连接器，还可以将 DAC 连接到第三方供应商提供的 FPGA 开发板。此外，借助简便易用的软件界面 GUI，还可通过 SPI 控制 DAC 和板载 LMK04828 时钟芯片。

特性

- 每个 DAC 输出具有两个平衡-非平衡变压器耦合的输出网络，可实现单端信号评估
- 适用于第 1 次奈奎斯特评估的 5MHz 至 10GHz 低频段平衡-非平衡变压器
- 适用于第 2、3 次奈奎斯特评估的 2GHz 至 18GHz 高频带平衡-非平衡变压器
- LMK04828 时钟分配芯片，适用于分配 FPGA 参考时钟以及子类 1 操作的 SYSREF
- 平衡-非平衡变压器耦合时钟输入网络，用于通过外部低噪声时钟源测试 DAC 性能
- 具有高速串行数据连接的 FMC+，可对所有 16 个通道进行完整的 JESD204C 测试
- USB 转串口芯片，可通过简单的 USB 连接对 DAC 或 LMK 进行编程
- 能够使用 FMC+ 连接器从 FPGA 对 DAC 或 LMK 进行编程
- 通过 USB 连接器和 FTDI USB 转 SPI 总线转换器进行器件寄存器编程，并可选择通过 FMC+ 连接器使用 SPI 从 FPGA 进行编程



DAC39RF20EVM

1 评估模块概述

1.1 简介

本用户指南包含 DAC39RF20EVM 评估模块 (EVM) 的信息和支持文档，其中包括 DAC39RF20EVM 的电路说明、跳线设置和所需连接。本文档介绍 DAC39RF20EVM 的硬件及与该 EVM 相关的软件 GUI，通过这些 GUI，可更改、配置和评估处于各种模式和功能下的 DAC。本文档中的评估板、评估模块和 EVM 等所有术语均指 DAC39RF20EVM。

1.2 套件内容 (所需设备)

DAC39RF20EVM 套件中包含以下设备和文档：

- 评估板 (EVM)
- USB-C® 转 USB-A 电缆
- 电源线

DAC39RF20EVM 套件中不包含以下设备，但评估此产品时需要使用这些设备：

- TSW14J59EVM 数据采集板和相关项目
- 运行 Microsoft® Windows® 10 或更高版本的 PC 计算机
- 适用于 DEVCLK (采样时钟) 的低相噪声信号发生器。
- 适用于 FPGA 参考时钟生成的额外信号发生器。
 - 这两个信号发生器均需 10MHz 参考锁定。
- 两个低噪声电源：12V/5A (TSW14J59EVM) 和 12V/3A (DAC39RF20EVM)
- 三根 SMA 型低损耗电缆

1.3 规格

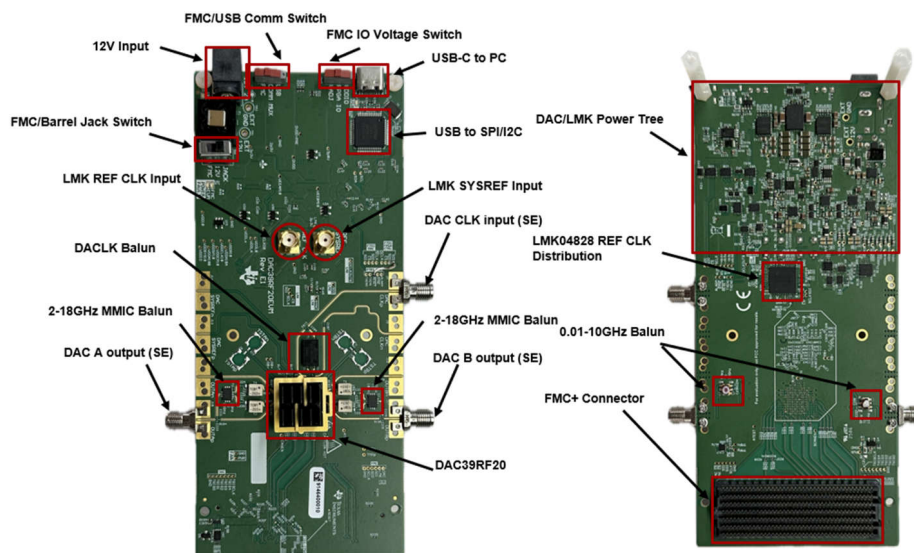


图 1-1. DAC39RF20EVM 主要元件 - 顶视图和底视图

DAC39RF20EVM 与 TSW14J59EVM 数据采集和模式生成卡配对。如果 DAC39RF20EVM 仅在 DDS 模式下使用，则不需要数据采集 EVM。

为了提高信号路由质量，串行通道极性会与标准 FMC VITA-57 信号映射相反。信号映射和极性如节 2.3 所示。

1.4 器件信息

DAC39RF20 是具有 16 位分辨率的单通道和双通道 DAC 系列。这些器件可用于非内插模式（实数）和内插模式（复数 IQ）。在 22GSPS 时，支持单通道 16 位实数数据。此外，还支持 21GSPS 双通道 12 位实数数据。还支持高达 4.4GHz 的复数带宽。

2 硬件

2.1 设置过程

本节描述了如何在工作台上借助正确的设备设置 DAC 和 TSW14J59 EVM，来评估 DAC 器件的性能。

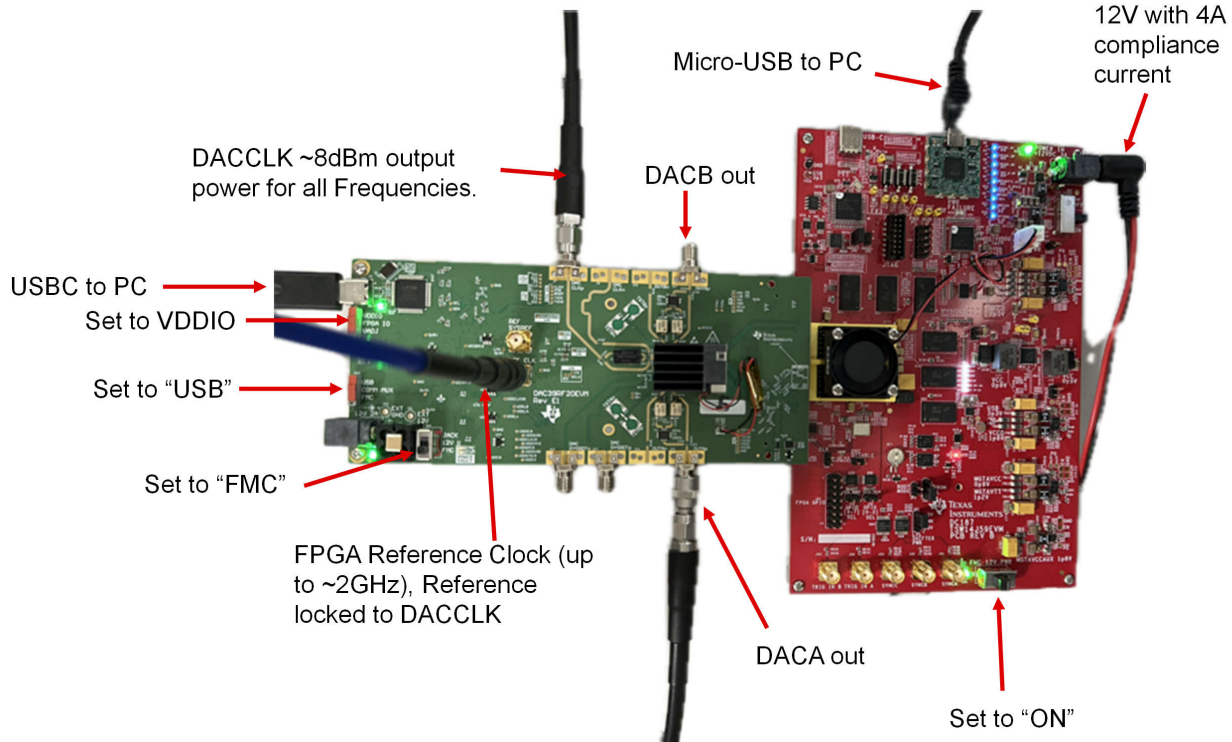


图 2-1. DAC39RF20EVM 测试设置

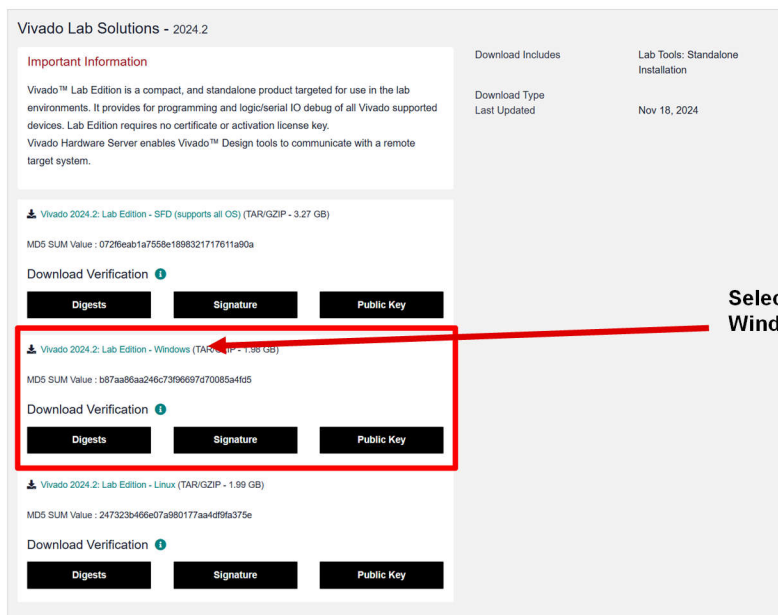
2.1.1 安装 DAC39RF20EVM 配置 GUI 软件

- 从 [DAC39RF12EVM GUI](#) 的 EVM 工具文件夹下载 DAC39RF20EVM 配置 GUI 软件。
 - GUI 下载包括以下内容：
 - DAC39RF20EVM GUI
 - J59 命令
 - DAC WaveGen
 - J59 服务器
- 运行可执行文件 (DAC39RF20EVM_SW_Package_vXXXX.exe)。
- 安装 [Vivado Lab Tools](#)。
 - 有关如何安装 Xilinx™ 工具和向桌面 PC 添加环境变量路径的说明，请参阅下一节。

2.1.1.1 安装和设置 Vivado™ Lab Tools

对于 DAC39RF20EVM，需要安装 Vivado™ Lab Tools。请按照本节中介绍的步骤操作。

- 为 AMD 创建用户帐户并登录。
 - 下载前请填写适当的信息。
 - 完成后，单击下载按钮。
- 下载文件类型为 .tar 的文件。在 Windows 中，可以打开 .tar 文件并进行浏览。
- 接下来，在 Vivado_Lab_Win_2024.2_1113_1001 文件夹中找到 <xsetup.exe>。
 - 右键单击并执行。使用 Windows 操作系统需要同意全部解压。
- 解压文件后，打开文件夹并找到 xsetup.exe。
 - 右键单击该文件并安装。Windows 操作系统需要权限。
- 按照以下图中的步骤顺序完成 Xilinx Lab Tools 的安装。



Select Vivado 2024.2 Lab Edition
Windows (TAR/GZIP)

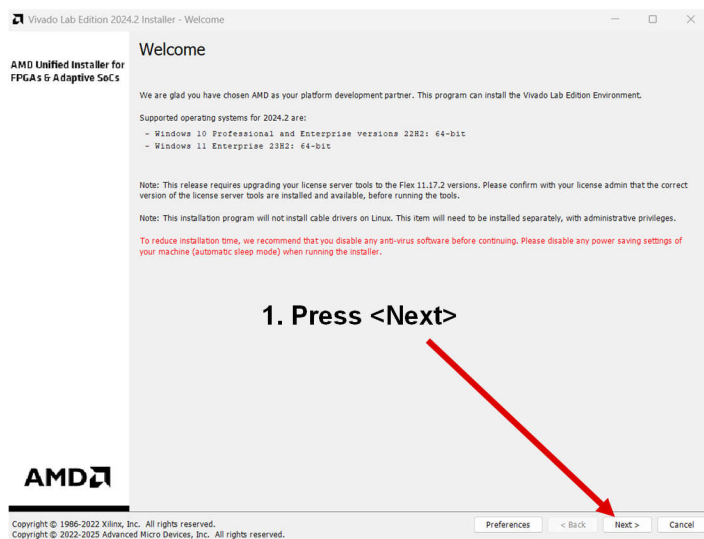
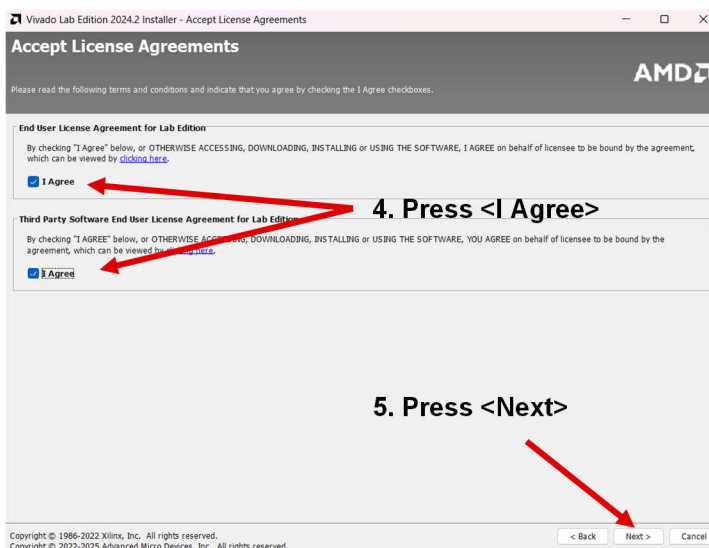
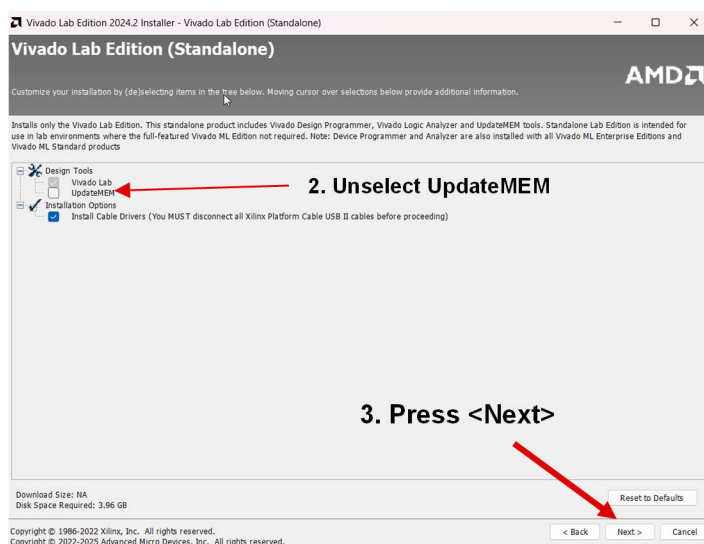


图 2-2. 安装 Vivado Lab Tools





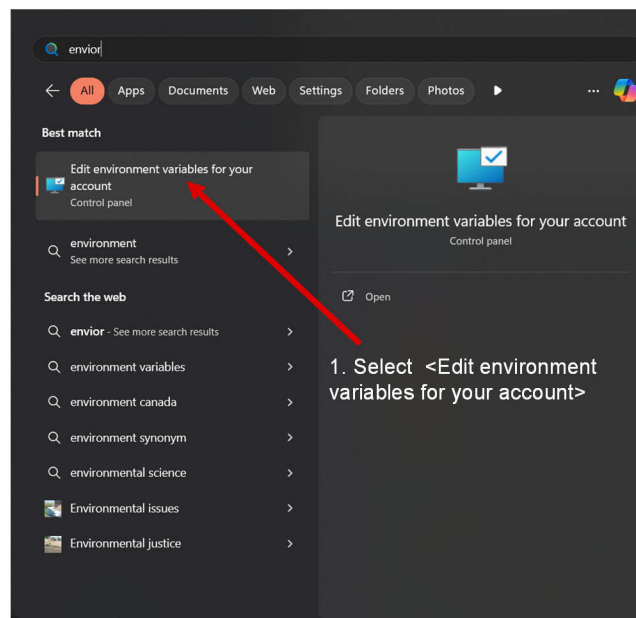
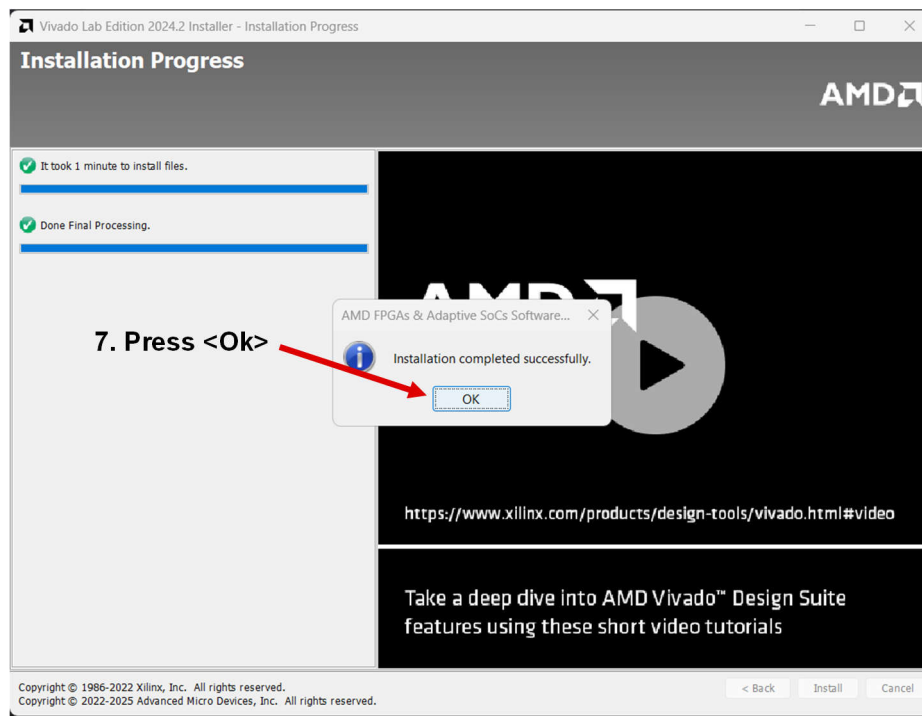
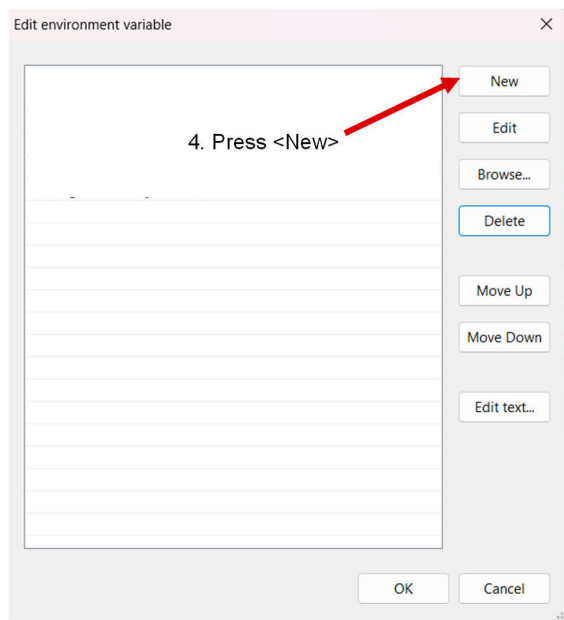
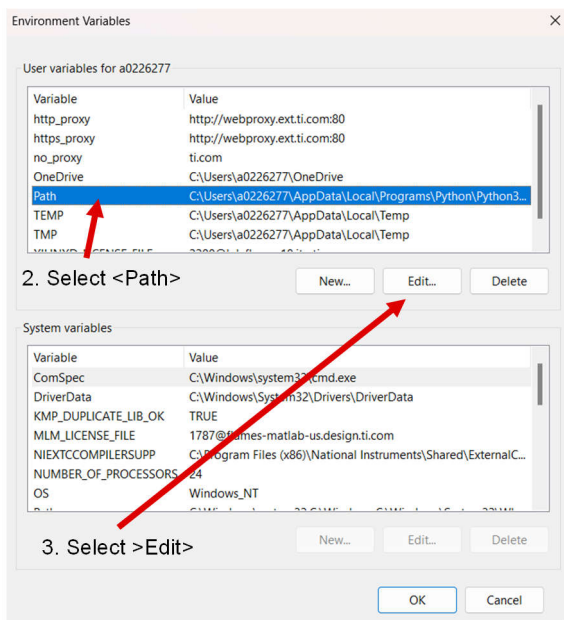
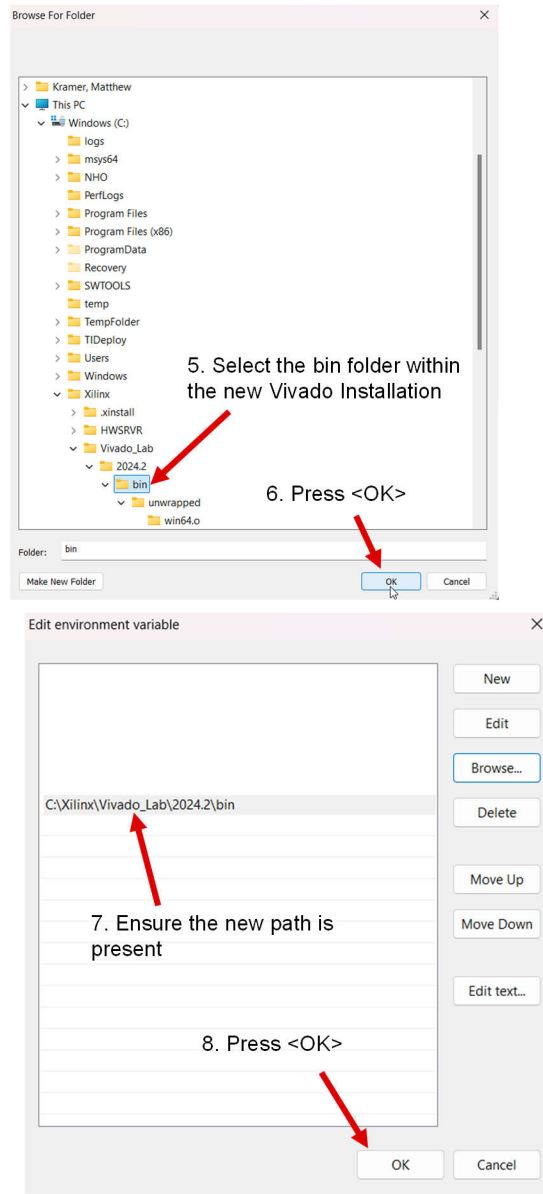


图 2-3. 将 Vivado Lab Tools 添加到 Windows 路径





完成此操作后，就可以运行 J59_Server 了。

2.1.2 连接 DAC39RF20EVM 和 TSW14J59EVM

关闭电源，通过 FMC 连接器将 DAC39RF20EVM 连接到 TSW14J59EVM，如 节 2.1 所示。

2.1.3 将电源连接到电路板 (关闭)

1. 确认 TSW14J59EVM 上的电源开关处于关闭位置。将电源线连接到 12V 直流 (最小 5A 电流) 电源。确认桶形连接器的外表面已接地, 连接器内部的电压为 12V, 从而确保电源极性正确。将电源线连接到 TSW14J59EVM 电源连接器。
2. DAC39RF20EVM 可通过 DAC39RF20EVM 上的连接器插孔 (J2) 使用 12V 直流 (最小 3A) 供电, 也可通过 FMC+ 连接器从 TSW14J59EVM 为 EVM 供电。有一个开关 (SW1) 可用于从 DAC EVM 上的桶形插孔或通过 FMC+ 连接器从 TSW14J59EVM 选择电源。确认 DAC39RF20EVM 电源的电源开关设置为该 EVM 从中获取功率的相反位置 (插孔)。如果使用桶形插孔选项, 请将电源线连接到 12V 直流 (最小 3A) 电源。确认桶形连接器的外表面已接地, 连接器内部的电压为 12V, 从而确保电源极性正确。将电源线连接到 EVM 电源连接器。表 2-1 可用作给 DAC39RF12EVM 供电的基准。

表 2-1. 为 DAC39RF12EVM 供电

DAC39RF20 电源来自	DAC39RF20 电源开关位置	TSW14J59EVM FMC 开关位置	需要的电源
TSW14J59EVM (通过 FMC+ 连接器)	FMC	打开	对于 TSW14J59EVM 为 12V 5A
DAC39RF20EVM 上带插孔的外部电源	插孔	关闭	对于 TSW14J59 为 12V 3A, 对于 DAC39RF20EVM 为 12V 3A

小心

确保 EVM 的电源连接极性正确。否则, 可能会立即导致 EVM 损坏。将电源开关保持在关闭位置, 直至稍后指示。

2.1.4 将频谱分析仪连接到 EVM

将频谱分析仪连接到 DAC39RF20EVM 的 OUTAp (J15) SMA 连接器。

1. 一旦 DAC39RF20EVM GUI 配置为所需的 JMODE 模式和时钟频率, 即可从 DAC39RF20EVM GUI 获取 FPGA REF 时钟频率。EVM 所需的参考时钟频率如图 1-1 所示。
2. 确保使用通用 10MHz 基准对 DEVCLK 和参考时钟源进行频率锁定, 以确保功能正常。
3. 此时请勿打开任何信号发生器的射频输出。
4. 在所有这些示例中, FPGA REF 时钟 = 1250MHz, DAC 采样时钟 = 20.0GHz。

2.1.5 打开 TSW14J59EVM 的电源并连接到 PC

1. 打开 TSW14J59EVM 的电源开关。
2. 用 micro-USB 电缆将 PC 与 TSW14J59EVM 连接。

2.1.6 打开 DAC39RF20EVM 的电源并连接到 PC

1. 默认选项使用来自 TSW14J59EVM 上的 FMC+ 连接器的电源。对于此选项, TSW14J59EVM 上的 FMC 电源开关必须设置为开启位置, 而 DAC39RF20EVM 上的电源开关必须设置为 FMC (默认)。如果使用外部电源为 DAC EVM 供电, 则开启连接到 DAC EVM 上桶形插孔的 12V 电源, 并将 DAC39RF20EVM 上的电源开关位置设置为 JACK 位置。
2. 使用连接到 EVM 的 USB-C 电缆将 DAC EVM 连接到 PC。

2.1.7 打开信号发生器

1. 打开低相位噪声射频信号发生器的输出，并通过 SMA 电缆连接到 DAC CLKp (J7)。将信号发生器设置为 20GHz，输出电平为 +6dBm。
2. 打开射频信号发生器的输出，并通过 SMA 电缆连接到 REF_CLK (J5)。
3. 将信号发生器设置为 1250MHz，输出电平为 +6dBm。使用另一根 SMA 电缆将其连接到 OUTAp (J15)，即 DAC 至频谱分析仪的输出端。

备注

DAC39RF20EVM 支持的最大时钟速率为 22GHz。

2.1.8 启动 DAC39RF20EVM GUI 并对 DAC EVM - JMODE 0 (旁路模式) 进行编程

DAC39RF20EVM 在 JMODE 0 (旁路模式) 中的配置示例如下所示。

1. JMODE 0 被视为旁路模式或实数数据模式，内插 x1。
 - a. 配置详细信息：
 - i. +6dBm 时 20GSPS
 - ii. 20.625Gbps SERDES 速率
 - iii. 16 通道
 - iv. JESD_M = 1
2. 按照后续图示步骤启动 DAC GUI。按照所示步骤来配置 EVM。

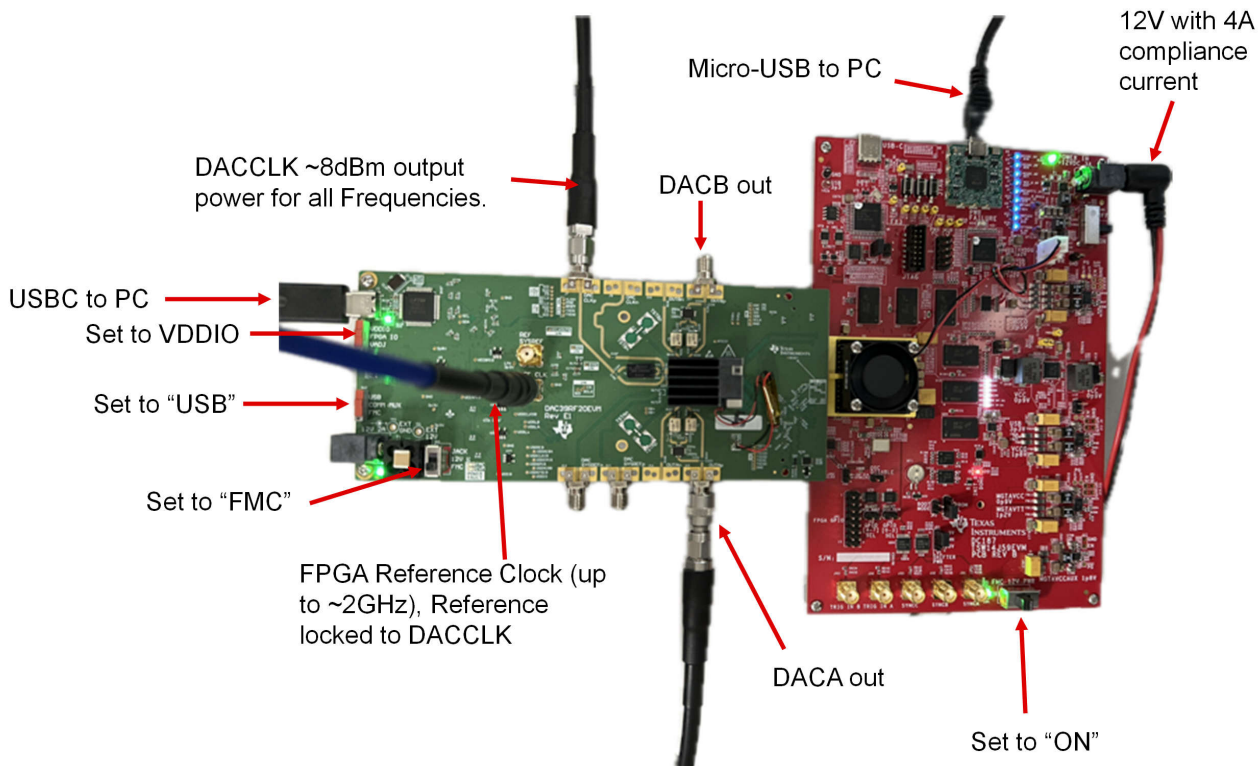
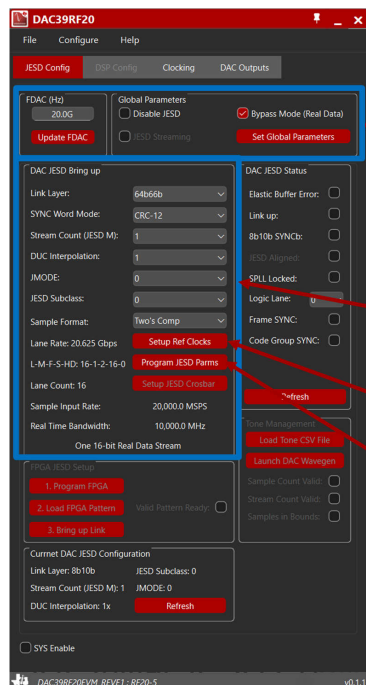


图 2-4. DAC39RF20EVM EVM 硬件设置，JMODE 0



1. Launch the DAC39RF20 GUI.

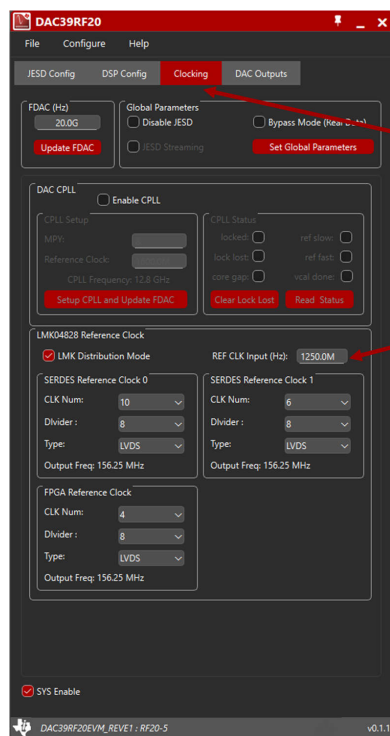
2. Uncheck “Disable JESD” and check “Bypass Mode” and press “Set Global Parameters”. This will reset the device and setup bypass mode. One can also set FDAC here. FDAC = 20GSPS by default. This will disable all DSP functionality of the DAC.

3. Default JESD parameters for bypass mode are JMODE0. This is a single stream with 16 bits of resolution and a full 10GHz of IBW. Additional JMODES may be available at lower update rates. Other JMODES with lower resolution (8 and 12 bit) are also available.

4. Press “Setup Ref Clocks”. This will setup the onboard LMK04828 to destitute the provided reference clock to the FPGA. It automatically will set the dividers. (See next slide for more information).

5. Press “Program JESD Params”. This will load the current configuration into the DAC and set SYS_EN to 1. The DAC will be waiting for the FPGA to setup the link.

图 2-5. JMode 0 的 EVM GUI 配置 - “JESD Config” 选项卡



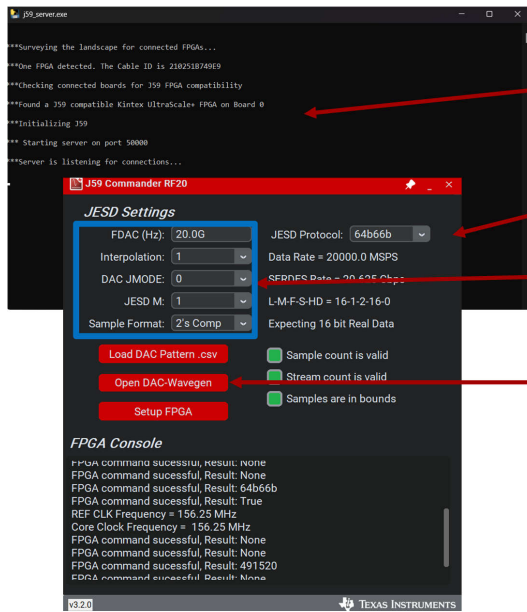
1. Press “Clocking” Tab

2. Provide this clock to REF input. Note that pressing “Setup Ref Clocks” on the JESD Config tab brought the LMK04828 into distribution mode and setup the necessary outputs and dividers for this board for the given lane rate.

Additional Notes. One could Provide 675MHz to the LMK and set the dividers to 2 manually if they have a limitation in their setup. The important thing is to make sure the final output frequency of the LMK matches the output the GUI setup when “Setup Ref Clocks” was pressed. This should all be done before the link is established.

图 2-6. JMode 0 的 EVM GUI 配置 - “Clocking” 选项卡

1. 然后如图所示启动 J59_Server.exe。
2. 接下来启动 J59_Commander。
3. 然后打开 DAC Wavegen GUI。



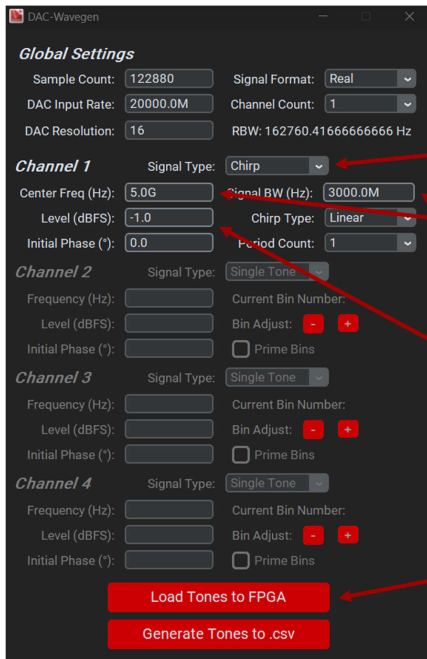
1. **Launch J59_server.exe.** If the FPGA is connected to the PC and necessary Xilinx drivers are installed the server should output the following.

2. **Launch J59-Commander-v3.2.0.exe.** It will default to the same configuration as the DAC EVM GUI.

3. **Adjust JESD parameters.** Set the DAC Interpolation to 1. This should automatically set the JMODE to 0 and JESD_M to 1. Note that the Parameters listed should match the DAC GUI.

4. **Launch DAC-Wavegen.** If a .csv file has been saved with enough streams in it one can also Load the DAC pattern .csv file.

图 2-7. J59 Server.exe 和 J59 Commander，设置第 1 部分



1. **Set Channel 1 Signal Type to “Chirp”.** In this example there is one complex channel. This complex channel will have a 2GHz wide chirp on it to demonstrate modulation with the DAC.

2. **Set the Center Frequency to 5Hz.** There is no NCO in bypass mode to upconvert.

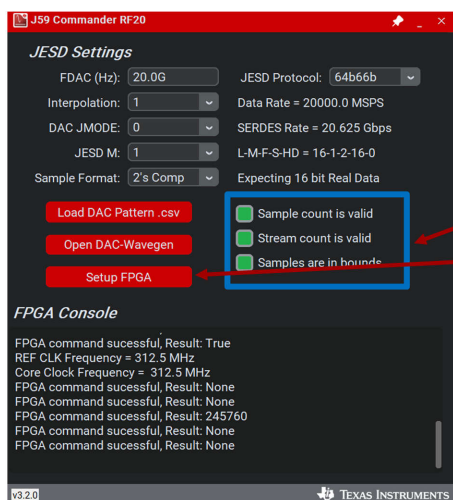
3. **Set the Bandwidth of the tone.** 2GHz is being used for this example. Up to 4GHz can be used when the tone is centered at 0Hz. The center frequency must be set first so the the bandwidth is known to be valid by the tool.

4. **Set the Level in dBFS and initial phase.** -1 is being used for the level to help with linearity. The initial phase is left at 0.

5. **Press “Load Tones to FPGA”.** This will point the tool to the new tone to load into FPGA memory. One can also save it as a .csv file to load later.

* The DAC Wavegen is automatically configured by the J59 Commander to match the DAC configuration.

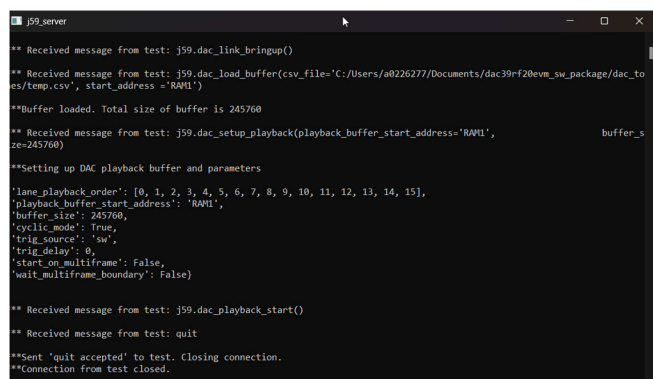
图 2-8. DAC Wavegen GUI 设置详细信息



1. Once the tone is loaded, These 3 indicators should turn green.

2. Press “Setup FPGA”. The J59 Commander will be communicating with the J59 Server. It will program the FPGA (if necessary) and setup the FPGA JESD parameters and load the tone.

图 2-9. J59 Commander 设置详细信息，第 2 部分

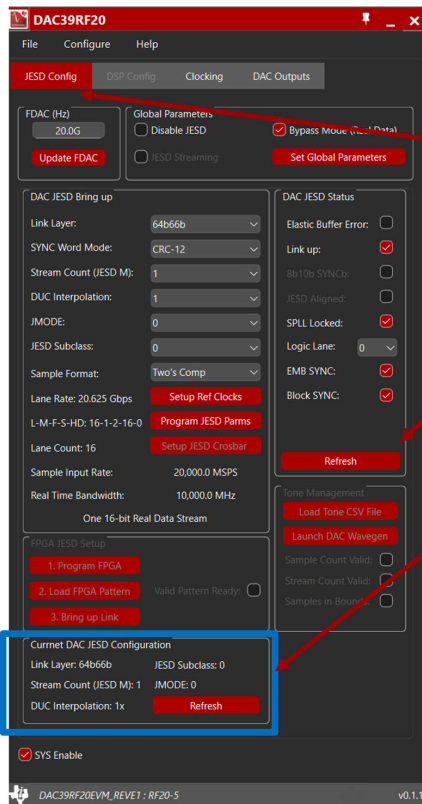


Once the FPGA is setup the J59 server should show dac_playback_start() followed by quit.



The J59 Commander will show the following once the FPGA is setup

图 2-10. J59 Server.exe 和 J59 Commander，设置第 2 部分

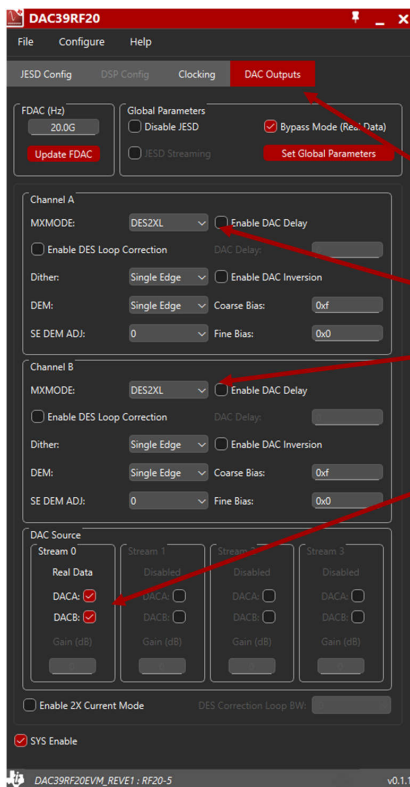


1. Change back to JESD Tab.

2. Press Refresh on the DAC JESD Status. The “Link Up” should be present and the SPILL should be locked. The SYNCb signal will also have a check if 8b10b mode was used.

3. This will indicate the current JESD state of the device as it was programmed.

图 2-11. JMode 0 的 EVM GUI 配置 - “JESD Config” 选项卡，检查状态



1. Select the “DAC Outputs” Tab.

2. Change the MXMODE to DES2XL for DACA and DACB. This is ideal for 1st Nyquist mode operation.

3. Setup DAC Source for DACA and DACB. In this example only a single real stream is provided. Both DACA and DACB are receiving the real data stream.

Note that unlike DSP modes (DDS and DUC mode) each DAC can only process a single stream at a given time. There is also no gain control for real samples. A maximum of 2 real streams are supported by the DAC (one for each channel).

图 2-12. JMode 0 的 EVM GUI 配置 - 设置 “DAC Outputs” 选项卡

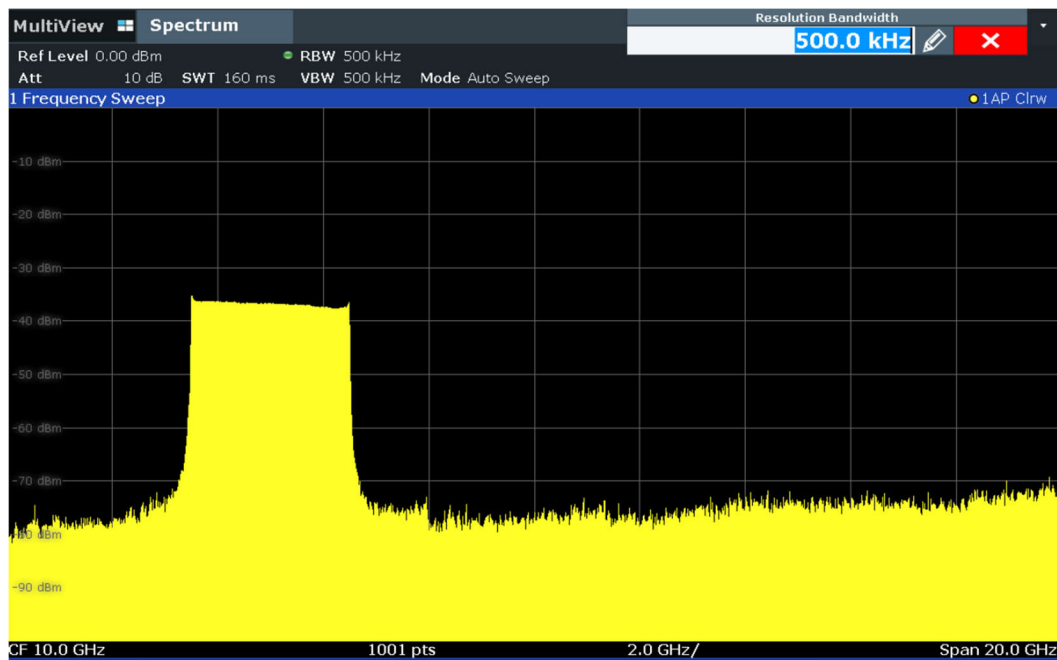


图 2-13. 20GSPS 时的 DAC 输出频谱, JMODE 0, 单路数据流

在输出频谱中可以看到 3GHz 宽 LMF。请注意, 未使用 NCO, 该线性调频脉冲被合成为单路实数数据流。

2.1.9 启动 DAC39RF20EVM GUI 并对 DAC EVM 进行编程 - JMODE 1 (DUC 模式)

下面提供了 JMODE 1 下的 DAC39RF20EVM 配置示例。

1. JMODE 1：复数数据，内插 x4。
 - a. 配置详细信息：
 - i. +6dBm 时 20GSPS
 - ii. 10.3125Gbps SERDES 速率
 - iii. 16 通道
 - iv. JESD_M = 2
2. 按照后续图示步骤启动 DAC GUI。按照所示步骤配置 EVM。

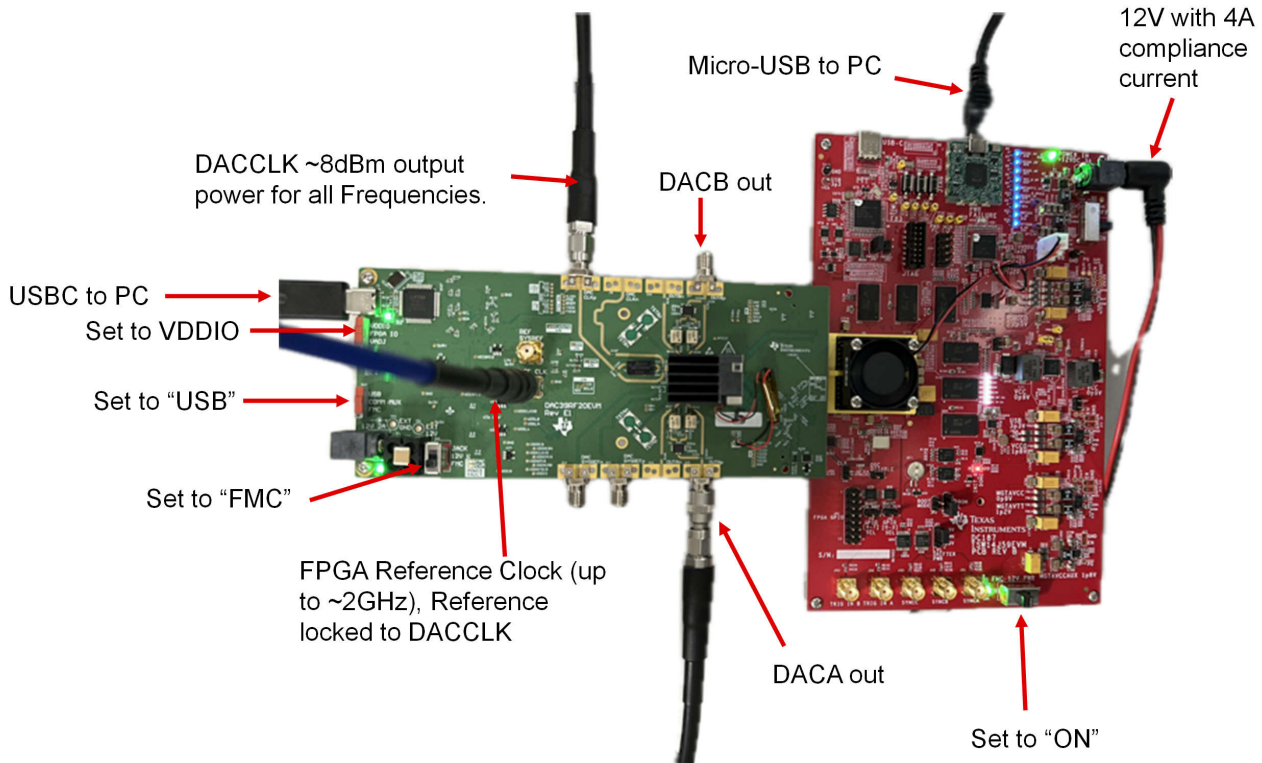
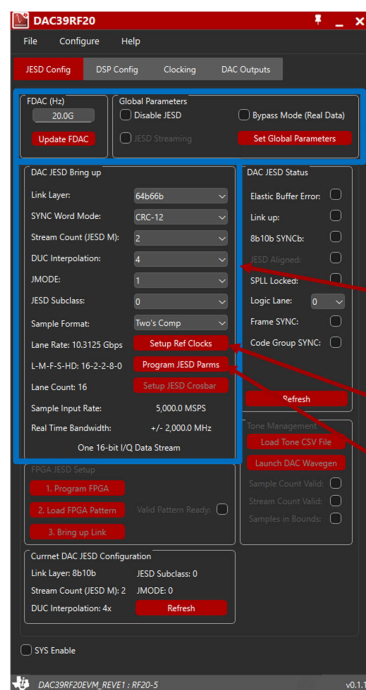


图 2-14. DAC39RF20EVM EVM 硬件设置，JMODE 1



1. Launch the DAC39RF20 GUI.

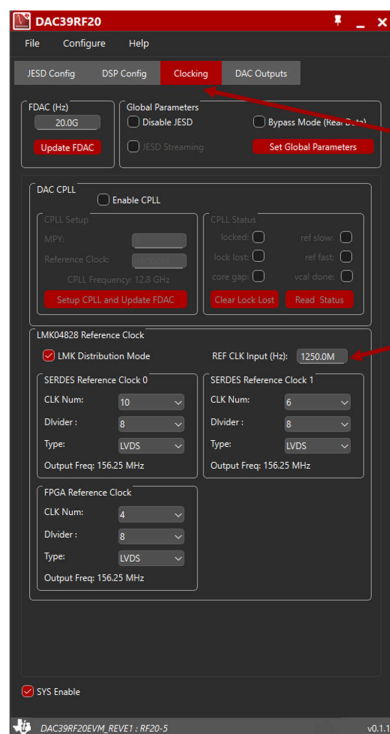
2. Uncheck Bypass Mode and Disable JESD and press “Set Global Parameters”. This will reset the device and setup DUC up-conversion mode. One can also set FDAC here. FDAC = 20GSPS by default.

3. Default JESD parameters for DUC up-conversion are JMODE1 interpolate by 4. One can increase stream count, interpolation and change the JMODE accordingly. One should start at the top and move down. In this example leave everything default

4. Press “Setup Ref Clocks”. This will setup the onboard LMK04828 to destitute the provided reference clock to the FPGA. It automatically will set the dividers. (See next slide for more information).

5. Press “Program JESD Params”. This will load the current configuration into the DAC and set SYS_EN to 1. The DAC will be waiting for the FPGA to setup the link.

图 2-15. JMode 1 的 EVM GUI 配置 - “JESD Config” 选项卡

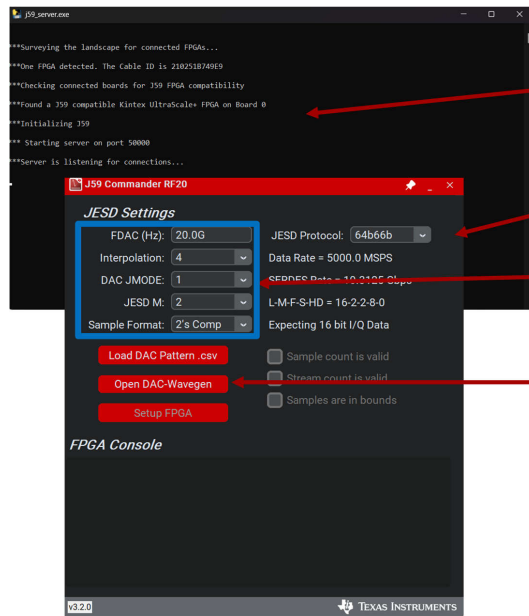


1. Press “Clocking” Tab

2. Provide this clock to REF input. Note that pressing “Setup Ref Clocks” on the JESD Config tab brought the LMK04828 into distribution mode and setup the necessary outputs and dividers for this board for the given lane rate.

Additional Notes. One could Provide 675MHz to the LMK and set the dividers to 4 manually if they have a limitation in their setup. The important thing is to make sure the final output frequency of the LMK matches the output the GUI setup when “Setup Ref Clocks” was pressed. This should all be done before the link is established. Note that the GUI always assumes FDAC/16 for interpolating JMODES is being provided to the reference clock input. This means the manual change would need to be done each time the clocks are setup. The clock output and type should not be changed with this EVM board.

图 2-16. JMode 1 的 EVM GUI 配置 - “Clocking” 选项卡



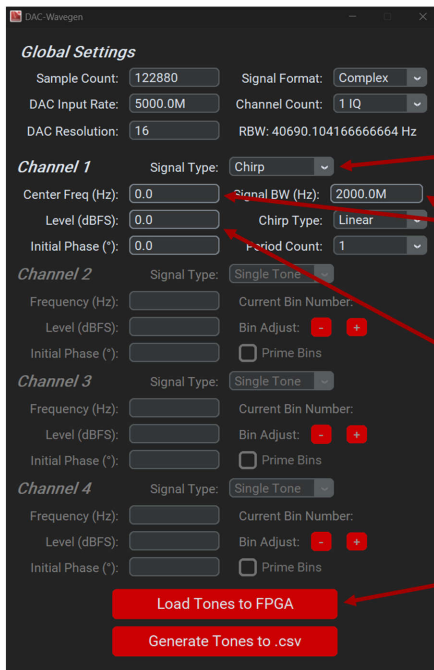
1. **Launch J59_server.exe.** If the FPGA is connected to the PC and necessary Xilinx drivers are installed the server should output the following.

2. **Launch J59-Commander-v3.2.0.exe.** It will default to the same configuration as the DAC EVM GUI.

3. **Adjust JESD parameters.** If the parameters were changed in in the DAC GUI for different interpolation, JMODE and JESDM, adjust the J59 commander to match these settings.

4. **Launch DAC-Wavegen.** If a .csv file has been saved with enough streams in it one can also Load the DAC pattern .csv file.

图 2-17. J59 Server.exe 和 J59 Commander , 设置第 1 部分



1. **Set Channel 1 Signal Type to “Chirp”.** In this example there is one complex channel. This complex channel will have a 2GHz wide chirp on it to demonstrate modulation with the DAC.

2. **Set the Center Frequency to 0Hz.** This will be mixed up with the NCO on the DAC.

3. **Set the Bandwidth of the tone.** 2GHz is being used for this example. Up to 4GHz can be used when the tone is centered at 0Hz. The center frequency must be set first so the the bandwidth is known to be valid by the tool.

4. **Set the Level in dBFS and initial phase.** 0 is fine for both of these.

5. **Press “Load Tones to FPGA”.** This will point the tool to the new tone to load into FPGA memory. One can also save it as a .csv file to load later.

* The DAC Wavegen is automatically configured by the J59 Commander to match the DAC configuration.

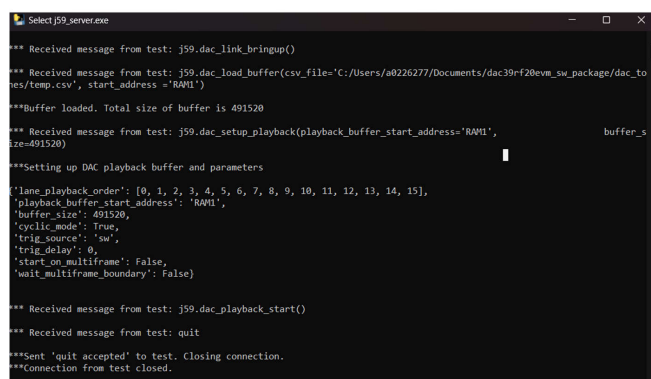
图 2-18. DAC Wavegen GUI 设置详细信息



1. Once the tone is loaded, These 3 indicators should turn green.

2. Press “Setup FPGA”. The J59 Commander will be communicating with the J59 Server. It will program the FPGA (if necessary) and setup the FPGA JESD parameters and load the tone.

图 2-19. J59 Commander 设置详细信息，第 2 部分

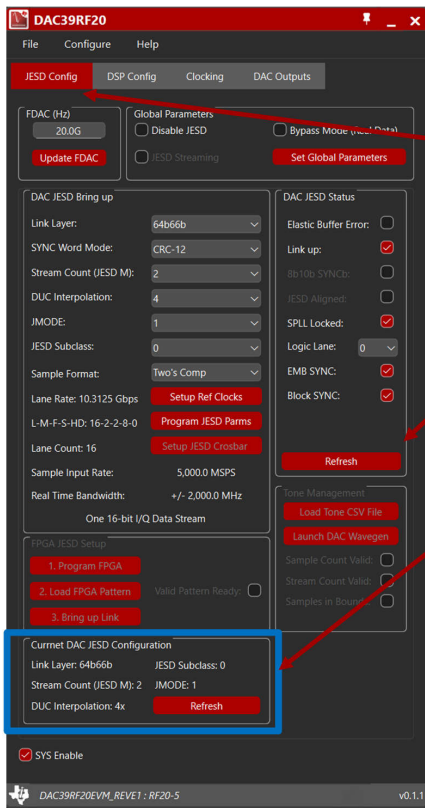


Once the FPGA is setup the J59 server should show dac_playback_start() followed by quit.



The J59 Commander will show the following once the FPGA is setup

图 2-20. J59 Server.exe 和 J59 Commander，设置第 2 部分

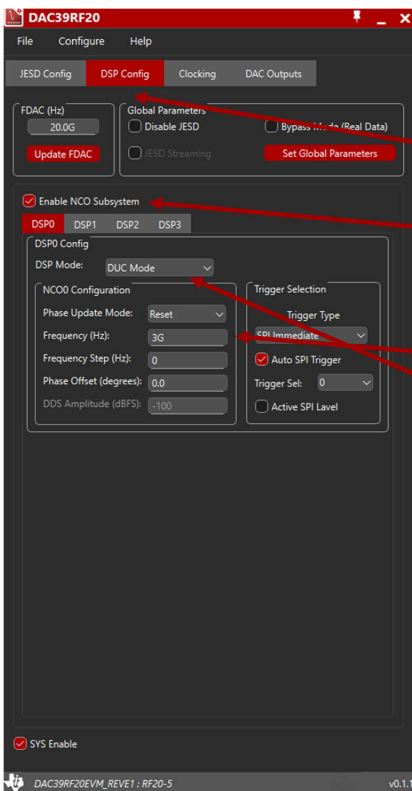


1. Change back to JESD Tab.

2. Press Refresh on the DAC JESD Status. The “Link Up” should be present and the SPILL should be locked. The SYNCb signal will also have a check if 8b10b mode was used.

3. This will indicate the current JESD state of the device as it was programmed.

图 2-21. JMode 1 的 EVM GUI 配置 - “JESD Config” 选项卡，检查状态



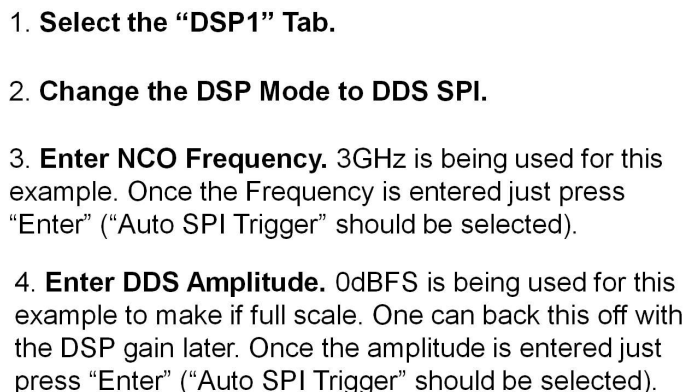
1. Select the “DSP Config” Tab.

2. Check “Enable NCO Subsystem”.

3. Enter NCO Frequency. 5GHz is being used for this example as this will center the 2GHz chirp to be 4GHz to 6GHz. Once the Frequency is entered just press “Enter” (“Auto SPI Trigger” should be selected).

4. Note that DSP0 was automatically set to “DUC Mode”. When the JESD is configured with an M of 2 (1 IQ) DSP0 is automatically configured for DUC mode. DSPs1, 2 and 3 will all be “disabled” and will not be able to be configured for DUC mode unless JESD M is increased in the JESD configuration (4 will enable DSP1 DUC Mode, 6 will enable DSP2 DUC Mode, etc).

图 2-22. JMode 1 的 EVM GUI 配置 - 针对 NCO 设置 “DSP Config” 选项卡，第 1 部分



The screenshot shows the 'DAC Outputs' tab in the DAC39RF20EVM configuration tool. Red arrows point to the 'Update DAC' button, the 'Set Global Parameters' button, and the 'DACB' checkbox for Stream 0.

Global Parameters:

- ☒ **JESD**
- ☐ Bypass Mode (No I Data)
- ☐ JESD Streaming
- Set Global Parameters**

Channel A:

- MMXMODE: DES2XL ☒ **Enable DAC Delay**
- ☐ Enable DES Loop Correction DAC Delay:
- Dither: ☒ **Single Edge** ☐ **Enable DAC Inversion**
- DEM: ☒ **Single Edge** Coarse Bias: 0xf
- SE DEM ADJ: 0 Fine Bias: 0x0

Channel B:

- MMXMODE: DES2XL ☒ **Enable DAC Delay**
- ☐ Enable DES Loop Correction DAC Delay:
- Dither: ☒ **Single Edge** ☐ **Enable DAC Inversion**
- DEM: ☒ **Single Edge** Coarse Bias: 0xf
- SE DEM ADJ: 0 Fine Bias: 0x0

DAC Source:

Stream 0	Stream 1	Stream 2	Stream 3
JESD DUC	DOS	Disabled	Disabled
DACA: ☒	DACA: ☐	DACA: ☐	DACA: ☐
DACB: ☐	DACB: ☒	DACB: ☐	DACB: ☐
Gain (dB)	Gain (dB)	Gain (dB)	Gain (dB)
0.0	0.0		

☐ Enable 2X Current Mode DES Correction Loop BW:

☒ **SYS Enable**

DAC39RF20EVM_REV1.1: RF20-5 v0.1.1

22 DAC39RF20 评估模块

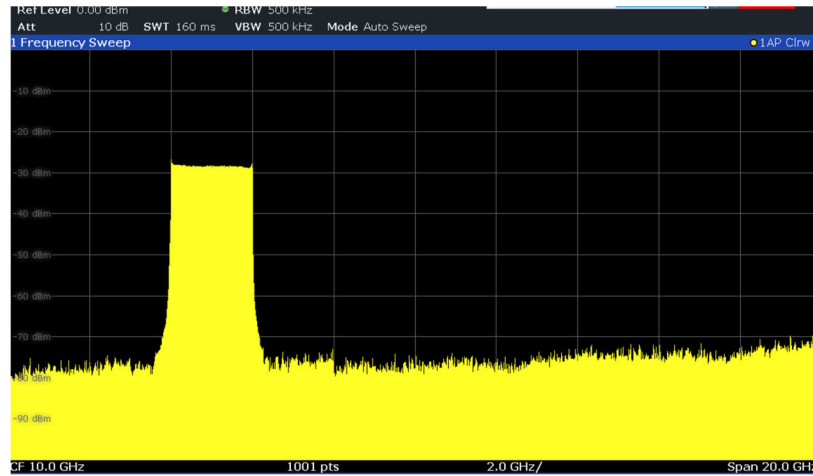


图 2-25. 20GSPS 时的 DAC 输出 CHA 频谱，JMODE 1，4 倍插值

DACA 获取经过调制的 LFM 线性调频脉冲。上图显示了一个完整的 20GHz 跨度（两个奈奎斯特区域）。DES2XL 模式提供了第二种奈奎斯特图像抑制。

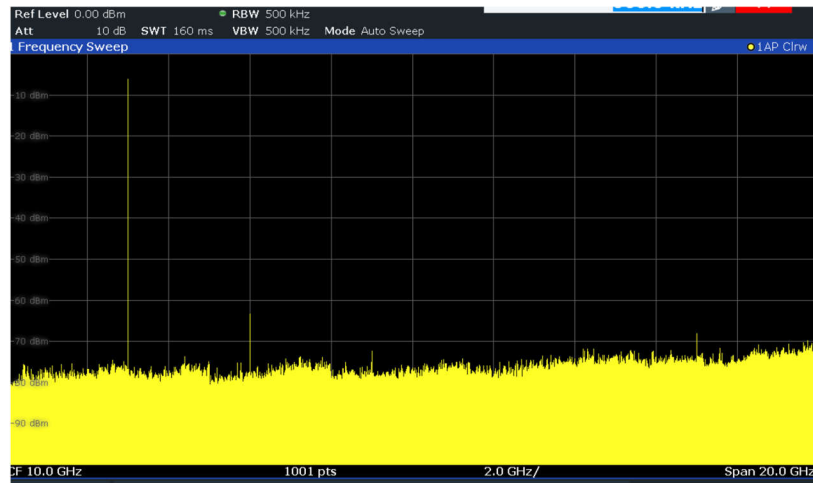
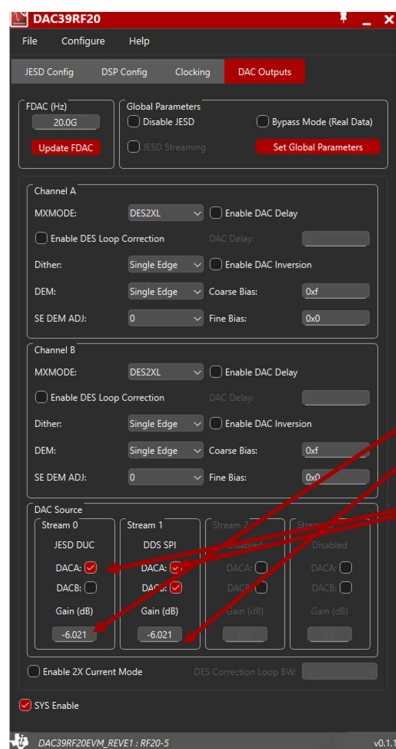


图 2-26. 20GSPS 时的 DAC 输出 CHB 频谱，JMODE 1，4 倍插值

DACB 通过 DDS 生成单个 3GHz 音调。上图显示了一个完整的 20GHz 跨度（两个奈奎斯特区域）。DES2XL 模式提供了第二种奈奎斯特图像抑制。



1. Set each DSP Gain to ~-6dB. Type in -6 and press "Enter" The GUI will find the closest value. Backing off by 6dB or greater will prevent oversaturation as two streams are being combined.

2. Setup both streams to go to DACA. Stream 1 is still going to DACB.

图 2-27. JMODE 1 下在单个 DAC 输出中包含多路数据流的 DAC39RF20 GUI 示例

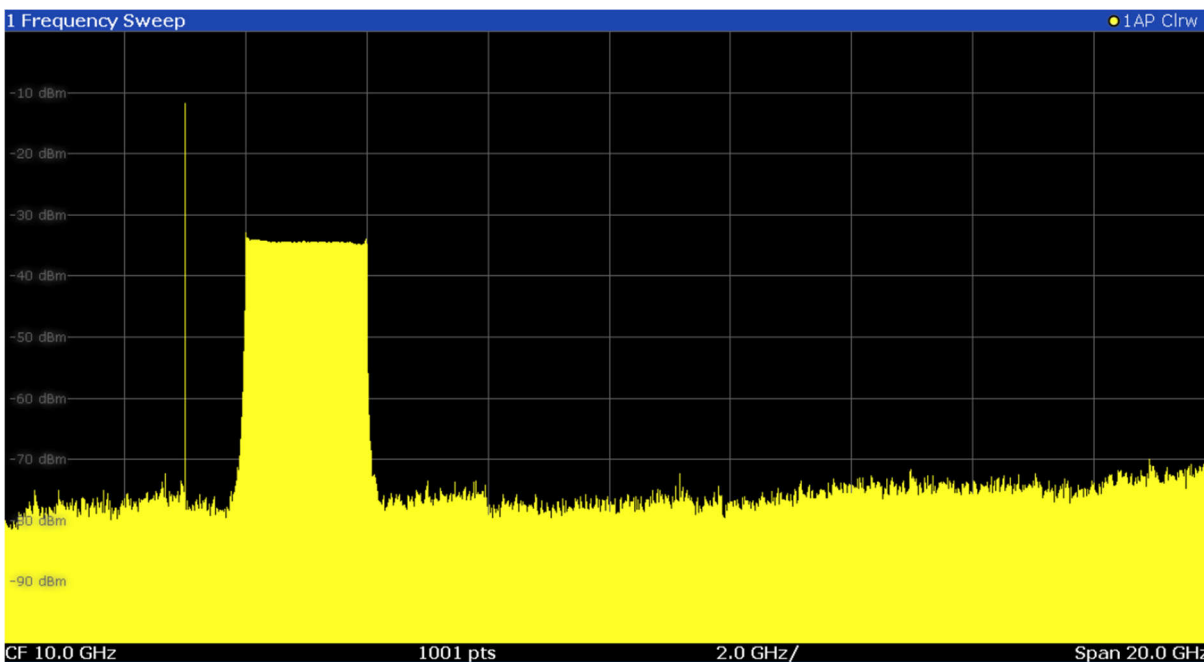


图 2-28. 两路 JMODE 1 数据流都发送到 DACA 输出的示例频谱

单个 DACA 输出上同时存在单音和 2GHz 调制 LFM。配置后，所有四路数据个流可以映射到一个 DAC 或两个 DAC。

2.1.10 DDS 模式下的 DAC39RF20EVM 配置示例

1. 启用 DDS 模式配置的详细信息：
 - a. 20GSPS
 - b. DDS 模式不需要参考时钟
 - c. DDS 模式不需要 TSW14J59EVM

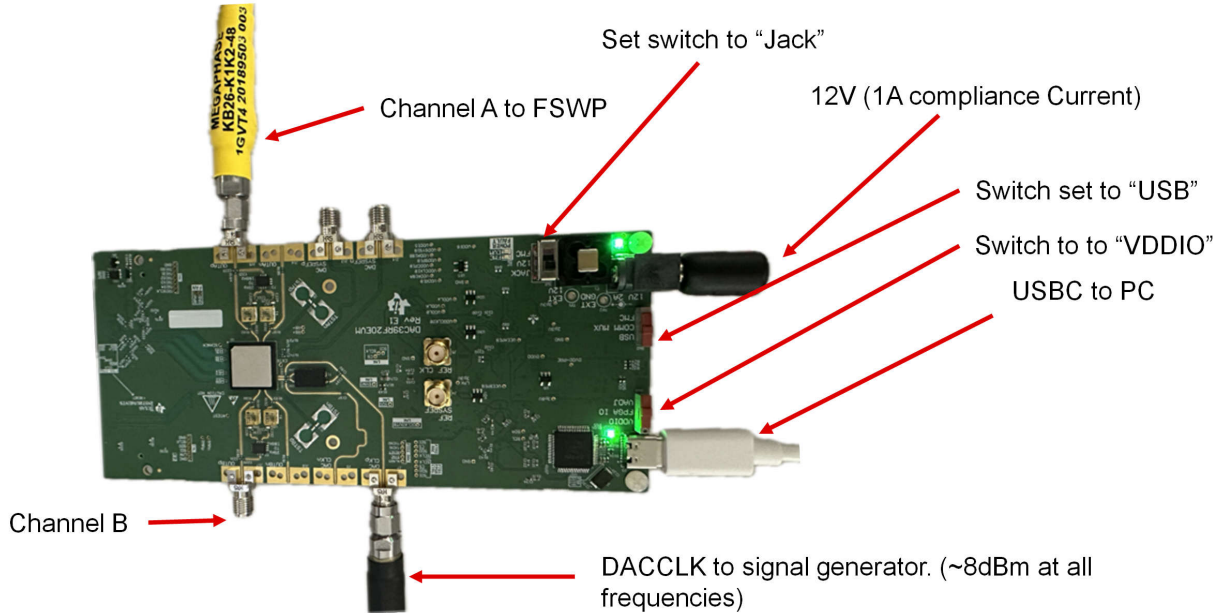


图 2-29. DDS 模式下的 DAC EVM 设置

2. 启动 DAC GUI 后，按照以下图中的步骤操作。

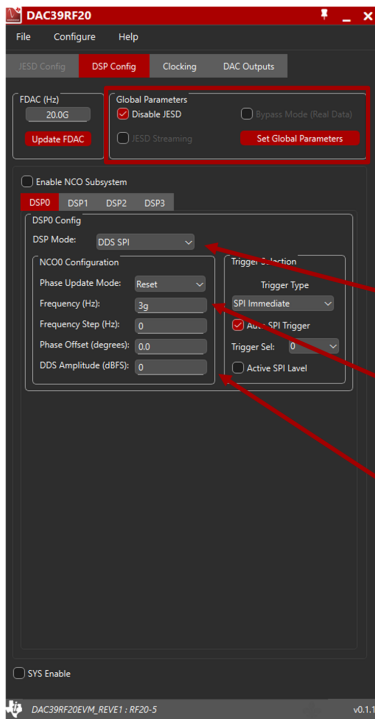
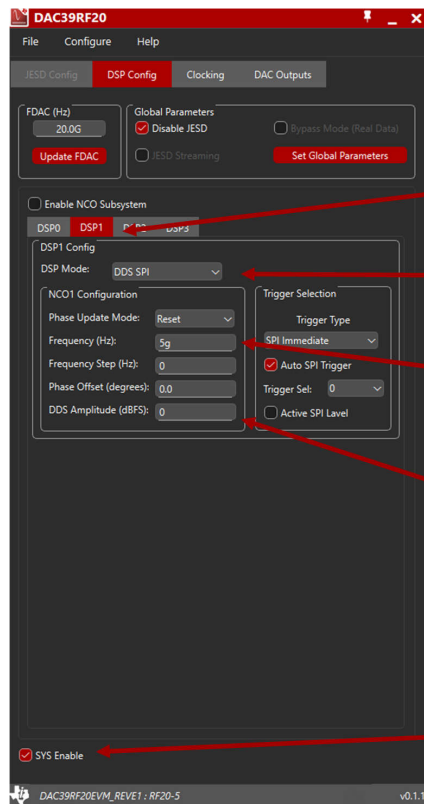


图 2-30. DDS 模式的 EVM GUI 配置 - “DSP Config” 选项卡



1. Select the “DSP1” Tab.

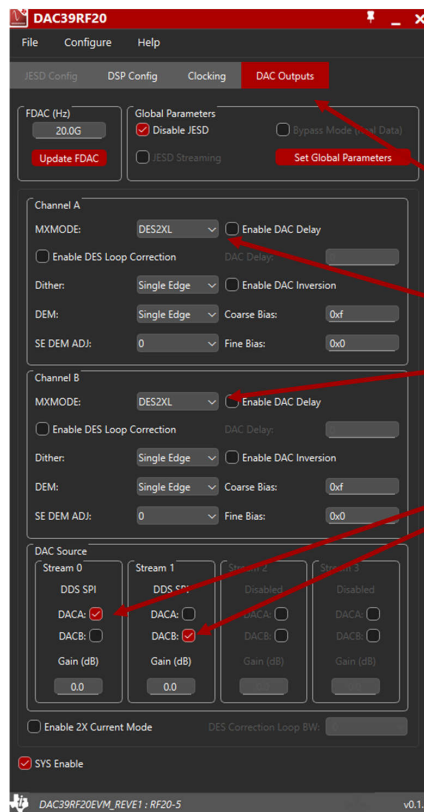
2. Change the DSP Mode to DDS SPI.

3. Enter NCO Frequency. 5GHz is being used for this example. Once the Frequency is entered just press “Enter” (“Auto SPI Trigger” should be selected).

4. Enter DDS Amplitude. 0dBFS is being used for this example to make it full scale. One can back this off with the DSP gain later. Once the amplitude is entered just press “Enter” (“Auto SPI Trigger” should be selected).

5. Enable SYS_EN. This can be done at anytime. The DAC API behind the scenes disables SYS_EN and re-enables it any time a device parameter is updated that needs SYS_EN turned off.

图 2-31. DDS 模式的 EVM GUI 配置 - “DSP Config” 选项卡



1. Select the “DAC Outputs” Tab.

2. Change the MXMODE to DES2XL for DACA and DACB. This is ideal for 1st Nyquist mode operation.

3. Setup DAC Source for DACA and DACB. In this example Stream 0 is being sent to DACA and Stream 1 is being sent to DACB

图 2-32. DDS 模式的 EVM GUI 配置 - “DAC Outputs” 选项卡

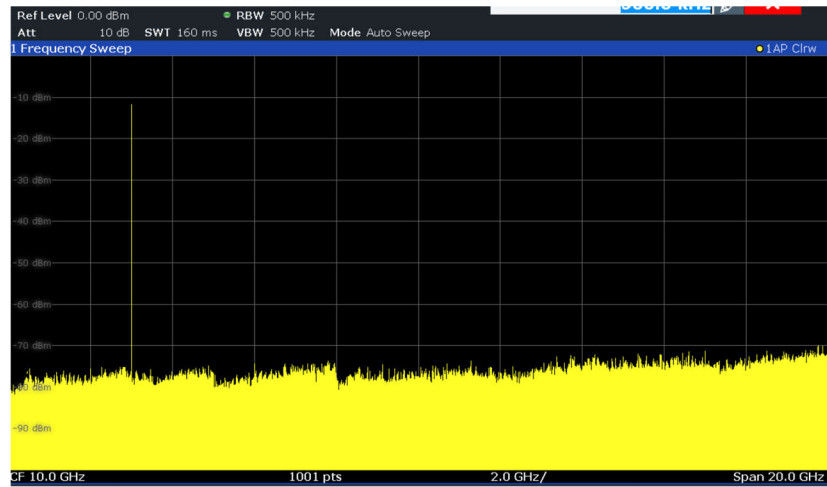


图 2-33. DACA 输出获取 DDS0 流

上图显示了一个完整的 20GHz 跨度 (两个奈奎斯特区域)。DES2XL 模式提供了第二种奈奎斯特图像抑制。

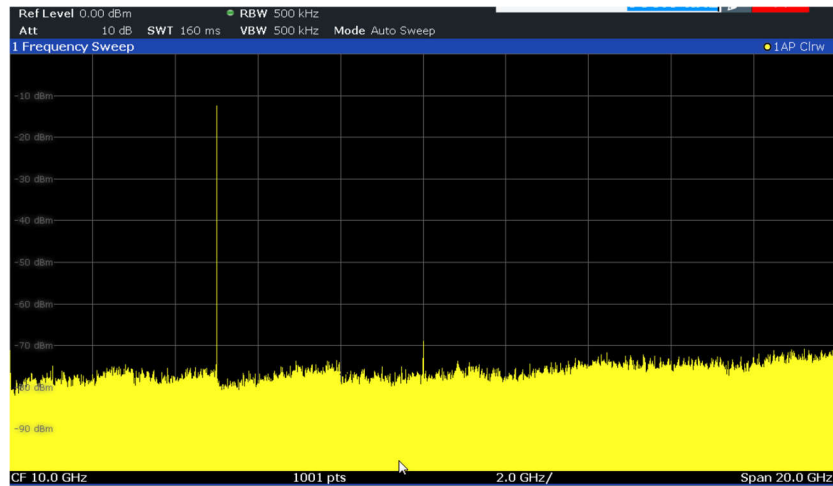
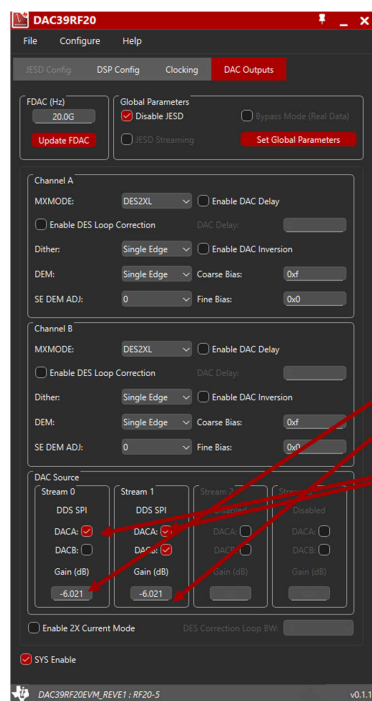


图 2-34. DACB 输出获取 DDS1 流

上图显示了一个完整的 20GHz 跨度 (两个奈奎斯特区域)。DES2XL 模式提供了第二种奈奎斯特图像抑制。

按如下所示更新 “DAC Outputs” 选项卡。



1. Set each DSP Gain to **~-6dB**. Type in -6 and press “Enter” The GUI will find the closest value. Backing off by 6dB or greater will prevent oversaturation as two streams are being combined.

2. Setup both streams to go to **DACA**. Stream 1 is still going to DACB.

图 2-35. 在单个 DAC 输出中包含多路数据流的 DAC39RF20 GUI 示例

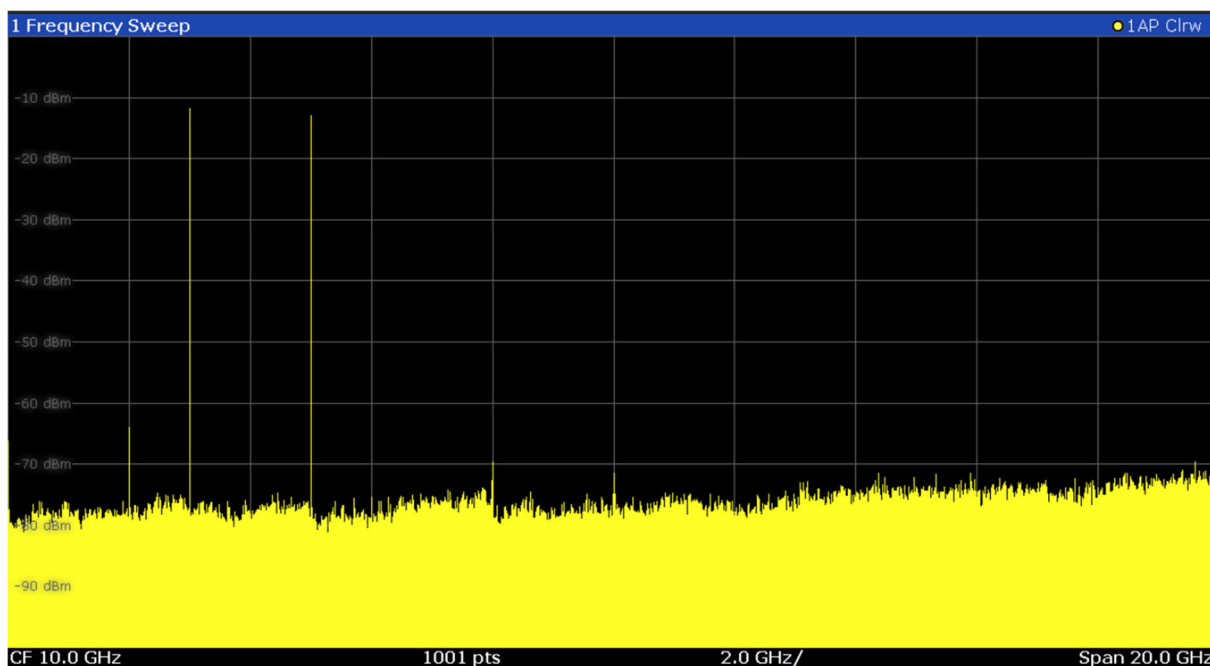


图 2-36. 两路 DDS 数据流都发送到 DACA 输出的示例频谱

备注

配置后，所有四路数据个流可以映射到一个 DAC 或两个 DAC。

2.2 评估板详细信息：模拟输出

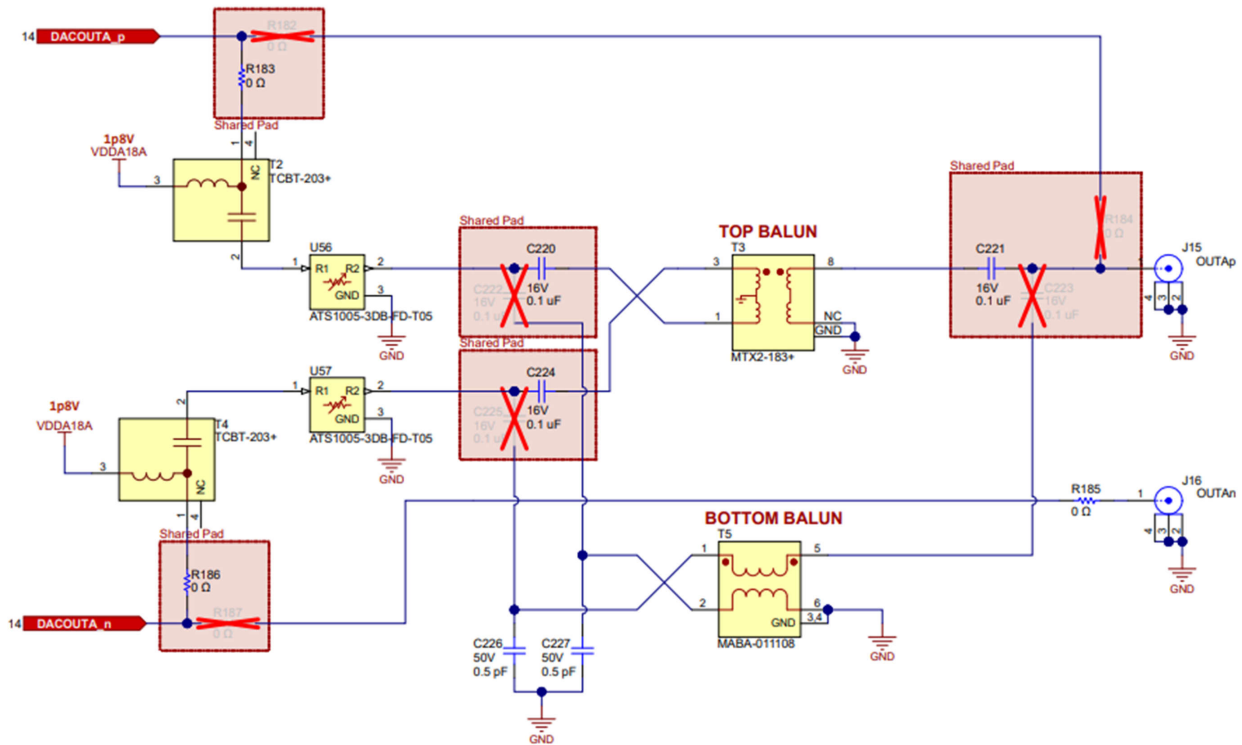
模拟输出路径可配置为高频路径（来自 Mini-Circuits 的 MTX2-183+ 平衡-非平衡变压器）和低频路径（来自 Macom 的 MABA-011108）。在 CHA 和 CHB 上默认采用高频路径，低频路径需要对元件进行一定的修改。请参阅表 2-2。

每个模拟输出路径还能够完全旁路两个平衡-非平衡变压器选项，并允许用户以差分方式访问输出。要启用此功能，必须更改某些元件。请参阅表 2-3。

表 2-2. 更改元件以修改 DAC EVM 输出路径

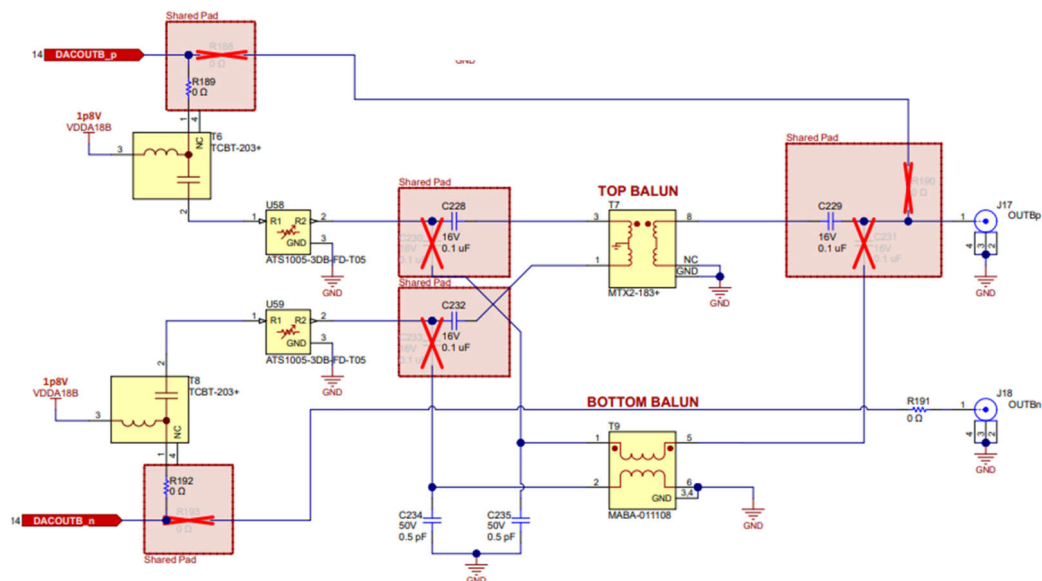
DAC 输出通道	要移除的元件	要安装的元件
CHA - 单端 (MABA-011108)	C220、C224、C221	C222、C225、C223 = 0.1μF
CHA - 差动 (平衡-非平衡变压器旁路)	R183、R186	R182、R184、R187 = 0 Ω
CHB - 单端 (MABA-011108)	C228、C229、C232	C230、C231、C233 = 0.1μF
CHB - 差动 (平衡-非平衡变压器旁路)	R189、R192	R168、R190、R193 = 0 Ω

每个模拟输出路径的每个输出 P/N 引脚上都有一个宽带偏置 T，以便在 DAC 支持的带宽范围内对输出进行适当偏置。



A. DACA 输出级。默认情况下，该通道使用 MTX2-183+ 平衡-非平衡变压器（2GHz 至 18GHz）。

图 2-37. 模拟输出路径 - CHA



A. DACB 输出级。默认情况下，该通道使用 MTX2-183+ 平衡-非平衡变压器（2GHz 至 18GHz）。

图 2-38. 模拟输出路径 - CHB

2.3 FMC 信号路由

表 2-3 提供了 DAC39RF20EVM 的信号路由详细信息。

所有信号路由均由具有内部 JESD 纵横制功能的 DAC 处理。

DAC39RF20EVM GUI 内的 JESD 纵横制开关对话框也具有该功能。

表 2-3. 信号路由

DAC JESD 资源	反转	FMC 资源	FMC 引脚	TSW14J59 FPGA 资源
通道 9	是	DP0_C2M	C2、C3	Q224 MGTYTXN0
通道 11	是	DP1_C2M	A22、A23	Q224 MGTYTXN1
通道 15	是	DP2_C2M	A26、A27	Q224 MGTYTXN2
通道 5	是	DP3_C2M	A30、A31	Q224 MGTYTXN3
通道 3		DP4_C2M	A34、A35	Q225 MGTYTXN0
通道 0	是	DP5_C2M	A38、A39	Q225 MGTYTXN1
通道 1	是	DP6_C2M	B36、B37	Q225 MGTYTXN2
通道 2	是	DP7_C2M	B32、B33	Q225 MGTYTXN3
通道 7	是	DP8_C2M	B28、B29	Q226 MGTYTXN0
通道 13	是	DP9_C2M	B24、B25	Q226 MGTYTXN1
通道 12	是	DP10_C2M	Z24、Z25	Q226 MGTYTXN2
通道 14	是	DP11_C2M	Y26、Y27	Q226 MGTYTXN3
通道 6	是	DP12_C2M	Z28、Z29	Q227 MGTYTXN0
通道 4	是	DP13_C2M	Y30、Y31	Q227 MGTYTXN1
通道 10	是	DP20_C2M ⁽¹⁾	Z8、Z9	Q227 MGTYTXN2
通道 8	是	DP21_C2M ⁽¹⁾	Y6、Y7	Q227 MGTYTXN3

(1) DP20_C2M 和 DP21_C2M 可重新路由至 DP14_C2M 和 DP15_C2M，以符合其他 FPGA 板的 VITA 标准。

3 硬件设计文件

设计文件可从 TI.com 上的 [DAC39RF20EVM](#) 工具页面下载。

4 其他信息

4.1 商标

Xilinx™ and Vivado™ are trademarks of Xilinx, Inc.

USB-C® is a registered trademark of USB Implementers Forum.

Microsoft® and Windows® are registered trademarks of Microsoft Corporation.

所有商标均为其各自所有者的财产。

重要通知和免责声明

TI“按原样”提供技术和可靠性数据（包括数据表）、设计资源（包括参考设计）、应用或其他设计建议、网络工具、安全信息和其他资源，不保证没有瑕疵且不做任何明示或暗示的担保，包括但不限于对适销性、某特定用途方面的适用性或不侵犯任何第三方知识产权的暗示担保。

这些资源可供使用 TI 产品进行设计的熟练开发人员使用。您将自行承担以下全部责任：(1) 针对您的应用选择合适的 TI 产品，(2) 设计、验证并测试您的应用，(3) 确保您的应用满足相应标准以及任何其他功能安全、信息安全、监管或其他要求。

这些资源如有变更，恕不另行通知。TI 授权您仅可将这些资源用于研发本资源所述的 TI 产品的相关应用。严禁以其他方式对这些资源进行复制或展示。您无权使用任何其他 TI 知识产权或任何第三方知识产权。您应全额赔偿因在这些资源的使用中对 TI 及其代表造成的任何索赔、损害、成本、损失和债务，TI 对此概不负责。

TI 提供的产品受 [TI 的销售条款](#) 或 [ti.com](#) 上其他适用条款/TI 产品随附的其他适用条款的约束。TI 提供这些资源并不会扩展或以其他方式更改 TI 针对 TI 产品发布的适用的担保或担保免责声明。

TI 反对并拒绝您可能提出的任何其他或不同的条款。

邮寄地址：Texas Instruments, Post Office Box 655303, Dallas, Texas 75265
版权所有 © 2025，德州仪器 (TI) 公司