

EVM User's Guide: ADC34RF72

ADC3xRF72 评估模块



说明

ADC3xRF72EVM 是一款用于评估 ADC34RF7x 系列高速 ADC 的评估模块 (EVM)。ADC3xRF72EVM 组装了一个 ADC3xRF72。ADC3xRF72 是一款具有 JESD 接口的 16 位四通道 ADC，可在高达 1.5GSPS 的采样速率下运行。ADC3xRF72EVM 可用于评估所有器件速度等级和通道数量。

开始使用

1. 从 ti.com 订购 EVM (ADC3xRF72EVM)。
2. 下载数据表的最新版本 (SBASAL0)。
3. 下载最新版本的软件。
4. 从 EVM (ADC3xRF72) 的工具页面下载全面的参考设计文件。

特性

- 噪声频谱密度：-164.2dBFS/Hz

- 全功率输入带宽 (-3dB)：1.8GHz
- 功耗：0.95W/通道 (1.5GSPS)
- 八个数字降压转换器，可配置为单频带、双频带和八频带配置。支持实数和复数抽取，因子从 /2、/3、/5 到最高 32768。
- 48 位 NCO 相位同调跳频
- 串行 JESD 接口支持高达 24.75Gbps 的通道速率
- 多项集成的 DSP 功能，例如 96 抽头/通道 PFIR 均衡器和分数延迟滤波器

应用

- 相控阵雷达
- 晶圆检查
- 频谱分析仪
- 软件定义无线电 (SDR)
- 电子战
- 高速数字转换器
- 电缆基础设施
- 通信基础设施



ADC3xRF72EVM

1 评估模块概述

1.1 简介

ADC3xRF72EVM 用于评估 ADC3xRF72 高速 ADC。该 EVM 配置为接收外部单端模拟输入，因为该 EVM 利用板载平衡-非平衡变压器进行单端到差分转换。ADC 采样时钟来自外部，并且为单端信号，该 EVM 还利用板载平衡-非平衡变压器来进行 ADC 采样时钟的单端到差分转换。为采集数据，ADC3xRF72EVM 与 TSW14J58EVM 配对使用。TSW14J58EVM 是一款基于 FPGA 的数据采集卡，配备 AMD Kintex UltraScale FPGA。由 FPGA 采集的 ADC 数据随后传输到 PC，并显示在 High Speed Data Converter Pro 采集软件中。本用户指南描述了 ADC3xRF72 评估模块 (EVM) 的特性、操作和使用。

1.2 套件内容

| 条目 | 说明 | 数量 |
|----------------------|----------|----|
| ADC3xRF72EVM | PCB | 1 |
| Mini - USB Type X 电缆 | 电缆 | 1 |
| JTAG-HS2 编程软件狗 | 软件狗和电缆组件 | 1 |
| 12V 插孔电源线 | 电缆 | 1 |

1.3 规格

ADC3xRF72 的规格请参阅器件特定的数据表 *ADC3xRF72 四通道 16 位 1.5GSPS 射频采样数据转换器数据表 (SBASAL0)*。

1.4 器件信息

ADC3xRF72 EVM 配置为接收外部单端模拟输入，因为该 EVM 包含用于单端到差分转换的平衡-非平衡变压器。ADC 采样时钟也来自外部，并且是单端信号。如需更多详细信息，ADC3xRF72 的器件信息请参阅器件特定的数据表 *ADC3xRF72 四通道 16 位 1.5GSPS 射频采样数据转换器数据表 (SBASAL0)*。

2 硬件和软件设置

本节介绍评估 ADC3xRF72 EVM 的完整性能所需的硬件。

2.1 电路板概述

图 2-1 重点介绍了评估所需电路板的一些主要特性。

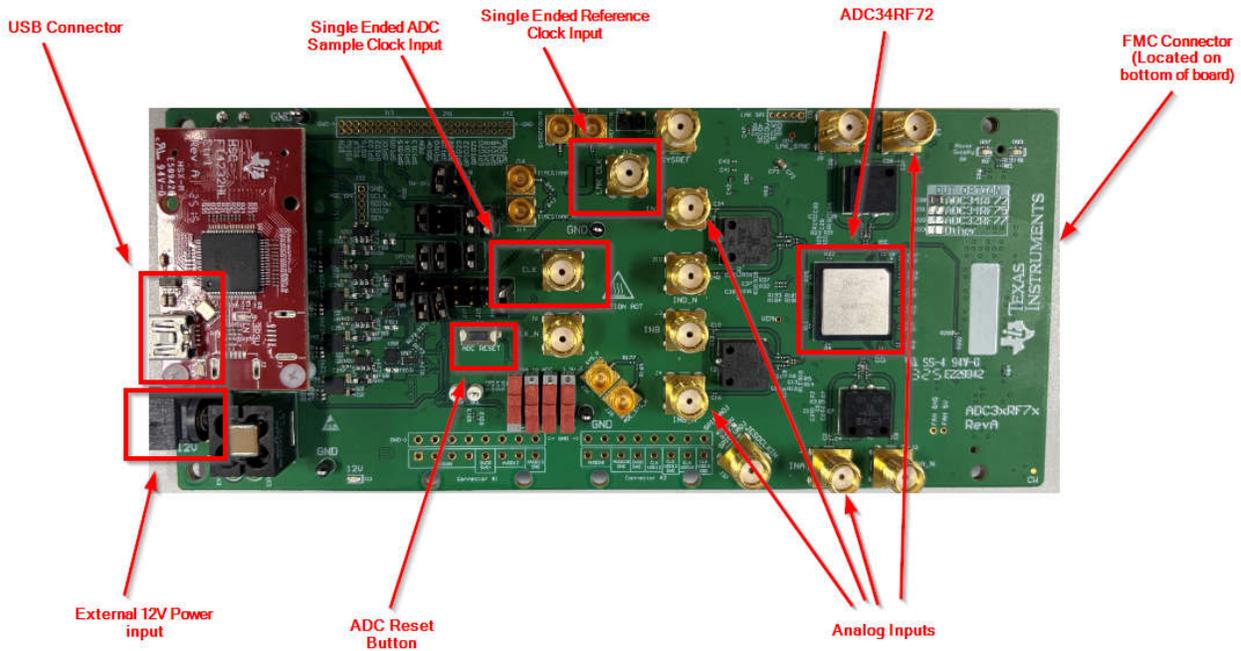


图 2-1. ADC3xRF72EVM 特性

2.2 所需设备

除了节 1.2 一节中详细介绍的设备外，EVM 套件中不包含以下设备，但需要使用这些设备才能进行正确评估。

- 用于从 ADC 采集数据的 TSW14J58EVM FPGA 采集卡以及根据 TSW14J58EVM 用户指南 [TSW14J58EVM](#) 进行操作所需的一切资源。
- High-Speed Data Converter Pro 软件 (HSDC Pro) [High Speed Data Converter Pro](#)
- GSPS FPGA SERVER [GSPS FPGA SERVER 下载链接](#)
- 一个能够提供 5A 电流的 12V 电源
- 至少两个低噪声信号发生器，用于提供 ADC 采样时钟和 ADC 模拟输入。TI 建议使用以下信号发生器之一：
 - Rohde and Schwarz SMA100A
 - Rohde and Schwarz SMA100B
- 还需要一个性能较低的信号发生器作为 ADC 的参考时钟：
 - 该时钟不会影响 ADC 性能，仅用于实现功能。
- 用于采样时钟和模拟输入的带通滤波器。建议使用具有窄通带（在所需带宽的 5%-15% 范围内）和超小插入损耗的滤波器。
- 用于连接输入的 SMA 电缆

默认情况下，EVM 配置为提供外部参考时钟，可以对电路板进行可选修改，从而仅允许向 ADC EVM 提供单个时钟。这些修改已在节 5.2 中说明

2.3 所需软件安装

本节将详细介绍 ADC3xRF72 EVM 所有必要的软件安装。要正常运行 ADC，必须安装以下软件。

2.4 安装所需 TI 软件

- ADC3xRF72 EVM GUI

此软件用于将 ADC 和时钟芯片正确编程为所需的运行模式，以便评估 ADC。有关 EVM [ADC3xRF7x EVM GUI 下载](#)，请参阅 Ti.com 产品页面

- High Speed Data Converter Pro (HSDC Pro)

此软件用于对 ADC 采集的信号进行实时绘制和分析，从而对 ADC 进行简单快速的评估。最低要求版本为 5.2，如果用户已安装符合要求的版本，则可以跳过此步骤。[High Speed Data Converter Pro 下载](#)

- GSPS FPGA SERVER

此软件用于连接 TSW14J58EVM 采集卡和 ADC EVM GUI 软件并进行控制。其用于将采集卡编程为所需的运行模式，以及处理从高速 ADC 收集的所有数据。[GSPS FPGA SERVER 下载链接](#)

2.5 安装第三方软件

除了 TI 提供的软件之外，评估 ADC 还需要一些其他软件包。

- 适用于 Windows 的 Vivado 2019.1 64 位 Hardware Server :

- 此软件是与 FPGA 通信所必需的，可用于配置 FPGA 采集软件。
- 可从 AMD Xilinx 网站进行安装。该软件无需许可证，但需要一个 AMD Xilinx 帐户才能安装。
- 建议使用版本 2019.1，因为该版本是满足要求的最小安装大小。
- 如果用户 PC 已有某个版本的 Vivado、Vivado Lab 工具或等效软件，则可以跳过此步骤。
- 还需要将 Xilinx Hardware Server 添加到系统路径中，此操作可以通过执行节 2.6 一节中的步骤来完成。

- FT_Prog FTDI 软件 :

- 此软件是一款可选的软件程序，但对于检查 USB 句柄名称是否正确以及序列号是否有效非常有用
- 可从 FTDI 网站进行安装

2.6 软件环境设置

必须将 Vivado Lab bin 添加到 PATH 系统环境变量。根据 Vivado Lab 的安装位置和安装版本，bin 文件夹的路径通常如下所示：C:\Xilinx\Vivado_Lab\2023.1.1\bin

图 2-2 显示将 Vivado Lab 工具添加到环境变量路径的过程。

要验证是否已成功完成此操作，请在命令提示符下键入命令“xsdb”，将显示一条消息，指示“Xilinx 系统调试程序”已启动。

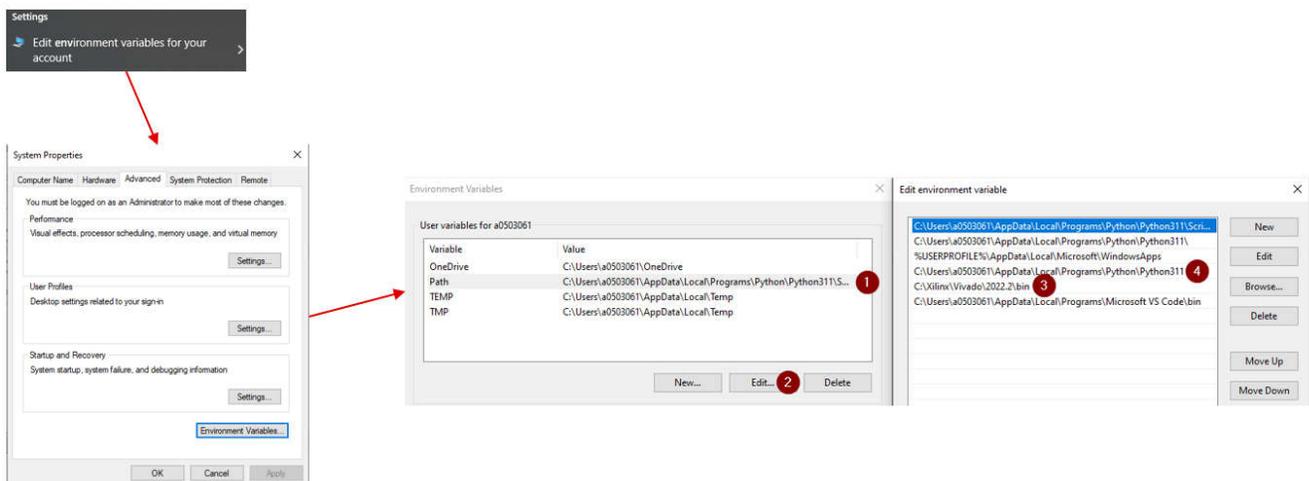


图 2-2. 环境路径示例

2.7 硬件设置和连接

本节介绍所有必要的硬件和连接。

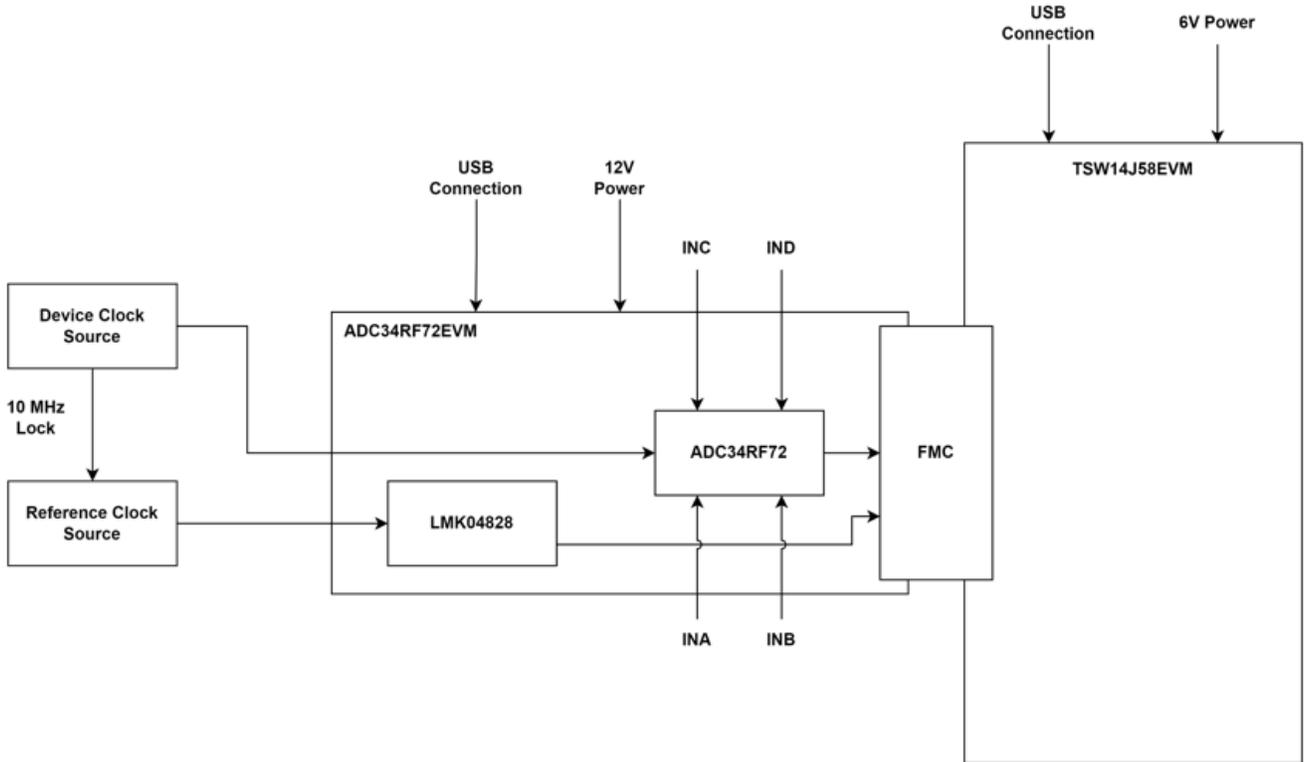


图 2-3. 硬件连接方框图

2.8 ADC3xRF72 EVM 连接

本节按顺序介绍 ADC3xRF72 EVM 上所有必要的连接。此时，所有电源和信号发生器都必须断电。

1. 将 USB mini 连接器连接到 FTDI 子卡。
 - a. 连接后，子卡上的 LED D1 应呈绿色亮起，否则，该子卡可能已损坏并需要进行检查。
2. 将低噪声信号发生器连接到 SMA 连接器 J5 (在 EVM 上标记为 CLK)，这将用作 ADC 的高速采样时钟。
 - a. 将信号发生器设置为所需的 ADC 采样速率，并将输出功率设置为 9dBm。
 - b. 连接后，信号发生器必须处于关闭状态。
3. 将低噪声信号发生器连接到 SMA 连接器 J12 (在 EVM 上标记为 LMK CLK)，这将用作 ADC EVM 的参考时钟源。
 - a. 将信号发生器设置为匹配器件的采样速率，并将输出功率设置为 9dBm。
 - b. 连接后，信号发生器必须处于关闭状态。
4. 将低噪声信号发生器连接到 SMA 连接器 J1 (在 EVM 上标记为 INA)，这将用作 ADC 通道 A 的模拟输入信号。
5. 将 12V 5A 连接到圆筒形插头 J31。
6. 将连接到 EVM 的所有信号发生器上电。
7. 验证所有信号发生器均已彼此锁相。

为了获得最佳性能，TI 建议对 ADC 时钟输入信号和 ADC 模拟输入信号使用带通滤波器，这有助于限制外部噪声对 ADC 的干扰。

EVM 上有多个跳线和开关，可实现高级控制和扩展功能。有关更多信息，请参阅节 2.11。要使 EVM 默认运行，开关和跳线必须采用以下配置：

- J19 已安装：从板载 DVDD09 电源轨为 DVDDMEM09 ADC 电源轨供电
- J20 安装在第二个选项上：安装会将 GPIOVDD 电平设置为 1.8V
- J24 已安装：安装会将 ADC 和 LMK SPI 控制设置为来自 USB (通过 FTDI 芯片)
- J25 未安装：将 GPIO0、GPIO1 和 PDN-ADC 设置为来自 FPGA (通过 FMC 连接器)
- J26 已安装：将 GPIO 的范围设置从 USB 获得
- J27 已安装：将 GPIO 的范围设置从 USB 获得
- J30 已安装：控制电平位移方向
- J34 已安装：选择由板载 LMK04828 器件提供的 FPGA 收发器参考时钟
- J38 未安装：选择来自 LMK04828 器件的 ADC SYSREF 信号源
- J40 已安装：选择来自板载 LMK04828 器件的 ADC JESDCLKIN 输入
- J45 已安装：选择要通过 USB 触发的 ADC 硬件复位信号
- SW2 UP
- SW3、4、6 DOWN

2.9 TSW14J58 数据采集卡连接

本节介绍 TSW14J58 采集卡的所有硬件连接。

1. 将 6V 4A 的电源连接到圆筒形插头 J2 (采集卡上标记为 PWRIN)。
2. 验证电源开关是否处于“打开”位置。
3. 将 JTAG 调试软件狗连接到标有 JTAG 的引脚接头。
4. 将 ADC EVM 连接到 FMC 连接器。

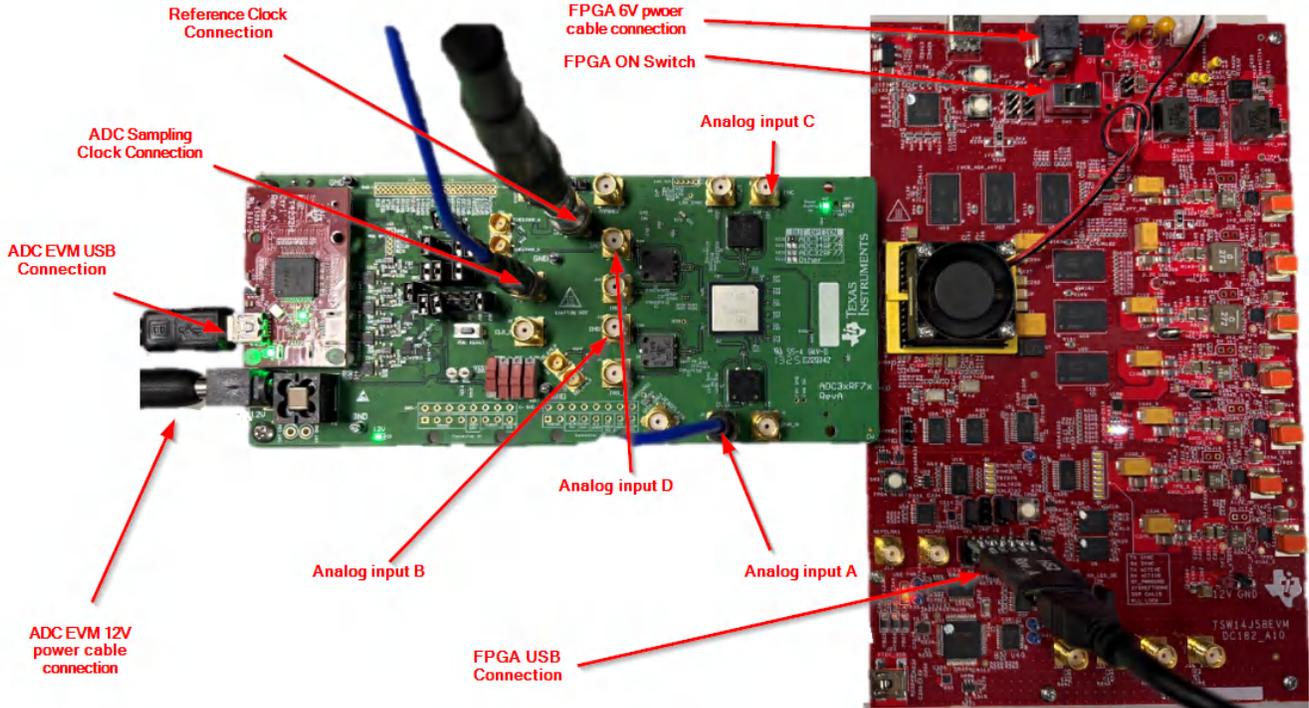


图 2-4. HW 设置示例

2.10 调试 LED

本节详细介绍 EVM 上的所有调试 LED，以验证硬件是否正常工作。

| LED 编号 | | 说明 |
|--------|--|---------------|
| D2 | | EVM 上所有电源轨均正常 |
| D3 | | EVM 上的 12V 电源 |

2.11 EVM 跳线和开关

表 2-1 详细介绍 EVM 上的所有跳线和开关及其功能。

表 2-1. 跳线和开关及其功能

| 跳线名称 | 功能 |
|---------|---|
| J19 | DVDDMEM09 源。已安装继承自 DVDD09 导轨，未安装由外部供电。 |
| J20 | 在 GPIOVDD 电平之间切换 (1.8V 或 1.2V) |
| J24 | 控制从 USB 或 FPGA 切换 ADC 和 LMK 通信。已安装为 USB SPI，未安装为 FPGA SPI |
| J25 | 控制来自 USB 或 FMC 的开关信号 GPIO0、GPIO1 和 PDN-ADC。已安装为 USB，未安装为 FMC |
| J26+J27 | 协同工作以选择要进入 ADC 的 GPIO。请参阅原理图中的真值表。 |
| J30 | USB GPIO 方向，控制 USB -> ADC 电平位移的电平移位器。影响信号 RSTb_ADC_FT、PDN-ADC_FT、GPIO_MUX0_FT、GPIO_MUX1_FT。已安装为 ADC 至 USB，未安装为 USB 至 ADC。 |

表 2-1. 跳线和开关及其功能 (续)

| 跳线名称 | 功能 |
|------|---|
| J34 | MGTREFCLK0 选择多路复用器, 用于选择 FPGA JESD xcvr 参考时钟来源, 已安装为 lmk, 未安装为 ADC |
| J38 | ADC SYSREF 输入多路复用器, 已安装 sysref 来自外部 smp 连接器, 未安装 sysref 来自板载 lmk04828 |
| J40 | JESDCLKIN 多路复用器, 已安装 JESDCLKIN 来自 LMK, 未安装则来自外部 sma 连接器 |
| J45 | ADC 硬件复位输入多路复用器, 已安装硬件从 USB 复位, 未安装硬件从 FMC 复位 |
| SW2 | 控制 ADC 的 GPIO0、GPIO1、GPIO14 和 GPIO15 的电平位移方向 |
| SW3 | 控制 ADC 的 GPIO20、GPIO21、GPIO22 和 GPIO23 的电平位移方向 |
| SW4 | 控制 ADC 的 GPIO16、GPIO17、GPIO18 和 GPIO19 的电平位移方向 |
| SW6 | 控制 I2C 线路的电平位移方向 |

图 2-5 显示 EVM 上不同跳线和开关的所有位置。有关功能的完整列表, 请参阅 [EVM 跳线和开关列表](#)。

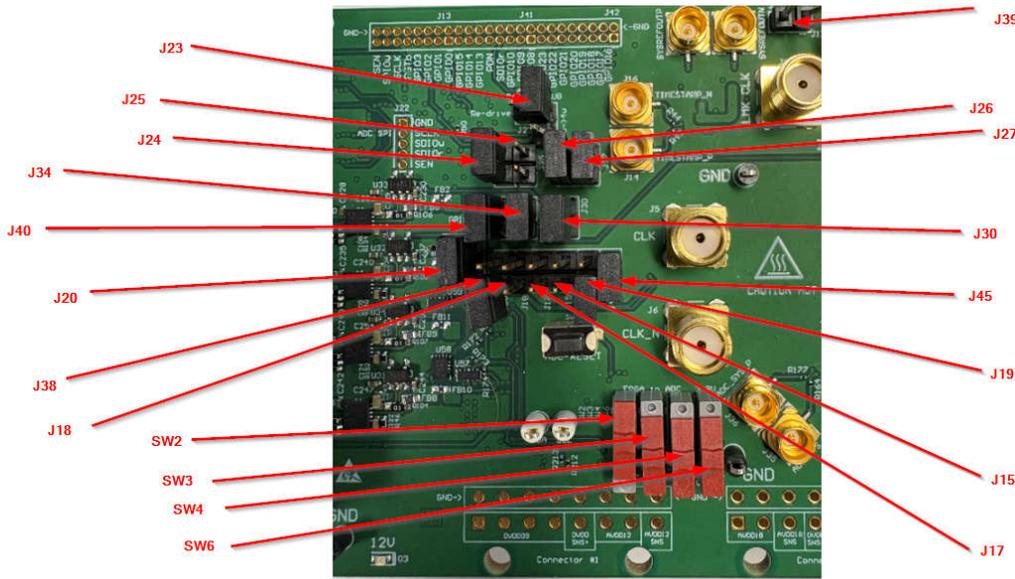


图 2-5. ADC3xRF72 EMV 跳线和开关位置

3 ADC3xRF72 EVM 配置和编程

本节详细介绍如何启动 ADC3xRF72 EVM 并将其编程, 以进入所需的运行模式。

3.1 ADC EVM 快速启动

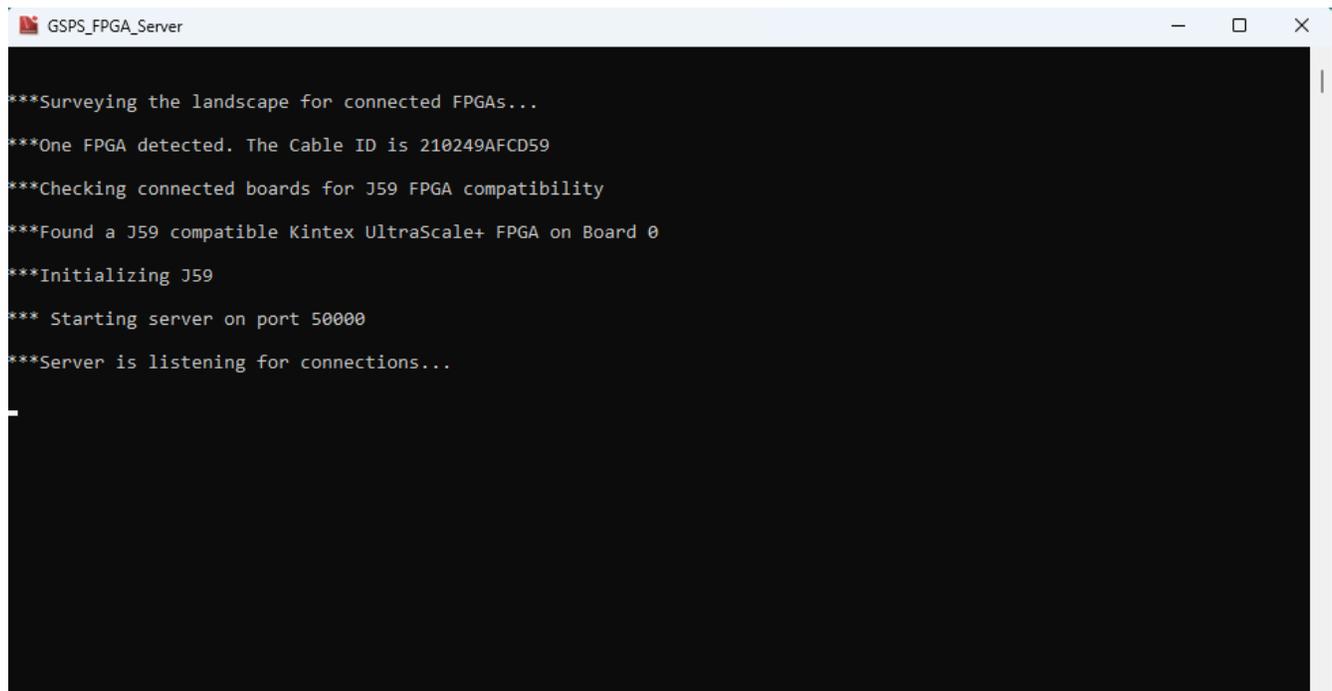
使用 ADC EVM 进行的首次测试可作为初始“快速启动”, 以验证是否存在硬件问题以及一切是否按预期运行。本节分步介绍设置、编程以及最终的信号采集和分析。本节假设已遵循节 2 一节中的步骤并完成所有必要的硬件连接, 但电源和信号发生器处于关闭状态。

3.2 为所有电路板和信号发生器上电

1. 打开 ADC3xRF72 EVM 的 12V @ 5A 电源。要验证 ADC EVM 的所有电源轨是否均已成功上电，可以检查 LED D2。如果此指示灯亮起，则表示所有电源均已成功上电。
2. 打开 TSW14J58 采集卡的 6V @ 5A 电源，并验证电源开关是否处于“打开”位置。
3. 将 ADC 时钟信号发生器设置为 1.5GHz (功率为 9dBm 时)。打开此信号发生器。
4. 将 LMK 时钟信号发生器设置为 1.5GHz (功率为 9dBm 时)。打开此信号发生器。
5. 将 ADC 输入信号发生器设置为所需的频率 (例如，使用 125MHz 的输入)，功率设置为 0dBm。

3.3 启动 GSPS FPGA Server

在开始对 ADC EVM 进行编程之前，必须首先启动 GSPS FPGA SERVER，以便进行编程和数据采集。可通过在 Windows 搜索栏中搜索 GSPS_FPGA_Server 并启动来启动该应用程序。完成此操作后，控制台窗口将显示以下消息，如图 3-1 所示。如果未看到此消息，请参阅节 4 以获得帮助。



```

GSPS_FPGA_Server
***Surveying the landscape for connected FPGAs...
***One FPGA detected. The Cable ID is 210249AFCD59
***Checking connected boards for J59 FPGA compatibility
***Found a J59 compatible Kintex UltraScale+ FPGA on Board 0
***Initializing J59
*** Starting server on port 50000
***Server is listening for connections...
  
```

图 3-1. 服务器监听连接

服务器启动后，无需直接与其互动。所有必要的通信均通过 ADC GUI 进行。

3.4 启动 High-Speed Data Converter Professional (HSDC Pro) 软件

为了进行信号绘制和分析，可使用高速数据转换专业软件。要启动，请找到该应用程序并单击“确定”。将显示空白绘图屏幕，如图 3-2 所示。与服务器类似，此应用程序可以保持后台运行，ADC GUI 可以处理所有必要的通信。



图 3-2. HSDC Pro

3.5 对 ADC 进行编程

为了进行编程，ADC3xRF72 配备一个 GUI，允许用户将 EVM 配置为所需的运行模式。在 ti.com 上的 EVM 产品页面可以找到该 GUI。启动 GUI。

备注

ADC3xRF72 EVM GUI 不支持仿真模式，必须连接物理 EVM 才能正常运行。如果在未连接 EVM 的情况下启动，则会显示以下错误消息（如图 3-3 所示）。如果 EVM 的 usb 句柄与 EVM 的预期句柄不匹配，也会显示此消息。有关调试此问题的更多详情和信息，请参阅节 4。

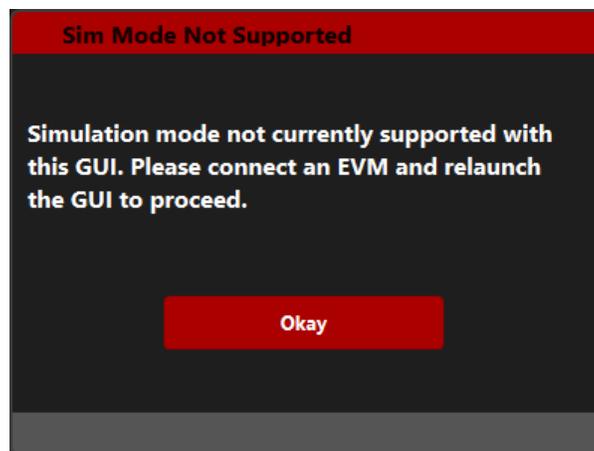


图 3-3. 不支持 Sim 模式

如果 ADC EVM 成功连接到 GUI，则如图 3-4 所示。GUI 预设为采样频率 = 1.5GHz 的默认配置，并绕过所有内部数字信号处理。如果按照节 5 中所述配置硬件，则用户只需单击“编程 ADC”，GUI 即会对 ADC、FPGA 进行编程，并尝试初始化 FPGA 链路，以便开始采集数据。可以在下面的消息控制台中监控进度。如果 ADC 成功编程，控制台中会显示消息“ADC 编程成功！”。现在，GUI 开始对 FPGA 进行编程，您可以在消息控制台中看

到调试消息，但也可以在 GUI 的 FPGA 选项卡中监控进度。如果 FPGA 成功编程且链路成功初始化，则 FPGA 选项卡中会显示以下状态。如果没有，请参阅节 4 获得进一步支持。

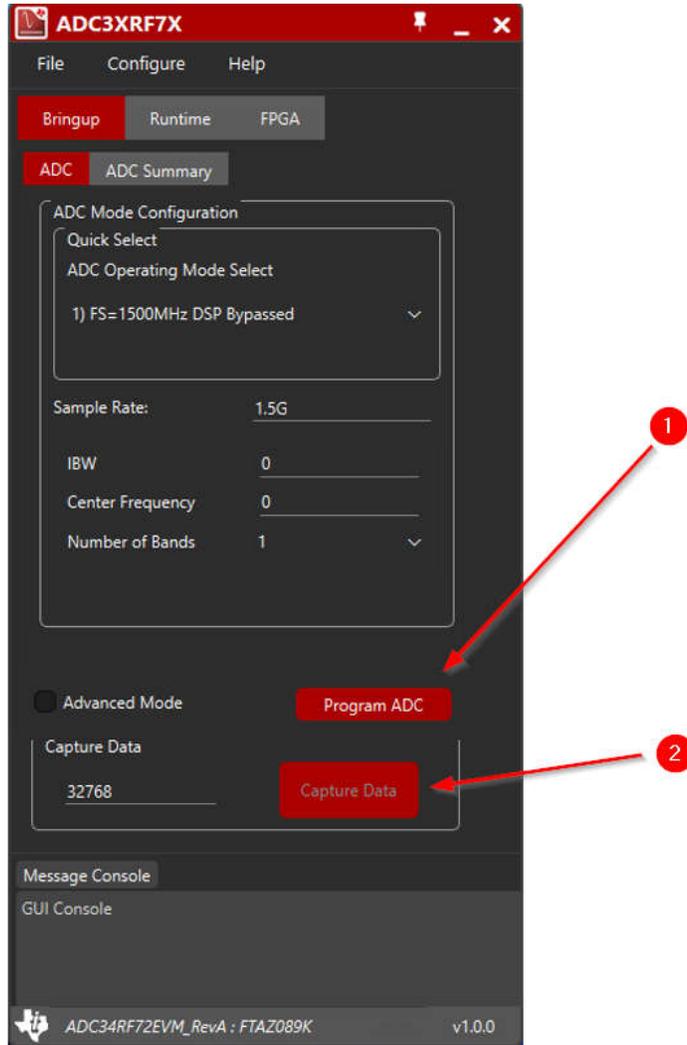


图 3-4. EVM GUI 编程 ADC

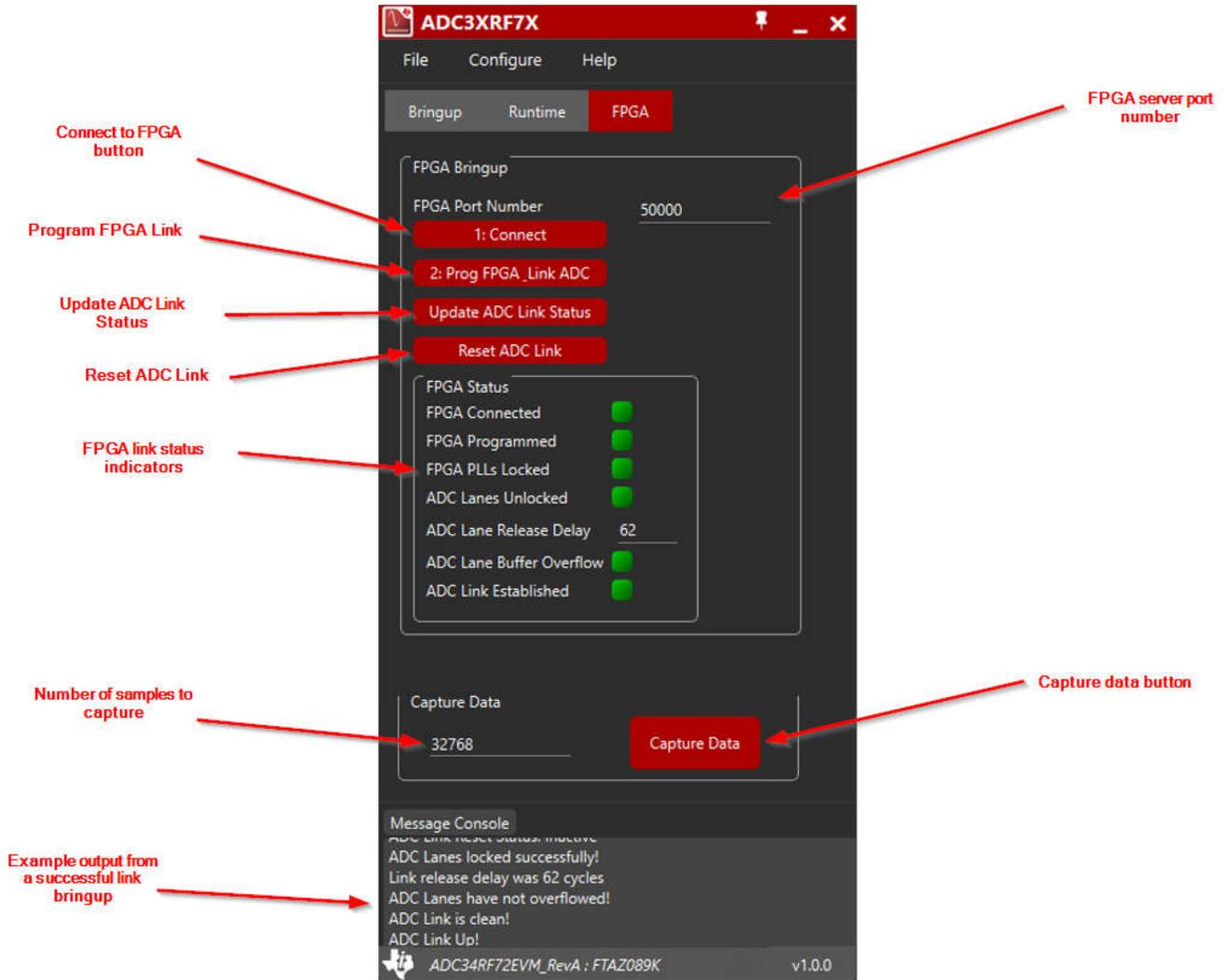


图 3-5. ADC GUI FPGA

如果状态与图中所示状态匹配，则可以在 HSDC Pro 中采集数据并绘制该数据。为此，请按下 ADC GUI 中的“采集数据”按钮。生成的数据可以在 HSDC Pro 中看到，如图 3-6 所示。

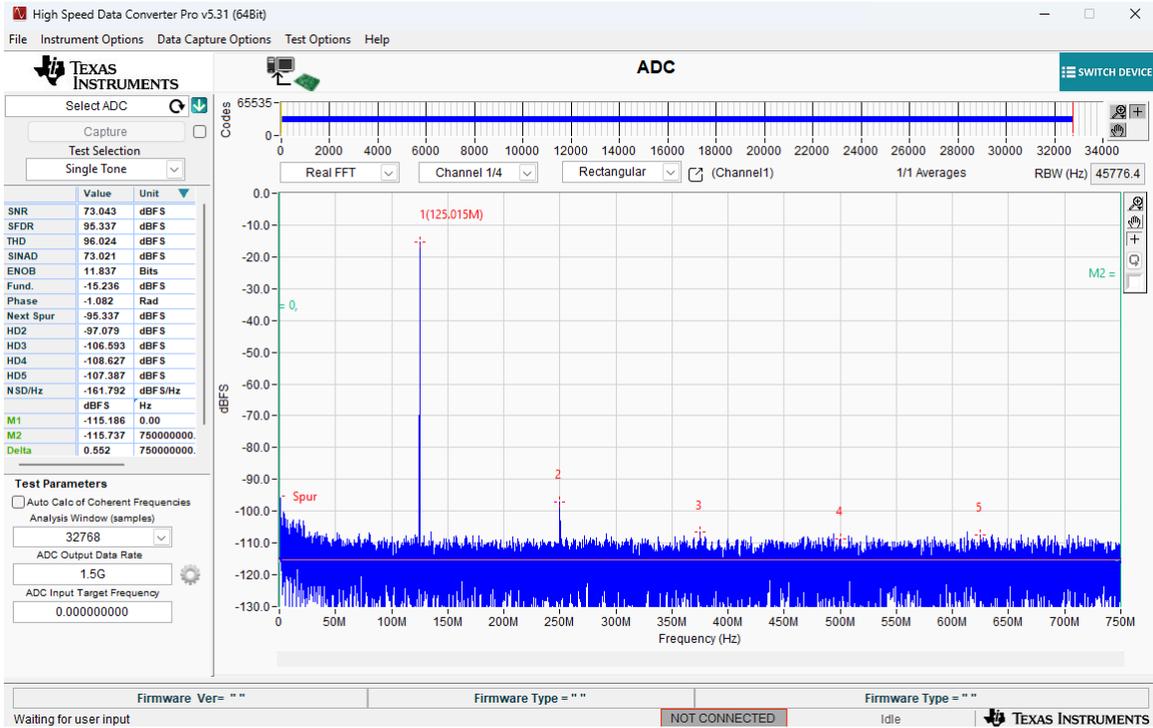


图 3-6. FFT 输出频谱示例

3.6 快速启动模式

除了上述默认模式之外，“FS=1500MHz DSP 旁路” GUI 还附带许多预构建配置供用户选择。这些配置可通过“快速启动”选择下拉菜单进行选择。选择后，可以单击“编程 ADC”按钮，将 ADC 和 FPGA 编程为该模式。如果成功，则可以采集数据并将其绘制到 HSDC Pro。

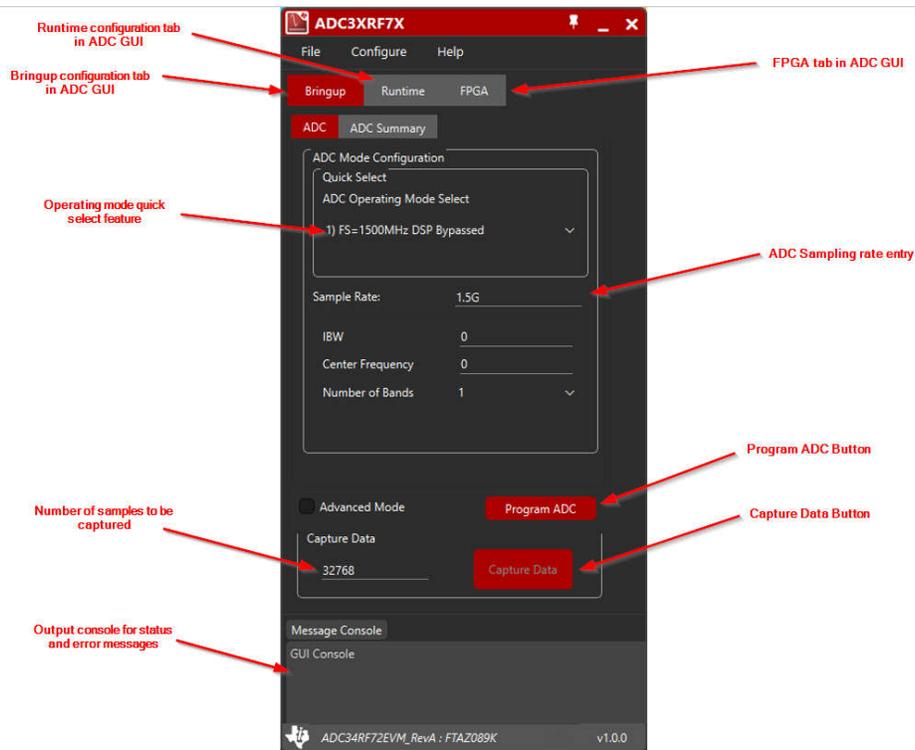


图 3-7. EVM GUI : 启动 ADC

3.7 系统级配置模式

为了快速评估 ADC，GUI 支持“系统级配置”模式，用户可以在该模式下输入接近其精确系统级参数的值，而 ADC 会找到满足这些目标的最佳模式。默认情况下，GUI 会显示此模式以及上述的快速启动模式。以下条目显示为“采样速率”、“IBW”（瞬时带宽）、“中心频率”和“频带数”。下面对每个选项进行了详细说明。

- 采样速率
 - 此选项设置 ADC 的工作频率，必须首先对其进行配置，因为它会设置所有其他选择的限制。
- 瞬时带宽 (IBW)
 - 可用信息带宽量。此选项由奈奎斯特定理 ($F_s/2$) 以及所需的任何必要抽取设置决定。例如，如果输入的 IBW 为 800，则 GUI 会将该值更新为 750MHz，因为这是器件可以获得的最大 IBW。如果需要较小的 IBW，则 GUI 会确定最接近的配置以满足该 IBW 要求。例如，在 $F_s = 1.5\text{GHz}$ 且所需 IBW 为 225MHz 时，GUI 找到的值为 300MHz，因为该值是给定器件 DSP 选项中满足该要求最接近的值。

- 中心频率
 - $IBW == Fs/2$
 - 中心频率不可用作可编程选项，因为会旁路 ADC 的内部数字降压转换器以保留 ADC 产生的全速率。
 - $IBW < Fs/2$
 - 此选项将设置关注频带的默认中心频率。例如，如果用户信号位于 600MHz，则 ADC 的中心频率可以设置为 600MHz
 - 频带数
 - $IBW == Fs/2$
 - 此时禁用频带数，ADC 输出与每个 ADC 输入相对应的四个不同频带
 - $IBW < Fs/2$
 - 频带数 == 1
 - 此选项为每个 ADC 输入输出一个复数频带（单频带）
 - 频带数 == 2
 - 此选项为每个 ADC 输入输出两个复数频带（双频带）
 - 频带数 == 4
 - 此选项为 ADC 的通道 A 和 C 输出四个复数频带。在此运行模式下将忽略通道 B 和 D（四频带）
 - 频带数 == 8
 - 此选项仅为通道 A（八频带）输出八个复数频带，在此运行模式下将忽略其他模拟输入

配置系统级设置后，用户可以单击“编程 ADC”按钮，该 GUI 完成后，即可开始采集数据并在 HSDC Pro 中进行分析。

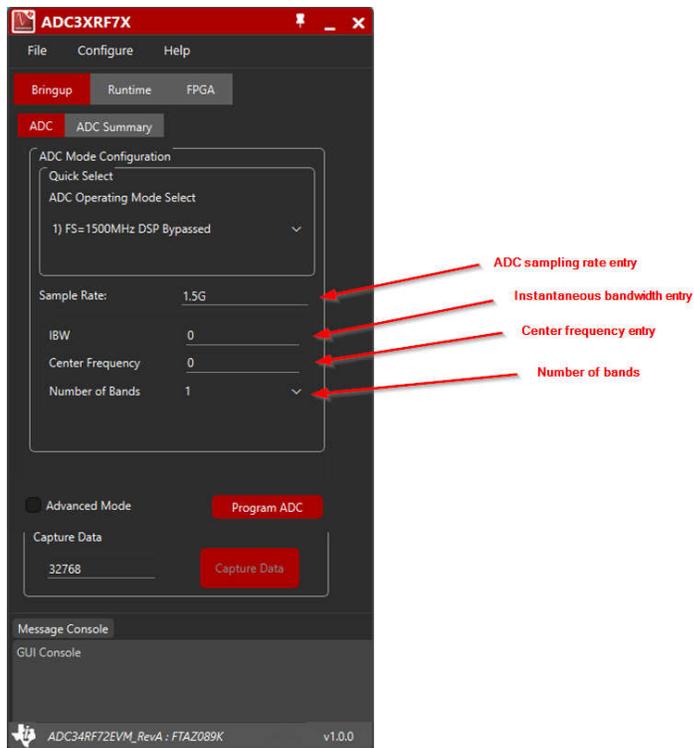


图 3-8. 带标签的 ADC GUI 系统模式图片

3.8 高级模式

为了增强控制，GUI 还支持“高级模式”，允许用户更密切地控制 ADC 的配置方式。启用 GUI 更新后，选中“高级模式”复选框即可启用此模式，如图 3-9 所示。这样便可访问“JESD”控制选项卡，并可在其中编辑通道数。根据 ADC 的其他设置推断通道数、帧字节数和每帧采样器数等变量。用户还可以编辑 JESD 链路使用的编码方案，默认选择“8b10b” JESD204B，但 ADC 也支持 64b66b JESD204C。此选项卡还计算 JESD 链路的精确 SERDES 速率，以及所需的 FPGA 参考时钟和 SYSREF 频率（在 EVM 上通过提供的外部参考时钟输入生成）。

如果在 ADC 选项卡中将运行模式更改为“启用 DSP”，则可以访问 ADC GUI 的“DSP”选项卡。在此选项卡中，用户可以将 ADC 配置为通道 A+B、C+D 或 A+B+C+D 的平均值。也可以在此页面中配置数字降压转换器 (DDC)。根据此页面上的选择，JESD 页面会更新输出 ADC 数据所需的通道数。

用户对 ADC 的配置感到满意后，可以单击编程，如果成功，则可以采集数据并绘制到 HSDC Pro。

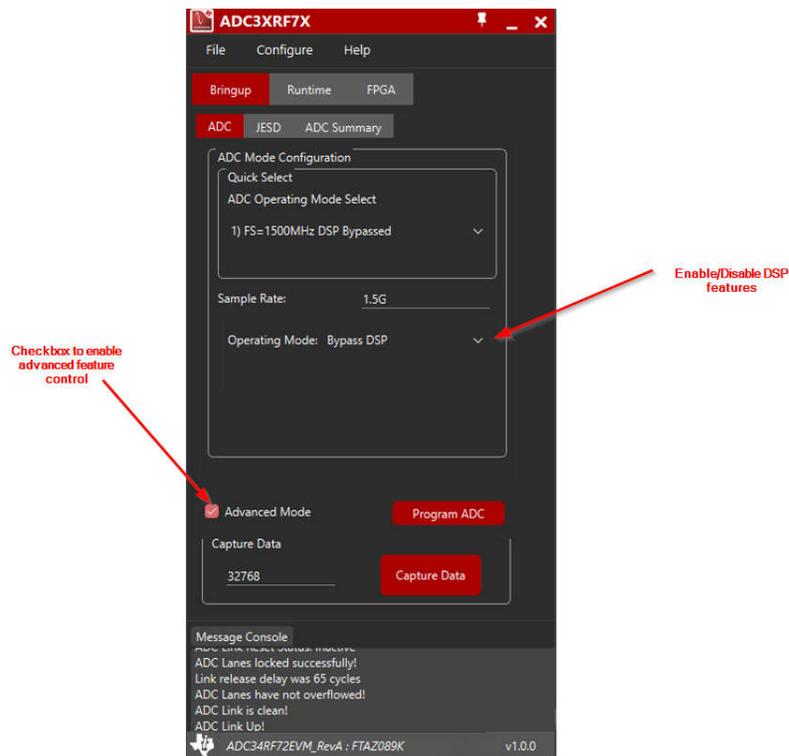


图 3-9. EVM GUI : 启用高级控制模式

图 3-10 显示 GUI 的 DSP 选项卡中可供用户使用的所有不同下拉菜单和条目。

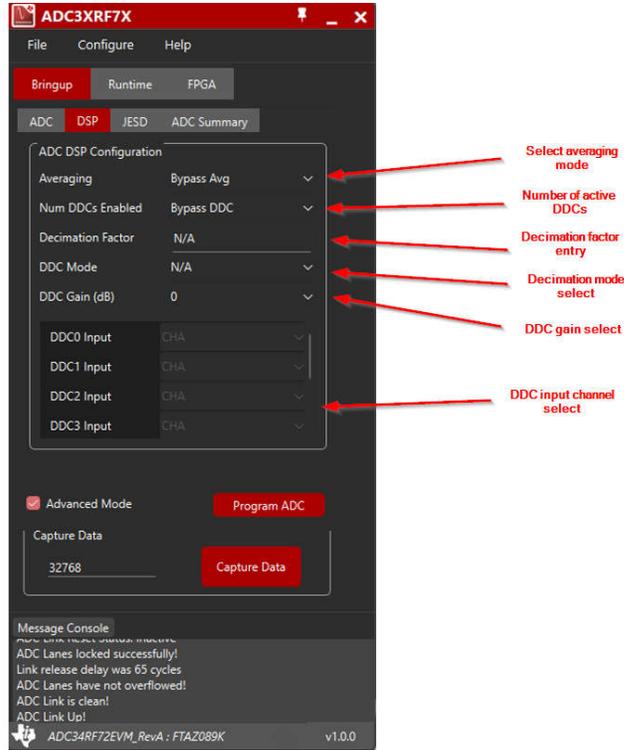


图 3-10. EVM GUI : 带标签的 DSP 选项卡

图 3-11 显示 GUI 的 JESD 选项卡中可供用户使用的所有不同下拉菜单和条目。

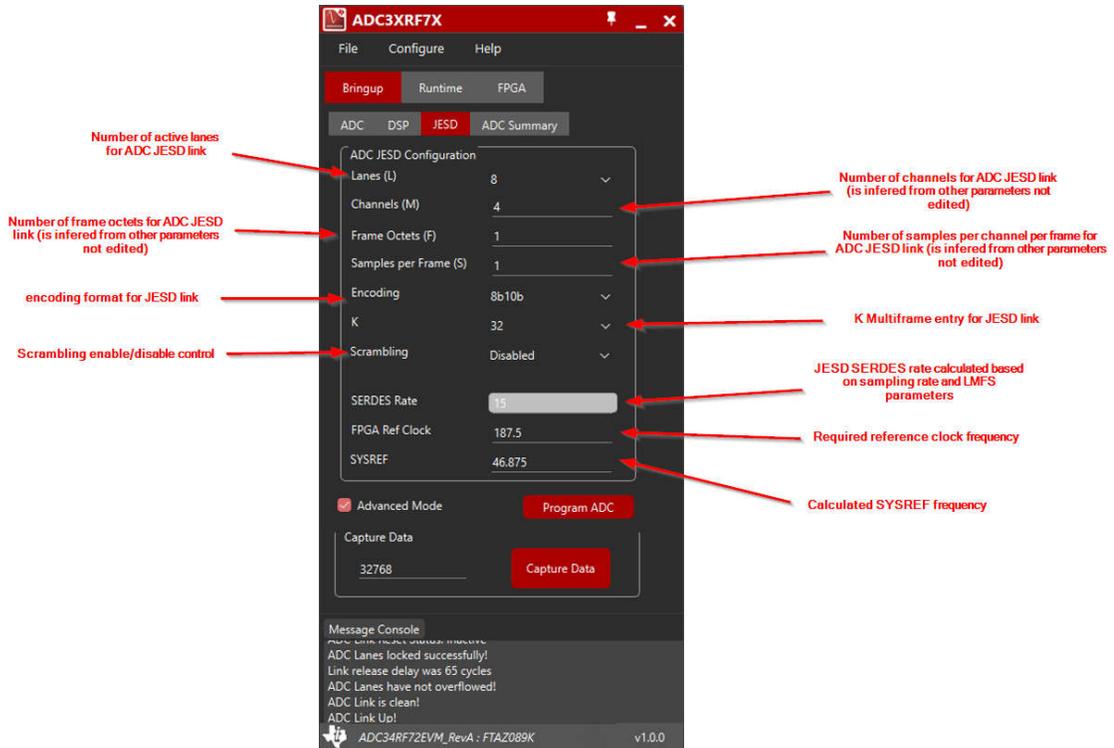


图 3-11. EVM GUI : 带标签的 JESD 选项卡

3.9 运行时配置

GUI 还支持多种运行时配置和监控。这些功能包括编辑 NCO 值、ADC 电源轨实时功率监控和 SYSREF 功能。

- NCO - 在此选项卡中，可以实时编辑和调节 NCO 频率。
- ADC 电源 - 在此选项卡中，可以读回 ADC 每根单独电源轨的实时电压和电流，从而计算出精确的功率。ADC EVM 还支持使用数字电位器反馈网络将每根 ADC 电源轨的裕度调整到其标称值，以精确调节电源的反馈电路。
- SYSREF - 在此选项卡中，可重新启用 ADC SYSREF，以实现重新同步。

3.10 导出 ADC3xRF72 配置和 Python API 用法

要将 ADC 所需的配置从 GUI 传输到用户应用程序，可通过一项功能导出 ADC 所需运行模式的配置文件。要导出该配置，请导航至 GUI 的“ADC 摘要”选项卡。出现标记为“导出 ADC 系统参数”的按钮后，单击此按钮并选择一个有效位置以保存此文件。完成此操作后，您可以访问安装 ADC3xRF72EVM GUI 时包含的 Python API 文件。使用这些文件，您能够复制 GUI 执行的确切编程序列。有关 API 的其他帮助，请参阅 API 发布文件夹中包含的文档。位于 GUI 安装路径 `Documents\Texas Instruments\ADC3xRF7xEVM\{GUI 版本}\adc3xrf7x_customer_handoffdocs`。

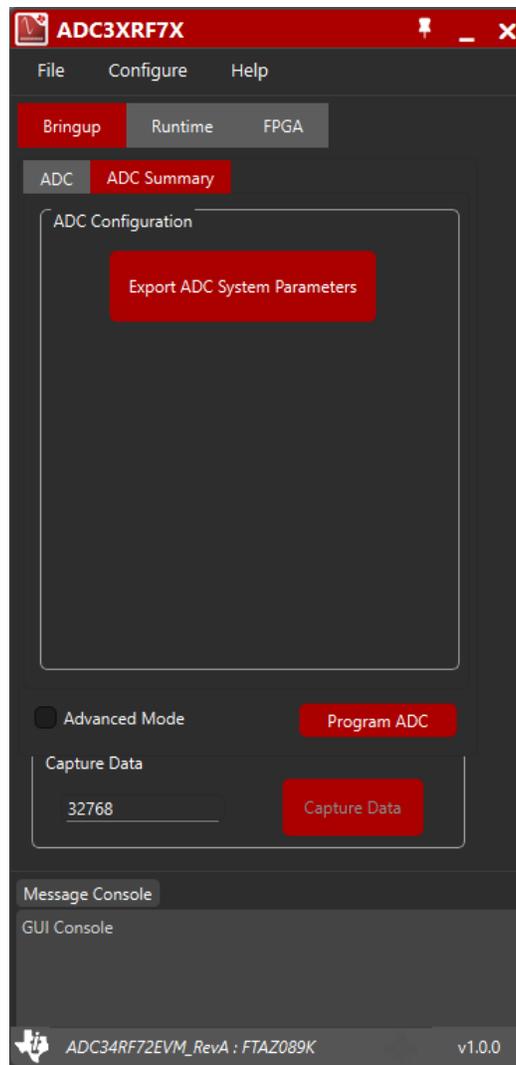


图 3-12. 包含显示导出过程的 EVM GUI 图片

3.11 更多 GUI 帮助

有关 GUI 操作的更多详细信息，请参阅 GUI 安装随附的其他文档。搜索 GUI 安装路径，默认为 **Documents\Texas Instruments\ADC3xRF7xEVM\{GUI Version}\Docs**。

4 问题排查和常见问题解答

表 4-1. 问题排查和常见问题解答

| 问题 | 问题排查步骤 |
|------------------------------------|---|
| 一般问题 | <ul style="list-style-type: none"> 验证节 2 一节中所示的测试设置并重复“ADC EVM 快速启动”一节以验证基本功能。 检查 ADC EVM 和 TI 采集卡的电源。如果 ADC EVM 上的电源正常 LED 未亮起，则可能存在电源问题。 检查信号和时钟连接 确保 FMC 连接器已牢固固定 |
| TI 采集卡在 GSPS FPGA Server 应用程序中无法连接 | <ul style="list-style-type: none"> 确保按照节 2.6 一节中的所有步骤设置第三方软件 确保 Digilent JTAG 软件狗已正确连接。 使用 FT_Prog 搜索已连接的 USB 器件，并确保正确找到“Digilent USB 器件”。如果最初未找到，请断开软件狗与电路板的连接，重新插入 micro USB 电缆，然后进行搜索。 如果问题仍然存在，请启动命令提示符并输入命令“xsdb”以启动 Xilinx 调试服务器。如果命令提示符返回错误“xsdb”未被识别为内部或外部命令可运行的程序或批处理文件，则很可能环境变量未正确设置。 如果 xsdb 正确启动，则依次输入命令“connect”和“targets”。成功完成这些命令后，命令提示符将显示 xcku5p 作为目标之一。 如果 GSPS FPGA Server 中的电路板连接仍然失败，请卸载并重新安装该应用程序 |
| ADC EVM 无法在 GUI 中连接 | <ul style="list-style-type: none"> 验证 USB 电缆和子卡是否已牢固连接。 使用 FT_Prog 验证是否已找到 ADC FTDI 句柄且匹配以下“ADC3xRF72EVM_RevA” |
| ADC EVM 编程失败 | <ul style="list-style-type: none"> 确保 ADC 的器件时钟具有足够的 EVM 功率 (9dBm)，并且频率与 GUI 中编程的频率相匹配。 确保所有跳线均位于默认位置。特别注意跳线 J24 是否已安装，因为此跳线控制 ADC 的 SPI 编程信号是来自 PC (通过 USB) 还是 FPGA (通过 JTAG)。 检查 resetb 信号是否保持低电平。使用万用表探头测量 GPIO 接头上的 RSTb 信号。此信号读数约为 1.8V，表示 ADC 未处于复位状态。如果不是这种情况，则 EVM 可能已损坏或破裂。 |
| ADC 链路无法建立 | <ul style="list-style-type: none"> 在 ADC EVM GUI 的 FPGA 选项卡中，有多个 LED 用于指示 FPGA 状态。请参阅此选项卡以及下面相应的表条目。 |
| FPGA 连接 LED 未亮起 | 请参阅上面的表 条目“TI 采集卡在 GSPS FPGA Server 应用程序中无法连接” |
| FPGA 编程的 LED 未亮起 | <ul style="list-style-type: none"> 验证电源是否满足 6V，5A 的标准。对 FPGA 进行编程是 FPGA 电流消耗最高的操作之一。检查在此期间电源是否未达到其电流合规性要求。 |
| FPGA PLL 未锁定 | <ul style="list-style-type: none"> 验证 EVM 硬件是否已如节 2.7 中所示设置，EVM 的参考时钟是否至少为 9dBm，以及频率是否与 GUI 中为 ADC 采样频率选择的频率相匹配。 验证 ADC 时钟和基准时钟是否彼此锁相。 使用示波器探头测量电阻器 R62，确保频率与 ADC EVM GUI 中“启动 > JESD”选项卡“FPGA 参考时钟”框中所示的频率相匹配。 |
| ADC 通道未锁定 | <ul style="list-style-type: none"> 验证 GSPS FPGA Server 中的编程 JESD 参数是否与 ADC EVM GUI 中“启动 > JESD”选项卡所示的参数相匹配。 使用探头测量电阻器 R204，确保存在 ADC SYSREF 信号，并且与“启动 > JESD”选项卡“SYSREF”框中所示的频率相匹配。 确保未安装跳线 J38，这可验证 SYSREF 信号来自板载 LMK 而不是 smp 连接器。 |

表 4-1. 问题排查和常见问题解答 (续)

| 问题 | 问题排查步骤 |
|-------------------|---|
| ADC 通道锁定但释放延迟卡在零位 | <ul style="list-style-type: none"> 使用探头测量电阻器 R204，确保存在 ADC SYSREF 信号，并且与“启动 > JESD”选项卡“SYSREF”框中所示的频率相匹配。 确保跳线 J38 未安装，这可确保 SYSREF 信号来自板载 LMK 而不是 smp 连接器。 确保跳线 J27 和 J26 已安装、跳线 J25 未安装且 SW2 处于“UP”位置。 |
| ADC 通道缓冲器溢出 | <ul style="list-style-type: none"> 使用探头测量电阻器 R204，确保存在 ADC SYSREF 信号，并且与“启动 > JESD”选项卡“SYSREF”框中所示的频率相匹配。 确保跳线 J38 未安装。这可验证 SYSREF 信号来自板载 LMK 而不是 smp 连接器。 验证 ADC 时钟和基准时钟是否彼此锁相。 |
| 性能欠佳 | <ul style="list-style-type: none"> 验证时钟和 ADC 输入的信号质量，因为这些因素直接限制 ADC 性能。 确保 ADC 时钟和任何输入均使用带通滤波器。 |

5 重要信号布线

本节详细介绍 EVM 上的所有重要信号布线。

表 5-1. JESD FMC 数据布线

| ADC JESD 输出 (p、n) | FMC 引脚编号 (p、n) | 物理布线 P/N 反转 | 原理图网络名称 (p、n) |
|-------------------|----------------|-------------|---------------|
| STXOUT0 | (A18、A19) | N | DOUT0_FMC |
| STXOUT1 | (B16、B17) | N | DOUT1_FMC |
| STXOUT2 | (A14、A15) | N | DOUT2_FMC |
| STXOUT3 | (B12、B13) | N | DOUT3_FMC |
| STXOUT4 | (A2、A3) | Y | DOUT4_FMC |
| STXOUT5 | (C6、C7) | Y | DOUT5_FMC |
| STXOUT6 | (A6、A7) | Y | DOUT6_FMC |
| STXOUT7 | (A10、A11) | Y | DOUT_7_FMC |

表 5-2. 其他 JESD FMC 信号布线

| 信号描述 | FMC 引脚编号 | 原理图网络名称 |
|-------------------|----------|--------------------|
| 收发器基准时钟 0 (P、N) | D4、D5 | MGTREFCLK0_FMC_P/N |
| 收发器基准时钟 1 (P、N) | D4、D5 | MGTREFCLK1_FMC_P/N |
| JESD 应用层时钟 | G6、G7 | LMK_CORECLK_P/N |
| SYSREF | G9、G10 | FPGA_SYSREF_P/N |
| 硬件同步 | H31 | GPIO_MUX_0_FPGA |

表 5-3. 其他 FMC 信号

| 信号描述 | FMC 引脚编号 | 原理图网络名称 |
|--|-----------------|-------------------|
| 载板卡 IO 电压电平调节 | E39、F40、G39、H40 | VADJ |
| 载板电压 IO 电平时载板卡的 SCLK | G12 | SCLK_FMC_VADJ |
| 载板电压 IO 电平时载板卡的 SDI 写入。是 ADC3xRF72 和 LMK04828 的 SDI 线路 | G13 | SDI_FMC_VADJ |
| 载板电压 IO 电平时载板卡的 SDO 读取。是 ADC3xRF72 和 LMK04828 的 SDO 线路 | G15 | SDO_FMC_VADJ |
| LMK04828 的 SPI 芯片选择 | G16 | CSb_LMK_FMC_VADJ |
| 载板电压 IO 电平时载板卡的 ADC3xRF72 SPI 的 SPI 芯片选择 | C18 | SEN_ADC_FMC_VADJ |
| 低电平有效 ADC3xRF72 硬件复位 | H13 | RSTb_ADC_FMC_VADJ |
| ADC3xRF72 断电 | H14 | PDN_ADC_FMC_VADJ |

表 5-3. 其他 FMC 信号 (续)

| 信号描述 | FMC 引脚编号 | 原理图网络名称 |
|--------|----------|---------|
| I2C 时钟 | C30 | SCL_FMC |
| I2C 数据 | C31 | SDA_FMC |

5.1 ADC 器件时钟布线

图 5-1 显示 EVM 的时钟系统。此外，下面列出了可选时钟修改，并在方框图中以红色突出显示。为清晰起见，还包含了原理图片段。

- ADC 的差分时钟输入 (旁路板载平衡-非平衡变压器)。
 - 为方便起见，EVM 默认配置为接受单端时钟，但电路板可以进行修改，以便能够提供外部差分信号。此修改可通过进行以下修改来完成。
 - 拆下 C20、C19、C22
 - 将 C17、C18、C23 安装为 0.1uF 0201 电容器。
- LMK04828 源时钟共享自器件时钟输入。
 - 默认情况下，电路板经过配置，因此器件时钟和 LMK04828 参考时钟来自两个单独的来源。可选择拆分器件时钟输入，使其也可用作 LMK04828 的参考时钟。请注意，这需要 EVM 具有更高功率的时钟信号输入，以解决信号拆分引入的额外损耗。此修改可通过进行以下修改来完成。
 - 拆下 R15、R16 和 R33。
 - 将 R15、R16、R18 安装为 16 0201 电阻器。
 - 将 C55 安装为 0.1uF 电容器。

图 5-1 显示 EVM 电路板的时钟子系统。红线表示各种可选的时钟修改。

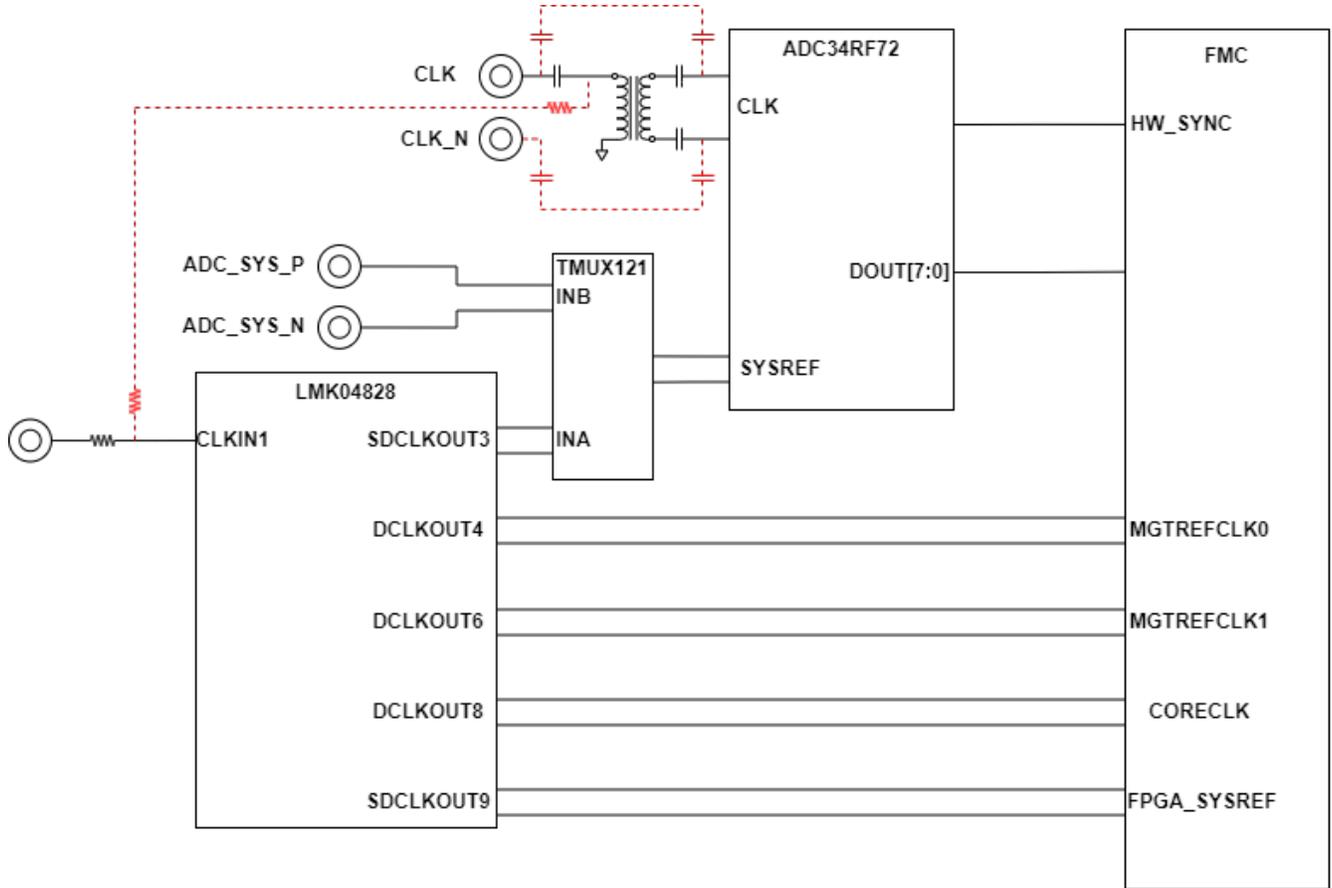


图 5-1. ADC3xRF72 时钟布线

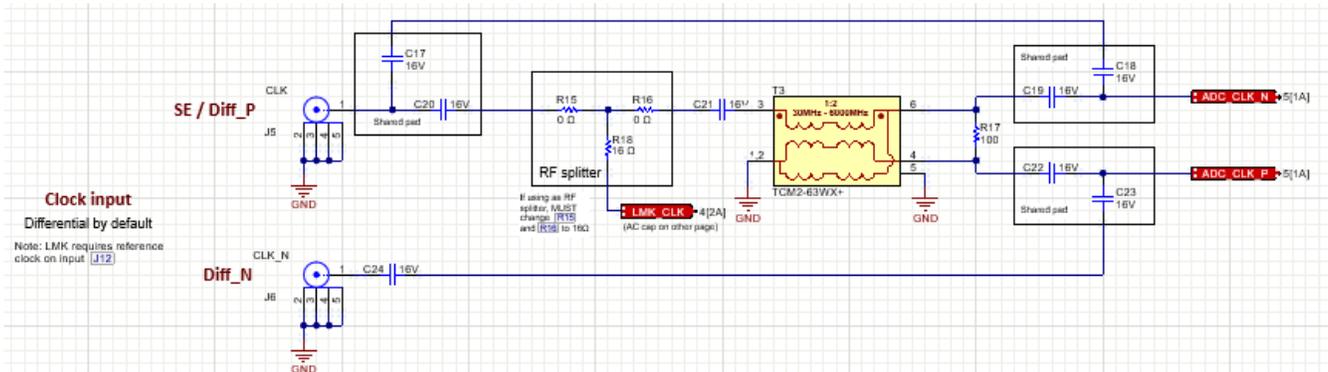


图 5-2. ADC3xRF72 EVM 时钟输入原理图片段

5.2 电路板修改

5.2.1 ADC3xRF72 模拟输入

ADC3xRF72 有四个模拟输入，EVM 会将所有四个输入作为长度匹配的信号进行布线。默认配置为交流耦合的单端输入，然后使用板载平衡-非平衡变压器进行 SE-DIFF 转换。EVM 上还预留了匹配网络空间，可根据应用需求试验不同的匹配网络。

EVM 还可通过以下修改配置为接受外部差分信号。对于要旁路板载平衡-非平衡变压器的组件，请参阅图 5-3 至图 5-6。

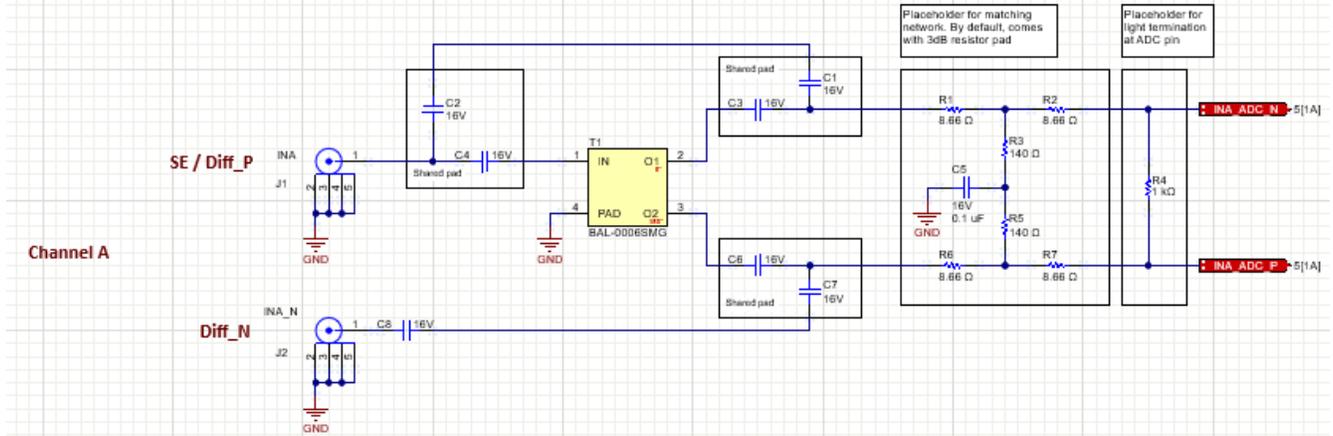


图 5-3. ADC3xRF72 EVM 输入 A 模拟输入原理图片段

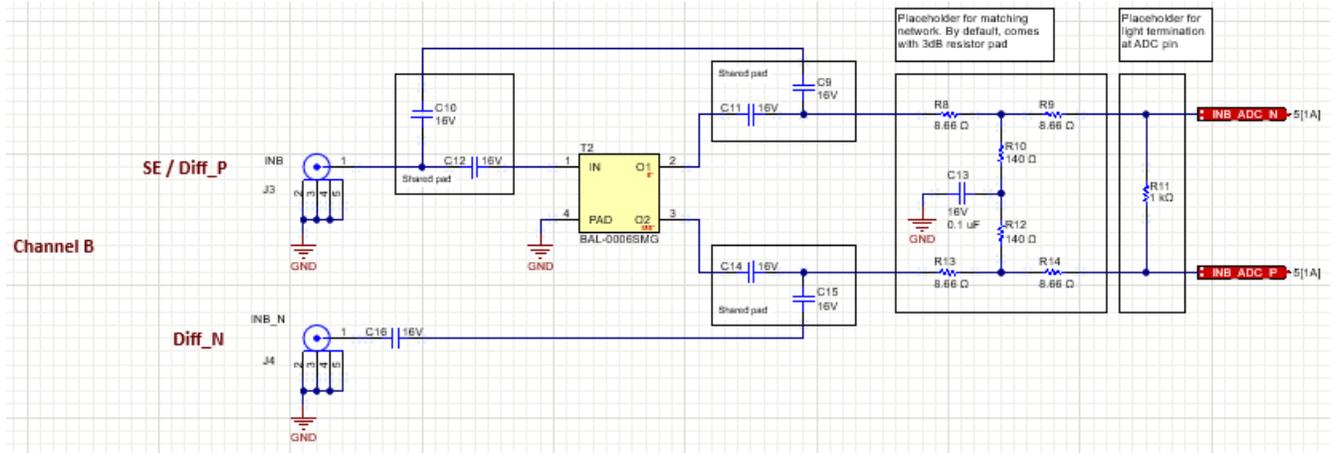


图 5-4. ADC3xRF72 EVM 输入 B 模拟输入原理图片段

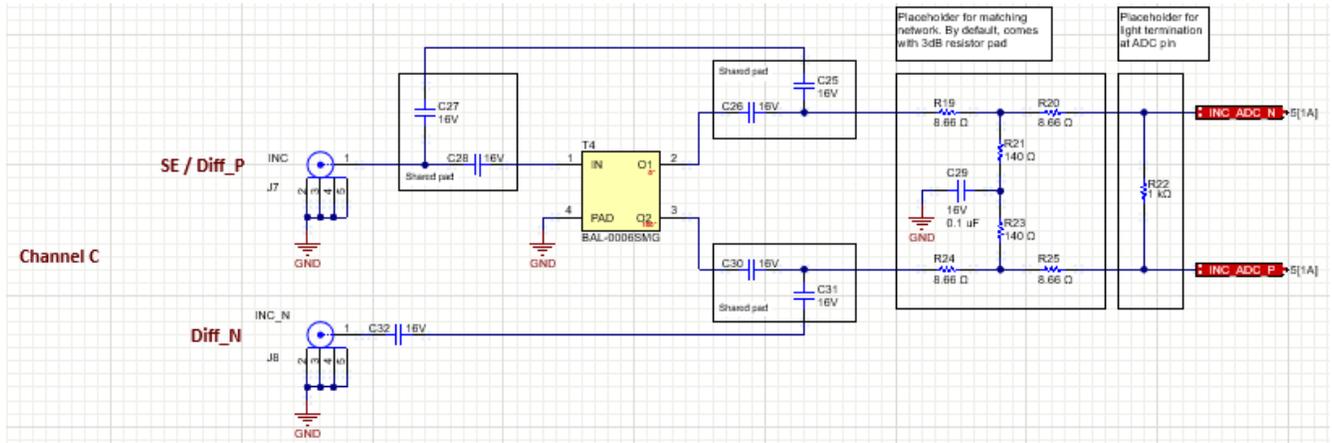


图 5-5. ADC3xRF72 EVM 输入 C 模拟输入原理图片段

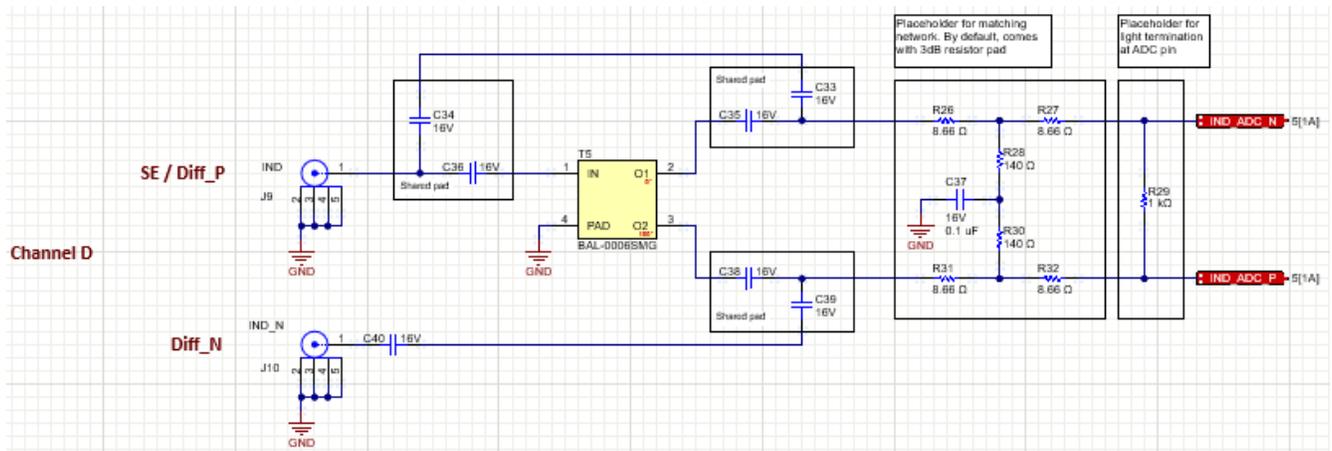


图 5-6. ADC3xRF72 EVM 输入 D 模拟输入原理图片段

6 硬件设计文件

6.1 原理图

原理图在以下产品页面上提供：([ADC34RF72EVM 网页](#))。

6.2 PCB 布局

PCB 布局在以下产品页面上提供：([ADC34RF72EVM 网页](#))。

6.3 物料清单 (BOM)

物料清单在以下产品页面上提供：([ADC34RF72EVM 网页](#))。

7 其他信息

7.1 商标

所有商标均为其各自所有者的财产。

8 参考资料

- [ADC3xRF72 四通道 14 位 1.3GSPS 射频采样数据转换器数据表 \(SBASAL0\)](#)

重要通知和免责声明

TI“按原样”提供技术和可靠性数据（包括数据表）、设计资源（包括参考设计）、应用或其他设计建议、网络工具、安全信息和其他资源，不保证没有瑕疵且不做任何明示或暗示的担保，包括但不限于对适销性、某特定用途方面的适用性或不侵犯任何第三方知识产权的暗示担保。

这些资源可供使用 TI 产品进行设计的熟练开发人员使用。您将自行承担以下全部责任：(1) 针对您的应用选择合适的 TI 产品，(2) 设计、验证并测试您的应用，(3) 确保您的应用满足相应标准以及任何其他功能安全、信息安全、监管或其他要求。

这些资源如有变更，恕不另行通知。TI 授权您仅可将这些资源用于研发本资源所述的 TI 产品的相关应用。严禁以其他方式对这些资源进行复制或展示。您无权使用任何其他 TI 知识产权或任何第三方知识产权。您应全额赔偿因在这些资源的使用中对 TI 及其代表造成的任何索赔、损害、成本、损失和债务，TI 对此概不负责。

TI 提供的产品受 [TI 的销售条款](#) 或 [ti.com](#) 上其他适用条款/TI 产品随附的其他适用条款的约束。TI 提供这些资源并不会扩展或以其他方式更改 TI 针对 TI 产品发布的适用的担保或担保免责声明。

TI 反对并拒绝您可能提出的任何其他或不同的条款。

邮寄地址：Texas Instruments, Post Office Box 655303, Dallas, Texas 75265
版权所有 © 2025，德州仪器 (TI) 公司