

EVM User's Guide: LMK5B12212EVM

LMK5B12212 评估模块用户指南

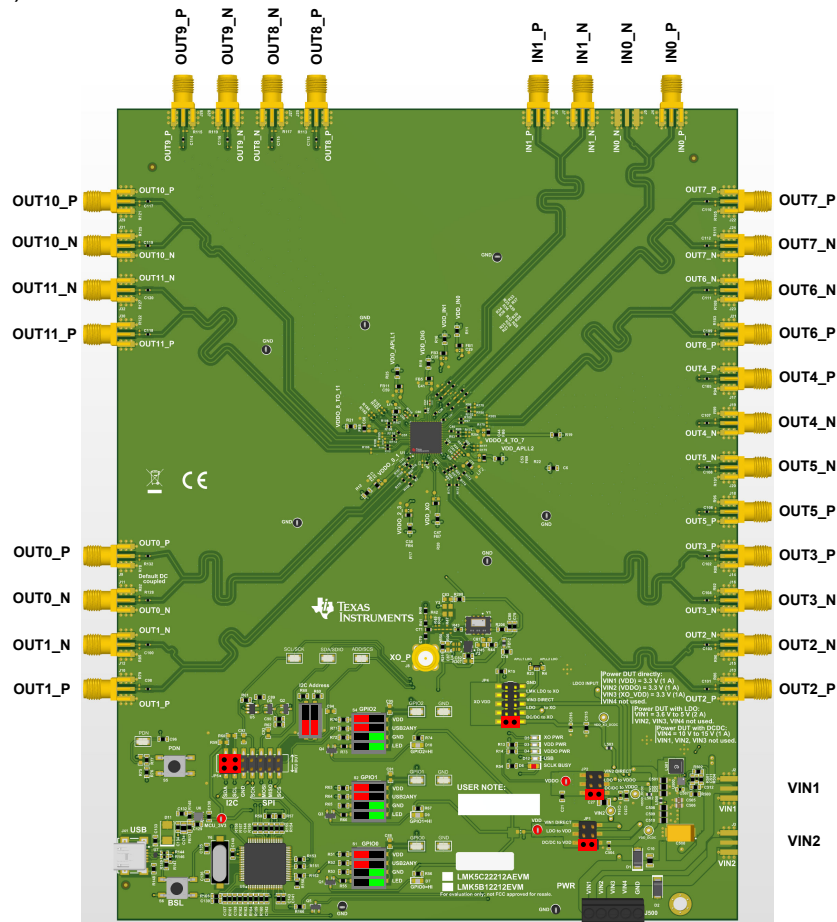


说明

LMK5B12212EVM 是一款用于评估 LMK5B12212 网络时钟发生器和同步器的评估模块。该 EVM 可用于器件评估、合规性测试和系统原型设计。

特性

- 一个具有可编程带宽的数字 PLL (DPLL) 和两个分数模拟 PLL (APLL)，可实现灵活的时钟生成。
- DPLL 的两个基准输入可支持无中断切换和保持 12 个输出时钟：由 BAW 驱动的输出能够实现低于 50fs 的 RMS 相位抖动 (12kHz 至 20MHz)。
- 灵活的振荡器源：板载 TCXO，或其他 XO、TCXO、OCXO 的几种类型之一，或外部 SMA 输入选项。
- 通过片上 EEPROM 来存储自定义的启动时钟配置



1 评估模块概述

1.1 简介

LMK5B12212EVM 是一款用于评估 [LMK5B12212](#) 网络时钟发生器和同步器的评估模块。该 EVM 可用于器件评估、合规性测试和系统原型设计。LMK5B12212 集成了两个模拟 PLL (APLL) 和一个具有可编程环路带宽的数字 PLL (DPLL)。该 EVM 包含用于时钟输入、可选非板载 APLL 基准输入和时钟输出的 SMA 连接器,可连接到具有 50 Ω 测试设备的器件。通过板载 TCXO,可在自由运行、锁定或保持模式下评估 LMK5B12212。通过板载 USB 微控制器 (MCU) 接口,可在 PC 上使用 TI 的 TICS Pro 软件图形用户界面 (GUI) 来配置该 EVM。TICS Pro 可用于对 LMK5B12212 寄存器进行编程。

1.2 套件内容

- LMK5B12212EVM
- 3 英尺微型 USB 电缆 (MPN 3021003-03)

1.3 规格

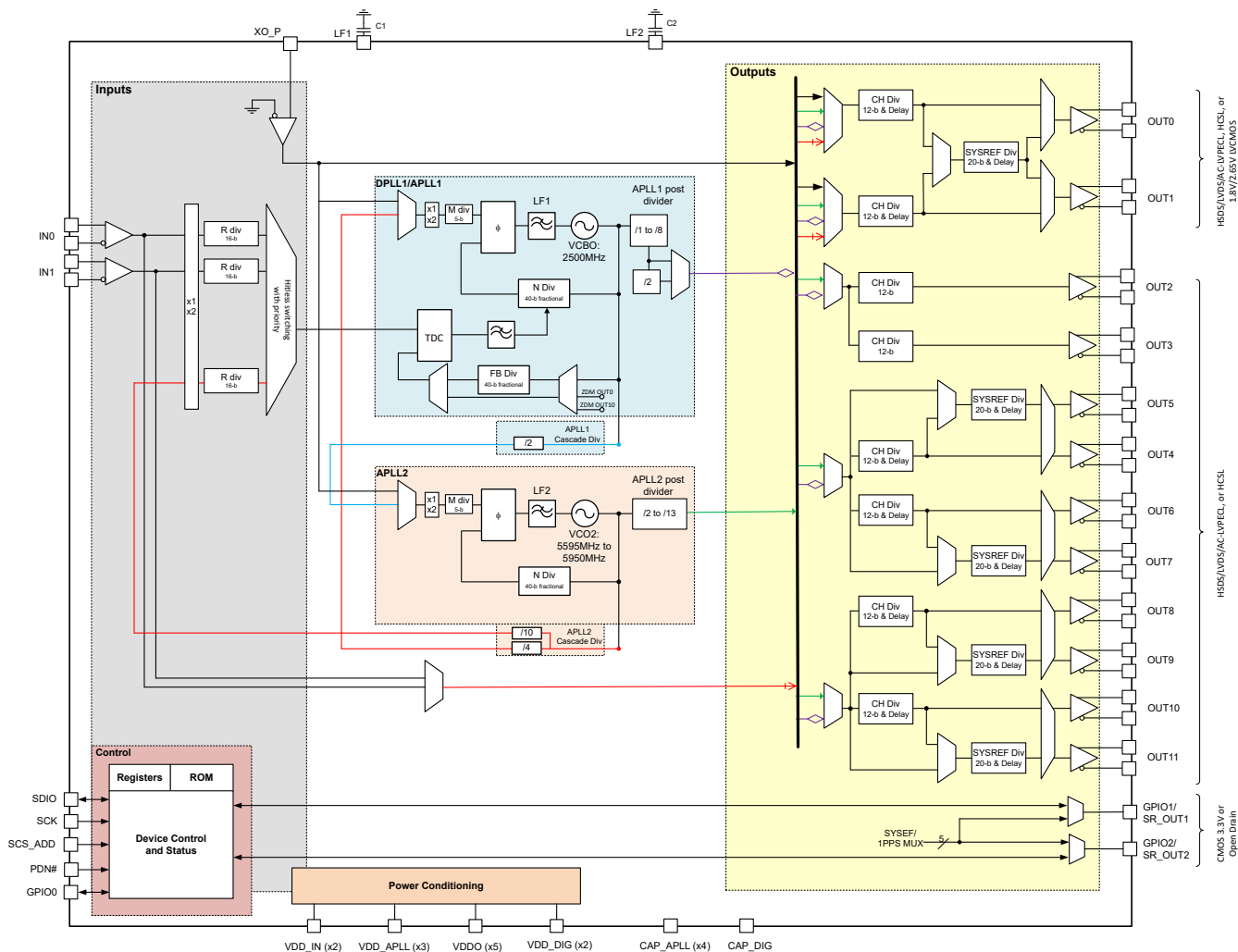


图 1-1. LMK5B12212 顶层方框图

1.4 器件信息

LMK5B12212 是一款高度可配置的时钟芯片,具有多个电源域、PLL 域以及时钟输入输出域。为了支持各种 LMK5B12212 用例,该 EVM 具有更大的灵活性和功能性,超出了在客户系统应用中实施芯片所需的水平。

1.5 使用 LMK5B12212EVM 评估 LMK5C22212A

默认情况下，LMK5B12212 已组装在 LMK5B12212EVM 上，但该 EVM 还可通过替换 DUT U1 来评估 LMK5C22212A。这两款器件具有相同的封装尺寸，并且引脚对引脚兼容。区别在于 LMK5C22212A 具有额外的 DPPLL2，而 LMK5B12212 只有一个 DPPLL1。除此之外，LMK5C22212A 具有以 2457.6MHz 为中心的 BAW VCO，支持无线应用。

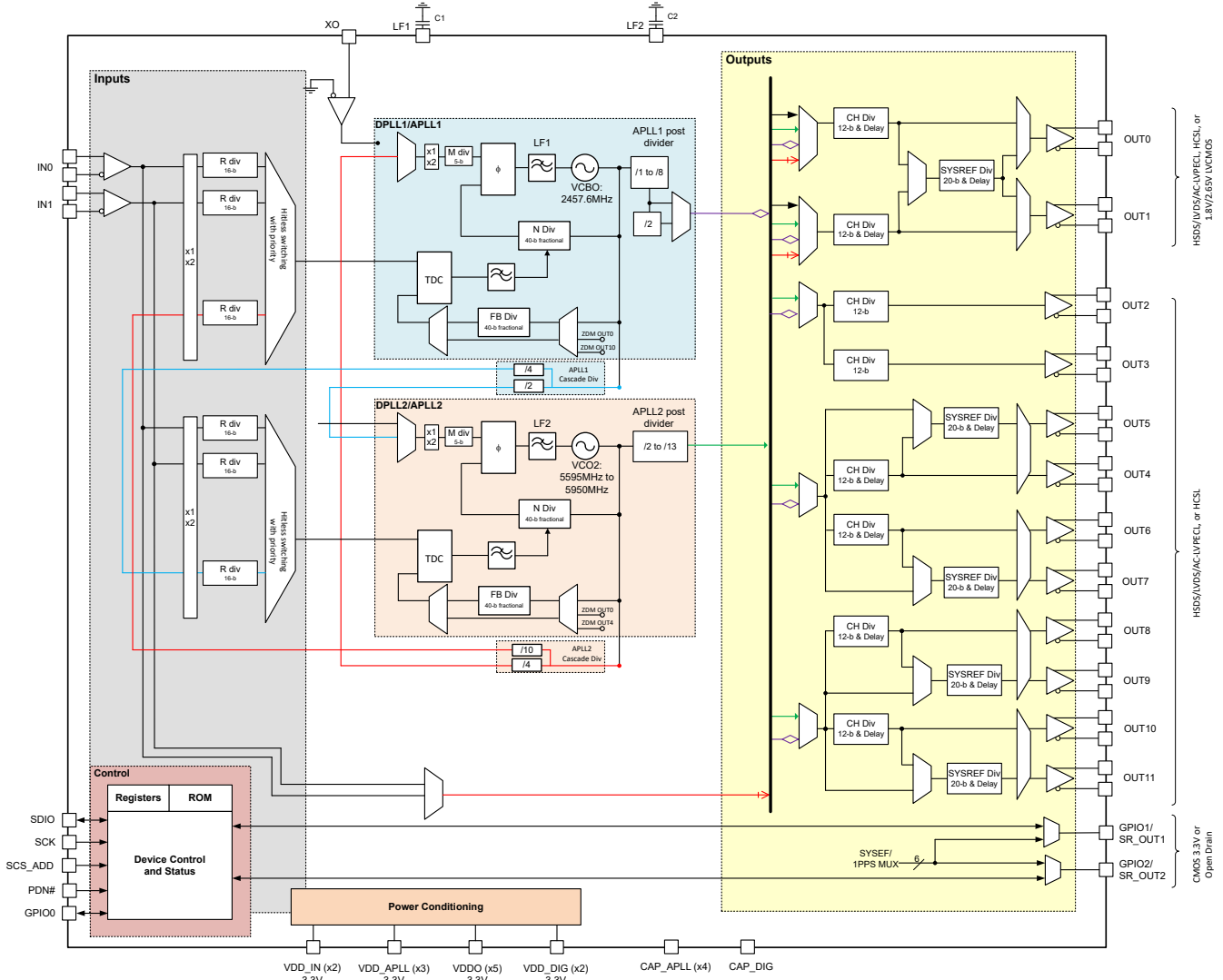


图 1-2. LMK5C22212A 顶层方框图

TICS Pro 软件具有 LMK5C22212A 配置文件，可用于配置 LMK5C22212A。设定配置文件的说明与 LMK5B12212 配置文件类似，如[软件](#)中所述。

2 硬件

2.1 建议使用的测试设备

建议使用以下设备来测试 LMK5B12212EVM 配置。图 2-1 展示了示例测试设置。

- 对于输入：
 - 直流电源 (对于 EVM 默认设置为 12V、1A；对于表 4-2 中的其他设置为 5V、2A)
 - 用于基准输入的信号发生器或其他频率源
- 对于输出测量：
 - 相位噪声分析仪
 - 实时示波器
 - 精密频率计数器

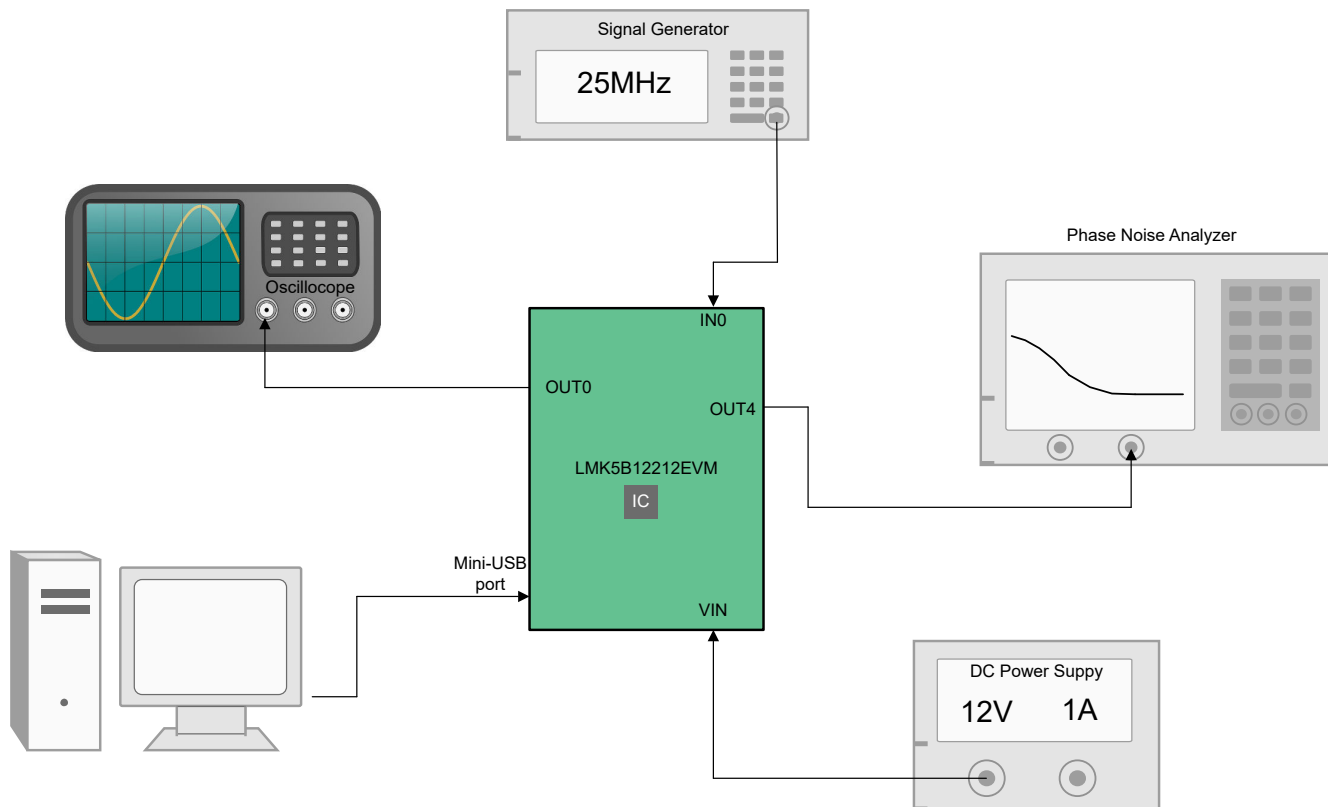


图 2-1. 测试设置示例

2.2 LMK5B12212EVM 默认设置

图 2-2 显示了以红色标识的跳线位置。DIP 开关位于相应位置的绿色框 (代表 ON) 或红色框 (代表 OFF)。

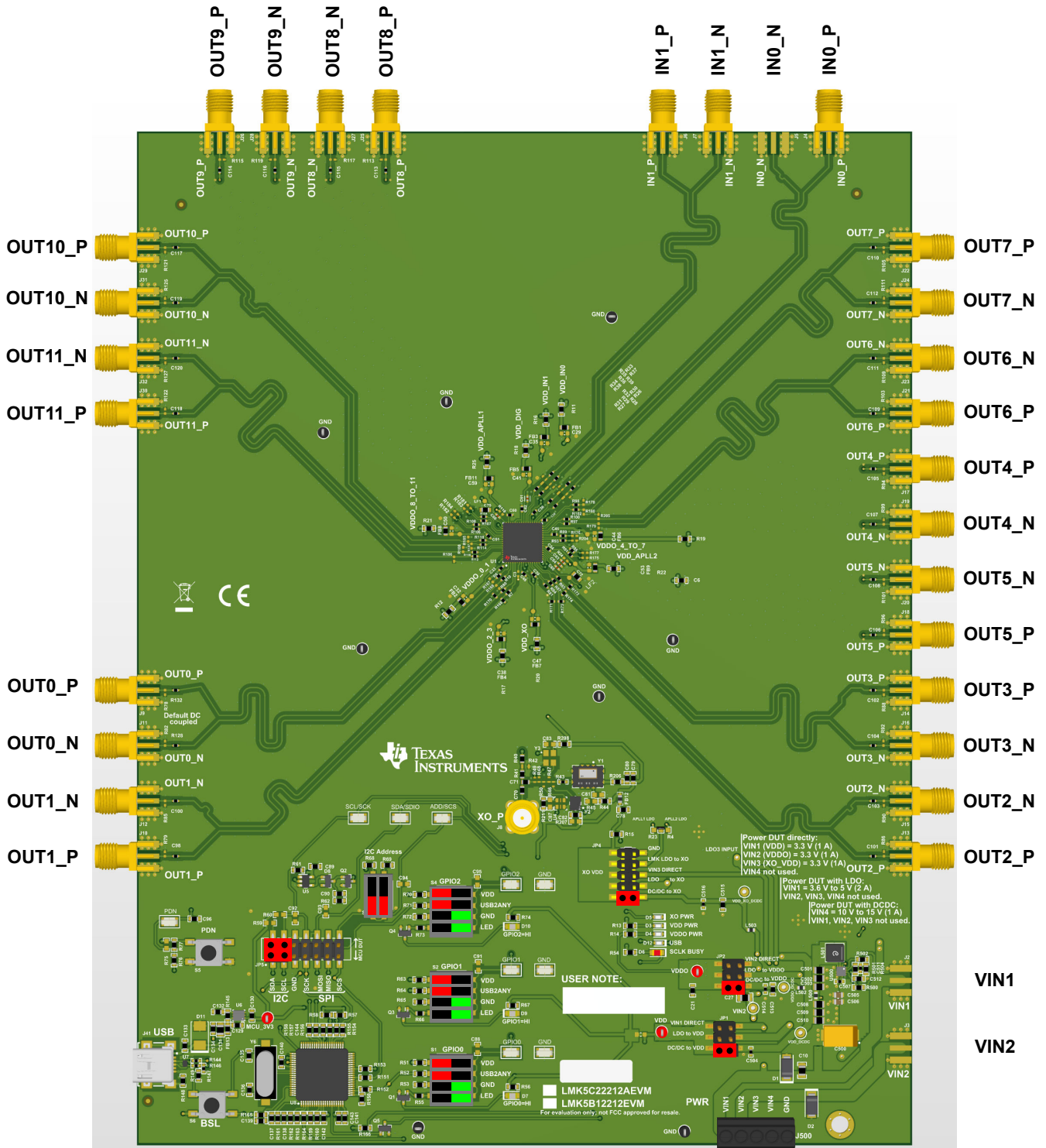


图 2-2. LMK5B12212EVM 跳线和 DIP 开关的默认设置

表 2-1 介绍了 EVM 通过为 VIN4 提供的 12V 单电源为器件供电时的默认跳线位置。在有关跳线的位置信息中，邻近位号表示跳线位于位号旁边。位号对面表示跳线位于位号的对面。

表 2-1. 默认跳线和 DIP 开关设置

类别	基准指示符	位置	说明
电源	JP1	1-2 (位号对面)	LMK5B12212 VDD = 3.3V, 来自 PCB 顶部的 U500 提供的直流/直流。
	JP2	1-2 (位号对面)	LMK5B12212 VDDO = 3.3V, 来自 PCB 顶部的 U500 提供的直流/直流。
	JP4	1-2 (位号对面)	XO VCC = 3.3V, 来自 PCB 顶部的 U500 提供的直流/直流。
通信	JP5	1-2、3-4	将 I ² C 从板载 USB2ANY 连接到 LMK5B12212
LMK5B12212 控制引脚	S3	S3[1:2] = OFF	SCS_ADD = 没有上拉或下拉。
	S1、S2、S4	Sx[1,2] = OFF Sx[3,4] = ON	在 GPIO0、GPIO1 和 GPIO2 上启用 3.9k 下拉

2.3 EVM 快速入门

要开始使用 LMK5B12212, 请按照以下步骤操作。

- 验证 中显示的 EVM 默认跳线和 DIP 开关设置。
- 将 12V 外部直流电源 (1A 限值) 连接到 :
 - 接头 J500 上的 VIN4 和 GND 端子 (引脚 4 和 5, 请参阅图 4-2。)
- 连接基准时钟 :
 - 25MHz 基准时钟连接至 IN0_P/N, 并且/或者
 - 25MHz 基准时钟连接至 IN1_P/N
- 将 USB 电缆连接至 J41 上的 USB 端口。

3 软件

3.1 TICS Pro 入门指南

- 如果尚未安装, 请从 TI 网站安装 TICS Pro 软件 : [TICS Pro 软件](#)
- 如果尚未安装 MATLAB® R2015b (9.0)* 64 位运行时, 请从 MathWorks® 网站下载并安装。虽然对默认配置文件设置的编程和评估是可选的, 但需要修改 DPLL 环路滤波器设置的任何应用都需要 MATLAB Runtime。请参阅 [MATLAB Runtime](#)。
- 启动 TICS Pro 软件。
- 选择 LMK5B12212 配置文件, 具体路径为 *Select Device* → *Network Synchronizer Clock (Digital PLLs)* → *LMK5B12212*。
- 通过以下步骤确认与电路板的通信 :
 - 点击菜单栏中的 *USB communications*。
 - 点击 *Interface* 以启动 *Communication Setup* 弹出窗口。
 - 检查 *Communication Setup* 弹出窗口中的以下字段 :
 - 确保选择 USB2ANY 作为接口。
 - 如果有多个 USB2ANY, 请选择所需的接口。如果 USB2ANY 当前正在另一个 TICS Pro 中使用, 用户必须将接口设置更改为 *DemoMode*, 释放该接口。
 - 点击 *Identify* 使 LED 闪烁, 如图 3-1 所示。这样可确认您已连接到希望连接的电路板。请注意, 已连接到 PC 但未通过 TICS Pro 实例连接的 USB2ANY 器件, 可能会持续以 1 秒亮、1 秒灭的慢速闪烁。点击 *Identify* 按钮后, LED 会以约 0.5 秒亮、0.5 秒灭的频率快速闪烁约 5 秒钟。

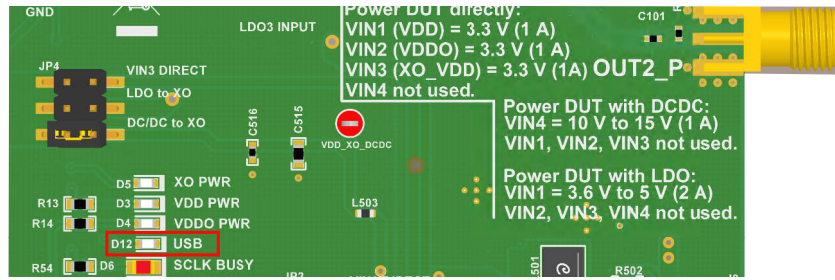


图 3-1. USB LED

3.2 对 LMK5B12212 进行编程

1. 切换开关 S5 (PDN/RESET)。
2. 对所有寄存器进行编程：
 - a. 按工具栏中的 *Write All Regs* 按钮，
 - b. 选择菜单栏中的 *USB Communications*，然后选择 *Write All Registers* 或
 - c. 按 **Ctrl + L**。
3. 检查电流消耗 (最大 1.3A)。
4. 检查 LMK5B12212 状态，如图 3-2 中所示。
 - a. 转至 GUI 的 *Status* 页面。
 - b. 点击 *Read Status Bits*。
 - c. 确保清除锁存位。要清除锁存位：
 - i. 按 *Clear Latched Bits* 按钮。
 - ii. 选择 *Read Status Bits*。
 - d. 等待更改确认。DPLL 状态位可能需要一些时间反映锁定情况。

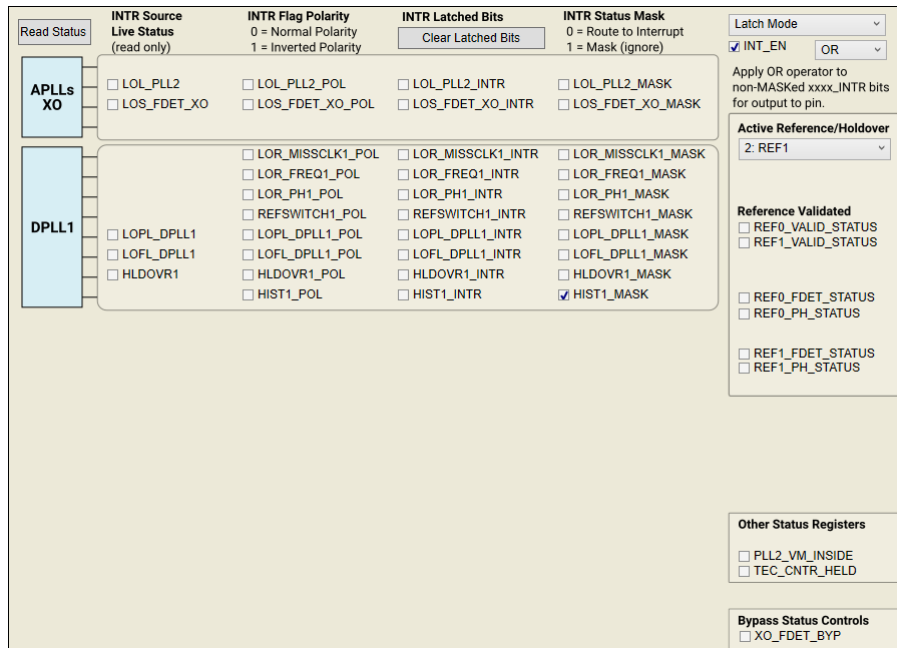


图 3-2. 读取状态位

现在可以对时钟输出进行测量。

3.3 配置 TICS Pro

3.3.1 使用开始页面

“Start” 页面可用于为特定 VCO 频率和 DPLL 操作配置 PLL。

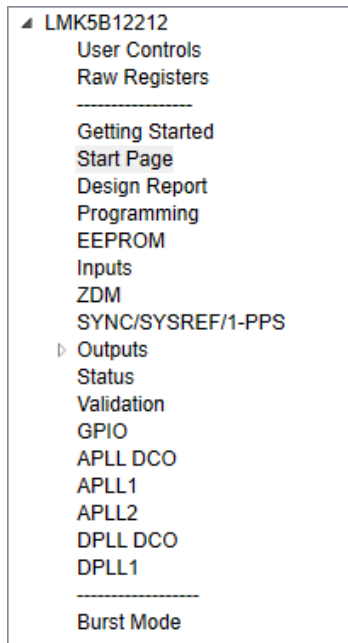


图 3-3. 开始页面的位置

3.3.1.1 步骤 1

设置 XO_P 输入频率、接口类型和 XO 频率精度 (ppm 容差)。

3.3.1.2 步骤 2

第 2 步设置时钟输入频率、接口类型和频率精度 (ppm)。

XO 和 REFx 的 ppm 误差用于根据此步骤右侧的所选参数计算频率验证。

Step 1: XO Input

	Frequency (MHz)	Interface Type	Frequency Accuracy (PPM)
XO_P	48.0 Range: 10 to 156.25 MHz	8: LVCMOS	50

Step 2: DPLL Reference Inputs

	Frequency (MHz)	Interface Type	Frequency Accuracy (PPM)
IN0 (REF0)	25.0 a) Range: Up to 800 MHz	3: DIFFin, ext AC, int 100 ohm diff	4.6
IN1 (REF1)	25.0 b) Enter '0' when the input is never used.	3: DIFFin, ext AC, int 100 ohm diff	4.6

Frequency validation parameters will be calculated from XO and REF frequency accuracy. Select parameter to optimize:

PPM accuracy for XO input
Example enter $\pm 4.6\text{ppm}$ as 4.6

Baseline

图 3-4. 第 1 步和第 2 步 : XO 输入和时钟输入

3.3.1.3 步骤 3

为 DPLL DPLL、输入优先级和 TDC 最大频率设置时钟输入选择模式。建议的输入选择模式为 **Auto Revertive**。下图所示的 REF0 和 REF1 分别对应 IN0 和 IN1。如果 DPLL 输入从其中一个 APLL 后分频器频率馈送，则可以设置 REF4 和 REF5 优先级。相应的 APLL 列在 REF4 和 REF5 旁边。具有最高优先级的 REF 作为 DPLL 输入馈送。

Step 3: DPLL Clock Input Selection

DPLL1 ☒ Use DPLL1

Input Select Mode Auto revertive

Manual Selection REF0

Pin / Register Select Register

Auto Select Priority

REF0 2nd

REF1 1st

REF4 Not available for ϵ

REF5 Not available for ϵ

Doubler

☐ Enable

☐ Enable

n/a (from PLL2)

Maximum TDC Frequency (MHz) 26

Actual DPLL TDC Frequency (MHz) 25.0

图 3-5. 第 3 步：DPLL 时钟输入选择

3.3.1.4 步骤 4

设置 ZDM 的时钟输出。PLL 会针对为 ZDM 设置的所选输出来驱动 PLL 源多路复用器。

Step 4: DPLL Zero Delay Selection - Note: will OUT0, OUT4, or OUT10 Mux settings in Step 6 to be from APLL1, APLL2, or APLL3 as required

DPLL1 ZDM ZDM disabled ZDM disabled

Generalized ZDM DPLL diagram

```

graph LR
    DPLL_Ref[DPLL Reference] --> DPLL_TDC[DPLL TDC]
    DPLL_TDC --> APLL_VCO((APLL VCO))
    APLL_VCO --> OUT[OUT0, OUT4, or OUT10]
  
```

图 3-6. 第 4 步：零延迟模式

3.3.1.5 步骤 5

通过指定每个 PLL 的基准，设置 APLL 的输入。相位检测器频率也由相关的 PLL R 分频器和/或启用倍频器来决定。

Step 5: APLL Reference Selection

APLL1		APLL2	
APLL1 Reference XO ▼	Reference Frequency 48.0 MHz	APLL2 Reference VCO1 feedback ▼	Reference Frequency 1250.0 MHz
Can select other VCO for cascaded APLL input reference		Can select other VCO for cascaded APLL input reference	
R Divider & Doubler 12 ▼	☒ Bypass R divider ☒ Doubler	R Divider & Doubler 12 ▼	☐ Bypass R divider ☐ Doubler
APLL Phase Detector Frequency 96.0 MHz		APLL Phase Detector Frequency 104.166666 MHz	

图 3-7. 第 5 步：APLL 基准选择

3.3.1.6 第 6 步

输入每个输出所需的目标频率以及所需的输出格式、输出源，输出是否为 SYSREF 以及输出是否会被使用。

按 **Calculate VCO Frequency Options**，生成可能的 VCO 频率组合列表。

从计算值列表中选择所需的 VCO 频率组合。如果特定 VCO 频率不在列表中，则可以选中 **Enable User Override** 复选框并键入所需的 VCO 频率，进行手动覆盖。**Copy to Selected VCO Frequency** 框也可用于将列表中选中的 VCO 频率复制到 VCO 覆盖。

按 **Assign Selected VCO Settings to Device** 按钮更新 VCO 频率，然后按 **Apply Output Clock Settings to Device** 按钮。默认情况下显示模拟 PLL 频率。但第 7 步计算出的 DPLL 频率将产生精确的输出频率。

计算输出频率计划后，确保将有效的 XO 输入馈送到器件中，这样 APLL 就可以锁定并生成所需的频率。在所有已启用的 APLL 均被锁定之前，器件不会输出任何时钟。

Step 6: Clock Outputs

- Select the target frequency for each channel or output group.
- Select the output format. Unused outputs should be disabled to reduce power consumption.
- When applicable select V_{OS} to specify common mode. V_{OS} is a function of output swing and V_{OS} setting.
- Generate possible VCO frequencies and choose from available options (or set overrides).
- Calculate the N-divider settings and DPLL-corrected PPM offsets.
- Export clock output settings to the device. "Actual Freq. (MHz)" boxes will update accordingly.

Default SYSREF output operation

After applying clock output settings, user may update value on individual output pages or on SYNC/SYSREF page.

Pulser
Typical for JESD204B

Optional: Update multiple entries quickly with the modify input control. Use checkboxes to select outputs to apply input to. Then press "Apply quick set" button.

Modify "quick set" check boxes:

Modify ☐

	Target Freq. (MHz)	Output Source	Output Format	Output Vcm	Force SYSREF	Actual Freq. (MHz)
☐	OUT0 25.0	PLL1	CMOS 1.8-V, P/N = On		☐	25.0
☐	OUT1 100.0	PLL1	HCSL 750 mV	Setting 1, Vcm = 0.375 V	☐	100.0
☐	OUT2 100.0	PLL1	HCSL 750 mV	Setting 1, Vcm = 0.375 V	☐	100.0
☐	OUT3 100.0	PLL1	HCSL 750 mV	Setting 1, Vcm = 0.375 V	☐	100.0
☐	OUT4 161.1328125		HSDS 500 mV, Vcm = 0.4 V	Setting 1, Vcm = 0.4 V	☐	161.1328125
☐	OUT5 161.1328125	PLL2	HSDS 500 mV, Vcm = 0.4 V	Setting 1, Vcm = 0.4 V	☐	161.1328125
☐	OUT6 161.1328125		HSDS 1000 mV, Vcm = 0.65 V	Setting 1, Vcm = 0.65 V	☐	161.1328125
☐	OUT7 161.1328125		HSDS 1000 mV, Vcm = 0.65 V	Setting 1, Vcm = 0.65 V	☐	161.1328125
☐	OUT8 156.25		HSDS 800 mV, Vcm = 1 V	Setting 2+3, Vcm = 1 V	☐	156.25
☐	OUT9 156.25		HSDS 800 mV, Vcm = 1 V	Setting 2+3, Vcm = 1 V	☐	156.25
☐	OUT10 156.25	PLL1	HSDS 800 mV, Vcm = 1 V	Setting 2+3, Vcm = 1 V	☐	156.25
☐	OUT11 156.25		HSDS 500 mV, Vcm = 0.4 V	Setting 1, Vcm = 0.4 V	☐	156.25

VCO frequency options calculated. Select desired frequencies then, press "Copy to Selected VCO Frequency"

VC01 Frequency Options

2500.0

VC02 Frequency Options

5639.648438

5800.78125

	Integer	Numerator	Analog VCO ppm error (corrected by DPLL)
VC01	26	45812984491	1.16415321827E-08
VC02	54	1179648/8388608	0

☐ Enable User Override

Output Mute Options

PLL1

☐ MUTE_DPLL1_FRLOCK

☐ MUTE_DPLL1_PHLOCK

PLL2

☐ MUTE_APLL2_LOCK

☐ MUTE_DPLL2_FRLOCK

☐ MUTE_DPLL2_PHLOCK

VCO Frequency User Override:

VC01 2500.0 MHz

VC02 5639.6484375 MHz

图 3-8. 第 6 步：时钟输出

3.3.1.7 第 7 步

第 7 步只需输入所需的 DPLL 环路带宽。

备注

只要显示近似符号，将鼠标悬停在控件上，就可以查看工具提示显示的确切输出频率。

Step 7: PLLs

Update red fields to control the DPLL characteristics.

The transfer function and error function allowed peaking can be left at the default values, if there is no application requirement specifying these values.

Running the script will yield attenuation values (in dB) for the specified transfer/error function offsets.

DPLL LBW (Hz)

DPLL Transfer Function Allowed Peaking (dB)

DPLL Error Function Allowed Peaking (dB)

DCO Step Size (ppb)

Transfer Function Attenuation

Error Function Attenuation

DPLL1

VCO1 Freq. (MHz)
2500.0
Range: 2500 MHz +/- 100 ppm

☐ Disable Fastlock

Target	Actual
100	100.805
0.1	—
1	—
0	0
Offset (Hz)	Level (dB)
100	-3.03 dB
100	-1.12 dB

图 3-9. 第 7 步 : PLL

3.3.1.8 第 8 步

要计算 DPLL 分频器设置，请选择要计算的 DPLL 环路滤波器和分频器，然后按 **运行脚本** 按钮。软件立即运行并计算必要的环路滤波器设置。

Step 8: Run Script

When red fields are changed, click **Calculate DPLL Settings** to generate updated DPLL settings for selected DPLLs below.

☒ Calc DPLL1

Run Script

☐ Bypass run script warning

DPLLx_LCK_TIMER	DPLL1
	3.93 ms
	777
	24 x 2^9

图 3-10. 第 8 步 : 运行脚本

3.3.2 使用状态页面

“Status” 页面显示与器件当前状态相关的字段。要更新这些字段，请点击工具栏中的 **Read Status Bits** 按钮或 **Read RO Regs** 按钮。**Read RO Regs** 按钮读取所有只读寄存器，这些寄存器提供其他页面上的更多信息（包括状态字段），但可能需要更长时间才能读回。读取状态位时只读取此页的状态位。

要锁定 DPLL，必须在图 3-11 所示窗口的 **Active Reference/Holdover** 和 **Reference Validated** 部分验证并选择基准。

DPLL 锁定时，预计在相位锁定完成后 LOPL_DPLLx 将是最后一个被清零的位。

当 INT_EN = 1 时，出现的任何实时状态标志都会锁存到“INTR Latched Bits”列。在按下 **Clear Latched Bits** 按钮之前，这些位会保持有效。通过此功能可进一步深入了解器件的行为。

按下工具栏中的 **Soft-chip reset** 按钮可将器件复位并重新锁定。

Read Status		INTR Source Live Status (read only)	INTR Flag Polarity 0 = Normal Polarity 1 = Inverted Polarity	INTR Latched Bits Clear Latched Bits	INTR Status Mask 0 = Route to Interrupt 1 = Mask (ignore)
APLLs XO	☐ LOL_PLL2	☐ LOL_PLL2_POL	☐ LOL_PLL2_INTR	☐ LOL_PLL2_MASK	
	☐ LOS_FDET_XO	☐ LOS_FDET_XO_POL	☐ LOS_FDET_XO_INTR	☐ LOS_FDET_XO_MASK	
DPLL1	☐ LOR_MISSCLK1_POL	☐ LOR_MISSCLK1_INTR	☐ LOR_MISSCLK1_MASK		
	☐ LOR_FREQ1_POL	☐ LOR_FREQ1_INTR	☐ LOR_FREQ1_MASK		
	☐ LOR_PH1_POL	☐ LOR_PH1_INTR	☐ LOR_PH1_MASK		
	☐ REFSWITCH1_POL	☐ REFSWITCH1_INTR	☐ REFSWITCH1_MASK		
	☐ LOPL_DPLL1	☐ LOPL_DPLL1_INTR	☐ LOPL_DPLL1_MASK		
	☐ LOFL_DPLL1	☐ LOFL_DPLL1_INTR	☐ LOFL_DPLL1_MASK		
	☐ HLDOVR1	☐ HLDOVR1_INTR	☐ HLDOVR1_MASK		
	☐ HIST1_POL	☐ HIST1_INTR	☒ HIST1_MASK		

Latch Mode INT_EN OR

Apply OR operator to non-MASKed xxxx_INTR bits for output to pin.

Active Reference/Holdover
2: REF1

Reference Validated
☐ REF0_VALID_STATUS
☐ REF1_VALID_STATUS
☐ REF0_FDET_STATUS
☐ REF0_PH_STATUS
☐ REF1_FDET_STATUS
☐ REF1_PH_STATUS

Other Status Registers
☐ PLL2_VM_INSIDE
☐ TEC_CNTR_HELD

Bypass Status Controls
☐ XO_FDET_BYP

图 3-11. 状态页面

3.3.3 使用输入页面

“Input” 页面提供器件所有输入、APLL 频率和 DPLL 频率的概览视图。

当运行开始页面第 8 步中的脚本来计算 DPLL 分频器和环路滤波器时，此页面会显示用于设置 DPLL 频率的 DPLL 分频器值。此处显示的 DPLL 频率正是所需的确切频率。

该 DPLL 支持两组 DPLL 分频器，可供选择。此时，该工具仅计算“FB Config 1”的分频器。要使用两个不同的反馈分频器，必须按以下过程操作：

1. Div #1 的设置可复制到 Div #2，并选择供 *DPLL Div Select* 控件使用。
2. 需要 Div #2 设置的基准必须设置为“FB Config 2”。
3. 可以运行第二次计算（重新运行脚本，即 DPLL 开始页面上的第 8 步），使用“FB Config 1”的新值重新填充 Div #1 设置。
 - a. Div #2 设置与第 1 步中最初复制的设置保持相同。

使用两个反馈分频器时，不要求 TDC 速率完全相同，只要求两个 DPLL 反馈配置的 TDC 速率差在 $\pm 5\%$ 以内即可。

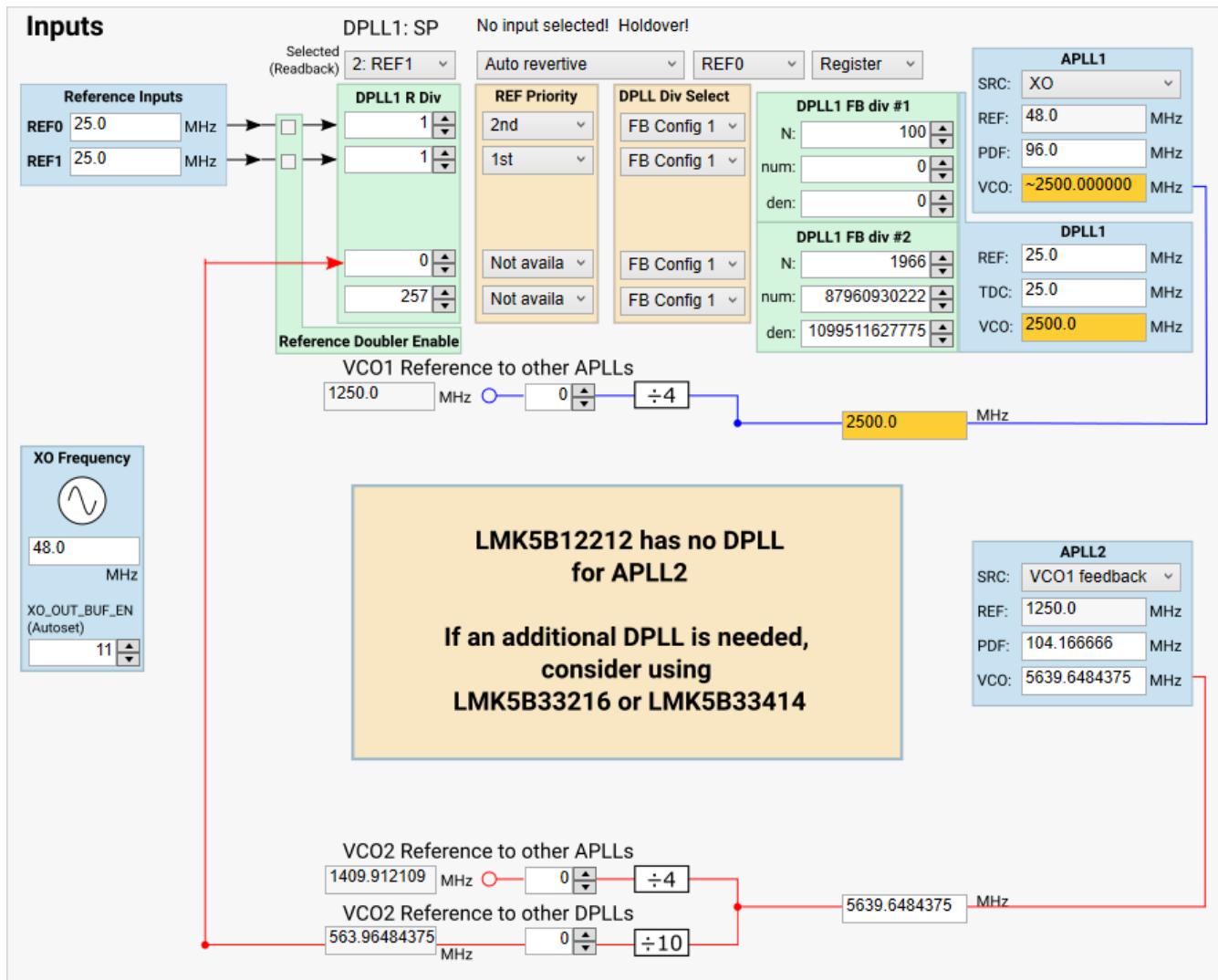


图 3-12. APLL 或 DPLL 频率选择

3.3.3.1 级联配置

可使用输入页面创建级联配置，其中相关的 VCO 缓冲器和分频器通过源选择寄存器的状态进行推理并自动启用。

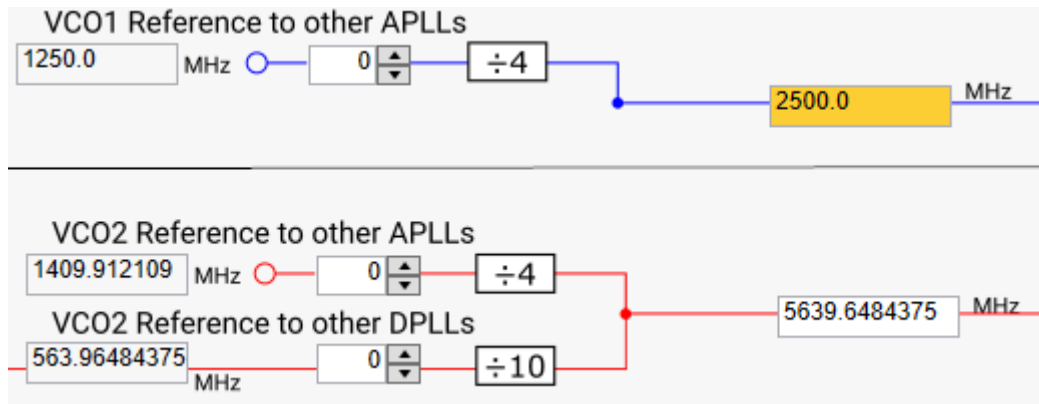
为了使级联配置有效，至少一个 PLL 必须始终有效并设置为 XO 基准源。APLL 启动优先级尽可能自动选择作为 XO 源的 APLL，在所有其他 PLL 之前启动。如果处于引脚选择模式，无法正确推断启动优先级，用户必须在 *User Controls* 页面中自行设置此优先级。在下面的示例中，APLL3 以 XO 输入为基准，APLL1 和 APLL2 以 APLL3 为基准。优先级按升序控制，0 优先级最高，1 优先级最低。APLL 可以共享优先级；如果所有 APLL 优先级均设置为 0，则所有 APLL 会同时启动。

图 3-13. 级联 APLL 启动优先级

3.3.3.1.1 将 VCO 级联至 APLL 基准

级联 APLL 由 APLL 源框控制，如图 3-14 所示。此框按位编程，并在生成频率计划时自动设置。*User Controls* 选项卡的 *Input Control* 部分中的 XO_OUT_BUF_EN 寄存器会自动设置为启用或禁用 XO 输出缓冲器。

PLLx_RDIV_XO_EN 在每个 APLLx 选项卡中会自动选中/取消选中，具体取决于每个 APLL 是否在使用 XO 输入。



位于“Inputs”页面

图 3-14. APLL 源框

3.3.4 使用 APLLx 页面

APLL 页面可用于查看有关 APLL 行为 (包括输出分频器) 的详细信息。可以在 PLL2 VCO 频率框 (如红色圆圈所示) 中键入 VCO 频率, 重新计算小数 N 值。

如果不使用 DPLL, APLL 支持“仅限 APLL”的模式, 使用可编程的 24 位分母。TICS Pro 软件目前不支持该模式。

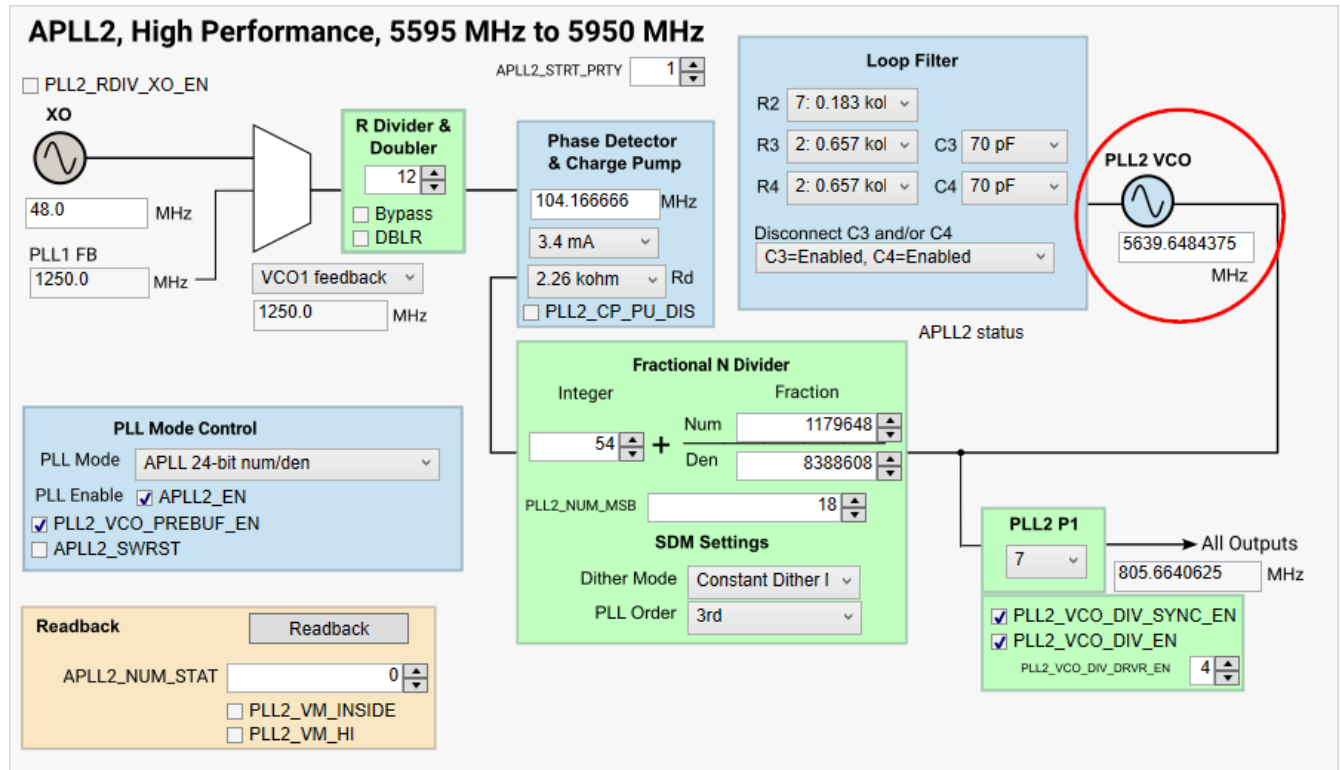


图 3-15. APLL2 页面

图 3-16 展示了 PLL1 的后分频器。PLL1 支持 LMK5B12212 的所有输出。

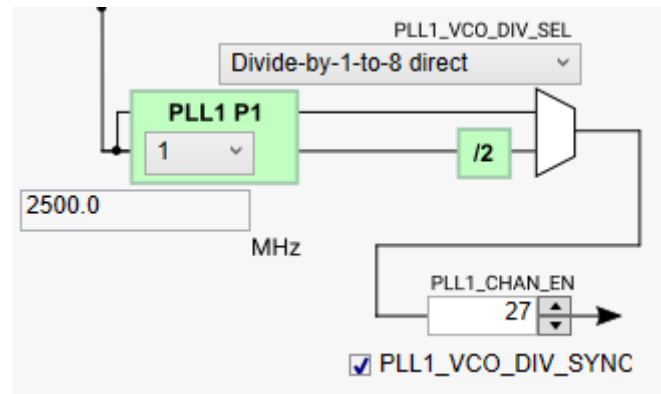


图 3-16. PLL1 后分频器

3.3.4.1 APLL DCO

要针对给定的 APLL 使用 DCO 偏移控制，请在下图显示的 *DCO Step Size (ppb)* 框中输入 DCO ppb 步长值。输入的步长用于计算分子偏差和二进制补码分子偏差。要执行偏移，必须按下 “Increment” 或 “Decrement” 按钮。增量会将分子偏差写入 DPLLx_FREE_RUN 控件，这将导致按照 *DCO Step Size (ppb)* 指定的量发生正频移。减量把二进制补码分子偏差写入 DPLLx_FREE_RUN 控件，这会导致负频移，偏移量为 *DCO Step Size (ppb)* 指定的值。

发生调整时的压摆率在 DPLLx_HOLD_SLEW_STEP 控件上进行设置。确保 DPLLx_HOLD_SLEW_STEP 不等于 0，否则不会进行调整。建议的 DPLLx_HOLD_SLEW_STEP 值为 63 (最大值)。将值设为 63 可实现最快的调整速度。

APLL DCO Frequency Control

1. When performing a DCO adjustment to the APLL effective numerator in either relative or absolute mode, the rate of change is limited by the APLL loop bandwidth. The change is applied in steps at the rate defined by a numerator delta every timer value. This enables further limiting of the rate of phase/frequency change.
 2. In relative mode, every DPLL_FREE_RUN write adds to the effective APLL numerator. The effective APLL numerator can be read from RO field APLLx_NUM_STAT.
 3. In absolute mode, the DPLL_FREE_RUN register is added to the programmed APLL numerator. The effective APLL numerator can be read from RO field APLLx_NUM_STAT.

APLL1 DCO Frequency Control
Relative Frequency Adjustment
DCO - Relative DCO Adjust (enter either desired DCO step size or numerator deviation value)
DCO Step Size (ppb) Actual Step Size (ppb) n/a
numerator deviation
numerator deviation 2s complement
DPLL1_FREE_RUN

DCO - Absolute DCO Adjust of APLL1 numerator value
Use the relative DCO step size to calculate what the DPLL1_FREE_RUN value should be for a desired ppb offset. For a negative ppb offset, use the 2s complement value.
DPLL1_FREE_RUN
+
Actual APLL1 Numerator
= Effective APLL1 Numerator
Frequency shift due to DCO adjustment (ppb offset)
Effective APLL1 Numerator

APLL DCO - (DPLL in holdover) Will limit rate of APLL DCO

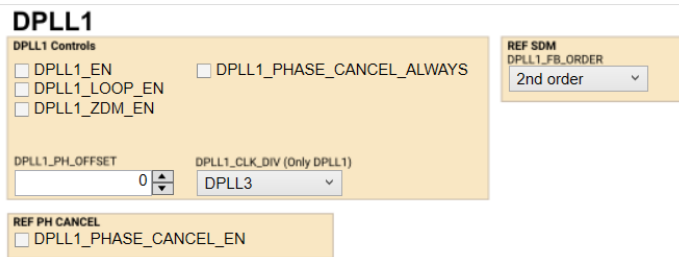
DPLL1
DPLL1_HOLD_SLEW_STEP SLEW_STEP = 63 with small timer effectively disables slew limiting.
 x 2[^] = n/a
DPLL1_HOLD_TIMER

图 3-17. APLL DCO 控件

3.3.5 使用 DPLLx 页面

DPLL 页面包含许多高级控件，它们通常在运行脚本 计算期间设置。

DPLL 页面 包含许多高级控件，它们通常在运行脚本 计算期间设置。



DPLL1

DPLL1 Controls

☐ DPLL1_EN ☐ DPLL1_PHASE_CANCEL_ALWAYS

☐ DPLL1_LOOP_EN

☐ DPLL1_ZDM_EN

DPLL1_PH_OFFSET: 0

DPLL1_CLK_DIV (Only DPLL1): DPLL3

REF SDM

DPLL1_FB_ORDER: 2nd order

REF PH CANCEL

☐ DPLL1_PHASE_CANCEL_EN

图 3-18. 主要 DPLL 控件

3.3.5.1 DPLL DCO

要针对给定的 DPLL 使用 DCO 偏移控制，请在下图显示的 *DCO Step Size (ppb)* 框中输入 DCO ppb 步长值。输入的步长用于计算应用于 DPLL 分子的频率偏差。该频率偏差显示在 DPLLx_FDEV 控件中。要执行偏移，必须按下“Increment”或“Decrement”按钮。

DPLL DCO Frequency Control

1. When performing a DCO adjustment to the DPLL numerator in either relative or absolute mode, the rate of change is limited by the DPLL loop bandwidth.
2. In register relative mode, a relative adjustment of the DPLLx_FB_NUM is made by programming a deviation amount (DPLLx_FDEV) for each write to the address.
3. When performing a GPIO relative adjustment, a relative adjustment of the DPLLx_FB_NUM is made by programming a deviation amount (DPLLx_FDEV) for each step in pin set direction.
4. In absolute mode, the DPLLx_FB_NUM is written to based on the frequency control word (FCW).

DPLL1 DCO Frequency Control

Relative: Incr/Decr via GPIO pins

General DCO Controls

Selected Input: 2: REF1 FB Config: FB Config 1

DCO - Relative DCO Adjust (enter either desired DCO step size or DPLLX numerator frequency deviation number)

☐ DPLL1_FB_FDEV_EN Set GPIO for DCO

DCO Step Size (ppb) Increment Decrement

Actual (ppb)

DPLL1_FDEV

DCO - Absolute DCO Adjust (enter either desired ppb error or DPLLX Numerator value)

Error from original DPLL1 frequency (ppb)

Actual (ppb)

Original DPLL1 Numerator unknown

Actual DPLL1 Numerator

Original DPLL1 Numerator
Not calculated

Reload Original DPLL Numerator

Frequency shift due to DCO adjustment (ppb error)

Holdover Exit Phase Slew Slope

☒ DPLL1_PHS1_EN

Phase Slew Slope (ppb) Actual (ppb)

$$\text{phase slew slope (ppb)} = \frac{\text{clock phase shift}}{\text{adjust clock phase rate}}$$

Clock phase shift per DPLL1_PHS1_TIMER (rise)

DPLL1_PHS1_THRESH Clock phase shift = stdDPLL1_PHS1_THF

Adjust clock phase rate (run)

DPLL1_PHS1_TIMER = $\frac{10}{32} \times 2^{\wedge} 0$ No DPLL1_T

图 3-19. DPLL DCO 控件

3.3.6 使用验证页面

用户可在验证页面启用/禁用不同的检测器以进行基准验证，同时满足 DPLL 频率和锁相要求。按页面顶部的 **Reassign All** 按钮，可重新计算验证值。

Clock Input Validation (LOS) for input clock validation

	Validation Timer		Frequency Detect Threshold						Early Clk Window Detector			Missing Clk Window Detector			
	Enable	Valid. time	Enable	Valid* (ppm)	Invalid (ppm)	Accuracy (ppm)	Average (count)	Meas time	Enable	Margin	T _{EARLY}	Enable	Missing Clocks	Margin	T _{LATE}
REF0	☒	102.4	☒	70	100	10	2	4.17 ms	☒	1	36.80 ns	☒	0	1	43.20 ns
REF1	☒	102.4	☒	70	100	10	2	4.17 ms	☒	1	36.80 ns	☒	0	1	43.20 ns

*The minimum recommended valid Frequency Detect Threshold = maximum XO ppm error + maximum reference ppm error.

1 PPS Phase Detector

	Enable	Threshold	T _{PHASE-VALID}
REF0	☐	0	n/a; REF0 > 2 kHz
REF1	☐	0	n/a; REF1 > 2 kHz

The 1 PPS Phase Detector requires ≤ 2 kHz reference frequency. Threshold is set to accommodate the jitter of the 1 PPS reference clock in periods of the XO reference clock.

DPLL1 Frequency Lock Detect

☒ DPLL1_LOCKDET_PPM_EN

	Lock (ppm)	Unlock (ppm)	Average (count)	Accuracy (ppm)	T _{MEAS}
	1	10	10	1	192.00 ms

DPLL1 DLD or BAW Lock: LOFL_DPLL1 = DPLL1 DLD

DPLL1 Phase Lock Detect

	Threshold	T _{MEAS}
Lock	29	284.84 ps
Unlock	31	1.14 ns

REF0_MISSECLK_VCOSEL selects time base for Early/Missing detector for all references and time base for TOD counter (Name to be updated)

REF0_DET_CLK_DIV

REF0_MISSECLK_VCOSEL

REF0_PPM_MIN

REF0_CNTSTRT

REF0_PH_VALID_CNT_MSB

DPLL1_LOCKDET_PPM_MAX

DPLL1_LOCKDET_PPM_CNTSTRT

REF1_DET_CLK_DIV

REF1_PPM_MIN

REF1_CNTSTRT

REF1_PH_VALID_CNT_MSB

DPLL1_UNLOCKDET_PPM_MAX

DPLL1_LOCKDET2_PPM_CNTSTRT

REF0_EARLY_CLK_DIV

REF0_MISSECLK_DIV

REF0_PPM_MAX

REF0_HOLD_CNTSTRT

REF1_EARLY_CLK_DIV

REF1_MISSECLK_DIV

REF1_PPM_MAX

REF1_HOLD_CNTSTRT

DPLL1_LOCKDET_VCO_PPM_CNTSTRT

图 3-20. 验证页面

3.3.7 使用 GPIO 页面

用户可以为不同的调试目的，在 GPIO 页面配置 GPIO0、GPIO1 和 GPIO2 引脚。

在 EVM 上使用 SPI 回读时，GPIO2 必须配置为 *STATUS or INT, Acts as status or interrupt* 和 *SDO output*。在 I²C 模式下使用器件时，请参阅节 4.1.3。

GPIO Controls

☐ GPIO0_IN_FLT_EN

Active Low

CMOS

☐ GPIO0_IN_FLT_EN

STATUS or INT, Acts as status or interrupt

PLL1 LOL | DPLL1 LOPL | DPLL1 LOFL

☐ GPIO1_IN_FLT_EN

Active High

NMOS open drain. External pull

☐ GPIO1_IN_FLT_EN

STATUS or INT, Acts as status or interrupt

SPI Readback Data (SDO)

☐ GPIO2_IN_FLT_EN

Active High

CMOS

☐ GPIO2_IN_FLT_EN

STATUS or INT, Acts as status or interrupt

Interrupt (INTR). Derived from INT_FLAG

(AUTOSET)

☐ PLL1_NDIV_OUTPUT_EN
 ☐ PLL2_NDIV_OUTPUT_EN
 ☐ STATUS_MUX_DIV2_EN

☐ PLL1_RDIV_OUTPUT_EN
 ☐ PLL2_RDIV_OUTPUT_EN

Time Elapsed Counter Controls

☐ TEC_CNTR_EN

TEC trigger select

SPI

TEC clock source

VCO1

Read TEC

0

Continuous SYSREF or 1-PPS to GPIO

Note: even if SYSREF pulser is selected, GPIO output will be continuous.

Select source:

OUT_0_1

☐ OUT_0_1_SR_GPIO_EN
 ☐ OUT_4_5_SR_GPIO_EN
 ☐ OUT_6_7_SR_GPIO_EN
 ☐ OUT_8_9_SR_GPIO_EN
 ☐ OUT_10_11_SR_GPIO_EN

Configure GPIO1 for buffered output

Configure GPIO2 for buffered output

图 3-21. GPIO 页面

3.3.7.1 SYNC/SYSREF/1-PPS 页面

SYNC/SYSREF/1-PPS 页面显示所有 SYSREF 块设置，并允许配置从 GPIO1 或 GPIO2 持续输出 SYSREF 或 1-PPS 时钟。

可以根据需要在 GPIO1 或 GPIO2 上复制 SYSREF 分频器输出信号，在启动后提供额外的单端 3.3V CMOS 时钟。要配置 SYSREF/1PPS 输出复制，必须将 GPIO 作为输出启用 (GPIOx_OUTEN = 1)，并且必须有一个有效的 SYSREF 输出连接到 GPIO 复制源。SYSREF 复制源来自 OUT0/1、OUT4/5、OUT6/7、OUT/9 或 OUT10/11 中正在使用的任何一个 SYSREF 分频器，通过寄存器编程设置 (OUT_x_y_SR_GPIO_EN = 1，GPIO_SYSREF_SEL 设为适当的 OUT_x_y)。GPIOx 复制的 SYSREF 输出是持续频率。GPIOx 副本输出不支持脉冲 SYSREF 模式。

SYNC control
☒ SYNC_EN
☐ SYNC_SW

SWRST
☐ DPLL1_SWRST
☐ DPLL2_SWRST
☐ DPLL3_SWRST
☐ SWRST
☐ APLL1_SWRST
☐ APLL2_SWRST
☐ APLL3_SWRST

SYSREF control
Software request for SYSREF pulses: ☐ SYSREF_REQ_SW
SYSREF resampling: (Recommended to enable) Direct SYSREF request
SYSREF re-sample source: (if SYSREF resampling enabled) SYSREF0_1_CLK

Continuous SYSREF or 1-PPS to GPIO
Note: even if SYSREF pulser is selected, GPIO output will be continuous.
Select source: OUT_0_1
Configure GPIO1 for buffered output
Configure GPIO2 for buffered output

OUT_x_y_SR_GPIO_EN must be enabled for use with SYSREF re-sample source or for routing SYSREF or 1-PPS to GPIO.

Re-sampled source must be enabled (if any)
Source for GPIO must be enabled (if any)

☐ OUT_0_1_SR_GPIO_EN
☐ OUT_4_5_SR_GPIO_EN
☐ OUT_6_7_SR_GPIO_EN
☐ OUT_8_9_SR_GPIO_EN
☐ OUT_10_11_SR_GPIO_EN

SYSREF SYNC ENABLES	Bypass	CHDIV	SYSREF Mode	Pulser Count	SYSREF Divide	SYSREF Divide Delay	SYSREF Divide Delay	Analog Delay
☒ OUT_0_1_SR_DIV_SYNC_EN	☐ Bypass		None	1	250	0	0	☐ Enable
☒ OUT_4_5_SR_DIV_SYNC_EN	☒ Bypass		None	1	250	0	0	☐ Enable
☒ OUT_6_7_SR_DIV_SYNC_EN	☒ Bypass		None	1	250	0	0	☐ Enable
☒ OUT_8_9_SR_DIV_SYNC_EN	☒ Bypass		None	1	250	0	0	☐ Enable
☒ OUT_10_11_SR_DIV_SYNC_EN	☒ Bypass		None	1	250	0	0	☐ Enable

POST AND CHANNEL DIVIDER SYNC ENABLES
Set all SYNC enables
Clear all SYNC enables
Set SYNC enables for Deterministic SYSREF
Set SYNC enables for Non-disruptive SYSREF

APLL POST DIVIDERS
☒ PLL1_VCO_DIV_SYNC_EN
☒ PLL2_VCO_DIV_SYNC_EN

OUTPUT CHANNEL DIVIDERS
☒ OUT_0_1_DIV_SYNC_EN
☒ OUT_2_SYNC_EN
☒ OUT_3_SYNC_EN
☒ OUT_4_5_DIV_SYNC_EN
☒ OUT_6_7_DIV_SYNC_EN
☒ OUT_8_9_DIV_SYNC_EN
☒ OUT_10_11_DIV_SYNC_EN

图 3-22. SYNC/SYSREF/1-PPS 页面

3.3.8 使用输出页面

“Outputs” 页面显示了输出通道所有可能的源频率。为了简化提供输出频率所需的设置字段，一个源多路复用器列出了每个输出所有可能的源。确保在屏幕右侧启用或禁用所需的输出。

“Outputs” 页面下方有许多更详细的输出页面，显示每组输出的各个控件。

OUT2 到 OUT3、OUT4 到 OUT7 以及 OUT8 到 OUT11 之间的黑线表示所有这些输出都必须来自同一个 VCO。

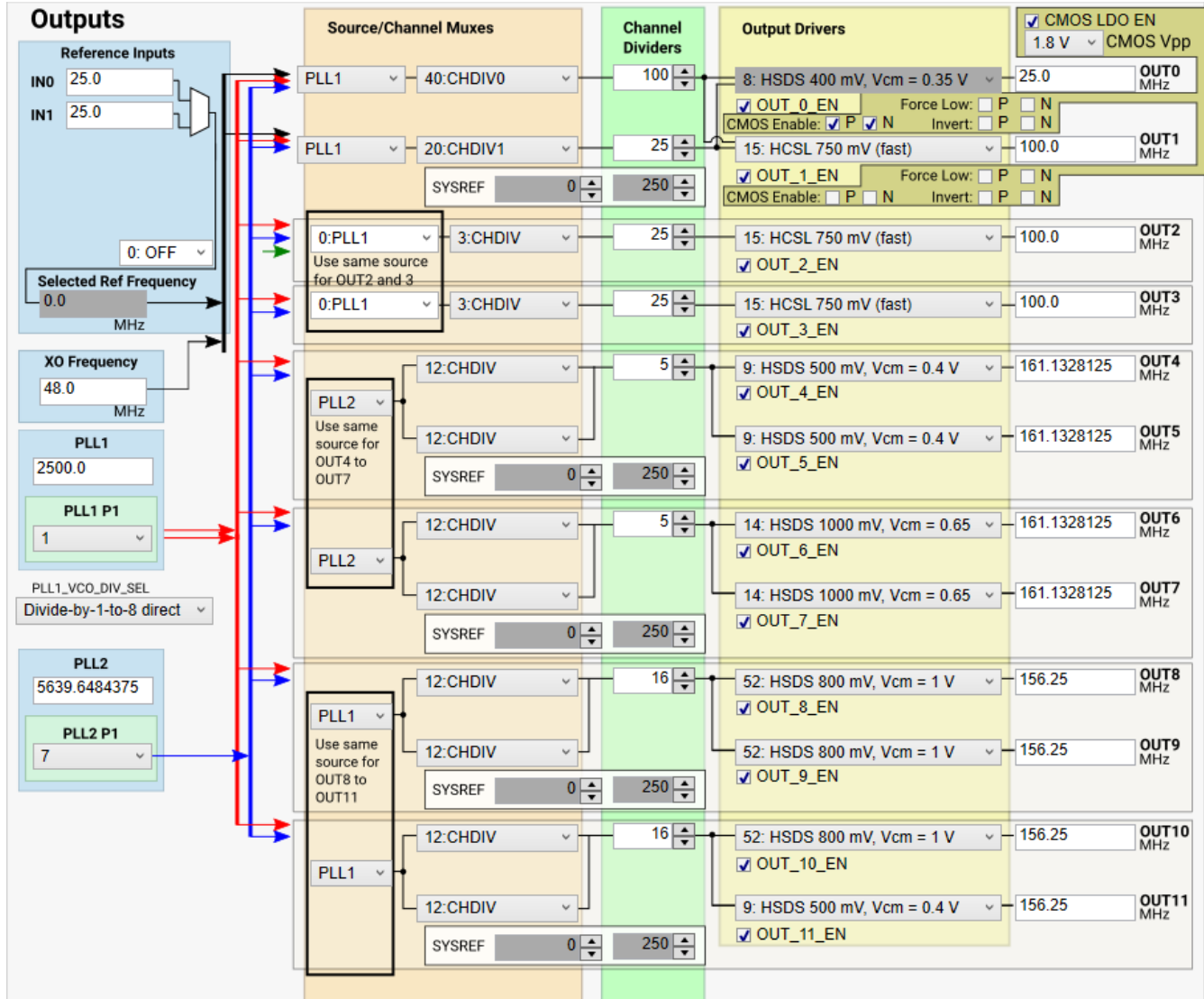


图 3-23. 输出页面

3.3.9 EEPROM 页面

EEPROM 页面用于将当前加载的器件设置写入器件 EEPROM。要对 EEPROM 进行编程，请按 **Program EEPROM** 按钮。

按“Register commit method”按钮，即可创建一系列寄存器。该系列被编程到 LMK5B12212 后，可对 EEPROM 进行编程。

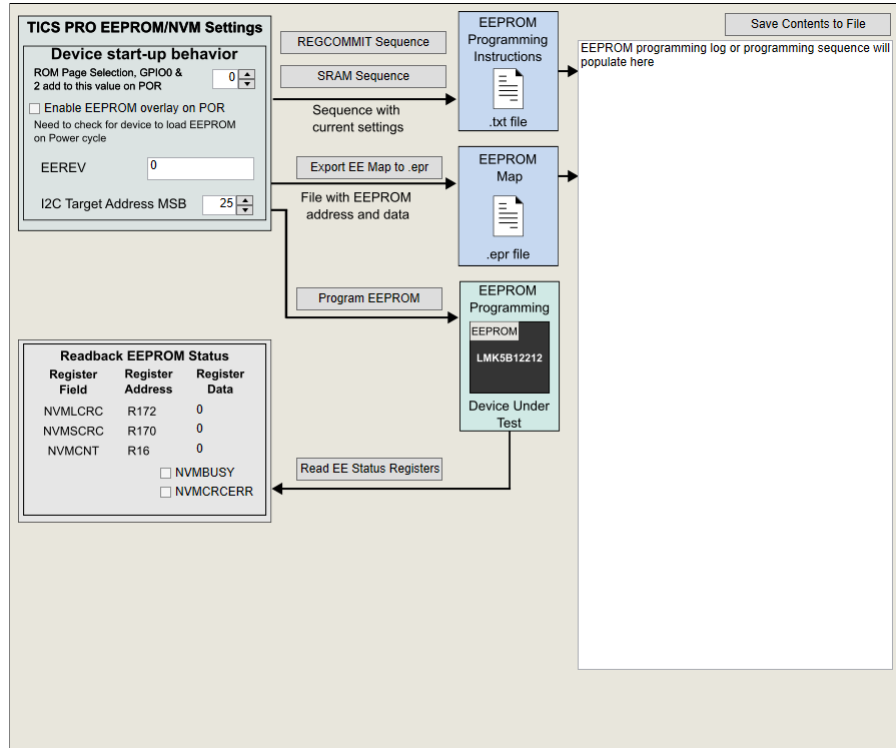


图 3-24. EEPROM 页面

3.3.10 设计报告页面

“Design Report” 页面显示当前配置文件设置的概述。

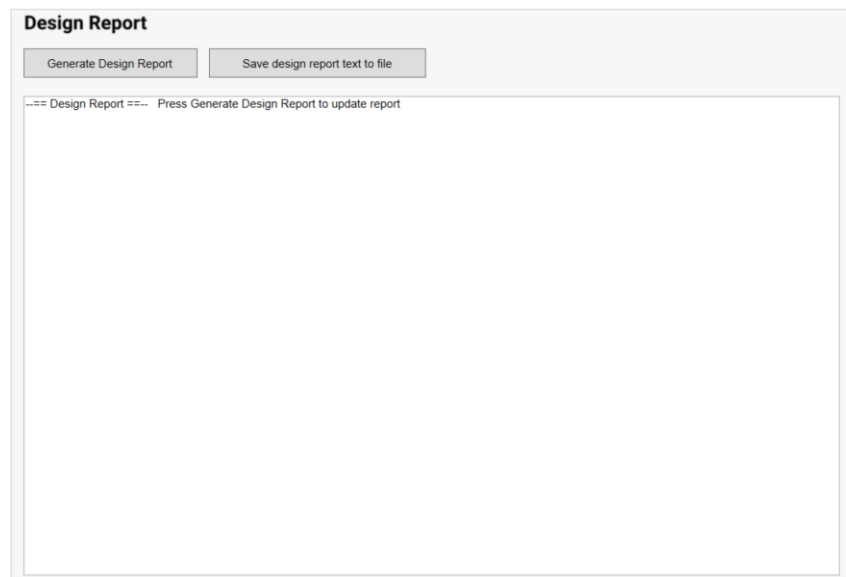


图 3-25. 设计报告页面

4 EVM 配置

4.1 评估设置

本节介绍了此 EVM 上的电源、逻辑以及时钟输入和输出接口，以及如何连接、设置和操作 EVM。请参阅图 4-1。

表 4-1. 关键元件参考位号和说明

项目编号	基准位号	说明
1	U1	LMK5B12212
2	J500 (VIN4 端子块接头)	外部电源，使用默认配置的 +12V 直流电源。
3	A	Y1
	B	J8
4	J4/5、J6/7	用于时钟输入 (IN0_P/N 和 IN1_P/N) 的 SMA 端口。 IN0_N 未组装，IN0_P 配置为单端输入。IN1 配置为差分输入。
5	J9/11、J10/12、J13/15、J14/16、 J17/19、J18/20、J21/J23、J22/24、 J25/27、J26/28、J29/31、J30/32、 J33/35、J34/36、J37/39、J38/40	用于时钟输出的 SMA 端口
6	S5	常开。用于器件断电的按钮 (PDN 引脚)。R76 可通过 GUI 控制 PDN 引脚。 默认情况下安装 R76。
7	JP5	用于 I ² C/SPI 接口的跳线接头 (MCU 至 LMK5B12212)
8	D6	SCL 或 SCK 繁忙指示 LED。
9	J41	用于 MCU 的 USB 端口

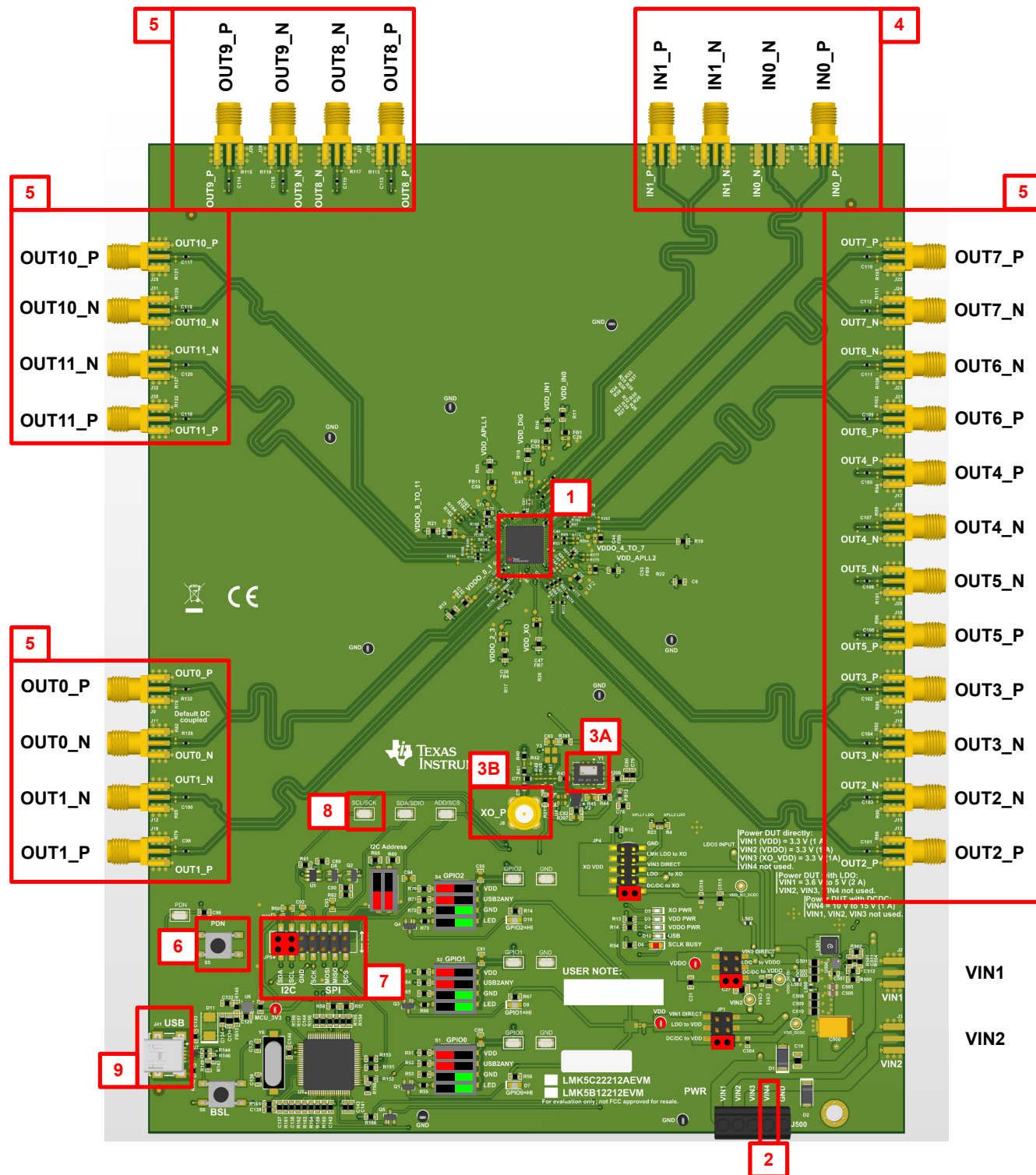


图 4-1. 主要元件 - EVM 顶面

4.1.1 电源

LMK5B12212 具有 VDD 和 VDDO 电源引脚，工作电压为 $3.3V \pm 5\%$ 。

J500 是外部电源的主电源端子。电源 SMA 端口 VIN1 (J2) 提供了另一种连接器类型，可通过同轴电缆供电。默认情况下不组装此 SMA 连接器。

在 EVM 上有三种供电方法。

1. 默认电源配置通过连接到 J500 上 VIN4 的外部 12V 电源输入，使用板载直流/直流电源 (U500) 为所有 VDD 和 VDDO 引脚以及板载 XO 供电。
2. LDO 电源配置通过连接到 J500 (或 J2) 上 VIN1 的外部 5V 电源输入，使用三个独立的 LDO 稳压器 (U9、U10 和 U11) 为 VDD、VDDO 和 XO 供电。
3. 直接电源配置允许为 VDD、VDDO 和 XO 提供单独的电压电源。在直接电源配置模式下，为 VIN1 提供 3.3V 外部电源来为 VDD 引脚供电，为 VIN2 提供 3.3V 外部电源来为 VDDO 引脚供电，为 VIN3 提供 3.3V 外部电源来为板载 XO 供电。

备注

要操作 EVM，并不需要使用每种电源连接方式。也可进行其他电源配置。请参阅图 5-1 和图 5-3 中的电源原理图。

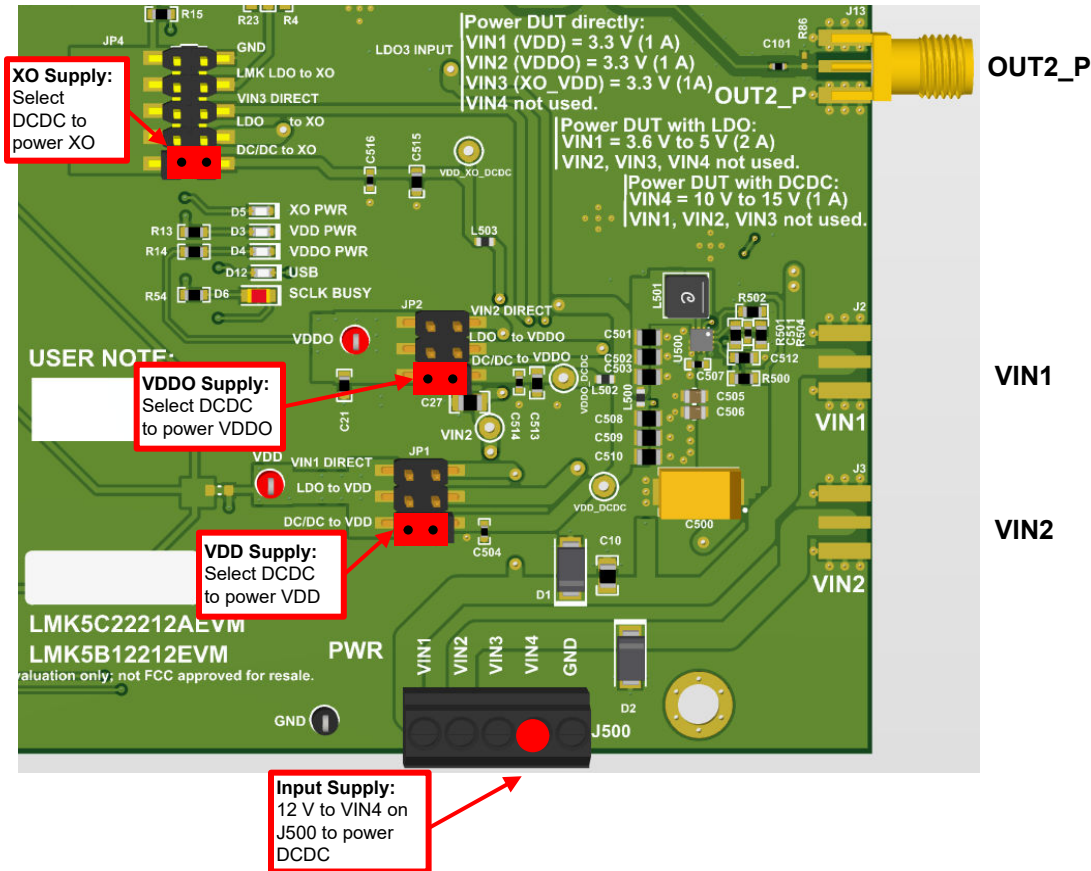


图 4-2. 默认电源跳线配置

图 4-2 显示了电源跳线的默认位置和设置。表 4-2 显示了 LMK5B12212 的建议电源配置。

表 4-2. 建议电源配置

连接	名称	板载直流/直流电源 (默认)	板载 LDO 稳压器	直接外部电源
		VDD = 3.3V (直流/直流) VDDO = 3.3V (直流/直流) XO = 3.3V (直流/直流)	VDD = 3.3V (LDO1) VDDO = 3.3V (LDO2) XO = 3.3V (LDO3)	VDD = 3.3V (外部 VIN1) VDDO = 3.3V (外部 VIN2) XO = 3.3V (外部 VIN3)
J500	PWR	- 引脚 1 (VIN1): 不适用 - 引脚 2 (VIN2): 不适用 - 引脚 3 (VIN3): 不适用 - 引脚 4 (VIN4): 连接到外部 12V 电源 - 引脚 5 (GND): 连接到电源地	- 引脚 1 (VIN1): 连接到外部 5V 电源 - 引脚 2 (VIN2): 不适用 - 引脚 3 (VIN3): 不适用 - 引脚 4 (VIN4): 不适用 - 引脚 5 (GND): 连接到电源地	- 引脚 1 (VIN1): 连接到外部 3.3V 电源 - 引脚 2 (VIN2): 连接到外部 3.3V 电源 - 引脚 3 (VIN3): 连接到外部 3.3V 电源 - 引脚 4 (VIN4): 不适用 - 引脚 5 (GND): 连接到电源地
JP1	VDD	连接引脚 1-2 (位号对面), 从直流/直流到 VDD 平面选择 3.3V	连接引脚 3-4 (中间引脚), 从 LDO1 到 VDD 平面选择 3.3V	连接引脚 5-6 (邻近位号), 选择外部 VIN1 至 VDD 平面
JP2	VDDO	连接引脚 1-2 (位号对面), 从直流/直流到 VDDO 平面选择 3.3V	连接引脚 3-4 (中间引脚), 从 LDO2 到 VDDO 平面选择 3.3V	连接引脚 5-6 (邻近位号), 选择外部 VIN2 至 VDDO 平面
JP4	XO	连接引脚 1-2 (位号对面), 从直流/直流到 XO 电源选择 3.3V	连接引脚 3-4 (中间引脚), 从 LDO3 到 XO 电源选择 3.3V	连接引脚 5-6 (邻近位号), 选择外部 VIN3 到 XO 电源

4.1.2 逻辑输入与输出

LMK5B12212 的逻辑 I/O 引脚支持不同的功能, 具体取决于 POR 时 GPIO1 输入电平选择的器件启动模式。

默认逻辑输入引脚状态由板载上拉或下拉电阻器决定, 但某些输入引脚可由 MCU 输出或 DIP 开关控制驱动为高电平或低电平状态。MCU 可通过运行 TICS Pro 软件的 PC 进行控制, 从而通过 I2C 或 SPI 对器件寄存器进行编程, 并驱动 LMK5B12212 逻辑输入。要使 MCU 能够控制引脚输入, 与受控 GPIO 相关的 DIP 开关的 SW[2] 必须设置为 ON。

请参阅表 4-3, 了解器件启动模式的逻辑引脚映射表。

表 4-3. 器件启动模式

GPIO1 输入电平 ⁽¹⁾	启动模式
低	I ² C 模式
高	SPI 模式

(1) 这些引脚上的输入电平仅在 POR 期间采样。

4.1.3 在 I2C 和 SPI 之间切换

要使 EVM 在 I2C 和 SPI 模式之间切换，必须按如下方式配置开关和跳线：

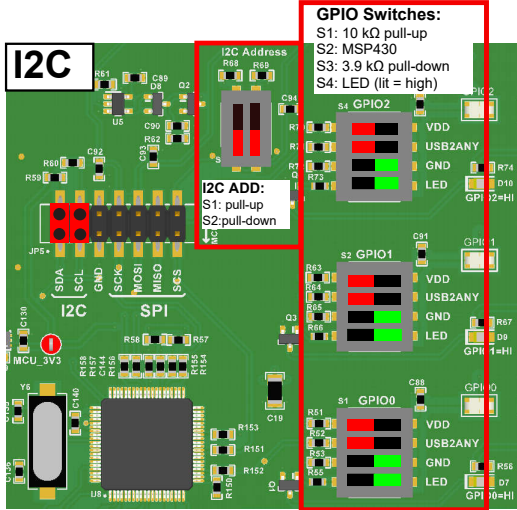


图 4-3. I2C 模式跳线配置

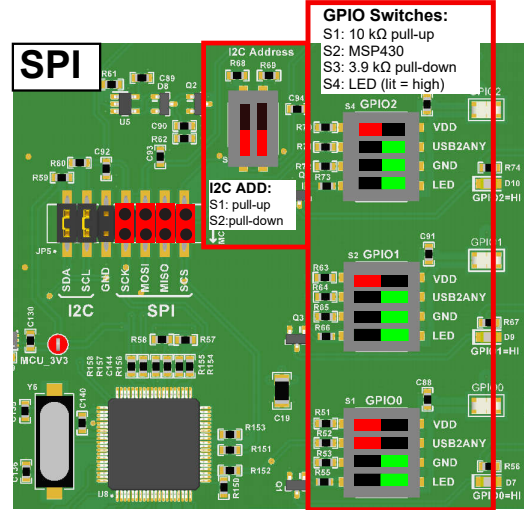


图 4-4. SPI 模式跳线配置

在 SPI 模式下，GPIO2 也必须配置为 *STATUS* or *INT*、*SPI Readback Data (SDO)*、*Active High* 和 *CMOS* 以支持 SPI 回读。

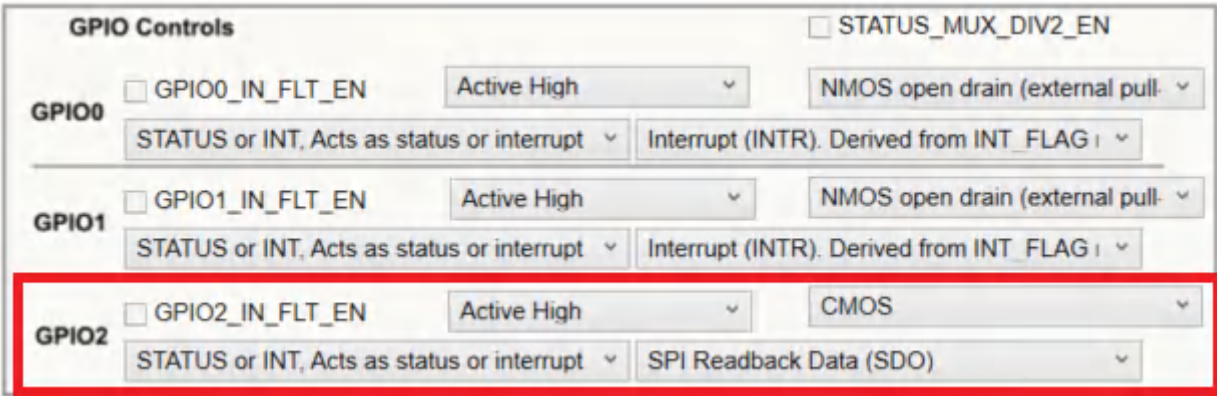


图 4-5. SPI 模式的 GPIO2 设置

必须在 TICS Pro 中设置通信协议。从菜单栏中选择 *USB communications* → *Interface*，打开 *Communication Setup* 窗口并更改协议。

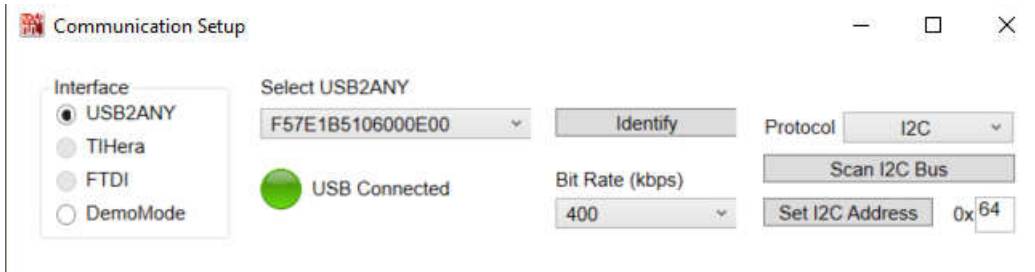


图 4-6. 通信设置窗口 (从 I2C 更改为 SPI)

4.1.4 生成 SYSREF 请求

软件请求 GPIO0 或 GPIO1 可用于生成 SYSREF 请求。TICS Pro 软件和 EVM 设计为使用 GPIO2 进行 SPI 回读 (SDO)。因此，GPIO2 未列于引脚中，因为它专用于 SPI 回读。在用户应用中，可以使用任何 GPIO 引脚。

在所需 GPIO 的开关部分将 S2 设置为 ON，可将所需的 GPIO 引脚连接到 MCU。然后，在 GUI 的 GPIO 选项卡上确保该 GPIO 引脚配置为 **SYSREF_REQ**。现在可以在 **User Controls** 选项卡的 **Pins** 部分切换 GPIO 按钮，发出 SYSREF 请求。

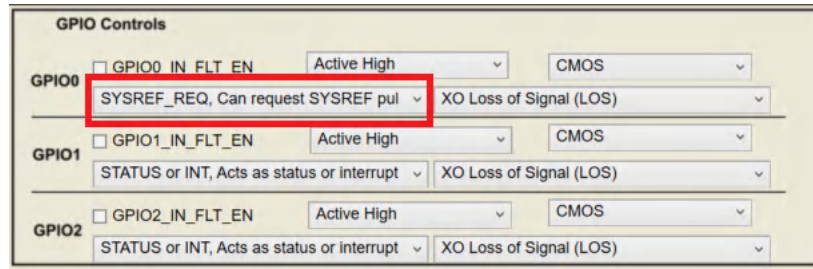


图 4-7. SYSREF 请求的 GPIO 设置

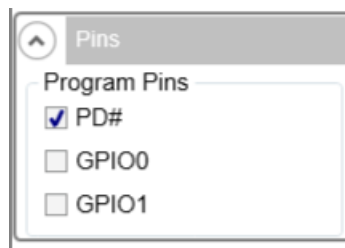


图 4-8. SYSREF 的 GPIO 引脚选择

4.1.5 XO 输入

LMK5B12212 有一个 XO 输入 (XO 引脚)，可接受分数 N APLL 的基准时钟。XO 输入决定了自由运行模式或保持模式下输出频率的精度和稳定性。对于 SyncE 或 IEEE 1588 等同步应用而言，XO 输入通常由符合应用频率精度和保持稳定性要求的低频 TCXO 或 OCXO 驱动。为了实现 DPLL 正常运行，XO 频率必须与使用此 XO 输入作为基准的任何 APLL 的 VCO 输出频率具有非整数频率关系。非整数关系必须离整数边界大于 0.05 (即大于 0.05 并小于 0.95)。如果将 LMK5B12212 配置为时钟发生器 (未使用 DPLL)，XO 频率可以与 APLL 输出频率具有整数关系。

LMK5B12212 的 XO 输入具有可编程片上输入终端和交流耦合输入偏置选项，可支持任何时钟接口类型。

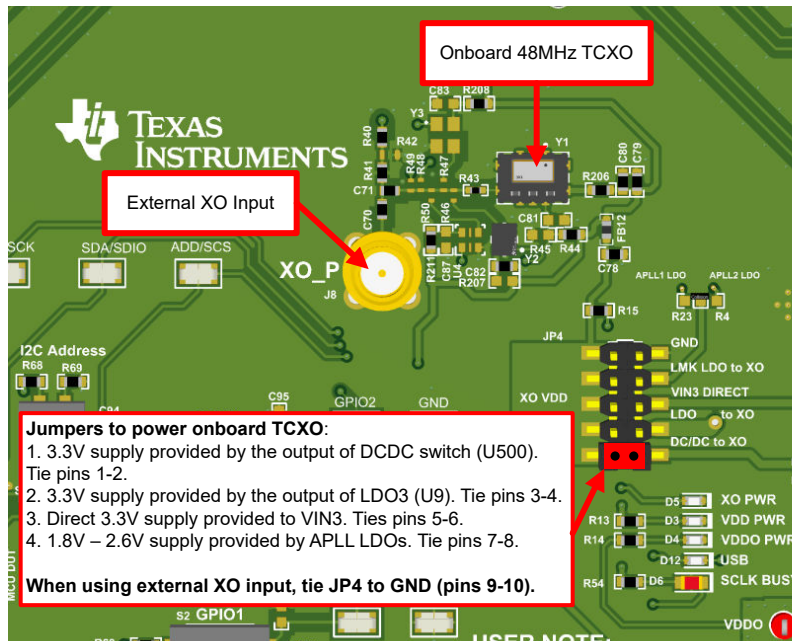


图 4-9. XO 输入

4.1.5.1 48MHz TCXO (默认)

默认情况下，该 EVM 组装了 48MHz、3.3V LVCMOS、低抖动 TCXO，位号为 Y1 (3.2mm x 2.5mm)，通过板载终端和交流耦合驱动 LMK5B12212 的 XO 输入。具体请参阅图 4-9。所有 LMK5B12212 EVM 的 Y1 都组装了 TXC 7N48071001 48MHz TCXO。Y1 可用于评估各种频率配置。

4.1.5.2 外部时钟输入

另一种选项是将外部时钟馈送到 SMA 端口 (J8) 以驱动 XO 输入。请参阅图 4-9。此路径可连接到 XO 输入引脚。使用外部 XO 输入路径时，Y1 必须断电。要将 Y1 断电并使用外部 XO 输入，必须移除 JP4 上的跳线。为实现出色的器件性能，建议的 XO 频率为 38.88MHz 和 48MHz。

4.1.5.3 附加 XO 输入选项

为了实现灵活性，EVM 提供了附加 XO 输入选项 (一次使用一种)。C70 支持在 SMA 连接器 XO (J8) 上提供外部基准。C71 支持使用板载 XO/TCXO/OCXO 尺寸之一。

默认情况下，Y1 组装了 48MHz TCXO，并可选择组装 R43 和 R206。R43 向 LMK5B12212 的 XO 引脚提供 Y1 的输出时钟，而 R206 向 Y1 提供电源。

Y2 (2.5mm x 2.0mm) 组装了 TI 高性能 48MHz BAW 振荡器 LMK6C。该 BAW 振荡器未连接到 LMK5B12212。必须组装 R46，以便向 XO 引脚提供 Y2 的输出。

还有额外的 PCB 空间可安装替代元件，用于评估特定振荡器的性能。这些额外的封装为 Y3 (3.2mm x 2.5mm)、Y4 (9.7mm x 7.5mm)、Y5 (25mm x 22mm) 和 U4 (2.5mm x 2mm)。

使用 Y2、Y3、Y4、Y5 或 U4 时，必须移除 R43 和 R206 来断电并隔离 Y1 的输出。如果组装了 Y3，就必须组装 R47，从而向 XO 引脚提供 Y3 的输出。如果组装了 Y4，就必须组装 R48，从而向 XO 引脚提供 Y4 的输出。如果组装了 Y5，就必须组装 R49，从而向 XO 引脚提供 Y5 的输出。如果组装了 U4，就必须组装 R50，从而向 XO 引脚提供 U4 的输出。节 5.1.8 展示了上述元件。

如果安装了多个器件，要如上所述小心移除电阻器，使未用的振荡器断电并隔离输出。

4.1.5.4 APLL 基准选项

LMK5B12212 APLL 可接受任何其他 APLL 输出作为基准，而不使用 XO。APLL1 上的 BAW 为高频级联 APLL 基准提供了一个很好的选择。图 3-4 展示了如何将 APLL 基准配置为从另一个 APLL 级联。

4.1.6 基准时钟输入

LMK5B12212 有两个 DPLL 基准时钟输入对 (IN0_P/N 和 IN1_P/N)，它们具有可配置的输入优先级和输入选择模式。输入具有可编程输入类型，端接和偏置选项，可支持任何时钟接口类型。

外部 LVCMOS 或差分基准时钟输入可应用于标记为 IN0_P/N 和 IN1_P/N 的 SMA 端口。所有 SMA 输入均通过 50 Ω 单端布线传输，并直流耦合到 LMK5B12212 的相应 IN0_P/N 和 IN1_P/N 引脚。单端信号必须连接到同相输入 IN0_P 或 IN1_P。EVM 默认将 IN0 用于单端输入，因为未组装 IN0_N SMA 连接器。

4.1.7 时钟输出

LMK5B12212 具有 12 个时钟输出对 (OUT[0:15]_P/N)。

出于 LVCMOS 评估目的，OUT0 配置为直流耦合。OUT1、OUT2 和 OUT3 具有 50 Ω (连接 GND)，后跟交流耦合电容器，用于 HCSL 评估。OUT4 至 OUT11 交流耦合至 SMA 端口，用于 LVDS 和 HSDS 评估。

警告

不得将直流耦合时钟直接连接到无法接受 0V 以上直流电压的射频设备，例如频谱分析仪和相位噪声分析仪。

4.1.8 状态输出和 LED

状态输出信号可在 GPIO0、GPIO1 和 GPIO2 引脚上配置。状态输出类型为 3.3V LVCMOS 或 NMOS 开漏输出。

4.1.9 进行测量的要求

在使用 LMK5B12212EVM 的情况下进行测量时，必须完成以下程序：

1. 确保所有必需的输出全部安装适当的终端元件，以匹配所需的输出类型。图 4-10 展示了适合每种输出格式的建议输出终端。

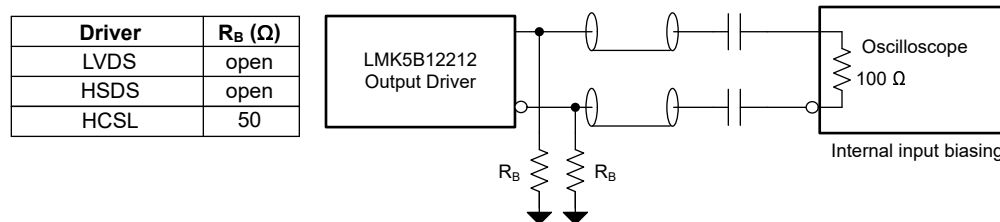


图 4-10. 输出终端建议

2. 确保所有未连接到任何测试设备的已启用输出都具有 50 Ω SMA 终端。图 4-11 显示了 50 Ω SMA 终端的示例。



图 4-11. 50 Ω SMA 终端

4.2 典型相位噪声特性

这些图显示了从 BAW (VCO1) 输出的常用频率的典型相位噪声表现。

用于获得这些测量值的 EVM 配置如下：

1. XO 频率 = 48MHz (板载 TCXO)
2. 输出按照节 4.1.9 中所述的方法配置为 HSDS 输出。

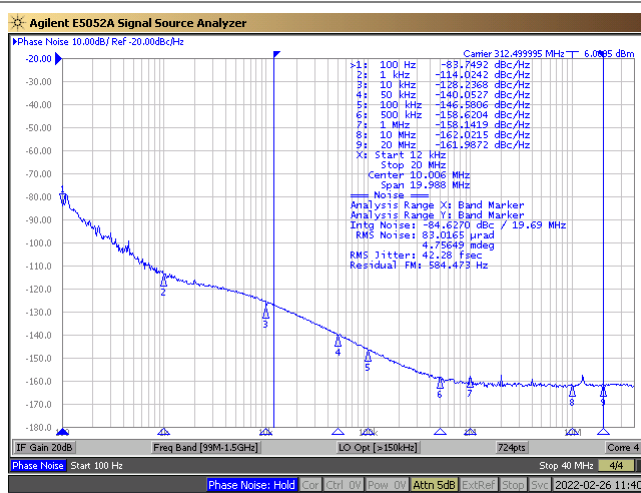


图 4-12. APLL1 312.5MHz 相位噪声性能

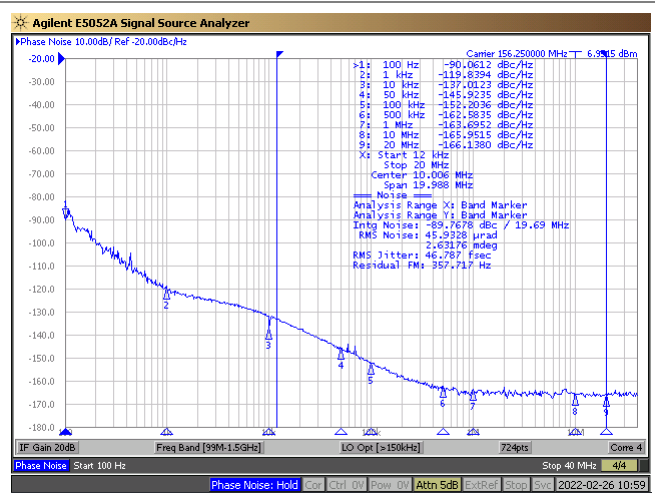


图 4-13. APLL1 156.25MHz 相位噪声性能

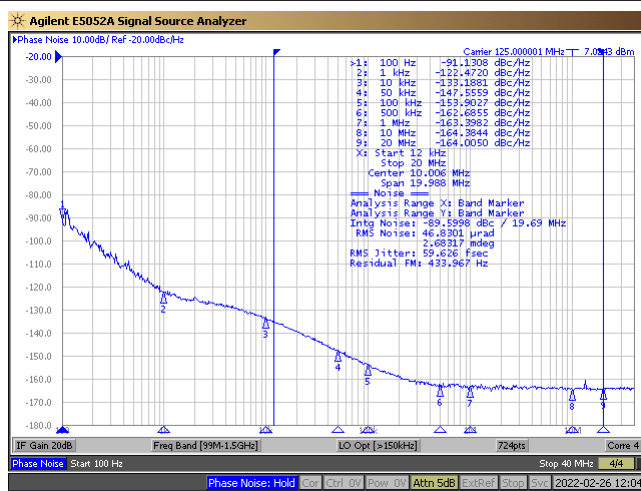


图 4-14. APLL1 125MHz 相位噪声性能

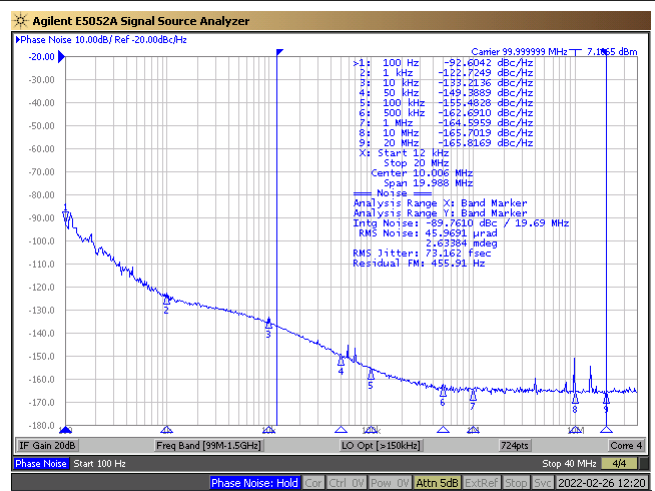


图 4-15. APLL1 100MHz 相位噪声性能

5 硬件设计文件

5.1 原理图

5.1.1 电源原理图

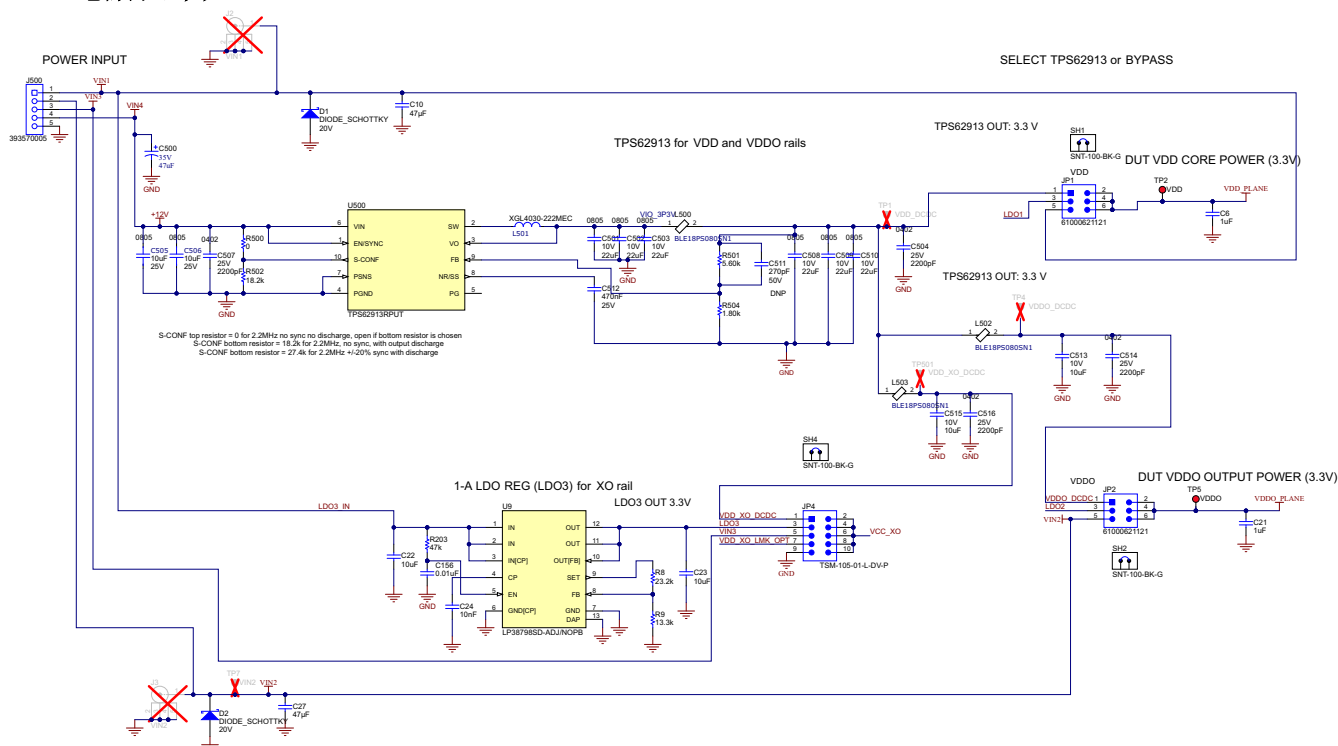


图 5-1. 电源

5.1.2 备选电源原理图

1-A LDO REG (LDO1, LDO2) for DUT VDD & VDDO rails

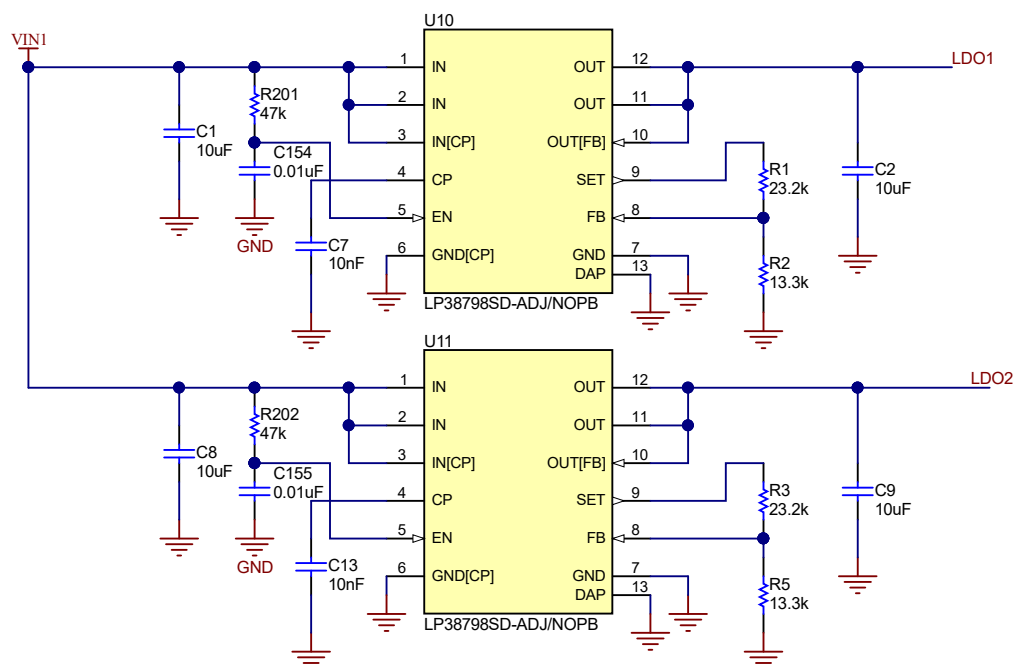


图 5-2. 备选电源

5.1.3 配电原理图

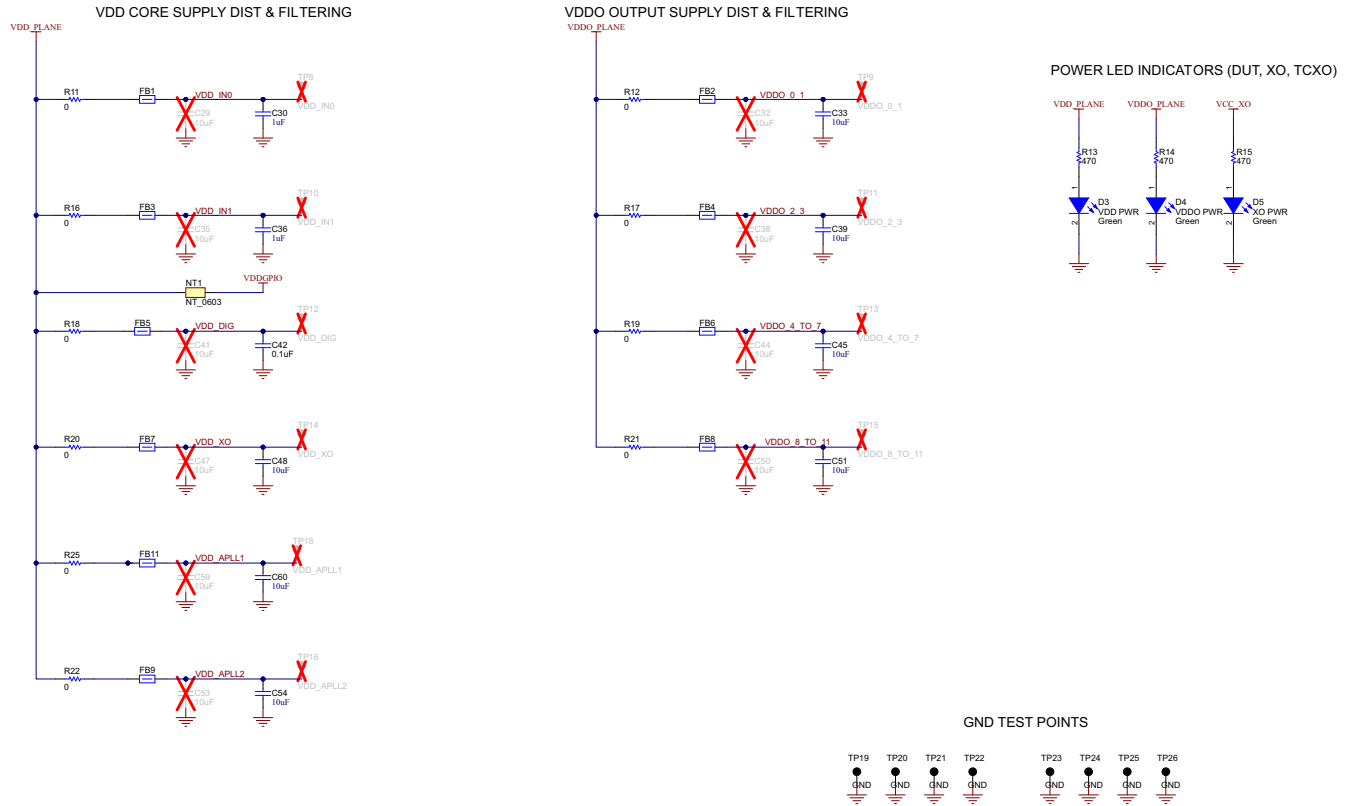


图 5-3. 配电

5.1.4 LMK5B12212 和输入基准 IN0 至 IN1 原理图

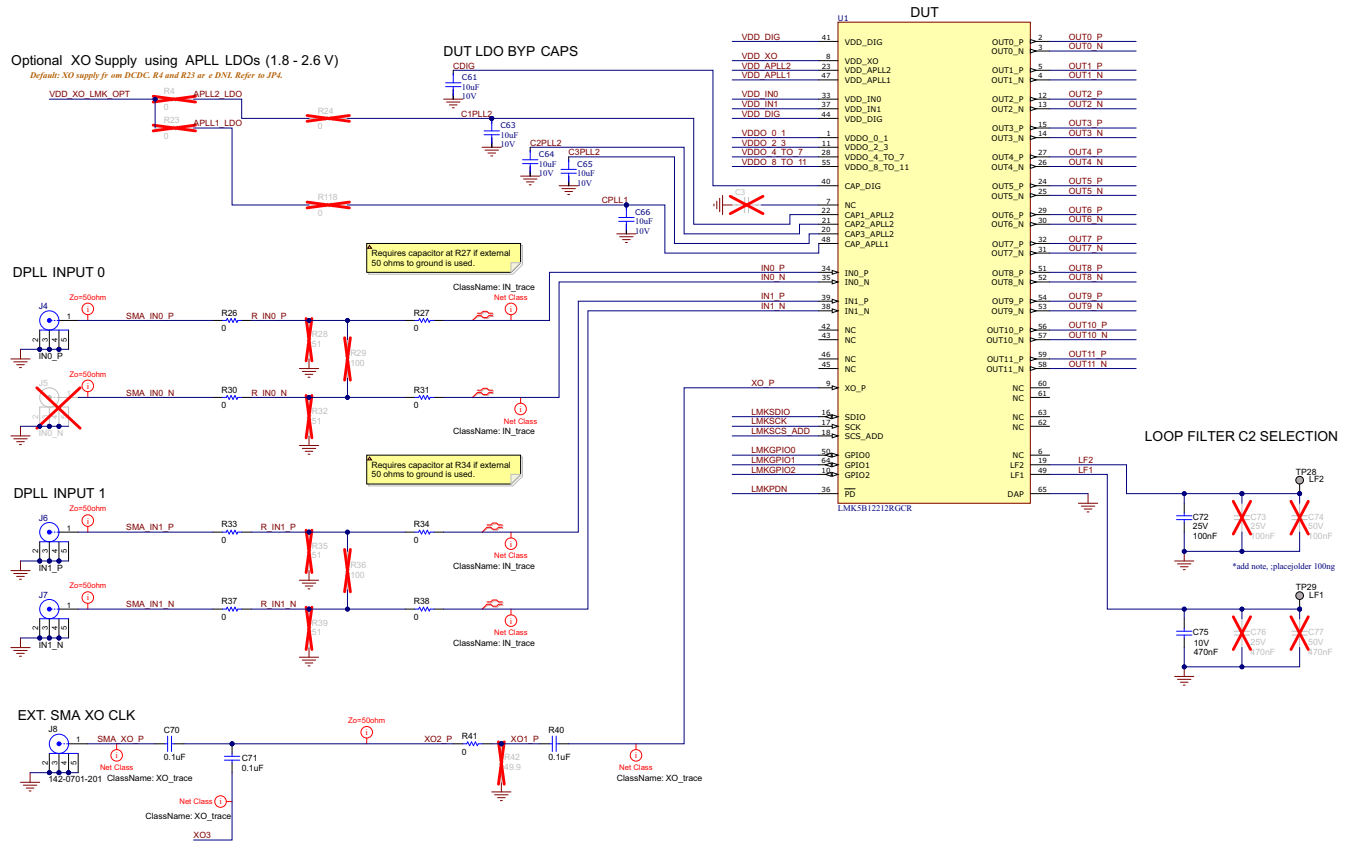


图 5-4. LMK5B12212 和输入基准输入 IN0 至 IN1

5.1.5 时钟输出 OUT0 至 OUT3 的原理图

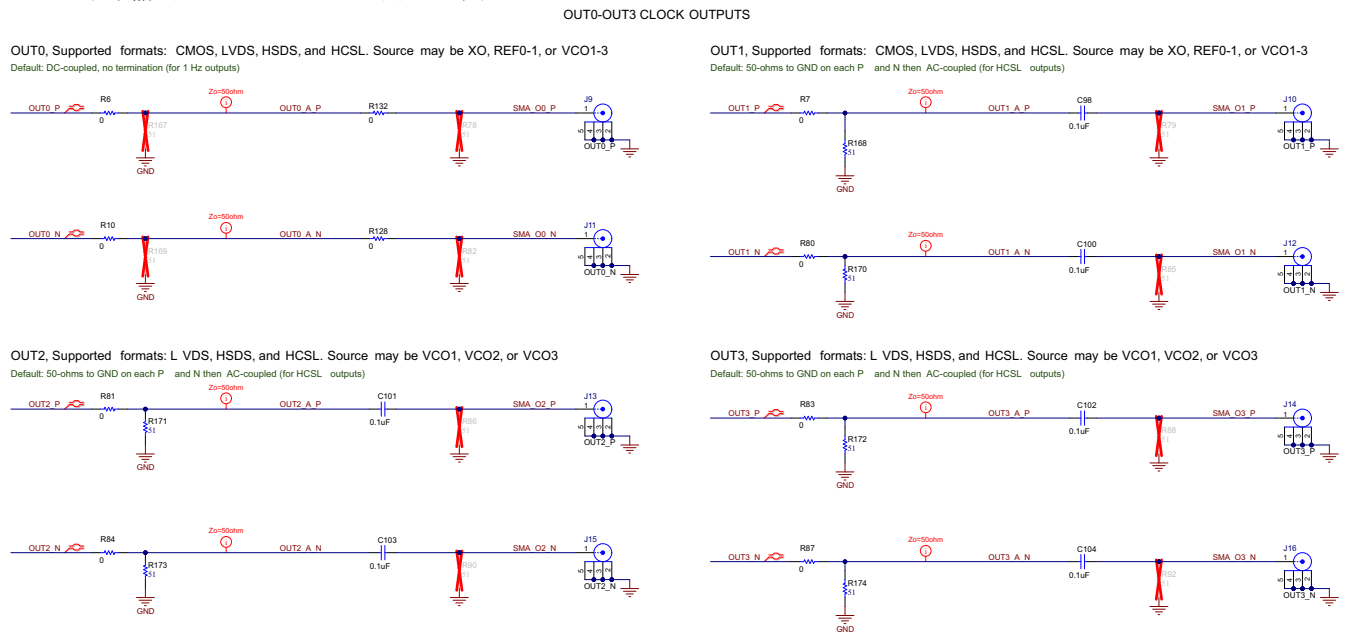
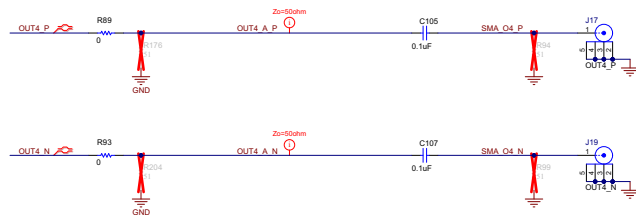


图 5-5. 时钟输出 OUT0 至 OUT3

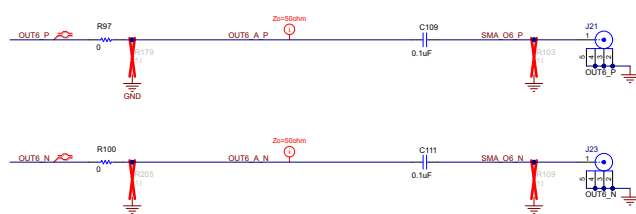
5.1.6 时钟输出 OUT4 至 OUT7 原理图

OUT4 to OUT7 CLOCK OUTPUTS

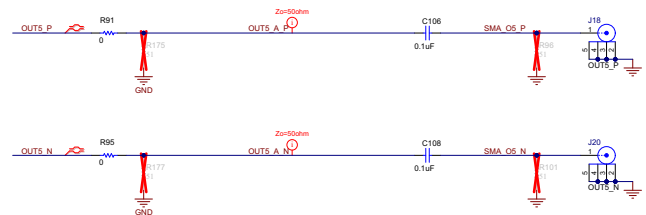
OUT4, Supported formats: L VDS, HSDS, and HCSSL Source may be VCO2 or VCO3
Default: AC-coupled (for HSDS outputs)



OUT6, Supported formats: L VDS, HSDS, and HCSSL Source may be VCO2 or VCO3
Default: AC-coupled (for HSDS outputs)



OUT5, Supported formats: L VDS, HSDS, and HCSSL; Source may be VCO2 or VCO3
Default: AC-coupled (for HSDS outputs)



OUT7, Supported formats: L VDS, HSDS, and HCSSL; Source may be VCO2 or VCO3
Default: AC-coupled (for HSDS outputs)

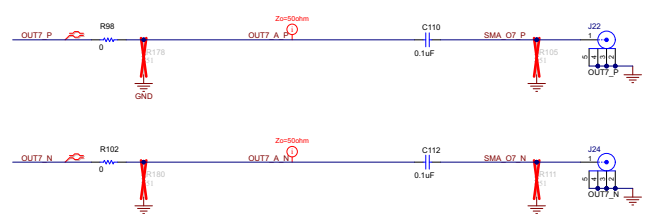
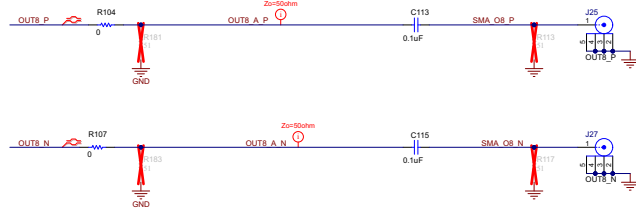


图 5-6. 时钟输出 OUT4 至 OUT7

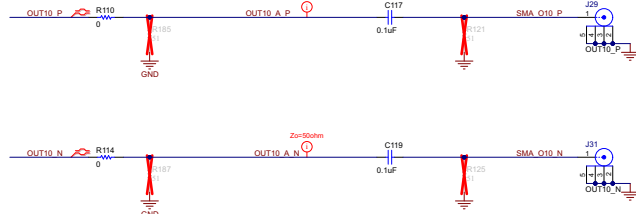
5.1.7 时钟输出 OUT8 至 OUT11 原理图

OUT8-OUT11 CLOCK OUTPUTS

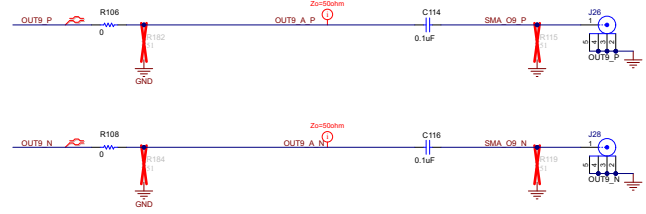
OUT8, Supported formats: L VDS, HSDS, and HCSSL; Source may be VCO2 or VCO3
Default: AC-coupled (for HSDS outputs)



OUT10, Supported formats: L VDS, HSDS, and HCSSL; Source may be VCO2 or VCO3
Default: AC-coupled (for HSDS outputs)



OUT9, Supported formats: L VDS, HSDS, and HCSSL; Source may be VCO2 or VCO3
Default: AC-coupled (for HSDS outputs)



OUT11, Supported formats: L VDS, HSDS, and HCSSL; Source may be VCO2 or VCO3
Default: AC-coupled (for HSDS outputs)

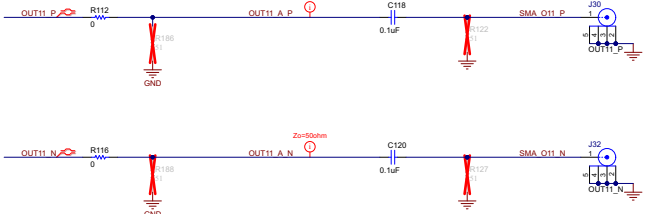


图 5-7. 时钟输出 OUT8 至 OUT11

5.1.8 XO 原理图

3.3V LVCMOS XO (multiple footprints)

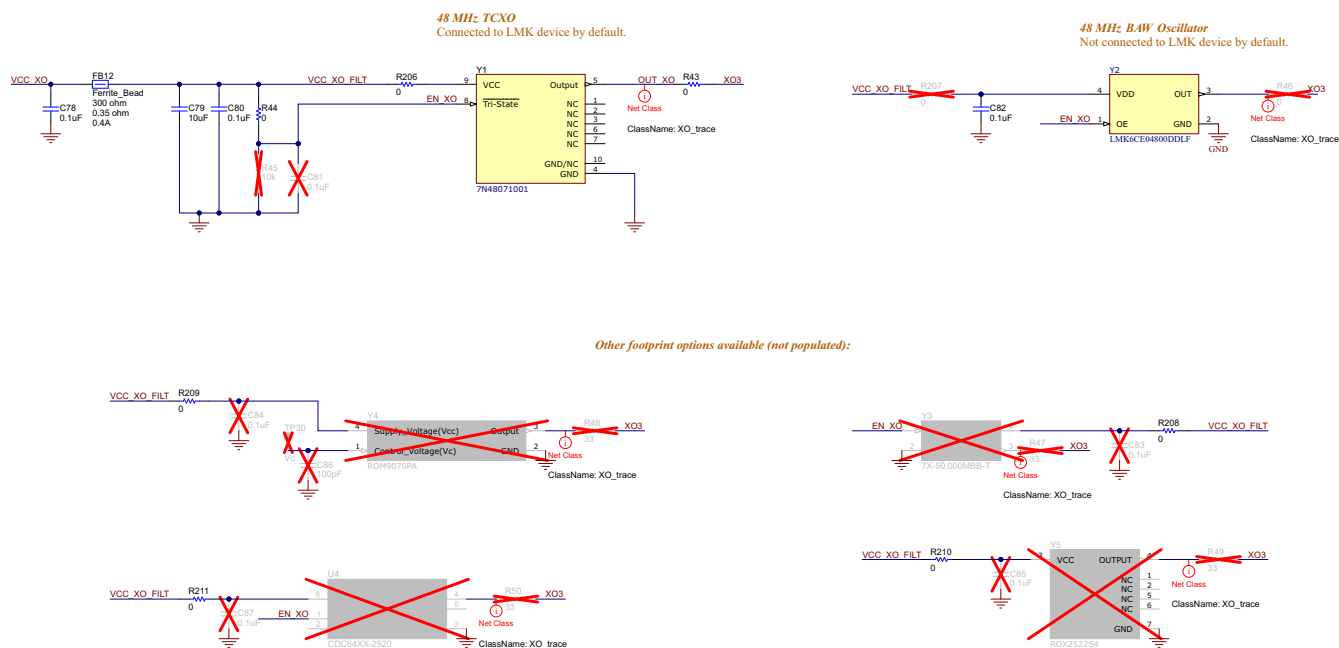


图 5-8. XO

GPIO LEDs

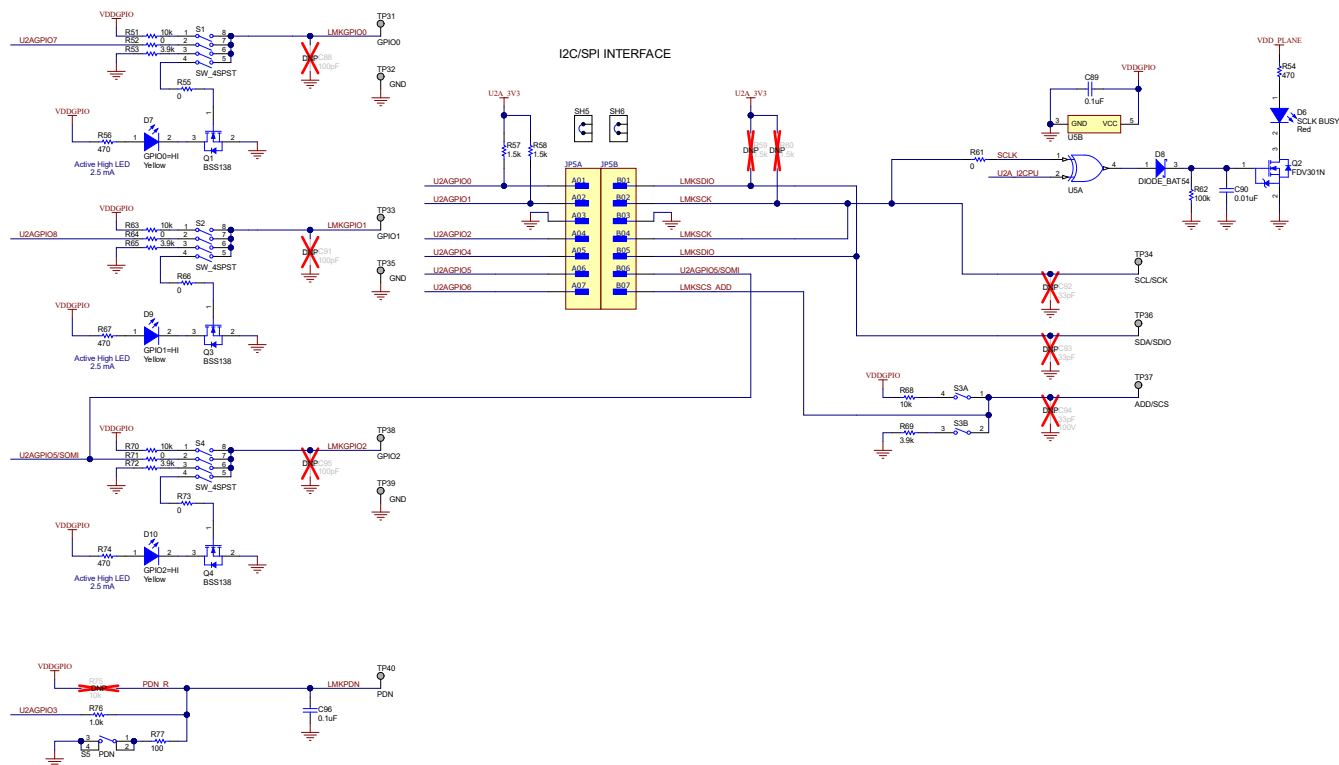


图 5-9. 逻辑 I/O 接口

USB MINI-B CONNECTOR

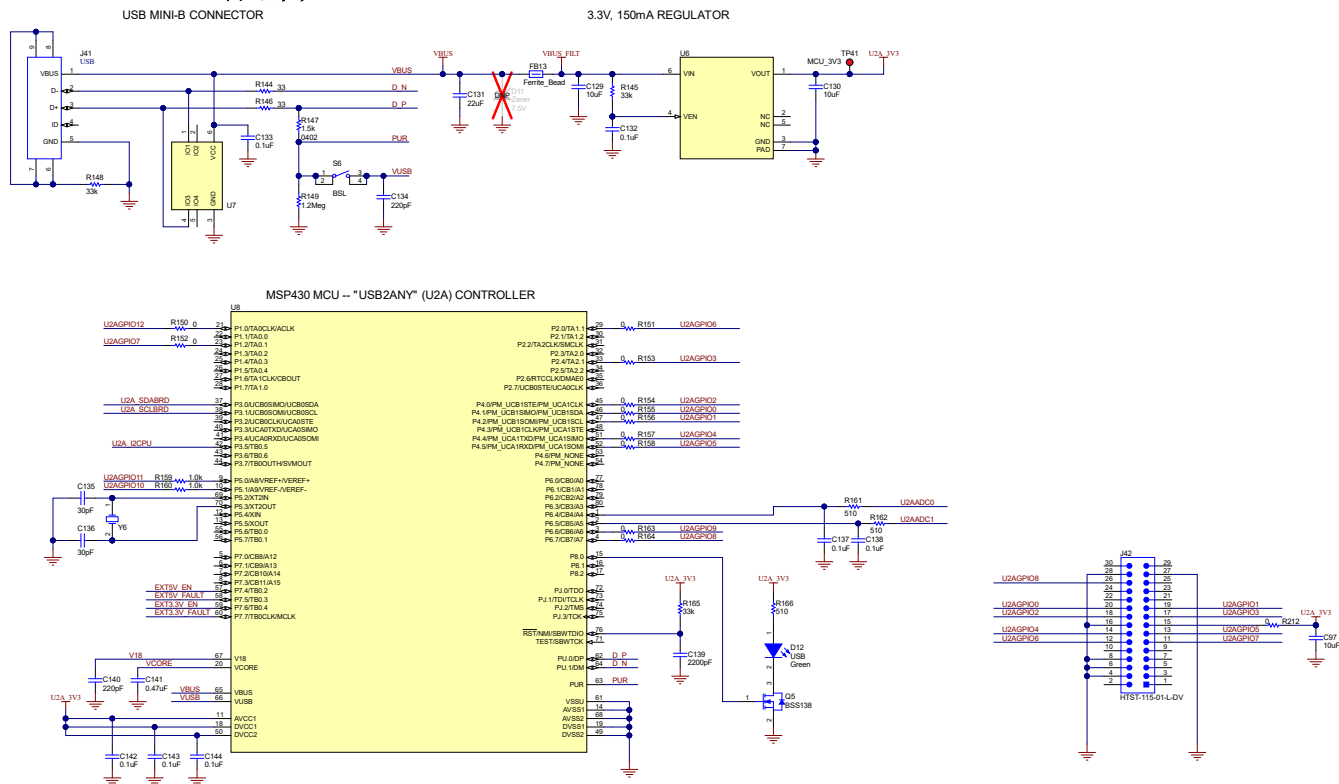


图 5-10. USB MCU

5.2 PCB 布局

5.2.1 布局指南

- 将输入、XO/OCXO/TCXO 和输出时钟与具有不同频率的相邻时钟和其他附近的动态信号进行隔离。
- 根据附近电路（例如、电源、FPGA、ASIC）的电源/接地噪声和热梯度以及系统级振动和冲击来考虑 XO/OCXO/TCXO 的放置和布局。这些因素会影响振荡器的频率稳定性/精度和瞬态性能。
- 避免时钟和动态逻辑信号的受控阻抗 $50\ \Omega$ 单端（或 $100\ \Omega$ 差分）布线上的阻抗不连续。
- 将旁路电容器放置在靠近 IC 同一侧的 VDD 和 VDDO 引脚处，或者直接放置在 PCB 另一侧的 IC 引脚下方。容值较大的去耦电容器可以放置在更远的位置。
- 将外部电容器靠近 CAP_x 和 LFX 引脚放置。
- 如有可能，使用多个过孔将宽电源引线连接到相应的电源岛或电源平面。
- 使用至少 6×6 的穿孔方式将 IC 接地/散热焊盘连接到 PCB 接地平面。
- 请参阅机械、封装和可订购信息部分中的焊盘图案示例、阻焊层详细信息和焊锡膏示例。

5.2.2 布局示例

以下是印刷电路板 (PCB) 布局布线示例，其中展示了热设计实践的应用以及器件 DAP 和 PCB 之间的低电感接地连接。靠近 DAP 放置电源去耦电容器的接地回路。所有配置为差分信号的 OUTx 对必须进行差分布线，并满足布线阻抗要求（通常为 100 欧姆差分）。

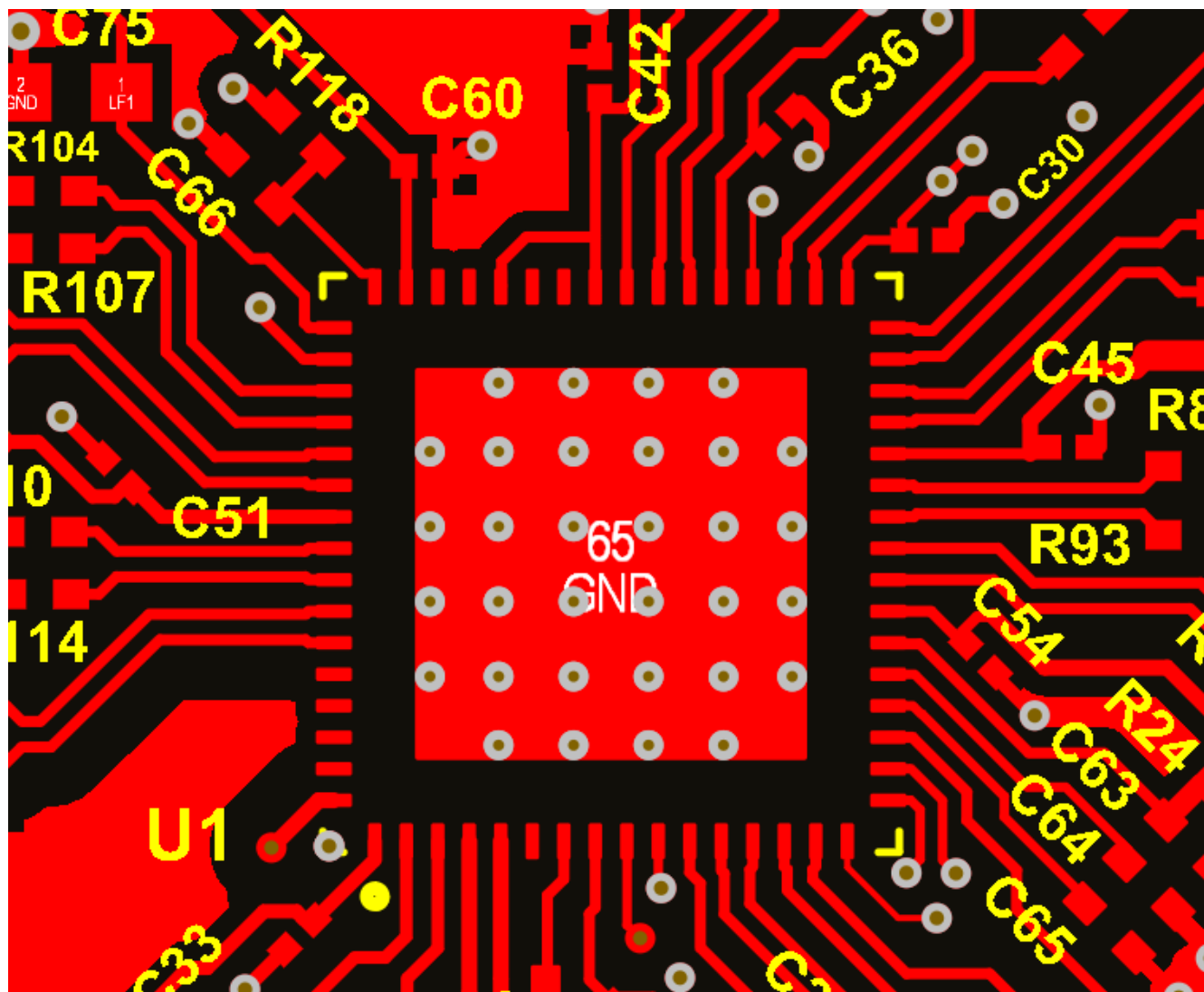


图 5-11. LMK5B12212 的 PCB 布局示例，顶层

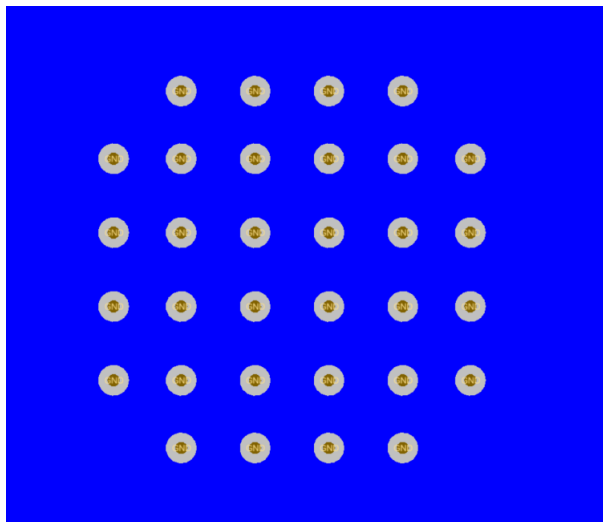


图 5-12. LMK5B12212 的 PCB 布局示例，底层

5.2.3 热可靠性

LMK5B12212 是一款高性能器件。为了提供良好的电气性能和热性能，TI 建议使用至少 6×6 的通孔图案与多个 PCB 接地层连接，在 IC 接地或散热焊盘与 PCB 接地之间设计一个热增强型接口（请参阅图 5-13）。

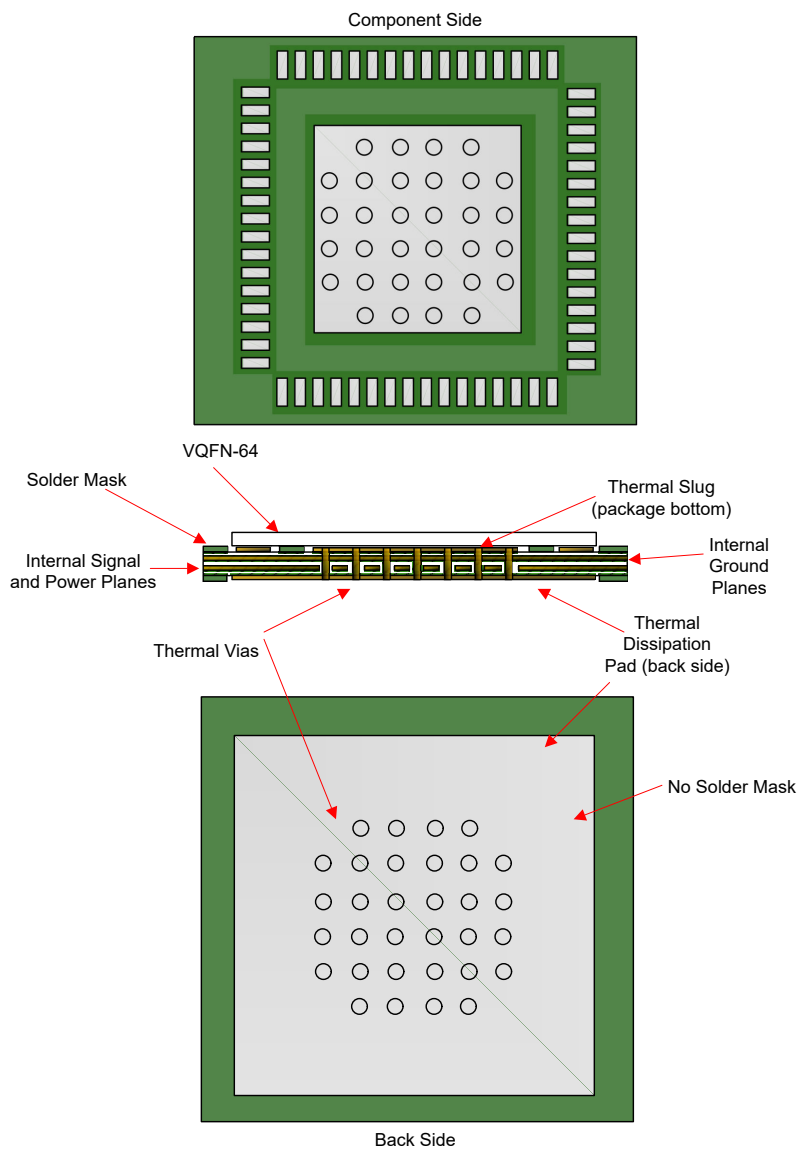


图 5-13. 可实现热可靠性的通用 PCB 接地布局 (建议 8 层以上)

5.3 物料清单 (BOM)

表 5-1. 物料清单 (BOM)

指示符	数量	值	说明	器件型号	制造商
C1、C2、C7、C8、C9、C13、C22、C23、C24、C79、C97、C129、C130	13	10uF	电容, 陶瓷, 10μF, 10V, +/-20%, X5R, 0603	C1608X5R1A106M080AC	TDK
C3	0	10μF	10μF ±20% 10V 陶瓷电容器 X5R 0402 (公制 1005)	KGM05CR51A106MH	KYOCERA AVX
C6、C21	2	1μF	电容, 陶瓷, 1μF, 10V, +/-10%, X5R, 0603	C0603C105K8PACTU	Kemet
C10、C27	2	47uF	电容, 陶瓷, 47μF, 10V, +/-20%, X5R, 0805	GRM21BR61A476ME15L	MuRata
C29、C32、C35、C38、C41、C44、C47、C50、C53、C59	0	10uF	电容, 陶瓷, 10μF, 10V, +/-20%, X5R, 0603	C1608X5R1A106M080AC	TDK
C30、C36	2	1μF	电容, 陶瓷, 1 μ F, 10V, +/-10%, X6S, 0402	GRM155C81A105KA12D	MuRata
C33、C39、C45、C48、C51、C54、C60	7	10uF	电容, 陶瓷, 10μF, 10V, +/-20%, X5R, 0402	GRM155R61A106ME11D	MuRata
C42	1	0.1uF	电容, 陶瓷, 0.1μF, 10V, +/-10%, X5R, 0402	C1005X5R1A104K050BA	TDK
C61、C63、C64、C65、C66	5	10μF	10μF ±20% 10V 陶瓷电容器 X5R 0402 (公制 1005)	KGM05CR51A106MH	KYOCERA AVX
C70、C71、C72、C78、C80、C82、C96、R40	8	0.1uF	电容, 陶瓷, 0.1 μ F, 25V, +/-5%, X7R, 0603	C0603C104J3RACTU	Kemet
C73、C76	0	0.047μF	电容, 陶瓷, 0.047μF, 25V, +/-5%, C0G/NP0, AEC-Q200 1 级, 0805	C0805C473J3GACTU	Kemet
C74、C77	0	0.1uF	电容, 陶瓷, 0.1μF, 50V, +/-5%, C0G/NP0, 1210	C3225C0G1H104J250AA	TDK
C75、C141	2	0.47uF	电容, 陶瓷, 0.47 μ F, 10V, +/-10%, X7R, 0603	GRM188R71A474KA61D	MuRata
C81、C83、C84、C85、C87	0	0.1uF	电容, 陶瓷, 0.1 μ F, 25V, +/-5%, X7R, 0603	C0603C104J3RACTU	Kemet
C86、C88、C91、C95	0	100pF	电容, 陶瓷, 100pF, 50V, +/- 5%, C0G/NP0, 0603	06035A101JAT2A	AVX
C89、C132、C133、C137、C138、C142、C143、C144	8	0.1uF	电容, 陶瓷, 0.1 μ F, 16V, +/-5%, X7R, 0603	C0603C104J4RACTU	Kemet
C90、C154、C155、C156	4	0.01uF	电容, 陶瓷, 0.01μF, 50V, +/- 5%, X7R, 0603	C0603C103J5RACTU	Kemet
C92、C93、C94	0	33pF	电容, 陶瓷, 33pF, 100V, +/-5%, C0G/NP0, 0603	06031A330JAT2A	AVX

表 5-1. 物料清单 (BOM) (续)

指示符	数量	值	说明	器件型号	制造商
C98、C100、C101、C102、C103、C104、C105、C106、C107、C108、C109、C110、C111、C112、C113、C114、C115、C116、C117、C118、C119、C120	22	0.1 μ F	电容, 陶瓷, 0.1 μ F, 25V, +/-10%, X7R, 0402	GRM155R71E104KE14D	MuRata
C131	1	22 μ F	电容, 陶瓷, 22 μ F, 10V, +/-20%, X5R, 0805	LMK212BJ226MG-T	Taiyo Yuden
C134、C140	2	220pF	电容, 陶瓷, 220pF, 50V, +/-1%, C0G/NP0, 0603	06035A221FAT2A	AVX
C135、C136	2	30pF	电容, 陶瓷, 30pF, 100V, +/-5%, C0G/NP0, 0603	GRM1885C2A300JA01D	MuRata
C139	1	2200pF	电容, 陶瓷, 2200pF, 50V, +/-10%, X7R, 0603	C0603C222K5RACTU	Kemet
C500	1	47 μ F	电容, 钽, 47 μ F, 35V, +/-10%, 0.3 Ω , SMD	T495X476K035ATE300	Kemet
C501、C502、C503、C508、C509、C510	6	22 μ F	电容, 陶瓷, 22 μ F, 10V, +/-20%, X7S, 0805	C2012X7S1A226M125AC	TDK
C504、C507、C514、C516	4	2200pF	电容, 陶瓷, 2200pF, 25V, +/-10%, X7R, 0402	GRM155R71E222KA01D	MuRata
C505、C506	2		10 μ F $\pm$ 10% 25V 陶瓷电容器 X7S 0805 (公制 2012)	C2012X7S1E106K125AC	TDK
C511	1		电容, 陶瓷, 270PF, 50V, NP0, 0402	UMK105CG271JV-F	Taiyo Yuden
C512	1	0.47 μ F	电容, 陶瓷, 0.47 μ F, 25V, +/-10%, X7R, 0603	C1608X7R1E474K080AE	TDK
C513、C515	2	10 μ F	电容, 陶瓷, 10 μ F, 10V, +/-20%, X7R, 0603	GRM188Z71A106MA73D	MuRata
D1、D2	2	20V	二极管, 肖特基, 20V, 2A, SMA	B220A-13-F	Diodes Inc.
D3、D4、D5、D12	4	绿色	LED, 绿色, SMD	LTST-C190GKT	Lite-On
D6	1	红色	LED, 红色, SMD	LTST-C170KRKT	Lite-On
D7、D9、D10	3	黄色	LED, 黄色, SMD	LTST-C170KSKT	Lite-On
D8	1	30V	二极管, 肖特基, 30V, 0.2A, SOT-23	BAT54-7-F	Diodes Inc.
D11	0	7.5V	二极管, 齐纳, 7.5V, 550mW, SMB	1SMB5922BT3G	ON Semiconductor
FB1、FB2、FB3、FB4、FB5、FB6、FB7、FB8、FB9、FB11	10	220 Ω	铁氧体磁珠, 220 Ω (100MHz 时), 2.5A, 0603	BLM18SG221TN1D	MuRata
FB12	1	300 Ω	铁氧体磁珠, 300 Ω @ 100MHz, 0.4A, 1.6x0.8x0.95mm	LI0603D301R-10	Laird-Signal Integrity Products
FB13	1	60 Ω	铁氧体磁珠, 60 Ω (100MHz 时), 3.5A, 0603	MPZ1608S600ATAH0	TDK
FID1、FID2、FID3、FID4、FID5、FID6	6		基准标记。没有需要购买或安装的元件。	不适用	不适用

表 5-1. 物料清单 (BOM) (续)

指示符	数量	值	说明	器件型号	制造商
H1、H2、H3、 H4、H5、H6	6		BUMPER CYLIN 0.312" DIA	SJ61A6	3M
J2、J3、J5	0		连接器, SMA, 插孔, 直式, 边缘安装	CON-SMA-EDGE-S	RF Solutions Ltd.
J4、J6、J7、J9、 J10、J11、J12、 J13、J14、J15、 J16、J17、J18、 J19、J20、J21、 J22、J23、J24、 J25、J26、J27、 J28、J29、J30、 J31、J32	27		连接器, SMA, 插孔, 直式, 边缘安装	CON-SMA-EDGE-S	RF Solutions Ltd.
J8	1		连接器, SMA, TH	142-0701-201	Cinch Connectivity
J41	1		连接器, 插口, Mini-USB Type B, R/A, 顶部安装 SMT	1734035-2	TE Connectivity
J42	1		接头, 2.54mm, 15x2, 金, SMD	HTST-115-01-L-DV	Samtec
J500	1		端子块, 3.5mm, 5x1, 锡, TH	393570005	Molex
JP1、JP2	2		接头, 2.54mm, 3x2, 金, SMT	61000621121	Wurth Elektronik
JP4	1		接头, 2.54mm, 5x2, 金, SMT	TSM-105-01-L-DV-P	Samtec
JP5	1		连接器接头表面贴装 14 位 0.100" (2.54mm)	54202-G0807LF	Amphenol ICC
L500、L502、 L503	3		磁珠电感器 BLE 系列, 8A	BLE18PS080SN1	Murata
L501	1		电感器功率屏蔽线绕 2.2uH 20% 1MHz 复合 8.7A 15mΩ DCR 汽车 T/R	XGL4030-222MEC	Coilcraft
LBL1	1		热转印打印标签, 0.650" (宽) x 0.200" (高) - 10,000/卷	THT-14-423-10	Brady
Q1、Q3、Q4、Q5	4	50V	MOSFET, N 沟道, 50V, 0.22A, SOT-23	BSS138	Fairchild Semiconductor
Q2	1	25V	MOSFET, N 沟道, 25V, 0.22A, SOT-23	FDV301N	Fairchild Semiconductor
R1、R3、R8	3	23.2k	电阻, 23.2k, 1%, 0.1W, AEC-Q200 0 级, 0603	CRCW060323K2FKEA	Vishay-Dale
R2、R5、R9	3	13.3k	电阻, 13.3k, 1%, 0.1W, AEC-Q200 0 级, 0603	CRCW060313K3FKEA	Vishay-Dale
R4、R23	0	0	电阻, 0, 5%, 0.1W, AEC-Q200 0 级, 0603	ERJ-3GEY0R00V	Panasonic
R6、R7、R10、 R80、R81、 R83、R84、 R87、R89、 R91、R93、 R95、R97、 R98、R100、 R102、R104、 R106、R107、 R108、R110、 R112、R114、 R116、R128、 R132	26	0	电阻, 0, 5%, 0.063W, AEC-Q200 0 级, 0402	RK73Z1ETTP	KOA Speer

表 5-1. 物料清单 (BOM) (续)

指示符	数量	值	说明	器件型号	制造商
R11、R12、 R16、R17、 R18、R19、 R20、R21、 R22、R25、 R41、R52、 R55、R61、 R64、R66、 R71、R73、 R150、R151、 R152、R153、 R154、R155、 R156、R157、 R158、R163、 R164、R212	30	0	电阻，0，5%，0.1W，AEC-Q200 0级，0603	CRCW06030000Z0EA	Vishay-Dale
R13、R14、 R15、R54、 R56、R67、R74	7	470	电阻，470，5%，0.1W，AEC-Q200 0级，0603	CRCW0603470RJNEA	Vishay-Dale
R24、R46、R118	0	0	电阻，0，0%，0.2W，AEC-Q200 0级，0402	CRCW04020000Z0EDHP	Vishay-Dale
R26、R27、 R30、R31、 R33、R34、 R37、R38、R43	9	0	电阻，0，0%，0.2W，AEC-Q200 0级，0402	CRCW04020000Z0EDHP	Vishay-Dale
R28、R32、 R35、R39、 R78、R79、 R82、R85、 R86、R88、 R90、R92、 R94、R96、 R99、R101、 R103、R105、 R109、R111、 R113、R115、 R117、R119、 R121、R122、 R125、R127、 R167、R169、 R175、R176、 R177、R178、 R179、R180、 R181、R182、 R183、R184、 R185、R186、 R187、R188、 R204、R205	0	51	电阻，51，5%，0.0625W，0402	RC0402JR-0751RL	Yageo America
R29、R36	0	100	电阻，100，1%，0.1W，AEC-Q200 0级，0603	CRCW0603100RFKEA	Vishay-Dale
R42	0	49.9	电阻，49.9，1%，0.1W，AEC-Q200 0级，0603	CRCW060349R9FKEA	Vishay-Dale
R44、R500	2	0	电阻，0，5%，0.1W，AEC-Q200 0级，0603	ERJ-3GEY0R00V	Panasonic
R45、R75	0	10k	电阻，10k，5%，0.1W，AEC-Q200 0级，0603	CRCW060310K0JNEA	Vishay-Dale
R47、R48、 R49、R50	0	33	电阻，33，5%，0.063W，AEC-Q200 0级，0402	CRCW040233R0JNED	Vishay-Dale

表 5-1. 物料清单 (BOM) (续)

指示符	数量	值	说明	器件型号	制造商
R51、R63、R68、R70	4	10k	电阻, 10k, 5%, 0.1W, AEC-Q200 0级, 0603	CRCW060310K0JNEA	Vishay-Dale
R53、R65、R69、R72	4	3.9k	电阻, 3.9k Ω , 5%, 0.1W, AEC-Q200 0级, 0603	CRCW060333K90JNEA	Vishay-Dale
R57、R58	2	1.5k	电阻, 1.5k, 5%, 0.1W, AEC-Q200 0级, 0603	CRCW06031K50JNEA	Vishay-Dale
R59、R60	0	1.5k	电阻, 1.5k, 5%, 0.1W, AEC-Q200 0级, 0603	CRCW06031K50JNEA	Vishay-Dale
R62	1	100k	电阻, 100k, 5%, 0.1W, AEC-Q200 0级, 0603	CRCW0603100KJNEA	Vishay-Dale
R76、R159、R160	3	1.0k	电阻, 1.0k, 5%, 0.1W, AEC-Q200 0级, 0603	CRCW06031K00JNEA	Vishay-Dale
R77	1	100	电阻, 100, 5%, 0.25W, AEC-Q200 0级, 0603	ESR03EZPJ101	Rohm
R144、R146	2	33	电阻, 33, 5%, 0.063W, AEC-Q200 0级, 0402	CRCW040233R0JNED	Vishay-Dale
R145、R148、R165	3	33k	电阻, 33k, 5%, 0.1W, AEC-Q200 0级, 0603	CRCW060333K0JNEA	Vishay-Dale
R147	1	1.5k	电阻, 1.5k, 5%, 0.063W, AEC-Q200 0级, 0402	CRCW04021K50JNED	Vishay-Dale
R149	1	1.2Meg	电阻, 1.2M, 5%, 0.1W, AEC-Q200 0级, 0603	CRCW06031M20JNEA	Vishay-Dale
R161、R162、R166	3	510	电阻, 510, 5%, 0.1W, AEC-Q200 0级, 0603	CRCW0603510RJNEA	Vishay-Dale
R168、R170、R171、R172、R173、R174	6	51	电阻, 51, 5%, 0.0625W, 0402	RC0402JR-0751RL	Yageo America
R201、R202、R203	3	47k	电阻, 47k, 5%, 0.1W, AEC-Q200 0级, 0603	CRCW060347K0JNEA	Vishay-Dale
R206、R208、R209、R210、R211	5	0	电阻, 0, 5%, 0.1W, 0603	RC0603JR-070RL	Yageo
R207	0	0	电阻, 0, 5%, 0.1W, 0603	RC0603JR-070RL	Yageo
R501	1	5.60k	电阻, 5.60k, 0.1%, 0.1W, 0603	RG1608P-562-B-T5	Susumu Co Ltd
R502	1	18.2k	电阻, 18.2k, 1%, 0.1W, AEC-Q200 0级, 0603	CRCW060318K2FKEA	Vishay-Dale
R504	1	1.80k	电阻, 1.80k, 0.1%, 0.1W, 0603	RT0603BRD071K8L	Yageo America
S1、S2、S4	3		开关, 单刀单掷, 4 位置, 顶部驱动, SMT	219-4LPST	CTS Electrocomponents
S3	1		开关, 滑动式, SPST 2 极, SMT	219-2LPST	CTS Electrocomponents
S5、S6	2		开关, 触控式, 单刀单掷-常开, 0.05A, 12V, SMT	FSM4JSMA	TE Connectivity
SH1、SH2、SH4、SH5、SH6	5	1x2	分流器, 100mil, 镀金, 黑色	SNT-100-BK-G	Samtec
TP1、TP4、TP7、TP501	0		测试点, 微型, 红色, TH	5000	Keystone
TP2、TP5、TP41	3		测试点, 微型, 红色, TH	5000	Keystone
TP19、TP20、TP21、TP22、TP23、TP24、TP25、TP26	8		测试点, 微型, 黑色, TH	5001	Keystone

表 5-1. 物料清单 (BOM) (续)

指示符	数量	值	说明	器件型号	制造商
TP30	0		测试点, 微型, SMT	5019	Keystone
TP31、TP32、TP33、TP34、TP35、TP36、TP37、TP38、TP39、TP40	10		测试点, 微型, SMT	5019	Keystone
U1	1		适用于有线通信且支持 JESD204B/C 和 BAW 的超低抖动时钟同步器	LMK5B12212RGCR	德州仪器 (TI)
U4	0		CDC64XX-2520、DLF0006A (VSON-6)	CDC64XX-2520	德州仪器 (TI)
U5	1		单路 2 输入异或门, DBV0005A (SOT-23-5)	SN74LVC1G86DBVR	德州仪器 (TI)
U6	1		适用于 RF 和模拟电路的 150mA 超低噪声 LDO (无需旁路电容), NGF0006A (WSON-6)	LP5900SD-3.3/NOPB	德州仪器 (TI)
U7	1		适用于高速数据接口的 4 通道 ESD 保护阵列, DRY0006A (USON-6)	TPD4E004DRYR	德州仪器 (TI)
U8	1		25MHz 混合信号微控制器, 具有 128KB 闪存、8192 B SRAM 和 63 GPIO, -40 至 85°C, 80 引脚 QFP (PN), 绿色 (符合 RoHS 标准, 无镉/溴)	MSP430F5529IPN	德州仪器 (TI)
U9、U10、U11	3		800mA 超低噪声、高 PSRR LDO, DNT0012B (WSON-12)	LP38798SD-ADJ/NOPB	德州仪器 (TI)
U500	1		3A 低噪声和低纹波降压转换器, RPU0010A (VQFN-10)	TPS62913RPUT	德州仪器 (TI)
Y1	1		SMD TCXO 7.0 * 5.0 48.000000MHz	7N48071001	TXC
Y2	1		高性能 BAW 振荡器, LVCMOS; <1ps, +/-50ppm; 2.5V/3.3V, -40°C 至 105°C 和 DLE 封装	LMK6CE04800DDL	德州仪器 (TI)
Y3	0		晶体、密封锁定 50MHz、15pF、SMD	7X-50.000MBB-T	TXC Corporation
Y4	0		MERCURY+ 38.88MHz OCXO CMOS 振荡器 2.7 ~ 5V 4-SMD	ROM9070PA	Rakon
Y5	0		标准 OCXO 10MHz 频率	ROX2522S4	Rakon
Y6	1		晶振, 24.000MHz, 20pF, SMD	ECS-240-20-5PX-TR	ECS Inc.

5.3.1 环路滤波器和对振动不敏感的电容器

EVM 上使用的电容器是 X7R, 它由铁磁材料制成, 对压电效应引起的振动很敏感。对于需要在振动条件下实现出色性能的应用, TI 建议使用非铁磁电容器, 如 NP0、C0G 或钽。

在 47nF 及以下时, C0G/NP0 电容器采用 0805 尺寸封装。可考虑将 0.1μF 及以上的钽电容器用于抗振动环路滤波器元件。

表 5-2. 抗振动的替代电容器示例

电容值	振动敏感型, X7R	抗振动
3.3nF	C0603C332K5RACTU, 0603	GRM1885C1H332JA01D, C0G/NP0, 0603
33nF	C0603C333J3RACTU, 0603	C2012C0G1H333J125AA, C0G/NP0, 0805
47nF	06035C473JAT2A, 0603	C0805X473G3GEC7800, C0G/NP0, 0805 C0805C473J3GACTU, C0G/NP0, 0805
0.1μF	C0603C104J3RACTU, 0603	GRM31C5C1E104JA01L, C0G/NP0, 1206 TAJR104K020RNJ, 钽, 0805
0.47μF	GRM188R71A474KA61D, 0603	F921C474MPA, 钽, 0805

重要通知和免责声明

TI“按原样”提供技术和可靠性数据（包括数据表）、设计资源（包括参考设计）、应用或其他设计建议、网络工具、安全信息和其他资源，不保证没有瑕疵且不做任何明示或暗示的担保，包括但不限于对适销性、某特定用途方面的适用性或不侵犯任何第三方知识产权的暗示担保。

这些资源可供使用 TI 产品进行设计的熟练开发人员使用。您将自行承担以下全部责任：(1) 针对您的应用选择合适的 TI 产品，(2) 设计、验证并测试您的应用，(3) 确保您的应用满足相应标准以及任何其他功能安全、信息安全、监管或其他要求。

这些资源如有变更，恕不另行通知。TI 授权您仅可将这些资源用于研发本资源所述的 TI 产品的相关应用。严禁以其他方式对这些资源进行复制或展示。您无权使用任何其他 TI 知识产权或任何第三方知识产权。您应全额赔偿因在这些资源的使用中对 TI 及其代表造成的任何索赔、损害、成本、损失和债务，TI 对此概不负责。

TI 提供的产品受 [TI 的销售条款](#) 或 [ti.com](#) 上其他适用条款/TI 产品随附的其他适用条款的约束。TI 提供这些资源并不会扩展或以其他方式更改 TI 针对 TI 产品发布的适用的担保或担保免责声明。

TI 反对并拒绝您可能提出的任何其他或不同的条款。

邮寄地址：Texas Instruments, Post Office Box 655303, Dallas, Texas 75265
版权所有 © 2025，德州仪器 (TI) 公司